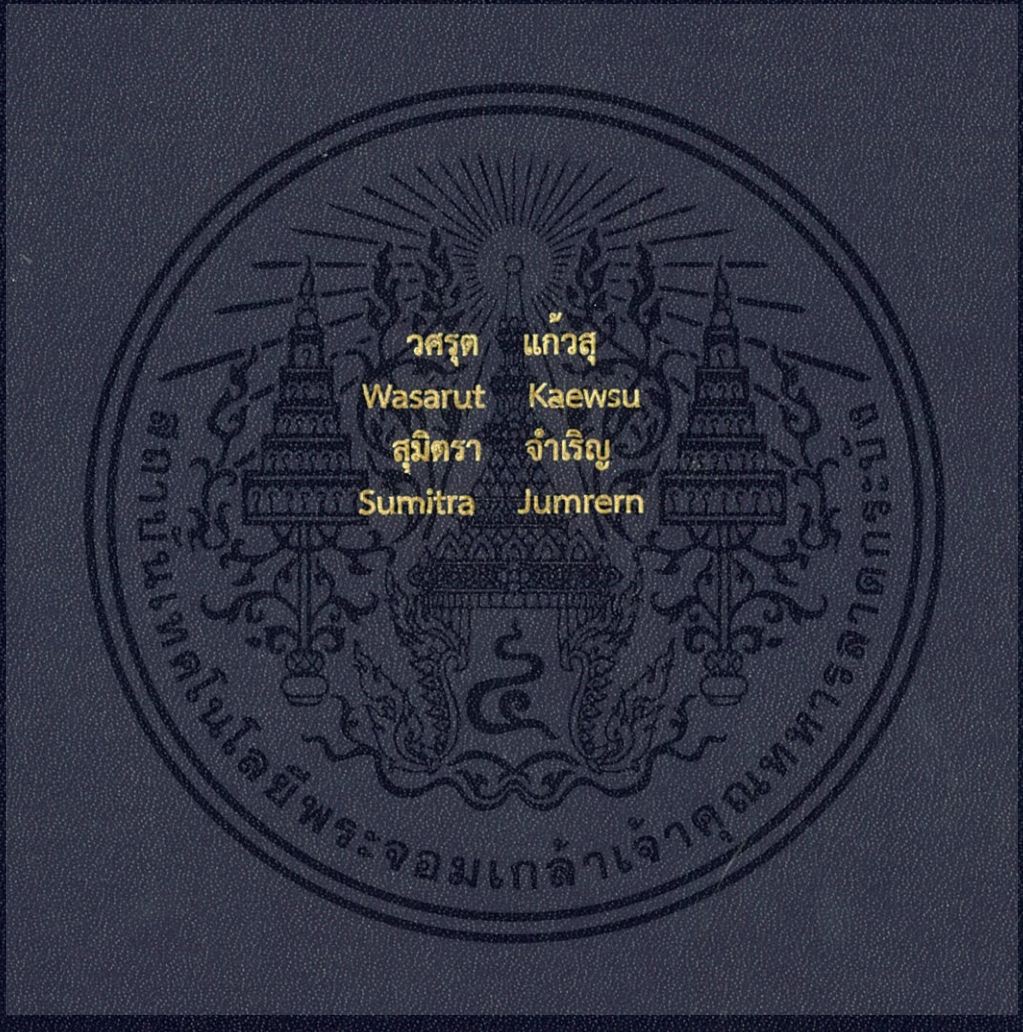
วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบ SAR
A 10-bit 25 MS/s Successive Approximation Register Analog to Digital Converter (SAR ADC)



วศรุต แก้วสุ
Wasarut Kaewsu
สุมิตรา จำเริญ
Sumitra Jumrern

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2559

วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบ SAR

A 10-bit 25 MS/s Successive Approximation Register Analog to Digital Converter (SAR ADC)

โดย

วศรุต แก้วสุ

สุมิตรา จำเริญ

อาจารย์ที่ปรึกษา

ผศ.ดร. กสิน วิเชียรชม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2559

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบ SAR

A 10-bit 25 MS/s Successive Approximation Register Analog to Digital Converter (SAR ADC)

ผู้จัดทำ นายวศรุต แก้วสุ รหัสประจำตัว 56011095

นางสาวสุมิตรา จำเริญ รหัสประจำตัว 56011362

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ผศ.ดร. กสิน วิเชียรชม

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์	วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบ SAR			
นักศึกษา	นายวศรุต	แก้วสุ	รหัสประจำตัว	56011095
	นางสาวสุมิตรา	จำเริญ	รหัสประจำตัว	56011362
ปริญญา	วิศวกรรมศาสตรบัณฑิต			
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์			
ปีการศึกษา	2559			
อาจารย์ที่ปรึกษาโครงงาน	ผศ.ดร. กสิน	วิเชียรชม		

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรรวม วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบเอสเออาร์ (Successive Approximation Register : SAR) ด้วยเทคโนโลยีซีมอส UMC 0.18 ไมโครเมตร โดยใช้เทคนิคโมโนโทนิค คาปาซิเตอร์สวิตชิง ซึ่งส่งผลให้มีอัตราการสิ้นเปลืองกำลังเพียง 81 เปอร์เซ็นต์เมื่อเปรียบเทียบกับวิธีการสวิทช์ที่ใช้ใน SAR แบบดั้งเดิม วงจรมีอัตราการสุ่ม 25 MS/s และใช้แรงดันอ้างอิงขนาด 1.8 โวลท์ ให้สัญญาณดิจิทัลเอาท์พุทมีความละเอียด 10 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Title	A 10-bit 25 MS/s Successive Approximation Register Analog to Digital Converter (SAR ADC)			
Student	Mr. Wasarut	Kaewsu	Student ID	56011095
	Miss. Sumitra	Jumrern	Student ID	56011362
Degree	Bachelor of Engineering			
Program	Electronics Engineering			
Year	2016			
Project Advisor	Asst. Prof. Dr. Kasin	Vichienchom		

Abstract

This report presents a low–power 10-bit successive approximation register (SAR) analog-to-digital converter (ADC) in 0.18 μm UMC CMOS technology that uses a monotonic capacitor switching procedure. Compared to converters that use the conventional procedure, the average switching energy and total capacitance are reduced by about 81% and 50%, respectively. The designed ADC operates at 25 MS/s and 1.8V supply voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เรื่อง วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบ SAR นี้สามารถสำเร็จลุล่วงไปด้วยดี ต้องขอขอบพระคุณอาจารย์ที่ปรึกษา ผศ.ดร. กสิน วิเชียรชม ที่ให้คำแนะนำตลอดการทำงานคอยเอื้อเฟื้ออุปกรณ์และสถานที่ในการทำโครงงานครั้งนี้เป็นอย่างยิ่งนอกจากนี้ต้องขอขอบคุณทุกท่านที่ให้คำแนะนำและช่วยเหลือตลอดมา

สุดท้ายนี้ต้องขอขอบคุณครอบครัวและเพื่อนๆ ของคณะผู้จัดทำที่คอยให้กำลังใจและถามไถ่ความเป็นไปของโครงงานอยู่เสมอ ทำให้คณะผู้จัดทำมีกำลังใจที่จะทำโครงงานและรายงานฉบับนี้ให้สำเร็จลุล่วง

วศรุต แก้วสุ

สุมิตรา จำเริญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ I

ABSTRACT II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญรูปภาพ VII

สารบัญตาราง X

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของโครงงาน 1

1.2 วัตถุประสงค์ของโครงงาน 2

1.3 ประโยชน์ที่คาดว่าจะได้รับ 2

1.4 ขอบเขตของโครงงาน 2

1.5 ระยะเวลาในการทำโครงงาน 2

บทที่ 2 ทฤษฎีพื้นฐาน 4

2.1 สถาปัตยกรรม ADC ชนิดต่างๆ 4

2.2 สถาปัตยกรรมของวงจร ADC ชนิด SAR 8

2.3 ส่วนประกอบหลักของ Analog-to-Digital converter ชนิด SAR 10

2.3.1 Track and Hold 10

2.3.2 Successive Approximation Register 11

2.3.3 Comparator 11

2.3.4 Digital to Analog converter (DAC) 11

บทที่ 3 สถาปัตยกรรม SAR ADC แบบ FULLY-DIFFERNTIAL 14

3.1 Fully-differential SAR ADC แบบดั้งเดิม 14

3.1.1. การสูญเสียพลังงานในการสวิตช์ 15

3.2 Fully-differential SAR ADC with Monotonic Switching Procedure 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 การสูญเสียพลังงานในการสวิตช์ 20
บทที่ 4 การออกแบบวงจร 24
4.1 Timing การทำงาน SAR ADC 25
4.2 Comparator 26
4.2.1 ผลการทดสอบของคอมพาราเตอร์ 30
4.3 Bootstrapped Switch 32
4.3.1 เทคนิค Clock doubling ที่นำมาใช้ใน Bootstrap Architecture [6] 33
4.3.2 Charge Injection 35
4.3.3 On-Resistance 37
4.3.4 Acquisition Time 38
4.4 Successive Approximation Register (SAR) Control Logic 40
4.4.1 วงจร Asynchronous D - Flip Flop 42
4.4.2 วงจรสร้างสัญญาณ Complementary 44
4.4.3 Delay time ของ Asynchronous D-Flip Flop 44
4.5 DAC control logic 45
4.5.1 Delay ภายในตัว DAC control logic 46
4.5.2 Delay time ของ D-Flip Flop 47
4.5.3 Capacitor Array 47
4.6 การออกแบบ Layout 49
บทที่ 5 ผลการทดสอบประสิทธิภาพ 52
5.1 ผลการทดลอง Transient Simulation 52
5.2 Static Performance 58
5.2.1 Quantization Error 58
5.2.2 Offset 59
5.2.3 DNL Error และ INL Error 59
5.3 Dynamic Performance 60
5.4 การทดสอบ Performance ของ ADC 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.1 ผลการทดสอบ Static Performance 63
5.4.2 ผลการทดสอบ Dynamic Performance 64
บทที่ 6 สรุปผลและวิเคราะห์การทำงานของวงจร 68
บรรณานุกรม 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่ 2.1 Comparator โดยใช้ Operational Amplifier 4

รูปที่ 2.2 Flash Converter or Parallel Converter ADC Block Diagram 5

รูปที่ 2.3 SAR ADC Block Diagram 5

รูปที่ 2.4 Pipelined ADC Block Diagram 6

รูปที่ 2.5 Dual Slope/Multislope ADC Block Diagram 6

รูปที่ 2.6 Sigma Delta ADC Block Diagram 7

รูปที่ 2.7 ความละเอียดและช่วงการทำงานของสถาปัตยกรรมแบบต่างๆ 7

รูปที่ 2.7 เปรียบเทียบความแตกต่างของสถาปัตยกรรมหลัก 3 แบบ 8

รูปที่ 2.8 สถาปัตยกรรมของ SAR Analog-to-Digital Converter 8

รูปที่ 2.9 Time diagram ของ Analog-to-Digital Converter ชนิด SAR แบบทั่วไป 9

รูปที่ 2.2 วงจรพื้นฐาน Track and Hold 10

รูปที่ 2.10 R-2R ladder 12

รูปที่ 2.11 Switched pole DAC 12

รูปที่ 2.12 Binary-array C harge-scaling D/A Converter 13

รูปที่ 3.1 สถาปัตยกรรม Fully-differential SAR ADC แบบดั้งเดิม (Conventional SAR ADC) [บน] 14

Waveform ของ Conventional SAR ADC [ล่าง] 14

รูปที่ 3.2 3-bits Conventional switching procedure 15

รูปที่ 3.3 สถาปัตยกรรม Fully-differential SAR ADC with monotonic switching Procedure [บน]

..... 18

และ Waveform ของ monotonic switching Procedure [ล่าง] 18

รูปที่ 3.4 3 bits SAR ADC monotonic switching procedure 20

รูปที่ 3.5 Switching energy versus digital output code 23

รูปที่ 4.1 โครงสร้างของ SAR ADC ที่ออกแบบ 24

รูปที่ 4.2 Timing diagram ของการทำงาน ADC 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 Dynamic comparator สำหรับ SAR ADC ที่ออกแบบ 27
รูปที่ 4.4 Time diagram การทำงานของComparator 27
รูปที่ 4.5 kick-back noise generation 28
รูปที่ 4.7 ผลการทดลอง ค่าResolve timeของเอาท์พุทดิจิทัลเทียบกับขนาดDifferential input 31
รูปที่ 4.8 การเกิด kick-back noise ชั่วขณะคอมพาราเตอร์ทำงาน 31
รูปที่ 4.9 การวัดค่าเวลาresolve time ของคอมพาราเตอร์ในการให้สัญญาณเอาท์พุท Out_P และ Out_N เมื่อ differential input เท่ากับ 932mV (รูปบน) และ differential input เท่ากับ 10.48mV (รูปล่าง) 32
รูปที่ 4.10 วงจร Basic bootstrap [รูปด้านซ้าย] , ในช่วง hold ตัวเก็บประจุเสมือนเป็นแบตเขั้วเกตและซอร์ส [รูปด้านขวา] 33
รูปที่ 4.11 วงจร Clock doubling in bootstrap architecture 35
รูปที่ 4.12 ปรากฏการณ์ Charge injection 35
รูปที่ 4.13 ผลของการเปลี่ยนขนาด sampling switch ที่ส่งผลต่อภาวะCharge injectionในช่วงhold 37
รูปที่ 4.15 Magnitudeของเอาท์พุทเทียบกับอินพุท (วิเคราะห์การตอบสนองแบบ AC) 38
รูปที่ 4.15 ขนาดของ C_{hold} ต่อค่า Acquisition time ในช่วง tracking 38
รูปที่ 4.16 วงจร bootstrapped switch ที่ออกแบบ 39
รูปที่ 4.17 กราฟของ สัญญาณ output (สีชมพู),สัญญาณที่ขั้วเกตของ sampling switch(สีน้ำเงิน) และสัญญาณอินพุท (สีแดง) ของ bootstrapped switch 40
รูปที่ 4.18 Asynchronous control logic 40
รูปที่ 4.19 Timing diagram ของ SAR control logic 42
รูปที่ 4.20 ผลการวิเคราะห์ VTC ของ วงจร inverter 43
รูปที่ 4.21 Block diagram ภายใน Asynchronous D – Flip Flop 43
รูปที่ 4.22 วงจรสร้างสัญญาณ Complementary ที่ออกแบบ 44
รูปที่ 4.23 Delay time ของ Asynchronous D-Flip Flop 45
รูปที่ 4.24 ภาพรวม DAC control logic ที่ให้เอาท์พุท 10 บิท 45
รูปที่ 4.25 DAC control logic 45
รูปที่ 4.26 Delay elements 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.27 Delay time ของ Asynchronous D-Flip Flop 47
รูปที่ 4.28 วงจรสมมูล RC 48
รูปที่ 4.28 C_{unit} กับค่า V_{rms} 49
รูปที่ 4.29 Layout ที่ออกแบบ 51
รูปที่ 5.1 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 1.7578 mV 53
รูปที่ 5.2 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 450 mV 53
รูปที่ 5.3 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 500 mV 54
รูปที่ 5.4 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 1.35 V 54
รูปที่ 5.5 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 1.4V 55
รูปที่ 5.6 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 1.8 V 55
รูปที่ 5.7 บล็อคไดอะแกรมของวงจร D/A 56
รูปที่ 5.8 Input-output transfer curve ของวงจร D/A ขนาด 2 บิท 57
รูปที่ 5.9 บล็อคไดอะแกรมของวงจร A/D 57
รูปที่ 5.10 Input-output transfer curve ของวงจร A/D ขนาด 2 บิท 57
รูปที่ 5.11 Offset error ของ ADC 58
รูปที่ 5.12 Offset error ของ AD 59
รูปที่ 5.13 DNL Error ของ ADC 59
รูปที่ 5.14 INL Error ของ ADC 60
รูปที่ 5.15 ค่า Spurious-Free dynamic range ในกราฟ FFT 61
รูปที่ 5.17 DNL ที่วัดได้จากการทดสอบ 63
รูปที่ 5.18 INL ที่วัดได้จากการทดสอบ 63
รูปที่ 5.19 สัญญาณแอนาล็อกที่ได้จากการแปลงดิจิทัลเอาท์พุทของ ADC (สีเขียว) 65
รูปที่ 5.20 การตั้งค่าภายใน spectrum เพื่อวิเคราะห์ FFT 65
รูปที่ 5.21 FFT (256point) เมื่อทดสอบด้วยสัญญาณอินพุท sinewave ความถี่ 2.246MHz 66
รูปที่ 5.22 FFT (256point) เมื่อทดสอบด้วยสัญญาณอินพุท sinewave ความถี่ 5.175MHz 66
รูปที่ 5.23 FFT (256point) เมื่อทดสอบด้วยสัญญาณอินพุท sinewave ความถี่ 10.058 MHz 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ 4.1 รายละเอียดคุณสมบัติของสัญญาณอินพุท และเอาท์พุทของ SAR ADC ที่ออกแบบ..... 24
ตารางที่ 4.2 ขนาดทรานซิสเตอร์ภายในวงจรdynamic comparator ที่ออกแบบ 30
ตารางที่ 4.3 ขนาดทรานซิสเตอร์ภายในวงจร Asynchronous D-Flip Flop ที่ออกแบบ..... 44
ตารางที่ 5.1 การทดสอบ ผลการทำงานของ ADC ที่ขนาด Vin ต่างๆ 52
ตารางที่ 5.2 ค่าพารามิเตอร์ทาง dynamic จากการทดสอบด้วย FFT..... 65
ตารางที่ 6.1 Specification summery 68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของโครงงาน

การวัดค่าปริมาณทางธรรมชาติ สสาร อุณหภูมิ ความร้อน แรง และแสงสว่าง ในทางอิเล็กทรอนิกส์นั้น จะอาศัยอุปกรณ์ตรวจจับค่า (detector) หรืออุปกรณ์เซนเซอร์ (sensors) ในการแปลงปริมาณทางกายภาพเป็นปริมาณทางไฟฟ้า โดยสัญญาณไฟฟ้าดังกล่าวมีการเปลี่ยนแปลงตามปริมาณที่ตรวจจับอย่างต่อเนื่องเทียบกับเวลาเรียกว่าสัญญาณแอนาล็อก เพื่อการนำไปใช้กับระบบคอมพิวเตอร์หรือวงจรดิจิทัลอิเล็กทรอนิกส์ (microcontroller) สำหรับการประมวลผลหรือใช้งานตามวัตถุประสงค์ต่างๆ จึงจำเป็นต้องมีตัวกลางในการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (A/D Converter) เพื่อให้ระบบสามารถทำงานได้ การแปลงสัญญาณแอนะล็อกให้เป็นสัญญาณดิจิทัลมีด้วยกันหลายเทคนิค แต่ละเทคนิคจะมีจุดเด่นจุดด้อยแตกต่างกันไป ในโครงงานนี้จะกล่าวถึงชนิด SAR

โครงสร้างสถาปัตยกรรมแบบ successive approximation register (SAR) analog to digital converters (ADCs) เป็นโครงสร้างที่ไม่ซับซ้อน (simple) มีประสิทธิภาพสูงและถูกนำใช้อย่างแพร่หลายในการใช้งานที่กินพลังงานต่ำมีความไวและความละเอียดบิทระดับปานกลางแต่ด้วยเทคโนโลยี CMOS ทรานซิสเตอร์มีมีขนาดลงลดทำให้ SAR ADC สามารถทำงานได้ที่อัตราการสุ่ม (sampling rate) ระดับ MS/s ถึง หลายร้อย MS/s ด้วยความละเอียด 5 บิทถึง 10 บิท SAR ADCs ทั่วไปมีการสูญเสียพลังงานส่วนใหญ่จากคอมพาราเตอร์และ capacitor network ด้วยขีดจำกัดในเรื่องสัญญาณรบกวนและความเชื่อถือ (reliability) ดังนั้นเพื่อลดการสูญเสียพลังงานจากการสวิตช์จึงนำ monotonic switching-method มาประยุกต์ใช้ในการออกแบบเพื่อลดปัญหาในการสูญเสียดังกล่าวและช่วยลดขั้นตอนการควบคุมของ DAC capacitor network ซึ่งลดพลังงานการสูญเสียจากการสวิตช์ 81% รวมถึงใช้จำนวนตัวเก็บประจุเพียง 50% ของกระบวนการแบบดั้งเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วัตถุประสงค์ของโครงงาน

1. ศึกษาการทำงานของวงจร Analog to Digital Converter
2. ศึกษาการออกแบบและวิเคราะห์วงจร และจำลองการทำงานด้วย spice-based software

1.3 ประโยชน์ที่คาดว่าจะได้รับ

1. มีความรู้ความเข้าใจ และ สามารถออกแบบวงจร SAR ADC
2. มีทักษะในการออกแบบวงจรรวมแอนาล็อกด้วย spice-based software

1.4 ขอบเขตของโครงงาน

ออกแบบวงจร SAR ADC โดยใช้เทคโนโลยีซีมอส UMC 0.18 ไมโครเมตร ความละเอียด 10 บิท อัตราการสุ่ม 25 MS/s โดยใช้ไฟเลี้ยง 1.8 V และกินกำลังไฟไม่เกิน 3 mW

1.5 ระยะเวลาในการทำโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง	เดือน																											
	ส.ค				ก.ย				ต.ค				พ.ย				ม.ค				ก.พ				มี.ค			
	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
1.ศึกษาการใช้งาน software (cadence) และ ศึกษาวงจร ADC																												
2.ศึกษา ADC ชนิด SAR และอัลกอริทึมในการควบคุม switch capacitor																												
3.ศึกษาวงจรคอมพาราเตอร์																												
4.ออกแบบวงจรคอมพาราเตอร์และสวิตช์																												
5.ทำรายงานและสอบโปรเจกค์																												
6.ศึกษาปัญหาที่อาจจะเกิดภายในวงจรรวมถึงวิธีแก้ไข																												
7.ปรับปรุงแก้ไขวงจรให้เหมาะสมกับ process ใหม่																												
8.ออกแบบ layout แก้ไขวงจรอีกครั้งหลังจากออกแบบ layout																												
9.วัดผลการทดลองและพล็อตกราฟ																												
10.ทำรายงานและสอบโปรเจกค์																												

บทที่ 2
ทฤษฎีพื้นฐาน

การสื่อสารข้อมูลด้วยระบบดิจิทัล เป็นการสร้างรูปแบบข้อมูลส่งสัญญาณ ข้อความอักษร (text) ภาพวาด (graphic) รูปภาพ (photo) เสียง (sound) และภาพเคลื่อนไหว (video) ในรูปแบบสัญญาณดิจิทัล โดยการเข้ารหัสเพื่อเปลี่ยนข้อมูลแอนะล็อกเป็นข้อมูลดิจิทัล สัญญาณที่ใช้ในระบบสื่อสารถูกแบ่งออกได้เป็น 2 ประเภทคือ

1. สัญญาณแอนะล็อก (analog signal) คือ สัญญาณที่มีการเปลี่ยนแปลงหรือการเคลื่อนที่ของข้อมูลอย่างต่อเนื่อง (continuous data) ทั้งนี้ สัญญาณจะมีขนาดไม่คงที่และมีการเปลี่ยนแปลงของขนาดสัญญาณแบบค่อยเป็นค่อยไปเป็นฟังก์ชั่นกับเวลา จึงทำให้มีผลต่อการส่งสัญญาณแอนะล็อก ส่วนใหญ่จะถูกรบกวนได้ง่ายทั้งจากสิ่งแวดล้อมภายนอกหรือตัวของระบบอุปกรณ์เพราะสัญญาณที่ส่งออกไปจะเป็นสัญญาณจริงเมื่อถูกรบกวน จึงทำให้คลื่นสัญญาณมีการเปลี่ยนไปทำให้ผู้รับหรือปลายทางมีการแปลความหมายผิดพลาด เช่น สัญญาณเสียง เป็นต้น

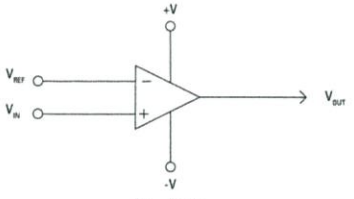
2. สัญญาณดิจิทัล (digital signal) คือ สัญญาณที่เกี่ยวข้องกับข้อมูลแบบไม่ต่อเนื่อง หรือ discrete data มีขนาดแน่นอนซึ่งขนาดดังกล่าวอาจกระโดดไปมาระหว่างสองค่า คือ สัญญาณระดับสูงสุดและระดับต่ำสุด ซึ่งสัญญาณนี้เป็นสัญญาณที่ถูกใช้คอมพิวเตอร์และระบบ

การแปลงสัญญาณทั้งสองนี้จำเป็นต้องอาศัย "ตัวเปลี่ยนสัญญาณข้อมูล" (Converter)

2.1 สถาปัตยกรรม ADC ชนิดต่างๆ

วงจรการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (ADC) มีด้วยกันหลายสถาปัตยกรรม ดังนั้นต้องเลือกใช้วงจรให้เหมาะสมกับลักษณะงานที่ต้องการ ในบทนี้จึงแนะนำสถาปัตยกรรมต่างๆ ที่มีประโยชน์ต่อผู้ใช้

1) คอมพาราเตอร์ (comparator) ถ้าเปรียบเสมือนวงจร ADC จะให้ค่าเอาท์พุทจำนวน 1 บิท

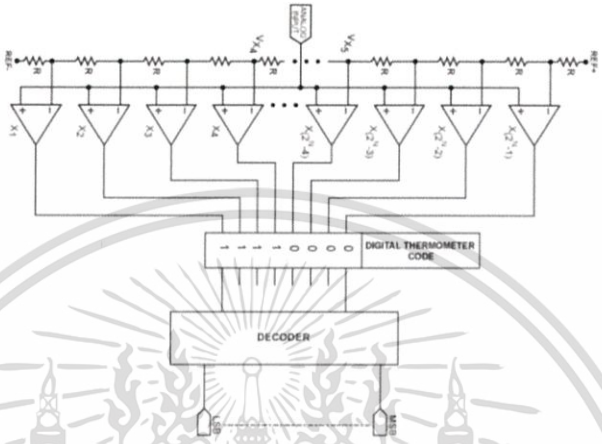


รูปที่ 2.1 คอมพาราเตอร์โดยใช้ Operational Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

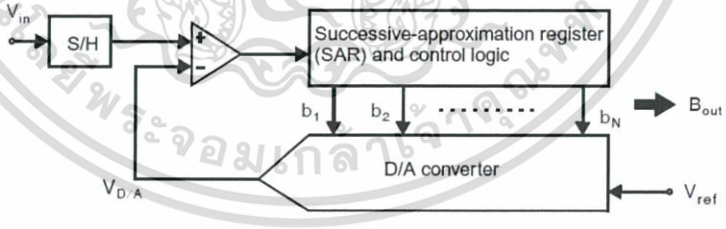
2) high speed ADC มีด้วยกันหลายแบบ

- Flash Converter หรือ Parallel Converter ADC เป็น ADC ที่มีย่านการทำงานที่ความถี่สูงที่สุดแต่ข้อเสียคือจำกัดความละเอียดในการแปลงสัญญาณ, พลังงานสูญเสียสูง และมีขนาดใหญ่



รูปที่ 2.2 Flash converter or Parallel Converter ADC Block diagram [5]

- Successive Approximation Register ADC (SAR ADC) เป็นสถาปัตยกรรมที่มีความนิยมมากที่สุดสำหรับการใช้งานแบบเก็บข้อมูล ความถูกต้องและความเป็นเชิงเส้นของวงจรจะขึ้นอยู่กับคุณสมบัติของของ DAC ซึ่งโดยรวม SAR ADC ยังถูกวัดว่าทำงานดีกว่า Pipelined และ Sigma Delta ADC

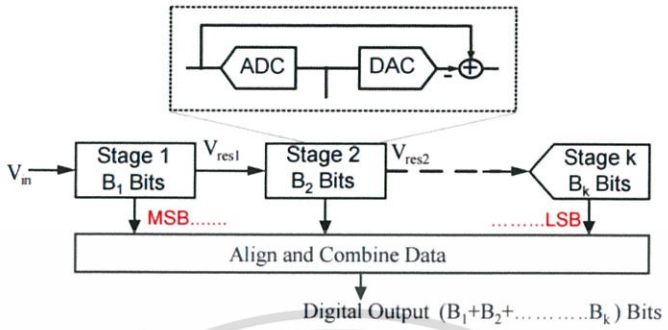


รูปที่ 2.3 SAR ADC Block diagram [9]

- Pipelined ADC เป็นที่รู้จักและใช้งานที่ความถี่ต้นๆ MS/s ถึงหลายร้อย MS/s ช่วงความละเอียดอยู่ที่ 8-16 บิท โดยความถี่ที่น้อยสุดจะให้ค่าจำนวนบิทที่มาก กลับกันที่ความถี่สูงจะให้จำนวนบิทที่น้อย เมื่อถูกใช้ในงานที่ต้องการความถี่สูง delay time ในแต่ละ stage ต้องมีค่าน้อยแต่จะมีค่ามากในช่วง conversion เท่านั้น เนื่องจากช่วงความถี่ในการสุ่มและความละเอียดที่กว้างทำให้ Pipelined ADC นำไปใช้งานได้ในหลายด้าน เช่น xDSL,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

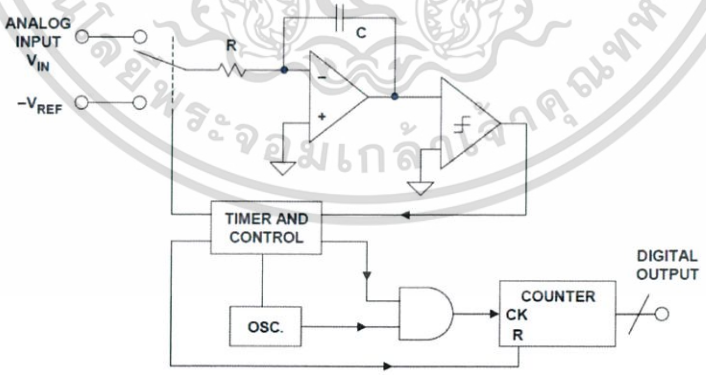
CCD imaging, ultrasonic medical imaging, digital video (HDTV), Cable- modem และ fast ethernet



รูปที่ 2.4 Pipelined ADC Block diagram [5]

- Gray Coded หรือ Folding ADCs จำกัดความละเอียด โดยทั่วไปจะมีค่าน้อยกว่า 10 บิท

3) Counting and Integrating ADC เป็นการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลโดยใช้หลักอัลกอริทึมการนับค่าและรวมค่า ADC ชนิดนี้สามารถทำงานที่ความละเอียดสูงและความถี่ต่ำเมื่อนำทั้งสองวงจรมารวมกัน โดยความถี่สูงสุดประมาณ 100 kHz โดยภายในของ Counting ADC ถูกแบ่ง Channel ในการสุ่ม แต่ละ Channel ถูกสุ่มที่ความถี่ 40 kHz สถาปัตยกรรมชนิดนี้มีด้วยกันหลายรูปแบบดังนี้ Charge Run-Down ADC, Ramp Run-Up ADC, Tracking ADC, Voltage to Frequency Converters, Dual Slope/ Multislope ADCs, Optical Converter, Resolver to Digital Converters

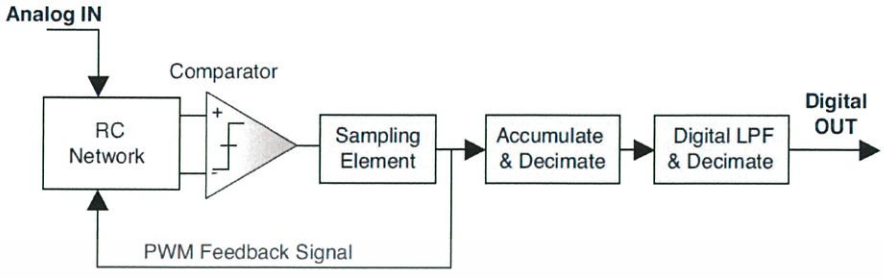


รูปที่ 2.5 Dual Slope/Multislope ADC Block diagram [5]

4) Sigma Delta ADC เป็นสถาปัตยกรรมที่นิยมมากสำหรับการแปลงสัญญาณที่ต้องการความละเอียดสูง และความถี่ในการใช้งานต่ำถึงปานกลาง โดยทั่วไปจะใช้กับงานที่ต้องการความละเอียด 12-24 บิท [Kester2005-2] ภายใน Sigma Delta ADC จะประกอบไปด้วยส่วนวงจรแอนะล็อก

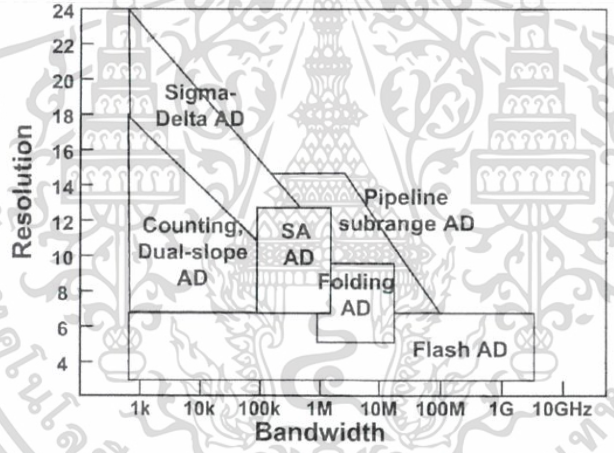
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้แก่ คอมพาราเตอร์, voltage reference, switch หรือ integrator และวงจร summing ส่วนวงจรดิจิทัลจะค่อนข้างซับซ้อน



รูปที่ 2.6 Sigma Delta ADC Block diagram [5]

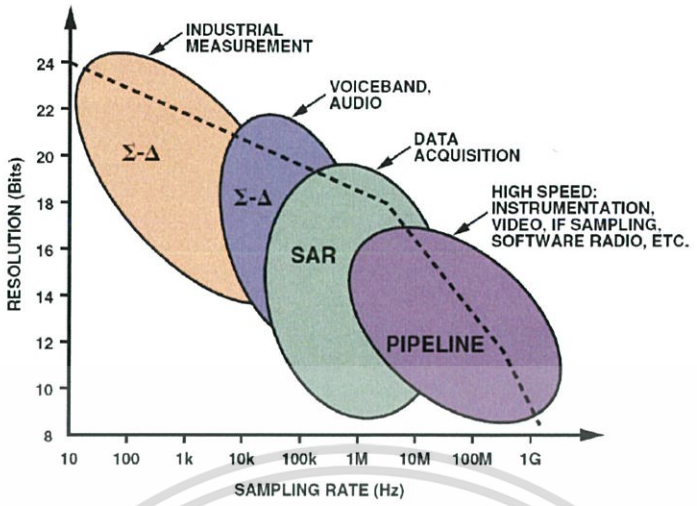
จากข้อมูลข้างต้นสถาปัตยกรรมแบบ Counting ADC, SAR ADC, Pipelined ADC และ Sigma-Delta ADC ถูกจัดอยู่ในกลุ่มเดียวกันมีความละเอียด 12 บิท ส่วน Folding ADC และ Flash ADC มีความละเอียดไม่ถึง 12 บิท



รูปที่ 2.7 ความละเอียดและช่วงการทำงานของสถาปัตยกรรมแบบต่างๆ [5]

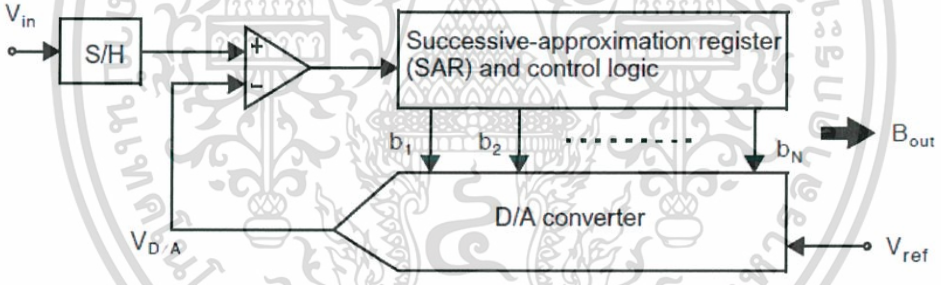
โดยภาพรวมแล้วสถาปัตยกรรมแต่ละแบบมีความสำคัญที่แตกต่างกัน ยกตัวอย่าง SAR ADC ที่ถูกนำมาใช้อย่างกว้างขวางในเรื่องงานเก็บข้อมูลใน, sigma delta ADC ให้ความเที่ยงตรงของเครื่องมือวัดในอุตสาหกรรม รวมถึงในเรื่องเสียงที่ความถี่ต่างๆ และ pipelined ADC ใช้ในงานความเร็วสูง เช่น วีดีโอ, เรดาร์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 เปรียบเทียบความแตกต่างของสถาปัตยกรรมหลัก 3 แบบ [5]

2.2 สถาปัตยกรรมของวงจร ADC ชนิด SAR

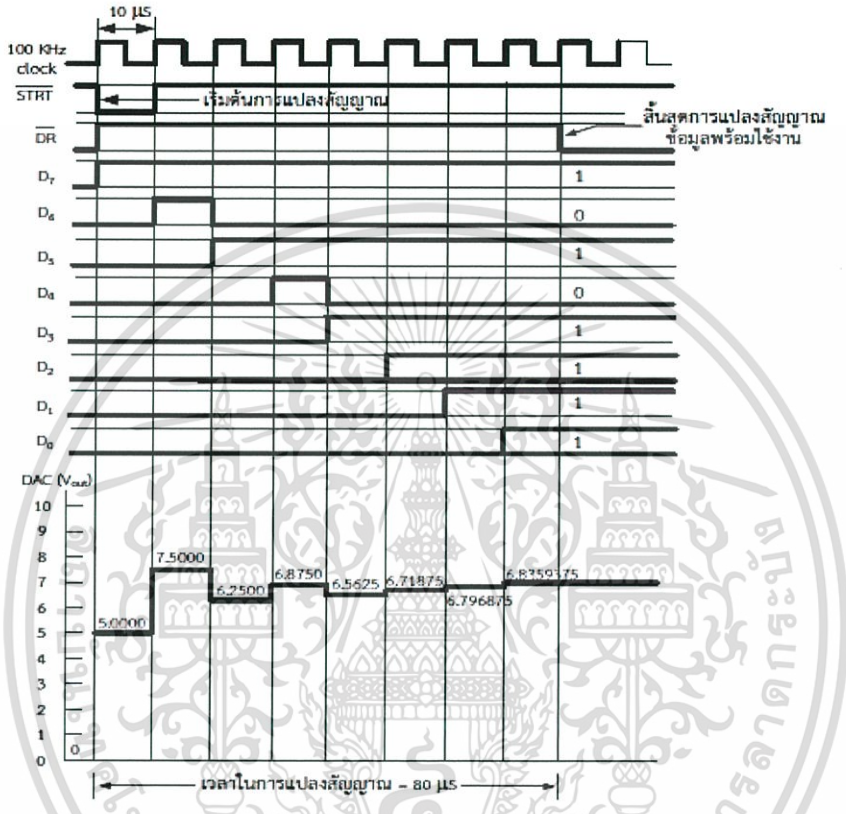


รูปที่ 2.8 สถาปัตยกรรมของ SAR Analog-to-Digital Converter [9]

SAR ADC โดยทั่วไป มีส่วนประกอบพื้นฐานคือ วงจร sample and hold , comparator, digital-to-analog converter, successive approximation register (SAR) หลักการทำงานของ SAR ADC คือการหาค่าที่ใกล้เคียงสัญญาณอินพุทที่สุดซึ่งการสุ่มค่าแรงดันแอนะล็อกจะเกิดจากการทำงานร่วมของ SAR และ DAC ในการสร้างแรงดันใกล้เคียง โดยมีคอมพาราเตอร์เปรียบเทียบระหว่างแรงดันอินพุทและแรงดันจาก DAC ด้วยคอมพาราเตอร์จำนวนครั้งการสุ่มจะมีค่าเท่าความละเอียดบิทและแรงดันแต่ละบิทมีค่าเท่ากับ $V_{ref}/2^N$ เมื่อ N คือบิทที่ทำการสุ่ม เริ่มต้นจากบิท MSB ไปยังบิท LSB ทีละบิต ถ้าแรงดันของบิทใดทำให้ผลรวมของแรงดัน DAC มีค่ามากกว่าแรงดันอินพุท บิตนั้นให้ค่า 0 (LOW) ในทางกลับกันหากแรงดันบิทใดทำให้ผลรวมของแรงดัน DAC มีค่าน้อยกว่าแรงดันอินพุท บิทนั้นให้ค่า 1 (HIGH) ยกตัวอย่างเช่น SAR ADC มีความละเอียด 8 บิท ใช้แรงดันอ้างอิง 10 โวล์ต เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงสัญญาณแอนะล็อกขนาด 6.823 โวล์ต การสุ่มครั้งแรกจะเริ่มจากการสวิตช์แรงดันที่บิท MSB ด้วยแรงดัน ½ V_{ref} หรือ 5 โวล์ต และทำการสุ่มครั้งในบิทถัดไปด้วยแรงดัน $V_{ref}/2^n$ เมื่อ n คือบิทถัดไป แสดงวิธีการสุ่มดังกล่าว จาก Time diagram รูป 2.9



รูปที่ 2.9 Time diagram ของ Analog-to-Digital Converter ชนิด SAR แบบทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ส่วนประกอบหลักของ Analog-to-Digital converter ชนิด SAR

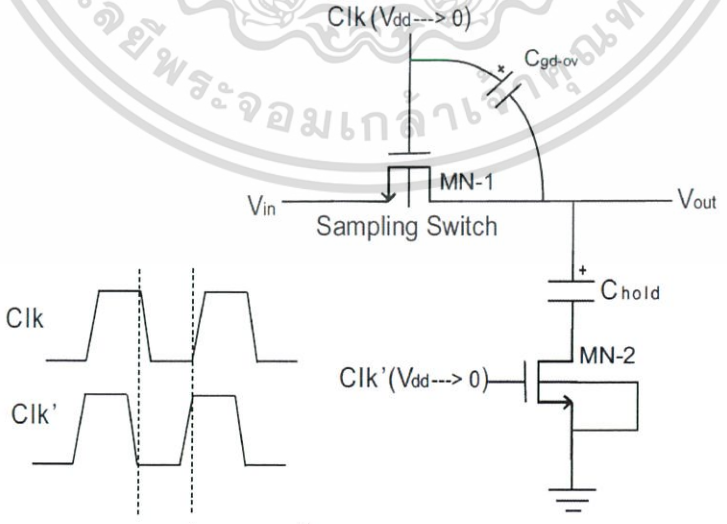
2.3.1 Track and Hold

วงจร track and hold โดยทั่วไปจะมีลักษณะดังรูปที่ 2.2 คือมีสวิตช์และตัวเก็บประจุที่ใช้ในการเก็บค่า โดยมักใช้ NMOS ทำงานในส่วนของสวิตช์เนื่องจากมีขนาดเล็กและค่าความต้านทานมีค่าน้อยกว่าเทียบกับ PMOS ที่มีขนาดเท่ากันจากรูปขณะที่ Clk เป็น“HIGH” NMOS (sampling-switch) จะมีค่าความต้านทาน (R_{on}) ซึ่งแปรผกผันกับขนาด (W/L) ดังสมการ

$$R_{on}(t) = \frac{1}{\mu_n C_{ox}(W/L)(V_{GS}(t) - V_{TH})} \tag{2.11}$$

สัญญาณอินพุทที่ขาซอร์สของมอสทรานซิสเตอร์ถูกชาร์จเข้าสู่ตัวเก็บประจุ เมื่อ Clk เป็น “LOW” MOS ทรานซิสเตอร์หรือสวิตช์จะปิดแรงดันที่ได้จากการสุ่มสัญญาณในแต่ละรอบและเก็บ (hold) ไว้ใน C_{hold} โดยค่า R_{on} และ C_{hold} จะเป็นตัวกำหนด bandwidth ของสัญญาณอินพุทที่ต้องการสุ่ม ดังสมการ

$$f_{-3dB} = \frac{1}{2\pi R_{on} C_{hold}} = \frac{\mu_n C_{ox}(W/L)(V_{GS}(t) - V_{TH})}{2\pi C_{hold}} \tag{2.12}$$



รูปที่ 2.2 วงจรพื้นฐาน Track and Hold

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำกระแสของ MOS ทรานซิสเตอร์จะขึ้นอยู่กับค่า V_{GS} จะเห็นว่าเมื่อมีการรับสัญญาณอินพุทที่ขาซอร์ส จึงทำให้ V_{GS} ในแต่ละรอบไม่คงที่ ดังนั้นจึงมีการใช้เทคนิค Bootstrapping เพื่อทำหน้าที่รักษาแรงดัน V_{GS} ให้มีค่าคงที่ ด้วยการทำให้แรงดัน V_G ให้มีความสูงกว่าแหล่งจ่ายไฟ

2.3.2 Successive Approximation Register

Successive Approximation Register (SAR) จะพิจารณาทีละบิท หาก ADC มีความละเอียด N บิท จะประกอบด้วย register จำนวน N ตัวเช่นกัน โดยมีความเป็นไปได้ของแต่ละบิท อยู่สองสถานะคือ เซท เป็น '1', รีเซท เป็น '0'หรือคงค่าเดิมไว้ ในขั้นตอนแรก บิท MSB ถูกเซทเป็น '1' ส่วนบิตอื่นถูกรีเซทเป็น '0' ค่าดิจิทัลเหล่านี้จะถูกเปลี่ยนเป็นค่าแอนะล็อกผ่าน DAC แรงดันเอาท์พุทจาก DAC จะถูกป้อนเข้าอินพุทของคอมพาราเตอร์และถูกเปรียบเทียบกับแรงดันอินพุท จากผลการเปรียบเทียบของ คอมพาราเตอร์, ตัวควบคุม SAR จะให้ค่าบิท MSB เป็น '1' ถ้าอินพุทมีค่ามากกว่าเอาท์พุทของ DAC หากเป็นกรณีตรงกันข้ามจะถูก reset เป็น '0' ส่วนบิทที่เหลือจะถูกพิจารณาเช่นเดียวกัน ในการทำงานสุดท้าย (last cycle) ค่าดิจิทัลที่ถูกเปลี่ยนแปลงจะถูกเก็บไว้ ดังนั้น ADC ที่มีความละเอียด N บิท จะต้องใช้จำนวน cycle ของสัญญาณนาฬิกาจำนวน N+1

2.3.3 Comparator

ทำหน้าที่ในส่วนของแอนะล็อกและทำงานในการเปรียบเทียบแรงดันแอนะล็อกที่ถูกสุ่มกับแรงดันเอาท์พุทของ DAC และกำเนิด ดิจิทัลเอาท์พุท high หรือ low ที่จะถูกนำไปใช้กับ SAR logic ดังนั้นความแม่นยำ (accuracy) และสมรรถนะของคอมพาราเตอร์จึงเป็นปัจจัยสำคัญต่อ SAR ADC

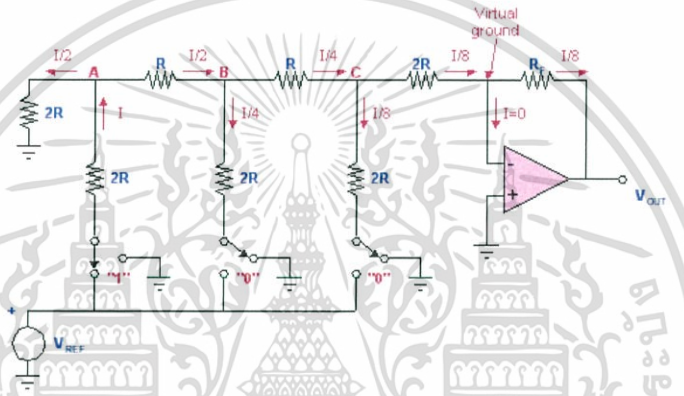
2.3.4 Digital to Analog converter (DAC)

ทำหน้าที่เปลี่ยนค่าดิจิทัลเอาท์พุทของ SAR logic เป็นค่าแอนะล็อกซึ่งแรงดันแอนะล็อกดังกล่าวจะถูกเปรียบเทียบกับสัญญาณอินพุทที่ถูกสุ่มด้วยคอมพาราเตอร์องค์ประกอบสำคัญที่มีผลต่อการทำงานของ DAC คือการสร้างสเกลอ้างอิงระดับสัญญาณแอนะล็อกต่อดิจิทัลอินพุท ในการสร้าง scaling นั้นมักใช้ตัวต้านทานหรือตัวเก็บประจุในการสร้างสเกลโดยการสร้างสเกลของ DAC จากสองอุปกรณ์นี้เรียกว่า Voltage-Scaling D/A converter และ Charge-Scaling D/A converter ตามลำดับ

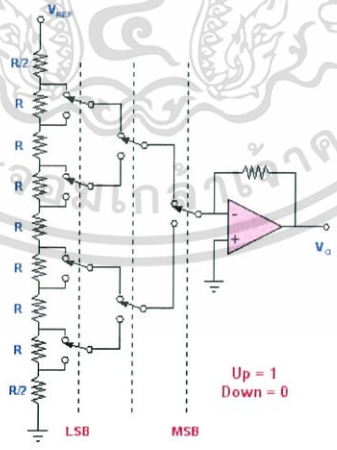
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Voltage-Scaling D/A converter

ใช้หลักการต่อตัวต้านทานแบบอนุกรมเชื่อมกับ V_{ref} กับ กราวด์ (Ground) เพื่อแบ่งแรงดันอ้างอิงและนำแรงดันที่โหนดต่างๆมาใช้โดยการปิด/เปิดสวิตช์ที่ควบคุมโดยบิตอินพุท ฉะนั้นจำนวนตัวต้านทานที่ใช้ขึ้นอยู่กับจำนวนบิท (N) ต้องมีอย่างน้อย 2^N ตัว โดยวงจร voltage-Scaling D/A จะมีเทคนิคการใช้สวิตช์ที่หลากหลาย อาทิการใช้สวิตช์โดยตรงกับแรงดันเอาท์พุตของบิท การสวิตช์แรงดันโดยใช้ decoder N/2N เป็นต้น นอกจากการวิธีการสวิตช์แล้วยังมีเทคนิคการต่อแบบ R-2R ซึ่งใช้เพียงตัวสวิตช์ประจำบิทเรียกว่า R-2R ladder



รูปที่ 2.10 R-2R ladder



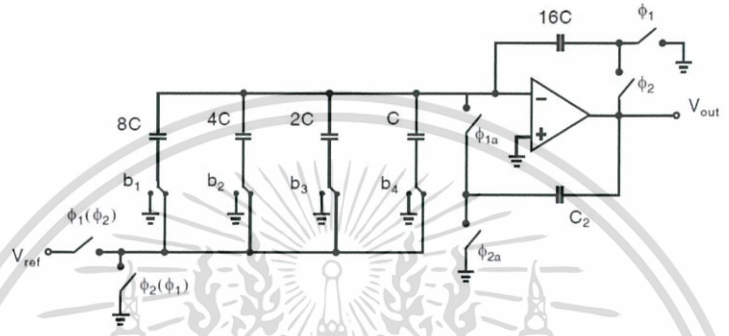
รูปที่ 2.11 Switched pole DAC

ข้อเสียของการต่อแบบใช้ตัวต้านทานคือเมื่อบิทมีจำนวนมากขึ้นจะต้องใช้จำนวนตัวต้านทานเพิ่มขึ้นด้วย ตัวต้านทานมีขนาดใหญ่ทำให้ใช้ขนาดพื้นที่เยอะและยังมีปัญหาเรื่องการสูญเสียพลังงาน ดังนั้นนิยมใช้แบบ charge-Scaling D/A converter แทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Charge-Scaling D/A converter

ใช้หลักการต่อตัวเก็บประจุแบบ Binary-weighted array เมื่อได้รับดิจิทัลอินพุท V_{ref} จะชาร์จประจุเข้าที่ตัวเก็บประจุและให้ค่าแอนะล็อกเอาท์พุทที่ค่าตรงกับดิจิทัลอินพุท ดังนั้นข้อดีของตัวแปลงผันชนิดนี้คืออัตราส่วนความผิดพลาดของตัวเก็บประจุในเทคโนโลยีแบบ MOS มีค่าค่อนข้างต่ำ จึงทำให้ D/A ชนิดนี้มีความแม่นยำสูง



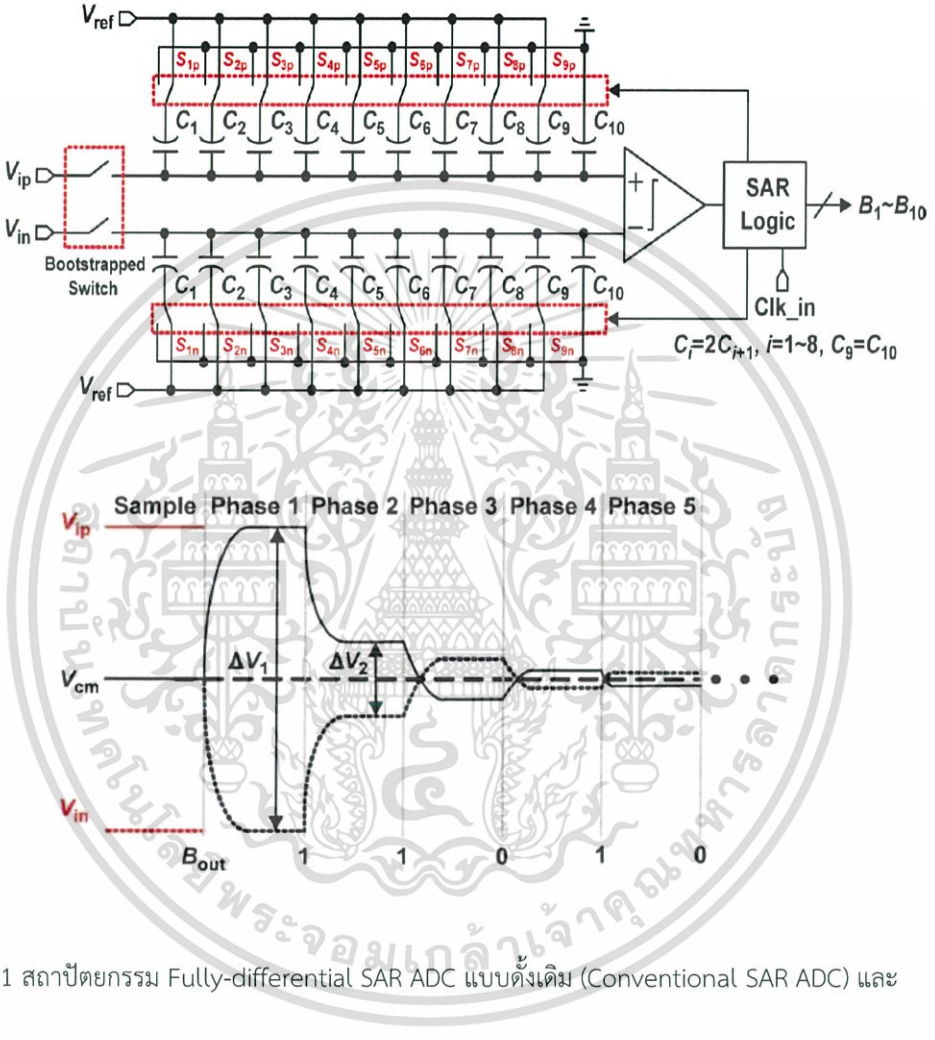
รูปที่ 2.12 Binary-array charge-scaling D/A converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

สถาปัตยกรรม SAR ADC แบบ Fully-differntial

3.1 Fully-differential SAR ADC แบบดั้งเดิม



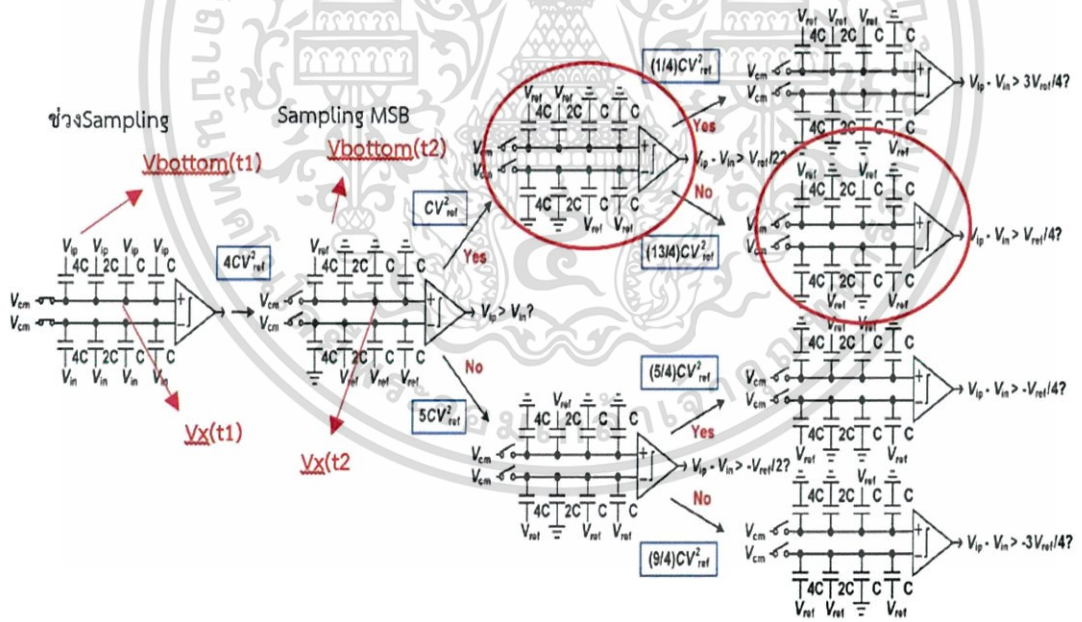
รูปที่ 3.1 สถาปัตยกรรม Fully-differential SAR ADC แบบดั้งเดิม (Conventional SAR ADC) และ waveform ของ Conventional SAR ADC [1]

สถาปัตยกรรม fully-differential SAR ADC มีข้อดีคือช่วยลดสัญญาณรบกวนจากแหล่งจ่าย (supply noise) และสัญญาณรบกวนจากคอมมอนโหมด (common-mode noise rejection) ในการออกแบบ SAR ADC ใช้โครงสร้าง DAC แบบbinary-weighted หรือ charge -redistribution ซึ่งได้รับความนิยมอย่างแพร่หลาย โดยในสถาปัตยกรรมนี้ capacitor network จะทำหน้าที่เป็นทั้งวงจร sample and hold และ DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการทำงานแบ่งออกแบบ 3 ช่วงคือ ในช่วง sampling แรงดันอินพุท V_{ip} และแรงดันอินพุท V_{in} ถูกชาร์จที่ฝั่ง bottom plate ของ capacitor array ในขณะเดียวกันฝั่ง top plate ของ capacitor array จะถูกชาร์จด้วยแรงดัน V_{cm} จากนั้นในช่วง hold ค่าที่สุ่มได้จะถูกเก็บไว้ใน capacitor array ต่อมาในช่วงการแปลงบิท (bit cycling) เริ่มที่ phase1 C_1 ตัวเก็บประจุที่ใหญ่ที่สุดจะถูกสวิตช์ไปยัง V_{ref} ส่วนตัวเก็บประจุตัวอื่นๆ จะสวิตช์ลงกราวด์ในฝั่ง positive (V_{ip}) ส่วนฝั่ง negative (V_{in}) สวิตช์ด้วยวิธีตรงกันข้ามกันจากนั้นคอมพาราเตอร์ทำการเปรียบเทียบค่า ถ้า V_{ip} มากกว่า V_{in} ผลคือค่า MSB bit เป็น 1 และการสวิตช์ S1p,S1n ยังคงเดิม ในทางกลับกันกรณี V_{ip} น้อยกว่า V_{in} MSB bit เป็น 0 ทำให้การสวิตช์ S1p,S1n สลับกันตรงข้ามกัน ต่อมาช่วง phase2 ตัวเก็บประจุ C_2 เริ่มสวิตช์ด้วยกระบวนการสวิตช์เช่นเดียวกับ phase1 และกระบวนการทำงานดังกล่าวจะเกิดขึ้นซ้ำเรื่อยๆ จนถึงบิทสุดท้าย การสวิตช์แต่ละบิททำให้แรงดัน V_{ip} และแรงดัน V_{in} เปลี่ยนแปลงดังรูปที่ 3.1

3.1.1. การสูญเสียพลังงานในการสวิตช์



รูปที่ 3.2 3-bits conventional switching procedure [1]

วิธีการสวิตช์ของ Conventional SAR ADC จะเป็นกระบวนการ trial and error search ซึ่งเกิดการสูญเสียพลังงานในแต่ละช่วงการสวิตช์มาก โดยสามารถคำนวณได้จากสมการดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$E = \int_{t1}^{t2} V_{ref} I_{ref}(t) dt \quad (3.1)$$

$$E = C_i V_{ref} [(V_{bottom(t2)} - V_{x(t2)}) - (V_{bottom(t1)} - V_{x(t1)})] \quad (3.2)$$

$$E = C_i V_{ref} [(\Delta V_{bottom} - \Delta V_x)] \quad (3.3)$$

จากตัวอย่างในรูปที่ 3.2 3-bit conventional SAR ADC ช่วยทำให้เข้าใจการสวิตช์แบบ conventional มากขึ้นโดยสามารถแบ่งเป็น 3 ช่วงดังนี้

- ช่วง holding สัญญาณอินพุท

ฝั่ง positive $(V_{cm} - V_{ip})8C = 4C(V_{xp(t1)} - V_{ref}) + 4C(V_{xp(t1)} - 0_{(gnd)})$

$$V_{xp(t1)} = V_{cm} - V_{ip} + \frac{V_{ref}}{2}$$

ฝั่ง negative $(V_{cm} - V_{in})8C = 4C(V_{xn(t1)} - V_{ref}) + 4C(V_{xn(t1)} - 0_{(gnd)})$

$$V_{xn(t1)} = V_{cm} - V_{in} + \frac{V_{ref}}{2}$$

หาพลังงานที่สูญเสียจาก $E_{total} = E_p + E_n$

เมื่อ $E_p = 4CV_{ref}[(V_{ref} - V_{ip}) - (V_{cm} - V_{ip} + (\frac{V_{ref}}{2} - V_{cm}))]$

เมื่อ $E_n = 4CV_{ref}[(V_{ref} - V_{in}) - (V_{cm} - V_{in} + (\frac{V_{ref}}{2} - V_{cm}))]$

ดังนั้น $E_{total} = E_p + E_n = 4CV_{ref}^2$

- กรณี ($V_{ip} > V_{in}$) เป็นจริง [ช่วงแปลงบิท MSB]

ฝั่ง positive $(V_{cm} - V_{ip})8C = 6C(V_{xp(t2)} - V_{ref}) + 2C(V_{xp(t2)} - 0_{(gnd)})$

$$V_{xp(t2)} = V_{cm} - V_{ip} + \frac{3V_{ref}}{4}$$

ฝั่ง negative $(V_{cm} - V_{in})8C = 6C(V_{xn(t2)} - 0_{(gnd)}) + 2C(V_{xn(t2)} - V_{ref})$

$$V_{xn(t2)} = V_{cm} - V_{in} + \frac{V_{ref}}{4}$$

หาพลังงานที่สูญเสียจาก $E_{total} = E_p + E_n$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $$E_p = 4CV_{ref}[0 - (V_{cm} - V_{ip} + \frac{3V_{ref}}{4}) - (V_{cm} - V_{ip} + \frac{V_{ref}}{2})] +$$
$$2CV_{ref}[V_{ref} - (V_{cm} - V_{ip} + \frac{3V_{ref}}{4}) - (V_{cm} - V_{ip} + \frac{V_{ref}}{2})]$$

เมื่อ $$E_n = 2CV_{ref}[0 - (V_{cm} - V_{in} + \frac{V_{ref}}{4}) - (V_{in} + \frac{V_{ref}}{2} - V_{cm})]$$

ดังนั้น $$E_{total} = E_p + E_n = CV_{ref}^2$$

<u>- กรณี ($V_{ip} < V_{in}$) เป็นจริง [ช่วงแปลงบิท MSB-1]</u>

ฝั่ง positive $$(V_{cm} - V_{ip})8C = 5C(V_{xp(t3)} - V_{ref}) + 3C(V_{xp(t3)} - 0_{(gnd)})$$
$$V_{xp(t3)} = V_{cm} - V_{ip} + \frac{5V_{ref}}{8}$$

ฝั่ง negative $$(V_{cm} - V_{in})8C = 3C(V_{xn(t3)} - V_{ref}) + 5C(V_{xn(t3)} - 0_{(gnd)})$$
$$V_{xn(t3)} = V_{cm} - V_{in} + \frac{3V_{ref}}{8}$$

หาพลังงานที่สูญเสียจาก $E_{total} = E_p + E_n$

เมื่อ $$E_p = 4CV_{ref}[0 - (V_{cm} - V_{ip} + \frac{5V_{ref}}{8}) - (V_{cm} - V_{ip} + \frac{3V_{ref}}{4})] +$$
$$CV_{ref}[V_{ref} - (V_{cm} - V_{ip} + \frac{5V_{ref}}{8}) - (V_{cm} - V_{ip} + \frac{3V_{ref}}{4})]$$

เมื่อ $$E_n = 2CV_{ref}[V_{ref} - (V_{cm} - V_{in} + \frac{3V_{ref}}{8}) - (V_{cm} - V_{in} + \frac{V_{ref}}{4})] +$$
$$CV_{ref}[0 - (V_{cm} - V_{in} + \frac{3V_{ref}}{8}) - (V_{cm} - V_{in} + \frac{V_{ref}}{4})]$$

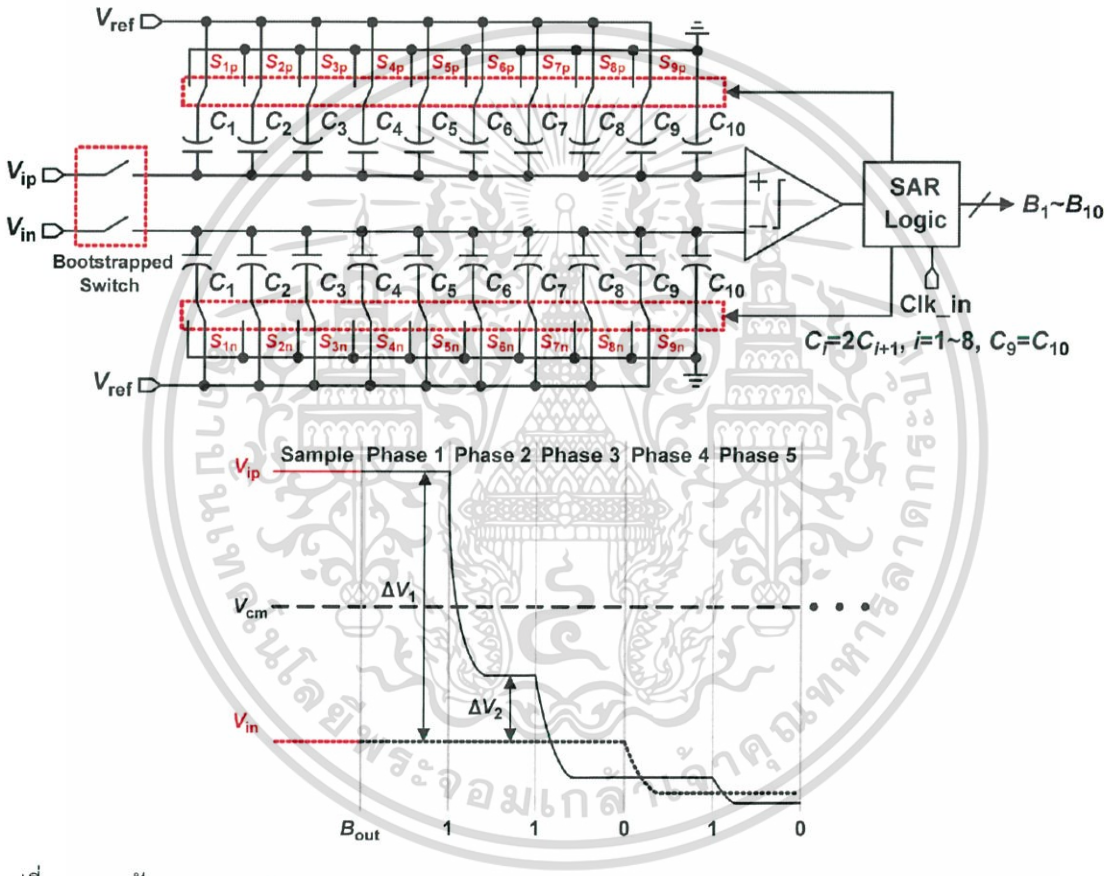
ดังนั้น $$E_{total} = E_p + E_n = \frac{13}{4}CV_{ref}^2$$

การสวิตช์ conventional มีรูปแบบเพื่อทำให้แรงดัน V_{ip} และV_{in} เพิ่มและลดดังนั้นจึงมีการชาร์จและถ่ายประจุตัวเก็บประจุในแต่ละรอบการทำงาน (bit cycling) ซึ่งเป็นการสิ้นเปลืองพลังงาน ดังนั้นเพื่อลดการสูญเสียพลังงานและลดอุปกรณ์ให้น้อยลง ในปริญญานิพนธ์นี้จึงได้ศึกษาการใช้วิธีการสวิตช์แบบ monotonic method จาก [1] ซึ่งเป็นวิธีที่มีข้อได้เปรียบเหนือกว่าแบบ conventional หลายประการเช่น กระบวนการสวิตช์ไม่ซับซ้อนมีเพียงการถ่ายประจุออกจากส่วนที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถูกเก็บไว้ในช่วงการสุ่มโดยปราศจากการชาร์จตัวเก็บประจุใดๆเกิดขึ้นในระหว่างการแปลงดิจิทัลเอาท์พุท อีกทั้งจำนวนตัวเก็บประจุในระบบมีเพียงครึ่งหนึ่งของ conventional SAR ADC ทางผู้จัดทำจึงนำกระบวนการสวิตช์แบบโมโนโนนิค (monotonic switching procedure) มาใช้ในการออกแบบวงจร SAR ADC

3.2 Fully-differential SAR ADC with Monotonic Switching Procedure



รูปที่ 3.3 สถาปัตยกรรม Fully-differential SAR ADC with monotonic switching procedure และ Waveform ของ monotonic switching procedure [1]

จากวงจรในรูปที่3.3 ประกอบด้วย comparator , successive approximation registers (SAR) logic , bootstrapped switch และ capacitor array ซึ่งมีสองบทบาทคือเป็น sample and hold ทำงานร่วมกับ bootstrapped switch ในช่วง sampling และเป็น DAC ในช่วงการแปลงบิท (bit cycling) ข้อแตกต่างของโครงสร้างนี้เทียบกับรูปแบบการสวิตช์แบบดั้งเดิม (conventional swiching method) คือ มีเพียง 2 ช่วงการทำงาน คือ ช่วง sampling และช่วงการแปลงบิท (bit-

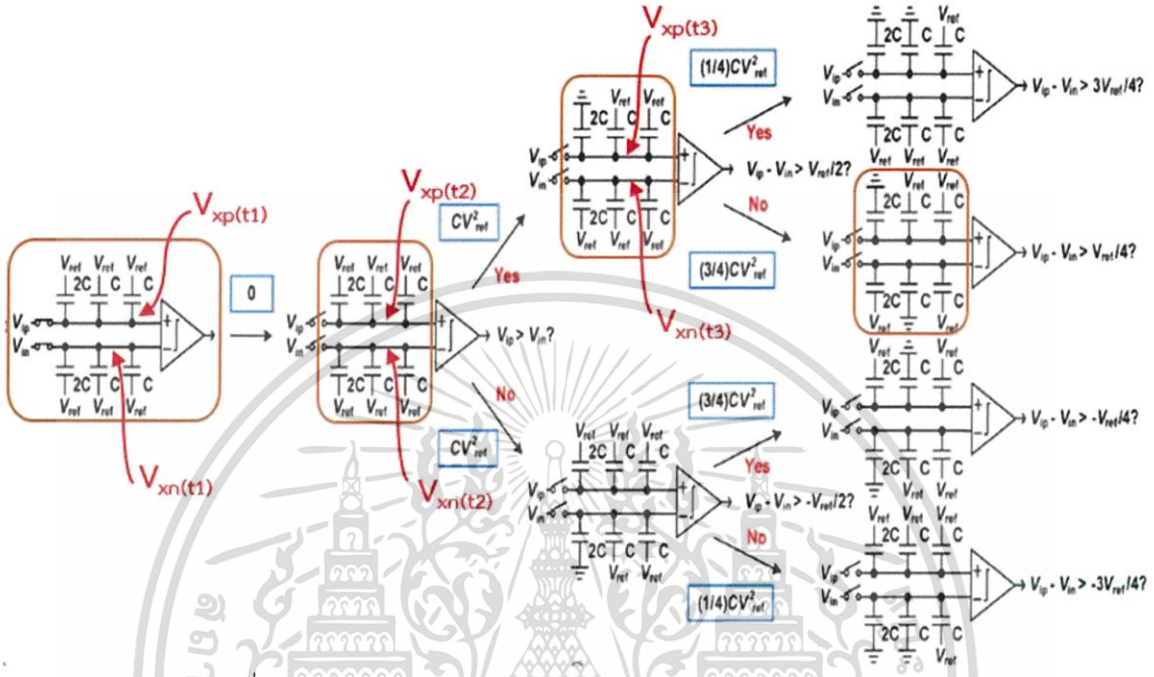
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cycling) ในช่วงการ sampling สัญญาณอินพุทแอนาล็อก V_{ip} และ V_{in} ถูกสุ่ม (sample) ที่ฝั่ง top plates ของ capacitor array ผ่าน bootstrapped switch ในขณะเดียวกันฝั่ง bottom plates ของ capacitor array ถูกรีเซทด้วย V_{ref} ต่อมาในช่วงการแปลงบิท (bit cycling) เกิดขึ้นเมื่อหลังจาก ADC สั่ง bootstrapped switch ให้หยุดการสุ่ม (turn off) ในช่วง phase1 คอมพาราเตอร์เปรียบเทียบขนาด V_{ip} และ V_{in} จากช่วง sampling โดยที่ตัวเก็บประจุทุกตัวใน capacitor array จะไม่มีการสวิตช์ใดๆ หลังจากนั้นผลดิจิทัลเอาท์พุทของคอมพาราเตอร์ที่ได้จะส่งผลทำให้ตัวเก็บประจุ C_1 ใน capacitor array ด้านที่มีแรงดันสูงกว่า สวิตช์ลงกราวด์ส่วนในด้านที่แรงดันน้อยกว่า การสวิตช์ตัวเก็บประจุ C_1 ใน capacitor array ด้านนั้นยังคงเดิม ในช่วง phaseถัดไป แรงดันV_{ip} และ V_{in} จากช่วงphase1 ถูกเปรียบเทียบด้วยคอมพาราเตอร์แล้วสวิตช์ด้วยเงื่อนไขเดียวกันกับในช่วง phase1 วิธีการดังกล่าวจะเกิดขึ้นซ้ำๆจนกระทั่งบิต LSB ถูกตัดสินใจจากวิธีการดังกล่าวในแต่ละ bit cycle จะมีเพียงตัวเก็บประจุตัวเดียวถูกสวิตช์จึงมีข้อผลดีคือลดการส่งถ่ายประจุใน DAC เนื่องจากไม่มีการชาร์จตัวเก็บประจุในแต่ละ bit cycle รวมถึงลดขั้นตอนการทำงานของวงจรควบคุมและการสวิตช์ ผลลัพธ์คือมีการสูญเสียพลังงานที่น้อยกว่า นอกเหนือจากนี้สิ่งที่แตกต่างอย่างชัดเจนระหว่างการสวิตช์แบบโมโนโทนิค (monotonic method) กับการสวิตช์แบบดั้งเดิม (conventional method) คือการสวิตช์แบบดั้งเดิมจะมีแรงดันอ้างอิง common-mode ของวงจร DAC โดยทั่วไปมีค่าเป็นครึ่งหนึ่งจาก V_{ref} กับ กราวด์ดังรูปที่ 3.1แต่ในการสวิตช์แบบโมโนโทนิค วงจร DAC ไม่จำเป็นต้องมีแรงดันอ้างอิง common-mode ดังรูปที่ 3.3 และรูปแบบการสวิตช์มีเพียงการลดแรงดันลงเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 การสูญเสียพลังงานในการสวิตช์

จากตัวอย่างรูปที่ 3.4 3 bits SAR ADC ทำงานด้วยกระบวนการสวิตช์แบบโมโนโทนิค



รูปที่ 3.4 3 bits SAR ADC monotonic switching procedure [1]

- ช่วงเวลาที่ bootstrapped switch track และ hold input

ฝั่ง positive แรงดันไฟฟ้าที่ขั้วบวกของคอมพาราเตอร์

$$(V_{ip} - V_{ref})4C = 4C(V_{xp(t1)} - V_{ref}) \qquad \text{จะได้ } V_{xp(t1)} = V_{ip}$$

ฝั่ง negativeแรงดันไฟฟ้าที่ขั้วลบของคอมพาราเตอร์

$$(V_{in} - V_{ref})4C = 4C(V_{xn(t1)} - V_{ref}) \qquad \text{จะได้ } V_{xn(t1)} = V_{in}$$

หาพลังงานที่สูญเสียจาก $E_{total} = E_p + E_n$

เมื่อ $E_p = 4CV_{ref}[(V_{ref} - V_{ref}) - (V_{ip} - V_{ip})]$

เมื่อ $E_n = 4CV_{ref}[(V_{ref} - V_{ref}) - (V_{in} - V_{in})]$

ดังนั้น $E_{total} = E_p + E_n = 0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กรณี (Vip >V_{in}) เป็นจริง [ช่วงแปลงบิต MSB]

ฝั่ง positive แรงดันไฟฟ้าที่ขั้วบวกของคอมพาราเตอร์

$$(V_{ip} - V_{ref})4C = 2C(V_{xp(t2)} - V_{ref}) + 2C(V_{xp(t2)} - 0_{(gnd)})$$

$$V_{xp(t2)} = V_{ip} - \frac{V_{ref}}{2}$$

ฝั่ง negative แรงดันไฟฟ้าที่ขั้วลบของคอมพาราเตอร์

$$(V_{in} - V_{ref})4C = 4C(V_{xn(t2)} - V_{ref})$$

$$V_{xn(t2)} = V_{in}$$

หาพลังงานที่สูญเสียจาก $E_{total} = E_p + E_n$

เมื่อ $E_p = 2CV_{ref}[(V_{ref} - V_{ref}) - ((V_{ip} - \frac{V_{ref}}{2}) - (V_{ip} - V_{ref}))]$

เมื่อ $E_n = 4CV_{ref}[(V_{ref} - V_{ref}) - (V_{in} - V_{in})]$

ดังนั้น $E_{total} = E_p + E_n = CV_{ref}^2$

- กรณี (V_{ip} >V_{in}) > V_{ref}/2 เป็นจริง [ช่วงแปลงบิต MSB-1]

ฝั่ง positive แรงดันไฟฟ้าที่ขั้วบวกของคอมพาราเตอร์

$$(V_{ip} - V_{ref})4C = 2C(V_{xp(t3)} - V_{ref}) + 2C(V_{xp(t3)} - 0_{(gnd)})$$

$$V_{xp(t3)} = V_{ip} - \frac{V_{ref}}{2}$$

ฝั่ง negative แรงดันไฟฟ้าที่ขั้วลบของคอมพาราเตอร์

$$(V_{in} - V_{ref})4C = 3C(V_{xn(t3)} - V_{ref}) + C(V_{xn(t3)} - 0_{(gnd)})$$

$$V_{xn(t3)} = V_{in} - \frac{V_{ref}}{4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาพลังงานที่สูญเสียจาก $E_{total} = E_p + E_n$

เมื่อ $E_p = 2CV_{ref}[(V_{ref} - V_{ref}) - ((V_{ip} - \frac{V_{ref}}{2}) - (V_{ip} - V_{ref}))]$

เมื่อ $E_n = 3CV_{ref}[(V_{ref} - V_{ref}) - ((V_{in} - \frac{V_{ref}}{4}) - (V_{in} - 0_{(gnd)}))]$

ดังนั้น $E_{total} = E_p + E_n = \frac{3}{4}CV_{ref}^2$

จากตัวอย่าง 3 บิต SAR ADC ทั้งสองรูปแบบคือรูปที่ 3.2 ที่มีรูปแบบการสวิตช์แบบดั้งเดิม (conventional switching method) และดังรูปที่ 3.4 ที่มีรูปแบบการสวิตช์แบบโมโนโทนิค (monotonic switching method) การสวิตช์แบบดั้งเดิมจะใช้รูปแบบที่เรียกว่า trial and error search procedure ดังในรูปที่ 3.2 ซึ่งลักษณะการสวิตช์ดังกล่าวจะมีประสิทธิภาพในกรณี upper case หรือ $V_{ip}>V_{in}$ ซึ่งการสวิตช์ตัวเก็บประจุจะยังคงเดิมแต่มีข้อเสียในกรณี lower case หรือ$V_{ip}<V_{in}$ จะมีการเปลี่ยนสวิตช์เกิดขึ้นจึงทำให้กินพลังงานมากส่วนในการสวิตช์แบบโมโนโทนิคหลังจาก sampling switch หยุดทำงานจนถึงช่วงที่คอมพาราเตอร์ทำการเปรียบเทียบครั้งแรก ตัวเก็บประจุใน capacitor array ยังคงการสวิตช์เดิมทำให้ขั้นตอนการสวิตช์ในช่วงนี้ ไม่สูญเสียพลังงานในทางกลับกัน SAR ADC ที่ใช้รูปแบบการสวิตช์แบบดั้งเดิมจะสูญเสียพลังงาน $4CV_{ref}$ ก่อนการช่วงการเปรียบเทียบครั้งแรกของคอมพาราเตอร์ ฉะนั้นวิธีการสวิตช์แบบโมโนโทนิคจึงมีประสิทธิภาพกว่าการสวิตช์แบบดั่งเดิม [1]

สำหรับ conventional SAR ADC ความละเอียด N บิท ในแต่ละดิจิทัลเอาท์พุทให้พลังงานเฉลี่ยจากการสวิตช์เท่ากับ

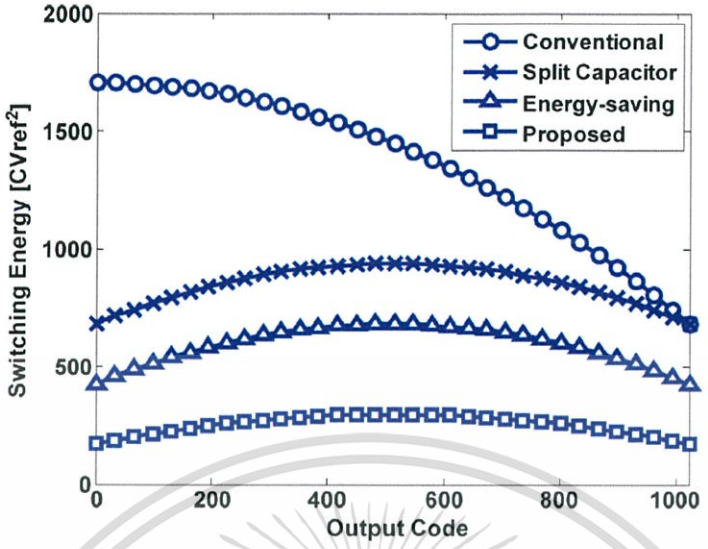
$$E_{avg}(conv.) = \sum_{i=1}^{n} 2^{(n+1)-2i}(2^i - 1)CV_{ref}^2 \qquad (3.4)$$

พลังงานเฉลี่ยจากการสวิตช์ของ N บิท SAR ADC ที่ใช้รูปแบบการสวิตช์แบบโมโนโทนิคมีค่าเท่ากับ

$$E_{avg}(mono.) = \sum_{i=1}^{n-1} 2^n(2^{-(2+i)})CV_{ref}^2 \qquad (3.5)$$

จากสมการ 3.4และ3.5 สำหรับความละเอียด 10 บิท กรณีใช้การสวิตช์แบบดั้งเดิม (conventional switching procedure) พลังงานที่ใช้คือ $1365.3CV^2_{ref}$ ในขณะที่ การสวิตช์แบบโมโนโทนิคใช้พลังงานเพียง 255.5 CV^2_{ref} ซึ่งลดการใช้พลังงานจากการสวิตช์แบบดั่งเดิมถึง 81 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

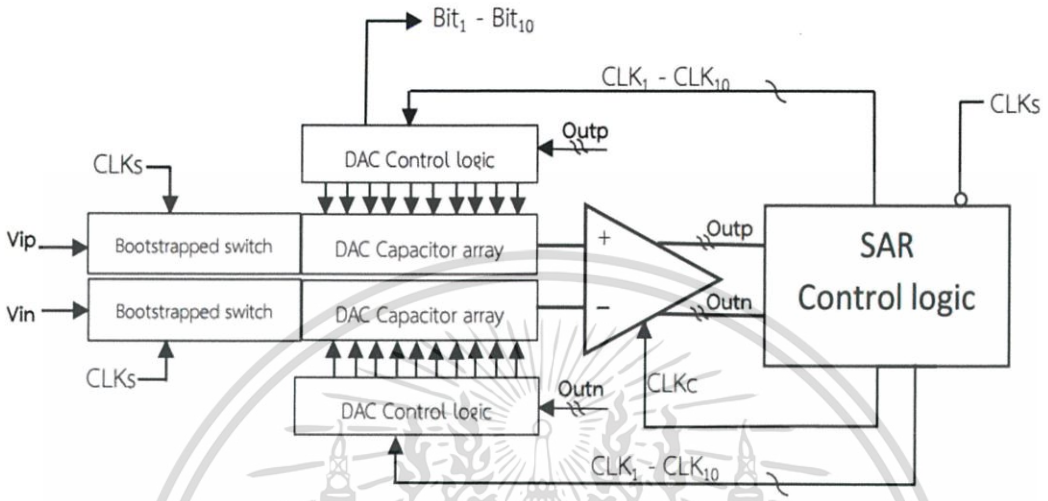


รูปที่ 3.5 Switching energy versus digital output code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจร



รูปที่ 4.1 โครงสร้างของ SAR ADC ที่ออกแบบ

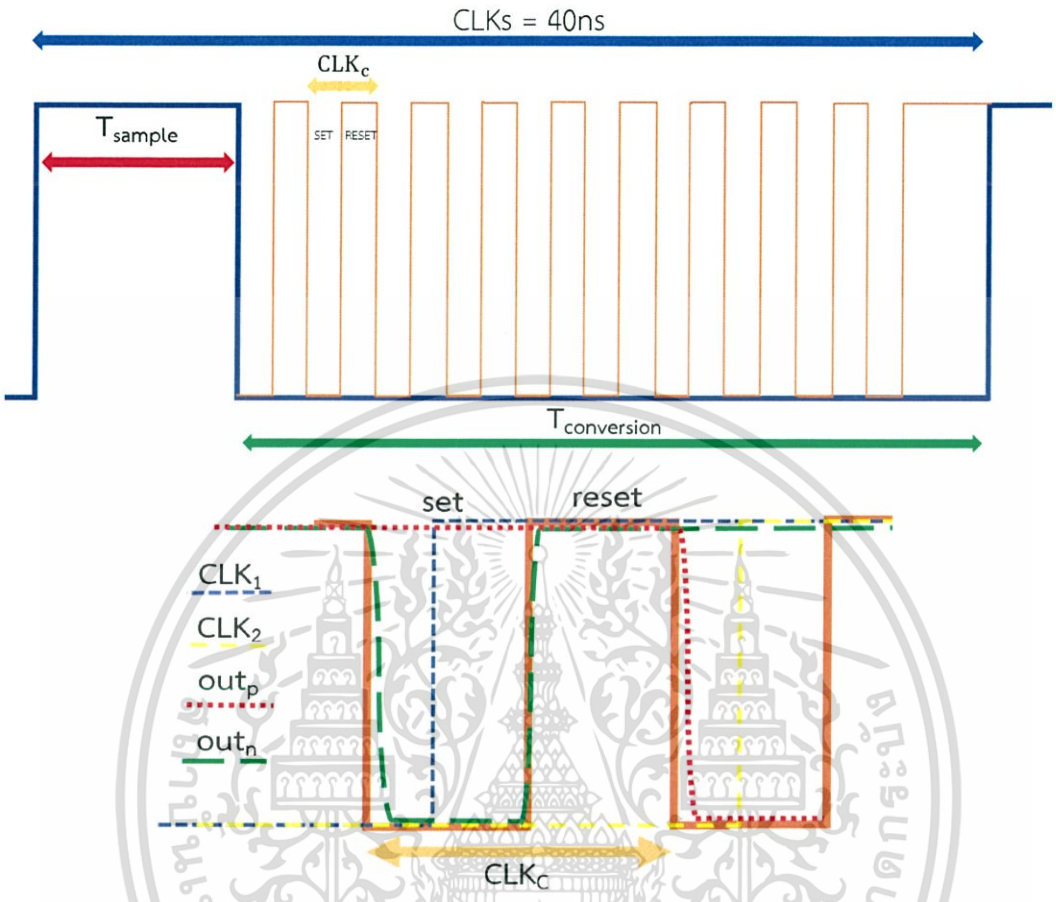
SAR ADC ที่ออกแบบมีรูปแบบการสวิตช์แบบโมโนโทนิค (monotonic switching - procedure) ซึ่งถูกควบคุมการทำงานด้วยสัญญาณนาฬิกาCLK_s โดยมีสัญญาณแอนะล็อกอินพุทคือ V_{ip} ,V_{in} และให้ดิจิทัลเอาท์พุทจำนวน 10 บิท (Bit_1 – Bit_{10}) โครงสร้างภายในวงจรประกอบด้วย dynamic comparator, bootstrapped switch, capacitor network และ SAR control logic โดย capacitor network ทำหน้าที่เป็นทั้งวงจร sample and hold และวงจร DAC ชนิดcharge-redistribution ดังรูปที่ 4.1 และมีรายละเอียดคุณสมบัติดังตารางที่ 4.1

Resolution	10 bit
Sampling rate	25MS/s
Supply voltage	1.8 V
Input range (peak-to-peak)	1.8 V_{p-p} [0, 1.8V]
Input common-mode voltage (V)	900mV

ตารางที่ 4.1 รายละเอียดคุณสมบัติของสัญญาณอินพุท และเอาท์พุทของ SAR ADC ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 Timing การทำงาน SAR ADC



รูปที่ 4.2 Timing diagram ของการทำงาน ADC

จาก timing diagramในรูปที่ 4.2 เป็นกระบวนการทำงานของ SAR ADC ในรูปที่ 4.1 ซึ่งถูกควบคุมด้วยสัญญาณ CLK_s มีสัญญาณแอนะล็อกอินพุทคือ V_{IP} และ V_{IN} และให้สัญญาณดิจิทัลเอาท์พุทคือ bit_1-bit_{10} ส่วนคอมพาราเตอร์ภายใน ADC ถูกควบคุมการทำงานด้วยสัญญาณ CLK_C และให้สัญญาณดิจิทัลเอาท์พุท out_P และ out_n

คาบเวลาของ CLK_s 40 ns (sampling rate 25MHz) ในการแปลงสัญญาณแอนะล็อกอินพุท(V_{IP} ,V_{IN}) เป็นดิจิทัลเอาท์พุทของ SAR ADC ในรูปที่ 4.1 ถูกแบ่งช่วงการทำงานเป็น 2 ช่วง คือ

1.ช่วงเวลาการเก็บค่าแอนะล็อก (T_{sample}) เป็นช่วงที่ bootstrapped switch บน top plate ของ capacitor array ทำงาน (turn on) และ bottom plate ของ capacitor array ถูกรีเซทด้วย V_{ref} เพื่อรับแอนะล็อกอินพุท V_{IP}, V_{IN} ค่าใหม่ ในขณะเดียวกันสัญญาณ CLK_1-CLK_{10} ของ SAR control logic จะถูกเคลียร์ค่าเป็น “LOW” เพื่อเตรียมการทำงานในช่วง $T_{conversion}$

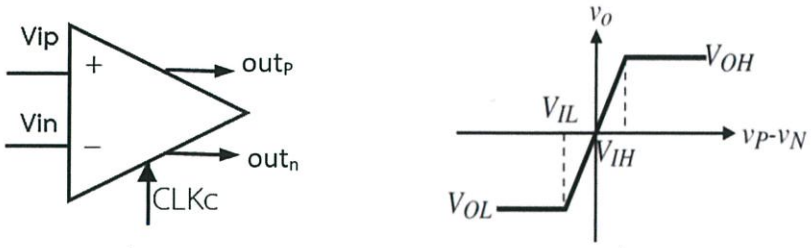
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.ช่วงเวลาการแปลงบิท ($T_{conversion}$) หลังจาก bootstrapped switch หยุดทำงาน และ T_{CLKs} มีสถานะ"LOW" ทำให้ SAR control logic เริ่มการทำงาน bit cycleที่หนึ่ง โดยป้อนสัญญาณควบคุมการทำงานของคอมพาราเตอร์ (CLK_C) สถานะ"LOW"แก่คอมพาราเตอร์เพื่อเปรียบเทียบค่า V_{IP} กับ V_{IN} (จากช่วง T_{sample}) และผลดิจิทัลเอาท์พุท out_P และ out_n ที่ได้จากคอมพาราเตอร์จะถูกป้อนให้ SAR control logic เพื่อเปลี่ยนสัญญาณควบคุมการทำงานของคอมพาราเตอร์ (CLK_C) เป็นสถานะ"HIGH"ส่งผลทำให้คอมพาราเตอร์หยุดการทำงาน (RESET) รวมถึงสร้างสัญญาณเอาท์พุทของ SAR control logic (CLK_1) ซึ่งสัญญาณดังกล่าวถูกนำไปใช้ในการเก็บค่าสัญญาณ out_P และ out_n เพื่อสร้างดิจิทัลเอาท์พุท MSB bit และควบคุมการสวิตช์ตัวเก็บประจุตัวแรก(C_{MSB}) ด้วยกระบวนการสวิตช์แบบโมโนโทนิคตามที่กล่าวในบทที่ 3 อันเป็นการสวิตช์ตัวเก็บประจุลงกราวด์ (GND) ในฝั่งที่แรงดันสูงกว่า ส่งผลทำให้แรงดันมีค่าลดลงจากเดิม $0.5V_{ref}$ ส่วนฝั่งตรงกันข้ามจะไม่มีการสวิตช์ลงกราวด์ (GND) ทำให้แรงดันมีค่าเท่าเดิม เมื่อเข้าสู่ bit cycleถัดไป SAR control logic จะเริ่มกระบวนการทำงานเช่นเดียวกับ bit cycle ที่หนึ่ง เพื่อสร้างเอาท์พุทดิจิทัลและสวิตช์ตัวเก็บประจุซึ่งถัดจาก C_{MSB} โดยแรงดันที่ลดลงในแต่ละ bit cycle คือ $(C_{MSB-1} / C_{MSB})V_{ref}$ เมื่อC_{MSB-1} คือตัวเก็บประจุประจำ bit cycle นั้นๆที่ถัดจาก C_{MSB} จากรูปที่ 4.2 สัญญาณ CLK_C เป็นสัญญาณที่เกิดจากการทำงานของคอมพาราเตอร์ร่วมกับ SAR logic ฉะนั้นคาบเวลาของสัญญาณ CLK_C ในแต่ละ bit-cycle จะมีค่าไม่เท่ากัน ขึ้นอยู่กับความต่างของระดับสัญญาณ V_{IP} และ V_{IN} ในช่วง bit cycle นั้นว่ามีขนาดแตกต่างกันมากน้อยเพียงใดรวมถึงค่า delay time ของอุปกรณ์ลอจิกเกตด้วย ดังนั้นจึงมีการเผื่อช่วงเวลาของสัญญาณ CLK_C หลังจากช่วง bit cycle ที่ 10 เสร็จสิ้นประมาณ 1.8ns และปรับขนาดทรานซิสเตอร์ของ OR gate ภายใน SAR control logic เพื่อทำให้สัญญาณ CLK_C มีคาบเวลาที่เหมาะสมต่อการทำงานของ ADC

4.2 Comparator

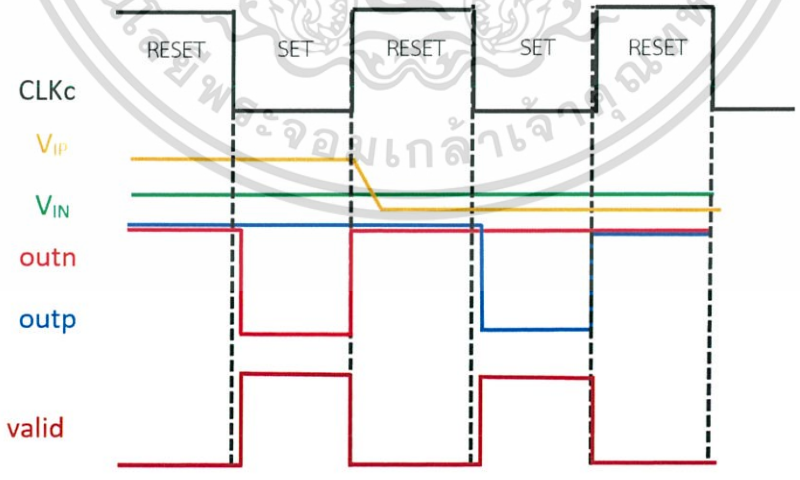
คอมพาราเตอร์เป็นอุปกรณ์ที่มีความสำคัญอย่างหนึ่งในโครงสร้างของSAR ADC เพราะกระบวนการแปลงดิจิทัลเอาท์พุทในแต่ละบิทนั้น คอมพาราเตอร์มีหน้าที่เปรียบเทียบขนาดแอนะ-ล็อกอินพุทระหว่าง V_{ip} และV_{in} (จากการทำงานของ DAC) โดยนำผลการเปรียบเทียบที่ได้เข้าสู่กระบวนการทางดิจิทัลเพื่อสร้างดิจิทัลเอาท์พุทและขับเคลื่อนกระบวนการสวิตช์ตัวเก็บประจุใน DAC เพื่อลดทอนแรงดันแอนะล็อกให้พร้อมกับการแปลงดิจิทัลเอาท์พุทใน bit cycle ถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 dynamic comparator สำหรับ SAR ADC ที่ออกแบบ

Dynamic latched comparator ของ SAR ADC ที่ออกแบบมีสัญญาณอินพุทเป็นผลต่างของขนาดแรงดันอินพุท V_{IP} และ V_{in} ($V_d = (V_{IP} - V_{IN})$) และเอาท์พุทเป็นสัญญาณดิจิทัล out_P, out_n มีสัญญาณCLK_C ควบคุมการทำงานคอมพาราเตอร์ เมื่อสัญญาณ CLK_C มีสภาวะ “HIGH” คอมพารา-เตอร์อยู่ในสภาวะ RESET ได้สัญญาณ out_P และout_n มีสถานะ“HIGH” ในทางตรงกันข้ามถ้าสัญญาณ CLK_C เป็น“LOW” คอมพาราเตอร์จะเปรียบเทียบสัญญาณอินพุท V_{IP} และ V_{IN} แล้วให้สัญญาณเอาท์พุท out_p และ out_n ตามกลไกของคอมพาราเตอร์ คือ กรณี $V_{IP} > V_{IN}$ ได้สัญญาณเอาท์พุท out_P มีค่า “LOW”และสัญญาณเอาท์พุท out_n มีค่า “HIGH” ส่วนกรณี $V_{IP} < V_{IN}$ ได้สัญญาณเอาท์พุท out_P มีค่า “HIGH”และสัญญาณเอาท์พุท out_n มีค่า “LOW” หลังจากได้ผลการเปรียบเทียบเป็นสัญญาณ out_P และ out_n ดังกล่าวแล้ว สัญญาณจะถูกป้อนให้กับวงจร DAC control เพื่อสร้างดิจิทัลเอาท์พุทของ ADC ในขณะเดียวกันสัญญาณ valid (ผลเอาท์พุทของ NAND gate มีอินพุทคือสัญญาณ out_P และ out_n) จะถูกป้อนให้กับ SAR control logic เพื่อสร้างสัญญาณ CLK_1 -CLK_{10} ในการควบคุมการทำงานของ DAC ในแต่ละ bit cycle



รูปที่ 4.4 time diagram การทำงานของคอมพาราเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพิจารณาคุณสมบัติของคอมพาราเตอร์เพื่อการออกแบบมีดังนี้

- Resolution and Metastability

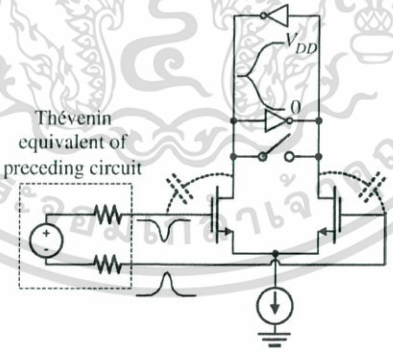
ในโครงสร้าง SAR ADC สมรรถนะในการเปรียบเทียบ differential input ของคอมพารา-เตอร์ ควรสามารถแยกแยะค่า V_{LSB} ได้ซึ่งมีค่าเท่ากับ $2^{-N}(V_{ref})$ สำหรับ ADC ความละเอียด 10 บิท และแรงดันอ้างอิง 1.8 V ค่าแรงดัน V_{LSB} มีเท่ากับ 1.7578mV เพื่อความแม่นยำในการทำงานของคอมพาราเตอร์ ขนาดของ differential input ที่คอมพาราเตอร์สามารถทำงานได้ควรมีค่าอย่างน้อย $0.5V_{LSB}$ ดังนั้นอัตราขยาย (A_V) ของคอมพาราเตอร์ควรมีค่าดังสมการ

$$|A_v| = \frac{V_{out}}{\Delta V_{in}} = \frac{V_{OH} - V_{OL}}{0.5V_{LSB}} = \frac{1.8}{0.5(1.8/2^N)} = 2^{N+1} = 2^{11} = 2048\,v/v$$

- Speed

การทำงานของคอมพาราเตอร์ในSAR ADC มี 2 ช่วงคือ SETและ RESET ฉะนั้นการ resolve เอาท์พุทของคอมพาราเตอร์ต้องมีความไวเพียงพอที่จะสามารถให้ผลการเปรียบเทียบภายในช่วง SET ได้ (ไม่ควรเกิน50%ของช่วงSET) เทคนิค regeneration latch (RS Latch) จึงถูกนำมาใช้เพื่อเพิ่มสมรรถนะในการแสดงผลเอาท์พุทให้มีความไวมากขึ้น

- offset



รูปที่ 4.5 kick-back noise generation [10]

ปัญหาที่พบใน latch comparator คือ kick-back noise ซึ่งเป็นแรงดันรบกวนที่เกิดขึ้นบนโหนดอินพุทขณะช่วงคอมพาราเตอร์ทำงาน (SET) เนื่องจากแรงดันที่โหนด regeneration ภายในของคอมพาราเตอร์มีความแปรผันสูง ทำให้เกิดแรงดันรบกวนปรากฏขึ้นที่โหนดอินพุทโดยส่งผ่านตัวเก็บประจุแฝงของทรานซิสเตอร์ differential pair ดังแสดงในรูปที่4.5 การมี kick-back noise ในสัญญาณอินพุทอาจส่งผลต่อประสิทธิภาพการแปลงค่าของ ADC ดังนั้นเพื่อแก้ปัญญาผลกระทบ

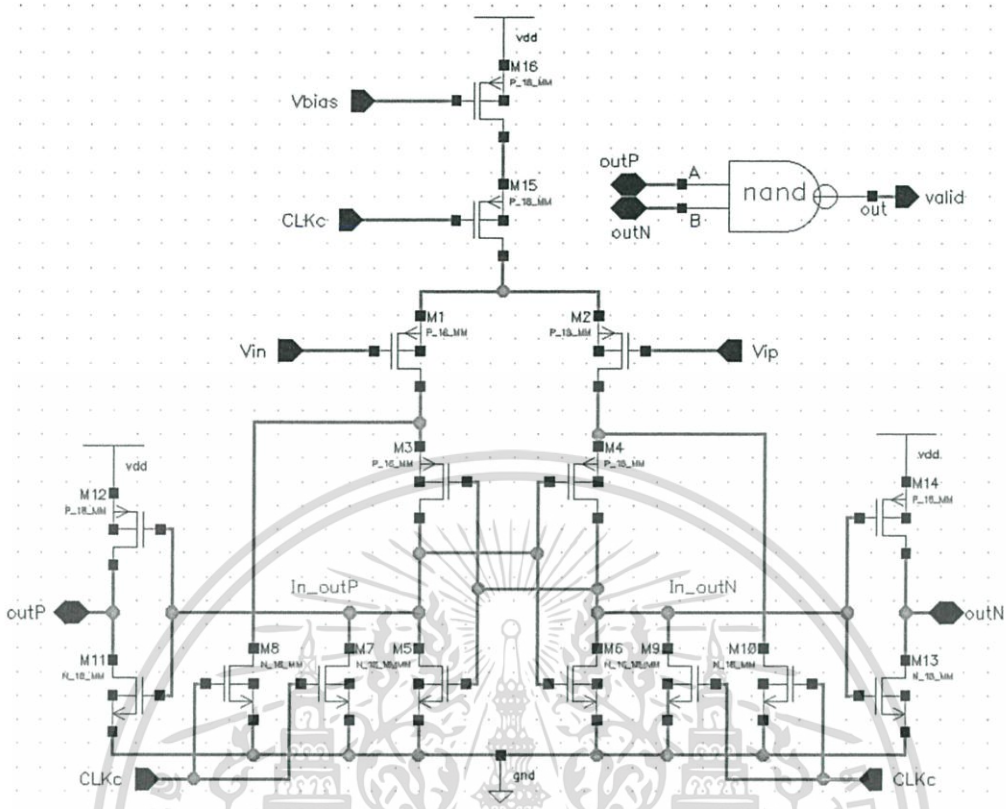
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังกล่าว จึงเลื่อนช่วงเวลาในการทำงานของ DAC ในการสร้างแรงดันแอนะล็อกอินพุทค่าใหม่ ให้อยู่ในช่วง RESET ของคอมพาราเตอร์แทนการสวิตช์ทันทีภายในช่วง SET ของคอมพาราเตอร์

จากวงจรในรูปที่ 4.6 คือ วงจร latch comparator ชนิด P-type ภายในวงจรประกอบด้วย input pair (M1,M2) , RS latch (M3,M4,M5,M6) ทำหน้าที่ regenerate สัญญาณ In_outP, In_outN ให้มีความไวมากขึ้น ส่วนทรานซิสเตอร์ M7,M8,M9,M10,M15 มีหน้าที่รีเซทสัญญาณ In_outP, In_outN เมื่อช่วงสัญญาณ CLK_C มีสถานะ“HIGH” (M15 cut-off) ทำให้คอมพาราเตอร์หยุดการทำงาน (RESET) ในขณะเดียวกัน In_outP และ In_outN ในช่วง SET ก่อนหน้าจะถูกรีเซทด้วยทรานซิสเตอร์ M7-M10 ลงกราวด์ จึงได้ดิจิทัลเอาท์พุท out_P และ out_N มีค่าเป็น“HIGH” ถัดมาเมื่อสัญญาณ CLK_C เข้าสู่สถานะ“LOW” คอมพาราเตอร์ทำงาน (อยู่ในช่วง SET) ทำให้ input pair (M1,M2) เปรียบเทียบสัญญาณ V_{IP} และ V_{IN} และกระแสที่ไหลผ่าน M1 และ M2 ที่ไม่เท่ากันจะถูก regenerate ด้วย RS latch (M3 -M6) เพื่อ resolve สัญญาณ In_outP, In_outN ให้มีค่าต่างกัน (“HIGH”หรือ “LOW”) แล้วนำผลลัพธ์ข้างต้นไปสร้างดิจิทัลเอาท์พุท out_P และ out_N

ในการแก้ไขปัญหา dynamic offset ซึ่งเกิดจากแรงดัน common-mode ของ input pair ที่ปรับตาม input common-mode วิธีการแก้ไขที่ไม่ซับซ้อนและมีความน่าเชื่อถือ คือการต่อ cascode ทรานซิสเตอร์ M16 ที่ด้านบนของทรานซิสเตอร์ M15 โดยที่ทรานซิสเตอร์ M16 ต้องทำงานอยู่ในโหมดอิ่มตัว เนื่องจากการเปลี่ยนแปลงของ V_{DS} มีอิทธิพลเพียงเล็กน้อยต่อกระแส (I_D) ดังนั้นทรานซิสเตอร์ M16 จึงช่วยควบคุมแรงดันร่วม(common-mode voltage) ของ input pair ให้มีค่าคงที่เมื่อแรงดัน input common-mode ของคอมพาราเตอร์เปลี่ยนแปลง ส่งผลทำให้ dynamic offset มีอิทธิพลเล็กน้อยต่อ conversion linearity [1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 วงจร latch comparator ที่ออกแบบ

M1, M2	7µm/0.18µm
M3, M4, M5, M6 M7, M8, M9, M10	2.5µm/0.18µm
M11, M13	2µm/0.18µm
M12, M14	8µm/0.18µm
M15	5µm/0.18µm
M16	25µm/1µm (x6)

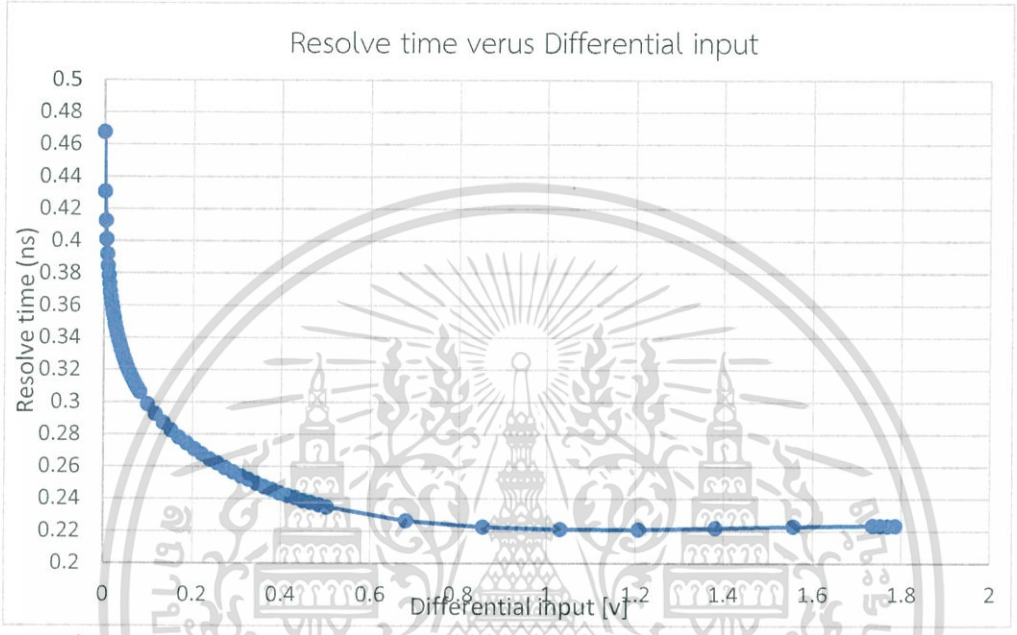
ตารางที่ 4.2 ขนาดทรานซิสเตอร์ภายในวงจร dynamic comparator ที่ออกแบบ

4.2.1 ผลการทดสอบของคอมพาราเตอร์

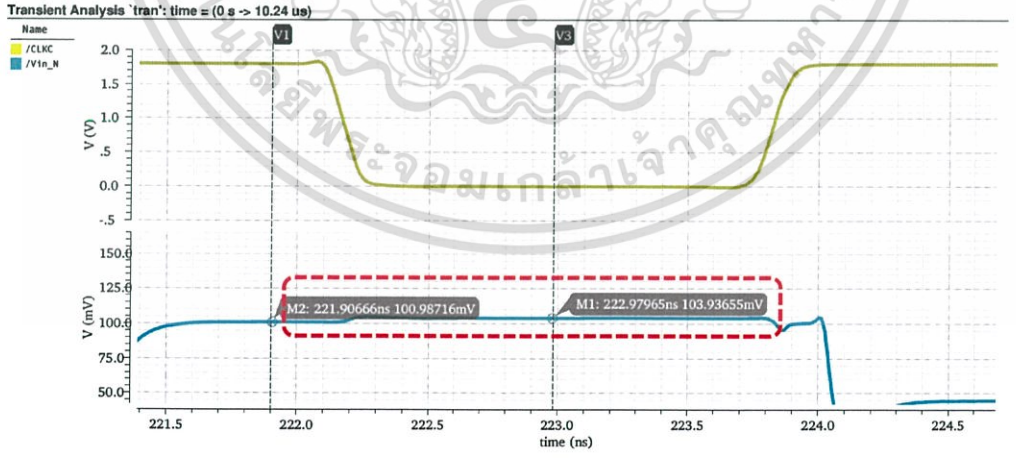
การทดลองวัดค่า resolve time ของเอาท์พุทดิจิทัลเทียบกับค่าผลต่างอินพุท (differential-input) ใช้สัญญาณนาฬิกา CLK_C ความถี่ $400MH_Z$ ควบคุมการทำงานคอมพาราเตอร์และไบอัสด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแส144 μA ผลการทดลองพบว่าเวลา resolve time ที่มากที่สุดคือ 0.4675ns เมื่อ differential-input เท่ากับ $0.5V_{LSB}$ (0.8789 mV) และค่าเวลา resolve time ที่น้อยที่สุดคือ 0.224ns เมื่อ differential input เท่ากับ 1.8V ดังแสดงกราฟในรูปที่ 4.7 จากผลการทดลองพิสัยของ resolve-time อยู่ในช่วงที่ ADC สามารถทำงานได้อย่างมีประสิทธิภาพ



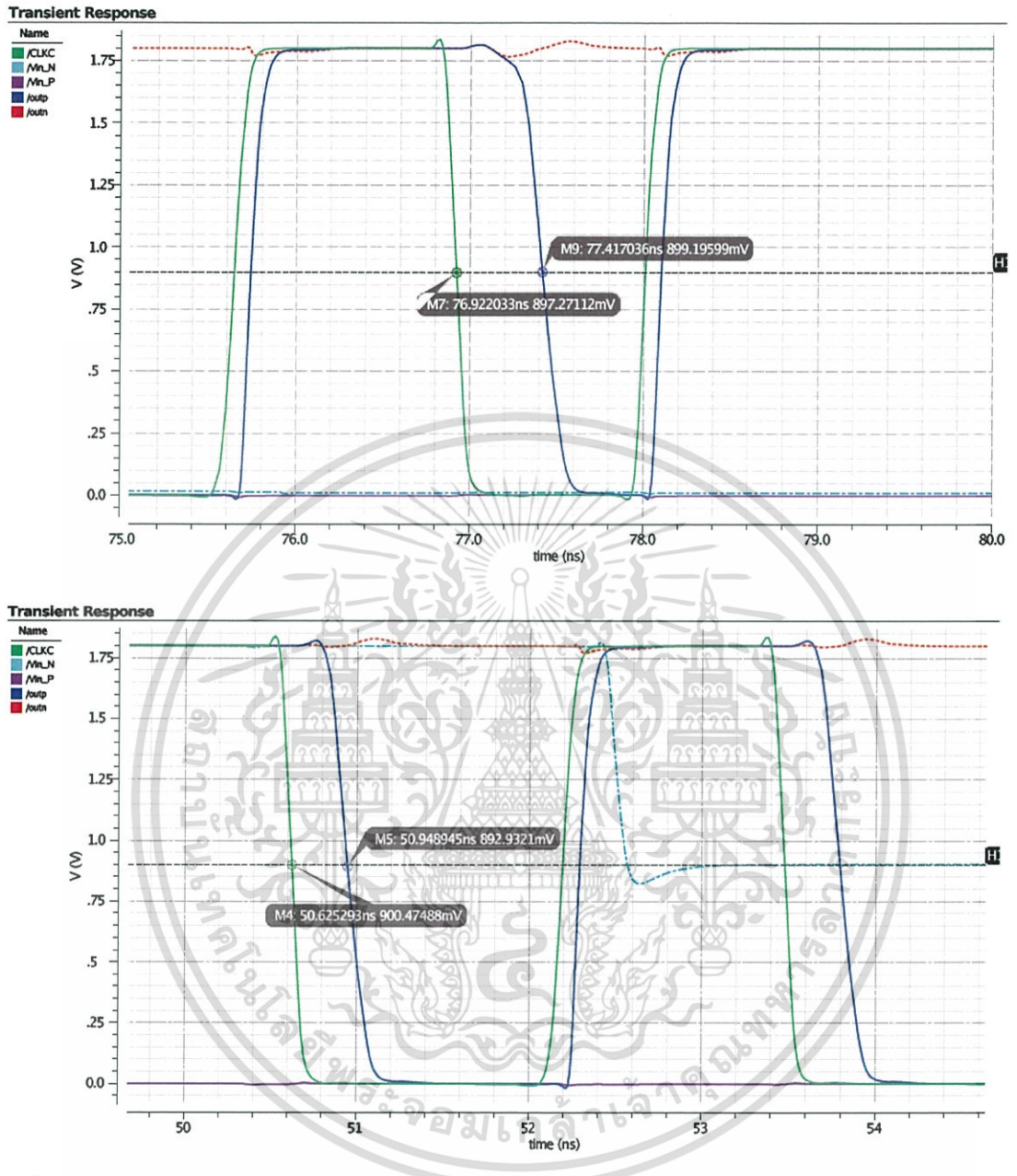
รูปที่ 4.7 ผลการทดลอง ค่า resolve time ของเอาท์พุทดิจิทัลเทียบกับขนาด differential input



รูปที่ 4.8 การเกิด kick-back noise ขณะคอมพาราเตอร์ทำงาน

จากรูปที่ 4.8 กราฟสีฟ้าคือสัญญาณอินพุท มีแรงดัน kick-back noise เกิดขึ้นในช่วงทำงานมีค่าประมาณ 2.94 mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



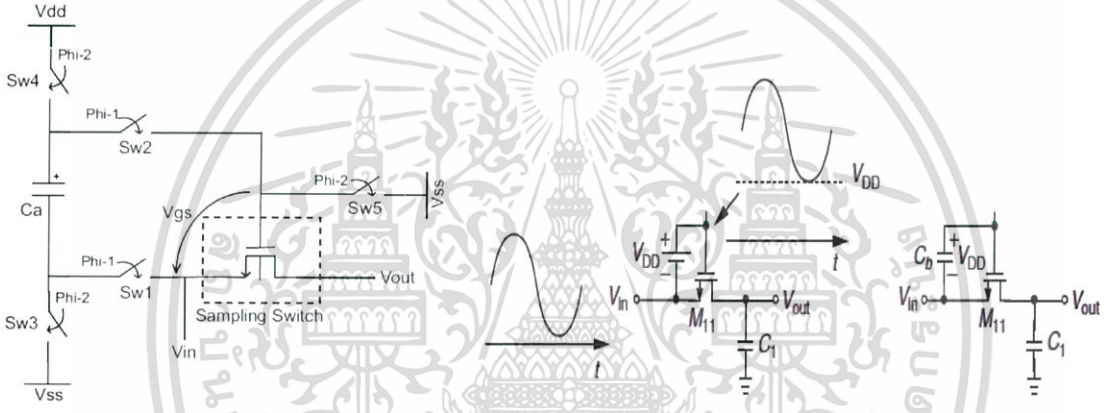
รูปที่ 4.9 การวัดค่าเวลาresolve time ของคอมพาราเตอร์ในการให้สัญญาณเอาท์พุท out_P และ out_N เมื่อ differential input เท่ากับ 932mV (รูปบน) และ differential input เท่ากับ 10.48mV (รูปล่าง)

4.3 Bootstrapped Switch

เพื่อลดผลกระทบที่เกี่ยวข้องกับ switch transistor ต่อสัญญาณเอาท์พุทและเพิ่มความเป็นเชิงเส้นในการสุ่มมค่า (Sampling) เทคนิค Abo's bootstrap switch [8] จึงถูกนำมาใช้เพื่อทำให้ค่า V_{GS} คงที่ โดยใช้ตัวเก็บประจุเป็นเสมือนแบตเตอรี่ระหว่างขั้วเดรนและซอร์ส [12] จากตัวอย่างในรูปที่ 4.10 โครงสร้าง bootstrapped switch ทำงานด้วยสัญญาณนาฬิกา Phi-1 และ Phi-2 เพื่อควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

sampling switch ภายในประกอบด้วยสวิตช์ SW1-SW5 และ bootstrap capacitor (C_a) ในช่วง hold (Phi-2 on, Phi-1 off) แรงดันเกตถูกสวิตช์ลงกราวด์ด้วย SW5 ทำให้ sampling switch อยู่ในโหมด cut-off และสวิตช์ SW3 และ SW4 ชาร์จตัวเก็บประจุ C_a ด้วย supply voltage (V_{dd}) ในขณะเดียวกัน SW1 และ SW2 ทำการแยก sampling switch ออกจาก C_a ต่อมาเมื่อเข้าสู่ช่วง track (Phi-2 Off, Phi-1 on) สวิตช์ SW5 ถูกเปิด (off) และตัวเก็บประจุที่ถูกชาร์จในช่วง hold ถูกต่ออนุกรมกับแรงดันอินพุทด้วยการสวิตช์ SW1 และ SW2 ทำให้แรงดันตกคร่อมขั้วเกตและซอร์ส (V_{GS}) มีค่าเท่ากับ V_{dd} ด้วยกระบวนการดังกล่าวค่าความต้านทานของ sampling switch (on-resistance) จึงเป็นอิสระต่อการผันแปรของแรงดันอินพุท



รูปที่ 4.10 วงจร basic bootstrap [รูปด้านซ้าย] , ในช่วง hold ตัวเก็บประจุเสมือนเป็นแบตเตอรี่ระหว่างขั้วเกตและซอร์ส [รูปด้านขวา] [12],[13]

4.3.1 เทคนิค Clock doubling ที่นำมาใช้ใน Bootstrap Architecture [6]

จากวงจรในรูปที่ 4.11 MN-1, MN-2 และตัวเก็บประจุ C_a ที่อยู่ภายในเส้นประคือวงจร clock-doubling ทำหน้าที่ขับทรานซิสเตอร์ MN-3 วิธีการนี้ทำให้การบูทมีความน่าเชื่อถือมากขึ้น เพราะไม่มีทรานซิสเตอร์ตัวใดมีแรงดันตกคร่อม V_{GS}, V_{DS}, V_{GD} เกินกว่าค่า supply voltage (1.8V)

ในระหว่างสัญญาณนาฬิกา Phi-1 มีค่า“HIGH” ตัวเก็บประจุ C_{a1} ถูกชาร์จด้วยแรงดันขนาด V_{dd} -V_{TH} เมื่อ V_{TH} คือแรงดันขีดเริ่มของทรานซิสเตอร์ MN-1 ในช่วงถัดมาเมื่อสัญญาณนาฬิกา Phi-1 มีค่า “LOW” ส่งผลทำให้ทรานซิสเตอร์ MP1 เชื่อมขั้วล่างของตัวเก็บประจุ C_{a1} กับ supply voltage ผลลัพธ์คือ แรงดันขั้วเกตของทรานซิสเตอร์ MN-3 สลับไปมาระหว่าง V_{dd} -V_{TH} และ $2V_{dd}$ -V_{TH}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร clock-boosting สำหรับการขับทรานซิสเตอร์ MN-3 ถ้าขับทรานซิสเตอร์ MN-3 ด้วยสัญญาณนาฬิกาปกติที่สลับไปมาระหว่าง V_{dd} และกราวด์ จะมีข้อจำกัดคือ NMOS (sampling switch) จะไม่ทำงานเมื่อ V_{IN} เท่ากับV_{dd} (V_{GS} =0) ประการที่สองคือขณะที่MN-3 cut-off แรงดันที่ขั้วเดรนอาจได้รับค่าสูงกว่าV_{dd} ([V_{dd}-V_{TH}-V_{ON}]+ V_{IN}) ถ้าแรงดันอินพุท (V_{IN}) มากกว่า V_{TH}+V_{ON} เมื่อ V_{TH} คือแรงดันขีดเริ่มของ MN-3, V_{ON} คือแรงดันตกคร่อม MN-9 ในขณะทำงาน จากสาเหตุดังกล่าวทำให้MN-3 เป็น unreliable switch

ในการทำงานของทรานซิสเตอร์ของวงจรรูปที่ 5.8 กรณี worst case เมื่อ V_{IN} เท่ากับ V_{dd} จากรูปที่ 5.8 ทรานซิสเตอร์ MN-9, MP-2, MN-4, MN-3 และMN-8 มีหน้าที่เหมือนกับสวิตช์อุดมคติ (SW1-SW5) ในรูปที่ 5.7 ตามลำดับ และทรานซิสเตอร์ MN-10 เป็นSampling switch ส่วนทรานซิสเตอร์ MN-7,MN-8 ทำหน้าที่สวิตช์ขั้วเกตของ MN-10 ลงกราวด์ ในช่วง Phi-2 on ขณะที่ MN-10 หยุดทำงาน MP-3 จะถูกขับการทำงานด้วยวงจร clock-boosting (MN-1,MN-2,MP-1,C_{a1}) เพื่อชาร์จตัวเก็บประจุ C_a ในขณะเดียวกัน MN-10 (sampling switch) จะถูกแยกจากตัวเก็บประจุ C_a ด้วย MP-2และ MN-9 เมื่อเข้าสู่ช่วง on ของ Phi-1 ทำให้ทรานซิสเตอร์ MP-2 ทำงาน (แรงดันขั้วเกตของ MP-2 ถูกดึงลงด้วยการทำงานของ MN-5) ทำให้ประจุไหลจากตัวเก็บประจุ C_a ไปยังขั้วเกตของ MN-10 (sampling switch),MN-9,MN-6 ทรานซิสเตอร์เหล่านี้จึงทำงาน โดยเฉพาะเมื่อ MN-9 ทำงาน ส่งผลทำให้ขั้วล่างของตัวเก็บประจุ C_a เชื่อมต่อกับสัญญาณอินพุทที่ขาซอร์สของMN-10 ด้วยเหตุนี้แรงดันขั้วเกตและซอร์สของ MN-10 จึงมีค่าคงที่โดยไม่แปรผันกับแรงดันอินพุท

นอกจากนี้เพื่อความน่าเชื่อถือ (reliability) ในการทำงาน ทรานซิสเตอร์ MN-6 จึงช่วยให้มั่นใจว่า MP-2 ยังคงทำงานโดยการรักษาแรงดันขั้วเกตให้มีค่าน้อยกว่าขั้วซอร์ส ($2V_{dd}$) ส่วนทรานซิสเตอร์ MN-7 ช่วยลด charge sharing ของ MN-8 เมื่อ Phi-2 off แรงดันขั้วเกต (V_G) ของ MN-10 (sampling switch) สามารถแสดงโดยพิจารณาผลของ parasitic capacitance (C_p) ที่ติดกับตัวเก็บประจุ C_a เมื่อ Phi-1 on ดังสมการ

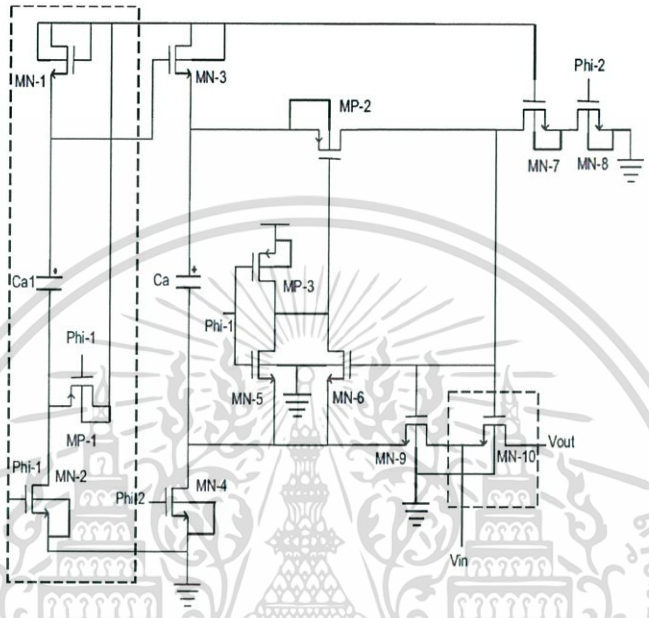
$$V_{G(\text{samplingswitch})} = \frac{C_a}{C_a + C_p}(V_{dd}) \qquad (4.1)$$

$$V_{GS(\text{sampling switch})} = V_G - V_S = \frac{C_a}{C_a + C_p}(V_{dd}) - \frac{C_p}{C_a + C_p}(V_{in}) \qquad (4.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 4.1 และ 4.2 การเปลี่ยนแปลงมากที่สุดของแรงดัน V_{GS} เมื่อแรงดันอินพุทเปลี่ยนจากกราวด์ (GND) ถึง V_{dd} สามารถแสดงในสมการที่ 4.3

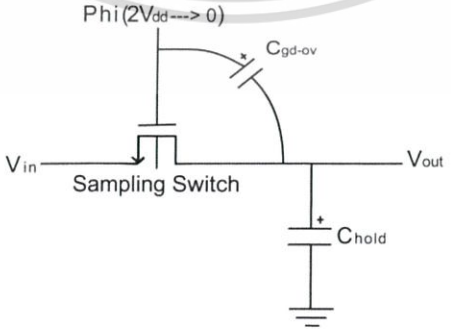
$$\Delta V_{GS_MAX(samplingswitch)} = V_{G(V_{in}=0)} - V_{S(V_{in}=Vdd)} = \frac{C_p}{C_a + C_p}(V_{dd}) \qquad (4.3)$$



รูปที่ 4.11 วงจร clock doubling ของ bootstrap architecture [13]

4.3.2 Charge Injection

ปรากฏการณ์ charge injection เกิดจากการชาร์จประจุที่ไม่พึงประสงค์ภายในวงจรขณะสวิตช์ทรานส์ซิสเตอร์หยุดทำงาน ในวงจรสวิตช์ bootstrapped โหนดเอาท์พุท(V_{out}) มีความเสี่ยงต่อการเกิด charge injection สูง มี 2 เหตุผล คือ



รูปที่ 4.12 ปรากฏการณ์ charge injection [13]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. เมื่อ Clk Phi เปลี่ยนแปลงเป็น “LOW” อย่างรวดเร็ว แม้ทรานซิสเตอร์จะหยุดทำงานแล้ว แต่ยังคงเกิดการไหลของประจุภายในช่องทางเดินกระแส(channel) จากขั้วซอร์สไปยังขั้วเดรน สมมติให้ค่าประจุที่ไหลตลอด channel มีค่าเท่ากัน และส่งผลให้ค่า V_{out} ของ bootstrapped switch เกิดการเปลี่ยนแปลง

$$\Delta Q_{CH} = \frac{Q_{CH}}{2} = \frac{-WLC_{ox}(Vdd - V_{TH})}{2} \qquad (4.4)$$

$$\Delta V_{CH} = \frac{\Delta Q_{CH}}{2C_{hold}} = \frac{-WLC_{ox}(Vdd - V_{TH})}{2C_{hold}} \qquad (4.5)$$

จากสมการบ่งบอกได้ว่าการลดปัญหา charge injection สามารถทำได้โดยการลดขนาดของทรานซิสเตอร์สวิตช์หรือเพิ่มค่า C_{hold} และข้อดีของ bootstrapped switch คือคงค่าแรงดันอินพุทถึงแม้จะสัญญาณจะมีความผิดเพี้ยนโดยให้ V_{GS}ของ sampling switch มีค่าเท่ากับ V_{dd} เสมอ

2. เกิดจากตัวเก็บประจุที่ overlap ระหว่างขั้วเกตกับขั้วเดรน($C_{gd\text{-}ov}$) มีผลทำให้แรงดันเอาท์พุทไม่คงที่ขณะสวิทช์ไม่ทำงาน (turn off) สวิทช์โดยทั่วไปจะทำงานที่ V_{dd} และกราวด์ (GND) แต่สัญญาณควบคุมของ bootstrapped switch จะมีค่าอยู่ระหว่าง $V_{in} + V_{dd}$ ถึงกราวด์ (GND) ถ้าหาก $V_{in} = V_{dd}$ ทรานซิสเตอร์จะสวิทช์ด้วยสัญญาณที่สวิงระหว่าง $2V_{dd}$ ไป 0 V ค่าความจุไฟฟ้าที่โหนดเอาท์พุทมีค่าเท่ากับ

$$C_{eq} = \frac{C_{hold}C_{gd\text{-}ov}}{C_{hold} + C_{gd\text{-}ov}} \qquad (4.6)$$

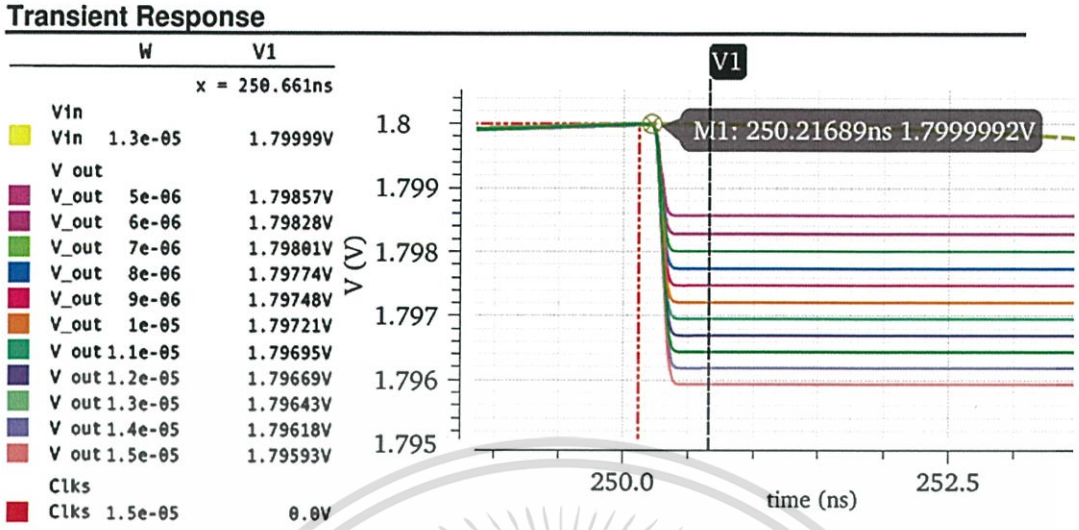
เมื่อ Phi เปลี่ยนจาก $V_{in} + V_{dd}$ ถึงกราวด์ (GND) C_{eq} เกิดการชาร์จประจุ มีค่าเท่ากับ

$$\Delta Q_{eq} = -(V_{in} + V_{dd})C_{eq} = -(V_{in} + V_{dd})\frac{C_{hold}C_{gd\text{-}ov}}{C_{hold} + C_{gd\text{-}ov}} \qquad (4.7)$$

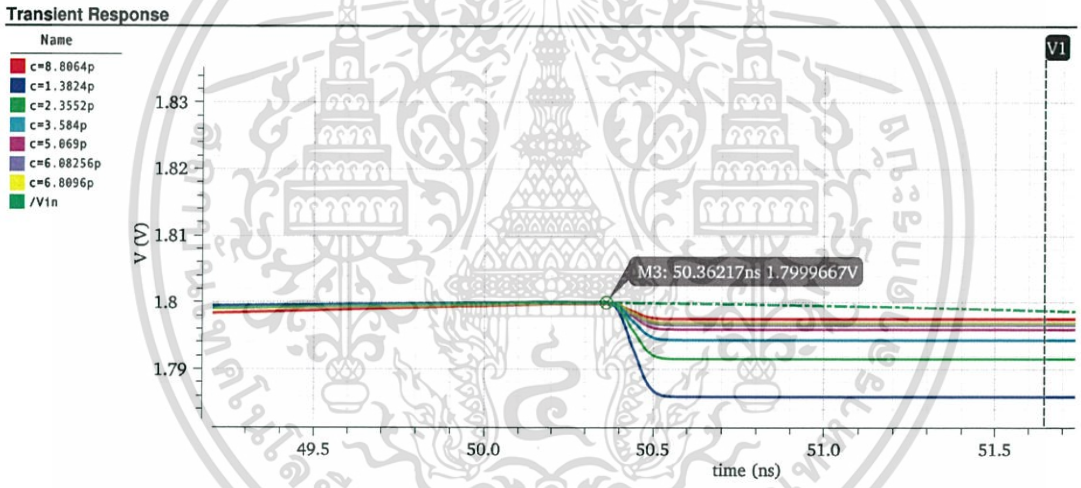
แรงดันเอาท์ที่เปลี่ยนแปลงจะให้ค่าดังนี้

$$\Delta V_{ov} = \frac{\Delta Q_{eq}}{C_{hold}} = -(V_{in} + V_{dd})\frac{C_{gd\text{-}ov}}{C_{hold} + C_{gd\text{-}ov}} \qquad (4.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ผลของการเปลี่ยนขนาด sampling switch ที่ส่งผลต่อภาวะ charge injection ในช่วง hold



รูปที่ 4.14 ผลของการเปลี่ยนขนาด C_{hold} ที่ส่งผลต่อภาวะ charge injection ในช่วง hold

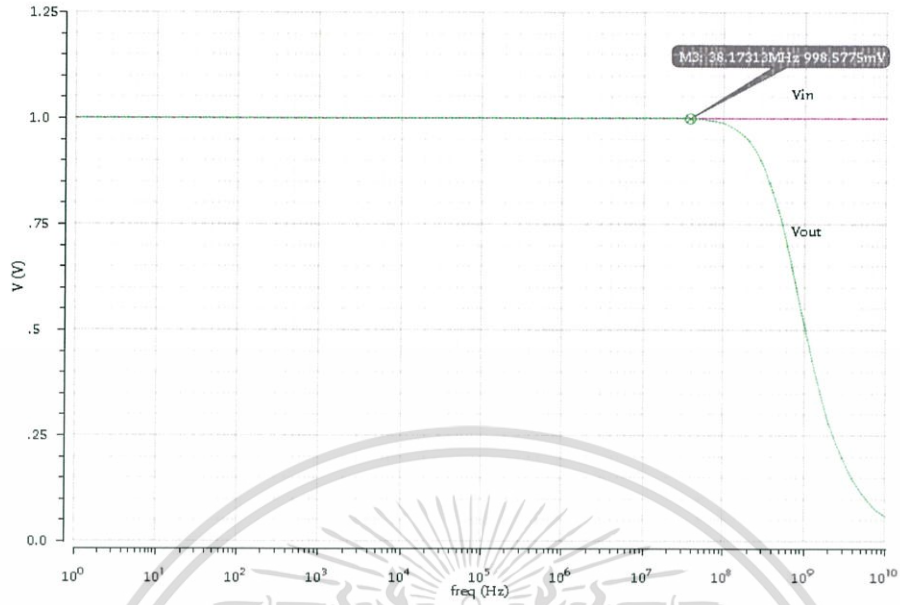
4.3.3 On-Resistance

ความต้านทาน on-resistance หรือค่า conductance ของ bootstrapped switch มีค่าขึ้นกับขนาดของทรานซิสเตอร์และแรงดันที่ขับให้แก่ขั้วเกตในช่วงทรานซิสเตอร์เริ่มทำงาน (turn on) โดยค่า R_{ON} กับค่าความจุไฟฟ้าของตัวเก็บประจุที่โหนดเอาท์พุทจะอยู่ในรูป RC-time constant ในการนิยาม -3dB bandwidth ของสัญญาณที่เอาท์พุทดังนี้

$$R_{ON} = \frac{1}{\mu_n C_{ox}(W/L)(V_{GS} - V_{TH})} \tag{4.9}$$

$$f_{-3dB} = \frac{1}{2\pi R_{ON} C_{hold}} = \frac{\mu_n C_{ox}(W/L)(V_{GS} - V_{TH})}{2\pi C_{hold}} \tag{4.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

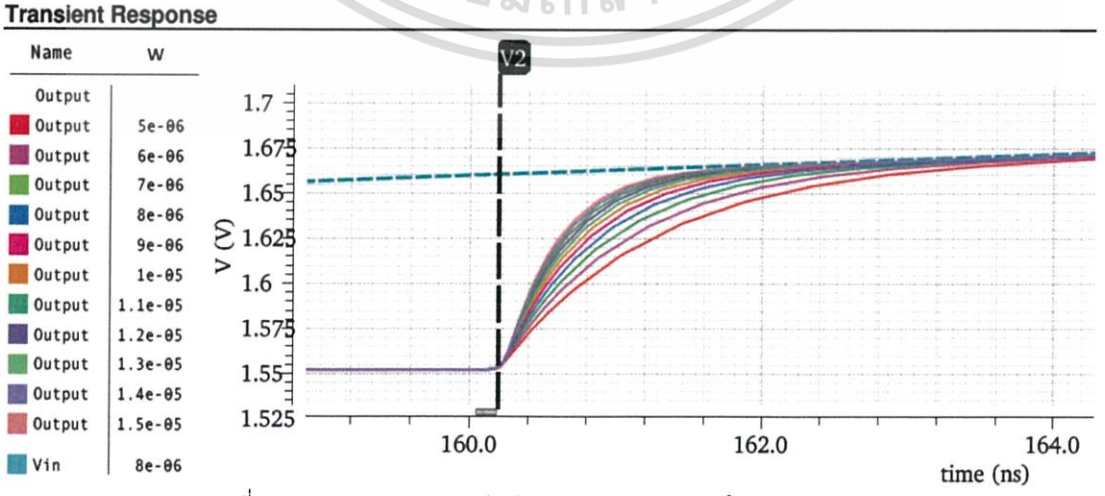


รูปที่ 4.15 magnitude ของเอาท์พุทเทียบกับอินพุท (วิเคราะห์การตอบสนองแบบ AC)

4.3.4 Acquisition Time

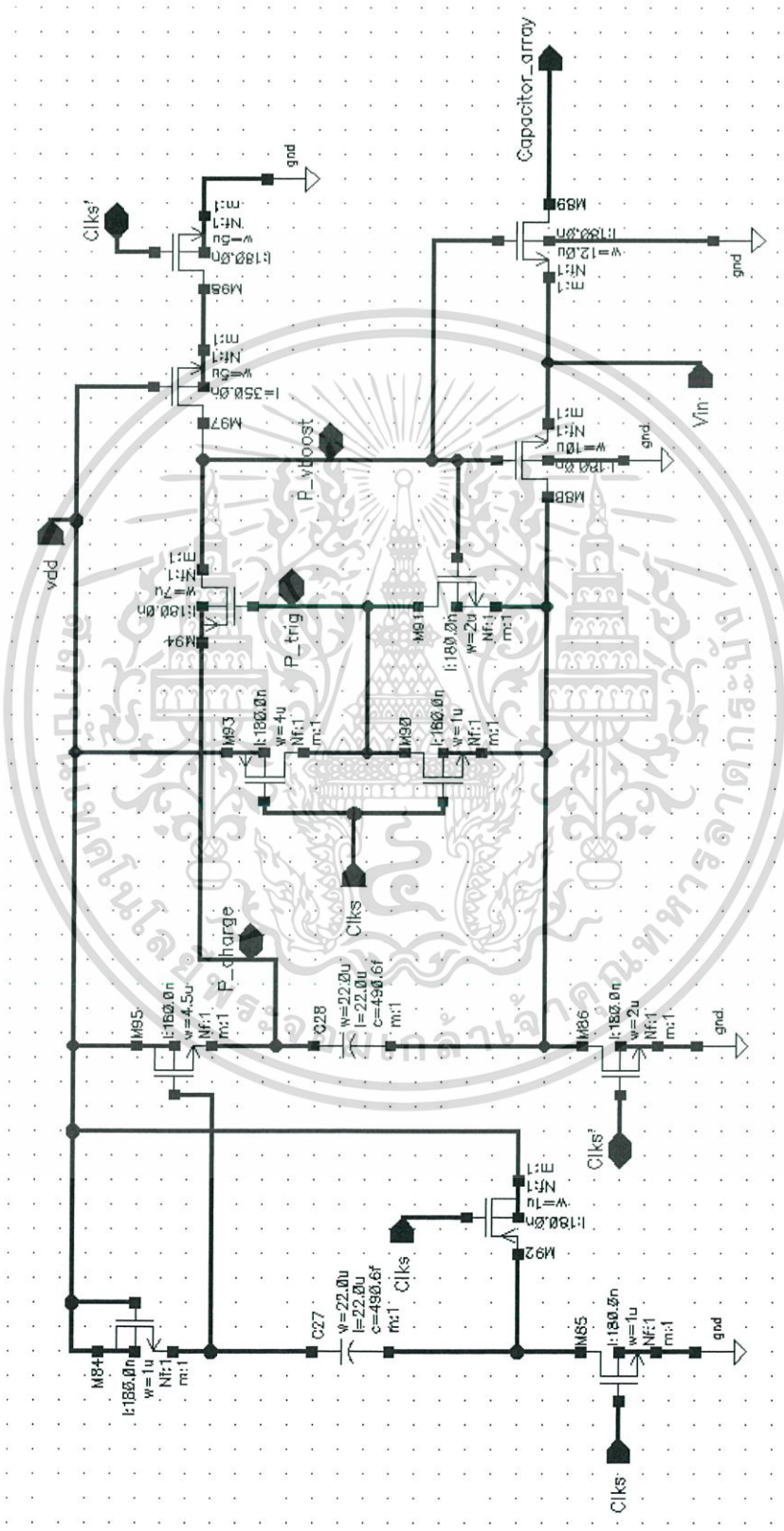
คือ ช่วงเวลาที่วงจร track-and-hold เข้าสู่ภาวะ tracking และติดตามสัญญาณอินพุทด้วยความแม่นยำที่แน่นอน ในอุดมคติวงจร sample and hold ควรจะเริ่มติดตามสัญญาณอินพุททันทีทันใด เมื่อสัญญาณนาฬิกา phi มีค่า“HIGH” หรือค่าหนึ่งในกรณี bootstrapped switch. acquisition time สามารถวัดได้จากค่า C_{hold} และค่า R_{ON} เพื่อกำหนดความถี่ในการสุ่มสูงสุด โดยกำหนดให้

$$t_{acq} = (N+1)R_{on}C_{hold}\ln(2) \qquad (4.11)$$



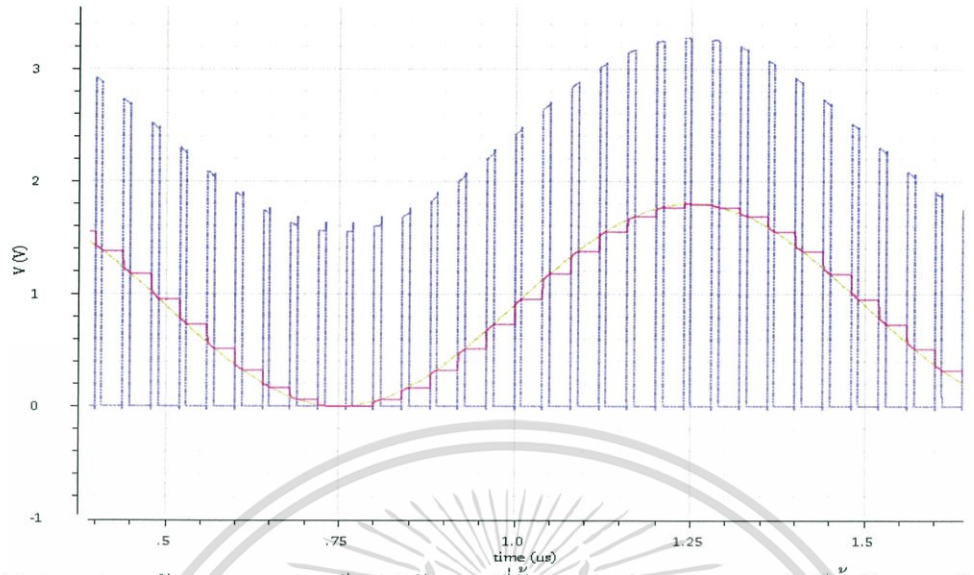
รูปที่ 4.15 ขนาดของ C_{hold} ต่อค่า acquisition time ในช่วง tracking

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



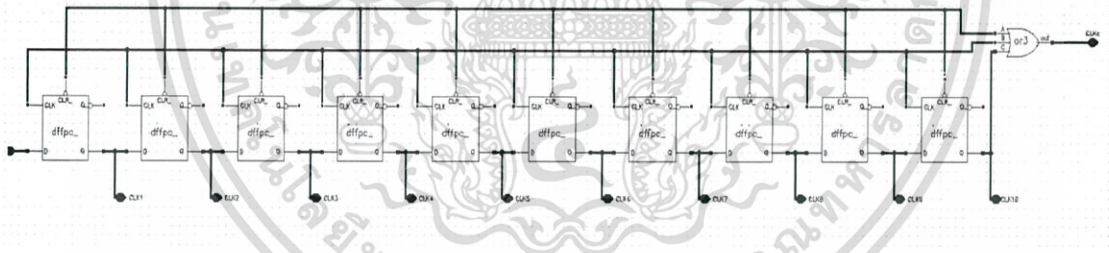
รูปที่ 4.16 วงจร bootstrapped switch ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 กราฟของ สัญญาณ output (สีชมพู),สัญญาณที่ขั้วเกตของ sampling switch (สีน้ำเงิน) และสัญญาณอินพุท (สีแดง) ของ bootstrapped switch

4.4 Successive Approximation Register (SAR) Control Logic



รูปที่ 4.18 Asynchronous control logic [1]

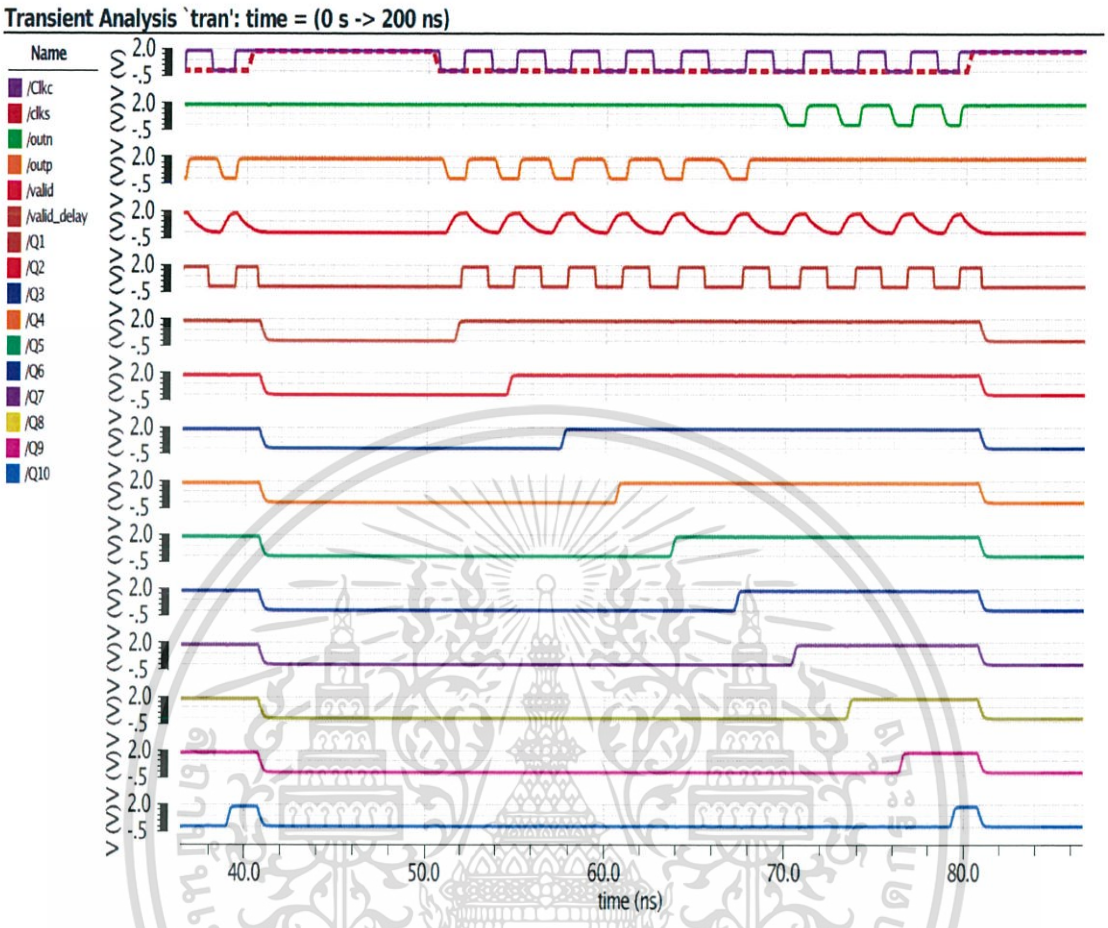
timing diagram ในรูปที่ 4.19 แสดงการสร้างสัญญาณ CLK_1 - CLK_{10} ของ asynchronous control logic ที่ประกอบด้วยดีฟลิปฟลอปที่มีสัญญาณ reset คือสัญญาณ CLKs และมีสัญญาณทริก-เกอร์คือสัญญาณ Valid (เอาท์พุทของ NAND gate จาก dynamic comparator)

ในสภาวะเริ่มต้น (track State) สัญญาณ CLKs และสัญญาณ CLKc มีค่า“HIGH” ทำให้สัญญาณ CLK_1 - CLK_{10} ทั้งหมดและสัญญาณ Valid อยู่ในสภาวะ RESET (“LOW”) ต่อมาเมื่อถึงสภาวะ (HOLD State) สัญญาณ CLKs มีค่า “LOW” และทำให้สัญญาณ CLKc ซึ่งเป็นเอาท์พุทของการ OR สามสัญญาณคือ สัญญาณ CLKs, สัญญาณ Valid และสัญญาณ CLK_{10} มีค่า LOW ส่งผลทำให้คอมพาราเตอร์ทำงานและสร้างสัญญาณ Valid สภาวะใหม่เป็น HIGH ขณะเดียวกันการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนแปลงสภาวะของสัญญาณ Valid นั้นทำให้ดีพลิปฟลอปทุกตัวทริกสัญญาณ D โดยตัวแรกจับสัญญาณ D (“HIGH”) ทำให้ CLK_1 มีค่าเป็น “HIGH” ส่วนฟลิปฟลอปตัวที่ 2 ถึงตัวที่ 10 ยังคงสภาวะ “LOW” เนื่องจากสัญญาณ D ของฟลิปฟลอปเหล่านั้นยังมีค่าเป็น “LOW” เมื่อสัญญาณ valid ค่า “HIGH” ถูก OR กับสัญญาณ CLKs (“LOW”) และสัญญาณ CLK_{10}(“LOW”) จะได้ CLKc มีสถานะ “HIGH” เมื่อป้อนให้กับคอมพาราเตอร์จะเกิดสภาวะ RESET คือสัญญาณ Valid ให้ค่า “LOW” (สัญญาณ Outn และ Outp มีค่า “HIGH”) เมื่อสัญญาณ Valid สภาวะใหม่ (“LOW”) ป้อนเข้า OR ได้สัญญาณ CLKc เปลี่ยนสถานะ LOW มีผลทำให้คอมพาราเตอร์ สร้างสัญญาณ Valid สภาวะใหม่จากเดิม “LOW” เปลี่ยนเป็น “HIGH” จากพฤติกรรมการเปลี่ยนแปลงของCLKc ที่ส่งผลต่อสัญญาณ Valid พบว่า เมื่อ CLKc เป็น “HIGH” จะได้สัญญาณ Valid เป็น “LOW” และผลของการที่สัญญาณ Valid มีค่า “LOW” นั้นจะส่งผลต่อเนื่องกับการเกิดสัญญาณ CLKc ใหม่เป็นค่า “LOW” และได้สัญญาณ Valid มีค่า “HIGH” จากการเปลี่ยนแปลงของสัญญาณ Valid ช่วงขอบขาขึ้น (rise edge) ซึ่งเป็นสัญญาณทริกเกอร์ของดีฟลิปฟลอปจะกระตุ้นการเก็บค่าสัญญาณ D ของดีฟลิปฟลอปทำให้สัญญาณ CLK_2 มี “HIGH” เพราะเอาท์พุทของดีฟลิปฟลอปตัวที่1 เป็นสัญญาณอินพุทของดีฟลิปฟลอปตัวที่2 ที่ให้สัญญาณ CLK_2 เมื่อเกิดขอบขาขึ้นของสัญญาณ Valid ครั้งถัดไปสัญญาณ CLK ของดีฟลิปฟลอปที่รับค่าเอาท์พุทของดีฟลิปฟลอปที่ทริกสัญญาณ CLK ก่อนหน้า จะถูกทริกให้เป็นค่า “HIGH” ลักษณะสัญญาณของ CLK_1 - CLK_{10} จึงมีลักษณะดังรูป timing diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

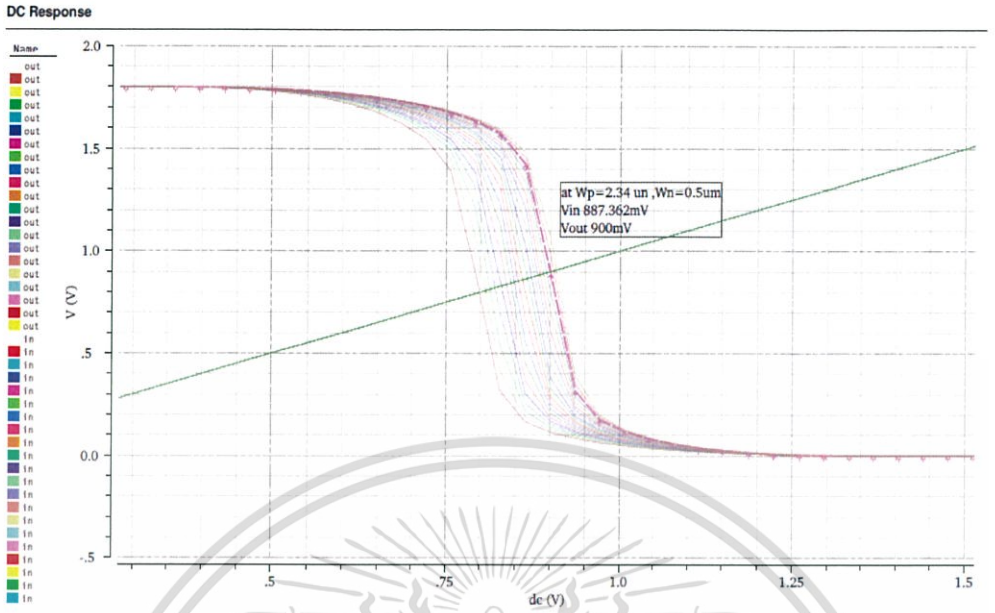


รูปที่ 4.19 Timing diagram ของ SAR control logic

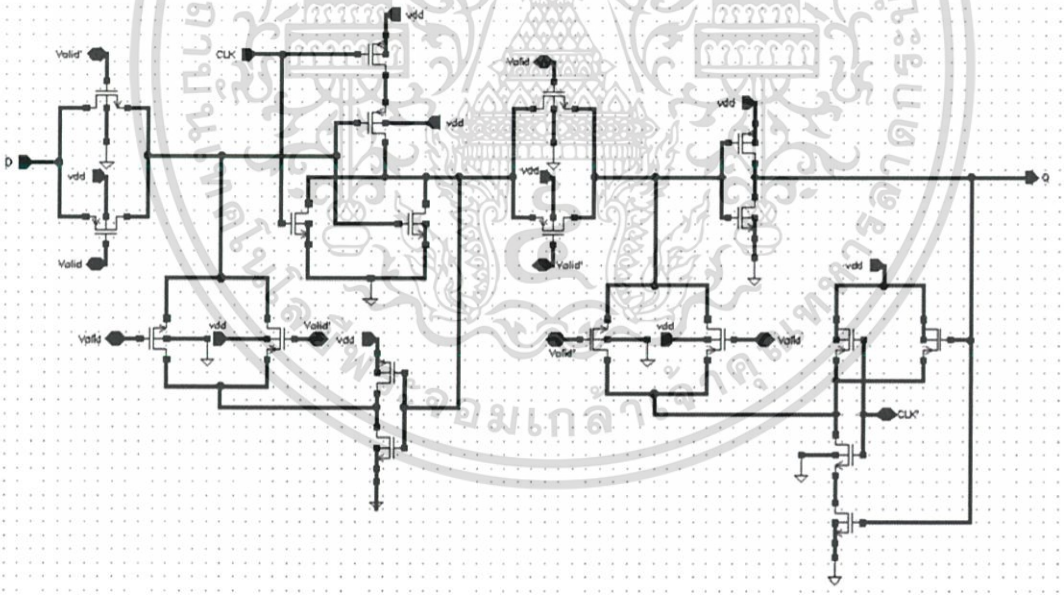
4.4.1 วงจร Asynchronous D - Flip Flop

วงจร asynchronous D - Flip Flop ที่ใช้ในการออกแบบแสดงดังรูปที่ 4.21 ซึ่งเป็นวงจรที่เก็บข้อมูลขอบขาขึ้น (rising edge) เป็นวงจร ดิจิทัลจึงใช้เทคนิคการหาจุด switching voltage point ($0.5V_{dd}$) ของวงจรอินเวอร์เตอร์ในการหาอัตราส่วน W_p/W_n ที่เหมาะสม กำหนดให้ L เท่ากับ 0.18 um , Wn เท่ากับ 500 nm แล้วปรับค่า Wp เพื่อทำให้ได้กราฟที่มี switching voltage point เอาท์พุทเท่ากับ $0.5V_{dd}$ เมื่อป้อนอินพุทเท่ากับ $0.5V_{dd}$ โดยการใช้ parametric analytic ดังแสดงในรูป 4.20 ในการหาอัตราส่วน W_p/W_n จากผลการ simulation ทำให้ได้ค่าอัตราส่วน 4/1 ขนาดของทรานซิสเตอร์ทั้งหมดในวงจรแสดงในตาราง 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 ผลการวิเคราะห์ VTC ของ วงจร inverter



รูปที่ 4.21 Block diagram ภายใน asynchronous D – Flip Flop

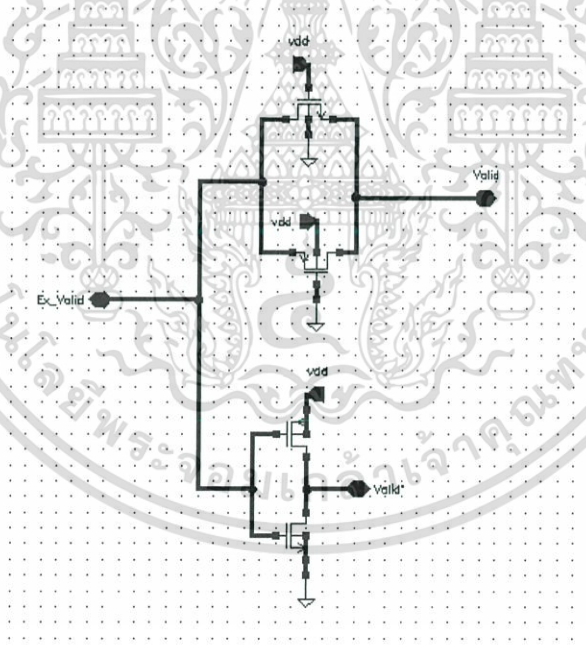
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรภายใน DFF	Wp	Wn
NOR gate 2 channel	3.2 µm	400 nm
NAND gate 2 channel	1.6 µm	800 nm
Transmission gate	2 µm	500 nm
Inverter	1.6 µm	400 nm

ตารางที่ 4.3 ขนาดทรานซิสเตอร์ภายในวงจร Asynchronous D-Flip Flop ที่ออกแบบ

4.4.2 วงจรสร้างสัญญาณ Complementary

จากรูปที่ 4.13 จะเห็นว่า Valid และ Valid' เป็นสัญญาณควบคุมการทำงานของ Transmission gate เนื่องจากต้องการให้ D-Flip Flop ทำงานเร็วขึ้นโดยลดผล rise time, fall-time ของสัญญาณ Valid จึงใช้วงจรสร้างสัญญาณ complementary ในการออกแบบ โดยภายในประกอบไปด้วยวงจร inverter และ transmission gate ที่ turn on ตลอดเวลา



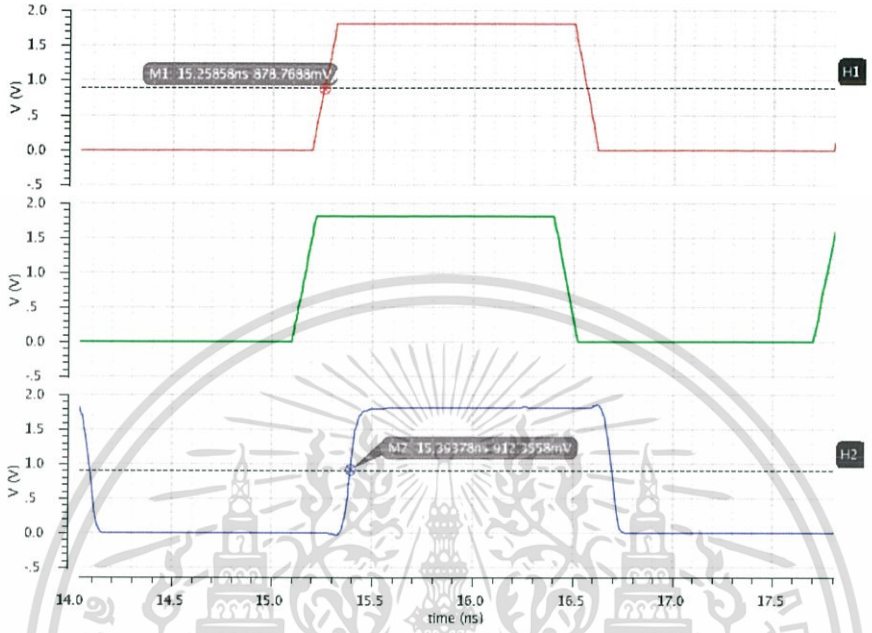
รูปที่ 4.22 วงจรสร้างสัญญาณ Complementary ที่ออกแบบ

4.4.3 Delay time ของ Asynchronous D-Flip Flop

delay time ของ asynchronous D-Flip Flop หรือเรียกอีกอย่างว่า Clock-to-Q Delay ($t_{c\text{-}t\text{-}q}$) เกิดขึ้นเมื่อ D-Flip Flop รับสัญญาณขอบขาขึ้นและให้ผลเอาท์พุทออกมาโดยวัดที่ 50% rise-

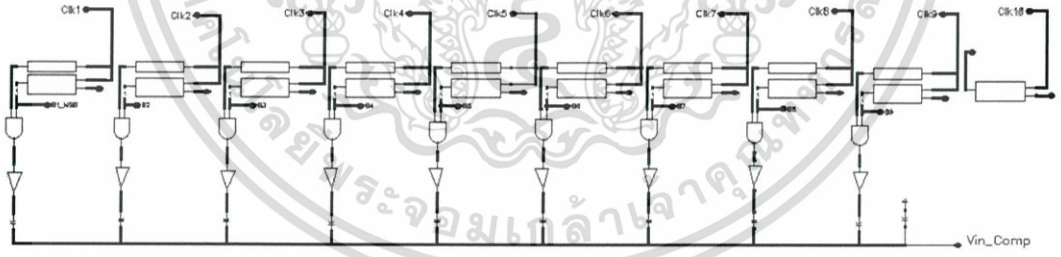
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

time ของ CLK ไปถึง 50% rise time หรือ fall time ของเอาท์พุท จากกราฟในรูปที่ 4.23 แสดงให้เห็นว่า asynchronous D-Flip Flop ที่ออกแบบมีค่า delay time เท่ากับ 0.135 ns

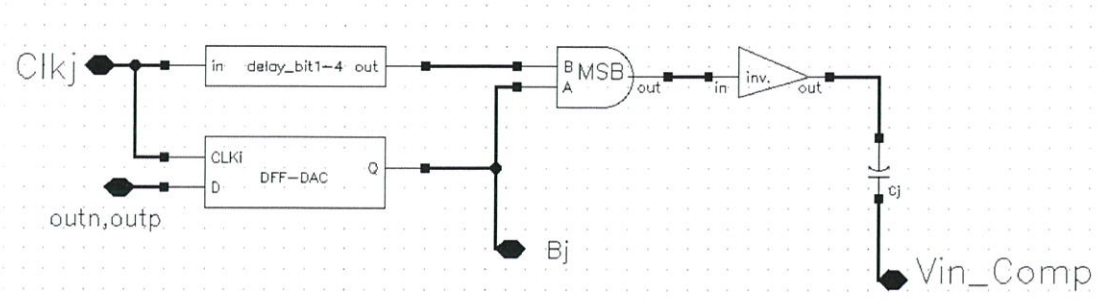


รูปที่ 4.23 Delay time ของ Asynchronous D-Flip Flop

4.5 DAC control logic



รูปที่ 4.24 ภาพรวม DAC control logic ที่ให้เอาท์พุท 10 บิท



รูปที่ 4.25 DAC control logic

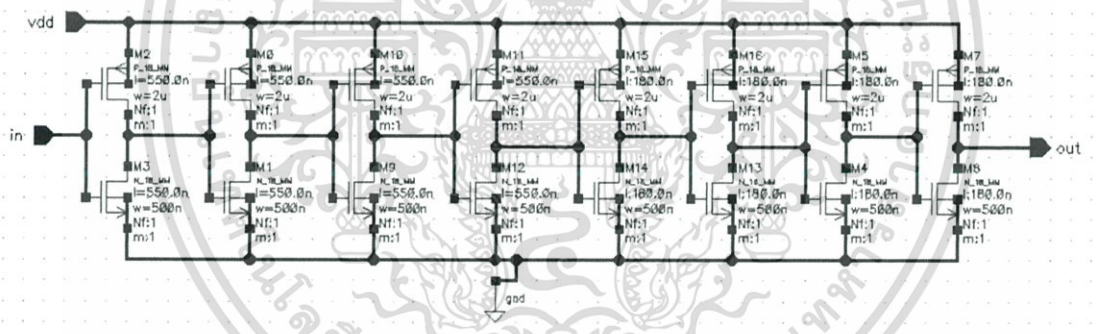
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอาท์พุทจากวงจร asynchronous control logic (CLK_1-CLK_{10}) ถูกนำมาใช้เป็นสัญญาณทริกเกอร์ของดีฟลิปฟลอปที่ทำหน้าที่ควบคุมการสับสวิตช์ที่ด้าน bottom ของ capacitor array ของทั้งสองฝั่งคือ positive และ negative โดยสัญญาณ CLK_i จะเก็บค่า (trigger) out_n ในฝั่ง Negative ในทางตรงกันข้ามการเก็บค่าในฝั่ง positive จะเป็นสัญญาณ out_p กระบวนการนี้คือการสร้างบิทดิจิทัลและนำค่าดิจิทัลดังกล่าวมาใช้สวิตช์ตัวเก็บประจุผ่านวงจร CMOS inverter

ช่วง settling ของวงจร DAC เกิดขึ้นเมื่อสัญญาณ CLKs อยู่ในสภาวะ track (“HIGH”) ตัวเก็บประจุทุกตัวจะอยู่ในสภาวะ SET ส่วนสัญญาณ CLK_1- CLK_{10} จาก SAR control logic จะถูก RESET (“LOW”) แต่บิทดิจิทัลจะยังค่าเดิมจนกว่าดีฟลิปฟลอปจะถูกกระตุ้นด้วยขอบขาขึ้นของสัญญาณ CLK_j รอบใหม่ของการแปลงค่า (Conversion)

4.5.1 Delay ภายในตัว DAC control logic

องค์ประกอบของการสร้าง delay สามารถสร้างได้หลายรูปแบบ ในโครงงานนี้ใช้วงจรพื้นฐาน Inverter ต่อ cascade กันค่า delay จะเพิ่มขึ้นเมื่อเพิ่มจำนวน stage



รูปที่ 4.26 Delay elements

Delay โดยใช้พื้นฐาน inverter ใช้หลักการ propagation delay ของ CMOS inverter ในการออกแบบ มีสูตรดังนี้

$$\tau_{PHL} = \frac{C_{hold}}{\mu_n C_{ox}(W/L)_n(V_{DD} - V_{(TH)n})} + \left[\frac{2V_{(TH)n}}{V_{DD} - V_{(TH)n}} + \ln\left(\frac{4(V_{DD} - V_{(TH)n})}{V_{DD}} - 1\right)\right] \qquad (4.12)$$

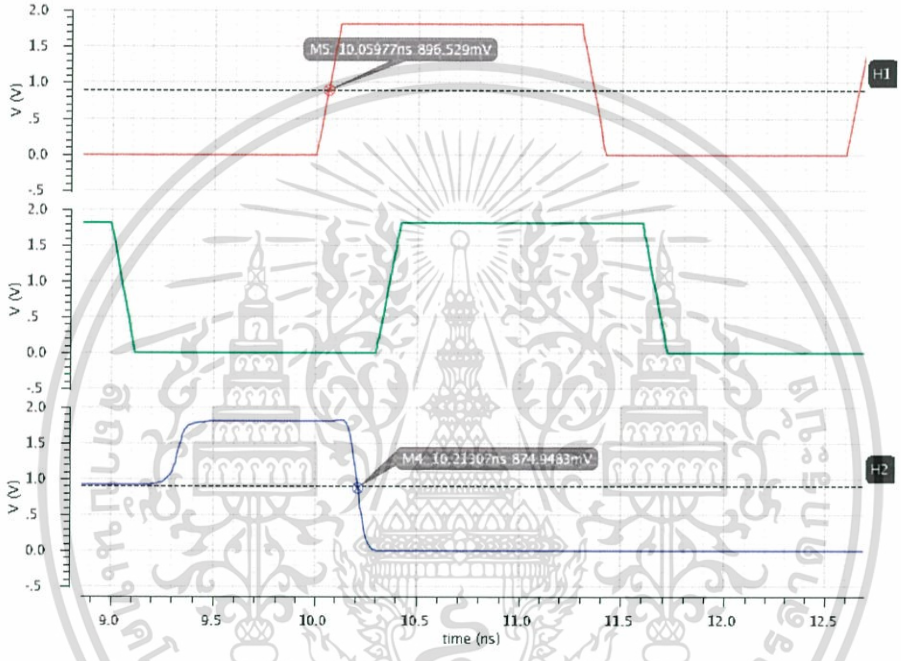
$$\tau_{PHL} = \frac{C_{hold}}{\mu_p C_{ox}(W/L)_p(V_{DD} - |V_{(TH)p}|)} + \left[\frac{2|V_{(TH)p}|}{V_{DD} - |V_{(TH)p}|} + \ln\left(\frac{4(V_{DD} - |V_{(TH)p}|)}{V_{DD}} - 1\right)\right] \qquad (4.13)$$

จากสูตรข้างต้นกล่าวได้ว่าค่า propagation delay ของ NMOS และ PMOS ขึ้นกับอยู่กับสัดส่วนของ L/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.2 Delay time ของ D-Flip Flop

delay time ของ D-Flip Flop หรือเรียกอีกอย่างว่า Clock-to-Q Delay ($t_{c\text{-}t\text{-}q}$) เกิดขึ้นเมื่อ D-Flip Flop รับสัญญาณขอบขาขึ้นและให้ผลเอาท์พุทออกมา โดยวัดที่ 50% rise time ของ CLK ไปถึง 50% rise time หรือ fall time ของเอาท์พุท จากรูปที่ 4.27 แสดงให้เห็นว่า D-Flip Flop ที่ออกแบบมีค่า delay time เท่ากับ 0.135 ns

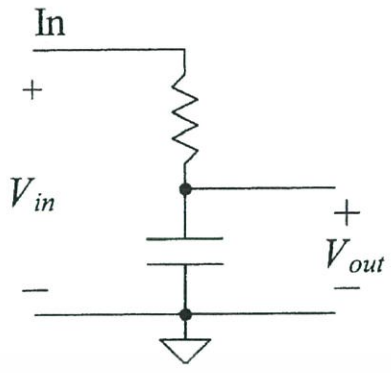


รูปที่ 4.27 Delay time ของ Asynchronous D-Flip Flop

4.5.3 Capacitor Array

การเลือกใช้ขนาดของ unit C มีปัจจัยที่เกี่ยวข้องหลายประการหนึ่งในนั้นคือ Thermal-noise จากรูปที่ 4.25 DAC control logic จะเห็นว่าตัวเก็บประจุด้าน bottom plate ถูกต่อเข้ากับสวิทช์ที่ โดยสวิทช์ที่ว่านี้เป็น CMOS inverter เมื่อสวิทช์ทำงานจะมองเหมือนเป็นตัวต้านทานค่าหนึ่ง ในทางอุดมคติตัวเก็บประจุจะไม่ก่อให้เกิด thermal noise แต่เมื่อต่อขนานกับตัวต้านทานจะกลายเป็นวงจร RC ที่มี thermal noise ของตัวต้านทานเป็นอินพุท (V_{in}) และให้ค่า (V_{out}) เป็น $V_{noise,RMS}$ ดังรูปที่ 4.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 วงจรสมมูล RC

จากวงจร RC ดังรูป 4.28 ทำให้ได้สมการดังนี้

$$V_{noise,RMS} = \sqrt{\frac{kT}{C}} \tag{4.14}$$

$$C_{unit} = \frac{kT}{V^2_{noise,RMS}} \tag{4.15}$$

k คือ boltzmann constant (1.380×10^{-23} J K^{-1})

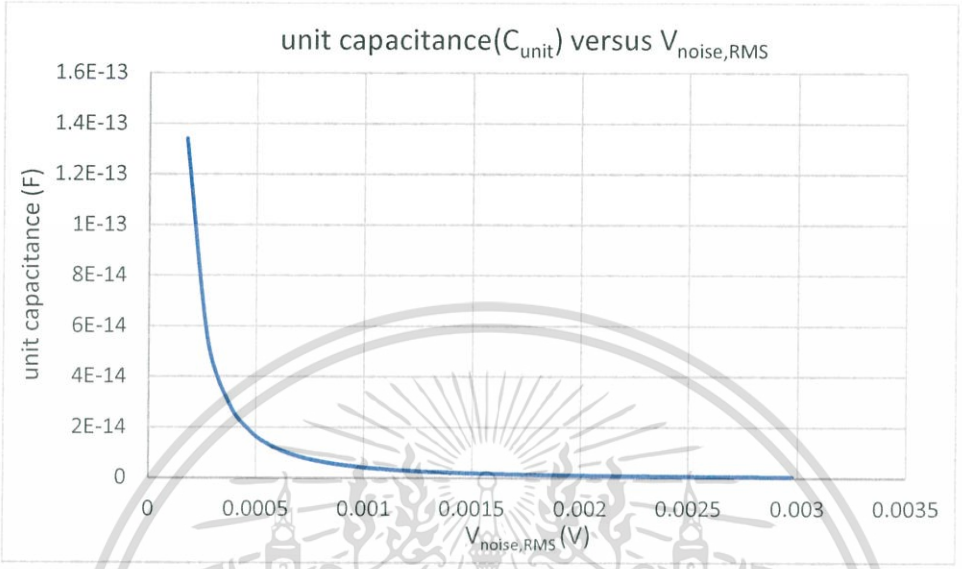
T คือ อุณหภูมิ (kelvin)

$V_{noise,RMS}$ คือ thermal noise (V_{out})

ค่า unit Capacitance (C_{unit}) ที่ใช้ใน charge redistribution DAC ควรมี thermal noise ($V_{noise,RMS}$) ที่ส่งผลกระทบต่อการทำงานของ DAC น้อยที่สุด โดยควรมีขนาดน้อยกว่าแรงดัน V_{LSB} ของ DAC จากการออกแบบกำหนดให้แรงดัน $V_{noise,RMS}$ ควรมีค่าน้อยกว่า $0.5V_{LSB}$ เมื่อแทนค่า $V_{noise,RMS} = 0.5V_{LSB}$ ลงในสมการที่ 4.15 จะได้ค่า unit capacitance (C_{unit}) มีค่าเท่ากับ 8.3741 fF ที่อุณหภูมิ 300 °K และเมื่อนำสมการที่ 4.15 มาพลอตกราฟแสดงความสัมพันธ์ระหว่างค่า C_{unit} กับ $V_{noise,RMS}$ จะได้กราฟดังรูปที่ 4.28 พบว่า unit capacitance (C_{unit}) แปรผกผันกับขนาดแรงดัน $V_{noise,RMS}$ จากค่า unit capacitance จากการคำนวณข้างต้นเมื่อนำมาสร้างเป็นตัวเก็บประจุแบบ MIM พบว่าจะต้องใช้ความกว้าง (width) และความยาว (length) ของตัวเก็บประจุ เท่ากับ 2.745μmx2.745μm จากขนาดดังกล่าวอาจส่งผลทำให้ตัวเก็บประจุที่ใช้ใน capacitor array ไม่มีความเป็นสัดส่วนต่อกันเมื่อเทียบระหว่างตัวเก็บประจุที่มีขนาดใหญ่ ($2^{N-1}C_{unit}$) กับตัวเก็บประจุที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดเล็กที่สุด (C_{unit}) ฉะนั้นจึงเลือกใช้ค่าตัวเก็บประจุ MIM (C_{unit}) ที่มีขนาด 3.3 μmx3.3 μm มีค่าความจุไฟฟ้าเท่ากับ 11.88fF

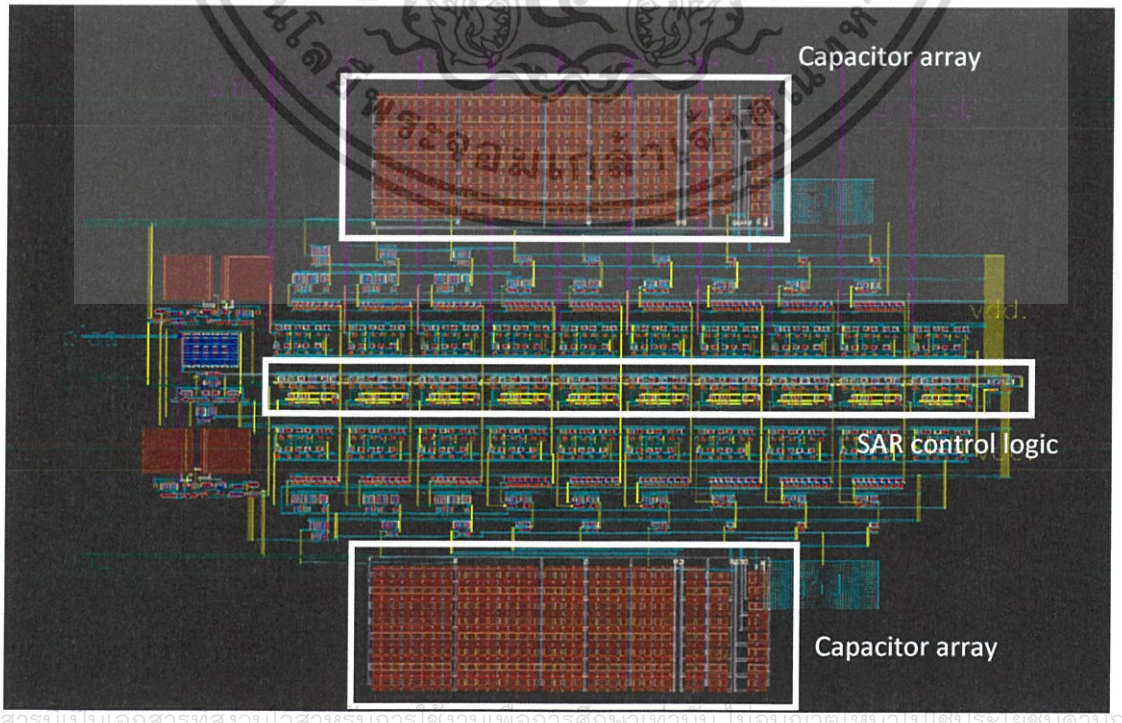


รูปที่ 4.28 กราฟแสดงความสัมพันธ์ระหว่าง C_{unit} กับ $V_{noise,RMS}$

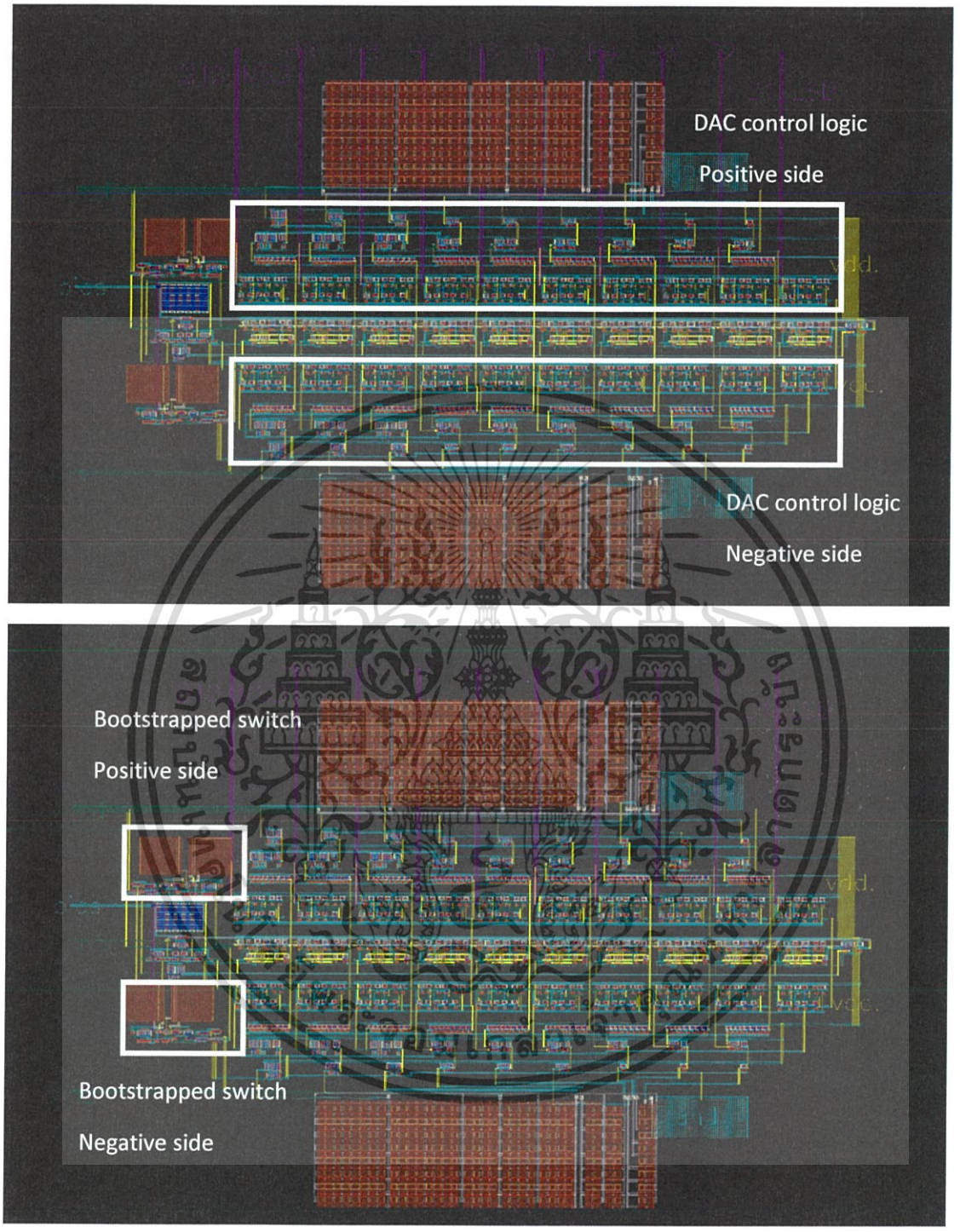
4.6 การออกแบบ Layout

ใช้ Process UMC 0.18 um 1 POLY 6 METAL

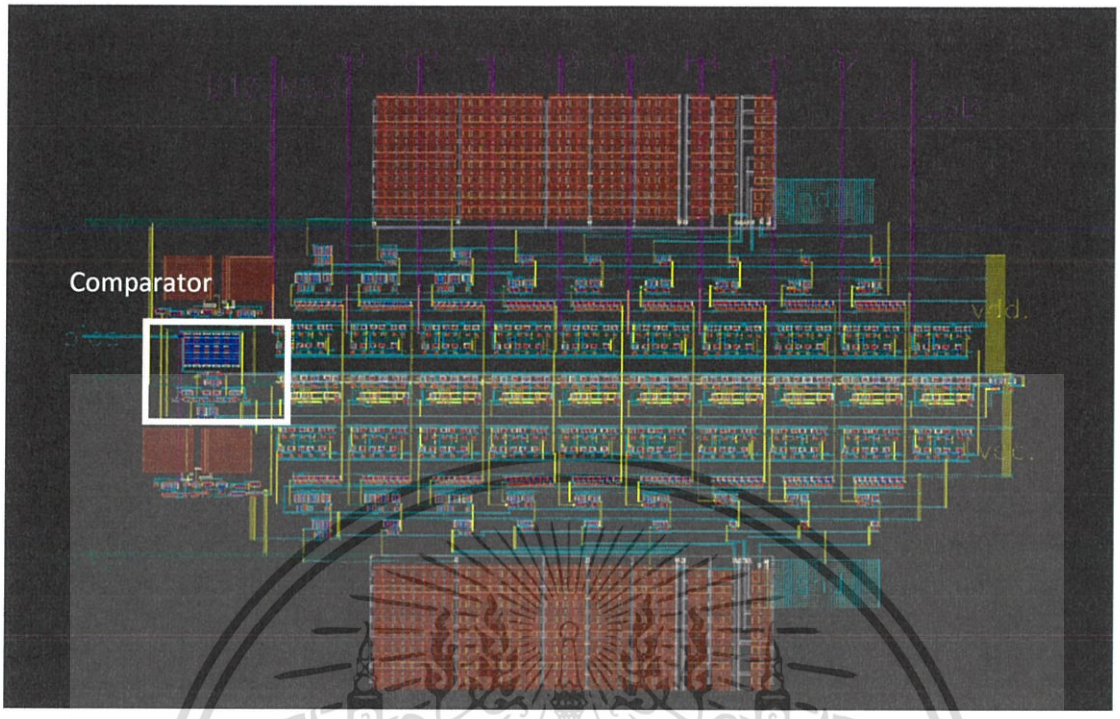
- โดยวงจรที่ออกแบบมีขนาด 470 um x 500um
- ตัวเก็บประจุชนิด MIM ซึ่งเป็น METAL5 และ METAL6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.29 Layout ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดสอบประสิทธิภาพ

5.1 ผลการทดลอง Transient Simulation

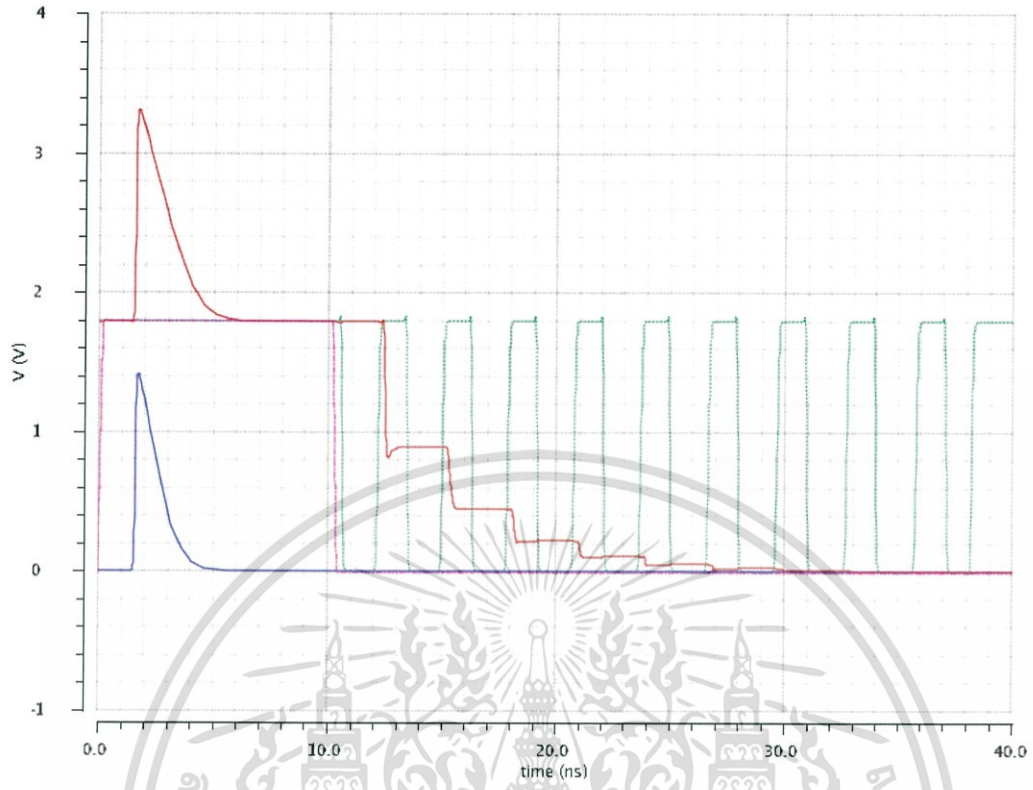
การแปลงสัญญาณแอนะล็อกอินพุทเป็นดิจิทัลเอาท์พุทของ SAR ADC ที่ออกแบบมีรูปแบบการทำงานแบบ monotonic switching method โดยการทดลองนี้ผลของ offset ภายในแต่ละอุปกรณ์ของ ADC จะไม่ถูกรวมใน simulationนี้

ขนาดของสัญญาณอินพุท($V_{in(diff)}$)	Digital output
1.7578 mV	000 000 0001
450 mV	010 000 0000
500mV	010 001 1101
1.35 V	110 000 0000
1.4 V	110 001 1101
1.8 V	111 111 1111

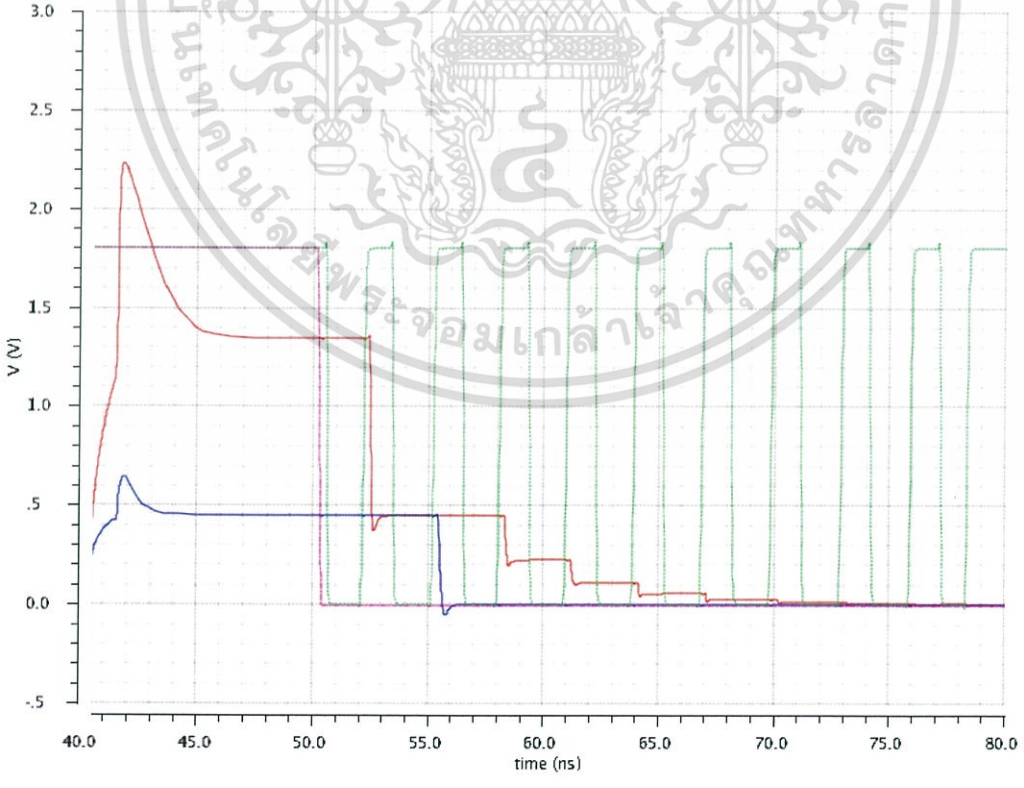
ตารางที่ 5.1 การทดสอบ ผลการทำงานของ ADC ที่ขนาด Vin ต่างๆ

จากรูปที่ 5.1ถึง5.7 แสดงรูปสัญญาณ V_{ip} และV_{in} ซึ่งเป็นแรงดันที่ขั้วบวกและขั้วลบของคอมพาราเตอร์ตามลำดับ เมื่อ SAR ADC ถูกป้อนด้วยขนาดอินพุท ($V_{in(diff)}$) ตามตารางที่ 5.1 แรงดันV_{ip} หรือแรงดัน V_{in} จะถูกควบคุมด้วยการสวิตช์ตัวเก็บประจุใน capacitor array โดยใช้กระบวนการ monotonic switching- procedure ยกตัวอย่างเช่น ในช่วงการแปลงบิท MSB-1 หากแรงดันV_{IP} มีค่ามากกว่า V_{in} ฝั่งที่มีแรงดันมากกว่า (V_{ip}) จะถูกลดแรงดันลง ส่วนในฝั่งที่มีแรงดันมีค่าน้อย (V_{in}) จะยังคงค่าแรงดันเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

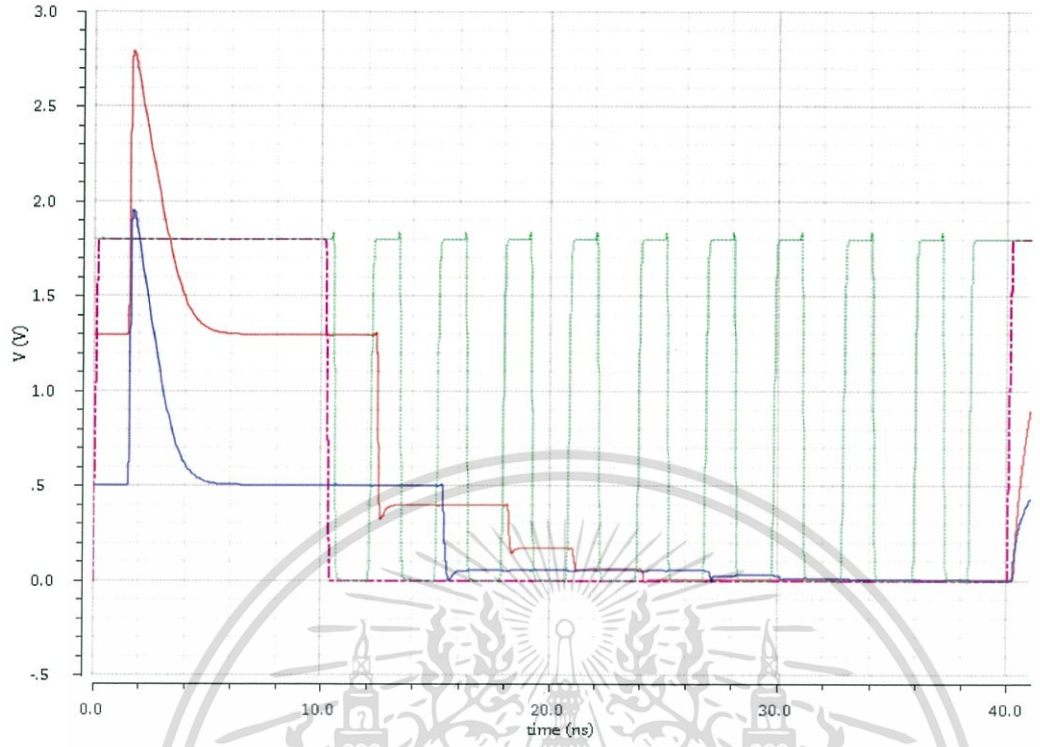


รูปที่ 5.1 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 1.7578 mV

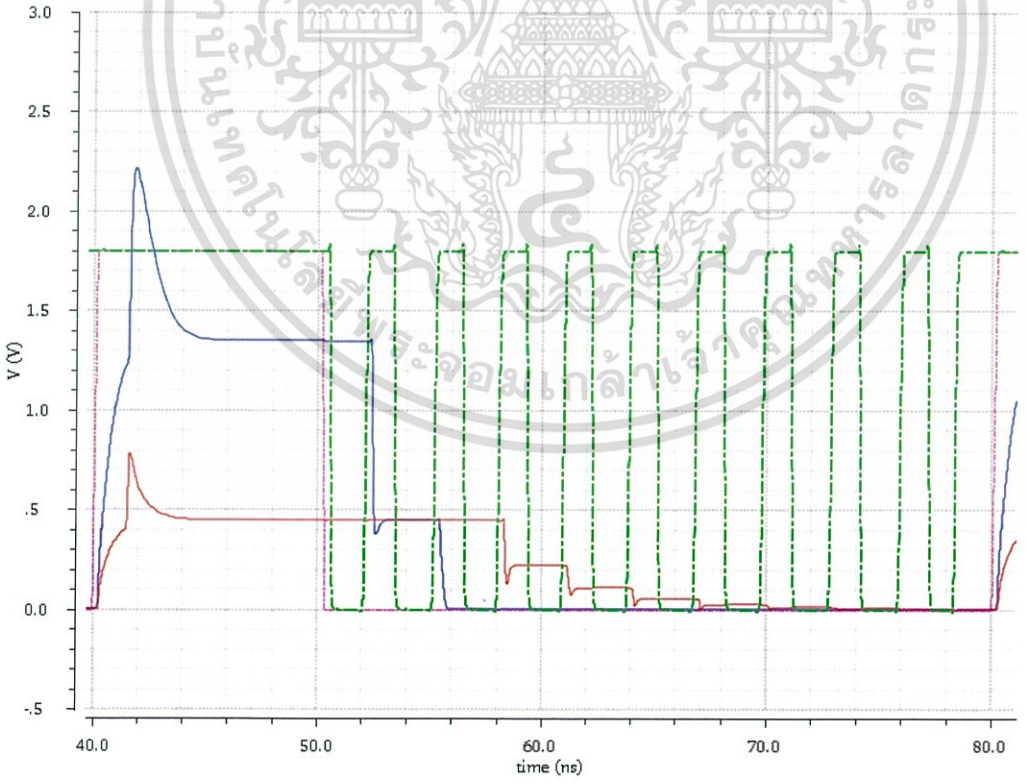


รูปที่ 5.2 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 450 mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

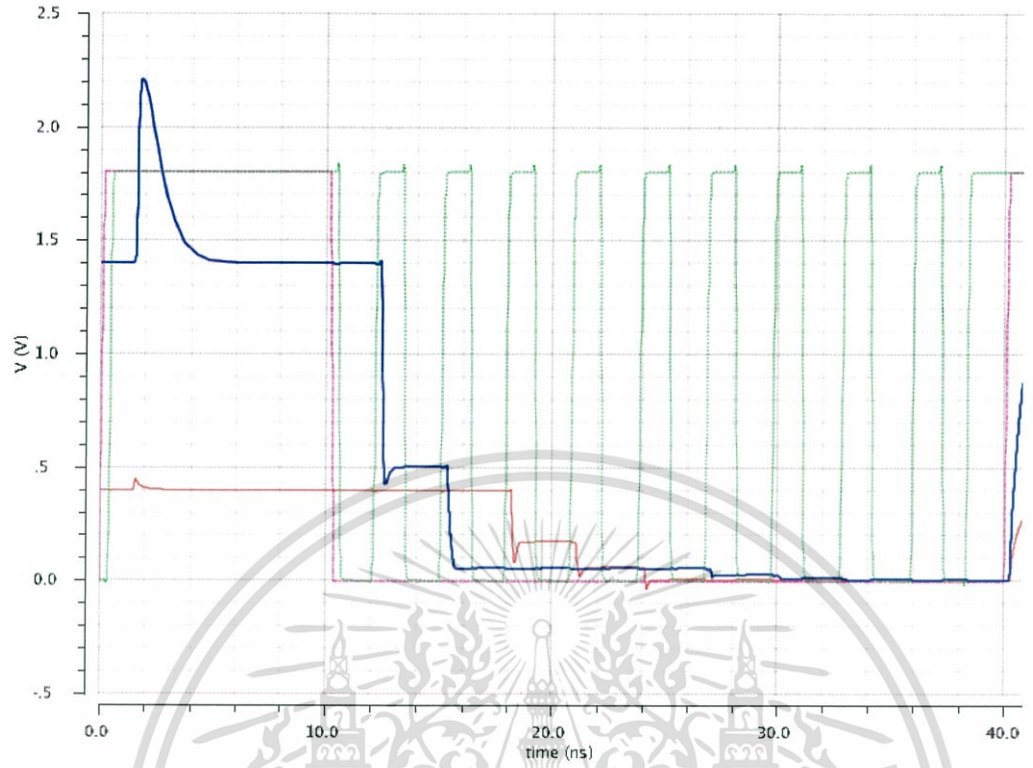


รูปที่ 5.3 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 500 mV

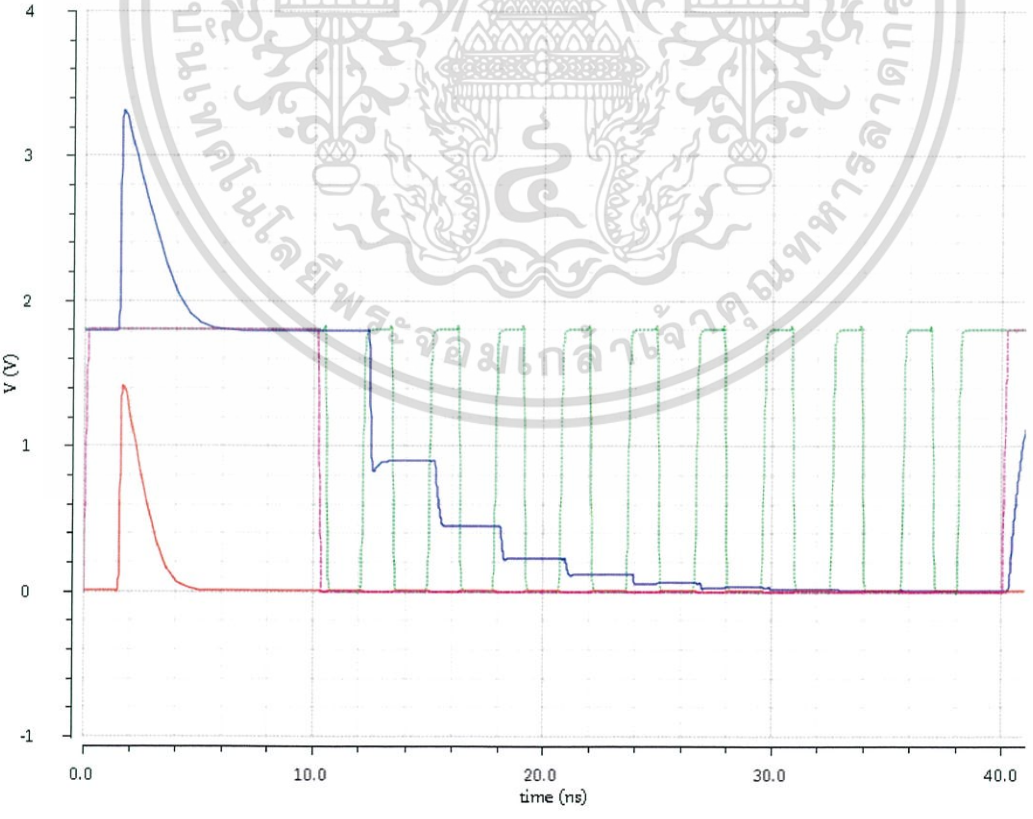


รูปที่ 5.4 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 1.35 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 1.4 V



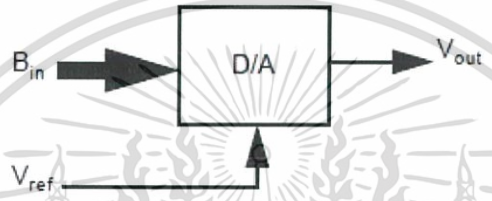
รูปที่ 5.6 แรงดันที่โหนด V_{IP} (สีน้ำเงิน) และ V_{IN} (สีแดง) เมื่อ $V_{in(diff)}$ = 1.8 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวัดสมรรถนะของ ADC

- วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกแบบอุดมคติ

เป็นวงจรแปลงน้ำหนักของรหัสตัวเลขฐานสองผ่านวงจรให้เป็นแรงดันแอนาล็อก วงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อกทำหน้าที่เชื่อมต่อระหว่างภาคควบคุมซึ่งเป็นวงจรดิจิทัลที่มีระดับลอจิก “0” หรือ “1” กับอุปกรณ์ปลายทางหรืออุปกรณ์เอาท์พุทที่รับสัญญาณที่เป็นระดับที่มีแรงดันให้เป็นสัญญาณเอาท์พุทที่อยู่ในรูปของระดับแรงดันหรือกระแสที่ต่อเนื่อง



รูปที่ 5.7 บล็อคไดอะแกรมของวงจร D/A

จากรูป 2.1 กำหนดให้ Bin คือ บิทของสัญญาณดิจิทัลอินพุท, Vout คือ แรงดันแอนะล็อกเอาท์พุท และ V_{ref} คือ แรงดันอ้างอิง

$$B_{in} = b_1 2^{-1} + b_2 2^{-2} + \ldots + b_N 2^{-N} \quad (5.1)$$

โดย b_i จะมีค่าเท่ากับ 1 หรือ 0 และกำหนดให้ b_1 คือ ค่า MSB (บิทที่มีค่าสูงสุด) และ b_N คือ ค่า LSB (บิทที่มีค่าต่ำสุด)

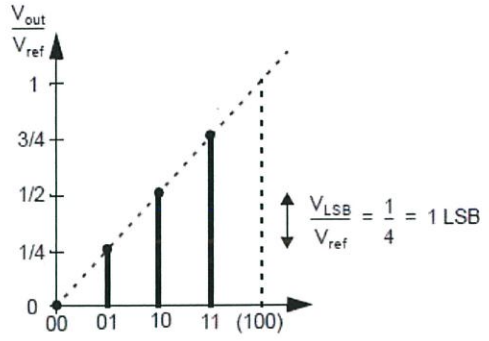
$$V_{out} = V_{ref}(b_1 2^{-1} + b_2 2^{-2} + \ldots + b_N 2^{-N}) = V_{ref} B_{in} \quad (5.2)$$

V_{LSB} คือ แรงดันที่เปลี่ยนแปลงไปต่อ 1 LSB โดยมีหลักการคิดดังนี้

$$V_{LSB} = V_{ref}/2^N \quad (5.3)$$

$$1 \text{ LSB} = 1/2^N \quad (5.4)$$

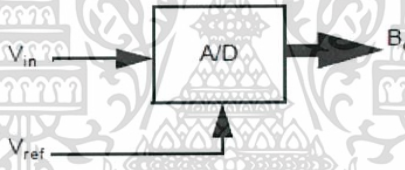
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 Input-output transfer curve ของวงจร D/A ขนาด 2 บิท [9]

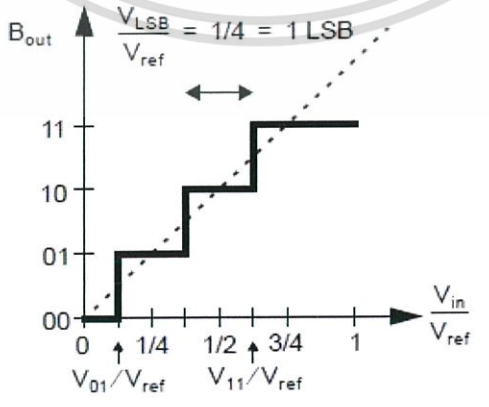
- วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบอุดมคติ

เป็นวงจรที่ทำหน้าที่แปลงสัญญาณแอนะล็อกที่อยู่ในรูปของแรงดันหรือกระแสที่เปลี่ยนแปลงไปเป็นสัญญาณดิจิทัลเพื่อส่งไปยังส่วนประมวลผลที่ใช้วงจรดิจิทัลไมโครโปรเซสเซอร์หรือไมโครคอมพิวเตอร์



รูปที่ 5.9 บล็อคไดอะแกรมของวงจร A/D

จากรูป 2.3 B_{out} คือ ดิจิทัลเอาท์พุท, V_{in} คือ แรงดันแอนะล็อกอินพุท และ V_{ref} คือ แรงดันอ้างอิง



รูปที่ 5.10 Input-output transfer curve ของวงจร A/D ขนาด 2 บิท [9]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่เกี่ยวข้องกับสัญญาณต่างๆ ของวงจร A/D คอนเวอร์เตอร์ มีดังนี้

$$V_{ref}\,(b_1 2^{-1} + b_2 2^{-2} + \ldots + b_N 2^{-N}) = V_{in} \pm V_x \qquad (5.5)$$

เมื่อ

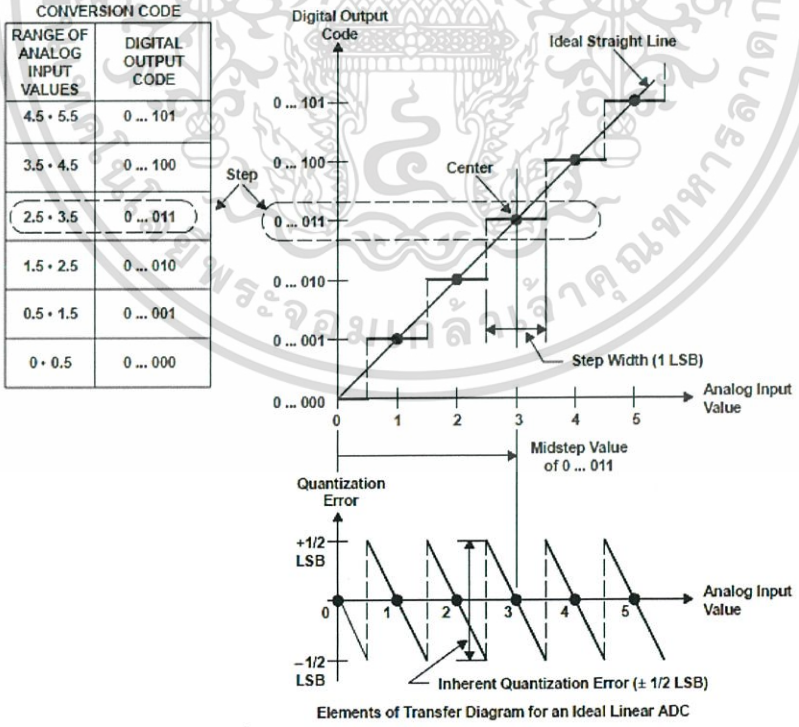
$$-V_{LSB}/2 \le V_x < V_{LSB}/2 \qquad (5.6)$$

V_x หรือเรียกว่า Quantization error คือ ช่วงแรงดันอินพุทที่ให้ค่าดิจิทัลเอาท์พุทเหมือนกัน

5.2 Static Performance

5.2.1 Quantization Error

สัญญาณแอนะล็อกเมื่อถูกสุ่มตัวอย่างเป็นพัลส์ที่มีขนาดความสูงเท่ากับสัญญาณแอนะล็อก ณ เวลาที่ถูกสุ่ม เรียกพัลส์ที่ได้นี้ว่าสัญญาณ Pulse Amplitude Modulation (PAM) พัลส์นี้จะมีระดับขนาดเท่าใดก็ได้ตามสัญญาณแอนะล็อกที่สุ่มได้จากนั้นจะทำการปรับระดับขนาดของพัลส์นี้ให้อยู่ในระดับที่กำหนดไว้ เรียกขบวนการนี้ว่า quantization จากนั้นจึงเข้ารหัสของพัลส์ที่ได้นี้ การที่พัลส์มีขนาดต่างๆ เมื่อถูกจัดเข้ากับระดับที่กำหนดไว้จะทำให้เกิดความผิดพลาด (ความแตกต่าง) จากการปรับระดับนี้ เรียกว่า quantization error โดยค่า quantization error ควรมีค่าสูงสุดไม่เกิน $V_{LSB}/2$

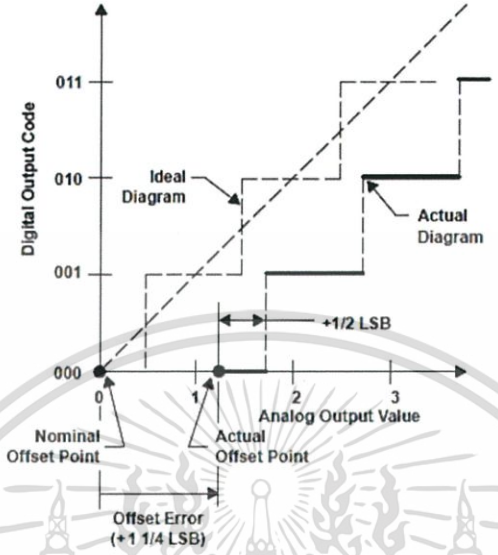


รูปที่ 5.11 Offset error ของ ADC [14]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 Offset

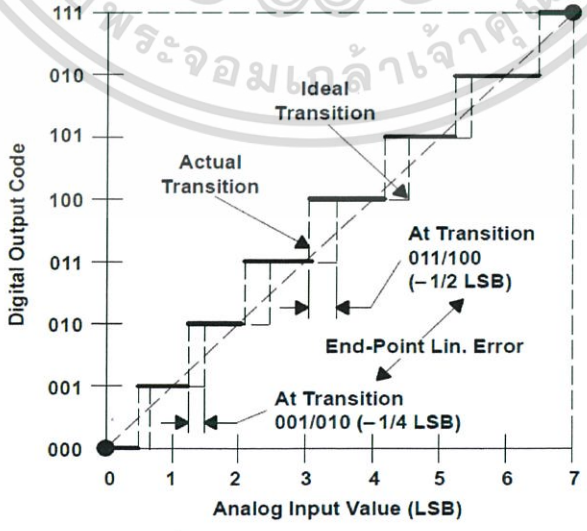
Offset error คือ ค่าสัญญาณอินพุทของ ADC ที่ออกแบบซึ่งเบี่ยงเบนตำแหน่งแรกไปจากอุดมคติ



รูปที่ 5.12 Offset error ของ ADC [14]

5.2.3 DNL Error และ INL Error

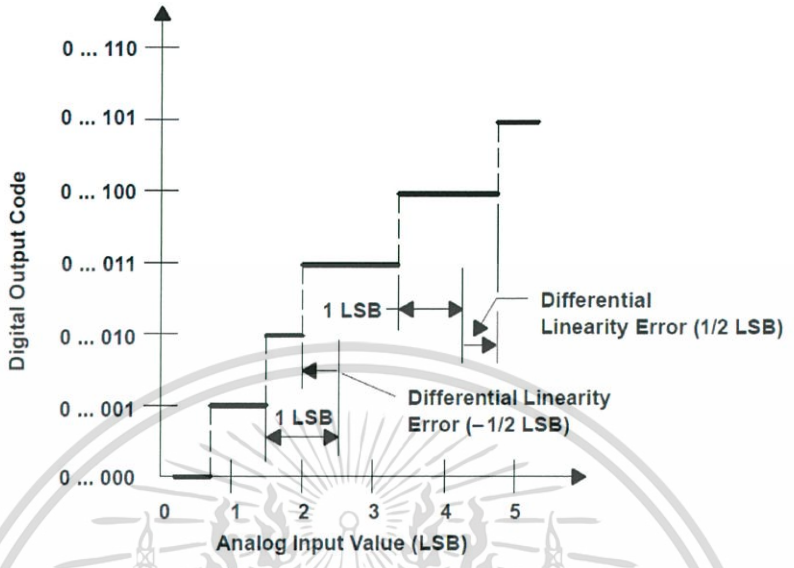
ความคลาดเคลื่อนของความกว้างของแรงดันอินพุทในแต่ละค่าดิจิทัลเอาท์พุทจากค่าในอุดมคติ เรียกว่า Differential Nonlinearity (DNL) โดยอุดมคติค่าความกว้างของดิจิทัลเอาท์พุจะมีค่าไม่เกิน $1V_{LSB}$ หากช่วงกว้างของดิจิทัลเอาท์พุทมีค่ามากกว่า $1V_{LSB}$ DNLจะมีค่าเป็นบวก แต่ถ้าช่วงกว้างดิจิทัลแคบกว่า $1V_{LSB}$ DNL จะเป็นลบ



รูปที่ 5.13 DNL Error ของ ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Integral Nonlinearity (INL) คือ ค่าความแตกต่างระหว่างจุดกึ่งกลางของค่าดิจิทัลเอาท์พุท ของลงจร ADC ที่ออกแบบเทียบกับ Ideal line



รูปที่ 5.14 INL Error ของ ADC

5.3 Dynamic Performance

เพื่อวัดสมรรถนะเชิงความถี่ของวงจร ADC ค่าพารามิเตอร์ที่บ่งชี้ถึงประสิทธิภาพเชิงความถี่ของ ADC มีดังต่อไปนี้

- **Signal to Noise Ratio** คืออัตราส่วนระหว่างกำลังของอินพุทกับกำลังที่สูญเสีย (noise power)

$$SNR = 10\log_{10}\frac{P_S}{P_N} \tag{5.7}$$

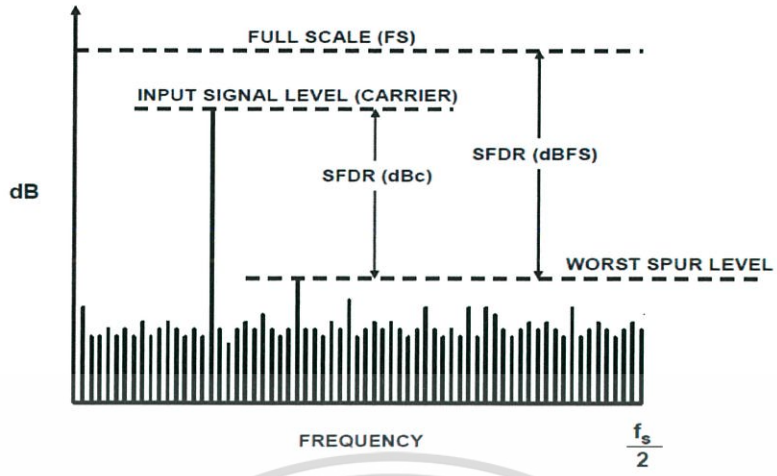
- **Signal to Noise and Distortion Ratio** คืออัตราส่วนระหว่างสัญญานอินพุทต่อผลรวมของสัญญาณ noise กับองค์ประกอบทางฮาร์โมนิก

$$SINAD = 20\log_{10}\frac{V_{Signal}}{V_{Noise} + V_{HD}} \tag{5.8}$$

- **Spurious-Free Dynamic Range** คืออัตราส่วนของสัญญาณอินพุทต่อความเพี้ยนสูงสุดของสัญญาณ

$$SFDR = 20\log_{10}\frac{V_{Signal}}{V_{spurious}} \tag{5.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.15 ค่า Spurious-Free dynamic range ในกราฟ FFT

- **Effective Number of Bits** คือจำนวนบิทที่ได้จากค่าประสิทธิภาพเชิงความถี่ หาได้จาก

$$\text{ENOB} = \frac{(\text{SINAD} - 1.76)\text{dB}}{6.02\text{dB}} \tag{5.10}$$

การหาองค์ประกอบความถี่ของสัญญาณเชิงเวลา (time-domain) สามารถหาได้โดยการใช้ DFT (Discrete Fourier Transform) ในการประมาณสเปคตรัมของสัญญาณที่ได้จากการวัดที่อยู่ในรูปของลำดับของตัวเลข (discrete signal) แต่ปัญหาของการใช้ DFT ก็คือถ้าคำนวณตามนิยามของ DFT จะใช้เวลาในการคำนวณนานเกินไปปัญหานี้แก้ได้ด้วยการใช้อัลกอริทึมชื่อ FFT (Fast Fourier Transform) ในการคำนวณ DFT ฉะนั้นเราอาจกล่าวได้ว่า เราใช้ FFT ในการคำนวณ DFT เพื่อการประมาณสเปคตรัมของสัญญาณใด ๆ โดยสัญญาณอินพุทที่ต้องการทดสอบกับ ADC เป็นไปตามเงื่อนไขความสัมพันธ์ของ Coherency Formula ดังสมการ

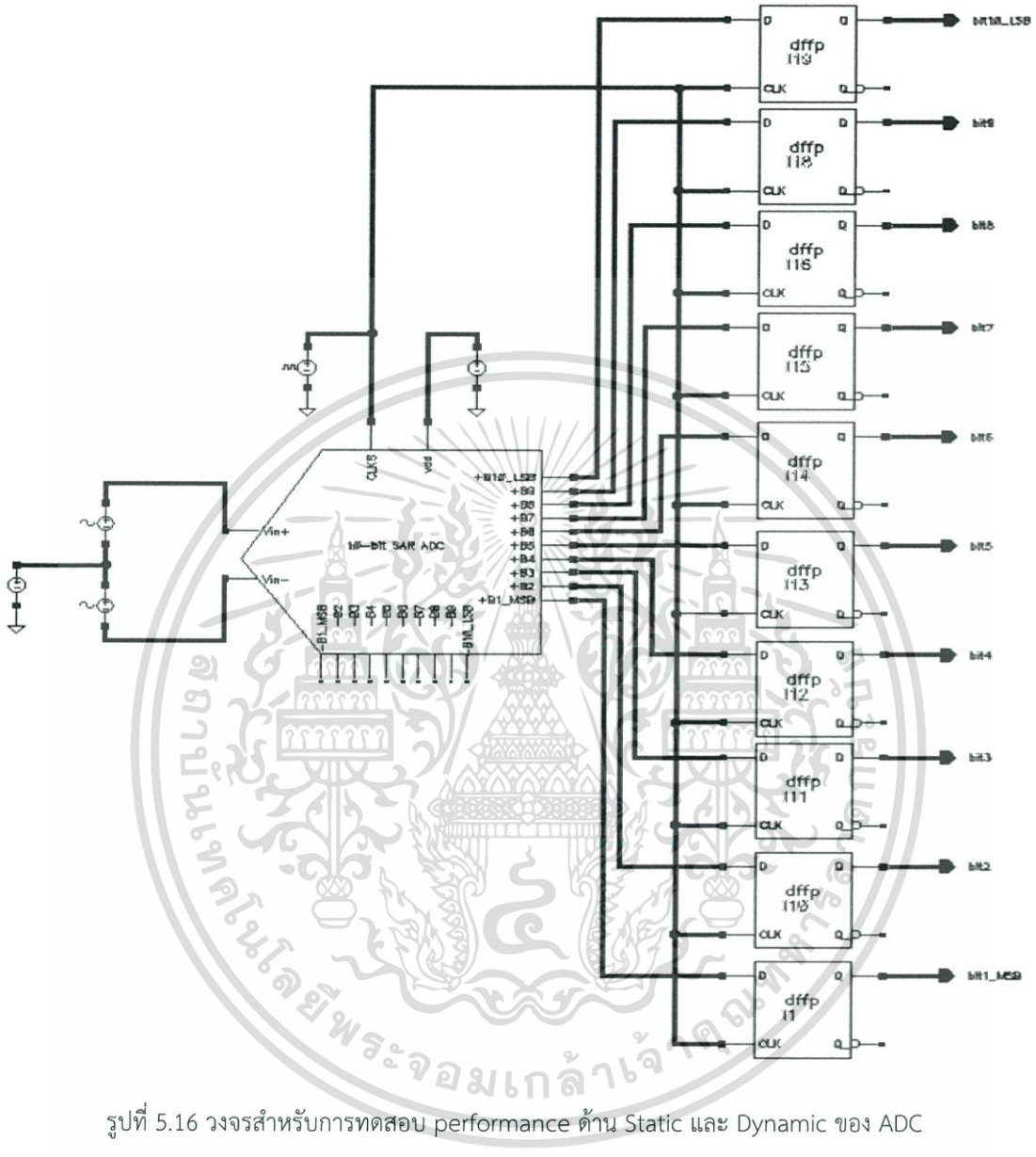
$$\frac{f_{in}}{f_s} = \frac{M_C}{N} \tag{5.11}$$

เมื่อ f_{in} คือความถี่สัญญาณ sinewave ที่ต้องการทดสอบ, f_s คืออัตราการสุ่มของ ADC, M_c คือจำนวน cycle ของการเก็บข้อมูลบนสัญญาณอินพุท (เป็นจำนวนเต็มบวกเฉพาะ) และ N คือจำนวนการชักสุ่มข้อมูลทั้งหมดโดยจุดการเก็บข้อมูลทั้งหมดจะอยู่บน cycle M (มีค่าเป็น 2 ยกกำลังของค่าใดๆ)

การวัดประสิทธิภาพด้าน dynamic ของ ADC จะใช้ spectrum ในฟังก์ชั่น Measurement ของ Virtuoso analog design environment ในการหาค่าพารามิเตอร์ SNR,SFDR,SINAD,THD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 การทดสอบ Performance ของ ADC



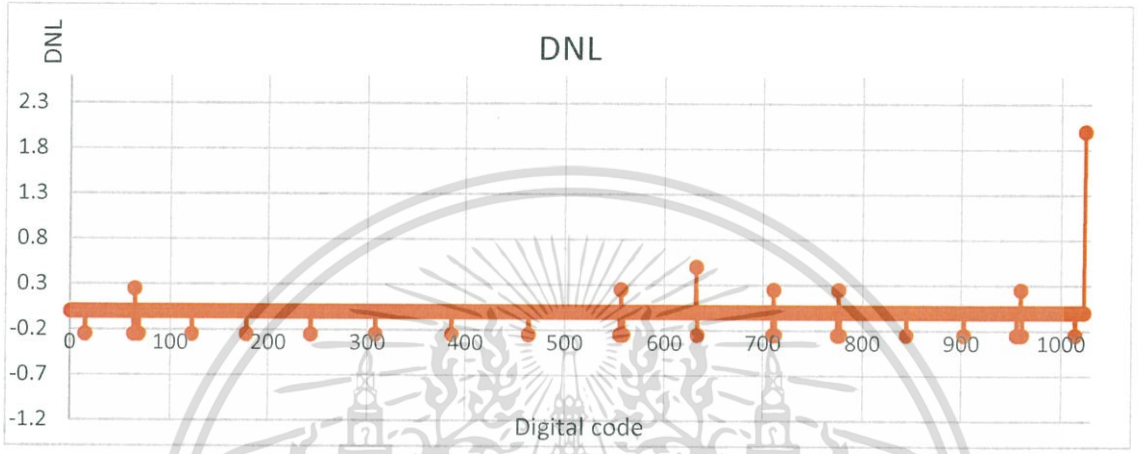
รูปที่ 5.16 วงจรสำหรับการทดสอบ performance ด้าน Static และ Dynamic ของ ADC

เพื่อทำให้ digital output ของ ADC ยังคงที่หลังจากการแปลง และแสดงdigital output อย่างถูกต้องในแต่ละการแปลง ฉะนั้นจึงมีการเพิ่ม D flip-flop ที่เอาท์พุทของ ADC โดยใช้สัญญาณนาฬิกาCLK_S ซึ่งทำหน้าที่ควบคุมการทำงาน ADC เป็นสัญญาณทริกเกอร์ของ DFF ของแต่ละดิจิทัลบิทหลังจากทุกบิทได้ถูกแปลงค่าใหม่ในแต่ละรอบทำงาน

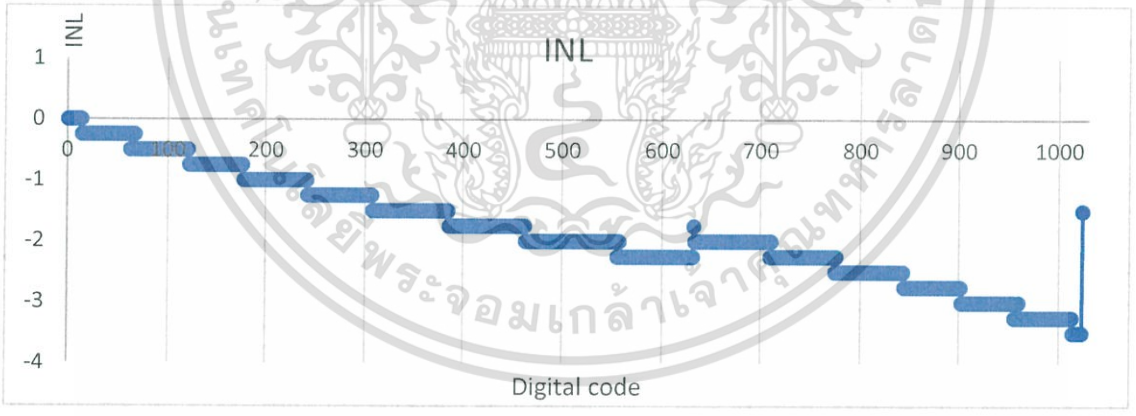
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.1 ผลการทดสอบ Static Performance

จากรูปที่ 5.16 วงจรถูกป้อนด้วยสัญญาณแอนาล็อกแบบ ramp สองสัญญาณที่มีขนาดตรงข้ามกัน ที่ขา V_{in} และขา V_{ip} ของ ADC เพื่อวัดดิจิทัลเอาท์พุทของ ADC โดยความละเอียดในการป้อนแอนะล็อกอินพุทคือ 4 ค่าต่อการทดสอบดิจิทัลเอาท์พุท 1 ค่า (resolution $0.25V_{LSB}$)



รูปที่ 5.17 DNL ที่วัดได้จากการทดสอบ



รูปที่ 5.18 INL ที่วัดได้จากการทดสอบ

จากผลการทดสอบ DNL มีค่าสูงสุดและต่ำสุด คือ $-0.25V_{LSB}$ / $2\ V_{LSB}$

INL มีค่าสูงสุดและต่ำสุด คือ $0\ V_{LSB}$ / $-3.5V_{LSB}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.2 ผลการทดสอบ Dynamic Performance

จากวงจรรูปที่ 5.16 ขา V_{in} , ขา V_{ip} ของ ADC ถูกป้อนด้วยสัญญาณ sinewave ที่เฟสต่างกัน 90 องศา สัญญาณทั้งสองมีขนาด 1.8 V_{P-P} ด้วยแรงดันอินพุทโหมดร่วมเท่ากับ 900mV โดยความถี่ของสัญญาณอินพุทที่ใช้ทดสอบจะสอดคล้องกับ Coherency Formula คือ 2.246MHz 5.175MHz และ 10.0585MHz โดยที่ จุดสุ่มตัวอย่าง (N) มีค่าเท่ากับ 256, f_s =25 MS/s

ในการวิเคราะห์แบบ FFT ระดับสัญญาณเริ่มต้นและสุดท้ายต้องอยู่ในระดับเดียวเพื่อไม่ทำให้เกิดผลการรั่วของ FFT ซึ่งส่งผลต่อค่าพารามิเตอร์ต่างๆ ดังนั้นใน transient simulation จะใช้เวลาเท่ากับ

$$T_{sim} = (N+1)/f_s) + T_{start\text{-}up} \qquad (5.12)$$

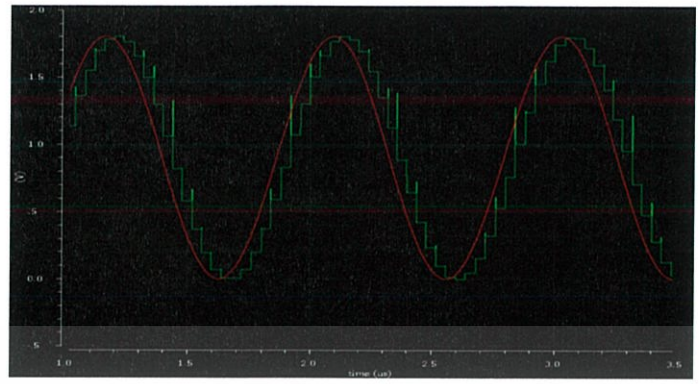
$T_{start\text{-}up}$ คือ ช่วงเวลาที่ ADC เริ่มทำงานจนกระทั่งค่าดิจิทัลบิตสุดท้ายถูกแสดงขึ้น

ADC ที่ออกแบบมีช่วงการแปลง (conversion) เท่ากับ 40 ns และดิจิทัลเอาท์พุทแรกจะใช้เวลาเท่ากับ 40.5ns ($T_{start\text{-}up}$) จากสมการ 5.12 เวลาที่ใช้ใน transient simulation เท่ากับ 10.3205us

สัญญาณที่ถูกนำไปวิเคราะห์ FFT จะเป็นสัญญาณแอนาล็อกที่เกิดจากการแปลงดิจิทัลเอาท์พุทของ ADC โดย Cadence's calculator เสมือนทำหน้าที่เป็น DAC ในการแปลงแรงดันของแต่ละดิจิทัลเอาท์พุทบิท ให้เป็น logic "1" และ "0" แล้วนำผล logic ของแต่ละบิทแปลงเป็นขนาดแรงดัน ดังสมการนี้

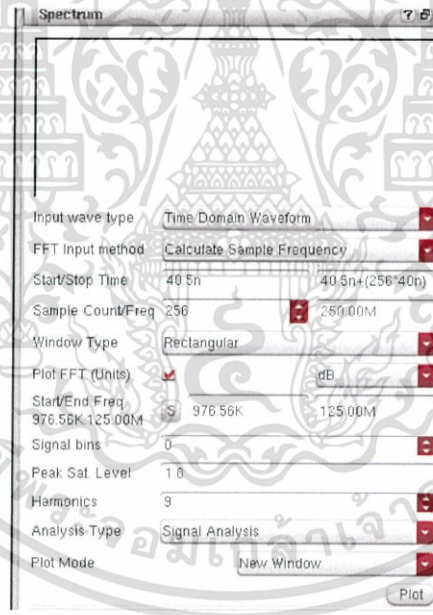
```
abs(VT("/bit1_MSB")/1.8)*(1.8*2**(-1))+abs(VT("/bit2")/1.8)*(1.8*2**(-2))+
  abs(VT("/bit3")/1.8)*(1.8*2**(-3))+abs(VT("/bit4")/1.8)*(1.8*2**(-4))+
  abs(VT("/bit5")/1.8)*(1.8*2**(-5))+abs(VT("/bit6")/1.8)*(1.8*2**(-6))+
  abs(VT("/bit7")/1.8)*(1.8*2**(-7))+abs(VT("/bit8")/1.8)*(1.8*2**(-8))+
abs(VT("/bit9")/1.8)*(1.8*2**(-9)) + abs(VT("/bit10_LSB")/1.8)*(1.8*2**(-10))
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.19 สัญญาณแอนาล็อกที่ได้จากการแปลงดิจิทัลเอาท์พุทของ ADC (สีเขียว)

สัญญาณแอนะล็อกที่ได้จากการแปลงผ่าน Cadence's calculator จะถูกนำไปวิเคราะห์ใน spectrum ในฟังก์ชั่น Measurement ของ Virtuoso analog design environment เพื่อหาค่าพารามิเตอร์ SNR,SFDR,SINAD,THD แล้วนำไปคำนวณ ENOB

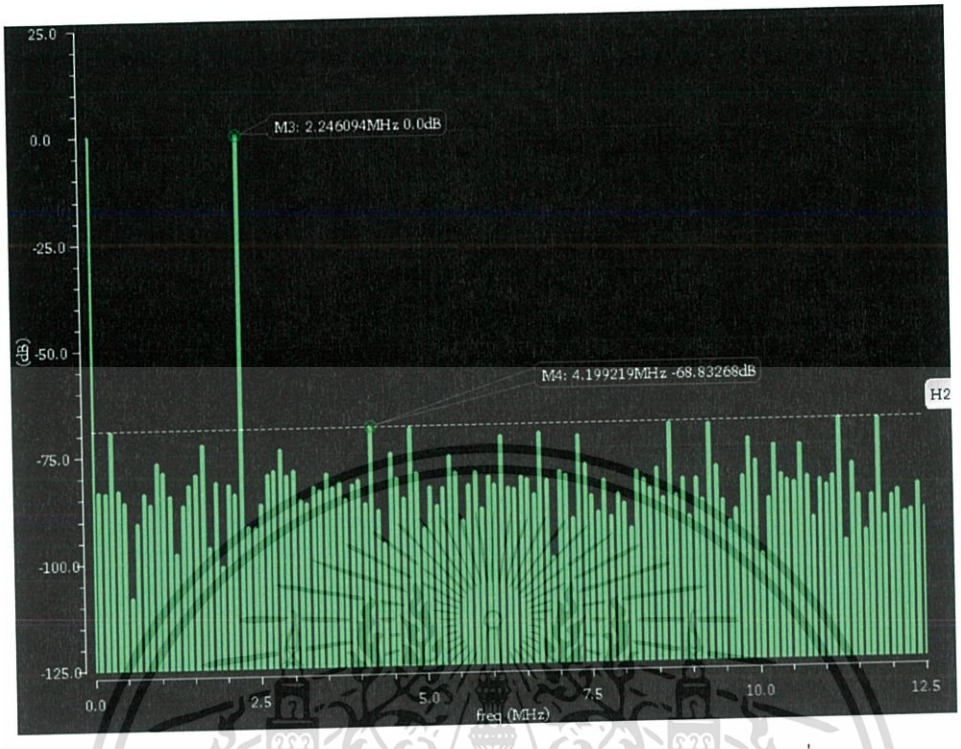


รูปที่ 5.20 การตั้งค่าภายใน spectrum เพื่อวิเคราะห์ FFT

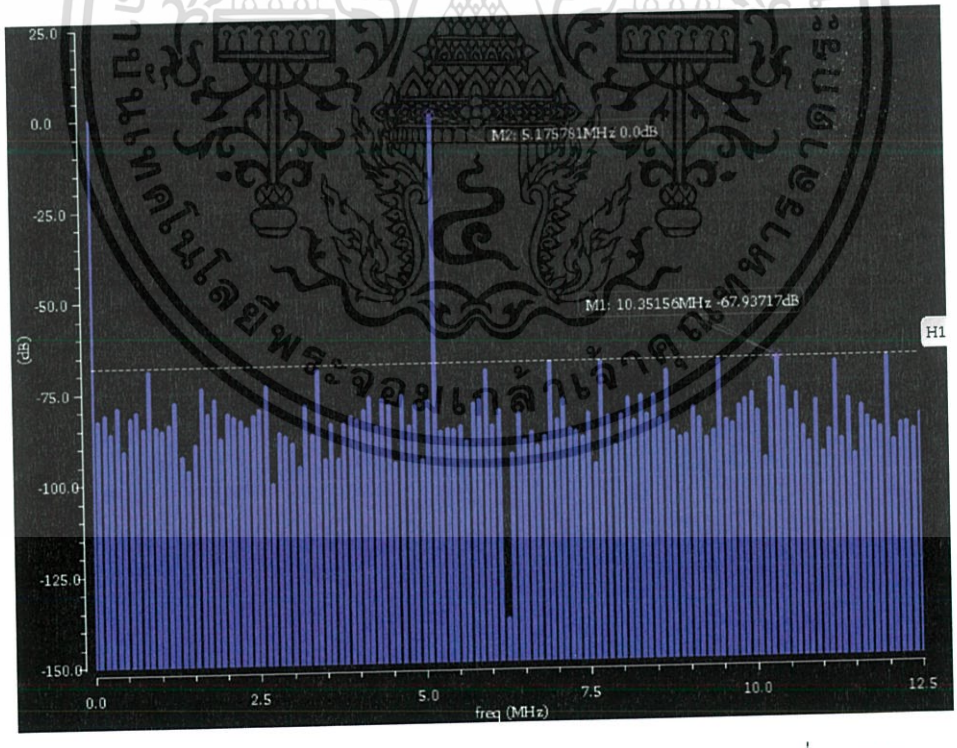
Parameter/frequency	2.246MHz	5.175MHz	10.058MHz
SNR (dB)	58.7982	58.5978	58.4421
SINAD(dB)	57.6571	57.3124	56.3988
SFDR(dB)	68.8327	67.9371	61.3089
THB(dB)	-63.1560	-62.5418	-59.7357
ENOB (จากสมการ2.10)	9.28	9.23	9.07

ตารางที่ 5.2 ค่าพารามิเตอร์ทาง dynamic จากการทดสอบด้วย FFT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

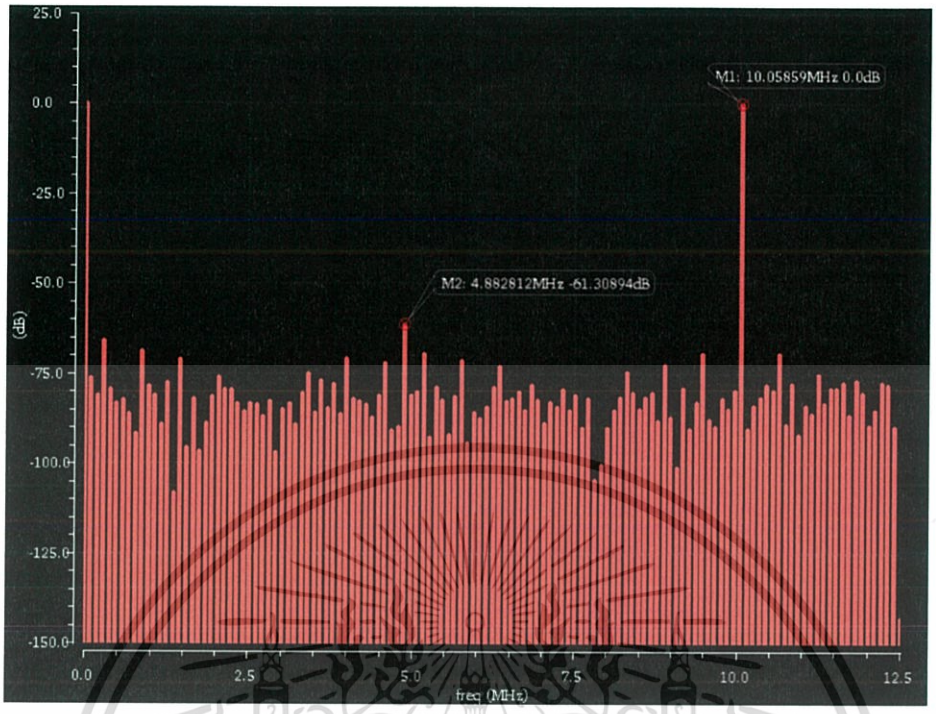


รูปที่ 5.21 FFT (256point) เมื่อทดสอบด้วยสัญญาณอินพุท sinewave ความถี่ 2.246MHz



รูปที่ 5.22 FFT (256point) เมื่อทดสอบด้วยสัญญาณอินพุท sinewave ความถี่ 5.175MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 FFT (256point) เมื่อทดสอบด้วยสัญญาณอินพุท sinewave ความถี่ 10.058 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลและวิเคราะห์การทำงานของวงจร

จากการศึกษาและออกแบบวงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิทัล ทำให้ทราบถึงกระบวนการการสร้างและแก้ปัญหาในแต่ละจุดที่สามารถเกิดขึ้นได้ภายในวงจร ปัญหาหลักที่เกิดขึ้นคือการแก้ปัญหา kickback noise ในขณะที่คอมพาราเตอร์ทำงานให้มีค่าน้อยกว่า V_{LSB} นั้น มีข้อจำกัดเนื่องจากการปรับขนาดของทรานซิสเตอร์ differential pair เพิ่มขึ้นนั้นส่งผลต่อ resolve - time ของคอมพาราเตอร์ฉะนั้นการหลีกเลี่ยงไม่ให้ kickback noise มีอิทธิพลต่อการทำงานของ ADC คือ เลื่อนระยะเวลาในการสวิตช์ capacitor ของ DAC ให้อยู่ในช่วงที่ CLKc เป็น high (คอมพาราเตอร์มีสถานะ reset) จากเดิมที่มีการสวิตช์ทันที

จากผลการทดสอบประสิทธิภาพของ SAR ADC สรุปได้ดังตารางนี้

Specification (unit)	Experimental results
Supply Voltage (V)	1.8
Input CM Voltage (V)	0.9
Input Range (V_{p-p})	1.8
Sampling Capacitance (pF)	6.04
Sampling Rate (MS/s)	25
Power consumption (mW)	2.65
DNL (LSB)	-0.25/2
INL (LSB)	0/-3.5
ENOB (Bits)	9.23
SINAD (dB)	57.31
SNR (dB)	58.60
SFDR (dB)	67.94
THD (dB)	-62.54

ตารางที่ 6.1 specification summary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Chun-Cheng Liu, Soon-Jyh Chang, Guan-Ying Huang Ying-Zu Lin,"A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure" in IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 45, NO. 4, APRIL 2010

[2] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, "A 0.92mW 10-bit 50-MS/s SAR ADC in 0.13 um CMOS process," in *IEEE Symp. VLSICircuits Dig.*, Jun. 2009, pp. 236–237.

[3] S. W. M. Chen and R. W. Brodersen, "A 6-bit 600-MS/s 5.3-mW asynchronous ADC in-0.13- umCMOS," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2006, page. 574–575.

[4] Rahman LF, Reaz MBI, Yin CC, Ali MAM, Marufuzzaman M, "Design of High Speed and Low Offset Dynamic Latch Comparator in 0.18 mm CMOS Process" in PLoS ONE 9(10): e108634. , October 9, 2014

[5] Cody Brenneman," Circuit Design for Realization of a 16 bit 1MS/s Successive-Approximation Register Analog-to-Digital Converter",PhD Thesis, Electrical and Computer Engineering Faculty of the Worcester Polytechnic., May 2010

[6] Song Yan, Xue Zhongming, Yan Pengcheng,Zhang Jueying, and Geng Li "A 0.6-V 8.3-ENOB asynchronous SAR ADC for biomedical applications" in Journal of Semiconductors, Volume 35, Issue 8, article id. 085007 (2014), August 2014

[7] Pascal Meinerzhagen ,"Design of a 12-bit low-power SAR A/D Converter for a Neurochip"Master's Thesis, University of California,Merced, August 15, 2008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[8] Raheleh Hedayati, “A Study of Successive Approximation Registersand Implementation of an Ultra-Low Power 10-bit SAR ADC in 65nm CMOS Technology” ,Master’s thesis, Electronic Devices, Dept of Electrical Engineering of Linköping Institute of Technology, September 2011

[9] Tony Chan Carusone, David A. Johns, Kenneth W. Martin "ANALOG INTEGRATED CIRCUIT DESIGN" John Wiley & Sons, Inc., 2013.

[10] Pedro M. Figueiredo and João C. Vital, “Kickback Noise Reduction Techniques for CMOS Latched Comparators,” IEEE Transactions on Circuit and System II: Express Briefs, VOL. 53, NO. 7, JULY 2006 541.

[11] Abo A.M., Gray P.R. “A 1.5-V, 10-bit, 14.3 MS/s CMOS pipeline analog-to-digital converter,” *IEEE JSSC*, Vol 34, May 1999, Page.599–606

[12] B. Razavi, "The Bootstrapped Switch [A Circuit for All Seasons]," IEEE Solid-State Circuits Magazine, Volume. 7, Issue.3, page.12-15

[13] Muhammad Irfan Kazimi,“Design of Highly Linear Sampling Switches for CMOS Track-and-Hold Circuits,” Master Thesis, Linköpings university Linköping, Sweden, April 2006

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้