ระบบอินเตอร์เฟสพลังงานต่ำสำหรับคาร์ปาซิทีฟเซ็นเซอร์

Low Power Interface Chip for Capacitive Sensor Systems

นายคุณาพันธ์ จริยะกิจโกศล

Kunaphan Jariyakitkosol

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2559

ระบบอินเตอร์เฟสพลังงานต่ำสำหรับคาร์ปาร์ซิทีฟเซ็นเซอร์

Low-Power Interface Chip for Capacitive Sensor Systems

นายคุณาพันธิ์ จริกยกิจโกศล

Kunaphan Jariyakitkosol

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบอินเตอร์เฟสพลังงานต่ำสำหรับคาร์ปาร์ซิทีฟเซ็นเซอร์

Low-Power Interface Chip for Capacitive Sensor Systems

โดย

นายคุณาพันธิ์ จริกยกิจโกศล

อาจารย์ที่ปรึกษา

ดร.กฤษณ์พล ลีลาวัฒนานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2559

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบอินเตอร์เฟสพลังงานต่ำสำหรับคาร์ปาร์ซิทีฟเซ็นเซอร์

Low-Power Interface Chip for Capacitive Sensor

ผู้จัดทำ นายคุณาพันธิ์ จริยกิจโกศล รหัสประจำตัว 56010134

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ดร.กฤษณ์พล ลีลาวัฒนานนท์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ระบบอินเตอร์เฟสพลังงานต่ำสำหรับคาร์ปาซิทีฟเซ็นเซอร์ Low-Power Interface Chip for Capacitive Sensor Systems
นักศึกษา	นายคุณาพันธิ์ จริยกิจโกศล รหัสประจำตัว 56010134
ปริญญา	วิศวกรรมศาสตรบัณฑิต
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2559
อาจารย์ที่ปรึกษาโครงการ	ดร.กฤษณ์พล ลีลาวัฒนานนท์

บทคัดย่อ

ในโครงงานนี้เป็นการศึกษาการออกแบบวงจรรวม (Integrated Circuit) สำหรับระบบการอ่านค่าจากเซ็นเซอร์ชนิดตัวเก็บประจุ (Capacitive Sensor) โดยโครงงานนี้ได้นำคุณสมบัติของเซ็นเซอร์ที่มีขายตามท้องตลาดมาใช้เป็นเซ็นเซอร์ชนิดตัวเก็บประจุที่ใช้ร่วมกับระบบที่ออกแบบ ซึ่งเป็นเซ็นเซอร์วัดความดันสัมบูรณ์ (Absolute Pressure) ระบบที่ออกแบบประยุกต์ใช้ในงานทางด้านการแพทย์ จึงคำนึงถึงเรื่องของการใช้พลังงานเป็นหลัก ดังนั้นโครงงานนี้จะอธิบายถึงหลักการทำงานของระบบและเทคนิคการออกแบบระบบให้มีการใช้พลังงานที่น้อยและมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Low-Power Interface Chip for Capacitive Sensor Systems
Student	Mr. Kunaphan Jariyakitkosol Student ID 56010134
Degree	Bachelor of Engineering
Program	Electronics Engineering
Year	2016
Project Advisor	Dr. Kritsapon Leelavattananon

ABSTRACT

This project is to study the design of a readout integrated circuit for a capacitive sensor. The design of the system is using feature of the sensors, that are commercially available, to sense an absolute pressure for biomedical application. The power consumption is a major consideration. Therefore, in this project, the principles and techniques for low power design will be studied and explained to achieve a high efficiency system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เรื่อง Low-Power Interface Chip for Capacitive Sensor นี้สามารถสำเร็จลุล่วงไปด้วยดี ต้องขอขอบพระคุณอาจารย์ที่ปรึกษา ดร.กฤษณ์พล ลีลาวัฒนานนท์ ที่ได้ให้คำแนะนำการทำงานคอยชี้แนะสิ่งต่างๆ

สุดท้ายนี้ต้องขอขอบคุณนางสาวผ่องปวีร์ สหัฐขจรกัลป์ ที่คอยให้กำลังใจ ถามไถ่ความเป็นไปของปริญญานิพนธ์ และช่วยแก้ไขปัญหาอยู่เสมอ ทำให้ผู้จัดทำมีกำลังใจที่จะทำโครงงานและรายงานฉบับนี้ให้สำเร็จลุล่วง

คุณาพันธิ์ จริยกิจโกศล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VI
สารบัญรูป	VII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา	1
1.3 ขอบเขตของงานวิจัย	1
1.4 ประโยชน์ที่คาดว่าจะได้รับ	1
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	2
2.1 เซ็นเซอร์ชนิดตัวเก็บประจุ (Capacitive Sensor)	2
2.2 วงจรแปลงประจุเป็นแรงดันไฟฟ้า (C-V Converter)	3
2.2.1 วงจรตัวต้านทานและตัวเก็บประจุ (RC Circuit)	3
2.2.2 สวิตช์ (Switch)	5
2.2.2.1 ความต้านทานของสวิตช์เนื่องจากความไม่เป็นอุดมคติ	5
2.2.2.2 ตัวเก็บประจุแฝงอันเนื่องจากลักษณะโครงสร้างมอสเฟต	6
2.2.3 Switched-Capacitor Circuit	8
2.2.4 Switched-Capacitor Amplifier	8
2.3 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (ADC)	10
2.3.1 ความละเอียด (Resolution)	10
2.3.2 Quantization Error	10
2.3.3 Static Performance	10
2.3.3.1 Offset และ Full Scale Error	10
2.3.3.2 Differential Nonlinearity (DNL)	11
2.3.3.3 Integral Nonlinearity (INL)	11
2.4 วงจร ADC แบบ Successive Approximation (SAR ADC)	12
2.4.1 วงจร Sample and Hold	12
2.4.2 Successive Approximation Register (SAR)	12
2.4.3 วงจรเปรียบเทียบแรงดัน (Comparator)	13
2.4.4 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (DAC)	14
บทที่ 3 การออกแบบ	15
3.1 วงจรอ่านค่า (Readout Circuit)	15
3.1.1 Capacitive Sensor	15
3.1.2 C-V Converter	15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2.1 ศึกษาพฤติกรรมของสวิตช์ที่สร้างจากมอสเฟต 16
3.1.2.2 ความจุไฟฟ้าแฝงอันเนื่องมาจากโครงสร้างของมอสเฟต 16
3.1.3 SC Amplifier 20
3.2 SAR ADC 8-bit 21
3.2.1 Comparator 22
3.2.2 Binary-weighted Capacitor DAC 24
3.2.3 SAR Control Logic 26
บทที่ 4 ผลการทดลอง 32
4.1 ผลการทดสอบการอ่านค่าจากเซ็นเซอร์ 32
4.2 ผลการวัดแรงดันสัมบูรณ์ 32
4.3 กำลังไฟที่ใช้ภายในระบบ 33
บทที่ 5 สรุปผลการทดลองและข้อเสนอแนะ 34
เอกสารอ้างอิง 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 3.1 ผลของ Charge-Injection ในแต่ละ (W/L) ของมอสเฟต	17
ตารางที่ 3.2 ขนาดของมอสเฟตที่ใช้ใน Two-Stage Op-amp	19
ตารางที่ 3.3 คุณสมบัติของออปแอมป์ Vcm =0.25 V	19
ตารางที่ 3.4 ขนาดของมอสเฟตในวงจร Open-loop Comparator	23
ตารางที่ 3.5 ขนาดของมอสเฟตใน D-flip flop	29
ตารางที่ 5.1 ผลการวัดความดันสัมบูรณ์	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แผนภาพโครงสร้างของระบบอ่านค่าจากเซ็นเซอร์ชนิดตัวเก็บประจุ	2
รูปที่ 2.2 Parallel plate Capacitor	2
รูปที่ 2.3 โครงสร้าง และหลักการทำงานของเซ็นเซอร์ความดันสัมบูรณ์	3
รูปที่ 2.4 วงจร RC	4
รูปที่ 2.5 สวิตช์ และ ความสัมพันธ์ระหว่างแรงดันและกระแสที่ไหลผ่านทางเข้า AB	5
รูปที่ 2.6 ทรานซิสเตอร์ชนิด MOSมาใช้เป็นสวิตช์	5
รูปที่ 2.7 ตัวเก็บประจุแฝงที่เกิดขึ้นจากโครงสร้างของมอสเฟต	6
รูปที่ 2.8 วงจร sample & hold	7
รูปที่ 2.8 ขบวนสัญญาณนาฬิกาที่ไม่ซ้อนทับกัน (Nonoverlapping Clocks)	7
รูปที่ 2.9 สวิตช์ OFF ประจุที่อยู่ในช่องนำกระแสถูกคายออกมา	7
รูปที่ 2.10 Clock Feed-through	8
รูปที่ 2.11 a) ขบวนสัญญาณนาฬิกาที่ไม่ซ้อนทับกัน (Non-overlapping clock) b) แหล่งกำเนิดสัญญาณที่ไม่ซ้อนทับกัน (Non-overlapping clock generator)	8
รูปที่ 2.12 Switched-capacitor Amplifier	9
รูปที่ 2.13 การทำงานของ Switched-Capacitor Amplifier a) ช่วง Reset b) ช่วง Amplify	9
รูปที่ 2.14 Quantization Error	10
รูปที่ 2.15 Offset Error และ Full Scale Error	11
รูปที่ 2.16 DNL ของ วงจร ADC	11
รูปที่ 2.17 INL ของ ADC	12
รูปที่ 2.18 วงจรภายใน SAR ADC	12
รูปที่ 2.19 แผนภาพกระบวนการ Successive-approximation	13
รูปที่ 2.20 Binary-weighted Array DAC	14
รูปที่ 3.1 Block Diagram ของระบบ	15
รูปที่ 3.2 C-V Converter	16
รูปที่ 3.3 ผลการจำลองวงจร sample & hold ที่ขนาด (W/L) ของมอสเฟตต่างกัน	17
รูปที่ 3.4 วงจร C-V converter ที่ออกแบบบนโปรแกรม cadence	18
รูปที่ 3.5 Two-Stage Op-amp	18
รูปที่ 3.6 ผลตอบสนองทางเวลาของวงจร C-V Converter	19
รูปที่ 3.7 Readout Circuit	20
รูปที่ 3.8 Timing Diagram ของวงจร Readout	21
รูปที่ 3.9 Transient Response ของวงจรอ่านค่า	21
รูปที่ 3.10 วงจร SAR ADC 8-bit ที่ออกแบบใน cadence	22
รูปที่ 3.11 Open-loop Comparator	22
รูปที่ 3.12 การทดสอบ Delay ของวงจร Comparator ในช่วงที่ Vip > Vin	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.13 การทดสอบ Delay ของวงจร Comparator ในช่วงที่ Vip < Vin 23
รูปที่ 3.14 Binary-weighted Capacitor DAC 24
รูปที่ 3.15 สัญญาณดิจิทัลอินพุตที่ป้อนเพื่อทดสอบการทำงานของ DAC โดยให้มีการเปลี่ยนแปลงบิตทุกๆ 200μS 24
รูปที่ 3.16 ผลการตอบสนองทางเวลาของ DAC 24
รูปที่ 3.17 ผลการตอบสนองทางเวลาของ DAC (ขยายบางส่วน) 25
รูปที่ 3.18 DNL ของ DAC ที่ออกแบบ 26
รูปที่ 3.19 INL ของ DAC ที่ออกแบบ 26
รูปที่ 3.20 วงจร SAR Control Logic 27
รูปที่ 3.21 โครงสร้างภายใน D-flip flop แบบมีขา Set และ Reset 27
รูปที่ 3.22 ช่วงที่ Clock เป็น Low 28
รูปที่ 3.23 ช่วงที่ Clock เป็น High 28
รูปที่ 3.24 ผลการตอบสนองของ SAR Control Logic เมื่อให้แรงดัน COMP = 0 V 29
รูปที่ 3.25 D-flip flop ที่ออกแบบใน cadence 29
รูปที่ 3.26 SAR Control Logic ที่ออกแบบใน cadence 30
รูปที่ 3.27 Analog Input ที่ใช้ทดสอบวงจร ADC 30
รูปที่ 3.28 Analog Input ที่ใช้ทดสอบวงจร ADC (ขยายบางส่วน) 31
รูปที่ 3.29 DNL ของ ADC ที่ออกแบบ 31
รูปที่ 3.30 INL ของ ADC ที่ออกแบบ 31
รูปที่ 4.1 กราฟแสดงความสัมพันธ์ระหว่างความดันสัมบูรณ์และแรงดันเอาท์พุตของวงจรอ่านค่า 32
รูปที่ 4.2 กราฟความสัมพันธ์ระหว่างแรงดันสัมบูรณ์กับดิจิทัลเอาท์พุตของระบบในช่วงแรก 33
รูปที่ 4.3 กราฟความสัมพันธ์ระหว่างแรงดันสัมบูรณ์กับดิจิทัลเอาท์พุตของระบบ 33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันมีโลกมีความก้าวหน้าทางเทคโนโลยีอย่างมาก เอื้ออำนวยให้เราสามารถวัดปริมาณต่างๆด้วยเครื่องมือวัดอิเล็กทรอนิกส์ได้ง่ายและแม่นยำมากขึ้น เซ็นเซอร์ (Sensor) จึงมักจะพบได้แทบทุกๆเครื่องวัดอิเล็กทรอนิกส์ ซึ่งเป็นอุปกรณ์ที่เปลี่ยนแปลงคุณสมบัติทางไฟฟ้าของตัวมันเองตามพลังงานภายนอกที่มากระตุ้น เช่น แรงทางกล เสียง อุณหภูมิ เป็นต้น ซึ่งภายในเครื่องมือวัดนั้นประกอบไปด้วย เซ็นเซอร์ ระบบอินเตอร์เฟซ (Interface System) ระบบประมวลผล (Processing System) ระบบแสดงผล (Display System) เป็นต้น

โครงงานนี้ทำการศึกษาและออกแบบระบบอินเตอร์เฟซ ซึ่งจะทำหน้าที่ติดต่อสื่อสารกับเซ็นเซอร์ โดยนำคุณสมบัติทางไฟฟ้าที่เปลี่ยนแปลงไปของเซ็นเซอร์แปลงเป็นสัญญาณทางไฟฟ้า และนำไปแปลงเป็นสัญญาณดิจิทัล ซึ่งในส่วนนี้ถือเป็นระบบที่ใช้พลังงานมาก เนื่องจากปัญหานี้ ส่งผลให้อายุการใช้งานของเครื่องมือวัดลดลง ทำให้ต้องเปลี่ยนแบตเตอรี่บ่อยๆ จะเห็นว่ามีค่าใช้จ่ายและต้องการการซ่อมบำรุงสม่ำเสมอ รวมถึงถ้าหากเครื่องมือวัดอยู่บนหรือภายในอวัยวะส่วนใดส่วนหนึ่งของมนุษย์ อาจทำให้เนื้อเยื่อบริเวณนั้นตายได้ จากการได้รับความร้อนที่มากเกินไป

ดังนั้นแล้วจากปัญหาที่กล่าวมา จึงทำให้โครงงานนี้มุ่งเน้นที่จะศึกษาและออกแบบระบบอินเตอร์เฟซ ให้มีการใช้พลังงานที่น้อย

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1.2.1 ศึกษาการทำงานของวงจร C-V Converter

1.2.2 ศึกษาการทำงานของวงจร Analog to Digital converter

1.2.3 ศึกษาการออกแบบและวิเคราะห์วงจร และจำลองการทำงานด้วยโปรแกรม cadence

1.3 ขอบเขตการวิจัย

1.4.1 ออกแบบและจำลองผลบนโปรแกรม cadence

1.4.2 ศึกษาการออกแบบวงจรและระบบอินเตอร์เฟซ

1.4.3 ใช้เทคโนโลยี CMOS 0.35μm AMS ในการออกแบบ

1.4 ประโยชน์ที่คาดว่าจะได้รับ

1.5.1 เข้าใจถึงกระบวนการออกแบบและวิธีการแก้ปัญหา

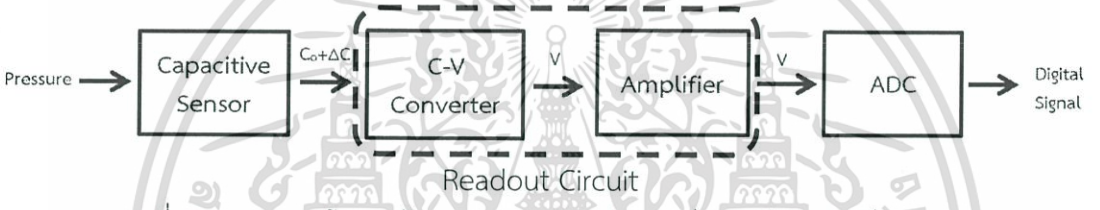
1.5.2 เข้าใจในระบบและการทำงานวงจร

1.5.3 สามารถนำไปต่อยอดได้ในด้านต่างๆที่เกี่ยวข้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

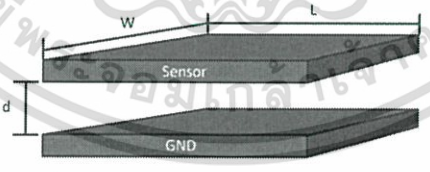
ในบทนี้จะกล่าวถึงทฤษฎีที่เกี่ยวข้องกับระบบที่ออกแบบและเซ็นเซอร์ชนิดตัวเก็บประจุที่ใช้ภายในโครงงานนี้ โดยโครงงานนี้เป็นการศึกษาการออกแบบระบบอ่านค่าจากเซ็นเซอร์ชนิดตัวเก็บประจุ และแปลงค่าที่อ่านได้จากเซ็นเซอร์เป็นสัญญาณดิจิทัล ซึ่งภายในระบบจะประกอบไปด้วย 2 ส่วน คือ ส่วงของวงจรอ่านค่า (Readout Circuit) ซึ่งประกอบไปด้วยวงจรแปลงประจุเป็นแรงดันไฟฟ้า (C-V Converter) และวงจรขยาย (Amplifier) ส่วนที่สองคือวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog-to-Digital Converter) หรือวงจร ADC แสดงเป็นแผนภาพได้ดังรูปที่ 2.1



รูปที่ 2.1 แผนภาพโครงสร้างของระบบอ่านค่าจากเซ็นเซอร์ชนิดตัวเก็บประจุ

2.1 เซ็นเซอร์ชนิดตัวเก็บประจุ (Capacitive Sensor)

เซ็นเซอร์ คือ อุปกรณ์ที่เปลี่ยนแปลงคุณสมบัติทางไฟฟ้าของตัวมันเองตามพลังงานภายนอกที่มากระตุ้น โดยโครงสร้างพื้นฐานของ Capacitive sensor อย่างง่ายจะมีลักษณะเป็นแผ่นตัวนำ 2 แผ่นที่วางขนานและห่างจากกันเป็นระยะทาง d ดังรูปที่ 2.2



รูปที่ 2.2 Parallel plate Capacitor

สามารถคำนวณหาค่าความจุไฟฟ้าดังสมการที่ 2.1

$$C = \frac{\varepsilon_r \varepsilon_0 A}{d} \qquad (2.1)$$

โดย ε_r คือ ค่าคงที่ไดอิเล็กตริกระหว่างแผ่นตัวนำ

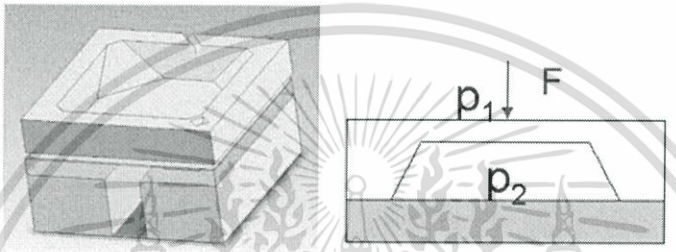
ε_0 คือ permittivity of free space (8.85×10^{-12} F/m)

A คือ พื้นที่ของแผ่นอิเล็กโทรด (m^2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

d คือ ระยะห่างระหว่าง plates ในหน่วย (m)

โดยเซ็นเซอร์ที่นำมาใช้ในโครงงานนี้เป็น เซ็นเซอร์วัดความดันสัมบูรณ์ SCB10H-B012FB เซ็นเซอร์มีโครงสร้างดังรูปที่ 2.3 โดยตัวเซ็นเซอร์จะประกอบไปด้วย แผ่นซิลิกอนเวเฟอร์ 2 แผ่น และแผ่นแก้ว 1 แผ่นเชื่อมกันอยู่แบบ anodic bonding แผ่นซิลิกอนเวเฟอร์ที่อยู่ด้านล่างจะถูกยึดติดให้ไม่สามารถเคลื่อนที่ได้ ส่วนซิลิกอนเวเฟอร์อีกแผ่นจะทำหน้าที่เป็นไดอะแฟรม ที่จะโค้งงอตามความดันภายนอก (p_1) ที่เข้ามากระทำอย่างสัดส่วนโดยตรง ทำให้ระยะห่างระหว่างแผ่นซิลิกอนเวเฟอร์เปลี่ยนแปลงไป มีผลทำให้ค่าความจุไฟฟ้าเปลี่ยนไป และภายในระหว่างซิลิกอนเวเฟอร์สองแผ่นบรรจุก๊าซอาร์กอนซึ่งมีความดัน (p_2) ซึ่งเป็นแรงดันอ้างอิงให้กับตัวเซ็นเซอร์



รูปที่ 2.3 โครงสร้าง และหลักการทำงานของเซ็นเซอร์ความดันสัมบูรณ์

จากข้อมูล Datasheet เพื่อให้ง่ายต่อการออกแบบในขั้นต้น จะไม่คิดผลของความไม่เป็นอุดมคติของเซ็นเซอร์ เราจะสามารถทราบถึงพฤติกรรมการเปลี่ยนแปลงความจุไฟฟ้าของเซ็นเซอร์ขณะที่ความใดมีค่าใดๆดังสมการที่ 2.2 [1]

$$C_{sensor}(p) = \left(5.5\times10^{-11}\right)P_{abs} + \left(5.19\times10^{-12}\right) \qquad (2.2)$$

โดยที่ C_{sensor} คือ ความจุไฟฟ้าของเซ็นเซอร์ (F)
P_{abs} คือ แรงดันสัมบูรณ์ (Pa)

ซึ่งจะเห็นได้ว่าเมื่อมีแรงภายนอกมากระทำเซ็นเซอร์ คุณสมบัติทางไฟฟ้าของเซ็นเซอร์จะมีการเปลี่ยนแปลงไป เราสามารถนำผลดังกล่าวไปเชื่อมต่อกับวงจรอ่านค่าได้

2.2 วงจรแปลงประจุเป็นแรงดันไฟฟ้า (C-V Converter)

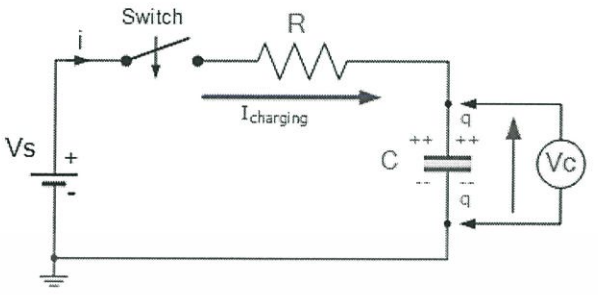
ในหัวข้อนี้จะกล่าวถึง ทฤษฎีที่เกี่ยวข้องและมีความสำคัญต่อการออกแบบวงจร C-V Converter ที่ทำหน้าที่แปลงประจุไฟฟ้าที่สะสมอยู่ในตัวเก็บประจุเป็นแรงดัน ได้ดังนี้

2.2.1 วงจรตัวต้านทานและตัวเก็บประจุ (RC Circuit)

วงจร RC เป็นวงจรไฟฟ้าที่ประกอบไปด้วย ตัวต้านทาน (Resistor) ตัวเก็บประจุ (Capacitor) และแหล่งจ่ายไฟตรง (DC Voltage Source) โดยมี สวิตช์ (Switch) ควบคุมการไหลของกระแสไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจร จากรูปที่ 2.4 สมมติว่าเริ่มต้น สวิตช์ถูกเปิดและไม่มีประจุสะสมอยู่ในตัวเก็บประจุ เมื่อสวิตช์ปิด ทำให้กระแสไฟฟ้าไหลผ่านตัวต้านทาน และตัวเก็บประจุ ทำให้เกิดการประจุตัวเก็บประจุ (Charging)



รูปที่ 2.4 วงจร RC

ประจุจะเริ่มสะสมบนแผ่นประจุและความต่างศักย์ระหว่างแผ่นของตัวเก็บประจุจะเพิ่มขึ้นจนมีค่าเท่ากับแหล่งจ่ายแรงดัน (V_s) ประจุที่สะสมอยู่ในตัวเก็บประจุจะมีค่าเท่ากับ

$$Q = CV_s \tag{2.3}$$

โดยที่ Q คือ ปริมาณประจุที่สะสมอยู่บนตัวเก็บประจุ มีหน่วยเป็น คูลอมบ์ (C)
C คือ ความจุไฟฟ้าของตัวเก็บประจุ มีหน่วยเป็น ฟารัด (F)
V_s คือ แรงดันที่ตกคร่อมตัวเก็บประจุ มีหน่วยเป็น โวลต์ (V)

จากรูปที่ 2 แรงดันขณะใดขณะหนึ่งที่ตกคร่อมตัวเก็บประจุ (V_c) ขณะถูกประจุ สามารถแสดงเป็นสมการได้ดังนี้

$$V_c(t) = V_s(1 - e^{\frac{-t}{\tau}}) \tag{2.4}$$

และ
$$\tau = RC \tag{2.5}$$

โดยที่ V_c คือ แรงดันที่ตกคร่อมตัวเก็บประจุ (V)
V_s คือ แรงดันของแหล่งจ่ายไฟ (V)
τ คือ ค่าคงที่เวลา (Time Constant) (s)

เช่นเดียวกันกับการคายประจุ (Discharging) ของตัวเก็บประจุ สามารถแสดงเป็นสมการได้ดังสมการที่ 2.6

$$V_c(t) = V_s e^{\frac{-t}{\tau}} \tag{2.6}$$

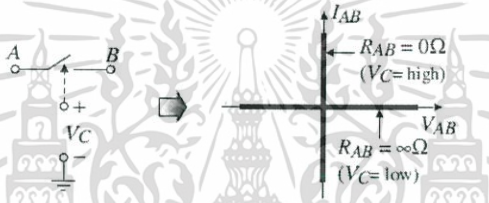
จากความสัมพันธ์ของค่าคงที่เวลา พบว่าค่าความต้านทานในวงจรและค่าความจุไฟฟ้าของตัวเก็บประจุที่นั้นมีผลต่ออัตราการประจุ และการคายประจุ หรือกล่าวได้อีกนัยหนึ่งคือ ความเร็วในการตอบสนองของวงจรขึ้นอยู่กับค่าคงที่เวลา เพราะถ้าหากวงจรมีค่าคงที่เวลามาก ระยะเวลาในการ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่อนุญาตให้นำไปเพื่อการใช้ประโยชน์ในทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประจุ หรือการคายประจุ จะใช้เวลานานกว่า วงจรที่มีค่าคงที่เวลาน้อย ซึ่งจะมีผลอย่างมากเมื่อต้องออกแบบวงจรที่ต้องการให้มีการตอบสนองที่เร็ว ถ้าวงจรที่ออกแบบไม่สามารถตอบสนองได้เร็ว อาจจะทำให้วงจรทำงานผิดพลาดได้ เช่น วงจรอ่านค่าที่วัดได้จากเซ็นเซอร์ได้ผลไม่ถูกต้อง เป็นต้น

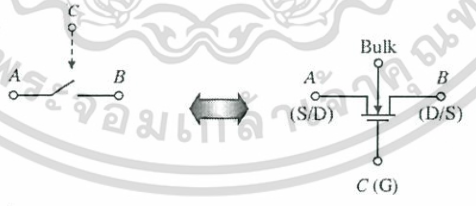
2.2.2 สวิตช์ (Switch)

สวิตช์ เป็นอุปกรณ์ที่ทำหน้าควบคุมการไหลของสัญญาณไฟฟ้าในวงจร การไหลของสัญญาณของวงจรจะขึ้นอยู่จังหวะการเปิด-ปิด (Open-Closed) ของสวิตช์ โดยสวิตช์ในอุดมคติเมื่อสวิตช์ปิด สวิตช์จะประพฤติตัวเสมือน ลัดวงจร (Short-circuit) เรียกสภาวะนี้ว่า “ON” และเมื่อสวิตช์เปิด สวิตช์จะประพฤติตัวเสมือน เปิดวงจร (Open-Circuit) เรียกสภาวะนี้ว่า “OFF” และจังหวะการเปิด-ปิดจะขึ้นอยู่กับสัญญาณไฟฟ้าที่ป้อนเข้ามาควบคุมสวิตช์ ดังรูปที่ 2.5 จะสังเกตได้ว่ามีแรงดัน V_c คอยควบคุมการเปิด-ปิดของสวิตช์ โดยสภาวะที่สวิตช์ปิดเรียกสภาวะนี้ว่า “High” และเมื่อสวิตช์เปิดจะเรียกสภาวะนี้ว่า “Low”



รูปที่ 2.5 สวิตช์ และ ความสัมพันธ์ระหว่างแรงดันและกระแสที่ไหลผ่านทางเข้า AB

ในวงจรรวมเรามักจะนำมอสเฟต (MOSFET , Metal-Oxide Semiconductor Field Effect Transistor) มาใช้เป็นสวิตช์ดังรูปที่ 2.6 เนื่องจากสร้างได้ง่ายและสามารถกำหนดจังหวะการเปิด-ปิดสวิตช์ด้วยสัญญาณนาฬิกาที่มีความถี่สูงมากๆได้



รูปที่ 2.6 ทรานซิสเตอร์ชนิด MOSมาใช้เป็นสวิตช์

เนื่องจากสวิตช์ในทางปฏิบัตินั้น มีความไม่เป็นอุดมคติ จึงจำเป็นต้องคำนึงถึง ความต้านทานขณะที่ ON และ OFF รวมถึงตัวเก็บประจุแฝงอันเนื่องมากจากโครงสร้างของมอสเฟต โดยสามารถจำแนกผลของความไม่เป็นอุดมของสวิตช์ได้ดังนี้

2.2.2.1 ความต้านทานของสวิตช์เนื่องจากความไม่เป็นอุดมคติ

จากรูปที่ 4 สวิตช์ที่สร้างจากมอสเฟตขณะที่ ON ทรานซิสเตอร์จะทำงานอยู่ในย่านไตรโอดลึก (deep triode region) ซึ่งมอสเฟตจะมีความสัมพันธ์แรงดันระหว่างเดรน-ซอร์ส (V_{DS}) กับกระแสเดรน (I_D) เป็นเชิงเส้น ดังนั้นสวิตช์จะมีความต้านทานเป็น

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติว่า มอสเฟตมี $V_{DS}<V_{GS}-V_T$ และ V_{DS} มีค่าน้อย

$$R_{on}=\frac{V_{DS}}{I_D}=\frac{1}{\mu C_{ox}\left(\frac{W}{L}\right)(V_{GS}-V_T)} \tag{2.7}$$

โดย R_{on} คือ ความต้านทานของสวิตช์ขณะที่ ON (Ω)
V_{DS} คือ แรงดันระหว่างเดรน-ซอร์ส (V)
μC_{ox} คือ ทรานส์คอนดักแตนซ์กระบวนการของมอสเฟต (A/V^2)
W คือ ความกว้างของช่องนำกระแส (m)
L คือ ความยาวของช่องนำกระแส (m)
V_{GS} คือ แรงดันระหว่างเกท-ซอร์ส (V)
V_T คือ แรงดันขีดเริ่ม (threshold voltage) (V)

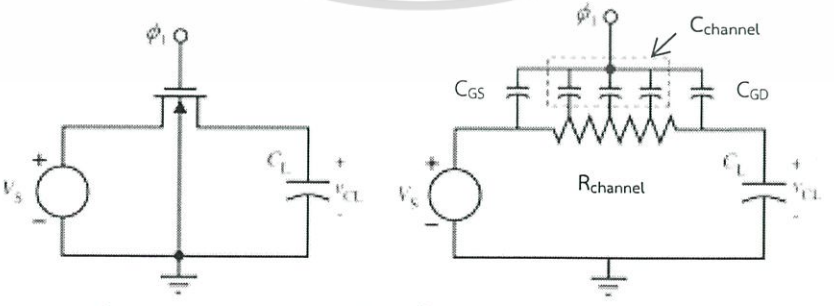
และเมื่อสวิตช์ OFF ในทางปฏิบัติยังมีกระแสรั่วไหล (leakage current) ไหลผ่านสวิตช์อยู่บ้าง ซึ่งกระแสที่ว่ามีค่าน้อยมากๆ จึงมีความต้านทานที่สูงมาก ดังสมการที่ 2.8

$$R_{OFF}\approx\frac{1}{I_D\lambda}\approx\frac{1}{I_{OFF}\lambda} \tag{2.8}$$

โดย λ คือ สัมประสิทธิ์การเปลี่ยนแปลงความยาวของช่องนำกระแส (V^{-1})
I_{OFF} คือ กระแสรั่วไหลขณะที่สวิตช์ OFF (A)

2.2.2.2 ตัวเก็บประจุแฝงอันเนื่องจากลักษณะโครงสร้างมอสเฟต

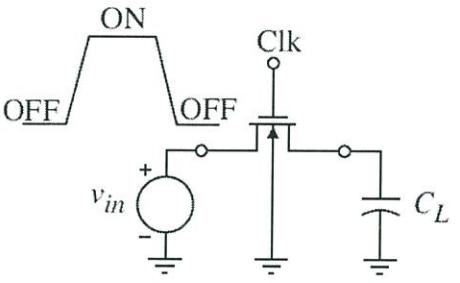
ตัวเก็บประจุแฝงที่เกิดขึ้นจากโครงสร้างของมอสเฟต แสดงได้ดังรูปที่ 7 ที่จะทำให้เกิดปรากฏการณ์ Charge-Injection Errors และ Clock Feedthrough เกิดขึ้นในวงจรที่นำมอสเฟตไปใช้เป็นสวิตช์



รูปที่ 2.7 ตัวเก็บประจุแฝงที่เกิดขึ้นจากโครงสร้างของมอสเฟต

พิจารณาวงจร sample & hold ในรูปที่ 2.8 ซึ่งประกอบไปด้วยสวิตช์ที่สร้างจากมอสเฟต ตัวเก็บประจุ และ แหล่งจ่ายแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



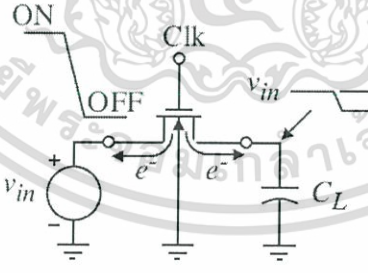
รูปที่ 2.8 วงจร sample & hold

เมื่อสวิตช์ ON (CLK = High) มอสเฟตเริ่มนำกระแสทำให้เกิดช่องนำกระแสเกิดขึ้น ทำให้ประจุเกิดการสะสมที่บริเวณช่องนำกระแสนี้เป็นดังสมการที่ 2.9

$$Q_{ch} = -WLC_{ox}(V_{GS} - V_T) \tag{2.9}$$

และเมื่อสวิตช์ OFF (CLK = Low) มอสเฟตจะคายประจุที่อยู่ในช่องนำกระแสออกมาดังรูปที่ 2.9 เรียกปรากฏการณ์นี้ว่า “Channel Charge-Injection” สมมติว่า คายประจุออกไปยังขาเดรนและขาซอร์สเท่ากัน ทำให้แรงดันที่ตกคร่อมตัวเก็บประจุ C_L มีค่าเปลี่ยนแปลงไปเท่ากับ

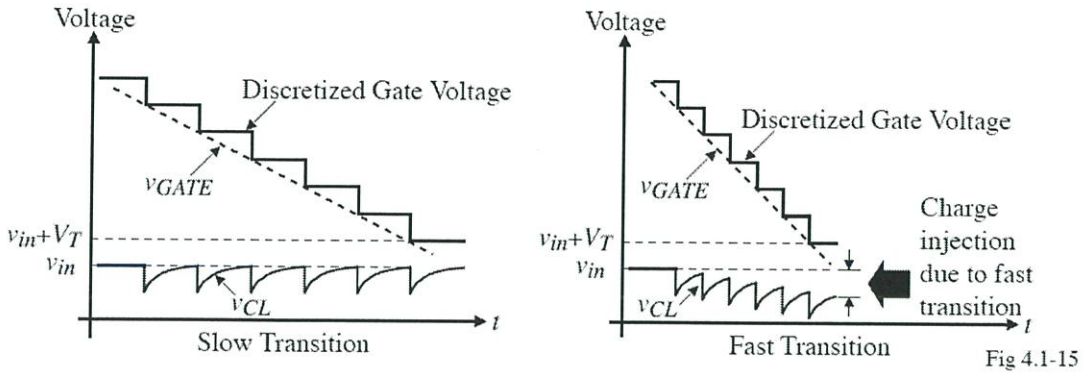
$$\Delta V = \frac{Q_{ch}}{2C_L} = \frac{-WLC_{ox}(V_{DD} - V_{in} - V_T)}{2C_L} \tag{2.10}$$



รูปที่ 2.9 สวิตช์ OFF ประจุที่อยู่ในช่องนำกระแสถูกคายออกมา

อีกปรากฏการณ์หนึ่งที่เกิดขึ้นกับสวิตช์ที่สร้างจากมอสเฟตคือ Clock Feed-through เป็นปรากฏการณ์ที่สัญญาณที่ป้อนเข้าขาเกท ไปปรากฏที่เอาท์พุตของวงจร โดยความเร็วในการเปลี่ยนแปลงของสัญญาณที่ป้อนเข้าที่ขาเกทจะมีผลต่อวงจร ดังรูปที่ 2.10

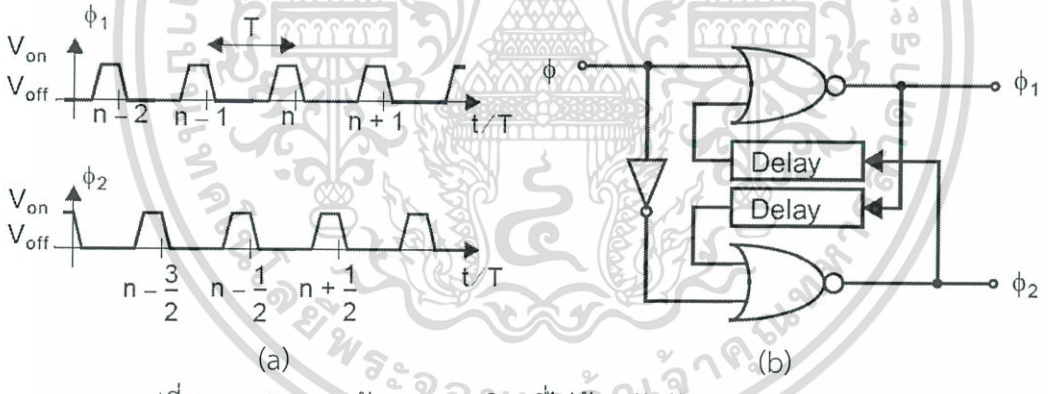
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 Clock Feed-through

2.2.3 Switched-Capacitor Circuit

วงจร Switch-Capacitor โดยทั่วไปแล้วจะประกอบไปด้วย ตัวเก็บประจุ สวิตช์ และแหล่งกำเนิดสัญญาณนาฬิกาที่ไม่ซ้อนทับกัน (Non-overlapping clock Generator) รูปขบวนสัญญาณมีลักษณะดังรูปที่ 2.11a เหตุผลที่ต้องใช้ Non-overlapping clocks เพื่อไม่ให้เกิดเหตุการณ์ที่สวิตช์ ในวงจร ON พร้อมกัน ซึ่งเป็นสาเหตุทำให้ประจุที่เก็บไว้ในตัวเก็บประจุรั่วออกไปได้ แหล่งกำเนิดสัญญาณนาฬิกาที่ไม่ซ้อนทับกันสามารถสร้างได้จากวงจรรูปที่ 2.11b

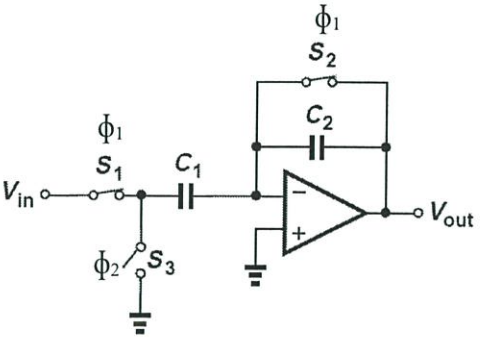


รูปที่ 2.11 a) ขบวนสัญญาณนาฬิกาที่ไม่ซ้อนทับกัน (Non-overlapping clock)
b) แหล่งกำเนิดสัญญาณที่ไม่ซ้อนทับกัน (Non-overlapping clock generator)

2.2.4 Switched-capacitor Amplifier

จากรูปที่ 2.12 เป็นวงจร Non-inverting Amplifier ที่สร้างจากวงจร Switched-capacitor การทำงานของวงจรจะแบ่งออกเป็น 2 ช่วง คือ ช่วง Reset (ϕ_1) และช่วง Amplify (ϕ_2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



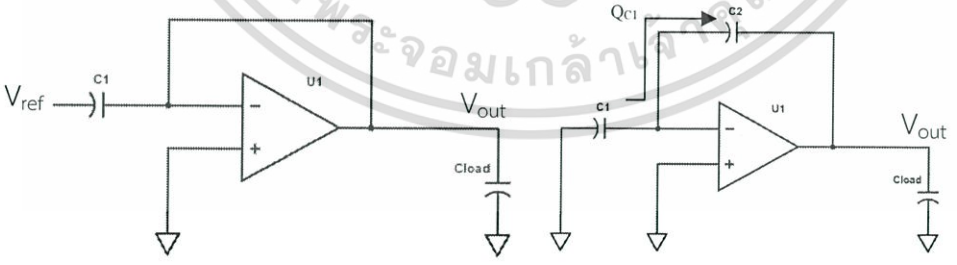
รูปที่ 2.12 Switched-capacitor Amplifier

โดยสวิตช์ S_1,S_2 ถูกควบคุมโดยสัญญาณ ϕ_1 และS_3 ถูกควบคุมโดยสัญญาณ ϕ_2 ในช่วงแรก Reset สวิตช์ S_1,S_2 จะปิด สวิตช์S_3 จะเปิด ดังรูปที่ 2.13a สมมติว่าออปแอมป์เป็นออปแอมป์ในอุดมคติ ในช่วง Reset ออปแอมป์จะต่ออยู่ในลักษณะของ Unity-gain และการต่อวงจรในลักษณะ Close loop แรงดันไฟฟ้าที่โหนดขา Non-Inverting และ Inverting ของออปแอมป์มีค่าเท่ากัน ทำให้ ที่โหนดขา Invertingเป็น virtual ground ส่งผลให้แรงดัน V_{out} มีค่าท่ากับ 0 และในขณะเดียวกัน ตัวเก็บประจุ C_1 ถูกชาร์จด้วยแรงดัน V_{ref} ประจุที่เก็บอยู่ภายใน C1 มีค่าเท่ากับ

$$Q_{C1} = C_1 \cdot V_{ref} \tag{2.11}$$

ในช่วง Amplify สวิตช์ S_1,S_2 จะเปิด สวิตช์S_3 จะปิด ทำให้ได้วงจรดังรูปที่ 2.13b แรงดันที่ตกคร่อม C_1 จะมีค่าเท่ากับ 0 ทำให้ C_1 คายประจุที่เก็บไว้ในช่วง Reset ไปยัง C_2 ทำให้ได้แรงดัน V_{out} เท่ากับ

$$V_{out} = \frac{C_1}{C_2} \cdot V_{ref} \tag{2.12}$$



(a) (b)

รูปที่ 2.13 การทำงานของ Switched-Capacitor Amplifier a) ช่วง Reset b) ช่วง Amplify

สาเหตุที่เลือกใช้ Switched-Capacitor แทนตัวต้านทานในวงจร Non-Inverting Amplifier ทั่วไป เพราะว่าไม่ต้องการให้เกิดการรั่วไหลของประจุที่เก็บไว้ในตัวเก็บประจุในช่วง Reset อีกทั้งยังใช้พลังงานต่ำ เกิดการสูญเสียพลังงานเฉพาะช่วงที่เกิดการคายประจุของตัวเก็บประจุเท่านั้น จึงเหมาะสมกับเซ็นเซอร์ที่นำมาใช้และระบบที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (ADC)

การรับสัญญาณจากวงจรอ่านค่าซึ่งสัญญาณที่อ่านได้จะเป็นสัญญาณแอนะล็อก จำเป็นจะต้องมีการแปลงสัญญาณแอนะล็อกให้กลายเป็นสัญญาณดิจิทัล การแปลงสัญญาณดังกล่าวเป็นหน้าที่ของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล หรือที่เราเรียกกันว่า วงจร ADC โดยการบอกประสิทธิภาพของวงจร ADC สามารถบอกได้ดังนี้

2.3.1 ความละเอียด (Resolution)

จำนวนบิตของเอาท์พุตที่ได้จากวงจร ADC จะเป็นความละเอียดของวงจร แรงดันไฟฟ้าที่มีค่าน้อยที่สุดที่วงจรจะสามารถตรวจสอบได้จะถูกเรียกว่า V_{LSB} ซึ่งมีค่าเท่ากับ $V_{REF}/2^N$ โดย V_{REF} คือ แรงดันอ้างอิง และ N คือจำนวนบิตของ ADC

2.3.2 Quantization Error

สัญญาณอินพุตแอนะล็อกจะถูกแบ่งนับ (quantized) เป็นจำนวนขั้นอย่างจำกัด ทำให้เกิด quantization error ขึ้น จะมีค่ามากสุด $V_{LSB}/2$ ปรากฏการณ์นี้เกิดขึ้นกับวงจร ADC ในอุดมคติเช่นกัน สมมติว่า quantization error ไม่มีส่วนเกี่ยวข้องกัน (uncorrelated) จะสามาถจำลองเป็น white noise ได้

รูปที่ 2.14 Quantization Error

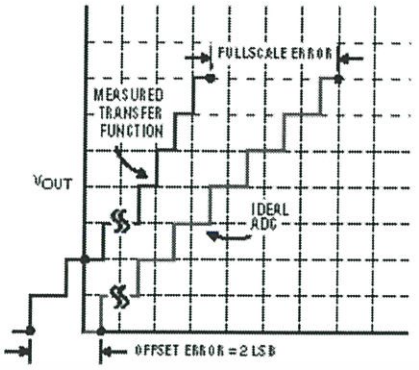
2.3.3 Static Performance

คุณสมบัติถ่ายโอนอินพุต-เอาท์พุต (Input-Output transfer characteristic) ของวงจรแสดงให้เห็นถึงพฤติกรรมของวงจรที่ความถี่ DC ได้แก่

2.3.3.1 Offset และ Full Scale Error

Offset error คือ ค่าสัญญาณอินพุตของ ADC ที่ออกแบบเบี่ยงเบนจุดแรกไปจากอุดมคติ $V_{LSB}/2$ และ Full Scale Error คือ ความเบี่ยงเบนของแรงดันจุดเปลี่ยนโค้ดสุดท้ายไปจากอุดมคติ แสดงได้ดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



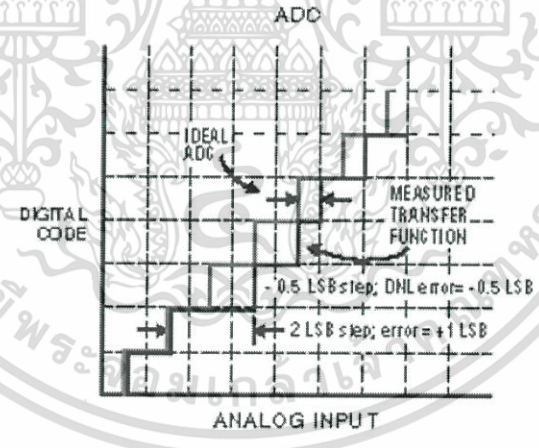
รูปที่ 2.15 Offset Error และ Full Scale Error

2.3.3.2 Differential Nonlinearity (DNL)

ค่าความคลาดเคลื่อนของคว้างกว้างของแต่ละค่าดิจิทัลเอาท์พุตของวงจร ADC จากอุดมคติ แสดงได้ดังรูปที่ 2.16 สามารถคำนวณได้ดังสมการที่ 2.13 ซึ่งมีหน่วยเป็น LSB

$$DNL[k] = \frac{V_{width}[k]}{V_{LSB}} - 1 \qquad (2.13)$$

โดย V_{width} คือ ความกว้างของโค้ดอันดับที่ k



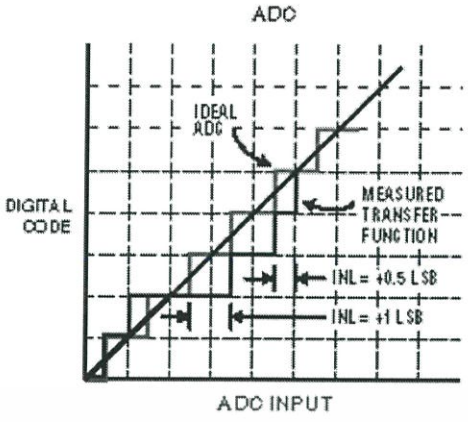
รูปที่ 2.16 DNL ของ วงจร ADC

2.3.3.3 Integral Nonlinearity (INL)

ค่าความคลาดเคลื่อนของจุดกึ่งกลางดิจิทัลเอาท์พุตของวงจรADC จาก Ideal line แสดงได้ดังรูปที่ 2.17 ซึ่งมีค่าเท่ากับผลรวมของ DNL ของวงจร

$$INL[k] = \sum_{i=1}^{k-1} DNL[i] \qquad (2.14)$$

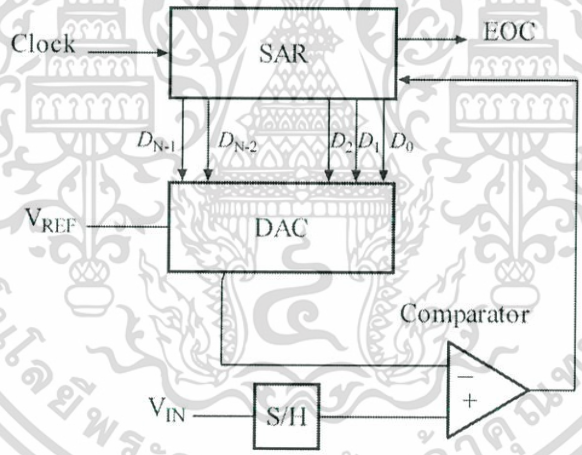
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 INL ของ ADC

2.4 วงจร ADC แบบ Successive Approximation (SAR ADC)

วงจร ADC ชนิดนี้ภายในวงจรจะประกอบไปด้วย วงจร Sample and Hold วงจรเปรียบเทียบแรงดัน (Comparator) วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Digital-to-Analog Converter) และวงจร Successive Approximation Register (SAR) ดังรูปที่ 2.18



รูปที่ 2.18 วงจรภายใน SAR ADC

2.4.1วงจร Sample and Hold

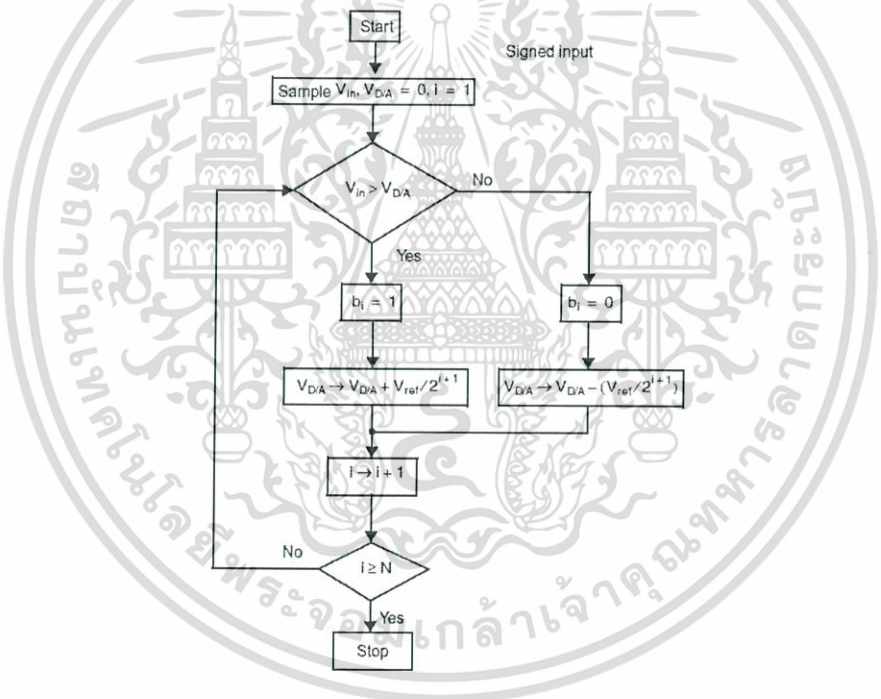
ทำหน้าที่สุ่มค่าจากสัญญาณที่ป้อนเข้ามาในวงจร SAR ADC มีการทำงานอยู่ 2 ช่วง คือ ช่วงสุ่มค่า (Sampling Phrase) และ ช่วงคงค่า (Holding Phrase) แรงดันที่ถูกคงค่าไว้ช่วงนี้ควรจะมีค่าคงที่ ไม่เปลี่ยนแปลงไปตามเวลา

2.4.2 Successive Approximate Register (SAR)

มีหน้าที่ควบคุม logic ในแต่ละบิตในการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล โดย SAR จะมี register N บิต สำหรับ N-bit ADC มีความเป็นไปได้ที่แต่ละบิตจะ set เป็น 1 หรือ reset เป็น 0

เอกสารนี้มีลิขสิทธิ์ ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือว่าจะคงค่าไว้ขึ้นอยู่กับผลการเปรียบเทียบแรงดันของวงจรเปรียบเทียบแรงดัน ซึ่งกระบวนการการเปรียบเทียบแสดงได้ดังรูปที่ 2.19 เริ่มจาก MSB ถูกเซ็ทเป็น 1 และบิตที่เหลือจะถูกรีเซ็ทเป็น 0 โดยค่าlogicในทุกบิตจะถูกส่งไปแปลงเป็นสัญญาณแอนะล็อกโดยวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก หรือที่เรียกกันว่า DAC สัญญาณแอนะล็อกที่แปลงได้จะถูกส่งไปยังวงจรเปรียบเทียบแรงดันเพื่อนำไปเปรียบเทียบกับสัญญาณอินพุตที่ได้จากวงจร Sample and Hold ผลของการเปรียบเทียบแรงดันจะไปกำหนดlogic ของ MSB ถ้าสัญญาณอินพุตมีค่ามากกว่าสัญญาณที่ได้จาก DAC จะทำให้ MSB ยังคงค่า logic ไว้เท่ากับ 1 แต่ถ้าหากสัญญาณอินพุตน้อยกว่าสัญญาณที่ได้จาก DAC MSB จะถูกรีเซ็ทเป็น 0 จะเกิดเช่นนี้ไปเรื่อยๆจนครบทุกบิต ซึ่งในcycle สุดท้ายสัญญาณดิจิตอลจะถูกเก็บไว้ใน SAR ซึ่งเป็นสัญญาณดิจิตอลที่แปลงได้จากสัญญาณแอนะล็อกที่ป้อนเข้ามา เพราะฉะนั้น N-bit SAR ADC ต้องใช้ N+1 clock cycle ในการแปลงสัญญาณ (conversion) หนึ่งครั้ง



รูปที่ 2.19 แผนภาพกระบวนการ Successive-approximation

2.4.3 วงจรเปรียบเทียบแรงดัน (Comparator)

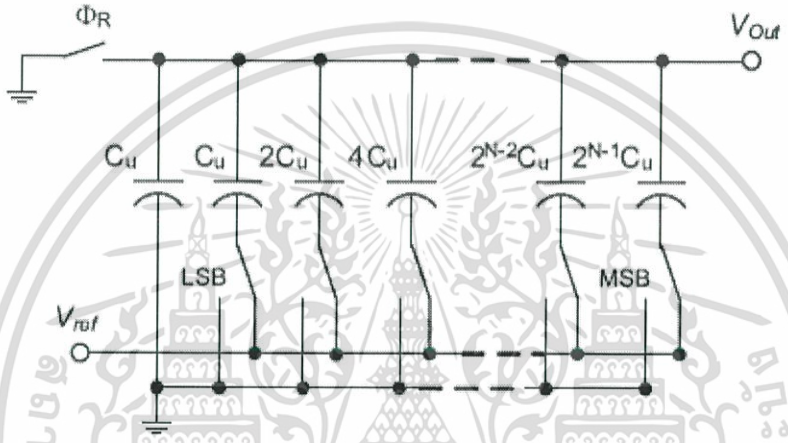
ทำหน้าที่เปรียบเทียบสัญญาณแอนะล็อกที่ถูกสุ่มเข้ามากับสัญญาณที่ได้จากวงจร DAC ซึ่งจะให้ logic High หรือ Low ขึ้นอยู่กับผลต่างของแรงดันทั้งสอง ซึ่งเป็นไปตามสมการที่ 2.15

$$f_0(v_p - v_n) = \begin{cases} V_{OH}, (v_p - v_n) > 0 \\ V_{OL}, (v_p - v_n) < 0 \end{cases} \quad (2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.4 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Digital-to-Analog Converter)

มีหน้าที่แปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก และป้อนให้กับวงจรเปรียบเทียบแรงดัน เพื่อทำการเปรียบเทียบกับแรงดันที่ถูกสุ่มมาจากวงจร Sample and Hold โดยสัญญาณดิจิทัลนั้นมาจากวงจร Successive Approximate Register โดยผู้จัดทำวิทยานิพนธ์เล่มนี้เลือกใช้ วงจร DAC แบบ Binary-weighted Capacitors เพราะจะเกิดการสูญเสียพลังงานเฉพาะตอนที่ตัวเก็บประจุมีการคายประจุออกเท่านั้น จึงเหมาะสมกับระบบที่ออกแบบ วงจรมีลักษณะดังรูปที่ 2.20



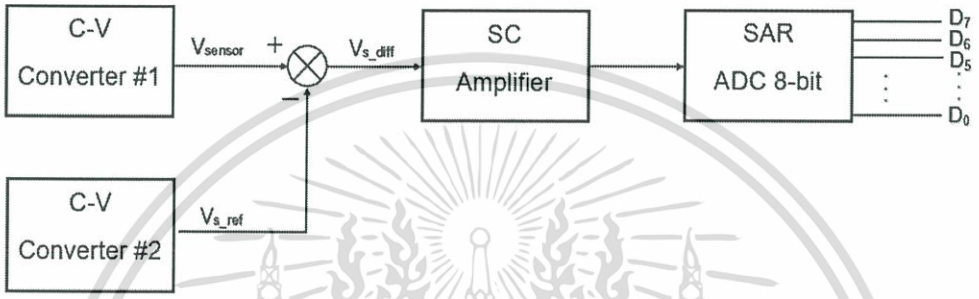
รูปที่ 2.20 Binary-weighted Array DAC [3]

ประกอบไปด้วยตัวเก็บประจุที่มีค่าเป็น $2^{N-1}C_u, 2^{N-2}C_u, 2^{N-3}C_u, \ldots, 4C_u, 2C_u, C_u$, C_u ตัวเก็บประจุตัวสุดท้ายเป็น dummy มีค่าประจุไฟฟ้าเท่ากับ LSB ดังนั้นค่าประจุไฟฟ้าทั้งหมดจะมีค่าเท่ากับ $2^N C_u$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบ

ภายในบทนี้จะเป็นการอธิบายการออกแบบ ซึ่งระบบที่ออกแบบจะแบ่งออกเป็น 2 ส่วนคือ วงจรอ่านค่า และวงจร ADC แบบ SAR เนื่องจากระบบที่ออกแบบนั้นมีความต้องการที่จะวัดความดันสัมบูรณ์มีความละเอียดเท่ากับ 120 Pa ในช่วงความดันที่ 100kPa – 130kPa [2] ทำให้ต้องการ step ในการวัดทั้งหมดอย่างน้อย 250 step จึงทำให้สามารถกำหนดคุณสมบัติของวงจร ADC ได้ว่าต้องการความละเอียด 8-bit เป็นอย่างต่ำ โดยระบบจะมีลักษณะดังรูปที่ 3.1



รูปที่ 3.1 Block Diagram ของระบบ

3.1 วงจรอ่านค่า (Readout Circuit)

วงจรในส่วนนี้จะประกอบไปด้วยวงจร C-V Converter 2 วงจร และ SC Amplifier ดังรูปที่ 3.1 โดยวงจร C-V Converter#2 จะทำหน้าที่สร้างแรงดันอ้างอิงที่ความดัน 100kPa และวงจร C-V Converter#1 จะทำหน้าที่แปลงความจุไฟฟ้าของเซ็นเซอร์ให้กลายเป็นแรงดันไฟฟ้าตามความดันสัมบูรณ์ที่เปลี่ยนแปลงไป หลังจากนั้นจะนำเอาท์พุตของทั้ง 2 วงจรป้อนเข้าสู่ SC Amplifier โดยวงจรขยายนี้จะทำหน้าที่ขยายผลต่างระหว่างเอาท์พุตของ C-V Converter ทั้งสองวงจร เพื่อนำไปป้อนให้กับวงจร ADC ต่อไป

3.1.1 Capacitive Sensor

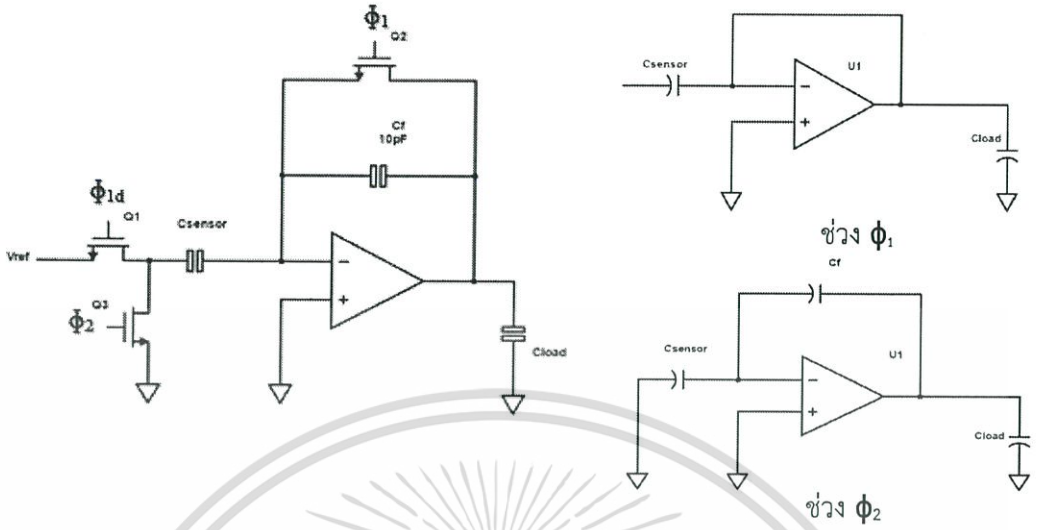
จากสมการที่ 2.2 ทำให้ทราบว่าช่วงของความจุไฟฟ้าของเซ็นเซอร์ โดยที่ความดันสัมบูรณ์ 100 kPa เซ็นเซอร์จะมีความจุไฟฟ้าเท่ากับ C_1=10.69 pF และที่ความดันสัมบูรณ์ 130 kPa เซ็นเซอร์จะมีความจุไฟฟ้าเท่ากับ C_2=12.34pF ซึ่งแสดงว่าถ้าความดันเปลี่ยนแปลงไป 120 Pa ทำให้ค่าความจุไฟฟ้าของเซ็นเซอร์เปลี่ยนแปลงไป ซึ่งมีค่าเท่ากับ 6.6fF จากความสัมพันธ์นี้จึงได้ทำการจำลองเซ็นเซอร์เป็นตัวเก็บประจุที่ค่าเท่ากับสมการที่ 2.2 โดยอาศัยฟังก์ชั่น Parametric Analysis ของโปรแกรม Cadence ช่วยในการทดสอบผลการตอบสนองที่ความดันต่างๆ

3.1.2 C-V Converter

วงจรในส่วนนี้มีหน้าที่แปลงปริมาณประจุให้กลายเป็นแรงดัน วงจรจะประกอบไปด้วยเซ็นเซอร์ชนิดตัวเก็บประจุ (C_{sensor}) ตัวเก็บประจุป้อนกลับ (C_f) สวิตช์ ออปแอมป์ แหล่งกำเนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาที่ไม่ซ้อนทับกัน (ϕ_1 , ϕ_{1d} ,ϕ_2) และ แหล่งจ่ายแรงดันอ้างอิง (V_{ref}) มีลักษณะดังรูปที่ 3.2



รูปที่ 3.2 C-V Converter

ปัญหาหลักของวงจร C-V Converter คือ Charge-Injection ที่เกิดขึ้นเนื่องจากสวิตช์ที่สร้างขึ้นจากมอสเฟต มีผลกระทบอย่างมากถ้าหากเกิด Charge-Injection มากเกินไป จึงทำการศึกษาพฤติกรรมของสวิตช์ที่สร้างจากมอสเฟต ได้ดังนี้

3.1.2.1 ศึกษาพฤติกรรมของสวิตช์ที่สร้างจากมอสเฟต

จากหัวข้อที่ 2.2.2 พบว่าสวิตช์ที่นำใช้นั้นมีความไม่เป็นอุดมคติ จึงทำการศึกษาผลของความไม่อุดมคตินั้นโดยแบ่งออกเป็น 2 ส่วน ได้แก่

3.1.2.1.1 ความต้านทานของสวิตช์

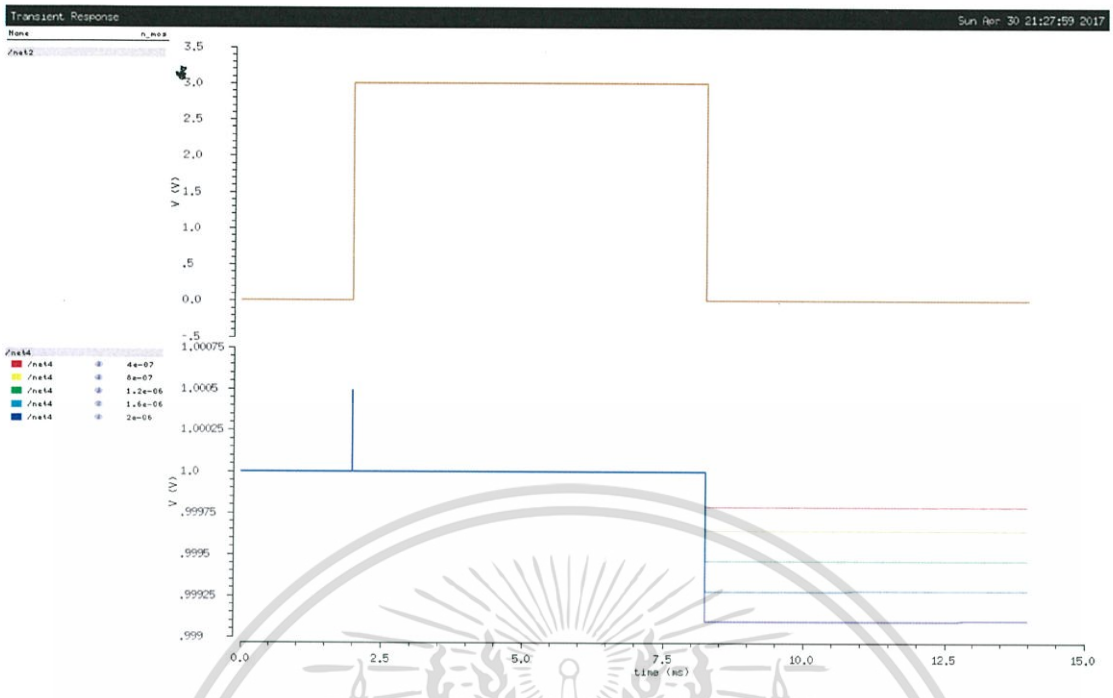
ความต้านทานของสวิตช์จะมีผลต่อเวลาในการชาร์จตัวเก็บประจุ ซึ่งจะส่งผลต่อ Tracking Bandwidth ($TBW = \frac{1}{RC}$) เนื่องจากสัญญาณนาฬิกาที่ไม่ซ้อนทับกันมีความถี่ = 8 kHz ทำให้ความต้านทานขณะที่ ON ของสวิตช์ที่สร้างจากมอสเฟตซึ่งมีค่าเท่ากับสมการที่ 2.6 มีค่ามากพอแม้ว่าจะมี (W/L) = 0.4μm/0.35μm ก็ตาม ทำให้ผลของความต้านทานของสวิตช์นั้นไม่มีผลต่อมากนัก

3.1.2.1.2 ความจุไฟฟ้าแฝงอันเนื่องมาจากโครงสร้างของมอสเฟต

ทำการจำลองวงจร sample & hold ในรูปที่ 2.8 บนโปรแกรม cadence โดยให้ Vin เป็นแหล่งจ่ายไฟตรงที่มีค่าเท่ากับ 1 V โดยให้มอสเฟตมี (W/L) ที่ต่างกัน และ ตัวเก็บประจุ C_{load} = 1pF

ได้ผลการจำลองดังรูปที่ 3.3 โดยกราฟด้านบนเป็นกราฟของสัญญาณนาฬิกา และกราฟด้านล่างเป็นผลการตอบสนองของแรงดันที่ตกคร่อมตัวเก็บประจุ ที่ขนาด (W/L) ต่างกัน พบว่าขอบขาลงของสัญญาณนาฬิกา (V_{clk}) แรงดันที่ตกคร่อมตัวเก็บประจุ (V_{out}) มีค่าลดลงอย่างเห็นได้ชัดอันเนื่องมาจากการคายประจุในช่องนำกระแสของมอสเฟต ซึ่งสามารถสรุปเป็นตารางได้ดังตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



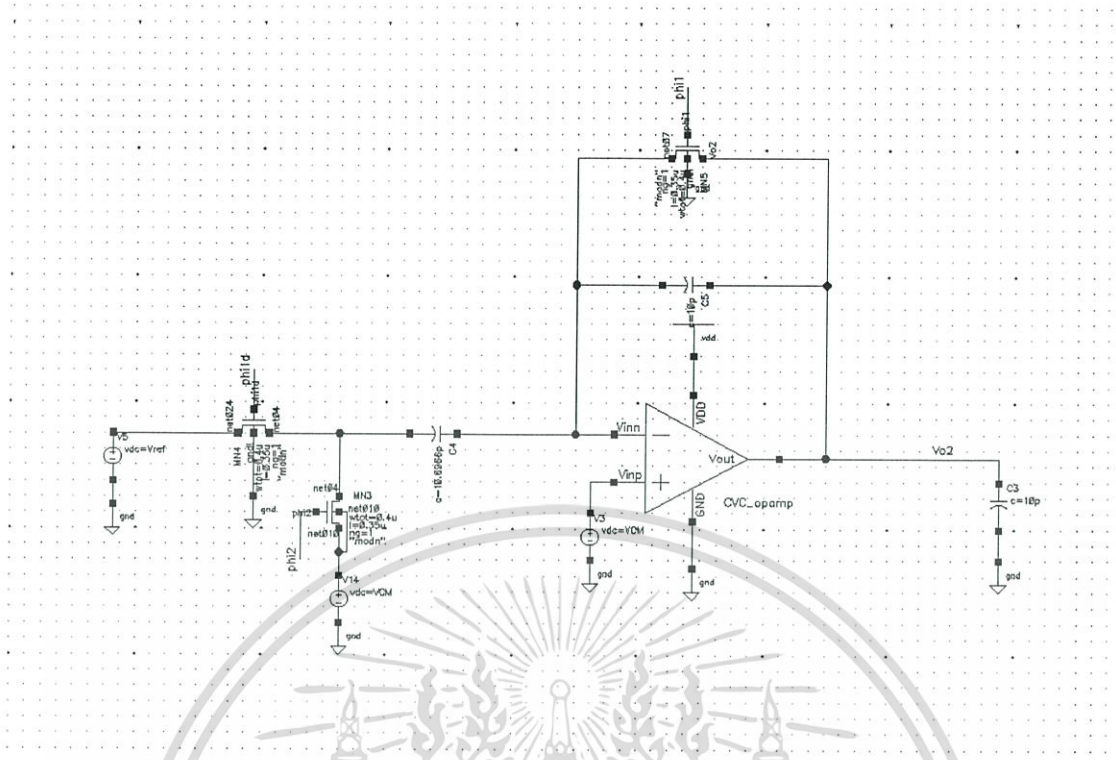
รูปที่ 3.3 ผลการจำลองวงจร sample & hold ที่ขนาด (W/L) ของมอสเฟตต่างกัน

(W/L)	ΔV_{out} (uV)
0.4um/0.35um	217.80
0.8um/0.35um	361.23
1.2um/0.35um	541.82
1.6um/0.35um	724.69
2.0um/0.35um	907.70

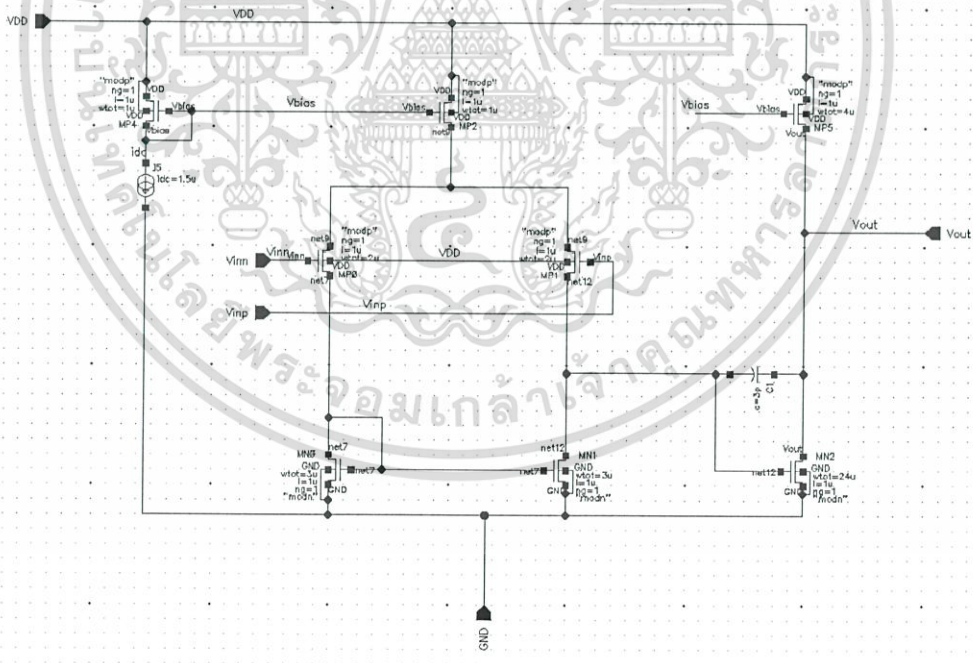
ตารางที่ 3.1 ผลของ Charge-Injection ในแต่ละ (W/L) ของมอสเฟต

จากสมการที่ 2.9 จะสังเกตเห็นได้ว่า W,L ของมอสเฟตมีผลอย่างมากต่อ Charge-injection เลือกค่า (W/L) ของสวิตช์ในวงจร มีค่าเท่ากับ 0.4μm/0.35μm ซึ่งเป็นขนาด W,L เล็กสุดที่สามารถกำหนดได้ของเทคโนโลยีนี้ และเพื่อลดผลของ Charge-Injection ในวงจร C-V Converter จึงได้กำหนดให้ สวิตช์ที่ถูกควบคุมด้วยสัญญาณ Φ_1 OFF ก่อนสวิตช์ที่ถูกควบคุมโดยสัญญาณ Φ_{1d} เล็กน้อย ส่งผลให้ Charge-Injection ที่เกิดขึ้นมีผลเฉพาะสวิตช์ S_1 เท่านั้น วงจร C-V Converter ที่ออกแบบในโปรแกรมแสดงได้ดังรูป 3.4 ออปแอมป์ที่ใช้เป็นโครงสร้างแบบ Two-Stage Opamp โดยใช้ PMOS เป็น input pair เพื่อลดผลของ 1/f noise ดังรูปที่ 3.5 โดยแต่ละมอสเฟตมีขนาดดังตารางที่ 3.2 และคุณสมบัติดังตารางที่ 3.3 ผลการตอบสนองทางเวลาของวงจร C-V Converter แสดงได้ดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจร C-V converter ที่ออกแบบบนโปรแกรม cadence



รูปที่ 3.5 Two-Stage Op-amp

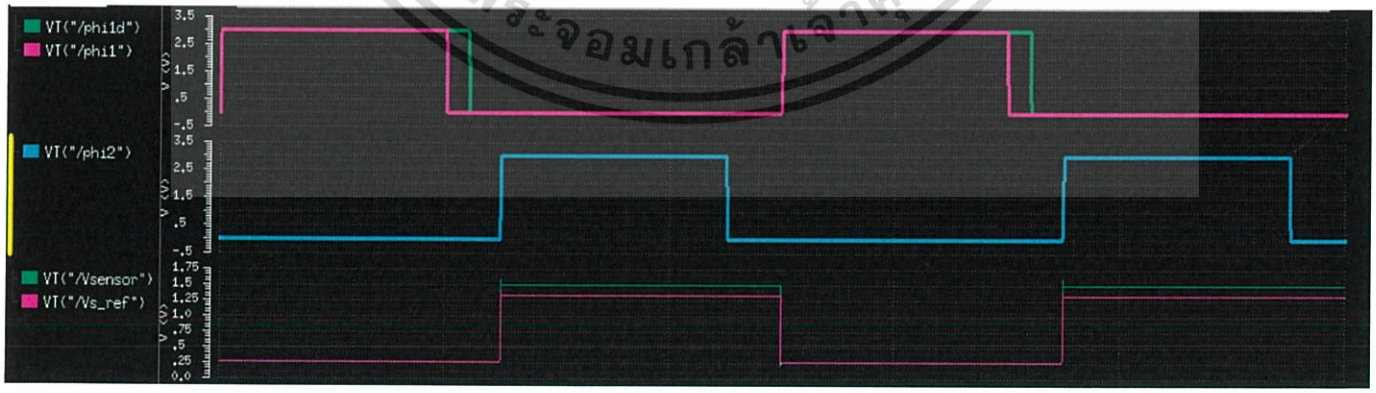
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOSFET	(W/L)
M1 , M2	2μm/1μm
M3 , M4	3μm/1μm
M5	1μm/1μm
M6	24μm/1μm
M7	4μm/1μm
M8	1μm/1μm

ตารางที่ 3.2 ขนาดของมอสเฟตที่ใช้ใน Two-Stage Op-amp

คุณสมบัติออปแอมป์	
Gain	82.48 dB
GBW	518.8 kHz
PM	74.56°
ICMR	0.2 V - 1.3 V
O/P Swing	0.06 V - 2.7 V
Trise	1.5μs
Tfall	1.504μs
SR	0.49V/μs
Power	41.1μW

ตารางที่ 3.3 คุณสมบัติของออปแอมป์ Vcm =0.25 V

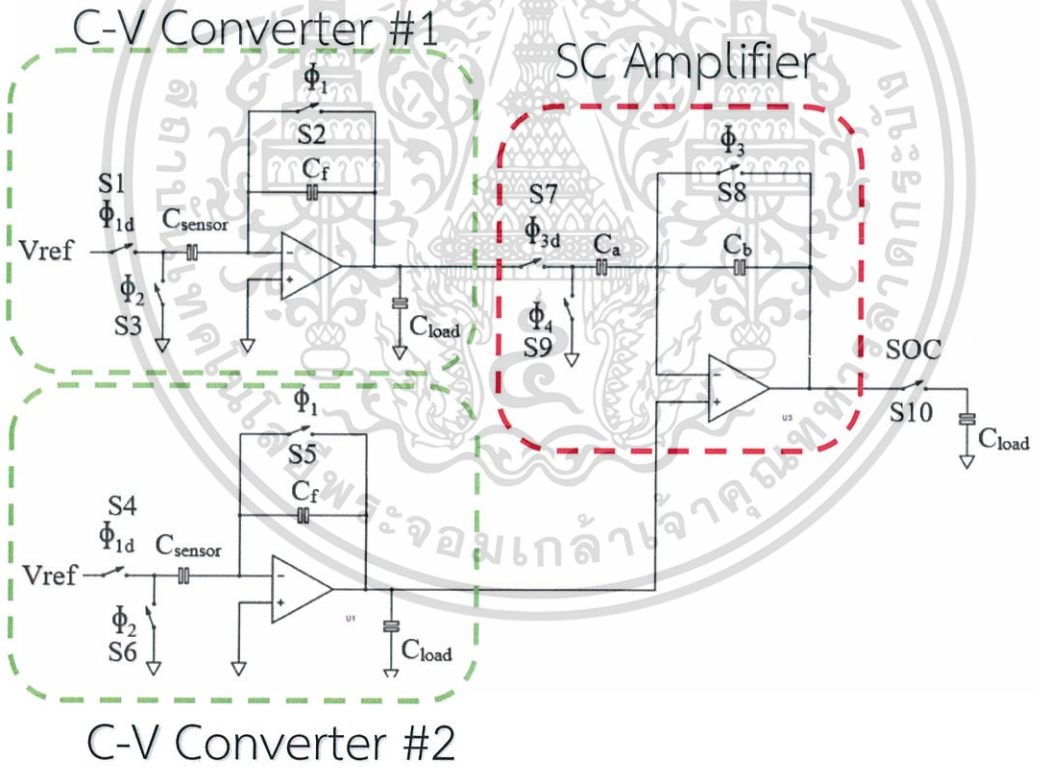


รูปที่ 3.6 ผลตอบสนองทางเวลาของวงจร C-V Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

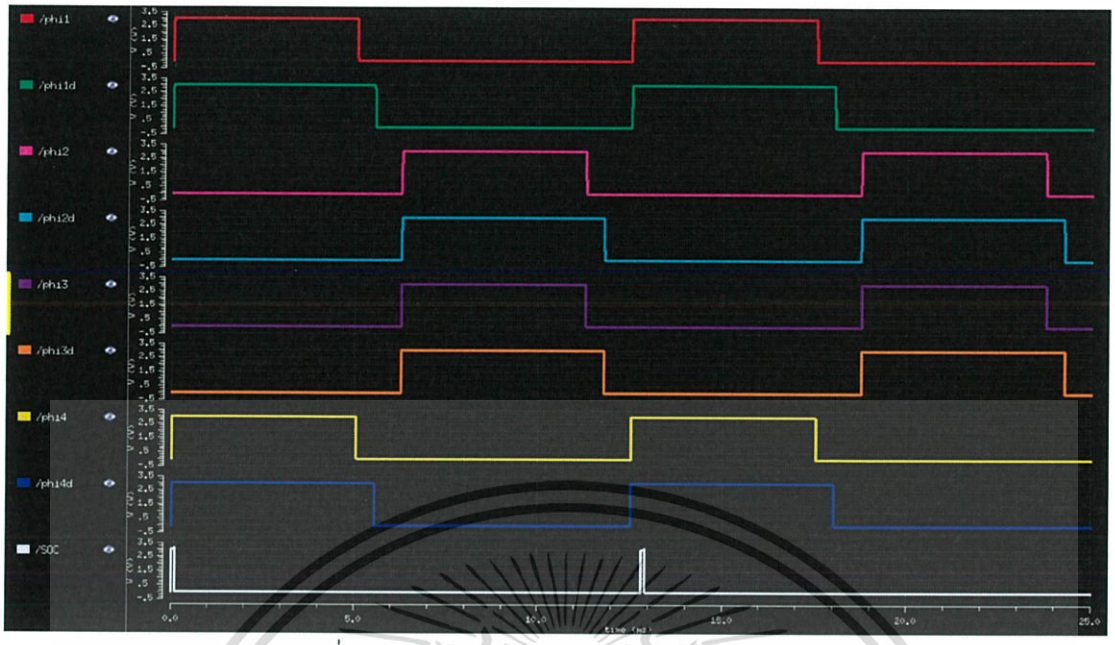
3.1.3 SC Amplifier

วงจรในส่วนนี้ทำหน้าที่ขยายผลต่างของแรงดันเอาท์พุตของ C-V Converter ทั้ง 2 วงจร มีลักษณะวงจรดังรูปที่ 3.7 วงจรจะมีช่วงการทำงานอยู่ 2 ช่วงดังรูปที่ 3.8 คือ ช่วงแรก (ϕ_3) วงจรจะรับสัญญาณจากทั้งเอาท์พุตของวงจร C-V Converter ทั้งสองเข้ามา โดยให้แรงดันเอาท์พุตของ C-V Converter#2 ป้อนเข้าที่ขา Non-Inverting ของออปแอมป์ เนื่องจากออปแอมป์ต่อในลักษณะของ close loop ทำให้แรงดันที่ขา Inverting และ Non-Inverting มีค่าเท่ากัน จึงทำให้แรงดันที่ตกคร่อม C_a มีค่าเท่ากับ $V_{C_a} = V_{CVC1} - V_{CVC2}$ โดย V_{cvc1} และ V_{cvc2} เป็นแรงดันเอาท์พุตของวงจร C-V Converter ที่ 1 และ 2 ตามลำดับ ทำให้ประจุใน C_a มีค่าเท่ากับ $Q_{Ca} = (V_{CVC1} - V_{CVC2}) \cdot C_a$ ในช่วงที่สอง (ϕ_4) สวิตช์ S_9 จะ ON ทำให้ C_a คายประจุไปยัง C_b ทำให้แรงดันเอาท์พุตของวงจร SC Amplifier มีค่าเท่ากับ $V_{out} = (V_{CVC1} - V_{CVC2}) \cdot \frac{C_a}{C_b}$ โดย C_a มีค่าเท่ากับ 12 pF และ C_b มีค่าเท่ากับ 1 pF และที่โหนดเอาท์พุตมีสวิตช์ S_{10} ที่ถูกควบคุมด้วยสัญญาณ SOC จะทำหน้าที่สุ่มค่าแรงดันเอาท์พุตของ SC Amplifier เก็บไว้ในตัวเก็บประจุ C_{load} แรงดันที่ถูกสุ่มนี้จะถูกนำไปป้อนให้กับ Comparator ในวงจร ADC ต่อไป การตอบสนองทางเวลาของวงจรอ่านค่านี้แสดงได้ดังรูปที่ 3.9

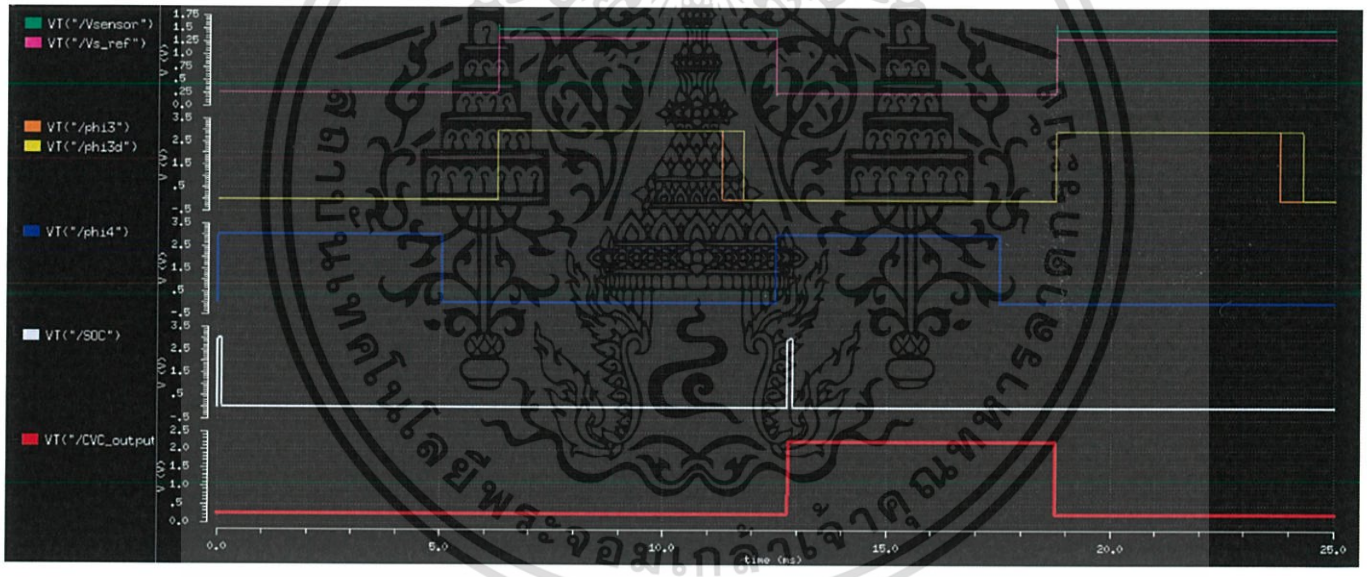


รูปที่ 3.7 Readout Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 Timing Diagram ของวงจร Readout

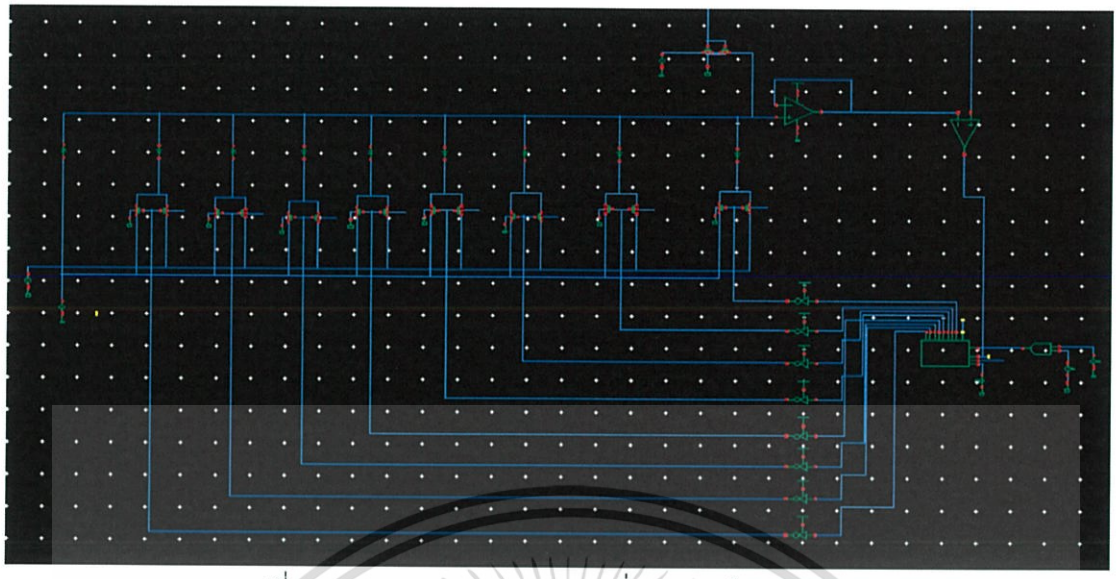


รูปที่ 3.9 Transient Response ของวงจรอ่านค่า

3.2 SAR ADC 8-bit

วงจร ADC จะรับค่าที่อ่านได้จากเซ็นเซอร์มาแปลงเป็นสัญญาณดิจิทัล วงจรSAR ADC ที่ออกแบบแสดงได้ดังรูปที่ 3.10 โดยภายในวงจร SAR ADC นี้ จะประกอบไปด้วย

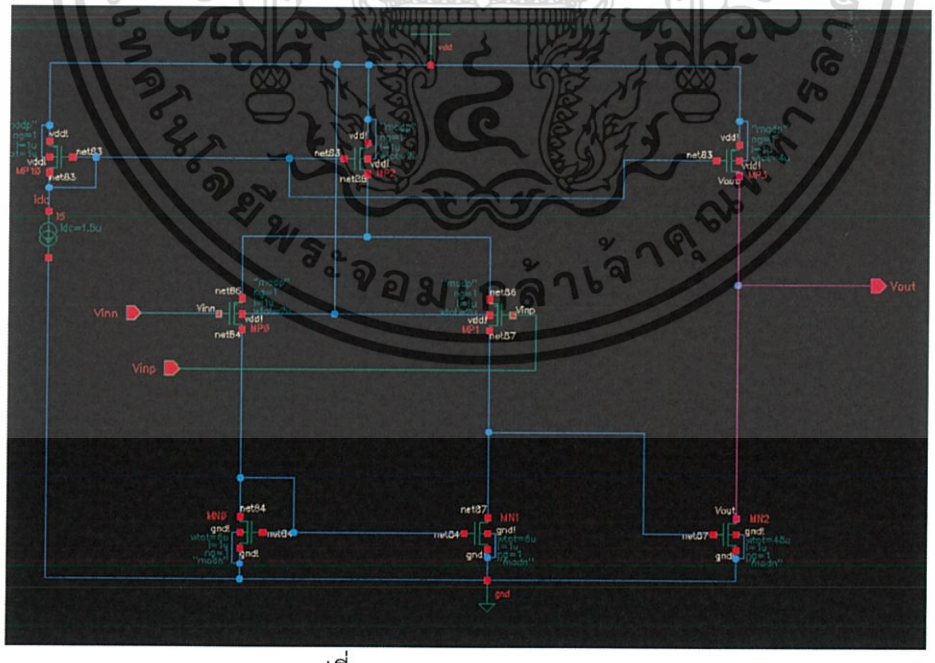
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจร SAR ADC 8-bit ที่ออกแบบใน cadence

3.2.1 Comparator

วงจร Comparator ที่ใช้เป็นแบบ Open loop Comparator ดังรูปที่ 3.11 มีโครงสร้างเป็น 2-Stage Op-amp ที่ไม่มีการต่อ Compensate Capacitor เนื่องจากไม่ได้นำออปแอมป์ตัวดังกล่าวมาต่อในลักษณะของการ Feedback จึงไม่จำเป็นจะต้องมีการชดเชยความถี่ ขนาดของมอสเฟตแสดงได้ดังตารางที่ 3.4 และผลการทดสอบ delay ของวงจร comparator ที่มี Cload =1 pF แสดงได้ดังรูปที่ 3.12 และ 3.13

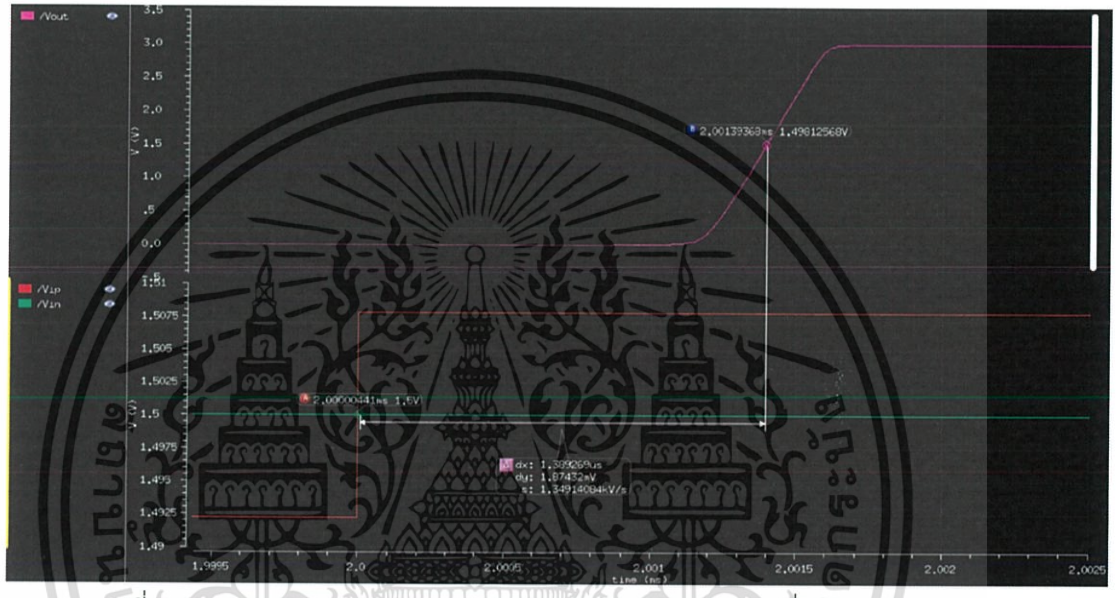


รูปที่ 3.11 Open-loop Comparator

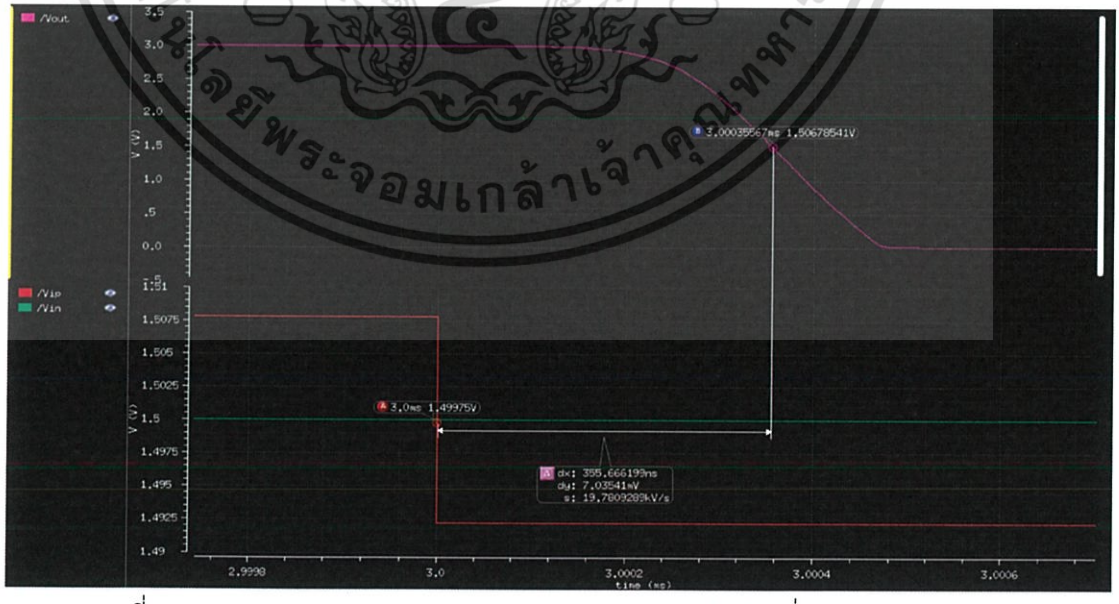
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOSFET	(W/L)
MP0,MP1,MP2	2μm/1μm
MN0,MN1	6μm/1μm
MN2	48μm/1μm
MP3	4μm/1μm

ตารางที่ 3.4 ขนาดของมอสเฟตในวงจร Open-loop Comparator



รูปที่ 3.12 การทดสอบ Delay ของวงจร Comparator ในช่วงที่ Vip > Vin

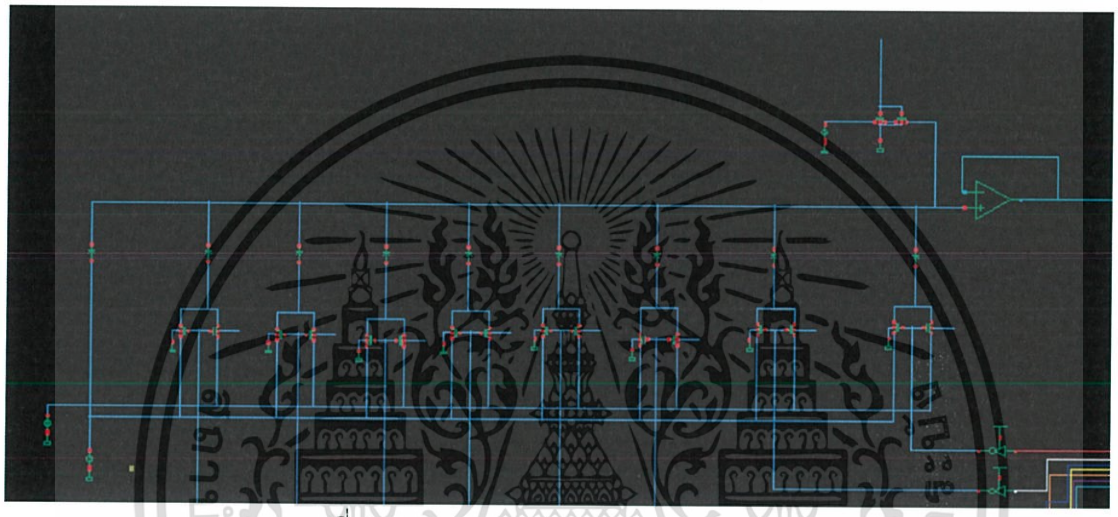


รูปที่ 3.13 การทดสอบ Delay ของวงจร Comparator ในช่วงที่ Vip < Vin

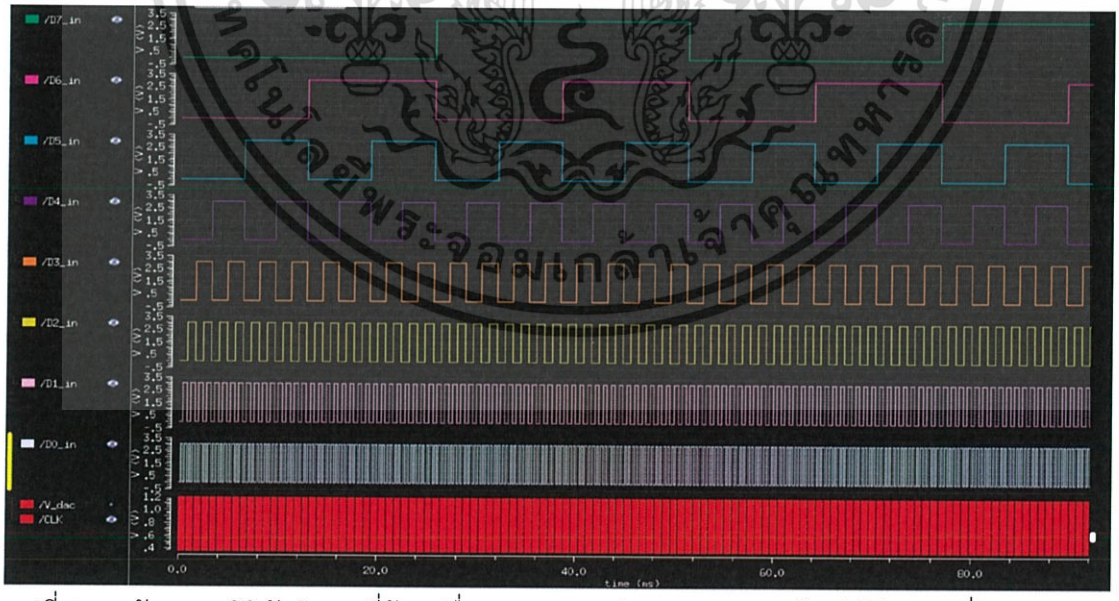
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 Binary-weighted Capacitor DAC

เนื่องจากระบบต้องการการใช้พลังงานที่ต่ำ วงจร DAC ชนิดนี้สามารถตอบโจทย์ได้ดีเพราะเกิดการสูญเสียพลังงานเฉพาะตอนที่ตัวเก็บประจุมีการคายประจุเกิดขึ้น อีกทั้งยังมีความแม่นยำสูง แต่ก็ไวต่อตัวเก็บประจุแฝง ซึ่งวงจรที่ออกแบบในโปรแกรม แสดงได้ดังรูปที่ 3.14 โดยที่เอาท์พุตของวงจร DAC นี้มีการต่อ Buffer โดย มี C_{unit} = 100fF และกำหนดให้ Full Scale Voltage = 2 V และจะได้ $V_{LSB} = 2/2^8 = 7.8125mV$ และได้ทำการทดสอบการทำงานของวงจร DAC โดยป้อนสัญญาณดิจิทัลอินพุตที่มีการเปลี่ยนบิตทุกๆ 200µS ดังรูปที่ 3.12 ได้ผลตอบสนองของวงจรดังรูปที่ 3.15และ 3.16

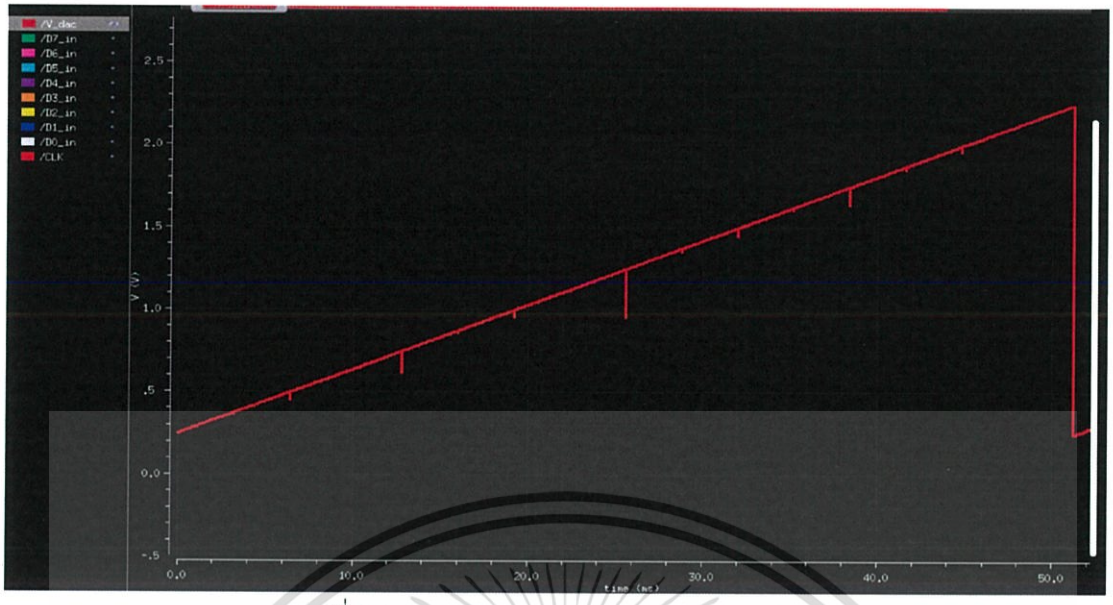


รูปที่ 3.14 Binary-weighted Capacitor DAC

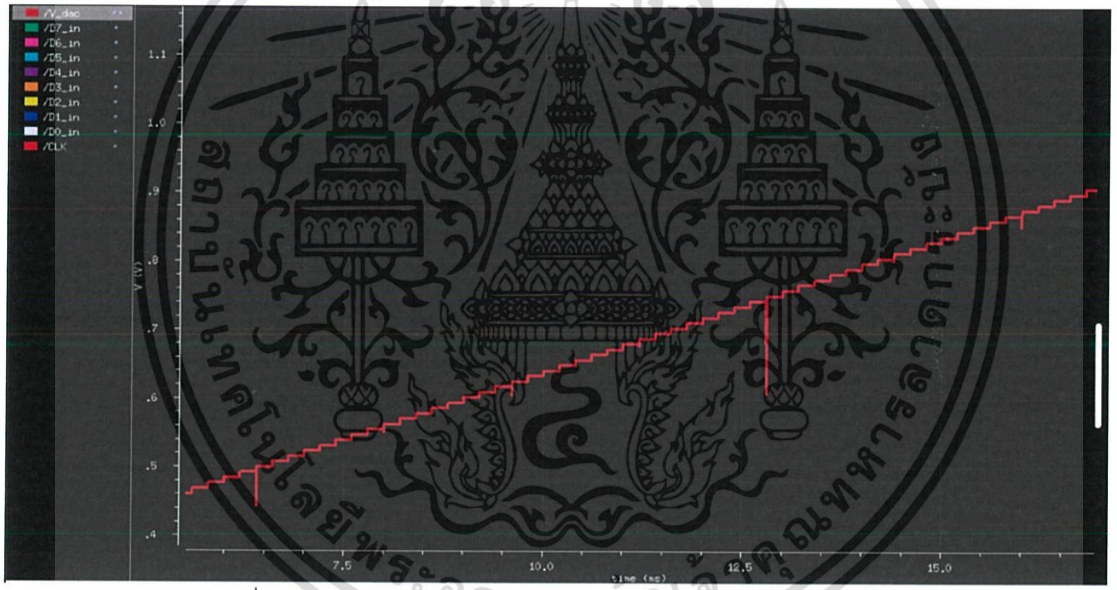


รูปที่ 3.15 สัญญาณดิจิทัลอินพุตที่ป้อนเพื่อทดสอบการทำงานของ DAC โดยให้มีการเปลี่ยนแปลงบิตทุกๆ 200µS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 ผลการตอบสนองทางเวลาของ DAC



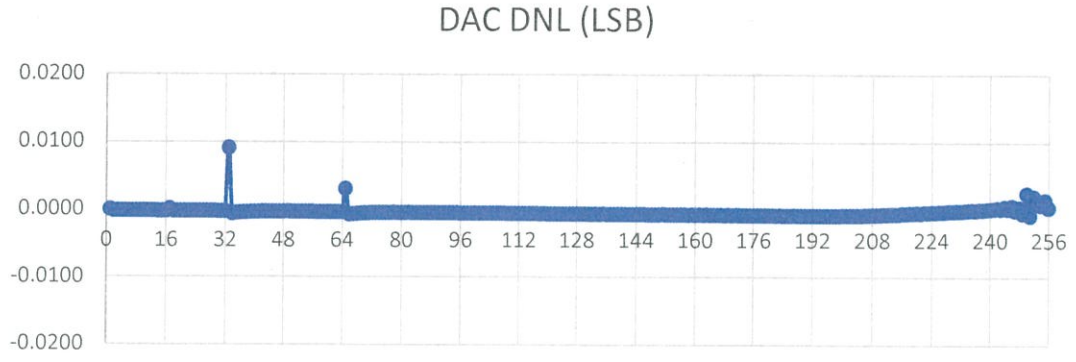
รูปที่ 3.17 ผลการตอบสนองทางเวลาของ DAC (ขยายบางส่วน)

การทดสอบหาค่า DNL และ INL ของวงจร DAC ทดสอบโดยให้สร้างวงจร Ring Counter มากำหนดดิจิตอลอินพุตของ DAC โดยเริ่มต้นที่ Code 0000000, 00000001, 0000010, ... ไปเรื่อยๆจนถึง Code สุดท้าย 11111111 จะได้แอนะล็อกเอาท์พุตของวงจร จากนั้นคำนวณ DNL และ INL ดังสมการที่ 3.1 และ 3.2 ตามลำดับ ได้ผลดังรูปที่ 3.18 และ 3.19

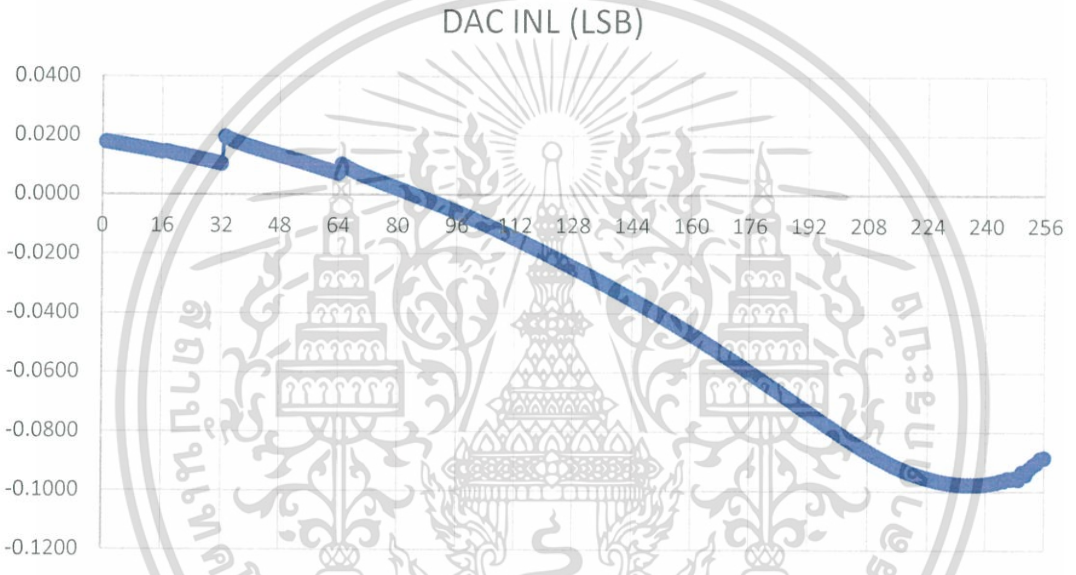
$$\mathrm{DNL}[k] = \frac{V[k] - V[k-1]}{V_{LSB}} - 1 \tag{3.1}$$

$$\mathrm{INL}[k] = \frac{V_{out}[k] - V_{Ideal}[k]}{V_{LSB}} \tag{3.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 DNL ของ DAC ที่ออกแบบ

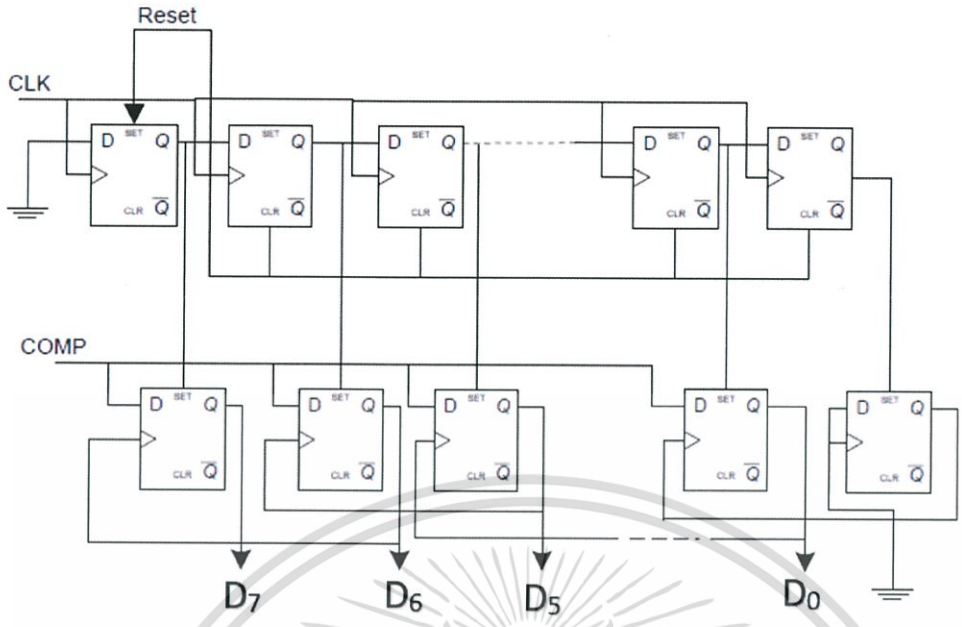


รูปที่ 3.19 INL ของ DAC ที่ออกแบบ

3.2.3 SAR Control Logic

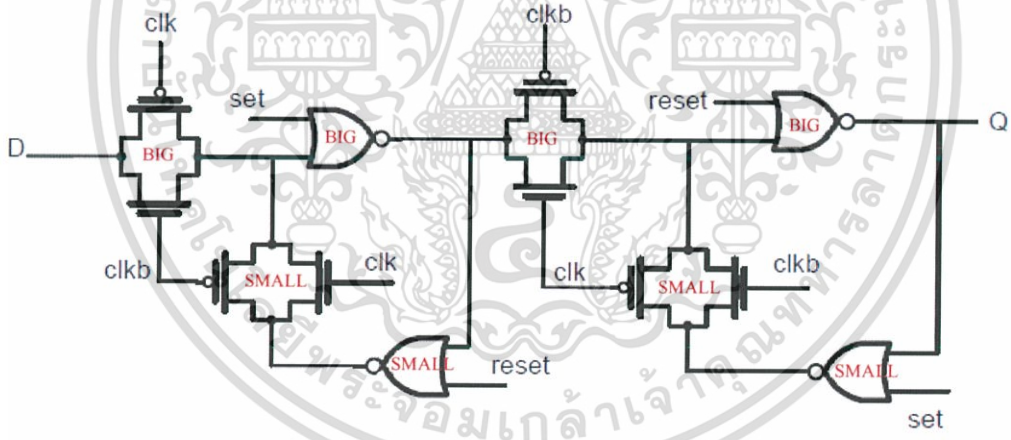
วงจร SAR Control Logic ที่ออกแบบจะประกอบไปด้วย Register 2 ชุด ชุดด้านบนจะเป็น Shift Register มีหน้าที่กำหนดเอาท์พุตในแต่ละบิตในช่วงการ Binary Search และชุดด้านล่างจะเป็น Code Register ทำหน้าที่เก็บผลของการเปรียบเทียบแรงดันในแต่ละบิต โดยRegister ดังกล่าวสร้างจาก D-flipflop นำมาต่อเรียงกันดังรูปที่ 3.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 วงจร SAR Control Logic [4]

โดยโครงสร้างภายในD-flipflop อ้างอิงมาจาก [4] มีการปรับเปลี่ยนเล็กน้อยเนื่องจากมีการใช้งานขา Set และ Reset จึงได้โครงสร้างดังรูปที่ 3.21



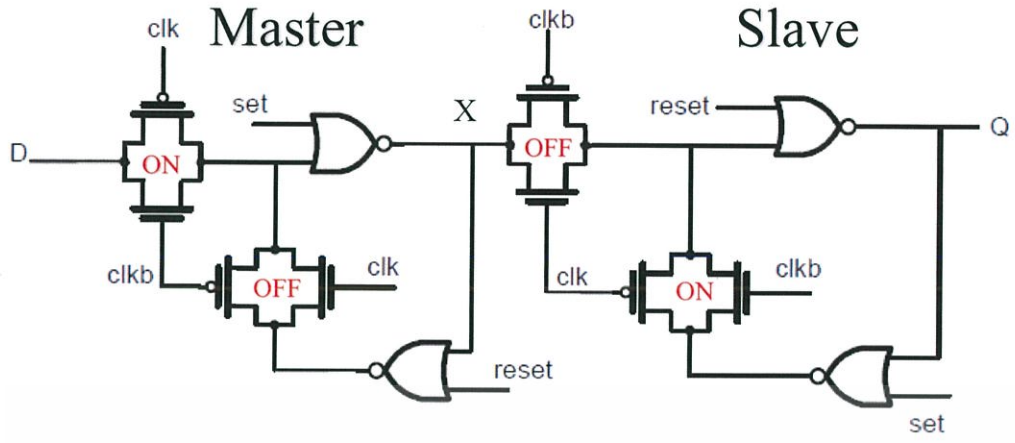
รูปที่ 3.21 โครงสร้างภายใน D-flip flop แบบมีขา Set และ Reset [4]

วงจรในรูปที่ 3.19 มีการลักษณะการทำงานแบบ Master-Slave ซึ่งสามารถแบ่งออกได้เป็น 2 ช่วง

1. ในช่วงที่ Clock เป็น Low

ในส่วน Master Transmission Gate ที่ต่อกับขา D จะทำงาน ทำให้ในช่วงนี้ข้อมูลที่เข้ามาที่ขา D จะสามารถเข้ามาได้และผ่าน NOR gate และเก็บที่โหนด X และในส่วนของ Slave Transmission Gate ที่เชื่อม Latch จะทำงาน ทำให้มันคงค่าข้อมูลก่อนหน้าไว้

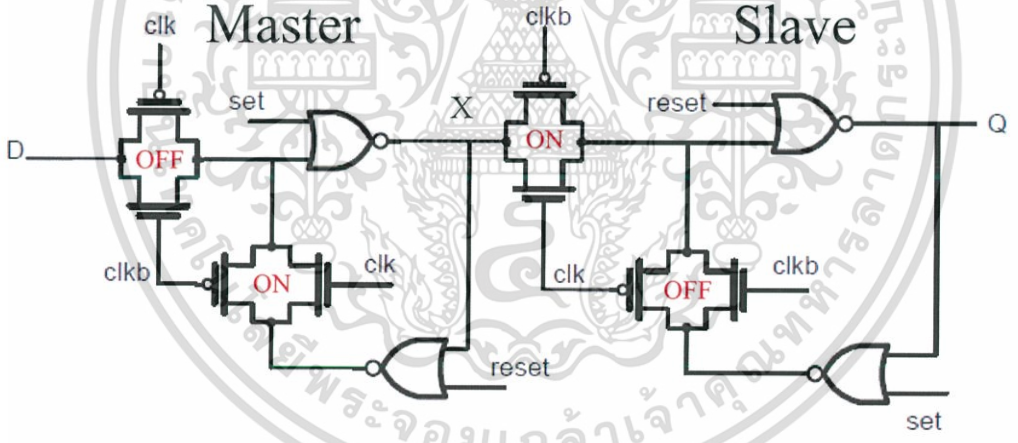
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 ช่วงที่ Clock เป็น Low

2. ในช่วงที่ Clock เป็น High

ในส่วนของ Slave Transmission Gate ที่เชื่อมกับโหนด X จะทำงานทำให้ข้อมูลผ่าน NOR gate และถูกส่งผ่านไปยังเอาท์พุต Q และในส่วนของ Master Transmission gate ที่ต่อกับขา D จะไม่ทำงาน ส่งผลให้ไม่สามารถรับอินพุต D เข้ามาได้



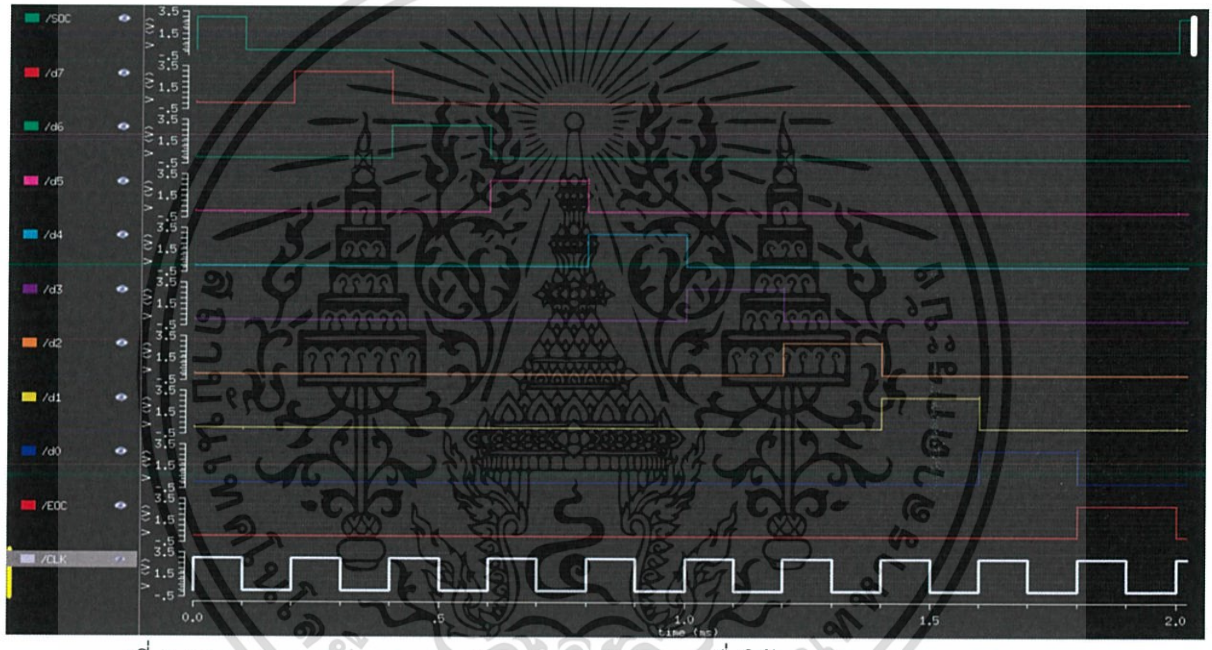
รูปที่ 3.23 ช่วงที่ Clock เป็น High

ในการออกแบบ D-flip flop นี้ออกแบบให้ Transmission gate และ NOR gate ที่ส่งผ่านข้อมูลมีขนาดใหญ่กว่าส่วนที่ทำหน้าที่ Latch ข้อมูล โดยขนาดของมอสเฟตใน D-flip flop แสดงได้ดังตารางที่ 3.5 และผลการตอบสนองของ SAR Control Logic เมื่อให้ผลของการเปรียบเทียบแรงดันเท่ากับ 0 V (COMP= 0) จะได้ดังรูปที่ 3.24 และผลการจำลองการทำงานโดยให้อินพุตของวงจรเปรียบเทียบแรงดันเป็น Low (COMP = 0 V) แสดงได้ดังรูปที่ 3.25

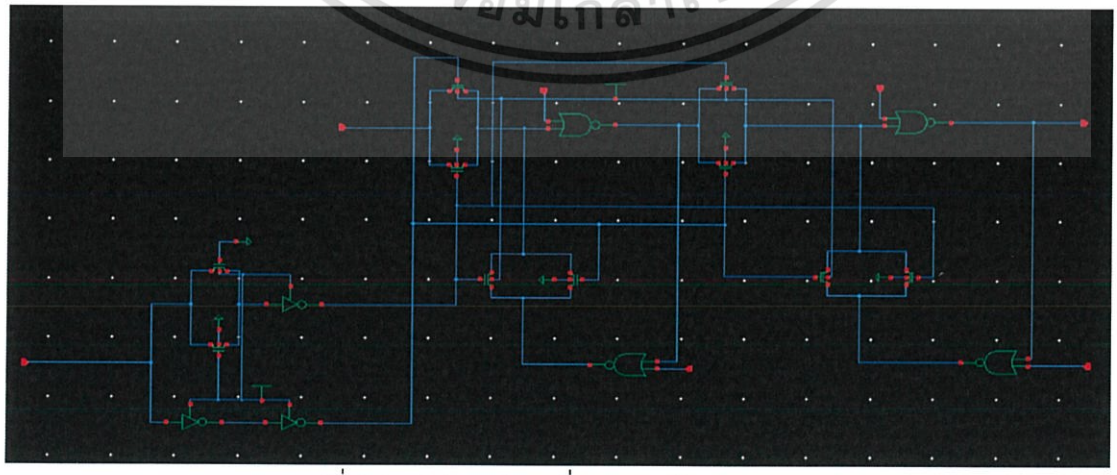
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOSFET	(W/L)
NMOS (Transmission Gate Big, NOR Gate Big)	1.2μm/0.35μm
PMOS (Transmission Gate Big, NOR Gate Big)	4.8μm/0.35μm
NMOS (Transmission Gate Small, NOR Gate Small)	0.4μm/0.35μm
PMOS (Transmission Gate Small, NOR Gate Small)	1.6μm/0.35μm

ตารางที่ 3.5 ขนาดของมอสเฟตใน D-flip flop

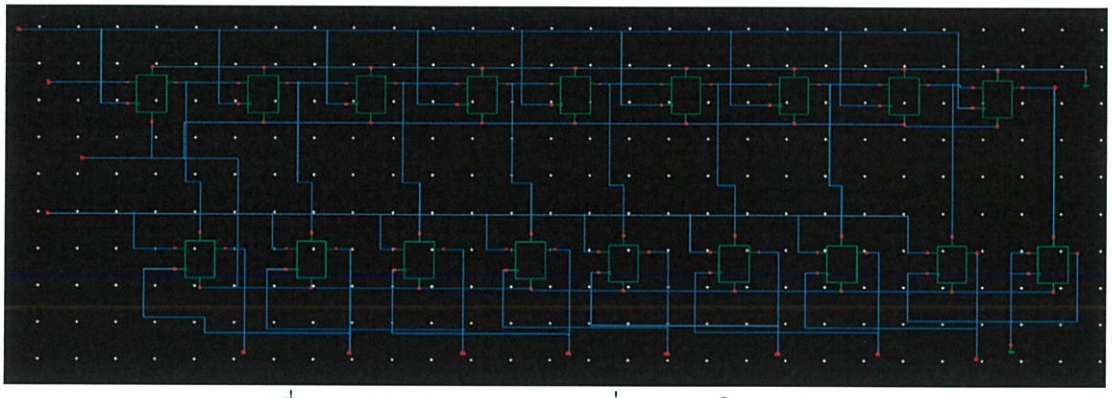


รูปที่ 3.24 ผลการตอบสนองของ SAR Control Logic เมื่อให้แรงดัน COMP = 0 V



รูปที่ 3.25 D-flip flop ที่ออกแบบใน cadence

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

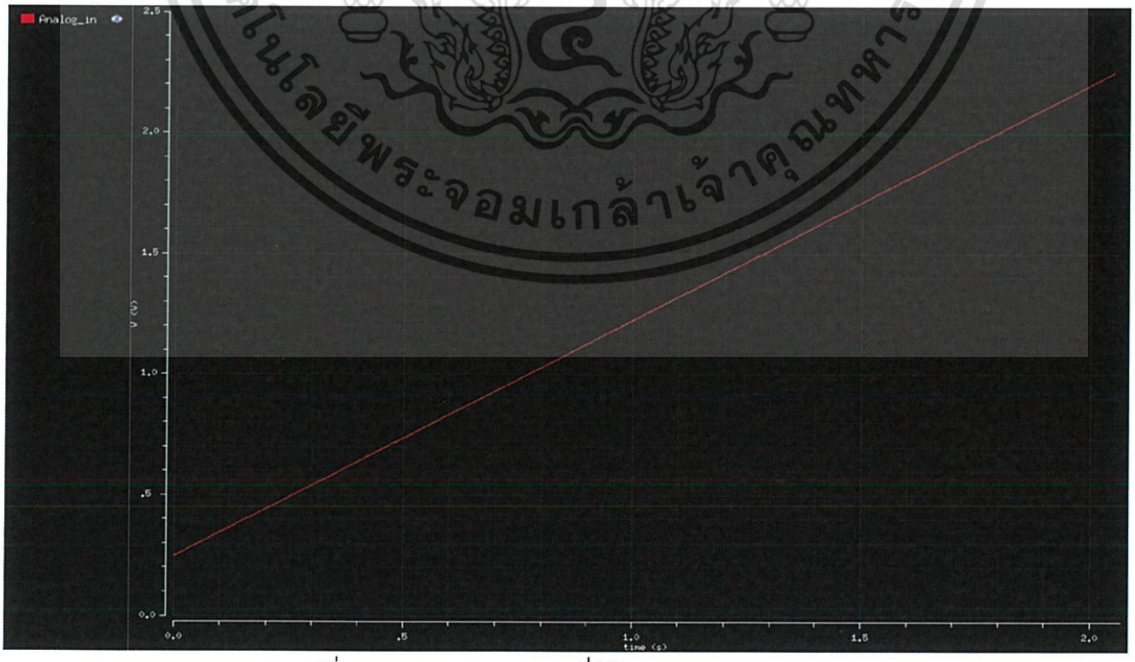


รูปที่ 3.26 SAR Control Logic ที่ออกแบบใน cadence

การทดสอบหาค่า DNL และ INL ของวงจร ADC ทดสอบโดยป้อนสัญญาณแอนะล็อกที่มีลักษณะเป็นขั้นบันไดเป็นอินพุตของวงจร ADC มีลักษณะดังรูปที่ 3.27 และ 3.28 การเปลี่ยนแปลงในแต่ละขั้นใช้เวลาขั้นละ 1 Conversion โดยแต่ละขั้นจะมีค่าเพิ่มขึ้นทีละ $0.25V_{LSB}$ ไปเรื่อยจนถึง Full Scale และนำดิจิตอลเอาท์พุตที่ได้จากวงจร ADC มาคำนวณหา DNL และ INL ตามสมการที่ 3.3 และ 3.4 จะได้ผลดังรูปที่ 3.29 และ 3.30 ความกว้างของ Code ที่ k

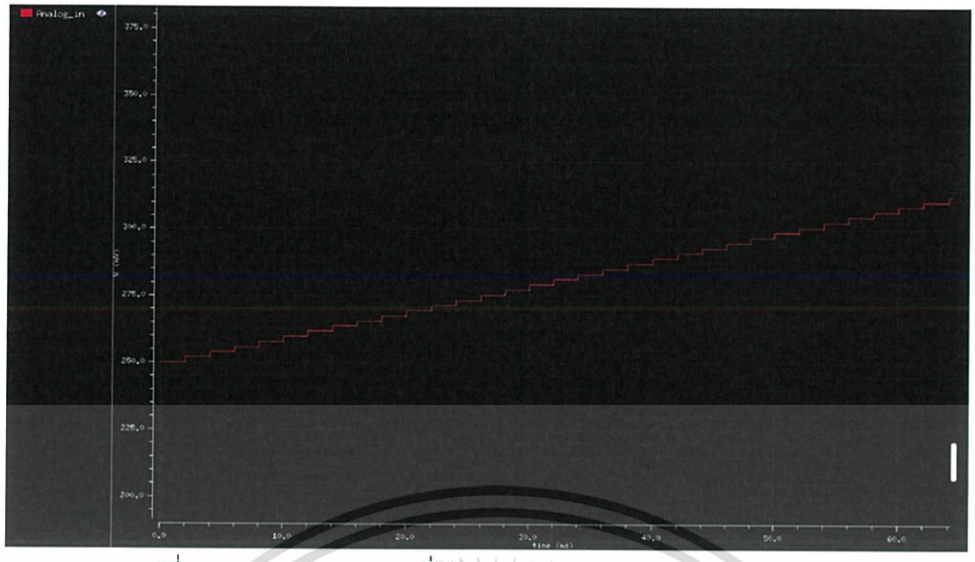
$$DNL[k] = \frac{\text{ความกว้างของ Code ที่ k}}{\text{ความกว้างของ}Code\text{ ที่ }k\text{ ในอุดมคติ}} - 1 \tag{3.3}$$

$$\mathrm{INL[k]} = \sum_{k=0}^{k-1} \mathrm{DNL[k]} \tag{3.4}$$

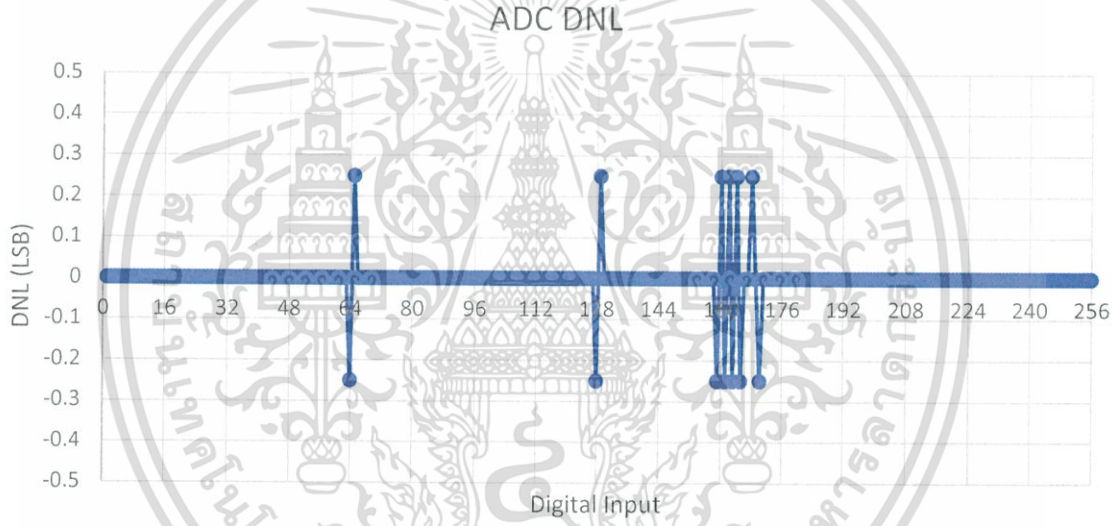


รูปที่3.27 Analog Input ที่ใช้ทดสอบวงจร ADC

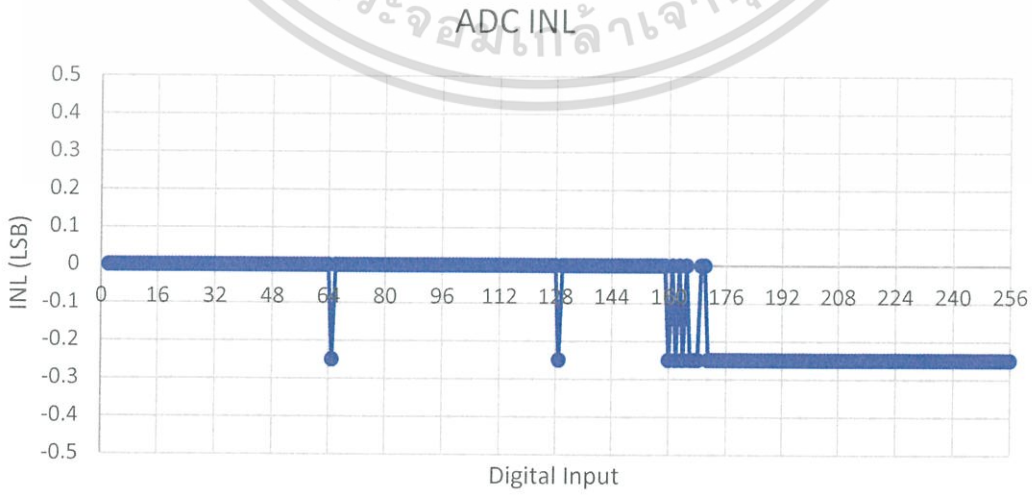
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.28 Analog Input ที่ใช้ทดสอบวงจร ADC (ขยายบางส่วน)



รูปที่ 3.29 DNL ของ ADC ที่ออกแบบ



รูปที่ 3.30 INL ของ ADC ที่ออกแบบ

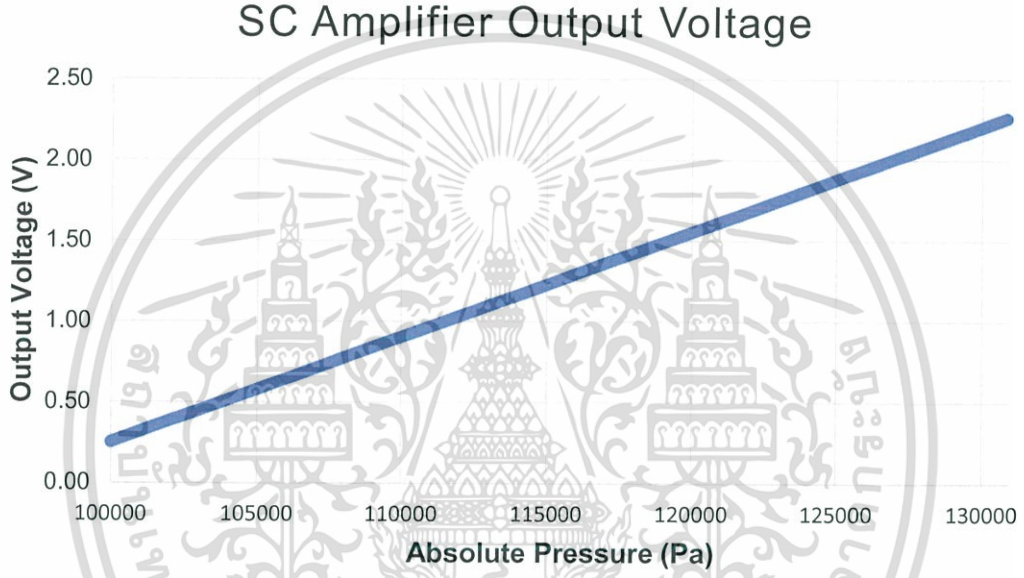
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

4.1 ผลการทดสอบการอ่านค่าจากเซ็นเซอร์

จากวงจรอ่านค่าที่ออกแบบไว้นำมาจำลองการทำงานที่ความดันสัมบูรณ์ตั้งแต่ 100 kPa ถึง 130 kPa โดยใช้ Parametric Analysis ของโปรแกรม Cadence ได้ความสัมพันธ์ดังรูปที่ 4.1

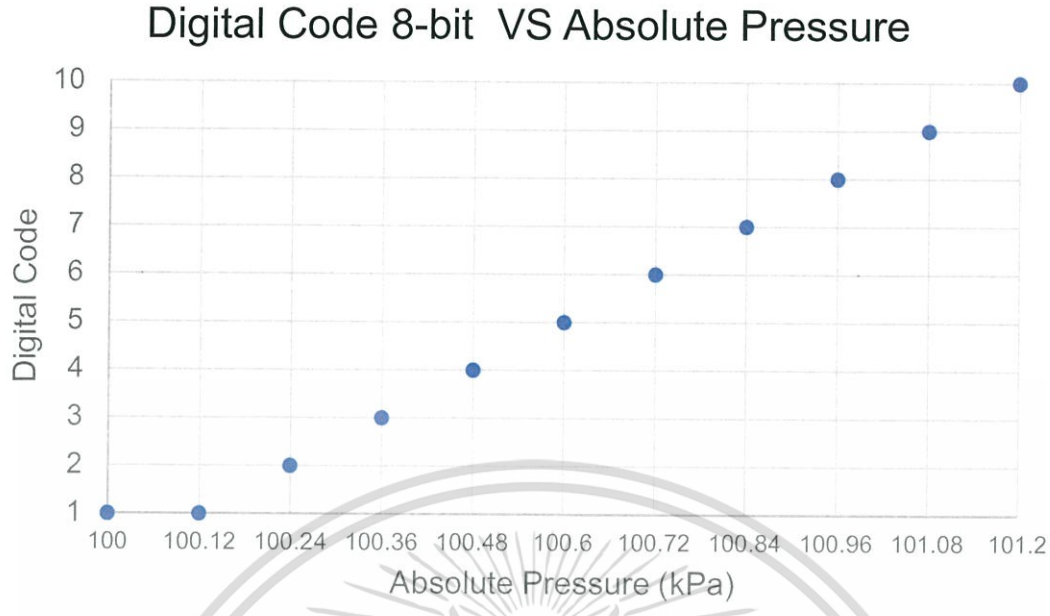


รูปที่ 4.1 กราฟแสดงความสัมพันธ์ระหว่างความดันสัมบูรณ์และแรงดันเอาท์พุตของวงจรอ่านค่า

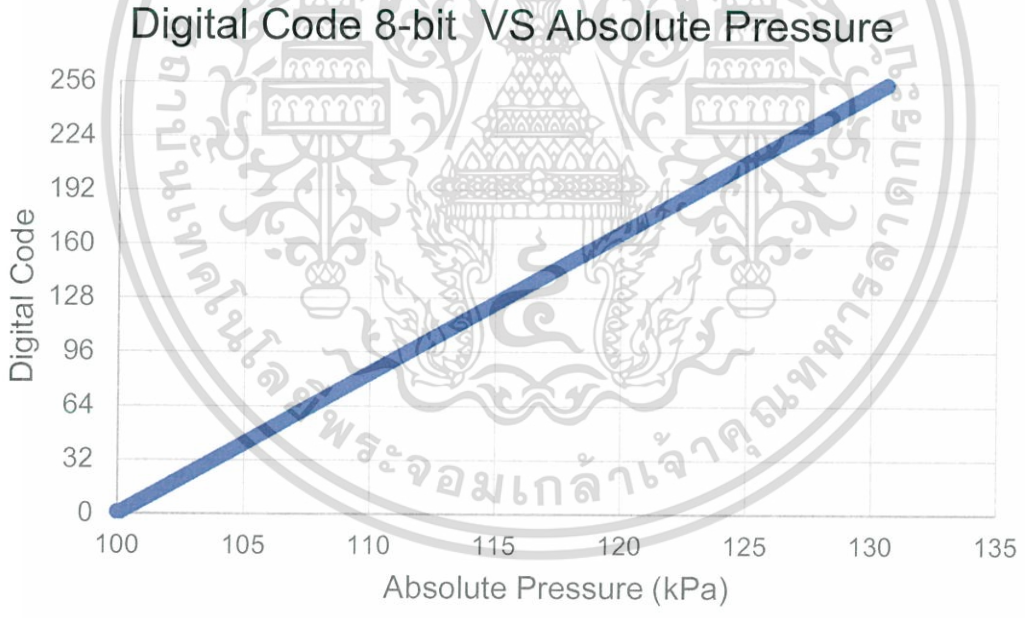
4.2 ผลการวัดแรงดันสัมบูรณ์

จำลองการทำงานของระบบที่ความดันสัมบูรณ์ตั้งแต่ 100kPa – 130kPa โดยใช้ Parametric Analysis ของโปรแกรม Cadence ได้ความสัมพันธ์ดังรูปที่ 4.2 เนื่องจาก ADC มี Offset Error เกิดขึ้นเนื่องจาก Offset ของ Comparator จึงทำให้ Digital Code มีการShift ไป ดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 กราฟความสัมพันธ์ระหว่างแรงดันสัมบูรณ์กับดิจิทัลเอาท์พุตของระบบในช่วงแรก



รูปที่ 4.3 กราฟความสัมพันธ์ระหว่างแรงดันสัมบูรณ์กับดิจิทัลเอาท์พุตของระบบ

4.3 กำลังไฟที่ใช้ภายในระบบ

จากการจำลองการทำงานของระบบในการอ่านค่าจากเซ็นเซอร์แล้วแปลงค่าที่อ่านได้เป็นสัญญาณดิจิทัล คำนวณหากำลังเฉลี่ยได้ดังดังนี้

กำลังไฟฟ้าทั้งหมด = กำลังไฟของวงจรอ่านค่า + กำลังไฟของวงจร ADC

= 0.1023 mW + 0.1007 mW = 0.2093 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลองและข้อเสนอแนะ

จากผลวัดความดันสัมบูรณ์ ดิจิทัลเอาท์พุตจะบอกช่วงความดันสัมบูรณ์ที่สามารถตรวจวัดได้ ซึ่งสามารถสรุปได้ดังตารางที่ 5.1

D7	D6	D5	D4	D3	D2	D1	D0	Pressure Range (kPa)
0	0	0	0	0	0	0	0	100.00 ~ 100.23
0	0	0	0	0	0	0	1	100.24 ~ 100.35
0	0	0	0	0	0	1	0	100.36 ~ 100.47
0	0	0	0	0	0	1	1	100.48 ~ 100.59
0	0	0	0	0	1	0	0	100.60 ~ 100.72
0	0	0	0	0	1	0	1	100.72 ~ 100.83
0	0	0	0	0	1	1	0	100.84 ~ 100.95
0	0	0	0	0	1	1	1	100.96 ~ 101.07
0	0	0	0	1	0	0	0	101.08 ~ 101.19
0	0	0	0	1	0	0	1	101.20 ~ 101.31
0	0	0	0	1	0	1	0	101.32 ~ 101.43
0	0	0	0	1	0	1	1	101.44 ~ 101.55
0	0	0	0	1	1	0	0	101.56 ~101.67
0	0	0	0	1	1	0	1	101.68 ~101.79
0	0	0	0	1	1	1	0	101.80 ~ 101.92

ตารางที่ 5.1 ผลการวัดความดันสัมบูรณ์

<u>ข้อเสนอแนะ</u>

ระบบที่ออกแบบนี้ ไม่ได้คิดผลของความไม่เป็นอุดมคติของเซ็นเซอร์ อาธิเช่น offset Drift ตัวเก็บประจุแฝงของเซ็นเซอร์ ตัวต้านทานแฝงของเซ็นเซอร์ เป็นต้น ซึ่งมีผลต่อวงจรอ่านค่า ทำให้ค่าที่ได้ไม่เป็นเชิงเส้น[5] จึงจำเป็นจะต้องคำนึงถึงด้วยในทางปฏิบัติ ซึ่งแก้ปัญหาได้โดยใช้เทคนิค Correlated Double Sampling [6] และในส่วนของ ADC เพื่อให้มีการใช้พลังงานต่ำลง อาจจะเปลี่ยนรูปแบบของวงจร Comparator โดยให้กลายเป็นแบบ Dynamic Latch Comparator [7]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] www.murata.com/~/media/webrenewal/products/sensor/gyro/element/pressure/datasheet_scb10h_.ashx?la=en

[2] J. Coosemans and R. Puers, "An autonomous bladder pressure monitoring system", Sensors and Actuators A, 123–124:155–161, 2005.

[3] A. Rodriguez-Perez, M. Delgado-Restituto, and F. Medeiro, "Power efficient ADCs for Biomedical Signal Acquisition," IMSE-CNM and University of Seville.

[4] S. T. Oskuii, "Comparative Study on Low-Power High-Performance Flip-Flops," Master thesis, Linkoping University, 2003.

[5] W. Bracke , P. Merken, R. Puers and C. Van Hoof, "Ultra-Low-Power Interface Chip for Autonomous Capacitive Sensor Systems", IEEE Transactions on Circuits and Systems I: Regular Papers (Volume: 54, Issue: 1, Jan. 2007)

[6] K. K. Lam and M. A. Copeland, "Noise cancelling switched-capacitor filtering technique", IEE Electronics Letters, 19:810–811, 1983.

[7] Dai Zhang, "Design and Evaluation of an Ultra-Low Power SAR ADC", 2009

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้