

การพัฒนาโปรแกรม FPGA เพื่องานเรดาร์
FPGA Development for RADAR system



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2559

การพัฒนาโปรแกรม FPGA เพื่องานเรดาร์

FPGA Development for RADAR system



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัฒนาโปรแกรม FPGA เพื่องานเรดาร์
FPGA Development for RADAR system

จัดทำโดย

ธนธรรณ์ โชติพิสุทธิกุล

รหัสประจำตัว 56010515

ลลิตา ตันติปริมมงคล

รหัสประจำตัว 56011033



อาจารย์ที่ปรึกษา

ผศ.ดร. ภัทรพงษ์ ผาสุขกิจ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบรับรองปริญญาานิพนธ์

ปริญญาานิพนธ์วิชาโครงการ (Project) ปีการศึกษา 2559

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การพัฒนาโปรแกรม FPGA เพื่องานเรดาร์

FPGA Development for RADAR system

ผู้จัดทำ นายธนธรณ์ โชติพิทุธิกุล รหัสประจำตัว 56010515

นางสาวลลิตา ตันติปริมมงคล รหัสประจำตัว 56011033

ปริญญาานิพนธ์นี้ผ่านการตรวจสอบจากอาจารย์ที่ปรึกษาแล้ว



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์	การพัฒนาโปรแกรม FPGA เพื่องานเรดาร์	
นักศึกษา	นายธนธรณ์ โชติพิสุทธิกุล	รหัสประจำตัว 56010515
	นางสาวลลิตา ตันติปริมมงคล	รหัสประจำตัว 56011033
ปริญญา	วิศวกรรมศาสตรบัณฑิต	
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์	
ปีการศึกษา	2559	
อาจารย์ที่ปรึกษา	ผศ.ดร.ภัทรพงษ์ ผาสุกกิจ	

บทคัดย่อ

ปริญญาานิพนธ์นี้นำเสนอการพัฒนาโปรแกรม FPGA สำหรับการใช้งานในระบบเรดาร์ (FPGA Development for RADAR system) มีจุดประสงค์เพื่อการเขียนโปรแกรมใช้งานกับบอร์ด FPGA สำหรับการผลิตสัญญาณรูปคลื่นพัลส์ในความเร็วที่อัลตราไวต์แบนด์ โดยมีเป้าหมายที่ความถี่ 3GHz เพื่อใช้ในการส่งออกสัญญาณใช้งานในระบบการตรวจจับเป้าหมายด้วยเรดาร์ โดยใช้วิธีการสร้างแบบตีเลย์ไลน์ มีการพัฒนาเบื้องต้นกับบอร์ด FPGA “Xilinx Spartan-6 SP601” ซึ่งต่อมามีการพัฒนาเพื่อใช้งานจริงกับบอร์ด FPGA “Xilinx Virtex-6 ML605” และใช้โปรแกรม “ISE Design Suite Version 14.7” ในการเขียนโปรแกรมด้วยภาษาเวอริล็อก (Verilog) จากหลักการทำงานของเรดาร์ คือ ส่งสัญญาณออกไปแล้วรอการสะท้อนของคลื่นแม่เหล็กไฟฟ้า (Echo) เพื่อตรวจจับเป้าหมายแล้วคำนวณค่าตัวแปรระบุตำแหน่งได้ จากการศึกษาทดลองพบว่าสามารถผลิตสัญญาณพัลส์ที่สามารถส่งออกได้ในความถี่กลาง 3.1GHz มีแบนด์วิดธ์ครอบคลุมประมาณ 3GHz ซึ่งเข้าหลักเกณฑ์อัลตราไวต์แบนด์

Project Title	FPGA Development for RADAR system
Students	Mr. Tanatorn Chotputtikul Student ID. 56010515 Ms. Lalida Tantiparimongkol Student ID. 56011033
Degree	Bachelor of Engineering
Program	Electronics Engineering
Academic Year	2016
Project Advisor	Asst.Prof. Dr. Pattarapong Phasukkit

ABSTRACT

This research presents development of FPGA programming for RADAR transmitting. In this project, we use FPGA programming attend to generate pulsed-signal in Ultra-wideband frequency at 3GHz for target detection by RADAR principle. Using “Delay line-based pulse generation” method to generate the transmitting signal. First, we use FPGA “Xilinx Spartan-6 SP601” in earlier period of this research. Later, uses FPGA “Xilinx Virtex-6 ML605” as target board for better performance. This research programs by “ISE Design Suite Version 14.7” in Verilog language. From RADAR principle, generated transmitting signal, which is electromagnetic wave, and wait for reflected when it already hits the target, in another word has already detected the target. This phenomenon could be called “echo”. After, the system will receive the signal which has come back and calculating for parameters to identify location of the target. The result is generation of pulse transmitting signal with center frequency at 3.1GHz and bandwidth approaching to 3GHz, which is in condition of Ultra-wideband.

กิตติกรรมประกาศ

โครงการ “การพัฒนาโปรแกรม FPGA เพื่องานเรดาร์” สามารถดำเนินมาได้จากความช่วยเหลือและคำปรึกษาอย่างใกล้ชิดจาก ผศ.ดร.ภัทรพงษ์ ผาสุขกิจ อาจารย์ที่ปรึกษาที่คอยช่วยเหลือติดตาม จัดหาอุปกรณ์ แนะนำแนวทางและให้ความรู้ คณะผู้จัดทำดำเนินงานในโครงการนี้ซึ่งเป็นที่น่าสนใจและเป็นประโยชน์มากหากสามารถพัฒนาได้จนสำเร็จ เป็นการเปิดโลกทางความรู้อย่างสูงแก่คณะผู้จัดทำ นอกจากนี้คณะทำงานจากกรมอเล็กทรอนิกส์ กองทัพเรือ นำโดย นาวาเอกอนุสรณ์ ยังคัมภีร์ ผู้ซึ่งให้ความรู้ทั้งทางด้านทฤษฎีและการปฏิบัติจริงในภาพรวมของระบบเรดาร์ คณะผู้จัดทำขอขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณพ่อแม่ผู้เป็นกำลังใจหลักสำคัญ ผู้สนับสนุนทางการเงินทุนในการศึกษา อาหาร และสถานที่แก่คณะผู้จัดทำ รวมถึงเพื่อนๆที่คอยให้กำลังใจในการทำโครงการ

สุดท้ายนี้ คณะผู้จัดทำจะทำการพัฒนาโครงการนี้ต่อไปเพื่อสามารถนำไปใช้เป็นประโยชน์ต่อตนเองและสังคม

ธนธรณ์ โชติพุทธิกุล
ลลิตา ตันติปริมงคล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา III ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
1.1 ที่มาและความสำคัญของโครงการ	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา	1
1.3 สมมุติฐานการศึกษา	1
1.4 ขอบเขตของการศึกษา	1
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	3
2.1 นิยามของเรดาร์	3
2.2 หลักการทำงานของระบบเรดาร์พื้นฐาน	3
2.3 ระบบการทำงานของเรดาร์พัลส์ (Pulse Radar System)	5
2.3.1 ระบบส่งสัญญาณ (Transmitter)	6
2.3.2 ตัวคูเพล็กซ์เซอร์ (Duplexer)	7
2.3.3 ระบบการควบคุมการทำงาน (Master Time)	7
2.3.4 ระบบรับสัญญาณ (Receiver)	7
2.4 ปรากฏการณ์ดอปเปลอร์ (Doppler Effect)	8
2.5 ข้อมูลที่ระบุเป้าหมายของเรดาร์ (Target Discriminants)	9
2.5.1 ระยะ (Range)	9
2.5.2 ความเร็ว (Velocity)	10
2.5.3 มุม (Angle)	10
2.6 สัญญาณพัลส์ (Pulse Signal)	11
2.6.1 Pulse Width (PW)	12
2.6.2 Pulse Recurrence Time (PRT)	12
2.6.3 Pulse Repetition Frequency (PRF)	12
2.6.4 ช่วงการทำงานของสัญญาณพัลส์ ในระบบเรดาร์	14

สารบัญ(ต่อ)

	หน้า
2.6.5 Duty Cycle	15
2.6.6 กำลังงานสูงสุด (Peak Power)	15
2.6.7 กำลังงานเฉลี่ย (Average Power)	16
2.7 แลบทความถี่การใช้งานเรดาร์ (Radar Frequency Application)	16
2.8 อัลตราไวด์แบนด์ (Ultra-wideband; UWB)	17
2.8.1 นิยามต่างๆของอัลตราไวด์แบนด์	18
2.8.2 การเปรียบเทียบกับช่วงความถี่แคบ	19
2.8.3 ข้อดีในการใช้งานคลื่นความถี่ช่วงอัลตราไวด์แบนด์	21
2.8.4 ประเภทของสัญญาณในความถี่อัลตราไวด์แบนด์	21
2.8.5 แนวคิดของเรดาร์อัลตราไวด์แบนด์ (Concept of UWB Radar)	25
2.9 การมอดูเลชันเพื่อส่งสัญญาณ	25
2.10 Field Programmable Logic Array (FPGA)	26
2.11 ภาษา HDL (Hardware Description Language)	28
2.12 โปรแกรม ISE Design Suite	29
2.13 บอร์ดพัฒนา FPGA Spartan 6	30
2.14 บอร์ดพัฒนา FPGA Virtex 6	31
2.15 หลักการผลิตสัญญาณพัลส์ด้วยวิธี Delay Line-based Pulse Generator	32
บทที่ 3 วิธีการดำเนินงาน	35
3.1 วิธีการออกแบบโดยใช้ FPGA เป็นเครื่องมือ	35
3.2 การออกแบบโดยโปรแกรม	36
3.2.1 ภาคเรียนที่ 1	36
3.2.2 ภาคเรียนที่ 2	37
บทที่ 4 ผลการดำเนินงาน	41
4.1 ผลการทดลองผลิตสัญญาณพัลส์ในภาคเรียนที่ 1	41
4.2 ผลการทดลองผลิตสัญญาณพัลส์ในภาคเรียนที่ 2	42
บทที่ 5 สรุปผลการดำเนินงาน	48
5.1 สรุปผลการทดลอง	48
5.2 ปัญหาที่พบในการดำเนินงาน	48
5.3 ข้อเสนอแนะ	49
บรรณานุกรม	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

ภาคผนวก

หน้า

51



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา **VI** ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่		หน้า
2.1	ค่าในการพิจารณาช่วงความถี่แบนด์ของสัญญาณ	19
4.1	สรุปผลการทดลองจากการป้อนสัญญาณกระตุ้นในวงจรรูปที่ 3.7	47



สารบัญรูปภาพ

รูปที่	หน้า
2.1 ตัวอย่างเรดาร์ตรวจจับอากาศยาน	3
2.2 แผนภาพของระบบเรดาร์พื้นฐาน	4
2.3 ระบบเรดาร์พื้นฐาน	4
2.4 แผนภาพการทำงานของระบบเรดาร์ในปัจจุบัน	5
2.5 Transmitter block diagram	6
2.6 Klystron	7
2.7 Zero Doppler Effect	8
2.8 Doppler Effect – Closing Target	9
2.9 Doppler Effect – Opening Target	9
2.10 แผนภาพข้อมูล Target Discriminants	9
2.11 Velocity Discriminants	10
2.12 Angle Discriminants	10
2.13 ตัวอย่างรูปคลื่นสัญญาณพัลส์	11
2.14 องค์ประกอบของสัญญาณพัลส์ ซึ่งเป็นไซน์ที่หลายความถี่ประกอบรวมกัน	11
2.15 ตัวอย่างสัญญาณพัลส์เมื่อทำการแตกองค์ประกอบทางความถี่ออกมา	12
2.16 Typical Radar Pulsed	13
2.17 Constant PRF Pulsed	13
2.18 PRF Stagger	13
2.19 PRF Jitter	14
2.20 สัญญาณพัลส์	14
2.21 Timeline ของการทำงานของระบบรับและส่งสัญญาณ	15
2.22 Peak power and Average power	16
2.23 Peak power and Average power	16
2.24 แถบความถี่คลื่นที่ถูกใช้งานในระบบเรดาร์	17
2.25 การเปรียบเทียบระหว่างสัญญาณ narrowband (NB), spread spectrum (SS) และ ultra-wideband (UWB)	20
2.26 การเปรียบเทียบระบบการรับสัญญาณของ Narrowband และ UWB	20
2.27 ลักษณะลูกคลื่นแบบอิมพัลส์ UWB แบบทั่วไป	22
2.28 พัลส์เกาส์เซียนโมโนไซเคิลในโดเมนเวลา	23
2.29 พัลส์เกาส์เซียนโมโนไซเคิลในโดเมนความถี่	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาในเอกสารอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

รูปที่	หน้า
2.30 บล็อกไดอะแกรมและสเปกตรัมทางความถี่ของระบบ MC-CDMA	24
2.31 บล็อกไดอะแกรมและสเปกตรัมทางความถี่ของระบบ MC-DS CDMA	24
2.32 บล็อกไดอะแกรมและสเปกตรัมทางความถี่ของระบบ MT CDMA	24
2.33 Pulse Modulation	26
2.34 ตัวอย่างบอร์ดพัฒนา FPGA จากบริษัท Xilinx	27
2.35 โครงสร้างภายใน FPGA	27
2.36 แผนผังเชิงลำดับชั้นของการออกแบบจากบนลงล่าง	28
2.37 แผนผังเชิงลำดับชั้นของการออกแบบจากล่างขึ้นบน	29
2.38 สัญลักษณ์ประจำโปรแกรม	29
2.39 ตัวอย่างหน้าต่างโปรแกรมที่กำลังใช้งาน ISE Design Suite	29
2.40 บอร์ดพัฒนา Spartan 6	31
2.41 บอร์ดพัฒนา Virtex 6	31
2.42 แผนภาพสถาปัตยกรรมของระบบส่งสัญญาณแบบดิจิทัล	33
2.43 Delay line และ Delay cell	33
2.44 บล็อกไดอะแกรมของ mask register และ edge combiner	34
2.45 บล็อกไดอะแกรมของการสร้างสัญญาณพัลส์ที่มีการตัดแปลงมาจากวิธีการข้างต้น	34
3.1 โพล์ชาร์ตแสดงขั้นตอนการออกแบบโดย FPGA	35
3.2 ขั้นตอนของโปรแกรมเพื่อผลิตสัญญาณพัลส์เบื้องต้น	36
3.3 การเขียนโปรแกรมผลิตสัญญาณเบื้องต้น	37
3.4 การใช้ฟังก์ชันโปรแกรม PlanAhead 14.7	38
3.5 การใช้ฟังก์ชันโปรแกรม PlanAhead 14.7 ในโหมด Device	38
3.6 การใช้ฟังก์ชัน Logi Core ในการกำหนดสัญญาณกระตุ้น	38
3.7 รูปวงจรที่สังเคราะห์ขึ้นจากการเขียนโปรแกรมผลิตสัญญาณพัลส์ในภาคเรียนที่ 2	39
3.8 ขั้นตอนของโปรแกรมเพื่อผลิตสัญญาณพัลส์ในภาคเรียนที่ 2	39
3.9 โปรแกรมที่ใช้ในการสังเคราะห์วงจรในรูปที่ 3.7	40
4.1 ภาพระหว่างการปฏิบัติการของ Spartan 6 ในการทดลอง	41
4.2 ภาพระหว่างการปฏิบัติการของ Virtex-6 ในการทดลอง	41
4.3 สัญญาณพัลส์ที่ผลิตได้จากการตั้ง Masking Bits เป็น “11110100”	42
4.4 สัญญาณพัลส์ที่ผลิตได้จากการตั้ง Masking Bits เป็น “11111110”	42

สารบัญรูปภาพ(ต่อ)

รูปที่	หน้า
4.5 การผลิตสัญญาณพัลส์ด้วยวงจรในรูปที่ 3.7 แสดงถึงขนาดของสัญญาณและช่วง PRF = 49.99MHz ขนาดของสัญญาณ 700mV	43
4.6 ความถี่ของลูกคลื่นพัลส์ที่ผลิตได้ในแต่ละลูก สามารถวัดความถี่กลางของสัญญาณได้อยู่ที่ 3.1GHz ขนาดแบนด์วิดธ์ประมาณ $1.6\text{GHz} \times 2 = 3.2\text{GHz}$ โดยประมาณ	43
4.7 การผลิตสัญญาณพัลส์ด้วยวงจรในรูปที่ 3.7 แสดงถึงขนาดของสัญญาณและช่วง PRF = 100.296MHz ขนาดของสัญญาณ 691mV	44
4.8 ความถี่ของลูกคลื่นพัลส์ที่ผลิตได้ในแต่ละลูก สามารถวัดความถี่กลางของสัญญาณได้อยู่ที่ 3.1GHz ขนาดแบนด์วิดธ์ประมาณ $1.6\text{GHz} \times 2 = 3.2\text{GHz}$ โดยประมาณ	44
4.9 การผลิตสัญญาณพัลส์ด้วยวงจรในรูปที่ 3.7 แสดงถึงขนาดของสัญญาณและช่วง PRF = 199.728MHz ขนาดของสัญญาณ 622mV	45
4.10 ความถี่ของลูกคลื่นพัลส์ที่ผลิตได้ในแต่ละลูก สามารถวัดความถี่กลางของสัญญาณได้อยู่ที่ 3.1GHz ขนาดแบนด์วิดธ์ประมาณ $1.75\text{GHz} \times 2 = 3.5\text{GHz}$ โดยประมาณ	45
4.11 การผลิตสัญญาณพัลส์ด้วยวงจรในรูปที่ 3.7 แสดงถึงขนาดของสัญญาณและช่วง PRF = 400.42MHz ขนาดของสัญญาณ 611mV	46
4.12 ความถี่ของลูกคลื่นพัลส์ที่ผลิตได้ในแต่ละลูก สามารถวัดความถี่กลางของสัญญาณได้อยู่ที่ 3.1GHz ขนาดแบนด์วิดธ์ประมาณ $1.75\text{GHz} \times 2 = 3.5\text{GHz}$ โดยประมาณ	46
4.13 รายงานการใช้เวลาในแต่ละขั้นตอนในวงจรรูปที่ 3.7	47

บทที่ 1

บทนำ

1.1 ที่มาและความสำคัญของโครงการ

ในปัจจุบันโลกได้เผชิญกับภัยพิบัติต่างๆมากขึ้นทั้งทางธรรมชาติและฝีมือมนุษย์ เช่น แผ่นดินไหว ภัยตึกถล่ม เป็นต้น ก่อให้เกิดสิ่งที่ไม่คาดคิดเกิดขึ้นคือ มนุษย์จะติดอยู่ในซากปรักหักพังต่างๆ การใช้เทคโนโลยีเรดาร์ในการตรวจจับค้นหามนุษย์รวมถึงสิ่งมีชีวิตอื่นๆจึงเป็นประโยชน์อย่างมาก เพื่อให้เกิดการช่วยชีวิตให้เร็วที่สุดก่อนที่ทุกอย่างจะสลายเกินไป ลดความสูญเสียที่จะเกิดขึ้นต่อมนุษย์และสัตว์อื่นๆ นอกจากนั้นเรดาร์ยังเป็นเครื่องมือหลักสำคัญทางการทหารเพื่อการป้องกันประเทศทั้งทางบก น้ำและอากาศ และเพื่อพัฒนาทักษะในการปฏิบัติงานตามความสนใจของนักศึกษาซึ่งจะเป็นผลงานเพื่อนำเสนอก่อนการจบการศึกษาในชั้นปีสุดท้าย

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1. เพื่อศึกษาการเขียนโปรแกรม FPGA ซึ่งสามารถนำไปใช้งานได้หลายแขนง
2. เพื่อบูรณาการความรู้ที่ได้จากการเรียน ค้นคว้าศึกษาด้วยตนเองเป็นทฤษฎีมาใช้ให้เกิดประโยชน์ที่เป็นรูปธรรมมากยิ่งขึ้น
3. เพื่อการผลิตสัญญาณพัลส์สำหรับการส่งออกเพื่อการพัฒนาระบบตรวจจับเรดาร์ต่อไป

1.3 สมมุติฐานการศึกษา

สามารถเข้าใจถึงทฤษฎีรวมถึงการทำงานของระบบส่งสัญญาณเรดาร์ ทำการผลิตสัญญาณพัลส์ เพื่อใช้ในฟังก์ชันการทำงานต่อไป โดยการเขียนโปรแกรม FPGA ด้วยภาษาเวอรืลล็อก

1.4 ขอบเขตของการศึกษา

จากการทำการศึกษาทดลอง จะสามารถสรุประยะเวลาการดำเนินงานได้ ดังนี้

ช่วงเวลา (เดือน/ปี)	ม.ค.	ก.พ.	มี.ค.	เม.ย.
	2560	2560	2560	2560
หัวข้อการปฏิบัติงาน				
1. ทำการโปรแกรมลงในบอร์ดพัฒนาตัวใหม่		←→		
2. ทำการศึกษาและพัฒนา เพื่อการผลิตสัญญาณในควมถี่ที่ต้องการ	←			→

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อการปฏิบัติงาน ช่วงเวลา (เดือน/ปี)	ม.ค. 2560	ก.พ. 2560	มี.ค. 2560	เม.ย. 2560
	3. ทำการปรับปรุงแก้ไขปัญหา ต่างๆ			←————→
4. ดำเนินงานด้านเอกสารต่างๆ	←————→			————→



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

2.1 นิยามของเรดาร์

Radio Detection And Ranging (RADAR) หรือในภาษาไทย คือ “เรดาร์” เป็นเครื่องมือทางอิเล็กทรอนิกส์ที่ใช้สัญญาณคลื่นแม่เหล็กไฟฟ้าในย่านความถี่วิทยุ (Radio Frequency) ในการตรวจจับเป้าหมายและคำนวณระยะห่าง ตำแหน่งของเป้าหมายนั้นได้



รูปที่ 2.1 ตัวอย่างเรดาร์ตรวจจับอากาศยาน

ที่มา: <https://en.wikipedia.org/wiki/Radar#/media/File:Radar-hatzerim-1-1.jpg>

2.2 หลักการทำงานของระบบเรดาร์พื้นฐาน

การทำงานของระบบเรดาร์พื้นฐานจะประกอบไปด้วยองค์ประกอบหลัก 4 ส่วน คือ ระบบส่งสัญญาณ (Transmitter), ระบบรับสัญญาณ (Receiver), เสาอากาศ (Antenna) และการป้อนสัญญาณกระตุ้นการทำงาน (Master Timer) เริ่มที่ระบบส่งสัญญาณ จะส่งสัญญาณ คลื่นแม่เหล็กไฟฟ้า (Electromagnetic energy) ไปที่เสาอากาศโดยใช้การสะท้อนของคลื่นวิทยุที่ส่งออกไปหาเป้าหมายนั้นๆ สำหรับการหาระยะทางของเป้าหมายโดยทั่วไปแล้ว จะให้การส่งคลื่นลักษณะเป็นสัญญาณพัลส์ (Pulse Signal) ผ่านทางเสาอากาศ (Antenna) เมื่อสัญญาณส่งกระทบกับเป้าหมายแล้วจะสะท้อนพลังงานส่วนหนึ่งกลับมาที่ระบบเรดาร์ สัญญาณที่สะท้อนกลับ (Echo Signal) นี้ จะถูกรวบรวมโดยเสาอากาศและนำสัญญาณเข้าไปสู่ภาครับของเรดาร์ (Receiver) แล้วอาศัยการประมวลสัญญาณ (Signal Processing) จะทำให้สามารถทราบคุณสมบัติบางประการของเป้าหมาย ได้แก่ รูปร่าง ขนาด ความเร็ว ระดับความสูง ระยะและทิศทาง เป็นต้น เรดาร์จึงถูกนำไปใช้ประโยชน์ในการควบคุมการจราจรทางอากาศ การตรวจจับ การค้นหา และการติดตามเป้าหมายที่อยู่ในตำแหน่งระยะไกลๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

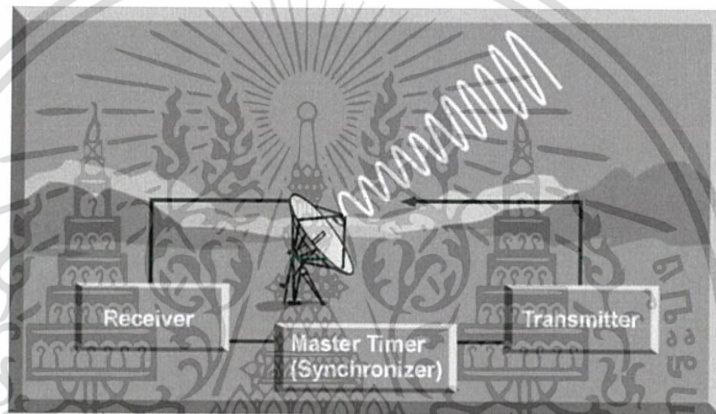
ระบบเรดาร์พื้นฐานสามารถแบ่งออกตามลักษณะการทำงานได้ 4 แบบ ด้วยกัน คือ

1. เรดาร์แบบโมนอสแตติก (Monostatic Radar) คือ เรดาร์ที่มีทั้งเครื่องส่งและเครื่องรับรวมอยู่ด้วยกันใช้สำหรับหาระยะทางของเป้าหมาย

2. เรดาร์แบบไบสแตติก (Bi-static Radar) คือ เรดาร์ที่เครื่องส่งและเครื่องรับถูกแยกออกให้อยู่ต่างสถานที่กันใช้สำหรับหาระยะทางของเป้าหมาย เช่นเดียวกับเรดาร์แบบโมนอสแตติก

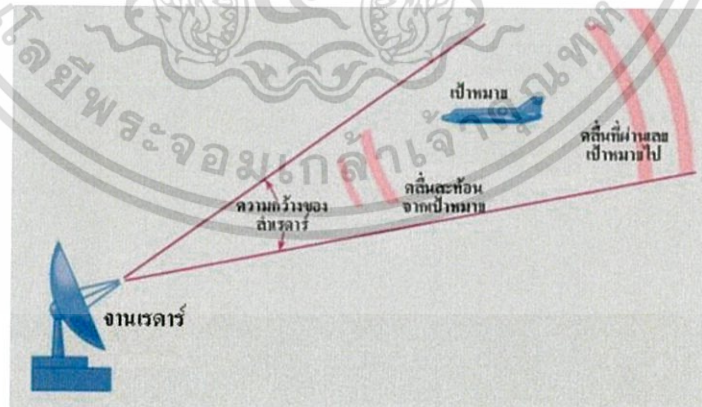
3. เรดาร์พัลส์ (Pulsed Radar) คือ ระบบเรดาร์ที่ส่งสัญญาณเป็นช่วงคาบเวลาสั้นๆ หรือสัญญาณพัลส์ออกไปในชั้นบรรยากาศแล้วรับสัญญาณที่สะท้อนจากเป้าหมายกลับมาประมวลสัญญาณเปรียบเทียบกับสัญญาณที่ส่งออกไปจะทำให้สามารถทราบระยะทางของเป้าหมายที่อยู่ห่างจากสถานีเรดาร์ได้

4. เรดาร์แบบสัญญาณต่อเนื่อง (Continuous Wave Radar) คือ ระบบเรดาร์ที่มีลักษณะการทำงานคล้ายคลึงกับเรดาร์พัลส์ แต่สัญญาณที่ส่งออกไปจะเป็นสัญญาณที่มีคาบเวลาอย่างต่อเนื่อง



รูปที่ 2.2 แผนภาพของระบบเรดาร์พื้นฐาน

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS



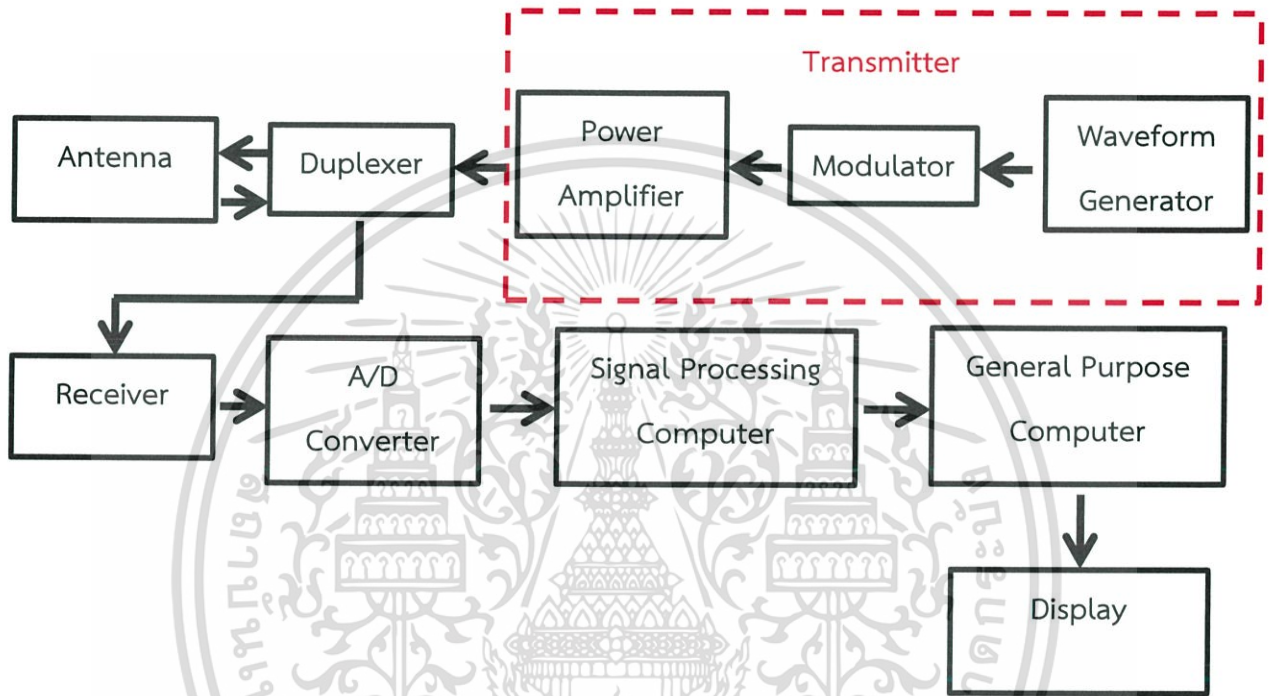
รูปที่ 2.3 ระบบเรดาร์พื้นฐาน

ที่มา: https://wiki.stjohn.ac.th/groups/poly_electronics/wiki/f0de8/8.html

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ระบบการทำงานของเรดาร์พัลส์ (Pulse Radar System)

เป็นระบบการทำงานของเรดาร์แบบพัลส์ซึ่งเป็นพื้นฐานของระบบการทำงานของเรดาร์ทั่วไป สิ่งที่มีผลเมื่อระบบเรดาร์ส่งสัญญาณ คือ ความถี่สัญญาณพัลส์ (Pulse Repetition Frequency; PRF) สามารถคำนวณหาตำแหน่งของเป้าหมาย คือ ระยะ (Range) และมุมอาซิมุท (Azimuth) ซึ่งระยะ คือ ความไกลที่ส่งสัญญาณออกไปแล้วสะท้อนกลับมา หมายถึงระยะระหว่างเสาอากาศของระบบกับเป้าหมายทั้งไปและกลับ ส่วนมุมอาซิมุทเป็นการบอกตำแหน่งของเป้าหมาย หมายความว่าทิศทางการจับเป้าหมายของเสาอากาศ



รูปที่ 2.4 แผนภาพการทำงานของระบบเรดาร์ในปัจจุบัน

ระบบเรดาร์ในปัจจุบัน จะแบ่งการทำงานออกเป็น 8 ส่วน ตามแผนภาพรูปที่ 2.4 ประกอบด้วย

1. ระบบส่งสัญญาณ (Transmitter) จะประกอบด้วย 3 ส่วน คือ ตัวผลิตสัญญาณ (Pulse Waveform Generator) ตัวมอดูเลเตอร์ (Modulator) ตัวขยายสัญญาณ (Power Amplifier)
2. ตัวสวิตซ์ดูเพล็กซ์เซอร์ (Duplexer)
3. เสาอากาศ (Antenna)
4. ระบบรับสัญญาณ (Receiver)
5. วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล (A/D Converter)
6. ระบบคอมพิวเตอร์ปรับปรุงสัญญาณ (Signal Processing Computer)
7. ระบบคอมพิวเตอร์คำนวณข้อมูลที่ต้องการ (General purpose computer)
8. ส่วนแสดงผล (Display)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

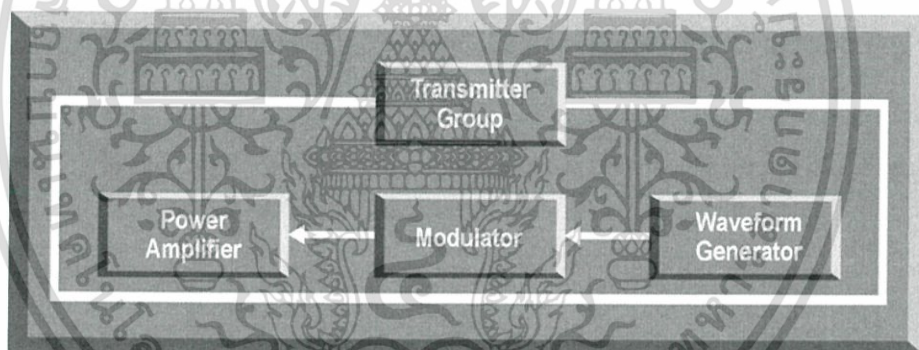
ทุกส่วนการทำงานจะถูกควบคุมจังหวะการทำงานด้วยการควบคุมการสั่งการจากโปรแกรมในคอมพิวเตอร์

โครงการในปีการศึกษานี้จะเป็นการผลิตสัญญาณพัลส์ซึ่งอยู่ในส่วนขั้นตอนของตัวผลิตสัญญาณ (Pulse Waveform Generator) ซึ่งเป็นส่วนหนึ่งของระบบส่งสัญญาณ (Transmitter) ต่อไปนี้จะเป็นการอธิบายถึงรายละเอียดของส่วนหลักที่เกี่ยวข้องกับขอบเขตในการทำโครงการ

2.3.1 ระบบส่งสัญญาณ (Transmitter)

จุดประสงค์ของระบบนี้ คือ ทำการผลิตและส่งสัญญาณคลื่นแม่เหล็กไฟฟ้าไปที่เสาอากาศเพื่อส่งสัญญาณออกสู่บรรยากาศสำหรับตรวจจับเป้าหมาย ในระบบนี้จะประกอบไปด้วย ตัวผลิตสัญญาณ (Waveform Generator) หรือในที่นี้เป็นการผลิตสัญญาณพัลส์ (Pulse Generator) ตัวมอดูเลเตอร์ (Modulator) และตัวขยายสัญญาณ (Power Amplifier) อธิบายได้ดังนี้

1. ตัวผลิตสัญญาณ (Waveform Generator) จะทำการผลิตสัญญาณในรูปแบบต่างๆ ในที่นี้เป็นรูปแบบสัญญาณพัลส์โดยจะผลิตในระดับกำลังงานต่ำก่อน เนื่องจากจะสามารถผลิตรูปแบบสัญญาณที่ซับซ้อนได้ง่ายกว่าที่กำลังงานต่ำ โดยในระบบเรดาร์ในปัจจุบันจะทำการรวมส่วนมอดูเลเตอร์ (modulator) เข้าไปด้วยเนื่องจากในปัจจุบันสามารถใช้ส่วนของโปรแกรมคอมพิวเตอร์ในการทำได้แล้ว ในโครงการนี้จะกล่าวถึงการผลิตสัญญาณพัลส์โดยการใช้ FPGA ซึ่งจะกล่าวถึงต่อไป



รูปที่ 2.5 Transmitter block diagram

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

2. มอดูเลเตอร์ (Modulator) เป็นส่วนหลักในระบบส่งสัญญาณ ซึ่งผลิตสัญญาณที่ได้รับการมอดูเลตแล้วเป็นลักษณะสัญญาณพัลส์ไปยังตัวขยายสัญญาณ (Amplifier) เพื่อเพิ่มกำลังสำหรับส่งออกในการตรวจจับเป้าหมายต่อไป การมอดูเลชัน (Modulation) สัญญาณเป็นขั้นตอนที่สำคัญทำให้สามารถส่งสัญญาณออกสู่บรรยากาศได้เท่านั้น ในตัวมอดูเลเตอร์จะมีอุปกรณ์เก็บพลังงานและสวิตช์

3. ตัวขยายสัญญาณ (Power Amplifier) เป็นอุปกรณ์ที่เพิ่มกำลังงานของสัญญาณที่จะส่งออกไป โดยส่วนใหญ่แล้วในระบบเรดาร์จะใช้อุปกรณ์ที่เรียกว่า “Klystron” ในการขยายสัญญาณเพื่อส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 ตัวดูเพล็กซ์เซอร์ (Duplexer)

จะเป็นอุปกรณ์ที่เป็นสวิตช์ปรับเปลี่ยนตามโหมดการนำสัญญาณของท่อนำสัญญาณที่เชื่อมต่อกับเสาอากาศในการรับ-ส่งสัญญาณ เนื่องจากโดยทั่วไปแล้วระบบเรดาร์จะมีเสาอากาศเดียว ซึ่งใช้งานร่วมกันทั้งภาครับ (Receiver: Rx) และภาคส่ง (Transmitter: Tx) ดังนั้นพลังงานจะต้องถูกนำไปในอุปกรณ์ในส่วนต่างๆ อย่างถูกต้องในระหว่างการรับและการส่งสัญญาณที่เกิดขึ้นสลับกัน ด้วยเหตุผลสำคัญ คือ ทั้งภาครับและภาคส่งของระบบเรดาร์ใช้เสาอากาศร่วมกัน ในขณะที่ภาคส่งทำงานกับคลื่นเรดาร์ที่พลังงานสูงมากอยู่ในระดับกิโลวัตต์ (Kilowatt: kW) หรือ เมกะวัตต์ (Megawatt: MW) หากถูกนำหรือรั่วเข้าไปในภาครับที่มีความไวต่อสัญญาณซึ่งทำงานกับคลื่นที่มีพลังงานในระดับต่ำ (Microwatt: μW) จะทำให้เกิดความเสียหายแก่ภาครับได้



รูปที่ 2.6 Klystron

ที่มา : <https://th.wikipedia.org/wiki/Klystron#/media/File:Klystron.jpg>

2.3.3 ระบบการควบคุมการทำงาน (Master Time)

เป็นส่วนประกอบที่สร้างห้วงสัญญาณ (Timing Pulse) ให้กับส่วนอื่นๆ ของเรดาร์ เป็นส่วนที่ควบคุมจำนวนของสัญญาณพัลส์ที่จะถูกส่งออกไปในทุกๆ วินาที ทั้งนี้ยังเป็นตัวกำหนดอัตราการรับในภาครับให้สอดคล้องกับอัตราของสัญญาณพัลส์ที่ถูกส่งออกไป รวมทั้งเป็นตัวกำหนดเวลาในการแสดงบนหน้าจอในการสแกนในแต่ละสัญญาณที่ส่ง สรุปแล้วระบบนี้เป็นส่วนที่กำหนดจังหวะ (Synchronizer) ห้วงเวลาของระบบเรดาร์ทั้งหมด ในปัจจุบันการทำงานของระบบนี้จะใช้การควบคุมผ่านการโปรแกรมคอมพิวเตอร์ของส่วนประกอบในระบบทั้งหมด

2.3.4 ระบบรับสัญญาณ (Receiver)

ระบบรับสัญญาณ (Receiver) ของเรดาร์ จะทำงานในลักษณะซูเปอร์เฮเทอโรไดน์ (Super-heterodyne Receiver) จะทำหน้าที่ขยายสัญญาณเรดาร์ที่สะท้อนกลับมาให้มีพลังงานและความชัดเจนมากยิ่งขึ้นและใช้อุปกรณ์ผสมสัญญาณคลื่นเรดาร์ (Return RF Signal) ที่ได้รับเข้ากับสัญญาณที่ได้จากโลคัลออสซิลเลเตอร์ (Local Oscillator) เพื่อให้ได้เป็นสัญญาณของเป้าหมายเบื้องต้นเรียกว่า “สัญญาณความถี่เอกซาร์นี่เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

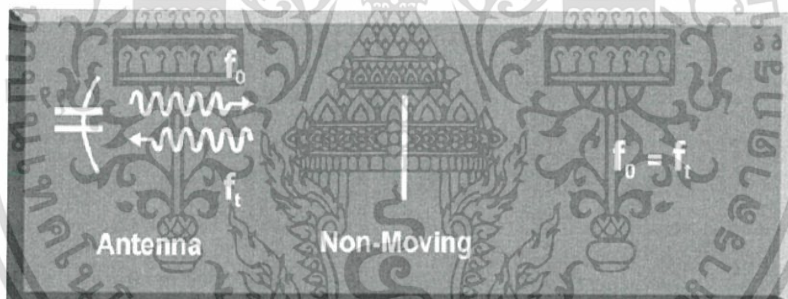
เริ่มต้น” (Intermediate Frequency; IF) และนำสัญญาณดังกล่าวไปขยายเพื่อส่งไปแปลความในอุปกรณ์ตรวจจับ (Detector) ซึ่งอยู่ในระบบคอมพิวเตอร์คำนวณข้อมูลที่ต้องการ (General Purpose Computer) เพื่อให้ได้เป็นสัญญาณภาพ (Video Signal) นำไปแสดงบนจอภาพ (Display)

2.4 ปรากฏการณ์ดอปเปลอร์ (Doppler Effect)

เป็นปรากฏการณ์ที่มีผลต่อการทำงานของระบบเรดาร์ ปรากฏการณ์นี้บางครั้งเรียกว่า “การเลื่อนแบบดอปเปลอร์” (Doppler Shift) เป็นปรากฏการณ์ทางวิทยาศาสตร์อย่างหนึ่งเกี่ยวกับการเปลี่ยนแปลงความถี่ของคลื่นและความยาวคลื่นในมุมมองของผู้สังเกตเมื่อมีการเคลื่อนที่ที่สัมพันธ์กับแหล่งกำเนิดคลื่นนั้น สำหรับเรดาร์ที่ส่งออกสัญญาณคลื่นแม่เหล็กไฟฟ้าแล้วสะท้อนกลับมาจากเป้าหมายจะมีความถี่สัญญาณที่เปลี่ยนแปลงหรือเลื่อน (Shifted) ไปจากเดิมโดยขึ้นกับการเคลื่อนที่หรือเคลื่อนไหวของเป้าหมายด้วยโดยจะมีหลายกรณี ดังนี้

1. เมื่อเป้าหมายหยุดนิ่ง

ขณะที่เป้าหมายหยุดอยู่กับที่ ความถี่ของสัญญาณคลื่นแม่เหล็กไฟฟ้าที่ส่งออกไปจากเสาอากาศจะมีค่าเท่ากับความถี่ของสัญญาณเมื่อสะท้อนกลับมายังเสาอากาศของระบบเรดาร์ เรียกว่า “ซีโร่ดอปเปลอร์” (Zero Doppler)



รูปที่ 2.7 Zero Doppler Effect

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

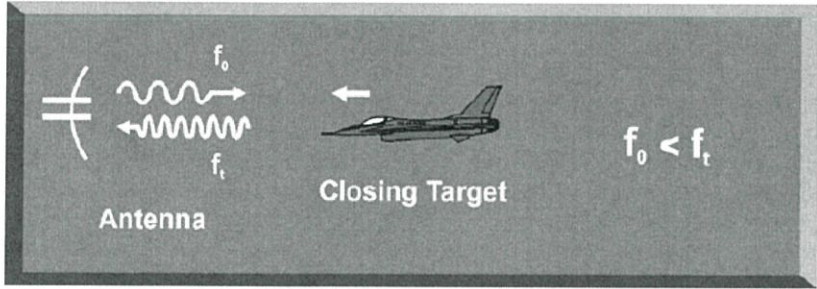
2. เมื่อเป้าหมายเคลื่อนที่เข้าหาเสาอากาศ

ในกรณีที่เป้าหมายเคลื่อนที่เข้าหาเสาอากาศ ความถี่ของสัญญาณคลื่นแม่เหล็กไฟฟ้าที่ส่งออกไปจากเสาอากาศจะมีค่าน้อยกว่าความถี่ของสัญญาณเมื่อสะท้อนกลับมายังเสาอากาศของระบบเรดาร์

3. เมื่อเป้าหมายเคลื่อนที่ออกจากเสาอากาศ

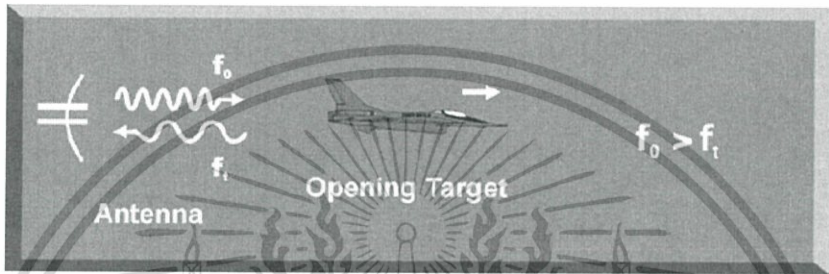
ในกรณีที่เป้าหมายเคลื่อนที่ออกจากเสาอากาศ ความถี่ของสัญญาณคลื่นแม่เหล็กไฟฟ้าที่ส่งออกไปจากเสาอากาศจะมีค่าสูงกว่าความถี่ของสัญญาณเมื่อสะท้อนกลับมายังเสาอากาศของระบบเรดาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 Doppler Effect – Closing Target

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

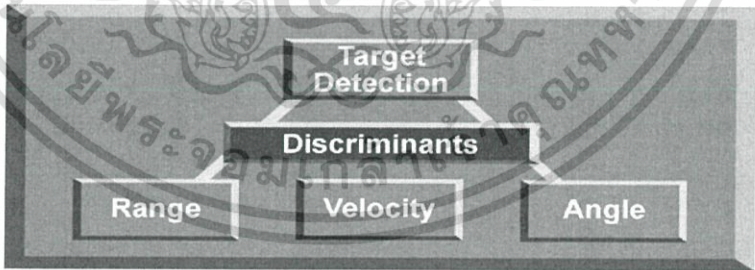


รูปที่ 2.9 Doppler Effect – Opening Target

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

2.5 ข้อมูลที่ระบุเป้าหมายของเรดาร์ (Target Discriminants)

ระบบเรดาร์จะสามารถระบุข้อมูลของเป้าหมายได้มากกว่าที่ตามนุษย์สามารถเห็นได้ ซึ่งสามารถระบุข้อมูล ได้แก่ ระยะ (Range), ความเร็ว (Velocity) และมุม (Angle)



รูปที่ 2.10 แผนภาพข้อมูล Target Discriminants

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

2.5.1 ระยะ (Range)

เราทราบว่าพลังงานคลื่นแม่เหล็กไฟฟ้าเดินทางด้วยความเร็วแสง 3×10^8 เมตรต่อวินาทีและเวลาที่วัดได้จะเป็นเวลาที่คลื่นจะเดินทางไปและกลับ ตามหลักการสะท้อนสัญญาณ (Echo) ซึ่งเป็นหลักการที่ระบบเรดาร์ใช้ในการส่งสัญญาณ จะได้สมการคำนวณระยะทางดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

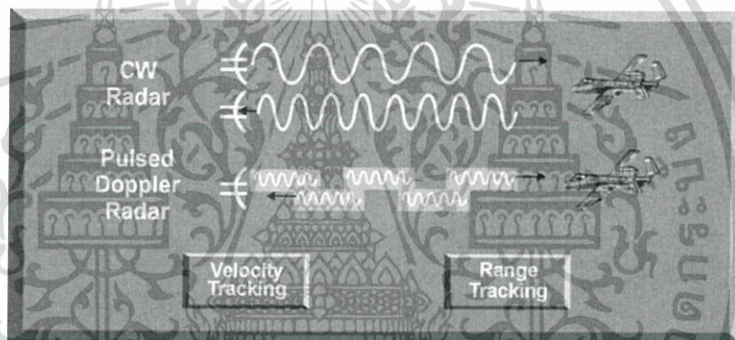
$$Range = \frac{time}{2} \times 3 \times 10^8 \quad (2.1)$$

2.5.2 ความเร็ว (Velocity)

ในการส่งสัญญาณของระบบเรดาร์เป็นคลื่นต่อเนื่อง (Continuous Wave; CW) ที่ค่าความถี่หนึ่งแต่สัญญาณที่ได้รับกลับมานั้นจะมีค่าความถี่ที่เปลี่ยนไปหรืออาจเกิดการเลื่อนความถี่ (Shift) เราเรียกรวมการเลื่อนความถี่ เกิดจากปรากฏการณ์ดอปเปลอร์ (Doppler Effect) ซึ่งจะความต่างกันเหล่านี้ส่งผลต่อความเร็วเป้าหมายที่วัดได้ ในขณะที่ถ้าใช้เป็นระบบเรดาร์แบบ Pulsed Doppler Radar จะสามารถรับผลที่เกิดจากปรากฏการณ์ดอปเปลอร์นี้ได้

2.5.3. มุม (Angle)

ในการตรวจจับเป้าหมาย เสาอากาศ (Antenna) จะต้องทำมุมชี้ไปที่เป้าหมายในขณะที่ส่งและรับสัญญาณที่สะท้อนกลับมาจากเป้าหมาย ความสามารถของระบบเรดาร์สามารถคำนวณมุมได้โดยอาศัยคุณสมบัติในการรับสัญญาณของเสาอากาศที่ใช้ในระบบ



รูปที่ 2.11 Velocity Discriminants

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS



รูปที่ 2.12 Angle Discriminants

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

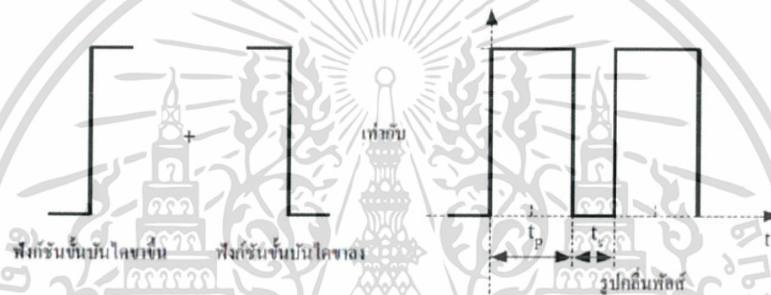
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 สัญญาณพัลส์ (Pulse Signal)

สัญญาณพัลส์ คือ สัญญาณรูปคลื่นสี่เหลี่ยม (Rectangular wave) ที่เกิดจากการรวมของฟังก์ชันขั้นบันได (Step-function) ขาขึ้นกับขาลงโดยช่วงเวลาที่ปรากฏคลื่นและช่วงเวลาที่ไม่มีปรากฏคลื่น จะมีค่าไม่เท่ากัน

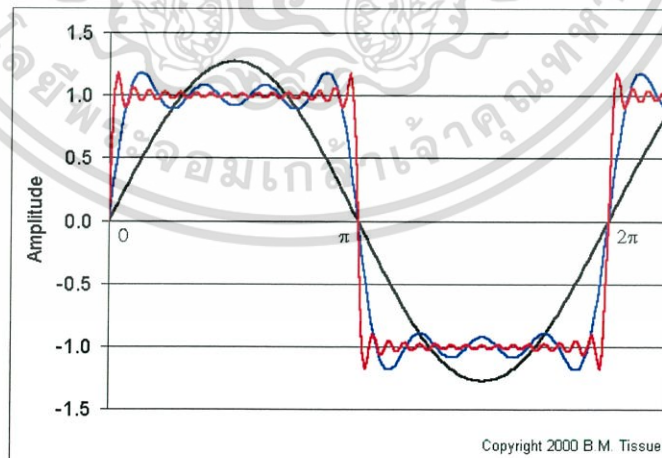
เมื่อทำการพิจารณาโดยการแปลงฟูริเยร์ (Fourier Transformation) ซึ่งเป็นวิธีการพิจารณาวิเคราะห์เกี่ยวกับสัญญาณด้วยวิธีทางคณิตศาสตร์ โดยทำการพิจารณาถึงองค์ประกอบของสัญญาณที่เป็นฟังก์ชันสัญญาณพื้นฐาน คือ ฟังก์ชันสัญญาณไซน์ (Sine) และฟังก์ชันสัญญาณโคไซน์ (Cosine) ที่ค่าความถี่ขนาดหรือเฟส ที่แตกต่างกันรวมกันเป็นรูปแบบของสัญญาณชนิดต่างๆ

สำหรับสัญญาณพัลส์เมื่อผ่านกระบวนการแปลงฟูริเยร์แล้วสามารถเห็นได้ว่าเกิดจากการรวมกันของสัญญาณไซน์ในฮาร์มอนิกคือ



รูปที่ 2.13 ตัวอย่างรูปคลื่นสัญญาณพัลส์

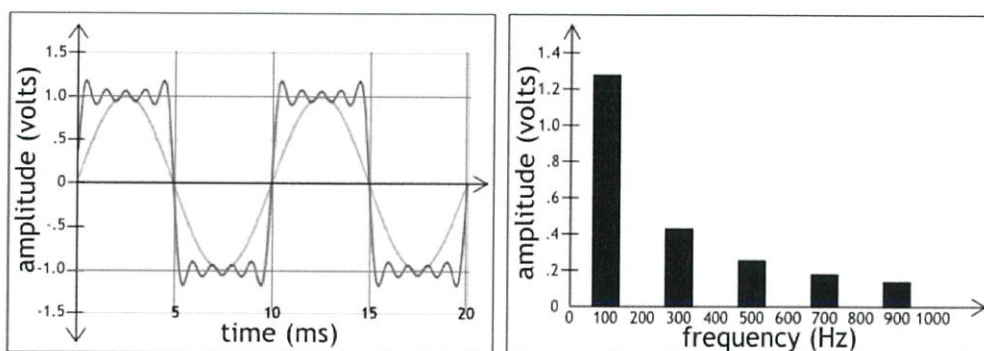
ที่มา : <https://sites.google.com/site/wichaphalsthekhni310520022/classroom-pictures/bth-thi1>



รูปที่ 2.14 องค์ประกอบของสัญญาณพัลส์ ซึ่งเป็นไซน์ที่หลายความถี่ประกอบรวมกัน

ที่มา: <http://dsp.stackexchange.com/questions/24430/generate-fourier-transform-signal>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 ตัวอย่างสัญญาณพัลส์เมื่อทำการแตกองค์ประกอบทางความถี่ออกมา

ที่มา: <https://recordingology.com/in-the-studio/distortion/square-wave-calculations/>

นอกจากนี้คุณสมบัตินี้ต้องคำนึงถึงของสัญญาณพัลส์ เพื่อการออกแบบระบบการทำงานต่างๆของเรดาร์ ประกอบด้วยดังนี้

2.6.1 Pulse Width (PW)

เป็นเวลาที่ระบบส่งพลังงานของสัญญาณพัลส์ออกมา คือ ช่วงเวลาการส่งคลื่นเพื่อการตรวจจับออกมา มีหน่วยเป็นวินาที มีผลต่อระยะเวลาในการตรวจจับเป้าหมายและมีผลกระทบต่อการแยกแยะระหว่างเป้าหมายซึ่งต้องมีระยะห่างกว่าความกว้างของพัลส์วิดิธ จึงจะแยกแยะเป้าหมายได้ออก

2.6.2 Pulse Recurrence Time (PRT)

เป็นคาบเวลาของสัญญาณที่ส่งออกมาจากระบบ ก็คือเป็นเวลาที่ใช้ส่งสัญญาณพัลส์ออกมาครบ 1 ลูก มีผลกระทบต่อระยะเวลาในการจับเป้าหมายของเรดาร์ มีหน่วยเป็นวินาที

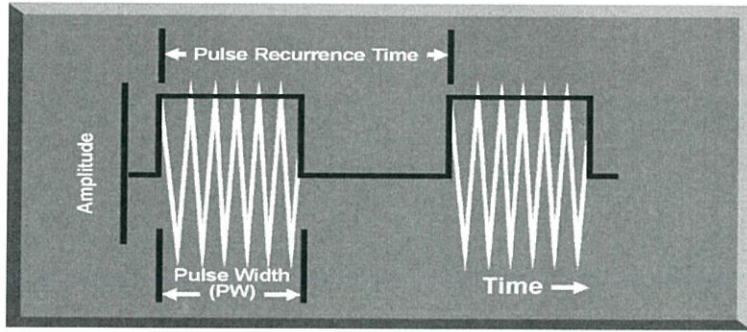
2.6.3 Pulse Repetition Frequency (PRF)

คุณสมบัตินี้จะบอกอัตราการส่งสัญญาณพัลส์ของระบบเรดาร์ เป็นความถี่ของสัญญาณพัลส์ มีหน่วยเป็นเฮิรตซ์ (Hz) คุณสมบัตินี้จะเป็นส่วนกลับของ Pulse Repetition Time (PRT) โดยมีข้อควรระวังว่า PRF นี้เป็นความถี่ของสัญญาณคลื่นแม่เหล็กไฟฟ้าที่ระบบเรดาร์ทำการส่งออกไป ไม่ใช่ความถี่ในการทำงานของระบบเรดาร์

ในการส่งสัญญาณออกไปของระบบเรดาร์นั้นจะส่งในอัตรา PRF นี้ซึ่งเป็นสิ่งสำคัญมาก เนื่องจากจะมีผลต่อความละเอียดในการตรวจจับเป้าหมายของเรดาร์ เพราะฉะนั้นในการออกแบบระบบในการส่งสัญญาณออกไปจึงต้องคำนึงถึงค่าที่เหมาะสมสำหรับคุณสมบัตินี้ด้วย โดยการส่งสัญญาณออกไปจะมีการส่งหลายแบบซึ่งใช้ PRF เป็นตัวกำหนด ดังนี้

1.แบบ Constant PRF เป็นการส่งสัญญาณด้วยความถี่คงที่ เวลาห่างกันระหว่างพัลส์ที่ส่งออกไปแต่ละลูกจะมีค่าคงที่ คือ มีเวลาห่างกันเท่ากับค่า PRT หรือ PRI เช่น ดังตัวอย่างในรูป 2.17 ที่แสดงว่าพัลส์แต่ละลูกจะมีคาบเวลาเป็น 500 ไมโครวินาที คือมีค่า PRF เท่ากับ 2 กิโลเฮิรตซ์

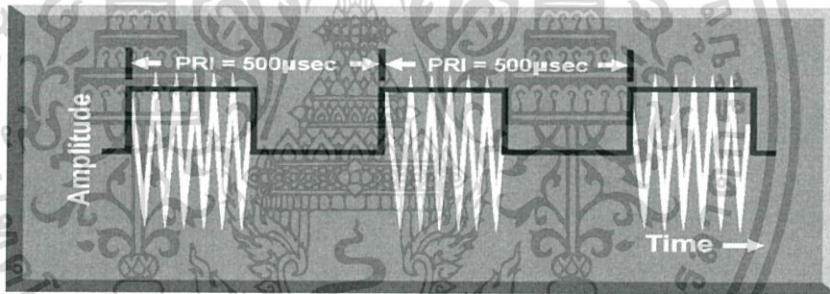
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 Typical Radar Pulsed

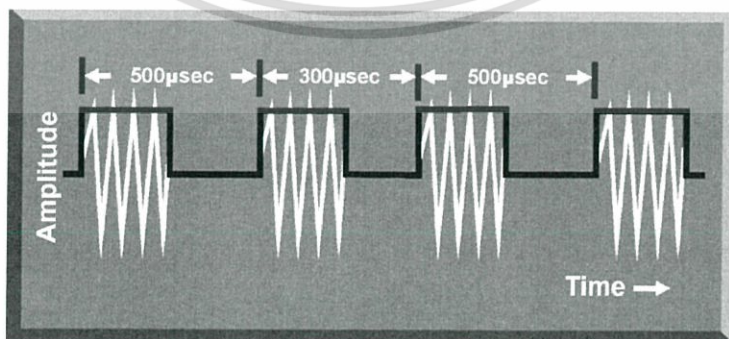
ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

2. แบบ PRF Stagger เป็นการส่งสัญญาณด้วยความถี่สลับกันไปอย่างอนุกรม (Series) ซึ่งเวลาห่างกันของพัลส์ที่ตำแหน่งติดกันจะไม่มีทางเท่ากัน โดยจำนวนความถี่ที่ใช้ส่งในอนุกรมความถี่ สัญญาณจะเรียกว่า “Position of Stagger” การส่งสัญญาณแบบนี้เป็นหนึ่งในเทคนิคการส่งสัญญาณป้องกันการถูกรบกวน (Electronics Protection ; EP) เช่น ในตัวอย่างรูปที่ 2.18 เป็น “Two-position Stagger” มีจำนวนความถี่ในอนุกรมสัญญาณนี้ 2 ความถี่ คือ 2 กิโลเฮิรท์ซ์ (500 μ sec) และ 3.3 กิโลเฮิรท์ซ์ (300 μ sec)



รูปที่ 2.17 Constant PRF Pulsed

ที่มา: หนังสือ Electronics Warfare Fundamentals by ACC TRSS

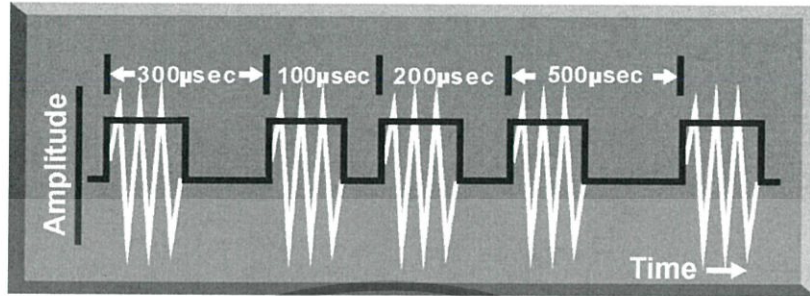


รูปที่ 2.18 PRF Stagger

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. แบบ PRF Jitter เป็นการส่งสัญญาณด้วยความถี่แบบสุ่ม (Random Stagger) เป็นหนึ่งในเทคนิคการส่งสัญญาณป้องกันการถูกรบกวน (Electronic Protection; EP) ซึ่งในการส่งสัญญาณแบบนี้จะไม่มีรูปแบบในการส่งที่มีค่าความถี่ที่แน่นอน เช่น ตัวอย่างในรูปที่ 2.19 นี้



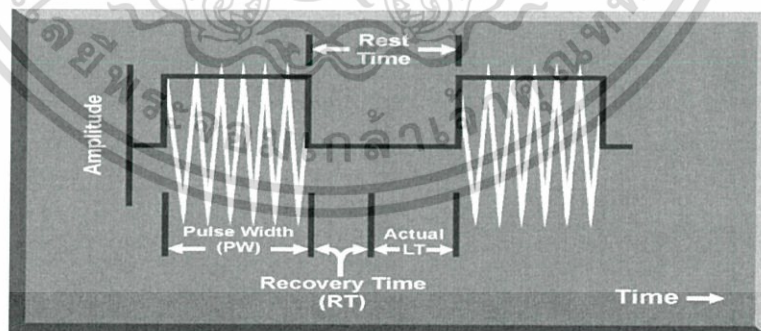
รูปที่ 2.19 PRF Jitter

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

2.6.4 ช่วงการทำงานของสัญญาณพัลส์ ในระบบเรดาร์

1. Rest Time เป็นช่วงเวลาที่ไม่มีปรากฏกำลังงานของพัลส์ เกิดขึ้นในช่วงคาบเวลาของสัญญาณพัลส์ที่ส่งออกไป เป็นช่วงที่ระบบส่งสัญญาณจะไม่ทำงานในขณะเดียวกันจะเป็นช่วงการรับสัญญาณที่สะท้อนกลับมาจากเป้าหมาย มีปริมาณอยู่ในหลักไมโครวินาที

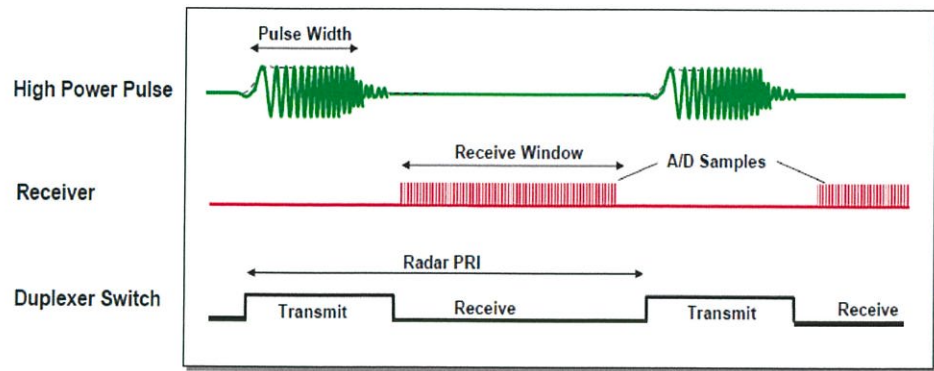
2. Recovery Time เป็นเวลาที่ระบบส่งสัญญาณได้เริ่มหยุดทำงานแต่ในขณะเดียวกันระบบรับสัญญาณก็จะยังไม่รับสัญญาณ เช่นเดียวกัน ยังไม่สามารถรับสัญญาณได้ Recovery Time มีเพื่อให้อุปกรณ์ที่เป็นสวิตซ์ในท่อนำสัญญาณเชื่อมต่อไปยังเสาอากาศที่เรียกว่า “Duplexer” เกิดการเปลี่ยนโหมดการทำงานเพื่อการรับสัญญาณก่อน



รูปที่ 2.20 สัญญาณพัลส์

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

3. Listening Time เป็นช่วงเวลาที่ระบบรับสัญญาณสามารถรับสัญญาณจากการสะท้อนกลับมาจากเป้าหมาย เริ่มวัดตั้งแต่สิ้นสุดเวลา Recovery Time จนถึงเริ่มสัญญาณพัลส์ลูกต่อไป มีปริมาณอยู่ในหลักไมโครวินาที เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 Timeline ของการทำงานของระบบรับและส่งสัญญาณ

ที่มา: Radar Systems Engineering Lecture 17 Transmitters & Receivers โดย Dr. Robert M. O'Donnell

จากรูปที่ 2.21 เป็นการอธิบายเวลาในการทำงานของระบบรับ(Receiver) และระบบส่งสัญญาณ (Transmitter) จะเห็นได้ว่าในช่วง Pulse Width จะเป็นเวลาส่งสัญญาณของระบบส่งสัญญาณและในช่วง Rest Time จะเป็นช่วงเวลารับสัญญาณจากการสะท้อนมาจากเป้าหมายของระบบรับสัญญาณ

2.6.5 Duty Cycle

เป็นอัตราส่วนของเวลาที่ระบบส่ง (Transmitter) ทำการส่งสัญญาณกับเวลาคาบของ สัญญาณ 1 ลูก ในระบบเรดาร์นี้จะแสดงได้ว่าเป็นอัตราส่วนระหว่างค่า Pulse Width (PW) กับ Pulsed Repetition Time (PRT) หรือเป็นผลคูณระหว่างค่า Pulse Width (PW) กับ Pulse Repetition Frequency (PRF) ดังแสดงในสมการ 2.2

$$Duty\ cycle = \frac{PW}{PRT} = PW \times PRF \quad (2.2)$$

2.6.6 กำลังงานสูงสุด (Peak Power)

กำลังงานที่เอาท์พุทของระบบเรดาร์ส่วนมากจะมาจากค่ากำลังงานสูงสุด (Peak Power) และกำลังงานเฉลี่ย (Average Power) ซึ่งจะอธิบายในรายละเอียดต่อไป ค่ากำลังงานสูงสุดคือแอมพลิจูดของสัญญาณพัลส์แต่ละลูกบอกถึงค่ากำลังงานของพัลส์ ซึ่งมีปริมาณอยู่ในหน่วยเมกะวัตต์ นอกจากนี้ยังเป็นการบอกถึงกำลังงานที่จ่ายออกไประหว่างที่ระบบส่งกำลังทำงาน นอกจากนี้กำลังงานในการส่งของเรดาร์จะนำมาใช้ในการคำนวณระยะสูงสุดในการ ตรวจจับเป้าหมายของเรดาร์ กำลังงานในการส่งสัญญาณพัลส์เรดาร์จะมีค่าเท่ากับกำลังงานสูงสุดคูณกับเวลาในการส่ง สัญญาณของระบบส่งสัญญาณของเรดาร์หรือ Pulse Width (PW)

$$Energy / Pulse = Peak\ power \times PW \quad (2.3)$$

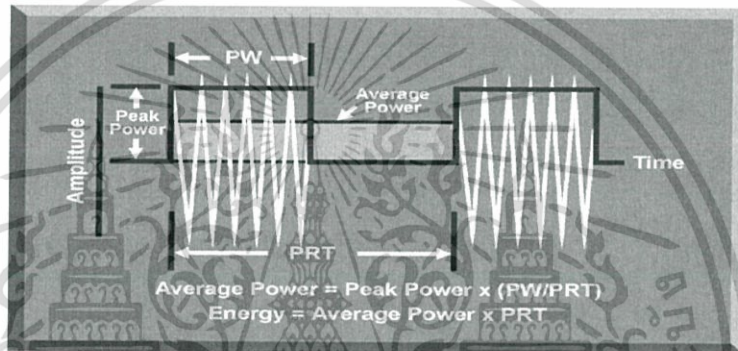
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.7 กำลังงานเฉลี่ย (Average Power)

เป็นการคิดกำลังงานทั้งหมดในช่วงระยะเวลาหนึ่งต่อช่วงเวลานั้นๆ พลังงานที่ส่งออกไปจะมีค่าเท่ากับกำลังงานเฉลี่ยคูณด้วยค่า Pulse Repetition Time (PRT) โดยกำลังงานเฉลี่ยหรือพลังงานที่ส่งออกไปสัญญาณในเรดาร์นี้จะสามารถนำไปคำนวณหาระยะในการตรวจจับเป้าหมายของ เรดาร์ได้ดีกว่าจากกำลังงานสูงสุด ค่ากำลังงานเฉลี่ยนี้จะสามารถเพิ่มขึ้นได้โดยการเพิ่มค่า Pulse Repetition Frequency (PRF) หรือเพิ่มค่า Pulse Width (PW) และค่ากำลังงานสูงสุด

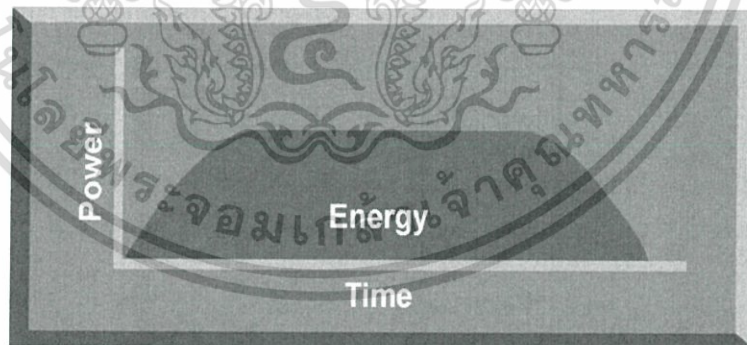
$$\text{Average Power} = \text{Peak Power} \times \frac{PW}{PRT} \quad (2.4)$$

$$\text{Energy} = \text{Average Power} \times PRT \quad (2.5)$$



รูปที่ 2.22 Peak Power and Average Power

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS



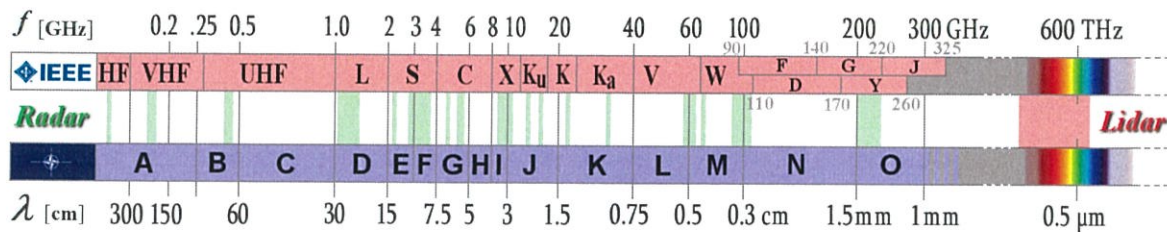
รูปที่ 2.23 Peak Power and Average Power

ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

2.7 แลบทความถี่การใช้งานเรดาร์ (Radar Frequency Application)

จากข้อมูลในการแบ่งช่วงความถี่การใช้งานเรดาร์ที่ถูกจัดโดยสถาบันวิชาชีพวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ (IEEE) สามารถสรุปได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 แถบความถี่คลื่นที่ถูกใช้งานในระบบเรดาร์

ที่มา : <http://www.radartutorial.eu/07.waves/Waves%20and%20Frequency%20Ranges.en.html>

1. High Frequency Band (HF) ช่วงความถี่การใช้งาน 3 – 30 MHz ใช้งานในการตรวจจับในแนวราบ (Over-the-horizontal Surveillance) และการตรวจมหาสมุทร (Ocean Remote Sensing) หรือที่เรียกว่าเรดาร์สกายเวฟและกราวด์เวฟ (Sky Wave and Ground-wave Radar)

2. Very High Frequency Band (VHF) ช่วงความถี่การใช้งาน 30 – 300 MHz ใช้งานในการตรวจจับบนอากาศในระยะไกล (Very Long Range Air-surveillance) เรดาร์ตรวจพื้น (Ground-Penetrating Radar) เรดาร์ตรวจลม (Wind Profiler)

3. Ultra High Frequency Band (UHF) ช่วงความถี่การใช้งาน 30–1000 MHz ใช้งานในการตรวจจับบนอากาศในระยะไกลมาก (Very Long Range Air-surveillance) เรดาร์เตือนภัยทางอากาศ (Airborne Early-warning Radar)

4. L band ช่วงความถี่การใช้งาน 1-2 GHz ใช้งานในการตรวจจับบนอากาศในระยะไกล (Long Range Air-surveillance) เรดาร์เตือนภัยทางอากาศ (Airborne Early-warning Radar) ซึ่งตรวจจับในระยะสูงสุด 500 กิโลเมตร

5. S band ช่วงความถี่การใช้งาน 2-4 GHz ใช้งานในเรดาร์มัลติฟังก์ชัน (Multi-function Radar) เรดาร์จัดการจราจรทางอากาศ (Terminal Air Traffic Control) เรดาร์ใช้งานทางทหารเรือ (Marine Radar)

6. C band ช่วงความถี่การใช้งาน 4-8 GHz ใช้งานในระบบควบคุมการยิงอาวุธในระยะกลางถึงสั้น (Medium to Short Range Weapon Fire Control)

7. X band ช่วงความถี่การใช้งาน 8-12 GHz ใช้งานในระบบนาร์่องมิสไซล์ (Missile Guidance) เรดาร์ป้องกันการโจมตีจากมิสไซล์ (Missile Defence Radar)

8. Ku band ช่วงความถี่การใช้งาน 12-18 GHz ใช้งานในระบบนาร์่องทางการทหาร (Maritime Navigation Radar)

2.8 อัลตราไวด์แบนด์ (Ultra-wideband ; UWB)

อัลตราไวด์แบนด์ (Ultra-wideband ; UWB) เป็นเทคนิคการส่งคลื่นแม่เหล็กไฟฟ้าซึ่งมีการใช้งานแถบความถี่หรือสเปกตรัมในระดับหลายร้อยเมกะเฮิร์ตซ์ไปจนถึงสิ้นช่วงแถบความถี่ไมโครเวฟ นำมาใช้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ใช้ในการส่งและสะท้อนกับวัตถุกลับมาที่เครื่องรับสำหรับตรวจจับวัตถุในระบบเรดาร์ นำมาประยุกต์ใช้ในการสื่อสารไร้สาย สามารถส่งข้อมูลจำนวนมากได้เนื่องจากมีการใช้งานความถี่ในช่วงกว้างมาก

อัลตราไวด์แบนด์ (Ultra-wideband; UWB) เป็นเทคโนโลยีที่ถูกนำมาใช้ เพื่อการส่งข้อมูลที่มีอัตราการส่งข้อมูลมากและการส่งในระยะสั้น โดยมีหลักการในการส่งสัญญาณในช่วงความถี่สเปกตรัมขนาดกว้างมาก ด้วยกำลังงานต่ำและทนทานต่อการรบกวน เช่น ระบบ WLANs (Wireless Area Networks) และ อุปกรณ์ที่ใช้งานในความถี่ ISM (Industrial, Scientific and Medical Radio Band)

2.8.1 นิยามต่างๆของอัลตราไวด์แบนด์

เทคโนโลยีเกี่ยวกับอัลตราไวด์แบนด์ในการใช้งานด้านต่างๆ สำหรับโครงการนี้นำมาทำเกี่ยวกับระบบเรดาร์ ซึ่งมีการศึกษาพัฒนาอย่างต่อเนื่อง ทำให้นิยามของคำว่า “อัลตราไวด์แบนด์” มีเพิ่มขึ้นหรือเปลี่ยนแปลงไปตามการศึกษาและวิจัยในแต่ละองค์กร

นิยามแบนด์วิดท์ (Bandwidth) มีความแตกต่างกันตามระบบที่ใช้งาน

- ในทางอิเล็กทรอนิกส์คลาสสิก: เป็นความแตกต่างระหว่างจุดที่ความถี่ตกลงมาจากกำลังงานสูงสุด 3dB ในการตอบสนองความถี่ของวงจร
- ในระบบอัลตราไวด์แบนด์ (UWB System): เป็นความแตกต่างระหว่างความถี่ขอบบน (The highest frequency) และความถี่ขอบล่าง (The lowest frequency) ของสัญญาณที่เราสนใจ สำหรับระบบอัลตราไวด์แบนด์ มีค่าคุณสมบัติที่บ่งบอกถึงความเป็นอัลตราไวด์แบนด์ ดังนี้

1. อัตราส่วนแบนด์วิดท์ (Fractional Bandwidth)

$$b_f = 2 \frac{(f_h - f_l)}{(f_h + f_l)} \quad (2.6)$$

เมื่อ f_h เป็นค่าความถี่ขอบบน (The highest frequency), f_l เป็นค่าความถี่ขอบล่าง (The lowest frequency) ของสัญญาณที่เราสนใจ และ b_f เป็นค่าอัตราส่วนแบนด์วิดท์

2. ความถี่กลาง (Center Frequency)

$$f_c = \frac{f_h + f_l}{2} \quad (2.7)$$

เมื่อ f_c เป็นค่าความถี่กลาง

3. อัตราส่วนแบนด์ (Band Ratio)

$$b_r = \frac{f_h}{f_l} \quad (2.8)$$

เมื่อ b_r เป็นค่าอัตราส่วนแบนด์

จากความแตกต่างในการศึกษา วิจัยของแต่ละองค์กร จะให้นิยามอัลตราไวด์แบนด์ เช่น

- สถาบันวิชาชีพวิศวกรไฟฟ้าและอิเล็กทรอนิกส์ (IEEE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัลตราไวด์แบนด์: เป็นส่วนหนึ่งของระบบเรดาร์และการสื่อสารที่ใช้ประโยชน์จากความกว้างของแถบองค์ประกอบความถี่สัญญาณซึ่งมีค่าหลายร้อยเมกะเฮิรตซ์ไปจนถึงสุดที่ขอบความถี่คลื่นย่านไมโครเวฟ โดยมีค่าอัตราส่วนแบนด์วิดธ์ (Fractional bandwidth) ≥ 0.20 ความกว้างแบนด์วิดธ์ $\geq 500\text{MHz}$

- The United States Federal Communication Commission

ระบบรับ-ส่งสัญญาณอัลตราไวด์แบนด์: การถ่ายทอดคลื่นสัญญาณที่เวลาใดๆ มีค่าอัตราส่วนแบนด์วิดธ์ (Fractional bandwidth) มากกว่าหรือเท่ากับ 0.20 หรือมีแบนด์วิดธ์ (UWB Bandwidth) มากกว่าหรือเท่ากับ 500MHz ถ้าหากไม่คำนึงถึงค่าอัตราส่วนแบนด์วิดธ์

สำหรับนิยามของแบนด์วิดธ์อัลตราไวด์แบนด์ (UWB Bandwidth) สำหรับองค์กรนี้ คือ แถบความถี่กำหนดขอบที่ความถี่ที่มีกำลังในองค์ประกอบของสัญญาณมีค่าต่ำกว่าค่ากำลังงานในองค์ประกอบของสัญญาณสูงสุด 10dB

- European Parliament

มีการกล่าวในหัวข้อการใช้อุปกรณ์ที่ใช้เทคโนโลยีอัลตราไวด์แบนด์ ได้กล่าวถึงอัลตราไวด์แบนด์ไว้ว่าเป็นเทคโนโลยีสำหรับการสื่อสารระยะสั้นที่เกี่ยวข้องกับการผลิตและการรับ-ส่งสัญญาณในคลื่นความถี่วิทยุโดยมีความกว้างของแถบความถี่หรือแบนด์วิดธ์มากกว่า 50MHz

นอกจากนี้ยังมีข้อสรุปสำหรับการพิจารณาช่วงความถี่แถบความถี่ของสัญญาณโดยการพิจารณาค่าอัตราส่วนแบนด์วิดธ์ (Fractional Bandwidth) และค่าอัตราส่วนแบนด์ (Band Ratio) ดังตารางที่ 2.1 นี้

ตารางที่ 2.1 ค่าในการพิจารณาช่วงความถี่แบนด์ของสัญญาณ

ช่วงของแบนด์วิดธ์	อัตราส่วนแบนด์วิดธ์ (Fractional bandwidth)	ค่าอัตราส่วนแบนด์ (Band ratio)
Narrowband (NB)	$0.00 \leq b_f \leq 0.01$	$1.00 \leq b_r \leq 1.01$
Wideband (WB)	$0.01 \leq b_f \leq 0.25$	$1.01 \leq b_r \leq 1.29$
Ultra wideband (UWB)	$0.25 \leq b_f \leq 1.50$	$1.29 \leq b_r \leq 7.00$

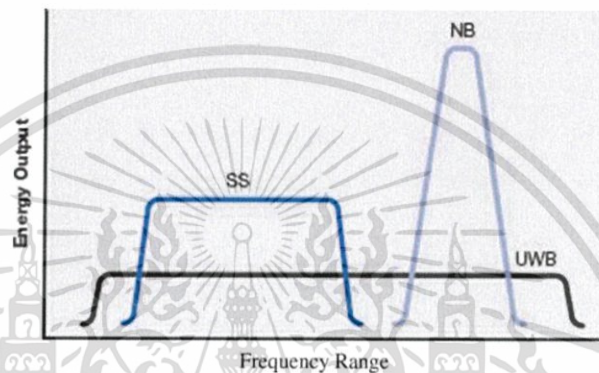
2.8.2 การเปรียบเทียบกับช่วงความถี่แคบ

เมื่อเปรียบเทียบกับคลื่นในช่วงความถี่อัลตราไวด์แบนด์กับในช่วง Narrowband Radio Frequency (RF), Spread Spectrum Technologies (SS) เช่น Bluetooth เป็นต้น จะเห็นได้ว่าในช่วงความถี่อัลตราไวด์แบนด์จะมีช่วงสเปกตรัมความถี่เพื่อการส่งข้อมูลที่กว้างมาก ทำให้สามารถส่งข้อมูลได้มากกว่าเทคโนโลยีแบบอื่นในช่วงเวลาหนึ่งๆ

นิยามเกี่ยวกับช่วงอัลตราไวด์แบนด์โดยหน่วยงาน Federal Communication Commission (FCC) กล่าวว่า เป็นช่วงความถี่ที่มีกำลังงานต่ำกว่ากำลังงานสูงสุดที่ความถี่กลาง 10 dB ซึ่งจะต้องมีช่วงความถี่ (bandwidth; $F_H - F_L$) นี้ ตั้งแต่ 500MHz ขึ้นไป เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

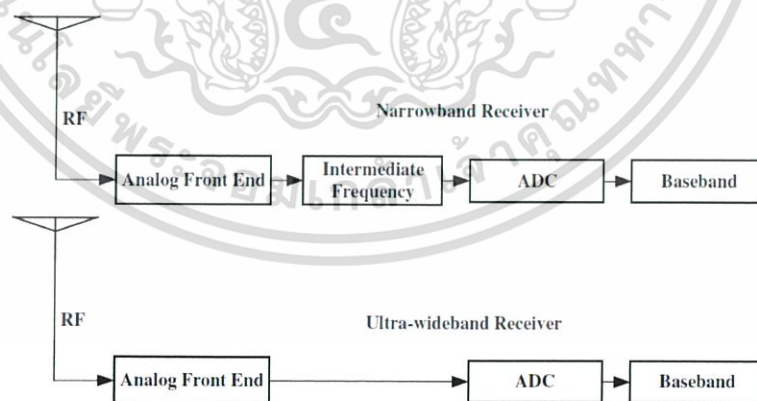
สามารถเห็นได้จากรูปที่ 2.25 ช่วงความถี่ในการใช้งาน (Bandwidth) มีขนาดกว้างมากและมากกว่า ช่วงการใช้งานความถี่แคบ ในเรื่องกำลังงานจะมีการใช้กำลังงานต่ำกว่าช่วงความถี่ ISM ถึง 1000 เท่า ต่อ MHz จากเหตุนี้จะทำให้ค่า Signal-to-Noise Ratio (SNR) มีค่าน้อยลง หมายถึงการใช้กำลังงานน้อยลง เพราะฉะนั้นในการส่งสัญญาณพัลส์แต่ละลูกในอัลตราไวด์แบนด์ จะใช้พลังงานน้อยมาก นอกจากนี้จะสามารถลดผลจากการลดทอนระหว่างการส่งสัญญาณ (Multipath Fading)

นอกจากนั้นในคลื่นความถี่อัลตราไวด์แบนด์ยังมีความง่ายกว่าในเรื่องการออกแบบระบบฮาร์ดแวร์ ยกตัวอย่างในระบบรับ (Receiver) ดังที่แสดงให้เห็นในรูปที่ 2.26 สรุปได้ว่าระบบรับสัญญาณในคลื่นความถี่อัลตราไวด์แบนด์ไม่จำเป็นต้องมีส่วน Intermediate Frequency เช่น Local Oscillator เป็นต้น



รูปที่ 2.25 การเปรียบเทียบระหว่างสัญญาณ Narrowband (NB), Spread Spectrum (SS) และ Ultra-wideband (UWB)

ที่มา: Chapter 66 FPGA Implementation of PPM I-UWB Baseband Transceiver
โดย K.S. Mohammed



รูปที่ 2.26 การเปรียบเทียบระบบการรับสัญญาณของ Narrowband และ UWB

ที่มา: Chapter 66 FPGA Implementation of PPM I-UWB Baseband Transceiver
โดย K.S. Mohammed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.3 ข้อดีในการใช้งานคลื่นความถี่ช่วงอัลตราไวด์แบนด์

จากคุณสมบัติของคลื่นในช่วงความถี่อัลตราไวด์แบนด์ดังกล่าว เป็นผลให้มีข้อดีในการนำมาใช้งานสามารถสรุปได้ ดังนี้

1. มีความซับซ้อนในการใช้งานน้อย ทำให้ค่าใช้จ่ายน้อยลง

จากธรรมชาติของคลื่นในช่วงความถี่อัลตราไวด์แบนด์ ความกว้างมากของช่วงความถี่การใช้งานหรือแบนด์วิดท์ที่กว้างมาก ส่วนใหญ่จึงถูกใช้เป็นพาหะนำคลื่น (Carrier Frequency) ด้วยเหตุนี้เราจึงสามารถละลายระบบ Up-convertor ในระบบส่ง (Transmitter) เช่นเดียวกันกับในระบบรับ (Receiver) สามารถละลายระบบ Down-convertor ได้เช่นเดียวกันนั้นหมายถึงตัว Local Oscillator, Complex Delay และ Phase Tracking loops จึงสามารถลดความซับซ้อนของระบบและค่าใช้จ่ายลงได้

2. มีลักษณะสัญญาณ สามารถต้านทานต่อการรบกวนสัญญาณ

เนื่องจากช่วงการใช้งานความถี่หรือแบนด์วิดท์ในการส่งสัญญาณนั้นกว้างมาก ส่งผลให้มีช่องทางความถี่ในการส่งข้อมูลมีความหลากหลายและมีจำนวนมาก รวมทั้งจะมีวิธีการส่งสัญญาณเป็นช่วงไม่ต่อเนื่องจะทำให้มีความเป็นไปได้ในการถูกตรวจจับหรือถูกแทรกแซงสัญญาณน้อยลง เหมาะกับการนำไปใช้งานทางทหาร

3. มีลักษณะสัญญาณคล้ายกับสัญญาณรบกวน (Noise-like) ในโดเมนของเวลาข้อมูลจะมีความละเอียด สามารถใช้งานในการติดตามหรือระบุสถานที่ของสิ่งใดสิ่งหนึ่ง

เนื่องจากเราทราบเป็นพื้นฐานอยู่แล้วว่า ถ้าหากในโดเมนของเวลา ในช่วงการใช้งานในเป็นสัญญาณพัลส์ในย่านความถี่นี้ สัญญาณจะมีขนาดที่สั้นมากจนคล้ายกับสัญญาณรบกวน (Noise)

2.8.4 ประเภทของสัญญาณในคลื่นความถี่อัลตราไวด์แบนด์

สัญญาณที่ใช้งานในย่านคลื่นความถี่อัลตราไวด์แบนด์นี้ สามารถแบ่งออกเป็น 2 ชนิด ใหญ่ๆ ตามการผลิต คือ อิมพัลส์ (Impulse UWB; I-UWB) และ มัลติแคเรีย (Multicarrier; MC-UWB)

1. อิมพัลส์อัลตราไวด์แบนด์ (Impulse UWB; I-UWB)

- อิมพัลส์ในคลื่นวิทยุ (Impulse radio UWB)

ระบบคลื่นความถี่ช่วงอัลตราไวด์แบนด์มีพื้นฐานจากหลักการคลื่นความถี่วิทยุอิมพัลส์ (Impulse Radio) ซึ่งผลิตขบวนพัลส์ขนาดสั้น ซึ่งมีค่าเวลาอยู่ในหลักหลายร้อยพิโควินาที (Pico-second) สัญญาณพัลส์แต่ละลูกมีความถี่สเปกตรัมที่กว้างมากและใช้กำลังงานในการส่งน้อย

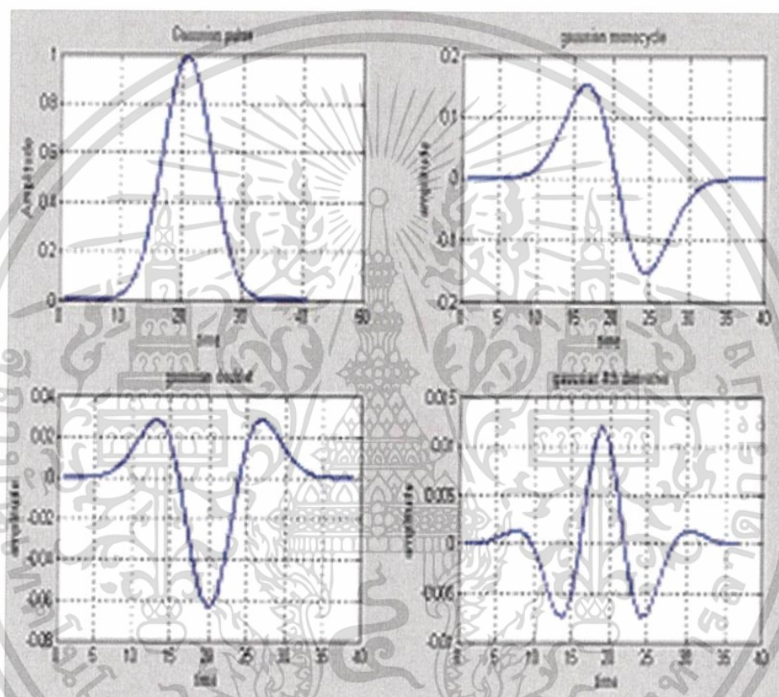
การสื่อสารโดย Time-modulated Ultra wideband (TM-UWB) มีพื้นฐานอยู่บนการปล่อยคลื่นพัลส์แบบเกาส์เซียนขนาดสั้น (Gaussian Pulse) แบบไม่ต่อเนื่อง (Discontinuous) หรือสัญญาณพัลส์แบบอื่นหรือโมนไซเคิล (Monocycle) ดังที่ปรากฏในรูปที่ 2.28 แล้วสัญญาณพัลส์แต่ละลูกจะสามารถแตกองค์ประกอบทางความถี่ได้ ดังแสดงในรูปที่ 2.29 ซึ่งในการส่งเช่นนี้ไม่จำเป็นต้องมีการมอดูเลตกับคลื่นพาหะ เนื่องจากสัญญาณพัลส์จะถ่ายทอดได้ดีในช่วงความถี่วิทยุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Fast Stepped Frequency Chirps

เป็นเทคนิคในการผลิตคลื่นอัลตราไวด์แบนด์ที่ส่วนใหญ่ใช้ในการผลิตสัญญาณในระบบเรดาร์ที่ใช้สัญญาณอิมพัลส์ (Impulse Radar Application) มีความเป็นไปได้ในการผลิตสัญญาณส่ง ขนาดแถบความถี่ กว้างโดยครอบคลุมเอาออสซิลเลเตอร์ในระบบส่งสัญญาณ มาในโดเมนความถี่ ขนาดของแบนด์วิดท์อาจมีค่าได้ ถึงหลายร้อยเมกะเฮิร์ตซ์ (MHz) และสามารถมีค่ามากกว่านี้ถ้าหากใช้วิธีนี้

ตัวอย่างเช่น ระบบ Ground Penetrating Radar (GPR) มีขนาดแบนด์วิดท์ 50–1200MHz ซึ่งระบบนี้มีพื้นฐานมาจากเทคโนโลยีอัลตราไวด์แบนด์ เหมาะสมกับการตรวจจับวัตถุเป้าหมายต่างๆ ดังเช่น ใช้ในปฏิบัติการช่วยชีวิตในเหตุเหมืองถล่มหรือเกิดดินถล่ม เนื่องจากมีคุณสมบัติการทะลวงสูง



รูปที่ 2.27 ลักษณะลูกคลื่นแบบอิมพัลส์ UWB แบบทั่วไป

ที่มา: Chapter 66 FPGA Implementation of PPM I-UWB Baseband Transceiver

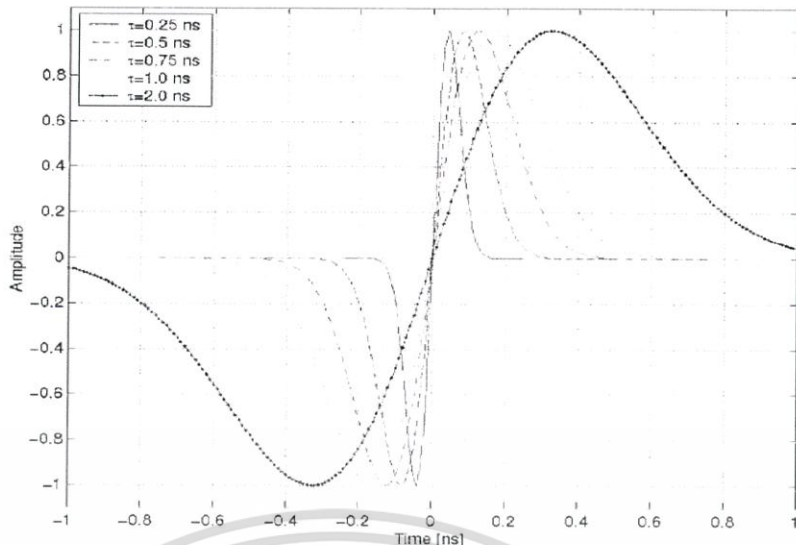
โดย K.S. Mohammed

2. มัลติแคเรีย (Multi-carrier; MC-UWB)

ในที่นี้จะกล่าวถึง Multi-carrier แบบ Spread Spectrum Schemes จะมีระบบย่อยหลักอยู่ 3 ระบบ ซึ่งจะกล่าวต่อไป ในกระบวนการทางสัญญาณสำหรับในแบบมัลติแคเรียโดยการใช้จะขึ้นอยู่กับข้อดีของแต่ละวิธีและคุณสมบัติของการจัดองค์ประกอบทางความถี่ของสัญญาณที่ได้จากแต่ละเทคนิค

ระบบมัลติแคเรียนี้ยังต้องการตัวมิกเซอร์หรือผสมสัญญาณหรือการแปลง Digital Fast Fourier (FFT) เพื่อจัดการองค์ประกอบสัญญาณในย่านความถี่การใช้งาน

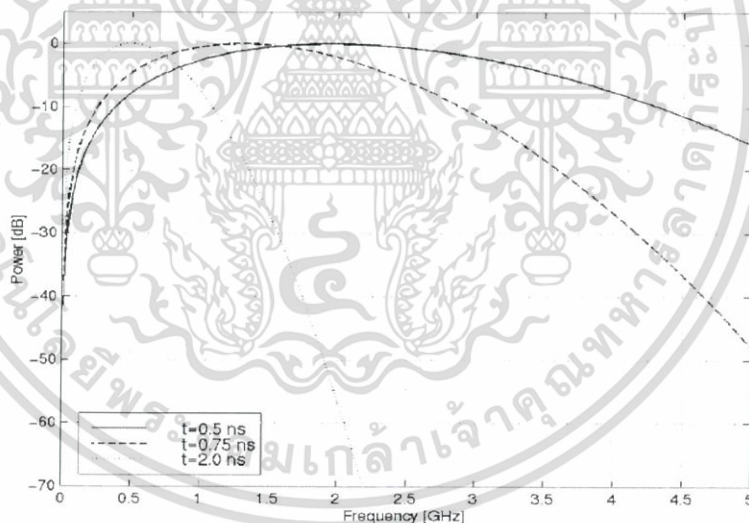
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 พัลส์เกาส์เซียนโมโนไซเคิลในโดเมนเวลา

ที่มา: UWB theory and applications โดย I.Oppermann , M. Ha"ma" la" inen , J. linatti

สำนักพิมพ์ Wiley



รูปที่ 2.29 พัลส์เกาส์เซียนโมโนไซเคิลในโดเมนความถี่

ที่มา: UWB theory and applications โดย I.Oppermann , M. Ha"ma" la" inen , J. linatti

- Multi-carrier CDMA

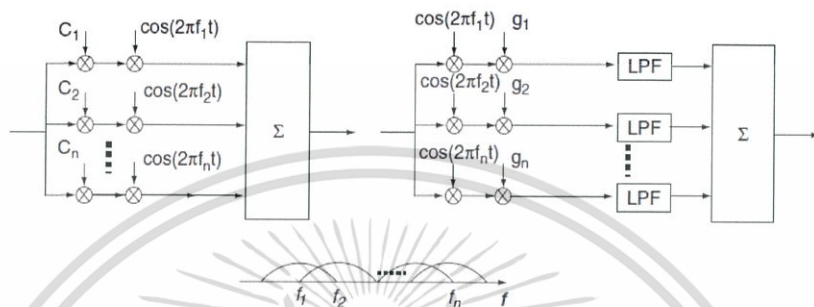
จากบล็อกไดอะแกรมของระบบดังรูปที่ 2.30 ข้อมูลจะถูกกระจายลงในแต่ละความถี่ Sub-carriers (f_i) กับแต่ละ Pseudo Random (PR) Code (C_i) การกระจายของสเปกตรัมจะถูกแสดงในโดเมนความถี่ ส่วนสัญญาณจะกลับมารวมกันอีกครั้งที่ระบบรับ จากการใช้ซีพอดบสอง (g_i) ของโค้ดการกระจาย (C_i) ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของคลื่นอัลตราไวด์แบนด์คลื่นพาหะที่จะนำมาผลิตด้วยจะต้องทำงานได้ที่ช่วงแบนด์วิดธ์ 500MHz ขึ้นไป

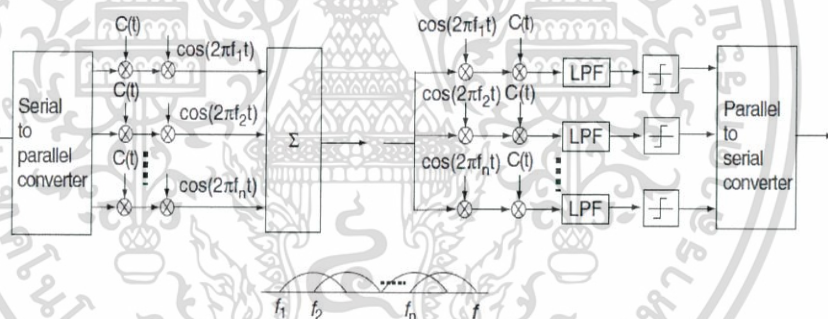
- Multi-carrier DS-CDMA

จากบล็อกไดอะแกรมดังรูปที่ 2.31 แสดงการทำงานของระบบ เทคนิคนี้จะมีการแพร่กระจายข้อมูลในโดเมนเวลาหลังจากมีการแปลงข้อมูลแบบ Serial-to-Parallel Conversion ซึ่งระบบต้องทำงานได้ที่ช่วงแบนด์วิดธ์ 500 MHz ขึ้นไป จึงตรงกับคุณสมบัติอัลตราไวด์แบนด์



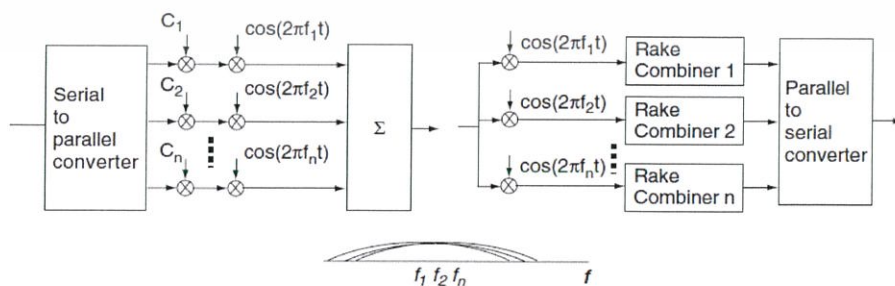
รูปที่ 2.30 บล็อกไดอะแกรมและสเปกตรัมทางความถี่ของระบบ MC-CDMA

ที่มา: UWB theory and applications โดย I. Oppermann , M. Ha'ma'la'inen ,J. linatti



รูปที่ 2.31 บล็อกไดอะแกรมและสเปกตรัมทางความถี่ของระบบ MC-DS CDMA

ที่มา: UWB theory and applications โดย I. Oppermann ,
M. Ha'ma'la'inen , J. linatti



รูปที่ 2.32 บล็อกไดอะแกรมและสเปกตรัมทางความถี่ของระบบ MT CDMA

ที่มา: UWB theory and applications โดย I. Oppermann , M. Ha'ma'la'inen , J. linatti

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Multi tone (MT) CDMA

จากบล็อกไดอะแกรมดังรูปที่ 2.32 แสดงระบบ Multi-tone CDMA ความกว้างของแบนด์วิดธ์ในระบบนี้จะมีขนาดเล็กกว่าระบบอื่นที่กล่าวมา เนื่องจากพื้นที่ของ Sub-carrier มีขนาดเล็ก แต่ระบบนี้จะให้สัญญาณที่มีคุณสมบัติใกล้เคียงกับอัลตราไวด์แบนด์ในอุดมคติมากที่สุด อย่างไรก็ตามจะมีอัตรา Self-interference สูงที่สุด เนื่องจากการทับซ้อนของสเปกตรัม (Overlapping Spectra)

เทคโนโลยีการผลิตคลื่นแบบ Multi-carrier นี้จะใช้ในการส่งข้อมูลที่มีอัตราการส่งสูง เช่น ในระบบ WLAN ระบบ Digital Audio or Video Broadcasting (DAB และ DVB) และ ในระบบ Asymmetric Digital Subscriber Line (ADSL)

ข้อดีของการผลิตคลื่นอัลตราไวด์แบนด์ด้วยการใช้แบบ Multi-carrier คือ อัตราข้อมูลในแต่ละ Sub-carrier มีน้อยกว่าใน Single Carrier หรือคลื่นพาหะความถี่เดียว มีความง่ายกว่าในการสังเคราะห์การแพร่กระจายในระบบรับ

ข้อเสียของระบบนี้คือ เพิ่มความหลากหลายของระบบรับที่จะมีขั้นตอนมากขึ้น เช่น การผสมสัญญาณ (Mixing Stage) ทำให้มีขั้นตอนมากขึ้น

2.8.5 แนวคิดของเรดาร์อัลตราไวด์แบนด์ (Concept of UWB Radar)

ในเรื่องอัลตราไวด์แบนด์สามารถอธิบายในระบบเรดาร์ได้ว่า เป็นสัญญาณที่มีช่วงแบนด์วิดธ์ของสัญญาณที่ใช้งานผล ซึ่งมีขนาดเป็นส่วนที่ค่อนข้างมากของความถี่กลาง (Center Frequency) ประมาณ 20-25% โดยขนาดกว้างของแบนด์วิดธ์สำหรับสัญญาณนี้จะให้ความละเอียดจากการตรวจจับมากและความสามารถในการแสดงผลออกเป็นภาพ ระบบเรดาร์แบบอัลตราไวด์แบนด์สามารถใช้สัญญาณในหลายรูปแบบในการปฏิบัติการ รวมทั้งสัญญาณอิมพัลส์ (Impulses) สัญญาณขนาดเล็กแบบสุ่ม (Random Noise Signal) สัญญาณลำดับขั้นถอดรหัสความถี่ (Step Frequency Coding) สัญญาณพัลส์ถอดรหัสอนุกรม (Pulse- Sequence Coding) เพื่อขยายความกว้างของแบนด์วิดธ์ในการใช้งาน

แท้จริงแล้วการระบุความเป็นสัญญาณอัลตราไวด์แบนด์ (UWB Labeling) ในมุมมองของระบบเรดาร์ สิ่งที่จะต้องแยกแยะเป็นอันดับแรกไม่ใช่ความกว้างมหาศาลของแบนด์วิดธ์ หากแต่เป็นขนาดของคลื่นสัญญาณที่มีความยาวสั้นมาก (Ultrashort) และระบุได้ว่าขนาดความยาวคลื่นมีค่าน้อยกว่าขนาดความยาวของเป้าหมายส่วนใหญ่ที่ต้องการตรวจจับ

2.9 การมอดูเลชันเพื่อส่งสัญญาณ

ในระบบเรดาร์แบบอัลตราไวด์แบนด์ (UWB Radar) การส่งสัญญาณเพื่อการตรวจจับจะต้องมีความยาวคลื่นน้อยกว่าขนาดของเป้าหมายที่จะทำการตรวจจับ ซึ่งจะส่งผลต่อคลื่นความถี่ในการตรวจจับเป้าหมายแต่ละชนิดต้องต่างกัน โดยในสัญญาณอัลตราไวด์แบนด์จะมีองค์ประกอบทางความถี่เป็นจำนวนมากเพื่อการตรวจจับเป้าหมายซึ่งมีคุณสมบัติลักษณะที่แตกต่างกัน เมื่อทำการส่งสัญญาณออกไป จะมีการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แพร่กระจายสัญญาณที่มีหลายความถี่ออกไปเพื่อทำการตรวจจับเป้าหมาย หลังจากนั้นสัญญาณที่กลับเข้ามาในระบบรับ จะเป็นผลรวมของสัญญาณที่มีการแพร่กระจายออกไป อย่างไม่ต่อเนื่องในทางเวลา

ในการส่งสัญญาณจะต้องผ่านการมอดูเลชันแบบพัลส์ เพื่อกำหนดช่วงเวลาการรับ-ส่งสัญญาณของระบบเรดาร์

การมอดูเลชันแบบพัลส์ (Pulse Modulation; PM) ในระบบปฏิบัติการของเรดาร์จะใช้การมอดูเลชันแบบนี้เป็นหลัก มีหลักการคือ การนำสัญญาณพาหะ (Carrier Signal) ไปรวมกับสัญญาณข่าวสาร (Modulating Signal) เพื่อให้สัญญาณพาหะเกิดการเปลี่ยนแปลงตามขนาดแอมพลิจูดของสัญญาณข่าวสารซึ่งเป็นสัญญาณพัลส์ (Rectangular Pulse) โดยผลที่ได้จากการมอดูเลชันแบบนี้จะได้สัญญาณที่มีความถี่เท่ากับสัญญาณพาหะแต่แอมพลิจูดของสัญญาณจะมีขนาดเปลี่ยนแปลงไปตามสัญญาณข่าวสาร ผลลัพธ์ที่ได้ออกมาจะมีผลเหมือนสวิทช์ปิด-เปิดการทำงานของระบบรับ-ส่งสัญญาณที่แน่นอนเปรียบได้เสมือนระบบดิจิทัลสามารถแยกแยะข้อมูลได้ดี จึงนำผลลัพธ์ตรงนี้ไปคำนวณหาระยะ มุม ของเป้าหมายที่กำลังทำการตรวจจับได้อย่างแม่นยำ



รูปที่ 2.33 Pulse Modulation

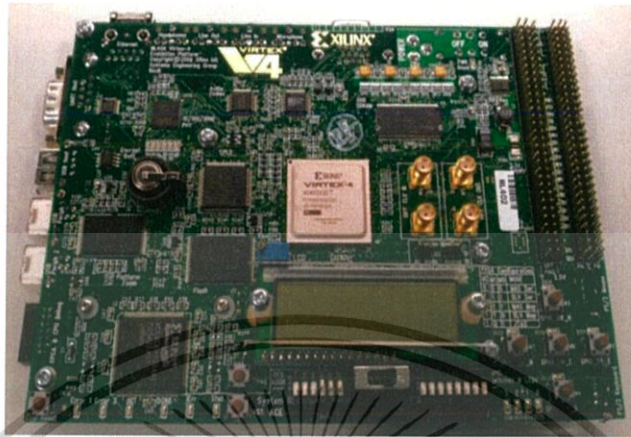
ที่มา : หนังสือ Electronics Warfare Fundamentals by ACC TRSS

2.10 Field Programmable Logic Array (FPGA)

Field Programmable Gate Array (FPGA) เป็นวงจรรวมทางดิจิทัลที่สามารถโปรแกรมวงจรหรือฟังก์ชันการทำงานลงในตัวชิพได้เอง เหมาะสำหรับการออกแบบวงจรและการออกแบบชิพต้นแบบของวงจรทางดิจิทัล มีประสิทธิภาพการทำงานและมีปริมาณความหนาแน่นของเกตสูง สามารถจะกำหนดฟังก์ชันการทำงานได้ความต้องการของผู้ใช้โดยการโปรแกรม เป็นชิพที่มีสนามวงจรถูกขนาดใหญ่อยู่ในที่ เราสามารถนำมาใช้และออกแบบวงจรต่างๆได้ตามที่เราต้องการ โดยมีโปรแกรมสำเร็จรูปที่ใช้ในการออกแบบอยู่แล้ว มีความเร็วสูง

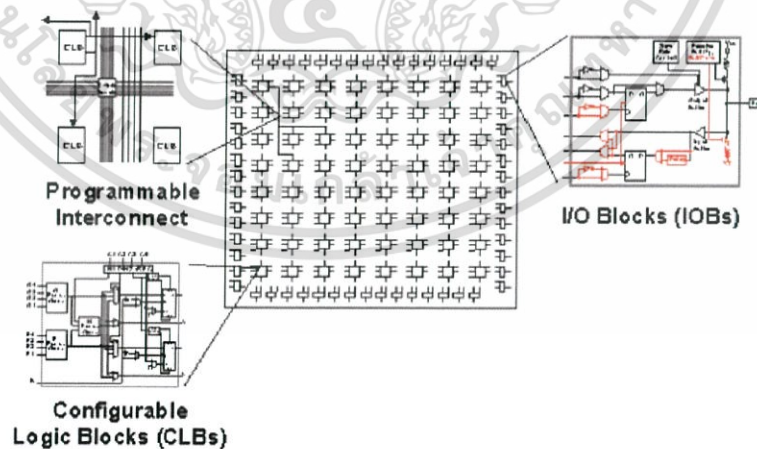
สถาปัตยกรรมของ FPGA จะมีลักษณะเป็นตารางของลอจิกบล็อก (Logic Block) และล้อมรอบไปด้วยบล็อกการเชื่อมต่อของ I/O Interface Block การเชื่อมต่อระหว่าง CLB (Configuration Logic Block) และ IOB (Input Output Block) ผ่านช่องที่ว่างพาดผ่านระหว่างแถว (Row) และคอลัมน์ (Column) LCA (Logic Cell Array) จะทำงานได้ต้องใช้ Program-driven Logic Device หน้าที่ของสิ่งเหล่านี้และการเชื่อมต่อภายใน (Interconnection) ถูกกำหนดไว้ในโปรแกรมคอนฟิกูเรชัน (Configuration Program) หรือเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บไว้ในอีพรอม (EPROM) ภายในแอลซีเอ (LCA : Logic Cell Array) โปรแกรมจะถูกโหลดเข้าสู่แอลซีเอ เมื่อมีการจ่ายไฟ (Power-up) โดยทางคำสั่ง (Command)



รูปที่ 2.34 ตัวอย่างบอร์ดพัฒนา FPGA จากบริษัท Xilinx
ที่มา : <http://www.easyfpga.com/>

มีการออกแบบโดยใช้ภาษาในการอธิบายการทำงานของวงจร หรือ HDL (Hardware Description Language) เป็นเครื่องมือในการออกแบบซึ่งเป็นวิธีการที่มีความยืดหยุ่นสูง ทำได้รวดเร็ว และไม่จำเป็นต้องทราบถึงลักษณะของวงจรที่ต้องการว่าจะเชื่อมต่อกันอย่างไร เพียงแต่กำหนดลักษณะการทำงานให้มัน จากนั้นตัวซอฟต์แวร์จะทำ Synthesis and Optimize ให้ทั้งหมด นอกจากนี้ภาษาที่ใช้ยังเป็นมาตรฐาน เดียวกันสามารถใช้ได้กับชิพทุกตัวและทุกบริษัท



รูปที่ 2.35 โครงสร้างภายใน FPGA

ที่มา : http://teacher.en.rmutt.ac.th/ktw/Resources/FPGA/fpga_design_manuals.pdf

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 ภาษา HDL (Hardware Description Language)

ภาษา HDL (Hardware Description Language) เป็นวิธีการออกแบบฮาร์ดแวร์ดิจิทัลด้วยวิธีการทางซอฟต์แวร์ ข้อดีของการออกแบบระบบด้วย HDL คือ ระยะเวลาการออกแบบสั้นลง สามารถจำลองการทำงาน ทดสอบการทำงานให้ถูกต้องก่อนการสร้างบนฮาร์ดแวร์จริง สามารถแก้ไขให้ถูกต้องได้ก่อนที่จะสร้างวงจบบนฮาร์ดแวร์ราคาแพง ภาษา HDL จะประกอบไปด้วยภาษาย่อย 2 ภาษา ดังนี้

1. VHSIC Hardware Description Language (VHDL)

เป็นภาษาโปรแกรมระดับสูง (High Level Language) ที่ใช้สำหรับการออกแบบฮาร์ดแวร์ในระบบดิจิทัล สามารถบรรยายพฤติกรรมการทำงานในรูปของลำดับชั้น (Hierarchy) และสามารถเขียนได้หลายรูปแบบ ด้วยเหตุนี้จึงทำให้ภาษา VHDL เป็นเครื่องมือที่ใช้ออกแบบตั้งแต่ขั้นตอนบนสุดคือแนวความคิดที่จะแก้ปัญหาลงไปทีละขั้นจนถึงขั้นตอนของการสร้างวงจรจริงและตัวภาษาก็เปิดโอกาสให้ได้พัฒนาและจำลองการทำงานของรูปแบบฟังก์ชันการทำงานของวงจรอย่างสังเขปโดยยังไม่ต้องคำนึงถึงรายละเอียดเกี่ยวกับโครงสร้างวงจรจริง นอกจากนี้ VHDL ยังเป็นภาษาที่สนับสนุนลักษณะต่างๆของระบบดิจิทัลที่มีความซับซ้อนได้ทั้งหมด

วิวัฒนาการของภาษา VHDL เริ่มต้นประมาณปี ค.ศ. 1981 เมื่อกระทรวงกลาโหมสหรัฐอเมริกาหรือ DoD (Department of Defense) ได้พยายามปรับปรุงอุปกรณ์อิเล็กทรอนิกส์และคอมพิวเตอร์ที่ใช้ในกิจการทางทหาร ให้มีความทันสมัยมากขึ้นประกอบกับเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์มีการพัฒนาไปอย่างรวดเร็วดังจะเห็นได้ จากการนำวงจรดิจิทัลหลายวงจรมาทำการผลิตอยู่บนแผ่นซิลิกอนที่มีพื้นที่เพียง 1-2 ตารางเซนติเมตรเท่านั้น เป็นผลให้ประสิทธิภาพในการทำงานของวงจรสูงขึ้นตลอดจนความน่าเชื่อถือในการทำงานและความคงทนต่อสภาพแวดล้อมสูง

2. Verilog (Verilog HDL)

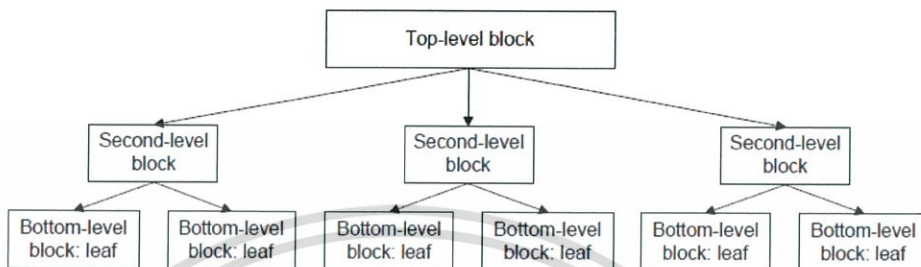
เป็นเทคนิคทันสมัยสำหรับการออกแบบวงจรดิจิทัลและระบบคอมพิวเตอร์ มีลักษณะคล้ายภาษา C ร่วมกับไวยากรณ์บางอย่างของภาษา Pascal สามารถโมเดลระบบดิจิทัลได้หลายระดับจากระดับเกท ระบบดิจิทัลที่ซับซ้อนไปจนถึงระดับคอมพิวเตอร์เมนเฟรม การผสมผสานระหว่างภาษา C กับไวยากรณ์บางของภาษา Pascal ไว้ด้วยกันทำให้ภาษา Verilog นี้ง่ายต่อการเรียนรู้ ทำให้ Verilog HDL ได้รับความนิยมมากที่สุดในวงการอุตสาหกรรม สามารถบรรยายได้ทั้งวงจรเชิงจัดหมู่ (Combinational Circuit) และวงจรเชิงลำดับ (Sequential Circuit) รวมถึงอุปกรณ์เก็บความจำที่ทำงานทั้งที่ระดับสัญญาณ (Level-sensitive) และที่ขอบสัญญาณ (Edge-triggered) Verilog สามารถบรรยายความสัมพันธ์ระหว่างไวยากรณ์ของภาษากับฮาร์ดแวร์เชิงกายภาพได้อย่างชัดเจน

ในการออกแบบมีระเบียบวิธีการออกแบบมี 2 วิธีหลักคือ การออกแบบบนลงล่าง (Top-down Design) และการออกแบบล่างขึ้นบน (Bottom-up Design) โดยในภาษา VHDL จะใช้การออกแบบในวิธีบนลงล่าง ส่วนในภาษา Verilog สามารถใช้ได้ทั้ง 2 วิธี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

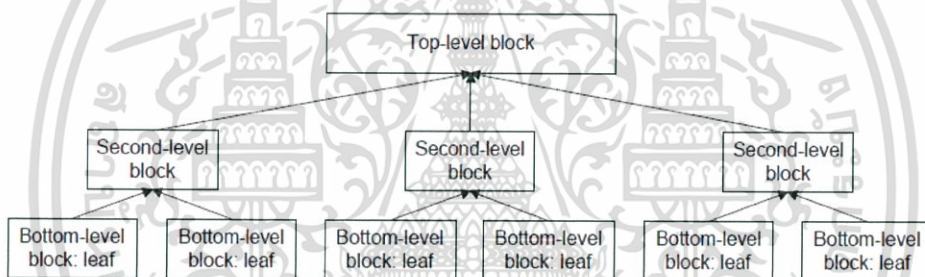
การออกแบบจากบนลงล่าง บล็อกด้านบนสุด (Top-level Block) จะถูกออกแบบก่อน จากนั้น บล็อกด้านล่างถัดลงมาจึงจะถูกออกแบบ ขั้นตอนนี้ถูกกระทำซ้ำจนกว่าทุกระดับในโครงสร้างจะถูกออกแบบหมด บล็อกล่างสุด (Bottom-level Block) เป็นส่วนที่ไม่สามารถแบ่งย่อยได้อีกแล้ว

ส่วนการออกแบบจากล่างขึ้นบน บล็อกด้านล่างจะถูกออกแบบก่อน จากนั้นบล็อกด้านบนถัดขึ้นไปจึง จะถูกออกแบบ และถูกกระทำซ้ำจนกว่าจะถึงบล็อกด้านบนสุด



รูปที่ 2.36 แผนผังเชิงลำดับชั้นของการออกแบบจากบนลงล่าง

ที่มา: http://electric2.ee.psu.ac.th/~nattha/slides/Slides_210-532/Verilog_thai.pdf



รูปที่ 2.37 แผนผังเชิงลำดับชั้นของการออกแบบจากล่างขึ้นบน

ที่มา : http://electric2.ee.psu.ac.th/~nattha/slides/Slides_210-532/Verilog_thai.pdf

2.12 โปรแกรม ISE Design Suite

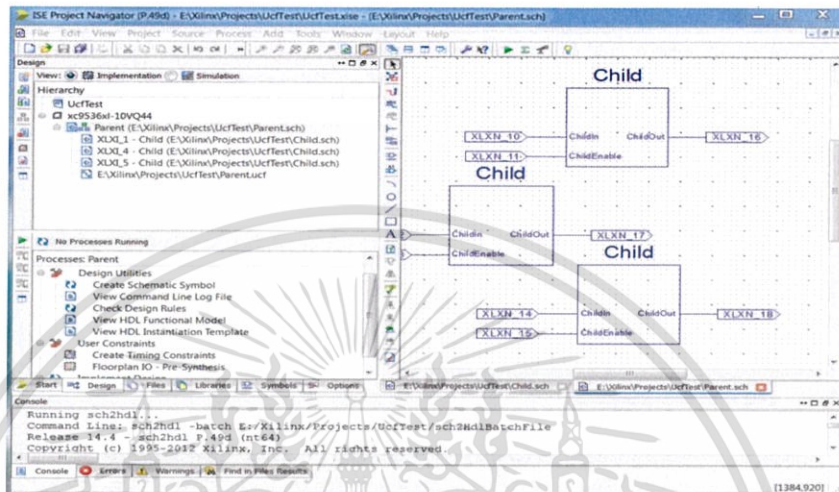


รูปที่ 2.38 สัญลักษณ์ประจำโปรแกรม

ที่มา: https://upload.wikimedia.org/wikipedia/en/0/0a/XilinxISE_DS_Logo.jpg

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม Xilinx ISE (Integrated Synthesis Environment) เป็นซอฟต์แวร์ที่ผลิตโดยบริษัท Xilinx Inc. ซึ่งเป็นผู้ผลิตบอร์ดพัฒนาโปรแกรม FPGA รายใหญ่ในสหรัฐอเมริกา เพื่อใช้ในการออกแบบและสังเคราะห์วงจรเพื่อนำไปใช้งานด้วยภาษา Hardware Description Language (HDL) สามารถแสดงผลการวิเคราะห์ทางเวลาในการทำงานของวงจรที่ออกแบบ (Timing Analysis) รวมทั้งจำลองผลการทำงานของโปรแกรมที่ออกแบบมา (Simulation)



รูปที่ 2.39 ตัวอย่างหน้าต่างโปรแกรมที่กำลังใช้งาน ISE Design Suite

ที่มา: https://en.wikipedia.org/wiki/Xilinx_ISE#/media/File:XilinxISE_Webpack_14.png

โปรแกรมนี้ถูกออกแบบมาเพื่อใช้งานกับผลิตภัณฑ์บอร์ดพัฒนาโปรแกรม FPGA ของบริษัทผู้เป็นเจ้าของผลิตภัณฑ์เท่านั้น เนื่องจากถูกออกแบบมาใช้งานกับรูปแบบทางสถาปัตยกรรมของชิปในผลิตภัณฑ์ของบริษัท Xilinx เองเท่านั้น นอกจากนี้โปรแกรมยังมีฟังก์ชันการใช้งานอื่นๆ คือ Embedded Development Kit (EDK), Software Development Kit (SDK) และ Chip Scope Pro Analyzer

โปรแกรมจะมีให้เลือกใช้ได้หลายรูปแบบ ได้แก่

1. Subscription Edition เป็นโปรแกรมเต็มรูปแบบซึ่งจะต้องมีใบอนุญาต (license) จากทางบริษัทจึงจะใช้งานได้ ตัวโปรแกรมสามารถดาวน์โหลดได้โดยไม่ต้องเสียค่าใช้จ่ายจากเว็บไซต์ของบริษัท จะแบ่งออกเป็น 2 แบบ คือ Embedded Edition และ System Edition

2. Web Pack Edition เป็นโปรแกรมที่จะถูกจำกัดการใช้งานเพื่อการสังเคราะห์วงจรตามผลิตภัณฑ์ที่ใช้งาน โดยส่วนมากผลิตภัณฑ์ที่มีขา I/O Pin จำนวนมากจะถูกจำกัดไม่ให้ใช้แต่บอร์ดผลิตภัณฑ์ที่ราคาย่อมเยา เช่น ตระกูล Spartan จะอนุญาตให้ทำการสังเคราะห์วงจรต่อไปได้

2.13 บอร์ดพัฒนา FPGA Spartan 6

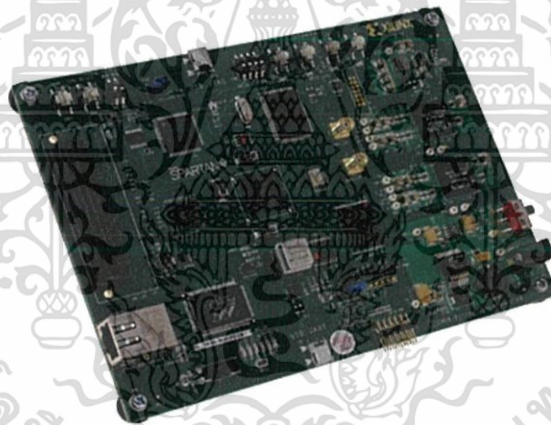
ในการศึกษาทดลองในโครงการนี้ เป็นผลิตภัณฑ์จากบริษัท Xilinx Inc. เป็นบอร์ดพัฒนาโดยการเขียนโปรแกรม FPGA Spartan 6 รุ่น SP 601

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บอร์ดพัฒนาโดยการเขียนโปรแกรม FPGA Spartan 6 SP601 และชุดอุปกรณ์ ออกแบบมาเพื่อการพัฒนาการออกแบบระบบขั้นพื้นฐาน และมีการออกแบบเพื่อการเข้าถึงในส่วนคุณสมบัติพื้นฐานต่างๆ ที่ออกแบบมาได้ง่ายขึ้น เช่น Integrated Memory Interface core ซึ่งในชุดอุปกรณ์รุ่นนี้ จะมาพร้อมกับ Industry-standard FMC (FPGA Mezzanine Card) Connector สำหรับงานในอนาคต เช่น การออกแบบแอปพลิเคชันเพื่อการใช้งานเฉพาะทางและทางการค้า

มีคุณสมบัติเด่น สามารถสรุปได้ดังนี้

- Hardware, design tools, IP, and pre-verified reference designs
- Expand I/O with the FPGA Mezzanine Card (FMC) interface and Digilent 2x6 Header
- Contains 128MB of DDR2 Component Memory and 8Kb IIC EEPROM
- Develop networking applications with 10-100-1000 Mbps Ethernet PHY
- 4x LEDs for display
- User control with 4 push buttons and 4 DIP Switches



รูปที่ 2.40 บอร์ดพัฒนา Spartan 6

ที่มา: http://www2.hdl.co.jp/en/images/stories/tecinfo/DIFF_TERM/SP601.jpg

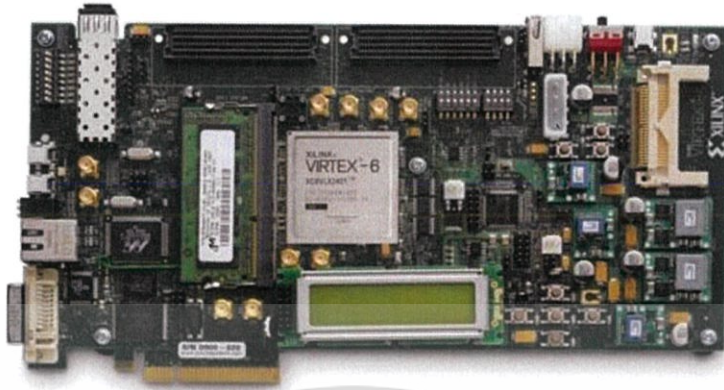
2.14 บอร์ดพัฒนา FPGA Virtex 6

ในการศึกษาทดลองในโครงการนี้ เป็นผลิตภัณฑ์จากบริษัท Xilinx Inc. เป็นบอร์ดพัฒนาโดยการเขียนโปรแกรม FPGA Virtex 6 รุ่น ML605

บอร์ดพัฒนา Virtex 6 ML605 พร้อมชุดอุปกรณ์พื้นฐาน เครื่องมือการออกแบบ ไอพี(IP) และตัวอย่างการออกแบบระบบที่ต้องการความสามารถสูง การเชื่อมต่อแบบอนุกรม (Serial Connectivity) รวมถึงหน่วยความจำอินเตอร์เฟซแอดวานซ์ (Advanced Memory Interfacing) ซึ่งในส่วนตัวอย่างการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบระบบที่ต้องการความสามารถสูงและ FPGA Mezzanine Connectors (FMC) ในระดับมาตรฐานที่ใช้ในอุตสาหกรรมสามารถปรับสเกลและใช้งานร่วมกับเมมโมรี่การ์ดได้



รูปที่ 2.41 บอร์ดพัฒนา Virtex 6

ที่มา: <http://brandonkylehamilton.com/building-a-soc-with-migen/connecting-board.html>

มีคุณสมบัติเด่น สามารถสรุปได้ดังนี้

- Hardware, design tools, IP, and pre-verified reference designs
- Enabling serial connectivity with PCIe Gen2x4, Gen1x8, 1 SFP, 1 SMA Pair, and UART
- Supports embedded processing with MicroBlaze, soft 32bit RISC
- 10/100/1000 Tri-Speed Ethernet (RJ-45)
- DDR3 SO-DIMM (512 MB)
- Expand I/O with the FPGA Mezzanine Card (FMC) interface

2.15 หลักการผลิตสัญญาณพัลส์ด้วยวิธี Delay Line-based Pulse Generator

จากเนื้อหาที่ผ่านมาเราได้ทราบว่าระบบเรดาร์ต้องใช้สัญญาณพัลส์ในการดำเนินการทำงานของระบบ เพื่อส่งออกสู่ชั้นบรรยากาศในการตรวจจับเป้าหมาย ดังนั้นในหัวข้อนี้จะกล่าวถึงการผลิตสัญญาณพัลส์ด้วยวิธี Delay Line-based Pulse Generator ซึ่งเป็นการผลิตสัญญาณแบบดิจิทัล

ก่อนอื่นในสถาปัตยกรรมของระบบส่งสัญญาณแบบดิจิทัลนี้จะประกอบไปด้วยส่วนหลัก 3 ส่วน คือ ส่วนควบคุมการทำงานของระบบ (System Controller) ส่วนมอดูเลเตอร์ (Modulator) และส่วนผลิตสัญญาณพัลส์ (Pulse Generator) สามารถอธิบายเป็นแผนภาพได้ดังรูปที่ 2.42

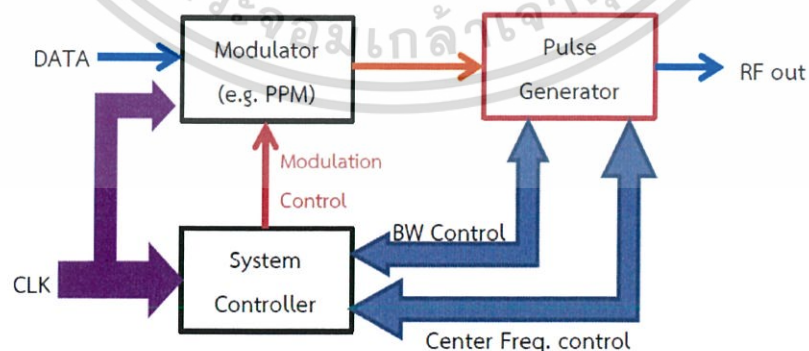
จากรูปที่ 2.42 อธิบายได้ว่าส่วนควบคุมการทำงานของระบบ (System Controller) จะเป็นส่วนกำหนดตัวพารามิเตอร์ที่ควบคุมการทำงานในส่วนอื่นๆของระบบส่งสัญญาณทั้งหมด ในส่วนมอดูเลเตอร์จะถูกส่วนนี้ควบคุมระยะเวลาของการมอดูเลชันแต่ละครั้ง (Pulse Duration) นั่นคือ การควบคุมความถี่ในเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณพัลส์ (Pulse Repetition Frequency ; PRF) โดยการตั้งค่าการควบคุมส่วนนี้จะขึ้นกับความละเอียดในการตรวจจับเป้าหมาย (Detecting Resolution) และอัตราการไหลเข้าของข้อมูลในระบบรับสัญญาณด้วย นอกจากนี้ยังพารามิเตอร์ที่กำหนดความถี่กลาง (Center Frequency) และแบนด์วิดท์ (Bandwidth) ของสัญญาณพัลส์ที่ผลิตขึ้นในส่วนผลิตสัญญาณพัลส์ (Pulse Generator) ด้วย

ส่วนมอดูเลเตอร์ (Modulator) ซึ่งจะทำการมอดูเลชันสัญญาณแบบ Pulse Position Modulation (PPM) จะทำการกระตุ้นโดยสัญญาณขอบขา (Triggering Edge) เพื่อให้ส่วนผลิตสัญญาณ (Pulse Generator) ทำการผลิตสัญญาณพัลส์ออกมา ซึ่งจะทำงานสอดคล้องกับสัญญาณควบคุมที่มาจากส่วนควบคุมการทำงานของระบบโดยจะแบ่งสัญญาณในแต่ละคาบ (PRF Period) ออกเป็นช่วงเวลาย่อย (Time Slot) และทำการผลิตสัญญาณขอบขาเพื่อกระตุ้นการทำงานตามช่วงเวลาที่ย่อยนี้

ส่วนผลิตสัญญาณพัลส์ (Pulse Generator) จะผลิตสัญญาณพัลส์ที่มีความถี่กลาง (Center Frequency) กับแบนด์วิดท์ (Bandwidth) ตามที่ตั้งค่ากำหนดไว้ในส่วนควบคุมการทำงานของระบบโดยในส่วนนี้จะต้องผลิตสัญญาณพัลส์ที่มีความถี่และมีกำลังงานที่เหมาะสม เพื่อนำสัญญาณนี้ไปผ่านกระบวนการต่อไปในการใช้งาน

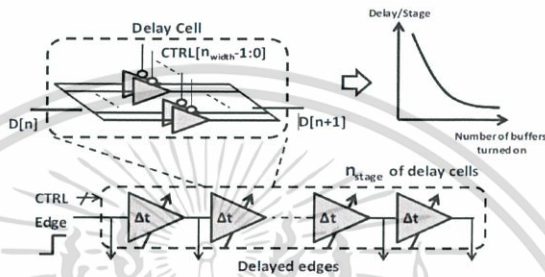
วิธีการผลิตพัลส์เช่นนี้มีองค์ประกอบ คือ ส่วนดีเลย์ไลน์ (Delay Line) ส่วน Mask Register และส่วน Edge Combiner จากแผนภาพรูปที่ 2.43 และ 2.44 สามารถอธิบายได้ว่า ส่วน Delay Line จะประกอบไปด้วย Delay Cell ทั้งหมด n stage ตัว จึงสามารถผลิตสัญญาณ Delay ที่เป็นขอบขาขึ้นได้ทั้งหมด n stage สัญญาณ เมื่อได้รับสัญญาณกระตุ้นมาจากส่วนมอดูเลเตอร์ ภายใน Delay Cell เป็นการต่อกันแบบขนานของ Tri-state Buffer ทั้งหมด n width ตัว ในสถานะไม่ทำงานเอาท์พุทของ Tri-state Buffer แต่ละตัวจะเป็น High-impedance เป็นการเพิ่มเวลา Delay ของสัญญาณ delay ดังนั้นจะควบคุมระยะห่างของสัญญาณ Delay ที่ผลิตจาก Delay Cell ก่อนหน้าด้วยการป้อนสัญญาณ CTRL[n width- 1:0] ของ Tri-state Buffer ภายในซึ่งควบคุมสถานะการทำงานของมัน ให้มีจำนวน Tri-state Buffer ทำงานจำนวนมากหรือน้อย ถ้าจำนวนมากจะให้ระยะห่างของสัญญาณ Delay ที่ผลิตจาก Delay Cell มีค่าน้อย ถ้าจำนวนน้อยจะมีค่ามาก



รูปที่ 2.42 แผนภาพสถาปัตยกรรมของระบบส่งสัญญาณแบบดิจิทัล

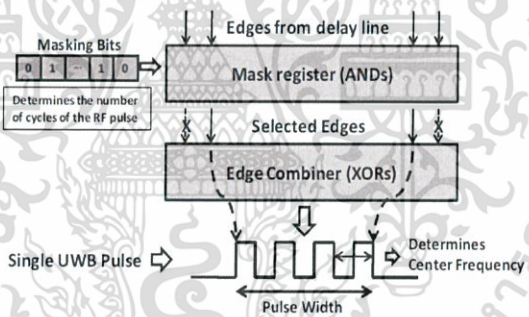
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นเมื่อได้สัญญาณขอขอบขา Delay จากขั้นตอน Delay Line แล้วจะนำมาในส่วน Mask Register ผ่านกระบวนการทางลอจิก แอนด์ (AND) กับ Masking Bits ซึ่งจำนวนบิตส์ของมันจะควบคุมจำนวนลูกคลื่นสัญญาณพัลส์ที่ผลิตได้สูงสุด แล้วนำไปผ่าน XORs Tree เรียกว่า Edge Combiner เป็นการนำบิตส์ของสัญญาณมารวมกันจะได้จำนวนบิตส์ผลลัพธ์ ซึ่งเป็นจำนวนลูกคลื่นสัญญาณพัลส์ที่จะผลิตได้ในการได้รับสัญญาณกระตุ้นจากส่วนมอดูเลเตอร์แต่ละครั้ง โดยมีความถี่ของสัญญาณ (PRF) ความถี่กลางของวงจรและแบนด์วิดท์ของวงจรตามที่กำหนดไว้ จากรูปที่ 2.45 เป็นการดัดแปลงจากผู้คิดค้นโดยการใช้การเลื่อนเฟสของสัญญาณนาฬิกา (Clock Signal) ไป 90, 180 และ 270 องศา หลังจากนั้นจึงนำสัญญาณที่ได้จากการเลื่อนเฟสมาเข้าลอจิกเกตเอกซ์คลูซีฟพอร์ (XOR) แล้วจึงได้ออกมาเป็นสัญญาณพัลส์



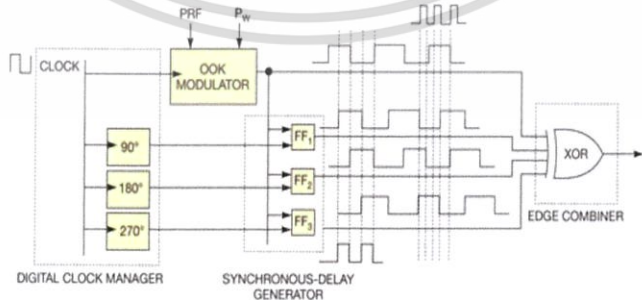
รูปที่ 2.43 Delay line และ Delay cell

ที่มา: All-Digital Synthesizable UWB Transmitter Architectures โดย Y. Park, D. Wentzloff



รูปที่ 2.44 บล็อกไดอะแกรมของ Mask Register และ Edge Combiner

ที่มา: All-Digital Synthesizable UWB Transmitter Architectures โดย Y. Park, D. Wentzloff



รูปที่ 2.45 บล็อกไดอะแกรมของการสร้างสัญญาณพัลส์ที่มีการดัดแปลงมาจากวิธีการข้างต้น

ที่มา : Build a UWB pulse generator on an FPGA โดย P. Duraiswamy, X.Li, J. Bauwelinck, และ J. Vandewege

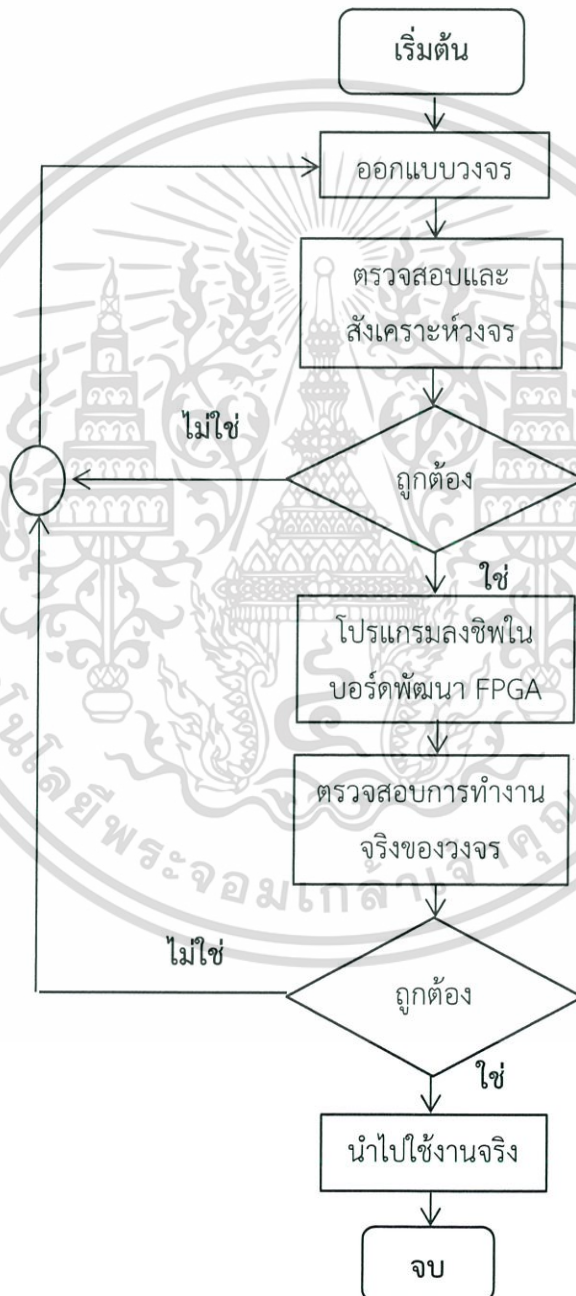
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วิธีการดำเนินงาน

3.1 วิธีการออกแบบโดยใช้ FPGA เป็นเครื่องมือ

ในการออกแบบเพื่อการดำเนินงานต่างๆโดย FPGA จะมีขั้นตอนอยู่หลายขั้น เช่น การออกแบบวงจรที่จะใช้งาน โปรแกรมวงจรลงในชิพ เป็นต้น ก่อนที่จะนำไปใช้งานจริง สรุปดังนี้



รูปที่ 3.1 โฟลว์ชาร์ตแสดงขั้นตอนการออกแบบโดย FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2. การออกแบบโดยโปรแกรม

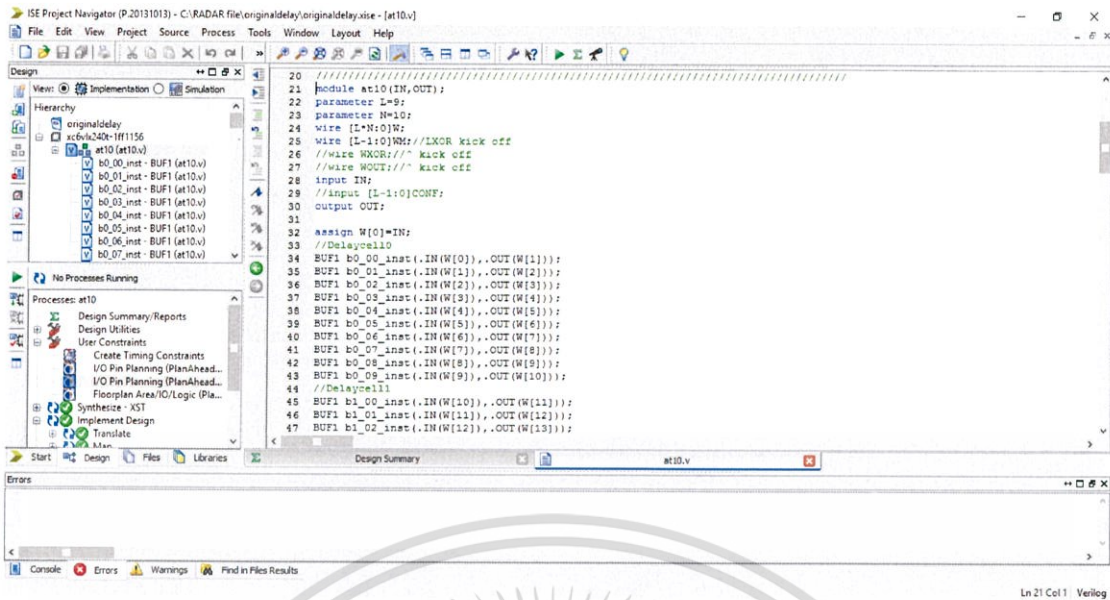
3.2.1 ภาคเรียนที่ 1

ในขั้นตอนการสร้างวงจรเพื่อผลิตสัญญาณพัลส์ตามหลักการ ทฤษฎีหัวข้อที่ 2.15 ในโปรแกรม ISE Design Suite ด้วยโค้ดโปรแกรมภาษาเวอริล็อก สามารถสรุปขั้นตอนได้ดังนี้คือ



รูปที่ 3.2 ขั้นตอนของโปรแกรมเพื่อผลิตสัญญาณพัลส์เบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



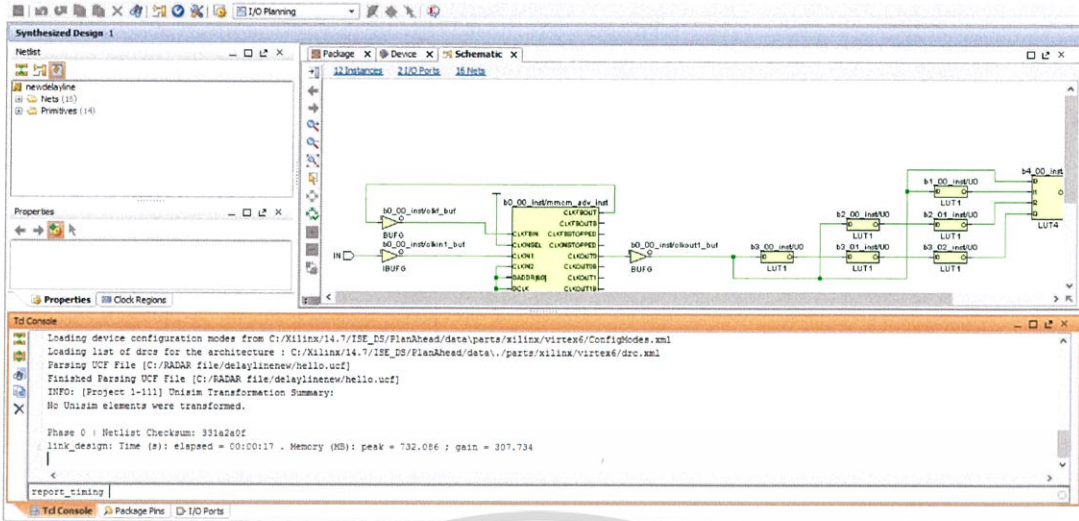
รูปที่ 3.3 การเขียนโปรแกรมผลิตสัญญาณเบื้องต้น

3.2.2 ภาคเรียนที่ 2

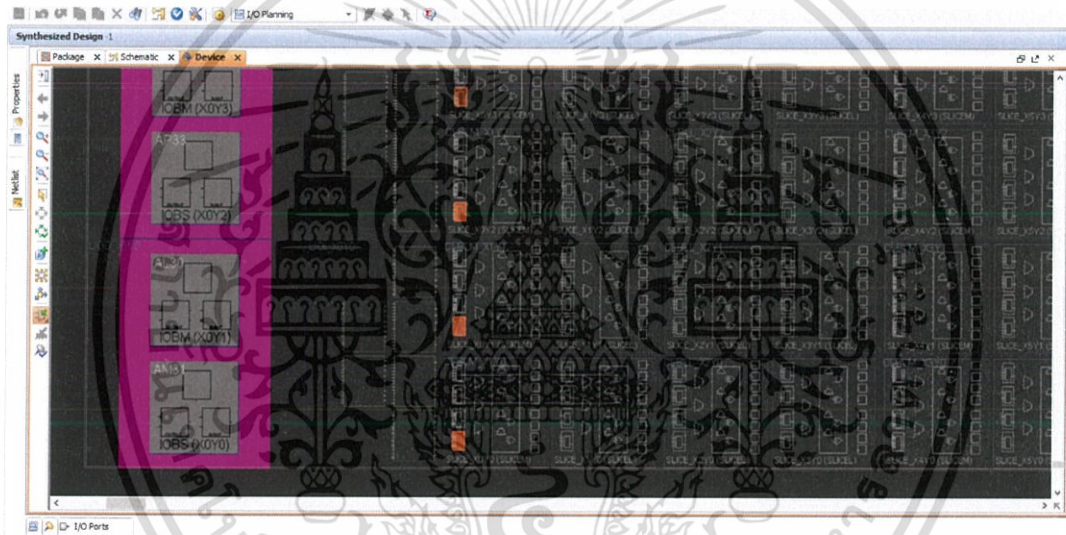
ต่อเนื่องจากในการออกแบบโปรแกรมตามทฤษฎีอ้างอิงในหัวข้อ 2.15 จึงมีการทดลองเพื่อให้ได้ความถี่ของสัญญาณพัลส์แต่ละลูกมีความถี่สูงขึ้น นอกจากนั้นเพื่อให้ได้ความถี่กลางของสัญญาณ เมื่อทำการตกแต่งประกอบความถี่ของสัญญาณพัลส์ให้ได้ 3GHz เพื่อเป้าหมายสามารถนำไปตรวจจับมนุษย์ได้ตามทฤษฎี จึงได้มีการดำเนินการต่อทำการลดขั้นตอนและเวลาดำเนินการของตัวโปรแกรมที่ทำการเขียนมาก่อน เนื่องจากข้อจำกัดในความเร็วการทำงานของอุปกรณ์ฮาร์ดแวร์บอร์ดพัฒนา FPGA ดังนี้

1. การทดลองลดจำนวนเซลล์ดีเลย์ลง คือ จากจำนวนเซลล์ดีเลย์ 10 ตัว เป็น 5 ตัว, 4 ตัว, 3 ตัว ตามลำดับ สุดท้ายมีการใช้เซลล์ดีเลย์ 1 ตัว
2. มีการสำรวจเวลาการดำเนินการของโปรแกรมโดยฟังก์ชัน PlanAhead 14.7 จะพบว่าการใช้ Look Up Table (LUT) ในการดำเนินการแทนการใช้ตัวดำเนินการเกตธรรมดา จะทำให้มีการดำเนินการผ่านฟังก์ชันที่เร็วกว่า สามารถตรวจสอบได้จากการใช้ฟังก์ชัน Tcl Console ป้อนคำสั่ง report_timing ตามรูปที่ 3.4
3. ทำการตัดตัวดำเนินการ Masking Bits ออกไป เนื่องจากค้นพบว่าไม่จำเป็นต่อการสร้างสัญญาณพัลส์ที่มีคุณสมบัติต้องการผลิต เนื่องจากสามารถนำมา XOR กันได้ทันที
4. ทำการทดลองกำหนดตำแหน่งการใช้งาน SLICE ในไฟล์ .ucf พบว่าการกำหนดตำแหน่ง SLICE ที่ติดกันในแนวตั้ง เช่น SLICE_X0Y0, SLICE_X0Y1, SLICE_X0Y2 จะให้ผลที่ดีที่สุด โดยสามารถสังเกตการใช้ตำแหน่งภายในบอร์ดได้จากฟังก์ชัน PlanAhead 14.7 โหมด Device

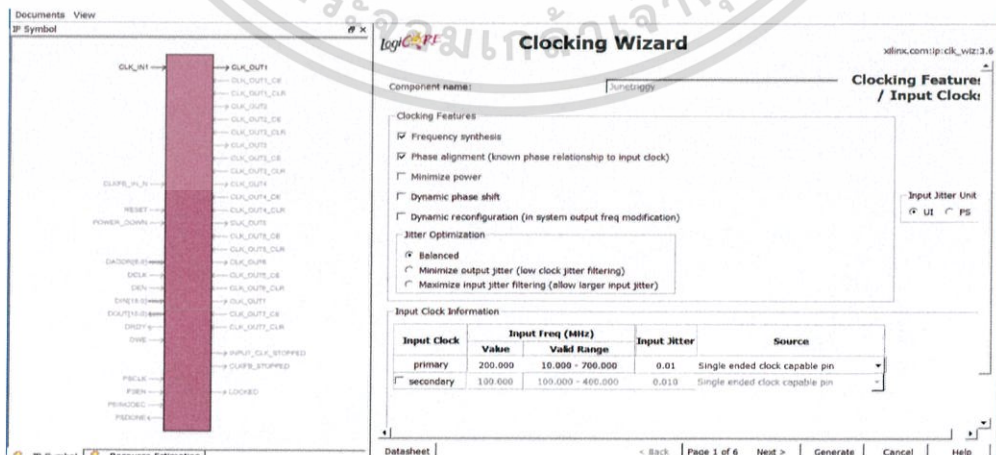
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 การใช้ฟังก์ชันโปรแกรม PlanAhead 14.7



รูปที่ 3.5 การใช้ฟังก์ชันโปรแกรม PlanAhead 14.7 ในโหมด Device

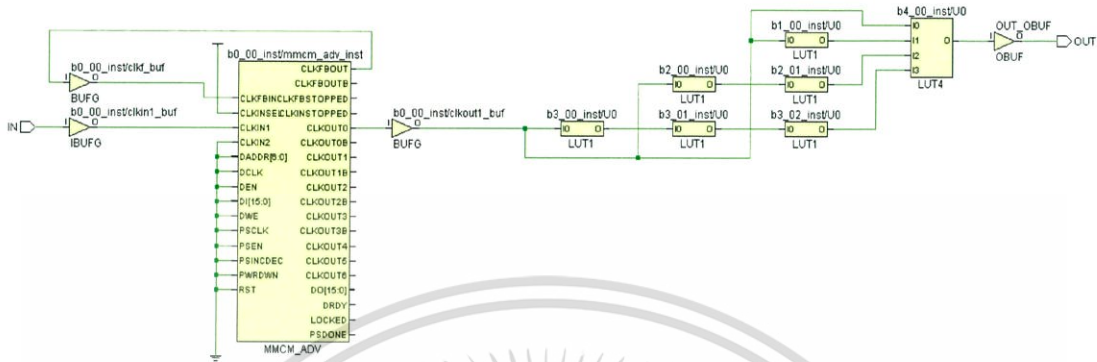


รูปที่ 3.6 การใช้ฟังก์ชัน Logi Core ในการกำหนดสัญญาณกระตุ้น

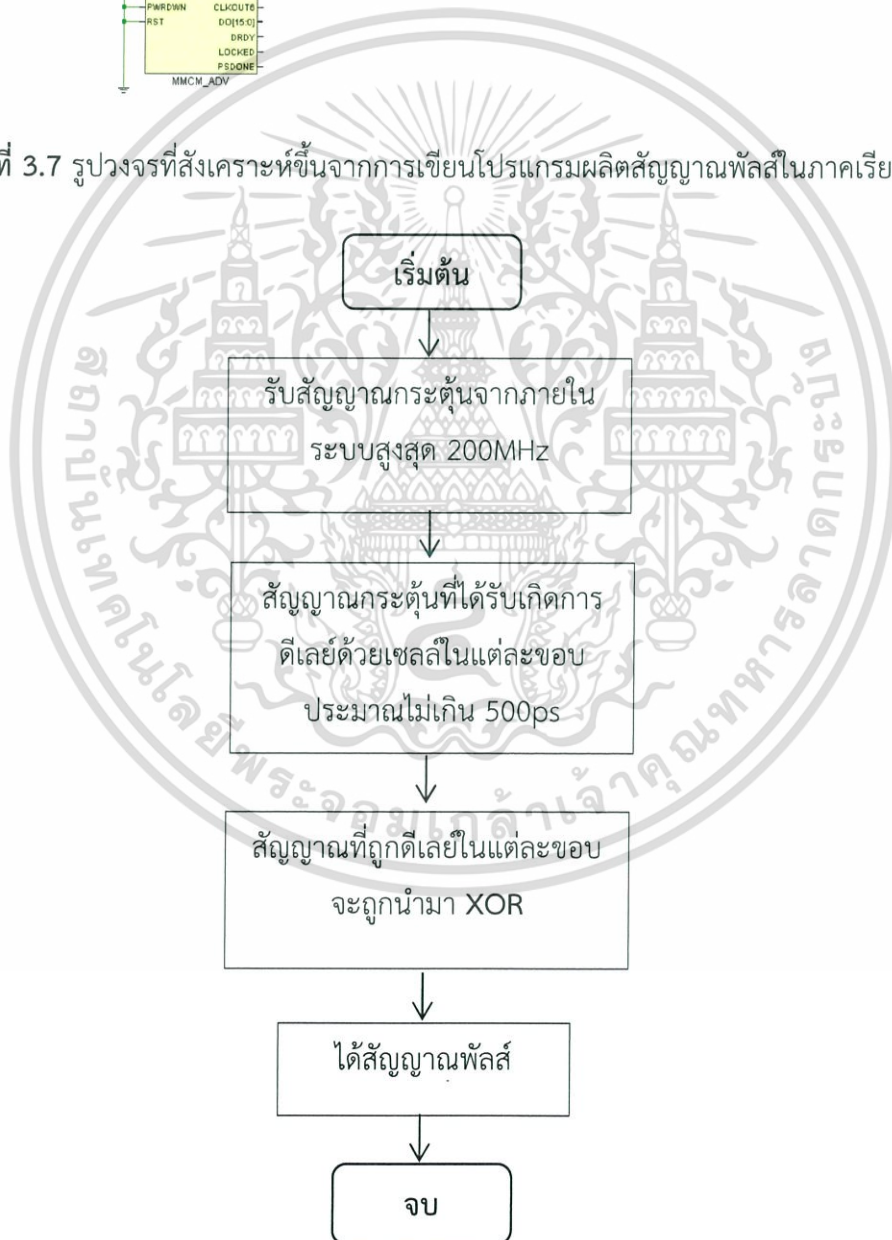
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. มีการใช้ฟังก์ชัน Logi Core เพื่อทำการใช้สัญญาณกระตุ้น System Clock generator ที่กำหนดความถี่สูงสุดได้ 200 MHz มาใช้แทนการป้อนสัญญาณกระตุ้นด้วยสวิตช์ ตามรูปที่ 3.6

สุดท้ายการดำเนินการทั้งหมดจะทำให้ได้ผลวงจรเป็นไปตามรูปที่ 3.7

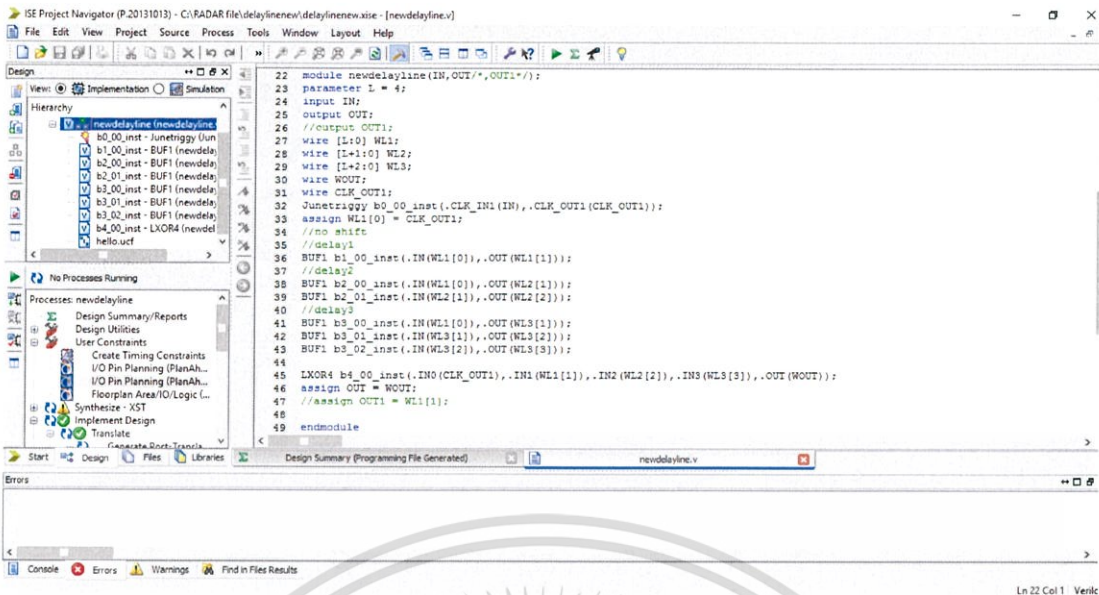


รูปที่ 3.7 รูปร่างที่สังเคราะห์ขึ้นจากการเขียนโปรแกรมผลิตสัญญาณพัลส์ในภาคเรียนที่ 2



รูปที่ 3.8 ขั้นตอนของโปรแกรมเพื่อผลิตสัญญาณพัลส์ในภาคเรียนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 โปรแกรมที่ใช้ในการสังเคราะห์วงจรในรูปที่ 3.7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการดำเนินงาน

ในโครงงานนี้มีจุดประสงค์เพื่อผลิตสัญญาณพัลส์ในความถี่อัลตราไวด์แบนด์เพื่อการใช้งานในระบบเรดาร์ ในการทดลองจะเป็นการผลิตสัญญาณพัลส์ด้วยวิธี Delay Line-based Pulse Generator ผลิตผ่านบอร์ดพัฒนาโดยการเขียนโปรแกรม FPGA ในโครงงานนี้จะมีการใช้ Xilinx Spartan-6 SP601 และมีเป้าหมายที่แท้จริงใช้ Xilinx Virtex-6 ML605



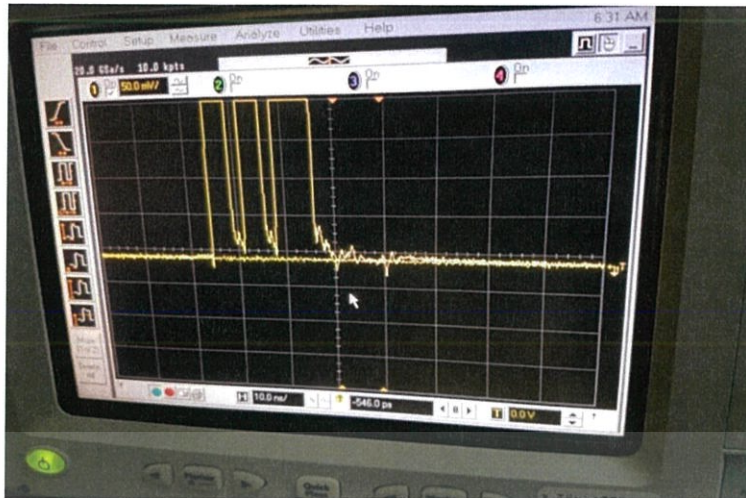
รูปที่ 4.1 ภาพระหว่างการปฏิบัติการของ Spartan-6 ในการทดลอง



รูปที่ 4.2 ภาพระหว่างการปฏิบัติการของ Virtex-6 ในการทดลอง

4.1 ผลการทดลองผลิตสัญญาณพัลส์ในภาคเรียนที่ 1

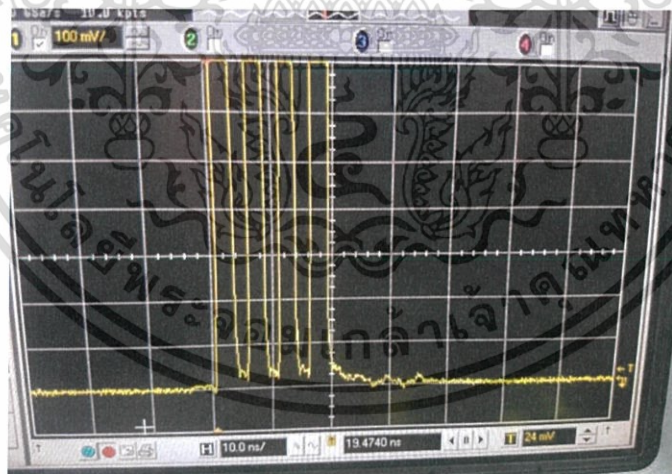
ในการทดลองจากภาคเรียนที่ 1 เราสามารถพิสูจน์การผลิตสัญญาณพัลส์จากหลักการ Delay line-Based Pulse Generator โดยใช้บอร์ดพัฒนา FPGA Spartan-6 ด้วยการกดปุ่ม GPIO_BUTTON_0 และทดลองการตั้ง masking bits เป็นค่า “11110100” ได้ผลเป็นที่ความถี่ของแต่ละลูกคลื่นพัลส์แต่ละบิตส์เป็น 170MHz โดยประมาณ มีผลเป็นดังนี้ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 สัญญาณพัลส์ที่ผลิตได้จากการตั้ง Masking Bits เป็น “11110100”

4.2 ผลการทดลองผลิตสัญญาณพัลส์ในภาคเรียนที่ 2

จากการทดลองเพื่อพิสูจน์หลักการผลิตสัญญาณพัลส์ด้วยหลักการ Delay line-Based Pulse Generator ในภาคเรียนที่ 1 ต่อมาในภาคเรียนที่ 2 จึงมีการผลิตด้วยบอร์ดพัฒนา Virtex-6 ด้วยการกดปุ่ม GPIO_BUTTON_C ด้วยการตั้ง masking bits ที่มีการพิสูจน์ว่าทำให้ได้ลักษณะสัญญาณพัลส์เป็นไปตามที่ต้องการ เป็น “11111110” และเป็นการผลิตสัญญาณจากโปรแกรมที่ใช้ในภาคเรียนที่ 1 จะได้สัญญาณพัลส์แต่ละบิตส์ประมาณ 250MHz

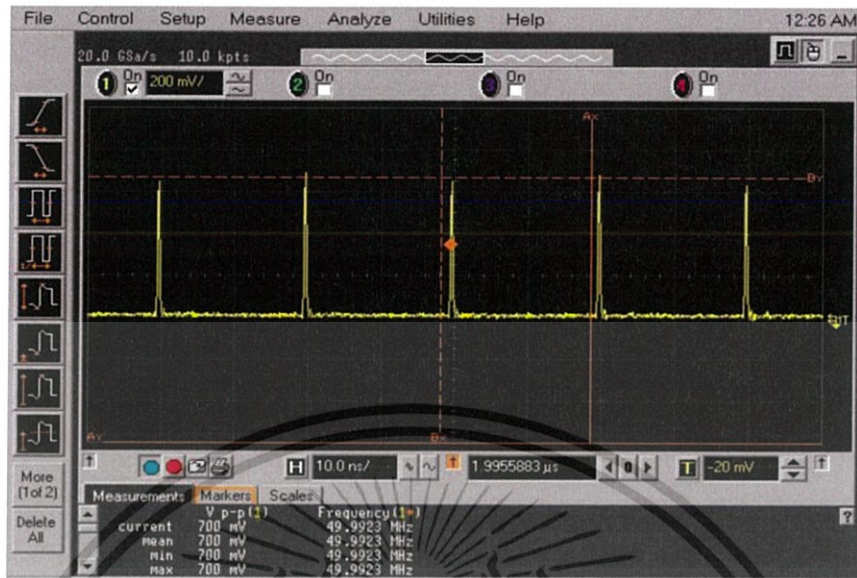


รูปที่ 4.4 สัญญาณพัลส์ที่ผลิตได้จากการตั้ง Masking Bits เป็น “11111110”

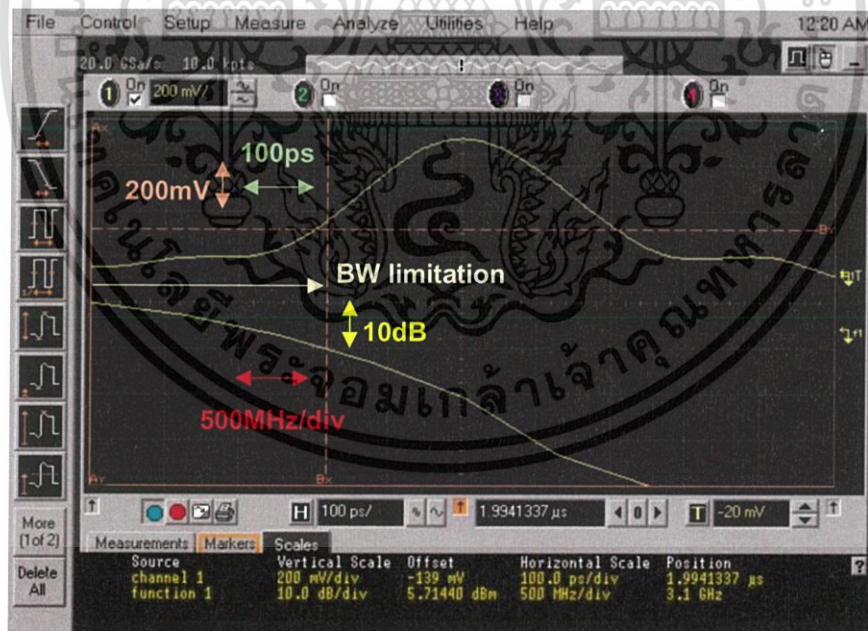
ต่อมาเมื่อมีการทดลองจนถึงสุดท้าย ค้นพบว่าการเขียนโปรแกรมเพื่อสังเคราะห์วงจรตามรูปที่ 3.7 มีการใช้ฟังก์ชันสัญญาณกระตุ้น และมีการกำหนดสัญญาณกระตุ้นที่ความถี่ต่างๆ อาทิ 25MHz, 50MHz, 100MHz และ สูงสุด 200 MHz จะได้ผลดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ผลการทดลอง เมื่อป้อนสัญญาณกระตุ้นที่ 25MHz



รูปที่ 4.5 การผลิตสัญญาณพัลส์ด้วยวงจรในรูปที่ 3.7 แสดงถึงขนาดของสัญญาณและช่วง PRF = 49.99MHz ขนาดของสัญญาณ 700mV



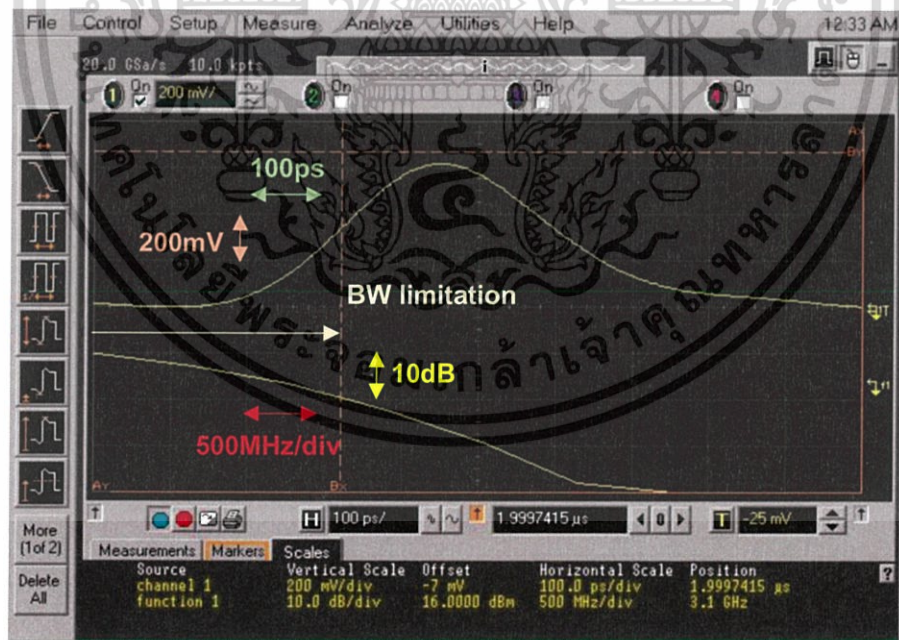
รูปที่ 4.6 ความถี่ของลูกคลื่นพัลส์ที่ผลิตได้ในแต่ละลูก สามารถวัดความถี่กลางของสัญญาณได้อยู่ที่ 3.1GHz ขนาดแบนด์วิดธ์ประมาณ $1.6\text{GHz} \times 2 = 3.2\text{GHz}$ โดยประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ผลการทดลอง เมื่อป้อนสัญญาณกระตุ้นที่ 50MHz



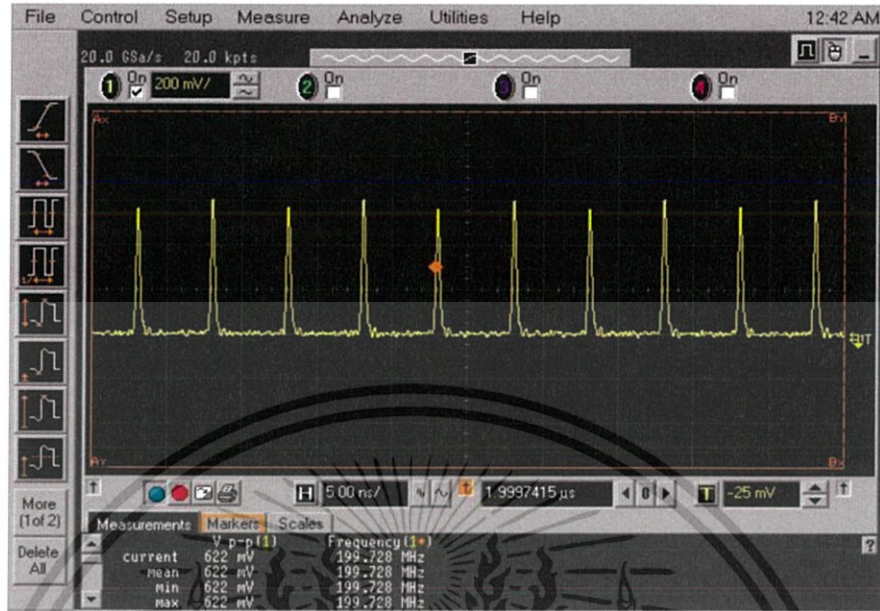
รูปที่ 4.7 การผลิตสัญญาณพัลส์ด้วยวงจรในรูปที่ 3.7 แสดงถึงขนาดของสัญญาณและช่วง PRF = 100.296MHz ขนาดของสัญญาณ 691mV



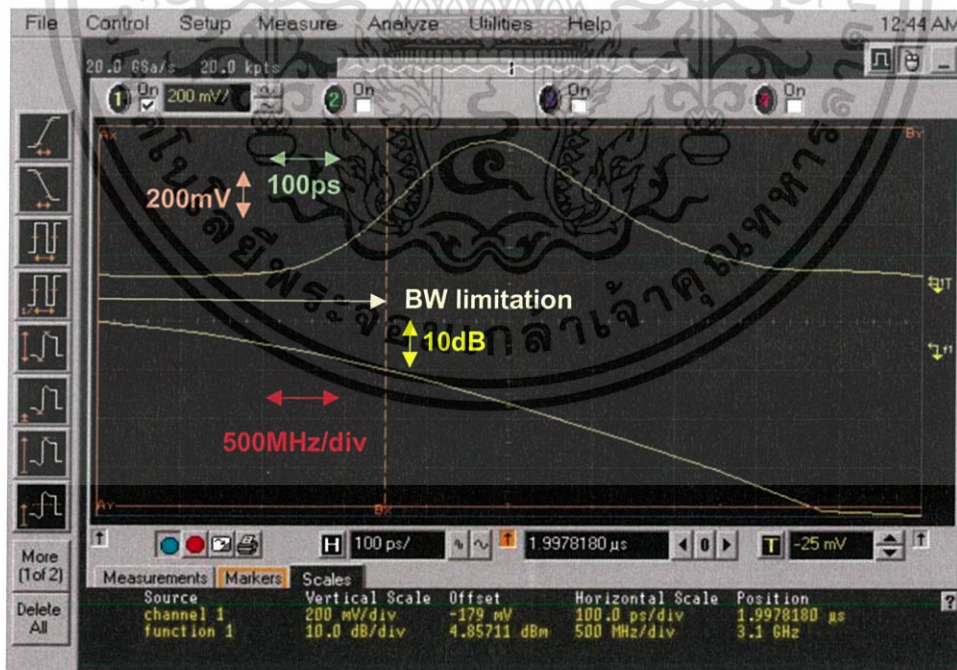
รูปที่ 4.8 ความถี่ของลูกคลื่นพัลส์ที่ผลิตได้ในแต่ละลูก สามารถวัดความถี่กลางของสัญญาณได้อยู่ที่ 3.1GHz ขนาดแบนด์วิดท์ประมาณ $1.6\text{GHz} \times 2 = 3.2\text{GHz}$ โดยประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ผลการทดลอง เมื่อป้อนสัญญาณกระตุ้นที่ 100MHz



รูปที่ 4.9 การผลิตสัญญาณพัลส์ด้วยวงจรในรูปที่ 3.7 แสดงถึงขนาดของสัญญาณและช่วง PRF = 199.728MHz ขนาดของสัญญาณ 622mV



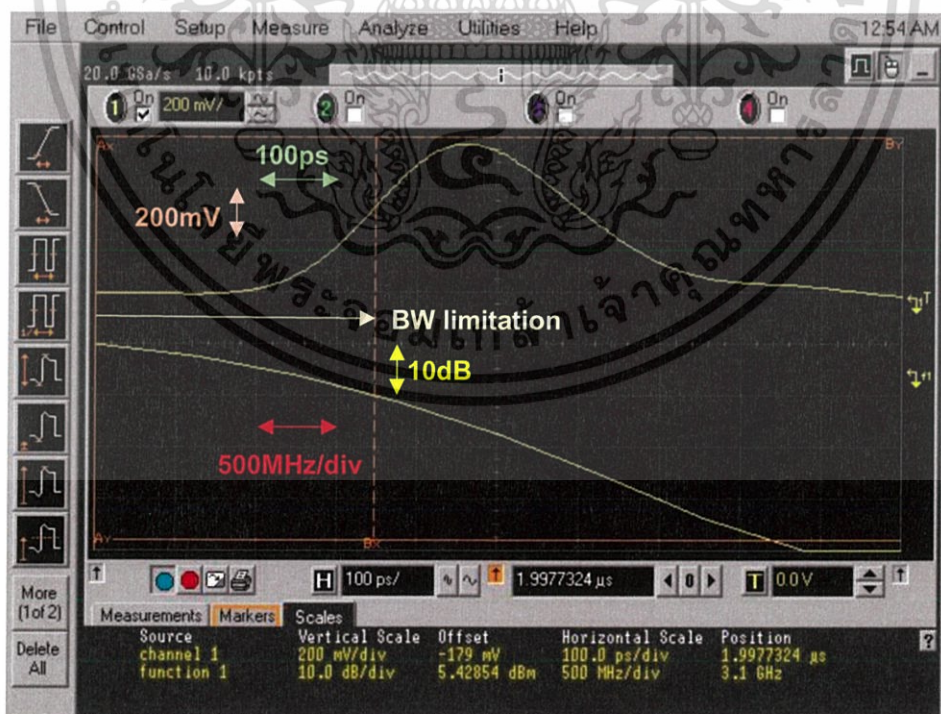
รูปที่ 4.10 ความถี่ของลูกคลื่นพัลส์ที่ผลิตได้ในแต่ละลูก สามารถวัดความถี่กลางของสัญญาณได้อยู่ที่ 3.1GHz ขนาดแบนด์วิดธ์ประมาณ $1.75\text{GHz} \times 2 = 3.5\text{GHz}$ โดยประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ผลการทดลอง เมื่อป้อนสัญญาณกระตุ้นที่ 200MHz



รูปที่ 4.11 การผลิตสัญญาณพัลส์ด้วยวงจรในรูปที่ 3.7 แสดงถึงขนาดของสัญญาณและช่วง
 $PRF = 400.42\text{MHz}$ ขนาดของสัญญาณ 611mV



รูปที่ 4.12 ความถี่ของลูกคลื่นพัลส์ที่ผลิตได้ในแต่ละลูก สามารถวัดความถี่กลางของสัญญาณได้อยู่ที่

3.1GHz ขนาดแบนด์วิดธ์ประมาณ $1.75\text{GHz} \times 2 = 3.5\text{GHz}$ โดยประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 สรุปผลการทดลองจากการป้อนสัญญาณกระตุ้นในวงจรรูปที่ 3.7

ความถี่สัญญาณ กระตุ้น (MHz)	ความถี่ PRF (MHz)	ขนาดของ สัญญาณที่ได้ (mV)	ขนาดความถี่ กลางที่วัดได้ (GHz)	ขนาดแบนด์วิดท์ ที่วัดได้ (GHz)
25	49.99	700	3.1	3.2
50	100.296	691	3.1	3.2
100	199.728	622	3.1	3.5
200	400.42	611	3.1	3.5

นอกจากนี้ยังสามารถสรุปเป็นรายงานในการใช้เวลาในการผลิต ดังนี้

```
Slack:
Source:
  inf
  IN
  (input port)
Destination:
  OUT
  (none)
Path Group:
  (none)
Path Type:
  Max at Slow Process Corner
Data Path Delay:
  10.918ns (logic -2.067ns (-18.931%) route 12.985ns (118.931%))
Logic Levels:
  8 (BUFG=1 IBUFG=1 LUT1=3 LUT4=1 MCM_ADV=1 OBUF=1)

Location      Delay type      Incr(ns)  Path(ns)  Netlist Resource(s)
-----
J9            net (fo=0)      0.000     0.000    r IN
              net (fo=0)      0.000     0.000    r IN
J9            IBUFG (Prop_ibufg_i_0)  0.775     0.775    r b0_00_inst/clkln1_buf/O
              net (fo=1, unset)  1.539     2.314    r b0_00_inst/clkln1
              MCM_ADV (Prop_mcm_adv_CLKIN1_CLKOUT0)
              net (fo=1, unset) -5.433    -3.118    r b0_00_inst/mcm_adv_inst/CLKOUT0
              net (fo=1, unset)  1.539     -1.579    r b0_00_inst/clkout0
              BUFG (Prop_bufg_i_0)  0.092     -1.487    r b0_00_inst/clkout1_buf/O
              net (fo=4, unset)  1.539     0.052    r CLK_OUT1
SLICE_X0Y3    LUT1 (Prop_lut1_i0_0)  0.068     0.120    r b3_00_inst/U0/O
              net (fo=1, unset)  0.297     0.417    r WL3[1]
SLICE_X0Y4    LUT1 (Prop_lut1_i0_0)  0.068     0.485    r b3_01_inst/U0/O
              net (fo=1, unset)  0.297     0.782    r WL3[2]
SLICE_X0Y5    LUT1 (Prop_lut1_i0_0)  0.068     0.850    r b3_02_inst/U0/O
              net (fo=1, unset)  0.297     1.147    r WL3[3]
SLICE_X0Y6    LUT4 (Prop_lut4_i3_0)  0.068     1.215    r b4_00_inst/U0/O
              net (fo=1, unset)  7.476     8.691    r OUT_OBUF
M22           OBUF (Prop_obuf_i_0)  2.227     10.918   r OUT_OBUF/O
              net (fo=0)      0.000     10.918   r OUT
              r OUT

report_timing: Time (s): elapsed = 00:00:06 . Memory (MB): peak = 752.457 ; gain = 17.676
```

รูปที่ 4.13 รายงานการใช้เวลาในแต่ละขั้นตอนในวงจรรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการดำเนินงาน

5.1 สรุปผลการทดลอง

ในหัวข้อ 4.1 เราสามารถผลิตสัญญาณพัลส์จากการเขียนโปรแกรมด้วยภาษาเวอริล็อกผ่าน การโปรแกรมลงในบอร์ดพัฒนา FPGA Spartan-6 โดยใช้หลักการ Delay Line-based Pulse Generator ซึ่งมีการทดลองโดยการปรับค่า Masking Bits เป็น “11110100” จะได้รูปแบบสัญญาณ พัลส์เป็นลักษณะดังกล่าว มีความถี่ของแต่ละบิตเป็น 170MHz โดยประมาณ แสดงว่าการกำหนด Masking Bits มีผลต่อ Output Bits ซึ่งก็คือลักษณะของสัญญาณต่อเนื่องที่เกิดขึ้นภายใน 1 Pulse Width ของสัญญาณพัลส์ และการกำหนดจำนวนดีเลย์เซลล์ จะมีผลต่อความถี่ของสัญญาณ Output ในแต่ละบิต โดยจะสามารถป้อนสัญญาณกระตุ้นขอบขาขึ้น ให้เกิดการผลิตสัญญาณได้ด้วยการ กระตุ้นสัญญาณด้วยการกดปุ่ม GPIO_BUTTON_0 ถือว่าเป็นการพิสูจน์หลักการนี้ที่เรารู้มาจากการค้นคว้า

ในหัวข้อ 4.2 เราสามารถผลิตสัญญาณพัลส์ที่มีความถี่สูงขึ้นโดยใช้พื้นฐานหลักการ Delay Line-based Pulse Generator และมีการใช้ฟังก์ชัน Logi Core ในการกำหนดสัญญาณกระตุ้นโดย ใช้ข้อสปีเคเตอร์ของระบบซึ่งมีค่าสูงสุด 200MHz จากผลการทดลองสรุปได้ว่า สามารถผลิตสัญญาณ พัลส์ที่มีคุณสมบัติเป็นอัลตราไวด์แบนด์ ซึ่งมีความถี่กลางที่ประมาณ 3.1GHz แบนด์วิดธ์โดยประมาณ ที่ 3.2GHz, 3.5GHz มีอัตราส่วนแบนด์วิดธ์ 1.033, 1.129 ซึ่งเป็นไปตามเงื่อนไขของ United States Federal Communication Commission ที่ว่าต้องมีแบนด์วิดธ์มากกว่า 500MHz และมีอัตราส่วน แบนด์วิดธ์มากกว่า 0.20 รวมไปถึงการกำหนดเวลาในการทำงานของดีเลย์เซลล์แต่ละตัวนั้นยังขึ้นอยู่กับ การกำหนดตำแหน่ง SLICE ในไฟล์ ucf โดยเซลล์ดีเลย์แต่ละตัวมีเวลาการทำงานคงที่ 68ns ตาม รายงานในรูปที่ 4.13 แต่จะมีผลจากการต่อสาย net และฟังก์ชันการทำงานอื่นๆ

นอกจากนั้นเรายังสามารถสรุปได้ว่า การกำหนด PRF หรือความถี่ในการส่งสัญญาณพัลส์แต่ ละช่วงได้โดยการกำหนดสัญญาณกระตุ้นเป็น $\frac{1}{2}$ เท่า ของความถี่ PRF ที่ต้องการ ดังสรุปได้จากหัวข้อ ที่ 4.2

5.2 ปัญหาที่พบในการดำเนินงาน

1. สัญญาณพัลส์ที่ผลิตออกมานั้นยังได้รับผลจากการรบกวนโดยการสูญเสียของสายหรือการ กำหนดเวลาเซลล์ดีเลย์ไม่คงที่ ต้องอาศัยการปรับตำแหน่งในไฟล์ ucf ทำให้ต้องทำการวิเคราะห์และ หาทางแก้ไขกันต่อไป

2. ผู้ทดลองยังไม่มี ความเชี่ยวชาญในการใช้ฟังก์ชันเสริมที่เป็นประโยชน์มากับโปรแกรม เป็น การใช้ทรัพยากรอย่างไม่คุ้มค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. บอร์ดพัฒนายังมีข้อจำกัดในการใช้งานเรื่องความเร็วในการดำเนินการโปรแกรม จึงต้องมีการลดขั้นตอนในโปรแกรม ซึ่งมีผลต่อความถี่ของสัญญาณผลลัพธ์

5.3 ข้อเสนอแนะ

1. ผู้จัดทำยังต้องทำการศึกษาการเขียนโปรแกรมโดยใช้ภาษาเวอริล็อกให้ดีกว่านี้
2. ต้องมีการฝึกหัดในการใช้ฟังก์ชันเสริมของโปรแกรมเพื่อความเป็นประโยชน์และมีประสิทธิภาพในการทำงานมากขึ้นต่อไป
3. ผู้จัดทำจะต้องมีการพัฒนาในการใช้งานเครื่องมือต่างๆ ต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- [1] ACC Training Support Squadron Detachment 8, 2000, "Electronics Warfare Fundamental." Las Vegas: US Air force.
- [2] James D. Taylor, 2012, "Ultra-wideband RADAR Applications and design." Boca Raton: CRC Press.
- [3] Ian Oppermann, Matti Haïmaï laï inen and Jari linatti, 2004, "UWB Theory and Applications." West Sussex: John Wiley & sons.
- [4] Robert O'Donnell, January 2010, "Radar Systems Engineering Lecture 17 Transmitters & Receivers." *IEEE New Hampshire Radar Systems Course 1 XMTR & RCVR*, pp. 2, 7-8, 35, 39.
- [5] Park Young Min and David Wentzloff, "All-Digital Synthesizable UWB Transmitter Architectures." *IEEE International conference on UWB Report*, Vol.2, 2008
- [6] K.S. Mohammed, "Chapter 66 FPGA Implementation of PPM I-UWB Baseband Transceiver." *European Computing Conference Report*, 2009.
- [7] P. Duraiswamy, X. Li, J. Bauwelinck, J. Vandewege (2011), "Build a UWB pulse generator on an FPGA," EDN network publisher, Ghent University, IMEC/Department of Information Technology.
- [8] ภาควิชาวิศวกรรมคอมพิวเตอร์ มหาวิทยาลัยสงขลานครินทร์. พ.ศ.2552. "Verilog Thai."
สงขลา : สำนักพิมพ์มหาวิทยาลัยสงขลานครินทร์
- [9] Xilinx, "ML605 Hardware User Guide (UG534)." 2013.
- [10] Xilinx, "Virtex-6 Family Overview (DS150)." 2015.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

All-Digital Synthesizable UWB Transmitter Architectures

Youngmin Park and David D. Wentzloff

University of Michigan, Ann Arbor, MI, 48109, USA

Abstract—This paper presents two all-digital synthesizable pulsed-ultra-wideband (UWB) transmitter architectures. Both delay line-based and ring oscillator-based architectures proposed in this paper are synthesized and place-and-routed (PAR) with existing design tools. This design flow eliminates custom circuit design and layout, thus significantly enhancing design productivity. Also, the center frequency and the bandwidth of the output signals are tuned digitally to compensate for the variation induced by the PAR or to adapt to various applications. To verify the feasibility of the architectures, FPGA prototypes are implemented. The measured output signals of the prototype circuits meet the target spectrum specifications by tuning the mismatch in delay.

Index Terms— ultra-wideband radio, transmitters, pulse generator, all-digital architecture, synthesizable architecture, FPGA

I. INTRODUCTION

ULTRA-wideband (UWB) is becoming a promising technology for short-range wireless communication applications such as sensor networks and RFIDs with improving performance and reducing cost and power consumption. Among many proposed UWB systems, pulsed-UWB presents many advantages to achieve these targets in the transmitter [1]. When used with pulse position modulation (PPM), most of the complexity is taken by the receiver to detect transmitted signals, thus the transmitter can have a simple architecture which can be integrated with CMOS technology. Also, the transmitter is turned on only when transmitting pulses, thereby significantly reducing power consumption in the transmitter. Recently, various digital UWB transmitters have been implemented in CMOS technologies showing expected performances with low power consumption [2]-[5].

Taking further the advantages of all-digital transmitters, this paper presents *synthesizable* UWB transmitter architectures. These synthesizable architectures, by definition, are described using a hardware description language such as verilog, then synthesized and place-and-routed (PAR) by existing design tools. This eliminates the time-consuming and error-prone procedure of custom circuit design and layout, and enables the

UWB transmitter to be synthesized with other digital systems. Automatic PAR, however, can introduce undesirable mismatch in the timing control; hence a digital tuning capability which can compensate for the mismatch introduced by PAR is also included in these architectures.

The remainder of this paper is organized as follows. Section II describes all-digital synthesizable transmitter architectures; delay line-based architecture and ring oscillator-based architecture. The FPGA implementation of the architectures and FPGA-specific issues are discussed in the section III. Section IV then presents the experimental results of the prototype circuits. Finally, section V concludes this paper.

II. ALL-DIGITAL TRANSMITTER ARCHITECTURES

All-digital transmitter architectures are comprised of a system controller, a modulator, and a pulse generator as depicted in Fig. 1. The system controller in Fig. 1 sets all the parameters which control the modulator and the pulse generator. When the PPM modulation scheme is applied, the system controller determines the duration of each PPM symbol and the pulse repetition frequency (PRF). These parameters can be set dynamically based on the detecting resolution of the receiver and the data rate of the input signals. The system controller also sets the parameters that define the center frequency and the bandwidth of the RF output signals. With this interface between the system controller and the pulse generator, the specifications of various applications can be met.

The PPM modulator generates a triggering edge for the pulse generator. According to the control signals from the system

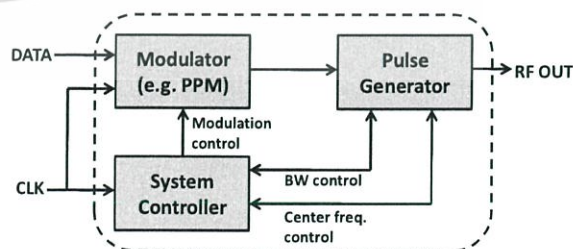


Fig. 1. All-digital pulsed UWB transmitter architecture

controller, it divides the PRF period into a number of time slots and generates one edge at a coded time slot.

The pulse generator synthesizes pulses with the desired center frequency and bandwidth. Since the pulses determine the power spectrum of the transmitted signals, this pulse generator is the most critical block in terms of power and frequency specifications. In this paper, two pulse generators; a delay line-based pulse generator and a ring oscillator-based pulse generator, are presented that are fully described in verilog.

A. Delay Line-Based Pulse Generator

The delay line-based pulse generator [2] consists of a delay line (Fig. 2), a mask register, and an edge combiner (Fig. 3). When a rising edge from the modulator arrives at the delay line, it propagates through n_{stage} stages of delay cells, thus generating n_{stage} delayed rising edges. The delays between these edges are digitally controlled. As shown in Fig. 2, each delay cell is implemented with n_{width} parallel tri-state buffers. When disabled, the output of each tri-state buffer is high-impedance and the driving strength on the shared output node is reduced. Then, the delay through that stage increases. Therefore, the delay between the edges $D[n]$ and $D[n+1]$ are tunable by n_{width} bits of control signals $CTRL[n_{width}-1:0]$.

Fig. 3 shows the mask register and the edge combiner. The generated edges from the delay line are combined in the edge combiner. Since the edge combiner in this architecture is implemented with an XOR tree, each incoming edge toggles the output signal. In this way, two edges combine to generate one cycle and the period of that cycle is the sum of the delays of the two stages, thereby setting RF center frequency of pulse. The mask register selects the edges to be combined in the edge combiner by bitwise AND-ing the edges and corresponding masking bits. This determines the number of cycles in a pulse,

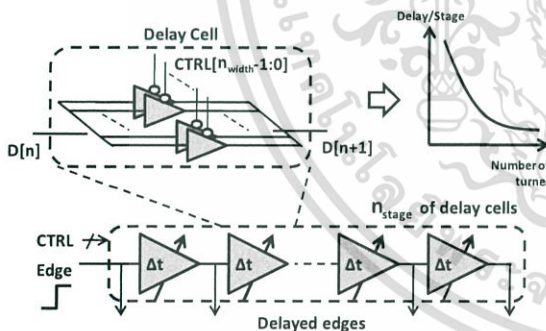


Fig. 2. Delay line and delay cell

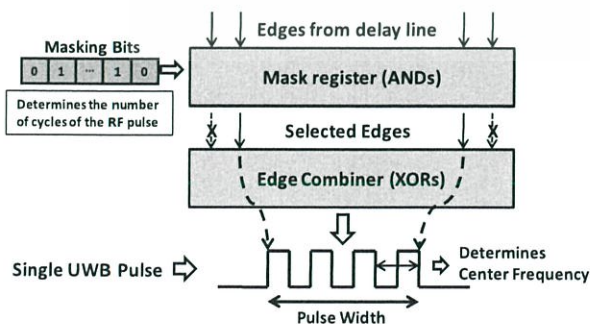


Fig. 3. Block diagram of mask register and edge combiner

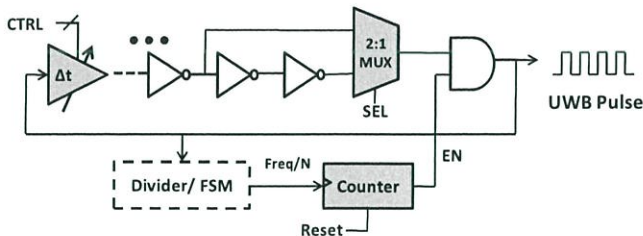


Fig. 4. Ring oscillator-based pulse generator

thereby the bandwidth of the signal in the frequency domain. This pulse generator provides flexibility in the center frequency and the bandwidth to meet the specifications of UWB systems. If the delay of each delay cell is tunable between 50ps and 150ps, and the total number of delay cells is larger than 30, the UWB frequency band (3.1-10.6GHz) can be covered.

B. Ring Oscillator-Based Pulse Generator

The ring oscillator-based pulse generator (Fig. 4) is composed of an inverter chain, a delay cell, a MUX, a divider, a counter, and an AND gate. An odd number of inverters in a ring generate an oscillating signal and the center frequency of the oscillation is determined by the driving strength of each inverter and the number of the inverters. Since these parameters are fixed when the circuit is synthesized, the delay cell and the MUX are included to tune the frequency of the ring oscillation. The delay cell provides digitally tunable delay in the oscillating loop and the MUX selects the number of the inverters in the loop to implement a coarse tuning.

The counter and the AND gate are required to control the number of cycles in a pulse which determines the bandwidth of the output signals. When the counter value reaches the target number of cycles, the oscillating signal is gated and the ring oscillator is turned off. In the event that the synthesized counter is not fast enough to count the RF cycles (3.1-10.6GHz), a divider may be placed before the counter. Since this divider reduces the resolution of the counter, a simple and fast finite state machine is implemented to account for the remainder from the division.

This pulse generator also provides a range of the center frequency and the bandwidth. If the number of the inverters is determined so that the oscillating period is between 100ps and 300ps, the 3.1-10.6 GHz UWB frequency requirements can be met.

III. PROTOTYPE IMPLEMENTATION (FPGA)

Since all the functional blocks in FPGA circuits are synthesized and place-and-routed by automatic design tools, they are good prototype demonstrations of the synthesizable architectures. Fig. 5 shows FPGA prototype implementation of the all-digital transmitter. In this implementation, the Virtex-II Pro FPGA device and the ISE Foundation design tools from Xilinx are used [6]. The clock signal and the input data are provided to the FPGA from external sources and the input data rate and the output frequency are scaled down to 1Mbps and 110MHz respectively for the purpose of the prototype.

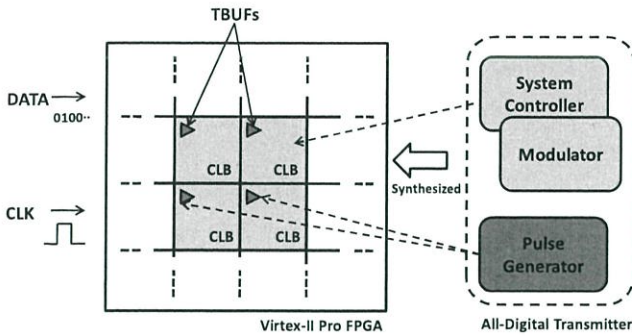


Fig. 5. FPGA prototype of all-digital pulsed-UWB transmitter

The system controller and the modulator are implemented as finite state machines. Verilog code is written describing their functions, and mapped to the configurable logic blocks (CLBs) in the FPGA device.

Unlike the system controller and the modulator, the timing of the output signals is sensitive to the implementation of the pulse generator. Since the performance of the pulse generator is affected by the synthesis and routing, the detailed implementation of the pulse generator is presented in the following sections.

A. Delay Line-Based Pulse Generator

The Virtex-II Pro FPGA device provides tri-state buffers named TBUF (Fig. 5). Although these buffers are not implemented exactly as the tri-state buffers in CMOS standard libraries, they have input ports controlling connectivity to shared wires. Therefore, the digital tuning described in the previous section can be achieved with TBUFs. The FPGA delay line was implemented with eight stages of delay cells, thus having four cycles per UWB pulse at the output port. The mask register and the edge combiner are implemented with logic gates, which are mapped to the CLBs in the FPGA.

As shown in Fig. 6, the half cycle period is determined by the sum of the delay of each delay cell and the mismatch in the path to the output. With all the TBUFs turned on, the delay cell generates the shortest delay (T_{TBUF_init}). Then, the mismatch in the path delay (ΔT_{PATH}) through the mask register and the edge combiner is added to it. These two values, however, are affected by PAR, thereby introducing variation over the stages. To obtain a unified cycle period, the tunable delay (T_{TBUF_tune}) of each stage is increased by turning off the TBUFs. Fig. 7 shows the measured mismatches and the achievable range by tuning the delay cells. Though the FPGA device has an interconnect-dominant structure, thereby limiting the tuning ability of the delay cells, this pulse generator provides a range of feasible cycle period.

One of the major differences in the FPGA implementation is that pull-up resistors are tied to the output node of each tri-state buffer. When disabled, the output of TBUF is pulled up to the supply voltage, which makes the delay control of the rising edges non-monotonic. To obtain the desired tuning control, only the falling edges are used to synthesize pulses.

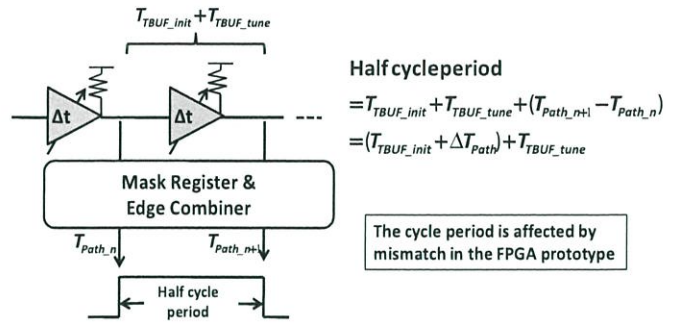


Fig. 6. FPGA prototype of the delay line-based pulse generator

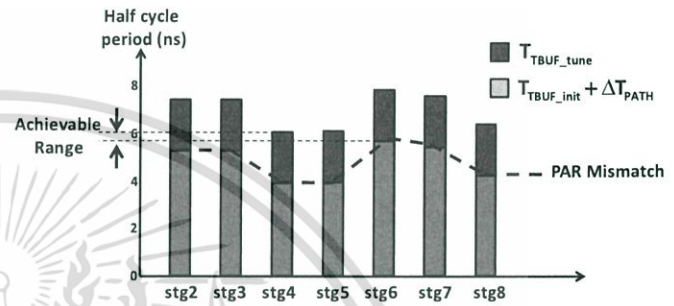


Fig. 7. Measured mismatches of the initial delays and tunable delay values (stage 1 is used as a reference).

B. Ring Oscillator-Based Pulse Generator

Fig. 8 shows the FPGA prototype of the ring oscillator-based pulse generator and cycle period tuning with it. The TBUFs and the MUX are used to tune the center frequency of the oscillating signal. With 16 parallel TBUFs, there are 16 steps of fine tuning. The MUX selects the number of inverters in the loop to provide coarse tuning of the center frequency. As shown in Fig. 8, this pulse generator can have a broad range of center frequency with this coarse-fine tuning approach. Unlike the delay line-based pulse generator, all the RF cycles in a pulse have the same period since they share the same path to the output port.

All blocks including the inverters, the switching gate and the counter are synthesized and mapped to the CLBs in the FPGA device.

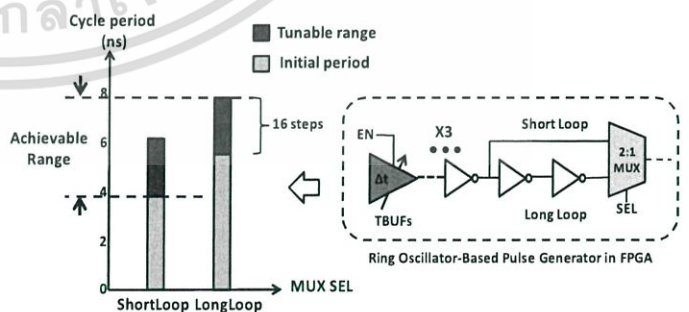


Fig. 8. Period tuning with TBUFs and MUX in the ring oscillator-based pulse generator

IV. EXPERIMENTAL RESULTS (FPGA)

As mentioned in the previous section, the target center frequency is scaled down to 110MHz and the fractional bandwidth requirement (bandwidth > 20% of the center frequency) is achieved in the prototype circuits.

Fig. 9 shows the pulse waveform and the spectrum of the delay line-based pulse generator (a) before and (b) after the delay has been digitally tuned to equalize delays. As explained in Fig. 6 and Fig. 7, the mismatch of the path delay is significant, which prevents the cycles from having unified periods. Thus, the side lobe of the spectrum is not reduced and harmonics are present (Fig. 9a). After tuning each delay cell, the mismatches are compensated and the desired spectrum is obtained (Fig. 9b). The measured center frequency is 110.25MHz and the bandwidth is 41.5MHz (37.6% of the center frequency), which meets the FCC fractional bandwidth requirement.

Fig. 10 shows the pulse waveform and the spectrum of the ring oscillator-based pulse generator. Since the period of each cycle is the same without tuning, only the center frequency is tuned to have the target frequency. The measured center frequency is 111.25MHz and the bandwidth is 41.9MHz (37.6% of the center frequency), which also meets the FCC fractional bandwidth requirement.

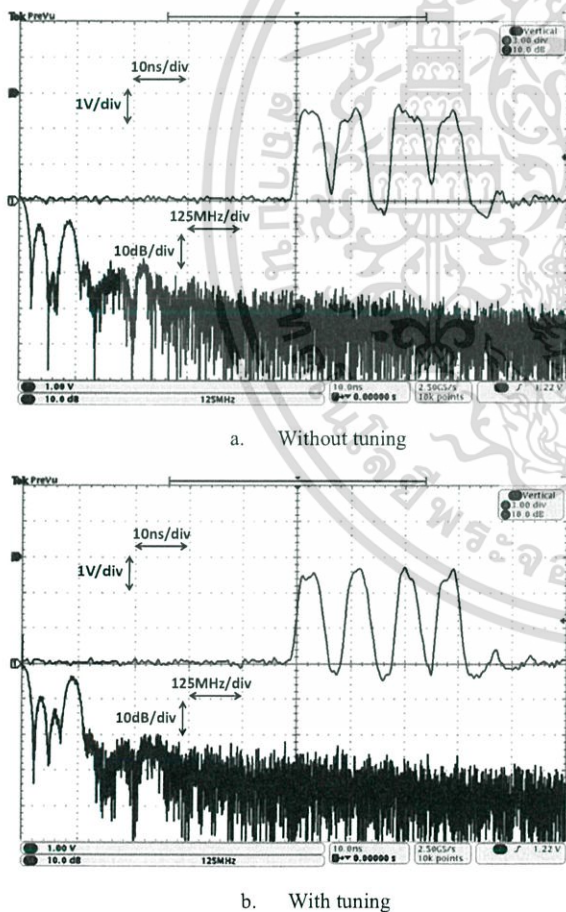


Fig. 9. Comparison of measured pulse waveform and spectrum of the delay line-based pulse generator with and without tuning

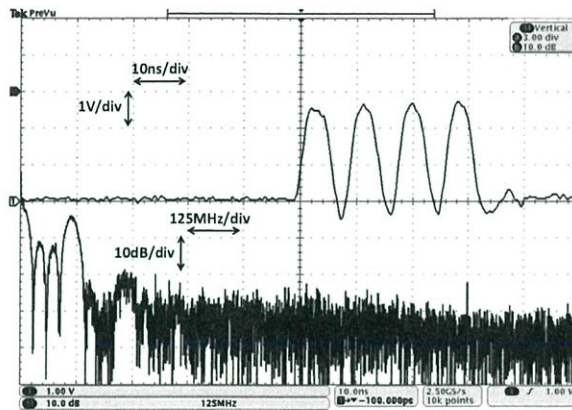


Fig. 10. Measured pulse waveform and spectrum of the ring oscillator-based pulse generator

V. CONCLUSION

We have presented two all-digital, synthesizable transmitter architectures. Whereas both architectures have digitally tunable center frequency and bandwidth, the delay line-based architecture shows more flexibility in tuning the pulse width. That is, it can have variable duty cycle of the pulses for specific applications and can adopt other modulation schemes such as DB-BPSK [7]. The ring oscillator-based architecture, on the other hand, requires a much smaller number of transistors, thus reducing the area and power consumption. Also, the unified cycle periods simplifies the tuning of the center frequency. However, if the synthesized circuit does not have the desired duty cycle (e.g. 50%), the spectrum has undesirable side lobes.

The FPGA prototype circuits verified the feasibility and the functionality of both architectures. Since these architectures are comprised of functional blocks which can be implemented with standard library cells in CMOS technologies, the desired design productivity and performance from these architectures are achievable with technology scaling.

ACKNOWLEDGMENT

Youngmin Park is partially funded by the Kwanjeong Educational Foundation Scholarship.

REFERENCES

- [1] M. Z. Win and R. A. Scholtz, "Impulse radio: How it works," *IEEE Commun. Lett.*, no. 2, Aug. 1998, pp. 36-38.
- [2] D. D. Wentzloff, A. P. Chandrakasan, "A 47pJ/pulse 3.1 to 5 GHz all-digital UWB transmitter in 90 nm CMOS," *IEEE Int. Solid State Circuits Conf.*, 2007.
- [3] J. Ryckaert, et al, "Ultra-wide-band transmitter for low-power wireless body area networks: Design and evaluation," *IEEE Trans. Circuits and Systems*, vol. 52, no. 12, Dec. 2005.
- [4] T. Norimatsu, et al, "A novel UWB impulse-radio transmitter with all-digitally-controlled pulse generator," in *European Solid-State Circuits Conference*, Sep. 2005, pp. 267-270.
- [5] C.-F. Liang, S.-T. Liu, S.-I. Liu, "A calibrated pulse generator for impulse-radio UWB applications," *IEEE Journal of Solid-State Circuits*, vol. 41, NO. 11, Nov. 2006.
- [6] Xilinx, Virtex-II Pro User Guide, 2007.
- [7] D. D. Wentzloff, A. P. Chandrakasan, "Delay-based BPSK for pulsed-UWB communication," *IEEE Int. Conf. on Speech, Acoustics, and Signal Processing*, 2007.

CW and Pulse–Doppler Radar Processing Based on FPGA for Human Sensing Applications

Yazhou Wang, *Student Member, IEEE*, Quanhua Liu, *Member, IEEE*, and Aly E. Fathy, *Fellow, IEEE*

Abstract—In this paper, we discuss using field-programmable gate arrays (FPGAs) to process either time- or frequency-domain signals in human sensing radar applications. One example will be given for a continuous-wave (CW) Doppler radar and another for an ultrawideband (UWB) pulse–Doppler (PD) radar. The example for the CW Doppler radar utilizes a novel superheterodyne receiver to suppress low-frequency noise and includes a digital downconverter module implemented in an FPGA. Meanwhile, the UWB PD radar employs a carrier-based transceiver and a novel equivalent time sampling scheme based on FPGA for narrow pulse digitization. Highly integrated compact data acquisition hardware has been implemented and exploited in both radar prototypes. Typically, the CW Doppler radar is a low-cost option for single human activity monitoring, vital sign detection, etc., where target range information is not required. Meanwhile, the UWB PD radar is more advanced in through-wall sensing, multiple-object detection, real-time target tracking, and so on, where a high-resolution range profile is acquired together with a micro-Doppler signature. Design challenges, performance comparison, pros, and cons will be discussed in detail.

Index Terms—Continuous wave (CW), field-programmable gate array (FPGA), human sensing, micro-Doppler, pulse–Doppler (PD) radar, ultrawideband (UWB).

I. INTRODUCTION

TODAY'S radar system designers rely more heavily than ever before on field-programmable gate arrays (FPGAs). In the past, most complex digital signal processing (DSP) functions were mainly implemented on dedicated digital signal processors. However, with the needs of many radar applications outstripping the processing capabilities of digital signal processors, e.g., measurement in millions of instructions per second, the use of FPGAs is rapidly growing [1]. Equally important, and often overlooked, is the FPGA's inherent advantage in product

Manuscript received February 20, 2012; revised July 8, 2012 and September 1, 2012; accepted September 1, 2012. Date of publication October 25, 2012; date of current version April 18, 2013. This work was supported in part by Prof. M. R. Mahfouz of The University of Tennessee and in part by Prof. M. G. Amin of Villanova University.

Y. Wang was with the Department of Electrical Engineering and Computer Science, The University of Tennessee at Knoxville, Knoxville, TN 37996 USA. He is now with the Boston Design Center, RF Micro Devices, Inc., Billerica, MA 01821 USA (e-mail: ywang34.utk@gmail.com).

Q. Liu was with the Department of Electrical Engineering and Computer Science, The University of Tennessee at Knoxville, Knoxville, TN 37996 USA. He is now with the School of Information and Electronics, Beijing Institute of Technology, Beijing 100081, China (e-mail: liuquanhua@bit.edu.cn).

A. E. Fathy is with the Department of Electrical Engineering and Computer Science, The University of Tennessee at Knoxville, Knoxville, TN 37996 USA (e-mail: fathy@eecs.utk.edu).

Color versions of one or more of the figures in this paper are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/TGRS.2012.2217975

TABLE I
LIST OF THE MOST COMMON FPGAs IN THE
COMMERCIAL MARKET [2], [3]

FPGA Model	System Speed	Logic Cells	Block RAMs	DSP Slices	SelectIO Speed
Altera Stratix III	533 MHz	338 K	18.3 Mb	112	1.25 Gb/s LVDS
Altera Stratix V	500 MHz	622 K	20.4 Mb	1,963	1.4 Gb/s LVDS
Xilinx Virtex-5	550 MHz	207.3 K	16.4 Mb	1,056	1.25 Gb/s LVDS
Xilinx Virtex-7	640 MHz	2 M	68 Mb	3,600	1.86 Gb/s DDR3
Xilinx Virtex-5 XCV5X35T	550 MHz	21.7 K	3.0 Mb	192	1.25 Gb/s LVDS

reliability and maintenance. In addition, signal demodulation and matched filter can be implemented in an FPGA rather than using additional devices. Table I lists the most common FPGAs in the commercial market that can be used in human sensing radars. Several FPGA models provided by the two leading FPGA vendors, i.e., Altera and Xilinx, are compared here in terms of system speed, logic cells, block RAMs, DSP slices, and select I/O speed [2], [3]. FPGAs are currently evolving faster and faster to meet the demands of the new radar and sensor system designs.

Several different kinds of radar systems are currently used for human sensing applications, some of which utilize frequency-domain signals such as continuous wave (CW) [4] and frequency-modulated CW [5], [6]. Some systems may employ time-domain signals such as ultrawideband (UWB) pulse [7]–[10] and UWB noise [11]. Both radar systems that use frequency- or time-domain signals can be designed or redesigned to utilize FPGAs for signal processing.

CW radar generally has a simple structure and is well known for its wide range of applications such as speed-limit enforcement [12], human gait analysis [13]–[15], and vital sign monitoring [16], [17]. It is useful for determining a target's velocity by comparing the frequency differences between signals that have been transmitted and received. Typically, CW Doppler radar sends out a signal from a local oscillator (LO) and then collects the reflected signal using a homodyne receiver, where the returned signal is directly downconverted to baseband by mixing with the same LO [18], [19]. Although the homodyne receiver is simple in circuit complexity, it suffers from several problems such as dc offset and low-frequency noise from

power supply and other system components (e.g., amplifier and mixer) [20].

To overcome these disadvantages associated with the homodyne receiver, a novel superheterodyne receiver based on FPGA has been developed and is proposed here to process the signal in the frequency domain. The incoming signal is initially converted to an intermediate frequency (IF) to filter out the unwanted low-frequency components. Next, the filtered IF signal is shifted to baseband using a digital downconverter (DDC) module implemented in FPGA. A large array of configurable logic blocks within the FPGA gives great flexibility, as compared to the conventional dedicated hardware components solution. As an example, we present a detailed design of a CW Doppler radar prototype, including RF front-end module, signal digitization, and DDC. An experiment using the CW Doppler radar prototype for human activity sensing will be discussed as well.

Meanwhile, pulse radar sends out a series of short RF pulses. Upon measuring how long it takes to receive the returns from these pulses, system operators can estimate the range to a target. Pulse-Doppler (PD) radar uses Doppler shifts with radar pulses to determine the velocities of moving targets.

In particular, UWB PD radar provides more capabilities by rendering a high-resolution range profile (HRRP) and fine Doppler frequency shift simultaneously by processing a periodic narrow pulse signal in the time domain [21], [22]. In some specific applications, the HRRP of the radar target is of great importance for accurate human localization and sensing, which cannot be achieved by a CW radar. For example, in human sensing applications, we want to acquire the accurate target location, as well as estimate its motions [23]. In security surveillance, more than one radar object was detected and monitored at a time. Likewise, UWB PD can easily separate transmitting/receiving coupling and multipath propagation by time gating the radar-returned signal in the time domain. That feature makes UWB PD very attractive for through-wall human sensing as it can easily separate weak target scattering from strong wall reflections by using the time-gating method.

As an illustration, we will introduce the development of a UWB PD radar prototype, as well as how we extend it for sensing multiple human objects in a through-wall environment. Our developed UWB PD radar is based on low-cost processing of narrow pulse signals. This processing is based on an equivalent time sampling strategy [24], which is implemented by using an off-the-shelf FPGA, a relatively low-speed analog-to-digital converter (ADC), and a delay line chip.

As a common point, both the CW and UWB PD radar prototypes use FPGAs for radar signal processing in time and frequency domains, respectively. It is a low-cost solution as opposed to using expensive real-time oscilloscopes and vector network analyzers, respectively. FPGAs offer the best performance, size, weight, and power characteristics for these signal processing applications. The particular design for our purposes utilizes an off-the-shelf FPGA model, i.e., Xilinx Virtex-5 XC5VSX35T, to implement a low-cost solution while still meeting the performance requirements of the developed CW Doppler and UWB PD radars. Fig. 1 shows a photograph of in-house designed data acquisition hardware utilized in both the CW and UWB PD radar prototypes. For even better

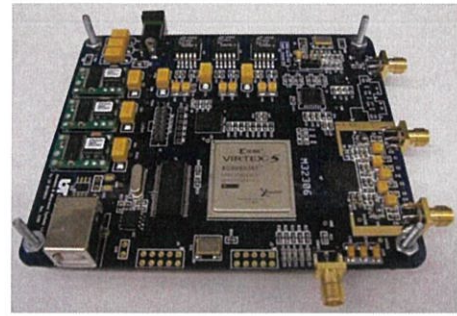


Fig. 1. In-house data acquisition hardware design utilized in both CW and UWB PD radar prototypes integrates a Xilinx Virtex-5 FPGA (XC5VSX35T), a 16-bit National Semiconductor ADC (ADC16DV160), a delay line chip, and a USB2.0 microcontroller in a four-layer printed circuit board.

performance, the latest FPGAs on the commercial market, i.e., Altera Stratix V family and Xilinx Virtex-7 family, can be used since they provide significantly more logic cells and DSP slices. It makes possible to implement a higher order finite-impulse response (FIR) filter, increase the bit number of a phase accumulator, etc., which can improve the accuracy and sensitivity of a Doppler radar.

Contrary to both radar prototypes using the Xilinx Virtex-5 XC5VSX35T FPGA, these two radar prototypes require different design strategies and present distinct features and capabilities. In this paper, we compare the two Doppler radar alternatives in terms of system complexity, prototyping cost, radar performance, and detection capability. The pros and cons of each technology are also discussed, and recommendations are given for the appropriate radar prototype for given applications.

II. CW DOPPLER RADAR PROTOTYPE BASED ON FPGA

In this implementation, the CW Doppler radar and UWB PD radar prototypes share several fundamental elements within the system platform to save prototyping cost, including the transmitting and receiving antennas, a power amplifier, a low-noise amplifier, and a mixer. All selected components exhibit wideband performance, which is compatible with the UWB PD radar prototype. However, these same components can be easily replaced with narrow-band components in the CW radar prototype.

Fig. 2 details the setup of the developed CW Doppler radar prototype. On the transmitter side, a 3-GHz CW signal generated by an Agilent signal generator, 83622B, is amplified through a Mini-Circuits ZHL-42 power amplifier before being sent for transmission through a Vivaldi antenna [25]. On the receiver side, the radar-returned signal collected by the receiving Vivaldi antenna is initially amplified by a Hittite HMC753 low-noise amplifier. The amplified signal is then downconverted to a 20-MHz IF band by mixing with a 2.98-GHz LO, generated by another Agilent signal generator, E8257D. The two Agilent signal sources are synchronized by wiring their 10-MHz reference clocks. These two Agilent signal sources may be replaced with a commercially available phase-locked loop that features an integrated voltage-controlled oscillator, such as HMC830LP6GE from Hittite [26]. Next, the 20-MHz IF signal is bandpass filtered to remove the

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาด้านงาน ไม่นับญาติเห็นาไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

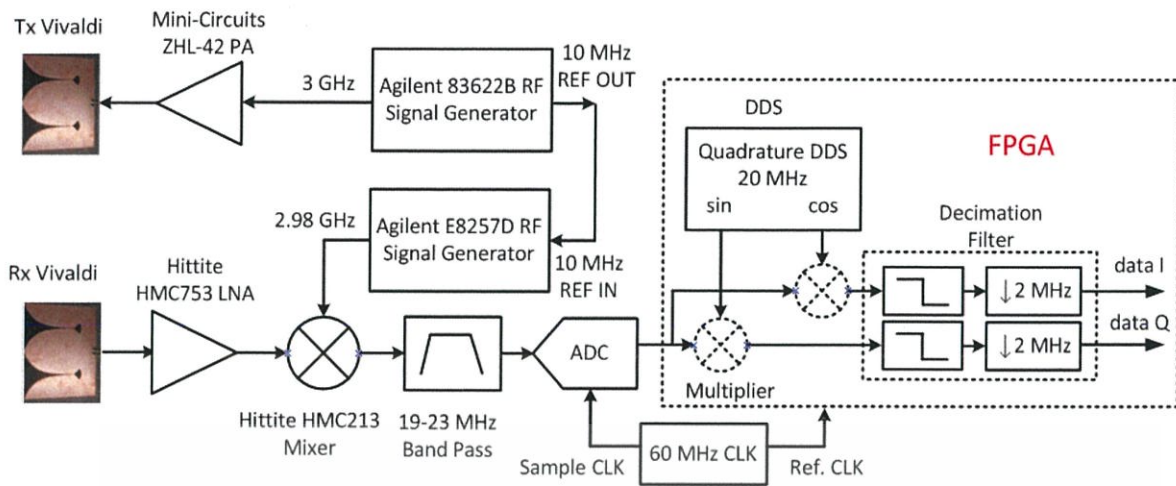


Fig. 2. Block diagram of the CW Doppler radar prototype.

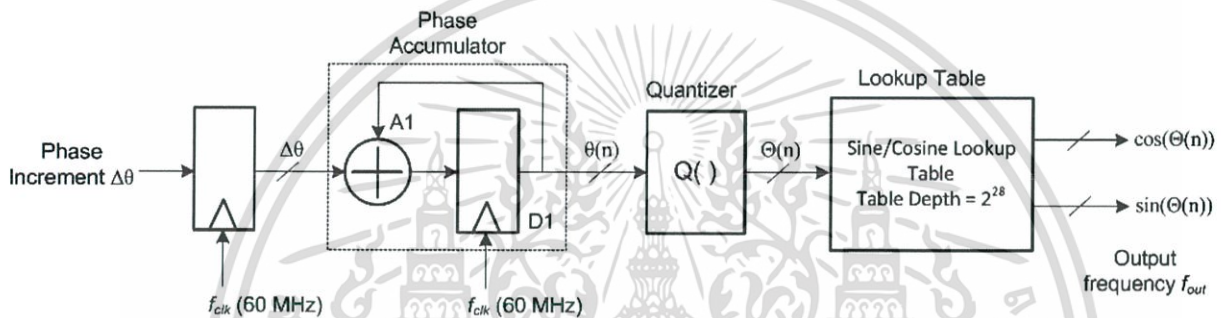


Fig. 3. Block of the quadrature DDS implemented in the FPGA.

low-frequency noise/interference and then sent to the ADC, i.e., ADC16DV160 from National Semiconductor, for signal digitization. The IF signal is digitized using a 60-MHz sampling clock provided by an external clock and synchronized with the FPGA reference clock. Next, the sampled data are sent to the FPGA for digital downconversion. The utilized Xilinx Virtex-5 XC5VSX35T FPGA includes many system-level blocks such as powerful 36-Kb block RAM/FIFOs and second-generation DSP slices. The DDC implemented in the FPGA, as shown in Fig. 2, consists of three subcomponents: a direct digital synthesizer (DDS), a multiplier, and a decimation filter.

Fig. 3 details the quadrature DDS implemented in the FPGA. Phase truncation DDS [27], the simplest configuration of the DDS compiler core, is used in the FPGA, which includes three subcomponents: a phase accumulator, a quantizer, and a lookup table (LUT). The phase accumulator has a width of $B = 28$ bits and computes a phase slope that is mapped into a complex sinusoid by a LUT. The quantizer, working simply as a slicer, accepts the high-precision phase angle $\theta(n)$ and generates a lower precision representation of the angle denoted as $\Theta(n)$. This value is presented to the address port of a LUT that performs mapping from phase space to time. The output frequency f_{out} of the DDS waveform is a function of the system input clock frequency f_{clk} , the phase width B , and the phase increment value $\Delta\theta$. For example, the phase increment value $\Delta\theta$ required to generate an output frequency of 20 MHz is

$$\Delta\theta = \frac{f_{out} 2^B}{f_{clk}} = \frac{20M \cdot 2^{28}}{60M} = 89\,478\,485.333. \quad (1)$$

This value must be truncated to an integer giving the following actual output frequency:

$$f_{out} = \frac{\Delta\theta f_{clk}}{2^B} = \frac{89\,478\,485 \cdot 60M}{2^{28}} = 19\,999\,999.925 \text{ Hz}. \quad (2)$$

The actual output frequency has a small constant deviation of 0.075 Hz, which will generate a constant frequency offset at the Doppler frequency shift and has been compensated for in postdata processing.

The downconversion is then performed through two multipliers, as shown in Fig. 2, where the digitized input signal is multiplied with amplitude values of the sine and cosine functions stored in the LUT, respectively. Both data I and Q are acquired to avoid the overlap of positive and negative Doppler frequency shifts. The Xilinx FPGA can generate two different multiplier architectures, i.e., parallel and constant-coefficient multipliers, for two complement signed or unsigned data. Our design utilizes a parallel multiplier, which accepts two signed input buses with a width of 16 bits and generates the product of these two values as the output with a width of 32 bits.

Subsequently, a decimation filter, i.e., the combination of a cascaded integrator-comb (CIC) filter and a decimator, can be utilized to low-pass filter and downsample the I/Q data, as indicated in Fig. 2. CIC filters are typically employed in applications that have a large excess sample rate, i.e., the system sample rate is much larger than the bandwidth occupied by the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ขออนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

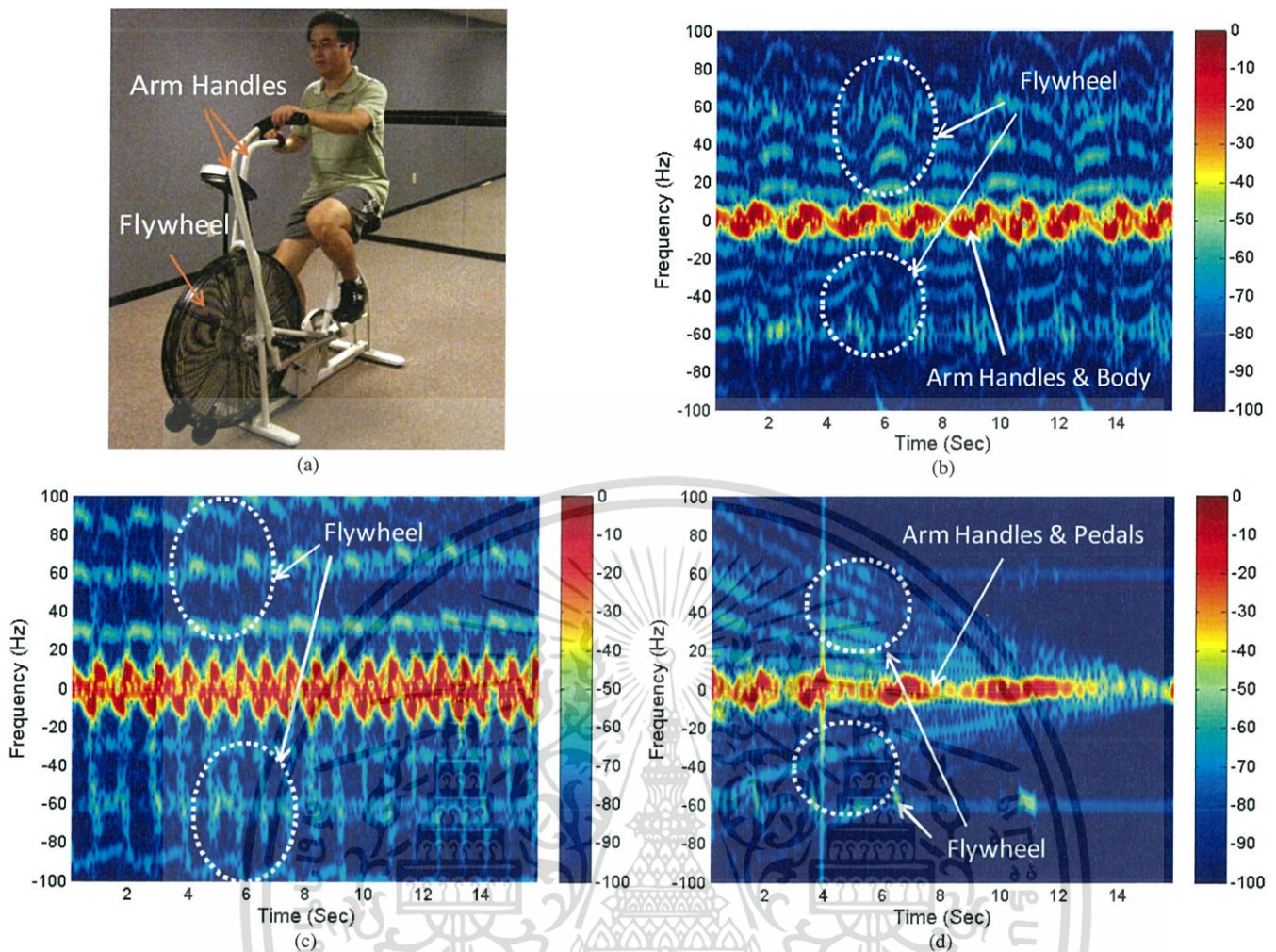


Fig. 4. Experiment of sensing a person riding an exercise bike using the CW Doppler radar prototype. (a) Experimental setup. (b) Spectrogram at a slower speed. (c) Spectrogram at increased pedal speed. (d) Spectrogram at the conclusion of bike exercise.

processed signal as in DDCs. The general system response of a CIC is

$$H(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} \quad (3)$$

where N is the number of CIC stages, R is the rate change (decimation), and M is the differential delay in the comb section stages of the filter. This filter response with a combination of filter and integrator sections, along with downsampling, gives rise to the hardware efficiency of CIC filters. In this design, the data digitized by the 60-MHz sampling clock are decimated to achieve a sampling rate of 2 megasamples per second (MS/s) by using the CIC filter, with $N = 3$, $R = 1$, and $M = 20$, to remove the out-of-band spectrum. After undersampling, the I/Q data are transferred to a computer in real time through a USB2.0 communication link, allowing a maximum data uploading rate of 25 megabytes per second (MB/s).

III. EXPERIMENT USING DEVELOPED CW DOPPLER RADAR

Human activity monitoring is useful for a variety of applications, including clinical gait characterization for detecting

pathological conditions and automated human detection for security applications, among others [28], [29]. Using the FPGA to implement the DDC function in the radar prototype provides significant advantages to the system in both signal accuracy and speed. More importantly, it allows the radar system designer to have more design flexibility, significantly improving the system performance and reducing the design cycle.

To demonstrate the performance of the developed CW Doppler radar based on the FPGA technique, two experiments have been carried out to investigate the micro-Doppler signatures of human physical activities. The first experiment performed for Doppler information extraction entails a person riding an exercise bike, as shown in Fig. 4(a). This activity is composed of numerous motions from both the human body (e.g., movement of the person's arms and cycling of legs) and the bike (e.g., swinging of arm handles, speedy rotation of flywheel, etc.).

A short-time Fourier transform (STFT) tool based on a MATLAB program processes the postdata to extract the Doppler frequency shift of the radar object [30]. Fig. 4(b) depicts the spectrogram obtained when the person rode the bike slowly, with the color map scale from 0 to -100 dB. The Doppler frequency shifts generated by the arm handles

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

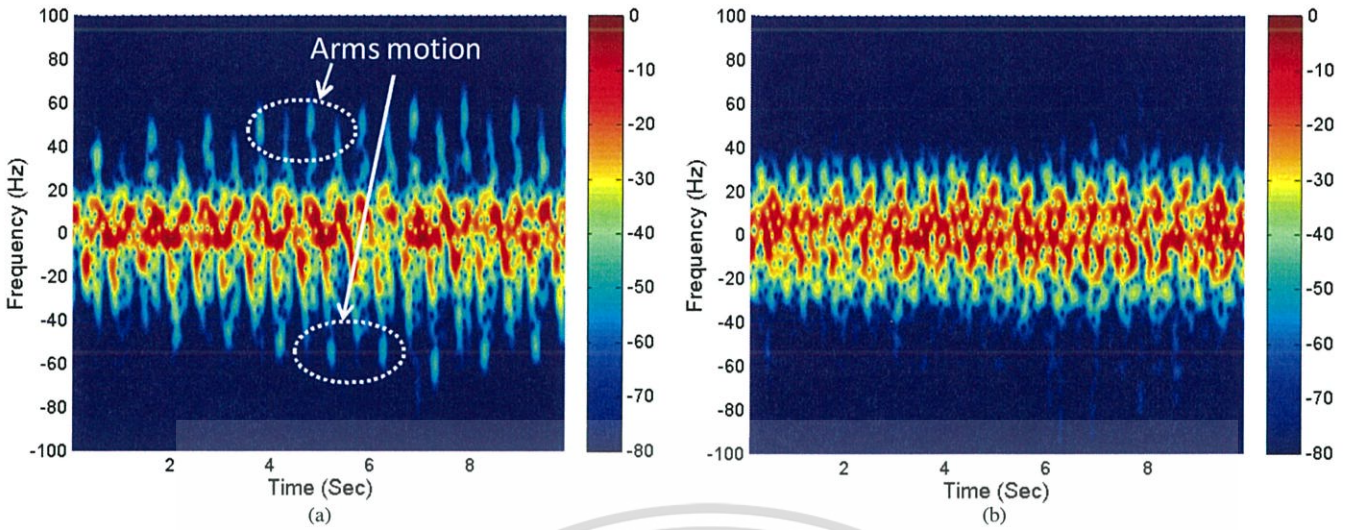


Fig. 5. Experiment of sensing a person walking/jogging on the treadmill using the CW Doppler radar prototype. (a) Spectrogram during treadmill walking. (b) Spectrogram during treadmill jogging.

of the bike and the human body move within the range of ± 10 Hz, with a higher intensity, as shown in Fig. 4(b). The running flywheel generates a series of positive and negative Doppler frequency shifts in the range of 20–60 Hz. Fig. 4(c) is the spectrogram that represents the frequency shifts generated by the arm handles, the human body, and the flywheel as the pedaling speed of the bike increases. The repetition rate of the motion has increased from 32 rounds/min to 68 rounds/min, according to Fig. 4(b) and (c). Fig. 4(d) reveals the spectrogram with the radar still monitoring the field at the conclusion of the biking exercise. The micro-Doppler signatures of the flywheel, arm handles, and pedals indicate that the bike gradually slowed down and completely stopped after 16 s. In Fig. 4(d), we can see some Doppler frequency around ± 60 Hz, which is due to the noise from electrical supply.

The second experiment investigates the micro-Doppler signature of a person walking/jogging on treadmill. A time-frequency (TF) analysis tool based on STFT [30] was utilized to acquire the Doppler information of the human motions. The spectrogram results shown in Fig. 5(a) and (b) indicate the motions of the person when he is walking and jogging on the treadmill, respectively. Fig. 5(a) presents the Doppler frequency pattern within ± 20 Hz from the movement of legs, feet, and torso, as well as frequency shift humps at 20–60 Hz from the motion of arms. The two swinging arms generate positive and negative Doppler frequency humps: one arm swings forward while the other swings backward. The maximum radial velocity is from the hand movement and can be calculated as 3 m/s, using the following equation:

$$v = \frac{f_{DC}}{2f_c} = \frac{f_D \lambda}{2} \quad (4)$$

where f_D (60 Hz) is the measured maximum Doppler frequency shift, as indicated in Fig. 5(a), and λ (10 cm) is the wavelength of the 3-GHz CW signal [31]. The jogging activity on the treadmill shows a distinctly different spectrogram pattern from the walking activity and a much faster repetition frequency, as portrayed in Fig. 5(b). When jogging, the person

typically swings the arms in a smaller range than he does with walking activity. The Doppler frequency shifts generated by the arms overlap with those generated by the torso and legs, as shown in Fig. 5(b). There were no obvious frequency shift humps from the arms movement in the jogging activity.

IV. UWB PD RADAR PROTOTYPE BASED ON FPGA

Like the CW Doppler radar prototype, the developed UWB PD radar prototype utilizes the same carrier frequency, i.e., 3 GHz; it utilizes a carrier-based architecture, as shown in Fig. 6. On the transmitter side, a 700-ps Gaussian pulse generator is driven by a 10-MHz clock, generated by the FPGA. The Gaussian pulse is then modulated by a 3-GHz carrier through a commercial Hittite HMC213 mixer. Next, the modulated signal passes through a high-gain power amplifier Mini-Circuits ZHL-42 before being sent out via a wideband Vivaldi antenna [25]. On the receiver side, an eight-element Vivaldi array is used to collect radar-returned signal and one channel is selected at a time by an SP8T switch. Next, a Hittite low-noise amplifier, HMC753, amplifies the selected radar-returned signal before it is downconverted into baseband. The downconversion is implemented by mixing the modulated signal with the same 3-GHz carrier. It is worthy to note that the UWB radar prototype is a coherent system where the transmitter and the receiver use the same carrier signal. Next, the baseband I and Q signals are low-pass filtered and amplified before being sent for data digitization based on an equivalent time sampling strategy [24]. At least 25-dB isolation is needed between the radar transmitter and receiver to avoid potential receiver saturation. The isolation can be achieved by properly setting up the location and direction of transmitting and receiving antennas.

According to the Nyquist sampling theorem, it requires at least 3 gigasamples per second (GS/s) data conversion rate to sample the 700-ps pulse signal without any distortion, which occupies a bandwidth from dc to 1.5 GHz. However, high-speed ADCs are frequently not commercially available and can be quite expensive; hence, using an equivalent time sampling

เอกสารนี้เป็นเอกสารที่สละงานวิชาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นำไปใช้ประโยชน์ทางการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

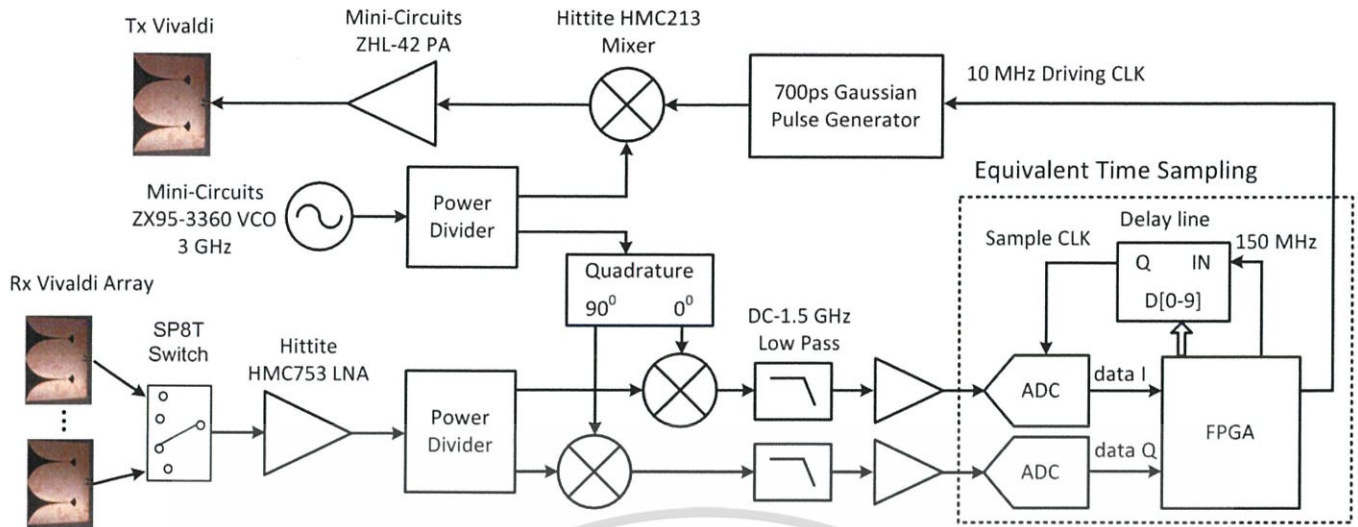


Fig. 6. Block diagram of the UWB PD radar prototype.

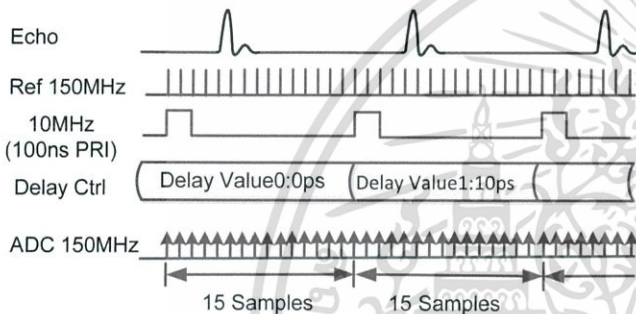


Fig. 7. Timing logic of the equivalent sampling process implemented in the FPGA.

scheme can be a low-cost solution. A 16-bit commercial ADC from National Semiconductor, i.e., ADC16DV160, was used in implementing the high-speed data acquisition module. It provides a maximum data conversion rate of 160 MS/s and a full power input analog bandwidth of 1.4 GHz.

A pulse train with a pulse repetition time (PRT) of 100 ns was used in recovering the sampling scheme. Instead of finishing the pulse signal digitization in one PRT, the first PRT retrieves only 15 samples as the baseband I/Q signals are digitized by using a 150-MHz sampling clock. The samples are then sent to the RAM of Xilinx Virtex-5 FPGA for temporary storage. After this, a delay line chip controlled by the FPGA bus generates a time delay Δt , which is added to the ADC sampling clock before starting the data conversion of the next PRT. The equivalent time sampling rate is determined by the resolution of the time delay Δt . In our design, a fine resolution has been achieved by using a commercial delay line chip SY100EP196, which provides a programmable delay from 2 to 12 ns with 10-ps fine increments. The 10-ps clock shift resolution renders an ultrafast equivalent sampling rate of 100 GS/s. After collecting the samples of a complete pulse cycle, the digitized data are transferred to the computer through a USB2.0 communication link and the FPGA RAM is cleared. Fig. 7 shows the time logic of the data sampling process implemented in the FPGA.

When using a single receiving channel or processing the multiple receiving channels in parallel, the UWB PD radar

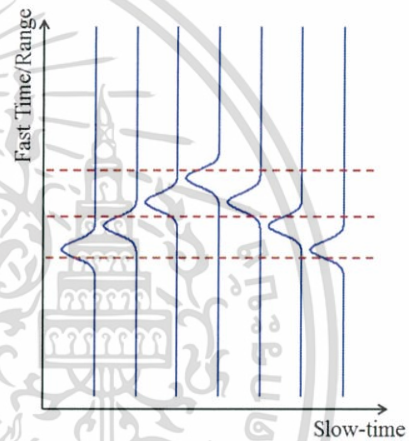


Fig. 8. Radar-returned signal of the UWB PD radar.

prototype achieves a system refresh rate of 600 Hz and an ambiguous Doppler velocity of up to 15 m/s, which is adequate for sensing any human motions. For reference within the following experiment, the average human walking speed is about 1.4 m/s while the world record of men's running speed is 10.5 m/s.

V. DOPPLER DETECTION PRINCIPLE USING UWB PD RADAR

Let $x(t)$ be the complex baseband pulse signal captured by one receiving channel, given by

$$x(t) = a(t) + jb(t) \quad (5)$$

where a and b are the in-phase and quadrature components of the pulse. The pulse signal is digitized and then saved in a 2-D data set denoted by $x[l, n]$, where $l = 1, 2, \dots, L$ introduces the fast-time sample (i.e., range bin) whereas $n = 1, 2, \dots, N$ represents the slow-time sample (i.e., index of PRT). Fig. 8 presents typical radar-returned signal captured by the UWB PD radar.

The flowchart of the UWB PD radar Doppler detection algorithm is shown in Fig. 9. A matched filter is first applied

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

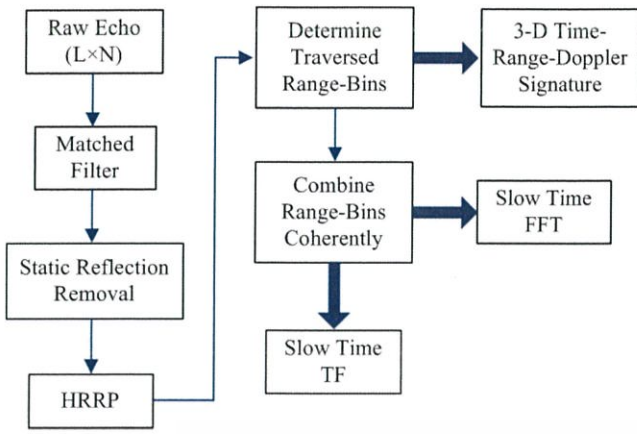


Fig. 9. Flowchart of micro-Doppler signature extraction using the UWB PD radar.

to improve the signal-to-noise ratio of the radar-returned signal by eliminating the out-of-band noise, given by

$$y_n(l) = x_n(l) \otimes h(l) \quad (6)$$

where “ \otimes ” denotes convolution operator, $x_n(l)$ represents the samples at the n th PRT, and $h(l)$ is the impulse response of the matched filter, and its frequency response is given by

$$H(f) = \begin{cases} 1, & f \leq f_p \\ 0, & f > f_p \end{cases} \quad (7)$$

where f_p is the bandwidth of the received baseband pulse.

Next, any target motion is highlighted by removing static reflection signal (e.g., due to background, stationary objects, and etc.) At different PRTs, radar-returned signals due to wall and background surroundings are constant in both amplitude and time delay, whereas signals due to moving target keep changing. Taking the average of the pulse signals at numerous PRTs, the acquired signal is due to the reflections of all static objects such as wall and background surroundings. Thus

$$\bar{y}(l) = \frac{1}{N} \sum_{n=1}^N y(l, n), \quad l = 1, 2, \dots, L. \quad (8)$$

The reflections from wall and background surroundings are eliminated by subtracting the averaged signal from every fast-time sampled pulse, with the new signal given by

$$z_n(l) = y_n(l) - \bar{y}(l). \quad (9)$$

For slowly moving target, some other moving target indication filters are preferred, such as one-delay canceler, two-delay canceler, or even multidelay canceler [32], which achieves a very sharp cutoff at zero compared to subtracting the average method.

After removing static reflections, HRRP presents the real-time location of the radar target, which is of great importance in through-wall or through-barrier detections. Meanwhile, HRRP also indicates that the range-bin radar target has traversed, which can be used later on for micro-Doppler signature extraction.

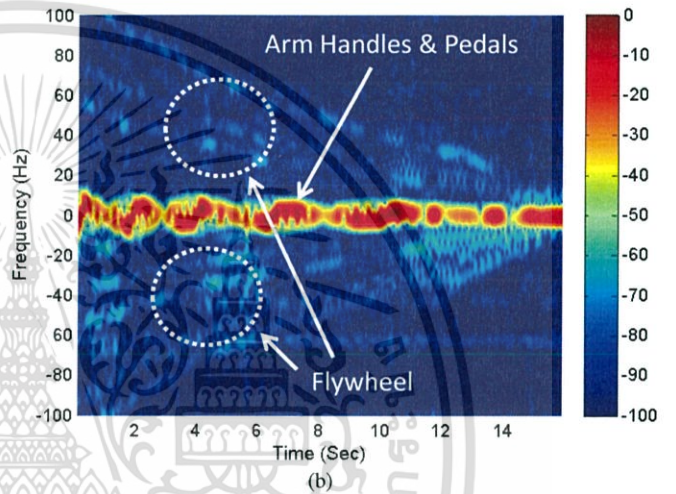
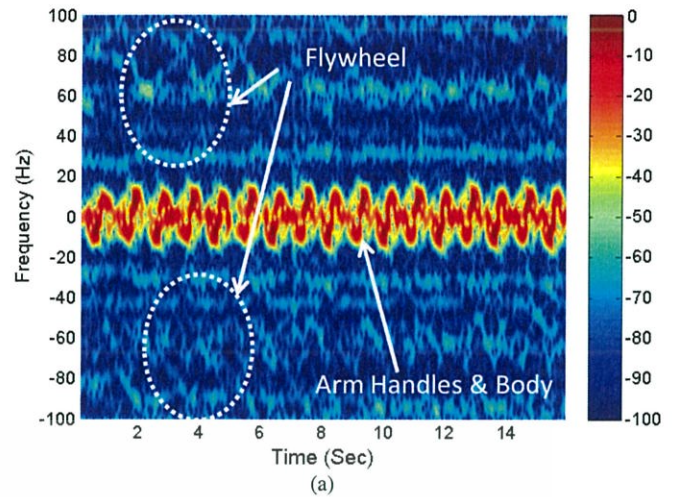


Fig. 10. Experiment of sensing a person riding an exercise bike using the UWB PD radar prototype. (a) Spectrogram at normal pedal speed. (b) Spectrogram at the conclusion of bike exercise.

For each range bin, TF analysis is applied to slow-time samples and a 3-D time-range-Doppler signature is acquired [33], as shown in Fig. 9. The 3-D radar Doppler signature allows detecting, relocating, and refocusing of moving targets [34]. The range-bin target that has traversed can be combined coherently before applying fast Fourier transform (FFT) or TF analysis on the slow-time samples. Micro-Doppler signature (i.e., Doppler frequency versus time) can be achieved by applying TF analysis, whereas Doppler spectrum can be derived by performing FFT on the slow-time samples.

VI. EXPERIMENT USING DEVELOPED UWB PD RADAR

To compare the two radar systems, the first experiment for the UWB PD radar was to sense a person riding an exercise bike under the same condition as the CW Doppler radar. When the person rode the bike at a normal pedaling speed, the spectrogram acquired by the UWB PD radar is shown in Fig. 10(a). Compared with the CW radar signature in Fig. 4(c), the UWB PD radar recovers a very similar micro-Doppler signature, including a series of positive and negative Doppler frequency shifts between 20 and 100 Hz from the flywheel and simultaneous positive/negative Doppler frequency shifts

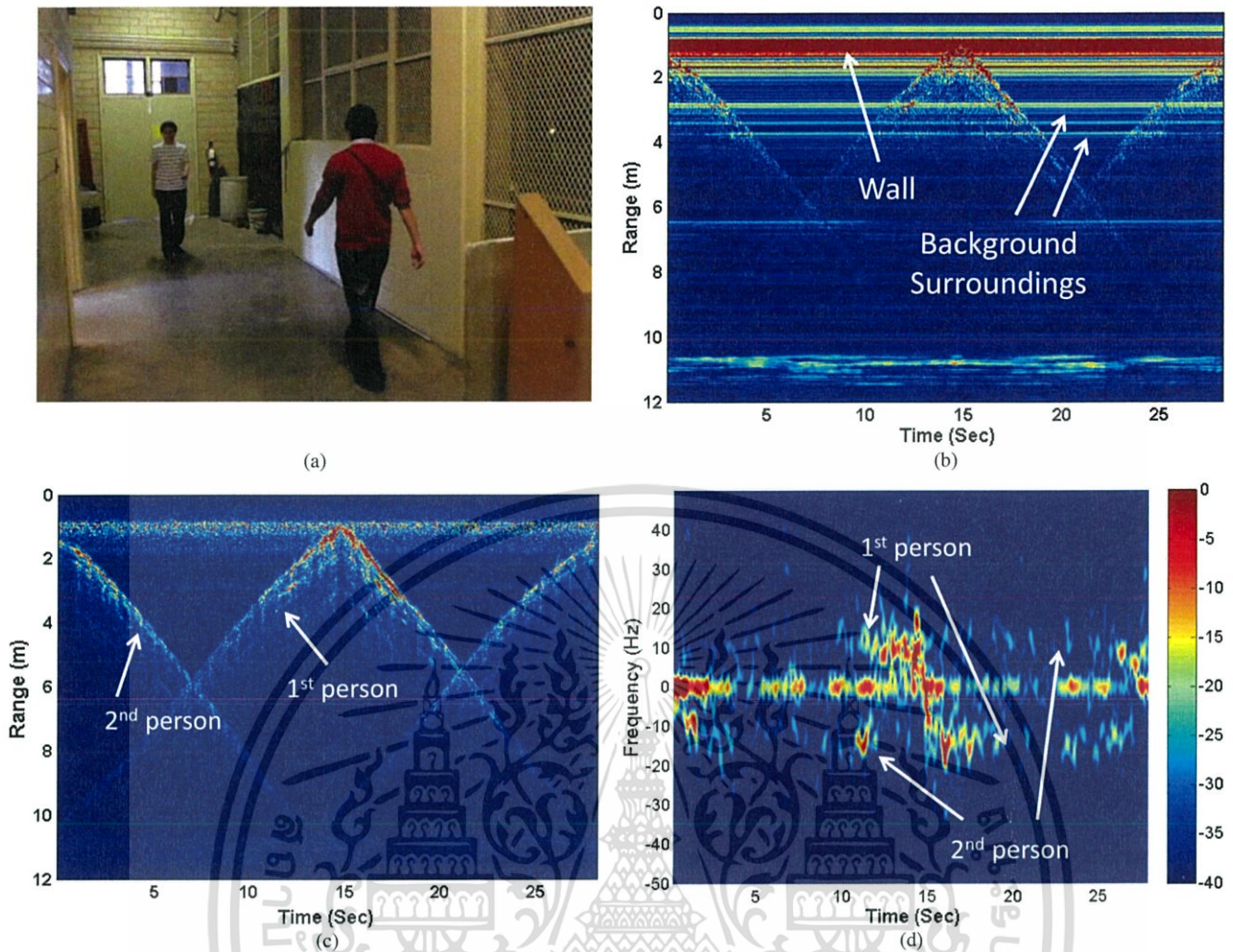


Fig. 11. Through-wall detection of two people walking using the UWB PD radar prototype. (a) Experimental setup: through-wall sensing of two walking persons. (b) HRRP before eliminating wall/background reflections. (c) HRRP after eliminating wall/background reflections. (d) Spectrogram of the two people walking.

within ± 20 Hz from the arm handles and human body. At the conclusion of exercise, the UWB PD radar also indicates a similar radar signature as the CW radar, presenting gradually decreasing Doppler frequency and complete stop of the bike after 16 s, as shown in Fig. 10(b).

Since the UWB PD radar is capable of doing what the CW Doppler radar can do and more, the second experiment was to detect two people walking, as shown in Fig. 11(a), because of its capability to eliminate strong wall reflections. A 1-cm-thick cement wall was used in the experiment with a round-trip loss of about 10 dB. The radar was set up at a standoff distance of around 1 m to the wall. The range profile indicated the location of the wall but presented quite an obscure trajectory of the two people walking before wall and background reflections were eliminated, as shown in Fig. 11(b). The range profile of the two radar objects after eliminating wall/background effects is presented in Fig. 11(c), which indicates that the first person walks toward the radar at 0–15 s and then moves backward, whereas the second person walks away from the sensor at 0–13 s and then approaches the sensor. Fig. 11(d) shows the micro-Doppler signatures of the two people walking based on an STFT analysis. The first person generates +12 Hz from 0 to

15 s and -12 Hz from 15 to 27 s, whereas the second person renders -12 Hz from 0 to 13 s and +12 Hz from 13 to 27 s.

The positive/negative sign of the Doppler frequency shifts can be also used to predict the moving direction while the Doppler frequency amplitude (i.e., 12 Hz) relates to a radial velocity of 0.6 m/s. By using the UWB PD radar, not only HRRP and micro-Doppler signatures can be simultaneously acquired but also the motions of multiple objects can be detected and sensed, even in through-wall applications. This is clearly beyond the capabilities of the CW radar.

The third experiment was carried out to localize and detect the respiration of two stationary human objects through a cement wall with a thickness of 1 cm, as shown in Fig. 12(a). The recovered image has accurately introduced the locations of the two human objects, as shown in Fig. 12(b), which indicates that the first person is at a down range of 1.8 m and a cross range of 0.9 m whereas the second person is at a down range of 3.3 m and a cross range of 0.2 m. The scattered signals from the two human objects can be easily separated through their different locations (or time delays). After accounting for the stationary objects' reflections using the same method aforementioned, we investigated the slow-time samples at the range bin of 1.8 m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ทางการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

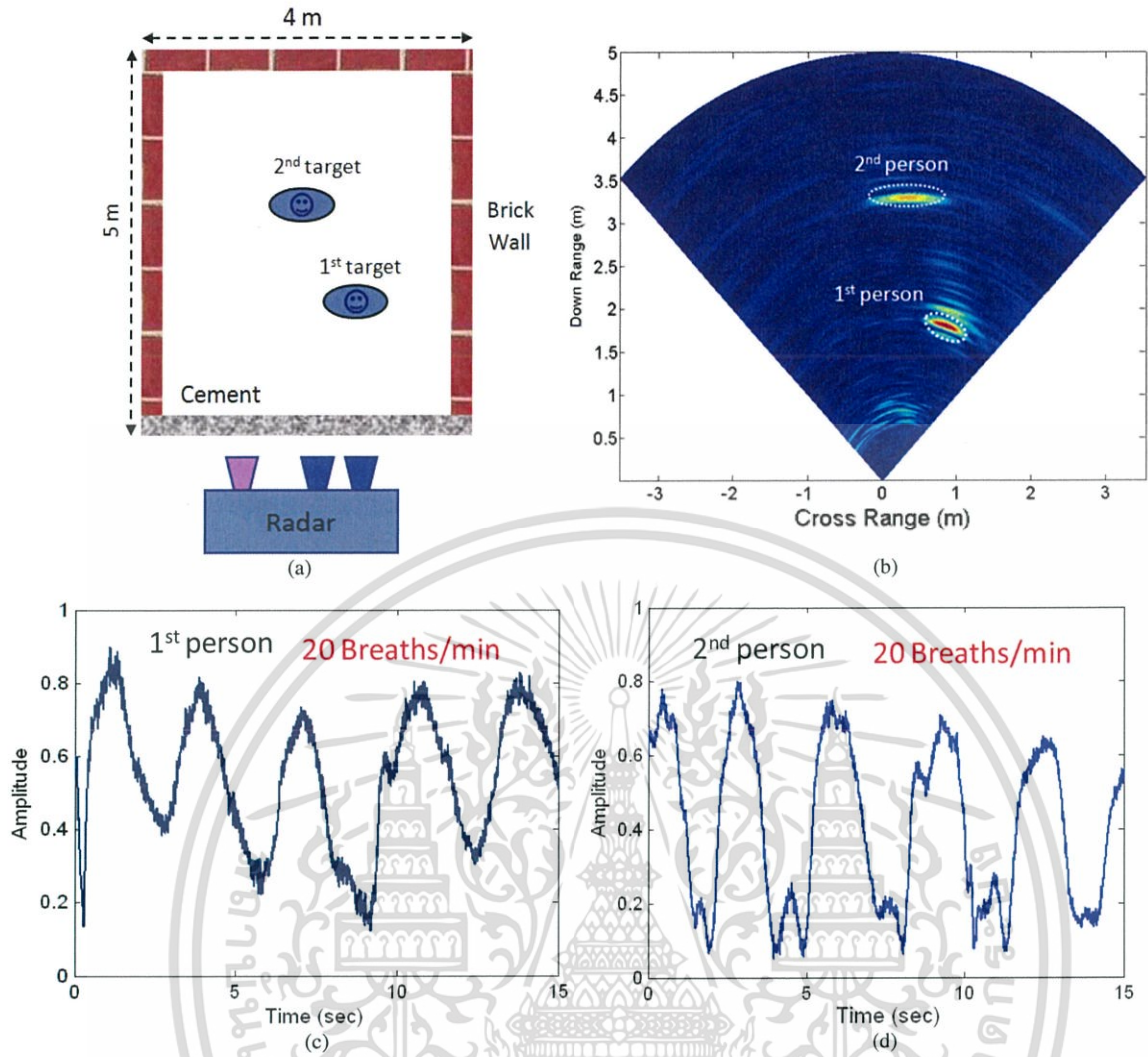


Fig. 12. Through-wall respiration detection of two stationary persons using the developed UWB PD radar. (a) Experimental setup: through-wall detection of two stationary persons. (b) Acquired locations' information of the two human targets. (c) Respiratory pattern of the first person, showing a rate of 20 breaths/min. (d) Respiratory pattern of the second person, showing a rate of 20 breaths/min.

for the first person and 3.3 m for the second person. It is reported that the average respiratory rate of a healthy adult is usually 12–20 breaths/min at rest and 35–45 breaths/min during strenuous exercise [35]. The breathing characteristics of the two people are presented in Fig. 12(c) and (d), respectively, which shows that the first and second human objects have a similar respiration rate of 20 breaths/min. Although CW Doppler radars also show the capability of detecting human breathing [36], they are incapable of detecting vital signs if more than one person is in the measurable range.

VII. SUMMARY OF THE TWO RADAR PROTOTYPES

The specifications of the two radar prototypes are summarized in Table II. The CW Doppler radar transmits a continuous signal at 3 GHz, whereas the UWB PD radar utilizes a 3-GHz carrier with a baseband bandwidth of 1.5 GHz. Both radar prototypes use a peak power value of 25 dBm. CW Doppler radar usually does not have Doppler ambiguity but is limited to detect the Doppler frequency within ± 1 MHz in the developed prototype because of downsampling in postdata processing to reduce the data size. The developed PD radar presents a

Doppler ambiguity of 300 Hz and an ambiguous velocity of 15 m/s, which is adequate for human sensing applications. For both systems, Doppler resolution mainly depends on signal-to-noise ratio and data record time. Based on radar equations, the CW radar can detect up to 280 m whereas the UWB PD radar can detect a range of 15 m. In the context of the cost and functionality, CW Doppler radar is simpler and less expensive to implement; it is an attractive technology for vital sign detection, and it is superior in fast-speed object detection. CW radar can separate multiple targets based on Doppler only if the multiple targets have different Doppler signatures/frequency shifts. On the other hand, UWB PD radar has the capability of detecting and sensing multiple radar objects by incorporating HRRP with micro-Doppler signature. In the UWB PD radar, the multiple targets can be separated first through their locations. In addition, the UWB PD radar has an inherent advantage to separate multipath propagation, which makes it a great candidate for heavily cluttered environments such as through-debris/wall applications. The developed UWB PD radar prototype acquires a fine range resolution of 10 cm and can be widely used for precise target tracking. Specially, the developed UWB PD radar achieves a range bin size of 1.5 mm, which makes it a very

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE II
COMPARISON OF DEVELOPED CW AND UWB PD RADAR PROTOTYPES

	CW Doppler Radar	UWB PD Radar
Carrier Frequency	3 GHz	3 GHz
Transmitting Power	25 dBm	25 dBm, peak
Target Range Resolution	Not Applicable	10 cm
Range Bin Size	Not Applicable	1.5 mm
Doppler Ambiguity	± 1 MHz	± 300 Hz
Ambiguous Velocity	50 km/s	15 m/s
Detection Range	280 m	15 m
Separation of Multipath Propagations	Poor	Good
Doppler Processing Method	STFT on sampled data	STFT on slow-time samples
System Complexity	Simple	More complicated
Cost	Lower	High
Applications	Fast moving object; Vital sign detection	Through wall sensing; Multiple Objects detection; Target Localization

attractive tool in detecting small motions by Doppler, such as breathing and heartbeat.

VIII. CONCLUSION

Two radar prototypes based on the FPGA technique for signal processing have been presented here: a CW Doppler radar prototype using a frequency-domain signal and a UWB PD radar prototype using a time-domain pulse signal. The two radar prototypes have demonstrated good performance for sensing a single person. Meanwhile, the UWB PD radar has shown its capability of detecting and monitoring more than one human target even in a through-wall environment. Each radar technology has its inherent advantage in certain applications. However, from the experiments and resultant analysis conducted here, it seems that the UWB PD radar can provide more accuracy and functionality, particularly for tracking more than one target, in a harsh environment and/or with many obstructions and scatters such as walls or debris.

ACKNOWLEDGMENT

The authors would like to thank Dr. G. E. Smith, The Ohio State University, for the helpful discussions on micro-Doppler processing.

REFERENCES

[1] *FPGA vs. DSP design reliability and maintenance*, Altera Corp., San Jose, CA, White Paper. [Online]. Available: <http://www.altera.com/literature/wp/wp-01023.pdf>
 [2] Altera high-end FPGA devices, Altera Corp., San Jose, CA. [Online]. Available: <http://www.altera.com/devices/fpga/index.html>

[3] Xilinx FPGA product, Xilinx Inc., San Jose, CA. [Online]. Available: <http://www.xilinx.com/products/silicon-devices/fpga/index.htm>
 [4] Z. Qiu, D. Li, and W. Jiang, "Study of continuous wave radar for human motion characteristics measurement," in *Proc. IEEE Int. Conf. Signal Process.*, Oct. 2010, pp. 1078–1081.
 [5] N. Maaref, P. Millot, C. Pichot, and O. Picon, "A study of UWB FM-CW radar for the detection of human beings in motion inside a building," *IEEE Trans. Geosci. Remote Sens.*, vol. 47, no. 5, pp. 1297–1300, May 2009.
 [6] A. R. Hunt, "Use of a frequency-hopping radar for imaging and motion detection through walls," *IEEE Trans. Geosci. Remote Sens.*, vol. 47, no. 5, pp. 1402–1408, May 2009.
 [7] L. Nguyen, D. Wong, M. Ressler, F. Koenig, B. Stanton, G. Smith, J. Sichina, and K. Kara, "Obstacle avoidance and concealed target detection using the army research lab ultra-wideband synchronous impulse reconstruction forward imaging radar," in *Proc. SPIE*, 2007, vol. 6553, pp. 65530H-1–65530H-8.
 [8] Y. Wang and A. E. Fathy, "Advanced system level simulation platform for three-dimensional UWB through-wall imaging SAR using time-domain approach," *IEEE Trans. Geosci. Remote Sens.*, vol. 50, no. 5, pp. 1986–2000, May 2012.
 [9] Y. Yang and A. E. Fathy, "Development and implementation of a real-time see-through-wall radar system based on FPGA," *IEEE Trans. Geosci. Remote Sens.*, vol. 47, no. 5, pp. 1270–1280, May 2009.
 [10] M. G. Amin and F. Ahmad, "Wideband synthetic aperture beamforming for through-the-wall imaging," *IEEE Signal Process. Mag.*, vol. 25, no. 4, pp. 110–113, Jul. 2008.
 [11] R. M. Narayanan, "Through-wall radar imaging using UWB noise waveforms," *J. Franklin Inst.*, vol. 345, no. 6, pp. 659–678, Sep. 2008.
 [12] *The Stalker II Specifications*, Applied Concepts, Inc., Plano, TX. [Online]. Available: http://www.stalkerradar.com/law_stalkerII.shtml
 [13] M. Otero, "Application of a continuous wave radar for human gait recognition," in *Proc. SPIE*, 2005, vol. 5809, pp. 538–548.
 [14] B. G. Mobasser and M. G. Amin, "A time-frequency classifier for human gait recognition," in *Proc. SPIE*, 2009, vol. 7306, pp. 730628-1–730628-9.
 [15] J. Geisheimer, W. Marshall, and E. Greneker, "A continuous-wave (CW) radar for gait analysis," in *Proc. 35th Asilomar Conf. Signals, Syst. Comput.*, Nov. 2001, pp. 834–838.
 [16] K. Chen, Y. Huang, J. Zhang, and A. Norman, "Microwave life-detection system for searching human subjects under earthquake rubble or behind barrier," *IEEE Trans. Biomed. Eng.*, vol. 27, no. 1, pp. 105–114, Jan. 2000.
 [17] J. Silvious, J. Clark, T. Pizzillo, and D. Tahmouh, "Micro-Doppler phenomenology of humans at UHF and Ku-band for biometric characterization," in *Proc. SPIE*, 2009, vol. 7308, pp. 73080X-1–73080X-9.
 [18] Q. Zhou, A. Host-Madsen, O. Boric-Lubecke, and V. Lubecke, "Detection of multiple heartbeats using Doppler radar," in *Proc. IEEE Int. Conf. Acoust., Speech Signal Process.*, Toulouse, France, May 2006, pp. 1160–1163.
 [19] C. Li, J. Ling, J. Li, and J. Lin, "Accurate Doppler radar noncontact vital sign detection using the RELAX algorithm," *IEEE Trans. Instrum. Meas.*, vol. 59, no. 3, pp. 687–695, Mar. 2010.
 [20] B. Park, O. Boric-Lubecke, and V. Lubecke, "Arctangent demodulation with DC offset compensation in quadrature Doppler radar receiver systems," *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 5, pp. 1073–1079, May 2007.
 [21] A. Lazaro, D. Girbau, and R. Villarino, "Analysis of vital signs monitoring using an IR-UWB radar," in *Proc. PIER*, 2010, vol. 100, pp. 265–284.
 [22] B. Lembrikov, *Ultra Wideband*. Rijeka, Croatia: Sciyo, 2010, pp. 323–346.
 [23] Y. Wang and A. E. Fathy, "Micro-Doppler signatures for intelligent human gait recognition using a UWB impulse radar," in *Proc. IEEE AP-S Int. Symp. Antennas Propag.*, Spokane, WA, Jul. 2011, pp. 2103–2106.
 [24] S. Guo, S. Sun, and Z. Zhang, "A novel equivalent sampling method using in the digital storage oscilloscopes," in *Proc. IEEE Instrum. Meas. Technol. Conf.*, May 1994, pp. 530–532.
 [25] Y. Wang, Y. Yang, and A. E. Fathy, "Ultra-wideband Vivaldi arrays for see-through-wall imaging radar applications," in *Proc. IEEE AP-S Int. Symp. Antennas Propag.*, Charleston, SC, Jun. 2009, pp. 1–4.
 [26] HMC830LP6GE Data Sheet: Fractional-N PLL with Integrated VCO SMT, Chelmsford, MA. [Online]. Available: http://www.hittite.com/content/documents/data_sheet/hmc830lp6g.pdf
 [27] A. Torosyan and A. N. Willson, "Exact analysis of DDS spurs and SNR due to phase truncation and arbitrary phase-to-amplitude errors," in *Proc. IEEE Int. Conf. Freq. Control Symp. Expo.*, Vancouver, BC, Canada, Aug. 2005, pp. 50–58.
 [28] R. G. Raj, V. C. Chen, and R. Lipps, "Analysis of radar human gait signatures," *IET Signal Process.*, vol. 4, no. 3, pp. 234–244, Jun. 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [29] Y. Kim and H. Ling, "Human activity classification based on micro-Doppler signatures using a support vector machine," *IEEE Trans. Geosci. Remote Sens.*, vol. 47, no. 5, pp. 1328–1337, May 2009.
- [30] V. C. Chen and H. Ling, *Time-Frequency Transforms for Radar Imaging and Signal Analysis*. Boston, MA: Artech House, 2002, pp. 25–31.
- [31] M. A. Richards, *Fundamentals of Radar Signal Processing*. New York: McGraw-Hill, 2005.
- [32] M. Skolnik, *Radar Handbook*, 2nd ed. Boston, MA: McGraw-Hill, 1990.
- [33] G. Smith, F. Ahmad, and M. G. Amin, "Micro-Doppler processing for ultra-wideband radar data," *Proc. SPIE*, vol. 8361, pp. 83610L-1–83610L-10, 2012.
- [34] V. C. Chen and R. Lipps, "3-D time/frequency-range-Doppler signatures for SAR imaging of ground moving targets," in *Proc. RTO SET Symp.*, Oslo, Norway, Oct. 2004.
- [35] L. Sherwood, *Fundamentals of Physiology: A Human Perspective*. Pacific Grove, CA: Brooks/Cole, 2006, pp. 344–360.
- [36] X. Yu, C. Li, and J. Lin, "Two-dimensional noncontact vital sign detection using Doppler radar array approach," in *Proc. IEEE MTT Int. Microw. Symp.*, Baltimore, MD, Jun. 2011, pp. 1–4.



Quanhua Liu (M'11) was born in Fujian, China, in 1982. He received the B.S.E.E. degree in telecommunications engineering from Beijing Information Technology Institute, Beijing, China, in 2005 and the Ph.D. degree in target detection and recognition from the Beijing Institute of Technology (BIT), Beijing, in 2010.

From 2010 to 2011, he was with the Antenna and Microwave Laboratory, The University of Tennessee, as a Postdoctoral Researcher. Since November 2011, he has been with BIT as a Faculty Member.



Aly E. Fathy (S'82–M'84–SM'92–F'04) received the B.S.E.E. degree, the B.S. degree in pure and applied mathematics, and the M.S.E.E. degree from Ain Shams University, Cairo, Egypt, in 1975, 1979, and 1980, respectively, and the Ph.D. degree from the Polytechnic Institute of New York, Brooklyn, in 1984.

In February 1985, he joined the RCA Research Laboratory (currently Sarnoff Corporation), Princeton, NJ, as a member of the Technical Staff. In 2001, he became a Senior Member of the Technical

Staff. While with Sarnoff Corporation, he was engaged in the research and development of various enabling technologies such as high-Tc superconductors, low-temperature cofired ceramic, and reconfigurable holographic antennas. He was also an Adjunct Professor with The Cooper Union School of Engineering, New York. In August 2003, he joined The University of Tennessee, Knoxville (UTK), where he is currently a James W. McConnell Professor and the Director of the Antenna and Microwave Laboratory. He has authored or coauthored numerous transactions and conference papers. He holds 11 U.S. patents. His current research interests include direct broadcast antennas (DBSs), wireless reconfigurable antennas, see-through walls, UWB systems, and high-efficiency high-linearity combining of digital signals for base-station amplifiers. He has developed various microwave components/subsystems such as holographic reconfigurable antennas, radial combiners, DBSs, speed sensors, and low-temperature cofired ceramic packages for mixed-signal applications.

Dr. Fathy is a member of Sigma Xi and Eta Kappa Nu. He is an active member of the IEEE Microwave Theory and Techniques Society, International Microwave Symposium Technical Program Committee, the IEEE Antenna and Propagation Symposium, and the IEEE Radio and Wireless Steering Committee. He was the General Chair of the 2008 IEEE Radio Wireless Conference. He was the recipient of five Sarnoff Outstanding Achievement Awards (1988, 1994, 1995, 1997, and 1999), Gonzalez-EECS-UTK Award for Research Excellence (2007), two Engineering School-UTK Research Fellow Awards (2008 and 2011), and Lamar Alexander for superior classroom teaching and distinguished scholarship (2011).



Yazhou Wang (S'09) was born in Chifeng, China, in 1983. He received the B.S. degree in electronic and information engineering from Beihang University, Beijing, China, in 2004 and the M.S. and Ph.D. degrees in electrical engineering from The University of Tennessee, Knoxville (UTK), in 2009 and 2012, respectively.

From 2005 to 2006, he was an Intern RF Engineer with Intel Corporation, Beijing, where he was engaged in coexistence simulation and analysis of an integrated multiservice platform. In summer 2011,

he was an Intern Design Engineer with the Boston Design Center, RF Micro Devices, Inc. (RFMD), Billerica, MA, where he was engaged in the development of RFIC amplifiers for Wi-Fi applications. In March 2012, he joined RFMD Boston Design Center as a Senior Design Engineer.

Dr. Wang was the recipient of the Best Paper Award of the 2010 IEEE Radio and Wireless Symposium Student Paper Competition and the 2010 IEEE Microwave Theory and Techniques Society Graduate Fellowship Award (for Medical Applications). He was also the recipient of Min Kao Graduate Fellowship from UTK EECS Department, in 2007 and 2008, and UTK Chancellor's Citation for Extraordinary Professional Promise, in 2011.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้