

# รายงานโครงการวิจัย

(ฉบับสมบูรณ์)

เรื่อง

การพัฒนาเครื่องวิเคราะห์การผิดพลาดของบิท

Development of Bit Error Analyzer

เสนอ

สภาวิจัยแห่งชาติ

โดย

ผศ. อุทัย ศรีธีระวิโรจน์

(หัวหน้าโครงการวิจัย)

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# รายงานโครงการวิจัย

(ฉบับสมบูรณ์)

เรื่อง

การพัฒนาเครื่องวิเคราะห์การผิดพลาดของบิท

Development of Bit Error Analyzer



เสนอ

สภาวิจัยแห่งชาติ

โดย

ผศ. อุทัย ศรีธีระวีโรจน์

(หัวหน้าโครงการวิจัย)

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาต

จำหน่าย

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# สารบัญ

บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีของสัญญาณข้อมูลกึ่งเรนดัม	3
บทที่ 3	หลักการทํางานและหลักการออกแบบวงจร	
3.1	ระบบโครงสร้างของฮาร์ดแวร์	12
3.2	หลักการออกแบบของวงจร Pseudo Random Binary Sequence	14
3.3	หลักการออกแบบเครื่องวัดอัตราผิดของบิต	22
3.4	หลักการออกแบบภาคแสดงผล	28
3.5	หลักการออกแบบวงจรกำเนิดสัญญาณรบกวนแบบไวต์แบนด์	29
บทที่ 4	ผลทดลอง สรุป	32
ภาคผนวก	โปรแกรม VHDL ที่ใช้ในการสร้างวงจร	45



# บทที่ 1

## บทนำ

การวัดอัตราการผิดของบิทเป็นการวัดคุณภาพการส่งข้อมูลโดยซึ่งมีความจำเป็นเมื่อต้องการทดสอบระบบสื่อสาร ปริมาณบิทที่ผิดของข้อมูลต่อจำนวนบิทที่ส่งทั้งหมด โดยข้อมูลที่ส่งจะเป็นข้อมูลแบบซีเคาน์กึ่งเรนดัม สำหรับเครื่องต้นแบบงานวิจัยประกอบด้วย 3 ส่วน คือ

1. ภาคกำเนิดสัญญาณข้อมูลกึ่งเรนดัมใช้สำหรับเป็นสัญญาณทดสอบ
2. ภาครับข้อมูลสำหรับรับข้อมูลกึ่งเรนดัมมาตรวจสอบผิดที่ผิดพร้อมทั้งการจัดการแสดงผล
3. ภาคกำเนิดสัญญาณรบกวนสำหรับกำเนิดสัญญาณรบกวนเพื่อจำลองให้ข้อมูลที่ส่งเกิดการผิด

ภาคกำเนิดสัญญาณข้อมูลกึ่งเรนดัมจะกำเนิดซีเคาน์ที่เป็นเรนดัมที่เลือกได้ขนาด 4, 5, 6, 9, 11, 15 โดยภาครับจะกำเนิดซีเคาน์ที่มีขนาดเดียวกันและสามารถซิงโครไนส์กับภาคส่งและเปรียบเทียบบิทที่ผิด



### วัตถุประสงค์ของโครงการ

สร้างเครื่องต้นแบบเครื่องวัดอัตราการผิดของบิทโดยใช้การสร้างวงจรถลอจิก โดยวงจรรวมแบบโปรแกรมเอเรย์ลลอจิก และพัฒนางจรโดยใช้ภาษา VHDL

### ระเบียบวิธีวิจัย

ออกแบบภาคส่งสัญญาณ PRBS ภาครับสัญญาณที่สามารถ synchronice กับภาคส่ง ภาคแสดงผลโดยใช้วงจรรวม

ออกแบบภาคสร้างสัญญาณรบกวน และนำสัญญาณรบกวนที่ได้ทดสอบเข้ากับภาคส่งสัญญาณ PRBS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

### ทฤษฎีของสัญญาณข้อมูลกึ่งเรนดัม

#### 2.1 บทนำ

ในระบบสื่อสารทางดิจิทัล ( Digital Communication System ) เรามักจะบอกสมรรถภาพของระบบหรือคุณสมบัติของช่องสัญญาณว่าดีหรือไม่เพียงใดโดยการบอกอยู่ในลักษณะของอัตราบิตที่ผิด ( Bit Error Rate : BER ) ต่อการส่งข้อมูลทั้งหมด การส่งข้อมูลในความเป็นจริง ข้อมูลที่เกิดขึ้นจะไม่มีรูปแบบที่แน่นอน ดังนั้นถ้าเราสร้างสัญญาณขึ้นทดสอบจึงต้องมีคุณสมบัติทางสถิติใกล้เคียงกับข้อมูลที่ส่งจริง คือมีความเป็นเรนดัม ( Random ) แต่จะต้องมีคุณสมบัติที่สามารถที่จะทำการซิงโครไนซ์สัญญาณกลับที่ภาครับ สัญญาณที่ใช้ทดสอบดังกล่าวนี้คือ สัญญาณข้อมูลกึ่งเรนดัม ( Pseudo Random Binary Sequence : PRBS )

การวัดอัตราการผิดพลาดของบิตเป็นการบอกว่ามีบิตผิดมากเท่าไรในจำนวนที่ส่งทั้งหมด ซึ่งไม่ได้บอกตำแหน่งหรือระยะห่างของบิตที่ผิดพลาดที่เกิดขึ้นในระบบ อาจไม่เพียงพอสำหรับการออกแบบขนาดของแพ็คเกจสำหรับการส่งข้อมูลในช่องสัญญาณ สำหรับการวัดอัตราความผิดพลาดที่เกิดขึ้นในระบบอาจแสดงพร้อมช่วงปราศจากการผิดพลาด ( Error Free Interval : EFI ) โดยค่า EFI นี้จะวัดจากระหว่างช่วงของการผิดพลาดที่เกิดขึ้นในระบบซึ่งแสดงได้ดังรูปที่ 2.1

00.....0000 001 0100110101010 00.....0000  
 ← Error Free Interval → ← Burst Error → ← Error Free Interval →

รูปที่ 2.1 แสดงการวัด EFI

จากรูปแสดงช่วงปราศจากการผิด ( EFI ) โดยการผิดพลาดที่เกิดขึ้นเป็นแบบเบิร์ต โดยช่วงของการวัด EFI จะแยกการเกิดความผิดพลาดแบบเบิร์ต โดยจะสนใจระยะความห่างระหว่างบิตผิดตั้งแต่จำนวน 100 บิตขึ้นไป การแสดงผลของ EFI อาจแสดงในรูปแบบผลของกราฟฮิสโตแกรม ( Histogram ) ซึ่งแสดงขนาดของ EFI ต่อความถี่ที่เกิดซึ่งจะมีประโยชน์ในการนำไปใช้เป็นข้อมูลสำหรับการออกแบบขนาดแพ็คเกจ ( Packet ) ของการส่งข้อมูลในช่องสัญญาณ

## 2.2 ทฤษฎีของสัญญาณ Pseudo Random Binary Sequence

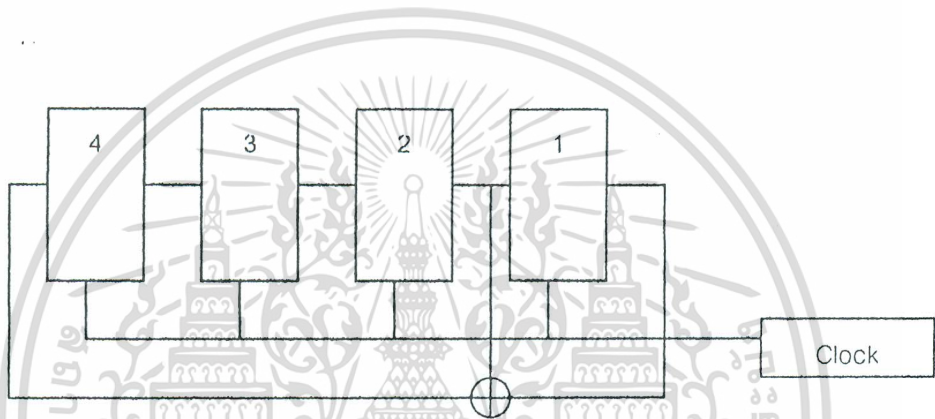
Pseudo Random Binary Sequence จะทำงานโดยการใช้ Shift Register ที่มีการต่อป้อนกลับแบบวงจรวกแบบ Modulo 2 โดยที่ Shift Register ก็คือ Flip - Flop จำนวนหนึ่งทำการต่อเป็นแบบ Series กันและ Shift Register แต่ละตัวจะมีการต่อเข้ากันสัญญาณนาฬิกา เมื่อ Shift Register ได้รับสัญญาณนาฬิกาข้อมูลไบนารีที่อยู่ใน Flip - Flop ก็จะถูกย้ายไปยัง Flip - Flop ตัวถัดไปและจะมีการกำหนดจุดต่อป้อนกลับเพื่อกำหนดความยาวของ Pseudo Random Binary Sequence โดยใช้สมการ Primitive Polynomial ที่มีกำลังตั้งแต่ 1 ถึง 20 ดังตาราง 2.1

Deg m	$h(x)$
1	$X+1$
2	$X^2+X+1$
3	$X^3+X+1$
4	$X^4+X+1$
5	$X^5+X^2+1$
6	$X^6+X+1$
7	$X^7+X+1$
8	$X^8+X^7+X^6+X+1$
9	$X^9+X^4+1$
10	$X^{10}+X^3+1$
11	$X^{11}+X^2+1$
12	$X^{12}+X^{11}+X^{10}+X^2+1$
13	$X^{13}+X^{12}+X^{11}+X+1$
14	$X^{14}+X^{13}+X^{12}+X^2+1$
15	$X^{15}+X^{14}+1$
16	$X^{16}+X^{14}+X^{13}+X^{11}+1$
17	$X^{17}+X^{14}+1$
18	$X^{18}+X^{11}+1$
19	$X^{19}+X^{18}+X^{17}+X^{14}+1$
20	$X^{20}+X^{17}+1$

ตารางที่ 2.1 แสดงความสัมพันธ์ระหว่างสมการ Primitive Polynomial กับ Degree

สมการ Primitive Polynomial นี้จะให้สัญญาณ Pseudo Random Binary Sequence ที่มีความยาว  $n=2^m-1$  เนื่องจากจะไม่ให้เกิดสถานะที่เป็น 0 ก่อนที่จะกลับไปให้มีสถานะซ้ำกับข้อมูลเดิมจากตาราง 3.1 จึงทำให้สัญญาณ Pseudo Random Binary Sequence ที่มีความยาวสูงสุดถึง  $2^{40}-1=10^{12}$

จากตารางนี้ถ้าเรานำสมการ Primitive Polynomial  $h(x) = x^4+x+1$  มาพิจารณาจะเห็นว่ากำลังสูงสุดของสมการ  $= m = 4$  จึงแสดงว่า Sequence นี้ต้องใช้ Shift Register ทั้งหมด 4 ตัวดังรูปที่ 2.2 คือนำเอาสัญญาณเอาต์พุตของ Shift Register ตัวที่ 4 และตัวที่ 1 มาใช้ในการบวกแบบ Modulo 2 ( โดยในสมการ Primitive Polynomial จะแทนด้วยเครื่องหมายบวก ) นั่นก็คือการใช้ Exclusive Or Gate



รูปที่ 2.2 แสดงการต่อ Shift Register

จากรูปที่ 2.2 ถ้าเราสมมติให้สถานะการเริ่มต้นการทำงานของ Shift Register เป็นลอจิก 1111 เมื่อมีการให้สัญญาณนาฬิกาเข้าไป ข้อมูลเดิมใน Shift Register ก็จะถูกเลื่อนไปทางซ้ายมือ 1 ตำแหน่งคือข้อมูลเดิมใน Flip-Flop ก็จะถูกย้ายไปเก็บใน Flip-Flop ตัวถัดไป โดยข้อมูลที่อยู่ใน Flip-Flop ตัวที่ 1 2 3 ก็จะถูกเลื่อนไปเก็บไว้ใน Flip-Flop ตัวที่ 2 3 4 ตามลำดับ แล้วนำเอาเอาต์พุตเดิมของ Flip-Flop ในตัวที่ 1 และตัวที่ 4 ก่อนที่จะมีสัญญาณนาฬิกาเข้ามาทำการบวกกันแบบ Modulo 2 แล้วป้อนกลับไปเป็นอินพุตใหม่ให้กับ Flip-Flop ตัวแรก จะเห็นว่าข้อมูลที่อยู่ใน Shift Register จะเปลี่ยนแปลงไปเรื่อยๆจนครบ 15 สถานะ คือ 1111 0111 1011 0101 1010 1101 0110 0011 1001 0100 0010 0001 1000 1100 1110 1111 ส่วนเอาต์พุตของวงจร Sequence นี้ จะถูกนำมาจากเอาต์พุตของ Shift Register ตัวสุดท้าย ซึ่งจะได้ข้อมูลเป็น 111101011001000 โดยข้อมูลจะต่อเนื่องกัน 15 บิต ( แสดงดังตารางที่ 2.2 ) และทำให้เกิดการ Random จึงเรียกวางจรว่า Pseudo Random Binary Sequence

Length of shift register	Feedback taps	Period of sequence
3	1,3	7
4	1,4	15
5	2,5	31
6	1,6	63
7	1,7	127
8	1,6,7,8	255
9	4,9	511
10	3,10	1023
11	2,11	2047
12	2,10,11,12	4095
13	1,11,12,13	8191
14	2,12,13,14	16383
15	14,15	32767
16	11,13,14,15	65535
17	14,17	131071
18	11,18	262143
19	14,17,18,19	524287
20	17,20	1048575

ตารางที่ 2.2 แสดงความสัมพันธ์ระหว่างการเทียบกับ Period ของ Sequence

ความยาวของ Pseudo Random Binary Sequence กำหนดได้จากความยาวของ Shift Register ที่ใช้และจุดต่อป้อนกลับที่ได้จากสมการ Primitive Polynomial และสถานะเริ่มต้นการทำงานของ Shift Register ถ้ามีการกำหนดให้สถานะเริ่มต้นการทำงานของ Flip-Flop เป็น 0 ทั้งหมด ข้อมูลก็จะไม่มีการเปลี่ยนแปลงและจะไม่สามารถทำให้วงจร Sequence ทำงานได้ ดังนั้นวงจร Sequence นี้จะไม่ยอมให้เกิดสถานะเอาต์พุตที่ข้อมูลเป็น 0 ส่วนความยาวสูงสุดของข้อมูลของ Sequence ที่สร้างขึ้นกำหนดได้เมื่อใช้ Shift Register จำนวน  $m$  stage จะเท่ากับ  $2^m - 1$

จุดต่อป้อนกลับแต่ละจุดในความเป็นจริงแล้วอาจจะมีจุดต่อป้อนกลับได้ 2 จุด เพราะการเรียงสลับข้อมูลที่แตกต่างกันก็สามารถทำให้มีความยาวของ Sequence เท่ากันได้ แต่จะมีข้อมูลสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กัน ดังนั้นการป้อนกลับจาก Flip-Flop ตัวที่ 2 และ 3 ก็จะทำางานเหมือนกับการป้อนกลับจากตัวที่ 1 และ 3 ในการสร้าง Sequence ที่มีความยาวเท่ากับ 7 ในทำนองเดียวกันกับการป้อนกลับจาก Flip-Flop ตัวที่ 3 และ 4 ก็ทำงานเช่นเดียวกันกับการป้อนกลับจาก 1 และ 4 สำหรับ Sequence ที่มีความยาว 15 คุณสมบัติอื่นๆ ของความยาว Sequence สูงสุดมีดังนี้

- จะมีจำนวนของลอจิก 1 ในแต่ละ 1 รอบของเอาท์พุท Sequence มากกว่าจำนวนลอจิก 0
- ค่าที่ได้จะเป็นการเรียงลอจิก 0 หรือลอจิก 1 ตามความยาว n จะเป็น 2 เท่าของการทำงานของความยาว n+1 ซึ่งถ้าเป็น 1/2 การทำงานจะมีความยาวเป็น 1 ที่ 1/4 จะมีความยาวเป็น 2 และที่ 1/8 จะมีความยาวเป็น 3
- autocorrelation ของ Sequence มีค่าสูงสุด เท่ากับความยาวของ Sequence ( $2^n - 1$ ) ที่ Zero shift และที่ Multiples ของความยาว Sequence ที่ Shift register ตัวอื่นๆมีค่า correlation เป็น -1

### 2.3 คุณสมบัติของสัญญาณกึ่งแรนดัม

1. จำนวน " 1 " ที่เกิดใน Sequence มากกว่า " 0 " อยู่เท่ากับหนึ่ง หรือถ้ารหัสมีความยาว  $2^3 - 1$  จะมี " 1 " อยู่เท่ากับ  $2^n / 2$  หรือถ้ามีจำนวน Shift Register แล้วประมาณได้ว่าโอกาสเกิดหนึ่งเท่ากับโอกาสที่เกิดศูนย์
2. จำนวนบิตติดกันสำหรับ Shift Register ขนาด n สภาวะแล้ว
  - จำนวนบิต 1 ติดกัน n บิตจะมี 1 ครั้งใน Sequence
  - จำนวนบิต 0 ติดกัน n-1 บิตจะมี 1 ครั้งใน Sequence
  - จำนวนบิต 0 และ 1 ติดกัน n-2 บิตจะมี 2 ครั้งใน Sequence
  - จำนวนบิต 0 และ 1 ติดกัน n-3 บิตจะมี 4 ครั้งใน Sequence
  - จำนวนบิต 0 และ 1 ติดกันสองครั้ง บิตจะมี  $2^{n-1}$  ครั้งใน Sequence
  - จำนวนบิต 0 และ 1 เป็นบิตเดี่ยวๆจะมี  $2^{n-3}$  ใน Sequence
3. ค่าอโครีเรชันสัญญาณจะมีค่าสูงสุดที่จุดศูนย์และค่าสูงสุดทุกระยะชีพท์ของอโครีเรชันจะมีค่าเท่ากับ  $-1 / 2^{n-1}$  ดังนั้นอาจจะกล่าวได้ว่าถ้าหากสเททของชีพท์รีจิสเตอร์หรือ n มีจำนวนมากๆแล้ว รหัสกึ่งแรนดัมก็จะมีค่าใกล้เคียง ในความเป็นแรนดัม ดังนั้นความเข้มข้นของ สเปกตรัมกำลังของสัญญาณข้อมูลกึ่งแรนดัม สามารถหาได้

จากทฤษฎีของ วินเนอร์ คินไชน์ ( Winer Kinchine Theorem ) ที่กล่าวว่าความเข้มข้นของสเปกตรัมกำลังเป็นฟูรีเยร์ทรานสฟอร์มของอโตคอรี่เรชั่นฟังก์ชัน ดังนี้

$$S_x(f) = \int_{-\alpha}^{\alpha} R_x(\tau) e^{-j2\pi f\tau} d\tau \quad (1)$$

และ

$$R_x(\tau) = \int_{-\alpha}^{\alpha} S_x(f) e^{j2\pi f\tau} df \quad (2)$$

โดยจากคุณสมบัติข้างต้นค่าอโตคอรี่เรชั่นของสัญญาณกึ่งเรนด์มซึ่งสามารถแสดงได้ดังนี้

$$R_x(\tau) = \begin{cases} A^2 [1 - (N+1)/NT] & |\tau| \leq T \\ -A^2/N & \text{สำหรับช่วงเวลาที่เหลือ} \end{cases} \quad (3)$$

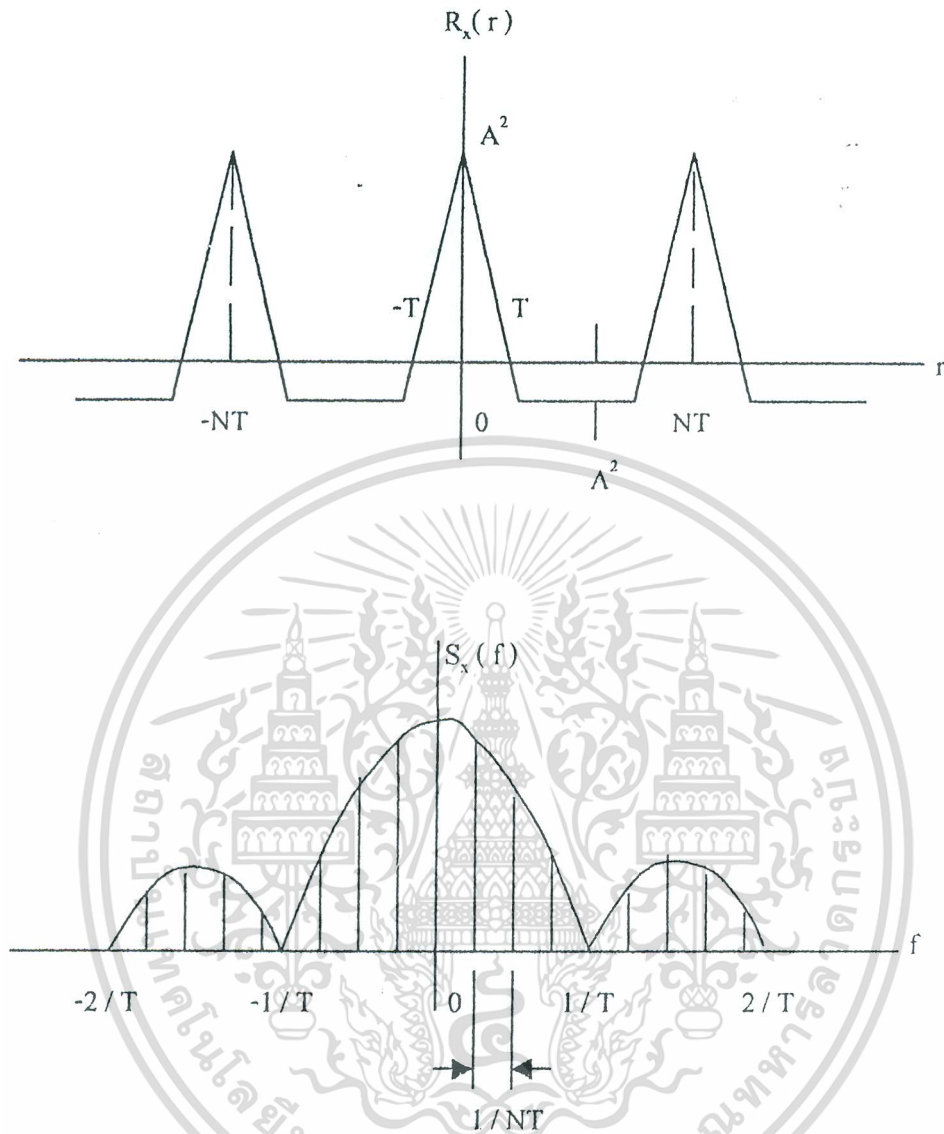
จากอโตคอรี่เรชั่นในสมการด้านบน สามารถหาความเข้มข้นของสเปกตรัมกำลังของสัญญาณข้อมูลกึ่งเรนด์มได้โดยทำการใช้ฟูรีเยร์ทรานสฟอร์ม

$$S_x(f) = \int_{-\alpha}^{\alpha} R(\tau) e^{-j2\pi f\tau} d\tau \quad (4)$$

ซึ่งจะได้

$$S_x(f) = (A^2/N) d(f) + (A^2/N^2)(1+N) \sum_{n=-\alpha}^{\alpha} \text{sinc}^2(n/N) d(f-n/NT) \quad (5)$$

จากสมการแสดงรูปความเข้มข้นสเปกตรัมกำลังได้ในรูปที่ 2.3 โดยไลน์สเปกตรัมเกิดขึ้นทุกๆระยะ  $1/NT$  และจะมีแอมพลิจูดของไลน์สเปกตรัมเป็นฟังก์ชัน  $[\sin \pi n T / \pi n T]^2$  โดยสเปกตรัมจะเท่ากับศูนย์ทุกๆระยะเท่ากับ  $1/T$



รูปที่ 2.3 แสดงค่าออโตคอร์เรชันและความเข้มข้นของสเปกตรัมกำลังของสัญญาณกึ่งเรนดัม

แต่ในทางปฏิบัติ จะต้องให้สถานะเริ่มต้นของวงจร Pseudo Random Binary Sequence มีลอจิกเป็น “ 1 ” เสมอ ทั้งนี้ก็เพื่อที่จะทำให้วงจรสามารถผลิตข้อมูลออกมาได้อย่างอัตโนมัติและมีความต่อเนื่อง จึงต้องทำการเปลี่ยนวงจรในช่วงที่ต้องทำการบวกแบบโมดูโล 2 จาก Exclusive Or Gate เป็น Exclusive Nor Gate แทน ดังนั้นความสัมพันธ์ระหว่างคาบเท่ากับ Period ของ Sequence จึงเปลี่ยนไปเป็นดังตารางที่ 2.3 ดังนี้

Length of shift register	Feedback taps
3	3,2
4	4,3
5	5,3
6	6,5
7	7,6
8	8,6,5,4
9	9,5
10	10,7
11	11,9
12	12,6,4,1
13	13,4,3,1
14	14,5,3,1
15	15,14
16	16,15,13,4
17	17,14
18	18,11
19	19,6,2,1
20	20,17

ตารางที่ 2.3 แสดงความสัมพันธ์ระหว่างการเทียบกับ Period ของ Sequence เมื่อใช้ Exclusive Nor Gate

ซึ่งการทำงานของวงจรจะมีหลักการการทำงานเหมือนกัน จะแตกต่างกันตรงที่จำนวนของชิพท์รีจิสเตอร์ที่ใช้ในวงจรของแต่ละสมการเท่านั้น ดังนั้นจึงขอยกตัวอย่างการทำงานของสมการ  $X^3+X^2+1$  ดังตารางแสดงการทำงานดังนี้

Time	Value at point			
	a	b	c	Output
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	1	1	1
4	1	0	1	1
5	0	1	0	0
6	0	0	1	1
7	0	0	0	0
8	1	0	0	0
9	1	1	0	0
10	0	1	1	1
11	1	0	1	1
12	0	1	0	0

ตารางที่ 2.4 แสดงซีควเอนซ์ของ PRBS สมการ  $X^3+X^2+1$

# บทที่ 3

## หลักการทํางานและหลักการออกแบบวงจร

### 3.1 ระบบโครงสร้างของฮาร์ดแวร์

โครงสร้างของฮาร์ดแวร์ทั้งหมดประกอบด้วย

#### 3.1.1 ภาคส่ง ซึ่งประกอบไปด้วยวงจรต่างๆดังนี้

3.1.1.1. สัญญาณนาฬิกา 4.096 MHz

3.1.1.2. วงจรสร้างสัญญาณข้อมูลกึ่งแรนคัม

3.1.1.3. วงจร Divider 8 Level

3.1.1.4. วงจร MUX

3.1.1.5. วงจร Decoder 3 bit

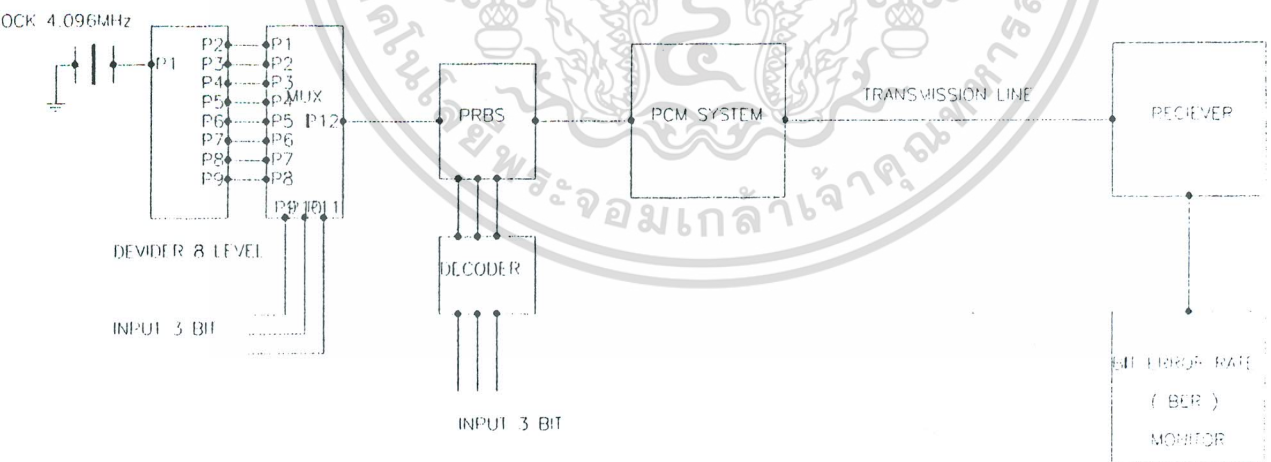
#### 3.1.2. ภาครับ ซึ่งประกอบไปด้วยวงจรต่างๆดังนี้

3.1.2.1. วงจรตรวจอัตราการผิดพลาดของบิตในการส่งข้อมูล(BER)

3.1.2.2. วงจรภาคแสดงผล เซเวนเซกเมนต์ 3 หลัก

#### 3.1.3. วงจรกำเนิดสัญญาณรบกวนแบบไวคเบนค์

สามารถนำวงจรต่างๆมาเขียนเป็นบล็อกไดอะแกรมลำดับการทํางานได้ดังรูปที่ 3.1



รูปที่ 3.1 ระบบโครงสร้างของฮาร์ดแวร์

จากรูปที่ 3.1 ในส่วนของภาคส่งจะประกอบไปด้วย วงจร Divider 8 Level จะทำการหารสัญญาณ Clock 4.096 MHz ออกมาเป็นค่า Clock ที่ระดับความถี่ต่างกัน 8 ความถี่ และจะอาศัยวงจร MUX ร่วมกับสัญญาณ ดิจิตอล 3 บิต ในการเลือกสัญญาณ Clock ออกมา 1 ความถี่ จาก 8 ความถี่ โดยกำหนดให้ความสัมพันธ์ระหว่างสัญญาณดิจิตอล 3 บิตกับสัญญาณ Clock ทั้ง 8 ความถี่เป็นดังนี้

สัญญาณดิจิตอล 3 บิต	สัญญาณ Clock
000	2.048 MHz
001	1.024 MHz
010	512 kHz
011	256 kHz
100	128 kHz
101	64 kHz
110	32 kHz
111	16 kHz

ตารางที่ 3.1 ความสัมพันธ์ระหว่างสัญญาณดิจิตอล 3 บิตกับสัญญาณ Clock ทั้ง 8 ความถี่

เมื่อได้สัญญาณ Clock ที่ต้องการแล้วจะใช้สัญญาณนี้ป้อนเข้าตัววงจร PRBS เพื่อให้วงจรทำงานได้ ซึ่งจะมีสมการ Polynomial 8 แบบ แต่จะใช้วงจร Decoder 3 Bit เลือกสมการมาใช้เพียง 1 สมการเท่านั้น โดยกำหนดความสัมพันธ์ระหว่างวงจร Decoder 3 Bit กับสมการ Polynomial ทั้ง 8 แบบ เป็นดังนี้

Decoder 3 Bit	สมการ Polynomial
000	$X^3+X^2+1$
001	$X^4+X^3+1$
010	$X^5+X^3+1$
011	$X^6+X^5+1$
100	$X^9+X^3+1$
101	$X^{11}+X^9+1$
110	$X^{15}+X^{14}+1$
111	$X^{16}+X^{15}+X^{13}+X^1+1$

ตารางที่ 3.2 ความสัมพันธ์ระหว่างวงจร Decoder 3 Bit กับสมการ Polynomial ทั้ง 8 แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ดังนั้นที่ภาคเอาต์พุทของวงจร PRBS จะมีค่า 1 บิต และมีรูปแบบของสัญญาณออกสอดคล้องกับสมการ Polynomial ที่เลือกใช้ เพื่อที่จะทำการตรวจอัตราการผลิตของบิตในภาครับของระบบต่อไป

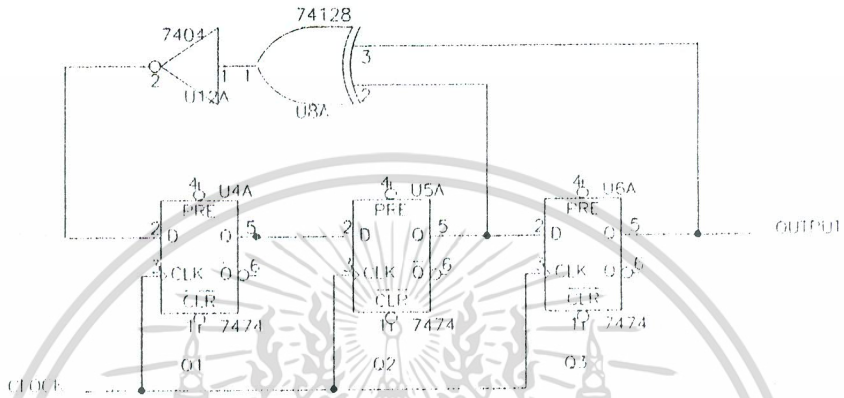
ในส่วนภาครับของระบบจะอาศัยวงจรตรวจจับอัตราการผิดพลาดของบิตควบคู่กับวงจรภาคแสดงผลเซเวนเซกเมนต์ 3 หลัก ซึ่งจะได้อธิบายในหัวข้อต่อไป

### 3.2 หลักการออกแบบของวงจร Pseudo random binary sequence

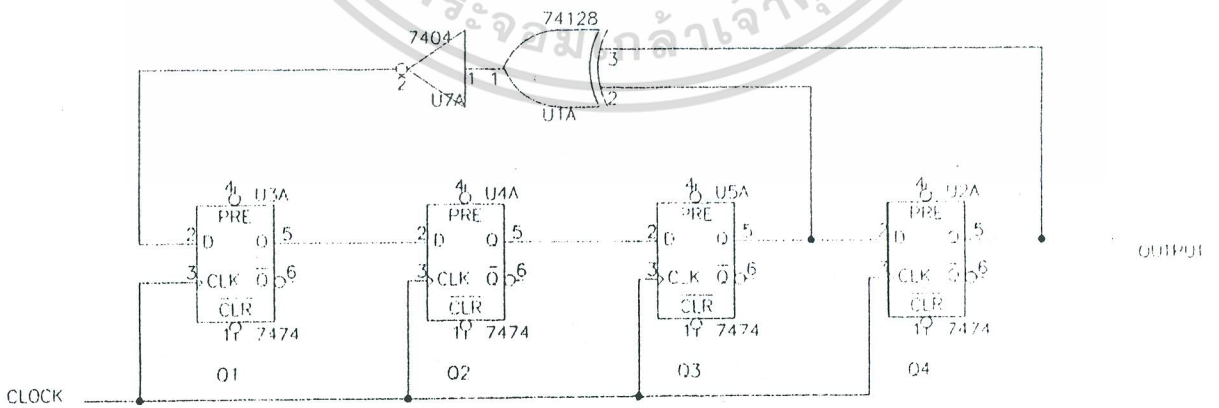
จากตารางที่ 2.2 เรานำสมการ Polynomial ทั้ง 8 แบบมาเขียนเป็นวงจรซีพรีจิสเตอร์ได้ดัง

มี

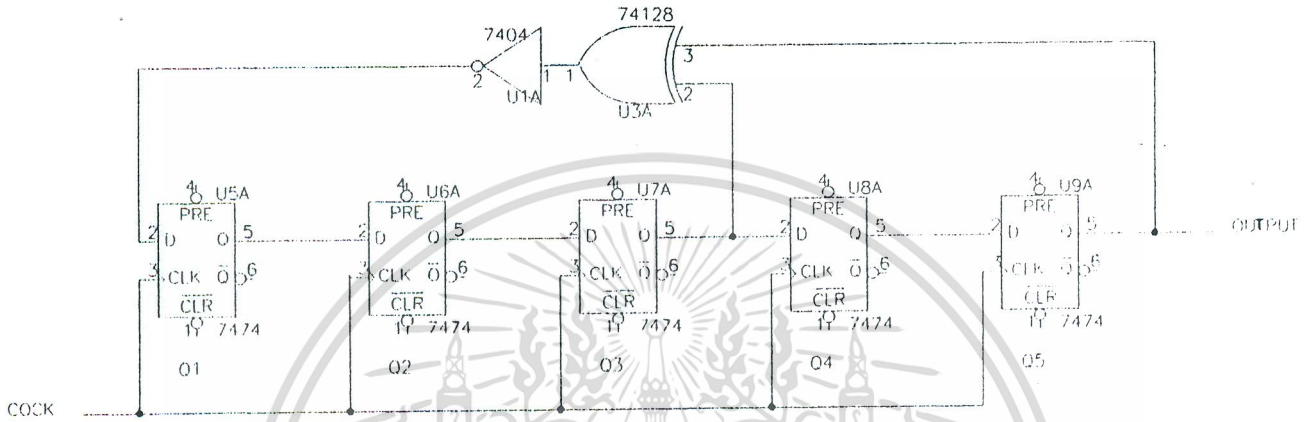




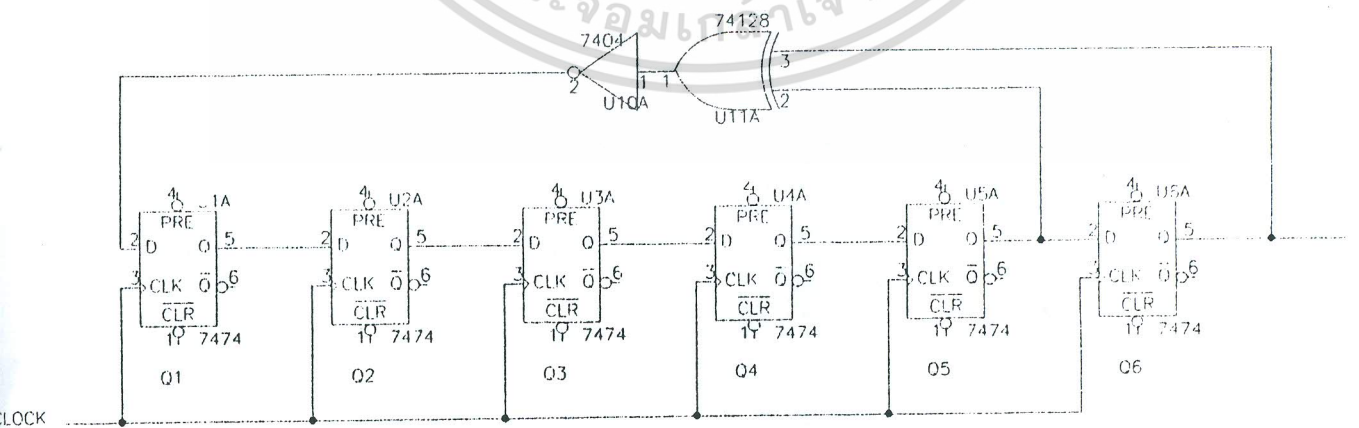
รูป 3.2 วงจร Pseudo random binary sequence ของสมการ  $X^3 + X^2 + 1$



เอกสารนี้เป็นเอกสารที่รูป 3.3 วงจร Pseudo random binary sequence ของสมการ  $X^4 + X^3 + 1$  ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

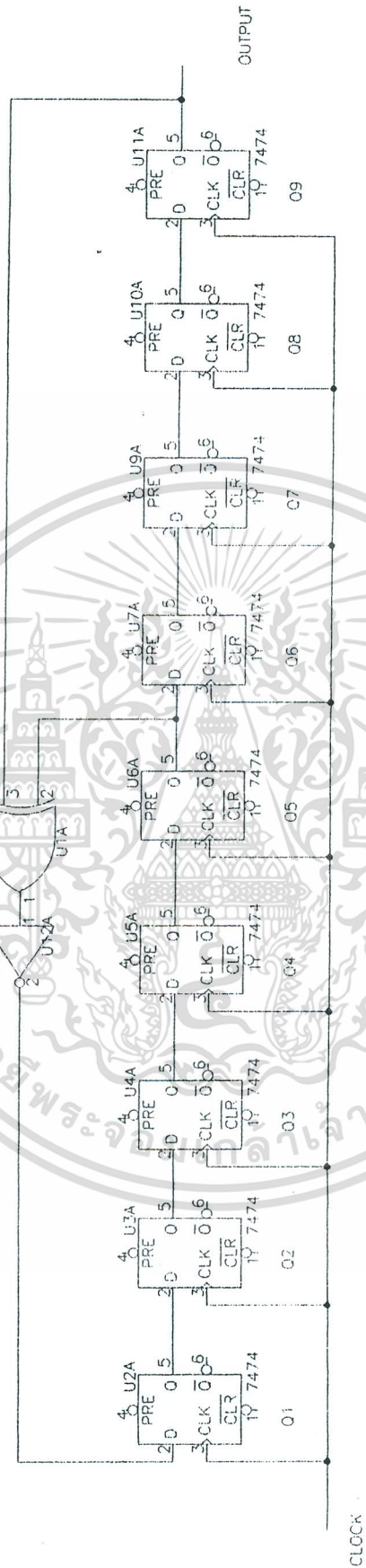


รูป 3.4 วงจร Pseudo random binary sequence ของสมการ  $X^5 + X^3 + 1$



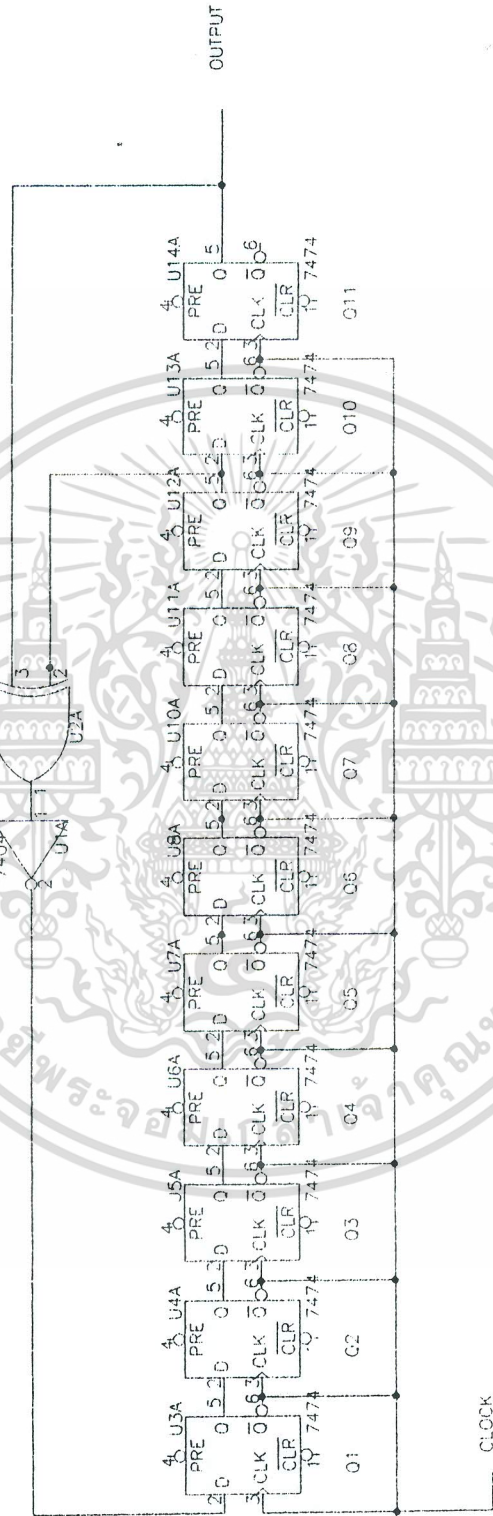
รูป 3.5 วงจร Pseudo random binary sequence ของสมการ  $X^6 + X^5 + 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



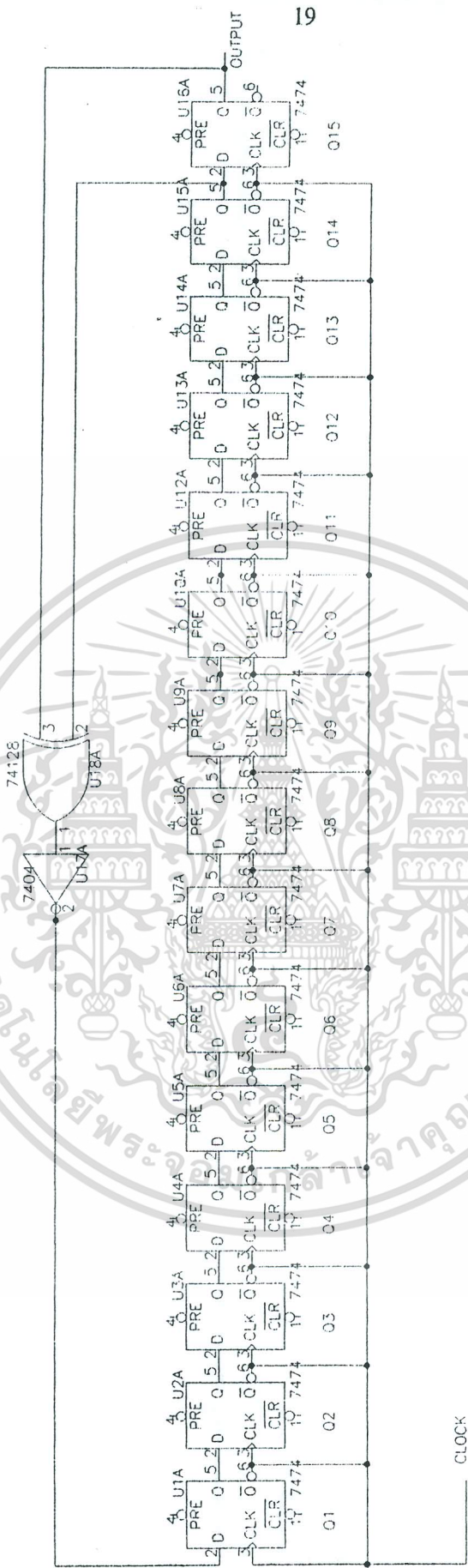
รูป 3.6 วงจร Pseudo random binary sequence ของสมการ  $X^9+X^5+1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



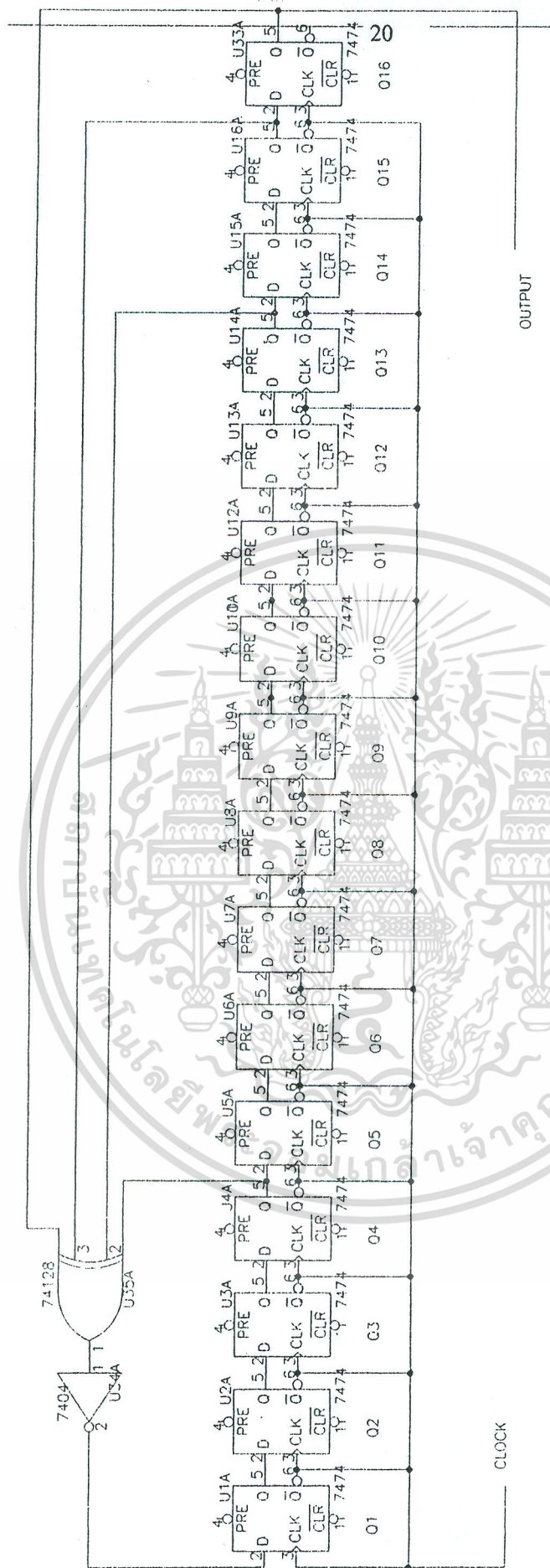
รูป 3.7 วงจร Pseudo random binary sequence ของสมการ  $X^{11} + X^9 + 1$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น เมื่อผู้ใดเห็นประโยชน์ในการนำมาใช้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.8 วงจร Pseudo random binary sequence ของสมการ  $X^{15}+X^{14}+1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



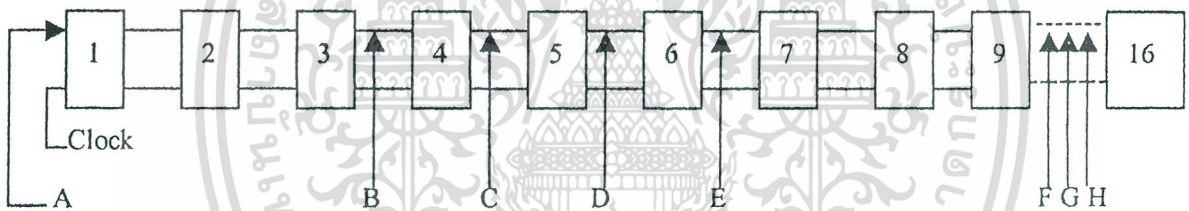
รูป 3.9 วงจร Pseudo random binary sequence ของสมการ  $X^{16}+X^{15}+X^{13}+X^4+1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ในโครงการนี้เราจะทำการลดจำนวนของไอซีลง แต่วงจรยังคงทำงานได้เหมือนเช่นเดิม โดยใช้หลักการเขียนโปรแกรม VHDL และทำการเบิร์นลงชิพ IC PAL C22 V10 เพื่อนำไปใช้งาน โดยมีขั้นตอนในการเขียนโปรแกรม ดังนี้

จากรูปที่ 3.1 การออกแบบโปรแกรมในส่วนของการใช้ Clock ที่ป้อนให้กับระบบ โปรแกรมจะมีลักษณะของวงจรสอง โดยใช้ ดีฟลิปฟล็อป ทำเป็นวงจรรหัสสอง และสามารถที่จะรับบิต 3 บิตไว้ใช้สำหรับเลือกความถี่ที่จะป้อนให้กับระบบด้วย โดยจะเขียนโปรแกรมในลักษณะเงื่อนไข เช่น ถ้าบิตที่ใช้เลือก Clock เป็น 001 จะทำให้ เอาท์พุท มีค่าเท่ากับ 1.024 MHz โดยความสัมพันธ์ระหว่างบิตที่ใช้เลือก Clock กับค่าความถี่ของ Clock ที่เอาท์พุท แสดงในตารางที่ 3.1

ในส่วนของสัญญาณ PRBS การออกแบบโปรแกรมนั้นจะใช้ดีฟลิปฟล็อป 16 ตัวด้วยกันไม่ว่าจะเป็นสัญญาณในสมการใดก็ตามทั้ง 8 สมการที่ได้กล่าวมาแล้วซึ่งจะเริ่มทำการออกแบบโดยอาศัยรูปวงจร ดังนี้



รูปที่ 3.10 แสดงแนวความคิดในการออกแบบวงจร PRBS

และจะมีสัญญาณบิต 3 บิต สำหรับใช้เลือกสมการทั้ง 8 สมการในการให้กำเนิดสัญญาณ PRBS โดยเขียนโปรแกรมในลักษณะของเงื่อนไข ตัวอย่างเช่น ถ้าบิตที่ใช้เลือกสมการเป็น 000 ซึ่งตรงกับสมการ  $X^3+X^2+1$  ( ตามตารางที่ 3.2 ) ก็จะทำให้เอาท์พุท PRBS ออกทางตำแหน่งที่จุด B โดยให้ข้อมูลที่เข้าสู่ตำแหน่งจุด A คือค่าเอาท์พุทของ ดีฟลิปฟล็อป ตัวที่ 3 และ 2 มาทำเอ็กคลูซีฟนอร์กัน และสัญญาณที่จุดอื่นๆจะไม่นำมาคิดเลย หรือถ้าบิตที่ใช้เลือกสมการเป็น 110 ซึ่งตรงกับสมการ  $X^5+X^4+1$  ก็จะทำให้เอาท์พุท PRBS ออกทางตำแหน่งที่จุด H โดยให้ข้อมูลที่เข้าสู่ตำแหน่งที่จุด A คือค่าเอาท์พุทของ ดีฟลิปฟล็อป ตัวที่ 15 และ 14 มาทำเอ็กคลูซีฟนอร์กัน และสัญญาณที่จุดอื่นๆจะไม่นำมาคิดเลย

เรานำหลักการเหล่านี้ไปเขียนโปรแกรม VHDL และทำการเบิร์นลงชิพ IC PAL C22 V10 สำหรับโปรแกรมในส่วนภาคส่งของระบบนี้ได้แสดงไว้ในภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

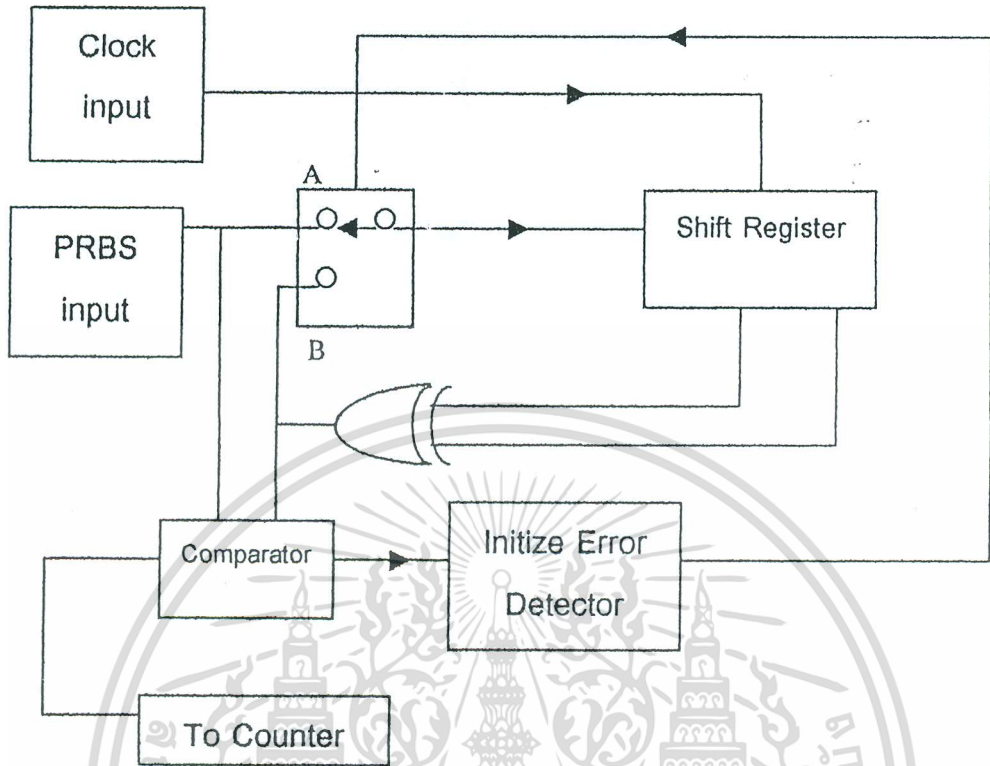
### 3.3 หลักการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท

สำหรับการวัดอัตราการผิดพลาดของบิท โดยใช้สัญลักษณ์ข้อมูลกึ่งแรนดัม มีวิธีเปรียบเทียบที่ภาครับกับภาคส่งเพื่อวัดความผิดพลาดทำได้โดย

1. กำเนิดสัญญาณ PRBS แล้วส่งผ่านช่องสัญญาณ แล้วทำการรับข้อมูลที่ส่งมาเปรียบเทียบกับภาคส่ง ( LOOP BACK ) ซึ่งวิธีนี้เป็นการทดสอบระบบที่ใช้ส่งแบบ FULL DUPLEX
2. กำเนิดสัญญาณ PRBS ที่ภาคส่ง แล้วส่งผ่านช่องสัญญาณ แล้วที่ภาครับให้รับสัญญาณรับได้ผ่านชุดอินเวอร์ตซีพท์รีจิสเตอร์นามอดูโลกับสัญญาณ PRBS ที่ได้รับ โดยเอาที่พวมอดูโลกจะให้เป็นรูปแบบของบิทที่ผิด แต่การวัดโดยวิธีนี้ไม่นิยมเพราะว่ามีปัญหาจากการคูณของบิทผิด ( Error Miltiplication )
3. กำเนิดสัญญาณ PRBS ที่ภาคส่ง แล้วส่งผ่านช่องสัญญาณ แล้วที่ภาครับสร้างสัญญาณ PRBS ที่ซิงโครไนซ์กับภาคส่งขึ้นมาเปรียบเทียบ ซึ่งเป็นวิธีที่ใช้ในโครงการนี้

#### 3.3.1 เทคนิคการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท

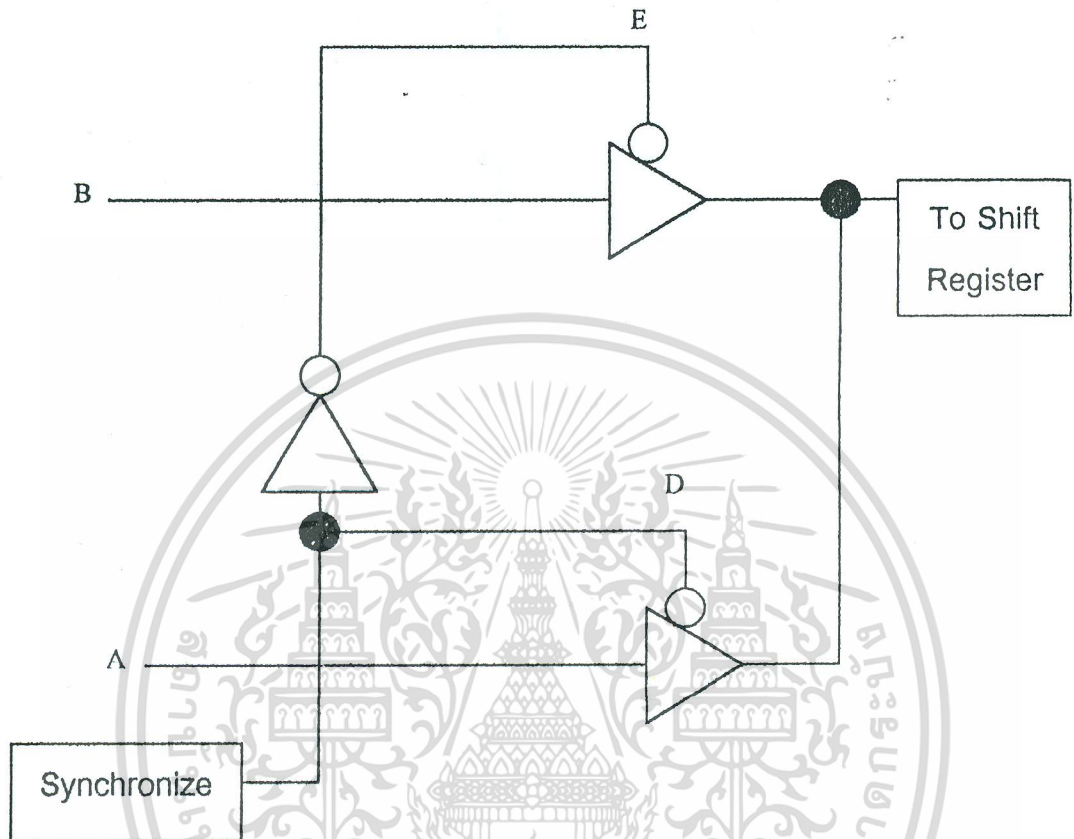
การวัดความผิดพลาดของบิทที่เกิดขึ้น โดยใช้ข้อมูลกึ่งแรนดัมที่กล่าวมาแล้วนั้น ที่ภาครับจะสร้างสัญญาณที่มีซีควนตรงกันในเวลาเดียวกัน หรือ สัญญาณภาครับมีการซิงโครไนซ์กับภาคส่ง โดยโครงสร้างของวงจรภาครับแสดงดังรูป 3.11



รูปที่ 3.11 แสดง โครงสร้างการวัดอัตราการผิดพลาดของบิต

โดยในตอนแรกที่ภาครับวงจรกำเนิดข้อมูลกึ่งแรนดัมทำงานเป็นอิสระหรือสวิตช์อยู่ที่ตำแหน่ง B สัญญาณข้อมูลกึ่งแรนดัมที่ภาครับถูกเปรียบเทียบกับภาคส่งที่วงจรเปรียบเทียบ ( Comparator ) แล้วป้อนเข้าตัววงจรเริ่มต้นดีเทคความผิดพลาด ( Initial Error Detector ) ซึ่งจะพบบิตที่ผิดพลาดมากในช่วงเวลาสั้นๆ ดังนั้นจะทำให้วงจรเริ่มต้นดีเทคความผิดพลาด ให้สัญญาณเอาท์พุทที่ทำให้สวิตช์ไปอยู่ที่ตำแหน่ง A ซึ่งเป็นการชิงโครโนซ์ข้อมูล หลังจากสวิตช์อยู่ที่ตำแหน่ง A ในช่วงเวลาหนึ่งก็จะกลับสู่ตำแหน่ง B ซึ่งเป็นการสร้างสัญญาณกึ่งแรนดัมที่ภาครับที่มีซีแควนตรงกันกับภาคส่งตลอดไป สำหรับส่วนที่เป็นวงจรเปรียบเทียบเอ็กคลูซีฟออเรนเดียวกันกับการมอดูโล 2 คือถ้าอินพุททั้งสองต่างกันจะให้เอาท์พุทเป็น “ 1 ” ถ้าอินพุททั้งคู่เหมือนกันจะให้เอาท์พุทเป็น “ 0 ” สำหรับส่วนที่เป็นสวิตช์สำหรับเลือกสัญญาณให้กับชุดชิพพีจีเอสเตอร์ ซึ่งมีขนาด 9 บิต เช่นเดียวกันกับภาคส่งนั้นสามารถใช่วงจรมัลติเพล็กซ์เซอร์ ( Multiplexer ) แต่การออกแบบในที่นี้ออกแบบโดยใช่วงจรรวมบัพเฟอร์ที่สามารถควบคุมให้อยู่ในสถานะไฮอิมพีแดนซ์ได้โดยการต่อเป็นสวิตช์ 2 ทางคังรูป 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

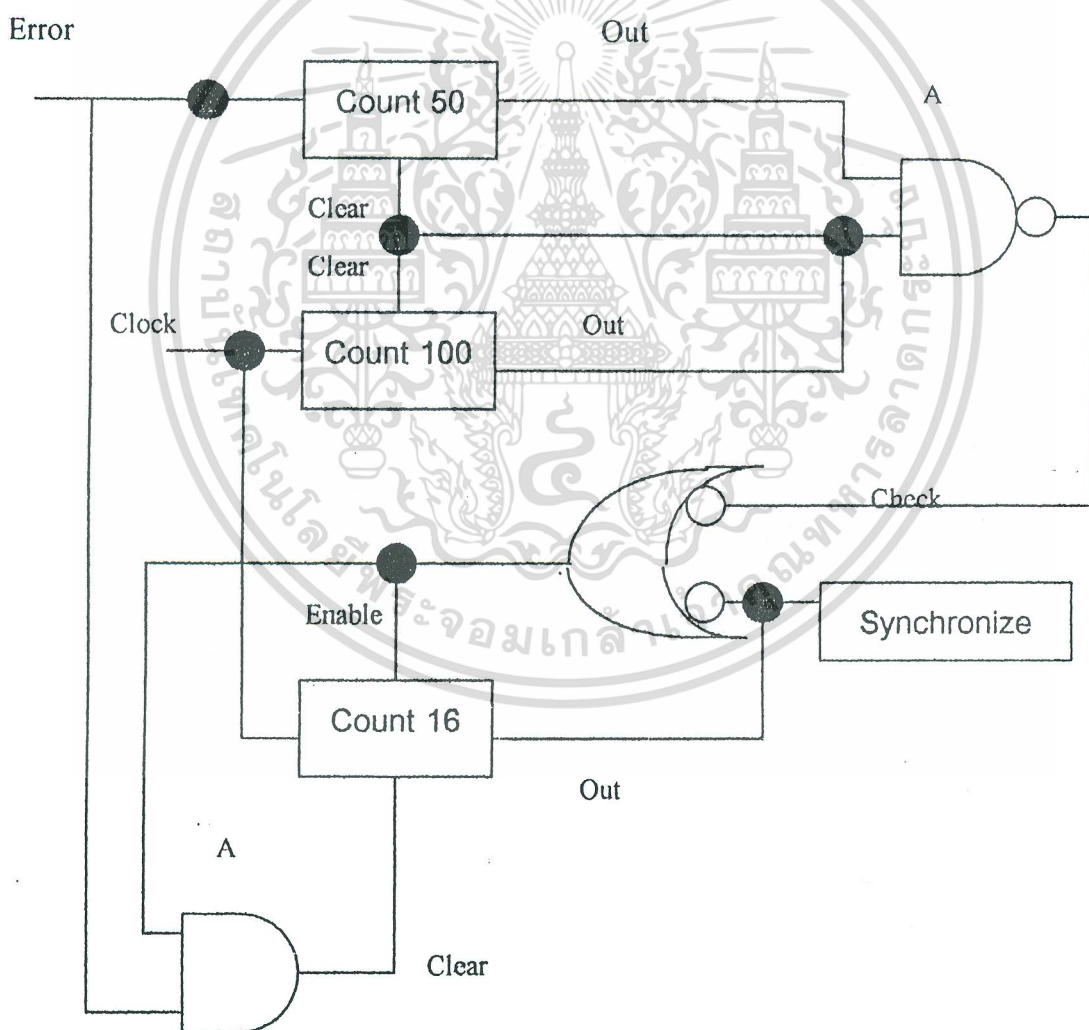


รูปที่ 3.12 แสดงวงจรที่ใช้ทำหน้าที่เป็นสวิตช์

จากรูปสัญญาณซิงโครไนซ์เป็นสัญญาณเอาต์พุตจากวงจรเริ่มต้นคือเทคความผิดพลาด ถ้าสัญญาณสถานะ “ 0 ” สัญญาณจากอินพุต A ซึ่งเป็นสัญญาณที่รับจากภาคส่งโดยตรงมาทำการซิงโครไนซ์ ใช้ชิพทรีจิสเตอร์ที่ภาครับกำเนิดสัญญาณให้มีซีแควนตรงกันกับภาคส่ง แต่ถ้าสัญญาณซิงโครไนซ์เป็นสถานะ “ 1 ” จะทำให้สัญญาณจากอินพุต B ซึ่งเป็นการป้อนกลับจากชุดชิพทรีจิสเตอร์เข้าที่ชิพทรีจิสเตอร์ที่ภาครับเอง

### 3.3.2 การออกแบบวงจรเริ่มต้นตีเทคความผิด

สำหรับการออกแบบวงจรมับและวงจรเริ่มต้นตีเทคความผิด สามารถอธิบายหลักการได้คือ วงจรนี้จะให้เอาต์พุตเป็นลอจิก “ 0 ” เพื่อให้ชิพรีจิสเตอร์ที่วงจรมับทำการซิงโครไนซ์กับภาคส่งใหม่ เมื่อปรากฏว่ามีบิตจากการเปรียบเทียบที่ภาคส่งและภาครับมากกว่า 50 % ขึ้นไปหรือในจำนวนสัญญาณนาฬิกา 100 ลูกมีความผิดพลาดถึง 50 ลูก สัญญาณเอาต์พุตของวงจรจะเป็นลอจิก “ 0 ” อยู่เท่ากับจำนวนสัญญาณนาฬิกา 16 ลูก ซึ่งเพียงพอที่จะทำให้ชุดชิพรีจิสเตอร์ที่ภาครับบรรจุเอาชีแควนของภาคส่งเข้าไปเพื่อทำการซิงโครไนซ์ โดยหลักการของวงจรสามารถอธิบายได้ดังรูป



รูปที่ 3.13 แสดงหลักการของวงจรเริ่มต้นตีเทคความผิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโครงสร้างของวงจรสามารถอธิบายได้คือ เมื่อตอนเริ่มคั่นสัญญาณซิงโครไนซ์ ( หรือ เอาท์พุทของวงจรนับ 16 ) จะมีสถานะเป็น “ 0 ” เริ่มคั่นบรรจุนีตวนของสัญญาณภาคส่งเข้าไป จำนวน 16 ลูก ซึ่งจะเป็นการซิงโครไนซ์ ระหว่างภาคส่งและภาครับ หลังจากนั้นเอาท์พุทของวงจร นับ 16 จะมีสถานะเป็น “ 1 ” ซึ่งทำให้ภาครับกำเนิดสัญญาณข้อมูลกึ่งแรนคัมที่เป็นอิสระมีคี่แควน เดียวกันกับภาคส่ง แต่ถ้ำเกิดเหตุการณ์ที่คี่แควนของภาคส่งและภาครับเกิดเลื่อนไม่ตรงกันซึ่งอาจ เกิดขึ้นได้ เนื่องจากการรบกวนของสัญญาณอิมพัลส์ที่ภาคส่งหรือภาครับ โดยเมื่อดำค้บคี่แควนของ ภาคส่งและภาครับไม่ตรงกันหรือหยุดการซิงโครไนซ์ สัญญาณข้อมูลจะผิดพลาดเกิดขึ้นเป็น จำนวนมาก หรือมากกว่าจำนวน 50 บิตขึ้นไปภายในสัญญาณนาฬิกาจำนวน 100 บิต วงจรจะเกิด สัญญาณอินแอบิ้ล ( Enable ) ทำให้เอาท์พุทของวงจรนับ 16 เป็นลอจิก “ 0 ” ทำการบรรจุนีตวนข้อมูล กึ่งแรนคัมภาคส่งเข้าไปในชิพทรี จิสเตอร์ของภาครับ จนเมือครบสัญญาณนาฬิกา 16 ลูก จึงทำให้ เอาท์พุทของวงจรนับ 16 เป็น “ 1 ” แต่ถ้ำภายในช่วงเวลาสัญญาณนาฬิกา 16 ลูกนี้เกิดสัญญาณบิต ผิดเข้ามาทางอินพุท Error สัญญาณบิตผิดนี้จะเคลียร์วงจรรับ 16 ให้เป็น “ 0 ” ซึ่งเป็นการบรรจุนีตวน ที่ภาคส่งเข้าไปอีก 16 บิตเพื่อเป็นการป้องกันไม่ให้เกิดการบรรจุนีตวนที่ผิดเข้าไปในวงจร ชิพทรี จิสเตอร์ของภาครับ

เรานำหลักการของวงจรเหล่านี้ไปเขียนโปรแกรม VHDL และทำการเบร็อนลงชิพ IC PAL C22 V10 เพื่อนำไปใช้งานร่วมกับวงจรในภาคต่อไปได้สะดวกและต่อเนื่องกัน ซึ่งมีขั้นตอนในการ เขียนโปรแกรมในภาคต่างๆ ดังนี้

จากรูปที่ 3.11 จะต้องสร้างสัญญาณ PRBS ที่มีสัญญาณคล้ายกันกับสัญญาณ PRBS ทาง ภาคส่งขึ้นมาอีก 1 ชุด เพื่อที่จะใช้ในการเปรียบเทียบบิต ซึ่งได้เขียนโปรแกรมแสดงไว้ในภาคผนวก และส่วนที่ถ้ำค้บถ้ำอีก 2 ส่วนคือ ส่วนที่ทำให้เกิดการซิงโครไนซ์ และส่วนที่ใช้ทำการเปรียบเทียบบิต ซึ่งการออกแบบในส่วนที่ทำให้เกิดการซิงโครไนซ์ หรือ Initize Error Detector มีแนว ความคิดในการออกแบบตามรูปที่ 3.13 โดยมีการเขียนโปรแกรม Counter เพื่อที่จะนับ Error และ เขียนโปรแกรม Counter เพื่อที่จะนับ Clock ซึ่งมีเงื่อนไขว่า ถ้ำนับจำนวน Clock ได้ 100 ลูก ถ้าว ตรวจสอบว่ามี Error มากกว่า 50 บิตหรือไม่ ถ้ำมี Error มากกว่า 50 บิตก็จะทำให้สัญญาณที่ ตำแหน่ง Check เป็นบิต 0

เมือสัญญาณที่ตำแหน่ง Check เป็นบิต 0 จะทำให้ โปรแกรม Counter อีกส่วนทำงาน ซึ่ง โปรแกรม Counter ในส่วนนี้มีไว้เพื่อเป็น Timer ในการที่จะทำให้เกิดการซิงโครไนซ์ขึ้นตามค่าของ แต่ละสมการ ยกตัวอย่างเช่น ถ้ำตำแหน่งสัญญาณ Check เป็นบิต 0 ก็จะทำให้โปรแกรม Counter ทำงาน โดยจะนับจำนวนตามค่าของสมการ ถ้ำสมการที่ใช้สร้างสัญญาณ PRBS เป็นสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$X^4+X^3+1$  ก็จะมีการนับจำนวนบิตเป็นจำนวน 4 บิตด้วยกันตามค่าของสมการ โดยให้สัญญาณที่ตำแหน่ง Switch มีค่าเป็น 0 เมื่อนับจำนวนบิตยังไม่ถึง 4 บิต แต่เมื่อมีการนับบิตถึง 4 บิตแล้วจะให้สัญญาณที่ตำแหน่ง Switch มีค่าเป็น 1 ถ้าสัญญาณเชิงโคโรไนซ์มีค่าเป็น 0 จะมีการสับสวิทช์ไปรับบิตข้อมูลจาก สัญญาณ PRBS ทางภาคส่ง แต่ถ้าสัญญาณเชิงโคโรไนซ์มีค่าเป็น 1 จะมีการสับสวิทช์ไปเพื่อทำการสร้างสัญญาณ PRBS ขึ้นทางภาครับ

เรานำหลักการเหล่านี้ไปเขียนโปรแกรม VHDL และทำการเบิร์นลงชิพ IC PAL สำหรับโปรแกรมในสำหรับโปรแกรมที่ใช้ในการทำงานของภาคเชิงโคโรไนซ์นี้ ได้แสดงไว้ในภาคผนวก

ส่วนการออกแบบโปรแกรมในส่วนของการเปรียบเทียบบิต มีแนวความคิดคือจะมีการนำสัญญาณข้อมูลที่ผ่านมาจากระบบมาเข้าชิพรีจิสเตอร์ เพื่อที่จะทำให้บิตที่รับเข้ามา กับ บิตที่สร้างได้ที่ภาครับมีบิตที่ตรงกัน โดยสัญญาณข้อมูลที่ผ่านมาเข้าชิพรีจิสเตอร์จะใช้ ดีฟลิปฟลอป โดยมีจำนวนดีฟลิปฟลอปเท่ากับค่าของสมการที่ใช้สร้างสัญญาณ PRBS ตัวอย่างเช่น ถ้าใช้สมการ  $X^4+X^3+1$  ในการสร้างสัญญาณ PRBS ก็จะใช้ชิพรีจิสเตอร์ 4 ตัว

ในการนำมาเปรียบเทียบกัน จะนำสัญญาณที่รับมาจากระบบ กับสัญญาณ PRBS ที่ภาครับนำมาทำเอ็คคลูซีฟนอร์กันเพื่อหาบิตที่ผิดพลาด หลังจากได้ค่าของ Error แล้ว ก็จะเข้าสู่วงจร Counter เพื่อนำออกไปแสดงที่เซเว่น เซกเมนต์ ค่อยไป สำหรับโปรแกรมที่ใช้ในการทำงานของภาคเปรียบเทียบบิตนี้ได้แสดงในภาคผนวก

จุดที่สำคัญในการเขียนโปรแกรมคือ พยายามมองภาพจาก Block Diagram ให้เข้าใจก่อน หลังจากนั้นจึงทำการเขียนโปรแกรม ถ้าลักษณะของโปรแกรมมีบิตภายนอกเข้ามาเกี่ยวข้อง ก็ต้องออกแบบโปรแกรมในลักษณะ ของเงื่อนไขคือ if.....then ถ้าเป็นในลักษณะของชิพรีจิสเตอร์ จะเขียนโปรแกรมในลักษณะของ Buffer

และในส่วนของภาครับนี้จะมีการเขียนโปรแกรม Timer 1 วินาที เพื่อใช้ในการแสดงค่าผิดพลาด โดยใช้ลักษณะการนับจำนวน Clock ตาม Clock ที่เราใช้สร้างวงจร สำหรับโปรแกรมในภาค Timer นี้ได้แสดงในภาคผนวก

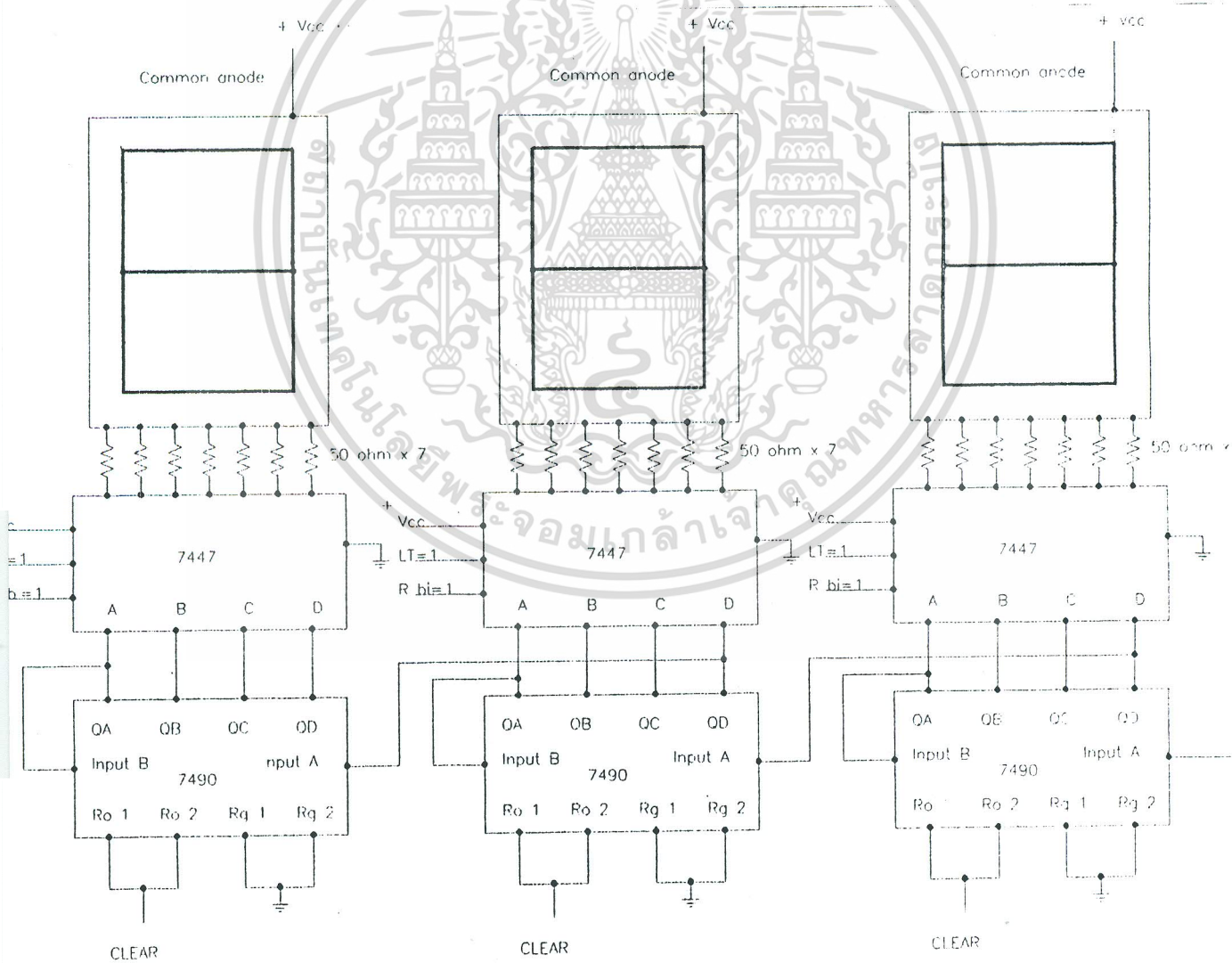
โดยในโครงการนี้ได้ใช้การเขียนโปรแกรมทั้งหมด 14 โปรแกรม โดยทั้ง 14 โปรแกรมนี้เราสามารถนำมารวมกันแล้วทำการเบิร์นลงชิพไอซีที่มีประสิทธิภาพสูงกว่าไอซี PAL ได้คือ ไอซี FPGA ( Field Programmable Gate Array ) ซึ่งไอซีตัวนี้จะมีจำนวน Gate ในตัวสูงกว่า ไอซี PAL และจะมีเอาต์พุตมากกว่าไอซี PAL

### 3.4 หลักการออกแบบภาคแสดงผล

การแสดงผลได้ออกแบบให้แสดงผลการนับจำนวนบิตที่ผิดพลาดด้วยอุปกรณ์เซเว่นเซกเมนต์ ซึ่งมีวงจรชุดแสดงตัวเลข 3 หลัก ใช้วงจรนับซึ่งอาศัยไอซี 7490 จำนวน 3 ตัวทำงานร่วมกันจะนับได้สูงสุด 999 นอกจากนี้ยังประกอบไปด้วยไอซี 7447 ซึ่งจะทำการ Decode สัญญาณจากไอซี 7490 ให้ไปแสดงผลยังเซเว่นเซกเมนต์ ทั้ง 3 ตัว สภาวะการนับจะแสดงได้ดังนี้

- กรณี 1. ไม่มีการผิดพลาดของบิต ( Error ) จะแสดง 000
- 2. ถ้ามีการผิดพลาดของบิตเกิดขึ้นจะแสดงจำนวนบิตที่ผิดนั้น ( แสดงได้สูงสุด 999 บิต )

และวงจรภาคแสดงผลแสดงได้ดังรูปที่ 3.14



รูปที่ 3.14 แสดงวงจรการทำงานของภาคแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

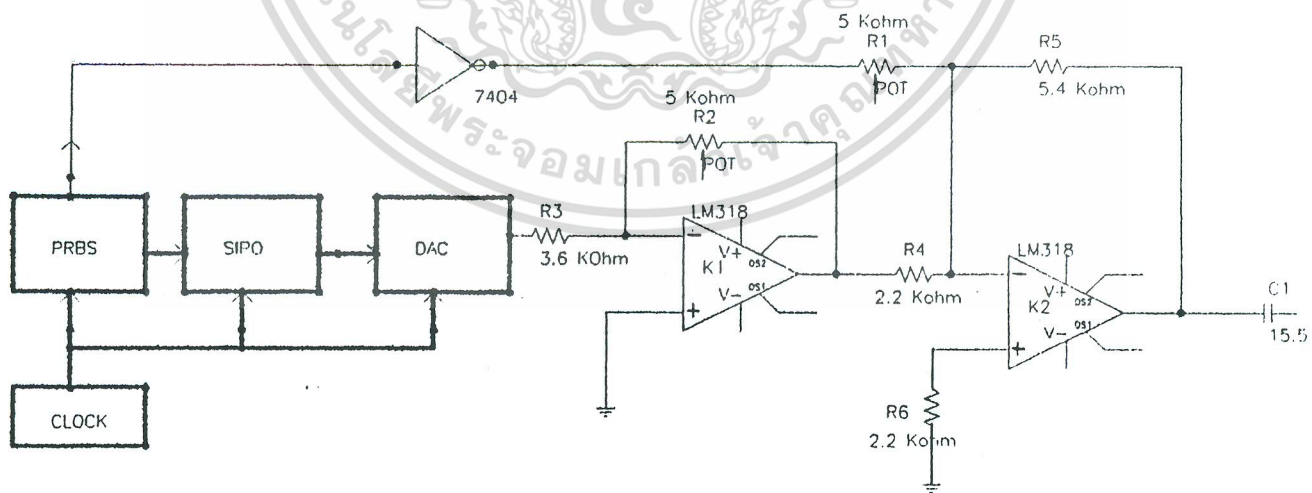
### 3.5 หลักการออกแบบวงจรกำเนิดสัญญาณรบกวนแบบไวเดนแบนด์

ในการสื่อสารข้อมูลนั้น ตัวการที่ทำให้เกิดความผิดพลาดของการรับข้อมูลนอกจากจะเป็นคุณสมบัติของช่องสัญญาณซึ่งมีความผิดเพี้ยนทางด้านแอมพลิจูดหรือเฟสแล้ว ยังมีสัญญาณรบกวนแบบไวเดนแบนด์ ซึ่งมีผลต่อการรับข้อมูลโดยตรง

ในโครงการนี้จึงได้ทำการสร้างสัญญาณรบกวนแบบไวเดนแบนด์ขึ้นมา เพื่อที่จะใช้ทดสอบระบบการรับและระบบการวัดหาอัตราการผิดพลาดของข้อมูลที่ได้สร้างขึ้น โดยที่จะทำการสร้างสัญญาณรบกวนแบบไวเดนแบนด์ขึ้นที่ภาคส่งเพื่อทำการส่งสัญญาณรบกวนนี้ร่วมกับสัญญาณกึ่งเรณดัมที่ได้สร้างขึ้น แล้วทำการส่งสัญญาณทั้งสองนี้รวมกันไปในสายส่งของระบบ เพื่อเป็นการสร้างเหตุการณ์ให้มีความคล้ายคลึงกับระบบการส่ง และรับข้อมูลที่เกิดขึ้นจริงในระบบการสื่อสารข้อมูล

เมื่อภาครับได้รับสัญญาณทั้งสองแล้วก็จะทำการวัดหาอัตราการผิดพลาดของบิตที่เกิดขึ้นเนื่องจากสัญญาณรบกวนแบบไวเดนแบนด์ ในรูปแบบของเซเวนเซกเมนต์ 3 หลัก ดังที่ได้กล่าวมาแล้วในหัวข้อข้างต้น

วงจรถ่ายสัญญาณรบกวนแบบไวเดนแบนด์ มีส่วนประกอบของวงจรดังรูปที่ 3.15

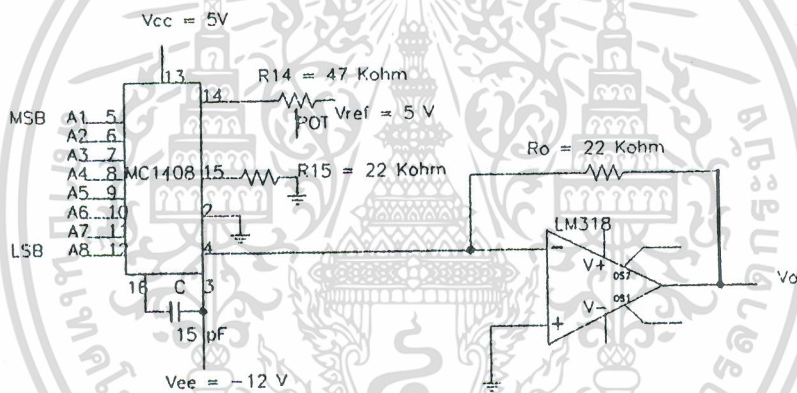


รูปที่ 3.15 แสดงวงจรสร้างสัญญาณรบกวนแบบไวเดนแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.15 สามารถอธิบายการทำงานของวงจรได้คือ นำสัญญาณ PRBS ที่มีสมการตรงกันกับสมการที่จะทำเป็นข้อมูลจำลองในการส่งของระบบ มาเป็นสัญญาณอินพุทของไอซี 74HCT164 ซึ่งเป็นไอซีชนิดอินพุทเป็นข้อมูลแบบอนุกรมจะให้เอาต์พุทเป็นข้อมูลแบบขนาน (Series In Parallel Out) ทำการแปลงสัญญาณ PRBS จากสัญญาณข้อมูลแบบอนุกรมเป็นสัญญาณข้อมูลแบบขนาน เพื่อที่จะนำสัญญาณข้อมูลแบบขนานนี้ไปเป็นอินพุทของไอซี MC1408 ซึ่งเป็นไอซีที่แปลงสัญญาณจากสัญญาณดิจิทัลแบบขนานให้เป็นสัญญาณแบบอนาลอก ซึ่งสัญญาณอนาลอกที่ออกมาจะมีลักษณะเหมือนสัญญาณรบกวนแบบไวคแบนด์

การต่อวงจรใช้งานสำหรับไอซี MC1408 แสดงได้ดังรูปที่ 3.16



รูปที่ 3.16 แสดงวงจรการต่อใช้งานของไอซี MC1408

จากรูปที่ 3.16 ไอซี MC1408 มีกระแสเอาต์พุทที่สามารถเปลี่ยนเป็นแรงดันได้ด้วย ออป-แอมป์ และตัวต้านทานดังรูปที่แสดงไว้แล้ว แรงดันนี้สามารถคำนวณโดยใช้สูตร

$$V_{out} = (V_{ref} / R_{14}) \times R_o (A_1/2 + A_2/4 + A_3/8 + A_4/16 + A_5/32 + A_6/64 + A_7/128 + A_8/256)$$

ซึ่งในที่นี้จะทำการปรับแรงดันได้โดยการปรับค่าความต้านทานที่ปรับค่าได้ซึ่งต่ออยู่ที่ขา 14 ของไอซี MC1408

สัญญาณรบกวนแบบไวคแบนด์นี้เป็นอินพุทของ วงจรขยายอินเวอร์ตติ้ง ( Inverting amplifier ) ซึ่งสามารถปรับอัตราขยายของสัญญาณรบกวนแบบไวคแบนด์ได้จากค่าความต้านเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทานที่ปรับค่าได้เพื่อความเหมาะสมในการแสดงผลที่ภาครับของระบบ ซึ่งอัตราขยายของสัญญาณรบกวนแบบไวคเบนค์สามารถคำนวณได้จากสูตร

$$V_o = -(R_2 / R_1) V_s \quad ; \text{โดย } Z_{in} = R_1$$

จากนั้นสัญญาณรบกวนแบบไวคเบนค์ที่ได้รับการขยายสัญญาณแล้ว จะเป็นอินพุตที่ของวงจรขยายชนิดผลรวม ( Summing amplifier ) ส่วนอินพุตที่ 2 ของวงจรคือสัญญาณ PRBS ที่ผ่านวงจรถอดอินเวอร์ตมาแล้ว ดังนั้นที่เอาท์พุทของวงจรขยายชนิดผลรวมจึงเป็นการรวมของสัญญาณ 2 สัญญาณคือสัญญาณรบกวนแบบไวคเบนค์และ PRBS สัญญาณ PRBS ซึ่งอัตราขยายของสัญญาณที่จุดนี้สามารถคำนวณได้จากสูตร

$$V_o = -R_f ( V_1 / R_1 + V_2 / R_2 + V_n / R_n )$$

โดยค่า  $Z_{in}$  ของแต่ละแหล่งจ่ายแรงดัน  $V_1, V_2$  จะเท่ากับ  $R_1, R_2$  ตามลำดับ

ที่เอาท์พุทของวงจร จะต่อตัวเก็บประจุไว้เพื่อป้องกันการผ่านของแรงดันไฟตรงที่จะทำให้สัญญาณที่ออกมานั้นเกิดการผิดพลาดไปไม่ตรงกับค่าที่ปรับตั้งไว้

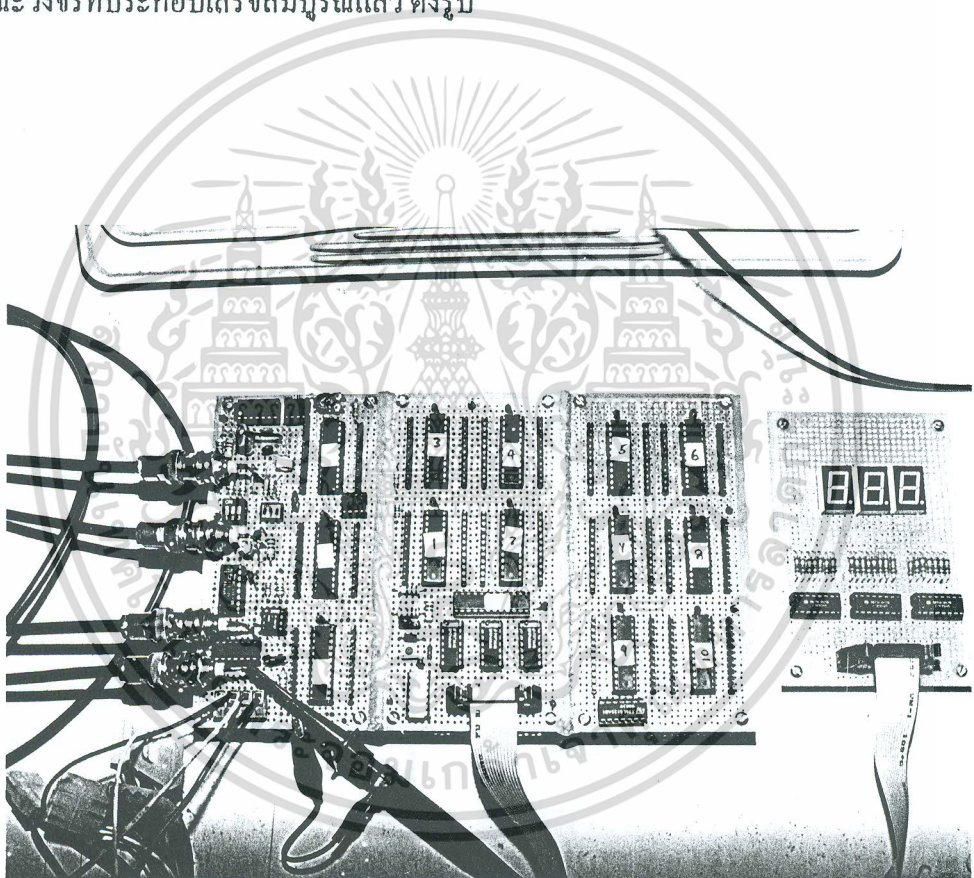
นำสัญญาณที่ออกมานี้ส่งไปในสายส่งของระบบ เพื่อให้ภาครับของระบบทำการตรวจจับอัตราการผิดพลาดของบิตในรูปแบบของเซเวนเซกเมนต์ต่อไป

## บทที่ 4

### ผลการทดลอง บทสรุป และวิจารณ์

#### ผลการทดลอง

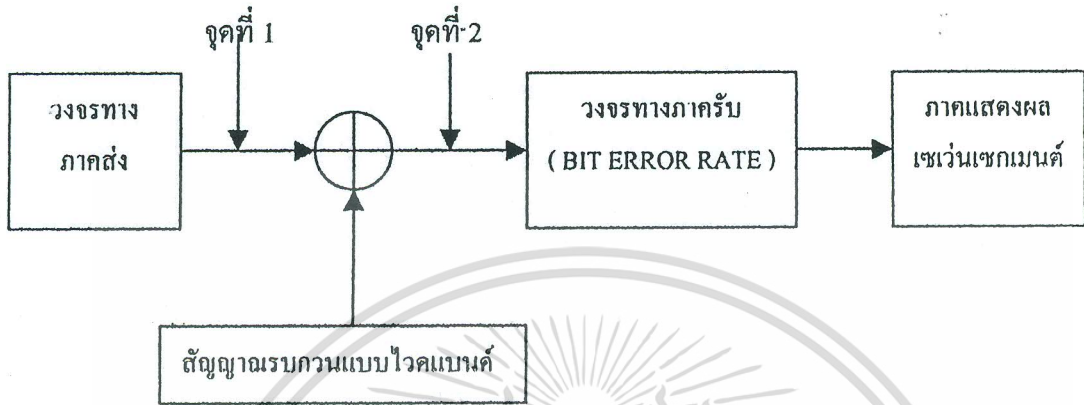
จากทฤษฎีและหลักการ ได้นำมาออกแบบวงจรและจัดหาอุปกรณ์ต่างๆมาประกอบวงจร ซึ่งมีลักษณะวงจรที่ประกอบเสร็จสมบูรณ์แล้ว ดังรูป



รูปที่ 4.1 แสดงฮาร์ดแวร์ที่ได้ประกอบเสร็จสมบูรณ์แล้ว

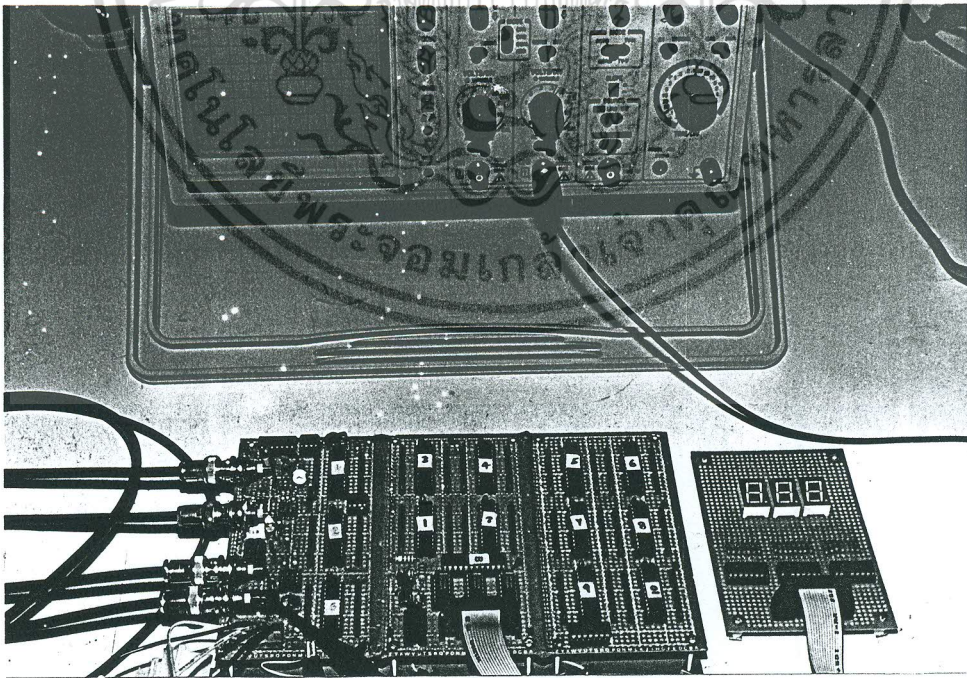
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และทำการทดสอบการทำงานของวงจรแต่ละวงจร โดยทำประกอบวงจรเพื่อทำการวัดสัญญาณที่จุดที่ 1 และจุดที่ 2 ดังรูป



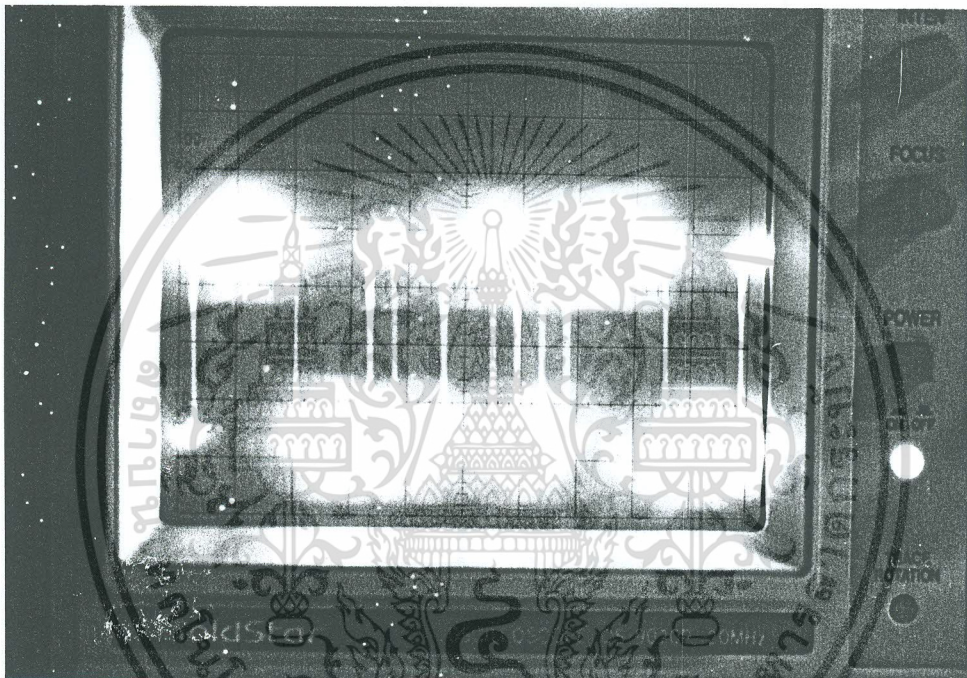
รูปที่ 4.2 แสดงการต่อวงจรเพื่อทำการวัดสัญญาณต่างๆ

ใช้ ออสซิลโลสโคปทำการวัดสัญญาณที่จุดที่ 1 และจุดที่ 2 โดยเมื่อทำการต่อออสซิลโลสโคปแล้ว จะมีลักษณะดังรูป



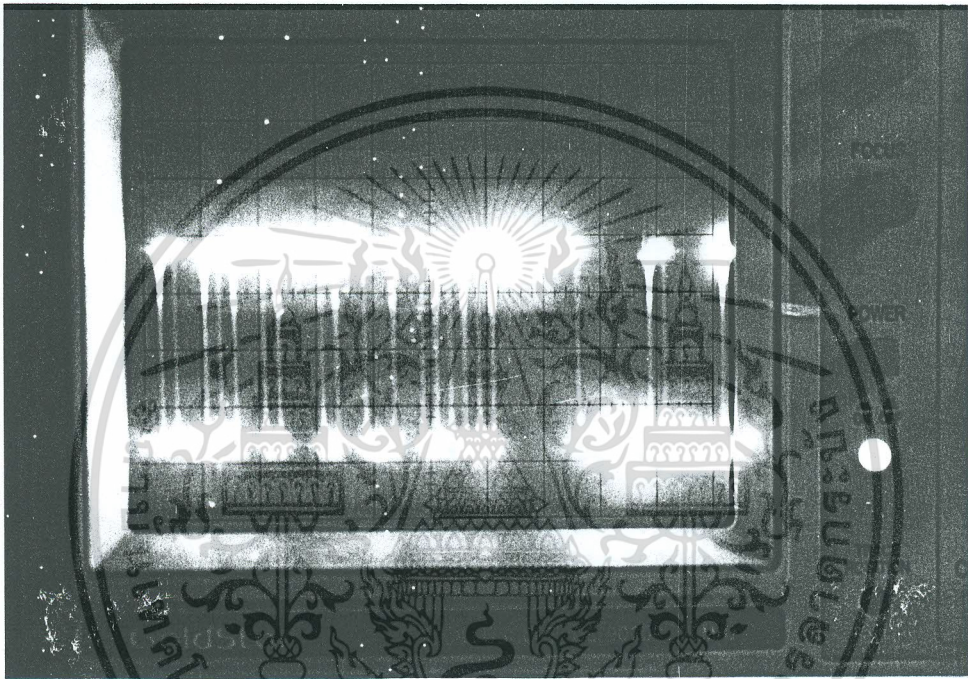
รูปที่ 4.3 แสดงการต่อออสซิลโลสโคปเพื่อทำการวัดสัญญาณที่จุดที่ 1 และจุดที่ 2 เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งผลการทดลองวัดสัญญาณที่จุดที่ 1 สัญญาณที่วัดออกมาได้นั้นจะเป็นสัญญาณ PRBS ที่มีรูปแบบของสมการและความถี่ต่างกันออกไป โดยแสดงสัญญาณที่วัดได้ที่จุดที่ 1 ได้ดังนี้



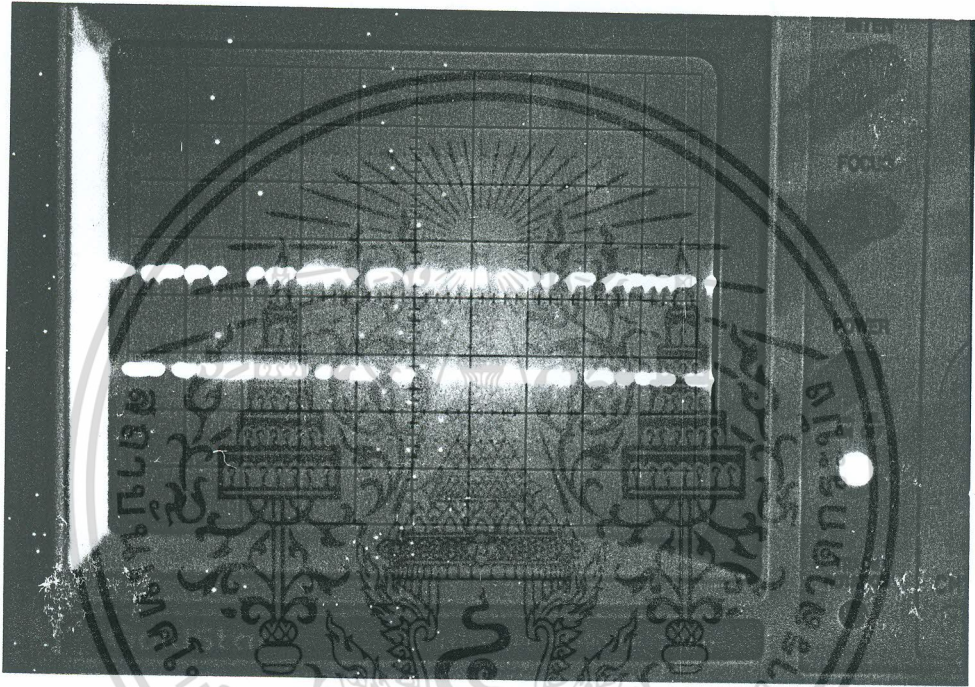
รูปที่ 4.4 แสดงสัญญาณ PRBS สมการ  $X^4+X^3+1$  ที่ความถี่ 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



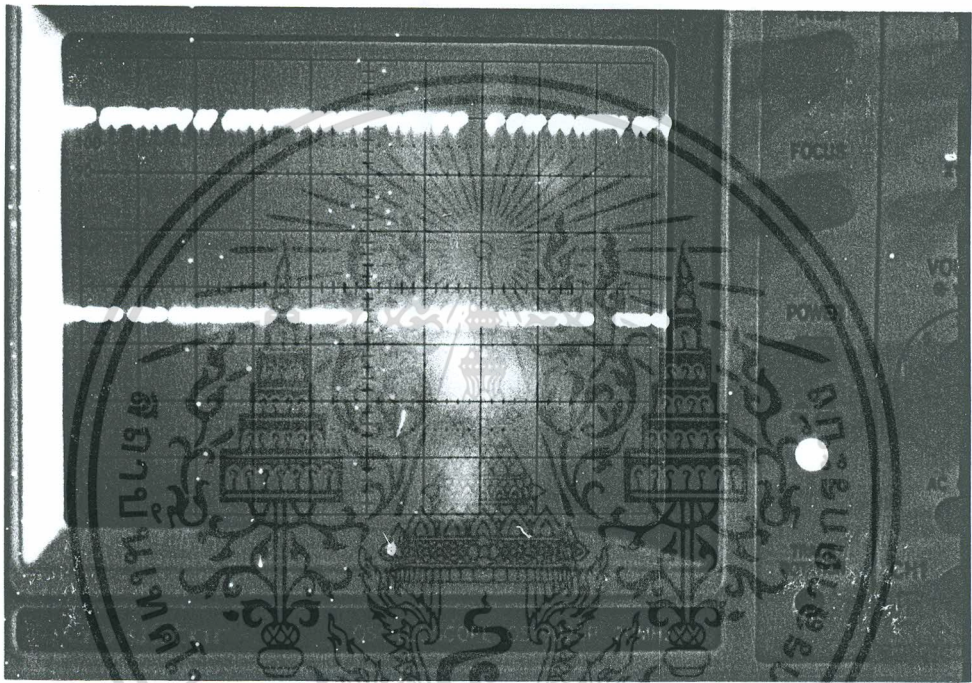
รูปที่ 4.5 แสดงสัญญาณ PRBS สมการ  $X^6+X^3+1$  ที่ความถี่ 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงสัญญาณ PRBS สมการ  $X^9 + X^5 + 1$  ที่ความถี่ 64 kHz

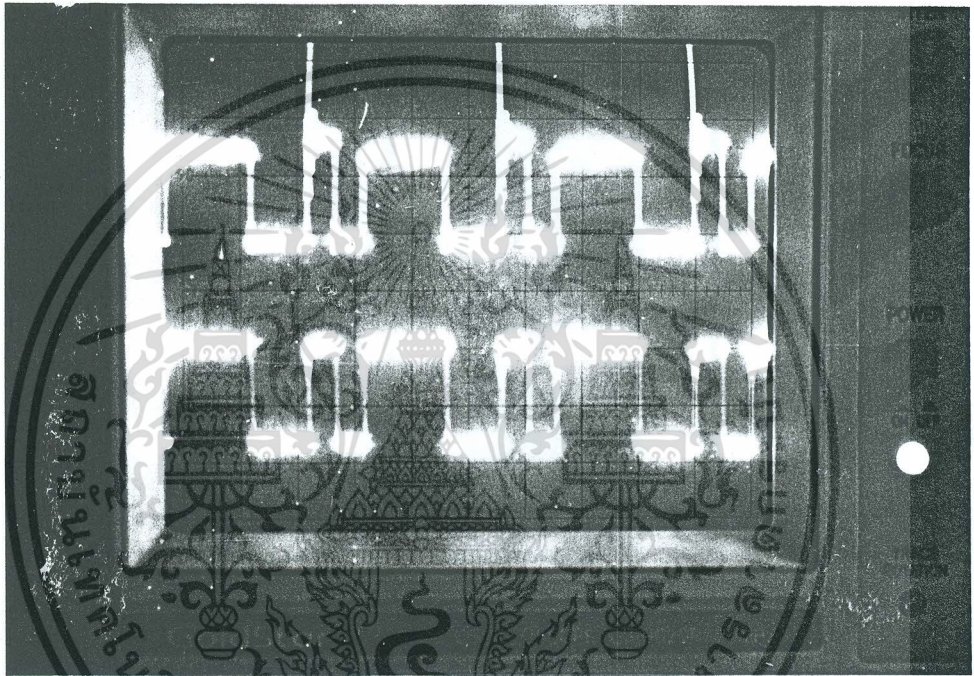
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงสัญญาณ PRBS สมการ  $X^{15}+X^{14}+1$  ที่ความถี่ 64 kHz

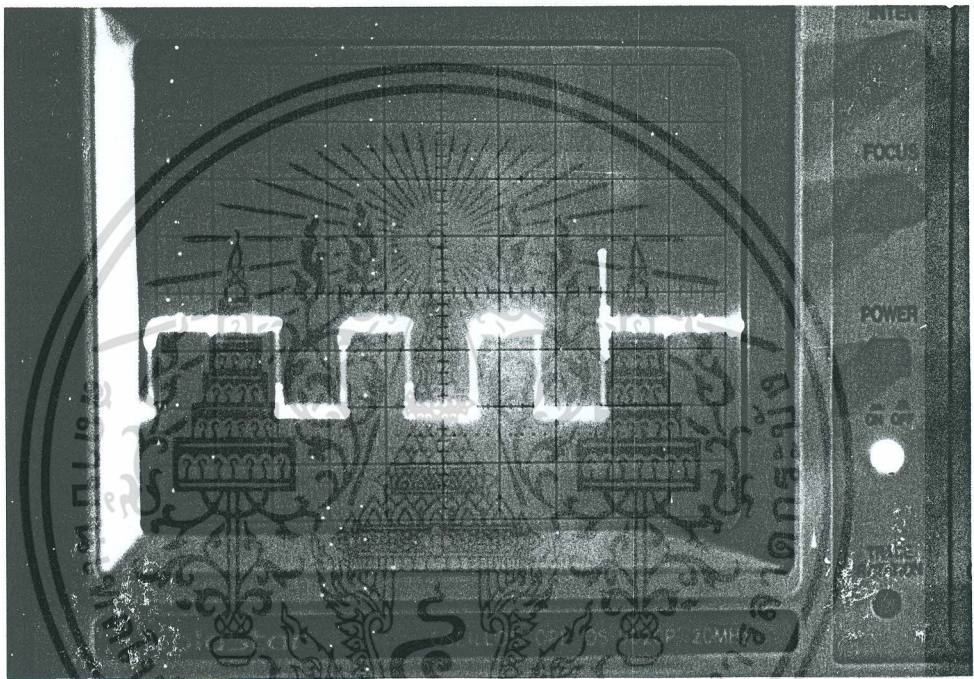
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากการวัดสัญญาณที่จุดที่ 2 สัญญาณที่วัดออกมาได้นั้นจะเป็นสัญญาณ PRBS ที่มีสัญญาณรบกวนแบบไวคเบนค์ผสมอยู่ด้วย และจะมีรูปสัญญาณต่างกันไปตามลักษณะของสมการของสัญญาณ PRBS และความถี่ที่ใช้ ดังนี้คือ



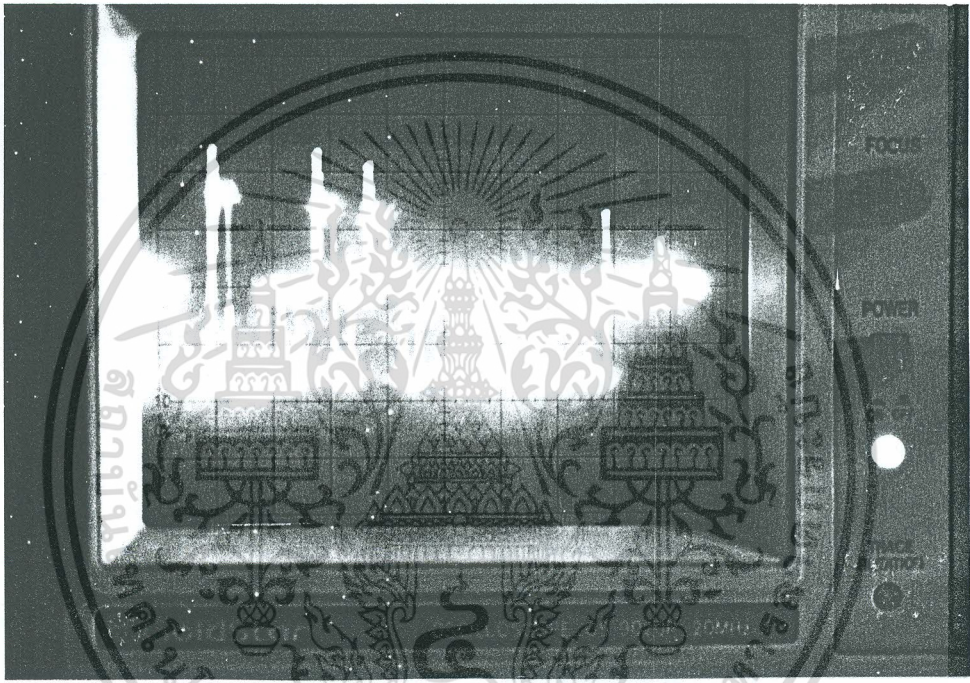
รูปที่ 4.8 แสดงสัญญาณ PRBS สมการ  $X^3+X^2+1$  ที่มีสัญญาณรบกวนแบบไวคเบนค์รวมอยู่ด้วย ที่ความถี่ 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



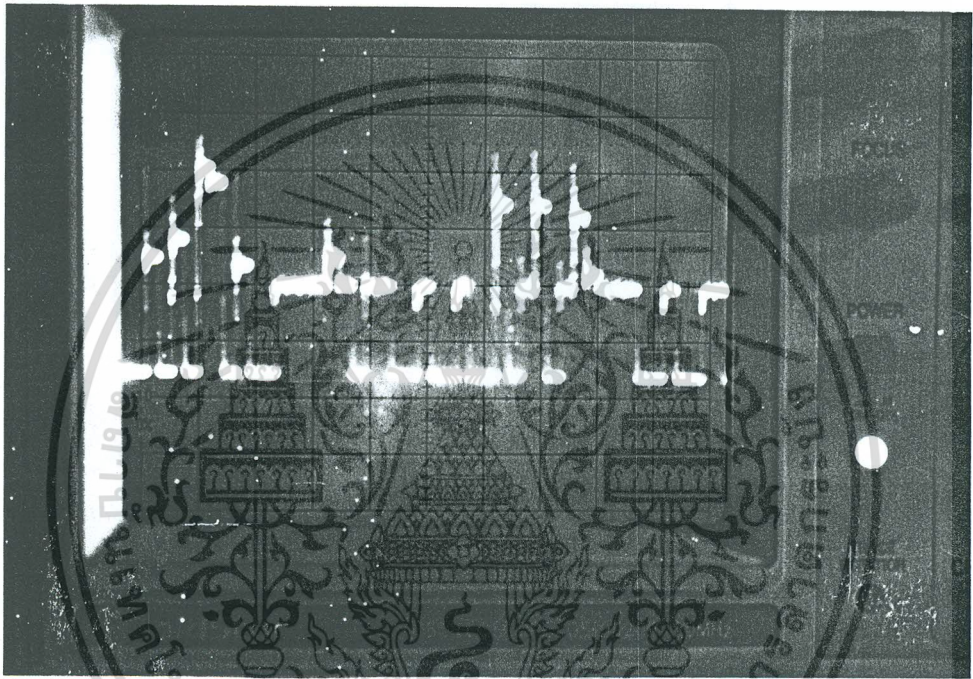
รูปที่ 4.9 แสดงสัญญาณ PRBS สมการ  $X^4+X^3+1$  ที่มีสัญญาณรบกวนแบบไวคเบนค์รวมอยู่ด้วย ที่ความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงสัญญาณ PRBS สมการ  $X^6+X^5+1$  ที่มีสัญญาณรบกวนแบบไวคแบนด์รวมอยู่ด้วย ที่ความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงสัญญาณ PRBS สมการ  $X^2 + X + 1$  ที่มีสัญญาณรบกวนแบบไวต์แบนด์รวมอยู่ด้วย ที่ความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทสรุป

จากผลการทดลองของโครงการนี้ พอที่จะสรุปได้ว่าประสบความสำเร็จในด้านการทำงานตามเงื่อนไขหลักๆ ที่ได้วางไว้ คือ

การใช้โปรแกรม VHDL เขียนวงจรการทำงานของภาคกำเนิดสัญญาณ Pseudo random binary sequence ทั้ง 8 สมการ เพื่อเบอร์นลงชีพ IC PAL C22 V10 เพื่อนำชีพตัวนั้นไปใช้เป็นสัญญาณข้อมูลส่งไปยังภาครับ เพื่อทำการตรวจจับอัตราการผิดพลาดของบิตต่อไป

การใช้โปรแกรม VHDL เขียนวงจรการทำงานของเครื่องตรวจจับอัตราการผิดพลาดของบิตที่ภาครับ สามารถที่จะตรวจจับอัตราการผิดพลาดของบิต ได้ตั้งแต่ 0 - 999 บิต

จาก วงจรของภาคต่างๆ ที่ได้กล่าว มีการใช้โปรแกรม VHDL เขียน และ ทำการเบอร์นลง IC PAL C22 V10 ให้เป็นรูปธรรมเกิดเป็นชีพที่สามารถทำงานได้ และเมื่อต้องการทำการแก้ไขโปรแกรมก็สามารถที่จะแก้ไขได้โดยทำการเบอร์นโปรแกรมใหม่ลงไป ซึ่งเป็นความสะดวกอย่างหนึ่งในการแก้ไข

ซึ่งเมื่อทำการเขียนโปรแกรมสำเร็จแล้ว โปรแกรมจะทำหน้าที่กำหนดสัญญาณเอาต์พุตให้ออกมาที่ตำแหน่งขาที่ 1 ถึงขาที่ 24 ของไอซี PAL โดยอัตโนมัติเอง โดยแสดงการกำหนดสัญญาณเอาต์พุตของไอซี PAL ไว้ในภาคผนวกแล้ว

ในส่วนของวงจรถูกกำเนิดสัญญาณรบกวนแบบไวคเบนค้ เมื่อทำการสร้างตามหลักการที่ได้ออกแบบไว้แล้วนั้น สามารถให้กำเนิดสัญญาณรบกวนแบบไวคเบนค้เพื่อนำไปใช้เป็นสัญญาณรบกวนในสายส่งของระบบได้ เพื่อให้วงจรที่ภาครับทำการตรวจจับอัตราการผิดพลาดของบิต และทำการแสดงผลออกมา

ในส่วนของภาคแสดงผล เมื่อได้ทำการสร้างวงจรตามหลักการที่ได้ออกแบบไว้แล้วนั้น วงจรที่สร้างออกมานั้นสามารถที่จะแสดงผลอัตราการผิดพลาดของบิตออกมาในรูปแบบของเซเวนเซกเมนต์ 3 หลักได้อย่างถูกต้องตั้งแต่ 0 - 999 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บทวิจารณ์

จากที่กล่าวมาแล้วนั้น ทั้งภาคทฤษฎี และภาคปฏิบัติ เราสามารถที่จะสรุปได้ว่าตัวโครงการนี้มีความน่าเชื่อถือได้ระดับหนึ่ง เนื่องจากมีการใช้โปรแกรมในการออกแบบชิพไอซีมาเขียนวงจรของภาคต่างๆ เพื่อให้ง่ายต่อการต่ออุปกรณ์ และสะดวกในการแก้ไข หรือในการใช้งาน

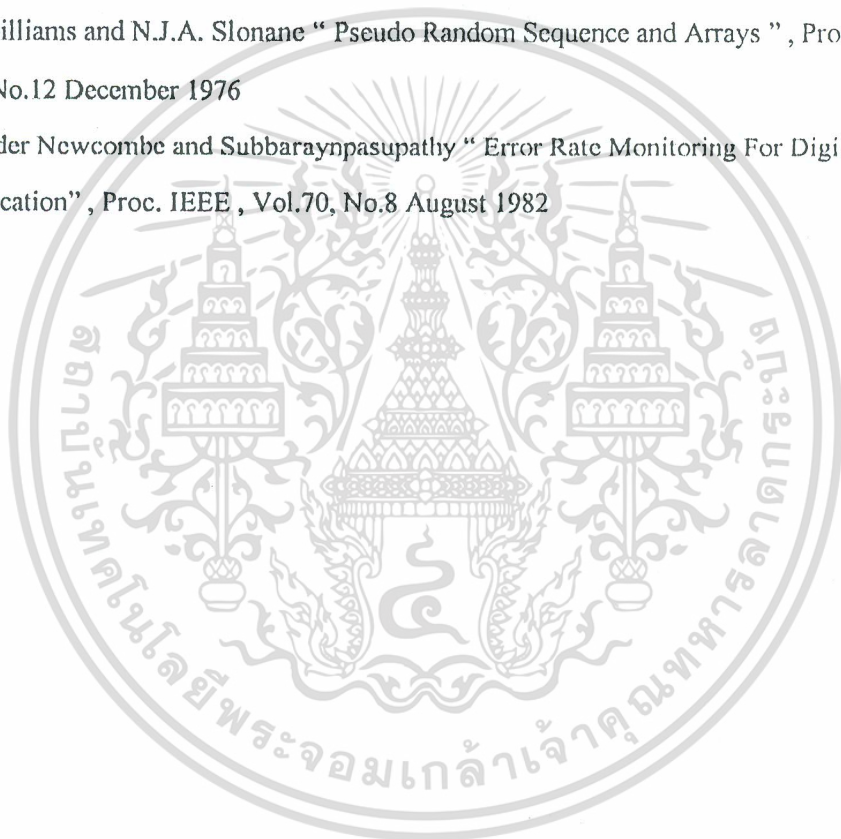
การพัฒนา และ ปรับปรุงมีความจำเป็นอย่างยิ่ง เพื่อให้มีความเหมาะสมในการใช้งาน เช่น จากหลักการนี้จะสามารถนำไปออกแบบสร้างเครื่องต้นแบบของอุปกรณ์วัด และวิเคราะห์ข้อมูลในระบบการสื่อสารข้อมูลต่างๆ เพื่อที่จะได้ทำการวัดอัตราการผิดพลาดของบิตได้ละเอียดและมีประสิทธิภาพได้มากขึ้นอีกต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

1. Owen, Frank F. E. "PCM and Digital Transmission Systems", McGRAW Hall, 1982
2. Robert Moser , Judith Stover " Generation of Psuedo Random Sequences for Spread Spectrum System ", State College , PA , 1985
3. น.ต.ฉัตรชัย สุมาลย์ " การสื่อสารข้อมูลคอมพิวเตอร์และระบบเครือข่าย ", IT BOOK , 2540
4. ศุรวีตรี มณีตานนท์ " การออกแบบและสร้างเครื่องวัดอัตราการผลิตของการรับส่งข้อมูล ", วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต , รายงานผลการวิจัย , จุฬาลงกรณ์มหาวิทยาลัย
5. F.J.Macwilliams and N.J.A. Slonane " Pseudo Random Sequence and Arrays " , Proc. IEEE , Vol.64 , No.12 December 1976
6. E.Alexander Newcombe and Subbarayn pasupathy " Error Rate Monitoring For Digital Communication " , Proc. IEEE , Vol.70, No.8 August 1982



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก

## โปรแกรม VHDL ที่ใช้ในการสร้างวงจร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรมที่ใช้ในภาคส่งของโครงการ

Entity vit is port(

clk,A,B,C :in bit;

Q1,Q2,Q3,Q4,Q5,Q6,Q7,Q8 :inout bit;

Z :out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 A:2 B:3 C:4 " &

" Q1:14 Q2:22 Q3:15 Q4:21 " &

" Q5:16 Q6:20 Q7:17 Q8:19 " &

" Z:18 " ;

end vit;

architecture archvit of vit is

signal D1,D2,D3,D4,D5,D6,D7,D8:bit;

begin

s1:process(clk,D1,D2,D3,D4,D5,D6,D7,D8)

begin

if(clk'event and clk='1')then

Q1 <= D1;

if Q1='1'then

Q2 <= D2;

if Q2='1' then

Q3 <= D3;

if Q3='1' then

Q4 <= D4;

if Q4='1' then

Q5 <= D5;

if Q5='1' then

Q6 <= D6;

เอกสารนี้เป็นเอกสารที่สงวนไว้ if Q6='1' then เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        Q7 <= D7;
    if Q7='1' then
        Q8 <= D8;
    end if;
    end if;
end if;
end if;
end if;
end if;
end process;

D1 <= not(Q1);
D2 <= not(Q2);
D3 <= not(Q3);
D4 <= not(Q4);
D5 <= not(Q5);
D6 <= not(Q6);
D7 <= not(Q7);
D8 <= not(Q8);

s2:process(A,B,C,Q1,Q2,Q3,Q4,Q5,Q6,Q7,Q8)
begin
    if A = '0' then
        if B = '0' then
            if C = '0' then
                Z <= Q1;
            else
                Z <= Q2;
            end if;
        end if;
    end if;
end process;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

else
    if C = '0' then
        Z <= Q3;
    else
        Z <= Q4;
    end if;
end if;

else
    if B = '0' then
        if C = '0' then
            Z <= Q5;
        else
            Z <= Q6;
        end if;
    else
        if C = '0' then
            Z <= Q7;
        else
            Z <= Q8;
        end if;
    end if;
end if;

end process;

end archvit;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,a:in bit;

Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15:inout bit;

Q16:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 a:5 " &

" Q16:23 Q14:22 Q12:21 Q10:20 " &

" Q8:19 Q15:14 Q13:15 Q11:16 " &

" Q9:17 Q7:18 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15,a)

begin

if(clk'event and clk='1')then

Q16<=Q15;

Q15<=Q14;

Q14<=Q13;

Q13<=Q12;

Q12<=Q11;

Q11<=Q10;

Q10<=Q9;

Q9<=Q8;

Q8<=Q7;

Q7<=a;

end if;

end process;

end archvit;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,x1,x2,x3:in bit;

b,c,d,f,g,h,i:in bit;

Q1,Q2,Q3,Q4,Q5,Q6:inout bit;

e,y:inout bit;

z,j:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 x1:2 x2:3 x3:4 " &  
 " b:5 c:6 d:7 f:8 g:9 h:10 i:11 " &  
 " Q6:23 Q4:22 Q2:21 Q5:16 " &  
 " Q3:15 Q1:14 y:19 z:17 e:18 j:20 " ;

end vit;

architecture archvit of vit is

signal kl:bit;

begin

s1:process(clk,Q1,Q2,Q3,Q4,Q5,e)

begin

if(clk'event and clk='1')then

Q6<=Q5;

Q5<=Q4;

Q4<=Q3;

Q3<=Q2;

Q2<=Q1;

Q1<=e;

end if;

end process;

s2:process(x1,x2,x3,b,c,d,f,g,h,i,Q1,Q2,Q3,Q4,Q5,Q6,y,kl)

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if x1='0' then
  if x2='0' then
    if x3='0' then
      e<=not(Q3 XOR Q2);
      y<=Q3;
    else
      e<=not(Q4 XOR Q3);
      y<=Q4;
    end if;
  else
    if x3='0' then
      e<=not(Q5 XOR Q3);
      y<=Q5;
    else
      e<=not(Q6 XOR Q5);
      y<=Q6;
    end if;
  end if;
else
  if x2='0' then
    if x3='0' then
      e<=not(c XOR Q5);
      y<=c;
    else
      e<=not(d XOR c);
      y<=d;
    end if;
  else
    if x3='0' then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในมหาวิทยาลัยเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

e<=not(h XOR g);
y<=h;
else
e<=not(kl XOR b);
j<=not(h XOR f XOR Q4);
y<=i;
end if;
end if;
end if;
end process;
z<=not(y);
kl<=not(i XOR '0');
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรมที่ใช้ในภาครับของโครงการ

Entity vit is port(

clk,set,rst,d :in bit;

b,c,Q16:out bit;

Q10,Q11,Q12,Q13,Q14,Q15:inout bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 set:2 rst:3 d:4 " &

" Q10:14 Q16:22 Q11:15 Q15:21 " &

" Q12:16 Q14:20 Q13:17 c:19 " &

" b:18 " ;

end vit;

architecture archvit of vit is

signal a :bit;

begin

s1:process(clk,set,rst,Q10,Q11,Q12,Q13,Q14,Q15,a,d)

begin

if(clk'event and clk='1')then

Q16<=Q15;

Q15<=Q14;

Q14<=Q13;

Q13<=Q12;

Q12<=Q11;

Q11<=Q10;

Q10<=d;

if rst='1'then

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ในการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        c<='0';
    end if;
    .if set ='1' then
        a<='1';
    else
        a<='0';
    end if;
    if a='1' then
        if set='0' then
            b<='1';
            c<='1';
        end if;
    else
        b<='0';
    end if;
end if;
end process;
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,b,c,e,z1,z2,z3,z4 :in bit;

z,Q9 :out bit;

Q8,Q7,Q6,Q5,Q4,Q3,Q2,Q1:inout bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 b:2 c:3 e:4 " &

" z1:5 z2:6 z3:7 z4:8 " &

" Q8:15 Q4:22 Q7:16 Q3:21 Q5:23 " &

" Q6:17 Q2:20 z:18 Q1:19 Q9:14 " ;

end vit;

architecture archvit of vit is

begin

s2:process(clk,Q8,Q7,Q6,Q5,Q4,Q3,Q2,Q1,b,c,e,z1,z2,z3,z4)

begin

if(clk'event and clk='1')then

Q9<=Q8;

Q8<=Q7;

Q7<=Q6;

Q6<=Q5;

Q5<=Q4;

Q4<=Q3;

Q3<=Q2;

Q2<=Q1;

Q1<=c and (e or b);

end if;

z<=z1 or z2 or z3 or z4;

end process;

เอกสารนี้เป็นเอกสารสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

end archivit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

x1,x2,x3,x4,n2 :in bit;

Q1,Q2,Q3,Q4 :in bit;

t1,t2,t3,t4 :inout bit;

d1,d2,d3,d4,z4 :out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" x1:1 x2:2 x3:3 x4:4 " &

" Q1:5 Q2:6 Q3:7 Q4:8 n2:9 " &

" d1:15 d3:22 t4:16 d2:21 d4:23 " &

" t1:17 t2:20 z4:18 t3:19 " ;

end vit;

architecture archvit of vit is

begin

s1:process(x1,x2,x3,x4,t1,t2,t3,t4,Q1,Q2,Q3,Q4,n2)

begin

if x1='1' then

if x2='1' then

if x3='1' then

if x4='1' then

t1 <='0';

t2 <='0';

t3 <='0';

t4 <='0';

else

t1 <='0';

t2 <='1';

t3 <='1';

t4 <='0';

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

end if;
else
  if x4 = '1' then
    t1 <= '0';
    t2 <= '0';
    t3 <= '1';
    t4 <= '0';
  else
    t1 <= '0';
    t2 <= '0';
    t3 <= '0';
    t4 <= '0';
  end if;
end if;
else
  if x3 = '1' then
    if x4 = '1' then
      t1 <= '1';
      t2 <= '0';
      t3 <= '0';
      t4 <= '1';
    else
      t1 <= '0';
      t2 <= '0';
      t3 <= '0';
      t4 <= '1';
    end if;
  end if;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t2<='0';
t3<='0';
t4<='0';
else
t1<='1';
t2<='0';
t3<='1';
t4<='0';
end if;
end if;
end if;
else
if x2 ='1' then
if x3 ='1' then
if x4 ='1' then
t1<='0';
t2<='1';
t3<='0';
t4<='0';
else
t1<='1';
t2<='0';
t3<='1';
t4<='0';
end if;
end if;
end if;
else
if x4 ='1' then
t1<='1';
t2<='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ t3<='0'; เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t4<='0';
else
t1<='0';
t2<='0';
t3<='1';
t4<='0';
end if;
end if;
else
if x3 ='1' then
if x4 ='1' then
t1<='0';
t2<='1';
t3<='1';
t4<='0';
else
t1<='1';
t2<='1';
t3<='0';
t4<='0';
end if;
else
if x4 ='1' then
t1<='1';
t2<='0';
t3<='0';
t4<='1';
else
t1<='1';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ t2<='0'; เขาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t3<='1';
t4<='0';

end if;
end if;
end if;
end if;

```

```

if t1='0'then
    d1<='0';
else
    d1<=Q1;
end if;
if t2='0'then
    d2<='0';
else
    d2<=Q2;
end if;
if t3='0' then
    d3<='0';
else
    d3<=Q3;
end if;
if t4='0'then
    d4<='0';
else
    d4<=Q4;
end if;

```

เอกสารนี้เป็นเอกสารที่: if n2='0' then ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if t4='1'then
    z4<=Q4;
elsif t3='1'then
    z4<=Q3;
elsif t2='1'then
    z4<=Q2;
elsif t1='1'then
    z4<=Q1;
end if;
else
    z4<='0';
end if;
end process;
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

x1,x2,x3,x4,n1 :in bit;

Q5,Q6,Q7,Q8 :in bit;

t5,t6,t7,t8 :inout bit;

d5,d6,d7,d8,z3,n2 :out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" x1:1 x2:2 x3:3 x4:4 " &

" Q5:5 Q6:6 Q7:7 Q8:8 n1:9 " &

" d5:14 d7:22 t5:16 d6:21 d8:23 " &

" t7:17 t6:20 z3:18 n2:19 t8:15 " ;

end vit;

architecture archvit of vit is

begin

s1:process(x1,x2,x3,x4,t5,t6,t7,t8,Q5,Q6,Q7,Q8,n1)

begin

if x1='1' then

if x2='1' then

if x3='1' then

if x4='1' then

t5 <='1';

t6 <='0';

t7 <='0';

t8 <='0';

else

t5 <='1';

t6 <='0';

t7 <='0';

t8 <='0';

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

end if;

else

if x4 = '1' then

    t5 <= '0';

    t6 <= '0';

    t7 <= '0';

    t8 <= '0';

else

    t5 <= '1';

    t6 <= '1';

    t7 <= '0';

    t8 <= '1';

end if;

end if;

else

if x3 = '1' then

if x4 = '1' then

    t5 <= '0';

    t6 <= '0';

    t7 <= '0';

    t8 <= '1';

else

    t5 <= '0';

    t6 <= '0';

    t7 <= '0';

    t8 <= '0';

end if;

end if;

if x4 = '1' then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งาน t5 <= '0'; ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



```

t8 <='0';
else
t5 <='0';
t6 <='0';
t7 <='1';
t8 <='0';
end if;
end if;
else
if x3 = '1' then
if x4 = '1' then
t5 <='1';
t6 <='1';
t7 <='0';
t8 <='0';
else
t5 <='1';
t6 <='1';
t7 <='0';
t8 <='0';
end if;
else
if x4 = '1' then
t5 <='0';
t6 <='0';
t7 <='0';
t8 <='0';
else
t5 <='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t7 <='0';
t8 <='0';
end if;
end if;
end if;
end if;

```

```

if t5='0'then
    d5<='0';
else
    d5<=Q5;
end if;
if t6='0'then
    d6<='0';
else
    d6<=Q6;
end if;
if t7='0' then
    d7<='0';
else
    d7<=Q7;
end if;
if t8='0'then
    d8<='0';
else
    d8<=Q8;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if t8='1'then
    z3<=Q8;
    n2<='1';
elsif t7='1'then
    z3<=Q7;
    n2<='1';
elsif t6='1'then
    z3<=Q6;
    n2<='1';
elsif t5='1'then
    z3<=Q5;
    n2<='1';
end if;
else
    z3<='0';
    n2<='1';
end if;
end process;
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

x1,x2,x3,x4,n :in bit;

Q9,Q10,Q11,Q12 :in bit;

t9,t10,t11,t12 :inout bit;

d9,d10,d11,d12,z2,n1 :out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" x1:1 x2:2 x3:3 x4:4 " &

" Q9:5 Q10:6 Q11:7 Q12:8 n:9 " &

" d9:14 d11:22 t9:16 d10:21 d12:23 " &

" t11:17 t10:20 z2:18 n1:19 t12:15 " ;

end vit;

architecture archvit of vit is

begin

s1:process(x1,x2,x3,x4,t9,t10,t11,t12,Q9,Q10,Q11,Q12,n)

begin

if x1='1' then

if x2='1' then

if x3='1' then

if x4='1' then

t9 <='0';

t10 <='0';

t11 <='0';

t12 <='1';

else

t9 <='0';

t10 <='1';

t11 <='0';

t12 <='0';

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเฉพาะภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

end if;
else
  if x4 = '1' then
    t9 <= '0';
    t10 <= '1';
    t11 <= '0';
    t12 <= '0';
  else
    t9 <= '1';
    t10 <= '0';
    t11 <= '0';
    t12 <= '0';
  end if;
end if;
else
  if x3 = '1' then
    if x4 = '1' then
      t9 <= '1';
      t10 <= '0';
      t11 <= '0';
      t12 <= '0';
    else
      t9 <= '1';
      t10 <= '0';
      t11 <= '0';
      t12 <= '0';
    end if;
  end if;
end if;
else
  if x4 = '1' then
    t9 <= '0';
    t10 <= '0';
    t11 <= '0';
    t12 <= '0';
  end if;
end if;
else
  if x4 = '1' then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ t9 <= '0'; เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t10 <='0';

t11 <='0';

t12 <='0';

else

t9 <='0';

t10 <='0';

t11 <='0';

t12 <='0';

end if;

end if;

end if;

else

if x2 ='1' then

if x3 ='1' then

if x4 ='1' then

t9 <='0';

t10 <='0';

t11 <='0';

t12 <='0';

else

t9 <='0';

t10 <='0';

t11 <='0';

t12 <='0';

end if;

end if;

end if;

if x4 ='1' then

t9 <='0';

t10 <='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ t11 <='0'; เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t12 <='0';
else
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
end if;
end if;
else
if x3 = '1' then
if x4 = '1' then
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
else
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
end if;
else
if x4 = '1' then
t9 <='0';
t10 <='0';
t11 <='0';
t12 <='0';
else
t9 <='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t11 <='0';
t12 <='0';

end if;
end if;
end if;
end if;

```

```

if t9='0'then
    d9<='0';
else
    d9<=Q9;
end if;
if t10='0'then
    d10<='0';
else
    d10<=Q10;
end if;
if t11='0' then
    d11<='0';
else
    d11<=Q11;
end if;
if t12='0'then
    d12<='0';
else
    d12<=Q12;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของกรมส่งเสริมการค้าระหว่างประเทศ กระทรวงพาณิชย์ หากมีการนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตให้ดำเนินการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if t12='1'then
    z2<=Q12;
    n1<='1';
elseif t11='1'then
    z2<=Q11;
    n1<='1';
elseif t10='1'then
    z2<=Q10;
    n1<='1';
elseif t9='1'then
    z2<=Q9;
    n1<='1';
end if;
else
    z2<='0';
    n1<='1';
end if;
end process;
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

x1,x2,x3,x4 :in bit;

Q13,Q14,Q15,Q16 :in bit;

t13,t14,t15,t16 :inout bit;

d13,d14,d15,d16,z1,n :out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" x1:1 x2:2 x3:3 x4:4 " &

" Q13:5 Q14:6 Q15:7 Q16:8 " &

" d13:14 d15:22 t13:16 d14:21 d16:23 " &

" t15:17 t14:20 z1:18 n:19 t16:15 " ;

end vit;

architecture archvit of vit is

begin

s1:process(x1,x2,x3,x4,t13,t14,t15,t16,Q13,Q14,Q15,Q16)

begin

if x1='1' then

if x2='1' then

if x3='1' then

if x4='1' then

t13 <='0';

t14 <='0';

t15 <='0';

t16 <='1';

else

t13 <='0';

t14 <='0';

t15 <='0';

t16 <='0';

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

end if;
else
  if x4 = '1' then
    t13 <='0';
    t14 <='0';
    t15 <='0';
    t16 <='0';
  else
    t13 <='0';
    t14 <='0';
    t15 <='0';
    t16 <='0';
  end if;
end if;
else
  if x3 = '1' then
    if x4 = '1' then
      t13 <='0';
      t14 <='0';
      t15 <='0';
      t16 <='0';
    else
      t13 <='0';
      t14 <='0';
      t15 <='0';
      t16 <='0';
    end if;
  end if;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



```

t16 <='0';
else
t13 <='0';
t14 <='0';
t15 <='0';
t16 <='0';
end if;
end if;
else
if x3 ='1' then
if x4 ='1' then
t13 <='0';
t14 <='0';
t15 <='0';
t16 <='0';
else
t13 <='0';
t14 <='0';
t15 <='0';
t16 <='0';
end if;
else
if x4 ='1' then
t13 <='0';
t14 <='0';
t15 <='0';
t16 <='0';
else
t13 <='0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

t15 <='0';
t16 <='0';
end if;
end if;
end if;
end if;

```

```

if t13='0'then
    d13<='0';
else
    d13<=Q13;
end if;
if t14='0'then
    d14<='0';
else
    d14<=Q14;
end if;
if t15='0' then
    d15<='0';
else
    d15<=Q15;
end if;
if t16='0'then
    d16<='0';
else
    d16<=Q16;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if t16='1'then
    z1<=Q16;
    n <='1';
elseif t15='1'then
    z1<=Q15;
    n <='1';
elseif t14='1'then
    z1<=Q14;
    n <='1';
elseif t13='1'then
    z1<=Q13;
    n <='1';
end if;
end process;
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

d1,d2,d3,d4,d5,d6,d7,d8 :in bit;

h,i :in bit;

f,g,j :out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" d1:1 d2:2 d3:3 d4:4 " &

" d5:5 d6:6 d7:7 d8:8 " &

" h:9 i:10 " &

" f:18 g:19 j:20 " ;

end vit;

architecture archvit of vit is

begin

s1:process(d1,d2,d3,d4,d5,d6,d7,d8,h,i)

begin

f <=d1 xor d2 xor d3 xor d4;

g <=d5 xor d6 xor d7 xor d8;

j <=h xor i;

end process;

end archvit;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

d9,d10,d11,d12,d13,d14,d15,d16 :in bit;

j,m,n :in bit;

k,l,e :out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" d9:1 d10:2 d11:3 d12:4 " &

" d13:5 d14:6 d15:7 d16:8 " &

" j:9 m:10 n:11 " &

" k:18 l:19 e:20 " ;

end vit;

architecture archvit of vit is

begin

s1:process(d9,d10,d11,d12,d13,d14,d15,d16,j,m,n)

begin

k <=d9 xor d10 xor d11 xor d12;

l <=d13 xor d14 xor d15 xor d16;

e <=j xor m xor n;

end process;

end archvit;

Entity vit is port(

clk,a:in bit;

Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15:inout bit;

Q16:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 a:5 " &

" Q16:23 Q14:22 Q12:21 Q10:20 " &

" Q8:19 Q15:14 Q13:15 Q11:16 " &

" Q9:17 Q7:18 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,Q7,Q8,Q9,Q10,Q11,Q12,Q13,Q14,Q15,a)

begin

if(clk'event and clk='1')then

Q16<=Q15;

Q15<=Q14;

Q14<=Q13;

Q13<=Q12;

Q12<=Q11;

Q11<=Q10;

Q10<=Q9;

Q9<=Q8;

Q8<=Q7;

Q7<=a;

end if;

end process;

end archvit;

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,x1,x2,x3:in bit;

switch,Q9,Q11,f,Q14,Q15,data:in bit;

Q1,Q2,Q3,Q4,Q5,Q6,Q16:inout bit;

er,yr:inout bit;

zr:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 x1:2 x2:3 x3:4 " &

" Q9:5 Q11:6 Q14:7 Q15:8 switch:9 data:10 f:11 " &

" zr:23 Q5:22 Q3:21 Q4:16 " &

" Q6:15 Q16:14 er:19 Q2:17 yr:18 Q1:20 " ;

end vit;

architecture archvit of vit is

signal p,mn:bit;

begin

s1:process(clk,Q1,Q2,Q3,Q4,Q5,p,Q15,mn)

begin

if(clk'event and clk='1')then

Q16<=Q15;

Q6<=Q5;

Q5<=Q4;

Q4<=Q3;

Q3<=Q2;

Q2<=Q1;

Q1<=p;

end if;

end process;

s2:process(x1,x2,x3,switch,Q9,Q11,f,Q14,Q15,data,Q1,Q2,Q3,Q4,Q5,Q6,Q16,yr,er)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

begin
  if x1='0' then
    if x2='0' then
      if x3='0' then
        er<=not(Q3 XOR Q2);
        yr<=Q3;
      else
        er<=not(Q4 XOR Q3);
        yr<=Q4;
      end if;
    else
      if x3='0' then
        er<=not(Q5 XOR Q3);
        yr<=Q5;
      else
        er<=not(Q6 XOR Q5);
        yr<=Q6;
      end if;
    end if;
  else
    if x2='0' then
      if x3='0' then
        er<=not(Q9 XOR Q5);
        yr<=Q9;
      else
        er<=not(Q11 XOR Q9);
        yr<=Q11;
      end if;
    end if;
  end if;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if x3='0' then
    er<=not(Q15 XOR Q14);
    yr<=Q15;
else
    er<=not(f XOR mn);
    yr<=Q16;
end if;
end if;
end if;
if switch='1' then
    p<=er;
else
    p<=data;
end if;
end process;
    zr<=not(yr);
    mn<=not(Q4 XOR '0');
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรมของภาคเชิงโครงข่าย

Entity vit is port(

clk,Q13,Q15,Q16 :in bit;

count :buffer bit\_vector (6 downto 0):= "0000000" ;

go:inout bit;

f:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 Q13:2 Q15:3 Q16:4 " &

" count(0):14 count(1):15 count(2):21 " &

" count(3):20 count(4):17 count(5):19 " &

" count(6):18 f:16 go:22 " ;

end vit;

use work.int\_math.all;

architecture archvit of vit is

BEGIN

upcount: process (clk,go,Q13,Q15,Q16)

begin

if (clk'event and clk ='1')then

if go='1' then

count <= "0000000";

else

count <= count+1;

end if;

end if;

end process upcount;

go<='1' when count(6 downto 0) = "1100100" else '0';

f<= not(Q13 xor Q15 xor Q16);

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

END archvit;



Entity vit is port(

```

    clk,check,error,x1,x2,x3,n,k,l,m    :in bit;
    count    :buffer bit_vector (4 downto 0):= "00000" ;
    switch:inout bit;
    j,g,h,i:out bit);

```

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

```

    " clk:1 x1:2 x2:3 x3:4 " &
    " check:5 error:6 n:7 k:8 l:9 m:10 " &
    " count(0):23 count(1):14 count(2):15 " &
    " count(3):21 count(4):16 switch:22 " &
    " g:18 h:19 j:17 i:20 " ;

```

end vit;

use work.int\_math.all;

architecture archvit of vit is

signal b,e:bit;

BEGIN

```

    upcount: process (clk,b,e,count,switch,check,error,n,k,l,m)

```

```

    begin

```

```

        if (clk'event and clk ='1')then

```

```

            if b='1' then

```

```

                if e='1' then

```

```

                    count <="00000";

```

```

                else

```

```

                    count <= count+1;

```

```

                end if;

```

```

            end if;

```

```

        end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

if b='1' then
  if x1='1' then
    if x2='1' then
      if x3='1' then
        if count(4 downto 0) = "10001" then
          j<='1';
        end if;
      end if;
    else
      if count(4 downto 0) = "10000" then
        j<='1';
      end if;
    end if;
  else
    if x3='1' then
      if count(4 downto 0) = "01100" then
        g<='1';
      end if;
    else
      if count(4 downto 0) = "01010" then
        g<='1';
      end if;
    end if;
  end if;
end if;
else
  if x2='1' then
    if x3='1' then
      if count(4 downto 0) = "00111" then
        h<='1';
      end if;
    else

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        if count(4 downto 0) = "00110" then
            h<='1';
        end if;
    end if;
else
    if x3='1' then
        if count(4 downto 0) = "00101" then
            i<='1';
        end if;
    else
        if count(4 downto 0) = "00100" then
            i<='1';
        end if;
    end if;
end if;
switch<=n or k or l or m;
end if;
if check='0' then
    count <="00000";
    switch<='0';
    j <='0';
    g<='0';
    h<='0';
    i <='0';
end if;
end process upcount;

b<=not(switch) or not(check);

```

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
 เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

END archvit;





check<=not(b and go);

END archvit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรมของภาคการเปรียบเทียบ

Entity vit is port(

clk,z,x1,x2,x3,w2,w1:in bit;

Qp1,Qp2,Qp3,Qp4,Qp5,Qp6,Qp7:inout bit;

Qp8,error,y1:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 z:2 x1:3 x2:4 x3:5 " &

" w1:6 w2:8 " &

" Qp7:23 Qp5:22 Qp3:21 Qp4:16 " &

" Qp6:15 Qp8:14 y1:19 Qp2:17 error:18 Qp1:20 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,z,Qp1,Qp2,Qp3,Qp4,Qp5,Qp6,Qp7,x1,x2,x3,w1,w2)

begin

if(clk'event and clk='1')then

Qp1<=z;

Qp2<=Qp1;

Qp3<=Qp2;

Qp4<=Qp3;

Qp5<=Qp4;

Qp6<=Qp5;

Qp7<=Qp6;

Qp8<=Qp7;

end if;

if x1='0' then

if x2='0' then

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        if x3='0' then
            y1<=Qp3;
        else
            y1<=Qp4;
        end if;
    else
        if x3='0' then
            y1<=Qp5;
        else
            y1<=Qp6;
        end if;
    end if;
    if x1='0' then
        error<=w1;
    else
        error<=w2;
    end if;
end process;
end archvit;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,Qp8,x1,x2,x3:in bit;

Qp9,Qp10,Qp11,Qp12,Qp13,Qp14,Qp15,Qp16:inout bit;

y2:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 Qp8:2 x1:3 x2:4 x3:5 " &

" Qp15:23 Qp13:22 Qp11:21 Qp12:16 " &

" Qp14:15 Qp16:14 y2:19 Qp10:17 Qp9:20 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,Qp8,Qp9,Qp10,Qp11,Qp12,Qp13,Qp14,Qp15,Qp16,x1,x2,x3)

begin

if(clk'event and clk='1')then

Qp9<=Qp8;

Qp10<=Qp9;

Qp11<=Qp10;

Qp12<=Qp11;

Qp13<=Qp12;

Qp14<=Qp13;

Qp15<=Qp14;

Qp16<=Qp15;

end if;

if x1='1' then

if x2='1' then

if x3='1' then

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับยกย2<=Qp16; การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

else
    y2<=Qp15;
end if;
else
    if x3='1' then
        y2<=Qp11;
    else
        y2<=Qp9;
    end if;
end if;
end if;
end process;
end archvit;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

clk,zr,v1,v2,d1:in bit;

w1,w2,d2:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 v1:3 v2:4 zr:5 " &

" d1:9 " &

" w1:18 w2:19 d2:15 " ;

end vit;

architecture archvit of vit is

begin

s1:process(clk,zr,v1,v2,d1)

begin

if(clk'event and clk='1')then

w1<=v1 XOR zr;

w2<=v2 XOR zr;

end if;

end process;

d2<=not(d1);

end archvit;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### โปรแกรมในส่วนที่เป็นไทม์เมอร์ของวงจร

Entity vit is port(

clk :in bit;

count :buffer bit\_vector (7 downto 0):= "00000000" ;

c:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" clk:1 " &

" count(0):14 count(1):15 count(2):21 " &

" count(3):16 count(4):20 count(5):17 " &

" count(6):19 count(7):18 c:22 " ;

end vit;

use work.int\_math.all;

architecture archvit of vit is

BEGIN

upcount: process (clk)

begin

if (clk'event and clk ='1')then

count <= count+1;

end if;

end process upcount;

c<='1' when count(7 downto 0) = "10000000" else '0';

END archvit;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

c,v7 :in bit;

count :buffer bit\_vector (5 downto 0);

t,epa:inout bit;

clear,ape:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" v7:1 c:2 " &

" count(0):22 count(1):16 count(2):20 " &

" count(3):17 count(4):19 count(5):18 " &

" t:14 clear:23 ape:21 epa:15 " ;

end vit;

use work.int\_math.all;

architecture archvit of vit is

BEGIN

upcount: process (c,v7,count,t,cpa)

begin

if (v7'event and v7='1')then

count <= count+1;

end if;

if t='1' then

clear<='1';

else

clear<='0';

end if;

if count="111110"then

epa<='1';

end if;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

end process ;

t<=c and not(count(0)) and count(1) and count(2) and count(3) and count(4) and count  
(5);

ape<=not(epa);

END archvit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Entity vit is port(

t:in bit;

p0,p1,p2,p3,p4,p5,p6,p7,p8,p9:in bit;

r0,r1,r2,r3,r4,r5,r6,r7,r8,r9:out bit);

ATTRIBUTE part\_name of vit:Entity is "c22v10" ;

ATTRIBUTE pin\_numbers of vit:Entity is

" t:1 p0:2 p1:3 p2:4 p3:5 p4:6" &

" p5:7 p6:8 p7:9 p8:10 p9:11" &

" r0:23 r1:22 r2:21 r3:20 r4:19" &

" r5:18 r6:17 r7:16 r8:15 r9:14" ;

end vit;

architecture archvit of vit is

begin

s1:process(t,p0,p1,p2,p3,p4,p5,p6,p7,p8,p9)

begin

if (t'event and t='1')then

r0<=p0;

r1<=p1;

r2<=p2;

r3<=p3;

r4<=p4;

r5<=p5;

r6<=p6;

r7<=p7;

r8<=p8;

r9<=p9;

end if;

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

end process;

end archvit;



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก

## การกำหนดเอาต์พุตของไอซี PAL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: pro\_b.vhd

clk =  1	24 * not used
x1 =  2	23 = q6
x2 =  3	22 = q4
x3 =  4	21 = q2
b =  5	20 = j
c =  6	19 = y
d =  7	18 = e
f =  8	17 = z
g =  9	16 = q5
h = 10	15 = q3
i = 11	14 = q1
not used * 12	13 * not used

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: pro\_a.vhd

lk =  1	24 * not used
a =  2	23 = q16
not used *  3	22 = q14
not used *  4	21 = q12
not used *  5	20 = q10
not used *  6	19 = q8
not used *  7	18 = q7
not used *  8	17 = q9
not used *  9	16 = q11
not used * 10	15 = q13
not used * 11	14 = q15
not used * 12	13 * not used

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Compiling: project.vhd

---

clk =  1	24 * not used
a =  2	23 * not used
b =  3	22 = q2
c =  4	21 = q4
not used *  5	20 = q6
not used *  6	19 = q8
not used *  7	18 = z
not used *  8	17 = q7
not used *  9	16 = q5
not used * 10	15 = q3
not used * 11	14 = q1
not used * 12	13 * not used

---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: syn1.vhd

---

clk =  1	24 * not used
q13 =  2	23 * not used
q15 =  3	22 = go
q16 =  4	21 = count_2
not used *  5	20 = count_3
not used *  6	19 = count_5
not used *  7	18 = count_6
not used *  8	17 = count_4
not used *  9	16 = f
not used * 10	15 = count_1
not used * 11	14 = count_0
not used * 12	13 * not used

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: syn2.vhd

---

clk =  1	24 * not used
x1 =  2	23 = count_0
x2 =  3	22 = switch
x3 =  4	21 = count_3
check =  5	20 = i
error =  6	19 = h
n =  7	18 = g
k =  8	17 = j
l =  9	16 = count_4
m = 10	15 = count_2
not used * 11	14 = count_1
notused * 12	13 * not used

---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: syn3.vhd

---

clk =  1	24 * not used
error =  2	23 * not used
go =  3	22 = check
not used *  4	21 = b
not used *  5	20 = count_2
not used *  6	19 = count_5
not used *  7	18 = count_4
not used *  8	17 = count_1
not used *  9	16 = count_3
not used * 10	15 = count_0
not used * 11	14 * not used
not used * 12	13 * not used

---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: shi1.vhd

---

clk =  1	24 * not used
x1 =  2	23 = zr
x2 =  3	22 = q5
x3 =  4	21 = q3
q9 =  5	20 = q1
q11 =  6	19 = er
q14 =  7	18 = yr
q15 =  8	17 = q2
switch =  9	16 = q4
data = 10	15 = q6
f = 11	14 = q16
not used * 12	13 * not used

---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: det1.vhd

---

clk =  1	24 * not used
not used *  2	23 * not used
not used *  3	22 = c
not used *  4	21 = count_2
not used *  5	20 = count_4
not used *  6	19 = count_6
not used *  7	18 = count_7
not used *  8	17 = count_5
not used *  9	16 = count_3
not used * 10	15 = count_1
not used * 11	14 = count_0
not used * 12	13 * not used

---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: det2.vhd

v7 =  1	24 * not used
c =  2	23 = clear
not used *  3	22 = count_0
not used *  4	21 = ape
not used *  5	20 = count_2
not used *  6	19 = count_4
not used *  7	18 = count_5
not used *  8	17 = count_3
not used *  9	16 = count_1
not used * 10	15  = epa
not used * 11	14 = t
not used * 12	13 * not used

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: mui.vhd

---

t =  1	24 * not used
p0 =  2	23 = r0
p1 =  3	22 = r1
p2 =  4	21 = r2
p3 =  5	20 = r3
p4 =  6	19 = r4
p5 =  7	18 = r5
p6 =  8	17 = r6
p7 =  9	16 = r7
p8 = 10	15 = r8
p9 = 11	14 = r9
not used * 12	13 * not used

---



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Compiling: pare1.vhd**

---

clk =  1	24 * not used
z =  2	23 = qp7
x1 =  3	22 = qp5
x2 =  4	21 = qp3
x3 =  5	20 = qp1
w1 =  6	19 = y1
not used *  7	18 = error
w2 =  8	17 = qp2
not used *  9	16 = qp4
not used * 10	15 = qp6
not used * 11	14 = qp8
not used * 12	13 * not used

---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: pare2.vhd

---

clk =  1	24 * not used
qp8 =  2	23 = qp15
x1 =  3	22 = qp13
x2 =  4	21 = qp11
x3 =  5	20 = qp9
not used *  6	19 = y2
not used *  7	18 * not used
not used *  8	17 = qp10
not used *  9	16 = qp12
not used * 10	15 = qp14
not used * 11	14 = qp16
not used * 12	13 * not used

---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compiling: pare3.vhd

---

clk =  1	24 * not used
not used *  2	23 * not used
v1 =  3	22 * not used
v2 =  4	21 * not used
zr =  5	20 * not used
not used *  6	19 = w2
not used *  7	18 = w1
not used *  8	17 * not used
d1 =  9	16 * not used
not used * 10	15 = d2
not used * 11	14 * not used
not used * 12	13 * not used

