

การออกแบบวงจรบวกชนิดฟูลadderซีเอ็มอสกำลังต่ำ

A LOW-POWER CMOS FULL ADDER CIRCUIT DESIGN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2548

ISBN 974-15-1729-7

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรบวกชนิดฟลูแอดเดอร์ซีมอสกำลังต่ำ

A LOW-POWER CMOS FULL ADDER CIRCUIT DESIGN



เลขหมู่.....
เลขทะเบียน..... 60509
วัน,เดือน,ปี - 3 ก.ค. 2549

b. 11๘๘๘๘๘
i.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2548

ISBN 974-151-729-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A LOW-POWER CMOS FULL ADDER CIRCUIT DESIGN



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATION ENGINEERING
SCHOOL OF GRADURATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2005

ISBN 974-151-729-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2005

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์ การออกแบบวงจรวกขนิดฟลูแอตเตอร์ซีมอสกำลังต่ำ
นักศึกษา นางสาววิไลพร โอบอ้อม
รหัสนักศึกษา 45061233
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
พ.ศ. 2548
อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ. ดร. กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบวงจรวกขนิดฟลูแอตเตอร์ซีมอส 10 ทรานซิสเตอร์ที่ใช้แรงดันต่ำ โดยใช้เทคโนโลยีซีมอส $0.35\ \mu\text{m}$ ของ MOSIS วงจรที่นำเสนอนี้เป็นวงจรวกขนิดฟลูแอตเตอร์ 1 บิต โดยประยุกต์ใช้ซีมอสทรานซิสเตอร์ XNOR เกต แบบ 4 ทรานซิสเตอร์ที่ใช้โครงสร้างพื้นฐานอินเวอร์เตอร์และในส่วนเอาต์พุตตัวทดใช้ซีมอสแบบมัลติเพิลิก โดยวงจรถูกนำเสนอมีการสูญเสียกำลังงานขณะใช้งานต่ำ และมีความเร็วในการทำงานสูง เมื่อเทียบวงจรวกขนิดฟลูแอตเตอร์แบบที่นำเสนอกับวงจรวกขนิดฟลูแอตเตอร์ซีมอส 28 ทรานซิสเตอร์แบบเดิมและวงจรวกขนิดฟลูแอตเตอร์ซีมอส 10 ทรานซิสเตอร์แบบเก่า [2] สามารถทำงานได้ดีที่ระดับไฟเลี้ยงต่ำที่ค่า 1.3 โวลต์ ผลการทดสอบคุณสมบัติทางด้านการหน่วงเวลาของวงจรกระทำโดยการเลียนแบบการทำงานโดยใช้โปรแกรม PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	A Low-Power CMOS Full Adder Circuit Design
Student	Miss Vilaiphon Oaboam
Student ID.	45061233
Degree	Master of Engineering
Programme	Telecommunications Engineering
Year	2005
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis proposes a low power 10 transistors CMOS full adder circuit using 0.35 μm parameter technology level 3 of MOSIS. This circuit is one bit, 10 transistors full adder using XNOR gates in combination with existing ones. Using structure inverter-based XNOR and The carry part output uses the multiplexer. This circuit consumes less power and has higher speed when compared with the previous design with 10 transistors full adder and the conventional design with 28-transistor CMOS adder and operates with 1.3 volt supply voltage, the circuit time delay performances are investigated by using PSpice program.

กิตติกรรมประกาศ

ในการจัดทำวิทยานิพนธ์นี้ ผู้วิจัยขอกราบขอบพระคุณอาจารย์ รศ.ดร กอบชัย เดชหาญ ที่ให้ความช่วยเหลือ และให้คำแนะนำต่างๆ อันเป็นประโยชน์ต่องานวิจัย จนวิทยานิพนธ์สำเร็จลุล่วงได้ ตลอดจนกระทั่งให้คำปรึกษาและคำแนะนำเกี่ยวกับการดำเนินชีวิต และการทำงานที่มีประโยชน์อย่างยิ่งต่อข้าพเจ้าและองค์กรของข้าพเจ้า

ผู้วิจัยขอกราบขอบพระคุณ บิดา มารดา และครอบครัว ที่ให้กำลังใจมาตลอด และขอขอบคุณ คุณไพบูรณ์ ตู่ประกาย และ คุณมนตรี คำเงิน ที่กรุณาให้คำปรึกษา และเอกสารอ้างอิงในการวิทยานิพนธ์ฉบับนี้ ขอขอบคุณ คุณ อองอาจ เกษภษา ที่เป็นกำลังใจ และ ให้การช่วยเหลือในทุก ๆ ด้านที่ประโยชน์อย่างยิ่ง ขอขอบคุณ สถาบันพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง ที่เอื้อเพื่อ ห้องวิจัยในการพัฒนาการวิจัย รวมถึง พี่-น้อง ห้อง Lab T-211 จนทำให้เกิดผลงานวิจัยฉบับนี้ขึ้นมา และขอขอบคุณสมาคมกรีฑาสโมสรที่ให้ทุนการศึกษา ผลงานวิจัยฉบับนี้ย่อมเป็นผลมาจากความกรุณาของท่านดังกล่าวข้างต้น ผู้วิจัยรู้สึกซาบซึ้งเป็นอย่างยิ่งจึงใคร่ขอขอบพระคุณเป็นอย่างสูงไว้ ณ โอกาสนี้

วิไลพร โอบอ้อม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญรูป.....	VIII
สารบัญตาราง.....	XII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ที่มาของงานวิจัย.....	1
1.3 วัตถุประสงค์ของการทำวิจัย.....	2
1.4 รายละเอียดในวิทยานิพนธ์.....	2
บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์.....	3
2.1 บทนำ.....	3
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	3
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	4
2.4 การทำงานของมอสทรานซิสเตอร์.....	5
2.5 คุณสมบัติทางคัทดากับแฉของมอสทรานซิสเตอร์.....	7
2.5.1 การทำงานในช่วงคัทออฟ (Cutoff Region).....	12
2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region).....	12
2.5.3 การทำงานในช่วง อิ่มตัว (Saturation Region).....	12
2.6 การหาค่าหน่วงเวลา.....	15
2.7 การค่ากำลังงานสูญเสีย.....	17
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร.....	21
2.7.2 การหาค่า Power delay product.....	27
2.8 สรุป.....	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
บทที่ 3 ทฤษฎีการทำงานของวงจรมอสอินเวอร์เตอร์.....	29
3.1 บทนำ.....	29
3.2 Noise Margin.....	30
3.3 ซีมอสอินเวอร์เตอร์.....	32
3.3.1 การคำนวณหาค่า (V_{IL})	36
3.3.2 การคำนวณหาค่า (V_{IH})	37
3.3.3 การคำนวณหา คักดาเทรตโฮลต์ของอินเวอร์เตอร์ (V_{th})	38
3.3.4 การออกแบบซีมอสอินเวอร์เตอร์.....	39
3.4 คุณลักษณะการสวิตช์ของซีมอสอินเวอร์เตอร์.....	42
3.4.1 คำจำกัดความของการหน่วงเวลา.....	43
3.4.2 การหาค่าการหน่วงเวลา.....	45
3.3 ผลกระทบจากการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านขาขึ้น.....	50
บทที่ 4 ทฤษฎีการทำงานของวงจรวกขนิดฟลูแอตเตอร์.....	51
4.1 บทนำ.....	51
4.2 การทำงานของวงจรวกขนิดฟลูแอตเตอร์.....	51
4.3 วงจรวกขนิดฟลูแอตเตอร์ซีมอส.....	54
4.3.1 วงจรวกขนิดฟลูแอตเตอร์แบบพื้นฐาน.....	54
4.3.2 วงจรวกขนิดฟลูแอตเตอร์ซีมอส SERF.....	55
4.4 วงจรพื้นฐานแบบซีมอสที่ใช้ในการออกแบบวงจรวก.....	56
4.5 การออกแบบวงจรวกขนิดฟลูแอตเตอร์ซีมอสแบบใหม่.....	60
บทที่ 5 วงจรวกขนิดฟลูแอตเตอร์ซีมอสแบบใหม่.....	63
5.1 บทนำ.....	63
5.2 วงจรวกขนิดฟลูแอตเตอร์ซีมอสที่ออกแบบใหม่.....	64
5.3 ทดสอบสมรรถนะของวงจร.....	65
5.3.1 มอสทรานซิสเตอร์โมเดล.....	66
5.3.2 การจำลองการทำงานโดยโปรแกรม Pspice.....	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ใดเห็นใบใช้ประโยชน์ทางการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

5.3.2.2 ค่าการหน่วงเวลาเปรียบกับศักดาไฟเลี้ยงวงจร.....	75
5.3.2.3 ความสิ้นเปลืองพลังงาน.....	81
บทที่ 6 สรุปผลการทดลอง.....	82
6.1 วงจรบวกชนิดฟลูออเดอเดอริซึมอส.....	82
6.1.1 คุณสมบัติการหน่วงเวลา.....	82
6.1.2 คุณสมบัติด้านค่ากำลังงานสูญเสียของวงจร.....	82
บรรณานุกรม.....	84
ภาคผนวก.....	86
ภาคผนวก ก ผลงานที่ได้รับการตีพิมพ์.....	87
ภาคผนวก ข มอสมิทธานซิสเตอร์โมเดลที่ใช้ในการทดสอบวงจรบวกชนิดฟลูออเดอเดอริซึมอส.....	88
ประวัติผู้เขียน.....	91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	4
2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชั่น.....	4
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	5
2.4 แสดงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ซึ่งทำให้เกิดย่านปลอดพาหะ.....	5
2.5 แสดงการเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	6
2.6 แสดงภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region).....	7
2.7 แสดงส่วนทางเรขาคณิตบริเวณผิวของ inversion layer.....	9
2.8 แสดงการเกิด pinch-off.....	11
2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์.....	13
2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาเรขาคณิตกับขอล.....	14
2.11 กระแสเดรนและศักดาเรขาคณิตกับขอลของมอสทรานซิสเตอร์แบบดีพลีชั่น.....	14
2.12 กระแสเดรนและศักดาเรขาคณิตกับขอลของมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	14
2.13 แสดงรูปที่คลี่สัญญาณทางอินพุตและเอาต์พุตของวงอินเวอร์เตอร์ และ นิยาม ค่าหน่วงเวลา ต่างๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมทาง.....	15
2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต.....	16
2.15 วงจรซีมอสอินเวอร์เตอร์ที่ใช้ในการวิเคราะห์หา Dynamic power dissipation.....	18
2.16 รูปคลี่สัญญาณทางอินพุตและเอาต์พุต และรูปคลี่กระแสของคาปาซิแตนซ์ ระหว่างการสวิตช์ของวงจรซีมอสอินเวอร์เตอร์.....	19
2.17 วงจรซีมอส Logic โดยทั่วไป.....	20
2.18 วงจรการวัดกำลังงานที่นำมาใช้ในการจำลองการทำงานเพื่อหาค่ากำลังงาน สูญเสียเฉลี่ยของอุปกรณ์หรือวงจร.....	22
2.19 แสดงผลการจำลองการทำงาน.....	24
3.1 สัญลักษณ์ของอินเวอร์เตอร์.....	27
3.2 คุณลักษณะการถ่ายโอนทางระดับศักดา (Voltage transfer characteristic :VTC) ของอินเวอร์เตอร์ในทางอุดมคติ.....	28
3.3 วงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไป.....	29
3.4 คุณลักษณะการถ่ายโอนทางระดับศักดาของอินเวอร์เตอร์ในทางปฏิบัติ.....	29
3.5 แสดงการส่งผ่านสัญญาณภายใต้อิทธิพลของการรบกวน.....	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.6 แสดงค่า Noise Margins.....	32
3.7 วงจรซีมอสอินเวอร์เตอร์.....	33
3.8 แสดงย่านการทำงานของเอ็นมอสและพีมอสทรานซิสเตอร์.....	35
3.9 แสดงตัวอย่าง VTC และกระแสจากแหล่งจ่าย.....	39
3.10 แสดงการโอนถ่ายทางคักดาของวงจรซีมอสอินเวอร์เตอร์ที่อัตราส่วน k_R แตกต่างกัน.....	41
3.11 แสดงซีมอสอินเวอร์เตอร์กับโหลดคาแพซิแตนซ์.....	42
3.12 ตัวอย่างรูปแบบสัญญาณอินพุตและเอาต์พุตของซีมอสอินเวอร์เตอร์.....	43
3.13 เวลาขึ้นและลงของคักดาเอาต์พุต.....	44
3.14 แสดงวงจรเทียบเคียง ของซีมอสอินเวอร์เตอร์ในขณะที่ส่งผ่านช่วง High-to-Low.....	47
3.15 คักดาอินพุตและเอาต์พุตในขณะที่การส่งผ่าน High-to-Low.....	48
3.16 แสดงการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านเอาต์พุต.....	50
3.17 แสดงคักดาเอาต์พุตเมื่อใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านเอาต์พุต เมื่อเวลา t	51
4.1 ไดอะแกรมของวงจรวกชนิดฟลูแอตเตอร์.....	52
4.2 โครงสร้างพื้นฐานของวงจรวกชนิดฟลูแอตเตอร์.....	52
4.3 วงจรวกชนิดฟลูแอตเตอร์พื้นฐาน 1 บิต ในรูปแบบเกต.....	53
4.4 วงจรวกชนิดฟลูแอตเตอร์ซีมอส 28 ทรานซิสเตอร์.....	54
4.5 วงจรวกชนิดฟลูแอตเตอร์ซีมอส.....	55
4.6 ตัวอย่างวงจرفื้นฐานแบบ CMOS.....	57
4.7 วงจร NMOS สำหรับ $A.B + C.(D + E)$	58
4.8 วงจร PMOS สำหรับ $(A + B).(C + D.E)$	58
4.9 วงจร CMOS สำหรับสมการ $F = \overline{A.B + C.(D + E)}$	59
4.10 วงจรเสมือนวงจรวกแบบ CMOS.....	60
4.11 แสดงบล็อกไดอะแกรมของวงจรวกชนิดฟลูแอตเตอร์ใหม่ที่นำเสนอ.....	60
4.12 วงจรเอ็กซ์คูซิฟนอร์เกตซีมอสทรานซิสเตอร์ใช้โครงสร้าง SERF.....	61
4.12 วงจรเอ็กซ์คูซิฟนอร์เกตซีมอสทรานซิสเตอร์ แบบใหม่ที่ใช้ออกแบบวงจรวก ชนิดฟลูแอตเตอร์แบบใหม่.....	61
4.13 วงจรในส่วนเอาต์พุตตัวท (Carry output).....	62
5.1 วงจรวกชนิดฟลูแอตเตอร์ซีมอส 10 ทรานซิสเตอร์ที่ออกแบบใหม่.....	63

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการใช้งานเท่านั้น เมื่อผู้จัดทำเห็นว่าไม่เหมาะสมต่อการนำ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
5.2 รูปแบบสัญญาณอินพุตของวงจร.....	66
5.3 สัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรวกซิมิลีฟลายด์แอดเดอร์ที่ออกแบบใหม่ที่ระดับคิกดาไฟเลี้ยง 1.5 โวลต์.....	66
5.4 เอาต์พุตของผลลัพธ์ <i>SUM</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์และโหลดคาแพซิแตนซ์ 0.01pF.....	67
5.5 เอาต์พุตของผลลัพธ์ <i>SUM</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.02pF.....	68
5.6 เอาต์พุตของผลลัพธ์ <i>SUM</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.1 pF.....	68
5.7 เอาต์พุตของผลลัพธ์ <i>SUM</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.2 pF.....	69
5.8 เอาต์พุตของผลลัพธ์ <i>SUM</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.3 pF.....	69
5.9 กราฟเปรียบเทียบค่าการหน่วงเวลาเอาต์พุตของผลลัพธ์ <i>SUM</i> ที่ได้จากการจำลองเปลี่ยนแปลงโหลดคาแพซิแตนซ์ 0.01- 0.3 pF.....	70
5.10 เอาต์พุตของค่าตัววัด <i>Carry_out</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์และโหลดคาแพซิแตนซ์ 0.01pF.....	71
5.11 เอาต์พุตของค่าตัววัด <i>Carry_out</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.02pF.....	71
5.12 เอาต์พุตของค่าตัววัด <i>Carry_out</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.1pF.....	72
5.13 เอาต์พุตของค่าตัววัด <i>Carry_out</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์และโหลดคาแพซิแตนซ์ 0.2pF.....	72
5.14 เอาต์พุตของค่าตัววัด <i>Carry_out</i> ที่คิกดาไฟเลี้ยง 1.3 โวลต์และโหลดคาแพซิแตนซ์ 0.3pF.....	73
5.15 กราฟเปรียบเทียบค่าการหน่วงเวลาเอาต์พุตของผลลัพธ์ <i>SUM</i> ที่ได้จากการจำลอง.....	74
5.16 สัญญาณเอาต์พุตผลลัพธ์ (<i>SUM</i>) ที่คิกดาไฟเลี้ยง 0.8 โวลต์ และโหลดคาแพซิแตนซ์ 0.1pF.....	75
5.17 สัญญาณเอาต์พุตผลลัพธ์ (<i>SUM</i>) ที่คิกดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.1pF.....	75
5.18 สัญญาณเอาต์พุตผลลัพธ์ (<i>SUM</i>) ที่คิกดาไฟเลี้ยง 1.5 โวลต์ และโหลดคาแพซิแตนซ์ 0.1pF.....	76
5.19 สัญญาณเอาต์พุตผลลัพธ์ (<i>SUM</i>) ที่คิกดาไฟเลี้ยง 1.8 โวลต์ และโหลดคาแพซิแตนซ์ 0.1 pF.....	76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
5.20	กราฟแสดงค่าการหน่วงเวลาขาขึ้นเมื่อคัทดาไฟเลี้ยงเปลี่ยนแปลงจาก 0.8-1.8 โวลต์.....77
5.21	สัญญาณเอาต์พุตตัวทวด (<i>Carry_out</i>) ที่คัทดาไฟเลี้ยง 0.8 โวลต์ และโหลดคาแพชิตีแดนที่ 0.1 pF.....78
5.22	สัญญาณเอาต์พุตตัวทวด (<i>Carry_out</i>) ที่คัทดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพชิตีแดนที่ 0.1 pF.....78
5.23	สัญญาณเอาต์พุตตัวทวด (<i>Carry_out</i>) ที่คัทดาไฟเลี้ยง 1.5 โวลต์ และโหลดคาแพชิตีแดนที่ 0.1 pF.....79
5.24	สัญญาณเอาต์พุตตัวทวด (<i>Carry_out</i>) ที่คัทดาไฟเลี้ยง 1.8 โวลต์ และโหลดคาแพชิตีแดนที่ 0.1 pF.....79
5.25	กราฟแสดงค่าการหน่วงเวลาขาขึ้นของเอาต์พุตตัวทวด (<i>Carry_out</i>) เมื่อคัทดาไฟเลี้ยงเปลี่ยนแปลงจาก 0.8-1.8 โวลต์.....80
5.26	สัญญาณเอาต์พุตของกระแสของวงจรวกชนิดฟลูแอตเดอริซิมอลที่คัทดาไฟเลี้ยง 1.5 โวลต์โดยใช้โหลดคาแพชิตีแดนที่ 0.02 pF.....81

สารบัญตาราง

ตาราง	หน้า
3.1 ตารางความจริงอินเวอร์เตอร์.....	29
3.2 แสดงเงื่อนไขการทำงานของซีมอสอินเวอร์เตอร์.....	36
4.1 ค่าตารางความจริงของวงจรวกชนิดฟลูแอตเตอร์.....	53
5.1 ค่าการหน่วงเวลาของสัญญาณเอาต์พุตผลลัพท์ <i>SUM</i> ที่คักดาไฟเลี้ยง 1.3 โวลต์และ โหลดคาแพซิแตนซ์เปลี่ยนแปลงจาก 0.01- 0.3 pF.....	70
5.2 ค่าการหน่วงเวลาของสัญญาณเอาต์พุตตัวทวด <i>Carry_out</i> ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์เปลี่ยนแปลงจาก 0.01 - 0.3 pF.....	73
5.3 ค่าการหน่วงเวลาขาขึ้นของผลลัพท์ (<i>SUM</i>) เมื่อคักดาไฟเลี้ยงเปลี่ยนจาก 0.8-1.8 โวลต์...77	
5.4 ค่าการหน่วงเวลาขาขึ้นของเอาต์พุตตัวทวด (<i>Carry_out</i>) เมื่อคักดาไฟเลี้ยงเปลี่ยนจาก 0.8-1.8 โวลต์.....	80
5.5 ผลการวัดค่ากำลังงานสูญเสียของวงจรวกชนิดฟลูแอตเตอร์ซีมอสเปรียบเทียบ สามวงจร.....	81
ข.1 ตัวแปรของมอสทรานซิสเตอร์ MOSIS LEVEL 3.....	88
ข.2 ขนาดของมอสทรานซิสเตอร์ในวงจรวกชนิดฟลูแอตเตอร์ซีมอสแบบมาตรฐาน.....	89
ข.3 ขนาดของมอสทรานซิสเตอร์ในวงจรวกชนิดฟลูแอตเตอร์ซีมอสแบบ Static energy Recovery.....	89
ข.4 ขนาดของมอสทรานซิสเตอร์ในวงจรวกชนิดฟลูแอตเตอร์ซีมอสแบบใหม่.....	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีทางด้านวงจรรวมได้มีการพัฒนาการไปอย่างรวดเร็วมาก ทำให้เทคโนโลยีทางการออกแบบวงจรมีการพัฒนาตามไปด้วย ในการออกแบบวงจรรวมทางดิจิทัลนิยมทำเป็นวงจรรวม (IC : Integrated Circuit) และการใช้เทคโนโลยี (VLSI : Very Large Scale Integration) ในการออกแบบวงจรรวม จะทำให้ชิปมีขนาดเล็กลงอย่างมาก และการออกแบบวงจรรวม โดยใช้เทคโนโลยีซีมอสเป็นที่นิยมอย่างมากในปัจจุบัน ข้อดีของการใช้เทคโนโลยีซีมอสในการออกแบบวงจรรวม จะทำให้วงจรรวมมีการสูญเสียของกำลังงานต่ำ มีอินพุตอิมพีแดนซ์สูง และสามารถทำงานได้ที่ระดับแหล่งจ่ายแรงดันไฟเลี้ยงต่ำๆ สามารถลด Noise margin และมีความสามารถในการสร้างวงจรมีฟังก์ชันที่มีความซับซ้อนมากขึ้นโดยที่ความเร็วของวงจรรวมยังเท่าเดิม นอกจากนี้ในการสร้างวงจรรวมด้วยเทคโนโลยีซีมอส ยังมีข้อดีอีกอย่างก็คือ High packing density ถ้ามอสทรานซิสเตอร์เป็นชนิดเดียวกันก็สามารถสร้างใน Well เดียวกันได้ ซึ่งจะทำให้ระยะห่างทรานซิสเตอร์สั้นมาก เพื่อไม่ให้เกิด Field Oscillation Pitch และ ขั้นตอนในการสร้างวงจรรวมก็ง่ายอีกด้วย ในปัจจุบันยังคงมีการวิจัยและพัฒนา วงจรรวมทางด้านดิจิทัลโดยใช้เทคโนโลยีซีมอสอย่างต่อเนื่อง เพื่อให้วงจรรวมมีความเร็วสูง และสามารถทำงานได้ดีที่ระดับศักดาไฟเลี้ยงวงจรรวมที่ต่ำๆ ได้อย่างมีประสิทธิภาพ เนื่องจากต้องการลดความสิ้นเปลืองพลังงานของระบบลง เพื่อให้เกิดความสะดวกในการจัดหาแหล่งพลังงานและทำให้ระบบสามารถทำงานได้ยาวนานขึ้น

1.2 ที่มาของงานวิจัย

ในปัจจุบัน การออกแบบวงจรรวมจะให้ความสำคัญเรื่องการสิ้นเปลืองพลังงาน และความเร็วในการประมวลผลเป็นหลัก ทั้งนี้เนื่องจากการใช้อุปกรณ์อิเล็กทรอนิกส์ ประเภทพกพา มีความต้องการสูงมาก เช่น คอมพิวเตอร์พกพา โทรศัพท์มือถือ อุปกรณ์ไร้สายขนาดเล็ก แต่ต้องการความเร็วในการประมวลผลสูง จึงต้องมีการออกแบบให้สิ้นเปลืองพลังงานต่ำที่สุด เพื่อให้สามารถใช้งานได้นานๆ โดยไม่ต้องเปลี่ยนหรือชาร์จแบตเตอรี่บ่อยๆ วงจรรวมชนิดฟลูอิดเดอเรียลไทม์เป็นส่วนหนึ่งขององค์ประกอบหลักๆ ในการประมวลผลที่ให้ผลลัพธ์ถูกต้องแม่นยำและรวดเร็วเพื่อเพิ่มประสิทธิภาพในการออกแบบและพัฒนาตัวประมวลผลทางด้านดิจิทัล (Digital Signal Processor: DSP) ในส่วนการ

คำนวณทางคณิตศาสตร์ (Arithmetic Logic Unit:ALU) หรือ ส่วนของการประมวลผลกราฟิก 3 มิติ (Floating Point Unit:FPU) ในการออกแบบวงจรดิจิทัลที่ผ่านมาจะให้ความสำคัญกับความเร็วในการทำงาน และการสิ้นเปลืองพลังงานของวงจรเป็นหลัก [2],[4],[6] แต่ยังคงมีปัญหาเรื่องการสูญเสียแรงดันเทรชโฮลด์ (Threshold Voltage loss)

1.3 วัตถุประสงค์ของการทำวิจัย

ปัญหาที่เกิดขึ้นจากการนำวงจรซีมอสชนิดฟลูแอตเตอร์มาออกแบบวงจรรวมขนาดใหญ่คือ ขนาดของวงจร และจำนวนทรานซิสเตอร์ ที่มีผลต่อเนื่องถึงความเร็ว และไม่สามารถทำงานที่ศักดาไฟเลี้ยงต่ำๆ ได้ เช่น (Carry Look Ahead: CLA) หรือ (Manchester Carry Chain: MCC) [6] เมื่อทำการคำนวณหลายๆบิตจะเกิดการสูญเสียแรงดันเทรชโฮลด์ (Threshold Voltage loss) เกิดค่าหน่วงเวลา (Delay time) ดังนั้นเราต้องออกแบบวงจรเพื่อแก้ปัญหาเหล่านี้ เพื่อให้วงจรที่ออกแบบสามารถทำงานที่ศักดาไฟเลี้ยงต่ำๆ ที่ความถี่สูงได้อย่างมีประสิทธิภาพ

1.4 รายละเอียดในวิทยานิพนธ์

- วิทยานิพนธ์ฉบับนี้แบ่งออกเป็น 6 บทดังนี้
- บทที่ 1 จะเป็นการกล่าวนำ ที่มาของงานวิจัย วัตถุประสงค์และรายละเอียดในวิทยานิพนธ์
 - บทที่ 2 เป็นส่วนของทฤษฎีการทำงานและโครงสร้างของมอสทรานซิสเตอร์การหาค่าการหน่วงเวลา และการวัดค่ากำลังงานสูญเสียโดยใช้ Power meter
 - บทที่ 3 เป็นส่วนของทฤษฎีการทำงานของวงจรซีมอสอินเวอร์เตอร์
 - บทที่ 4 เป็นส่วนของทฤษฎีการทำงานและการออกแบบวงจรบวกชนิดฟลูแอตเตอร์ซีมอส
 - บทที่ 5 เป็นส่วนของวงจรบวกชนิดฟลูแอตเตอร์ชนิดซีมอสที่นำเสนอและการทดสอบสมรรถนะของวงจรทั้งสามแบบโดยการเลียนแบบการทำงานโดยโปรแกรม Pspice
 - บทที่ 6 เป็นส่วนการสรุปผลการทดลองและข้อเสนอแนะการประยุกต์ใช้วงจรที่นำเสนอใหม่

ทฤษฎีการทำงานของมอสทรานซิสเตอร์

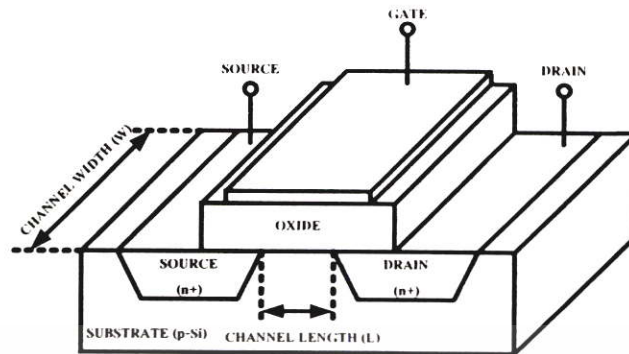
2.1 บทนำ

มอสทรานซิสเตอร์หรือมอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transistor เป็นสารกึ่งตัวนำชนิดหนึ่งที่ใช้สนามไฟฟ้าในการควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ในปัจจุบันมีการใช้มอสทรานซิสเตอร์เป็นอุปกรณ์ สวิตซ์ซึ่งในวงจรร (Large Scale Integration: LSI) และวงจรร (Very Large Scale Integration: VLSI) เป็นอย่างมากเนื่องจากมีขบวนการผลิตที่ไม่ยุ่งยากและยังต้องการพื้นที่ซิลิกอนน้อยกว่าเมื่อเทียบกับไบโพลารทรานซิสเตอร์ โครงสร้าง และการทำงานของมอสทรานซิสเตอร์จะกล่าวโดยละเอียดในหัวข้อต่อไป

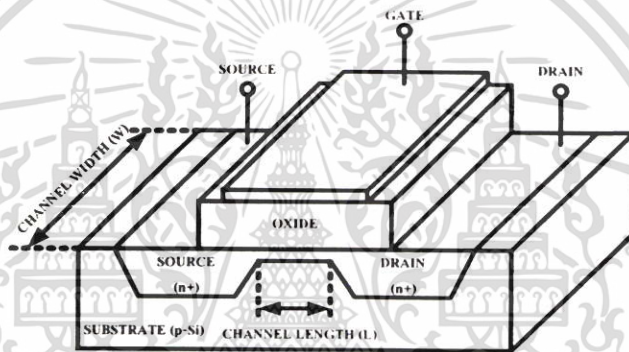
2.2 โครงสร้างของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์สามารถแบ่งตามโครงสร้างได้เป็น 2 แบบ คือ เอ็นมอสทรานซิสเตอร์ (N-Channel) และพีมอสทรานซิสเตอร์ (P-Channel) ในแต่ละชนิดยังสามารถแบ่งตามลักษณะการทำงานได้อีก 2 แบบคือ เอ็นฮานเม้นท์มอสทรานซิสเตอร์ (Enhancement) และดีพลีชันมอสทรานซิสเตอร์ (Depletion) โดยพิจารณาจากรูปที่ 2.1 แสดงถึงรายละเอียดโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ ซึ่งจะเห็นการโดปสารกึ่งตัวนำชนิดเอ็น (N⁻ Region) อยู่ 2 ส่วนในสารกึ่งตัวนำชนิดพี ในด้านซ้ายจะเรียกว่า ซอส (Source) ในด้านขวาจะเรียกว่า เดรน (Drain) ส่วนบนของบริเวณการโดปสารกึ่งตัวนำชนิดเอ็นทั้งสองจุด จะถูกวางทับด้วยชั้นของออกไซด์บาง ๆ จากนั้นวางทับด้วยโลหะ (หรือ โพลีซิลิกอน) จะเรียกว่า เกต (Gate) และตัวถังของอุปกรณ์ตัวนี้จะเรียกว่าซับสเตรท (Substrate) หรือ บัค (Bulk) สำหรับระยะห่างระหว่างสารกึ่งตัวนำที่เป็นซอส และเดรน จะเรียกว่า ความยาวของแชนแนล (Channel Length : L) และความกว้างของช่องระหว่างซอสและเดรน จะเรียกว่า ความกว้างของแชนแนล (Channel Width : W) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็นและสารกึ่งตัวนำชนิดพีถูกโดปลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่าพีมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ สำหรับโครงสร้างของเอ็นมอสทรานซิสเตอร์ สำหรับ โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชัน จะคล้ายกับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ แต่จะแตกต่างกันตรงที่ช่องระหว่างซอสกับ เดรน ของเอ็นมอสทรานซิสเตอร์ แบบดีพลีชัน จะมีการโดปสารกึ่งตัวนำชนิดเอ็นดังรายละเอียดใน

เอกสารที่ 2.2 เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์

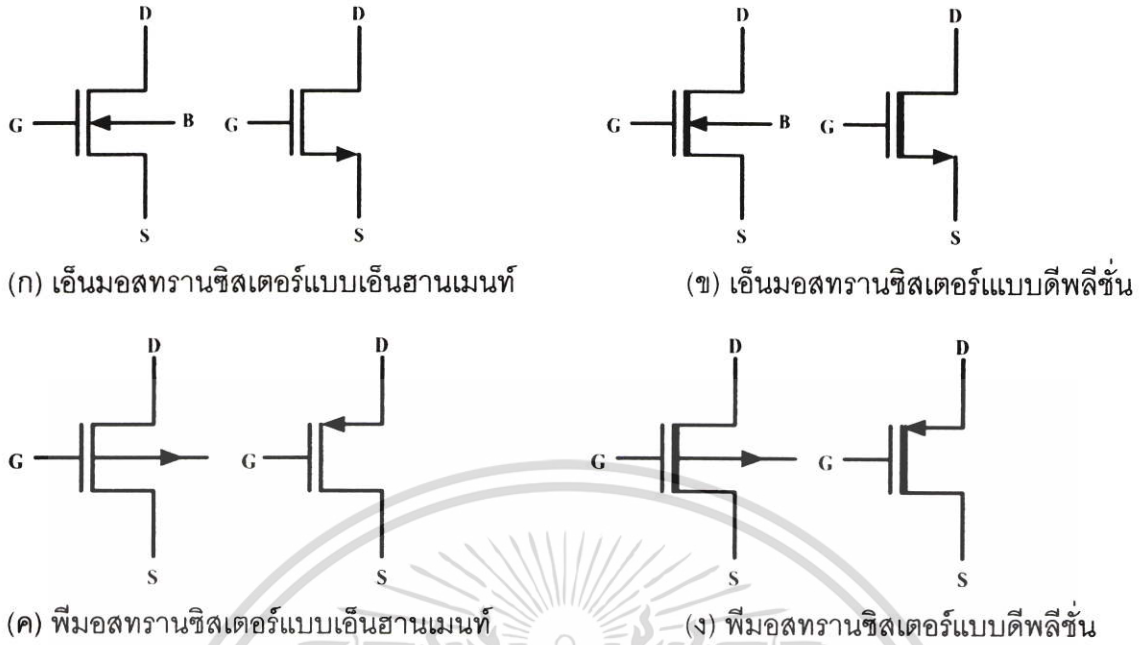


รูปที่ 2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชัน

2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

สัญลักษณ์ของมอสทรานซิสเตอร์สามารถบอกได้ว่าเป็นมอสทรานซิสเตอร์ชนิดเอ็นหรือชนิดพี โดยดูที่หัวลูกศรที่ขาซอส ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็นพีมอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น เอ็นมอสทรานซิสเตอร์ หรือดูที่ทิศทางของหัวลูกศรที่ขาฐานรอง (Substrate) หรือบางที่เรียกว่า Bulk โดยถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็นเอ็นมอสทรานซิสเตอร์ แต่ ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น พีมอสทรานซิสเตอร์ และสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสทรานซิสเตอร์เป็นแบบฮานเมนต์หรือแบบดีพลีชัน ดังรูปที่ 2.3

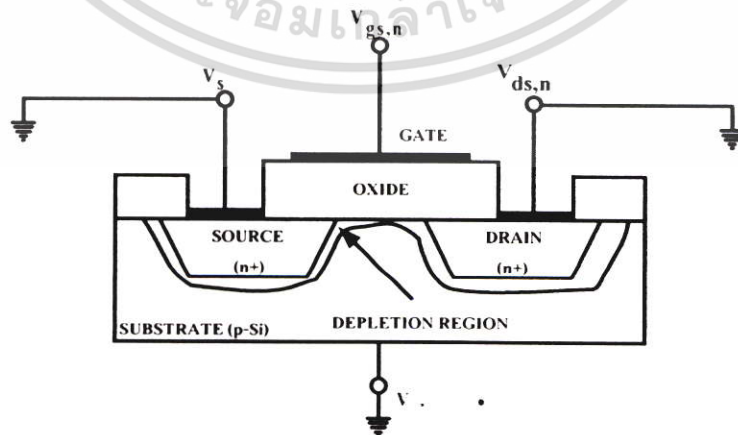
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

2.4 การทำงานของมอสทรานซิสเตอร์

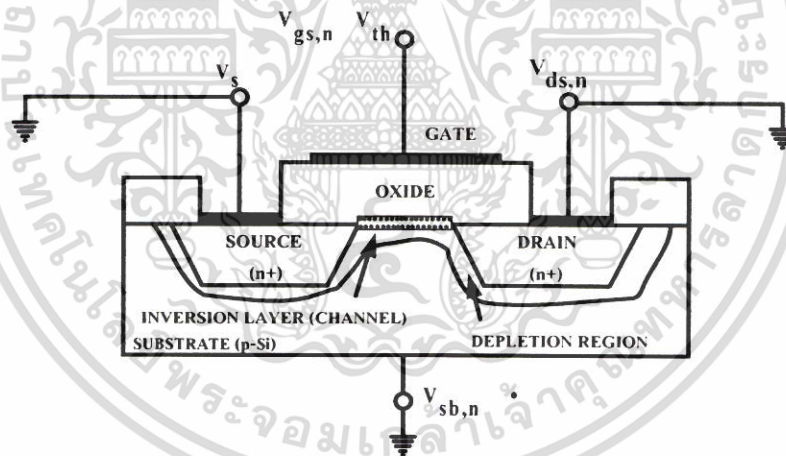
ถ้าพิจารณาโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์จากรูปที่ 2.1 จะสามารถอธิบายการทำงานอย่างง่าย ๆ ของมอสทรานซิสเตอร์ได้ดังนี้ กระแสไฟฟ้าที่ไหลในแชนแนลระหว่างเดรนและซอสของมอสทรานซิสเตอร์จะถูกควบคุมด้วยสนามไฟฟ้าที่ถูกสร้างขึ้นจากการเปลี่ยนแปลงของระดับศักดาที่เกต และปริมาณกระแสที่ไหลในแชนแนลก็จะถูกควบคุมโดยศักดาระหว่างเดรนกับซอส และศักดาที่ฐานรองอีกด้วย



รูปที่ 2.4 แสดงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ซึ่งทำให้เกิดย่านปลอดพาหะ (Depletion Region)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การไบอัสอย่างง่ายให้กับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ ดังแสดงในรูปที่ 2.4 โดยให้เดรน ซอส และฐานรอง ($V_{sb,n}$) ถูกต่ออยู่กับกราวด์ และให้ศักดาที่มีศักย์บวกระหว่างเกตกับซอส ($V_{gs,n}$) ซึ่งสามารถทำให้เกิดแชลแนลความนำภายใต้เกต เมื่อศักดาที่มีศักย์บวกระหว่างเกตกับซอสมีค่าน้อย ๆ Majority Carrier (Hold) จะถูกผลักไปยังฐานรอง (Substrate) จะทำให้ผิวของฐานรอง P-Type เกิดย่านปลอดพาหะขึ้น และถ้าบริเวณผิวปราศจาก Mobile Carrier ใดๆ ค่าความนำไฟฟ้าระหว่างเดรนกับซอสจะไม่เกิดขึ้นด้วย ถ้าทำการไบอัสที่เกตกับซอสด้วยศักดาที่มีศักย์บวกมากขึ้น จนกระทั่งมากกว่าศักดาค่าบวกค่าหนึ่งซึ่งเรียกว่า ศักดาเทรชโฮลด์ (V_{th}) ทำให้ศักย์บวกของเกตที่มากขึ้นนี้ จะดึงอิเล็กตรอนจำนวนมากจาก ฐานรอง P-Type มาใกล้บริเวณผิวสร้างเป็น N-Type Region ใกล้บริเวณผิวจะเรียกว่า Inversion Layer ดังแสดงรายละเอียดในรูปที่ 2.5 ซึ่งเกิดขึ้นระหว่างเดรนกับซอส และจะทำหน้าที่เป็นช่องทางเดินกระแสระหว่างเดรนกับซอส และปริมาณกระแสไหลที่จะไหลผ่านระหว่างเดรนกับซอสจะขึ้นอยู่กับค่าความต่างศักย์ของศักดาที่ไบอัสให้เดรนกับซอส ดังนั้นถ้าให้ศักดา ระหว่างเดรนกับซอสเป็นบวกเล็กน้อย ($V_{ds,n} > 0$) จะเกิดกระแสไหลจากเดรน ไปยังซอส ถ้าเพิ่มให้ ศักดา ระหว่างเดรนกับซอสที่ค่า ๆ หนึ่ง ($V_{ds,n} = (V_{gs,n} - V_{th})$) จะทำให้กระแสเดรนจะไหลสูงสุดและจะคงที่ตลอดไปแม้มีการเพิ่มศักดา ระหว่างเดรนกับซอส ($V_{ds,n}$) ขึ้นอีกก็ตาม



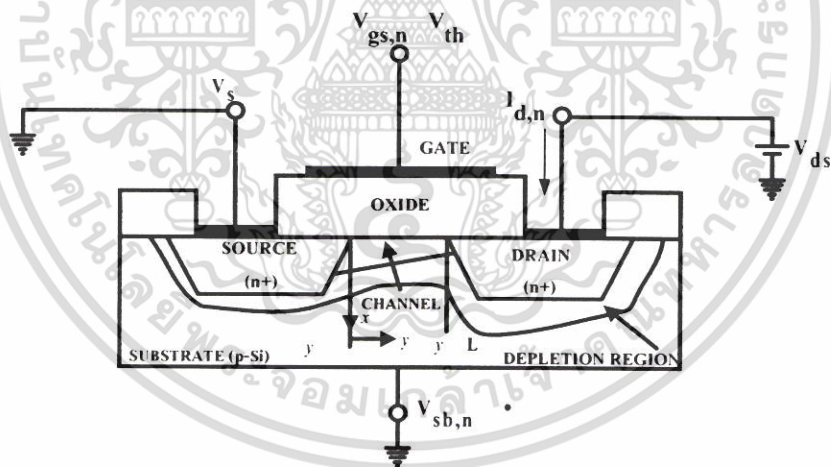
รูปที่ 2.5 แสดงการเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

ส่วนการทำงานของเอ็นมอสทรานซิสเตอร์แบบดีฟิชั่นนั้น จากโครงสร้างดังแสดงในรูปที่ 2.2 จะเห็นได้ว่าเมื่อไบอัสศักดา ระหว่างเกตกับซอสเป็นศูนย์ และให้ศักดา ระหว่างเดรนกับซอสเป็นบวกค่า หนึ่ง จะมีกระแสเดรนไหลค่าหนึ่งเนื่องจากแชลแนลได้ถูกสร้างไว้แล้วเมื่อไบอัสศักดา ระหว่างเกตกับซอสมีค่าเป็นลบค่าน้อยๆ จะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยังขากเกต ผลที่ได้จะทำให้อิเล็กตรอน บริเวณใกล้ผิวในแชลแนลถูกผลักให้ลงมาในแชลแนลส่วนล่าง เป็นผลทำให้เกิดย่านปลอดพาหะ (Depletion Region) ใกล้บริเวณผิวภายในแชลแนลขึ้นทำให้สภาพความนำ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟฟ้าของแชนแนลลดลง ผลทำให้กระแสเดรนไหลน้อยลงและถ้าศักจระหว่างเกตกับซอลเป็นลบมากขึ้น ทำให้อ่านปโหลดพาหะแผ่กว้างเพิ่มขึ้นในแชนแนล จะทำให้สภาพความนำไฟฟ้าของแชนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีกและ ถ้าศักจที่เกตเป็นลบมากๆ ทำให้อ่านปโหลดพาหะแผ่กว้างเต็มแชนแนล แชนแนลจะไม่นำกระแส ทำให้กระแสเดรนมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชันโหมด (Depletion Mode) สามารถแสดงกราฟความสัมพันธ์ระหว่างกระแสเดรนและศักจระหว่างเดรนกับซอลของมอสทรานซิสเตอร์แบบดีพลีชันได้ดังรูปที่ 2.11 และกราฟความสัมพันธ์ระหว่างกระแสเดรนและศักจระหว่างเดรนกับซอลของมอสทรานซิสเตอร์แบบเอ็นฮานสมันที่ได้ดังรูปที่ 2.12

2.5 คุณสมบัติทางศักจกับแอสของมอสทรานซิสเตอร์

การวิเคราะห์ค่าความสัมพันธ์ของศักจกับกระแสของมอสทรานซิสเตอร์ต้องการข้อกำหนดต่างๆ เพื่อให้ปัญหาต่างๆ ง่ายขึ้น ในการวิเคราะห์สำหรับการหาความสัมพันธ์ของศักจกับกระแสของมอสทรานซิสเตอร์ในหัวข้อนี้ จะทำการวิเคราะห์ปัญหาการไหลของกระแสหนึ่งมิติทำให้ได้สมการกระแสที่เข้าใจง่ายและสอดคล้องกับผลที่ได้จากการทดลอง



รูปที่ 2.6 แสดงภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region)

เริ่มต้นด้วยการพิจารณารายละเอียดของภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น ดังแสดงในรูปที่ 2.6 จะเห็นว่าซอลและฐานรองถูกต่ออยู่กับกราวด์ ($V_s = V_{sb,n} = 0$) ส่วนกระแสเดรน ($I_{d,n}$) จะถูกควบคุมจากภายนอกโดยศักจระหว่างเกตกับซอล ($V_{gs,n}$) และศักจระหว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดรนกับซอส ($V_{ds,n}$) ค่าศักดาระหว่างเกตกับซอส ($V_{gs,n}$) จะถูกกำหนดให้มีค่ามากกว่าค่าศักดาเทรตโฮลด์ (V_m) เพื่อสร้างค่าความนำไฟฟ้าให้เกิดขึ้นในแชนแนลระหว่างเดรนกับซอสและกำหนดจุดพิกัดของโครงสร้างเป็นดังนี้ ทิศทาง x (x -direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไป พิกัดของโครงสร้างเป็นดังนี้ ทิศทาง x (x -direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไป พิกัดของโครงสร้างเป็นดังนี้ ทิศทาง x (x -direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปยังฐานร่องส่วน ทิศทาง y (y -direction) จะขนานไปกับพื้นผิวให้ $V_c(y)$ เป็นศักดาแชนแนล กำหนดให้ค่าศักดาเทรตโฮลด์มีค่าคงที่ตลอดแชนแนล ดังนั้นขอบเขตของศักดาแชนแนลจะเป็นดังนี้

$$\begin{aligned} V_c(y=0) &= V_s = 0 \\ V_c(y=L) &= V_{ds,n} \end{aligned} \quad (2.1)$$

นอกจากนั้นบริเวณแชนแนลระหว่างเดรนกับซอสจะถูกกำหนดให้มีค่าตรงข้ามกัน

$$\begin{aligned} V_{gs,n} & \quad V_{th} \\ V_{gd,n} &= V_{gs,n} - V_{ds,n} \quad V_{th} \end{aligned} \quad (2.2)$$

เมื่อ $V_{gd,n}$ เป็นศักดาระหว่างเกตกับเดรน

กระแสเดรนเกิดจากการเคลื่อนที่ของอิเล็กตรอนภายในแชนแนลจากซอสไปยังเดรนภายใต้สนามไฟฟ้าที่ถูกสร้างขึ้น เมื่อการไหลของกระแสจะถูกกำหนดโดยจำนวนการประจุของโมบายอิเล็กตรอน (Mobile electron) บนผิวของ inversion layer ดังนั้นจะพิจารณาในรายละเอียดของ inversion layer ที่ขึ้นอยู่กับศักดาในการไบอัส

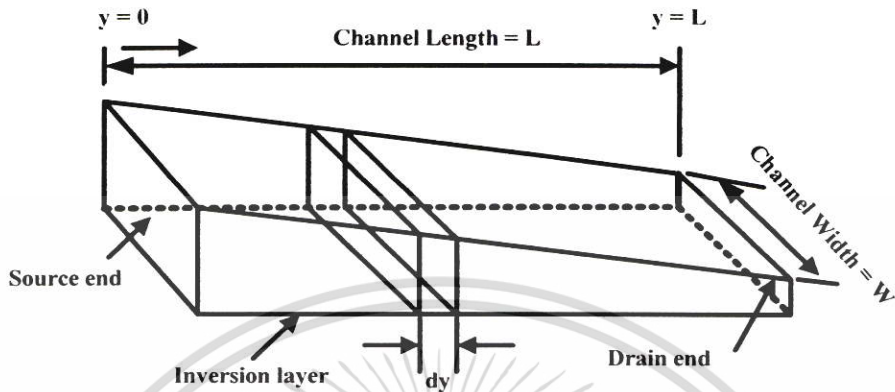
ถ้าให้ $Q_i(y)$ เป็นโมบายอิเล็กตรอนรวมที่ประจุในผิวของ inversion layer การประจุนี้สามารถแสดงในฟังก์ชันของศักดาเกตกับซอส ($V_{gs,n}$) และศักดาแชนแนล ($V_c(y)$) ได้ดังนี้

$$Q_i(y) = -C_{ox} [V_{gs,n} - V_c(y) - V_{th}] \quad (2.3)$$

โดยที่ C_{ox} คือค่าความจุต่อหน่วยพื้นที่ของชั้นออกไซด์ที่กั้นระหว่างเกตกับแชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.7 จะเป็นการแสดงพื้นผิวทางเรขาคณิตของ inversion layer และแสดงขนาดของตัวแปรต่างๆ ค่าความหนาของ inversion layer จะเป็นรูปสี่เหลี่ยมเริ่มจากขอสไปยังเดรน เนื่องจากศักดาระหว่างเกตกับ แชนแนลทำให้ผิวของ inversion layer มีค่าน้อยลงที่จุดสิ้นสุดของเดรน



รูปที่ 2.7 แสดงส่วนทางเรขาคณิตบริเวณผิวของ inversion layer

จากนั้นทำการพิจารณาการเพิ่มขึ้นของความต้านทาน (dR) ของการ differential ส่วน แชนแนลที่แสดงในรูปที่ 2.7 กำหนดให้โมบายอิเล็กตรอนใน inversion layer ทั้งหมดมีค่าความคล่องตัวของอิเล็กตรอน (μ_n) คงที่การเพิ่มขึ้นของความต้านทานสามารถแสดงได้ดังนี้

$$dR = -\frac{dy}{w\mu_n Q_1(y)} \quad (2.4)$$

กระแสเดรนจะไหลระหว่างเดรนกับขอสในทิศทาง y ซึ่งเป็นไปตามข้อกำหนดของรูปแบบการวิเคราะห์แบบหนึ่งมิติ ใช้กฎของโอมห์เพื่อหาศักดาคงคร่อมระหว่าง การเพิ่มขึ้นของ dy ในทิศทาง y จะได้เป็น

$$dV_c = I_{d,n} dR = -\frac{I_{d,n}}{w\mu_n Q_1(y)} dy \quad (2.5)$$

ทำการอินทิเกรตสมการที่ (2.5) ไปตามความยาวของแชนแนลจาก $y=0$ ไปยัง $y=L$ โดยใช้ขอบเขตที่กำหนดจากสมการที่ (2.1)

$$I_{d,n} dy = -W\mu_n \int_0^{V_{ds,n}} Q_1(y) dV_c \quad (2.6)$$

สมการด้านซ้ายมือจะได้เป็น $LI_{d,n}$ แทนค่า $Q_1(y)$ ด้วยสมการที่ (2.3) แล้วทำการอินทิเกรตดังนี้

$$I_{d,n}L = w\mu_n c_{ox} \int_0^{V_{ds,n}} (V_{gs,n} - V_c - V_m) dV_c \quad (2.7)$$

กำหนดให้มีการเปลี่ยนแปลงศักดาแชลแนล (V_c) ในสมการที่(2.7) ขึ้นอยู่กับตำแหน่งของ y จะได้กระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{\mu_n c_{ox} w}{2} \frac{W}{L} [2(V_{gs,n} - V_m) V_{ds,n} - V_{ds,n}^2] \quad (2.8)$$

สมการที่ (2.8) เป็นการแสดงกระแสเดรนในรูปฟังก์ชัน second – order ของศักดาจากภายนอกคือศักดาเรหว่างเกตกับซอส ($V_{gs,n}$) และศักดาเรหว่างเดรนกับซอส ($V_{ds,n}$) สมการดังกล่าวเป็นสมการความสัมพันธ์ระหว่างกระแสกับศักดาของมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region) และสามารถเขียนสมการได้ใหม่ดังนี้

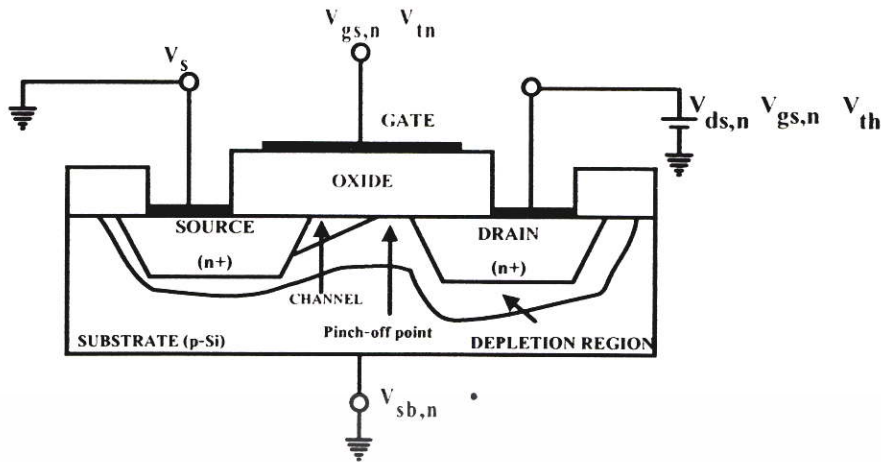
$$I_{d,n} = \frac{\mu_n C_{ox} W}{2} \frac{W}{L} [2(V_{gs,n} - V_m) V_{ds,n} - V_{ds,n}^2] \quad (2.9)$$

เมื่อ

$$V_{gs,n} > V_m ; 0 < V_{ds,n} < (V_{gs,n} - V_m) \quad (2.10)$$

จากสมการที่ (2.9) เป็นการประมาณการใช้ได้ดีในกรณีที่ $V_{ds,n} < (V_{gs,n} - V_m)$ เท่านั้น เมื่อ $V_{ds,n} > (V_{gs,n} - V_m)$ จะเกิดปรากฏการณ์อีกอย่างหนึ่งขึ้นดังแสดงในรูปที่ 2.8 แสดงถึงค่าศักดาที่เปลี่ยนแปลงไปภายในแชลแนล และปริมาณความเข้มข้นของประจุที่ค่อย ๆ ลดลงเมื่อเข้าใกล้เดรน ถ้าเดรนมีศักดาเท่ากับ $V_{ds,n} > (V_{gs,n} - V_m)$ จะทำให้ inversion layer และความลึกของแชลแนลลดลง ซึ่งถูกเรียกว่า Pinch – off point จะทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation region)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงการเกิด pinch - off

จากรูปที่ 2.8 ทำให้สามารถแสดงขอบเขตการทำงานของมอสทรานซิสเตอร์ในช่วงอิมิตัวได้เป็นดังนี้

$$V_{ds,n} < (V_{gs,n} - V_m) \tag{2.11}$$

ดังนั้นกระแสเดรนในช่วงการทำงานแบบอิมิตัวสามารถหาได้โดยการแทนสมการที่ (2.11) ไปในสมการที่ (2.8) จะได้เป็น

$$I_{d,n} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} \left[2(V_{gs,n} - V_m)(V_{gs,n} - V_m) - (V_{gs,n} - V_m)^2 \right] \tag{2.12}$$

$$I_{d,n} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{gs,n} - V_m)^2 \tag{2.13}$$

และสามารถเขียนสมการใหม่ได้เป็น

$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_m)^2 \tag{2.14}$$

เมื่อ $V_{gs,n} > V_m ; 0 < V_{ds,n} < V_{gs,n} - V_m$

จากรายละเอียดของคุณสมบัติทางคักดาและกระแสของมอสทรานซิสเตอร์ทำให้สามารถสรุปการจับใบัสมการการทำงานของมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยการทำงานทั้งหมดจะอ้างอิงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ เป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 การทำงานในช่วงคัทออฟ (Cutoff Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{ds,n}$) มีค่าน้อยกว่าศักดาเทรตโฮลด์ (V_m) จะเป็นผลทำให้ไม่มีกระแสไหลระหว่างเดรนกับซอส ดังนั้น สมการกระแสเดรนจะเป็นดังนี้

$$I_{d,n} = 0, V_{gs,n} < V_m \quad (2.15)$$

2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region)

เป็นการไบอัสให้ศักดาระหว่างเดรนกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาเทรตโฮลด์ ($V_{gs,n} > V_m$) และขณะเดียวกันจะไบอัสให้ศักดาระหว่างเดรนกับซอสมีค่าน้อยกว่าศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรตโฮลด์ ($V_{ds,n} < (V_{gs,n} - V_m)$) จะทำให้มีกระแสไหลระหว่างเดรนกับซอส โดยสมการกระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{k_n}{2} [2(V_{gs,n} - V_m)V_{ds,n} - V_{ds,n}^2] \quad (2.16)$$

เมื่อ $V_{gs,n} > V_m; 0 < V_{ds,n} < (V_{gs,n} - V_m)$

2.5.3 การทำงานในช่วง อิ่มตัว (Saturation Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาโฮลด์ ($|V_{gs,n}| > V_m$) และขณะเดียวกันจะไบอัสให้ระหว่างเดรนกับซอสมากกว่าหรือเท่ากับศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรตโฮลด์ ($V_{ds,n} > (V_{gs,n} - V_m)$) ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็นดังนี้

$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_m)^2 \quad (2.17)$$

เมื่อ $V_{gs,n} > V_m; 0 < (V_{gs,n} - V_m) < V_{gs,n}$

จะเห็นได้ว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับให้ศักดาที่เดรนกับซอส ($V_{ds,n}$) แต่จะขึ้นอยู่กับศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรตโฮลด์ ($V_{gs,n} - V_m$) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square – Law Equation) นั่นเอง ตัวแปรต่าง ๆ ที่แสดงในสมการทั้งหมดสามารถแสดงรายละเอียดได้ดังนี้

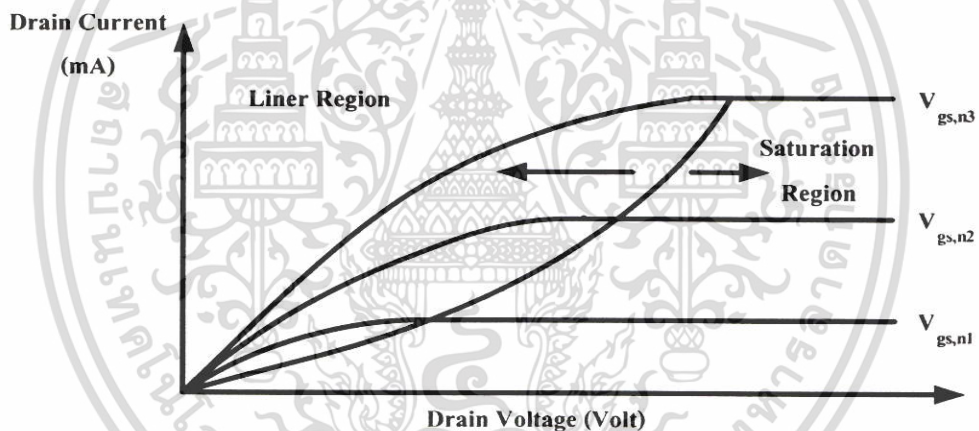
$$k_n = \text{ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ } \mu_n C_{ox} \frac{w}{L}$$

$$\mu_n = \text{ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)}$$

$$C_{ox} = \text{ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per-Unit Area of the Gate Oxide) } = \epsilon_{ox} / t_{ox}$$

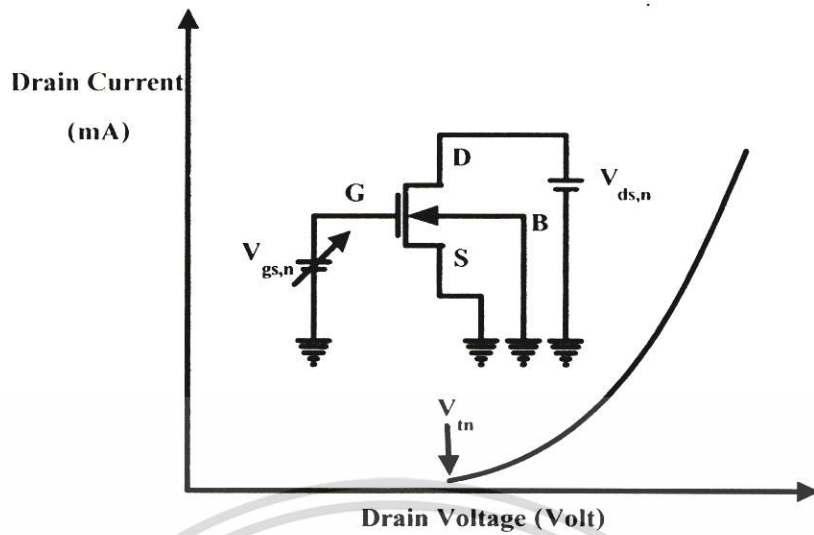
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ϵ_{ox} = ค่าคงที่ของ SiO₂ = $3.97 \cdot 8.85 \cdot 10^{-14} \text{F/cm}$
 t_{ox} = ความหนาของเกตออกไซด์
 L = ความยาวของแชนแนล (Channel Length)
 W = ความกว้างของแชนแนล (Channel Width)
 $V_{gs,n}$ = ศักไฟฟ้าระหว่างเกตกับซอส (Gate – Source Voltage)
 $V_{gd,n}$ = ศักไฟฟ้าระหว่างเกตกับเดรน (Gate – Drain Voltage)
 $V_{ds,n}$ = ศักไฟฟ้าระหว่างเดรนกับซอส (Drain – Source Voltage)
 $V_{sb,n}$ = ศักตารฐานรอง (Substrate Voltage)
 V_m = ศักตาเริ่มต้นของเอ็นมอส (nMOS Threshold Voltage)
 V_{tp} = ศักตาเริ่มต้นของพีมอส (pMOS Threshold Voltage)
 $I_{d,n}$ = กระแสเดรนเอ็นมอสทรานซิสเตอร์

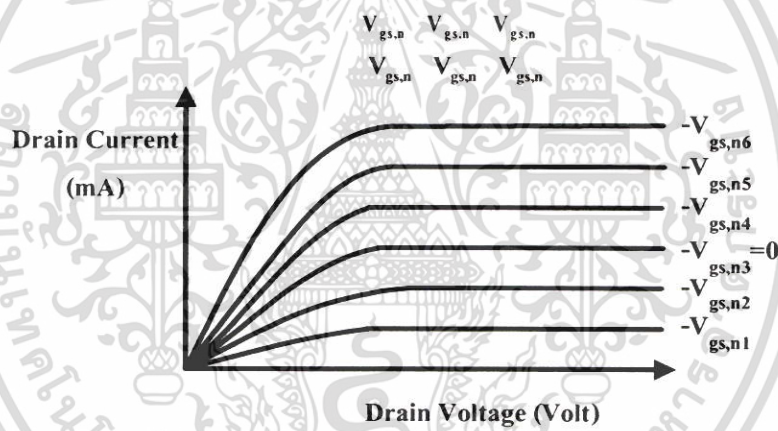


รูปที่ 2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์

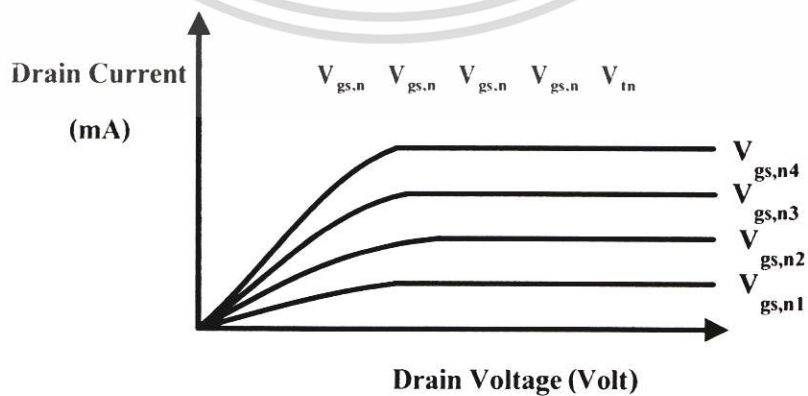
รูปที่ 2.9 แสดงตัวอย่างคุณสมบัติกระแสเดรนเทียบกับศักดาเดรนของเอ็นมอสทรานซิสเตอร์ โดยใช้สมการกระแสที่ (2.8) และสมการที่ (2.12) เส้นประพาราโบลาจะเป็นการแสดงขอบเขตระหว่างช่วงเชิงเส้นและช่วงอิ่มตัว คุณลักษณะของกระแสกับศักดาของมอสทรานซิสเตอร์สามารถเขียนเทียบระหว่างกระแสเดรนและศักดาที่เกต ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของคิกดาระหว่างเกตกับซอส



รูปที่ 2.11 กระแสเดรนและคิกดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพีลชี้น



รูปที่ 2.12 กระแสเดรนและคิกดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

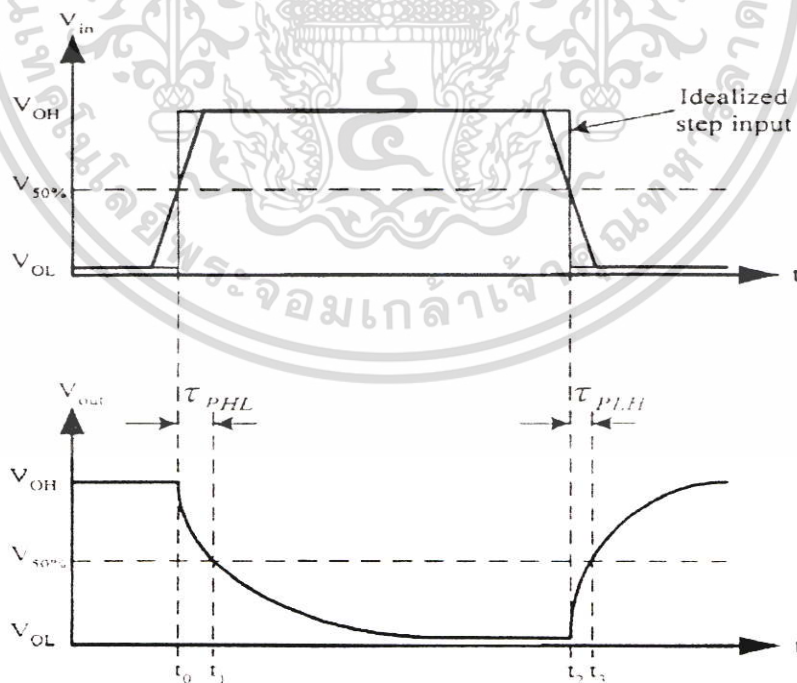
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การหาค่าหน่วยเวลา

วิธีการหาค่าหน่วยเวลาที่ใช้กันอย่างแพร่หลาย คือรูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรอินเวอร์เตอร์ ดังแสดงในรูปที่ 2.13 การหาค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} เป็นค่าหน่วยเวลาที่เปรียบเทียบระหว่างสัญญาณทางอินพุตและเอาต์พุตที่สภาวะเปลี่ยนแปลงจาก High เป็น Low และ Low เป็น High ตามลำดับ โดยมีนิยามดังนี้ τ_{PHL} เป็นค่าหน่วยเวลาเปรียบเทียบ ระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาขึ้นทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาลงทางเอาต์พุต เหมือนกันกับ τ_{PLH} เป็นนิยามค่าหน่วยเวลาเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาลงทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาขึ้นทางเอาต์พุต

เพื่อให้ง่ายขึ้นในการวิเคราะห์และเขียนสมการค่าการหน่วยเวลา สัญญาณรูปคลื่นทางอินพุตจะถูกสมมุติเป็นรูปคลื่นสี่เหลี่ยมทางทฤษฎีที่มีค่าหน่วยเวลาทางขาขึ้นและขาลงเป็นศูนย์ ภายใต้ข้อสมมุติฐาน τ_{PHL} เป็นค่าหน่วยเวลาที่ได้จากแรงดันทางเอาต์พุตที่ลดลงจาก V_{OH} ไปหาระดับแรงดัน $V_{50\%}$ และ τ_{PLH} เป็นค่าหน่วยเวลาที่ได้จากแรงดันทางเอาต์พุตที่เริ่มเพิ่มขึ้นจาก V_{OL} ไปหาระดับแรงดัน $V_{50\%}$ จากนั้นสามารถเขียนสมการ $V_{50\%}$ ได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (2.18)$$



รูปที่ 2.13 แสดงรูปที่คลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจอินเวอร์เตอร์ และนิยามค่าหน่วย

เวลา ต่างๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์โดยบริษัทเอกชนที่ปรึกษาและให้บริการด้านวิศวกรรมโยธาและโครงสร้างพื้นฐาน โดยไม่หวังกำไรใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} จากรูปที่ 2.13 ได้ดังนี้

$$\begin{aligned} \tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2 \end{aligned} \tag{2.18}$$

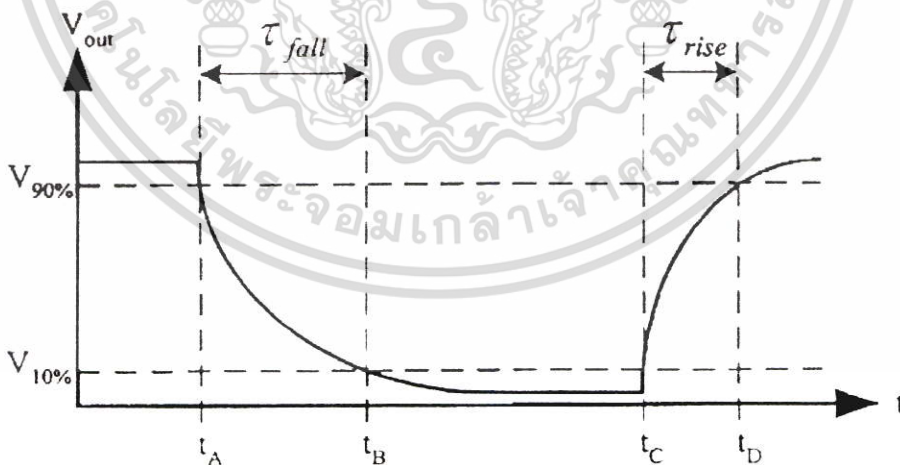
ค่าเฉลี่ยของค่าหน่วยเวลา τ_p ที่อยู่ในรูป อินเวอร์เตอร์ ค่าเฉลี่ยเวลาสำหรับสัญญาณทางอินพุตที่มีค่าหน่วยโดยผ่านวงจรอินเวอร์เตอร์

$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \tag{2.19}$$

ในรูปที่ 2.14 เป็นการให้นิยามค่าหน่วยเวลาทั้งทางขาลงและทางขาขึ้นและขาลงของแรงดันทางเอาต์พุตซึ่งค่าหน่วยเวลาขาขึ้น τ_{rise} เป็นช่วงเวลาของแรงดันทางอินพุตที่เพิ่มจากระดับแรงดันทางเอาต์พุตที่เพิ่มระดับแรงดัน $V_{10\%}$ จนถึงระดับแรงดัน $V_{90\%}$ เหมือนกันกับ ค่าหน่วยเวลาขาลง τ_{fall} เป็นช่วงเวลาของแรงดันทางเอาต์พุตที่ลดลงจากระดับแรงดัน $V_{90\%}$ จนถึงระดับแรงดัน $V_{10\%}$ และระดับแรงดัน $V_{10\%}$ และ $V_{90\%}$ มีสมการดังนี้

$$V_{10\%} = V_{OL} + 0.1 \cdot (V_{OH} - V_{OL}) \tag{2.20}$$

$$V_{90\%} = V_{OL} + 0.9 \cdot (V_{OH} - V_{OL}) \tag{2.21}$$



รูปที่ 2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต

ดังนั้นช่วงขาลงและขาขึ้นของแรงดันเอาต์พุตสามารถหาได้จากรูปที่ 2.14 ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\tau_{fall} = t_B - t_A$$

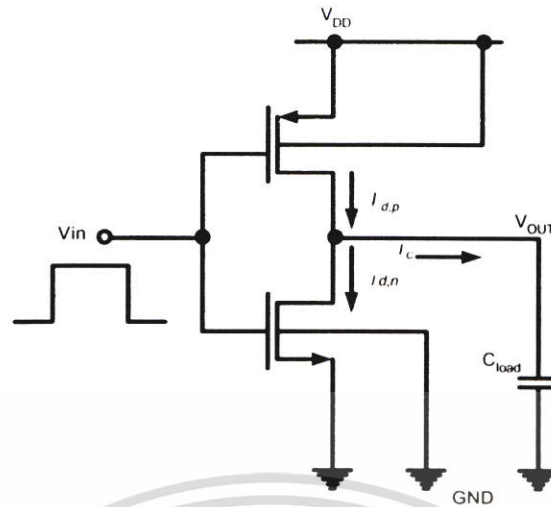
$$\tau_{rise} = t_D - t_C$$

หมายเหตุ : สามารถใช้นิยามเกี่ยวกับค่าหน่วงเวลาที่ระดับ 20% และ 80% ก็ได้

2.7 การค่ากำลังงานสูญเสีย

ในวงจรซีมอสจะแบ่งกำลังงานสูญเสียออกเป็น 2 ชนิด คือ แบบ Static และ แบบ Dynamic power dissipation ซึ่ง Static power dissipation หรือ DC power dissipation จะเกิดขึ้นเมื่อวงจรซีมอสอินเวอร์เตอร์ทำงานในช่วง Steady-State ($V_{out} = V_{OH}$) และ ($V_{out} = V_{OL}$) แต่วงจรซีมอสจะไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง ฉะนั้นค่า DC power dissipation จึงไม่จำเป็นต้องคำนึงถึงเพราะมันมีค่าน้อยมากๆ ส่วนค่า dynamic power dissipation ในวงจรซีมอสอินเวอร์เตอร์เกิดขึ้นในระหว่างสภาวะ การสวิตช์ ของ โหลดคาปาซิเตอร์ ทางเอาต์พุตในการเก็บประจุ และคายประจุ

พิจารณาวงจรซีมอสอินเวอร์เตอร์ ในรูปที่ 2.15 สมมุติแรงดันทางอินพุตเป็นรูปคลื่นสี่เหลี่ยมในทางทฤษฎี โดยที่ไม่คำนึงถึงค่าหน่วงเวลาทั้งขาขึ้นและขาลง โดยทั่วไปรูปสัญญาณทางด้านอินพุตและเอาต์พุตและรูปคลื่นกระแสของโหลดคาปาซิเตอร์ ที่แสดงในรูปที่ 2.15 เมื่อแรงดันทางด้านอินพุตสวิตช์จาก Low ไป High ทหรานซิสเตอร์แบบพีมอส ในวงจรจะไม่ทำงาน แต่ทหรานซิสเตอร์เอ็นมอสเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} จะคายประจุโดยผ่านทหรานซิสเตอร์แบบเอ็นมอส ดังนั้นกระแสของโหลดคาปาซิเตอร์ จึงเท่ากับกระแสเดรนของทหรานซิสเตอร์แบบเอ็นมอส เมื่อแรงดันทางอินพุตสวิตช์ จาก High ไปหา Low ทหรานซิสเตอร์แบบเอ็นมอส ในวงจรจะหยุดทำงานแต่ทหรานซิสเตอร์แบบซีมอสเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} ก็เริ่มเก็บประจุโดยผ่านทางทหรานซิสเตอร์แบบพีมอส ฉะนั้นกระแสของโหลดคาปาซิเตอร์เท่ากับกระแสเดรนของทหรานซิสเตอร์แบบพีมอส

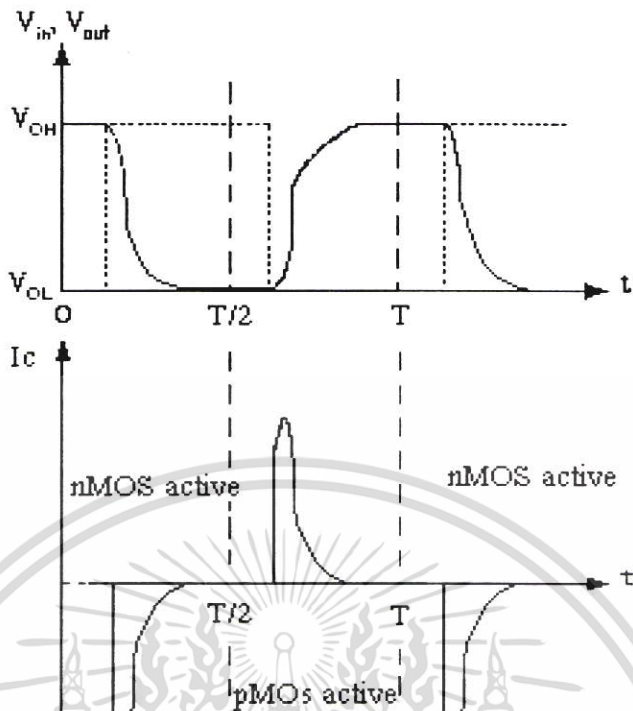


รูปที่ 2.15 วงจรซีมอสอินเวอร์เตอร์ที่ใช้ในการวิเคราะห์หาค่า Dynamic power dissipation

สมมติว่า T เป็นคาบเวลาหนึ่งคาบของรูปคลื่นสัญญาณทางอินพุตและเอาต์พุต ฉะนั้นค่าเฉลี่ย power dissipation ของวงจรในหนึ่งคาบเวลาสามารถหาได้ดังนี้

$$P_{avg} = \frac{1}{T} \int_0^T V(t)i(t)dt \quad (2.22)$$

ซึ่งระหว่างการสวิตช์ของทรานซิสเตอร์แบบเอ็นมอส และ พีมอส ในวงจรซีมอสอินเวอร์เตอร์ นำกระแสสำหรับทุกๆครั้งหนึ่งของคาบเวลา ดังนั้นค่าเฉลี่ย power dissipation ของวงจรซีมอสอินเวอร์เตอร์ สามารถคำนวณหาค่า power ที่ต้องการได้จากการเก็บประจุและคายประจุของโหลดคาแพซิแตนซ์



รูปที่ 2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุต และรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ ของวงจรมอสอินเวอร์เตอร์

$$P_{avg} = \frac{1}{T} \int_0^{T/2} V_{out} - C_{load} \frac{dV_{out}}{dt} dt + \int_{T/2}^T (V_{DD} - V_{out}) C_{load} \frac{dV_{out}}{dt} dt \tag{2.23}$$

การคำนวณ Integrate ในสมการที่ (2.22) เราจะได้

$$P_{avg} = \frac{1}{2} - C_{load} \frac{V_{out}^2}{2} \Big|_0^{T/2} + V_{DD} V_{out} C_{load} - \frac{1}{2} C_{load} V_{out}^2 \Big|_{T/2}^T \tag{2.24}$$

$$P_{avg} = \frac{1}{2} C_{load} V_{DD}^2 \tag{2.25}$$

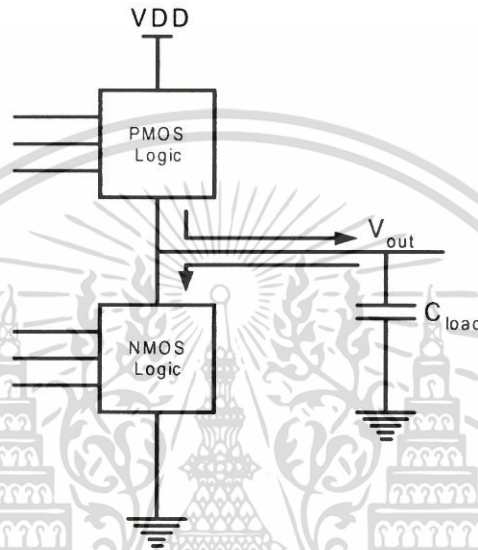
ซึ่ง $f = \frac{1}{2}$ จากนั้นสามารถเขียนได้ดังนี้

$$P_{avg} = C_{load} V_{DD}^2 f \tag{2.26}$$

เห็นได้ชัดเจนว่าค่าเฉลี่ย Power dissipation ของวงจรมอสอินเวอร์เตอร์ เป็นอัตราส่วนกับ

ความถี่การสวิตช์ f ฉะนั้น ข้อดีที่ใช้กำลังงานต่ำของวงจรมอสจึงเป็นจุดเด่นเพื่อการใช้งานทางด้านเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเร็วสูง ซึ่งความถี่ในการสวิตช์ ก็จะสูงด้วย ทั้งหมดที่ได้กล่าวมานั้นค่าเฉลี่ย Power dissipation จะขึ้นอยู่กับลักษณะทั้งหมดของทรานซิสเตอร์และขนาดของทรานซิสเตอร์ เพราะฉะนั้นค่าหน่วยเวลาในการสวิตช์ จะเกิดในกรณีที่ให้ผลรวมค่า Power dissipation ระหว่างสถานะของการสวิตช์ เหตุผลที่เป็นเช่นนี้ก็เพราะกำลังงานที่เกิดขึ้นในการสวิตช์ นั้นเป็นกำลังงานสูญเสีย เพราะการเก็บประจุและคายประจุของคาปาซิเตอร์ทางด้านเอาต์พุตจากค่า V_{OL} ไปหาค่า V_{OH} และความผิดพลาดในขบวนการสร้าง



รูปที่ 2.17 วงจรซีมอส Logic โดยทั่วไป

สำหรับเหตุผลนี้การเขียนสมการกำลังงานที่เกิดจากการสวิตช์ ของวงจรมอสอินเวอร์เตอร์พร้อมทั้งนำไปใช้ได้ในกรณีทั่วไปของวงจรมอส ดังแสดงในรูปที่ 2.17 โดยทั่วไปวงจรมอส Logic จะประกอบด้วย NMOS Logic block อยู่ระหว่างโหนดเอาต์พุตกับกราวด์ และ PMOS Logic block อยู่ระหว่างโหนดเอาต์พุตกับระดับแรงดันไฟเลี้ยง V_{DD}

ในกรณีวงจรมอส อินเวอร์เตอร์ ทั่วไปทั้งส่วน PMOS block หรือ NMOS block สามารถนำกระแสโดยที่ขึ้นอยู่กับสัญญาณทางอินพุตแต่ไม่ใช้เวลาเดียวกัน ดังนั้นกำลังงานสูญเสียที่เกิดจากการสวิตช์ เป็นการสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาร์ปาริเตอร์ทางเอาต์พุต

สรุปโดยรวมถ้าค่าคาร์ปาริเตอร์ทั้งหมดที่อยู่ภายในวงจรมีค่ามาก ที่โหนดเอาต์พุต จะทำให้เกิดผลกระทบกับประสิทธิภาพโดยรวมของวงจรด้วย ถ้าแรงดันเอาต์พุตแกว่งในช่วง 0 ถึง V_{DD} และถ้ารูปคลื่นสัญญาณอินพุตเป็นรูปคลื่นสี่เหลี่ยมทางทฤษฎีค่าเฉลี่ย Switching power dissipation สามารถแสดงได้ในสมการที่ (2.26) จะใช้ได้ในทุกๆวงจรมอสลอจิก

ภายใต้เงื่อนไขที่เป็นจริงเมื่อรูปคลื่นสัญญาณทางอินพุต step input ไม่เป็นอย่างทฤษฎี และค่าหน่วยเวลาทั้งขาขึ้นและขาลงไม่เป็น 0 สำหรับตัวอย่าง N-MOS และ P-MOS ทรานซิสเตอร์จะนำไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสพร้อมกันซึ่งเป็นผลรวมของกระแสที่เกิดขึ้นระหว่างการสวิตช์ นี้เรียกว่า กระแสลัดวงจร ซึ่งในกรณีที่ทรานซิสเตอร์จะนำกระแสจากไฟเลี้ยง V_{DD} ไปหากราวด์ ฉะนั้นค่ากำลังงานสูญเสียที่เกิดขึ้นในเวลาวงจร Short circuit ไม่สามารถคำนวณได้ตามสมการที่ (2.26) ได้ ซึ่งกระแสที่เกิดจากการ Short circuit ไม่ทำให้เกิดการเก็บประจุหรือคายประจุของคาปาซิเตอร์ทางเอาต์พุต จึงจำเป็นต้องรู้ค่ากำลังงานสูญเสียในส่วนนี้ด้วย เพราะจะสามารถอธิบายลักษณะที่ไม่เป็นไปตามเงื่อนไขทางทฤษฎี ถ้าโหลดคาปาซิเตอร์มีค่ามากขึ้น ในทางตรงกันข้ามค่ากำลังงานสูญเสียที่เกิดจากการ Short circuit นี้ไม่จำเป็นต้องคำนึงถึงเพราะจะมีค่าน้อยมากๆ ถ้าเปรียบเทียบกับกำลังงานสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์

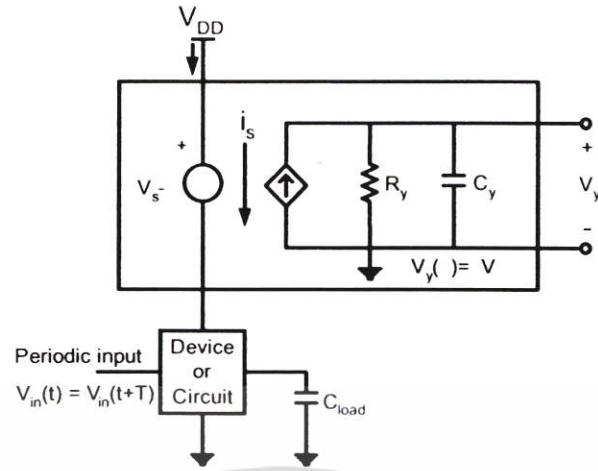
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร

การจำลองการทำงานของวงจรเพื่อหาค่าเฉลี่ยกำลังงานสูญเสียที่สร้างเอง (ซึ่งรวมค่าที่เกิดจากการ Short circuit และ กระแสรั่วไหล) ภายใต้เงื่อนไขการทำงานจริง [13] อ้างอิงตามสมการที่ (2.26) ค่ากำลังงานสูญเสียของทุกอุปกรณ์ หรือ วงจรที่ป้อนด้วยรูปคลื่นสัญญาณทางอินพุตสามารถหาได้จากการ integrate แรงดันตามเวลา v และกระแสตามเวลา i อยู่ในหนึ่งช่วงรูปคลื่นสัญญาณ ถ้าเราจำเป็นต้องหาค่าเฉลี่ย P_{avg} ที่ดึงจากแหล่งจ่ายไฟเลี้ยง ซึ่งแหล่งจ่ายไฟเลี้ยงเป็นค่าคงที่

การใช้รูปแบบการจำลองการทำงานของ [13] ที่เรียกว่า power meter เราสามารถแสดงค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือ วงจรที่เรากำหนดเองที่มีสัญญาณอินพุตหนึ่งคาบเวลา ด้วยวิธี transient circuit จำลองการทำงานพิจารณาโครงสร้างวงจรถัดแสดงในรูปที่ 2.18 ซึ่งในที่นี้แรงดัน Zero-Volt ไม่ขึ้นกับแหล่งจ่าย ถูกต่ออนุกรม เข้ากับแหล่งจ่ายไฟเลี้ยง V_{DD} ของอุปกรณ์ เพราะฉะนั้นกระแสจากแหล่งจ่ายแรงดันไฟฟ้า ที่เปลี่ยนแปลงตามเวลา $i_{DD}(t)$ เป็นการดึงกระแสจากวงจรจะไปผ่านแหล่งจ่าย Zero-Volt $i_S(t) = i_{DD}(t)$

วิธีการวัดกำลังงานของวงจรประกอบด้วย 3 ส่วน คือ กระแสควบคุมแหล่งจ่ายกระแสที่เป็นแบบเส้นตรง คาร์ปาซิเตอร์ และ ตัวต้านทาน ทั้งหมดถูกต่อขนานกัน สมการกระแสสำหรับจุดรวมของวงจรวิธีวัดกำลังงานสามารถเขียนได้ดังนี้

$$C_v \frac{dV_v}{dt} = \beta i_s - \frac{V_v}{R_v} \quad (2.27)$$



รูปที่ 2.18 วงจรการวัดกำลังงานที่นำมาใช้ในการจำลองการทำงานเพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร

เงื่อนไขเริ่มต้นของจุดแรงดัน V_y จะถูกตั้งไว้ที่ $V_y(0) = 0V$ จากนั้นก็สามารถหาค่า $V_y(t)$ ตามค่าทางเวลาด้วยการ Integrate สมการที่ (2.26)

$$V_y(t) = \frac{\beta}{C_{y0}} \int_0^t e^{-\frac{1}{R_y C_y}(t-\tau)} i_{DD}(\tau) d\tau \quad (2.28)$$

สมมติว่า $R_y C_y \gg T$ ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งช่วงคาบเวลาสามารถประมาณค่าได้ดังนี้

$$V_y(T) = \frac{\beta}{C_{y0}} \int_0^T i_{DD}(\tau) d\tau \quad (2.29)$$

ถ้าค่าสัมประสิทธิ์ คงที่ แหล่งจ่ายกระแสควบคุมแหล่งจ่ายกระแสสามารถให้ค่าเป็นดังนี้

$$\beta = V_{DD} \frac{C_y}{T} \quad (2.30)$$

ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งคาบเวลาจะหาค่า Transient จำลองการทำงาน ดังนี้

$$V_y(T) = V_{DD} \frac{1}{T} \int_0^T i_{DD}(\tau) d\tau \quad (2.31)$$

จากสมการที่ (2.31) ทางด้านขวา เป็นผลของค่ากำลังงานเฉลี่ยที่ดึงจากแหล่งจ่ายไฟเลี้ยงในหนึ่งคาบเวลา ดังนั้นค่าแรงดันโหนด $V_y(T)$ ที่ $t = T$ ได้เป็นค่ากำลังงานสูญเสียเฉลี่ย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรวิธีการวัดกำลังงาน ที่แสดงในรูปที่ 2.11 สามารถนำมาใช้ในการจำลองการทำงานของวงจรทั่วไปได้ด้วยโปรแกรมการจำลองทำงาน เช่น PSpice และเพื่อประเมินค่ากำลังงานสูญเสียเฉลี่ยของวงจรที่มีความซับซ้อนได้อย่างแม่นยำ และอีกหนึ่งส่วนที่ต้องให้ความสำคัญ คือ วงจรวิธีวัดกำลังงานจะต้องนำเอาผลรวมค่ากำลังงานสูญเสียที่เกิดจากกระแส Short circuit ที่เกิดขึ้นด้วย ซึ่งมันจะเกิดขึ้นเมื่อสัญญาณทางอินพุตไม่เป็นไปตามทฤษฎี

พิจารณาวงจรซีมอสอินเวอร์เตอร์ ดังในรูป (2.18) สมมติให้สัญญาณทางอินพุตเป็นรูปคลื่นสี่เหลี่ยมที่มีคาบเวลา $T = 20ns$ และโหลดคาปาซิเตอร์ทางเอาต์พุตทั้งหมดเท่ากับ $1pF$ แหล่งจ่ายไฟเลี้ยง 5 โวลต์ นำสมการที่ (2.26) เป็นสมการหาค่ากำลังงานสูญเสียเฉลี่ยทาง dynamic เราสามารถหาค่าได้เท่ากับ $P_{avg} = 1.25mW$

ขณะวงจรซีมอสอินเวอร์เตอร์ จะถูกรวมเข้ากับวงจรวัดกำลังงานเพื่อจำลองการทำงานด้วยโปรแกรม PSpice ค่าตัวแปรต่างๆ แสดงในโปรแกรมด้านล่าง ซึ่งค่าสัมประสิทธิ์ Controlled current source ได้จากการคำนวณมีค่าเท่ากับ 0.025 ดังสมการที่ (2.30) ส่วนค่าตัวต้านทาน R_y และ คาปาซิเตอร์ C_y เลือกเอาที่ $100 k\Omega$ และ $100 pF$ เพื่อให้ได้ตามเงื่อนไข $R_y C_y \gg T$

Power meter จำลองการทำงาน:

Mn 3 2 0 0 nmod w=10u 1=1u

Mp 3 2 4 1 pmod w=20u 1=1u

Vdd 1 0 5

Vtstp 1 4 0

.model nmod nmos(vto=1 kp=20u)

.model pmod pmos(vto=-1 kp=10u)

vin 2 0 pulse (0 5 8n 2n 2n 8n 20n)

cl 3 0 lp

fp 0 9 vtstp 0.025

rp 9 0 100k

cp 9 0 100p

.tran ln 60n uic

.print tran v(3) v(2)

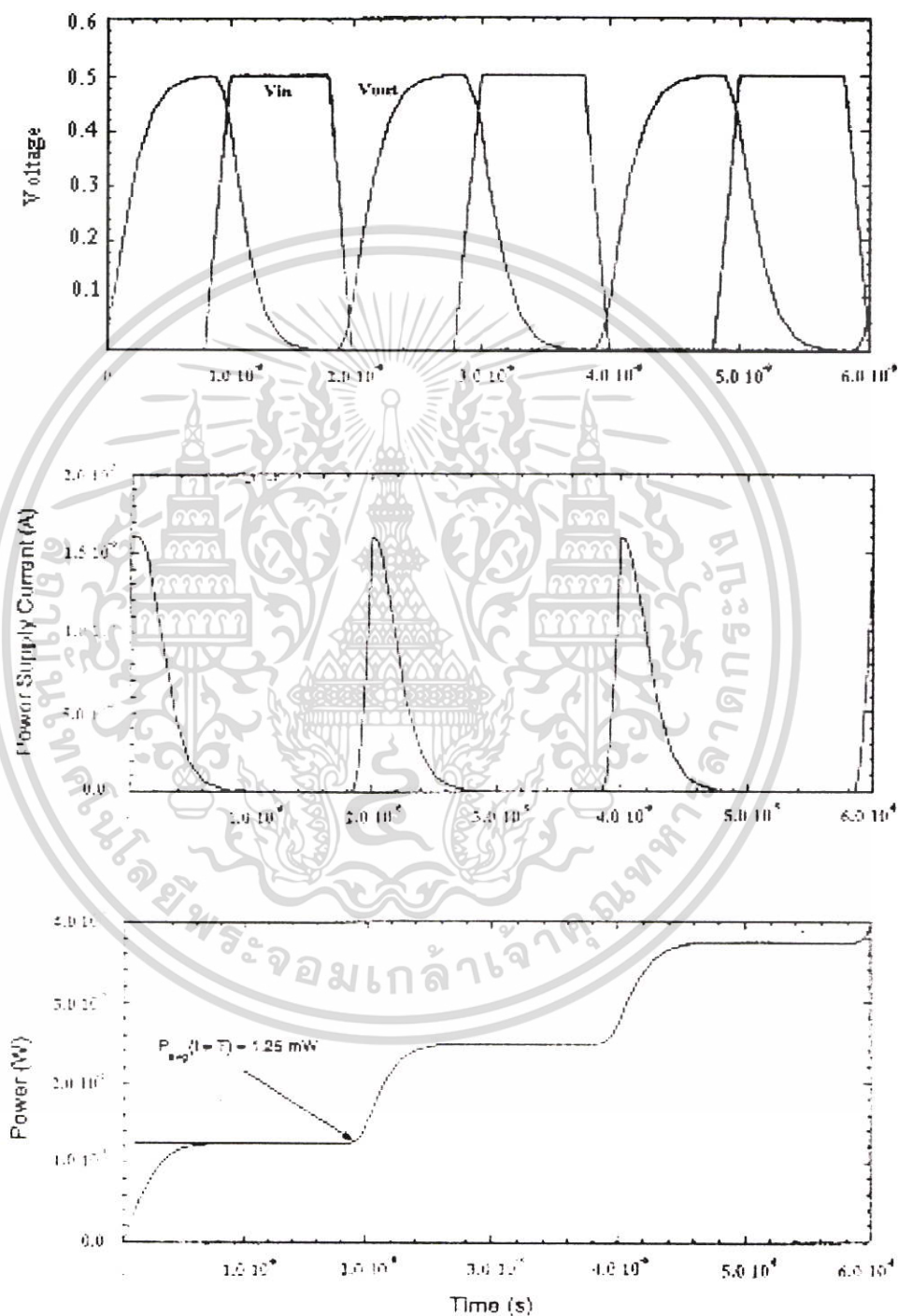
.print tran i(vtstp)

.print tran v(9)

.end

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการจำลองการทำงานของวงจรรูปที่ 2.19 จะเห็นได้ว่าลักษณะรูปคลื่นกระแสของแหล่งจ่ายไฟฟ้าที่ดึงจากแหล่งจ่าย V_{DD} อยู่ระหว่างเฟสการเก็บประจุของคาปาซิเตอร์เอาต์พุต การวัดกำลังงานทางแรงดันเอาต์พุตคือกำหนดที่จุดสิ้นสุดของคาบเวลาแรกที่มีค่าเท่ากับ $1.25mW$



รูปที่ 2.19 แสดงผลการจำลองการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.2 การหาค่า Power delay product

ค่า Power delay product (PDP) [16] เป็นตัวแปรขั้นต้นที่เลือกใช้ในการวัดคุณภาพและประสิทธิภาพของกระบวนการซีมอสที่ออกแบบ gate ต่างๆ ในทาง Physic ค่า power delay product สามารถอธิบายถึงค่าพลังงานเฉลี่ยของเกทในการสวิตช์ ของแรงดันทางด้านเอาต์พุตจาก Low ไปหา High และจาก High ไปหา Low เราจะสามารถเห็นพลังงานที่สูญเสียในวงจรซีมอส Logic gate

1. โดยที่ PMOS network ขณะที่โหลดคาร์ปาซิเตอร์ทางเอาต์พุต C_{load} เริ่มเก็บประจุจาก 0 ไปหา V_{DD}
2. โดยที่ NMOS network ขณะที่โหลดคาร์ปาซิเตอร์ทางเอาต์พุต C_{load} เริ่มคายประจุจาก V_{DD} ไปหา 0

ทำตามขั้นตอนการวิเคราะห์ที่ผ่านมา ซึ่งเหมือนกันอย่างหนึ่งคือการเขียนสมการ ค่าเฉลี่ย dynamic power dissipation (2.25) ในวงจรซีมอส Logic gate และไม่ต้องคำนึงถึงกระแสที่เกิดจากวงจร Short circuit และกระแสรั่วไหล ผลรวมของพลังงานทางเอาต์พุตเวลาสวิตช์ สามารถเขียนได้ดังนี้

$$PDP = C_{load} V_{DD}^2 f \quad (2.32)$$

การอธิบายพลังงานด้วยสมการที่สมการที่ (2.32) เป็นค่าการสูญเสียหลัก ที่ทำให้เกิดความร้อนเมื่อทรานซิสเตอร์แบบเอ็นมอส และพีมอส นำกระแสระหว่างการสวิตช์ เพราะฉะนั้นจากการออกแบบ Point-of-view โดยทั่วไปสิ่งที่ต้องการก็คือ power delay product ซึ่ง PDP เป็นfunction ของโหลดคาร์ปาซิเตอร์ทางเอาต์พุต และแหล่งจ่ายแรงดันไฟฟ้า สำหรับนักออกแบบควรรออกแบบวงจรซีมอส Logic gate ให้ค่า C_{load} และ V_{DD} มีค่าน้อยที่สุดเท่าที่ทำได้ค่า power delay product สามารถนิยามได้ดังนี้

$$PDP = 2P_{avg} \tau_p \quad (2.33)$$

ซึ่ง P_{avg} เป็นค่าเฉลี่ยกำลังงานสูญเสียที่เกิดจากการสวิตช์ ที่มีความถี่ในการทำงานสูงสุดและ τ_p เป็นค่าหน่วงเวลาเฉลี่ย ซึ่งนิยามไว้ในสมการ (2.19) โดยที่ทั้งสอง Factor ในสมการที่ (2.33) เป็นผลเกิดจากสองทรานซิสเตอร์ทางเอาต์พุตที่สวิตช์จาก Low ไปหา High และ High ไปหา Low นำไปใช้สมการที่ (2.25) และ (2.19) สามารถแสดงเป็นสมการได้ดังนี้

$$\begin{aligned}
 PDP &= 2(C_{load}V_{DD}^2f_{max})\tau_p \\
 &= 2 C_{load}V_{DD}^2 \frac{1}{\tau_{PHL} + \tau_{PLH}} \frac{\tau_{PHL} + \tau_{PLH}}{2} \\
 &\quad C_{load}V_{DD}^2
 \end{aligned} \tag{2.34}$$

ซึ่งจะเห็นได้ว่าเหมือนกับสมการ (2.25) การคำนวณค่า PDP ด้วยค่า P_{avg} สมการ (2.25) บางทีผลที่ได้รับใน Misleading interpretation นั้นเป็นผลรวมของพลังงาน ต่อสถานการณ์สวิตช์ที่เป็นฟังก์ชันตามการทำงานทางความถี่

2.8 สรุป

จากทฤษฎีการทำงานของมอสทรานซิสเตอร์ที่ได้กล่าวมาในบทนี้ ทำให้ทราบถึงรายละเอียดและโครงสร้างการทำงาน และคุณสมบัติทางศึกษาค้นคว้ากับกระแสของมอสทรานซิสเตอร์ การทำงานของมอสทรานซิสเตอร์สามารถแบ่งเป็น 3 ช่วง คือ ช่วงหยุดการทำงาน (Cut-off Region) ช่วงการทำงานแบบไม่อิ่มตัว (Non-Saturation) และช่วงอิ่มตัว (Saturation) โดยแต่ละช่วงนั้นฟังก์ชันศึกษาค้นคว้ากับกระแสเดรนนั้นแตกต่างกันไป ซึ่งในการออกแบบจะต้องกำหนดให้เหมาะสมกับการทำงานในช่วงนั้นๆ และในบทนี้ยังแสดงการหาค่าหน่วยเวลา การคำนวณกำลังงานสูญเสีย การจำลองการวัดกำลังงานสูญเสีย โดยการเรียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice และการคำนวณหาค่า Power Delay product ของวงจร เพื่อหาประสิทธิภาพของวงจรซีมอสที่ออกแบบ

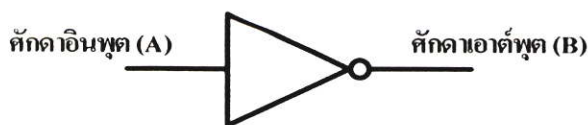
ทฤษฎีการทำงานของวงจรมอสอินเวอร์เตอร์

3.1 บทนำ

อินเวอร์เตอร์เป็นลอจิกเกตพื้นฐานสำหรับการทำงานของสมการบูลีนแบบอินพุตหนึ่งตัวแปร ในบทนี้จะแสดงคุณลักษณะทางกระแสตรงของวงจรมอสอินเวอร์เตอร์ สัญลักษณ์ทางลอจิกของอินเวอร์เตอร์แสดงได้ดังรูปที่ 3.1 และตารางความจริงของอินเวอร์เตอร์ทางอุดมคติสามารถแสดงได้ดังตารางที่ 3.1 ในวงจรมอสอินเวอร์เตอร์

ตัวแปรด้านอินพุต (A) และตัวแปรด้านเอาต์พุต (B) จะถูกแสดงโดยศักย์ศักดาเทียบกับกราวด์ถ้าสัญญาณทั้งอินพุตและเอาต์พุตเป็นลอจิกหนึ่ง สามารถแสดงได้ด้วยระบบศักดาไฟเลี้ยง (V_{DD}) และลอจิกศูนย์จะถูกแสดงด้วยระดับศักดากราวด์ ($0V$) สำหรับคุณลักษณะการถ่ายโอนทางระดับศักดา (Voltage transfer characteristic: VTC) ของอินเวอร์เตอร์

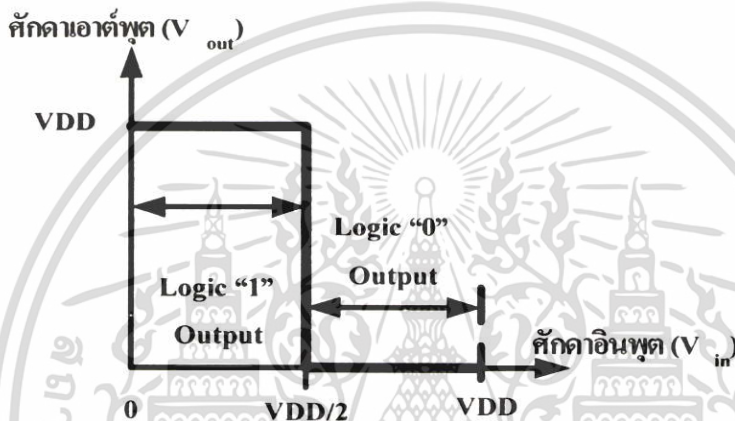
ในทางอุดมคติจะถูกแสดงดังรูปที่ 3.2 ซึ่งกราฟ VTC สามารถอธิบายได้ดังนี้เมื่อระดับศักดาอินพุตอยู่ระหว่างกราวด์ ($0V$) และครึ่งหนึ่งของศักดาไฟเลี้ยง ($V_{DD}/2$) จะทำให้ระดับศักดาเอาต์พุตเท่ากับศักดาไฟเลี้ยง (V_{DD}) หรือลอจิกหนึ่ง และระดับศักดาเอาต์พุตจะเปลี่ยนจากระดับศักดาไฟเลี้ยง (V_{DD}) หรือลอจิกหนึ่งไปเป็นลอจิกศูนย์ระดับศักดากราวด์ ($0V$) ก็ต่อเมื่อระดับศักดาไฟเลี้ยง (V_{DD}) หรือลอจิกหนึ่งไปเป็นลอจิกศูนย์หรือระดับศักดากราวด์ ($0V$) ก็ต่อเมื่อระดับศักดาอินพุตเท่ากับหรือมากกว่าครึ่งหนึ่งของศักดาไฟเลี้ยง ($V_{DD}/2$) ดังนั้นจึงสามารถแทนค่าเอาต์พุตลอจิกหนึ่งเมื่อระดับศักดาอินพุตอยู่ระหว่างครึ่งหนึ่งของศักดาไฟเลี้ยง ($0V < V_{in} < V_{DD}/2$) เอาต์พุตลอจิกศูนย์เมื่อระดับศักดาอินพุตอยู่ระหว่างครึ่งหนึ่งของศักดาไฟเลี้ยงกับที่ศักดาไฟเลี้ยง ($V_{DD}/2 < V_{in} < V_{DD}$) ระดับศักดาอินพุตที่ทำให้เอาต์พุตเปลี่ยนจากลอจิกหนึ่งไปเป็นลอจิกศูนย์หรือที่ครึ่งหนึ่งของศักดาไฟเลี้ยงจะถูกเรียกศักดาเทรชโฮลด์ของอินเวอร์เตอร์ (V_{th})



รูปที่ 3.1 สัญลักษณ์ของอินเวอร์เตอร์

ตารางที่ 3.1 ตารางความจริงอินเวอร์เตอร์

A	B
0	1
1	0



รูปที่ 3.2 คุณลักษณะการถ่ายโอนทางระดับตักดา (Voltage transfer characteristic : VTC) ของ อินเวอร์เตอร์ในทางอุดมคติ

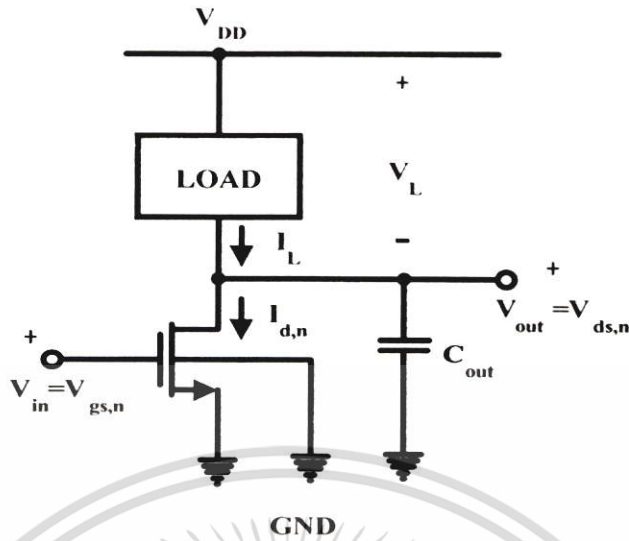
วงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไปสามารถแสดงได้ดังรูปที่ 3.3 พิจารณาจากวงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไปจะเห็นได้ว่า ตักดาอินพุต (V_{in}) จะเป็นตักดาที่ระหว่างเกิดกับซอสของเอ็นมอส ($V_{in} = V_{gs,n}$) ขณะที่ตักดาเอาต์พุต (V_{out}) จะเป็นตักดาที่ระหว่างเดรนกับซอสของเอ็นมอส ($V_{out} = V_{ds,n}$) โดยที่ซอสและฐานรองจะถูกต่อกับกราวด์มีโหนดต่ออยู่ระหว่างเดรนกับตักดาไฟเลี้ยง และ I_L เป็นกระแสโหนด V_L เป็นตักดาที่ขั้วทั้งสองของโหนด

ใช้กฎทางกระแสของเคอร์ชอฟกับวงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไปในรูปที่ 3.3 จะเห็นได้ว่ากระแสโหนดจะเท่ากับกระแสเดรน ดังนั้นจะได้

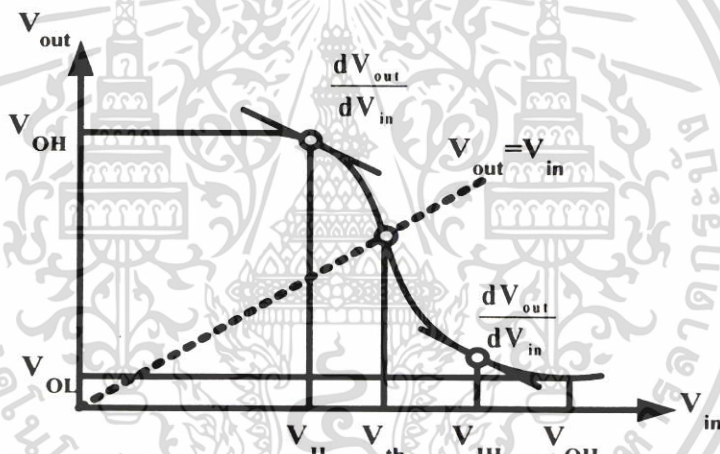
$$I_{d,n}(V_{in}, V_{out}) = I_L(V_L) \quad (3.1)$$

คุณลักษณะการถ่ายโอนทางตักดาจะพิจารณาตักดาเอาต์พุตในฟังก์ชันของตักดาอินพุตสามารถหาได้โดยการแก้สมการที่ 3.1 สำหรับตัวอย่างรูปร่างโดยทั่วไปของ VTC สำหรับเอ็นมอสอินเวอร์เตอร์ในทางปฏิบัติจะแสดงดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรเอ็นมอสอินเวอร์เตอร์แบบทั่วไป



รูปที่ 3.4 คุณลักษณะการถ่ายโอนทางระดับคิกดาของอินเวอร์เตอร์ในทางปฏิบัติ

จากรูปที่ 3.4 จะพิจารณาเห็นได้ว่ารูปร่างของกราฟจะมีลักษณะคล้ายคลึงกับคุณลักษณะการโอนถ่ายของอินเวอร์เตอร์ทางอุดมคติ อย่างไรก็ตามยังมีส่วนที่แตกต่างกันหลายส่วนสำหรับระดับคิกดาอินพุตที่ระดับต่ำ ๆ จะทำให้ระดับคิกดาเอาต์พุต (V_{out}) มีค่าเป็นคิกดาเอาต์พุตที่สูงสุด (V_{OH}) ในกรณีนี้เอ็นมอสทรานซิสเตอร์จะหยุดทำงานและไม่นำกระแสใดๆ เป็นผลทำให้ระดับคิกดาที่ตกคร่อมที่โหลดมีค่าน้อยและระดับคิกดาเอาต์พุตจะอยู่ที่ระดับสูงสุด ถ้าระดับคิกดาเอาต์พุต (V_{in}) เพิ่มขึ้นจนทำให้เอ็นมอสทรานซิสเตอร์จะเริ่มนำกระแส ทำให้ระดับคิกดาเอาต์พุตจะเริ่มมีค่าลดลงแต่จะไม่ลดลงอย่างทันทีทันใด เหมือนกับสัญญาณทางแนวตั้งแบบ VTC ของอินเวอร์เตอร์ทางอุดมคติ มันจะลดลงทีละน้อยด้วยความชันที่จำกัด สามารถแสดงคิกดาวิกฤติของเส้นโค้งนี้เมื่อคุณลักษณะทางความโค้งของระดับคิกดาอินพุตและเอาต์พุตได้ดังนี้

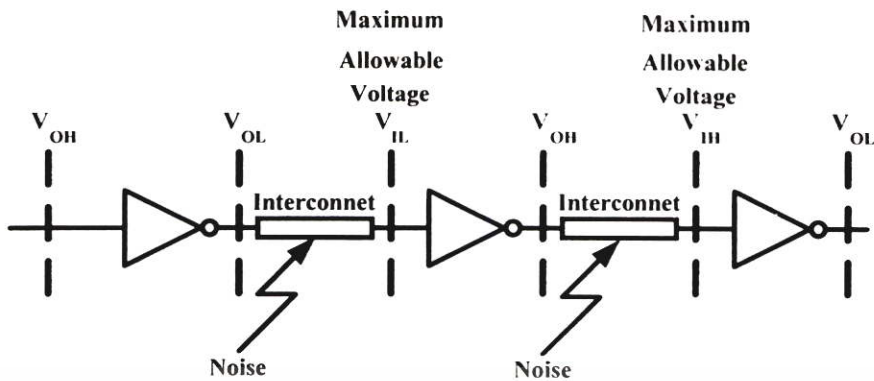
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{dV_{out}}{dV_{in}} = -1 \quad (3.2)$$

เมื่อ	V_{OH}	=	Maximum output voltage เมื่อระดับคิกดาเอาต์พุตเป็นลอจิก "1"
	V_{OL}	=	Maximum output voltage เมื่อระดับคิกดาเอาต์พุตเป็นลอจิก "0"
	V_{IL}	=	Maximum output voltage ที่ซึ่งสามารถเป็นลอจิก "0"
	V_{IH}	=	Maximum output voltage ที่ซึ่งสามารถเป็นลอจิก "1"

3.2..Noise Margin

อินเวอร์เตอร์ที่สามารถทนต่อการรบกวนได้ดีนั้น หมายถึงถ้ามีการรบกวนเข้ามาจะมีผลต่อสัญญาณทำให้สัญญาณนั้นมีค่าเบี่ยงเบนไปจากเดิม แต่ถ้าค่าที่เบี่ยงเบนนั้นยังอยู่ในช่วงๆ หนึ่งสัญญาณนั้นก็ยังคงรักษาสถานะนั้นๆไว้ได้ซึ่งช่วงหรือค่าความไวของอินเวอร์เตอร์ต่อการรบกวนนั้นแสดงได้โดยค่า Noise Margin ผลกระทบของการรบกวนต่อความเชื่อมั่นของวงจรอินเวอร์เตอร์สามารถอธิบายด้วยรูปภาพประกอบดังแสดงได้ในรูปที่ 3.5 ซึ่งเป็นการต่ออินเวอร์เตอร์เชื่อมโยงกันสามตัว กำหนดให้อินเวอร์เตอร์ทั้งสามตัวมีคุณสมบัติที่เหมือนกันและคิกดาอินพุตของอินเวอร์เตอร์ตัวแรกจะเท่ากับค่าคิกดา V_{OH} หรือลอจิกหนึ่ง คิกดาเอาต์พุตของอินเวอร์เตอร์ตัวแรกจะเท่ากับค่าคิกดา V_{OL} หรือเทียบเท่ากับลอจิกศูนย์สัญญาณเอาต์พุตนี้จะถูกส่งผ่านจุดต่อภายในไปยังอินพุตของอินเวอร์เตอร์ตัวที่สอง โดยทั่วไปแล้วจุดต่อภายในเหล่านี้มีแนวโน้มที่จะทำให้เกิดการรบกวนขึ้นในระหว่างการส่งผ่านสัญญาณเป็นผลทำให้ระดับของของคิกดาที่อินพุตของอินเวอร์เตอร์ตัวที่สองมีค่ามากกว่าหรือน้อยกว่าค่าคิกดา V_{OL} ถ้าระดับคิกดาที่อินพุตของอินเวอร์เตอร์ตัวที่สองมีค่าน้อยกว่าค่าคิกดา V_{OL} สัญญาณจะถูกแปลงอย่างถูกต้องโดยอินเวอร์เตอร์ตัวที่สองด้วยสัญญาณอินพุตเป็นลอจิกศูนย์ในทางตรงกันข้ามถ้าระดับคิกดาที่อินพุตของอินเวอร์เตอร์ตัวที่สองมีค่ามากกว่าค่าคิกดา V_{IL} ซึ่งเป็นผลมาจากการรบกวนในระหว่างการส่งผ่าน จะทำให้สัญญาณจะถูกแปลงอย่างไม่ถูกต้องโดยอินเวอร์เตอร์ตัวที่สองดังนั้นสามารถสรุปได้ว่า V_{IL} เป็นค่าคิกดาสูงสุดที่อนุญาตให้กับอินพุตของอินเวอร์เตอร์ตัวที่สองเพื่อให้แน่ใจว่าเอาต์พุตเป็นลอจิกหนึ่ง



รูปที่ 3.5 แสดงการส่งผ่านสัญญาณภายใต้อิทธิพลของการรบกวน

ต่อไปพิจารณาการส่งสัญญาณจากเอาต์พุตของอินเวอร์เตอร์ตัวที่สองไปยังอินเวอร์เตอร์ตัวที่สาม กำหนดให้สัญญาณเอาต์พุตจากอินเวอร์เตอร์ตัวที่สองเท่ากับค่าคิกดา V_{OH} จากกรณีที่ผ่านมา สัญญาณจะถูกการรบกวนและระดับของคิกดาอินพุตของอินเวอร์เตอร์ตัวที่สามจะมีค่าแตกต่างไปจากค่าคิกดา V_{OH} ถ้าระดับคิกดาที่อินพุตของอินเวอร์เตอร์ตัวที่สามมีค่ามากกว่าคิกดา V_{OH} สัญญาณจะถูกแปลงอย่างถูกต้องโดยอินเวอร์เตอร์ตัวที่สามด้วยสัญญาณอินพุตเป็นลอจิกหนึ่ง ในทางตรงกันข้าม ถ้าระดับคิกดาที่อินพุตของอินเวอร์เตอร์ตัวที่สามมีค่าต่ำกว่าค่าคิกดา V_{IH} ซึ่งเป็นผลมาจากการรบกวนในระหว่างการส่งผ่าน จะทำให้สัญญาณจะถูกแปลงอย่างไม่ถูกต้องโดยอินเวอร์เตอร์ตัวที่สาม ดังนั้นสามารถสรุปได้ว่า V_{IH} เป็นค่าคิกดาต่ำสุดที่อนุญาตให้กับอินพุตของอินเวอร์เตอร์ตัวที่สามเพื่อให้แน่ใจว่าเอาต์พุตเป็นลอจิกศูนย์

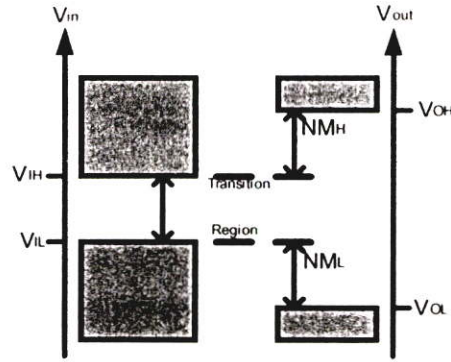
จากตัวอย่างที่ผ่านมาจะทำให้สามารถให้ความหมายของความสามารถทนต่อการรบกวนของวงจรถิจิตอลได้เป็นอย่างดีหรือเรียกว่า Noise Margin หรือ NM ซึ่งความสามารถทนต่อการรบกวนของวงจรถิจิตอลมี 2 ชนิด คือ NM_L (noise margin for low signal level) และ NM_H (noise margin for high signal level) เป็นดังนี้

$$NM_L = V_{IL} - V_{OL} \quad (3.3)$$

$$NM_H = V_{OH} - V_{IH} \quad (3.4)$$

กราฟของ Noise Margin สามารถแสดงได้ดังรูปที่ 3.6 ในส่วนที่ระบายที่บจะเป็นช่วงของคิกดาอินพุตและเอาต์พุตที่ใช้งาน และ Noise Margin จะถูกแสดงด้วยปริมาณของการเปลี่ยนแปลงของระดับสัญญาณที่อนุญาต ในขณะที่ทำการส่งผ่านจากเอาต์พุตตัวแรกไปยังอินพุตตัวที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

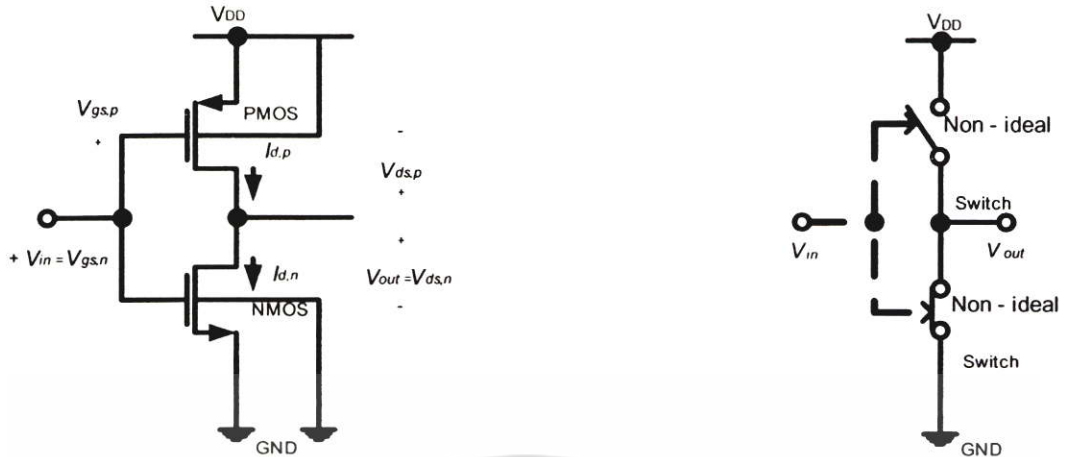


รูปที่ 3.6 แสดงค่า Noise Margins

ค่าทั้งสองนี้สามารถใช้พิจารณาการส่งผ่านและรับสัญญาณระหว่างอุปกรณ์ได้ด้วย จากรูปที่ 3.6 จะเห็นได้ว่าค่า NM_H และ NM_L จะต้องมีค่าเป็นบวกเสมอและควรจะมีขนาดใหญ่ที่สุดเท่าที่จะเป็นไปได้

3.3 ซีมอสอินเวอร์เตอร์

วงจรมอสอินเวอร์เตอร์แบบทั่วไปที่พิจารณาในหัวข้อที่ผ่านมาดังแสดงในรูปที่ 3.3 จะมีโครงสร้างที่ประกอบไปด้วยเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ที่เป็นมอสทรานซิสเตอร์ตัวขับและอุปกรณ์โหลด ในโครงสร้างแบบทั่วไปจะเห็นได้ว่าสัญญาณอินพุตจะต่อที่เกตของมอสทรานซิสเตอร์ตัวขับเสมอและการทำงานจะทำการสวิตช์ซึ่งที่มอสทรานซิสเตอร์ตัวขับเท่านั้น ต่อไปเราจะพิจารณาโครงสร้างของอินเวอร์เตอร์ที่แตกต่างไปจากแบบทั่วไป ซึ่งประกอบด้วยเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ให้ทำงานในโหมดคอมพลีเมนต์ทราวดังแสดงในรูปที่ 3.7 ซึ่งการต่อวงจรในรูปลักษณะแบบนี้จะถูกเรียกว่า Complementary MOS (CMOS) เป็นการต่อแบบ พุช-พูล คอมพลีเมนต์ทราวด์ ที่มีสภาวะการตอบสนองทางอินพุตสูง เอ็นมอสทรานซิสเตอร์จะเป็นตัวขับด้านเอาต์พุตในช่วงขาลง (Pull Down) ในขณะที่ พีมอสทรานซิสเตอร์ จะทำหน้าที่เสมือนเป็นโหลด สำหรับในสภาวะที่อินพุตเป็นช่วงขาลง (Low) พีมอสทรานซิสเตอร์ จะเป็นตัวขับด้านเอาต์พุต (Pull Up) ในขณะที่เอ็นมอสทรานซิสเตอร์ทำหน้าที่เสมือนเป็นโหลด จะเห็นได้ว่ามอสทรานซิสเตอร์ทั้งสองตัวจะทำงานอย่างเท่าเทียมกัน



ก) วงจรซีมอสอินเวอร์เตอร์

ข) วงจรซีมอสอินเวอร์เตอร์แบบง่าย

รูปที่ 3.7 วงจรซีมอสอินเวอร์เตอร์

เมื่อ	V_{in}	=	ศักดาอินพุต
	V_{out}	=	ศักดาเอาต์พุต
	$V_{gs,n}$	=	ศักดาระหว่างเกตกับซอสของเอ็นมอสทรานซิสเตอร์
	$V_{gs,p}$	=	ศักดาระหว่างเกตกับซอสของพีมอสทรานซิสเตอร์
	$V_{ds,n}$	=	ศักดาระหว่างเดรนกับซอสของเอ็นมอสทรานซิสเตอร์
	$V_{ds,p}$	=	ศักดาระหว่างเดรนกับซอสของพีมอสทรานซิสเตอร์
	$I_{d,n}$	=	กระแสเดรนของเอ็นมอสทรานซิสเตอร์
	$I_{d,p}$	=	กระแสเดรนของพีมอสทรานซิสเตอร์

วงจรซีมอสอินเวอร์เตอร์จะมีข้อดีที่สำคัญสองข้อเมื่อเทียบกับอินเวอร์เตอร์ในรูปแบบอื่น ๆ ข้อแรกบางครั้งอาจจะเป็นเป็นข้อดีที่สุดที่สำคัญคือ การสิ้นเปลืองพลังงานในช่วงการทำงานปกติมีค่าน้อยมากหรือบางที่สามารถตัดทิ้งได้ ยกเว้นการสิ้นเปลืองพลังงานเนื่องจากกระแสรั่วไหลของมอส ข้อที่สองรูปแบบลักษณะของซีมอสจะทำให้การโอนถ่ายศักดาสามารถสวิงได้เต็มย่านระหว่างกราวด์ (0V) และศักดาไฟเลี้ยง (V_{DD}) การเคลื่อนที่ของ VTC จะมีลักษณะชัน

จากรูปที่ 3.7 จะให้ศักดาอินพุตต่อเข้าที่เกตของเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ ดังนั้นมอสทรานซิสเตอร์ทั้งสองจะถูกขับโดยตรงจากสัญญาณอินพุต (V_{in}) ส่วนฐานรอง (Substrate) ของเอ็นมอสทรานซิสเตอร์จะถูกต่ออยู่กับกราวด์ ขณะที่ฐานรองของพีมอสทรานซิสเตอร์จะต่ออยู่กับแหล่งจ่ายศักดาไฟเลี้ยงวงจร เพื่อทำการไบอัสย้อนกลับระหว่างรอยต่อเดรนและซอส ดังนั้นเมื่อศักดาที่ฐานรองของทั้งสองมีค่าเป็นศูนย์ ($V_{sb} = 0$) จึงทำให้มอสทรานซิสเตอร์ทั้งสองจะไม่มีผลกระทบเนื่องจากการไบอัสที่ฐานรอง จากรูปที่แสดงในรูปที่ 3.7 จะเห็นได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนูญ เต้ไหนาไปไซประเษขณดานการค้ำไม่วารณมีไต่ๆ ทั้งสิ้น อี้กั้ทั้งห้ามมิให้ดัดแปลงเนื้อหา และด้องอ้างอิงถึงเจ้าของเอกสารทุกคร้ังที่มีการนำ้ไปใช้

$$\begin{aligned} V_{gs,n} &= V_{in} \\ V_{ds,n} &= V_{out} \end{aligned} \quad (3.5)$$

และ

$$\begin{aligned} V_{gs,n} &= -(V_{DD} - V_{in}) \\ V_{ds,n} &= -(V_{DD} - V_{out}) \end{aligned} \quad (3.6)$$

ทำการวิเคราะห์กรณีง่าย 2 กรณี เมื่อศักดาอินพุตมีค่าน้อยกว่าศักดาเทรตโฮลด์ของเอ็นมอสทรานซิสเตอร์ ($V_{in} < V_{th}$) เอ็นมอสทรานซิสเตอร์จะหยุดทำงานในเวลาเดียวกันพีมอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้นเมื่อกระแสเดรนของมอสทรานซิสเตอร์ทั้งสองประมาณเท่ากับศูนย์ (ยกเว้นกระแสรั่วไหล) จะได้

$$I_{d,n} = I_{d,p} = 0 \quad (3.7)$$

ศักดาที่เดรนและซอสของพีมอสทรานซิสเตอร์จะเท่ากับศูนย์ ส่วนศักดาเอาต์พุตเท่ากับศักดาที่แหล่งจ่าย

$$V_{out} = V_{OH} = V_{DD} \quad (3.8)$$

ในทำนองเดียวกันเมื่อค่าศักดาอินพุตมีค่ามากกว่าค่าศักดาไฟเลี้ยงวงจรรวมกับศักดาเทรตโฮลด์ของพีมอสทรานซิสเตอร์ ($V_{in} > V_{DD} + V_{tp}$) จะทำให้พีมอสทรานซิสเตอร์หยุดทำงาน ในกรณีนี้ เอ็นมอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้น แต่ศักดาที่เดรนกับซอสเท่ากับศูนย์ เนื่องจากเป็นไปตามเงื่อนไขสมการที่ 3.7 ดังนั้นศักดาที่เอาต์พุตของวงจรจะเป็น

$$V_{out} = V_{OL} = 0 \quad (3.9)$$

ต่อไปจะทำการทดสอบการทำงานในโหมดต่าง ๆ ของเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ตามฟังก์ชัน ของศักดาอินพุตและเอาต์พุต เอ็นมอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัว (Saturation) ถ้าศักดาอินพุตมีค่ามากกว่าศักดาเทรตโฮลด์ ($V_{in} > V_{th}$) และถ้าเงื่อนไขเหล่านี้เหมาะสม

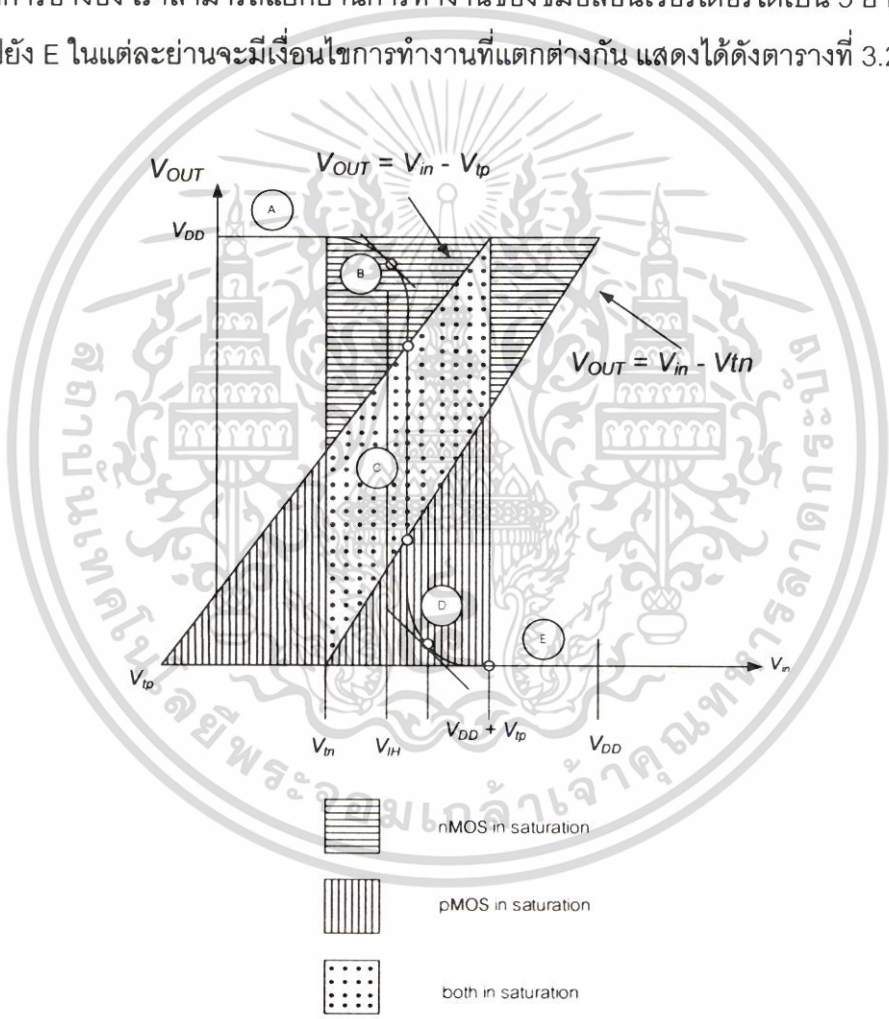
$$V_{ds,n} \quad [V_{gs,n} - V_{th}] \quad V_{out} \quad [V_{in} - V_{th}] \quad (3.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่มอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัว (Saturation) ถ้าศักดาอินพุตมีค่าน้อยกว่าศักดาไฟเลี้ยงวงจรรวมกับศักดาเทรตโฮลด์ ($V_{in} < (V_{DD} + V_{tp})$) และถ้าเงื่อนไขเหล่านี้เหมาะสม

$$V_{ds,p} = [V_{gs,p} - V_{tp}] = V_{out} - [V_{in} - V_{tp}] \tag{3.11}$$

เงื่อนไขการทำงานในช่วงอิ่มตัวของอุปกรณ์ทั้งสองสามารถแสดงได้ ในแถบที่ขอบบนแกนของ $V_{in} - V_{out}$ ดังรูปที่ 3.8 ตัวอย่างคุณลักษณะการโอนถ่ายศักดาของซีมอสอินเวอร์เตอร์แสดงซ้อนไว้เพื่อให้ง่ายต่อการอ้างอิง เราสามารถแยกย่านการทำงานของซีมอสอินเวอร์เตอร์ได้เป็น 5 ย่าน โดยแสดงได้จาก A ไปยัง E ในแต่ละย่านจะมีเงื่อนไขการทำงานที่แตกต่างกัน แสดงได้ดังตารางที่ 3.2



รูปที่ 3.8 แสดงย่านการทำงานของเอ็นมอสและพีมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 แสดงเงื่อนไขการทำงานของซิมอสอินเวอร์เตอร์

Region	V_{in}	V_{out}	NMOS	PMOS
A	$< V_{in}$	V_{OH}	Cut-off	Linear
B	V_{IL}	High V_{OH}	Saturation	Linear
C	V_{th}	V_{th}	Saturation	Saturation
D	V_{IH}	Low V_{OL}	Linear	Saturation
E	$>> (V_{DD} + V_{tp})$	V_{OL}	Linear	Cut-off

3.3.1 การคำนวณค่าศักดาอินพุตมากที่สุดเมื่อเป็นโลจิก "0" หรือ (V_{IL})

จากข้อกำหนดที่ว่า ค่าความชันของ VTC จะเท่ากับลบหนึ่ง ($dV_{out}/dV_{in} = -1$) [22] เมื่อศักดาอินพุตเท่ากับศักดา V_{IL} ($V_{in} = V_{IL}$) แสดงว่าในกรณีนี้ เอ็นมอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัวขณะที่พีมอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้น จากเมื่อกระแสเดรนของทั้งสองมีค่าเท่ากัน ($I_{d,n} = I_{d,p}$) ดังนั้นสามารถหาสมการกระแสได้ดังนี้

$$\frac{k_n}{2}(V_{gs,n} - V_{tn})^2 = \frac{k_p}{2}[2(V_{gs,p} - V_{tp})V_{ds,p} - V_{ds,p}^2] \quad (3.12)$$

จากสมการ (3.5) และ (3.6) สามารถเขียนสมการใหม่ได้ดังนี้

$$\frac{k_n}{2}(V_{in} - V_{tn})^2 = \frac{k_p}{2}[2(V_{in} - V_{DD} - V_{tp})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2] \quad (3.13)$$

เพื่อหาข้อกำหนดที่เหมาะสมที่ค่าศักดา V_{IL} จะทำการ Differentiate สมการ (3.13) ทั้งสองด้านเทียบกับ V_{in}

$$k_n(V_{in} - V_{tn}) = k_p \left[(V_{in} - V_{DD} - V_{tp}) \frac{dV_{out}}{dV_{in}} + (V_{out} - V_{DD})^2 - (V_{out} - V_{DD}) \frac{dV_{out}}{dV_{in}} \right] \quad (3.14)$$

แทนค่า $V_{in} = V_{IL}$ และ $dV_{out}/dV_{in} = -1$ ในสมการที่ (3.14) [22] จะได้

เอกสารนี้เป็นเอกสาร $k_n(V_{IL} - V_{tn}) = k_p(2V_{out} - V_{IL} + V_{tp} - V_{DD})$ นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ (3.15) ค่า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ศักดา V_{IL} วิถีสามารถหาได้จากฟังก์ชันของศักดาเอาต์พุต (V_{out}) เป็นดังนี้

$$V_{IL} = \frac{2V_{out} + V_{tp} - V_{DD} + k_R V_m}{1 + k_R} \quad (3.16)$$

โดยที่ k_R แสดงได้ดังนี้

$$k_R = \frac{k_n}{k_p} \quad (3.17)$$

เมื่อ k_n = ค่าทรานคอนดักเตนซ์ของเอ็นมอสทรานซิสเตอร์

k_p = ค่าทรานคอนดักเตนซ์ของพีมอสทรานซิสเตอร์

3.3.2 การคำนวณหาค่าศักดาอินพุตน้อยที่สุดเมื่อเป็นโลจิก “1” หรือ (V_{IH})

เมื่อศักดาอินพุตเท่ากับศักดา V_{IH} เอ็นมอสทรานซิสเตอร์จะทำงานในช่วงเชิงเส้นและพีมอสทรานซิสเตอร์จะทำงานในช่วงอิ่มตัวใช้สมการกระแสของเคอร์ชอฟที่จุดเอาต์พุตจะได้

$$\frac{k_n}{2} [2(V_{gs,n} - V_{in})V_{ds,n} - V_{ds,n}^2] = \frac{k_p}{2} (V_{gs,p} - V_{tp})^2 \quad (3.18)$$

ใช้สมการ (3.5) และ (3.6) สามารถเขียนสมการใหม่ได้ดังนี้

$$\frac{k_n}{2} [2(V_{in} - V_{th})V_{out} - V_{out}^2] = \frac{k_p}{2} (V_{in} - V_{DD} - V_{tp})^2 \quad (3.19)$$

ทำการ Differentiate สมการ (3.19) ทั้งสองด้านเทียบกับ V_{in}

$$\begin{aligned} k_n (V_{in} - V_{th}) \frac{dV_{out}}{dV_{in}} + V_{out} - V_{out} \frac{dV_{out}}{dV_{in}} \\ = k_p (V_{in} - V_{DD} - V_{tp}) \end{aligned} \quad (3.20)$$

แทนค่า $V_{in} - V_{th}$ และ $dV_{out} / dV_{in} = -1$ [22] ในสมการที่ (3.20) จะได้

$$k_n(-V_{IH} + V_{in} + 2V_{out}) = k_p(V_{IH} - V_{DD} - V_{tp}) \quad (3.21)$$

ศักดา V_{IH} วิถีปฏิบัติสามารถหาได้จากฟังก์ชันของศักดาเอาต์พุต (V_{out}) เป็นดังนี้

$$V_{IH} = \frac{V_{DD} + V_{tp} + k_R(2V_{out} + V_{in})}{1 + k_R} \quad (3.22)$$

3.3.3 การคำนวณหาศักดาเทรตไฮลด์ของอินเวอร์เตอร์ (V_{th})

ศักดาเทรตไฮลด์ของอินเวอร์เตอร์สามารถแสดงได้เมื่อศักดาเทรตไฮลด์ของอินเวอร์เตอร์เท่ากับ ศักดาอินพุตและเท่ากับศักดาเอาต์พุต ($V_{th} = V_{in} = V_{out}$) เมื่อซีมอสอินเวอร์เตอร์มีค่า Noise margin ที่กว้างและมีความชันของกราฟ VTC ศักดาเทรตไฮลด์ของอินเวอร์เตอร์ จะเป็นตัวแปรคุณลักษณะทาง ศักดาไฟตรงที่สำคัญของอินเวอร์เตอร์ เมื่อศักดาอินพุตเท่ากับศักดาเอาต์พุต ($V_{in} = V_{out}$) มอส ทรานซิสเตอร์ทั้งสองจะทำงานในช่วงอิมิตัว ดังนั้นสามารถเขียนสมการกระแสของเคอร์ซอพ ได้ดังนี้

$$\frac{k_n}{2}(V_{gs,n} - V_{in})^2 = \frac{k_p}{2}(V_{gs,p} - V_{tp})^2 \quad (3.23)$$

แทนค่า $V_{gs,n}$ และ $V_{gs,p}$ ในสมการ (3.23) ด้วยสมการ (3.5) และ (3.6) จะได้

$$\frac{k_n}{2}(V_{in} - V_{in})^2 = \frac{k_p}{2}(V_{in} - V_{DD} - V_{tp})^2 \quad (3.24)$$

ทำการย้ายข้างหาค่า V_{in} จะได้

$$V_{in} \left(1 + \sqrt{\frac{k_p}{k_n}}\right) = V_{in} + \sqrt{\frac{k_p}{k_n}}(V_{DD} - V_{TP}) \quad (3.25)$$

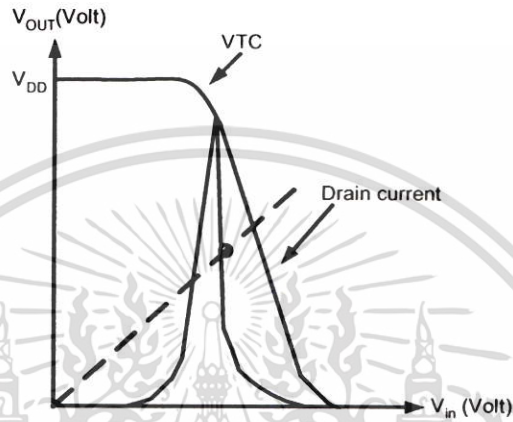
จะได้ค่า V_{th} เป็นดังนี้

$$V_{th} = \frac{V_{th} + \sqrt{\frac{1}{k_R}}(V_{DD} - V_{tp})}{1 + \sqrt{\frac{1}{k_R}}} \quad (3.26)$$

3.3.4 การออกแบบซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ศักดาเทรตไฮลด์ของอินเวอร์เตอร์ (V_{th}) จะเป็นตัวแปรที่สำคัญที่ใช้แสดงคุณสมบัติของอินเวอร์เตอร์ในสภาวะคงตัว คุณสมบัติที่ดีของซีมอสอินเวอร์เตอร์เป็นผลที่ได้จากการทำงานในโหมด พุช-พูล คอมพลีเมนต์ตารี จะทำให้ศักดาเอาต์พุตสวิงได้เต็มย่านระหว่างกราวด์ ($0V$) และศักดาไฟเลี้ยงวงจร (V_{DD}) จึงทำให้ Noise Margin มีค่ากว้าง ดังนั้นปัญหาในการออกแบบซีมอสอินเวอร์เตอร์จึงลดลง โดยการปรับค่าศักดาเทรตไฮลด์ของอินเวอร์เตอร์ (V_{th}) ให้เป็นไปตามที่ต้องการ



รูปที่ 3.9 แสดงตัวอย่าง VTC และกระแสจากแหล่งจ่าย

ถ้าให้ศักดาที่แหล่งจ่ายเป็น V_{DD} ศักดาเทรตไฮลด์ของเอ็นมอส V_{tn} และพีมอสทรานซิสเตอร์ V_{tp} และ ศักดาเทรตไฮลด์ของอินเวอร์เตอร์ V_{th} เป็นสิ่งที่ต้องการที่เกี่ยวกับอัตราส่วน k_R สามารถหาค่าได้ ดังนั้นทำการจัดรูปสมการ 3.26 ใหม่จะได้

$$\sqrt{\frac{1}{k_R}} = \frac{V_{th} - V_{tn}}{V_{DD} + V_{tp} - V_{th}} \quad (3.27)$$

จากนั้นทำการหาค่า k_R ที่ต้องการให้อยู่ในเทอมของ V_{th}

$$k_R = \frac{k_n}{k_p} = \frac{V_{DD} + V_{tp} - V_{th}}{V_{th} - V_{tn}}^2 \quad (3.28)$$

จากอินเวอร์เตอร์ทางอุดมคติการสวิทช์ของศักดาเทรตไฮลด์แสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{th,ideal} = \frac{1}{2} V_{DD} \quad (3.29)$$

แทนค่า (3.29) ใน (3.28) จะได้

$$\frac{k_n}{k_p} = \frac{0.5V_{DD} + V_{tp}}{0.5V_{DD} - V_{tn}} \quad (3.30)$$

สมการ (3.29) จะถูกต้อง เมื่อ VTC ของอินเวอร์เตอร์มีค่าใกล้เคียงกับทางอุดมคติ ดังนั้น เอ็นมอสและ พีมอสทรานซิสเตอร์ของซีมอสอินเวอร์เตอร์จะทำงานแบบสมบูรณ์แบบ สามารถทำให้คุณลักษณะสมมาตรทั้งด้านอินพุตและเอาต์พุตได้โดยการปรับค่าสัปดาห์เทรตโฮลด์ของมอสทรานซิสเตอร์ เป็น $V_i = V_m = |V_{tp}|$ ดังนั้นสมการ (3.30) สามารถลดรูปได้

$$\frac{k_n}{k_p} = 1 \quad (3.31)$$

และ k_R สามารถแสดงได้ดังนี้

$$\frac{k_n}{k_p} = \frac{\mu_n C_{ox} \frac{W}{L}_n}{\mu_p C_{ox} \frac{W}{L}_p} = \frac{\mu_n \frac{W}{L}_n}{\mu_p \frac{W}{L}_p} \quad (3.32)$$

ถ้าให้ความนำของเกตออกไซด์ (t_{ox}) และเกตออกไซด์คาแพซิแตนซ์ (C_{ox}) ของเอ็นมอสและพีมอส มีค่าเท่ากัน อัตราส่วนที่สมมาตรของอินเวอร์เตอร์ทางอุดมคติจะเป็น [22]

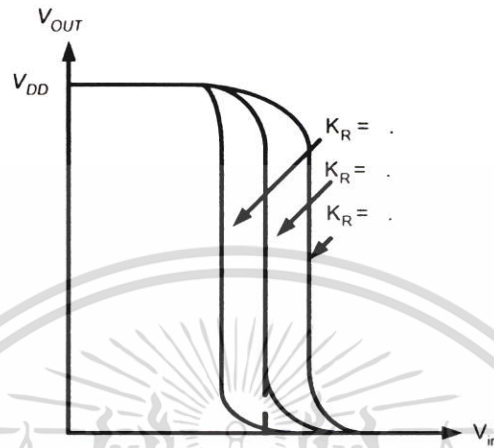
$$\frac{W}{L}_n = \frac{\mu_n}{\mu_p} \frac{230 \text{ cm}^2 / \text{V} \cdot \text{s}}{580 \text{ cm}^2 / \text{V} \cdot \text{s}}$$

(3.33)และ

$$\frac{W}{L}_p = 2.5 \frac{W}{L}_n \quad (3.34)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ L ารใช้งานเพื่อ L ารศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยตัวแปรค่าที่ใช้ในสมการ (3.33) เป็นเพียงค่าตัวอย่าง ส่วนค่า μ_n และ μ_p ที่แท้จริงจะขึ้นอยู่กับความเข้มข้นของพื้นผิวที่แพร่ไปในฐานรองและจุดต่อ VTC ของวงจรซีมอสอินเวอร์เตอร์ที่มีอัตราส่วน k_R ที่แตกต่างกัน สามารถแสดงได้ดังรูปที่ 3.10



รูปที่ 3.10 แสดงการโอนถ่ายทางคิกดาของวงจรซีมอสอินเวอร์เตอร์ที่อัตราส่วน k_R แตกต่างกัน

ในกรณีที่ซีมอสอินเวอร์เตอร์มีความสามารถ เมื่อ $V_m = |V_{tp}|$ คิกดาวิกฤติ V_{IL} สามารถหาได้จากสมการ (3.16) ดังนี้

$$V_{IL} = \frac{1}{8} (3V_{DD} + 2V_m) \quad (3.35)$$

และคิกดาวิกฤติ V_{IH} สามารถหาได้จาก

$$V_{IH} = \frac{1}{8} (5V_{DD} - 2V_m) \quad (3.36)$$

โดยผลรวมของ V_{IL} และ V_{IH} จะมีค่าเท่ากับ V_{DD} เสมอ ในกรณีอินเวอร์เตอร์แบบสมมาตร

$$V_{IH} + V_{IL} = V_{DD} \quad (3.37)$$

Noise margin NM_L และ NM_H ของอินเวอร์เตอร์แบบสมมาตร สามารถคำนวณโดยใช้ สมการ (3.3) และ (3.4)

$$\begin{aligned} NM_L &= V_{IL} - V_{OL} = V_{IL} \\ NM_H &= V_{OH} - V_{IH} = V_{DD} - V_{IH} \end{aligned} \quad (3.38)$$

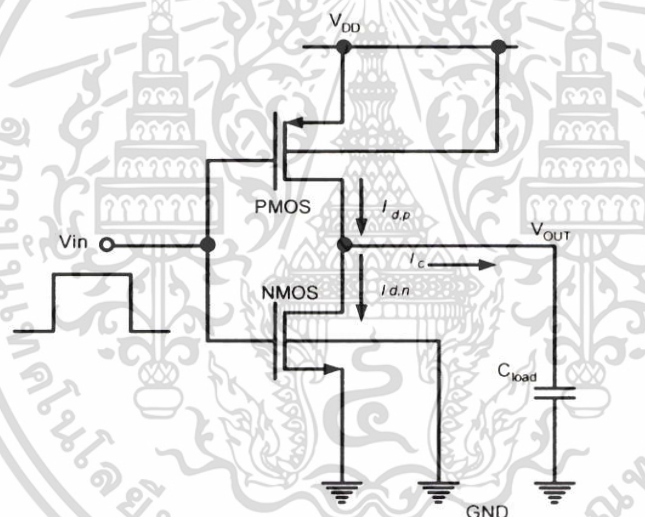
ซึ่งเมื่อทุกส่วนเท่ากัน ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ $NM_L = NM_H = V_{IL}$ ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ (3.39) ภายใต้อาณัติใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 คุณลักษณะการสวิตช์ของซีมอสอินเวอร์เตอร์

ในหัวข้อนี้จะสังเกตพฤติกรรมของการสวิตช์ของวงจรซีมอสอินเวอร์เตอร์คุณสมบัติการสวิตช์ของวงจรรวมทางดิจิทัลโดยเฉพาะอย่างยิ่งในวงจรอินเวอร์เตอร์มีความจำเป็นอย่างมากในการหาความเร็วในการทำงานรวมของระบบ ความต้องการทางสมรรถนะชั่วคราวของระบบดิจิทัลปกติแล้วจะเป็นคุณสมบัติที่สำคัญในการออกแบบวงจร ดังนั้นความเร็วในการสวิตช์ต้องมีการกำหนดและทำให้ดีที่สุดในช่วงการออกแบบ

คุณสมบัติการสวิตช์ของซีมอสอินเวอร์เตอร์โดยการพิจารณาวงจรซีมอสอินเวอร์เตอร์กับโหลดคาแพซิแตนซ์ที่แสดงได้ดังรูปที่ 3.11 การวิเคราะห์ห้วงจรสามารถทำได้ง่ายขึ้น ด้วยการหาค่าเวลาในการประจุและคายประจุของโหลดคาแพซิเตอร์ โดยทรานซิสเตอร์เพียงตัวเดียวโดยจะแสดงรายละเอียดในหัวข้อต่อไป



รูปที่ 3.11 แสดงซีมอสอินเวอร์เตอร์กับโหลดคาแพซิแตนซ์

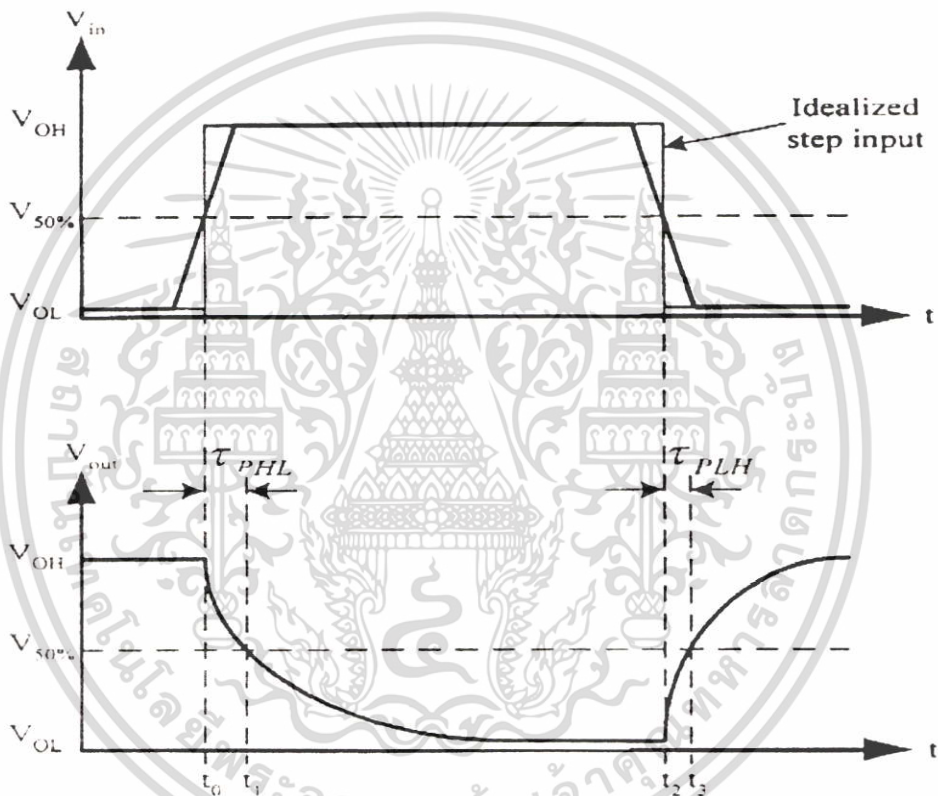
3.4.1 คำจำกัดความของการหน่วงเวลา

ก่อนทำการหาคุณสมบัติการสวิตช์ของซีมอสอินเวอร์เตอร์จะต้องแสดงคำจำกัดความของการหน่วงเวลาที่จะใช้ในการพิจารณา ตัวอย่างรูปแบบสัญญาณอินพุตและเอาต์พุตของอินเวอร์เตอร์ ดังแสดงในรูปที่ 3.12 จะแสดงค่าการหน่วงเวลาในช่วงขาขึ้น (τ_{PHL}) และค่าการหน่วงเวลาในช่วงขาลง (τ_{PLH}) โดยค่าการหน่วงเวลาทั้งสองจะเป็นตัวกำหนดเวลาการหน่วงในการส่งผ่านสัญญาณอินพุตไปยังเอาต์พุต ในช่วงเวลา High-to-Low และ Low-to-High ของสัญญาณเอาต์พุตตามลำดับ คำจำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความของ τ_{PHL} จะเป็นค่าการหน่วงเวลาระหว่างสัญญาณคิกดาอินพุตขาขึ้นจากศูนย์จนถึง 50% ($V_{50\%}$) และทำให้คิกดาเอาต์พุตลดลงจนถึง 50% ในทางคล้ายกัน τ_{PLH} จะเป็นค่าการหน่วงเวลาระหว่างสัญญาณคิกดาอินพุตลดลงจาก 50% ($V_{50\%}$) และทำให้คิกดาเอาต์พุตเคลื่อนที่ขึ้นจนถึง 50% ระดับคิกดาที่ 50% จะแสดงได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2} (V_{OH} - V_{OL}) = \frac{1}{2} (V_{OL} + V_{OH}) \quad (3.40)$$



รูปที่ 3.12 ตัวอย่างรูปแบบสัญญาณอินพุตและเอาต์พุตของซีมอสอินเวอร์เตอร์

ค่าการหน่วงเวลาในช่วงขาขึ้น (τ_{PHL}) และค่าการหน่วงเวลาในช่วงขาลง (τ_{PLH}) สามารถหาได้จากรูปที่ 3.12 ได้ดังนี้

$$\begin{aligned} \tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2 \end{aligned} \quad (3.41)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

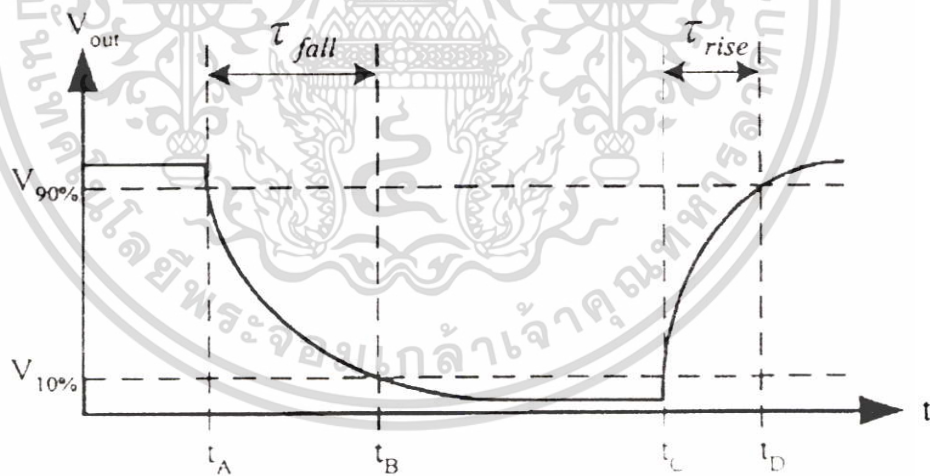
ค่าเฉลี่ยการหน่วงเวลา (τ_p) ของอินเวอร์เตอร์เป็นเวลาเฉลี่ยที่ต้องการของสัญญาณอินพุตในการส่งผ่านอินเวอร์เตอร์จะเป็นดังนี้

$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (3.42)$$

พิจารณารายละเอียดที่แสดงในรูปที่ 3.13 จะเป็นการแสดงช่วงเวลายาวขึ้น (Rise times: τ_{rise}) และเวลาขาลง (Fall times: τ_{fall}) ของคิกคาเอาต์พุต เวลาขาลงเป็นเวลาที่ต้องการสำหรับคิกคาเอาต์พุตเพิ่มขึ้นจากระดับ 10% ($V_{10\%}$) ไปยังระดับ 90% ($V_{90\%}$) ในทางคล้ายคลึงกัน เวลาขาลงเป็นเวลาที่ต้องการสำหรับคิกคาเอาต์พุตลดลงจากระดับ 90% ($V_{90\%}$) ไปยังระดับ 10% ($V_{10\%}$) คิกคาที่ระดับ $V_{10\%}$ และ $V_{90\%}$ สามารถแสดงได้ดังนี้

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (3.43)$$

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (3.44)$$



รูปที่ 3.13 เวลาขึ้นและลงของคิกคาเอาต์พุต

เวลาขาลงและขาลงของคิกคาเอาต์พุตสามารถหาได้จากรูปที่ 3.13 ได้ดังนี้

$$\tau_{fall} = t_B - t_A \quad (3.45)$$

$$\tau_{rise} = t_D - t_C$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 การหาค่าการหน่วงเวลา

การคำนวณหาค่าการหน่วงเวลาในช่วงขาขึ้น (τ_{PHL}) และค่าการหน่วงเวลาในช่วงขาลง (τ_{PLH}) สามารถหาได้บนพื้นฐานของการหากระแสคาแพซิแตนซ์เฉลี่ยในช่วงการประจุและการคายประจุตามลำดับ ตัวแปรต่าง ๆ ที่ใช้ในการคำนวณหาค่าการหน่วงเวลามีดังนี้

τ_{PHL}	=	ค่าการหน่วงเวลาในช่วงขาขึ้น
τ_{PLH}	=	ค่าการหน่วงเวลาในช่วงขาลง
C_{load}	=	โหลดคาแพซิแตนซ์
I_{avg}	=	กระแสคาแพซิแตนซ์
I_C	=	กระแสโหลดคาแพซิแตนซ์
$I_{d.n}$	=	กระแสเดรนของเอ็นมอสทรานซิสเตอร์
$I_{d.p}$	=	กระแสเดรนของพีมอสทรานซิสเตอร์
V_{in}	=	ศักดาเทรตไฮลด์ของเอ็นมอสทรานซิสเตอร์
V_{ip}	=	ศักดาเทรตไฮลด์ของพีมอสทรานซิสเตอร์
k_n	=	ค่าทรานคอนดักแตนซ์ของเอ็นมอสทรานซิสเตอร์
k_p	=	ค่าทรานคอนดักแตนซ์ของพีมอสทรานซิสเตอร์
$V_{10\%}$	=	ระดับศักดาเอาต์พุตที่ 10%
$V_{50\%}$	=	ระดับศักดาเอาต์พุตที่ 50%
$V_{90\%}$	=	ระดับศักดาเอาต์พุตที่ 90%

ถ้ากระแสคาแพซิแตนซ์เฉลี่ย (I_{avg}) ในระหว่างการส่งผ่านประมาณให้เป็นค่าคงที่ ค่าการหน่วงเวลาจะเป็นดังนี้

$$\tau_{PHL} = \frac{C_{load} (V_{OH} - V_{10\%})}{I_{avg.HL}} \quad (3.46)$$

$$\tau_{PLH} = \frac{C_{load} (V_{90\%} - V_{OL})}{I_{avg.LH}} \quad (3.47)$$

โดยกระแสเฉลี่ยในช่วงการส่งผ่าน High-to-Low สามารถคำนวณได้โดยใช้ค่ากระแสที่จุดเริ่มต้นและจุดจบของการส่งผ่าน

$$I_{avg.HL} = \frac{1}{2} [I_{d.n} (V_{in} = V_{OH}, V_{out} = V_{90\%}) + I_{d.n} (V_{in} = V_{OH}, V_{out} = V_{10\%})] \quad (3.48)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{avg, HL} = \frac{1}{2} \frac{k_n}{2} (V_{in} - V_{th})^2 + \frac{k_n}{2} (2(V_{in} - V_{th})V_{out} - V_{out}^2) \quad (3.49)$$

ในทางคล้ายกัน ค่ากระแสคาแพซิแตนซ์เฉลี่ยในช่วงการส่งผ่าน Low-to-High เป็นดังนี้

$$I_{avg, LH} = \frac{1}{2} [I_{d,p}(V_{in} = V_{OL}, V_{out} = V_{10\%}) + I_{d,p}(V_{in} = V_{OL}, V_{out} = V_{90\%})] \quad (3.50)$$

$$I_{avg, LH} = \frac{1}{2} \frac{k_p}{2} (V_{in} - |V_{tp}|)^2 + \frac{k_p}{2} (2(V_{in} - |V_{tp}|)V_{out} - V_{out}^2) \quad (3.51)$$

ในการใช้หลักการกระแสเฉลี่ยนั้น จะง่ายและต้องการการคำนวณเพียงเล็กน้อย มันจะไม่จำกัดการเปลี่ยนแปลงของกระแสคาแพซิแตนซ์ระหว่างจุดเริ่มต้นและจุดจบของการส่งผ่าน ดังนั้นเราจะไม่คาดหวังความถูกต้องในการคาดคะเนการหน่วงเวลาโดยใช้หลักการกระแสเฉลี่ย แต่มันยังคงใช้เป็นการคาดคะเนอย่างง่ายในช่วงแรกของเวลาในการประจุและคายประจุ

การหน่วงเวลาในการส่งผ่านสามารถคำนวณหาให้มีความถูกต้องได้โดยการหาค่าสมการสถานะที่จุดเอาต์พุตในขอบเขตเวลา สมการที่เกี่ยวข้องกับเอาต์พุตสามารถแสดงได้ดังนี้

$$C_{load} \frac{dV_{out}}{dt} = I_C = I_{d,p} - I_{d,n} \quad (3.52)$$

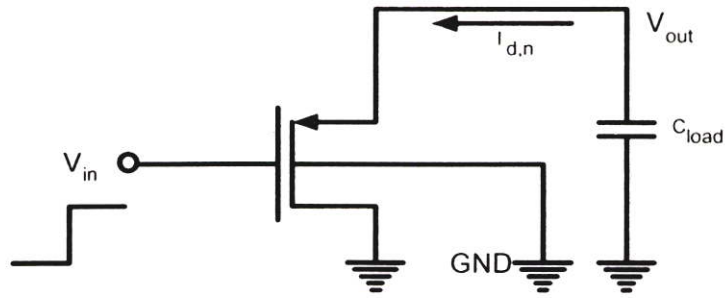
ขั้นแรกจะพิจารณา กรณีอินพุตขาขึ้นของวงจรมอสอินเวอร์เตอร์ เริ่มต้นกำหนดให้ศักดาเอาต์พุตมีค่าเท่ากับ V_{OH} เมื่อศักดาอินพุตเปลี่ยนจาก Low ไป High เอนมอสทรานซิสเตอร์เริ่มทำงานและทำการคายประจุโหลดคาแพซิแตนซ์ ในเวลาเดียวกันพีมอสทรานซิสเตอร์จะหยุดทำงาน ดังนี้

$$I_{d,p} = 0 \quad (3.53)$$

วงจรถัดแสดงในรูปที่ 3.11 สามารถลดลงเหลือเพียงเอนมอสทรานซิสเตอร์เพียงตัวเดียวและคาแพซิแตนซ์ดังแสดงในรูปที่ 3.14 สมการคายประจุจะเป็นดังนี้

$$C_{load} \frac{dV_{out}}{dt} = -I_{d,n} \quad (3.54)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 แสดงวงจรเทียบเคียง ของซีมอสอินเวอร์เตอร์ในขณะส่งผ่านช่วง High-to-Low

รูปแบบสัญญาณในช่วงการส่งผ่าน High-to-Low แสดงได้ดังรูปที่ 3.14 เมื่อเอ็นมอสทรานซิสเตอร์เริ่มนำกระแส มันจะเริ่มต้นทำงานในช่วงอิมิตัว เมื่อศักดาเอาต์พุตลดลงต่ำกว่าศักดาไฟเลี้ยงลบด้วยศักดาเทรต โวลต์ของเอ็นมอส ($V_{DD} - V_{in}$) เอ็นมอสทรานซิสเตอร์จะเริ่มทำงานในช่วงเชิงเส้น การทำงานทั้งสองช่วงสามารถแสดงได้ดังรูปที่ 3.15

ลำดับแรกพิจารณาเอ็นมอสทรานซิสเตอร์ทำงานในย่านอิมิตัว

$$I_{d,n} = \frac{k_n}{2} (V_{in} - V_m)^2$$

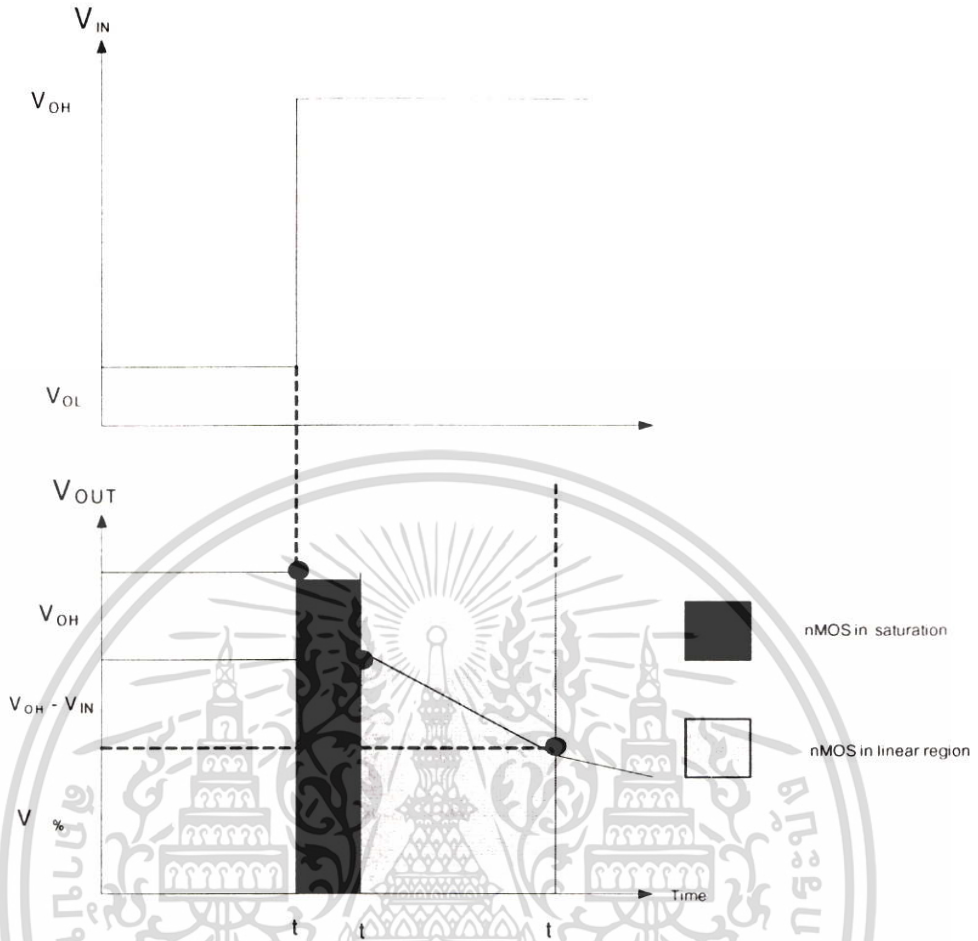
$$I_{d,n} = \frac{k_n}{2} (V_{OH} - V_m)^2 \quad \text{เมื่อ } V_{OH} - V_m < V_{out} - V_{OH}$$
(3.55)

เมื่อกระแสในย่านอิมิตัวในทางปฏิบัติจะเป็นอิสระจากศักดาเอาต์พุต (ตัดผลกระทบจากความยาวของแชลแนล) ผลที่ได้จากสมการ 3.54 ในช่วงเวลาระหว่าง t_0 และ t_1 สามารถหาได้ดังนี้

$$dt = -C_{load} \frac{1}{I_{d,n}} dV_{out}$$

$$\int_{t_0}^{t_1} dt = -C_{load} \int_{V_{OH}}^{V_{OH} - V_m} \frac{1}{I_{d,n}} dV_{out}$$
(3.56)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 คักดาอินพุตและเอาต์พุตในขณะการส่งผ่าน High-to-Low

แทนค่า $I_{d,n}$ จากสมการ 3.55 ลงในสมการ 3.56 จะได้เป็น

$$dt = \frac{2C_{load}}{k_n (V_{OH} - V_m)^2} dV_{out} \quad (3.57)$$

ทำการ Integrate สมการ 3.57 จะได้

$$t_1 - t_0 = \frac{2C_{load} V_m}{k_n (V_{OH} - V_m)^2} \quad (3.58)$$

ที่เวลา $t = t_1$ คักดาเอาต์พุตจะเท่ากับคักดาไฟเลี้ยงลบด้วยคักดาเทรตโฮลด์ ($V_{DD} - V_{th}$) และทรานซิสเตอร์จะทำงานอยู่ในขอบเขตช่วงอิมิตัวกับช่วงเชิงเส้น ต่อไปจะพิจารณาเอ็นมอสทรานซิสเตอร์ทำงานในช่วงเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{d,n} = \frac{k_n}{2} [2(V_{in} - V_m) V_{out} - V_{out}^2]$$

$$I_{d,n} = \frac{k_n}{2} [2(V_{OH} - V_m) V_{out} - V_{out}^2] \text{ เมื่อ } V_{out} = V_{OH} - V_m \quad (3.59)$$

ผลที่ได้จากสมการ 3.54 เวลาในช่วงระหว่าง t_1 และ t_2 สามารถหาได้ดังนี้

$$\int_{t_1}^{t_2} dt = -2C_{load} \int_{V_{OH}-V_m}^{V_{50\%}} \frac{1}{I_{d,n}} dV_{out} \quad (3.60)$$

แทนค่า $I_{d,n}$ จากสมการ 3.59 ลงในสมการ 3.60 จะได้เป็น

$$\int_{t_1}^{t_2} dt = -2C_{load} \int_{V_{OH}-V_m}^{V_{50\%}} \frac{1}{k_n [2(V_{OH} - V_m) V_{out} - V_{out}^2]} dV_{out} \quad (3.61)$$

ทำการ Integrate สมการ 3.61 จะได้

$$t_2 - t_1 = \frac{2C_{load}}{k_n} \frac{1}{2(V_{OH} - V_m)} \ln \left. \frac{2(V_{OH} - V_m) - V_{out}}{V_{out}} \right|_{V_{out}=V_{OH}-V_m}^{V_{out}=V_{50\%}} \quad (3.62)$$

เมื่อ $V_{50\%} = (V_{OH} + V_{OL})/2$ จากนั้นทำการรวมสมการ (3.58) กับ (3.63) จะได้เป็นหน่วยระหว่างการส่งผ่านจาก High-to-Low

$$\tau_{PHL} = (t_1 - t_0) + (t_2 - t_1) \quad (3.64)$$

$$\tau_{PHL} = \frac{C_{load}}{k_n(V_{OH} - V_m)} \frac{2V_m}{V_{OH} - V_m} + \ln \frac{4(V_{OH} - v_m)}{V_{OH} + V_{OL}} - 1 \quad (3.65)$$

เมื่อ $V_{OH} = V_{DD}$ และ $V_{OL} = 0$ ในกรณีนี้ สมการ (3.65) จะได้เป็น

$$\tau_{PHL} = \frac{C_{load}}{k_n(V_{DD} - V_m)} \frac{2V_m}{V_{DD} - V_m} + \ln \frac{4(V_{DD} - v_m)}{V_{DD}} - 1 \quad (3.66)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่คิกดาอินพุตเปลี่ยนจาก High ไปยัง Low เอ็นมอสทรานซิสเตอร์จะหยุดทำงานและโหลดคาแพซิแตนซ์จะถูกประจุผ่านพีมอสทรานซิสเตอร์ การหาเวลาการหน่วงจะคล้ายคลึงกับที่ผ่านมามากนั้น ค่าการหน่วงเวลาขาออกสามารถแสดงได้ดังนี้

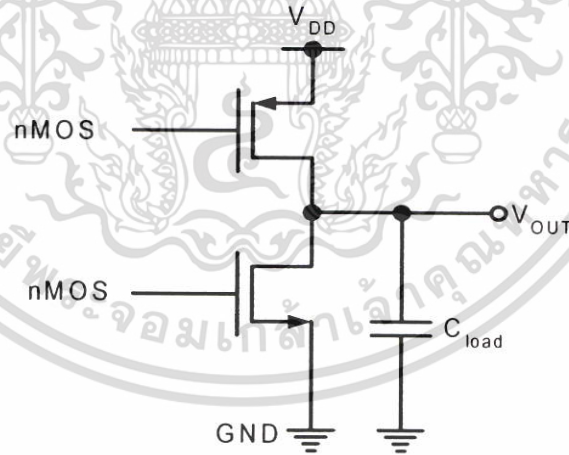
$$\tau_{PLH} = \frac{C_{load}}{k_p (V_{OH} - V_{OL} - |V_{tp}|)} \frac{2|V_{tp}|}{V_{OH} - V_{OL} - |V_{tp}|} + \ln \frac{4(V_{OH} - V_{OL} - |V_{tp}|)}{V_{OH} - V_{50\%}} - 1 \quad (3.67)$$

เมื่อ $V_{OH} = V_{DD} = V_{50\%} + V_{DD} / 2$ และ $V_{OL} = 0$ ในกรณีนี้ สมการ (3.67) จะได้เป็น

$$\tau_{PLH} = \frac{C_{load}}{k_p (V_{DD} - |V_{tp}|)} \frac{2|V_{tp}|}{V_{DD} - |V_{tp}|} + \ln \frac{4(V_{DD} - |V_{tp}|)}{V_{DD}} - 1 \quad (3.68)$$

3.3 ผลกระทบจากการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านขาขึ้น

การใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านขาขึ้นสามารถแสดงได้ดังรูปที่ 3.16 ผลกระทบจะทำให้คิกดาอินพุตไม่สามารถสวิงได้เต็มย่าน



รูปที่ 3.16 แสดงการใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับด้านเอาต์พุต

การวิเคราะห์โดยกำหนดให้คิกดาเริ่มต้นที่เอาต์พุตเป็นศูนย์ ($V_{out}(t=0) = (0V)$) เมื่อสัญญาณอินพุตเป็นลอจิก "1" ทำให้เอ็นมอสทรานซิสเตอร์เริ่มทำงานและเริ่มประจุโหลดคาแพซิแตนซ์ โดยเอ็นมอสทรานซิสเตอร์จะทำงานในช่วงอิมิตัวเนื่องจาก $V_{DD} > V_{gs} - V_m$ ดังนั้น

$$C_{load} \frac{dV_{out}}{dt} = \frac{k_n}{2} (V_{DD} - V_{out} - V_m)^2 \quad (3.69)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการ Integrate สมการ (3.69) จะได้

$$\int_0^t dt = \frac{2C_{load}}{k_n} \int_0^{V_{out}} \frac{dV_{OUT}}{(V_{DD} - V_{out} - V_{in})^2} \quad (3.70)$$

$$\int_0^t dt = \frac{2C_{load}}{k_n} \left. \frac{1}{(V_{DD} - V_{out} - V_{th})} \right|_0^{V_{out}} \quad (3.71)$$

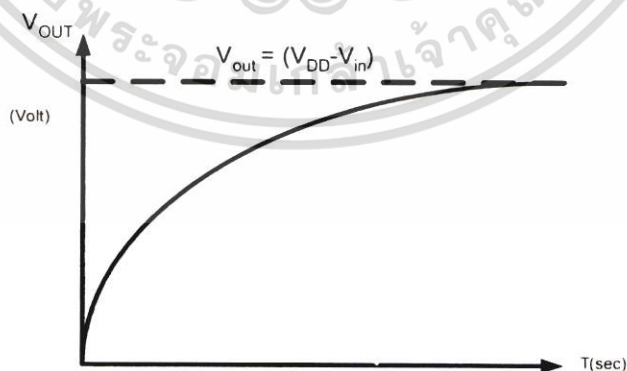
$$t = \frac{2C_{load}}{k_n} \left[\frac{1}{V_{DD} - V_{out} - V_{in}} - \frac{1}{V_{DD} - V_{in}} \right] \quad (3.72)$$

ทำการย้ายข้างเพื่อหาค่า $V_{out}(t)$ จะได้เป็น

$$V_{out}(t) = (V_{DD} - V_{in}) \frac{\frac{k_n (V_{DD} - V_{in})}{2C_{load}} t}{1 + \frac{k_n (V_{DD} - V_{in})}{2C_{load}} t} \quad (3.73)$$

การเปลี่ยนแปลง $V_{out}(t)$ ตามสมการ (3.72) สามารถเขียนตามฟังก์ชันเวลาได้ดังรูปที่ 3.17 ค่าศักดาจะเพิ่มขึ้นจากค่าเริ่มต้นจนกระทั่งจะถูกจำกัดที่ค่าๆหนึ่งเมื่อเวลาผ่านไปมากๆ แต่ไม่สามารถเพิ่มขึ้นจนถึงศักดาไฟเลี้ยง (V_{DD}) แต่มันจะถูกจำกัดอยู่ที่ $V_{DD} - V_{in}$ เอ็นมอสทรานซิสเตอร์จะหยุดทำงานเมื่อ $V_{out} = V_{DD}$ เนื่องจากที่จุดนี้ ศักดาที่เกตและซอสจะเท่ากับศักดาเทรตโฮลด์ ดังนั้นศักดาที่เอาต์พุตจึงไม่สามารถเพิ่มขึ้นจนถึง V_{DD} ได้ ศักดาเอาต์พุตที่แท้จริงสามารถแสดงได้ดังนี้

$$V_{max} = V_{out} \Big|_t = V_{DD} - V_{in} \quad (3.74)$$



รูปที่ 3.17 แสดงศักดาเอาต์พุตเมื่อใช้เอ็นมอสทรานซิสเตอร์เป็นตัวขับเคลื่อนเอาต์พุต
เมื่อเวลา t

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ทฤษฎีการทำงานของวงจรวกชนิดฟลูแอดเดอร์

4.1 บทนำ

วงจรวกถือเป็นวงจรทางคณิตศาสตร์และเป็นส่วนหนึ่งขององค์ประกอบหลักๆ ของการประมวลผลที่จะทำให้ผลลัพธ์ในการคำนวณถูกต้องแม่นยำและรวดเร็วเพื่อเพิ่มประสิทธิภาพของวงจร ในการออกแบบและพัฒนาตัวประมวลผลทางด้านดิจิทัล (Digital Signal Processor : DSP) และวงจรวกยังเป็นส่วนการคำนวณทางคณิตศาสตร์ (Arithmetic Logic Unit : ALU) หรือส่วนประมวลผลกราฟิก 3 มิติ (Floating Point Unit : FPU)

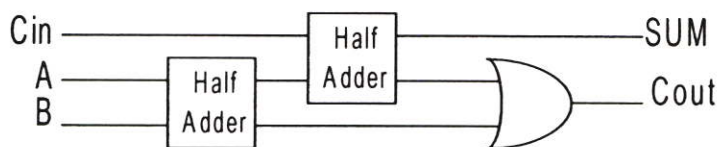
4.2 การทำงานของวงจรวกชนิดฟลูแอดเดอร์

วงจรวกชนิดฟลูแอดเดอร์ถือเป็นวงจรทางคณิตศาสตร์ที่ออกแบบมาเพื่อบวกเลขค่าไบนารีต่างๆ จะแสดงการบวกโดยมีตรรกะทางเข้า 3 ทาง ตรรกะทางออก 2 ทาง โดยมีอินพุต A,B และ C_{in} หรือตัวทดเข้า โดยอินพุตทั้งสามเมื่อบวกกันจะได้เอาท์พุตสองค่า คือ ค่าผลลัพธ์ (SUM) และเอาท์พุตตัวทด (Carry output)



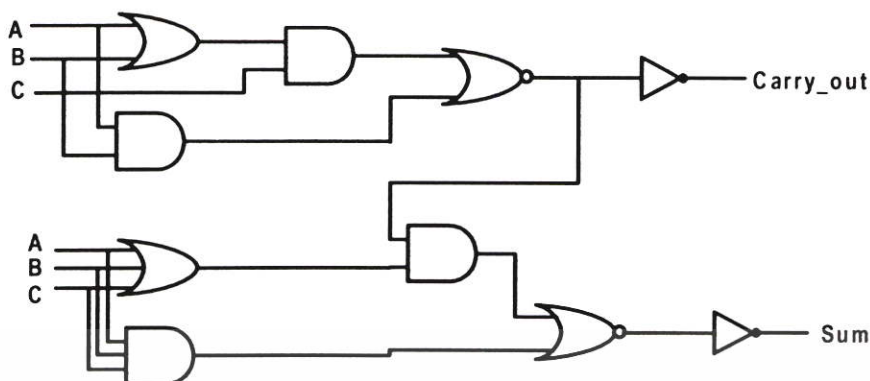
รูปที่ 4.1 ไดอะแกรมของวงจรวกชนิดฟลูแอดเดอร์

วงจรวกชนิดฟลูแอดเดอร์จะที่ออกแบบจะประกอบด้วยการบวกในส่วนของบิตที่ต่ำกว่า LSB (1s) และส่วนของการบวกในส่วนที่สอง MSB (2s, 3s...) จะเป็นการรวมผลลัพธ์ในการบวกสองค่าคือ ผลลัพธ์ส่วนแรกกับค่าของตัวทด



รูปที่ 4.2 โครงสร้างพื้นฐานของวงจรวกชนิดฟลูแอดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาและวิจัยเท่านั้น ไม่สามารถนำออกจำหน่ายหรือใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรบวกชนิดฟลูแอตเตอร์พื้นฐาน 1 บิต ในรูปแบบเกต

ตารางที่ 4.1 ค่าตารางความจริงของวงจรบวกชนิดฟลูแอตเตอร์

A	B	C	SUM	Carry_out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

จากค่าของผลลัพธ์ในตารางความจริงที่ 4.1 สามารถเขียนเป็นสมการของผลลัพธ์ได้ตามสมการที่ 4.1 ซึ่งมาจากค่าในตารางความจริงคือ

$$\begin{aligned}
 SUM &= A \oplus B \oplus C \\
 &= (\bar{A}B + A\bar{B}) \oplus C \\
 &= (\bar{A}B + A\bar{B})C + (\bar{A}B + A\bar{B})\bar{C} \\
 &= (\bar{A}B \oplus A\bar{B})C + (\bar{A}B + A\bar{B})\bar{C} \\
 &= [(A + \bar{B})(\bar{A} + B)]C + (\bar{A}B + A\bar{B})\bar{C} \\
 &= A\bar{A}C + ABC + \bar{A}\bar{B}C + B\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} \\
 &= ABC + \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C}
 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางความจริงสามารถเขียนสมการของวงจรวกชนิดฟลูแอตเตอร์ได้ดังนี้

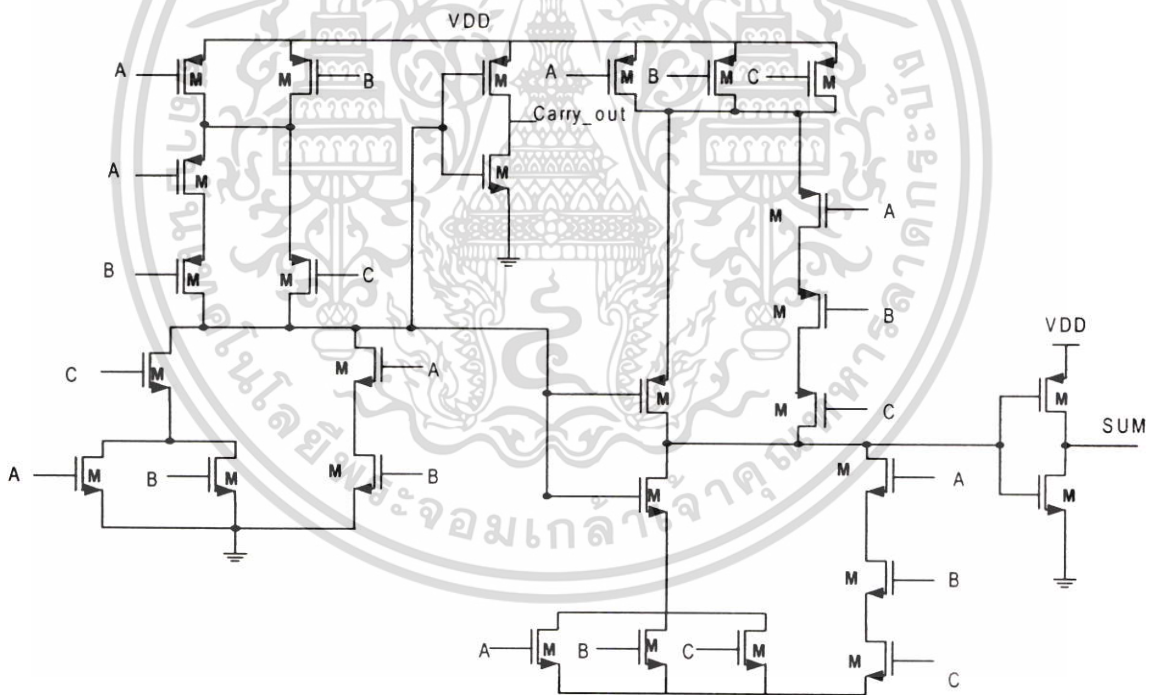
$$SUM_i = A_i \oplus B_i \oplus C_i \quad (4.1)$$

$$Carry_out = A_i B_i + C_i (A_i \oplus B_i) \quad (4.2)$$

4.3 วงจรวกชนิดฟลูแอตเตอร์ซีมอส

4.3.1 วงจรวกชนิดฟลูแอตเตอร์แบบพื้นฐาน

วงจรวกชนิดฟลูแอตเตอร์ซีมอส 28 ทราานซิสเตอร์แบบพื้นฐานจากวงจรวกชนิดฟลูแอตเตอร์ซีมอส 28 ทราานซิสเตอร์แบบพื้นฐาน เป็นการออกแบบโดยมอด 14 ตัว และมอดทราานซิสเตอร์ชนิดพีมอส 14 ตัว ซึ่งเป็นมอดที่ประกอบด้วยแอนด์เกต ออร์เกต และอินเวอร์เตอร์เกต



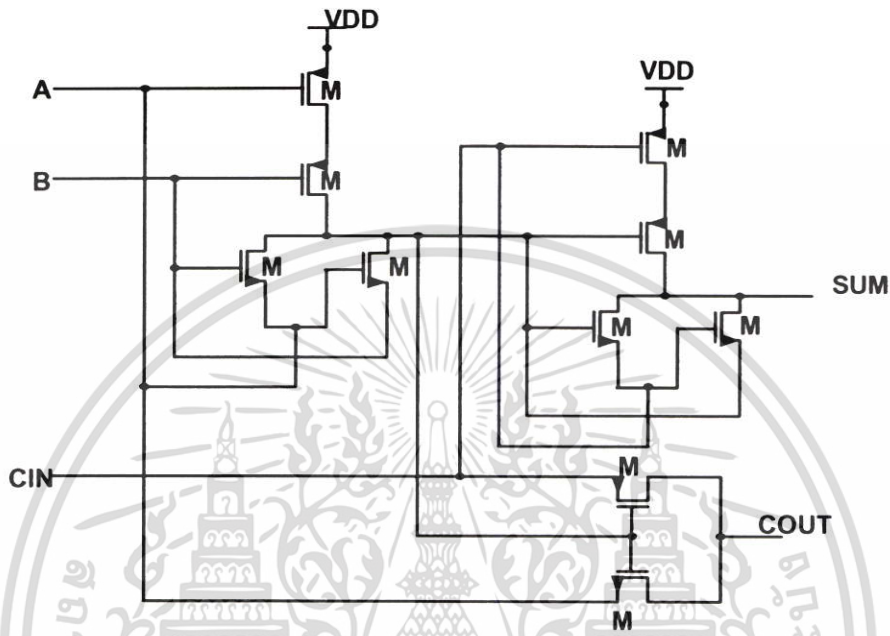
รูปที่ 4.4 วงจรวกชนิดฟลูแอตเตอร์ซีมอส 28 ทราานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 วงจรหน่วยฟลูแอตเตอร์ซีมอส Static Energy Recovery : SERF

วงจรวงจรหน่วยฟลูแอตเตอร์ซีมอส Static Energy Recovery : SERF แบบเก่า [2] ดังรูปที่

4.5



รูปที่ 4.5 วงจรวงจรหน่วยฟลูแอตเตอร์ซีมอส Static Energy Recovery : SERF [2]

โดยที่ M1, M2, M3 และ M4 เป็น เอ็กซ์คูซิฟนอร์เกต 4 ทรานซิสเตอร์แบบเก่า [2] หรือเรียกว่า SERF ทำหน้าที่ในการบวกบิตแรก LSB (1s) และ M5, M6, M7 และ M8 เป็นเอ็กซ์คูซิฟนอร์เกต 4 ทรานซิสเตอร์เหมือนกับส่วนการทำงานในบิตแรกตามรูปที่ 4.5 เป็นส่วนของผลลัพธ์ และส่วนของเอาต์พุตตัวทดใช้ซีมอสมัลติเพล็กซ์

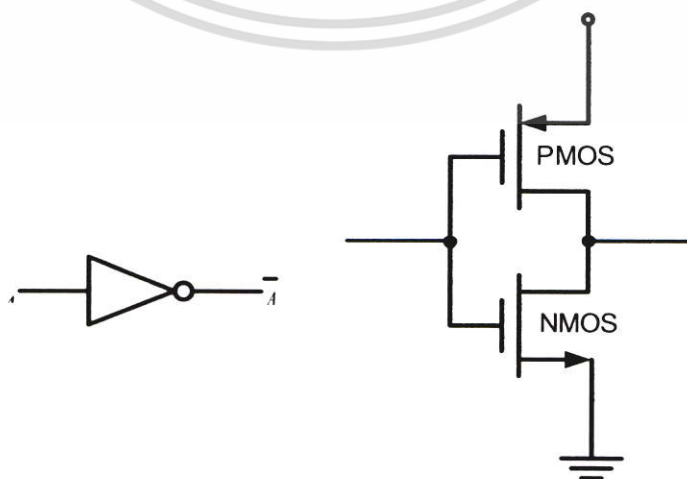
จากรูปที่ 4.5 กำหนดให้ A มีลอจิกเป็น 0 หรือ Low และ B มีลอจิกเป็น 0 หรือ Low มีผลทำให้ทรานซิสเตอร์ M1, M2 อยู่ในสถานะ ON และ M3, M4 อยู่ในสถานะ OFF เพราะฉะนั้นผลลัพธ์ของการบวกในส่วนแรกจะมีลอจิกเป็น 1 หรือระดับ V_{CC} เมื่อผลลัพธ์ในส่วนแรกมีระดับลอจิกเป็น 1 มีผลให้ทรานซิสเตอร์ M6 อยู่ในสถานะ OFF และ M7 อยู่ในสถานะ ON ส่วนทรานซิสเตอร์ M5 อยู่ในสถานะ ON เนื่องจากอินพุตตัวทดมีลอจิกเป็น 0 และ M8 อยู่ในสถานะ OFF ค่าผลลัพธ์ SUM ที่ได้จะมีค่าเป็นลอจิก 0 เนื่องจากทรานซิสเตอร์ M7 อยู่ในสถานะ ON ส่วนของเอาต์พุตตัวทด M9 อยู่ในสถานะ OFF M10 อยู่ในสถานะ ON Carry_input มีลอจิกเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

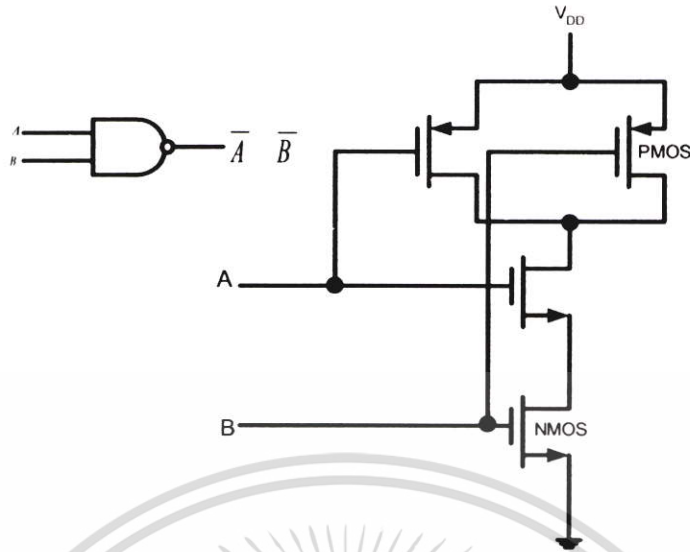
กำหนดให้ A มีลอจิกเป็น 0 หรือ Low และ B มีลอจิกเป็น 0 หรือ Low มีผลทำให้ทรานซิสเตอร์ M1, M2 อยู่ในสภาวะ ON และ M3, M4 อยู่ในสภาวะ OFF เพราะฉะนั้นผลลัพธ์ของการบวกในส่วนแรกจะมีลอจิกเป็น 1 หรือระดับ V_{CC} เมื่อผลลัพธ์ในส่วนแรกมีลอจิกเป็น 1 มีผลให้ทรานซิสเตอร์ M6 อยู่ในสภาวะ OFF และ M7 อยู่ในสภาวะ ON ส่วนทรานซิสเตอร์ M5 อยู่ในสภาวะ OFF เนื่องจากอินพุตตัวทตมีลอจิกเป็น 1 และ M8 อยู่ในสภาวะ ON ค่าผลลัพธ์ SUM ที่ได้จะมีค่าเป็นลอจิก 1 เนื่องจากทรานซิสเตอร์ M7, M8 อยู่ในสภาวะ ON ส่วนของเอาต์พุตตัวทต M9 อยู่ในสภาวะ OFF M10 อยู่ในสภาวะ ON $Carry_input$ มีลอจิกเป็น 0 กำหนดให้ A มีลอจิกเป็น 0 หรือ Low และ B มีลอจิกเป็น 1 หรือ High มีผลทำให้ทรานซิสเตอร์ M1, M3 อยู่ในสภาวะ ON และ M2, M4 อยู่ในสภาวะ OFF เพราะฉะนั้นผลลัพธ์ของการบวกในส่วนแรกจะมีลอจิกเป็น 0 เมื่อผลลัพธ์ในส่วนแรกมีลอจิกเป็น 0 มีผลให้ทรานซิสเตอร์ M6 อยู่ในสภาวะ ON และ M7 อยู่ในสภาวะ OFF ส่วนทรานซิสเตอร์ M5 อยู่ในสภาวะ ON เนื่องจากอินพุตตัวทตมีลอจิกเป็น 0 และ M8 อยู่ในสภาวะ OFF ค่าผลลัพธ์ SUM ที่ได้จะมีค่าเป็นลอจิก 1 หรือระดับ V_{CC} เนื่องจากทรานซิสเตอร์ M7, M8 อยู่ในสภาวะ OFF ส่วนของเอาต์พุตตัวทต M9 อยู่ในสภาวะ ON M10 อยู่ในสภาวะ OFF $Carry_input$ มีลอจิกเป็น 0 ตามค่าในตารางความจริงของวงจรรวมชนิดฟลูแอตเตอร์

4.4 วงจรพื้นฐานแบบซิมอสที่ใช้ในการออกแบบวงจรรวม

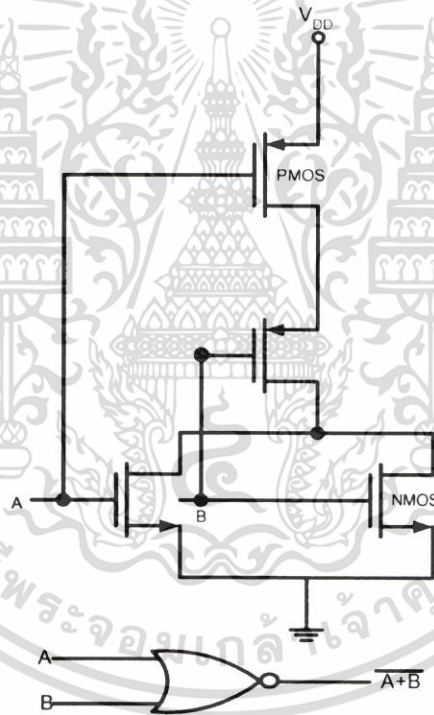
ในการออกแบบวงจรรวมเชิงเลขนั้น เราทำได้โดยการผสมวงจรถับหัว คือ วงจร NAND และ วงจร NOR เข้าด้วยกัน ส่วนวงจร AND และวงจร OR จะไม่กล่าวถึงเนื่องจากเทคโนโลยีแบบ MOS นั้น เราไม่สามารถสร้างวงจร AND และ OR ได้โดยตรง รูปที่ 4.9 แสดงการต่อทรานซิสเตอร์แบบ PMOS และ NMOS ของวงจรรวมอินเวอร์เตอร์ วงจร NAND และวงจร NOR



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(๑)



(ค)

รูปที่ 4.6 ตัวอย่างวงจรพื้นฐานแบบ CMOS

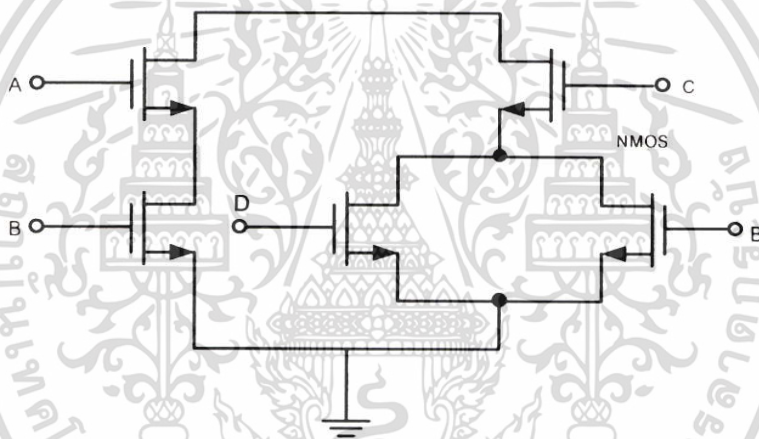
โครงสร้างของวงจรส่วน PMOS นั้น จะตรงข้ามกับโครงสร้างของวงจรส่วน NMOS ถ้าโครงสร้างของ PMOS ต่อขนานแล้ว โครงสร้างของ NMOS จะต่ออนุกรม โครงสร้างส่วน NMOS นั้นจะทำหน้าที่แบบให้ค่าจริง ดังตัวอย่างวงจร NAND ส่วน NMOS จะประกอบด้วยทรานซิสเตอร์แบบ NMOS ต่อกันแบบอนุกรม ซึ่งการต่อแบบนี้วงจรจะทำงานแบบ AND ดังนั้นในการต่อวงจรเอกสแบบ CMOS เราสามารถเขียนขั้นตอนการต่อและออกแบบวงจรได้ดังนี้

ให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

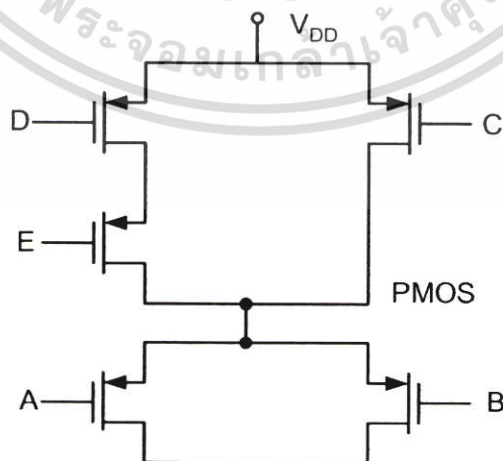
1. ถ้า F เป็นสมการบูลีน เราต้องวงจร NMOS ตามสมการ F

2. เปลี่ยนความสัมพันธ์จาก AND เป็น OR และ OR เป็น AND แล้วต้องวงจรตามสมการใหม่โดยใช้ทรานซิสเตอร์แบบ PMOS เช่น ถ้ามีสมการ $F = \overline{A.B + C.(D + E)}$ เราต้องสร้างวงจร CMOS สำหรับสมการนี้ ขั้นแรกสังเกตว่า สมการ $F = \overline{A.B + C.(D + E)}$ อยู่ในรูปไม่จริง ซึ่งรูปของสมการนี้เหมาะสำหรับวงจรแบบ MOS ดังนั้นเราสามารถขีดที่อยู่ข้างบนได้ ขั้นตอนต่อมาเราพิจารณาความสัมพันธ์ของตัวแปรภายใน $A.B + C.(D + E)$ ความสัมพันธ์นี้สร้างได้โดยตรงโดยใช้วงจร N-MOS ดังรูปที่ 4.7

ในส่วนของวงจร PMOS เราแปลง AND เป็น OR และ OR เป็น AND ดังนั้น สมการใหม่คือ $(A + B).(C + D.E)$ รูปที่ 4.8 แสดงวงจรส่วน PMOS และรูปที่ 4.9 แสดงวงจรของสมการ $F = \overline{A.B + C.(D + E)}$

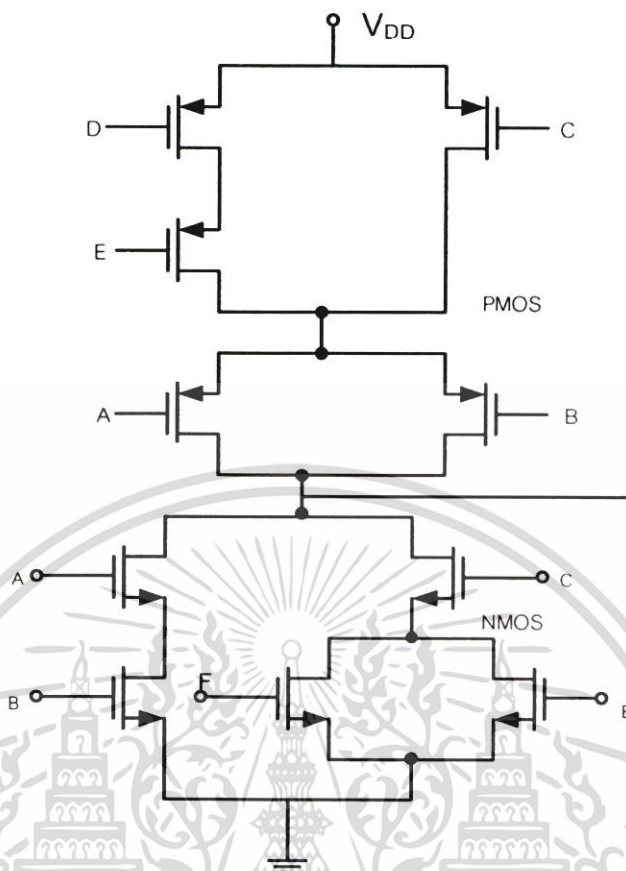


รูปที่ 4.7 วงจร NMOS สำหรับ $A.B + C.(D + E)$



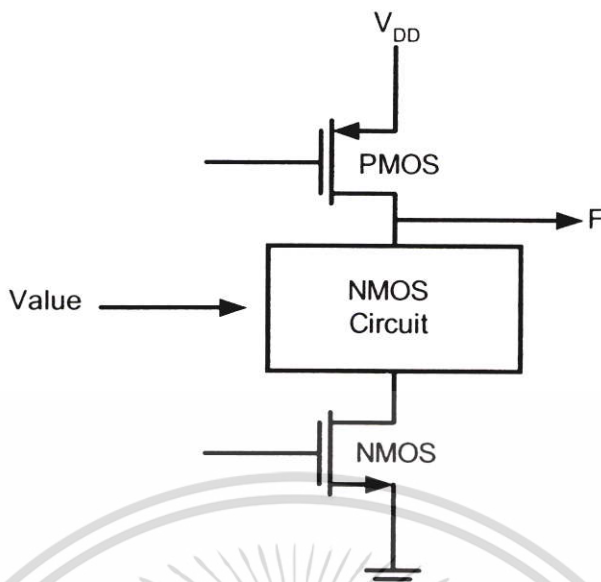
รูปที่ 4.8 วงจร PMOS สำหรับ $(A + B).(C + D.E)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจร CMOS สำหรับสมการ $F = AB + C(D + E)$

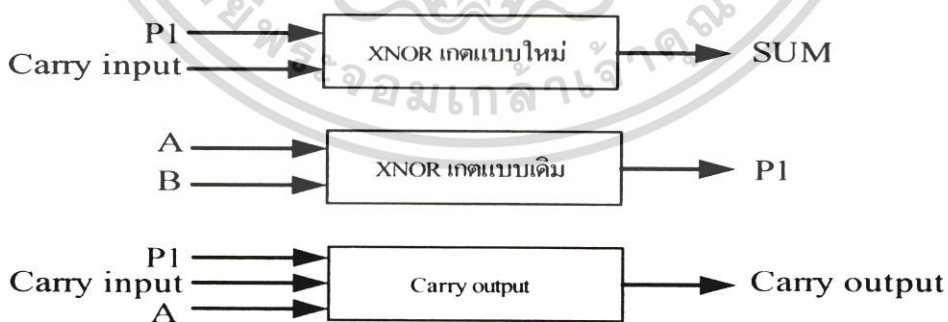
จากสมการ $F = AB + C(D + E)$ จำนวนทรานซิสเตอร์ทั้งหมดที่ใช้ในวงจร CMOS นั้น จะเท่ากับ 2 เท่าของจำนวนทรานซิสเตอร์ที่ใช้ในส่วน NMOS หรือ PMOS ดังนั้นถ้าเราต้องการจะ ใช้ CMOS สร้างวงจรที่ซับซ้อนแล้ว ขนาดของพื้นที่ที่ใช้จะเพิ่มขึ้นอย่างมากมาย ปัญหาจึงอยู่ที่ว่า จะปรับปรุงลักษณะของวงจร CMOS ได้อย่างไร โดยที่คุณสมบัติของวงจรใหม่ยังคงเป็นแบบ CMOS แต่ใช้จำนวนทรานซิสเตอร์น้อยลง คุณสมบัตินี้ที่สำคัญของ CMOS ก็คือกำลังที่ใช้ในวงจร น้อยกว่าแบบ NMOS มาก และจำนวนกระแสที่ไหลในวงจรอาจจะกล่าวได้ว่าไม่มี ดังนั้นการปรับปรุงวงจรทำได้โดยการปรับปรุงให้วงจรส่วนบนและส่วนล่าง เปิดปิดไม่พร้อมกัน จำนวน ทรานซิสเตอร์ของวงจรใหม่ที่จะตัดออกนั้น เราไม่สามารถตัดให้น้อยกว่าครึ่งหนึ่งของจำนวนที่ใช้ ในวงจร CMOS โดยอาศัยแนวดังกล่าวนี้ เราจะได้วงจรที่ปรับปรุงใหม่ ดังรูปที่ 4.10



รูปที่ 4.10 วงจรเสมือนวงจรแบบ CMOS

4.5 การออกแบบวงจรวกชนิดฟลูแอตเตอร์ซีมอสแบบใหม่

วงจรวก ชนิดฟลูแอตเตอร์ซีมอสแบบใหม่ ประกอบด้วยส่วนต่างๆ 3 ส่วนคือ ส่วนที่หนึ่งเป็นเอ็คคิวชันเนอร์เกต แบบ SERF [2] และส่วนที่สองเป็นเอ็คคิวชันเนอร์เกตแบบใหม่ที่ใช้โครงสร้างซีมอสอินเวอร์เตอร์ และส่วนเอาต์พุตตัวทดใช้ซีมอสมัลติเพล็กซ์ ซึ่งโครงสร้างของวงจรวกชนิดฟลูแอตเตอร์ซีมอสแบบใหม่ทั้งสามส่วนแสดงได้ดังรูปที่ 4.11

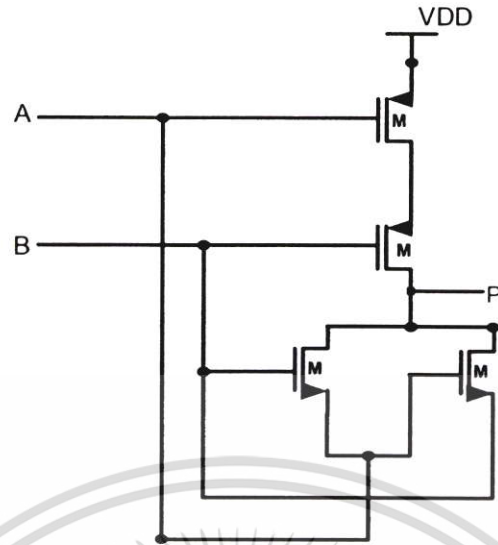


รูปที่ 4.11 แสดงบล็อกไดอะแกรมของวงจรวกชนิดฟลูแอตเตอร์ใหม่ที่นำเสนอ

ส่วนแรกของบล็อกไดอะแกรมจะเป็นส่วนเอ็คคิวชันเนอร์เกตที่ใช้โครงสร้าง SERF โดยมี

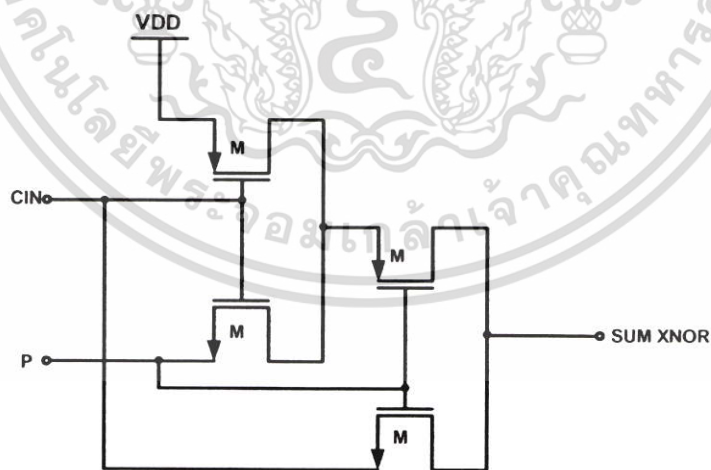
สัญญาณอินพุต A, B ทำหน้าที่ในการบวกบิตแรก LSB (1s) เอาท์พุตที่ได้กำหนดให้เป็น P1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 วงจรเอ็กซ์คูซิฟนอร์เกตสี่มอสทรานซิสเตอร์ใช้โครงสร้าง SERF

ส่วนที่สองเป็นเอ็กซ์คูซิฟนอร์เกตแบบ 4 ทรานซิสเตอร์ใหม่ ที่ใช้โครงสร้างของวงจรมอสอินเวอร์เตอร์ในการออกแบบ ทำหน้าที่ในการบวกบิตที่สูงกว่า กำหนดให้อินพุตเป็น P1 กับ ตัวทวดทางด้านอินพุต เอาท์พุตที่ได้คือค่าของผลลัพธ์ ส่วนที่สามของบล็อกไดอะแกรมเป็นส่วนหนึ่งของซีมอสมัลติเพล็กซ์และเป็นส่วนของเอาท์พุตตัวทวด

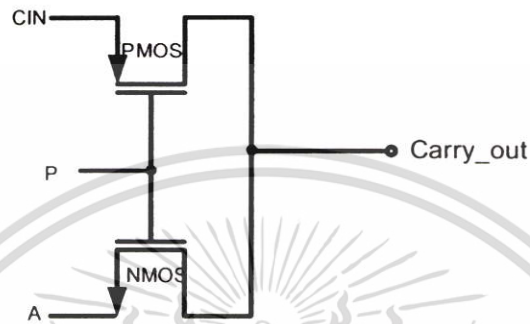


รูปที่ 4.13 วงจรเอ็กซ์คูซิฟนอร์เกตสี่มอสทรานซิสเตอร์ แบบใหม่ที่ใช้ออกแบบวงจรวกชนิดฟลูแอดเดอร์แบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.12 เป็นวงจรวงจรเอ็กซ์คูซิฟนอร์เกตซีมอสทรานซิสเตอร์ แบบใหม่ที่ใช้ออกแบบ วงจรบวกชนิดฟลูแอตเตอร์แบบใหม่ ซึ่งเอ็กซ์คูซิฟนอร์เกตสามารถออกแบบโดยอาศัยสมการบูล ลินดังนี้

$$A \bar{B} = (\bar{A} \bar{B}) + (A B) \quad (4.3)$$



รูปที่ 4.14 วงจรในส่วนเอาต์พุตตัวทด (Carry output)

วงจรวกชนิดฟลูแอตเตอร์ ออกแบบมาเพื่อบวกเลขค่าไบนารีต่างๆ จะแสดงการบวกโดย มีอินพุตคือ A,B และ C_n หรือตัวทดเข้า ซึ่งวงจรวกชนิดฟลูแอตเตอร์ที่ออกแบบนี้จะใช้บวกเลขไบนารีในตำแหน่งที่สูงกว่า MSB (2s,3s...) ด้วยจึงต้องบวกตัวทดที่ได้จากการบวก ของบิตที่ต่ำกว่า ด้วย โดยอินพุตทั้งสามเมื่อบวกกันจะได้เอาต์พุตสองค่า คือ ค่าผลลัพธ์ (SUM) และเอาต์พุตตัวทด (Carry output) สามารถเขียนสมการบูลลีน ของวงจรวกชนิดฟลูแอตเตอร์ที่ออกแบบใหม่ดังนี้

$$SUM = A \bar{B} \bar{C}_in \quad (4.4)$$

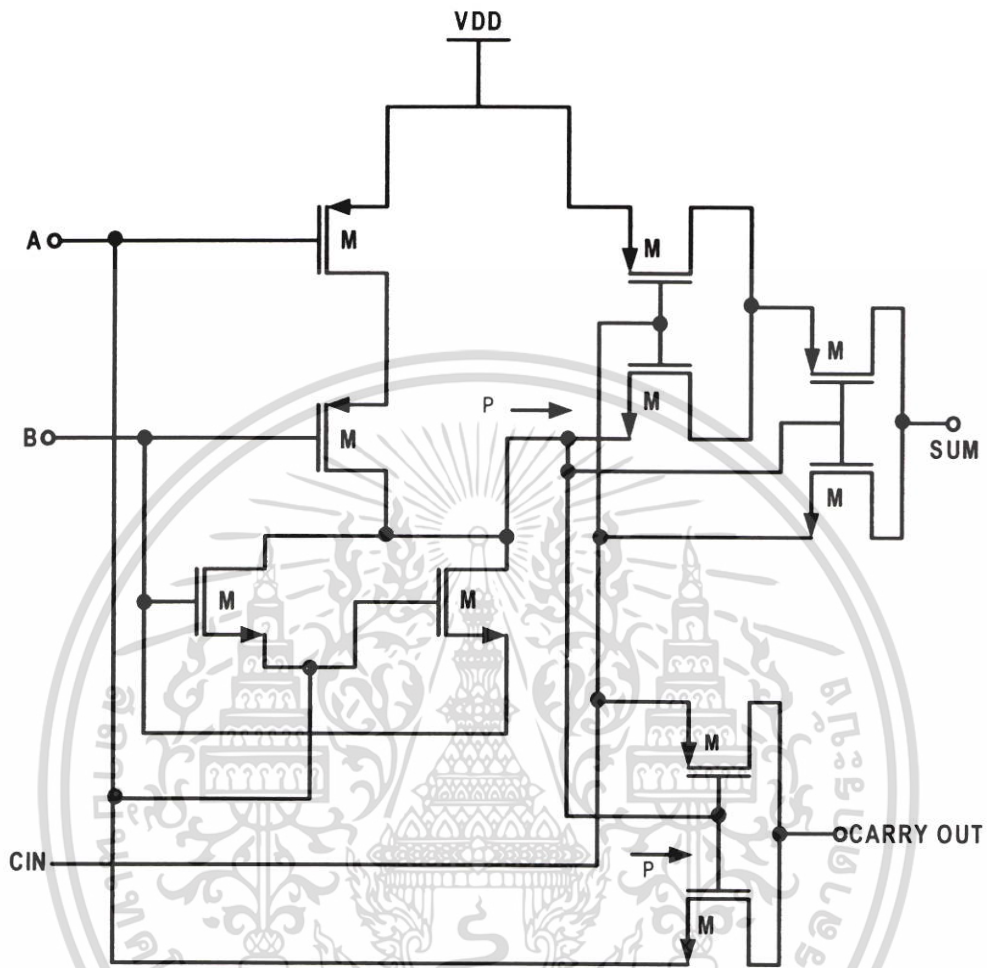
$$Carry_out = (A \bar{A} \bar{B}) + (C_in (A B)) \quad (4.5)$$

วงจรวกชนิดฟลูแอตเตอร์ซิมอสแบบใหม่

5.1 บทนำ

วงจรวกชนิดฟลูแอตเตอร์เป็นวงจรที่มีความสำคัญตามที่ได้กล่าวไว้ในบทที่ 4 ซึ่งมีเนื้อหาที่เกี่ยวข้องกับการออกแบบวงจรวกชนิดฟลูแอตเตอร์โดยใช้เทคโนโลยีซิมอสด้วยรูปแบบต่างๆ และเนื้อหาเกี่ยวกับการออกแบบวงจรวกชนิดฟลูแอตเตอร์ด้วยลอจิกเกต เพื่อให้เข้าใจหลักการทำงานและค่าพารามิเตอร์ที่ต้องคำนึงถึงในการออกแบบ สำหรับในบทนี้จะนำเอาทฤษฎีและหลักการที่ได้กล่าวมาแล้วมาออกแบบวงจรวกชนิดฟลูแอตเตอร์ซิมอสโดยวงจรวกชนิดฟลูแอตเตอร์ที่ออกแบบใหม่ในบทนี้เป็นวงจรวกชนิดฟลูแอตเตอร์ 1 บิตที่ออกแบบโดยอาศัยโครงสร้างทรานซิสเตอร์ เอ็กซ์คูซิฟนอร์เกตแบบ 4 ทรานซิสเตอร์ที่ใช้โครงสร้างพื้นฐานซิมอสอินเวอร์เตอร์ในบทที่ 3 และในส่วนตัวตดของวงจรมอส มัลติเพล็กซ์ในการออกแบบ โดยวงจรวกชนิดฟลูแอตเตอร์ซิมอสแบบใหม่ที่ออกแบบ สูญเสียกำลังงานขณะใช้งานต่ำ และมีความเร็วในการทำงานสูง เมื่อเปรียบเทียบกับวงจรวกชนิดฟลูแอตเตอร์ซิมอสที่นำเสนอกับวงจรวกชนิดฟลูแอตเตอร์ซิมอส 28 ทรานซิสเตอร์แบบเดิม และวงจรวกชนิดฟลูแอตเตอร์ซิมอส 10 ทรานซิสเตอร์ที่มีการออกแบบมาก่อน [2] วงจรที่ออกแบบใหม่สามารถทำงานที่ระดับไฟเลี้ยงต่ำ 1.5 โวลท์ ซึ่งในการออกแบบวงจรวกชนิดฟลูแอตเตอร์ที่ผ่านมาก็จะให้ความสำคัญกับความเร็วในการทำงาน และการสิ้นเปลืองพลังงานของวงจรมอสเป็นหลักเช่นกัน [2],[4],[6] แต่วงจรวกชนิดฟลูแอตเตอร์ซิมอสแบบใหม่ยังมีปัญหาเรื่องการสูญเสียแรงดันเทรชโฮลด์ (Threshold voltage loss) และเกิดค่าหน่วงเวลา (delay time) ดังนั้นวงจรวกชนิดฟลูแอตเตอร์ซิมอสแบบใหม่ถูกออกแบบมาเพื่อแก้ปัญหาเหล่านี้ เพื่อให้วงจรวกชนิดฟลูแอตเตอร์ซิมอสแบบใหม่สามารถทำงานที่ศักดาไฟเลี้ยงต่ำๆ ที่ความถี่สูงได้อย่างมีประสิทธิภาพ

5.2 วงจรบวกชนิดฟลูแอตเตอร์ซิมอสที่ออกแบบใหม่



รูปที่ 5.1 วงจรบวกชนิดฟลูแอตเตอร์ซิมอส 10 ทรานซิสเตอร์ที่ออกแบบใหม่

รูปที่ 5.1 คือวงจรบวกชนิดฟลูแอตเตอร์ซิมอสที่ออกแบบใหม่ ที่นำเสนอ ค่ามอสทรานซิสเตอร์ M1 ถึง M4 ถูกต่อเป็นเอ็กซ์คูซิฟนอร์เกต ที่ใช้โครงสร้าง SERF [2] ทำหน้าที่บวกเลขในไบนารีบิตแรก LSB (1s) โดยป้อนสัญญาณอินพุตเป็น A และ B ส่วนมอสทรานซิสเตอร์ M5 ถึง M8 ต่อเป็นเอ็กซ์คูซิฟนอร์เกต ที่ใช้โครงสร้างเอ็กซ์คูซิฟนอร์เกต 4 ทรานซิสเตอร์แบบใหม่ที่ใช้พื้นฐานซิมอสทรานซิสเตอร์อินเวอร์เตอร์ได้ค่าเอาต์พุตเป็นค่าผลลัพธ์ (SUM) ส่วนมอสทรานซิสเตอร์ M9 และ M10 เป็นส่วนของค่าเอาต์พุตตัวต่อ ตามโครงสร้างในบล็อกไดอะแกรมในรูปที่ 4.11 ในบทที่ 4

จากรูปที่ 5.1 กำหนดให้ A มีลอจิกเป็น 0 หรือ Low และ B มีลอจิกเป็น 0 หรือ Low มีผลทำให้ ทรานซิสเตอร์ M1, M2 อยู่ในสถานะ ON ทรานซิสเตอร์ M3, M4 อยู่ในสถานะ OFF ทำให้เอาต์พุต P1 ของการบวกในส่วนแรกมีลอจิกเป็น 1 หรือเท่ากับระดับ V_{CC} มีผลทำให้ ทรานซิสเตอร์ M8, M9 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่ในสถานะ ON และ M7, M10 อยู่ในสถานะ OFF และกำหนดให้ *Carry_input* มีลอจิกเป็น 0 มีผลทำให้ M5 อยู่ในสถานะ ON M6 อยู่ในสถานะ ต่ M7 อยู่ในสถานะ OFF ค่าของผลลัพธ์ *SUM* มีลอจิกเป็น 0 เนื่องจากทรานซิสเตอร์ M8 อยู่ในสถานะ ON และ ค่าเอาต์พุตตัวตด *Carry_out* มีค่าเป็นลอจิก 0 เนื่องจาก M9 อยู่ในสถานะ OFF M10 อยู่ในสถานะ ON เมื่อกำหนดให้ A มีลอจิกเป็น 0 หรือ Low และ B มีลอจิกเป็น 0 หรือ Low มีผลทำให้ ทรานซิสเตอร์ M1, M2 อยู่ในสถานะ ON ทรานซิสเตอร์ M3, M4 อยู่ในสถานะ OFF ทำให้เอาต์พุต P1 ของการบวกในส่วนแรกมีลอจิกเป็น 1 หรือเท่ากับระดับ *VCC* มีผลทำให้ ทรานซิสเตอร์ M8, M9 อยู่ในสถานะ ON และ M7, M10 อยู่ในสถานะ OFF และกำหนดให้ *Carry_input* มีลอจิกเป็น 1 มีผลให้ทรานซิสเตอร์ M5 อยู่ในสถานะ OFF M6 อยู่ในสถานะ ON *SUM* มีลอจิกเป็น 1 เนื่องจากทรานซิสเตอร์ M8 อยู่ในสถานะ ON ค่าเอาต์พุตตัวตด *Carry_out* มีค่าเป็นลอจิก 0 เนื่องจาก M9 อยู่ในสถานะ OFF M10 อยู่ในสถานะ ON

เมื่อกำหนดให้ A มีลอจิกเป็น 0 หรือ Low และ B มีลอจิกเป็น 1 หรือ High มีผลทำให้ ทรานซิสเตอร์ M1, M3 อยู่ในสถานะ ON ทรานซิสเตอร์ M2, M4 อยู่ในสถานะ OFF ทำให้เอาต์พุต P1 ของการบวกในส่วนแรกมีลอจิกเป็น 0 มีผลทำให้ ทรานซิสเตอร์ M8, M9 อยู่ในสถานะ OFF และ M7, M10 อยู่ในสถานะ ON และกำหนดให้ *Carry_input* มีลอจิกเป็น 1 มีผลให้ทรานซิสเตอร์ M5 อยู่ในสถานะ ON M6 อยู่ในสถานะ OFF *SUM* มีลอจิกเป็น 1 เนื่องจากทรานซิสเตอร์ M8 อยู่ในสถานะ OFF ค่าเอาต์พุตตัวตด *Carry_out* มีค่าเป็นลอจิก 0 เนื่องจาก M9 อยู่ในสถานะ ON M10 อยู่ในสถานะ OFF เมื่อกำหนดให้ A มีลอจิกเป็น 0 หรือ Low และ B มีลอจิกเป็น 1 หรือ High มีผลทำให้ ทรานซิสเตอร์ M1, M3 อยู่ในสถานะ ON ทรานซิสเตอร์ M2, M4 อยู่ในสถานะ OFF ทำให้เอาต์พุต P1 ของการบวกในส่วนแรกมีลอจิกเป็น 0 มีผลทำให้ ทรานซิสเตอร์ M7, M9 อยู่ในสถานะ OFF และ M8, M10 อยู่ในสถานะ ON และกำหนดให้ *Carry_input* มีลอจิกเป็น 1 มีผลให้ทรานซิสเตอร์ M5 อยู่ในสถานะ OFF M6 อยู่ในสถานะ ON *SUM* มีลอจิกเป็น 0 เนื่องจากทรานซิสเตอร์ M8 อยู่ในสถานะ OFF ค่าเอาต์พุตตัวตด *Carry_out* มีค่าเป็นลอจิก 1 เนื่องจาก M9 อยู่ในสถานะ ON M10 อยู่ในสถานะ OFF ซึ่งค่าที่ได้จากการบวกของวงจรวกชนิดฟลูแอตเตอร์ที่ออกแบบใหม่เป็นไปตามค่าตารางจริงในตารางที่ 4.1 ในบทที่ 4

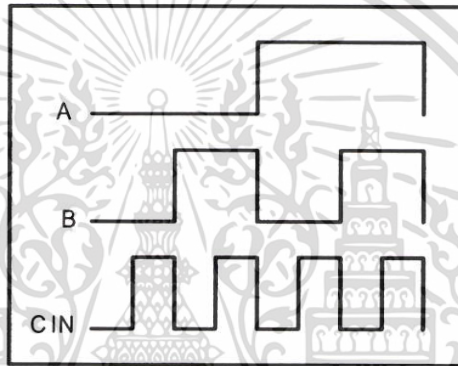
5.3 ทดสอบสมรรถนะของวงจร

การทดสอบกระทำโดยการเปรียบเทียบค่าการหน่วงเวลาที่ได้จากทั้งสามวงจรคือ วงจรวกชนิดฟลูแอตเตอร์ 28 ทรานซิสเตอร์วงจรวกชนิดฟลูแอตเตอร์ซิมอส SERF [2] และวงจรวกชนิดฟลูแอตเตอร์ซิมอสที่ออกแบบใหม่ โดยกำหนดขนาดของมอสทรานซิสเตอร์ที่ใช้ออกแบบวงจรแบบใหม่ โดยการเลียนแบบการทำงานของวงจร ที่ออกแบบใหม่ด้วยโปรแกรม PSpice

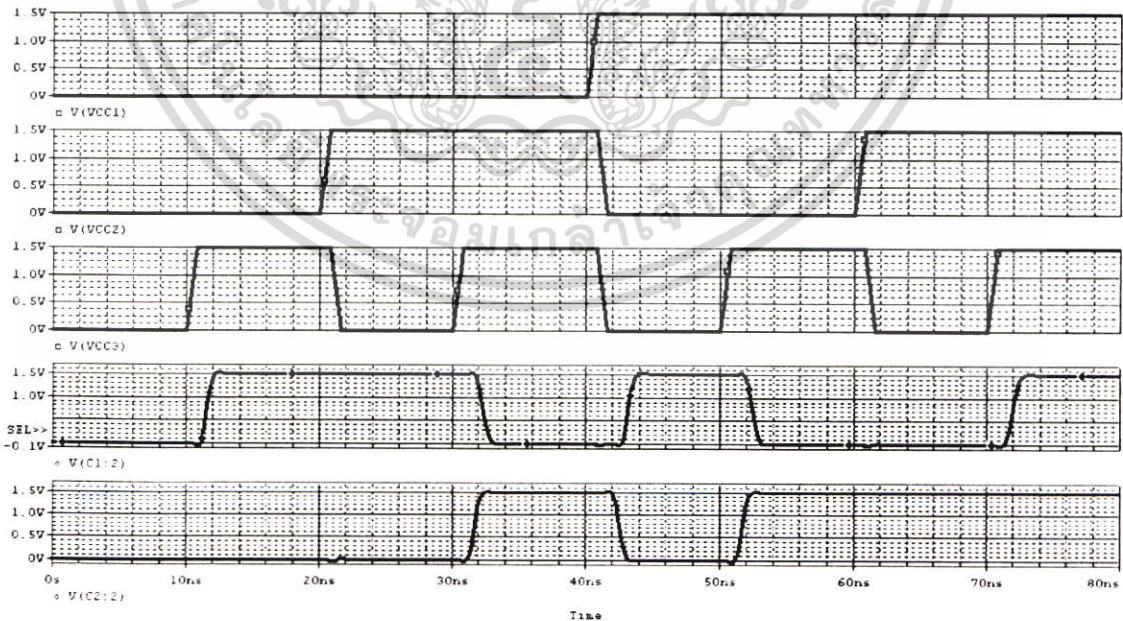
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.1 มอสมทรานซิสเตอร์โมเดล

การทดสอบสมรรถนะของวงจรวกขนิดฟลูแอตเตอร์ซีมอส กระทำโดยการจำลองวงจรโดยใช้โปรแกรม Pspice ในการจำลองโดยใช้ซีมอสโมเดล เทคโนโลยี 0.35 μm ของ MOSIS ที่ LEVEL 3 โดยค่าตัวแปรต่างๆจะแสดงอยู่ใน ภาคผนวก ข การทดสอบนี้เป็นการทดสอบค่าการหน่วงเวลาขาขึ้น (Rise time) ของวงจรทั้งสามวงจรคือ วงจรวกขนิดฟลูแอตเตอร์แบบพื้นฐาน วงจรวกขนิดฟลูแอตเตอร์แบบ SERF และวงจรวกขนิดฟลูแอตเตอร์ซีมอสแบบใหม่ โดยกการปรับค่าโหลดคาแพซิแตนท 0.01pF, 0.02 pF, 0.1 pF, 0.2 pF, และ 0.3 pF และที่ไฟเลี้ยงตั้งแต่ 0.8-1.8 โวลต์ จากนั้นนำค่าที่ได้มาเปรียบเทียบกัน การทดสอบจะใช้สัญญาณอินพุตตามตารางความจริงใน ตารางที่ 4.1 ในบทที่ 4 ซึ่งมีขนาดเท่ากับศักดาไฟเลี้ยงของวงจร



รูปที่ 5.2 รูปแบบสัญญาณอินพุตของวงจร



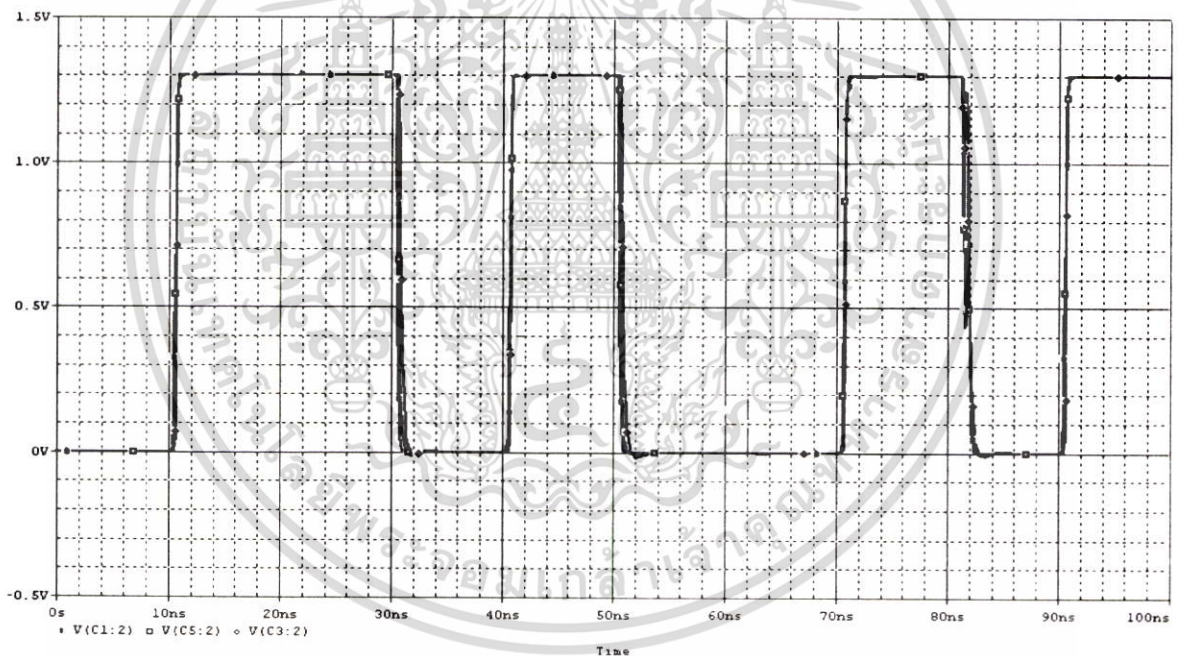
รูปที่ 5.3 สัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรวกขนิดฟลูแอตเตอร์ที่ออกแบบใหม่ที่ระดับศักดาไฟเลี้ยง 1.5 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

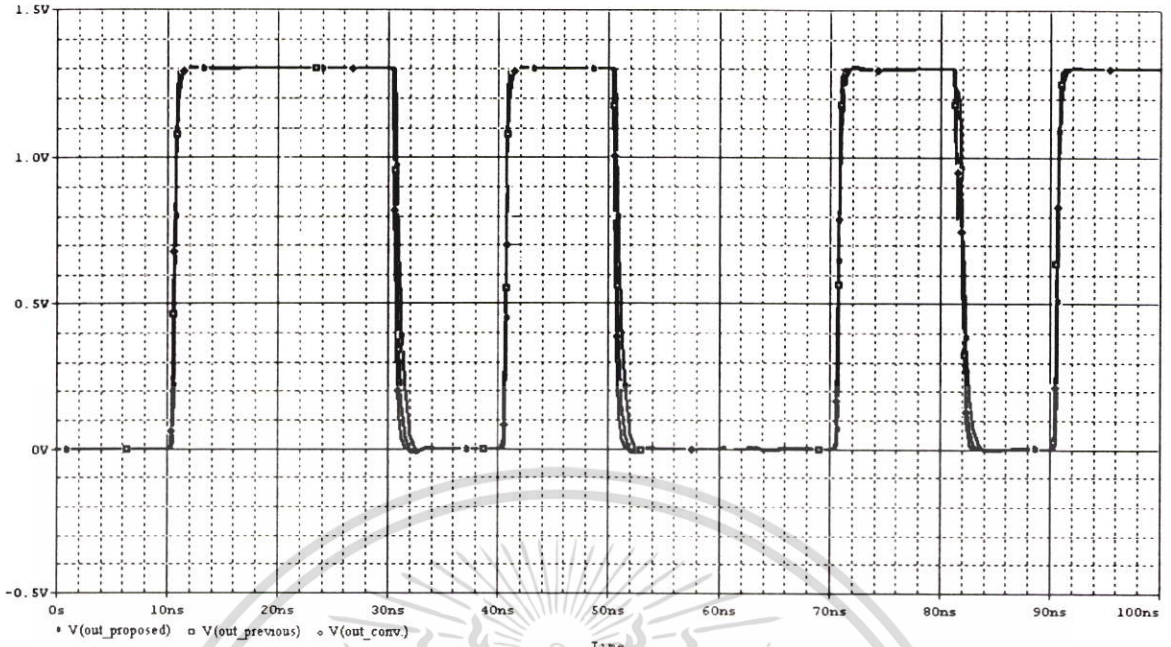
5.3.2 การจำลองการทำงานโดยโปรแกรม Pspice

5.3.2.1 ค่าการหน่วงเวลาเทียบกับโหลดคาแพซิแตนซ์

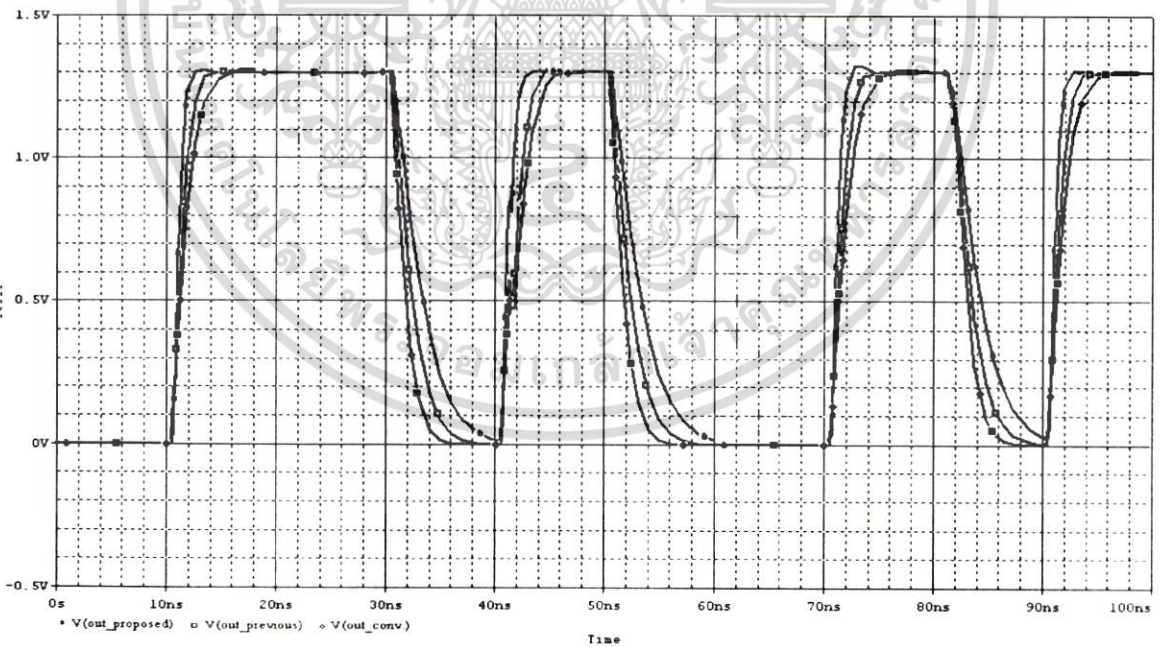
การจำลองการทำงานวงจรวงจรมัลติพลูแอดเดอร์ซีมอสโดยใช้โมเดลของเอ็นมอสและพีมอสที่แสดงไว้ในภาคผนวก ข หัวข้อนี้เป็นการทดสอบค่าการหน่วงเวลาของวงจรวงจรมัลติพลูแอดเดอร์ซีมอสทั้งสามแบบ เมื่อกำหนดให้ศักดาไฟเลี้ยงคงที่ 1.3 โวลต์และทำการเปลี่ยนแปลงโหลดคาแพซิแตนซ์จาก 0.01- 0.3 pF เพื่อคุณสมบัติของวงจรทั้งสาม เมื่อโหลดคาแพซิแตนซ์มีค่าเพิ่มขึ้น การหาค่าการหน่วงเวลาจะวัดที่ระดับสัญญาณเอาต์พุตที่ระดับ 90% จากนั้นนำค่าที่ได้มาเขียนกราฟ โดยสัญญาณเอาต์พุตผลลัพธ์ *SUM* จะแสดงได้ดังรูปที่ 5.4, 5.5, 5.6, 5.7 และ 5.8 และสัญญาณเอาต์พุตค่าตัวทอด *Carry_out* จะแสดงได้ดังรูปที่ 5.10, 5.11, 5.12 และ 5.13 จากนั้นนำค่าที่ได้มาเขียนกราฟจะแสดงได้ดังรูปที่ 5.9 และรูปที่ 5.14



รูปที่ 5.4 เอาต์พุตของผลลัพธ์ *SUM* ที่ศักดาไฟเลี้ยง 1.3 โวลต์และโหลดคาปาซิแตนซ์ 0.01pF

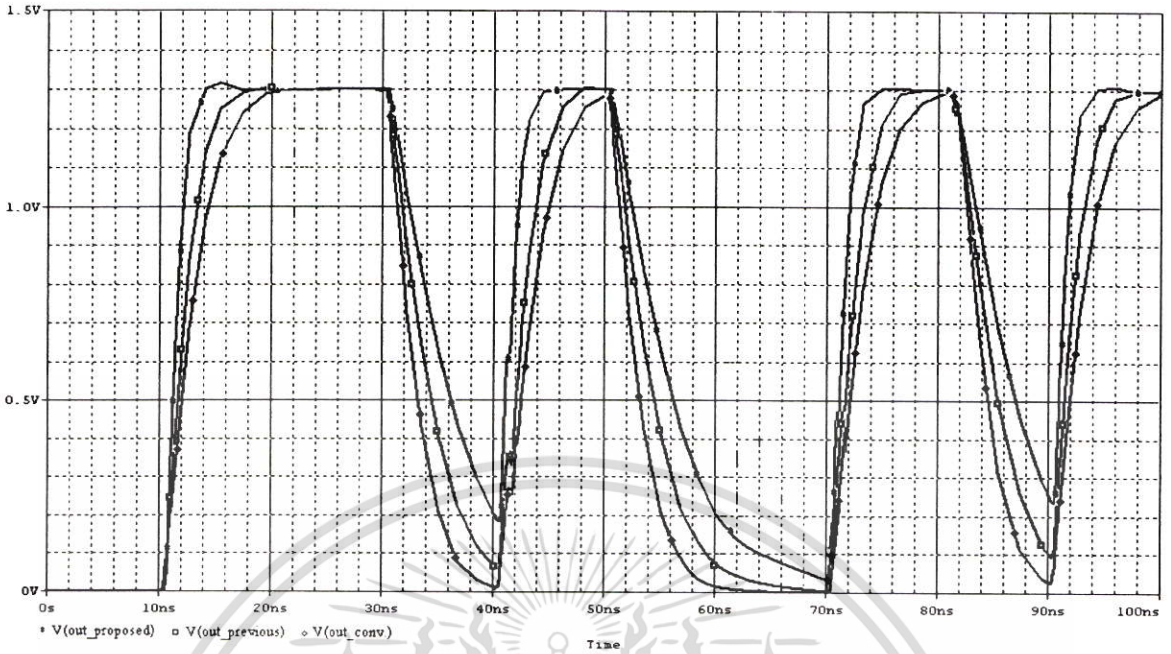


รูปที่ 5.5 เอ้าท์พุทของผลลัพธ์ *SUM* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.02 pF

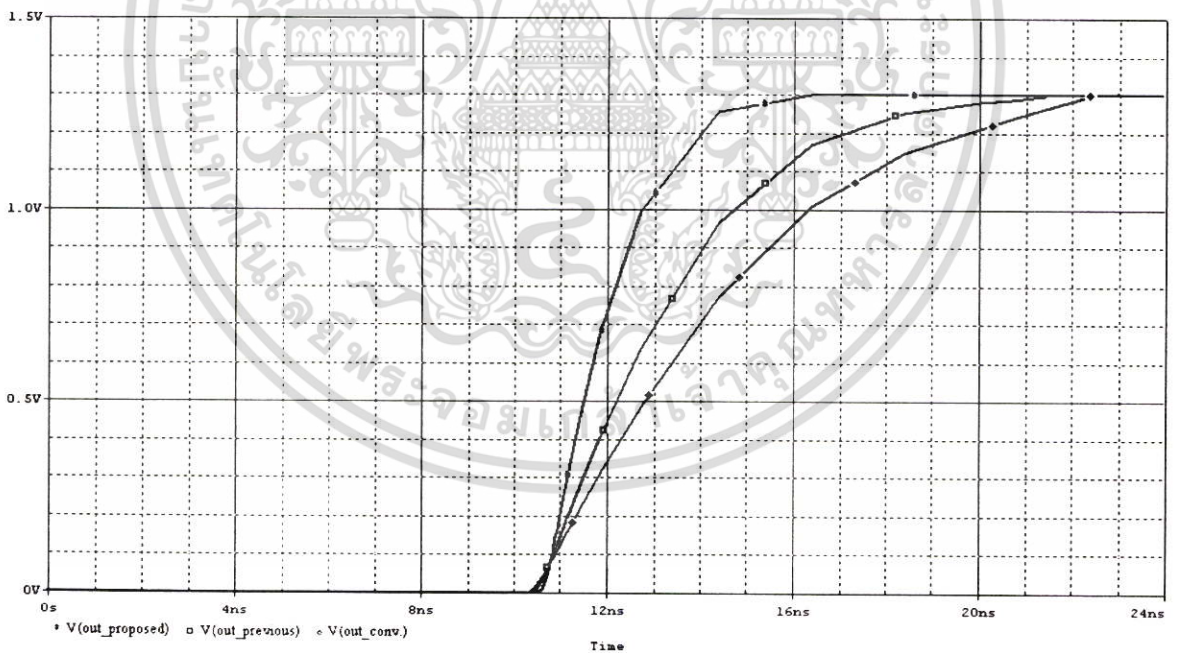


รูปที่ 5.6 เอ้าท์พุทของผลลัพธ์ *SUM* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 เอาท์พุทของผลลัพธ์ *SUM* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.2 pF



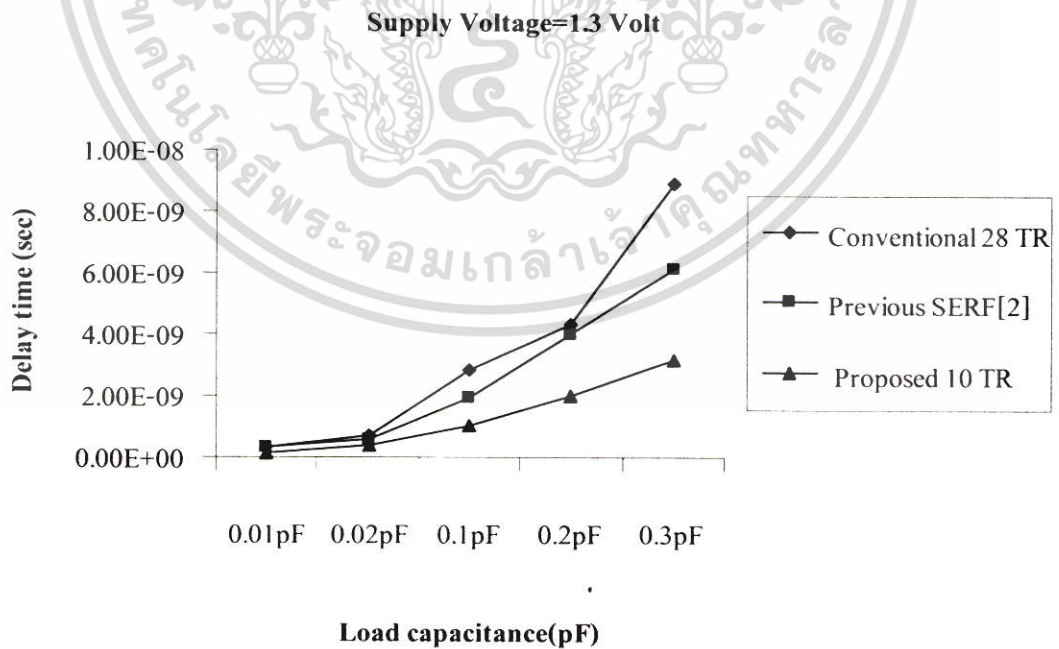
รูปที่ 5.8 เอาท์พุทของผลลัพธ์ *SUM* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.3 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการจำลองการทำงานของวงจรวกขี้นฟลูแอตเตอร์ทั้งสามวงจรมารถนำค่าการหน่วงเวลาขาขึ้นของสัญญาณเอาต์พุตผลลัพธ์ *SUM* ของวงจรถ้าสามมาแสดงได้ดังตารางที่ 5.1 และเขียนกราฟความสัมพันธ์ระหว่างค่าการหน่วงเวลากับโหลด คาแพซิแตนซ์เปลี่ยนแปลงจาก 0.01- 0.3 pF

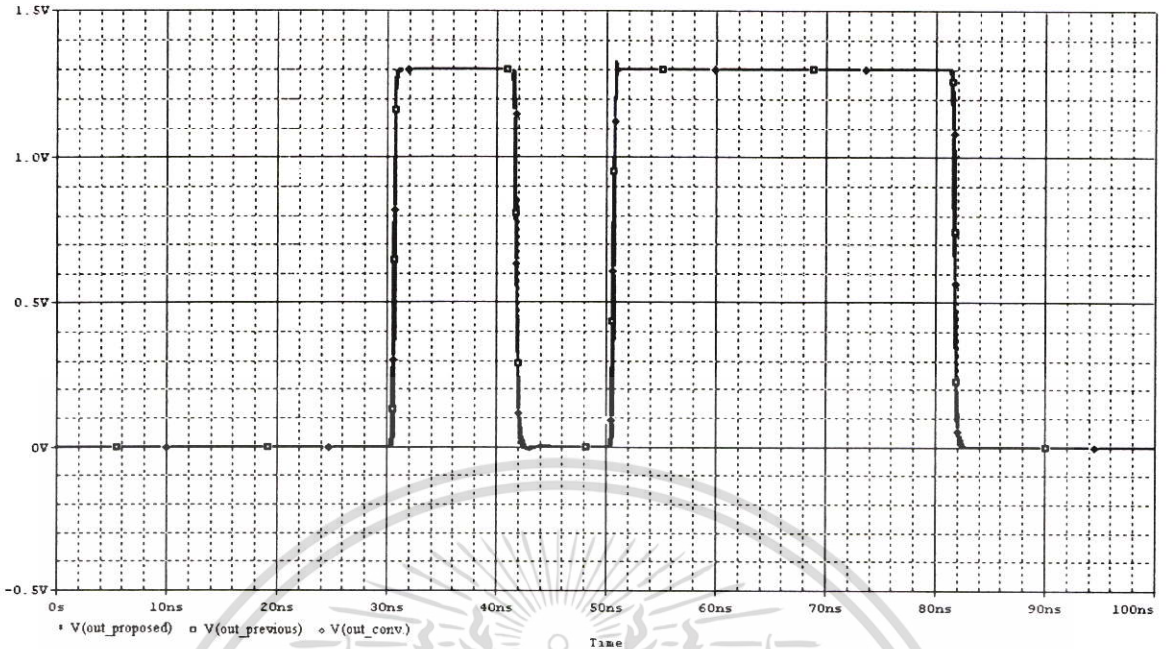
ตารางที่ 5.1 ค่าการหน่วงเวลาของสัญญาณเอาต์พุตผลลัพธ์ *SUM* ที่คักดาไฟเลี้ยง 1.3 โวลต์และ โหลดคาแพซิแตนซ์เปลี่ยนแปลงจาก 0.01- 0.3 pF

โหลดคาแพซิ แตนซ์ (pF)	ค่าการหน่วงเวลาขาขึ้น (Sec) เมื่อคักดาไฟเลี้ยง 1.3 โวลต์		
	Conv.Circuit	Previous Circuit [2]	Proposed Circuit
0.01	0.30 ns	0.30 ns	0.13 ns
0.02	0.68 ns	0.56 ns	0.37 ns
0.1	2.85 ns	1.91 ns	1.02 ns
0.2	4.34 ns	4.00 ns	2.01 ns
0.3	8.93ns	6.13ns	3.14ns

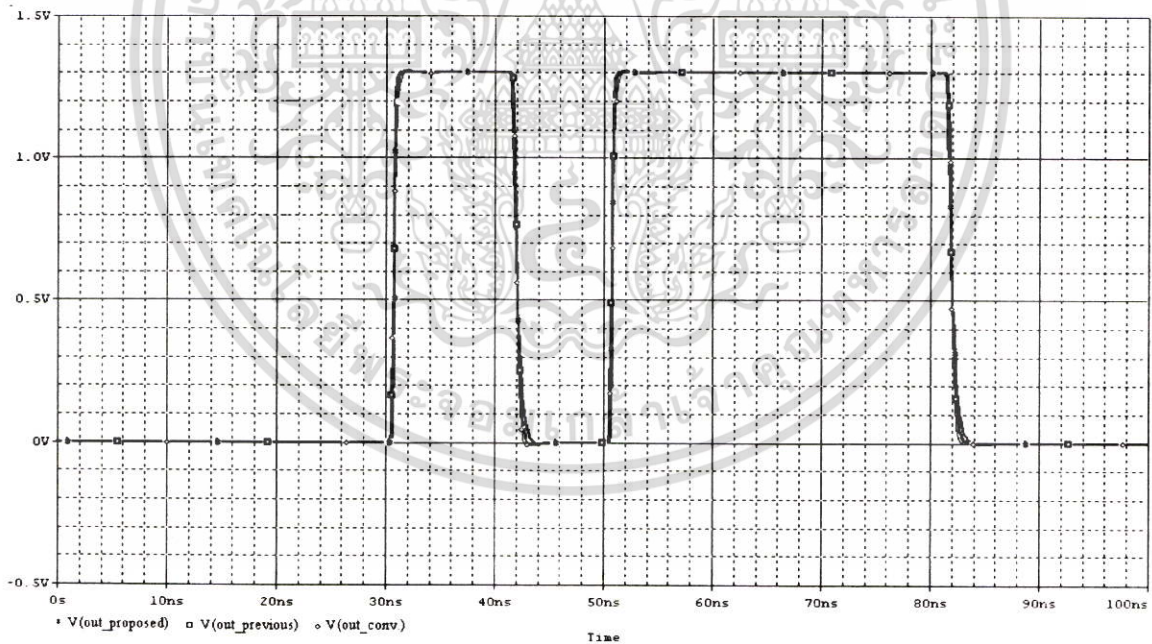


รูปที่ 5.9 กราฟเปรียบเทียบค่าการหน่วงเวลาเอาต์พุตของผลลัพธ์ *SUM* ที่ได้จากการจำลอง เปลี่ยนแปลงโหลดคาแพซิแตนซ์ 0.01-0.3 pF

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

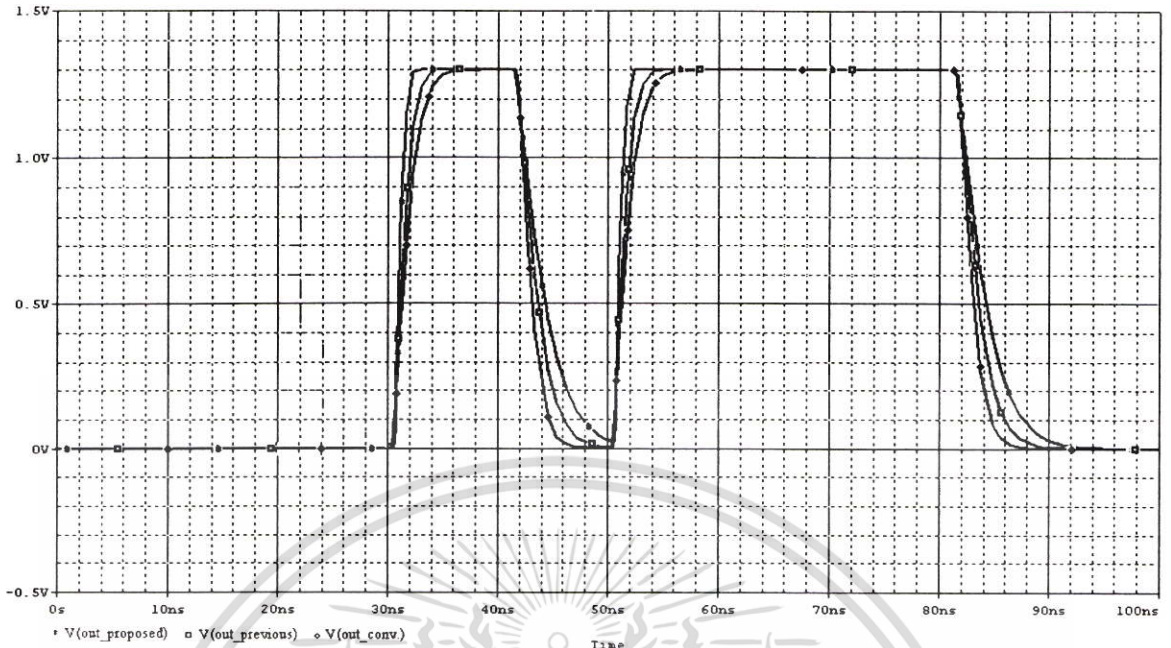


รูปที่ 5.10 เอ้าท์พุทของค่าตัววัด *Carry_out* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนท 0.01pF

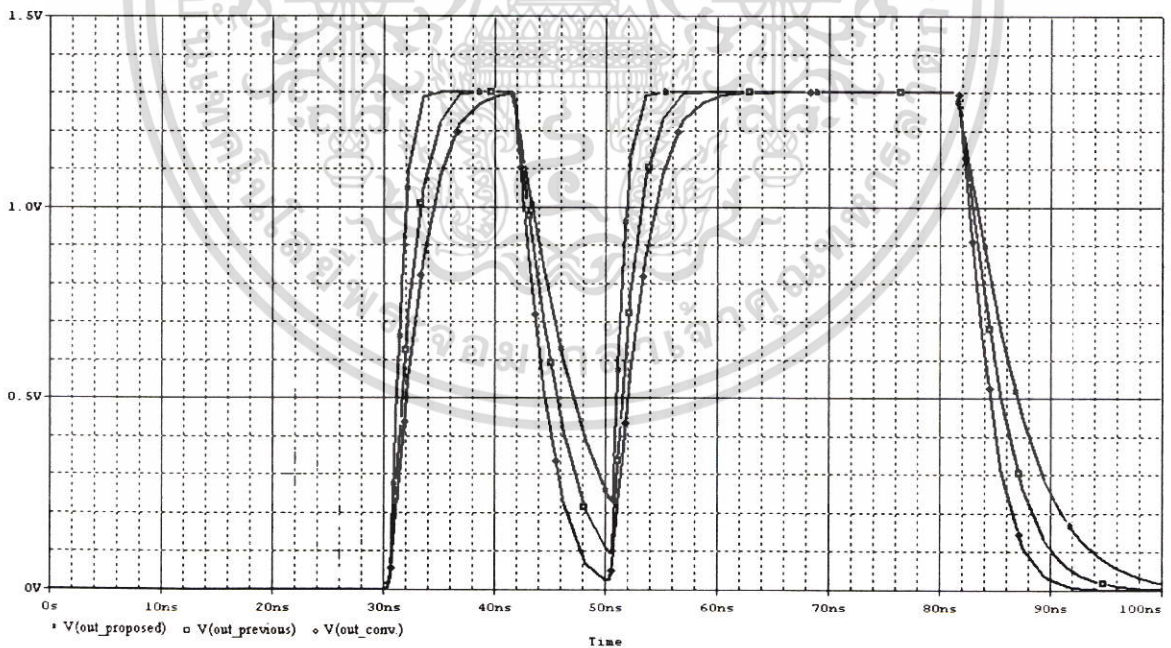


รูปที่ 5.11 เอ้าท์พุทของค่าตัววัด *Carry_out* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนท 0.02pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

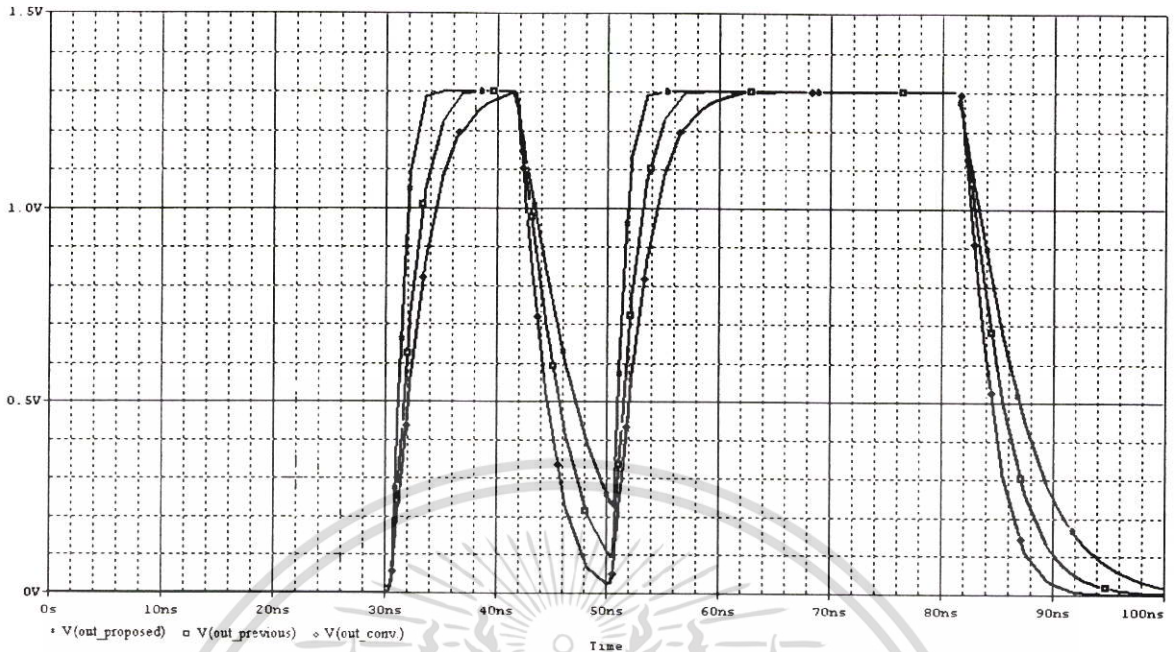


รูปที่ 5.12 เวก์พุตของค่าตัวทด *Carry_out* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.1pF



รูปที่ 5.13 เวก์พุตของค่าตัวทด *Carry_out* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.2pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



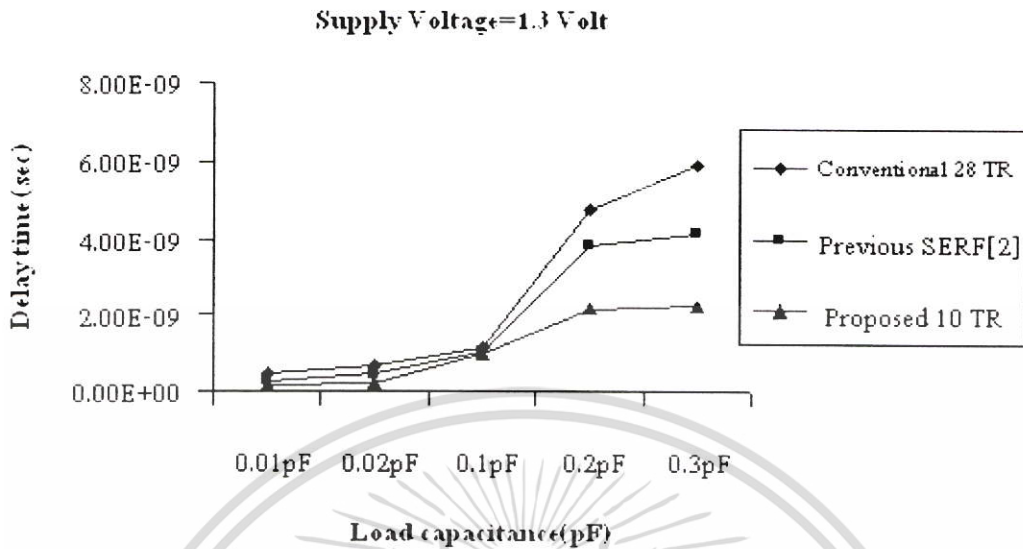
รูปที่ 5.14 เอาท์พุทของค่าตัววัด *Carry_out* ที่คักดาไฟเลี้ยง 1.3 โวลต์และโหลดคาแพซิแตนซ์ 0.3pF

จากการจำลองการทำงานของวงจรวกชนิดฟลูแอตเตอร์ทั้งสามวงจรสามารถนำค่าการหน่วงเวลาขาขึ้นของสัญญาณเอาท์พุทตัววัด *Carry_out* ของวงจรถัดมาแสดงได้ดังตารางที่ 5.2 และเขียนกราฟความสัมพันธ์ระหว่างค่าการหน่วงเวลากับโหลด คาแพซิแตนซ์เปลี่ยนแปลงจาก 0.01- 0.3 pF

ตารางที่ 5.2 ค่าการหน่วงเวลาของสัญญาณเอาท์พุทตัววัด *Carry_out* ที่คักดาไฟเลี้ยง 1.3 โวลต์ และโหลด คาแพซิแตนซ์เปลี่ยนแปลงจาก 0.01- 0.3 pF

โหลดคาแพซิแตนซ์ (pF)	ค่าการหน่วงเวลาขาขึ้น (Sec) เมื่อคักดาไฟเลี้ยง 1.3 โวลต์		
	Conv.Circuit	Previous Circuit [2]	Proposed Circuit
0.01	0.45 ns	0.25 ns	0.13 ns
0.02	0.68 ns	0.47 ns	0.23 ns
0.1	1.11 ns	1.04 ns	1.00 ns
0.2	4.75 ns	3.83 ns	2.19 ns
0.3	5.90ns	4.11ns	2.22ns

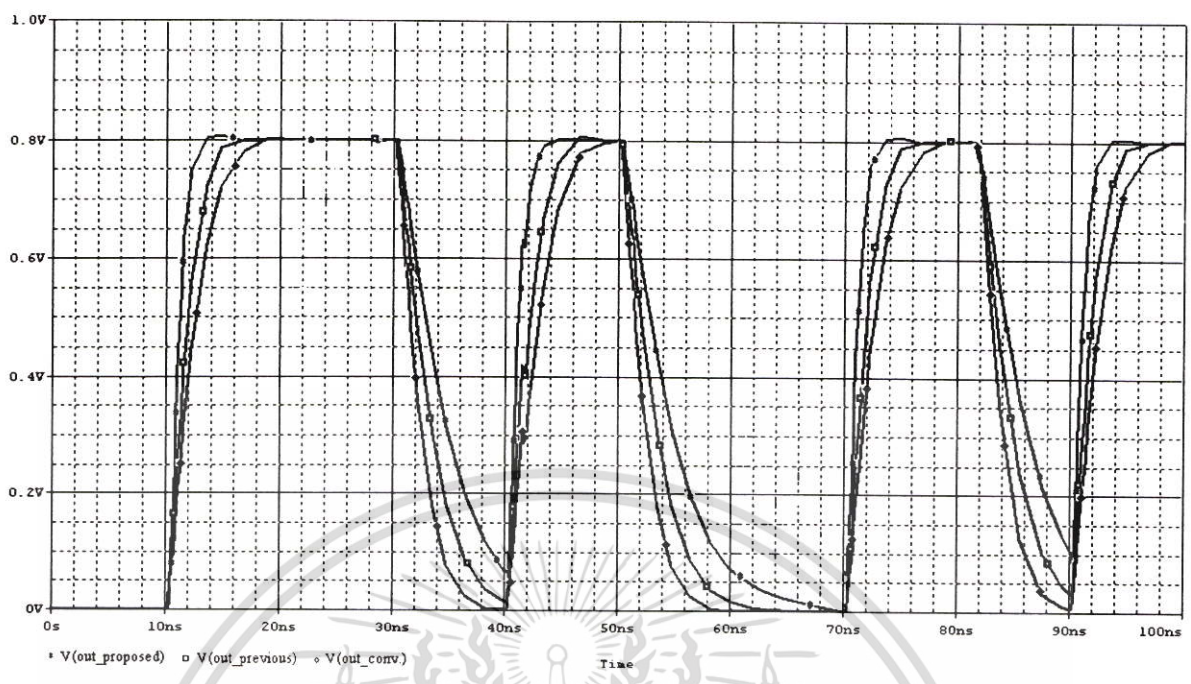
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



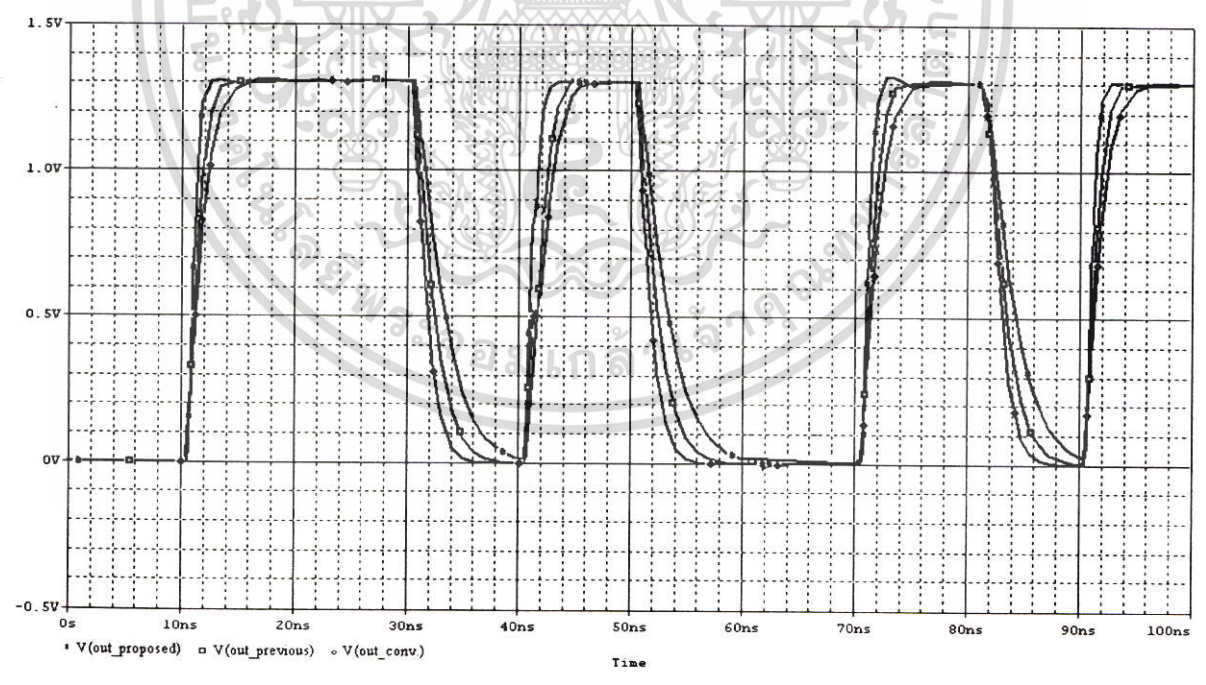
รูปที่ 5.15 กราฟค่าการหน่วงเวลาของสัญญาณเอาต์พุตตัววัด *Carry_out* ที่ศักดาไฟเลี้ยง 1.3 โวลต์และโหลด คาแพซิแตนซ์เปลี่ยนแปลงจาก 0.01- 0.3 pF

5.3.2.2 ค่าการหน่วงเวลาเปรียบกับศักดาไฟเลี้ยงวงจร

การจำลองการทำงานวงจรบวกชนิดฟลูแอตเดอริซิมอสโดยใช้โมเดลของเอ็นมอสและพีมอสที่แสดงไว้ในภาคผนวก ข โดยใช้โหลดคาแพซิแตนซ์คงที่ 0.1 pF และทำการเปลี่ยนแปลงศักดาไฟเลี้ยงวงจรจาก 0.8-1.8 โวลต์ สัญญาณเอาต์พุตของผลลัพธ์ (*SUM*) จะแสดงได้ดังรูปที่ 5.16,5.17,5.18 และ 5.19 สัญญาณเอาต์พุตของตัววัด (*Carry_out*) จะแสดงได้ดังรูปที่ 5.21,5.22,5.23 และ 5.24

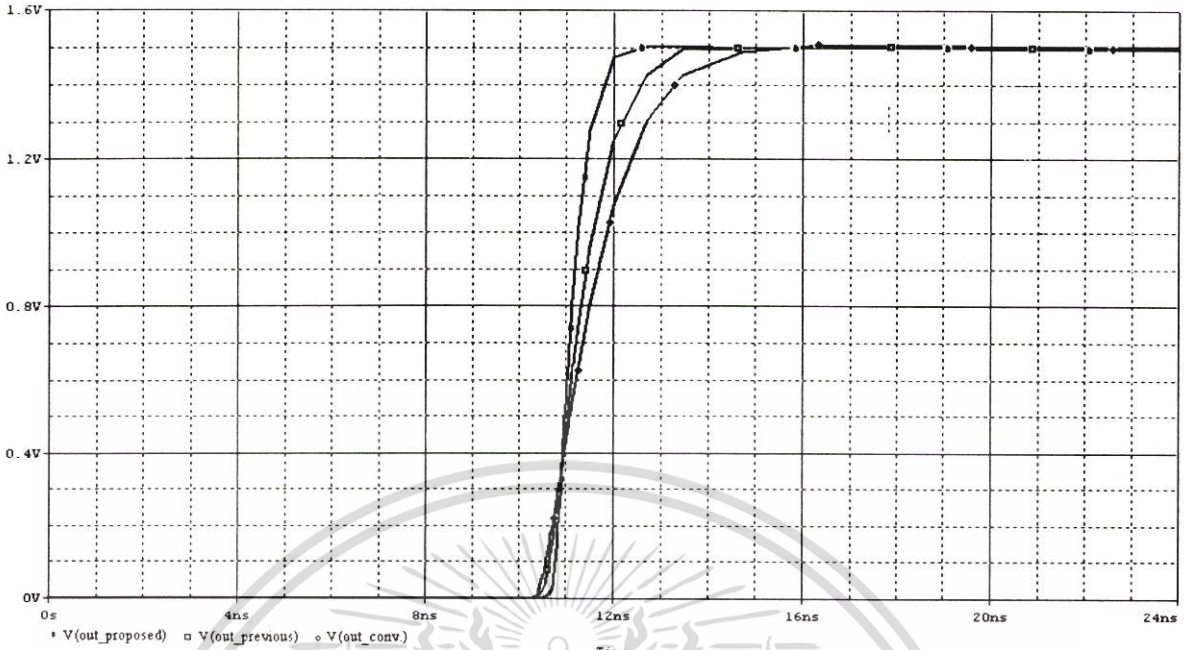


รูปที่ 5.16 สัญญาณเอาต์พุตผลลัพท์ (SUM) ที่ศักดาไฟเลี้ยง 0.8 โวลต์ และโหลดคาแพซิแตนซ์ 0.1 pF

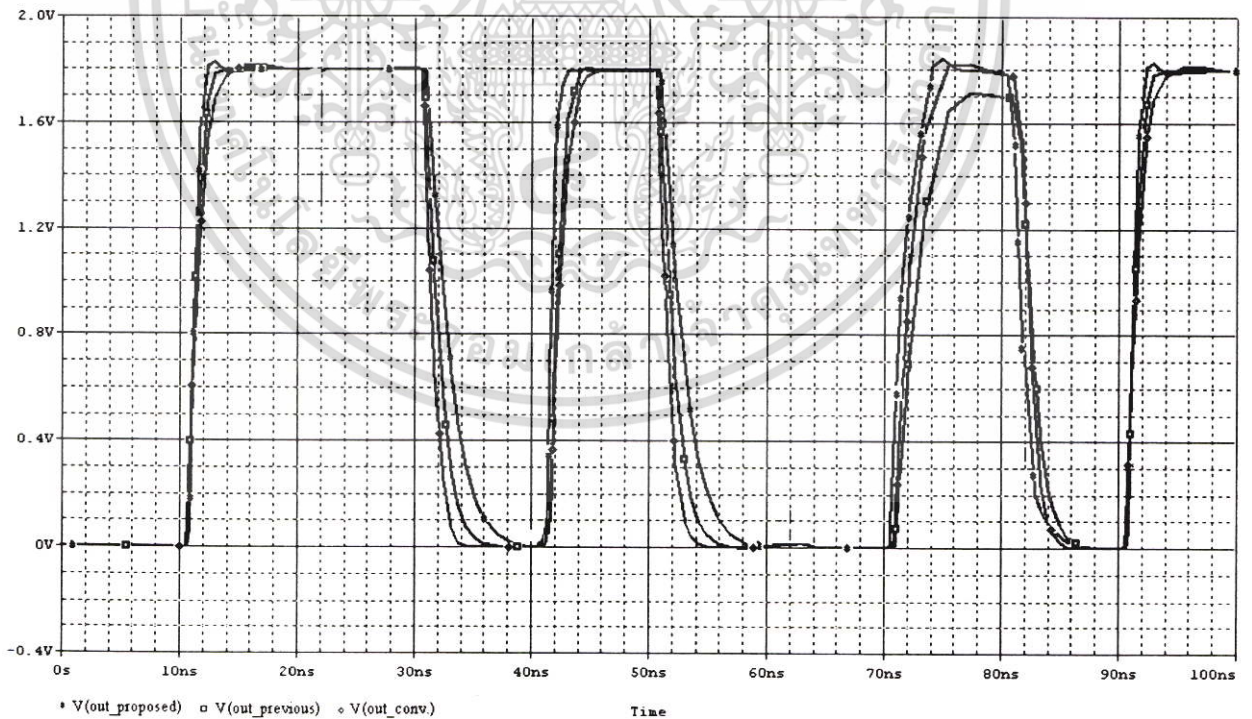


รูปที่ 5.17 สัญญาณเอาต์พุตผลลัพท์ (SUM) ที่ศักดาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพซิแตนซ์ 0.1pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.18 สัญญาณเอาต์พุตผลลัพท์ (SUM) ที่ศักดาไฟเลี้ยง 1.5 โวลต์ และโหลดคาแพซิแตนซ์ 0.1pF



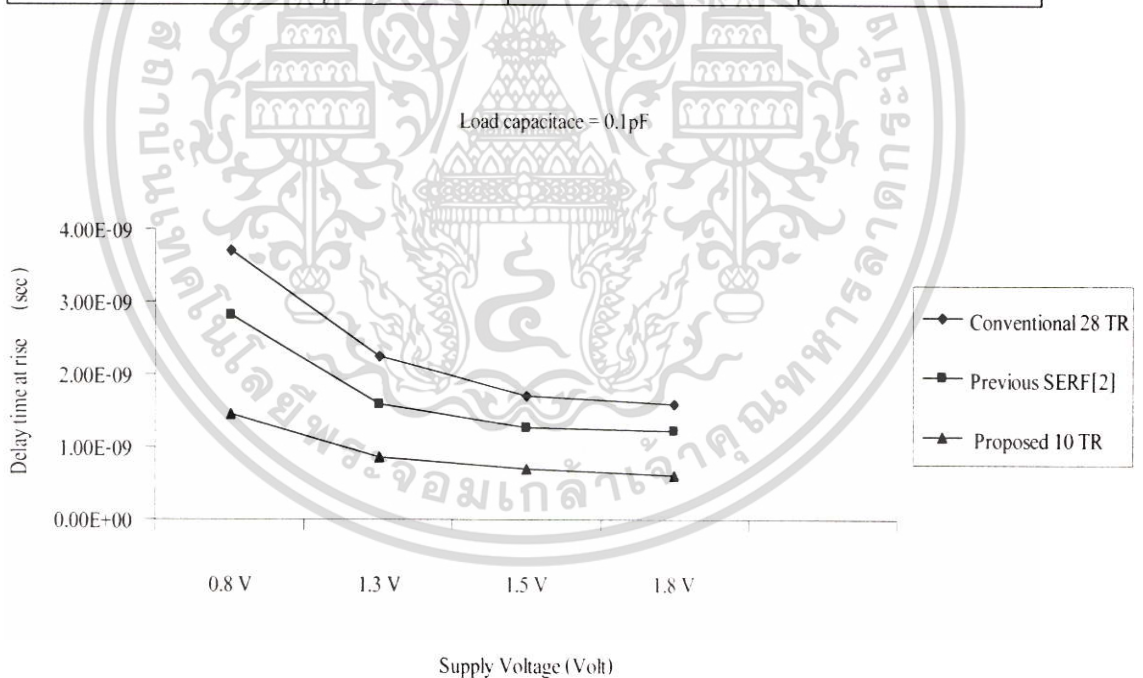
รูปที่ 5.19 สัญญาณเอาต์พุตผลลัพท์ (SUM) ที่ศักดาไฟเลี้ยง 1.8 โวลต์ และโหลดคาแพซิแตนซ์

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการจำลองการทำงานของวงจรวกชนิดฟลูแอตเตอร์ซีมอสผลลัพท์ (*SUM*) ทั้งสามวงจรสามารถนำค่าการหน่วงเวลาขาขึ้นของวงจรทั้งสามมาแสดงไว้ดังตารางที่ 5.3 และเขียนกราฟความสัมพันธ์ระหว่างค่าการหน่วงเวลากับศักดาไฟเลี้ยงวงจรเปลี่ยนจาก 0.8-1.8 โวลต์เมื่อโหลดคาแพชิตีแดนที่ 0.1 pF ได้ดังรูปที่ 5.20

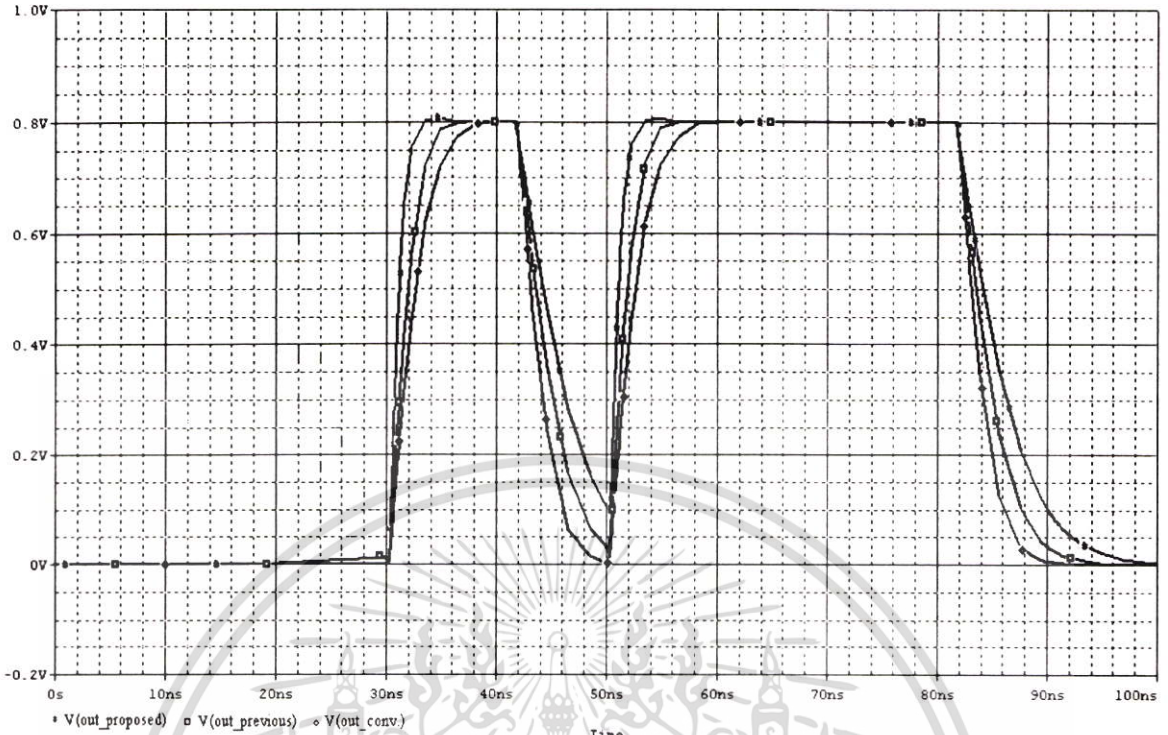
ตารางที่ 5.3 ค่าการหน่วงเวลาขาขึ้นของผลลัพท์ (*SUM*) เมื่อศักดาไฟเลี้ยงเปลี่ยนจาก 0.8-1.8 โวลต์

ศักดาไฟเลี้ยงวงจร	ค่าการหน่วงเวลาขาขึ้น (Sec) เมื่อโหลดคาแพชิตีแดนที่ = 0.1 pF		
	Conv.Circuit	Previous Circuit [2]	Proposed Circuit
0.8 V	3.70 ns	2.82 ns	1.46 ns
1.3 V	2.77 ns	2.06 ns	0.87 ns
1.5 V	2.24 ns	1.24 ns	0.93 ns
1.8 V	1.58 ns	1.23 ns	0.71 ns



รูปที่ 5.20 กราฟแสดงค่าการหน่วงเวลาขาขึ้นของผลลัพท์ (*SUM*) เมื่อศักดาไฟเลี้ยงเปลี่ยนแปลงจาก 0.8-1.8 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

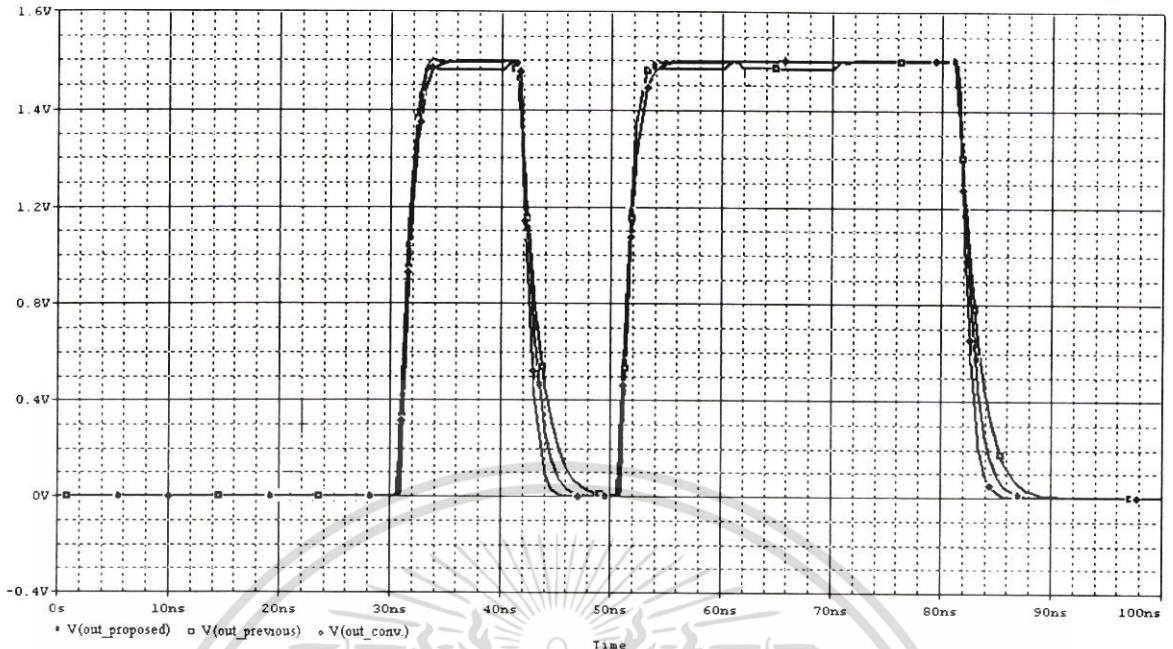


รูปที่ 5.21 สัญญาณเอาต์พุตตัวทวด (*Carry_out*) ที่คิกคาไฟเลี้ยง 0.8 โวลต์ และโหลดคาแพชิตี
 แตนท์ 0.1 pF

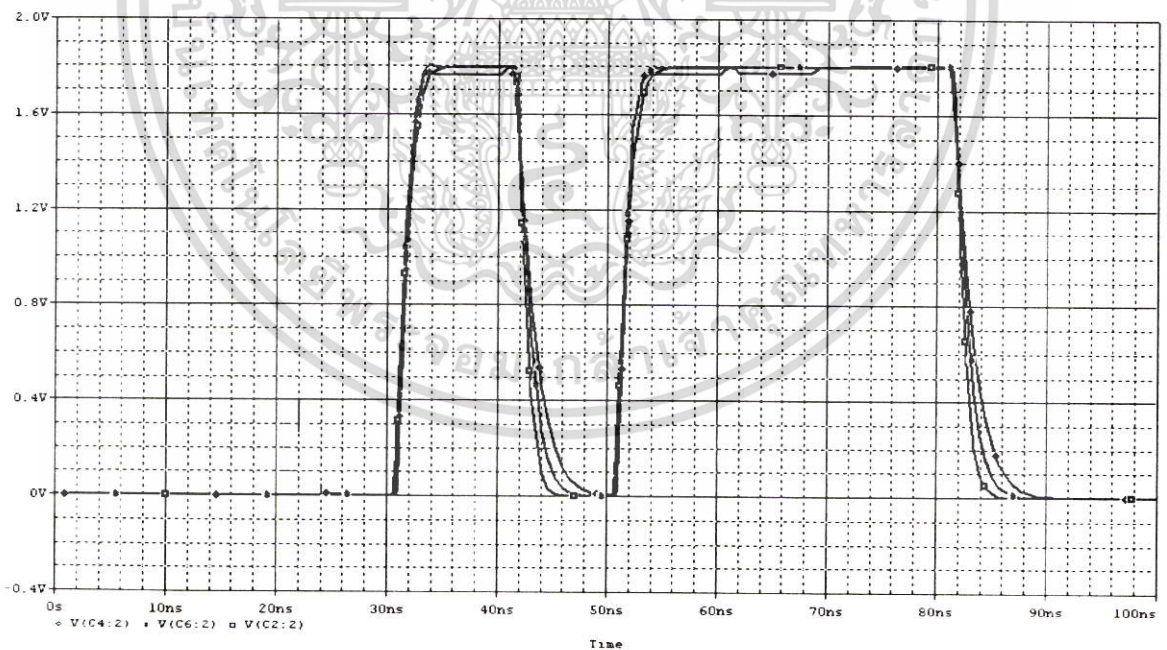


รูปที่ 5.22 สัญญาณเอาต์พุตตัวทวด (*Carry_out*) ที่คิกคาไฟเลี้ยง 1.3 โวลต์ และโหลดคาแพชิตี
 แตนท์ 0.1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 สัญญาณเอาต์พุตตัวทวด (*Carry_out*) ที่ศักดาไฟเลี้ยง 1.5 โวลต์ และโหลดคาแพชิตีแดนที่ 0.1 pF



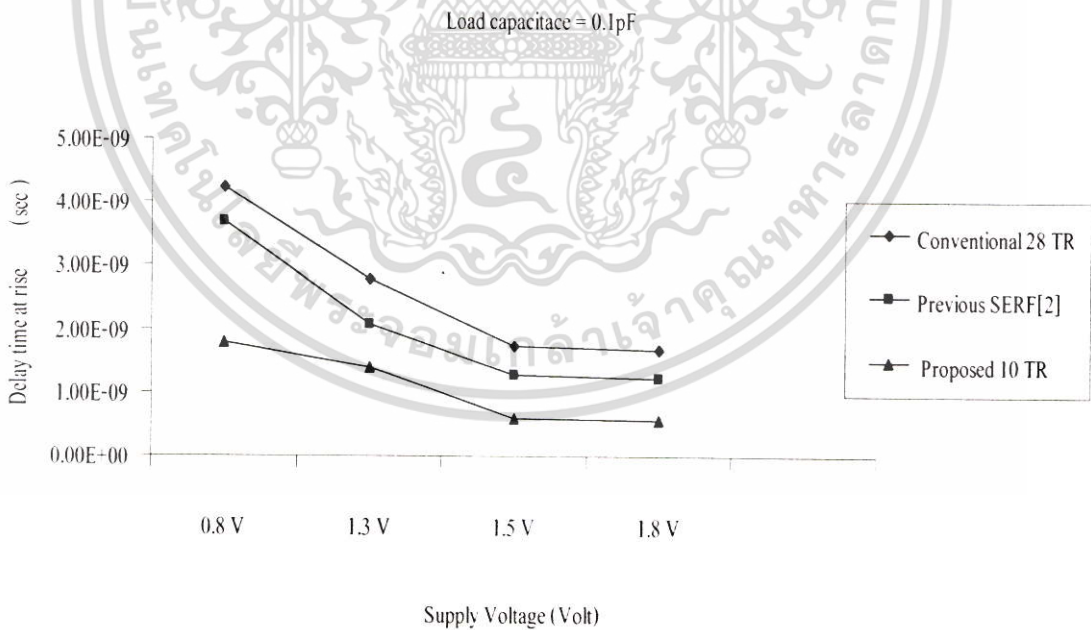
รูปที่ 5.24 สัญญาณเอาต์พุตตัวทวด (*Carry_out*) ที่ศักดาไฟเลี้ยง 1.8 โวลต์ และโหลดคาแพชิตีแดนที่ 0.1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการจำลองการทำงานของวงจรวกชนิดฟลูแอตเตอร์ซีมอสเอ๊าท์พุตตัวทวด (*Carry_out*) ทั้งสามวงจรสามารถนำค่าการหน่วงเวลาขาขึ้นของวงจรทั้งสามมาแสดงไว้ดังตารางที่ 5.4 และเขียนกราฟความสัมพันธ์ระหว่างค่าการหน่วงเวลากับศักดาไฟเลี้ยงวงจรเปลี่ยนจาก 0.8-1.8 โวลต์เมื่อโหลดคาแพซิแตนซ์ 0.1 pF ได้ดังรูปที่ 5.25

ตารางที่ 5.4 ค่าการหน่วงเวลาขาขึ้นของเอ๊าท์พุตตัวทวด (*Carry_out*) เมื่อศักดาไฟเลี้ยงเปลี่ยนจาก 0.8- 1.8 โวลต์

ศักดาไฟเลี้ยงวงจร	ค่าการหน่วงเวลาขาขึ้น (Sec) เมื่อโหลดคาแพซิแตนซ์ = 0.1 pF		
	Conv.Circuit	Previous Circuit [2]	Proposed Circuit
0.8 V	4.23 ns	3.68 ns	1.79 ns
1.3 V	2.77ns	2.06ns	1.46ns
1.5 V	1.74ns	1.28ns	0.61ns
1.8 V	1.68 ns	1.21 ns	0.57 ns



รูปที่ 5.25 กราฟแสดงค่าการหน่วงเวลาขาขึ้นของเอ๊าท์พุตตัวทวด (*Carry_out*) เมื่อศักดาไฟเลี้ยงเปลี่ยนแปลงจาก 0.8-1.8 โวลต์

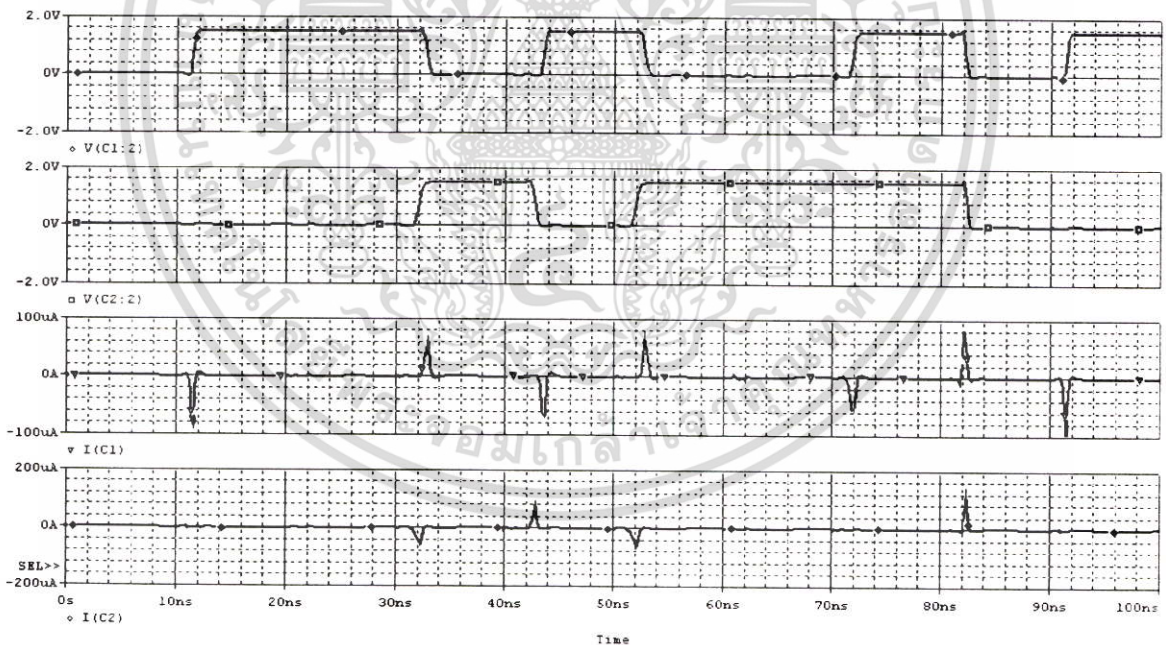
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2.3 ความสิ้นเปลืองพลังงาน

ความสิ้นเปลืองพลังงานของวงจรวงจรวกชนิดฟลูแอตเตอร์ซีมอสจะใช้ power meter ในการแสดงค่าเปรียบเทียบกับทั้งสามวงจร โดยใช้โมเดลของเอ็นมอสและพีมอสที่แสดงไว้ในภาคผนวก ข โดยใช้โหลดคาแพซิแตนซ์ 0.02 pF ศักดาไฟเลี้ยงวงจรที่ 1.5 โวลต์ แสดงค่าที่ได้ดังตารางที่ 5.5

ตารางที่ 5.5 ผลการวัดค่ากำลังงานสูญเสียของวงจรวงจรวกชนิดฟลูแอตเตอร์ซีมอสเปรียบเทียบกับวงจร

Power dissipation CMOS Full Adder Circuit	
Conventional 28 transistor Circuit	4.41E-05 WATT
Previous SERF Circuit	6.46E-11 WATT
Proposed new 10 Transistor Circuit	1.04E-11 WATT



รูปที่ 5.26 สัญญาณเอาต์พุตของกระแสของวงจรวงจรวกชนิดฟลูแอตเตอร์ซีมอสที่ศักดาไฟเลี้ยง 1.5 โวลต์โดยใช้โหลดคาแพซิแตนซ์ 0.02 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการทดลอง

จากการทดลองทดสอบสมรรถนะวงจรบวกชนิดฟลูแอตเตอร์ซีมอสทั้งสามวงจร โดยนำผลการทดสอบวงจรที่นำเสนอมาก่อนและวงจรที่ได้พัฒนาขึ้นมาเปรียบเทียบคุณสมบัติในแบบต่างๆ สามารถสรุปผลการทดลองได้ดังนี้

6.1 วงจรบวกชนิดฟลูแอตเตอร์ซีมอส

6.1.1 คุณสมบัติการหน่วงเวลา

จากการจำลองวงจรด้วยโปรแกรม Pspice โดยให้โดยการป้อนสัญญาณอินพุตเป็นรูปสี่เหลี่ยมตามระดับลอจิกในตารางความจริงวงจรบวกชนิดฟลูแอตเตอร์ ที่ความถี่ 100MHz มีศักดาเป็น 1.5 โวลต์ และที่ศักดาไฟเลี้ยง 1.3 โวลต์ จะเห็นได้ว่าวงจรที่ออกแบบใหม่สามารถได้ผลการบวกของผลลัพธ์ (*SUM*) และค่าของเอาต์พุตตัวต (Carry_out) ตามตารางความจริงของวงจรบวกชนิดฟลูแอตเตอร์และสามารถได้ผลลัพธ์ที่เร็วกว่าวงจรบวกชนิดฟลูแอตเตอร์แบบเก่า และเมื่อทำการทดลองโดยการกำหนดให้ค่าแพชิตแดนที่คงที่และเพิ่มศักดาไฟเลี้ยงมากขึ้น จะเห็นว่าระยะเวลาในการในการประจุกระแสให้กับโหลดคาแพชิตแดนที่ลดลงนั่นเอง และวงจรที่นำเสนอยังมีค่าหน่วงเวลาน้อยกว่าแบบเก่าและวงจรแบบมาตรฐานเมื่อลดระดับศักดาไฟเลี้ยงต่ำกว่า 1.5 โวลต์

6.1.2 คุณสมบัติด้านค่ากำลังงานสูญเสียของวงจร

ค่ากำลังงานสูญเสียของวงจรจะใช้วิธีการที่เรียกว่า Power meter [13] ในการหาค่าเฉลี่ยกำลังงานสูญเสีย จากการทดสอบจะเห็นว่าวงจรบวกชนิดฟลูแอตเตอร์ซีมอสที่ออกแบบใหม่จะมีกำลังงานสูญเสียน้อยกว่าวงจรแบบเก่าทั้งสอง

6.1.3 ข้อเสนอแนะในการปรับปรุง

วงจรบวกชนิดฟลูแอตเตอร์ซีมอสที่ออกแบบใหม่มีข้อดีที่สามารถทำงานได้เร็วกว่าวงจรแบบเก่า [2] และแบบมาตรฐาน สูญเสียกำลังงานขณะใช้งานต่ำมาก นอกจากนั้นวงจรที่ออกแบบยังใช้จำนวนทรานซิสเตอร์เพียง 10 ตัว สามารถลดขนาดของวงจรเพื่อแก้ปัญหาขนาดชิพ และค่าการหน่วงเวลาที่น้อยกว่าซึ่งทำให้วงจรมีประสิทธิภาพกว่าวงจรบวกชนิดฟลูแอตเตอร์แบบเก่าและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบมาตรฐาน นอกจากนั้นยังสามารถ นำวงจรวงชนิดฟลูแอตเตอร์ที่ออกแบบไปพัฒนาออกแบบวงจรขนานที่มีขนาดใหญ่ได้ เช่น Multi-bit ripple carry adder, Carry Look Ahead หรือ Manchester Carry Chain ได้อย่างมีประสิทธิภาพ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- [1] J. Wang, S. Fang, and W. Feng, "New efficient design for XOR and XNOR functions the transistor level," IEEE J. Solid-State Circuits, vol. 29, pp.780-786, July 1994.
- [2] R. Shalem, E. John, and L.K. John, "A Novel low power energy recovery full adder cell," in Proc. IEEE Great lakes VLSI Symp., Feb. 1999, pp.380-383
- [3] A.P. Chandrakasan, S. Sheng, and R.W. Brodersen, "Low-power CMOS digital design," IEEE J. Solid-State Circuits, vol. 27, pp. 473-483, Apr. 1992.
- [4] R. Zimmermann and W. Fichtner, "Low-power logic styles: CMOS versus pass-transistor," IEEE Solid - State Circuits, vol. 32, pp. 1079-1090, July 1997.
- [5] T. Lynch and E. Swartzlander, "A Spanning tree carry lookahead adder," IEEE Trans. Comput, vol.41, pp.931-939, Aug. 1992.
- [6] N. Zhuang and H. Wu, "A New Design of CMOS Full Adder," IEEE J. Solid-State Circuits, vol. 27, no 5, May 1992.
- [7] H. Bui and A. Krim, "New 4 Transistor XOR and XNOR designs Dept. of Computer Science & Engineering, Florida Atlantic University, U.S.A.
- [8] J.B Kuo and J.-H. Lou, "Low-Voltage CMOS VLSI Circuit," John Wiley & Sons, Inc., 1999.
- [9] S.M. Kang, and L. Yusuf, "CMOS Digital Integrated Circuit Analysis and Design," McGraw-Hill, 1999.
- [10] A. Bellaouar and M. Elmasry, "Low-Power Digital VLSI Design circuit and systems," Kluwer Academic Publishers, 1995.
- [11] K. Martin, "Digital Integrated Circuit Design," Oxford University Press, Inc., 2000
- [12] N.H.E. Weste and K. Eshraghian, "Principles of CMOS VLSI Design : A System Perspective," second edition, Addison-Wesley, Reading, MA, 1993.
- [13] J.P. Uyemura, "Circuit Design for CMOS VLSI," Kluwer Academic Publishers, Norwell, MA, 1992.
- [14] M.I. Elmasry, "Digital MOS Integrated Circuit Design," IEEE Press Book, 1993.
- [15] S.M. Kang, "Accurate Simulation of Power Dissipation in VLSI Circuit," IEEE J. Solid-State Circuits, vol. 21, no. 5, pp. 889-891, October 1986.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [16] J. Yuan and C. Svenson, "High-Speed CMOS Circuit Technique," IEEE J. Solid-State Circuits, vol. 24, no. 1, pp. 62-71, February 1989.
- [17] L.A. Glasser and D.W. Dobberpuhl, "The Design and analysis of VLSI Circuit ," Addison Wesley, Reading, MA,1985.
- [18] A.Chandrakason et al., "Low Power CMOS Digital Design," IEEE J. Solid-State Circuits, vol. 2, no. 4, pp. 473-484, April 1992.
- [19] M.I. Elmasry, "Digital MOS Integrated Circuits I", IEEE Press Book, 1981.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

ผลงานที่ได้รับการตีพิมพ์

- [1] มนตรี คำเงิน กอบชัย เดชหาญ วิไลพร โอบอ้อม วิษณุ กอพยัคฆินทร์ วงจรรอง
ความถี่แบบนอตซ์ที่มีความถี่ศูนย์กลางหยุดที่ 60 Hz โดยใช้วงจรทรานคอนดักเตอร์ วิศวกรรม
ลาดกระบัง ปีที่ 19 ฉบับที่ 1 มีนาคม 2545 หน้า 25-29
- [2] วิไลพร โอบอ้อม กอบชัย เดชหาญ การออกแบบวงจรพลาสมาไดโอดเดอริชี่มอสกำลังต่ำ
วิศวกรรมลาดกระบัง ปีที่ 21 ฉบับที่ 3 กันยายน 2547 หน้า 44-49



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

มอสทรานซิสเตอร์โมเดลที่ใช้ในการทดสอบวงจรวกขชนิดพลูแอกเตอร์ซีมอส

ตาราง ข.1 ตัวแปรของมอสทรานซิสเตอร์ MOSIS LEVEL 3

มอสทรานซิสเตอร์	โมเดล 0.35 μm	
	NMOS	PMOS
ศักดาเทรชโฮล (V_t)	0.5445	-0.71406
ความคล่องตัวของโฮลหรืออิเล็กตรอนบริเวณผิว (μ_o)	436.256	212.231
ความหนาของชั้นออกไซด์ (t_{ox})	$7.9 \cdot 10^{-9}$	$7.9 \cdot 10^{-9}$
คาแพซิแตนรอยต่อพีกับเอ็น (CJ)	$1 \cdot 10^{-3}$	$1.419 \cdot 10^3$
คาแพซิแตนรอยต่อรอบซอสและเดรนกับฐานรอง ($CJSW$)	$3.777 \cdot 10^{-10}$	$4.813 \cdot 10^{-10}$
ความลึกของซอสและเดรนในฐานรอง (XJ)	$3 \cdot 10^{-7}$	$2 \cdot 10^{-7}$
ความกว้างแชลแนล (W)	ดูตารางที่ ข.2,3,4	ดูตารางที่ ข.2,3,4
ความยาวแชลแนล (L)	ดูตารางที่ ข.2,3,4	ดูตารางที่ ข.2,3,4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง ข.2 ขนาดของมอสทรานซิสเตอร์ในวงจรวกชนิดฟลูแอคเตอร์ซีมอสแบบมาตรฐาน

Conv.	ความกว้างเซลล์ (W)	ความยาวเซลล์ (L)
CMOS Full Adder Circuit		
M1-M28	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$

ตาราง ข.3 ขนาดของมอสทรานซิสเตอร์ในวงจรวกชนิดฟลูแอคเตอร์ซีมอสแบบ Static energy recovery

Previous CMOS Full Adder Circuit [2]	ความกว้างเซลล์ (W) (m)	ความยาวเซลล์ (L) (m)
M1	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M2	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M3	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$
M4	$2.00 \cdot 10^{-06}$	$2.00 \cdot 10^{-06}$
M5	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M6	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M7	$1.75 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$
M8	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$
M9	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M10	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง ข.4 ขนาดของมอสทรานซิสเตอร์ในวงจรบวกชนิดฟลูแอตเตอร์ซีมอสแบบใหม่

Previous CMOS Full Adder Circuit [2]	ความกว้างเซลล์แนล (W) (m)	ความยาวเซลล์แนล (L) (m)
M1	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M2	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M3	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$
M4	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$
M5	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M6	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$
M7	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M8	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$
M9	$1.75 \cdot 10^{-06}$	$0.35 \cdot 10^{-06}$
M10	$2.00 \cdot 10^{-06}$	$1.00 \cdot 10^{-06}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นางสาววิไลพร โอบอ้อม เกิดเมื่อวันที่ 22 มีนาคม 2521 ที่อำเภอทุ่งตะโก จังหวัดชุมพร สำเร็จการศึกษาระดับปริญญาตรี สาขาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า จากมหาวิทยาลัยสยาม ปีการศึกษา 2543 ปัจจุบันทำงานในตำแหน่งอาจารย์ประจำสังกัดคณะวิทยาศาสตร์ สาขาวิศวกรรมคอมพิวเตอร์ มหาวิทยาลัยรัตนบัณฑิตวิทยาการศาสตร์และเทคโนโลยี บางกะปิ กรุงเทพมหานคร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้