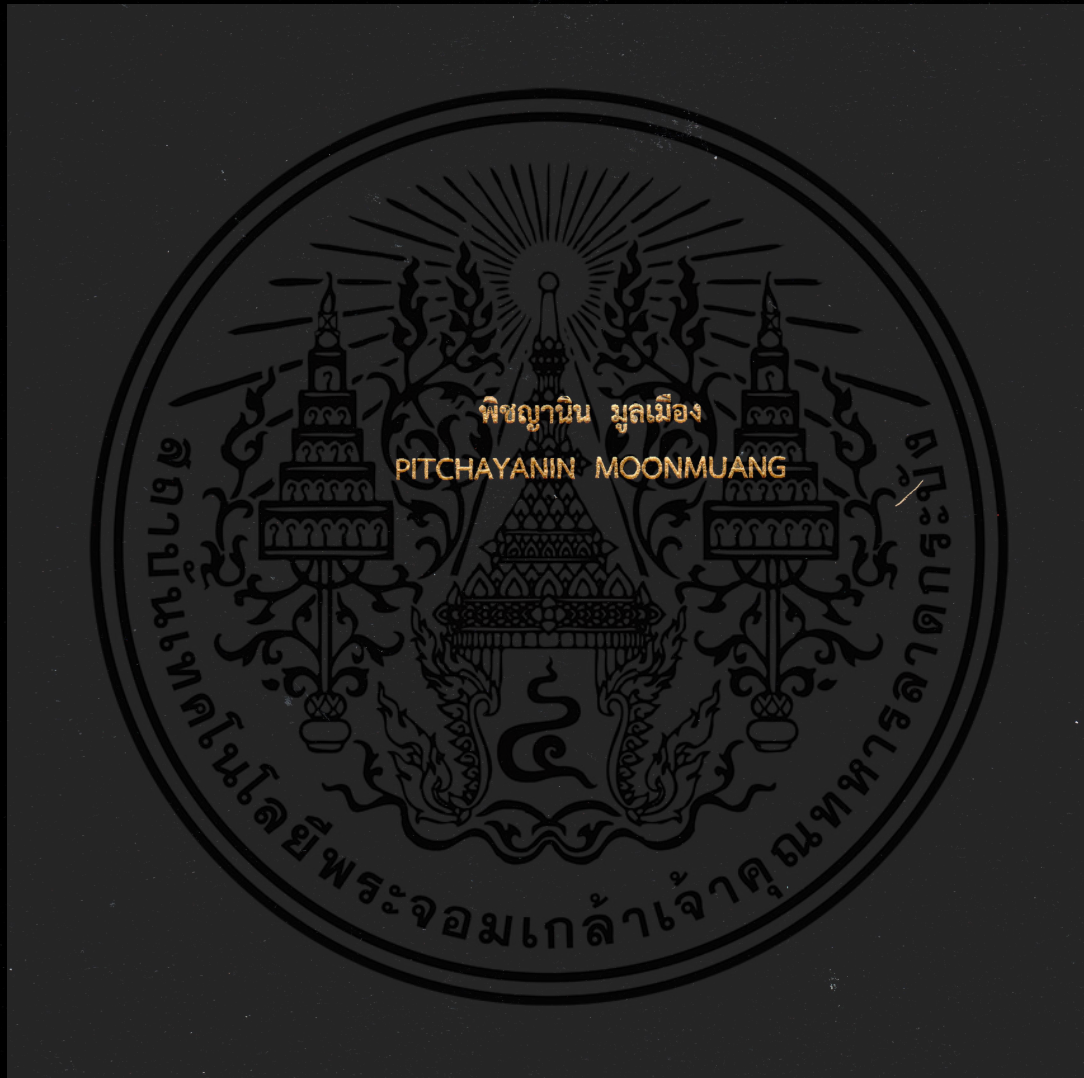


วงจรรคูณค่าความจุไฟฟ้าเทียบกราวด์แบบปรับค่าได้โดยใช้วงจรร VDBA

GROUNDED ADJUSTABLE CAPACITANCE MULTIPLIER CIRCUITS  
USING VDBAs



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-M-080-128

วงจรรคูณค่าความจุไฟฟ้าเทียบกราวด์แบบปรับค่าได้โดยใช้วงจรร VDBA

GROUNDABLE ADJUSTABLE CAPACITANCE MULTIPLIER CIRCUITS  
USING VDBAs



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-M-080-018

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GROUNDABLE ADJUSTABLE CAPACITANCE MULTIPLIER CIRCUITS  
USING VDBAs



A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN CONTROL ENGINEERING  
FACULTY OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG  
2019  
KMITL-2019-EN-M-080-018

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2019

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรควบคุมค่าความจุไฟฟ้าเทียบกราวด์แบบปรับค่าได้โดยใช้วงจร VDBA
นักศึกษา	นางสาวพิชญานิน มูลเมือง
รหัสประจำตัว	60601052
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมระบบควบคุม
พ.ศ.	2562
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ศ.ดร. วรพงศ์ ตั้งศรีรัตน์

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบวงจรควบคุมค่าความจุไฟฟ้าจำนวนสามวงจร โดยใช้อุปกรณ์แอคทีฟหลัก (active element) คือวงจร VDBA (voltage differencing buffered amplifier) ซึ่งวงจรที่นำเสนอสังเคราะห์ขึ้นจากวงจร VDBA จำนวนเพียงสองตัวเท่านั้น โดยทั้งสามวงจรใช้อุปกรณ์พาสซีฟแตกต่างกันดังนี้ วงจรที่หนึ่งประกอบไปด้วยตัวต้านทานแบบลอยตัวจำนวนหนึ่งตัวและตัวเก็บประจุไฟฟ้าเทียบกราวด์จำนวนหนึ่งตัว วงจรที่สองนั้นประกอบไปด้วยตัวเก็บประจุไฟฟ้าแบบลอยตัวจำนวนเพียงหนึ่งตัวโดยปราศจากตัวต้านทานจากภายนอก และวงจรสุดท้ายจะประกอบด้วยตัวเก็บประจุไฟฟ้าแบบเทียบกราวด์จำนวนหนึ่งตัวเท่านั้น ซึ่งค่าความต้านทานสมมูลและค่าความจุไฟฟ้าสมมูล ของวงจรที่นำเสนอสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรกระแสไบอัสจากภายนอกของวงจร VDBA คุณสมบัติในการทำงานถูกแสดงให้เห็นผลจริงด้วยผลการจำลองการทำงานผ่านโปรแกรม PSPICE ด้วยเทคโนโลยีแบบ CMOS ขนาด  $0.25\ \mu\text{m}$  ของบริษัท TSMC และการต่อทดลองด้วยวงจรจริงโดยใช้ไอซีเบอร์ CA3080 ต่อร่วมกับไอซีเบอร์ LF356 อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต่ออ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Grounded Adjustable Capacitance Multiplier Circuits Using VDBAs
Student	Ms. Pitchayanin Moonmuang
Student ID.	60601052
Degree	Master of Engineering
Program	Control Engineering
Year	2019
Thesis Advisor	Prof. Dr. Worapong Tangsirat

## ABSTRACT

In this thesis, three configurations for realizing electronically tunable grounded capacitance multiplier circuits are proposed. Each of the proposed multiplier circuits consists of only two VDBAs (voltage differencing buffered amplifiers) as active components. In addition to passive component count, the first proposed configuration contains one floating resistor and one grounded capacitor. The second one requires one floating capacitor without needing any passive resistors. The last one employs only one grounded capacitor. The simulated values of equivalent resistance and equivalent capacitance can be tuned electronically by the external bias currents of the VDBAs. The performance of the simulator circuits have been evaluated through PSPICE simulation with TSMC 0.25  $\mu\text{m}$  CMOS technology, together with experimentally test using commercially available IC components CA3080 and LF356. The performances of the proposed circuit have been confirmed with the theory.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จสมบูรณ์ได้ด้วยดีจากความช่วยเหลือของอาจารย์และบุคคลหลายท่านดังนี้

ผู้เขียนขอกราบขอบพระคุณอาจารย์ผู้ควบคุมวิทยานิพนธ์ ศาสตราจารย์ ดร. วรพงศ์ ตั้งศรีรัตน์ ที่กรุณารับผู้เขียนเป็นศิษย์ คอยให้คำแนะนำขั้นตอนวิธีการทำวิจัยที่ถูกต้อง พร้อมแนวทางการแก้ไขปัญหาต่างๆ ที่เกิดขึ้น ตลอดการเขียนวิทยานิพนธ์ฉบับนี้ผู้เขียนได้รับความรู้ความเข้าใจเกี่ยวกับวิทยานิพนธ์อย่างถ่องแท้ รวมถึงประสบการณ์ที่ได้มีโอกาสเข้าร่วมการประชุมทางวิชาการทั้งในประเทศและต่างประเทศ พร้อมทั้งคอยปลุกฝังแนวคิดการดำเนินชีวิตที่เป็นแบบอย่างที่ดีให้แก่ผู้เขียน จึงขอกราบขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้

ขอกราบขอบพระคุณรองศาสตราจารย์ ดร. ธีรศิลป์ ทุมวิภาต และรองศาสตราจารย์ ดร. สุมาลี อุณหวนิชย์ ภาควิชาวิศวกรรมเครื่องมื่อวัดและอิเล็กทรอนิกส์ (IEE) คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ศาสตราจารย์ ดร. วันชัย รุ่งรุจา รองศาสตราจารย์ ดร. วรณดี เพชรณณิล้ำค่า รองศาสตราจารย์ ดร. ทศยา ปุคคละนนท์ ผู้ช่วยศาสตราจารย์ ดร. สิริชัย ธรรมารักษ์วัฒน์ และผู้ช่วยศาสตราจารย์ ดร. อภินัย ฤกษ์รัตน์ ภาควิชาวิศวกรรมการวัดและควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้คำแนะนำ ให้ความรู้ในเรื่องต่างๆทั้งในตำราและนอกตำราเรียนแก่ผู้เขียนเสมอมา

ขอขอบคุณ ทุนศาสตราจารย์วิจัย กองทุนวิจัยสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เลขที่สัญญา KREF116001 ที่ให้ทุนสนับสนุนการวิจัยในวิทยานิพนธ์ฉบับนี้

ขอขอบคุณห้องปฏิบัติการวิจัยประมวลผลสัญญาณรวม (Mixed Signal Processing Laboratory, MSP Lab) ซึ่งให้การสนับสนุนพื้นที่การทำงานวิจัย เครื่องมือต่างๆ ที่ใช้ในการทดลอง เพื่อแสดงในวิทยานิพนธ์ฉบับนี้

ขอขอบคุณพี่เจต พี่ปอนด์ พี่พิน พี่โอปอ พี่ออย พี่อ้อม และโอม ณ ห้องปฏิบัติการวิจัย MSP Lab สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ซึ่งเป็นกำลังใจและชี้แนะแนวทางการแก้ปัญหา รวมทั้งสนับสนุนเครื่องมือและอุปกรณ์ต่างๆกับผู้เขียนตลอดระยะเวลาของการศึกษา

ขอกราบขอบพระคุณ นางนภาพร มูลเมือง ซึ่งเป็นมารดา และนายนิคม มูลเมืองซึ่งเป็นบิดาของข้าพเจ้า ที่เป็นกำลังใจให้การสนับสนุนและให้ความช่วยเหลือผู้เขียนในทุกๆ ด้านเสมอมา ซึ่งมีค่ากับผู้เขียนอย่างยิ่ง

สุดท้ายนี้ขอขอบพระคุณบุคคลที่มีได้เอ่ยนามมา ณ ที่นี้ ซึ่งให้การสนับสนุนผู้เขียน และเป็นกำลังใจให้กับผู้เขียนเสมอมา

คุณประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแต่ผู้มีพระคุณทุกท่าน

พิชญานิน มูลเมือง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และตัด III อ่างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ .....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	4
1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์.....	4
1.4 รายละเอียดของวิทยานิพนธ์.....	5
1.5 เอกสารอ้างอิงบทที่ 1.....	6
บทที่ 2 วงจร VDBA.....	16
2.1 กล่าวนำ.....	16
2.2 หลักการทำงานพื้นฐานของวงจร VDBA.....	16
2.2.1 คุณสมบัติวงจร VDBA ในทางอุดมคติ.....	17
2.2.2 คุณสมบัติวงจร VDBA ในทางปฏิบัติ.....	18
2.3 วงจร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์.....	19
2.3.1 วงจร VDBA แบบปรับค่าอัตราขยายค่าความนำด้วยแรงดันไบอัส.....	20
2.3.2 วงจร VDBA แบบปรับค่าอัตราขยายค่าความนำด้วยกระแสไบอัส.....	21
2.4 การสังเคราะห์วงจร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์.....	22
2.4.1 วงจรขยายค่าความนำ.....	22
2.4.2 วงจรตามแรงดัน.....	25
2.5 ผลการจำลองการทำงานวงจร VDBA.....	28
2.6 ผลการทดลองต่อวงจรจริง.....	33
2.7 สรุป.....	37
2.8 เอกสารอ้างอิงบทที่ 2.....	38
บทที่ 3 วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ตัวเก็บประจุเทียบกราวด์ 40	
3.1 กล่าวนำ.....	40
3.2 วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่น่าสนใจ.....	41
3.3 วงจรคูณค่าความจุไฟฟ้าที่น่าสนใจในทางปฏิบัติ.....	42
3.4 ผลการจำลองการทำงานของวงจร.....	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และดัดแปลงอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
3.5 ผลการต่อทดลองด้วยวงจรจริง.....	45
3.6 การประยุกต์ใช้งานของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอ.....	51
3.7 สรุป .....	52
3.8 เอกสารอ้างอิงบทที่ 3.....	53
<b>บทที่ 4 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์โดยปราศจากตัวต้านทาน.....</b>	<b>55</b>
4.1 กล่าวนำ .....	55
4.2 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานที่นำเสนอ .....	56
4.3 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานในทางปฏิบัติ.....	57
4.4 ผลการจำลองการทำงานของวงจร .....	58
4.5 ผลการต่อทดลองด้วยวงจรจริง.....	60
4.6 การประยุกต์ใช้งานของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอ.....	65
4.7 สรุป .....	67
4.8 เอกสารอ้างอิงบทที่ 4.....	67
<b>บทที่ 5 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ ตัวเก็บประจุเทียบกราวด์.....</b>	<b>69</b>
5.1 กล่าวนำ .....	69
5.2 วงจรคุณค่าความจุไฟฟ้าปราศจากตัวต้านทานที่นำเสนอ .....	70
5.3 วงจรคุณค่าความจุไฟฟ้าปราศจากตัวต้านทานในทางปฏิบัติ .....	71
5.4 ผลการจำลองการทำงานของวงจร .....	72
5.5 ผลการต่อทดลองด้วยวงจรจริง.....	75
5.6 การประยุกต์ใช้งานของวงจรคุณค่าความจุไฟฟ้าที่ปราศจากตัวต้านทานนำเสนอ .....	80
5.7 สรุป .....	81
5.8 เอกสารอ้างอิงบทที่ 5.....	82
<b>บทที่ 6 บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ.....</b>	<b>84</b>
6.1 บทสรุป .....	84
6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ .....	86
6.3 เอกสารอ้างอิงบทที่ 6.....	87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และดัดแปลงอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
ภาคผนวก .....	88
ภาคผนวก ก การวิเคราะห์คุณสมบัติของวงจรขยายค่าความนำ .....	89
ภาคผนวก ข การวิเคราะห์คุณสมบัติของวงจรตามแรงดัน .....	95
ภาคผนวก ค การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 3.1 .....	103
ภาคผนวก ง การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 4.1.....	112
ภาคผนวก จ การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 5.1 .....	120
ภาคผนวก ฉ บทความวิจัยที่ได้รับการตีพิมพ์ .....	129
ประวัติผู้เขียน .....	162



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่	หน้า
1.1 ชนิดและจำนวนอุปกรณ์แอกทีฟและพาสซีฟสำหรับการ การสังเคราะห์วงจรคุณค่าความจุไฟฟ้า.....	2
2.1 อัตราส่วนความกว้างต่อความยาวช่องนำกระแส ( $W/L$ ) ของมอสทรานซิสเตอร์ของวงจร VDBA ในรูปที่ 2.7 .....	29
2.2 รายละเอียดของค่า $g_m$ และค่าความคลาดเคลื่อนที่ได้รับ เมื่อทำการแปร $I_B$ สีค่า ดังรูปที่ 2.17 .....	31
2.3 รายละเอียดของ $v_z/v_{id}$ และ $g_m$ เมื่อแปรค่า $I_B$ ในรูปที่ 2.23 .....	35
3.1 รายละเอียดการแปรค่า $g_{m1}/g_{m2}$ และ $C_{eq}$ .....	44
3.2 รายละเอียดของ $C_{eq}$ เมื่อแปร $\frac{g_{m1}}{g_{m2}}$ .....	50
3.3 รายละเอียดค่าอุปกรณ์ในวงจรหลังจากทำการนอร์มอลไลซ์และการสเกล .....	51
3.4 รายละเอียดของ $I_{B1}$ และ $g_{mi}$ ของวงจร VDBA สำหรับค่า $C_{eq1}$ และ $C_{eq2}$ .....	51
4.1 รายละเอียดการแปรค่า $g_{m1}$ และ $C_{eq}$ .....	59
4.2 รายละเอียดการแปรค่า $C_{eq}$ เมื่อแปรค่า $g_{m1}$ .....	63
5.1 รายละเอียดของ $R_{eq}$ และ $C_{eq}$ เมื่อแปรค่า $g_{m1}$ .....	74
5.2 รายละเอียดของค่า $Z_{eq}$ ในทางทฤษฎีและทางปฏิบัติ เมื่อแปรค่า $g_{m1}$ .....	79

# สารบัญรูป

รูปที่	หน้า
2.1	วงจรร VDBA ในทางอุดมคติ ..... 17
2.2	วงจรมมูลทางไฟฟ้าของวงจรร VDBA ในทางปฏิบัติ ..... 18
2.3	สัญลักษณ์ของมอสทรานซิสเตอร์ ..... 19
2.4	วงจรมมูลของมอสทรานซิสเตอร์ชนิดเอ็นกรณีสัญญาณขนาดเล็ก ..... 20
2.5	วงจรร VDBA แบบปรับค่าอัตราขยายค่าความนำด้วย $V_{B1}$ ..... 21
2.6	วงจรร VDBA แบบปรับค่าอัตราขยายค่าความนำด้วย $I_B$ ..... 21
2.7	โครงสร้างภายในของวงจรร VDBA แบบเทคโนโลยีแบบมอสทรานซิสเตอร์ที่นำเสนอ ..... 22
2.8	วงจรรขยายค่าความนำ ..... 24
2.9	วงจรรสะท้อนกระแส ..... 24
2.10	วงจรรขยายสัญญาณผลต่าง ..... 25
2.11	วงจรรตามแรงดัน ..... 26
2.12	วงจรรตามแรงดันกรณีสัญญาณขนาดใหญ่ ..... 26
2.13	วงจรรตามแรงดันกรณีสัญญาณขนาดเล็กเมื่อวิเคราะห์แบบครึ่งวงจรร ..... 27
2.14	ผลการจำลองผลตอบสนองทางความถี่ของค่าความต้านทานอินพุตที่ขั้ว p และขั้ว n ..... 29
2.15	ผลการจำลองผลตอบสนองทางความถี่ของค่าความต้านทานเอาต์พุตที่ขั้ว z ..... 29
2.16	ผลการจำลองผลตอบสนองทางความถี่ของค่าความต้านทานเอาต์พุตที่ขั้ว w ..... 30
2.17	ผลการจำลองผลตอบสนองทางความถี่ของ $g_m$ เมื่อแปรค่า $I_B$ ..... 31
2.18	ผลการจำลองอัตราขยายค่าความนำ $g_m$ เมื่อแปรค่าแรงดันอินพุตผลต่าง ..... 31
2.19	ผลการจำลองอัตราขยายค่าความนำของวงจรร VDBA เมื่อแปรค่า $I_B$ ..... 32
2.20	คุณสมบัติการส่งผ่านแรงดัน $v_z$ ไปยัง $v_w$ ..... 32
2.21	ผลการจำลองผลตอบสนองทางความถี่ของ $v_w/v_z$ ..... 33
2.22	วงจรร VDBA โดยใช้ไอซีเบอร์ CA3080 ต่อร่วมกับไอซีเบอร์ LF356 ..... 34
2.23	ภาพถ่ายวงจรร VDBA บนแผ่นวงจรรพิมพ์ที่ใช้ในการต่อทดลองจริง ..... 34
2.24	ผลการวัดแรงดัน $v_p$ และ $v_z$ ของวงจรร VDBA ในรูปที่ 2.23 ..... 35
2.25	ผลการวัดแรงดัน $v_n$ และ $v_z$ ของวงจรร VDBA ในรูปที่ 2.23 ..... 35
2.26	ผลการวัดผลตอบสนองทางความถี่ของ $v_z/v_{id}$ ..... 36
2.27	ผลการวัดการส่งผ่านแรงดัน $v_z$ ไปยัง $v_w$ ในรูปที่ 2.23 ..... 37
3.1	วงจรรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอ ..... 41
3.2	ผลการจำลองผลตอบสนองทางความถี่ของวงจรรที่นำเสนอในรูปที่ 3.1 ..... 43
3.3	ผลการจำลองผลตอบสนองทางเวลาของวงจรรที่นำเสนอในรูปที่ 3.1 ..... 44

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และตั้ง VIII ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
3.3	ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 3.1 ..... 44
3.4	ผลการจำลองผลตอบสนองทางความถี่เมื่อแปรค่า $g_{m1}/g_{m2}$ ..... 44
3.5	วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 3.1 สำหรับแผ่นวงจรพิมพ์ ..... 45
3.6	ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 3.1 ..... 46
3.7	ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.5 เมื่อ $g_{m1} = g_{m2} \cong 1 \text{ mA/V}$ ..... 47
3.8	ผลการวัดผลตอบสนองทางขนาด เมื่อแปร $g_{m1}$ ..... 47
3.9	ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปร $g_{m1}$ ..... 49
3.10	วงจรรองความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ทโดยใช้วงจรคุณค่าความจุไฟฟ้าที่นำเสนอ ..... 51
3.11	ผลจำลองผลตอบสนองทางความถี่ของ วงจรรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ทในรูปที่ 3.10 ..... 52
4.1	วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานที่นำเสนอ ..... 56
4.2	ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 4.1 ..... 58
4.3	ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 4.1 ..... 59
4.4	ผลการจำลองผลตอบสนองทางความถี่เมื่อแปรค่า $g_{m1}$ ..... 59
4.5	วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 4.1 สำหรับแผ่นวงจรพิมพ์ ..... 60
4.6	ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 4.1 ..... 61
4.7	ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 4.5 เมื่อ $g_{m1} = g_{m2} \cong 1 \text{ mA/V}$ ..... 61
4.8	ผลการวัดผลตอบสนองทางขนาด เมื่อแปร $g_{m1}$ ..... 62
4.9	ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปรค่า $g_{m1}$ ..... 64
4.10	วงจรรองความถี่ต่ำอันดับสองโดยใช้วงจรคุณค่าความจุไฟฟ้าที่นำเสนอ ..... 66
4.11	ผลจำลองผลตอบสนองทางความถี่ของวงจรรองผ่านความถี่ต่ำอันดับสองในรูปที่ 4.10 ..... 66
5.1	วงจรคุณค่าความจุไฟฟ้าปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ ..... 70
5.2	ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 5.1 ..... 73
5.3	ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 5.1 ..... 73
5.4	ผลการจำลองผลตอบสนองทางความถี่เมื่อแปรค่า $g_{m1}$ ..... 74
5.5	ผลการจำลองผลตอบสนองทางความถี่เมื่อแปรค่า $g_{m2}$ ..... 74
5.6	วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานที่นำเสนอในรูปที่ 5.1 สำหรับแผ่นวงจรพิมพ์ ..... 75
5.7	ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 5.1 ..... 76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และดัดแปลงอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.8 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 5.6 เมื่อ $g_{m1} = g_{m2} \cong 1 \text{ mA/V}$ .....	76
5.9 ผลการวัดผลตอบสนองทางขนาด เมื่อแปร $g_{m1}$ .....	77
5.10 ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปร $g_{m1}$ .....	78
5.11 วงจรกรองผ่านความถี่สูงอันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.1 .....	80
5.12 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่สูงอันดับสองในรูปที่ 5.11 .....	81
ก1 วงจรสะท้อนกระแส .....	90
ก2 วงจรสมมูลของวงจรสะท้อนกระแสดังรูปที่ ก1 .....	91
ก3 วงจรสมมูลของวงจรสะท้อนกระแสในรูปที่ ก1 เมื่อวิเคราะห์หาค่า $r_{oc}$ .....	92
ก4 วงจรสำหรับวิเคราะห์หาค่า $g_m$ ของวงจร .....	93
ข1 วงจรตามแรงดันกรณีสัญญาณขนาดใหญ่.....	96
ข2 วงจรตามแรงดันกรณีสัญญาณขนาดเล็กเมื่อวิเคราะห์สัญญาณแบบครึ่งวงจร .....	97
ข3 วงจรสมมูลของรูปที่ ข2 .....	97
ข4 การวิเคราะห์คุณสมบัติของมอสทรานซิสเตอร์ $M_9$ .....	98
ข5 วงจรสมมูลของรูปที่ ข4 .....	98
ข6 การวิเคราะห์ค่าความต้านทานเอาต์พุต ( $r_o$ ) ของวงจรขยายค่าความนำ .....	99
ข7 วงจรสมมูลของรูปที่ ข6 .....	100
ข8 การวิเคราะห์หาคุณสมบัติความต้านทานเอาต์พุต ( $r_{out}$ ).....	101
ข9 วงจรสมมูลของรูปที่ ข8 .....	101
ค1 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอในรูปที่ 3.1 .....	104
ค2 วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธในรูปที่ 3.10.....	111
ค3 วงจรกรองความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธในรูปที่ ค2 โดยใช้วงจรคุณค่าความจุไฟฟ้าที่นำเสนอ.....	111
ง1 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอในรูปที่ 4.1 .....	113
ง2 วงจรกรองผ่านความถี่ต่ำอันดับสองโดยใช้วงจรคุณค่าความจุไฟฟ้าที่นำเสนอ .....	118
จ1 วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 5.1.....	121
จ2 วงจรกรองผ่านความถี่สูงอันดับสอง โดยใช้วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 5.1 .....	126

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันความก้าวหน้าทางเทคโนโลยี ก่อให้เกิดการคิดค้นประดิษฐ์สิ่งของอำนวยความสะดวกต่อการดำรงชีวิตของมนุษย์ ส่งผลให้ภาคอุตสาหกรรมนั้นเข้ามามีส่วนสำคัญต่อการผลิตอุปกรณ์อิเล็กทรอนิกส์ต่างๆ ซึ่งอุปกรณ์เหล่านั้นจะไม่สามารถทำงานได้อย่างสมบูรณ์ได้ ถ้าขาดวงจรรวมหรือ ไอซี (integrated circuit, IC) ซึ่งภายในประกอบไปด้วยองค์ประกอบอิเล็กทรอนิกส์พื้นฐานชนิดต่างๆ เช่น ทรานซิสเตอร์ ตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า มาต่อทำงานร่วมกันเพื่อประมวลผลสัญญาณทางแอนะล็อก (analog signal processing) ให้เหมาะสมกับลักษณะการทำงาน และก่อให้เกิดประสิทธิภาพสูงสุดของแต่ละวงจร แต่เนื่องจากอุปกรณ์อิเล็กทรอนิกส์ในปัจจุบันส่วนใหญ่มีขนาดเล็กและมีฟังก์ชันการทำงานที่หลากหลาย ทำให้เทคโนโลยีสำหรับการออกแบบวงจรรวม นั้นมีขนาดเล็กลงมาก แต่อย่างไรก็ตามอุปกรณ์อิเล็กทรอนิกส์พื้นฐานประเภทอุปกรณ์พาสซีฟ (passive element) นั้นมีขนาดทางกายภาพค่อนข้างใหญ่ ทำให้กินพื้นที่วงจรมาก ไม่เหมาะสมกับรูปแบบการสร้างเป็นวงจรรวม รวมทั้งอุปกรณ์ดังกล่าวนี้ไม่สามารถปรับเปลี่ยนค่าทางอิเล็กทรอนิกส์ได้อีกด้วย จึงมีการนำเสนออุปกรณ์อิเล็กทรอนิกส์ประเภทแอกทีฟ (active element) [1]-[10] ซึ่งคุณสมบัติเด่น คือ มีลักษณะทางกายภาพเล็กและใช้แรงดันไฟเลี้ยงของวงจรต่ำ (low-supply voltage) รวมถึงยังสามารถปฏิบัติงานในย่านความถี่สูง เป็นต้น เข้ามามีบทบาทสำคัญในการออกแบบวงจรเลียนแบบอุปกรณ์พาสซีฟหรือวงจรเลียนแบบค่าอิมพีแดนซ์ (impedance simulator) โดยอุปกรณ์แอกทีฟที่นิยมใช้กันอย่างแพร่หลายในยุคแรกคือ ออปแอมป์ (operational amplifier, OA) [11] ซึ่งมีลักษณะการทำงานเป็นวงจรรขยายสัญญาณแรงดันที่ถูกควบคุมด้วยแรงดัน จากนั้นไม่นานวงจร OTA (operational transconductance amplifier) [12]-[20] ได้ถูกนำเสนอ ซึ่งเป็นวงจรรขยายสัญญาณกระแสที่ถูกควบคุมด้วยแรงดัน เพื่อให้มีฟังก์ชันการทำงานที่หลากหลายและเหมาะสมต่อการทำงานของแต่ละอุปกรณ์ รวมถึงประสิทธิภาพการทำงานที่ดียิ่งขึ้นจึงได้มีการพัฒนาต่อยอดงานวิจัยที่เกี่ยวกับอุปกรณ์แอกทีฟมาอย่างต่อเนื่อง ยกตัวอย่างเช่น วงจร CC (current conveyor) [21]-[30] วงจร CDBA (current differencing buffered amplifier) [31]-[40] วงจร CDTA (current differencing transconductance amplifier) [41]-[50] วงจร VDTA (voltage differencing transconductance amplifier) [51]-[60] วงจร VDBA (voltage differencing buffered amplifier) [61]-[69] เป็นต้น โดยอุปกรณ์แอกทีฟเหล่านี้ถูกนำไปประยุกต์ใช้งานอย่างหลากหลาย อาทิเช่น วงจรกรองสัญญาณ (filter circuit) [70]-[71] วงจรออสซิลเลเตอร์ (oscillator) [72] รวมถึงการสังเคราะห์วงจรเลียนแบบตัวต้านทาน (resistance simulator) [73] วงจรเลียนแบบตัวเหนี่ยวนำ (inductance simulator) [74]-[75] และวงจรมคูณค่า

ความจุไฟฟ้า (capacitance multiplier) เป็นต้น ดังนั้นวิทยานิพนธ์ฉบับนี้จึงได้นำเสนอการ  
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้โดยไม่เสียค่าใช้จ่าย  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบและสังเคราะห์วงจรคุณค่าความจุไฟฟ้า ซึ่งจากการศึกษาค้นคว้างานวิจัยเกี่ยวกับวงจรคุณค่าความจุไฟฟ้า [76]-[87] พบว่างานวิจัยที่นำเสนอก่อนหน้านี้ได้ออกแบบวงจรโดยใช้ชนิดและจำนวนของอุปกรณ์แอคทีฟและพาสซีฟที่แตกต่างกัน สามารถสรุปได้ดังตารางที่ 1.1

ตารางที่ 1.1 ชนิดและจำนวนอุปกรณ์แอคทีฟและพาสซีฟสำหรับการสังเคราะห์วงจรคุณค่าความจุไฟฟ้า

เอกสารอ้างอิง	ชนิดและจำนวนอุปกรณ์แอคทีฟ	จำนวนอุปกรณ์พาสซีฟในวงจร				ปรับค่าได้ทางอิเล็กทรอนิกส์
		ตัวต้านทาน		ตัวเก็บประจุไฟฟ้า		
		เทียบกราวด์	ลอยตัว	เทียบกราวด์	ลอยตัว	
[76]	OTA = 2 VF = 1	-	-	-	1	ได้
[77]	OTA = 2 OA = 1	-	-	1	-	ได้
[78]	CCII = 1	2	-	-	1	ไม่ได้
[79]	CCII- = 1 COA = 1	2	-	1	-	ไม่ได้
[80]	CCII- = 1 CCII+ = 1	2	-	1	-	ไม่ได้
[81]	CCII+ = 3	1	-	1	-	ได้
[82]	CCII+ = 2 VF = 2	2	-	-	1	ไม่ได้
[83]	MCFOA = 1	2	-	1	-	ไม่ได้
[84]	CCTA = 2	-	-	1	-	ได้
[85]	OTA = 3	-	-	-	1	ไม่ได้
[86]	VDBA = 2	-	2	-	1	ได้
[87]	VDTA = 2	-	-	1	-	ได้

โดยที่ VF แทนถึง Voltage Follower

CCII แทนถึง Second Generation Current Conveyors

COA แทนถึง Current Operational Amplifier

CCII- แทนถึง Second Generation Negative Current Conveyors

CCII+ แทนถึง Second Generation Positive Current Conveyors

MCFOA แทนถึง Modified Current-Feedback Operational Amplifiers

CCTA แทนถึง Current Controlled Current Conveyor Transconductance Amplifiers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาตารางที่ 1.1 จะพบว่างานวิจัยใน [77] และ [81] ประกอบด้วยอุปกรณ์แอกทีฟถึงสามตัว และอุปกรณ์พาสซีฟอย่างน้อยหนึ่งตัว หรือในทางตรงกันข้ามงานวิจัย [78] และ [83] ใช้อุปกรณ์แอกทีฟเพียงตัวเดียว แต่ต้องใช้อุปกรณ์พาสซีฟถึงสามตัว ซึ่งส่งผลต่อขนาดของพื้นที่ในวงจรถึงยังมีผลต่อความซับซ้อนของวงจรถึงด้วย ถึงแม้บางกลุ่มงานวิจัยที่นำเสนอก่อนหน้านี้จะประกอบด้วยอุปกรณ์แอกทีฟและพาสซีฟอย่างละสองตัว ดังงานวิจัย [76], [82] แต่ก็ต้องอาศัยวงจรถตามแรงดัน (voltage follower) เพิ่มเข้ามาอย่างน้อยหนึ่งตัว หรือกรณีงานวิจัย [79]-[80], [82] วงจรถเหล่านี้ก็ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ นอกจากนี้งานวิจัยส่วนใหญ่ เช่น [79]-[81], [83]-[87] ยังคงใช้แรงดันไฟเลี้ยงสูงจึงส่งผลให้เกิดกำลังไฟฟ้าสูญเสียในวงจรถที่มาก จากที่กล่าวมาข้างต้นหากการสังเคราะห์วงจรถคุณค่าความจุไฟฟ้าสามารถลดจำนวนอุปกรณ์แอกทีฟและพาสซีฟในวงจรถได้ จะทำให้ขนาดพื้นที่ของวงจรถรวมลดลง อีกทั้งโครงสร้างภายในไม่ซับซ้อน นอกจากนี้ถ้าออกแบบให้วงจรถสามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำ จะส่งผลให้มีกำลังไฟฟ้าสูญเสียต่ำลงเช่นกัน (low-power consumption)

เมื่อเร็ว ๆ นี้ ได้มีผู้นำนเสนอ วงจรถ CDDBA ซึ่งเป็นอุปกรณ์แอกทีฟ [31] ที่มีความหลากหลายในการประยุกต์ใช้งานสำหรับการออกแบบวงจรถประมวลสัญญาณแอนะล็อกในโหมดกรรแสะ [88]-[89] เนื่องจากมีข้อดีหลายประการ เช่น มีค่า CMRR (common-mode rejection ratio) สูงและมีช่วงแบนด์วิทกว้าง แต่อย่างไรก็ตามวงจรถ CDDBA พบว่ามีข้อจำกัดในแง่ของการป้อนกลับสัญญาณในรูปแรงดัน เนื่องจากข้อจำกัดของวงจรถ CDDBA ทำหน้าที่รับสัญญาณกรรแสะ จึงจำเป็นต้องอาศัยอุปกรณ์จากภายนอกเพื่อเปลี่ยนสัญญาณแรงดันให้เปลี่ยนเป็นสัญญาณกรรแสะสำหรับจ่ายอินพุตให้แก่วงจรถ CDDBA จากข้อจำกัดดังกล่าว วงจรถ VDBA จึงถือกำเนิดขึ้น [61] โดยมีการเปลี่ยนส่วนของข้ออินพุตจากเดิมที่รับสัญญาณกรรแสะให้เป็นสัญญาณแรงดันแทน จึงทำให้ไม่จำเป็นต้องเพิ่มอุปกรณ์จากภายนอก นอกจากนี้วงจรถ VDBA มีลักษณะโครงสร้างไม่ซับซ้อน มีความเป็นเชิงเส้นดี และช่วงปฏิบัติการที่กว้าง อีกทั้งยังมีค่าเอาต์พุตอิมพีแดนซ์ที่ต่ำ เหมาะสมกับการต่อคาสเคด (cascade) และนำไปออกแบบวงจรถกรรสัญญาณในโหมดแรงดัน [64] อีกด้วย

จากเหตุผลที่ได้กล่าวมาข้างต้น วิทยานิพนธ์ฉบับนี้ จึงมีวัตถุประสงค์หลักเพื่อนำเสนอวงจรถคุณค่าความจุไฟฟ้า [90]-[92] ที่สังเคราะห์ขึ้นจากวงจรถ VDBA ซึ่งเป็นอุปกรณ์แอกทีฟหลัก และอุปกรณ์พาสซีฟไม่เกินสองตัว ทำให้โครงสร้างของวงจรถที่นำเสนอมีความซับซ้อนน้อยกว่างานวิจัยที่นำเสนอก่อนหน้านี้ [76]-[87] ที่มีการใช้อุปกรณ์แอกทีฟและพาสซีฟเป็นจำนวนมากดังที่ได้สรุปเปรียบเทียบไว้แล้วในตารางที่ 1.1 อีกทั้งวงจรถที่นำเสนอในวิทยานิพนธ์ฉบับนี้ยังสามารถปรับค่าทางอิเล็กทรอนิกส์ได้ รวมถึงใช้แรงดันไฟเลี้ยงที่ต่ำอีกด้วย

## 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์เพื่อออกแบบและสังเคราะห์วงจรคุณค่าความจุไฟฟ้าโดยใช้ วงจร VDBA ซึ่งเป็นอุปกรณ์แอกทีฟหลัก ต่อกับอุปกรณ์พาสซีฟ ได้แก่ ตัวต้านทาน ตัวเก็บประจุไฟฟ้า ซึ่งแบ่งการนำเสนอออกเป็นสามวงจร ดังต่อไปนี้

1) วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ ซึ่งประกอบไปด้วย วงจร VDBA จำนวนสองตัว ตัวต้านทานและตัวเก็บประจุไฟฟ้าเทียบกราวด์อย่างละหนึ่งตัว [90]

2) วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ ซึ่งประกอบไปด้วย วงจร VDBA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าแบบลอยตัวจำนวนหนึ่งตัว [91]

3) วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ ซึ่งประกอบไปด้วย วงจร VDBA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าแบบเทียบกราวด์จำนวนหนึ่งตัว [92]

เป้าหมายของวิทยานิพนธ์ฉบับนี้เพื่อสังเคราะห์และออกแบบวงจรคุณค่าความจุไฟฟ้าโดยวงจร ประกอบไปด้วยอุปกรณ์แอกทีฟหลักคือ วงจร VDBA ต่อกับอุปกรณ์พาสซีฟ ซึ่งค่าอิมพีแดนซ์ สมมูลของวงจรที่นำเสนอสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการปรับค่าจากกระแส ไบอัสจากภายนอกของวงจร VDBA นอกจากนี้ วงจรที่นำเสนอได้นำไปประยุกต์ใช้งานในวงจรกรอง สัญญาณชนิดต่างๆ ได้แก่ วงจรกรองผ่านความถี่ต่ำอันดับสอง (second-order low-pass filter) วงจรกรองผ่านความถี่ต่ำอันดับสี่โดยฟังก์ชัน บัตเตอร์เวิร์ท (fourth-order Butterworth low-pass filter) วงจรกรองผ่านความถี่สูงอันดับสอง (second order high pass filter) ซึ่งผลการทำงานของ วงจรได้แสดงให้เห็นจริงด้วยการจำลองผลการทำงานผ่านโปรแกรม PSPICE ด้วยเทคโนโลยีแบบ CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC (Taiwan Semiconductor Manufacturing Company) พร้อมทั้งผลจากการปฏิบัติงานจริงของวงจรจากการต่อไอซีเบอร์ CA3080 ร่วมกับไอซี เบอร์ LF356 อีกด้วย

## 1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์

จากการออกแบบวงจรคุณค่าความจุไฟฟ้าของงานวิจัยที่นำเสนอก่อนหน้านี้ [76]-[87] มีจุดมุ่งหมายเพื่อนำไปใช้งานแทนอุปกรณ์พาสซีฟ คือ ตัวเก็บประจุไฟฟ้า เนื่องจากตัวเก็บประจุ ไฟฟ้า นั้นมีขนาดทางกายภาพค่อนข้างใหญ่ ซึ่งส่งผลกระทบต่อการสร้างวงจรรวม กล่าวคือ ทำให้วงจรรวม มีขนาดใหญ่ขึ้น อีกทั้งยังไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้อีกด้วย แม้ว่าจะงานวิจัยที่ผ่านมาได้มีการ นำอุปกรณ์แอกทีฟเข้ามาออกแบบวงจรคุณค่าความจุไฟฟ้ามากขึ้นเป็นลำดับ แต่งานวิจัยส่วนหนึ่ง ก็มีการใช้งานอุปกรณ์แอกทีฟมากถึงสามตัว [81], [85] หรืองานวิจัย [78]-[80], [83] ที่วงจร ประกอบด้วยอุปกรณ์พาสซีฟจำนวนมากถึงสามตัว จึงส่งผลกระทบต่อขนาดพื้นที่ของวงจร รวมถึงงานวิจัย บางกลุ่มที่นำเสนอนั้นไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ได้อีกด้วย [78]-[80], [82]-[85] ดังนั้น วิทยานิพนธ์ฉบับนี้มีจุดมุ่งหมายเพื่อนำเสนอวงจรคุณค่าความจุไฟฟ้า [90]-[92] ซึ่งสังเคราะห์ด้วย

วงจร VDBA จำนวนสองตัว และอุปกรณ์พาสซีฟไม่เกินสองตัว จากที่กล่าวมาในข้างต้นแสดงให้เห็น เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่าวงจรที่นำเสนอมีโครงสร้างเรียบง่าย ไม่ซับซ้อน ส่งผลให้ใช้พื้นที่ของวงจรรวมลดลง รวมถึงวงจรมีความสามารถปรับค่าทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไป้อสจากภายนอกของวงจร VDBA และวงจรคุณค่าความจุไฟฟ้าที่นำเสนอใน [90], [91] และ [92] ได้แสดงให้เห็นถึงประสิทธิภาพการทำงานของวงจร โดยนำไปสังเคราะห์เป็นวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ท วงจรกรองผ่านความถี่ต่ำอันดับสอง และวงจรกรองผ่านความถี่สูงอันดับสองตามลำดับ

#### 1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้ ได้แบ่งเนื้อหาออกเป็น 6 บท และภาคผนวกอีก 6 ภาค โดยแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำ ได้กล่าวถึงความเป็นมาและความสำคัญของปัญหา เพื่อแสดงถึงจุดมุ่งหมายและวัตถุประสงค์ของการศึกษา รวมถึงหลักการและแนวคิดใหม่ที่น่าสนใจในวิทยานิพนธ์ พร้อมรายละเอียดเนื้อหาโดยสรุปแต่ละบทของวิทยานิพนธ์ฉบับนี้

บทที่ 2 กล่าวถึงทฤษฎีต่างๆ ที่เกี่ยวข้อง พร้อมคุณสมบัติและหลักการทำงานพื้นฐานของวงจร VDBA รวมถึงผลการทดลองจริงของวงจร

บทที่ 3 กล่าวถึงการออกแบบและสังเคราะห์วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้อาศัยตัวต้านทานจากภายนอก ซึ่งวงจรประกอบด้วย วงจร VDBA จำนวนสองตัว ตัวต้านทานและตัวเก็บประจุไฟฟ้าเทียบกราวด์อย่างละหนึ่งตัว ซึ่งได้แสดงผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE ด้วยเทคโนโลยี  $0.25 \mu\text{m}$  CMOS ของบริษัท TSMC รวมถึงผลจากการปฏิบัติงานจริงของวงจร จากการต่อ ไอซีเบอร์ CA3080 ร่วมกับไอซีเบอร์ LF356 อีกด้วย

บทที่ 4 กล่าวถึงการออกแบบและสังเคราะห์วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุแบบลอยตัว ซึ่งประกอบไปด้วย วงจร VDBA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัว ซึ่งคุณสมบัติในการทำงานของวงจรถูกแสดงให้เห็นโดยผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE และผลการต่อทดลองจริงโดยใช้ไอซีเบอร์ CA3080 ต่อร่วมกับไอซีเบอร์ LF356

บทที่ 5 กล่าวถึงการออกแบบและสังเคราะห์วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ ซึ่งประกอบไปด้วย วงจร VDBA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าแบบเทียบกราวด์จำนวนหนึ่งตัว พร้อมแสดงถึงประสิทธิภาพการทำงานของวงจรด้วยผลการจำลองการทำงานของวงจร และผลการทดลองจากการต่อวงจรจริงทดสอบอีกด้วย

บทที่ 6 สรุปผลงานวิจัยที่ได้นำเสนอไว้ภายในวิทยานิพนธ์ พร้อมทั้งข้อเสนอแนะแนวทางเพื่อนำไปพัฒนางานวิจัยต่อไป

ส่วนท้ายของวิทยานิพนธ์จะเป็นภาคผนวก ซึ่งแสดงการวิเคราะห์คุณสมบัติและสมการที่ใช้ภายในแต่ละบท ดังมีรายละเอียดต่อไปนี้

ภาคผนวก ก	การวิเคราะห์คุณสมบัติของวงจรขยายค่าความนำ
ภาคผนวก ข	การวิเคราะห์คุณสมบัติของวงจรตามแรงดัน
ภาคผนวก ค	การวิเคราะห์คุณสมบัติของวงจรคูณค่าความจุไฟฟ้าในรูปที่ 3.1
ภาคผนวก ง	การวิเคราะห์คุณสมบัติของวงจรคูณค่าความจุไฟฟ้าในรูปที่ 4.1
ภาคผนวก จ	การวิเคราะห์คุณสมบัติของวงจรคูณค่าความจุไฟฟ้าในรูปที่ 5.1
ภาคผนวก ฉ	บทความวิจัยที่ได้รับการตีพิมพ์

### 1.5 เอกสารอ้างอิงบทที่ 1

- [1] S. Minaei, E. Yuce and O. Cicekoglu, "A versatile active circuit for realising floating inductance, capacitance, FDNR and admittance converter", **Analog Integrated Circuits and Signal Processing**, vol. 47, no. 2, pp. 199-202, 2006.
- [2] E. Yuce, O. Cicekoglu and S. Minaei, "CCII-based grounded to floating immittance converter and a floating inductance simulator", **Analog Integrated Circuits and Signal Processing**, vol. 46, no. 3, pp. 287-291, 2006.
- [3] E. Yuce, S. Minaei and O. Cicekoglu, "Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor", **Electrical Engineering**, vol. 88, no. 6, pp. 519-525, 2006.
- [4] E. Yuce, "On the implementation of the floating simulators employing a single active device", **International Journal of Electronics and Communications (AEU)**, vol. 61, no. 7, pp. 453-458, 2007.
- [5] D. Bolek, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing: classification, review, and new proposals", **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.
- [6] M. Sagbas, U. E. Ayten, H. Sedef and M. Koksall, "Floating immittance function simulator and its applications", **Circuits, Systems, and Signal Processing**, vol. 28, no. 1, pp. 55-63, 2009.
- [7] R. A. Saad and A. M. Soliman, "On the systematic synthesis of CCII-based floating simulators", **International Journal of Circuit Theory and Applications**, vol. 38, no. 9, pp. 935-967, 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [8] M. Sagbas, “Component reduced floating  $\pm l$ ,  $\pm c$  and  $\pm r$  simulators with grounded passive components”, **International Journal of Electronics and Communications (AEU)**, vol. 65, no. 10, pp. 794-798, 2011.
- [9] Y. A. Li, “A series of new circuits based on CFTAs”, **International Journal of Electronics and Communications (AEU)**, vol. 66, no. 7, pp. 587-592, 2012.
- [10] U. E. Ayten, M. Sagbas, N. Herencsar and J. Koton, “Novel floating general element simulators using cbta”, **Radioengineering**, vol. 21, no. 1, pp. 11-19, 2012.
- [11] วรพงศ์ ตั้งศรีรัตน์. ออปแอมป์และลิเนียร์ไอซี ทฤษฎีและการประยุกต์ใช้งาน. กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2552.
- [12] R. L. Geiger and E. Sanchez-Sinencio, “Active filter design using operational transconductance amplifiers: A tutorial”, **IEEE Circuits and Devices Magazine**, vol. 1, no. 2, pp. 20-32, 1985.
- [13] E. Sanchez-Sinencio, R. L. Geiger and H. Nevarez-Lozano, “Generation of continuous-time two integrator loop OTA filter structures”, **IEEE Transactions on Circuits and Systems**, vol. 35, no. 8, pp. 936-946, 1988.
- [14] E. Sanchez-Sinencio, J. Ramirez-Angulo, B. Linares-Barranco and A. Rodriguez-Vazquez, “Operational transconductance amplifier-based nonlinear function syntheses”, **IEEE Journal of Solid-State Circuits**, vol. 24, no. 6, pp. 1576-1586, 1989.
- [15] A. Rodriguez-Vazquez, B. Linares-Barranco, J. L. Huertas and E. Sanchez-Sinencio, “On the design of voltage-controlled sinusoidal oscillators using OTAs”, **IEEE Transactions on Circuits and Systems**, vol. 37, no. 2, pp. 198-211, 1990.
- [16] J. Ramirez-Angulo and E. Sanchez-Sinencio, “High frequency compensated current-mode ladder filters using multiple output OTAs”, **IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing**, vol. 41, no. 9, pp. 581-586, 1994.
- [17] S. Szczepanski, J. Jakusz and R. Schaumann, “A linear fully balanced CMOS OTA for VHF filtering applications”, **IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing**, vol. 44, no. 3, pp. 174-187, 1997.

- [18] M. T. Abuelma'atti and H. A. Alzاهر, "Universal three input and one output current-mode filter without external passive elements", **Electronics Letters**, vol. 33, no. 4, pp. 281-283, 1997.
- [19] C. M. Chang, "New multifunction OTA-C biquads", **IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing**, vol. 46, no. 6, pp. 820-824, 1999.
- [20] H. Schmid, "Approximating the universal active element", **IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing**, vol. 47, no. 11, pp. 1160-1169, 2000.
- [21] A. Sedra and K. Smith, "A second-generation current conveyor and its applications", **IEEE Transactions on Circuit Theory**, vol. 17, no. 1, pp. 132-134, 1970.
- [22] A. Soliman, "Inductorless realization of an all-pass transfer function using the current conveyor", **IEEE Transactions on Circuit Theory**, vol. 20, no. 1, pp. 80-81, 1973.
- [23] J. L. Huertas, "Circuit implementation of current conveyor", **Electronics Letters**, vol. 16, no. 6, pp. 225-226, 1980.
- [24] R. Senani, "Novel lossless synthetic floating inductor employing a grounded capacitor", **Electronics Letters**, vol. 18, no. 10, pp. 413-414, 1982.
- [25] B. Wilson, "Floating FDNR employing a new CCII- conveyor implementation", **Electronics Letters**, vol. 21, no. 21, pp. 996-997, 1985.
- [26] M. Higashimura and Y. Fukui, "Realization of current mode all-pass networks using a current conveyor", **IEEE Transactions on Circuits and Systems**, vol. 37, no. 5, pp. 660-661, 1990.
- [27] W. Surakamponorn, V. Riewruja, K. Kumwachara and K. Dejhan, "Accurate CMOS-based current conveyors", **IEEE Transactions on Instrumentation and Measurement**, vol. 40, no. 4, pp. 699-702, 1991.
- [28] A. Fabre, "Third-generation current conveyor : a new helpful active element", **Electronics Letters**, vol. 31, no. 5, pp. 338-339, 1995.
- [29] M. T. Abuelma'atti and A. A. Al-Ghumaiz, "Novel CCI-based single-element-controlled oscillators employing grounded resistors and capacitors", **IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications**, vol. 43, no. 2, pp. 153-155, 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [30] W. Kiranon and P. Pawarangkoon, "Floating inductance simulation based on current conveyors", **Electronics Letters**, vol. 33, no. 21, pp. 1748-1749, 1997.
- [31] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal-processing filters", **Microelectronics Journal**, vol. 30, no. 2, pp. 157-160, 1999.
- [32] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", **Electronics Letters**, vol. 35, no. 2, pp.97-98, 1999.
- [33] S. Ozcan, A. Toker, C. Acar, H. Kuntman and O. Cicekoglu, "Single resistance-controlled sinusoidal oscillators employing current differencing buffered amplifier", **Microelectronics Journal**, vol. 31, no. 3, pp. 169-174, 2000.
- [34] S. Ozcan, H. Kuntman and O. guzhan Cicekoglu, "Cascadable current mode multipurpose filters employing current differencing buffered amplifier (CDBA)", **International Journal of Electronics and Communications (AEU)**, vol. 56, no. 2, pp. 67-72, 2002.
- [35] W. Tangsrirat, W. Surakamponorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", **IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences**, vol. E86-A, no. 2, pp. 318-326, 2003.
- [36] A. U. Keskin, "A four quadrant analog multiplier employing single CDBA", **Analog Integrated Circuits and Signal Processing**, vol. 40, no. 1, pp. 99-101, 2004.
- [37] K. Klahan, W. Tangsrirat and W. Surakamponorn, "Realization of multiphase sinusoidal oscillator using CDBAs", **Proceedings of the IEEE Asia-Pacific Conference on Circuits and Systems**, Tainan, Taiwan, 6-9 December, 2004.
- [38] W. Tangsrirat and W. Surakamponorn, "Realization of multiple-output biquadratic filters using current differencing buffered amplifiers", **International Journal of Electronics**, vol. 92, no. 6, pp. 313-325, 2005.
- [39] A. U. Keskin, "Voltage-mode high-Q band-pass filters and oscillators employing single CDBA and minimum number of components", **International Journal of Electronics**, vol. 92, no. 8, pp. 479-487, 2005.

- [40] S. Pisitchalermping, W. Tangsrirat and W. Surakamponorn, “CDBA-based multiphase sinusoidal oscillator using grounded capacitors”, **Proceedings of the SICE-ICASE International Joint Conference**, Busan, South Korea, 18-21 October, 2006.
- [41] A. U. Keskin and D. Biolek, “Current mode quadrature oscillator using current differencing transconductance amplifiers (CDTA)”, **IEE Proceedings Circuits Devices and Systems**, vol. 153, no. 3, pp. 214-218, 2006.
- [42] A. U. Keskin, D. Biolek, E. Hancioglu and V. Biolkova, “Current-mode KHN filter employing current differencing transconductance amplifiers”, **International Journal of Electronics and Communications (AEU)**, vol. 60, no. 6, pp. 443-446, 2006.
- [43] N. A. Shah, M. Quadri and S. Z. Iqbal, “CDTA based universal transadmittance filter”, **Analog Integrated Circuits and Signal Processing**, vol. 52, no. 1-2, pp. 65-69, 2007.
- [44] W. Tangsrirat, T. Dumawipata and W. Surakamponorn, “Multiple-input single-output current-mode multifunction filter using current differencing transconductance amplifiers”, **International Journal of Electronics and Communications (AEU)**, vol. 61, no. 4, pp. 209-214, 2007.
- [45] W. Jaikla, M. Siripruchyanun, J. Bajer and D. Biolek, “A simple current-mode quadrature oscillator using single CDTA”, **Radioengineering**, vol. 17, no. 4, pp. 33-40, 2008.
- [46] W. Tangsrirat and W. Tanjaroen, “Current-mode multiphase sinusoidal oscillator using current differencing transconductance amplifiers”, **Circuits, Systems, and Signal Processing**, vol. 27, no. 1, pp. 81-93, 2008.
- [47] D. Biolek, E. Hancioglu and A. U. Keskin, “High-performance current differencing transconductance amplifier and its application in precision current-mode rectification”, **International Journal of Electronics and Communications (AEU)**, vol. 62, no. 2, pp. 92-96, 2008.
- [48] D. Prasad, D. R. Bhaskar and A. K. Singh, “Realisation of single-resistance-controlled sinusoidal oscillator: A new application of the CDTA”, **WSEAS Transactions on Electronics**, vol. 5, no. 6, pp. 257-259, 2008.
- [49] A. Lahiri and A. Chowdhury, “A novel first-order current-mode all-pass filter using CDTA”, **Radioengineering**, vol. 18, no. 3, pp. 300-305, 2009.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [50] D. Biolek, V. Biolkova and Z. Kolka, “Current-mode biquad employing single CDTA”, **Indian Journal of Pure and Applied Physics**, vol. 47, no. 7, pp. 535-537, 2009.
- [51] A. Yesil, F. Kacar and H. Kuntman, “New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application”, **Radioengineering**, vol. 20, no. 3, pp. 632-637, 2011.
- [52] D. Biolek, M. Shaktour, V. Biolkova and Z. Kolka, “Current-input current-output universal biquad employing two bulk-driven VDTAs”, **International Congress on Ultra Modern Telecommunications and Control Systems and Workshops**, Article number 6459714, pp. 484-489, 2012.
- [53] J. Satansup, T. Pukkalanun and W. Tangsrirat, “Electronically tunable current-mode universal filter using VDTAs and grounded capacitors”, **Proceedings of the International MultiConference of Engineers and Computer Scientists (IMECS 2013)**, Kowloon, Hong Kong, pp. 647-650, 13-15 March, 2013.
- [54] A. Yesil and F. Kacar, “Electronically tunable resistorless mixed mode biquad filters”, **Radioengineering**, vol. 22, no. 4, pp. 1016-1025, 2013.
- [55] J. Satansup, T. Pukkalanun and W. Tangsrirat, “Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements”, **Circuits, Systems, and Signal Processing**, vol. 32, no. 3, pp. 945-957, 2013.
- [56] R. Sotner, J. Jerabek, N. Herencsar, K. Vrba and Z. Kincl, “Tunable oscillator derived from Colpitts structure with simply controllable condition of oscillation and synthetic inductor based on current amplifier and voltage differencing transconductance amplifier”, **Proceedings of the 8<sup>th</sup> International Conference on Electrical and Electronics Engineering (ELECO 2013)**, Bursa, Turkey, Article number 6713928, pp. 21-25, 28-30 November, 2013.
- [57] D. Prasadl, D. R. Bhaskar and M. Srivastava, “Universal voltage-mode biquad filter using voltage differencing transconductance amplifier”, **Indian Journal of Pure and Applied Physics**, vol. 51, no. 12, pp. 864-868, 2013.
- [58] M. Srivastava, D. Prasad and D. R. Bhaskar, “New parallel R-L impedance using single VDTA & its high pass filter application”, **Proceedings of International Conference on Signal Processing and Integrated Networks (SPIN 2014)**, Noida, India, pp. 535-537, 20-21 February, 2014.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [59] S. Maneewan, N. Udorn, D. Duangmalai, P. Silapan and W. Jaikla, “ A voltage-mode first order allpass filter based on VDTA”, **Advances in Electrical and Electronic Engineering**, vol. 12, no. 1, pp. 40-46, 2014.
- [60] J. Satansup and W. Tangsrirat, “Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors”, **Microelectronics Journal**, vol. 45, no. 6, pp. 613-618, 2014.
- [61] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing: Classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.
- [62] V. Biolkova, Z. Kolka, D. Biolek, “Fully balanced voltage differencing buffered amplifier and its applications”, **Proceedings of the 52<sup>nd</sup> IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2009)**, Cancun, Mexico, Article number 5236157, Pages 45-48, 2-5 August, 2009.
- [63] J. Bajer, D. Biolek, V. Biolkova and Z. Kolka, “Voltage-mode balanced-outputs quadrature oscillator using FB-VDBAs”, **Proceedings of the International Conference on Microelectronics (ICM 2010)**, Cairo, Egypt, pp.491-494, 19-22 December, 2010.
- [64] F. Kacar, A. Yesil and A. Noori, “New cmos realization of voltage differencing buffered amplifier and its biquad filter applications”, **Radioengineering**, vol. 21, no. 1, pp. 333-339, 2012.
- [65] N. Khatib and D. Biolek, “New voltage mode universal filter based on promising structure of Voltage Differencing Buffered Amplifier”, **Proceedings of 23<sup>rd</sup> International Conference Radioelektronika (RADIOELEKTRONIKA 2013)**, Pardubice, Czech Republic, pp.177-181, 16-17 April, 2013.
- [66] W. Tangsrirat, O. Onjan and T. Pukkalanun, “SFG synthesis of general nth-order allpole voltage transfer functions using VDBAs and grounded capacitors”, **Proceedings of the 4<sup>th</sup> Joint International Conference on Information and Communication Technology, Electronic and Electrical Engineering (JICTEE 2014)**, Chiang Rai, Thailand, 5-8 March, 2014.
- [67] O. Channumsin, J. Pimpol, C. Thongsopa and W. Tangsrirat, “VDTA-based floating inductance simulator with a grounded capacitor”, **Proceedings of the 7<sup>th</sup> International Conference on Information Technology and Electrical**

- Engineering (ICITEE 2015)**, Le Meridien Chiang Mai Hotel, Chiang Mai, Thailand, pp. 114-117, 29-30 October, 2015.
- [68] W. Tangsrirat, “Simple BiCMOS realization of full balanced voltage differencing buffered amplifier”, **Revue Roumaine des Sciences Techniques Serie Electrotechnique et Energetique**, vol. 60, no. 4, pp. 409-415, 2015.
- [69] O. Onjan, S. Unhavanich and W. Tangsrirat, “SFG actualization of general thorder voltage transfer functions using VDBAs”, **Proceedings of the International MultiConference of Engineers and Computer Scientists (IMECS 2016)**, Hong Kong, China, pp. 585-589, 16-18 March, 2016.
- [70] S. Minaei, O. K. Sayin and H. Kuntman, “A new CMOS electronically tunable current conveyor and its application to current-mode filters”, **IEEE Transactions on Circuits and Systems I : Regular Papers**, vol. 53, no. 7, pp. 1448-1457, 2006.
- [71] W. Mekhum and W. Jaikla, “Three input single output voltage-mode multifunction filter with independent control of pole frequency and quality factor”, **Advances in Electrical and Electronic Engineering**, vol. 11, no. 6, pp. 494-500, 2013.
- [72] M. Srivastava, D. Prasad and D. R. Bhaskar, “Voltage mode quadrature oscillator employing single VDTA and grounded passive elements”, **Contemporary Engineering Sciences**, vol. 7, no. 25-28, pp. 1501-1507, 2014.
- [73] M. T. Abuelma'Atti and N. A. Tasadduq, “Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor”, **Microelectronics Journal**, vol. 30, no. 9, pp. 869-873, 1999.
- [74] E. Yuce, S. Minaei and O. Cicekoglu, “A novel grounded inductor realization using a minimum number of active and passive components”, **ETRI Journal**, vol. 24, no. 4, pp. 427-431, 2005.
- [75] E. Yuce, O. Cicekoglu and S. Minaei, “CCII-based grounded to floating immittance converter and a floating inductance simulator”, **Analog Integrated Circuits and Signal Processing**, vol. 46, no. 3, pp. 287-291, 2006.
- [76] I. A. Khan and M. T. Ahmed, “OTA-based integrable voltage/current-controlled ideal C-multiplier”, **Electronics Letters**, vol. 22, no. 7, pp. 365-366, 1986.

- [77] M. T. Ahmed, I. A. Khan and N. Minhaj, “Novel electronically tunable C-multipliers”, **Electronics Letters**, vol. 31, no. 1, pp. 9-11, 1995.
- [78] C. Premont, R. Grisel and N. Abouchi, “A current conveyor based capacitive multiplier”, **Proceedings of the 40<sup>th</sup> Midwest Symposium on Circuits and Systems**, Sacramento, CA, USA, 3-6 August, 1997.
- [79] G. Ferri and S. Pennisi, “A 1.5-V current-mode capacitance multiplier”, **Proceedings of the 10<sup>th</sup> International Conference on Microelectronics**, Monastir, Tunisia, pp. 9-12, 14-16 December, 1998.
- [80] G. Di Cataldo, G. Ferri and S. Pennisi, “Active capacitance multipliers using current conveyors”, **Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS 1998)**, Monterey, CA, USA, 31 May - 3 June, 1998.
- [81] M. T. Abuelma'atti and N. A. Tasadduq, “Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor”, **Microelectronics Journal**, vol. 30, no. 9, pp. 869-873, 1999.
- [82] A. A. Khan, S. Bimal, K. K. Dey and S. S. Roy, “Current conveyor based R- and C-multiplier circuits”, **International Journal of Electronics and Communications (AEU)**, vol. 56, no. 5, pp. 312-316, 2002.
- [83] E. Yuce and S. Minaei, “A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters”, **IEEE Transactions on Circuits and Systems I : Regular Papers**, vol. 55, no. 1, pp. 266-275, 2008.
- [84] P. Silapan, C. Tanaphatsiri and M. Siripruchyanun, “Current controlled CCTA based-novel grounded capacitance multiplier with temperature compensation”, **Proceedings of the IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS 2008)**, Macao, China, 30 November - 3 December, 2008.
- [85] C. Rivera-Escobar, F. Silva-Del-Rosario, M. Silva and I. Padilla-Cantoya, “Multiple stage capacitor multiplier using dual-output differential amplifiers”, **Proceedings of the IEEE 4<sup>th</sup> Latin American Symposium on Circuits and Systems (LASCAS 2013)**, Cusco, Peru, 27 February - 1 March, 2013.
- [86] P. Mongkolwai and W. Tangsrirat, “Generalized impedance function simulator using voltage differencing buffered amplifiers (VDBAs)”, **Proceedings of the International MultiConference of Engineers and Computer Scientists (IMECS 2016)**, Hong Kong, 16-18 March, 2016.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [87] M. Srivastava, D. Prasad and Laxya, “Novel active circuit for realizing variable grounded passive elements”, **Proceedings of the International Conference on Micro-Electronics and Telecommunication Engineering (ICMETE 2016)**, Ghaziabad, India, 22-23 September, 2016.
- [88] C. Toumazou, F. J. Lidgley and D. G. Haigh, “**Analogue IC Design : the current-mode approach**”, Peter Peregrinus Ltd, 1990.
- [89] D. R. Bhaskar, V. K. Sharma, M. Monis and S. M. I. Rizvi, “New current-mode universal biquad filter”, **Microelectronics Journal**, vol. 30, no. 9, pp. 837-839, 1999.
- [90] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based electronically tunable capacitance multiplier with a grounded capacitor”, **Proceedings of the 15<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2018)**, Chiang Rai, Thailand, 18-21 July, 2018.
- [91] P. Moonmuang and W. Tangsrirat, “Electronically tunable resistorless capacitance multiplier employing VDBAs”, **Proceedings of the 3<sup>rd</sup> International Conference on Communication and Information Processing (ICCIP 2017)**, Tokyo, Japan, 24-26 November, 2017.
- [92] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based series RC impedance simulator using single grounded capacitor”, **Proceedings of The 4<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST 2018)**, Phuket, Thailand, 4-7 July, 2018.

## บทที่ 2

### วงจร VDBA

#### 2.1 กล่าวนำ

ปัจจุบันอุปกรณ์แอคทีฟ (active element) ได้ถูกคิดค้นพัฒนาอย่างหลากหลายเพื่อนำไป ออกแบบวงจรรวม (integrated circuit, IC) สำหรับการประมวลผลสัญญาณทางแอนะล็อก (analog signal processing) ซึ่งการออกแบบวงจรโดยใช้อุปกรณ์แอคทีฟส่งผลให้ขนาดของพื้นที่ในวงจรลดลง ไม่ซับซ้อน มีความยืดหยุ่นสูง และยังมีอัตราการบริโภคกำลังงานต่ำอีกด้วย เมื่อเร็ว ๆ นี้ ได้มีการ นำเสนออุปกรณ์แอคทีฟแบบใหม่ชื่อว่า วงจร VDBA (voltage differencing buffered amplifier) [1] โดยมีลักษณะด้านขั้วอินพุตของวงจรทำหน้าที่รับสัญญาณแรงดัน ซึ่งเกิดจากการปรับเปลี่ยน โครงสร้างจากวงจร CDBA (current differencing buffered amplifier) [2] ที่ด้านขั้วอินพุตรับ สัญญาณกระแส ทำให้วงจร VDBA มีความเหมาะสมกับการทำงานในโหมดแรงดัน (voltage-mode) และเหมาะกับการต่อวงจรแบบคาสเคด (cascade) เนื่องจากวงจรมีค่าอิมพีแดนซ์เอาต์พุตต่ำ (low output impedance) นอกจากนี้วงจร VDBA ยังสามารถปรับค่าได้ทางอิเล็กทรอนิกส์โดยการแปร ค่ากระแสไบอัสจากภายนอกได้อีกด้วย จากการติดตามผลงานวิจัยต่างๆ ของอุปกรณ์แอคทีฟนั้น สามารถนำไปประยุกต์ใช้งานอย่างมากมาย เช่น วงจรกรองสัญญาณอเนกประสงค์ (universal filter) [3]-[5] วงจรออสซิลเลเตอร์ (oscillator) [6] วงจรเลียนแบบตัวเหนี่ยวนำ [7]-[8] และวงจรคูณ ค่าความประจุไฟฟ้า (capacitance multiplier) [9]-[10] เป็นต้น

ดังนั้นในบทนี้ขอกล่าวถึงวงจร VDBA หลักการทำงานพื้นฐาน และคุณสมบัติของวงจรในทาง อุดมคติและทางปฏิบัติ รวมถึงผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้ เทคโนโลยี 0.25  $\mu\text{m}$  CMOS ของบริษัท TSMC พร้อมทั้งแสดงให้เห็นถึงประสิทธิภาพของวงจรด้วย ผลการทดลองจริงจากการต่อไอซีเบอร์ CA3080 ของบริษัท Harris Semiconductor ร่วมกับไอซี เบอร์ LF356 ของบริษัท National Semiconductor

#### 2.2 หลักการทำงานพื้นฐานของวงจร VDBA

การทำงานของวงจร VDBA ประกอบไปด้วยสองส่วน ส่วนแรก คือ วงจรขยายผลต่าง (differential amplifier) และส่วนต่อมา วงจรตามแรงดัน (voltage follower) ซึ่งวงจรมีคุณสมบัติ เด่นคือสามารถปรับอัตราขยายค่าความนำ ( $g_m$ ) ในทางอิเล็กทรอนิกส์จากภายนอก นอกจากนี้วงจรมีค่าอิมพีแดนซ์อินพุตที่สูง (high input impedance) และค่าเอาต์พุตอิมพีแดนซ์ที่ต่ำ (low output impedance) ทำให้สามารถนำไปประยุกต์ใช้ในการต่อวงจรแบบคาสเคดในโหมดแรงดันได้อย่าง เหมาะสม

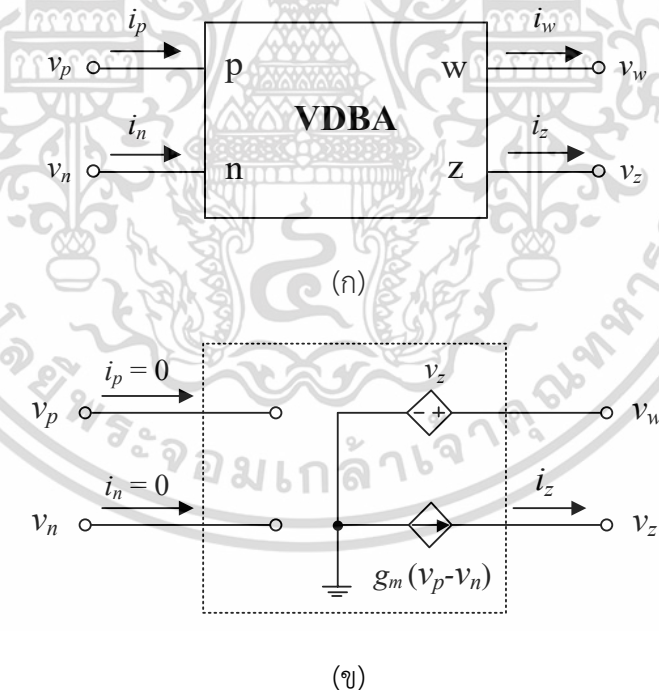
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.2.1 คุณสมบัติของวงจร VDBA ในทางอุดมคติ

วงจร VDBA เป็นอุปกรณ์แอกทีฟแบบสี่ขั้ว ซึ่งมีสัญลักษณ์และวงจรมุมลทางไฟฟ้าแสดงได้ดังรูปที่ 2.1 โดยที่ขั้ว p และขั้ว n ทำหน้าที่เป็นขั้วอินพุต ในขณะที่ขั้ว z และขั้ว w จะทำหน้าที่เป็นขั้วเอาต์พุต คุณสมบัติการทำงานของวงจร VDBA ในทางอุดมคติสามารถเขียนอธิบายได้ดังเมตริกซ์ต่อไปนี้

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (2.1)$$

โดยที่  $g_m$  คือ อัตราขยายค่าความนำ (transconductance gain) ซึ่งทั่วไปสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ด้วยการควบคุมแรงดันไบอัสหรือกระแสไบอัสจากภายนอก สมการ (2.1) แสดงให้เห็นว่าแรงดันอินพุตแบบผลต่างที่ขั้ว p และขั้ว n ( $v_p - v_n$ ) จะถูกเปลี่ยนไปเป็นกระแสเอาต์พุต  $i_z$  ที่ขั้ว z และแรงดันที่ตกคร่อมขั้ว z จะถูกส่งผ่านไปเป็นแรงดันเอาต์พุตที่ขั้ว w ( $v_w$ )



รูปที่ 2.1 วงจร VDBA ในทางอุดมคติ

(ก) สัญลักษณ์ทางไฟฟ้า (ข) วงจรมุมลทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

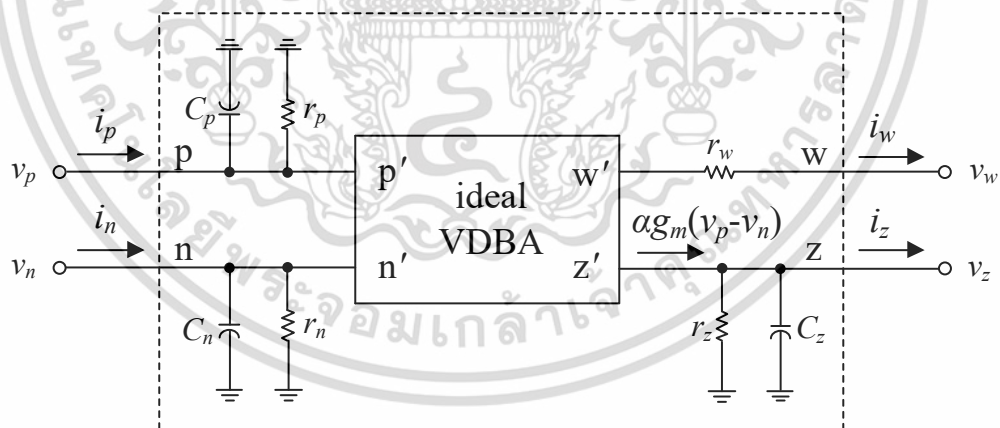
### 2.2.2 คุณสมบัติของวงจร VDBA ในทางปฏิบัติ

คุณสมบัติของวงจร VDBA กรณีที่มีการทำงานไม่เป็นไปตามอุดมคติ (non-ideal) จะมีความสัมพันธ์ระหว่างแรงดันกับกระแสเปลี่ยนไปซึ่งสามารถเขียนสมการ (2.1) ได้ใหม่กลายเป็น

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (2.2)$$

โดยที่  $\alpha = 1 - \varepsilon_{gm}$  เมื่อ  $|\varepsilon_{gm}| \ll 1$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ (transconductance tracking error) จากขั้ว p และขั้ว n ไปยังขั้ว z ในขณะที่  $\beta = 1 - \varepsilon_v$  เมื่อ  $|\varepsilon_v| \ll 1$  คือ อัตราขยายแรงดันของวงจร VDBA จากขั้ว z ไปยังขั้ว w กรณีไม่เป็นไปตามอุดมคติ (non-ideal voltage gain)

วงจรสมมูลทางไฟฟ้าของวงจร VDBA ในทางปฏิบัติสามารถเขียนแสดงได้ดังรูปที่ 2.2 ซึ่งประกอบด้วยอิมพีแดนซ์แฝงที่ด้านอินพุตของขั้ว p ( $r_p // C_p$ ) และขั้ว n ( $r_n // C_n$ ) รวมถึงอิมพีแดนซ์แฝงที่ด้านเอาต์พุตของขั้ว z ( $r_z // C_z$ ) และความต้านทานแฝงที่ขั้ว w ( $r_w$ )

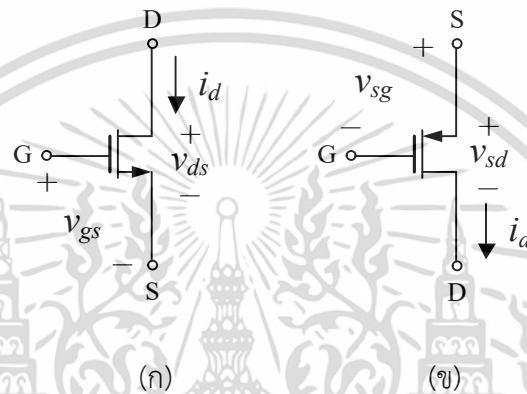


รูปที่ 2.2 วงจรสมมูลทางไฟฟ้าของวงจร VDBA ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.3 วงจร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์

มอสทรานซิสเตอร์ (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) เป็นอุปกรณ์สารกึ่งตัวนำที่ได้รับการเคลือบผิวบางส่วนด้วยซิลิกอนไดออกไซด์ (silicon dioxide,  $\text{SiO}_2$ ) ที่อาศัยหลักการทำงานด้วยสนามไฟฟ้าที่เปลี่ยนแรงดันเป็นกระแส โดยวิทยานิพนธ์ฉบับนี้ได้กล่าวถึงมอสทรานซิสเตอร์ที่ทำงานในรูปแบบโหมดแอนฮานซ์เมนต์ (enhancement-mode) ซึ่งแบ่งออกเป็นสองชนิดได้แก่ ชนิดพี (PMOS) และชนิดเอ็น (NMOS) ดังรูปที่ 2.3 โดยแต่ละชนิดประกอบด้วย ขาเกต (gate, G) ขาเดรน (drain, D) และ ขาซอร์ส (source, S) [14]



รูปที่ 2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

(ก) ชนิดเอ็น (ข) ชนิดพี

หลักการทำงานของมอสทรานซิสเตอร์เริ่มต้นด้วยการป้อนแรงดันเข้าที่ขาเกตเทียบกับขาซอร์ส (gate to source voltage,  $v_{gs}$ ) สำหรับมอสทรานซิสเตอร์ชนิดเอ็น และมอสทรานซิสเตอร์ชนิดพี ต้องทำการป้อนแรงดันค่าลบเข้าที่ขาซอร์สเทียบกับขาเกต (source to gate voltage,  $v_{sg}$ ) ซึ่งแรงดันที่มากพอจะทำให้เกิดช่องทางเดินกระแสระหว่างขาเดรนกับขาซอร์ส โดยที่ค่าแรงดันเริ่มต้นที่ทำให้เกิดช่องทางเดินกระแสนี้เรียกว่า แรงดันขีดเริ่ม (threshold voltage,  $V_{TH}$ ) ทำให้เกิดแรงดันที่ขาเดรนเทียบกับขาซอร์ส (drain to source voltage,  $v_{DS}$ ) ขึ้น ช่วงการทำงานของมอสทรานซิสเตอร์จะแบ่งออกเป็น 3 ช่วงคือ ช่วงคัทออฟ (cutoff region) ช่วงเชิงเส้น (linear region) และช่วงอิ่มตัว (saturation region) ซึ่งวิทยานิพนธ์ฉบับนี้จะขออธิบายถึงมอสทรานซิสเตอร์ชนิดเอ็นที่ทำงานในช่วงอิ่มตัว โดยมีความสัมพันธ์ของแรงดันระหว่างขาเกต ขาเดรน และ ขาซอร์ส ดังนี้

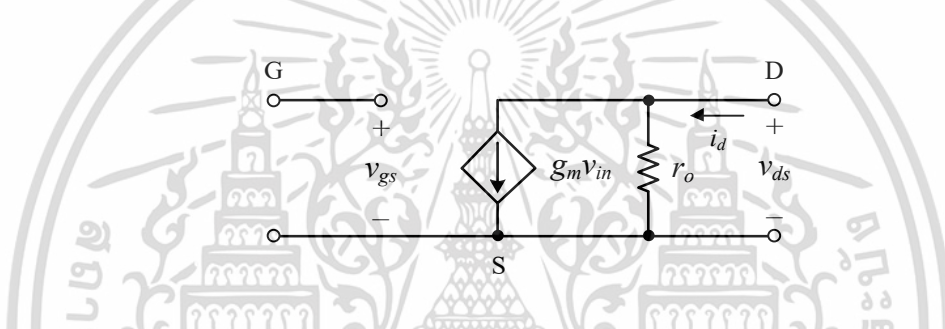
$$v_{DS} \geq v_{GS} - V_{TH} \quad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และก่อให้เกิดกระแสไหลจากขาคอนไปยังชาซอร์ส ( $i_D$ ) มีค่าเท่ากับ

$$i_D = \frac{\mu C_{ox}}{2} \left( \frac{W}{L} \right) (v_{GS} - V_{TH})^2 (1 + \lambda v_{DS}) \quad (2.4)$$

โดยที่  $\mu$  คือ ค่าความคล่องตัวของพาหะตัวนำ (effective carrier mobility)  $C_{ox}$  คือ ค่าความจุไฟฟ้าแฝงต่อหนึ่งหน่วยพื้นที่ (gate oxide capacitance per unit area)  $W$  และ  $L$  คือ ความกว้างประสิทธิผลและความยาวประสิทธิผลของช่องนำกระแส (effective channel width and length) และ  $\lambda$  คือ การมอดูเลตความยาวของช่องนำกระแส (channel length modulation) วงจรสมมูลของมอสทรานซิสเตอร์ชนิดเอ็นกรณีสัญญาณขนาดเล็ก แสดงได้ดังรูปที่ 2.4 เมื่อ  $r_o$  คือ ค่าความต้านทานระหว่างขาเกตกับชาซอร์ส และ  $g_m$  คือ อัตราขยายค่าความนำของทรานซิสเตอร์



รูปที่ 2.4 วงจรสมมูลของมอสทรานซิสเตอร์ชนิดเอ็นกรณีสัญญาณขนาดเล็ก

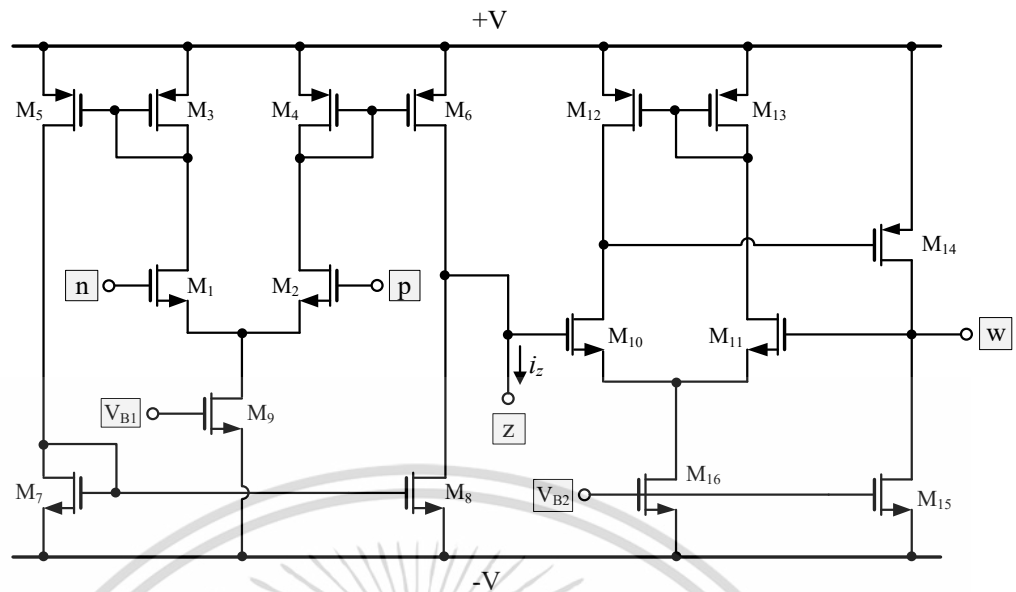
วงจร VDBA ที่สังเคราะห์ขึ้นในวิทยานิพนธ์ฉบับนี้ เลือกเทคโนโลยีแบบมอสทรานซิสเตอร์ซึ่งมีคุณสมบัติในการปรับอัตราขยายค่าความนำในทางอิเล็กทรอนิกส์ โดยสามารถควบคุมได้สองลักษณะ ได้แก่ การแปรค่าด้วยแรงดันไบอัส และการแปรค่าด้วยกระแสไบอัส ดังรายละเอียดต่อไปนี้

### 2.3.1 วงจร VDBA แบบปรับค่าอัตราขยายค่าความนำด้วยแรงดันไบอัส

ในปี ค.ศ. 1990 Z. Wang เสนอเทคนิคการปรับค่าเป็นเชิงเส้นสำหรับเทคโนโลยีมอสทรานซิสเตอร์ [11] จากนั้น F. Kacar และคณะได้นำเสนอวงจร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์แสดงดังรูปที่ 2.5 [12] ซึ่งสามารถปรับค่า  $g_m$  อย่างเป็นเชิงเส้นโดยการแปรค่าแรงดัน  $V_{B1}$  ดังสมการต่อไปนี้

$$g_m = \mu C_{ox} \left( \frac{W}{L} \right) (V_{B1} - V_{TH}) \quad (2.5)$$

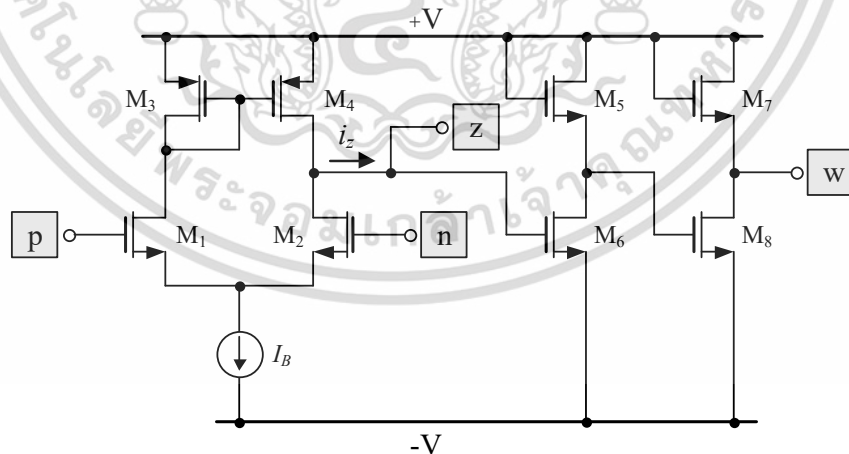
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 วงจร VDBA แบบปรับค่าอัตราขยายค่าความนำด้วย  $V_{B1}$

2.3.2 วงจร VDBA แบบปรับค่าอัตราขยายค่าความนำด้วยกระแสไบอัส

นอกจากการปรับค่าอัตราขยายค่าความนำด้วย  $V_{B1}$  ที่นำเสนอในหัวข้อก่อนหน้านี้ ยังมีงานวิจัยอีกกลุ่มที่นำเสนอวงจร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ ดังรูปที่ 2.6 [13] ซึ่งประกอบด้วยวงจรขยายค่าความนำ  $M_1 - M_4$  และ วงจรตามแรงดัน  $M_5 - M_8$  โดยอัตราขยายค่าความนำของวงจรสามารถแปรค่าได้ด้วยกระแสไบอัส ( $I_B$ ) จากภายนอก

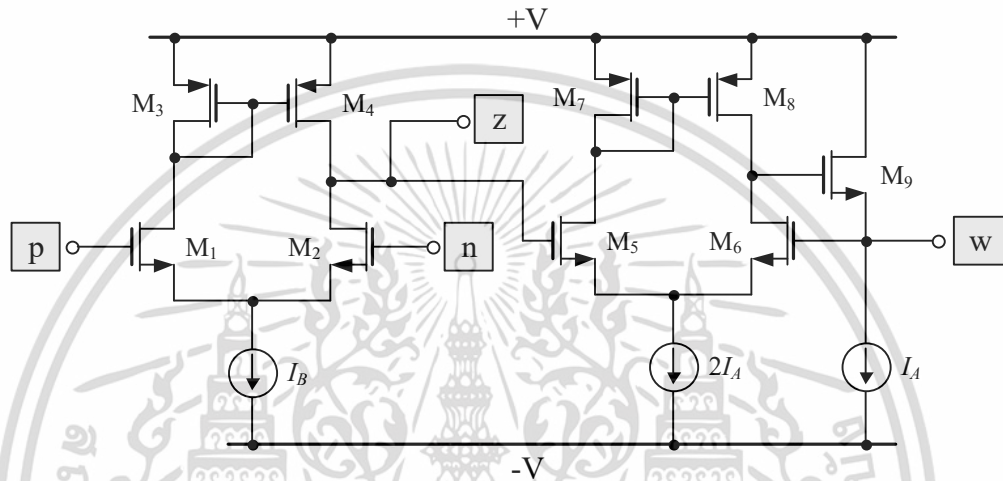


รูปที่ 2.6 วงจร VDBA แบบปรับค่าอัตราขยายค่าความนำด้วย  $I_B$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.4 การสังเคราะห์วงจร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์

จากหัวข้อก่อนหน้านี้ได้กล่าวถึงข้อดีของวงจร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ ที่มีคุณสมบัติเด่นในการแปรอัตราขยายค่าความนำด้วยค่ากระแสไบอัส ( $I_B$ ) จากภายนอก จึงเป็นที่มาของการสังเคราะห์วงจร VDBA ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ซึ่งมีโครงสร้างภายในดังรูปที่ 2.7 [9] ซึ่งประกอบไปด้วยวงจรสำคัญสองส่วน คือ วงจรขยายค่าความนำ (transconductor circuit)  $M_1 - M_4$  และวงจรตามแรงดัน (voltage buffer circuit)  $M_5 - M_9$  อธิบายได้ดังรายละเอียดต่อไปนี้



รูปที่ 2.7 โครงสร้างภายในของวงจร VDBA แบบเทคโนโลยีแบบมอสทรานซิสเตอร์ที่นำเสนอ

### 2.4.1 วงจรขยายค่าความนำ

วงจรขยายค่าความนำของวงจร VDBA ที่นำเสนอแสดงดังรูปที่ 2.8 มีคุณสมบัติในการปรับอัตราขยายค่าความนำในทางอิเล็กทรอนิกส์จากการแปรค่ากระแสไบอัสจากภายนอก ซึ่งเกิดจากการทำงานร่วมกันสองวงจร คือ วงจรสะท้อนกระแส (current mirror) และวงจรขยายสัญญาณผลต่าง (differential amplifier) สำหรับวงจรสะท้อนกระแสประกอบไปด้วยมอสทรานซิสเตอร์ชนิดพี  $M_3 - M_4$  แสดงได้ดังรูปที่ 2.9 เมื่อกำหนดให้มอสทรานซิสเตอร์  $M_3 - M_4$  มีคุณสมบัติสมพจน์กันทุกประการและถูกไบอัสให้ทำงานในช่วงอิมิตัว เมื่อวิเคราะห์วงจรสำหรับสัญญาณขนาดใหญ่ (large-signal analysis) พบว่าการทำงานของวงจรเริ่มต้นจากกระแสอินพุต (input current,  $I_{in}$ ) ที่ไหลผ่านมอสทรานซิสเตอร์  $M_3$  นั้นถูกส่งผ่านไปเป็นกระแสเอาต์พุต (output current,  $I_{out}$ ) ที่ไหลผ่านมอสทรานซิสเตอร์  $M_4$  ดังนั้นอัตราขยายกระแสมีความสัมพันธ์ดังนี้ [ภาคผนวก ก1]

$$\frac{I_{out}}{I_{in}} = \left( \frac{W_4/L_4}{W_3/L_3} \right) \quad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ (2.6) แสดงให้เห็นว่ากระแสเอาต์พุตจะขึ้นอยู่กับอัตราส่วน  $W/L$  ของ  $M_4$  กับ  $M_3$  เมื่อวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสกรณีสัญญาณขนาดเล็ก จะได้อัตราขยายกระแสดังนี้ [ภาคผนวก ก2]

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m4}}{g_{m3}} \left[ \frac{1 - \left( \frac{sC_{gd4}}{g_{m4}} \right)}{1 + \frac{s(C_{gs3} + C_{gs4})}{g_{m3}}} \right] \quad (2.7)$$

เมื่อ  $C_{gdi}$  และ  $C_{gsi}$  คือ ตัวเก็บประจุไฟฟ้าแฝงของมอสทรานซิสเตอร์ โดยที่  $i = 3, 4$  และเมื่อพิจารณาที่ความถี่ต่ำ จะทำให้ความสัมพันธ์ของสมการ (2.7) กลายเป็น [ภาคผนวก ก2]

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m4}}{g_{m3}} \quad (2.8)$$

และค่าความต้านทานเอาต์พุต ( $r_{oc}$ ) ของวงจรสะท้อนกระแส เท่ากับ [ภาคผนวก ก3]

$$r_{oc} = r_{o4} \quad (2.9)$$

รูปที่ 2.10 แสดงวงจรขยายสัญญาณผลต่าง  $M_1 - M_2$  เมื่อวิเคราะห์วงจรกรณีสัญญาณขนาดใหญ่โดยให้ทรานซิสเตอร์ทั้งสองตัวทำงานในช่วงอิมิตัว และประมาณว่า  $\lambda \cong 0$  ทำให้สมการ (2.4) ประมาณได้เป็น

$$I_D = \frac{\mu C_{ox}}{2} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 \quad (2.10)$$

เมื่อพิจารณาที่โหนด x ในรูปที่ 2.10 จะพบว่า  $I_B = I_{D1} + I_{D2}$  จึงทำให้  $I_D = I_{D1} = I_{D2}$  หรือ

$$I_D = \frac{I_B}{2} \quad (2.11)$$

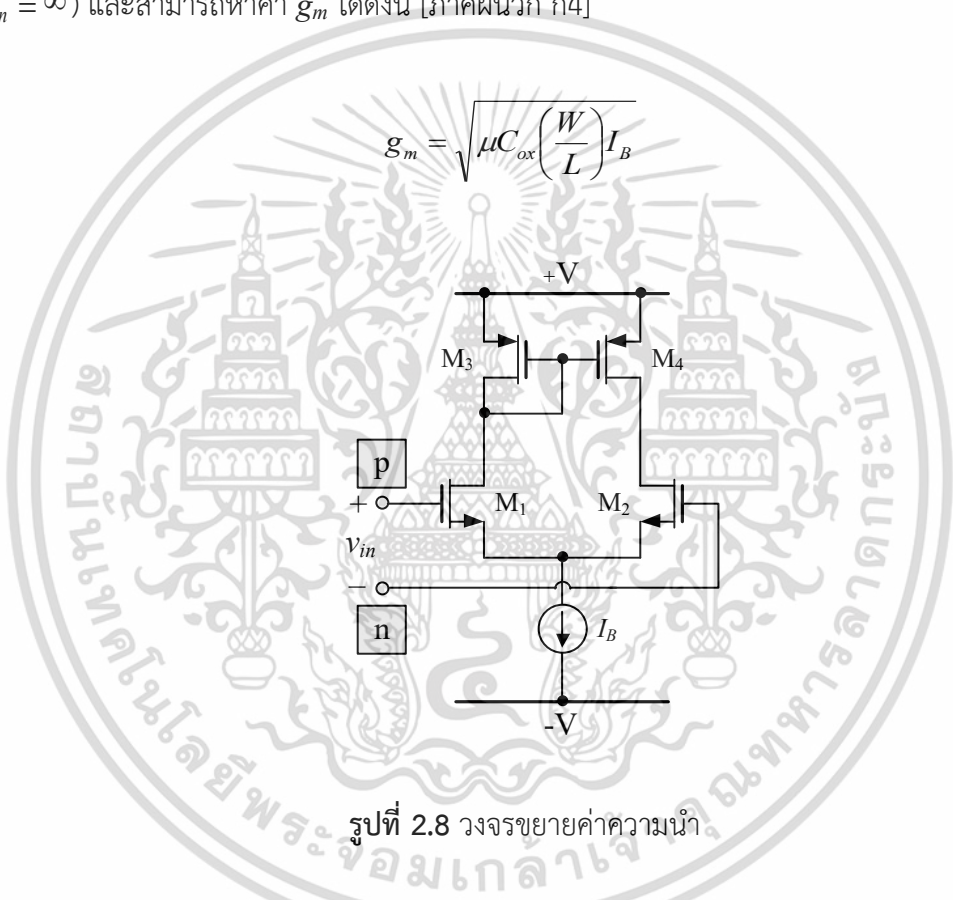
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจากสมการ (2.10) และ (2.11) จะได้

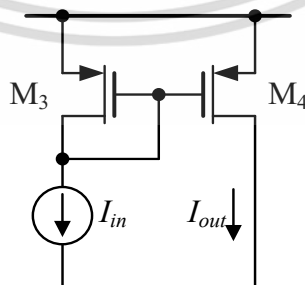
$$I_B = \mu C_{ox} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 \tag{2.12}$$

จากการวิเคราะห์คุณสมบัติของวงจรสระท่อนกระแสและวงจรสัญญาณแบบผลต่างที่กล่าวมาก่อนหน้านี้ ได้นำไปสู่การออกแบบวงจรรขยายค่าความนำที่แสดงดังรูปที่ 2.8 โดยเมื่อพิจารณาคุณสมบัติของค่าความต้านทานอินพุตที่ขั้ว p และ n ในกรณีสัญญาณขนาดเล็กจะมีค่าเป็นอนันต์ ( $r_{in} \cong \infty$ ) และสามารถหาค่า  $g_m$  ได้ดังนี้ [ภาคผนวก ก4]

$$g_m = \sqrt{\mu C_{ox} \left( \frac{W}{L} \right) I_B} \tag{2.13}$$

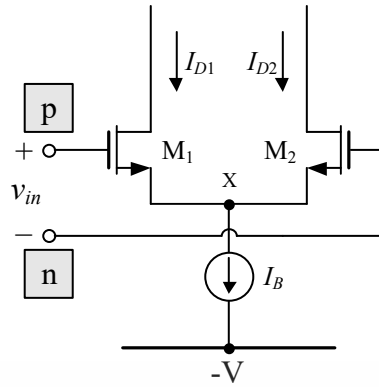


รูปที่ 2.8 วงจรรขยายค่าความนำ



รูปที่ 2.9 วงจรสระท่อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 วงจรขยายสัญญาณผลต่าง

#### 2.4.2 วงจรตามแรงดัน

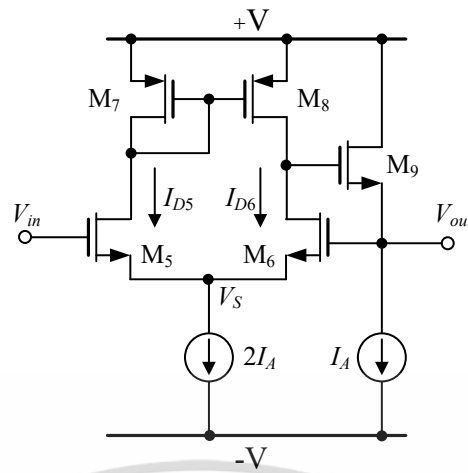
วงจรตามแรงดันประกอบไปด้วยมอสทรานซิสเตอร์  $M_5 - M_6$  แสดงดังรูปที่ 2.11 ซึ่งทำหน้าที่ส่งผ่านแรงดันไฟฟ้าจากอินพุตไปยังเอาต์พุต ซึ่งหัวข้อนี้จะนำเสนอการวิเคราะห์คุณสมบัติของวงจรกรณีสัญญาณขนาดใหญ่และสัญญาณขนาดเล็กสามารถกระทำได้ตั้งขั้นตอนต่อไป

คุณสมบัติของวงจรตามแรงดันกรณีสัญญาณขนาดใหญ่ เมื่อมอสทรานซิสเตอร์  $M_7$  และ  $M_8$  ทำงานในลักษณะแอกทีฟโหลด (active load) จึงสามารถเขียนแทนการทำงานได้ด้วยตัวความต้านทาน  $R_7$  และ  $R_8$  ดังรูปที่ 2.12 และสามารถหาแรงดันเอาต์พุตกรณีสัญญาณขนาดใหญ่ ( $V_O$ ) ได้เท่ากับ

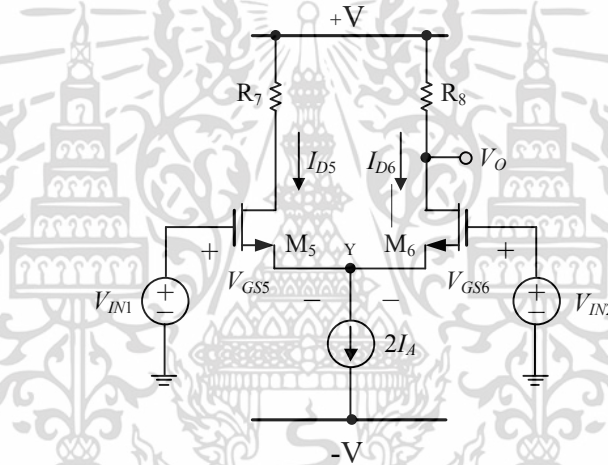
$$V_O = V_+ - (R_8 I_{D6}) \quad (2.14)$$

เมื่อ  $I_A$  คือกระแสไบอัสของวงจรตามแรงดัน และจากรูปที่ 2.12 พิจารณาที่โหนด Y พบว่าค่า  $2I_A = I_{D5} + I_{D6}$  และเนื่องจากความสมพียงกันทุกประการของ  $M_5 - M_6$  ทำให้  $I_{D5} = I_{D6}$  ดังนั้นสมการ (2.14) จึงกลายเป็น [ภาคผนวก ข1]

$$V_O = V_+ - (R_8 I_A) \quad (2.15)$$



รูปที่ 2.11 วงจรตามแรงดัน



รูปที่ 2.12 วงจรตามแรงดันกรณีสัญญาณขนาดใหญ่

กรณีสัญญาณขนาดเล็กจะพิจารณาผลการทำงานของสัญญาณสองส่วน ได้แก่ สัญญาณโหมดผลต่าง (differential mode signal) และสัญญาณโหมดตรงรวม (common mode signal) ซึ่งส่วนของสัญญาณโหมดตรงรวมจะมีค่าแรงดันเท่ากับศูนย์ เนื่องจากไม่มีกระแสไหลผ่านในวงจร แต่สำหรับกรณีสัญญาณโหมดผลต่างจะพิจารณาโดยอาศัยเทคนิคการวิเคราะห์สัญญาณแบบครึ่งวงจร (half circuit analysis technique) เมื่อกำหนดให้  $v_{in} = v_{id}$  และสัญญาณขนาดใหญ่มีค่าเท่ากับศูนย์ ดังรูปที่ 2.13 จะได้แรงดันเอาต์พุตกรณีสัญญาณขนาดเล็ก ( $v_o$ ) มีค่าเท่ากับ [ภาคผนวก ข2]

$$v_o = g_{m6} R_8 \left( \frac{v_{id}}{2} \right) \tag{2.16}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจากคุณสมบัติการทำงานของวงจรตามแรงดันทั้งในกรณีสัญญาณขนาดใหญ่และกรณีสัญญาณขนาดเล็กที่กล่าวมาข้างต้น จึงส่งผลให้แรงดันเอาต์พุตของวงจรมีค่าเท่ากับ

$$V_o + v_o = V_+ - R_8 I_A + \left( \frac{g_{m6} R_8}{2} \right) v_{id} \quad (2.17)$$

และเมื่อพิจารณาค่าความต้านทานเอาต์พุต ( $r_o$ ) เท่ากับ [ภาคผนวก ข4]

$$r_o = r_{o6} // r_{o8} \quad (2.18)$$

นอกจากนี้มอสทรานซิสเตอร์  $M_9$  ที่เพิ่มเข้ามาเพื่อทำหน้าที่เป็นวงจรขยายสัญญาณเดรนร่วม (source follower) สามารถหาอัตราขยายแรงดันดังนี้ [ภาคผนวก ข3]

$$\frac{v_{out}}{v_{in}} \approx 1 \quad (2.19)$$



รูปที่ 2.13 วงจรตามแรงดันกรณีสัญญาณขนาดเล็กเมื่อวิเคราะห์แบบครึ่งวงจร

คุณสมบัติที่สำคัญของวงจรตามแรงดัน คือความต้านทานอินพุตมีค่าสูงมาก และความต้านทานเอาต์พุตมีค่าน้อยมาก ซึ่งเป็นคุณสมบัติเด่นเมื่อนำไปประยุกต์ใช้งานต่อกับโหลด โดยวงจรตามแรงดันที่นำเสนอในรูปที่ 2.11 เมื่อจ่ายแรงดันอินพุตเข้าที่ขาเกตของมอสทรานซิสเตอร์ส่งผลให้ความต้านทานอินพุตมีค่าเป็นอนันต์ ( $r_{in} \cong \infty$ ) และค่าความต้านทานเอาต์พุต ( $r_{out}$ ) กรณีที่วิเคราะห์มอสทรานซิสเตอร์  $M_5 - M_9$  สามารถหาได้ดังความสัมพันธ์ต่อไปนี้ [ภาคผนวก ข5]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$r_{out} = \frac{1}{\left(\frac{1}{R_A // r_{o9}}\right) + g_{m9}} \quad (2.20)$$

เมื่อ  $R_A$  คือความต้านภายในของแหล่งจ่ายกระแส  $I_A$  และโดยทั่วไป  $(R_A // r_{o9}) \gg g_{m9}$  ทำให้  $r_{out}$  ของวงจรมีค่าประมาณ [ภาคผนวก ข5]

$$r_{out} = \frac{1}{g_{m9}} \quad (2.21)$$

ดังนั้นวงจร VDBA แบบเทคโนโลยีมอสทรานซิสเตอร์ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ดังรูปที่ 2.7 นั้นประกอบไปด้วยการทำงานระหว่างวงจรขยายค่าความนำ และวงจรตามแรงดัน โดยวงจรดังกล่าวมีคุณสมบัติเด่นในการปรับอัตราขยายค่าความนำโดยการแปรค่ากระแสไบอัสทางอิเล็กทรอนิกส์จากภายนอก นอกจากนี้วงจรยังมีค่าความต้านทานอินพุตสูง และค่าความต้านทานเอาต์พุตมีค่าต่ำ

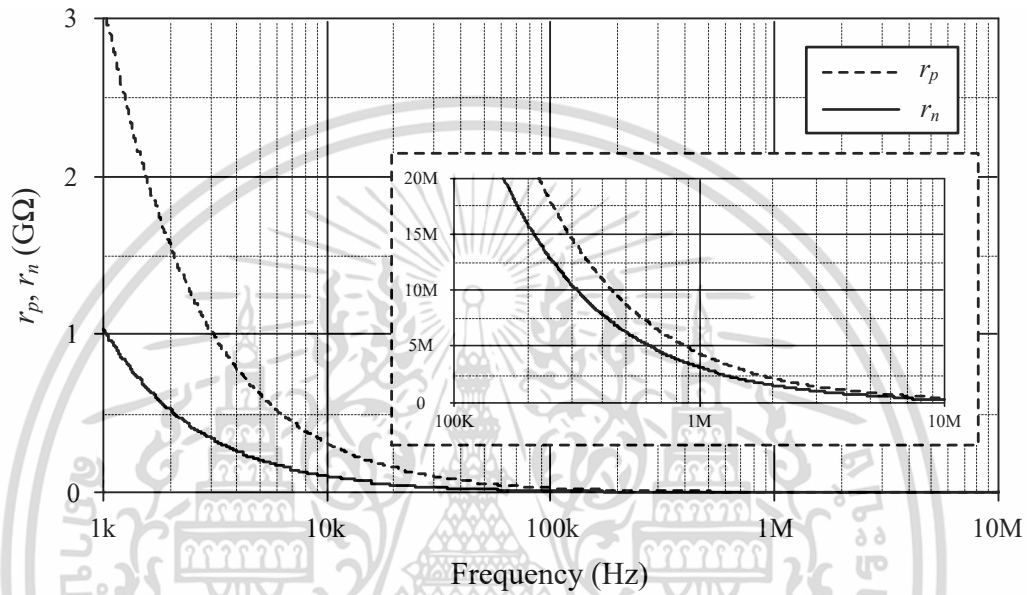
## 2.5 ผลการจำลองการทำงานวงจร VDBA

หัวข้อนี้จะกล่าวถึงผลการจำลองการทำงานโดยใช้โปรแกรม PSPICE เพื่อแสดงถึงคุณสมบัติของวงจร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ในรูปที่ 2.7 โดยการจำลองการทำงานนั้นอาศัยเทคโนโลยีมอสทรานซิสเตอร์ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC ซึ่งกำหนดอัตราส่วนความกว้างต่อความยาวของช่องนำกระแส ( $W/L$ ) ของทรานซิสเตอร์ดังตารางที่ 2.1 แหล่งจ่ายไฟเลี้ยงเท่ากับ  $+V = -V = 0.75\text{V}$  และ  $I_A = 50 \mu\text{A}$  จากผลการจำลองการทำงานของวงจรที่นำเสนอพบว่ามีกำลังไฟฟ้าสูญเสีย (total power consumption) เท่ากับ  $0.38 \text{ mW}$

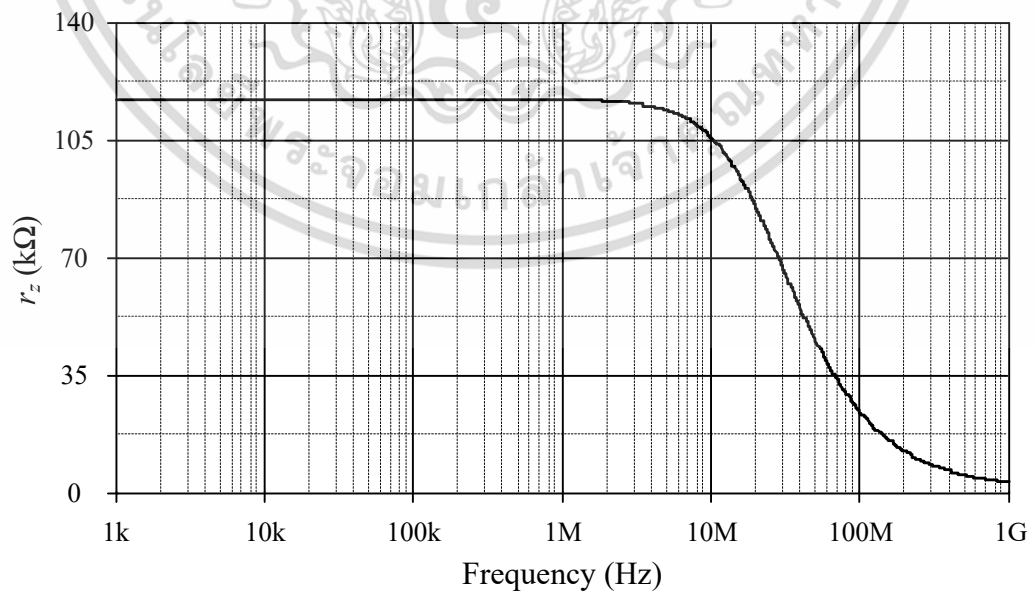
รูปที่ 2.14 แสดงผลจำลองผลตอบสนองทางความถี่ของค่าความต้านทานอินพุตของวงจร VDBA ในรูปที่ 2.7 เมื่อพิจารณาที่  $f = 100 \text{ kHz}$  พบว่าค่า  $r_p \approx 32 \text{ M}\Omega$  และ  $r_n \approx 44 \text{ M}\Omega$  ตามลำดับ รูปที่ 2.15 แสดงผลจำลองผลตอบสนองทางความถี่ของค่าความต้านทานที่มองเข้าไปยังขั้ว z ( $r_z$ ) พบว่ามีค่าประมาณ  $117 \text{ k}\Omega$  ในช่วงความถี่ระหว่าง  $1 \text{ kHz}$  ถึง  $1 \text{ MHz}$  และรูปที่ 2.16 แสดงผลจำลองผลตอบสนองทางความถี่ของค่าความต้านทานที่มองไปยังขั้ว w ( $r_w$ ) พบว่ามีค่าประมาณ  $26 \Omega$

ตารางที่ 2.1 อัตราส่วนความกว้างต่อความยาวช่องนำกระแส ( $W/L$ ) ของมอสทรานซิสเตอร์ของวงจร VDBA ในรูปที่ 2.7

ทรานซิสเตอร์	$W/L$ ( $\mu\text{m}/\mu\text{m}$ )
$M_1 - M_2, M_5 - M_6, M_9$	25/0.25
$M_3, M_7$	32/0.25
$M_4, M_8$	35/0.25

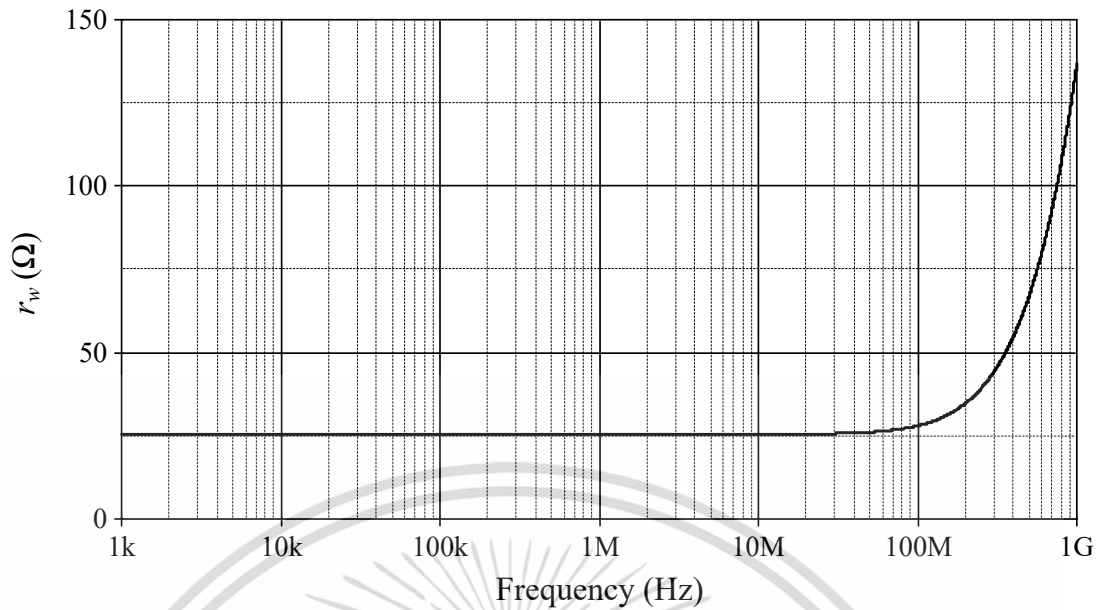


รูปที่ 2.14 ผลการจำลองผลตอบแทนทางความถี่ของค่าความต้านทานอินพุตที่ขั้ว p และขั้ว n



รูปที่ 2.15 ผลการจำลองผลตอบแทนทางความถี่ของค่าความต้านทานเอาต์พุตที่ขั้ว z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 ผลการจำลองผลตอบสนองทางความถี่ของค่าความต้านทานเอาต์พุตที่ขั้ว w

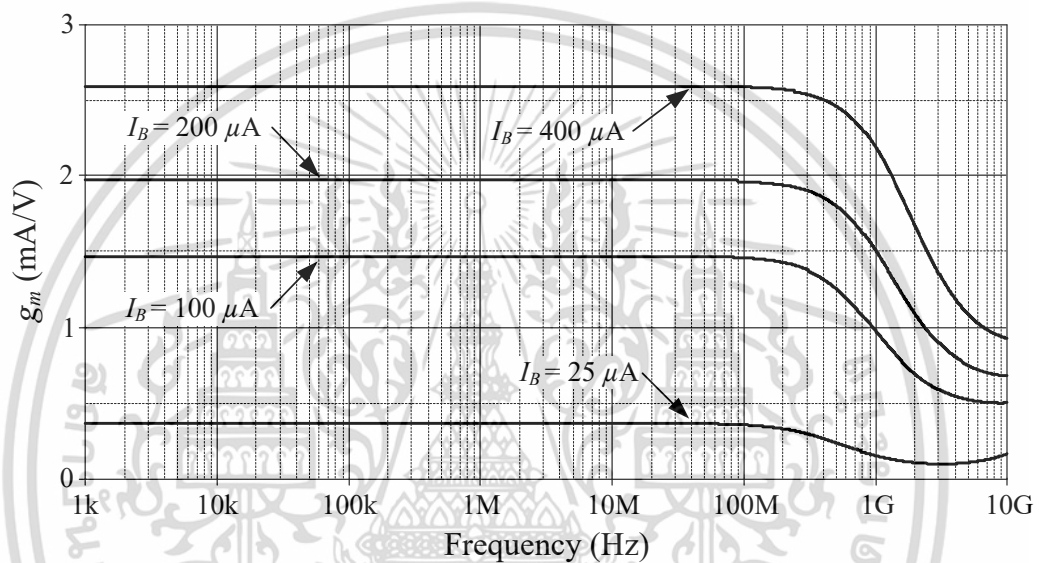
รูปที่ 2.17 แสดงคุณสมบัติการแปรค่าอัตราขยายค่าความนำ  $g_m$  โดยการปรับกระแสไบอัส  $I_B$  ของวงจร เมื่อทำการแปรค่า  $I_B$  ดังนี้  $25 \mu A$ ,  $100 \mu A$ ,  $200 \mu A$  และ  $400 \mu A$  ตามลำดับ โดยตารางที่ 2.2 แสดงให้เห็นถึงผลทางทฤษฎีและผลการจำลอง พร้อมทั้งแสดงค่าความคลาดเคลื่อนที่เกิดขึ้น

รูปที่ 2.18 แสดงผลการจำลองอัตราขยายค่าความนำเมื่อทำการแปรค่าแรงดันอินพุตจาก  $-100 \text{ mV}$  ถึง  $100 \text{ mV}$  เมื่อกำหนดให้  $I_B = 100 \mu A$  จากกราฟแสดงให้เห็นว่าผลการทำงานมีค่าใกล้เคียงกับค่าทางทฤษฎีในช่วงแรงดันอินพุตระหว่าง  $-50 \text{ mV}$  ถึง  $50 \text{ mV}$  รูปที่ 2.19 แสดงผลการปรับอัตราขยายค่าความนำ  $g_m$  ด้วยการแปรค่า  $I_B$  จาก  $0 \mu A$  ถึง  $400 \mu A$  ของวงจร VDBA โดยเปรียบเทียบระหว่างผลการจำลองกับผลทางทฤษฎี จากผลการจำลองทำงานพบว่า  $I_B$  ในช่วง  $110 \mu A$  ถึง  $350 \mu A$  มีค่าความคลาดเคลื่อนน้อยกว่าหรือเท่ากับ 5 %

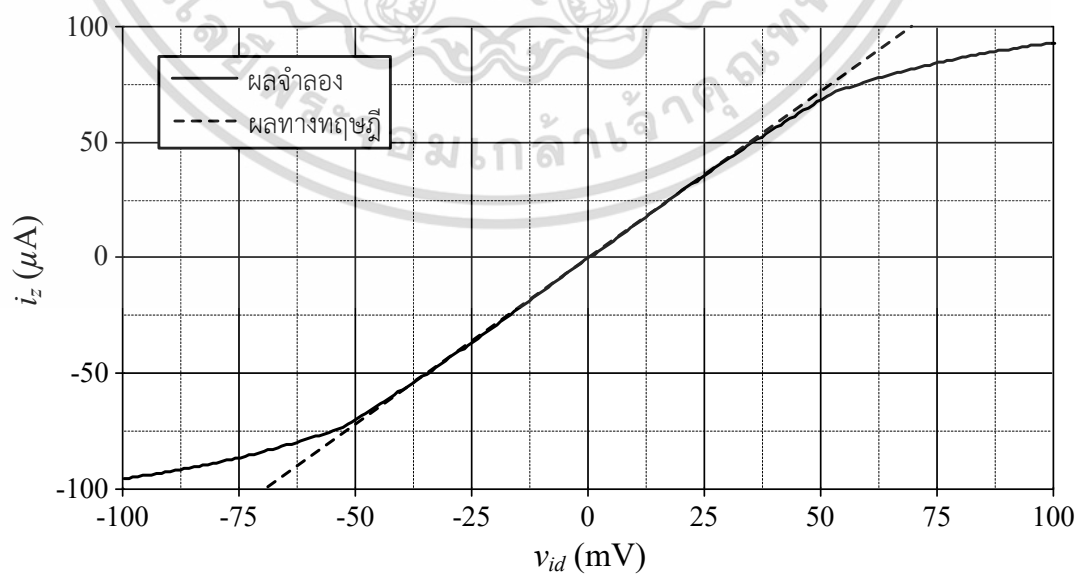
รูปที่ 2.20 แสดงคุณสมบัติการส่งผ่านแรงดันจากขั้ว z ( $v_z$ ) ไปยังขั้ว w ( $v_w$ ) ซึ่งจากผลการจำลองการทำงานของวงจรพบว่าวงจรมีช่วงปฏิบัติการสอดคล้องกับค่าทางทฤษฎีมีค่าสูงสุดถึง  $300 \text{ mV}$  รูปที่ 2.21 แสดงผลการจำลองผลตอบสนองทางความถี่ของอัตราการส่งผ่านแรงดันระหว่าง  $v_z$  และ  $v_w$  พบว่ามีค่าประมาณ 1 ซึ่งมีค่าใกล้เคียงกับทางทฤษฎี

ตารางที่ 2.2 รายละเอียดของค่า  $g_m$  และค่าความคลาดเคลื่อนที่ได้รับเมื่อทำการแปร  $I_B$  สีค่า ดังรูปที่ 2.17

$I_B$ ( $\mu\text{A}$ )	$g_m$ (mA/V)		ค่าความคลาดเคลื่อน (%)
	ผลทางทฤษฎี	ผลการจำลอง	
25	0.79	0.37	53.16
100	1.58	1.49	5.70
200	2.24	2.16	3.70
400	3.16	2.99	5.38

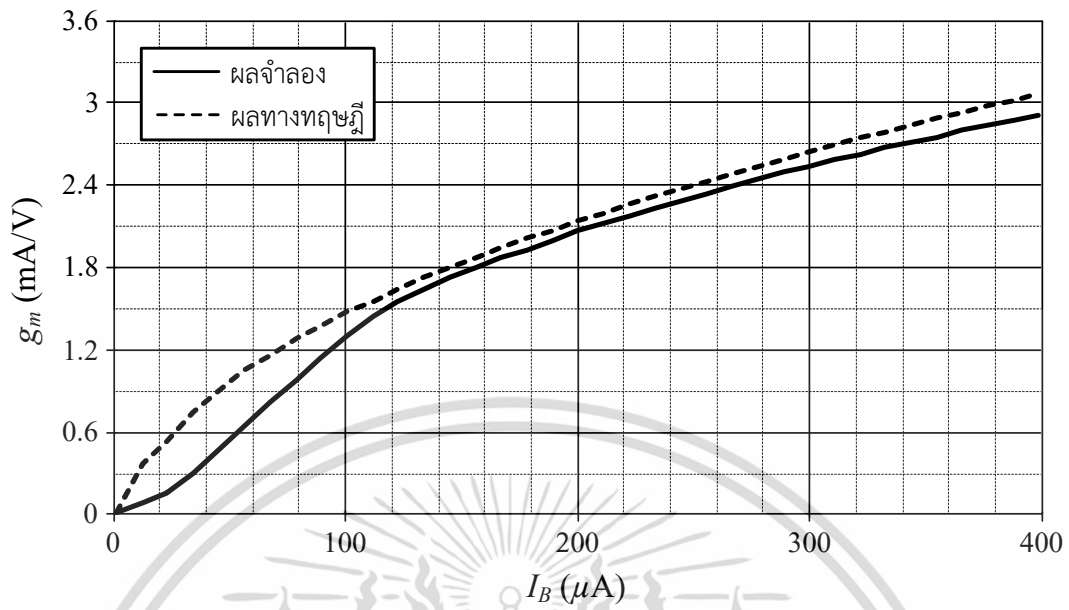


รูปที่ 2.17 ผลการจำลองผลตอบสนองทางความถี่ของ  $g_m$  เมื่อแปรค่า  $I_B$

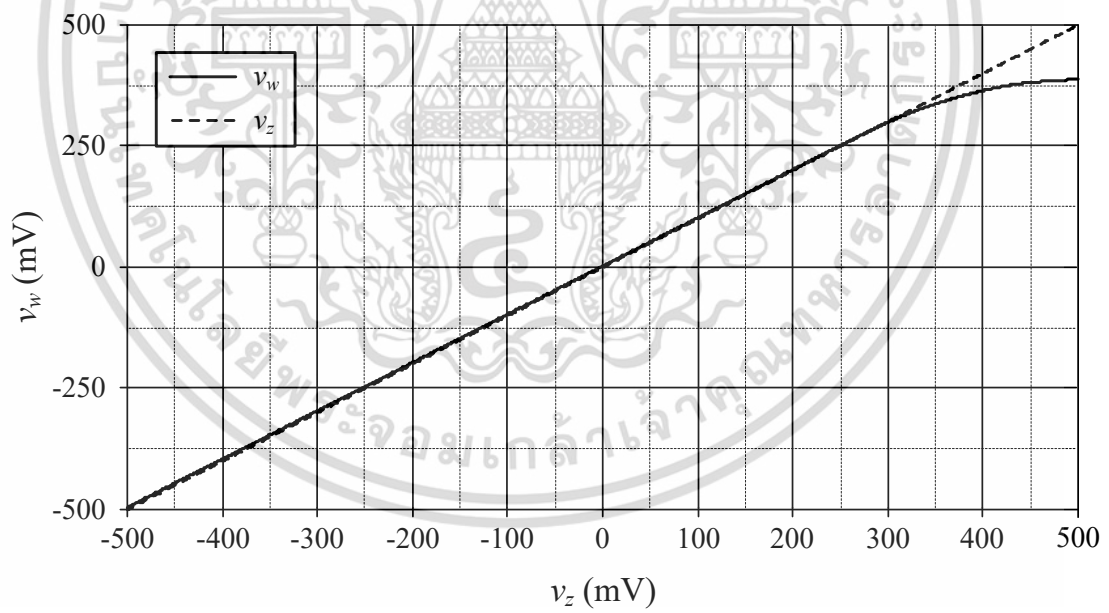


รูปที่ 2.18 ผลการจำลองอัตราขยายค่าความนำ  $g_m$  เมื่อแปรค่าแรงดันอินพุตผลต่าง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

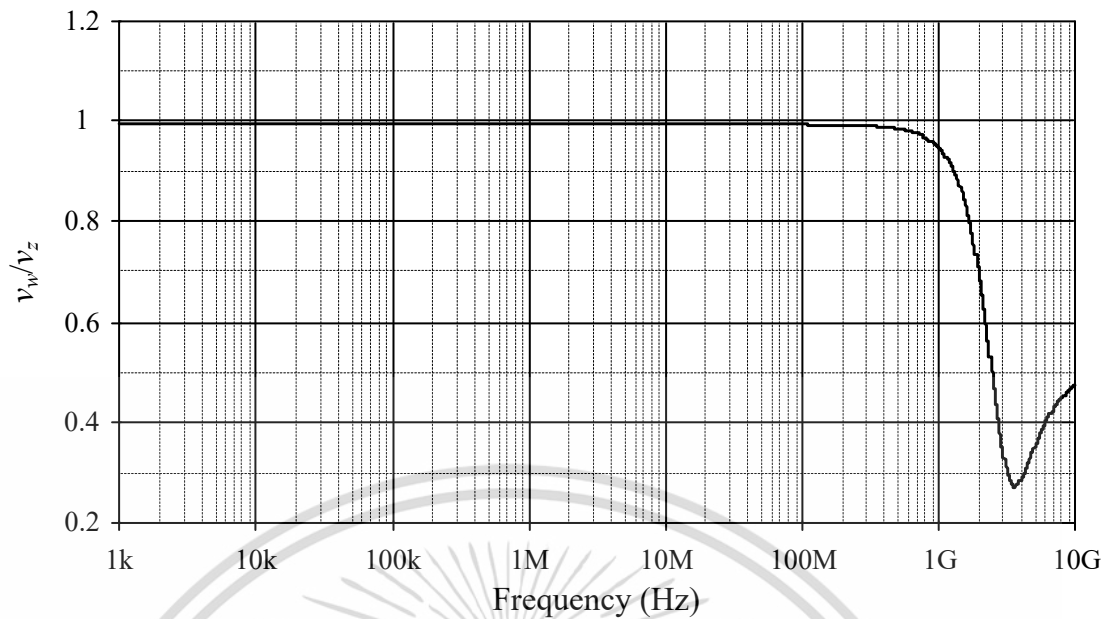


รูปที่ 2.19 ผลการจำลองอัตราขยายค่าความนำของวงจร VDBA เมื่อแปรค่า  $I_B$



รูปที่ 2.20 คุณสมบัติการส่งผ่านแรงดัน  $v_z$  ไปยัง  $v_w$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



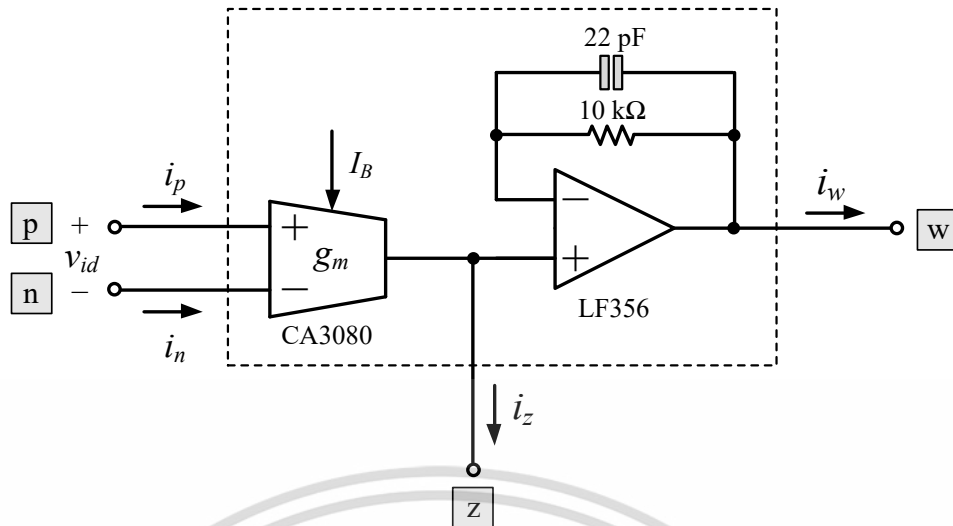
รูปที่ 2.21 ผลการจำลองผลตอบสนองทางความถี่ของ  $v_w/v_z$

## 2.6 ผลการทดลองต่อวงจรจริง

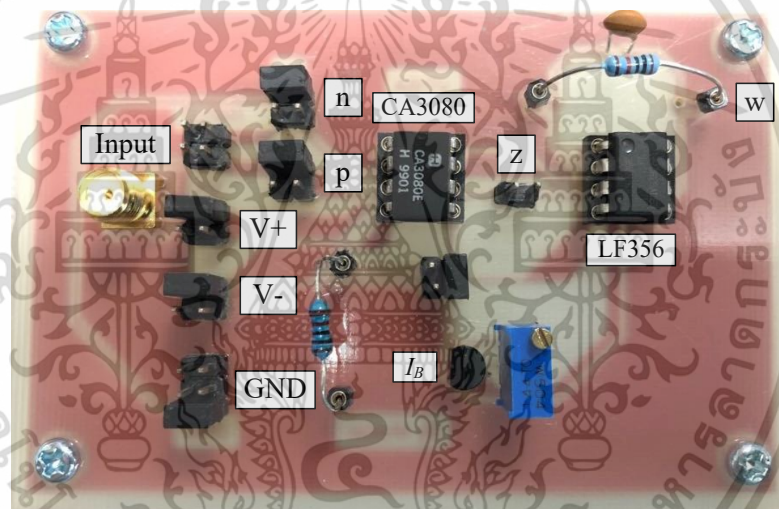
หัวข้อนี้จะกล่าวถึงวงจร VDBA เมื่อนำมาต่อวงจรจริงโดยเลือกใช้เครื่องมือวัด digital storage oscilloscope รุ่น EDUX1002G ของบริษัท Keysight เพื่อแสดงให้เห็นถึงคุณสมบัติการทำงานของวงจรในทางปฏิบัติที่มีความสอดคล้องกับผลทางทฤษฎี ในที่นี้การต่อทดลองจริงประกอบไปด้วยวงจรขยายค่าความนำโดยใช้ไอซีเบอร์ CA3080 และวงจรตามแรงดันโดยใช้ไอซีเบอร์ LF356 ดังแสดงในรูปที่ 2.22 โดยวงจรขยายค่าความนำที่สังเคราะห์ขึ้นจากไอซีเบอร์ CA3080 มีสามขั้ว ได้แก่ ขั้ว p ขั้ว n ซึ่งทำหน้าที่เป็นภาคอินพุตของวงจร และ ขั้ว z ซึ่งวงจรมีความสามารถปรับอัตราขยายค่าความนำด้วยการแปรค่า  $I_B$  ส่วนวงจรตามแรงดันซึ่งสังเคราะห์จากไอซีเบอร์ LF356 เพื่อทำหน้าที่ส่งผ่านแรงดันจากขั้ว z ไปยังขั้ว w นอกจากนี้ยังมีการนำตัวต้านทาน 10 k $\Omega$  ต่อขนานกับตัวเก็บประจุ 22 nF โดยเชื่อมวงจรแบบป้อนกลับเพื่อลดผลกระทบของสัญญาณรบกวนอีกด้วย

รูปที่ 2.23 แสดงแผ่นวงจรพิมพ์ของวงจร VDBA ซึ่งประกอบไปด้วยไอซีเบอร์ CA3080 และ LF356 เมื่อทดสอบการทำงานของวงจรโดยการป้อนสัญญาณแรงดันอินพุตรูปสามเหลี่ยมขนาด 100 mVp-p ที่  $f_{in} = 100$  kHz เมื่อกำหนดให้  $+V = -V = 5$  V และ  $g_m = \frac{I_B}{2V_T}$  ( $V_T = 25$  mV และ

$I_B = 50$   $\mu$ A) มีค่าประมาณ 1 mA/V [15]-[16]



รูปที่ 2.22 วงจร VDBA โดยใช้ไอซีเบอร์ CA3080 ต่อร่วมกับไอซีเบอร์ LF356



รูปที่ 2.23 ภาพถ่ายวงจร VDBA บนแผ่นวงจรพิมพ์ที่ใช้ในการทดลองจริง

คุณสมบัติของวงจรขยายค่าความนำในรูปที่ 2.23 เมื่อพิจารณากรณีสัญญาณขนาดใหญ่ โดยทำการต่อตัวต้านทานขนาด  $1\text{ k}\Omega$  ที่ขา z จากภายนอก จะสามารถวัดแรงดันอินพุตที่ขั้ว p ( $v_p$ ) เมื่อขั้ว n ต่อเทียบกราวด์ ( $v_n = 0$ ) กับแรงดันเอาต์พุตที่ขั้ว z ( $v_z$ ) แสดงได้ดังรูปที่ 2.24 และกรณีเมื่อนำขั้ว p ต่อเทียบกราวด์ ( $v_p = 0$ ) จะสามารถวัดแรงดันที่ขั้ว n ( $v_n$ ) กับขั้ว z ( $v_z$ ) ได้ดังรูปที่ 2.25

ผลตอบสนองทางความถี่ของ  $g_m$  ของวงจร VDBA เมื่อต่อตัวต้านทานจากภายนอกขนาด  $1\text{ k}\Omega$  ที่ขา z จากภายนอก จะสามารถวัดผลของ  $v_z/v_{id}$  (dB) และ  $g_m$  (mA/V) ทั้งในทางทฤษฎีและผลการวัดจริงแสดงดังตารางที่ 2.3 เมื่อทำการแปร  $I_B$  เป็น 1, 2 และ 3 mA/V แสดงดังรูปที่ 2.26 จากผลการทดลองแสดงถึงประสิทธิภาพการทำงานของวงจร VDBA ที่สามารถปรับอัตราขยายค่า

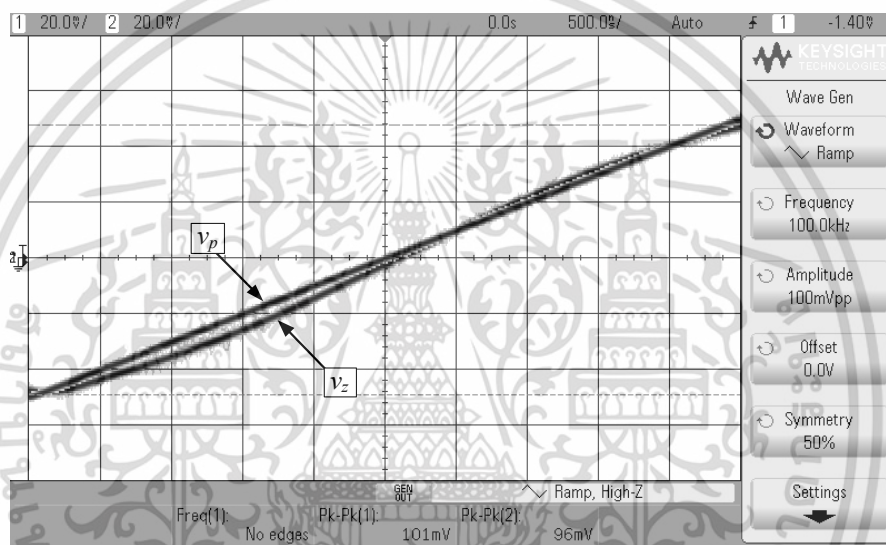
ความนำด้วยการแปรค่า  $I_B$  จากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

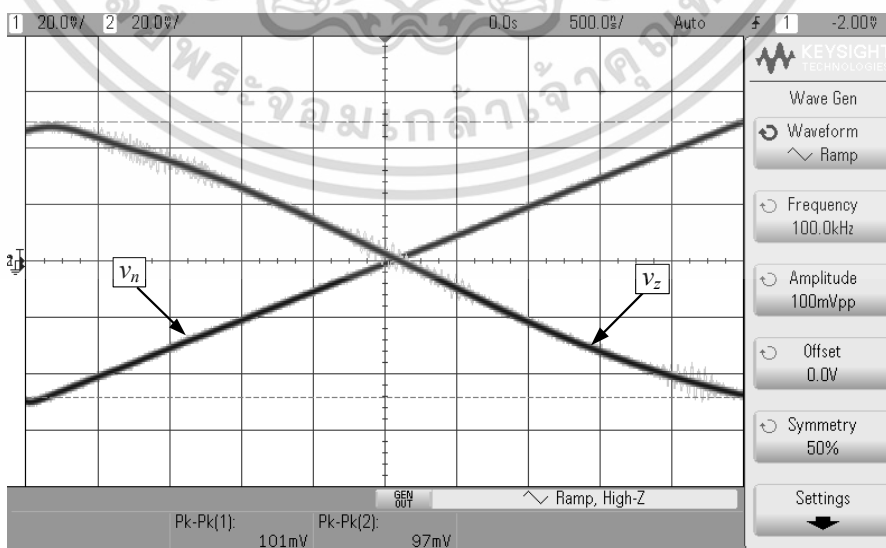
รูปที่ 2.27 แสดงผลการวัดค่าแรงดันเอาต์พุตที่ขั้ว w เมื่อเปรียบเทียบกับแรงดันที่ขั้ว z พบว่า วงจรสามารถส่งผ่านแรงดันไปยังขั้วเอาต์พุตได้จริง

ตารางที่ 2.3 รายละเอียดของ  $v_z/v_{id}$  และ  $g_m$  เมื่อแปรค่า  $I_B$  ในรูปที่ 2.23

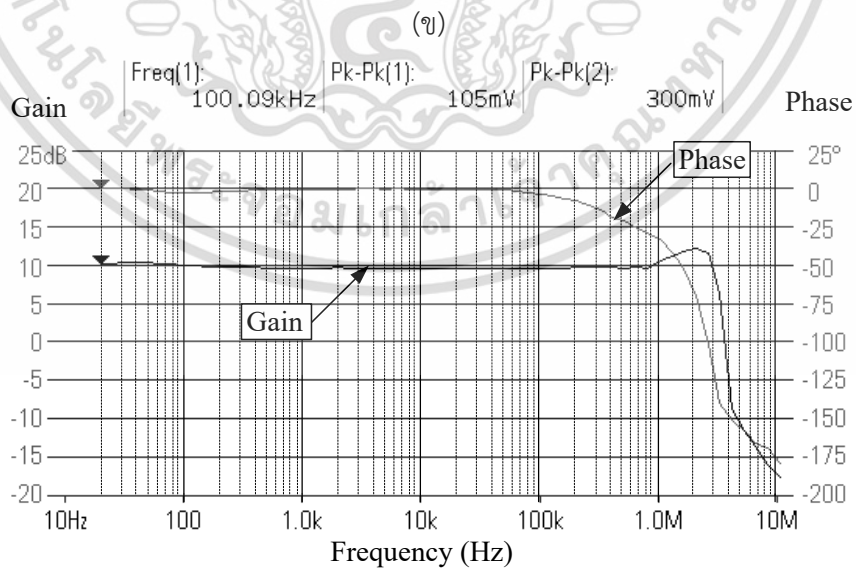
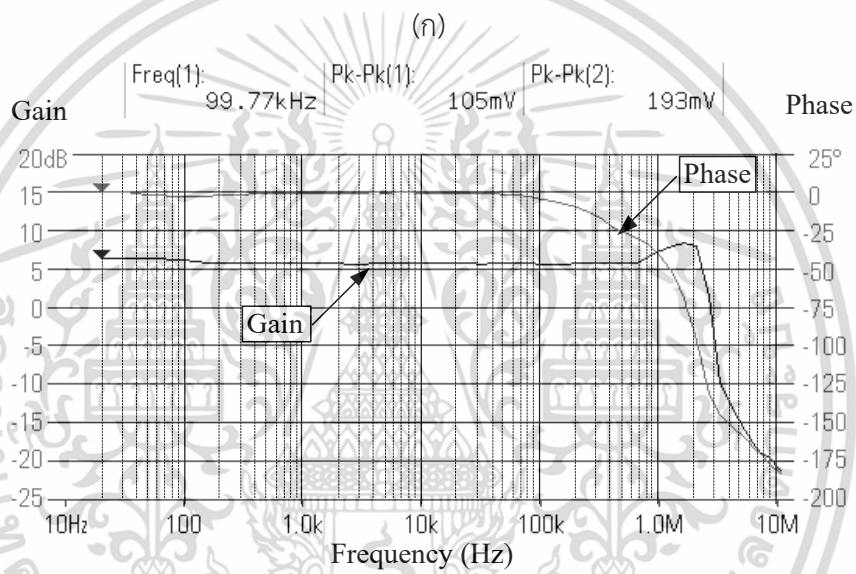
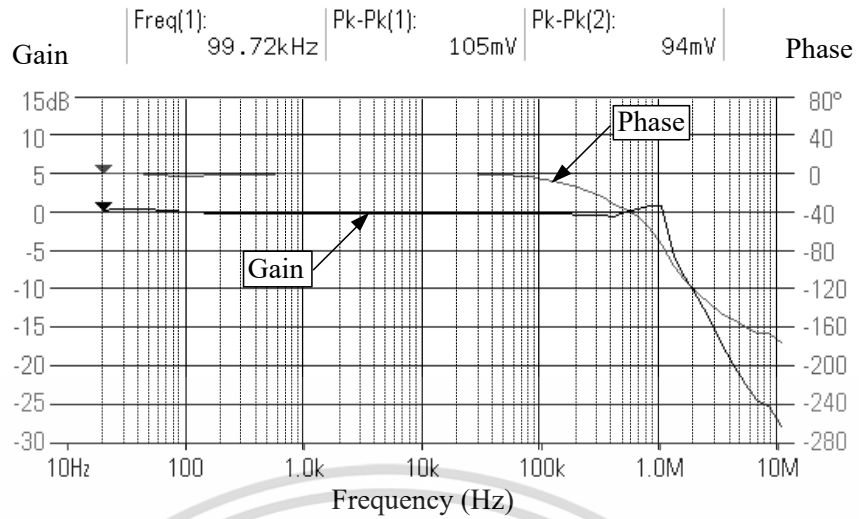
$I_B$ ( $\mu\text{A}$ )	$v_z/v_{id}$ (dB)		$g_m$ (mA/V)	
	ผลทางทฤษฎี	ผลการวัด	ผลทางทฤษฎี	ผลการวัด
50	0	0.26	1	1.03
100	6.02	6.29	2	2.06
150	9.54	10.24	3	3.25



รูปที่ 2.24 ผลการวัดแรงดัน  $v_p$  และ  $v_z$  ของวงจร VDBA ในรูปที่ 2.23



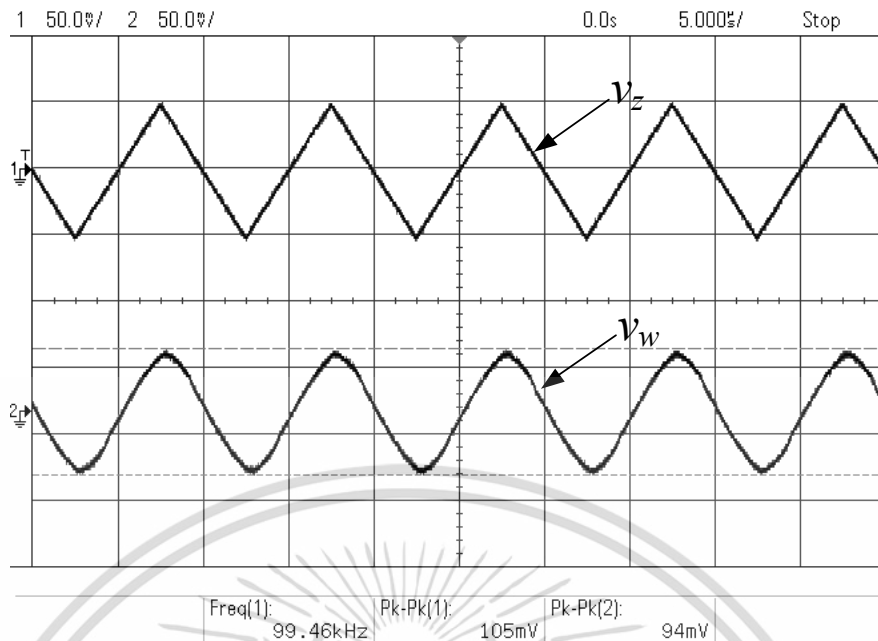
รูปที่ 2.25 ผลการวัดแรงดัน  $v_n$  และ  $v_z$  ของวงจร VDBA ในรูปที่ 2.23 เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของ Keysight Technologies การเผยแพร่โดยไม่ได้รับอนุญาตจะถือว่าผิดกฎหมาย การนำเอกสารนี้ไปใช้ในการค้าโดยไม่ได้รับอนุญาตจะถือว่าผิดกฎหมาย การนำเอกสารนี้ไปใช้ในการค้าโดยไม่ได้รับอนุญาตจะถือว่าผิดกฎหมาย



(ค)

รูปที่ 2.26 ผลการวัดผลตอบสนองทางความถี่ของ  $v_z / v_{id}$  เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการเรียนการสอนเท่านั้น เมื่ออนุญาตให้ใช้เพื่อประโยชน์อื่นด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 ผลการวัดการส่งผ่านแรงดัน  $v_z$  ไปยัง  $v_w$  ในรูปที่ 2.23

## 2.7 สรุป

บทนี้ได้กล่าวถึงวงจร VDBA ซึ่งเป็นอุปกรณ์แอกทีฟหลักสำหรับวิทยานิพนธ์เล่มนี้ โดยอธิบายถึงที่มาความสำคัญของวงจร หลักการทำงานพื้นฐาน คุณสมบัติของวงจรทั้งทางอุดมคติและทางปฏิบัติ รวมถึงโครงสร้างภายในของวงจร VDBA แบบเทคโนโลยีมอสทรานซิสเตอร์ที่มีจุดเด่นในการปรับอัตราขยายค่าความนำได้จากภายนอก พร้อมทั้งอธิบายถึงการทำงานในทางทฤษฎีของวงจร VDBA ที่ประกอบไปด้วยสองวงจร คือ วงจรอัตราขยายค่าความนำและวงจรตามแรงดัน โดยกล่าวถึงคุณสมบัติพื้นฐาน เช่น การวิเคราะห์ห้วงจรสำหรับสัญญาณขนาดเล็กและขนาดใหญ่ การคำนวณหาค่าความต้านทานอินพุตและเอาต์พุตของวงจร เป็นต้น นอกจากนี้วงจร VDBA ได้ถูกนำไปจำลองผลการทำงานด้วยโปรแกรม PSPICE พร้อมทั้งทำการต่อทดลองด้วยวงจรจริงที่สังเคราะห์ขึ้นจากไอซีเบอร์ CA3080 ต่อร่วมกับ LF356 เพื่อยืนยันการทำงานของวงจร VDBA ที่มีความถูกต้องและสอดคล้องกับผลลัพธ์ในทางทฤษฎี

## 2.8 เอกสารอ้างอิงบทที่ 2

- [1] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing : Classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.
- [2] C. Acar and S. Ozoguz, “A new versatile building block : current differencing buffered amplifier suitable for analog signal-processing filters”, **Microelectronics Journal**, vol. 30, no. 2, pp. 157-160, 1999.
- [3] J. Satansup and W. Tangsrirat, “Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors”, **Microelectronics Journal**, vol. 45, no. 6, pp. 613-618, 2014.
- [4] F. Kacar, A. Yesil and A. Noori, “New cmos realization of voltage differencing buffered amplifier and its biquad filter applications”, **Radioengineering**, vol. 21, no. 1, pp. 333-339, 2012.
- [5] N. Khatib and D. Biolek, “New voltage mode universal filter based on promising structure of voltage differencing buffered amplifier”, **Proceedings of 23<sup>rd</sup> International Conference Radioelektronika (RADIOELEKTRONIKA 2013)**, Pardubice, Czech Republic, pp.177-181, 16-17 April, 2013.
- [6] M. Srivastava, D. Prasad and D. R. Bhaskar, “Voltage mode quadrature oscillator employing single VDTA and grounded passive elements”, **Contemporary Engineering Sciences**, vol. 7, no. 25-28, pp. 1501-1507, 2014.
- [7] E. Yuce, S. Minaei and O. Cicekoglu, “A novel grounded inductor realization using a minimum number of active and passive components”, **ETRI Journal**, vol. 24, no. 4, pp. 427-431, 2005.
- [8] E. Yuce, O. Cicekoglu and S. Minaei, “CCII-based grounded to floating immittance converter and a floating inductance simulator”, **Analog Integrated Circuits and Signal Processing**, vol. 46, no. 3, pp. 287-291, 2006.
- [9] T. Pukkalanun, N. Roongmuanpha and W. Tangsrirat, “Variable lossy series inductance simulator using single voltage differencing buffered amplifier (VDBA)”, **Proceedings of the International MultiConference of Engineers and Computer Scientists 2017 Vol II (IMECS 2017)**, Kowloon, Hong Kong, 15-17 March, pp. 656-659, 2017.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [10] P. Moonmuang and W. Tangsrirat, "Electronically tunable resistorless capacitance multiplier employing VDABs", **Proceedings of the 3<sup>rd</sup> International Conference on Communication and Information Processing (ICCIP 2017)**, Tokyo, Japan, 24-26 November, 2017.
- [11] Z. Wang, "2 - MOSFET transresistor with extremely low distortion for output reaching supply voltages", **Electronics Letters**, vol. 26, no. 13, pp. 951-952, 1990.
- [12] F. Kacar, A. Yesil and A. Noori, "New cmos realization of voltage differencing buffered amplifier and its biquad filter applications", **Radioengineering**, vol. 21, no. 1, pp. 333-339, 2012.
- [13] นัชชัยน์ รุ่งเหมือนฟ้า, ทศยา บุคคละนันท์ และ วรพงศ์ ตั้งศรีรัตน์, "วงจรมัลติเพล็กซ์แบบตัวเหนี่ยวนำแบบมีการสูญเสียที่ปรับค่าได้โดยใช้ วงจร VDBA", **การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 9**, จ.จันทบุรี, หน้า 496-499, 2560.
- [14] Donald A. Neamen, **Electronic circuit analysis and design**, Second edition. McGraw-Hill, Inc., 2001.
- [15] Harris semiconductor, "2 MHz, operational transconductance amplifier (OTA)", **CA3080 datasheet**, Nov. 1996.
- [16] National Semiconductor, "JFET input operational amplifiers", **LF356 datasheet**, Dec. 2001.

## บทที่ 3

# วงจรรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์

## โดยใช้ตัวเก็บประจุเทียบกราวด์

### 3.1 กล่าวนำ

ปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์มีการพัฒนาขึ้นอย่างรวดเร็ว ซึ่งหัวใจหลักในการทำงานของอุปกรณ์อิเล็กทรอนิกส์เหล่านี้คือวงจรรวม โดยทั่วไปวงจรรวมจะประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์พื้นฐานที่มีความสำคัญชนิดหนึ่ง ได้แก่ ตัวเก็บประจุไฟฟ้า (capacitor) ที่สามารถนำไปประยุกต์ใช้งานได้หลากหลาย อาทิเช่น วงจรกรองสัญญาณ (filter circuit) วงจรออสซิลเลเตอร์ (oscillator) เป็นต้น แต่เนื่องจากลักษณะทางกายภาพของตัวเก็บประจุไฟฟ้าที่เป็นอุปกรณ์พาสซีฟมีขนาดค่อนข้างใหญ่ ทำให้ใช้พื้นที่วงจรรวมมาก ทั้งยังไม่สามารถปรับค่าได้ ดังนั้นจึงมีงานวิจัยส่วนหนึ่งได้นำเสนออุปกรณ์แอคทีฟ (active element) ไปสังเคราะห์เป็นวงจรรคูณค่าความจุไฟฟ้า ดังงานวิจัย [1]-[2] ที่วงจรถูกประกอบด้วยอุปกรณ์แอคทีฟและพาสซีฟเพียงอย่างละสองตัว แต่ก็พบว่าวงจรเหล่านี้ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ นอกจากนี้งานวิจัยส่วนใหญ่ [3]-[5] ยังพบว่าวงจรจำเป็นต้องทำงานภายใต้ระดับแรงดันไฟเลี้ยงสูง จึงก่อให้เกิดกำลังไฟฟ้าสูญเสียในวงจรที่มาก

เมื่อไม่นานมานี้มีผู้อุปกรณ์แอคทีฟที่มีชื่อว่า วงจร VDBA (voltage differencing buffered amplifier) ได้ถูกนำเสนอขึ้น [6] โดยมีขั้วอินพุตและเอาต์พุตของวงจรเป็นแรงดันจึงเหมาะสมต่อการใช้งานในโหมดแรงดัน อีกทั้งวงจรยังมีโครงสร้างไม่ซับซ้อน ส่งผลให้วงจร VDBA ถูกนำไปประยุกต์ใช้งานอย่างแพร่หลาย เช่น วงจรออสซิลเลเตอร์ [7] วงจรกรองสัญญาณ [8] และวงจรรคูณค่าความจุไฟฟ้า [9] เป็นต้น ดังนั้นวิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์เพื่อนำเสนอวงจรรคูณค่าความจุไฟฟ้า (capacitance multiplier) แบบปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ตัวเก็บประจุไฟฟ้าเทียบกราวด์ [10] ซึ่งประกอบด้วยอุปกรณ์แอคทีฟหลักคือวงจร VDBA จำนวนสองตัว ตัวต้านทานแบบลอยตัวจำนวนหนึ่งตัวและตัวเก็บประจุไฟฟ้าเทียบกราวด์จำนวนหนึ่งตัว ทำให้วงจรมีลักษณะเรียบง่ายไม่ซับซ้อน กินพื้นที่ในการออกแบบน้อย นอกจากนี้วงจรที่นำเสนอยังสามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสจากภายนอกของวงจร ซึ่งวงจรที่นำเสนอได้แสดงให้เห็นถึงผลการทำงานจริงด้วยผลการจำลองการทำงานด้วยโปรแกรม PSPICE แบบเทคโนโลยี CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC พร้อมทั้งผลการทดลองจริงจากการสังเคราะห์วงจร VDBA โดยใช้ไอซีเบอร์ CA3080 และเบอร์ LF356

### 3.2 วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอ

วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอ [10] ซึ่งประกอบด้วย วงจร VDBA จำนวนสองตัวต่อร่วมกับตัวต้านทานแบบลอยตัวจำนวนหนึ่งตัวและตัวเก็บประจุไฟฟ้า เทียบกราวด์จำนวนหนึ่งตัว แสดงดังรูปที่ 3.1 เมื่อวิเคราะห์ห้วงจรคูณค่าความจุไฟฟ้าที่นำเสนอโดย อาศัยคุณสมบัติของวงจร VDBA ในทางอุดมคติดังสมการ (2.1) จะได้ค่าอิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) ของวงจรเท่ากับ [ภาคผนวก ค1]

$$Z_{in} = R_1 + \frac{V_1}{i_{in}} = R_1 - \frac{1}{g_{m1}} + \frac{1}{s \left( \frac{g_{m1} C_1}{g_{m2}} \right)} \quad (3.1)$$

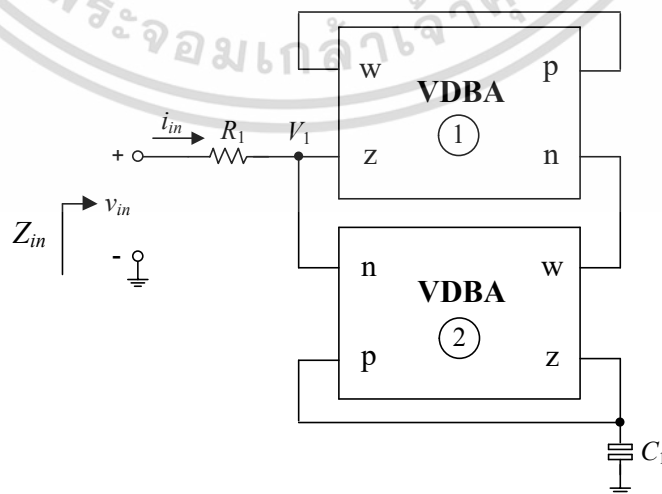
เมื่อกำหนดให้  $R_1 = 1/g_{m1}$  จะได้

$$Z_{in} = \frac{1}{s C_{eq}} = \frac{1}{s \left( \frac{g_{m1} C_1}{g_{m2}} \right)} \quad (3.2)$$

ซึ่งค่าความจุไฟฟ้าสมมูล (equivalent capacitance,  $C_{eq}$ ) ที่สังเคราะห์ขึ้นเท่ากับ [ภาคผนวก ค1]

$$C_{eq} = \frac{g_{m1}}{g_{m2}} C_1 \quad (3.3)$$

เมื่อ  $g_{mi}$  ( $i = 1, 2$ ) คืออัตราขยายค่าความนำ  $g_m$  ของวงจร VDBA ตัวที่  $i$  สมการ (3.3) แสดงให้เห็นว่าวงจรคูณค่าความจุไฟฟ้าที่นำเสนอสามารถปรับค่าความจุไฟฟ้าสมมูลได้โดยการปรับ  $g_{m1}$  และ/หรือ  $g_{m2}$



รูปที่ 3.1 วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอ

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เมื่อผู้เขียนได้อนุญาตให้ผู้อื่นใช้เอกสารนี้ในการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3 วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในทางปฏิบัติ

เมื่อวิเคราะห์วงจรที่นำเสนอด้วยคุณสมบัติการทำงานในทางปฏิบัติของวงจร VDBA ดังสมการ (2.2) พบว่าค่าอิมพีแดนซ์อินพุตของวงจรเท่ากับ [ภาคผนวก ค2]

$$Z_{in} = R_1 + \left\{ \frac{\alpha_2 g_{m2} - sC_1}{\alpha_1 g_{m1} [\alpha_2 g_{m2} (\beta_2 - \beta_1) + sC_1 \beta_1]} \right\} \quad (3.4)$$

โดยที่  $\alpha_i$  คือค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำระหว่างขั้ว p และขั้ว n ถูกส่งผ่านไปยังขั้ว z ในขณะที่  $\beta_i$  คือค่าความผิดพลาดในการส่งผ่านแรงดันจากขั้ว z ไปยังขั้ว w ของวงจร VDBA ตัวที่  $i$

เมื่อพิจารณาที่  $f \gg [\alpha_2 g_{m2} (\beta_2 - \beta_1) / C_1 \beta_1]$  และ  $R_1 \cong 1/(\alpha_1 \beta_1 g_{m1})$  ของวงจร VDBA ในทางปฏิบัติ จะได้ค่าความจุไฟฟ้าสมมูลของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 3.1 ในทางปฏิบัติ เท่ากับ [ภาคผนวก ค2]

$$C_{eq} = \left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \quad (3.5)$$

จากสมการข้างต้นแสดงให้เห็นว่าค่าความจุไฟฟ้าสมมูลจะเกิดความคลาดเคลื่อนไปจากค่าในทางทฤษฎี เนื่องจากผลกระทบของ  $\alpha_1$ ,  $\alpha_2$  และ  $\beta_1$  ซึ่งสามารถปรับชดเชยได้โดยการแปร  $g_{m1}$  และ/หรือ  $g_{m2}$

การวิเคราะห์คุณสมบัติค่าความไว (sensitivity) ของค่าความจุไฟฟ้าสมมูลต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟและพาสซีฟในวงจร จะได้ [ภาคผนวก ค3]

$$S_{\alpha_1}^{C_{eq}} = S_{\beta_1}^{C_{eq}} = S_{g_{m1}}^{C_{eq}} = 1 \quad (3.6)$$

$$S_{\alpha_2}^{C_{eq}} = S_{g_{m2}}^{C_{eq}} = -1 \quad (3.7)$$

และ 
$$S_{C_1}^{C_{eq}} = 1 \quad (3.8)$$

สมการข้างต้นพบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง แสดงให้เห็นว่าวงจรมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำ ซึ่งบ่งชี้ถึงเสถียรภาพที่ดีของวงจรที่นำเสนอ ยกตัวอย่างเช่น พิจารณาสมการ (3.6) หากค่าองค์ประกอบ  $g_{m1}$  มีค่าเปลี่ยนแปลงเพิ่มขึ้น

1% จะทำให้ค่าความจุไฟฟ้าสมมูลของวงจรมีค่าเพิ่มขึ้น 1% เช่นกัน

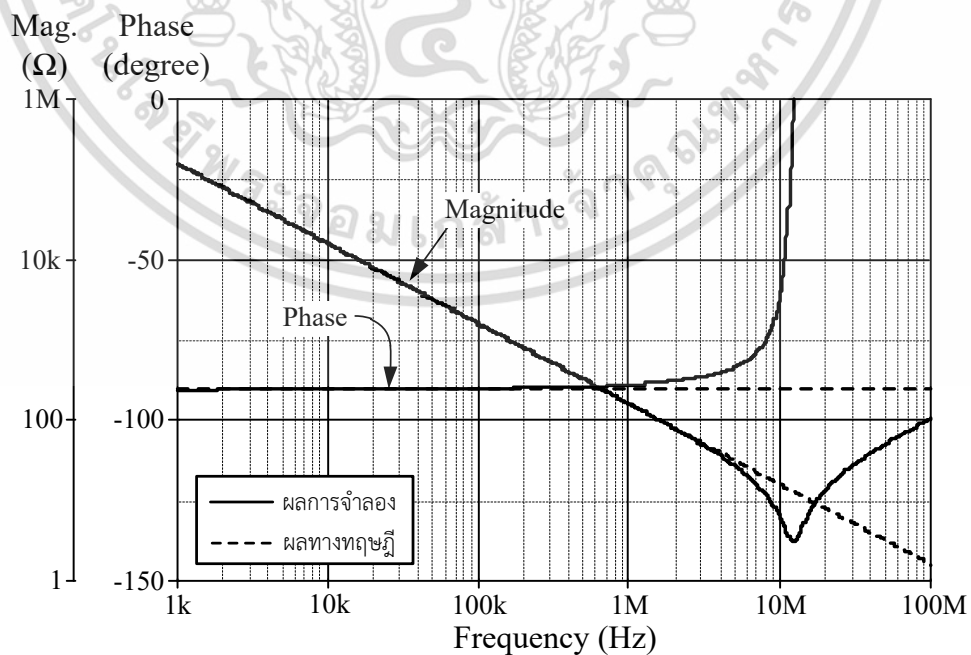
เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี หากมีข้อผิดพลาดให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4 ผลการจำลองการทำงานของวงจร

หัวข้อนี้กล่าวถึงคุณสมบัติในการทำงานของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 3.1 ด้วยผลการจำลองการทำงานด้วยโปรแกรม PSPICE โดยใช้เทคโนโลยี CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC เมื่อกำหนดให้  $+V = -V = 0.75 \text{ V}$   $v_{in} = 50 \text{ mV}_p$   $C_1 = 1 \text{ nF}$  และ  $I_{B1} = I_{B2} = 100 \mu\text{A}$  ( $g_{m1} = g_{m2} = 1.58 \text{ mA/V}$ ) จากสมการ (3.3) ทำให้ได้  $C_{eq} = 1 \text{ nF}$  และผลของเงื่อนไขค่าเท่ากันของอุปกรณ์ส่งผลให้  $R_1 = 632 \Omega$  รูปที่ 3.2 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1 ซึ่งวงจรที่นำเสนอสามารถทำงานได้ด้วยความผิดพลาดไม่เกิน 10% ที่ความถี่สูงสุดถึง 6 MHz และหลังจากนั้นหากความถี่มากกว่า 6 MHz จะพบว่าวงจรมีความผิดพลาดไปจากค่าในทางทฤษฎีเนื่องจากวงจร VDBA ในรูปที่ 2.17 ของบทที่ 2 มีช่วงปฏิบัติงานอยู่ระหว่างความถี่ 1 kHz ถึง 100 MHz ดังนั้นเมื่อจำลองวงจรคุณค่าความจุไฟฟ้าโดยใช้วงจร VDBA จำนวนสองตัว จะส่งผลให้วงจรมีช่วงปฏิบัติงานสั้นลงหรือวงจรสามารถทำงานสอดคล้องกับทฤษฎีในช่วงความถี่ 1 kHz ถึง 6 MHz เท่านั้น

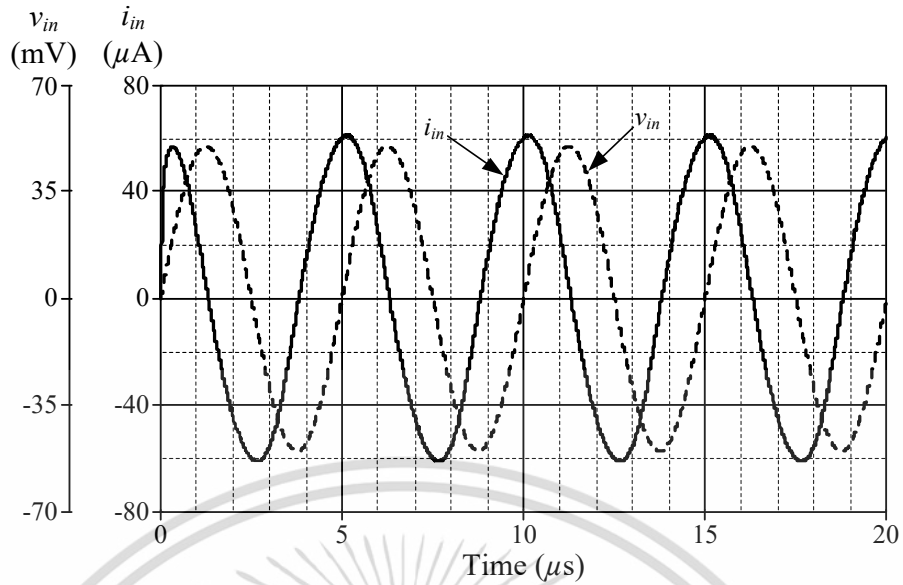
รูปที่ 3.3 แสดงผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 3.1 เมื่อป้อน  $v_{in} = 50 \text{ mV}_p$  หากพิจารณาที่  $f = 200 \text{ kHz}$  จะพบว่ามุมต่างเฟสเท่ากับ  $86^\circ$  ซึ่งมีค่าความผิดพลาดประมาณ 4.4% จากผลตอบสนองดังกล่าวแสดงให้เห็นว่าวงจรมีความสอดคล้องกับคุณสมบัติในทางทฤษฎีของตัวเก็บประจุไฟฟ้าที่มุมเฟสของ  $i_{in}$  นำหน้า  $v_{in}$  อยู่  $90^\circ$

รูปที่ 3.4 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1 โดยแปรค่า  $g_{m1}/g_{m2}$  ของวงจร VDBA ตัวที่  $i$  เมื่อ  $R_1 = 1/g_{m1}$  มีรายละเอียดดังตารางที่ 3.1 กำหนดให้  $v_{in} = 50 \text{ mV}_p$   $C_1 = 1 \text{ nF}$

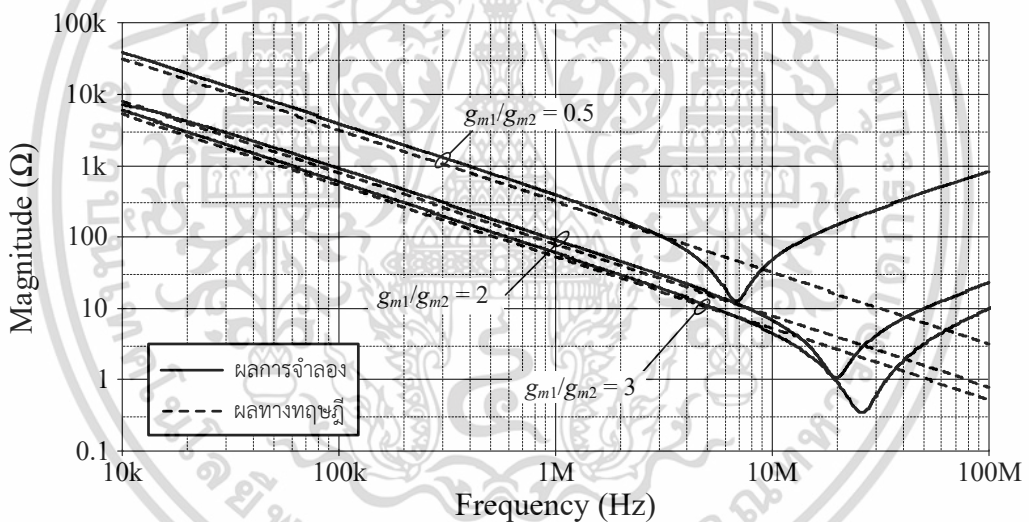


รูปที่ 3.2 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เผยแพร่โดยไม่เสียค่าใช้จ่าย  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 3.1



รูปที่ 3.4 ผลการจำลองผลตอบสนองทางความถี่เมื่อแปรค่า  $g_{m1}/g_{m2}$

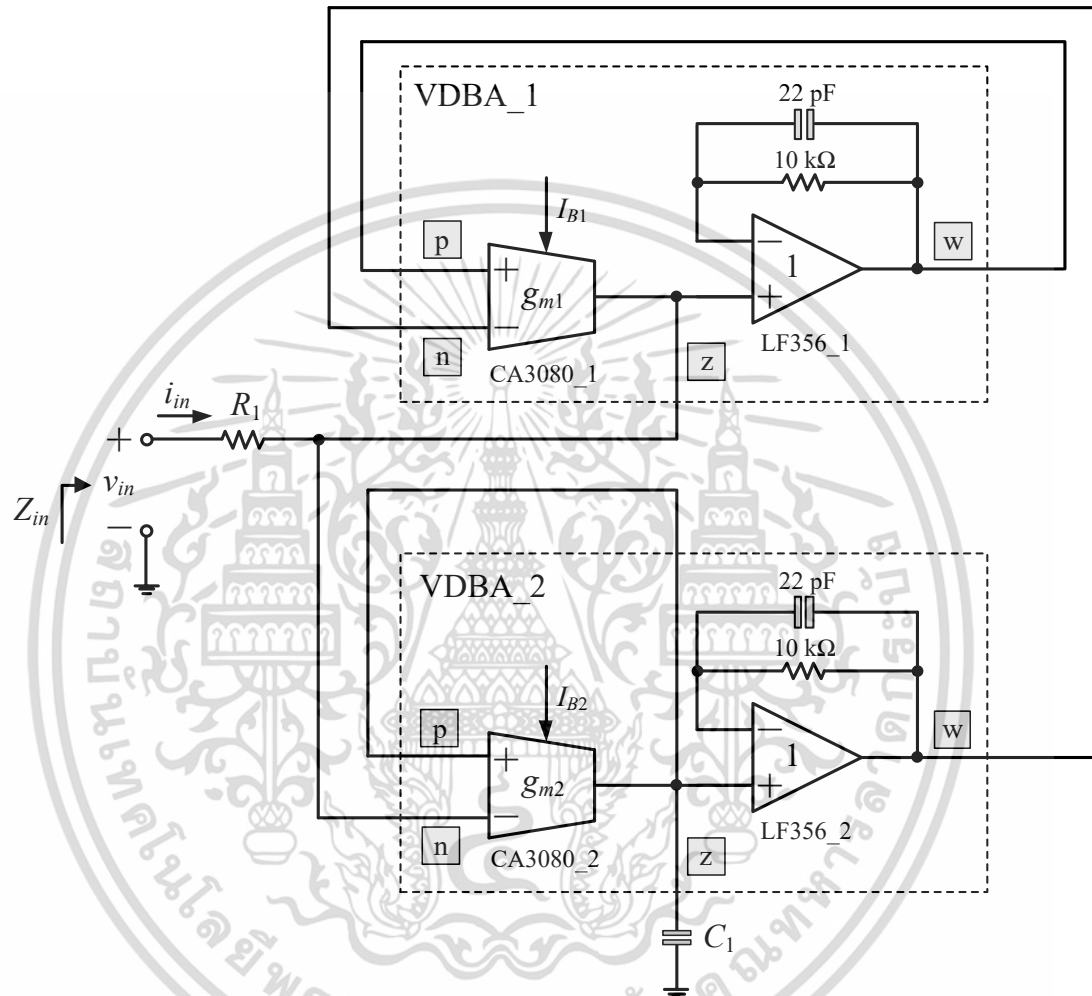
ตารางที่ 3.1 รายละเอียดการแปรค่า  $g_{m1}/g_{m2}$  และ  $C_{eq}$

$I_{Bi}$ ( $\mu A$ )		$g_{mi}$ (mA/V)		$R_1 = 1/g_{m1}$ (k $\Omega$ )	$g_{m1}/g_{m2}$	$C_{eq}$ (nF)
$I_{B1}$	$I_{B2}$	$g_{m1}$	$g_{m2}$			
25	100	0.79	1.58	1.27	0.5	0.5
100	25	1.58	0.79	0.63	2	2
200	25	2.24	0.79	0.45	3	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

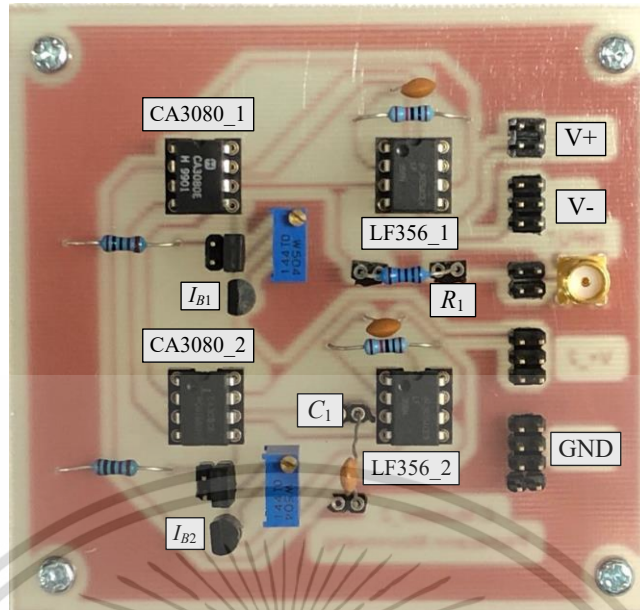
### 3.5 ผลการต่อทดลองด้วยวงจรจริง

หัวข้อนี้จะนำเสนอผลการต่อทดลองด้วยวงจรจริงของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 3.1 โดยมีรายละเอียดการสังเคราะห์วงจรโดยใช้ไอซีเบอร์ CA3080 [11] และไอซีเบอร์ LF356 [12] ดังรูปที่ 3.5 และนำไปออกแบบบนแผ่นวงจรพิมพ์ดังภาพถ่ายในรูปที่ 3.6



รูปที่ 3.5 วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 3.1 สำหรับแผ่นวงจรพิมพ์

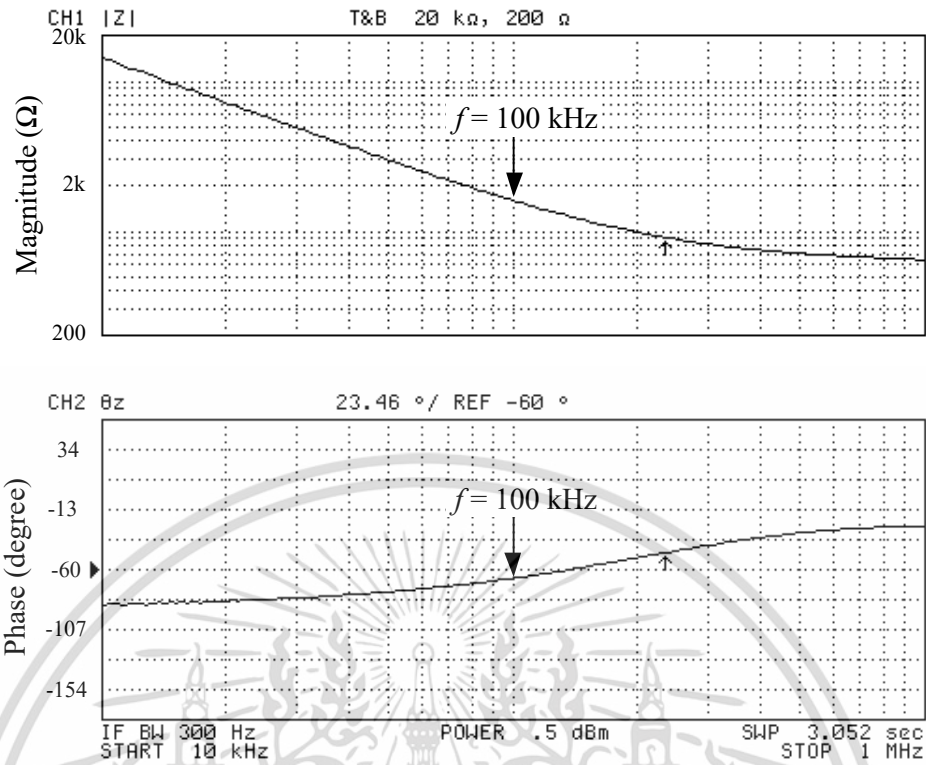
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



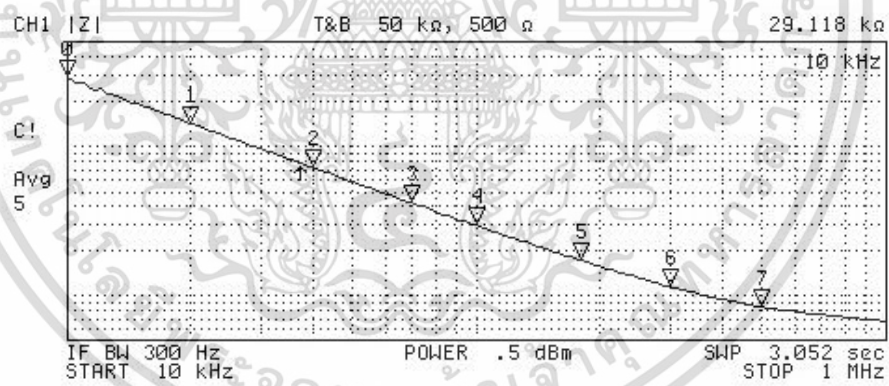
รูปที่ 3.6 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 3.1

รูปที่ 3.7 แสดงผลการวัดผลตอบสนองทางความถี่ของวงจรคุณค่าความจุไฟฟ้าดังรูปที่ 3.5 เมื่อ  $+V = -V = 5 \text{ V}$  โดยกำหนดให้  $g_{m1} = g_{m2} \cong 1 \text{ mA/V}$  ( $I_{B1} = I_{B2} \cong 50 \mu\text{A}$ ) และเลือกใช้  $C_1 = 1 \text{ nF}$  จากสมการ (3.1) จะได้  $R_1 = 1 \text{ k}\Omega$  และ  $C_{eq} = 1 \text{ nF}$  ผลการวัดผลตอบสนองของวงจรเมื่อพิจารณาที่  $f = 10 \text{ kHz}$ ,  $100 \text{ kHz}$  และ  $1 \text{ MHz}$  จะพบว่ามุมต่างเฟสมีค่าเท่ากับ  $-86.2^\circ$ ,  $-66.7^\circ$  และ  $-26.1^\circ$  ตามลำดับ ดังนั้นวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 3.5 มีคุณสมบัติการทำงานที่สอดคล้องกับตัวเก็บประจุไฟฟ้าในช่วงความถี่  $10 \text{ kHz}$  ถึง  $100 \text{ kHz}$

รูปที่ 3.8 ผลการวัดผลตอบสนองทางขนาดเมื่อแปร  $g_{m1}$  โดยกำหนดให้  $g_{m2} = 1 \text{ mA/V}$  และ  $C_1 = 1 \text{ nF}$  เมื่อพิจารณาที่  $f = 10 \text{ kHz}$  จะได้รายละเอียดค่าความจุไฟฟ้าสมมูลในทางทฤษฎีและทางปฏิบัติดังตารางที่ 3.2 พร้อมทั้งค่าความผิดพลาดจากการต่อทดลองจริง รูปที่ 3.9 แสดงถึงผลการวัดผลตอบสนองทางมุมเฟสของวงจรที่นำเสนอในรูปที่ 3.5 เมื่อเลือกใช้  $\frac{g_{m1}}{g_{m2}}$  เช่นเดียวกับตารางที่ 3.2 จากผลการทดลองเมื่อพิจารณาที่  $f = 10 \text{ kHz}$  พบว่าวงจรมีมุมต่างเฟสเท่ากับ  $-89^\circ$ ,  $-84^\circ$  และ  $-81^\circ$  ตามลำดับ ซึ่งใกล้เคียงกับผลทางทฤษฎีคือ  $-90^\circ$



รูปที่ 3.7 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.5 เมื่อ  $g_{m1} = g_{m2} \cong 1 \text{ mA/V}$



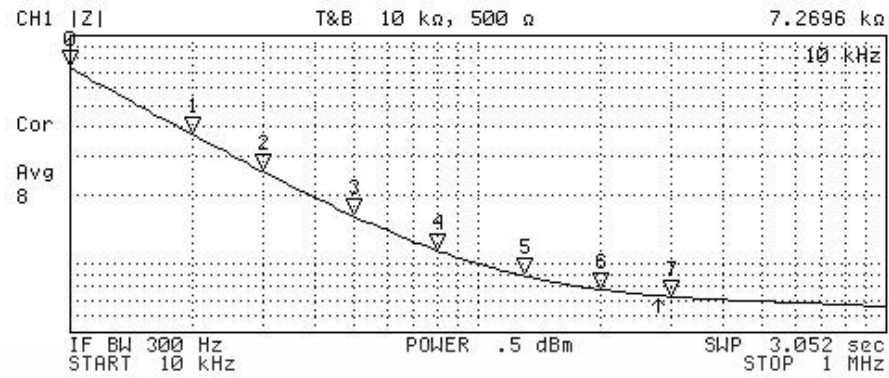
N	SWP PARAM	VAL	VAL
0	10 kHz	29.118 kΩ	559.85 pF
1	20 kHz	14.234 kΩ	558.61 pF
2	40 kHz	7.1891 kΩ	555.21 pF
3	70 kHz	4.1556 kΩ	552.8 pF
4	100 kHz	2.9496 kΩ	549.97 pF
5	180 kHz	1.7225 kΩ	541.89 pF
6	300 kHz	1.1424 kΩ	527.16 pF
7	500 kHz	832.76 Ω	495.01 pF

(ก)

รูปที่ 3.8 ผลการวัดผลตอบสนองทางขนาด เมื่อแปร  $g_{m1}$

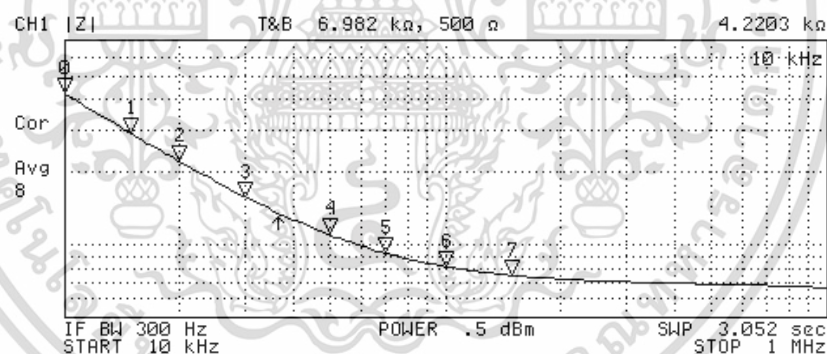
(ก)  $g_{m1} = 0.5 \text{ mA/V}$     (ข)  $g_{m1} = 2 \text{ mA/V}$     (ค)  $g_{m1} = 4 \text{ mA/V}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL	VAL
0	10 kHz	7.2696 kΩ	2.2059 nF
1	20 kHz	3.6924 kΩ	2.1941 nF
2	30 kHz	2.5284 kΩ	2.1808 nF
3	50 kHz	1.618 kΩ	2.166 nF
4	80 kHz	1.1456 kΩ	2.1383 nF
5	130 kHz	886.18 Ω	2.0804 nF
6	200 kHz	772 Ω	1.9747 nF
7	300 kHz	717.92 Ω	1.7911 nF

(ก)

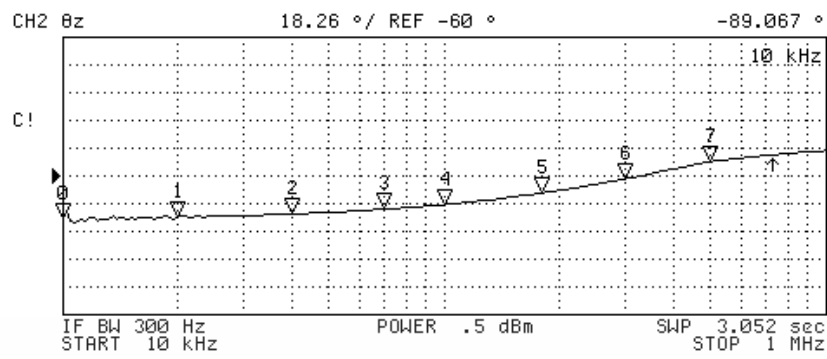


N	SWP PARAM	VAL	VAL
0	10 kHz	4.2203 kΩ	3.8467 nF
1	15 kHz	2.8822 kΩ	3.8249 nF
2	20 kHz	2.212 kΩ	3.8236 nF
3	30 kHz	1.5714 kΩ	3.793 nF
4	50 kHz	1.0966 kΩ	3.7586 nF
5	70 kHz	922.15 Ω	3.7171 nF
6	100 kHz	812.84 Ω	3.6414 nF
7	150 kHz	746.85 Ω	3.4756 nF

(ข)

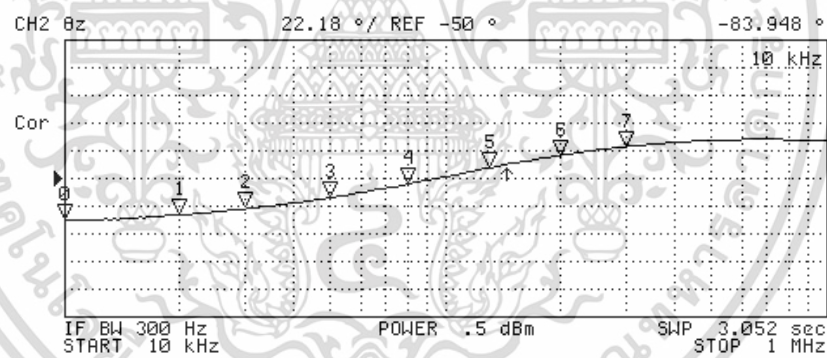
รูปที่ 3.8 ผลการวัดผลตอบสนองทางขนาด เมื่อแปร  $g_{m1}$  (ต่อ)(ก)  $g_{m1} = 0.5 \text{ mA/V}$  (ข)  $g_{m1} = 2 \text{ mA/V}$  (ค)  $g_{m1} = 4 \text{ mA/V}$ 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	-89.067 °
1	20 kHz	-87.901 °
2	40 kHz	-85.118 °
3	70 kHz	-81.856 °
4	100 kHz	-78.837 °
5	180 kHz	-71.322 °
6	300 kHz	-61.757 °
7	500 kHz	-50.566 °

(ก)



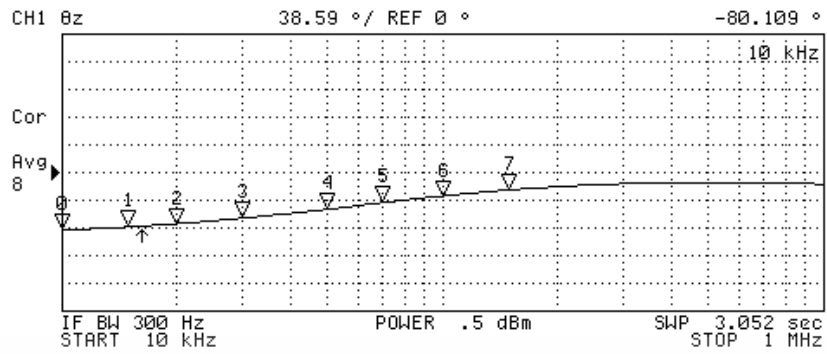
N	SWP PARAM	VAL
0	10 kHz	-83.948 °
1	20 kHz	-79.256 °
2	30 kHz	-74.157 °
3	50 kHz	-65.339 °
4	80 kHz	-54.341 °
5	130 kHz	-41.636 °
6	200 kHz	-31.514 °
7	300 kHz	-24.385 °

(ข)

รูปที่ 3.9 ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปรค่า  $g_{m1}$

(ก)  $g_{m1} = 0.5 \text{ mA/V}$     (ข)  $g_{m1} = 2 \text{ mA/V}$     (ค)  $g_{m1} = 4 \text{ mA/V}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	-80.109 °
1	15 kHz	-75.729 °
2	20 kHz	-71.397 °
3	30 kHz	-63.587 °
4	50 kHz	-50.995 °
5	70 kHz	-41.87 °
6	100 kHz	-32.75 °
7	150 kHz	-24.266 °

(ค)

รูปที่ 3.9 ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปร  $g_{m1}$  (ต่อ)(ก)  $g_{m1} = 0.5 \text{ mA/V}$  (ข)  $g_{m1} = 2 \text{ mA/V}$  (ค)  $g_{m1} = 4 \text{ mA/V}$ ตารางที่ 3.2 รายละเอียดของ  $C_{eq}$  เมื่อแปร  $\frac{g_{m1}}{g_{m2}}$ 

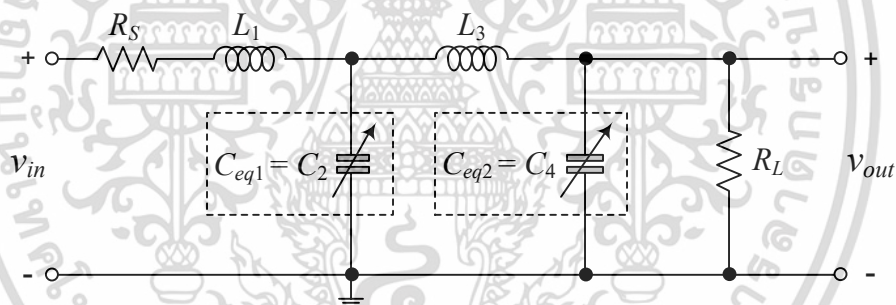
$I_{Bi} (\mu\text{A})$		$g_{mi} (\text{mA/V})$		$g_{m1}$	$C_{eq} (\text{nF})$		ค่าความผิดพลาด (%)
$I_{B1}$	$I_{B2}$	$g_{m1}$	$g_{m2}$	$g_{m2}$	ผลทางทฤษฎี	ผลทางปฏิบัติ	
25	50	0.5	1	0.5	0.5	0.56	11.96
100	50	2	1	2	2	2.21	10.23
200	50	4	1	4	4	3.85	3.83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.6 การประยุกต์ใช้งานของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอ

การประยุกต์ใช้งานของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 3.1 โดยสังเคราะห์เป็นวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธ (fourth order Butterworth low-pass filter) แสดงดังรูปที่ 3.10 เมื่อกำหนดให้ความถี่คัทออฟ (cutoff frequency)  $f_c = 100 \text{ kHz}$  หลังจากทำการนอร์มอลไลซ์ (normalized value) และการสเกล (scaling) [13] ด้วยค่าสเกลความถี่ (frequency scaling factor)  $k_f = 628 \text{ kHz}$  และค่าสเกลขนาด (magnitude scaling factor)  $k_m = 1000$  หลังจากนั้นจะได้ค่าอุปกรณ์ใหม่ดังตารางที่ 3.3 โดย  $C_2$  และ  $C_4$  ที่ได้จากการสเกลจะถูกต่อแทนด้วยวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 3.1 ซึ่งมีรายละเอียดของ  $I_{Bi}$  และ  $g_{mi}$  ของวงจร VDBA เป็นไปตามตารางที่ 3.4 [ภาคผนวก ค4]

รูปที่ 3.11 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธในรูปที่ 3.10 โดยใช้วงจรคุณค่าความจุไฟฟ้าที่นำเสนอ เมื่อกำหนดให้  $C_1 = 1 \text{ nF}$  จากผลการจำลองการทำงานมีความสอดคล้องกับผลทางทฤษฎีในช่วงความถี่ 1 kHz ถึง 1 MHz โดยหลังจาก 1 MHz จะพบว่าผลการทำงานของวงจรกรองผ่านความถี่ต่ำมีความผิดพลาดไปจากค่าทางทฤษฎีเนื่องจากข้อจำกัดในช่วงปฏิบัติงานของวงจร VDBA



รูปที่ 3.10 วงจรกรองความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธโดยใช้วงจรคุณค่าความจุไฟฟ้าที่นำเสนอ

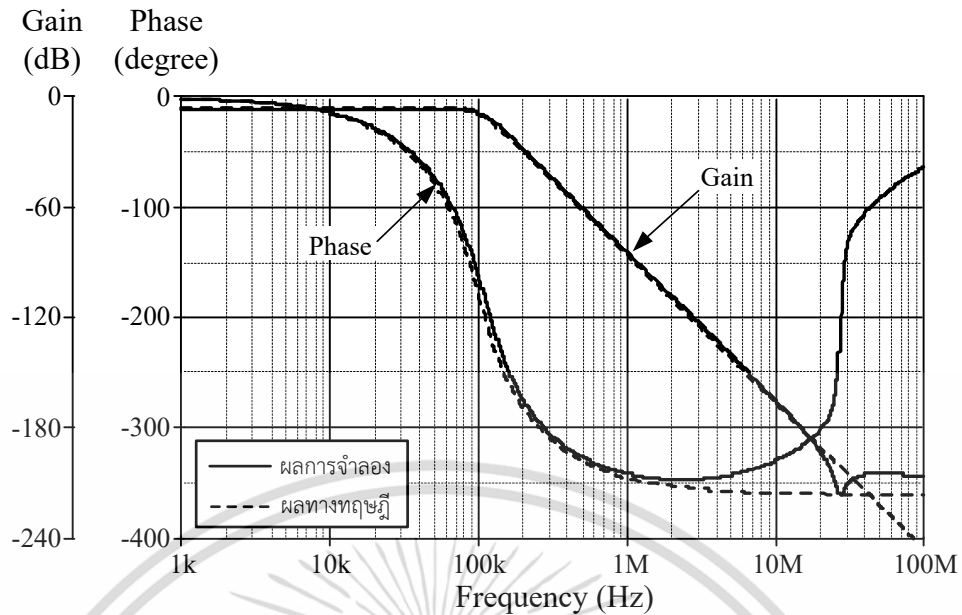
ตารางที่ 3.3 รายละเอียดค่าอุปกรณ์ในวงจรหลังจากทำการนอร์มอลไลซ์และการสเกล

$L_1$ (mH)	$C_2$ (nF)	$L_3$ (mH)	$C_4$ (nF)	$R_s = R_L$ (k $\Omega$ )
1.218	2.941	2.941	1.218	1

ตารางที่ 3.4 รายละเอียดของ  $I_{Bi}$  และ  $g_{mi}$  ของวงจร VDBA สำหรับค่า  $C_{eq1}$  และ  $C_{eq2}$

$C_{eq}$ (nF)	$I_{Bi}$ ( $\mu\text{A}$ )		$g_{mi}$ (mA/V)	
	$I_{B1}$	$I_{B2}$	$g_{m1}$	$g_{m2}$
$C_{eq1} = C_2 = 2.9$	200	25	2.24	0.79
$C_{eq2} = C_4 = 1.2$	150	100	1.94	1.58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ผลจำลองผลตอบสนองทางความถี่ของ วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธในรูปที่ 3.10

### 3.7 สรุป

บทนี้ได้นำเสนอวงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ตัวเก็บประจุไฟฟ้าเทียบกราวด์ ซึ่งภายในประกอบไปด้วยวงจร VDBA จำนวนสองตัว ตัวต้านทานและตัวเก็บประจุไฟฟ้าเทียบกราวด์อย่างละหนึ่งตัวเท่านั้น ทำให้วงจรมีลักษณะเรียบง่าย กินพื้นที่น้อย ส่งผลให้มีความยืดหยุ่นต่อการนำไปประยุกต์ใช้งานวงจรรวม นอกจากนี้วงจรยังสามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสจากภายนอกอีกด้วย ผลการจำลองการทำงานของวงจรที่นำเสนอถูกแสดงให้เห็นจริงด้วยโปรแกรม PSPICE โดยใช้เทคโนโลยี CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC และการประยุกต์ใช้งานของวงจรที่นำเสนอด้วยวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธ รวมถึงผลการทดลองจริงบนแผ่นพิมพ์โดยสังเคราะห์วงจร VDBA ขึ้นจากไอซีเบอร์ CA3080 ต่อร่วมกับไอซีเบอร์ LF356 พร้อมวัดผลการทดลองจริงของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอด้วยเครื่อง impedance analyzer ซึ่งผลการทดสอบมีคุณสมบัติเป็นไปตามหลักการทางทฤษฎี

### 3.8 เอกสารอ้างอิงบทที่ 3

- [1] G. Ferri and S. Pennisi, “A 1.5-V current-mode capacitance multiplier”, **Proceedings of the 10<sup>th</sup> International Conference on Microelectronics**, Monastir, Tunisia, 16 December, 1998.
- [2] G. Di Cataldo, G. Ferri and S. Pennisi, “Active capacitance multipliers using current conveyors”, **Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS 1998)**, Monterey, CA, USA, 31 May - 3 June, 1998.
- [3] E. Yuce and S. Minaei, “A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters”, **IEEE Transactions on Circuits and Systems I : Regular Papers**, vol. 55, no. 1, pp. 266-275, 2008.
- [4] P. Silapan, C. Tanaphatsiri and M. Siripruchyanun, “Current controlled CCTA based-novel grounded capacitance multiplier with temperature compensation”, **Proceedings of the IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS 2008)**, Macao, China, 30 November - 3 December, 2008.
- [5] C. Rivera-Escobar, F. Silva-Del-Rosario, M. Silva and I. Padilla-Cantoya, “Multiple stage capacitor multiplier using dual-output differential amplifiers”, **Proceedings of the IEEE 4<sup>th</sup> Latin American Symposium on Circuits and Systems (LASCAS 2013)**, Cusco, Peru, 27 February - 1 March, 2013.
- [6] D. Bielek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing : Classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.
- [7] J. Bajer, D. Bielek, V. Biolkova and Z. Kolka, “Voltage-mode balanced-outputs quadrature oscillator using FB-VDBAs”, **Proceedings of the 22<sup>nd</sup> International Conference on Microelectronics (ICM 2010)**, Cairo, Egypt, 19-22 December, pp. 491-494, 2010.
- [8] N. Khatib and D. Bielek, “New voltage mode universal filter based on promising structure of Voltage Differencing Buffered Amplifier”, **Proceedings of the 23<sup>rd</sup> International Conference Radioelektronika (RADIOELEKTRONIKA 2013)**, Pardubice, Czech Republic, 16-17 April, pp. 177-181, 2013.
- [9] P. Moonmuang and W. Tangsrirat, “Electronically tunable resistorless capacitance multiplier employing VDBAs”, **Proceedings of the 3<sup>rd</sup> International Conference on Communication and Information Processing (ICCIP 2017)**, Tokyo, Japan, 24-26 November, 2017.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [10] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based electronically tunable capacitance multiplier with a grounded capacitor”, **Proceedings of the 15<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2018)**, Chiang Rai, Thailand, 18-21 July, 2018.
- [11] Harris semiconductor, “2 MHz, operational transconductance amplifier (OTA)”, **CA3080 datasheet**, Nov. 1996.
- [12] National Semiconductor, “JFET input operational amplifiers”, **LF356 datasheet**, Dec. 2001.
- [13] วรพงศ์ ตั้งศรีรัตน์. การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจรรอสซิลเลเตอร์. กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2552.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

# วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์

## โดยปราศจากตัวต้านทาน

### 4.1 กล่าวนำ

วงจรอิเล็กทรอนิกส์ในปัจจุบันล้วนประกอบไปด้วยวงจรรย่อยๆ หลายวงจร อาทิเช่น วงจรกรองสัญญาณ (filter circuit) วงจรออสซิลเลเตอร์ (oscillator) เป็นต้น ซึ่งภายในวงจรจะมีอุปกรณ์อิเล็กทรอนิกส์พื้นฐานที่สำคัญ ได้แก่ ตัวต้านทาน (resistor) ตัวเหนี่ยวนำ (inductor) และตัวเก็บประจุไฟฟ้า (capacitor) แต่อุปกรณ์เหล่านี้มีข้อเสียเนื่องจากไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ เมื่อเร็วๆ นี้ มีนักวิจัยกลุ่มหนึ่งได้นำเสนออุปกรณ์แอกทีฟขึ้น เช่น วงจร OTA (operational transconductance amplifier) [1]-[2] วงจร CC (current conveyor) [3]-[4] วงจร VDTA (voltage differencing transconductance amplifier) [5]-[6] และวงจร VDBA (voltage differencing buffered amplifier) [7]-[8] ที่มีคุณสมบัติเด่น คือ ลักษณะทางกายภาพเล็กจึงใช้แรงดันไฟเลี้ยงต่ำ ทั้งยังสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ทำให้วงจรมีความเหมาะสมต่อการนำไปประยุกต์ใช้งานทดแทนอุปกรณ์พาสซีฟชนิดต่างๆ

จากการค้นคว้างานวิจัยในอดีตที่เกี่ยวกับวงจรคุณค่าความจุไฟฟ้าที่สังเคราะห์ขึ้นด้วยอุปกรณ์แอกทีฟ จะพบว่างานวิจัยส่วนหนึ่ง [9]-[11] วงจรที่นำเสนอขึ้นยังคงประกอบไปด้วยตัวต้านทานพาสซีฟ เช่นเดียวกับวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในบทที่ 3 [12] ซึ่งมีข้อเสียเนื่องจากต้องใช้ขนาดพื้นที่ในวงจรรวมเพิ่มขึ้น จากเหตุผลที่กล่าวมาข้างต้น วิทยานิพนธ์ฉบับนี้จึงมีวัตถุประสงค์เพื่อสังเคราะห์วงจรคุณค่าความจุไฟฟ้าโดยปราศจากตัวต้านทาน [13] ซึ่งออกแบบด้วยอุปกรณ์แอกทีฟหลักคือ วงจร VDBA ที่มีโครงสร้างภายในไม่ซับซ้อน มีช่วงการปฏิบัติงานที่กว้าง พร้อมทั้งสามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำอีกด้วย วงจรที่นำเสนอประกอบไปด้วย วงจร VDBA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าเพียงหนึ่งตัวเท่านั้น ซึ่งใช้อุปกรณ์น้อยกว่าวงจรที่นำเสนอในบทที่ 3 ทำให้วงจรมีความเรียบง่าย ซับซ้อนลดลง ทั้งยังลดการใช้ขนาดพื้นที่ในวงจรรวมอีกด้วย นอกจากนี้วงจรที่นำเสนอยังมีคุณสมบัติในการปรับค่าได้ทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสจากภายนอก ซึ่งผลการทำงานของวงจรถูกแสดงให้เห็นจริงด้วยผลจำลองผลการทำงานโดยโปรแกรม PSPICE ด้วยเทคโนโลยี 0.25  $\mu\text{m}$  CMOS ของบริษัท TSMC รวมถึงผลจากการทดลองด้วยวงจรจริงที่สังเคราะห์จากไอซีเบอร์ CA3080 ต่อกับไอซีเบอร์ LF356

## 4.2 วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานที่นำเสนอ

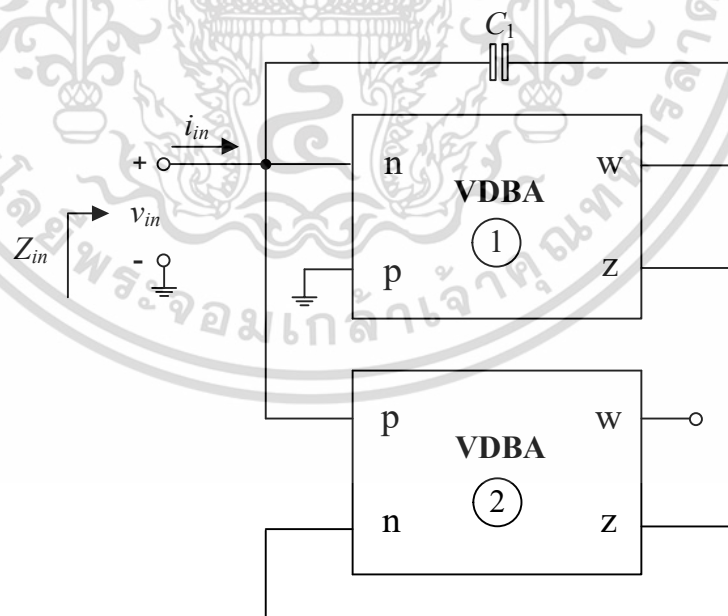
วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานที่นำเสนอ ได้สังเคราะห์ขึ้นโดยใช้วงจร VDBA จำนวนสองตัวและตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัวแสดงดังรูปที่ 4.1 [13] เมื่อวิเคราะห์ห้วงจรคูณค่าความจุไฟฟ้าที่นำเสนอด้วยคุณสมบัติของวงจร VDBA ในทางอุดมคติดังสมการ (2.1) พบว่าอิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) ของวงจรเท่ากับ [ภาคผนวก ง1]

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{sC_1} \left( \frac{g_{m2}}{g_{m1}} \right) = \frac{1}{sC_{eq}} \quad (4.1)$$

โดยที่ค่าความจุไฟฟ้าสมมูล (equivalent capacitance,  $C_{eq}$ ) ของวงจร เท่ากับ [ภาคผนวก ง1]

$$C_{eq} = \left( \frac{g_{m1}}{g_{m2}} \right) C_1 \quad (4.2)$$

เมื่อ  $g_{mi}$  คืออัตราขยายค่าความนำของวงจร VDBA ตัวที่  $i$  ( $i = 1, 2$ ) ดังนั้นค่าความจุไฟฟ้าสมมูลของวงจรคูณค่าความจุไฟฟ้าที่นำเสนอนี้จึงปรับค่าได้โดยการควบคุมอัตราส่วนระหว่าง  $g_{m2}$  กับ  $g_{m1}$  นั้นเอง



รูปที่ 4.1 วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานในทางปฏิบัติ

การวิเคราะห์วงจรคุณค่าความจุไฟฟ้าที่นำเสนอด้วยคุณสมบัติของวงจร VDBA ในทางปฏิบัติ ดังสมการ (2.2) จะได้ค่าอิมพีแดนซ์อินพุตของวงจรเท่ากับ [ภาคผนวก ง2]

$$z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{sC_1} \left( \frac{\alpha_2 g_{m2}}{\alpha_1 g_{m1}} \right) = \frac{1}{sC_{eq}} \quad (4.3)$$

เมื่อ  $\alpha_i$  คือ ค่าความเบี่ยงเบนของอัตราขยายค่าความนำระหว่างขั้ว p และขั้ว n ที่ส่งผ่านไปขั้ว z ในขณะที่  $\beta_i$  คือ ค่าความผิดพลาดในการส่งผ่านแรงดันจากขั้ว z ไปยังขั้ว w ของวงจร VDBA ตัวที่ i

$$C_{eq} = \left( \frac{\alpha_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \quad (4.4)$$

ซึ่งแสดงให้เห็นว่า  $\alpha_i$  ของวงจร VDBA นั้นส่งผลกระทบต่อค่าความจุไฟฟ้าสมมูลของวงจร การลดผลกระทบดังกล่าวสามารถกระทำได้โดยปรับค่า  $g_{mi}$  ขดเชย เพื่อให้ค่าความจุไฟฟ้าสมมูลของวงจรที่นำเสนอมีความใกล้เคียงกับผลทางทฤษฎี

คุณสมบัติค่าความไว (sensitivity) ของ  $C_{eq}$  ต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่นำเสนอจะได้ [ภาคผนวก ง3]

$$S_{\alpha_1}^{C_{eq}} = S_{g_{m1}}^{C_{eq}} = 1 \quad (4.5)$$

$$S_{\alpha_2}^{C_{eq}} = S_{g_{m2}}^{C_{eq}} = -1 \quad (4.6)$$

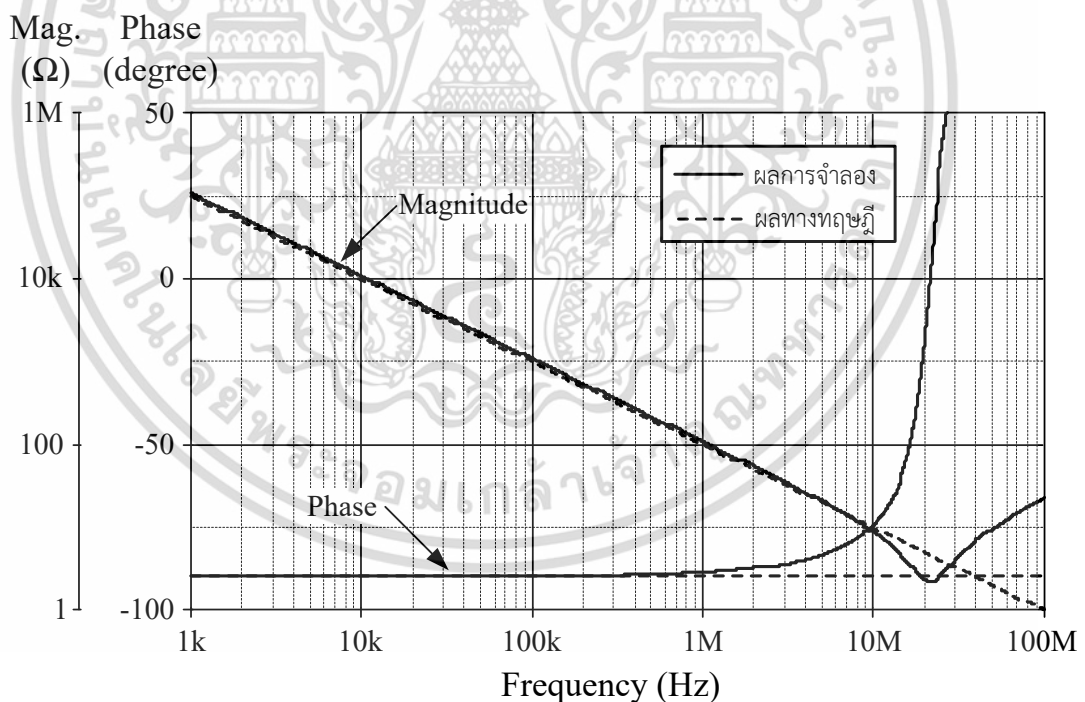
และ  $S_{C_1}^{C_{eq}} = 1 \quad (4.7)$

ซึ่งพบว่าค่าทั้งหมดมีขนาดไม่เกินหนึ่ง ดังนั้นคุณสมบัติค่าความไวของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอจึงมีค่าความไวต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำ

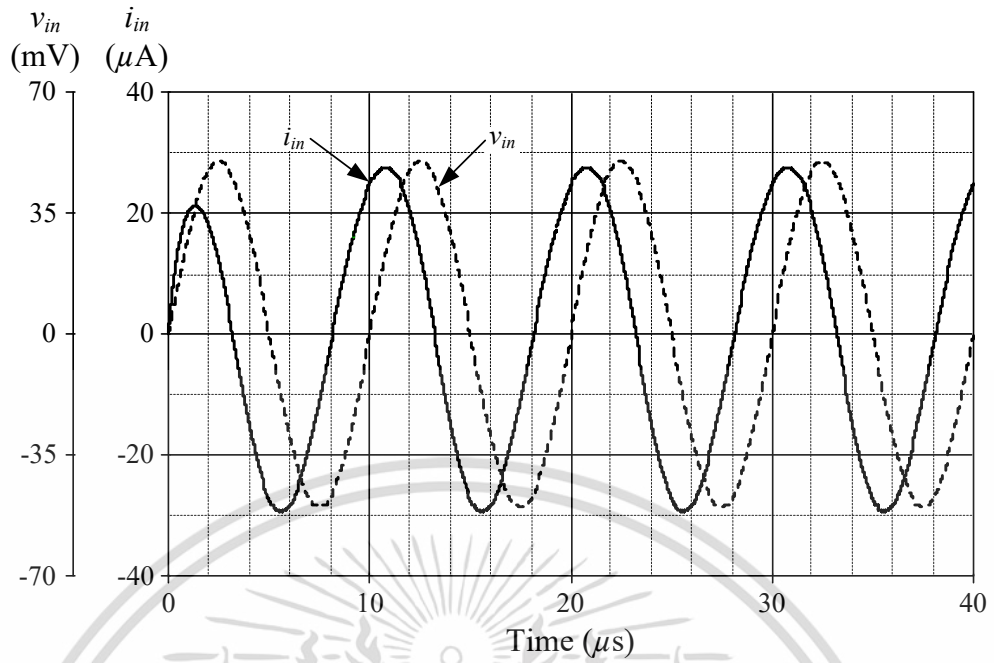
#### 4.4 ผลการจำลองการทำงานของวงจร

ผลการจำลองการทำงานของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 4.1 ได้แสดงให้เห็นจริงด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยี CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC เมื่อกำหนดให้  $+V = -V = 0.75 \text{ V}$   $v_{in} = 50 \text{ mV}_p$  และ  $C_1 = 1 \text{ nF}$  โดยเลือกใช้  $I_{B1} = 80 \mu\text{A}$  ( $g_{m1} = 1.41 \text{ mA/V}$ ) และ  $I_{B2} = 50 \mu\text{A}$  ( $g_{m2} = 1.12 \text{ mA/V}$ ) รูปที่ 4.2 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 4.1 จากสมการ (4.2) จะได้  $C_{eq} = 1.26 \text{ nF}$  ซึ่งผลการจำลองการทำงานแสดงให้เห็นว่าวงจรสามารถทำงานได้ในช่วงความถี่  $1 \text{ kHz}$  ถึง  $1 \text{ MHz}$  ด้วยค่าความผิดพลาดไม่เกิน 10% โดยการทำงานของวงจรที่นำเสนอเกิดความผิดพลาดไปจากค่าในทางทฤษฎีหลังจากความถี่  $1 \text{ MHz}$  นั้นมีผลเนื่องมาจากช่วงปฏิบัติการของวงจร VDBA ผลการจำลองผลตอบสนองทางเวลาแสดงดังรูปที่ 4.3 เมื่อพิจารณาที่  $f = 200 \text{ kHz}$  จะพบว่ามุมเฟสระหว่าง  $i_{in}$  และ  $v_{in}$  เท่ากับ  $-89^\circ$  โดยมีค่าความผิดพลาดสูงสุดไม่เกิน 1.11%

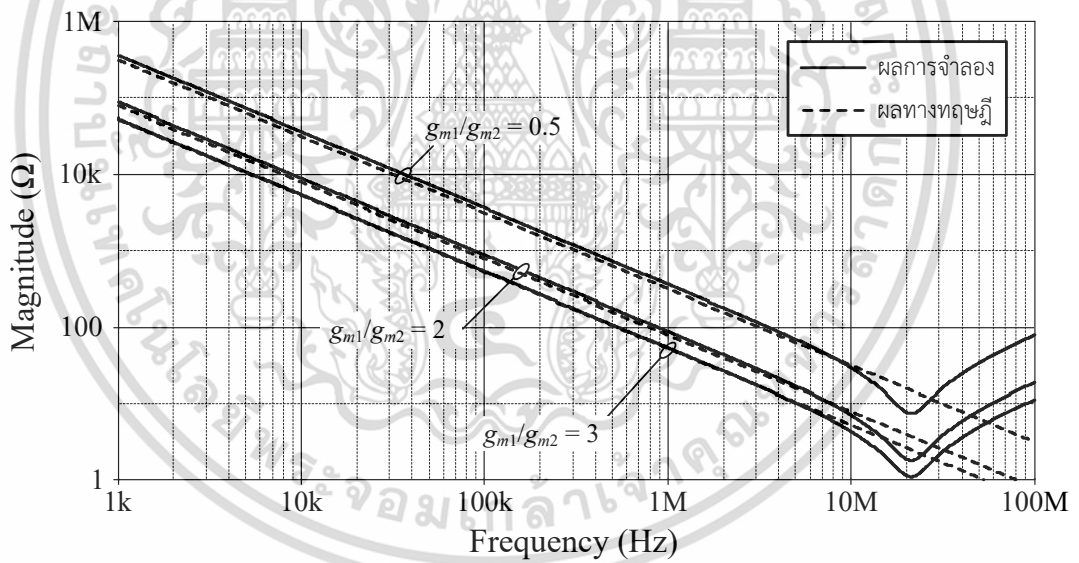
รูปที่ 4.4 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 4.1 เมื่อแปร  $g_{m1}$  ของวงจร VDBA ซึ่งมีรายละเอียดแสดงดังตารางที่ 4.1 เมื่อกำหนดให้  $g_{m2} = 1.58 \text{ mA/V}$   $v_{in} = 50 \text{ mV}_p$  และ  $C_1 = 1 \text{ nF}$



รูปที่ 4.2 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 4.1



รูปที่ 4.3 ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 4.1



รูปที่ 4.4 ผลการจำลองผลตอบสนองทางความถี่เมื่อแปรค่า  $g_{m1}/g_{m2}$

ตารางที่ 4.1 รายละเอียดการแปรค่า  $g_{m1}$  และ  $C_{eq}$

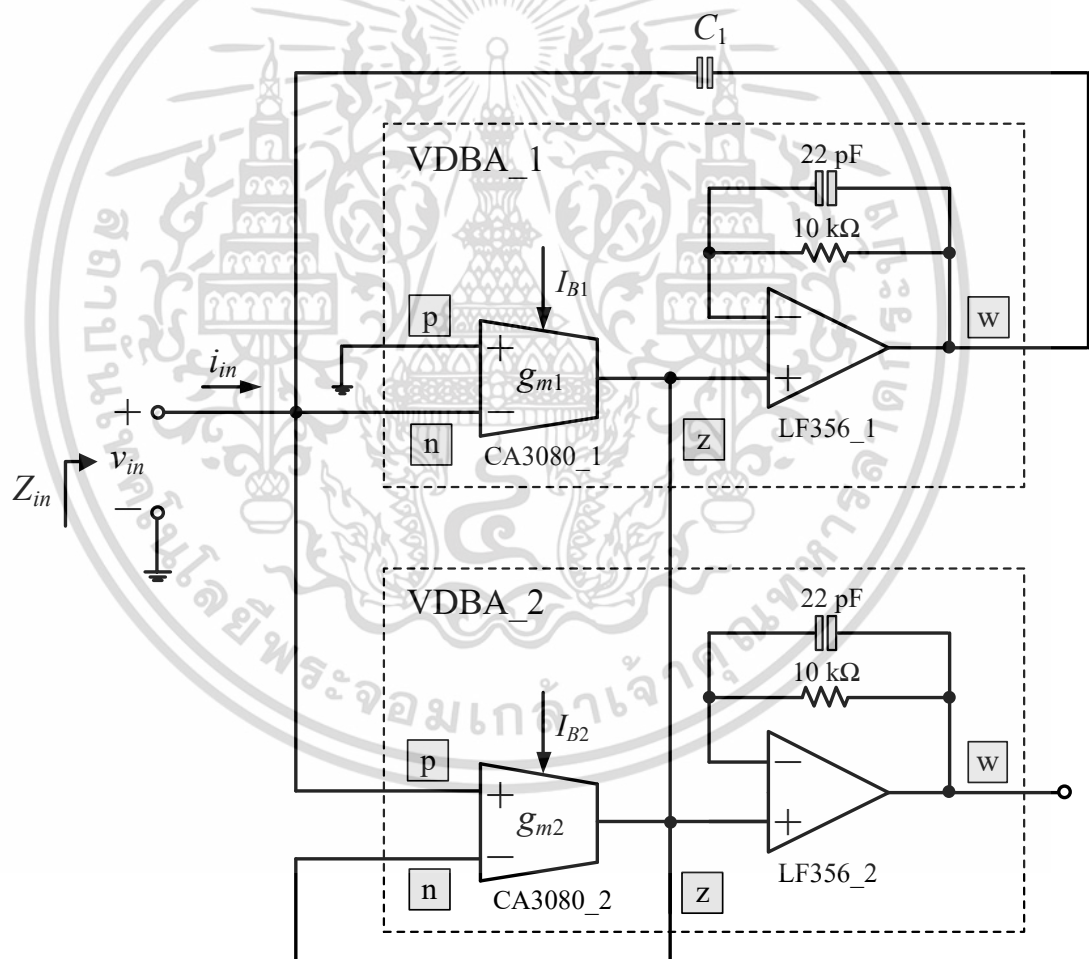
$I_{Bi}$ ( $\mu A$ )		$g_{mi}$ (mA/V)		$g_{m1}/g_{m2}$	$C_{eq}$ (nF)
$I_{B1}$	$I_{B2}$	$g_{m1}$	$g_{m2}$		
25	100	0.79	1.58	0.5	0.5
200		2.24		1.5	1.5
400		3.16		2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.5 ผลการต่อทดลองด้วยวงจรจริง

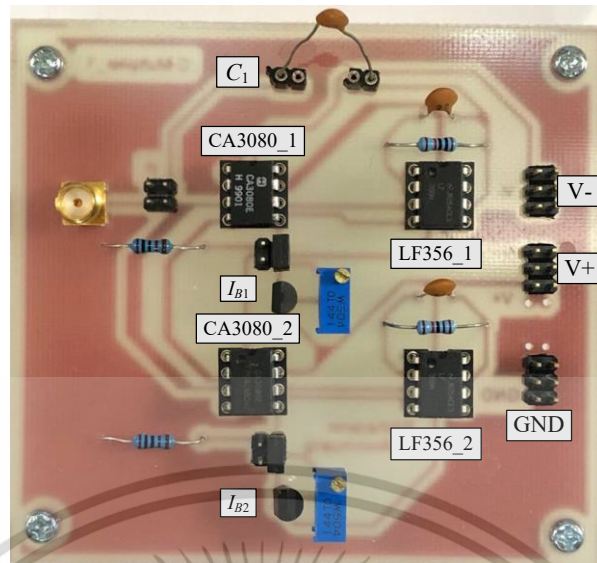
ในการออกแบบวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 4.1 โดยใช้วงจรจริงถูกสังเคราะห์ขึ้นด้วยไอซีเบอร์ CA3080 [14] และเบอร์ LF356 [15] ต่อกับตัวเก็บประจุไฟฟ้าแสดงได้ดังรูปที่ 4.5 และภาพถ่ายแผ่นวงจรพิมพ์แสดงดังรูปที่ 4.6

ผลการวัดผลตอบสนองทางความถี่ของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอแสดงได้ดังรูปที่ 4.7 เมื่อกำหนดให้  $g_{m1} = g_{m2} \cong 1 \text{ mA/V}$  ( $I_{B1} = I_{B2} \cong 50 \mu\text{A}$ ) และ  $C_1 = 1 \text{ nF}$  จะได้  $C_{eq} = 1 \text{ nF}$  โดยที่วงจรทำงานภายใต้แรงดัน  $+V = -V = 5 \text{ V}$  จากผลการวัดผลตอบสนองทางความถี่  $f = 10 \text{ kHz}$ ,  $100 \text{ kHz}$  และ  $1 \text{ MHz}$  ในรูปมุมเฟสของวงจรพบว่ามีค่าเท่ากับ  $-88.3^\circ$ ,  $-74.4^\circ$  และ  $-25.3^\circ$  ตามลำดับ ซึ่งมีความสอดคล้องกับผลทางทฤษฎีคือ  $-90^\circ$  รวมถึงวงจรสามารถทำงานในช่วงความถี่ตั้งแต่  $10 \text{ kHz}$  ถึง  $100 \text{ kHz}$



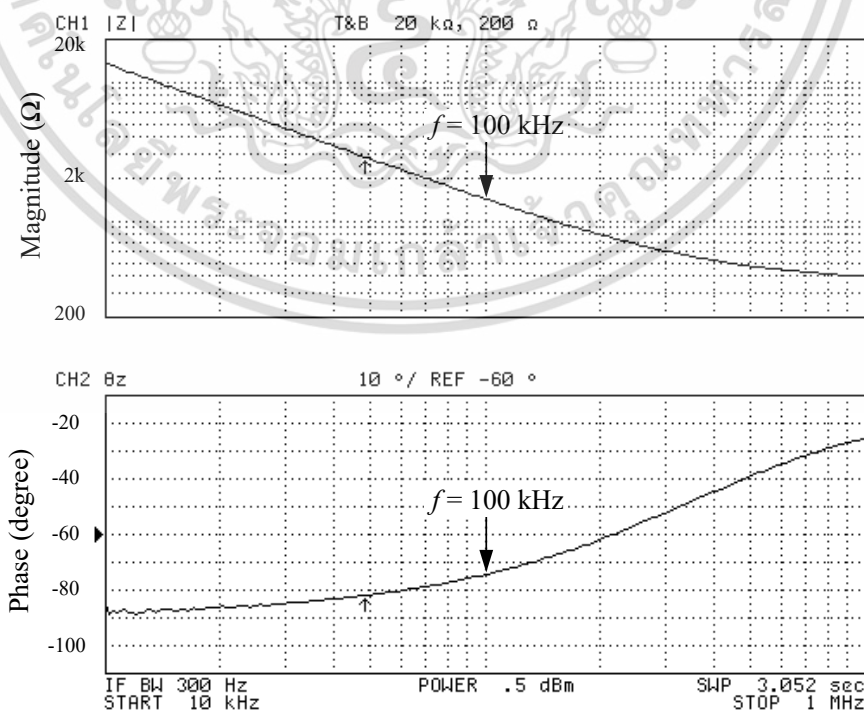
รูปที่ 4.5 วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 4.1 สำหรับแผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

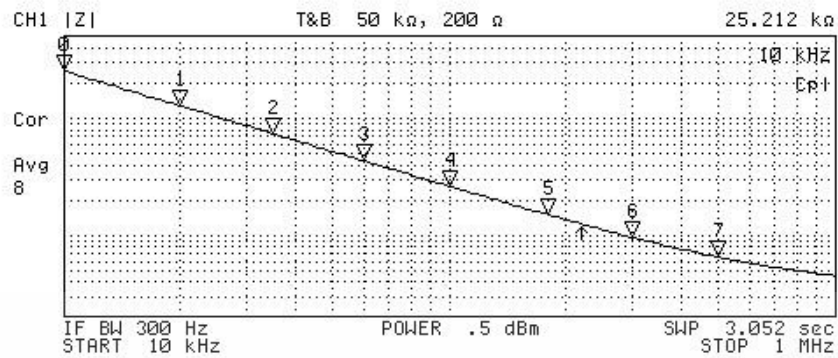


รูปที่ 4.6 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 4.1

รูปที่ 4.8 แสดงผลการวัดผลตอบสนองทางขนาดของวงจรที่นำเสนอในรูปที่ 4.5 เมื่อทำการแปร  $g_{m1}$  ซึ่งกำหนดให้  $g_{m2} = 1 \text{ mA/V}$  และ  $C_1 = 1 \text{ nF}$  โดยพิจารณาที่  $f = 10 \text{ kHz}$  จะได้ค่า  $C_{eq}$  ในทางทฤษฎีและทางปฏิบัติ รวมถึงค่าความผิดพลาดที่ได้จากการทดลองแสดงในตารางที่ 4.2 ในขณะที่ผลการวัดผลตอบสนองทางมุมเฟสของวงจรที่นำเสนอสามารถแสดงได้ดังรูปที่ 4.9 โดยแปรค่า  $g_{m1}$  ของวงจร VDBA ตัวที่  $i$  เช่นเดียวกับตารางที่ 4.2 หากพิจารณาที่  $f = 10 \text{ kHz}$  จะได้มุมเฟสระหว่าง  $i_{in}$  และ  $v_{in}$  มีค่าเท่ากับ  $-93^\circ$ ,  $-87^\circ$  และ  $-83^\circ$  ตามลำดับ ซึ่งมีความสอดคล้องกับผลทางทฤษฎีคือ  $-90^\circ$

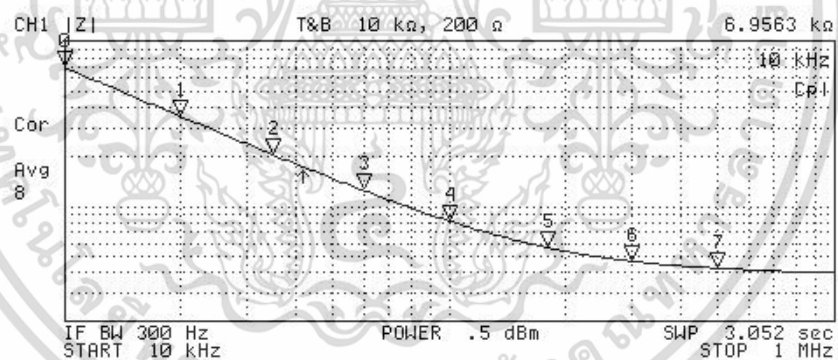


เอกสารนี้เป็นรูปที่ 4.7 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 4.5 เมื่อ  $g_{m1} = g_{m2} \cong 1 \text{ mA/V}$  ไม่ว่าการณ์ใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL	VAL
0	10 kHz	25.212 kΩ	622.09 pF
1	20 kHz	12.716 kΩ	624.46 pF
2	35 kHz	7.3316 kΩ	620.92 pF
3	60 kHz	4.3061 kΩ	618.59 pF
4	100 kHz	2.6133 kΩ	615.56 pF
5	180 kHz	1.4952 kΩ	610.24 pF
6	300 kHz	948.97 Ω	603.77 pF
7	500 kHz	643.71 Ω	590.99 pF

(ก)

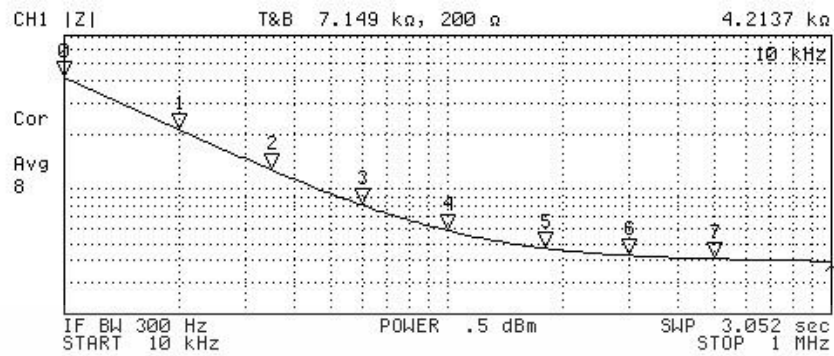


N	SWP PARAM	VAL	VAL
0	10 kHz	6.9563 kΩ	2.1302 nF
1	20 kHz	3.5131 kΩ	2.1218 nF
2	35 kHz	2.0464 kΩ	2.1083 nF
3	60 kHz	1.2433 kΩ	2.0983 nF
4	100 kHz	813.97 Ω	2.0841 nF
5	180 kHz	561.13 Ω	2.053 nF
6	300 kHz	461.79 Ω	1.9954 nF
7	500 kHz	418.33 Ω	1.8681 nF

(ข)

รูปที่ 4.8 ผลการวัดผลตอบสนองทางขนาด เมื่อแปร  $g_{m1}$ (ก)  $g_{m1} = 0.5 \text{ mA/V}$  (ข)  $g_{m1} = 2 \text{ mA/V}$  (ค)  $g_{m1} = 4 \text{ mA/V}$ 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



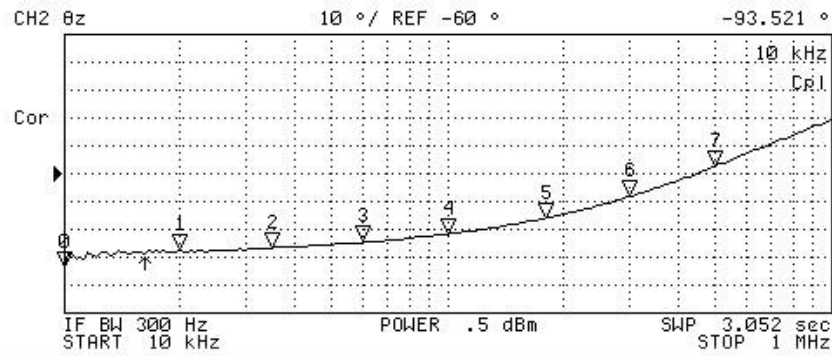
N	SWP PARAM	VAL	VAL
0	10 kHz	4.2137 kΩ	3.8303 nF
1	20 kHz	2.139 kΩ	3.8062 nF
2	35 kHz	1.2748 kΩ	3.7803 nF
3	60 kHz	815 Ω	3.7622 nF
4	100 kHz	586.25 Ω	3.7315 nF
5	180 kHz	465.9 Ω	3.6552 nF
6	300 kHz	423.79 Ω	3.5081 nF
7	500 kHz	406.12 Ω	3.1931 nF

(ค)

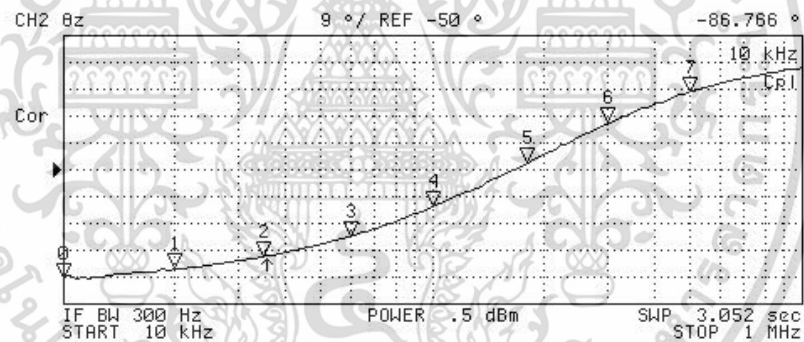
รูปที่ 4.8 ผลการวัดผลตอบสนองทางขนาด เมื่อแปร  $g_{m1}$  (ต่อ)(ก)  $g_{m1} = 0.5 \text{ mA/V}$  (ข)  $g_{m1} = 2 \text{ mA/V}$  (ค)  $g_{m1} = 4 \text{ mA/V}$ ตารางที่ 4.2 รายละเอียดการแปรค่า  $C_{eq}$  เมื่อแปรค่า  $g_{m1}$ 

$I_{B1} (\mu\text{A})$		$g_{m1} (\text{mA/V})$		$g_{m1}$	$C_{eq} (\text{nF})$		ค่าความผิดพลาด (%)
$I_{B1}$	$I_{B2}$	$g_{m1}$	$g_{m2}$	$g_{m2}$	ผลทางทฤษฎี	ผลทางปฏิบัติ	
25	50	0.5	1	0.5	0.5	0.62	24.42
100	50	2	1	2	2	2.13	6.51
200	50	4	1	4	4	3.83	4.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



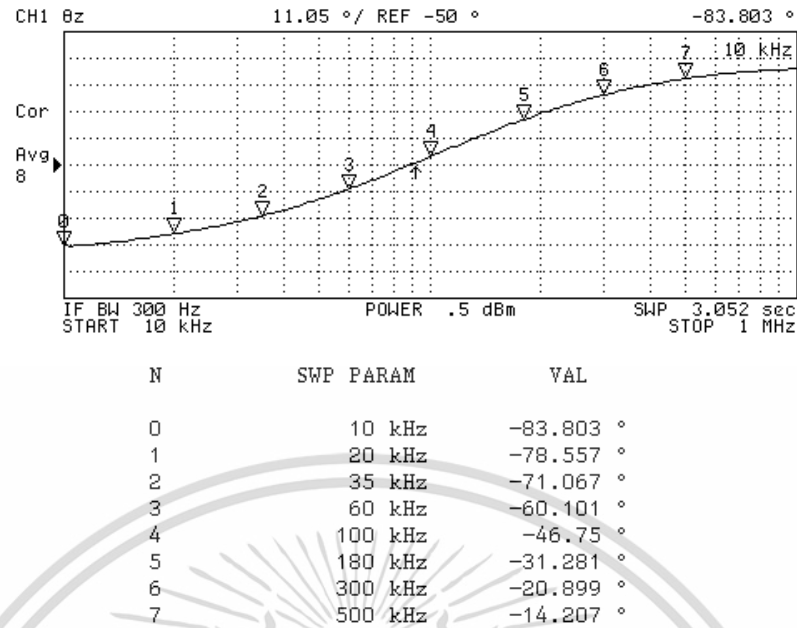
(ก)



(ข)

รูปที่ 4.9 ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปรค่า  $g_{m1}$ (ก)  $g_{m1} = 0.5 \text{ mA/V}$  (ข)  $g_{m1} = 2 \text{ mA/V}$  (ค)  $g_{m1} = 4 \text{ mA/V}$ 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

รูปที่ 4.9 ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปร  $g_{m1}$  (ต่อ)(ก)  $g_{m1} = 0.5 \text{ mA/V}$  (ข)  $g_{m1} = 2 \text{ mA/V}$  (ค)  $g_{m1} = 4 \text{ mA/V}$ 

#### 4.6 การประยุกต์ใช้งานของวงจรมูลค่าความจุไฟฟ้าที่นำเสนอ

นอกจากผลการจำลองการทำงานและผลการทดลองด้วยวงจรถริงของวงจรมูลค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 4.1 แล้ว ในหัวข้อนี้จะนำเสนอการประยุกต์ใช้งานในวงจรรองผ่านความถี่ต่ำอันดับสอง (second order low-pass filter) แสดงดังรูปที่ 4.10 เมื่อกำหนดให้  $v_{in} = 50 \text{ mV}_p$ ,  $R_1 = 510 \Omega$  และ  $L_1 = 0.5 \text{ mH}$  สำหรับวงจรมูลค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 4.1 ได้เลือกใช้  $I_{B1} = 80 \mu\text{A}$  ( $g_{m1} = 1.41 \text{ mA/V}$ )  $I_{B2} = 50 \mu\text{A}$  ( $g_{m2} = 1.12 \text{ mA/V}$ ) และ  $C_1 = 1 \text{ nF}$  จะพบว่า  $C_{eq} = 1.26 \text{ nF}$  รูปที่ 4.10 จะสามารถวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน (voltage transfer function) ของวงจรรองความถี่ต่ำอันดับสองได้เท่ากับ [ภาคผนวก ง4]

$$H(s) = \frac{v_{out}(s)}{v_{in}(s)} = \frac{1}{s^2 + s \left( \frac{R_1}{L_1} \right) + \frac{1}{L_1 C_{eq}}} \quad (4.8)$$

โดยที่ความถี่คัตออฟ (cutoff frequency,  $f_c$ ) และตัวประกอบคุณภาพ (quality factor,  $Q$ ) ของวงจรมีค่าเท่ากับ [ภาคผนวก ง4]

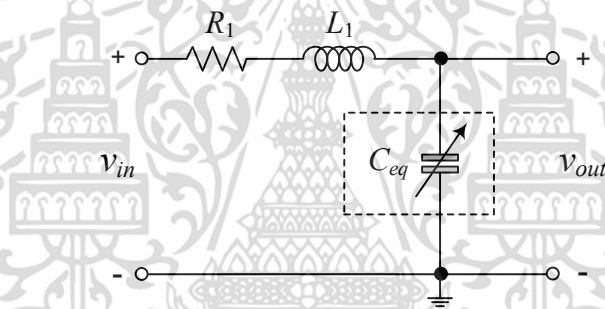
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_c = \frac{1}{2\pi\sqrt{L_1 C_{eq}}} \tag{4.9}$$

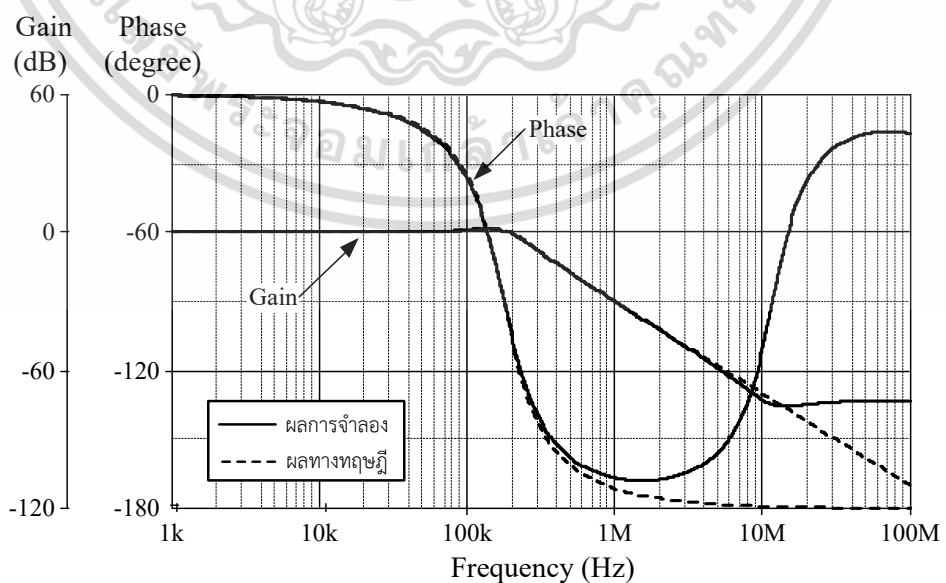
และ

$$Q = \frac{1}{R_1} \sqrt{\frac{L_1}{C_{eq}}} \tag{4.10}$$

รูปที่ 4.11 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่ต่ำอันดับสอง ดังนั้นจากสมการ (4.9) และ (4.10) จะได้  $f_c = 200$  kHz และ  $Q = 1.23$  จากผลการจำลองแสดงให้เห็นถึงคุณสมบัติการทำงานของวงจรที่ถูกต้องเป็นไปตามหลักการทางทฤษฎีตั้งแต่ช่วงความถี่ 1 kHz ถึง 1 MHz ซึ่งหลังจากความถี่ 1 MHz ผลการจำลองการทำงานที่ผิดพลาดไปจากอุดมคตินั้นเกิดจากช่วงการทำงานที่จำกัดของวงจร VDBA



รูปที่ 4.10 วงจรกรองความถี่ต่ำอันดับสองโดยใช่วงจรคุณค่าความจุไฟฟ้าที่นำเสนอ



เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี หากมีการนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.7 สรุป

วงจรรูปร่างค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์โดยปราศจากตัวต้านทานได้ถูกนำเสนอขึ้น ซึ่งประกอบไปด้วยวงจรร VDBA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าเพียงหนึ่งตัวเท่านั้น จึงมีลักษณะวงจรถ่ายที่เรียบง่ายกว่าวงจรถ่ายที่นำเสนอในบทที่ 3 ส่งผลให้ใช้พื้นที่ในการออกแบบวงจรถ่ายลดลง นอกจากนี้วงจรรูปร่างค่าความจุไฟฟ้าที่นำเสนอนี้ยังสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรอัตราขยายค่าความนำของวงจรร VDBA ซึ่งผลการจำลองการทำงานและการต่อทดลองด้วยวงจรถ่ายจริง รวมถึงนำไปประยุกต์ใช้งานในวงจรถ่ายกรองผ่านความถี่ต่ำอันดับสองนั้นทำให้เห็นว่าวงจรรูปร่างค่าความจุไฟฟ้าที่นำเสนอมีความถูกต้องและเป็นไปตามหลักการทางทฤษฎี

#### 4.8 เอกสารอ้างอิงบทที่ 4

- [1] R. L. Geiger and E. Sanchez-Sinencio, "Active filter design using operational transconductance amplifiers: A tutorial", **IEEE Circuits and Devices Magazine**, vol. 1, no. 2, pp. 20-32, 1985.
- [2] E. Sanchez-Sinencio, R. L. Geiger and H. Nevarez-Lozano, "Generation of continuous-time two integrator loop OTA filter structures", **IEEE Transactions on Circuits and Systems**, vol. 35, no. 8, pp. 936-946, 1988.
- [3] A. Sedra and K. Smith, "A second-generation current conveyor and its applications", **IEEE Transactions on Circuit Theory**, vol. 17, no. 1, pp. 132-134, 1970.
- [4] A. Soliman, "Inductorless realization of an all-pass transfer function using the current conveyor", **IEEE Transactions on Circuit Theory**, vol. 20, no. 1, pp. 80-81, 1973.
- [5] A. Yesil, F. Kacar and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", **Radioengineering**, vol. 20, no. 3, pp. 632-637, 2011.
- [6] D. Biolk, M. Shaktour, V. Biolkova and Z. Kolka, "Current-input current-output universal biquad employing two bulk-driven VDTAs", **International Congress on Ultra Modern Telecommunications and Control Systems and Workshops**, Article number 6459714, pp. 484-489, 2012.
- [7] D. Biolk, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing: Classification, review, and new proposals", **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [8] V. Biolkova, Z. Kolka, D. Biolek, “Fully balanced voltage differencing buffered amplifier and its applications”, **Proceedings of the 52<sup>nd</sup> IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2009)**, Cancun, Mexico, Article number 5236157, Pages 45-48, 2-5 August, 2009.
- [9] C. Premont, R. Grisel and N. Abouchi, “A current conveyor based capacitive multiplier”, **Proceedings of the 40<sup>th</sup> Midwest Symposium on Circuits and Systems**, Sacramento, CA, USA, 6 August, 1997.
- [10] G. Ferri and S. Pennisi, “A 1.5-V current-mode capacitance multiplier”, **Proceedings of the 10<sup>th</sup> International Conference on Microelectronics**, Monastir, Tunisia, 16 December, 1998.
- [11] G. Di Cataldo, G. Ferri and S. Pennisi, “Active capacitance multipliers using current conveyors”, **Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS 1998)**, Monterey, CA, USA, 31 May - 3 June, 1998.
- [12] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based electronically tunable capacitance multiplier with a grounded capacitor”, **Proceedings of the 15<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2018)**, Chiang Rai, Thailand, 18-21 July, 2018.
- [13] P. Moonmuang and W. Tangsrirat, “Electronically tunable resistorless capacitance multiplier employing VDBAs”, **Proceedings of the 3<sup>rd</sup> International Conference on Communication and Information Processing (ICCIP 2017)**, Tokyo, Japan, 24-26 November, 2017.
- [14] Harris semiconductor, “2 MHz, operational transconductance amplifier (OTA)”, **CA3080 datasheet**, Nov, 1996.
- [15] National Semiconductor, “JFET input operational amplifiers”, **LF356 datasheet**, Dec. 2001.

## บทที่ 5

# วงจรรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทาน

## โดยใช้ตัวเก็บประจุเทียบกราวด์

### 5.1 กล่าวนำ

ตั้งแต่อดีตจนถึงปัจจุบันอุปกรณ์แอกทีฟได้ถูกนำเสนอขึ้นอย่างมากมาย เช่น วงจร CC (current conveyor) [1]-[2] วงจร VDTA (voltage differencing transconductance amplifier) [3]-[4] วงจร CDTA (current differencing transconductance amplifier) [5]-[6] วงจร CDDBA (current differencing buffered amplifier) [7]-[8] เป็นต้น อุปกรณ์แอกทีฟเหล่านี้สามารถนำไปออกแบบวงจรรวมเพื่อประมวลผลสัญญาณทางแอนะล็อก ซึ่งมีขนาดที่ค่อนข้างเล็กจึงทำให้ใช้พื้นที่ในการออกแบบวงจรรวมลดลง และก่อให้เกิดกำลังไฟฟ้าสูญเสียน้อย นอกจากนี้ อุปกรณ์แอกทีฟบางชนิดยังสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์อีกด้วย โดยนำไปประยุกต์ใช้งานได้อย่างหลากหลาย อาทิเช่น วงจรกรองสัญญาณ (filter circuit) [9] วงจรเลียนแบบตัวเหนี่ยวนำ (inductance simulator) [10] วงจรรคูณค่าความจุไฟฟ้า (capacitance multiplier) [11]-[12] เป็นต้น

เมื่อไม่นานมานี้ อุปกรณ์แอกทีฟที่มีชื่อว่า วงจร VDBA ได้ถูกนำเสนอ ซึ่งมีจุดเด่นเนื่องจากผลของค่าอิมพีแดนซ์เอาต์พุตที่ชั่ว  $w$  นั้นมีค่าต่ำ จึงเหมาะสมต่อการนำวงจรไปต่อแบบคาสเคดในโหมดแรงดัน จากการทบทวนผลการดำเนินงานของวงจรรคูณค่าความจุไฟฟ้าที่นำเสนอตั้งบทที่ 3 และ 4 ในวิทยานิพนธ์ฉบับนี้ พบว่าผลการดำเนินงานของวงจรรคูณค่าความจุไฟฟ้าที่นำเสนอมีความคลาดเคลื่อนไปจากผลในทางทฤษฎีเนื่องจากค่าความจุไฟฟ้าสมมูลในทางปฏิบัติจะมีค่าความต้านทานแฝงรวมอยู่ด้วยจึงก่อให้เกิดค่าความสูญเสียขึ้นภายในวงจร ดังนั้นบทนี้จึงนำเสนอวงจรรคูณค่าความจุไฟฟ้า [13] ที่สามารถปรับค่าความจุไฟฟ้าสมมูล และค่าความต้านทานสมมูลได้ทางอิเล็กทรอนิกส์ด้วยอัตราขยายค่าความนำผ่านการแปรค่ากระแสไบอัสจากภายนอก จากเหตุผลข้างต้นจึงสามารถลดค่าความสูญเสียที่เกิดขึ้นในวงจรลงได้ โดยที่ยังปรับค่าความจุไฟฟ้าสมมูลให้ได้ค่าตามที่ต้องการอีกด้วย ซึ่งวงจรถูกนำเสนอประกอบไปด้วยวงจรรคูณค่าความจุไฟฟ้าจำนวนสองตัวและตัวเก็บประจุไฟฟ้าเพียงหนึ่งตัว จึงมีความเรียบง่ายเมื่อนำไปออกแบบวงจรรวม ซึ่งผลการจำลองการทำงานของวงจรรคูณค่าความจุไฟฟ้าที่นำเสนอได้ถูกแสดงให้เห็นจริงโดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยีขนาด  $0.25 \mu\text{m}$  CMOS ของบริษัท TSMC พร้อมทั้งผลการต่อทดลองด้วยวงจรจริงโดยใช้ไอซีเบอร์ CA3080 กับไอซีเบอร์ LF356 และวัดการแสดงผลการทำงานด้วยเครื่อง impedance analyzer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.2 วงจรคูณค่าความจุไฟฟ้าปราศจากตัวต้านทานที่นำเสนอ

วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ [13] ถูกสังเคราะห์ขึ้นด้วยวงจร VDBA จำนวนสองตัวและตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัวแสดงดังรูปที่ 5.1 หากพิจารณาคุณสมบัติของวงจร VDBA ในทางอุดมคติดังสมการ (2.1) จะพบว่าค่าอิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) เท่ากับ [ภาคผนวก จ1]

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1}} + \frac{g_{m2}}{sC_1g_{m1}} = R_{eq} + \frac{1}{sC_{eq}} \quad (5.1)$$

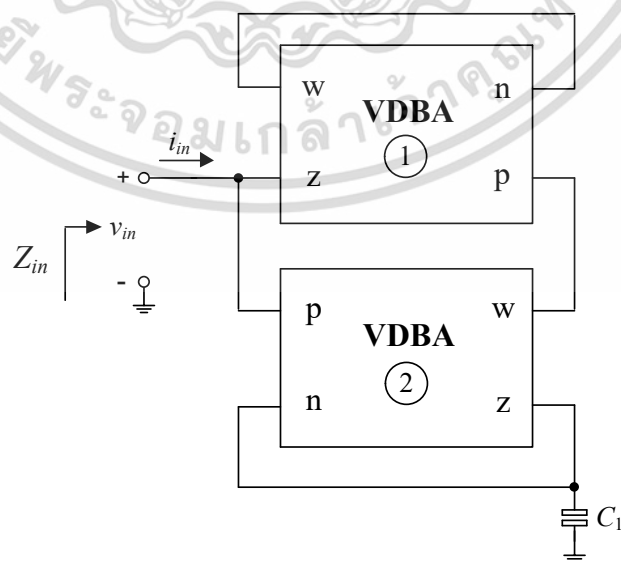
ดังนั้นค่าความต้านทานสมมูล (equivalent resistance,  $R_{eq}$ ) และค่าความจุไฟฟ้าสมมูล (equivalent capacitance,  $C_{eq}$ ) มีค่าเท่ากับ [ภาคผนวก จ1]

$$R_{eq} = \frac{1}{g_{m1}} \quad (5.2)$$

และ

$$C_{eq} = \left( \frac{g_{m1}}{g_{m2}} \right) C_1 \quad (5.3)$$

เมื่อ  $g_{mi}$  คือ อัตราขยายค่าความนำของวงจร VDBA ตัวที่  $i$  ( $i = 1, 2$ ) ซึ่งวงจรที่นำเสนอนี้สามารถเลือกปรับค่าองค์ประกอบทั้งสองได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยเริ่มจากการปรับค่า  $R_{eq}$  ด้วยการแปร  $g_{m1}$  เป็นลำดับแรก จากนั้นก็ทำการปรับค่า  $C_{eq}$  ตามความต้องการด้วยการแปร  $g_{m2}$  ของวงจร VDBA



รูปที่ 5.1 วงจรคูณค่าความจุไฟฟ้าปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.3 วงจรคุณค่าความจุไฟฟ้าปราศจากตัวต้านทานในทางปฏิบัติ

หากพิจารณาคุณสมบัติของวงจร VDBA ในทางปฏิบัติดังสมการ (2.2) จะพบว่าอิมพีแดนซ์อินพุตของวงจรที่นำเสนอเปลี่ยนแปลงไปดังนี้ [ภาคผนวก จ2]

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{\alpha_1 \beta_1 g_{m1}} + \left( \frac{\alpha_2 g_{m2}}{\alpha_1 \beta_1 g_{m1}} \right) \frac{1}{sC_1} = R_{eq} + \frac{1}{sC_{eq}} \quad (5.4)$$

เมื่อ  $\alpha_i$  คือ ค่าความเบี่ยงเบนของอัตราขยายค่าความนำระหว่างขั้ว p และขั้ว n ที่ส่งผ่านไปขั้ว z โดยที่  $\beta_i$  คือ ค่าความผิดพลาดในการส่งผ่านแรงดันจากขั้ว z ไปยังขั้ว w ของวงจร VDBA ตัวที่ i

เมื่อพิจารณาที่  $\omega \gg [\alpha_2 g_{m2}(\beta_1 - \beta_2)/C_1 \beta_1]$  ของวงจร VDBA ในทางปฏิบัติ ทำให้ได้ค่าความต้านทานสมมูลและค่าความจุไฟฟ้าสมมูลเปลี่ยนแปลงไปดังนี้ [ภาคผนวก จ2]

$$R_{eq} = \frac{1}{\alpha_1 \beta_1 g_{m1}} \quad (5.5)$$

และ

$$C_{eq} = \left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \quad (5.6)$$

สมการข้างต้นแสดงให้เห็นว่า  $\alpha_1$ ,  $\alpha_2$  และ  $\beta_1$  ของวงจร VDBA จะส่งผลกระทบต่อวงจรคุณค่าความจุไฟฟ้าที่นำเสนอ ดังนั้นค่าความต้านทานสมมูลดังสมการ (5.5) นั้นสามารถลดผลกระทบของ  $\alpha_1$  และ  $\beta_1$  ได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการปรับค่า  $g_{m1}$  ของวงจร VDBA ตัวที่ 1 ในขณะที่เดียวกันก็สามารถปรับ  $g_{m1}$  และ/หรือ  $g_{m2}$  ของวงจร VDBA เพื่อให้ค่าความจุไฟฟ้าสมมูลในทางปฏิบัติดังสมการ (5.6) มีความใกล้เคียงกับผลทางทฤษฎีมากยิ่งขึ้น

คุณสมบัติค่าความไว (sensitivity) ของ  $R_{eq}$  และ  $C_{eq}$  ต่อการเบี่ยงเบนค่าอุปกรณ์แอกทีฟและพาสซีฟในวงจรที่นำเสนอมีค่าดังต่อไปนี้ [ภาคผนวก จ3]

$$S_{\alpha_1}^{R_{eq}} = S_{\beta_1}^{R_{eq}} = S_{g_{m1}}^{R_{eq}} = -1 \quad (5.7)$$

$$S_{\alpha_1}^{C_{eq}} = S_{\beta_1}^{C_{eq}} = S_{g_{m1}}^{C_{eq}} = 1 \quad (5.8)$$

$$S_{\alpha_2}^{C_{eq}} = S_{g_{m2}}^{C_{eq}} = -1 \quad (5.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ใด ๆ ในกรณีที่ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

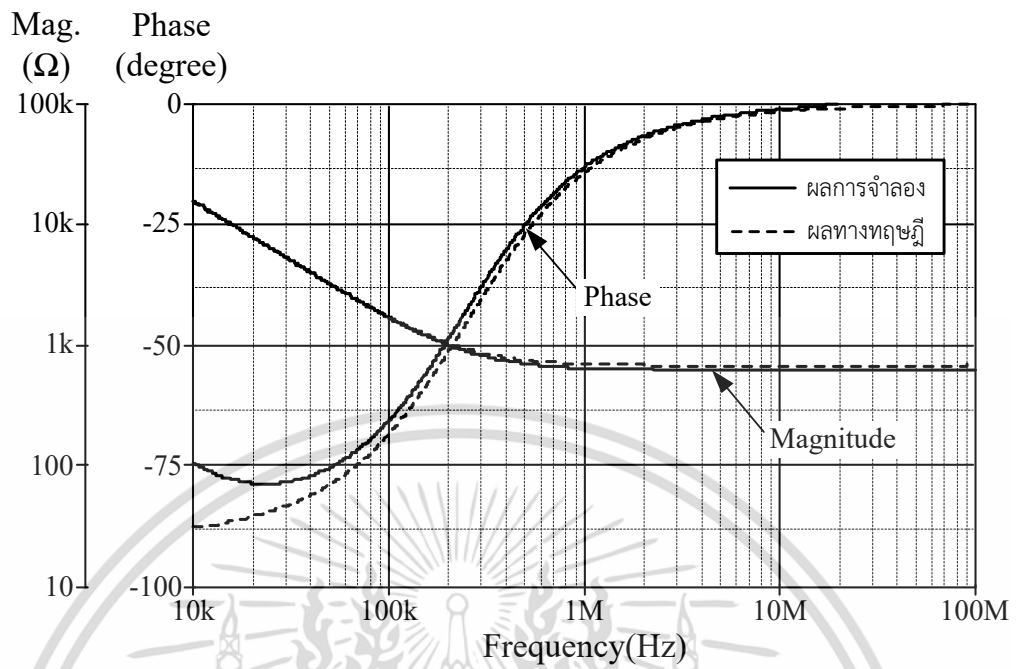
$$S_{C_1}^{C_{eq}} = 1 \quad (5.10)$$

ซึ่งพบว่าคุณสมบัติค่าความไวของ  $R_{eq}$  และ  $C_{eq}$  ดังสมการข้างต้นมีขนาดไม่เกินหนึ่ง แสดงให้เห็นว่า วงจรที่นำเสนอมีค่าความไวต่อการเบี่ยงเบนค่าอุปกรณ์แอกทีฟและพาสซีฟที่ต่ำ ยกตัวอย่างเช่น สมการ (5.9) หากค่าองค์ประกอบ  $\alpha_2$  มีค่าเพิ่มขึ้น 1 % จะส่งผลให้ค่าความจุไฟฟ้าสมมูลของวงจรมีค่าลดลง 1 % เป็นต้น

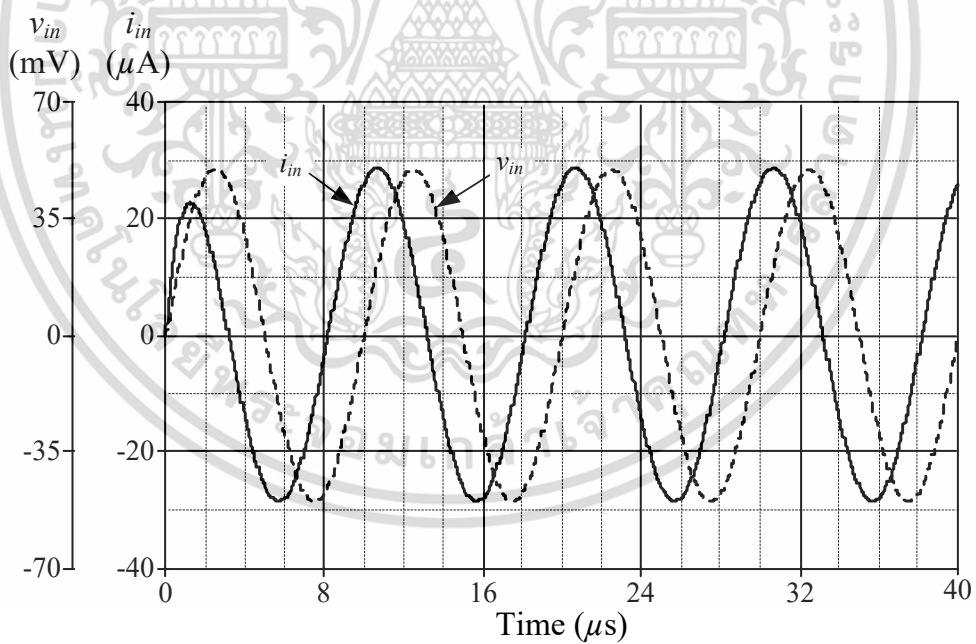
#### 5.4 ผลการจำลองการทำงานของวงจร

หัวข้อนี้จะกล่าวถึงผลการจำลองการทำงานของวงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ ปรารถจากตัวต้านทานในรูปที่ 5.1 โดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยี CMOS ขนาด 0.25  $\mu\text{m}$  ของบริษัท TSMC เมื่อกำหนดให้  $V_+ = V_- = 0.75 \text{ V}$   $v_{in} = 50 \text{ mV}_p$   $C_1 = 1 \text{ nF}$  และ  $I_{B1} = I_{B2} = 100 \mu\text{A}$  ( $g_{m1} = g_{m2} = 1.58 \text{ mA/V}$ ) จะได้  $R_{eq} = 632 \Omega$  และ  $C_{eq} = 1 \text{ nF}$  รูปที่ 5.2 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 5.1 ในขณะที่ผลการจำลองผลตอบสนองทางเวลาแสดงได้ดังรูปที่ 5.3 เมื่อพิจารณาที่  $f = 100 \text{ kHz}$  พบว่าค่ามุมเฟส  $i_{in}$  นำหน้า  $v_{in}$  เท่ากับ  $65.65^\circ$  ซึ่งมีความใกล้เคียงกับผลในทางทฤษฎีคือ  $\tan^{-1}(1/\omega C_{eq} R_{eq}) = 68.34^\circ$  [14] ด้วยค่าความผิดพลาดสูงสุดไม่เกิน 3.94%

รูปที่ 5.4 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 5.1 เมื่อแปรค่า  $g_{m1}$  จากสมการ (5.2) และ (5.3) จะได้ค่า  $R_{eq}$  และ  $C_{eq}$  ดังรายละเอียดในตารางที่ 5.1 กำหนดให้  $v_{in} = 50 \text{ mV}_p$   $C_1 = 1 \text{ nF}$  และ  $I_{B2} = 100 \mu\text{A}$  ( $g_{m2} = 1.58 \text{ mA/V}$ ) ในขณะที่ผลการจำลองผลตอบสนองทางความถี่ เมื่อแปรค่า  $g_{m2}$  เป็น 1.23 mA/V, 2 mA/V, 5 mA/V แสดงดังรูปที่ 5.5 ซึ่งกำหนดให้  $g_{m1} = 1.58 \text{ mA/V}$  พบว่าค่า  $R_{eq} = 632 \Omega$  และ  $C_{eq} = 2 \text{ nF}$ , 0.7 nF, 0.5 nF ตามลำดับ จากผลจำลองการทำงานของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 5.1 นั้น แสดงให้เห็นว่าค่า  $R_{eq}$  และ  $C_{eq}$  สามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรอัตราขยายค่าความนำของวงจร VDBA

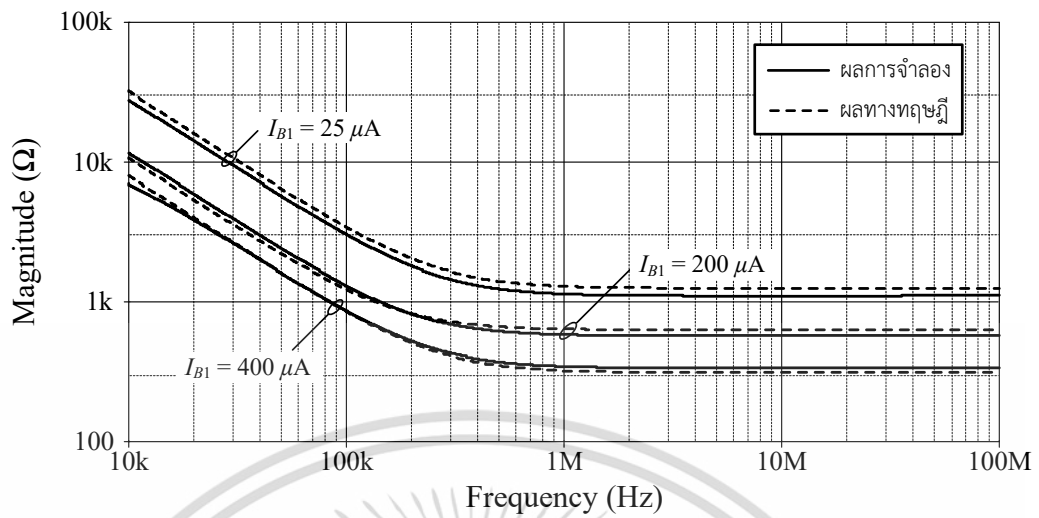


รูปที่ 5.2 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 5.1

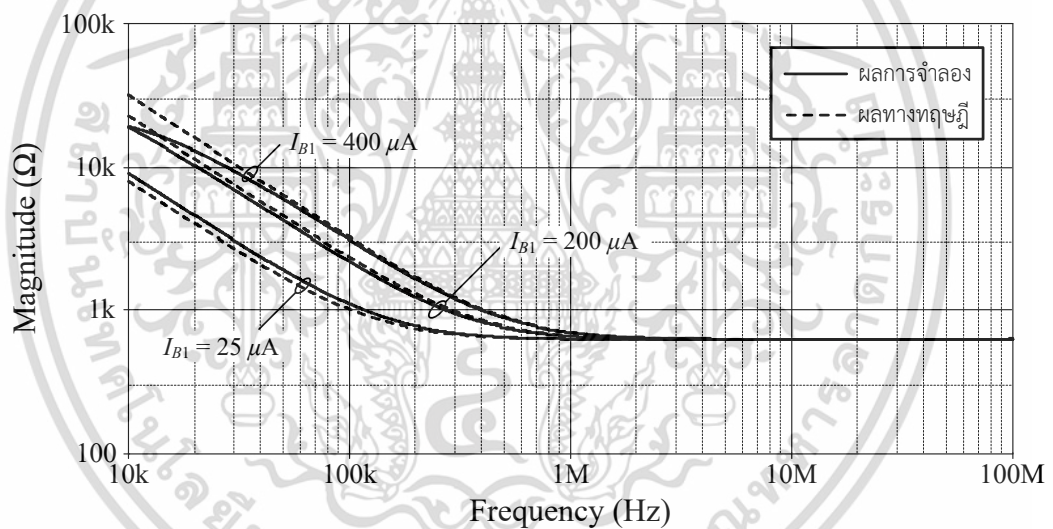


รูปที่ 5.3 ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 ผลการจำลองผลตอบสนองทางความถี่เมื่อแปรค่า  $g_{m1}$



รูปที่ 5.5 ผลการจำลองผลตอบสนองทางความถี่เมื่อแปรค่า  $g_{m2}$

ตารางที่ 5.1 รายละเอียดของ  $R_{eq}$  และ  $C_{eq}$  เมื่อแปรค่า  $g_{m1}$

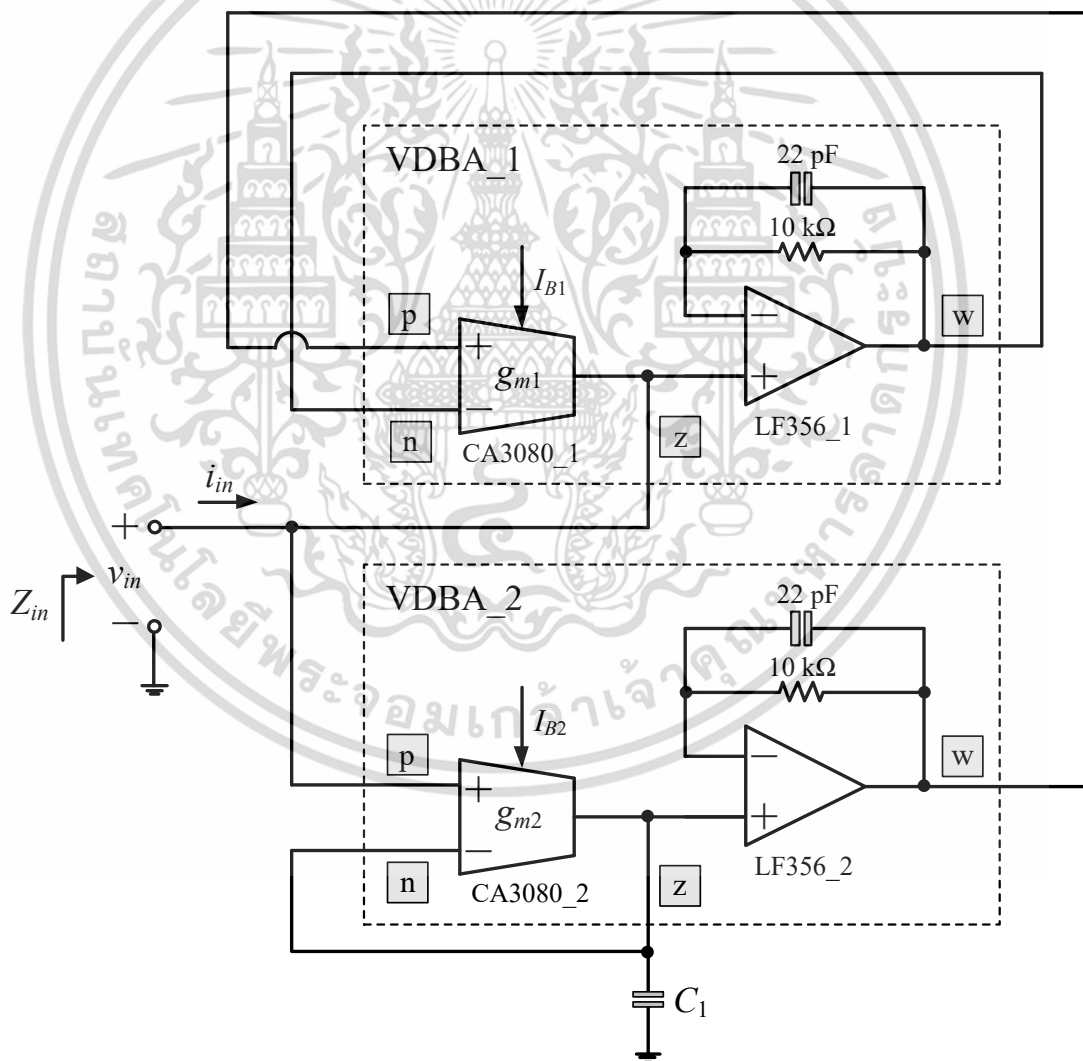
$I_{Bi}$ ( $\mu A$ )		$g_{mi}$ (mA/V)		$g_{m1}/g_{m2}$	$R_{eq}$ (k $\Omega$ )	$C_{eq}$ (nF)
$I_{B1}$	$I_{B2}$	$g_{m1}$	$g_{m2}$			
25	100	0.79	1.58	0.5	1.27	0.5
200		2.24		1.5	0.45	1.5
400		3.16		2	0.32	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.5 ผลการต่อทดลองด้วยวงจรจริง

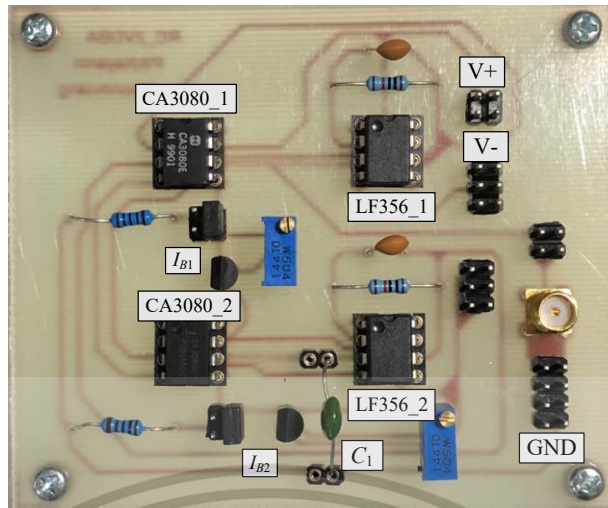
วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานในรูปที่ 5.1 ได้ถูกนำไปต่อทดลองเป็นวงจรจริง โดยสังเคราะห์ขึ้นจากไอซีเบอร์ CA3080 [15] ต่อกับไอซีเบอร์ LF356 [16] แสดงดังรูปที่ 5.6 และออกแบบแผ่นวงจรพิมพ์ดังภาพถ่ายในรูปที่ 5.7

รูปที่ 5.8 ผลการวัดผลตอบสนองทางความถี่ของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอ ซึ่งวงจรใช้แรงดันไฟเลี้ยง  $V+ = V- = 5\text{ V}$  หากกำหนดให้  $C_1 = 1\text{ nF}$  และ  $g_{m1} = g_{m2} \cong 1\text{ mA/V}$  ( $I_{B1} = I_{B2} \cong 50\text{ }\mu\text{A}$ ) จะได้  $R_{eq} = 1\text{ k}\Omega$  และ  $C_{eq} = 1\text{ nF}$  เมื่อวัดผลตอบสนองทางความถี่ของวงจรที่  $f = 20\text{ kHz}$ ,  $50\text{ kHz}$  และ  $200\text{ kHz}$  มีค่ามุมเฟสเท่ากับ  $-81.6^\circ$ ,  $-71.8^\circ$  และ  $-49.4^\circ$  ตามลำดับ หากพิจารณาที่  $f = 50\text{ kHz}$  จะพบว่ามุมเฟสมีความสอดคล้องกับผลในทางทฤษฎีคือ  $\tan^{-1}(1/\omega C_{eq}R_{eq}) = -72.56^\circ$



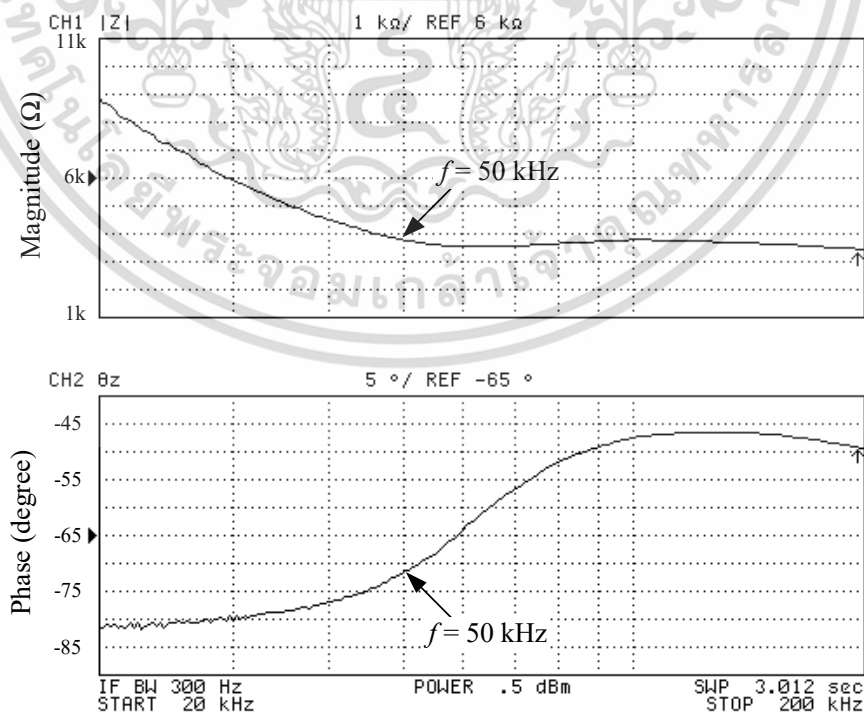
รูปที่ 5.6 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้

ปราศจากตัวต้านทานที่นำเสนอในรูปที่ 5.1 สำหรับแผ่นวงจรพิมพ์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

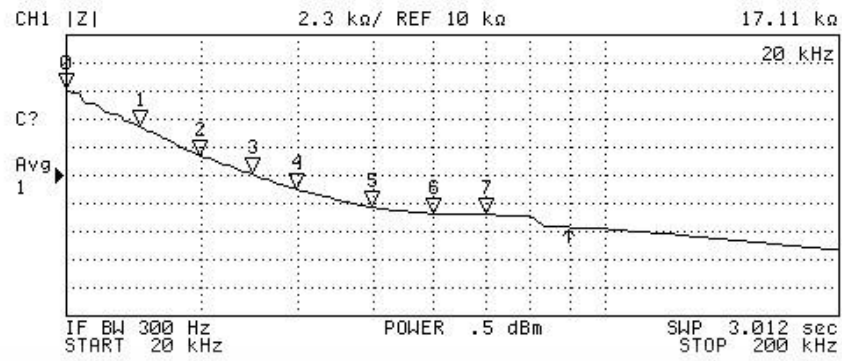


รูปที่ 5.7 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรคูณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 5.1

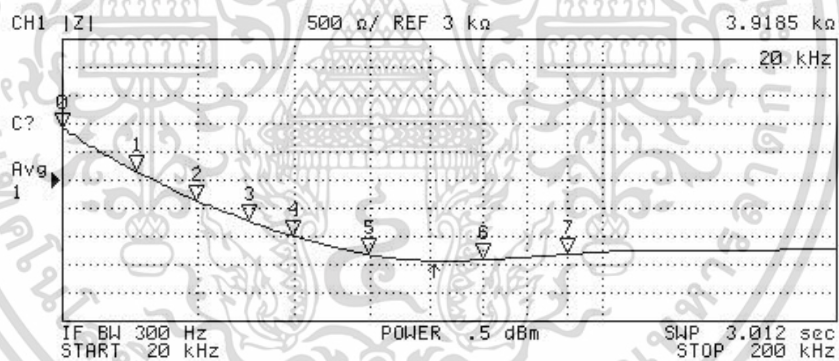
รูปที่ 5.9 แสดงผลการวัดผลตอบสนองทางขนาดของวงจรที่นำเสนอในรูปที่ 5.6 กำหนดให้  $g_{m2} = 1 \text{ mA/V}$  และ  $C_1 = 1 \text{ nF}$  เมื่อทำการแปรค่า  $g_{m1}$  โดยพิจารณาที่  $f = 50 \text{ kHz}$  จะได้ค่าอิมพีแดนซ์สมมูล ( $Z_{eq}$ ) แสดงดังตารางที่ 5.2 ซึ่งตารางกล่าวถึงผลในทางทฤษฎี ทางปฏิบัติ และค่าความผิดพลาดที่เกิดขึ้น รูปที่ 5.10 แสดงผลการวัดผลตอบสนองทางมุมเฟสของวงจรที่นำเสนอเมื่อแปรค่า  $g_{m1}$  ของวงจร VDBA ตัวที่  $i$  เช่นเดียวกับตารางที่ 5.2 หากพิจารณาที่  $f = 50 \text{ kHz}$  จะได้มุมเฟสระหว่าง  $i_{in}$  และ  $v_{in}$  มีค่าเท่ากับ  $-75.16^\circ$ ,  $-69.93^\circ$  และ  $-51.97^\circ$  ตามลำดับ ซึ่งมีความสอดคล้องกับผลทางทฤษฎีคือ  $\tan^{-1}(1/\omega C_{eq} R_{eq}) = -72.56^\circ$



รูปที่ 5.8 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 5.6 เมื่อ  $g_{m1} = g_{m2} \cong 1 \text{ mA/V}$  เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



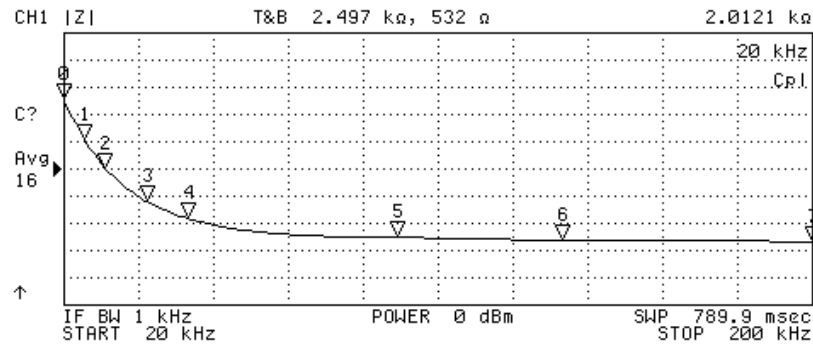
(ก)



(ข)

รูปที่ 5.9 ผลการวัดผลตอบสนองทางขนาด เมื่อแปร  $g_{m1}$ (ก)  $g_{m1} = 0.5 \text{ mA/V}$  (ข)  $g_{m1} = 2 \text{ mA/V}$  (ค)  $g_{m1} = 4 \text{ mA/V}$ 

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

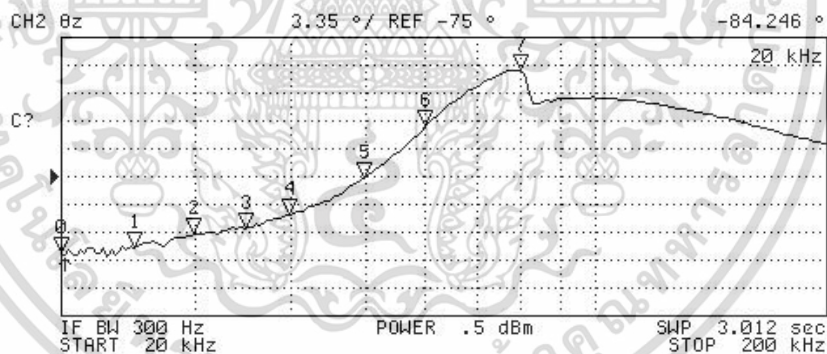


N	SWP PARAM	VAL
0	20 kHz	2.0121 kΩ
1	25 kHz	1.7194 kΩ
2	30 kHz	1.5174 kΩ
3	40 kHz	1.2796 kΩ
4	50 kHz	1.1557 kΩ
5	100 kHz	1.0235 kΩ
6	140 kHz	1.0001 kΩ
7	200 kHz	992.43 Ω

(ค)

รูปที่ 5.9 ผลการวัดผลตอบสนองทางขนาด เมื่อแปร  $g_{m1}$  (ต่อ)

(ก)  $g_{m1} = 0.5 \text{ mA/V}$     (ข)  $g_{m1} = 2 \text{ mA/V}$     (ค)  $g_{m1} = 4 \text{ mA/V}$



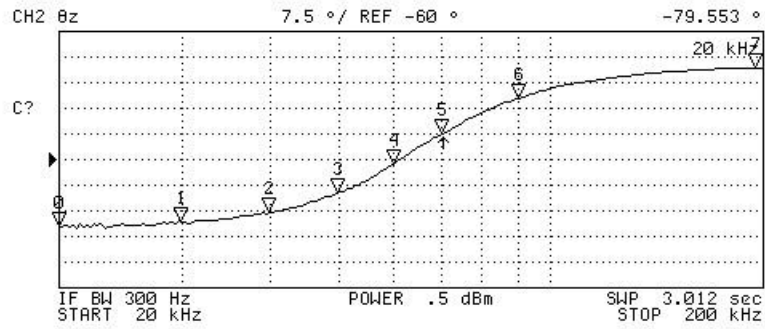
N	SWP PARAM	VAL
0	20 kHz	-84.246 °
1	25 kHz	-83.601 °
2	30 kHz	-82.007 °
3	35 kHz	-81.232 °
4	40 kHz	-79.626 °
5	50 kHz	-75.156 °
6	60 kHz	-68.996 °
7	80 kHz	-62.211 °

(ก)

รูปที่ 5.10 ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปรค่า  $g_{m1}$

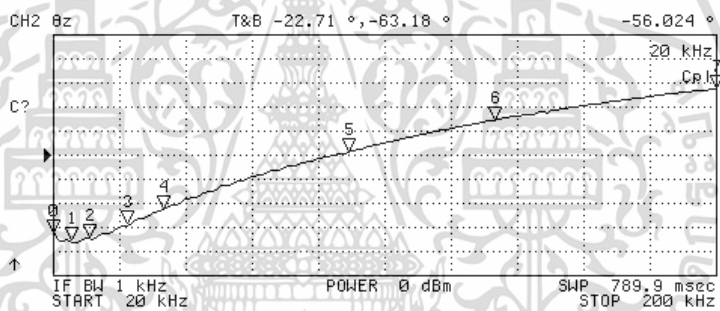
(ก)  $g_{m1} = 0.5 \text{ mA/V}$     (ข)  $g_{m1} = 2 \text{ mA/V}$     (ค)  $g_{m1} = 4 \text{ mA/V}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	20 kHz	-79.553 °
1	30 kHz	-78.223 °
2	40 kHz	-75.458 °
3	50 kHz	-69.925 °
4	60 kHz	-61.317 °
5	70 kHz	-52.636 °
6	90 kHz	-42.185 °
7	195 kHz	-33.16 °

(ก)



N	SWP PARAM	VAL
0	20 kHz	-56.024 °
1	25 kHz	-57.3 °
2	30 kHz	-56.821 °
3	40 kHz	-54.687 °
4	50 kHz	-51.971 °
5	100 kHz	-42.492 °
6	140 kHz	-37.025 °
7	200 kHz	-31.761 °

(ค)

รูปที่ 5.10 ผลการวัดผลตอบสนองทางมุมเฟส เมื่อแปร  $g_{m1}$  (ต่อ)

(ก)  $g_{m1} = 0.5 \text{ mA/V}$     (ข)  $g_{m1} = 2 \text{ mA/V}$     (ค)  $g_{m1} = 4 \text{ mA/V}$

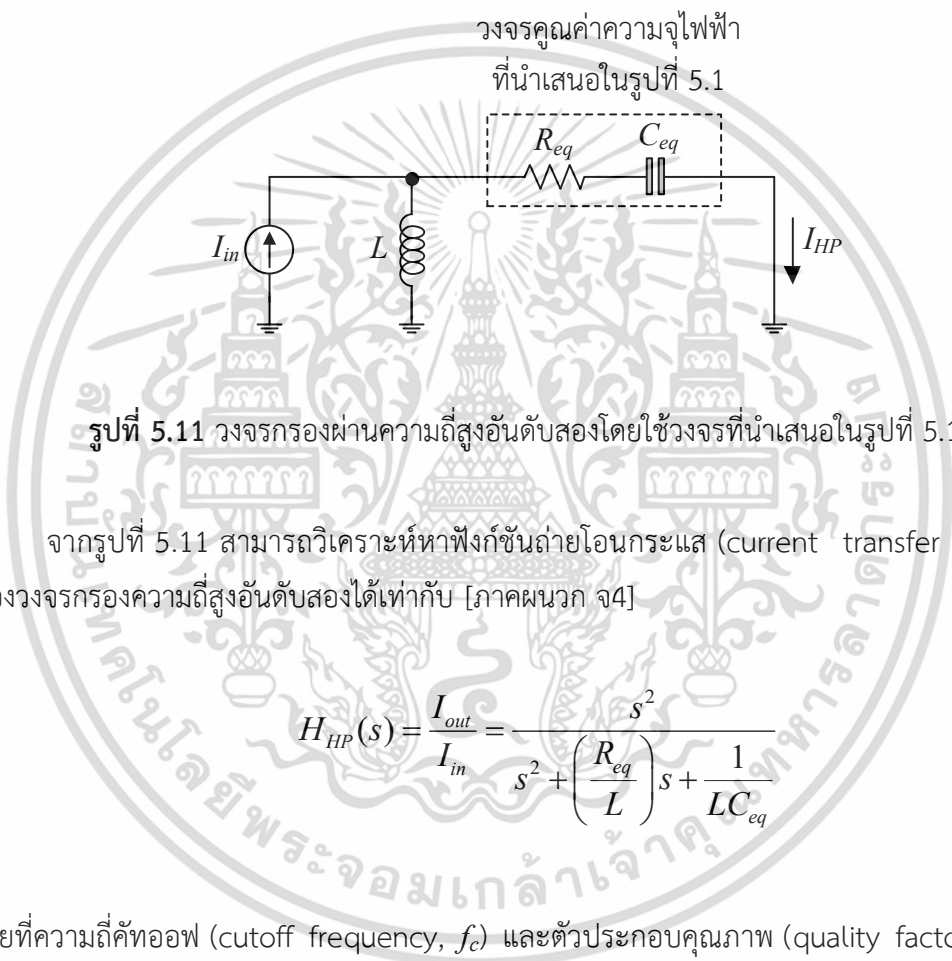
ตารางที่ 5.2 รายละเอียดของค่า  $Z_{eq}$  ในทางทฤษฎีและทางปฏิบัติ เมื่อแปรค่า  $g_{m1}$

$I_{B1} (\mu\text{A})$		$g_{mi} (\text{mA/V})$		$g_{m1}$	$Z_{eq} (\text{k}\Omega)$		ค่าความผิดพลาด (%)
$I_{B1}$	$I_{B2}$	$g_{m1}$	$g_{m2}$		$g_{m2}$	ผลทางทฤษฎี	
25	50	0.5	1	0.5	6.67	7.44	11.54
100	50	2	1	2	1.67	1.69	1.2
200	50	4	1	4	0.834	1.156	38.61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.6 การประยุกต์ใช้งานของวงจรคุณค่าความจุไฟฟ้าปราศจากตัวต้านทานที่นำเสนอ

ในหัวข้อนี้จะกล่าวถึงการประยุกต์ใช้งานวงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ในรูปที่ 5.1 โดยนำไปออกแบบเป็นวงจรกรองผ่านความถี่สูงอันดับสอง (second order high-pass filter) แสดงดังรูปที่ 5.11 เมื่อกำหนดให้  $v_{in} = 50 \text{ mV}_p$  และ  $L = 0.4 \text{ mH}$  ซึ่งวงจรที่นำเสนอในรูปที่ 5.1 ได้เลือกใช้  $I_{B1} = I_{B2} = 100 \mu\text{A}$  ( $g_{m1} = g_{m2} = 1.58 \text{ mA/V}$ ) และ  $C_1 = 1 \text{ nF}$  จากสมการ (5.2) และ (5.3) จะได้  $R_{eq} = 632 \Omega$  และ  $C_{eq} = 1 \text{ nF}$



จากรูปที่ 5.11 สามารถวิเคราะห์หาฟังก์ชันถ่ายโอนกระแส (current transfer function) ของวงจรกรองความถี่สูงอันดับสองได้เท่ากับ [ภาคผนวก จ4]

$$H_{HP}(s) = \frac{I_{out}}{I_{in}} = \frac{s^2}{s^2 + \left(\frac{R_{eq}}{L}\right)s + \frac{1}{LC_{eq}}} \quad (5.11)$$

โดยที่ความถี่คัทออฟ (cutoff frequency,  $f_c$ ) และตัวประกอบคุณภาพ (quality factor,  $Q$ ) ของวงจรมีค่าเท่ากับ [ภาคผนวก จ4]

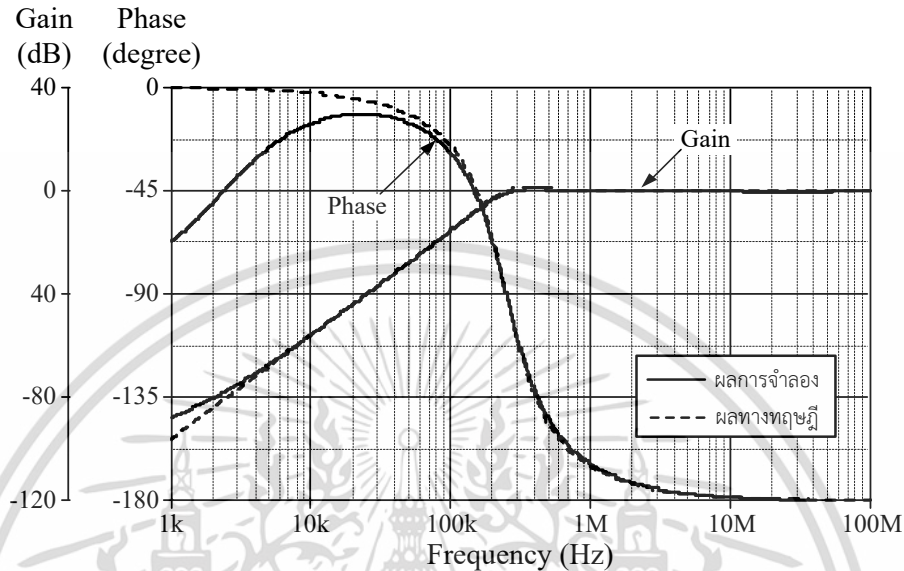
$$f_c = \frac{1}{2\pi\sqrt{LC_{eq}}} \quad (5.12)$$

และ

$$Q = \frac{1}{R_{eq}} \sqrt{\frac{L}{C_{eq}}} \quad (5.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.12 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่สูงอันดับสอง จากสมการ (5.12) และ (5.13) จะได้  $f_c = 252 \text{ kHz}$  และ  $Q = 1$  ผลการจำลองพบว่าการทำงานของวงจรมีความถูกต้องและเป็นไปตามหลักการทางทฤษฎีในช่วงความถี่ 100 kHz ถึง 100 MHz



รูปที่ 5.12 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่สูงอันดับสองในรูปที่ 5.11

## 5.7 สรุป

จากการรวบรวมข้อมูลในบทที่ 3 และบทที่ 4 ของวิทยานิพนธ์ฉบับนี้ หากพิจารณาวงจรคุณค่าความจุไฟฟ้าในทางปฏิบัติแล้วจะพบว่ามีความสูญเสียเกิดขึ้นเนื่องจากค่าความต้านทานทางแฝงภายในวงจร ดังนั้นในบทนี้จึงนำเสนอวงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ขึ้นเพื่อสามารถปรับค่าความจุไฟฟ้าสมมูล และค่าความต้านทานสมมูลได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการแปรอัตราขยายค่าความนำผ่านกระแสไปอัสของวงจร VDBA ส่งผลให้ค่าของอิมพีแดนซ์ที่สังเคราะห์ขึ้นมีความใกล้เคียงกับลักษณะในทางทฤษฎียิ่งขึ้น ซึ่งวงจรที่นำเสนอประกอบไปด้วยวงจร VDBA จำนวนสองตัวและตัวเก็บประจุไฟฟ้าเพียงหนึ่งตัว ทำให้มีขนาดค่อนข้างเล็กเหมาะสมต่อการนำไปประยุกต์ใช้งาน คุณสมบัติในการทำงานของวงจรได้ถูกทดสอบด้วยผลการจำลองการทำงานและผลการต่อทดลองจริง รวมถึงการประยุกต์ใช้งานในวงจรกรองผ่านความถี่สูงอันดับสอง ซึ่งผลที่ได้มีความสอดคล้องและเป็นไปตามหลักการทางทฤษฎี

## 5.8 เอกสารอ้างอิงบทที่ 5

- [1] A. Sedra and K. Smith, "A second-generation current conveyor and its applications", **IEEE Transactions on Circuit Theory**, vol. 17, no. 1, pp. 132-134, 1970.
- [2] M. T. Abuelma'atti and N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", **Microelectronics Journal**, vol. 30, no. 9, pp. 869-873, 1999.
- [3] A. Yesil, F. Kacar and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", **Radioengineering**, vol. 20, no. 3, pp. 632-637, 2011.
- [4] D. Birolek, M. Shaktour, V. Biolkova and Z. Kolka, "Current-input current-output universal biquad employing two bulk-driven VDTAs", **International Congress on Ultra Modern Telecommunications and Control Systems and Workshops**, Article number 6459714, pp. 484-489, 2012.
- [5] A. U. Keskin and D. Birolek, "Current mode quadrature oscillator using current differencing transconductance amplifiers (CDTA)", **IEE Proceedings Circuits Devices and Systems**, vol. 153, no. 3, pp. 214-218, 2006.
- [6] A. U. Keskin, D. Birolek, E. Hancioglu and V. Biolkova, "Current-mode KHN filter employing current differencing transconductance amplifiers", **International Journal of Electronics and Communications (AEU)**, vol. 60, no. 6, pp. 443-446, 2006.
- [7] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal-processing filters", **Microelectronics Journal**, vol. 30, no. 2, pp. 157-160, 1999.
- [8] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", **Electronics Letters**, vol. 35, no. 2, pp.97-98, 1999.
- [9] S. Minaei, O. K. Sayin and H. Kuntman, "A new CMOS electronically tunable current conveyor and its application to current-mode filters", **IEEE Transactions on Circuits and Systems I : Regular Papers**, vol. 53, no. 7, pp. 1448-1457, 2006.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [10] E. Yuce, S. Minaei and O. Cicekoglu, “A novel grounded inductor realization using a minimum number of active and passive components”, **ETRI Journal**, vol. 24, no. 4, pp. 427-431, 2005.
- [11] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based electronically tunable capacitance multiplier with a grounded capacitor”, **Proceedings of the 15<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2018)**, Chiang Rai, Thailand, 18-21 July, pp. 365-368, 2018.
- [12] P. Moonmuang and W. Tangsrirat, “Electronically tunable resistorless capacitance multiplier employing VDBAs”, **Proceedings of the 3<sup>rd</sup> International Conference on Communication and Information Processing (ICCIP 2017)**, Tokyo, Japan, 24-26 November, pp. 512-515, 2017.
- [13] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based series RC impedance simulator using single grounded capacitor”, **Proceedings of the 4<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST 2018)**, 4-7 July, Phuket, Thailand, pp. 365-368, 2018
- [14] วรพงศ์ ตั้งศรีรัตน์ และทัตยา ปุคคละนนท์. การวิเคราะห์วงจรไฟฟ้า. คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2551.
- [15] Harris semiconductor, “2 MHz, operational transconductance amplifier (OTA)”, **CA3080 datasheet**, Nov, 1996.
- [16] National Semiconductor, “JFET input operational amplifiers”, **LF356 datasheet**, Dec. 2001.

## บทที่ 6

# บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ

### 6.1 บทสรุป

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์เพื่อออกแบบและสังเคราะห์วงจรมูลค่าความจุไฟฟ้าโดยใช้อุปกรณ์แอคทีฟหลักคือวงจรร VDBA ที่ช่วยอินพุตและเอาต์พุตทำหน้าที่รับสัญญาณแรงดันซึ่งเหมาะสมต่อการนำไปใช้งานโหมดแรงดัน ทั้งยังมีช่วงปฏิบัติการที่กว้างรวมถึงค่าอิมพีแดนซ์เอาต์พุตที่ต่ำจึงเหมาะสมกับการต่อวงจรแบบคาสเคดอีกด้วย ซึ่งวงจรร VDBA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ภายในจะประกอบไปด้วยวงจรรขยายผลต่างและวงจรรตามแรงดัน ส่งผลให้วงจรรสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรอัตราขยายค่าความนำของวงจรร VDBA ทำให้วงจรรมีความเรียบง่าย ไม่ซับซ้อน กินพื้นที่ในการนำไปออกแบบวงจรรรวมน้อยอีกด้วย ดังนั้นวิทยานิพนธ์ฉบับนี้จึงเลือกใช้วงจรร VDBA เพื่อนำไปสังเคราะห์เป็นวงจรมูลค่าความจุไฟฟ้ามีรายละเอียดดังต่อไปนี้

1) บทที่ 3 เสนอวงจรมูลค่าความจุไฟฟ้าแบบปรับค่าได้โดยอาศัยตัวต้านทาน ซึ่งประกอบไปด้วย วงจรร VDBA จำนวนสองตัว ตัวต้านทานต่อแบบลอยตัวจำนวนหนึ่งตัวและตัวเก็บประจุไฟฟ้าเทียบกราวด์จำนวนหนึ่งตัว

2) บทที่ 4 เสนอวงจรมูลค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุแบบลอยตัว ซึ่งประกอบไปด้วย วงจรร VDBA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าต่อแบบลอยตัวจำนวนหนึ่งตัว

3) บทที่ 5 เสนอวงจรมูลค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ ซึ่งประกอบไปด้วย วงจรร VDBA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าแบบเทียบกราวด์จำนวนหนึ่งตัว

วงจรรที่นำเสนอในข้างต้นแสดงให้เห็นถึงผลการจำลองการทำงานด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยี CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC และได้ถูกนำไปประยุกต์ใช้งานในวงจรรกรองผ่านความถี่ต่ำอันดับสอง วงจรรกรองผ่านความถี่ต่ำอันดับสี่โดยฟังก์ชันบัตเตอร์เวิร์ท และวงจรรกรองผ่านความถี่สูงอันดับสอง รวมถึงผลจากการปฏิบัติงานจริงโดยการสังเคราะห์วงจรร VDBA จากไอซีเบอร์ CA3080 กับไอซีเบอร์ LF356 จากผลการจำลองและผลการทดลองจริงแสดงให้เห็นว่าผลการทำงานของวงจรมูลค่าความจุไฟฟ้ามีความสอดคล้องตามหลักการในทางทฤษฎี

ผลการวิจัยทั้งหมดที่ได้รับการพิจารณาตีพิมพ์ในงานประชุมวิชาการระดับชาติและระดับนานาชาติดังนี้ [1]-[6]

1. P. Moonmuang and W. Tangsrirat, "Electronically tunable resistorless capacitance multiplier employing VDBAs", **Proceedings of the 3<sup>rd</sup> International Conference on Communication and Information Processing (ICCIP 2017)**, Tokyo, Japan, 24-26 November, pp. 512-515, 2017. [1]
2. P. Moonmuang, P. Mongkolwai and W. Tangsrirat, "Two-input two-output current-mode universal biquad using only VDTAs and grounded capacitors", **Proceedings of the 3<sup>rd</sup> International Conference on Control and Robotics Engineering (ICCRE 2018)**, Nagoya, Japan, 20-23 April, pp. 139-142, 2018. [2]
3. P. Moonmuang, T. Pukkalanun and W. Tangsrirat, "VDBA-based series RC impedance simulator using single grounded capacitor", **Proceedings of the 4<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST 2018)**, Phuket, Thailand, 4-7 July, article number 8434424, 2018. [3]
4. P. Moonmuang, T. Pukkalanun and W. Tangsrirat, "VDBA-based electronically tunable capacitance multiplier with a grounded capacitor", **Proceedings of the 15<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2018)**, Chiang rai, Thailand, 18-21 July, pp. 90-93, 2018. [4]
5. P. Moonmuang, P. Mongkolwai and W. Tangsrirat, "Voltage differencing buffered amplifier-based electronically tunable grounded capacitance multiplier", **Proceedings of the 8th International Conference on Informatics, Environment, Energy and Applications (IEEA 2019)**, Osaka, Japan, 16-19 March, 2019. [5]
6. พิษยานิน มูลเมือง เจษฎาพร สถานทรัพย์ ทศยา ปุคคะนนันท์ และ วรพงศ ตั้งศรีรัตน์ "วงจรมิทริกเกอร์ที่ควบคุมขนาดแรงดันเอาต์พุตและฮีสเตอร์รีซิสได้อย่างเป็นเชิงเส้นและเป็นอิสระด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้วงจร VDBA" **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชภัฏวชิรวิทยาดอนเมือง ครั้งที่ 11 จ.พระนครศรีอยุธยา** หน้า. 369-372 2562 [6]

โดยรายละเอียดทั้งหมดของแต่ละบทความได้รวบรวมไว้ในภาคผนวก ฉ

## 6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรคุณค่าความจุไฟฟ้าแบบเทียบกราวด์จำนวนสามวงจร ซึ่งจากการจำลองผลการทำงานและต่อทดลองด้วยวงจรจริงพบว่าวงจรที่นำเสนอสามารถนำไปปรับปรุงให้มีคุณสมบัติการทำงานที่ดีและคล่องตัวมากยิ่งขึ้นดังต่อไปนี้

ประการแรก แม้ว่าวงจรคุณค่าความจุไฟฟ้าเทียบกราวด์ในบทที่ 3 จะถูกพัฒนาโดยการลดจำนวนอุปกรณ์พาสซีฟลงดังที่นำเสนอในบทที่ 4 แล้ว แต่ยังคงพบว่าวงจรที่นำเสนอเป็นรูปแบบเทียบกราวด์ ซึ่งมีความคล่องตัวน้อยกว่าวงจรรูปแบบลอยตัว ดังนั้นจึงควรออกแบบและพัฒนางจรคุณค่าความจุไฟฟ้าแบบลอยตัวเพื่อให้ความคล่องตัวต่อการประยุกต์ใช้งานที่หลากหลายมากยิ่งขึ้น

ประการที่สอง วิทยานิพนธ์ฉบับนี้ได้มีการนำเสนอวงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ขึ้น กล่าวคือค่าอิมพีแดนซ์อินพุตของวงจรจะประกอบไปด้วยอิมพีแดนซ์ของตัวต้านทานสมมูลต่ออนุกรมกับตัวเก็บประจุไฟฟ้าสมมูล เพื่อให้วงจรสามารถปรับค่าความจุไฟฟ้าสมมูลให้ใกล้เคียงกับค่าทางทฤษฎีมากขึ้น ทั้งนี้จึงควรศึกษาและพัฒนาเกี่ยวกับวงจรคุณค่าความจุไฟฟ้าที่มีค่าอิมพีแดนซ์อินพุตของตัวต้านทานสมมูลต่อขนานกับตัวเก็บประจุไฟฟ้าสมมูลเพื่อให้เข้าใจในรูปแบบการทำงานทั้งหมดของวงจรคุณค่าความจุไฟฟ้าในทางปฏิบัติ ซึ่งอาจส่งผลให้วงจรคุณค่าความจุไฟฟ้าในอนาคตสามารถปรับค่าความจุไฟฟ้าสมมูลและค่าความต้านทานสมมูลให้มีความใกล้เคียงกับค่าทฤษฎีมากขึ้นอีกด้วย

### 6.3 เอกสารอ้างอิงบทที่ 6

- [1] P. Moonmuang and W. Tangsrirat, “Electronically tunable resistorless capacitance multiplier employing VDBAs”, **Proceedings of the 3<sup>rd</sup> International Conference on Communication and Information Processing (ICCIP 2017)**, Tokyo, Japan, 24-26 November, pp. 512-515, 2017.
- [2] P. Moonmuang, P. Mongkolwai and W. Tangsrirat, “Two-input two-output current-mode universal biquad using only VDTAs and grounded capacitors”, **Proceedings of the 3<sup>rd</sup> International Conference on Control and Robotics Engineering (ICCRE 2018)**, Nagoya, Japan, 20-23 April, pp. 139-142, 2018.
- [3] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based series RC impedance simulator using single grounded capacitor”, **Proceedings of the 4th International Conference on Engineering, Applied Sciences and Technology (ICEAST 2018)**, Phuket, Thailand, 4-7 July, article number 8434424, 2018.
- [4] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based electronically tunable capacitance multiplier with a grounded capacitor”, **Proceedings of the 15th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2018)**, Chiang rai, Thailand, 18-21 July, pp. 90-93, 2018.
- [5] P. Moonmuang, P. Mongkolwai and W. Tangsrirat, “Voltage differencing buffered amplifier-based electronically tunable grounded capacitance multiplier”, **Proceedings of the 8th International Conference on Informatics, Environment, Energy and Applications (IEEA 2019)**, Osaka, Japan, 16-19 March, pp. 143-146, 2019.
- [6] พิชญานิน มูลเมือง เกษฎาพร สถานทรัพย์ ทัดยา ปุคคะณันท์ และ วรพงศ์ ตั้งศรีรัตน์ “วงจรมิททริกเกอร์ที่ควบคุมขนาดแรงดันเอาต์พุตและฮีสเตอร์รีซิสได้อย่างเป็นเชิงเส้นและเป็นอิสระด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้วงจรว DBA” **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชภัฏวชิรวิทยาดอนเมือง ครั้งที่ 11 จ.พระนครศรีอยุธยา** หน้า. 369-372 2562

## ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

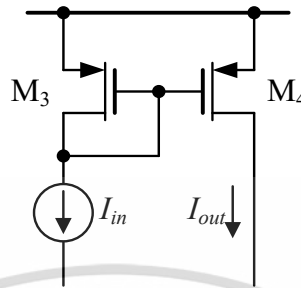
## การวิเคราะห์คุณสมบัติของวงจรมายาคำความนำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ก1 การวิเคราะห์อัตราขยายกระแสของวงจรสะท้อนกระแสกรณีสัญญาณขนาดใหญ่

วงจรสะท้อนกระแสประกอบไปด้วยมอสทรานซิสเตอร์  $M_3$  -  $M_4$  แสดงดังรูปที่ ก1 โดยกำหนดให้พารามิเตอร์ของมอสทรานซิสเตอร์ทั้งสองตัวมีความสมพจน์กันทุกประการ



รูปที่ ก1 วงจรสะท้อนกระแส

การวิเคราะห์หาค่าอัตราขยายกระแสของวงจรสะท้อนกระแส ( $\frac{I_{out}}{I_{in}}$ ) กรณีสัญญาณขนาดใหญ่ เมื่อกระแสอินพุต (input current,  $I_{in}$ ) และกระแสเอาต์พุต (output current,  $I_{out}$ ) มีค่าดังสมการ (ก1.1) กับ (ก1.2) ตามลำดับ

$$I_{in} = \frac{\mu C_{ox}}{2} \left( \frac{W_3}{L_3} \right) (V_{GS} - V_{TH})^2 \quad (ก1.1)$$

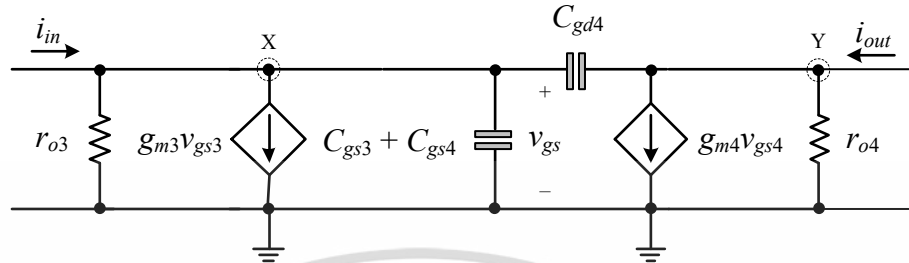
$$I_{out} = \frac{\mu C_{ox}}{2} \left( \frac{W_4}{L_4} \right) (V_{GS} - V_{TH})^2 \quad (ก1.2)$$

จะสามารถหาค่า  $\frac{I_{out}}{I_{in}}$  มีค่าเท่ากับ

$$\frac{I_{out}}{I_{in}} = \left( \frac{W_4/L_4}{W_3/L_3} \right) \quad (ก1.3)$$

## ก2 การวิเคราะห์อัตราขยายกระแสของวงจรสะท้อนกระแสกรณีสัญญาณขนาดเล็ก

การวิเคราะห์หาค่าอัตราขยายกระแสของวงจรสะท้อนกระแสเมื่อพิจารณากรณีสัญญาณขนาดเล็กสำหรับมอสทรานซิสเตอร์  $M_3 - M_4$  สามารถเขียนเป็นวงจรสมมูลแสดงดังรูปที่ ก2



รูปที่ ก2 วงจรสมมูลของวงจรสะท้อนกระแสดังรูปที่ ก1

พิจารณาที่โหนด x ของรูปที่ ก2 ด้วยกฎกระแสของเคอร์ชอฟฟ์ (Kirchhoff's Current Law, KCL) เมื่อกำหนดให้  $v_{gs3} = v_{gs4} = v_{gs}$  จะได้

$$i_{in}(s) = \frac{v_{gs}}{r_{o3}} + g_{m3}v_{gs} + v_{gs}s(C_{gs3} + C_{gs4}) \quad (ก2.1)$$

เนื่องจาก  $\frac{1}{r_{o3}} \cong 0$  ดังนั้นความสัมพันธ์เปลี่ยนแปลงดังนี้

$$i_{in}(s) = v_{gs} [g_{m3} + s(C_{gs3} + C_{gs4})] \quad (ก2.2)$$

พิจารณาที่โหนด Y ของรูปที่ ก2 ; ด้วยกฎ KCL จะได้

$$v_{gs} = i_{out}(s) \left( \frac{1}{g_{m4} + sC_{gs4}} \right) \quad (ก2.3)$$

แทนสมการ (ก2.3) ลงใน (ก2.2) จะได้

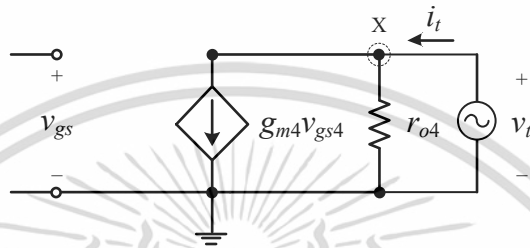
$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m4}}{g_{m3}} \left[ \frac{1 - \left( \frac{sC_{gd4}}{g_{m4}} \right)}{1 + \frac{s(C_{gs3} + C_{gs4})}{g_{m3}}} \right] \quad (ก2.4)$$

และเมื่อพิจารณาที่ความถี่ต่ำๆ จะสามารถหาค่าอัตราขยายกระแสกรณีสัญญาณขนาดเล็กได้ดังต่อไปนี้ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m4}}{g_{m3}} \quad (ก2.5)$$

### ก3 การวิเคราะห์หาค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแส

การวิเคราะห์หาค่าความต้านทานเอาต์พุต ( $r_{oc}$ ) ของวงจรสะท้อนกระแสในรูปที่ ก1 โดยจ่ายแรงดัน ( $v_t$ ) และกระแส ( $i_t$ ) ที่เอาต์พุตของวงจร และกำหนดค่าอินพุตของวงจรเท่ากับศูนย์ เขียนวงจรสมมูลได้ดังรูปที่ ก3



รูปที่ ก3 วงจรสมมูลของวงจรสะท้อนกระแสในรูปที่ ก1 เมื่อวิเคราะห์หาค่า  $r_{oc}$

เนื่องจากอินพุตของวงจรมีค่าเท่ากับศูนย์ จึงส่งผลให้  $v_{gs3} = v_{gs4} = v_{gs} = 0$  และเมื่อพิจารณาที่ โหนด x ของรูปที่ ก3 ด้วยกฎ KCL จะได้ความสัมพันธ์ดังนี้

$$i_t = \frac{v_t}{r_{o4}} \quad (ก3.1)$$

ดังนั้นค่า  $r_{oc}$  มีค่าเท่ากับ

$$r_{oc} = r_{o4} \quad (ก3.2)$$

### ก4 การวิเคราะห์คุณสมบัติของวงจรขยายค่าความนำ

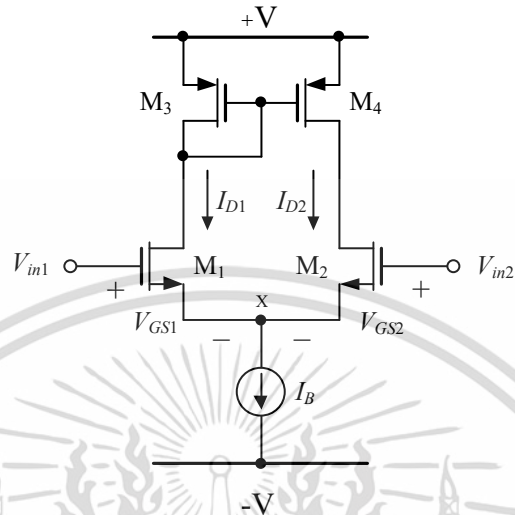
การวิเคราะห์หาค่า  $g_m$  ของวงจร VDBA แบบเทคโนโลยีมอสทรานซิสเตอร์ ซึ่งประกอบไปด้วย การทำงานระหว่างสองวงจรสำคัญได้แก่ วงจรสะท้อนกระแส และวงจรขยายสัญญาณแบบผลต่าง แสดงดังรูปที่ ก4 การทำงานเริ่มต้นด้วยการไบอัสมอสทรานซิสเตอร์ทุกตัวให้ทำงานในช่วงอิมิตัว ซึ่งจะส่งผลให้เกิด  $I_D$  ไหลผ่านมีค่าเท่ากับ

$$I_D = \frac{\mu C_{ox}}{2} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 \quad (ก4.1)$$

และย้ายข้างสมการหา  $V_{GS}$  มีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{GS} = \sqrt{\frac{2I_D}{\mu C_{ox} \left(\frac{W}{L}\right)}} + V_{TH} \quad (ก4.2)$$



รูปที่ ก4 วงจรสำหรับวิเคราะห์หาค่า  $g_m$  ของวงจร

เนื่องจากคุณลักษณะการทำงานของวงจรขยายสัญญาณแบบผลต่าง ทำให้แรงดันในวงจรมีความสัมพันธ์ดังต่อไปนี้

$$V_{in1} - V_{in2} = V_{GS1} - V_{GS2} \quad (ก4.3)$$

จากนั้นแทนสมการ (ก4.2) ลงใน (ก4.3) จะได้

$$V_{in1} - V_{in2} = \sqrt{\frac{2I_{D1}}{\mu C_{ox} \left(\frac{W}{L}\right)_1}} + V_{TH1} - \sqrt{\frac{2I_{D2}}{\mu C_{ox} \left(\frac{W}{L}\right)_2}} - V_{TH2} \quad (ก4.4)$$

เมื่อกำหนดให้  $\left(\mu C_{ox} \frac{W}{L}\right)_1 = \left(\mu C_{ox} \frac{W}{L}\right)_2 = \left(\mu C_{ox} \frac{W}{L}\right)$  และ  $V_{TH1} = V_{TH2} = V_{TH}$  และยกกำลังสองทั้งสองข้างของสมการ (ก4.4) จะได้

$$(V_{in1} - V_{in2})^2 = 2 \left( \frac{I_{D1} + I_{D2} - 2\sqrt{I_{D1}I_{D2}}}{\left(\mu C_{ox} \frac{W}{L}\right)} \right) \quad (ก4.5)$$

พิจารณาที่โหนด x จะพบว่าค่า  $I_{D1} + I_{D2} = I_B$  ในรูปที่ ก4 จะได้ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\left(\mu C_{ox} \frac{W}{L}\right)}{2} (V_{in1} - V_{in2})^2 - I_B = -2\sqrt{I_{D1}I_{D2}} \quad (ก4.6)$$

เมื่อทำการยกกำลังสองทั้งสองข้างของสมการ (ก4.6) จะได้

$$\left(\mu C_{ox} \frac{W}{L}\right)^2 (V_{in1} - V_{in2})^4 - 2I_B (V_{in1} - V_{in2})^2 + I_B^2 = 4I_{D1}I_{D2} \quad (ก4.7)$$

แทนค่า  $4I_{D1}I_{D2} = I_B - (I_{D1} - I_{D2})^2$  ลงในสมการ (ก4.7) จะได้

$$I_{D1} - I_{D2} = \frac{1}{2} \left(\mu C_{ox} \frac{W}{L}\right) (V_{in1} - V_{in2}) \sqrt{\frac{4I_B}{\left(\mu C_{ox} \frac{W}{L}\right)} - (V_{in1} - V_{in2})^2} \quad (ก4.8)$$

โดยกำหนดให้  $\Delta I_D = I_{D1} - I_{D2}$  และ  $\Delta V_{in} = V_{in1} - V_{in2}$  จะได้

$$\frac{\Delta I_D}{\Delta V_{in}} = \frac{1}{2} \left(\mu C_{ox} \frac{W}{L}\right) \sqrt{\frac{4I_B}{\left(\mu C_{ox} \frac{W}{L}\right)} - (V_{in1} - V_{in2})^2} \quad (ก4.9)$$

จากนั้นทำการอนุพันธ์อิงตัวแปรเสริม ได้เท่ากับ

$$\frac{\partial \Delta I_D}{\partial \Delta V_{in}} = \frac{1}{2} \left(\mu C_{ox} \frac{W}{L}\right) \frac{\frac{4I_B}{\left(\mu C_{ox} \frac{W}{L}\right)} - 2\Delta V_{in}^2}{\sqrt{\frac{4I_B}{\left(\mu C_{ox} \frac{W}{L}\right)} - \Delta V_{in}^2}} \quad (ก4.10)$$

และเมื่อกำหนดให้  $\Delta V_{in} = 0$  จะสามารถหาค่า  $g_m$  ของวงจร VDBA ได้ตั้งความสัมพันธ์ต่อไปนี้

$$g_m = \sqrt{\mu C_{ox} \left(\frac{W}{L}\right) I_B} \quad (ก4.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

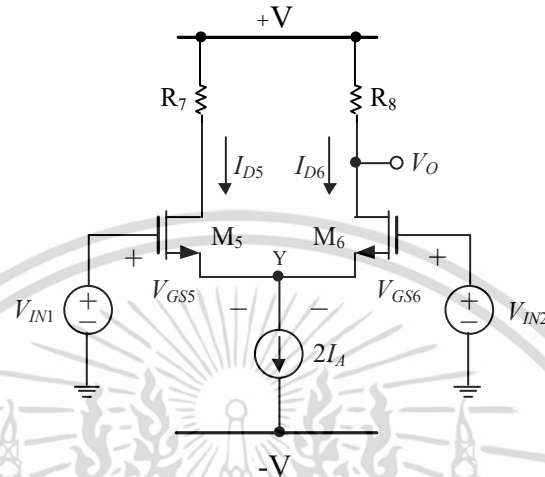
การวิเคราะห์คุณสมบัติของวงจรตามแรงดัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ข1 การวิเคราะห์คุณสมบัติของวงจรตามแรงดันกรณีสัญญาณขนาดใหญ่

คุณสมบัติของวงจรตามแรงดันเมื่อวิเคราะห์มอสทรานซิสเตอร์  $M_5 - M_8$  สำหรับกรณีสัญญาณขนาดใหญ่ แสดงดังรูป ข1 กำหนดให้มอสทรานซิสเตอร์  $M_5 - M_6$  มีความสมพงษ์กันทุกประการ ส่งผลให้ค่า  $I_{D5} = I_{D6}$



รูปที่ ข1 วงจรตามแรงดันกรณีสัญญาณขนาดใหญ่

เมื่อพิจารณาที่โหนด Y จากกฎ KCL สามารถหาความสัมพันธ์ของสมการได้ดังนี้

$$I_{D5} + I_{D6} = 2I_A \quad (\text{ข1.1})$$

เมื่อกำหนดให้  $I_{D5} = I_{D6} = I_D$  ส่งผลให้สมการเท่ากับ

$$I_D = I_A \quad (\text{ข1.2})$$

เมื่อพิจารณาที่โหนด  $V_O$  จากกฎของโอห์ม สามารถหาค่า  $I_D$  หรือ  $I_A$  ได้ดังนี้

$$I_A = \frac{V_+ - V_O}{R_8} \quad (\text{ข1.3})$$

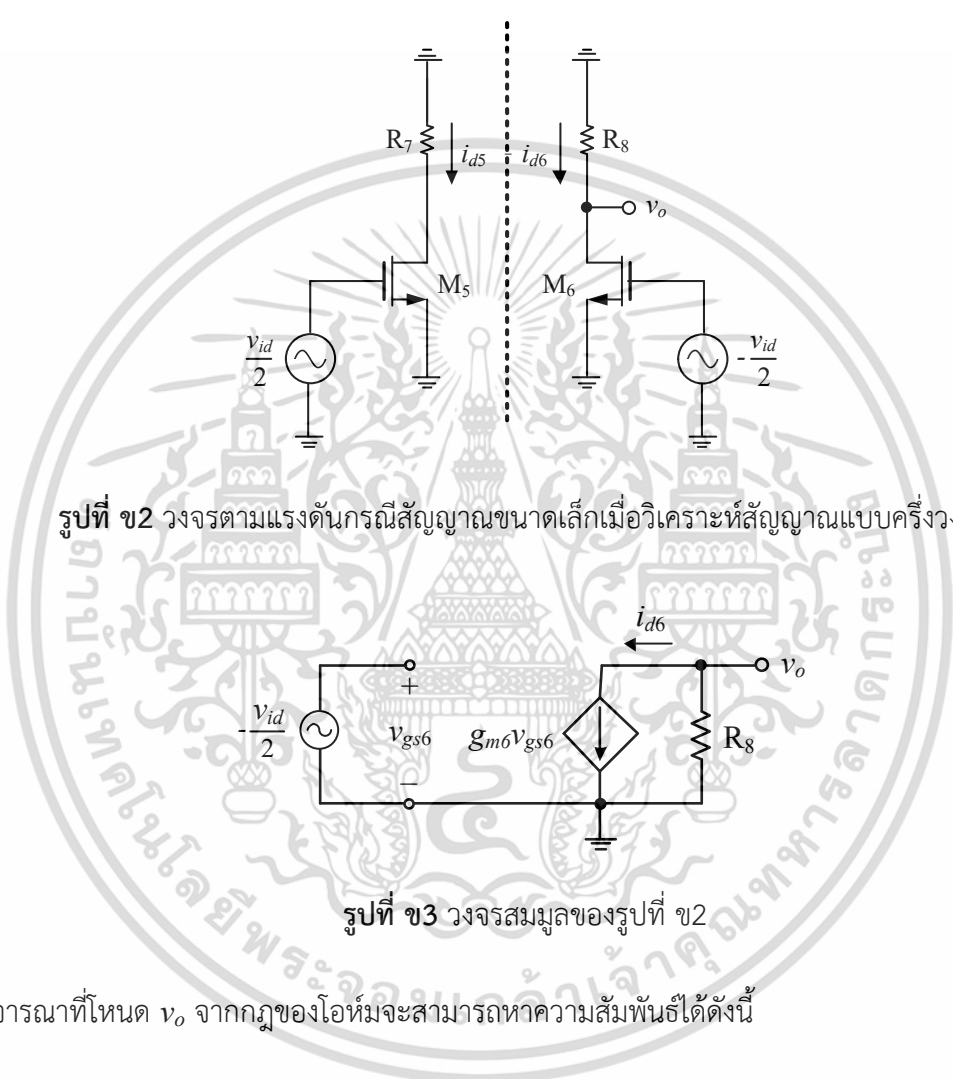
ดังนั้น  $V_O$  มีค่าเท่ากับ

$$V_O = V_+ - (R_8 I_A) \quad (\text{ข1.4})$$

**ข2 การวิเคราะห์คุณสมบัติของวงจรตามแรงดันกรณีสัญญาณขนาดเล็ก**

การวิเคราะห์คุณสมบัติของวงจรตามแรงดันกรณีสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

$M_5 - M_8$  เมื่อกำหนดให้  $v_{in} = \frac{v_{id}}{2} + \frac{v_{id}}{2} = v_{id}$  โดยพิจารณาผลการทำงานของสัญญาณโหมดผลต่าง ด้วยเทคนิคการวิเคราะห์สัญญาณแบบครึ่งวงจร อธิบายได้ดังรูปที่ ข2 ซึ่งสามารถเขียนวงจรสมมูลได้ ดังรูปที่ ข3



รูปที่ ข2 วงจรตามแรงดันกรณีสัญญาณขนาดเล็กเมื่อวิเคราะห์สัญญาณแบบครึ่งวงจร

รูปที่ ข3 วงจรสมมูลของรูปที่ ข2

พิจารณาที่โหนด  $v_o$  จากกฎของโอห์มจะสามารถหาความสัมพันธ์ได้ดังนี้

$$i_{d6} = -\frac{v_o}{R_8} \tag{ข2.1}$$

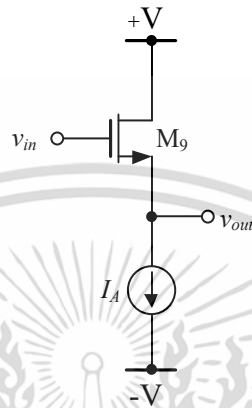
โดยที่  $i_{d6} = g_{m6}v_{gs6}$  และ  $v_{gs6} = -\frac{v_{id}}{2}$  จะได้

$$v_o = g_{m6}R_8\left(\frac{v_{id}}{2}\right) \tag{ข2.2}$$

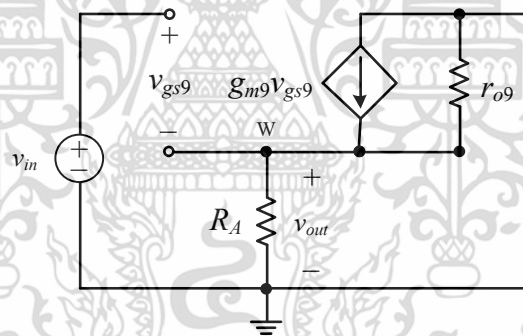
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ข3 การวิเคราะห์คุณสมบัติของวงจรขยายสัญญาณเดรนร่วม

การวิเคราะห์คุณสมบัติสำหรับมอสทรานซิสเตอร์  $M_9$  ของวงจรตามแรงดันที่นำเสนอ นั้นมีคุณสมบัติเป็นวงจรขยายสัญญาณเดรนร่วม เมื่อทำการจ่ายแรงดัน  $V_{in}$  เข้าสู่วงจร ดังรูปที่ ข4 และสามารถหาจรสมมูลได้ดังรูปที่ ข5 เมื่อกำหนดให้  $R_A$  คือความต้านทานภายในของแหล่งจ่ายกระแส  $I_A$



รูปที่ ข4 การวิเคราะห์คุณสมบัติของมอสทรานซิสเตอร์  $M_9$



รูปที่ ข5 วงจรสมมูลของรูปที่ ข4

จากรูปที่ ข5 เมื่ออาศัยคุณสมบัติกฎแรงดันของเคอร์ชอฟฟ์ (Kirchhoff's Voltage Law, KVL) สามารถหาค่า  $v_{gs9}$  เท่ากับ

$$v_{gs9} = v_{in} - v_{out} \quad (ข3.1)$$

พิจารณาที่โหนด w จากกฎ KCL จะได้

$$\frac{v_{out}}{R_A // r_{o9}} = g_{m9} v_{gs9} \quad (ข3.2)$$

จากนั้นแทนสมการ (ข3.1) ลงใน (ข3.2) จะได้  
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{v_{out}}{R_A // r_{o9}} = g_{m9} (v_{in} - v_{out}) \quad (ข3.3)$$

ดังนั้นค่าอัตราขยายแรงดัน ( $\frac{v_{out}}{v_{in}}$ ) มีค่าเท่ากับ

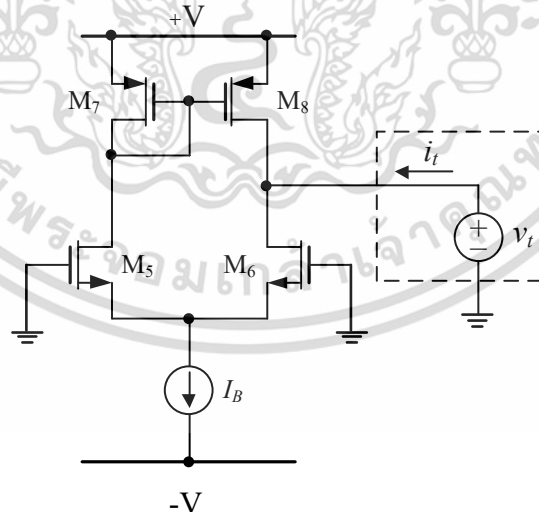
$$\frac{v_{out}}{v_{in}} = \frac{g_{m9}}{\frac{1}{R_A // r_{o9}} + g_{m9}} \quad (ข3.4)$$

เมื่อประมาณว่า  $(R_A // r_{o9}) \gg g_{m9}$  จะได้

$$\frac{v_{out}}{v_{in}} \approx 1 \quad (ข3.5)$$

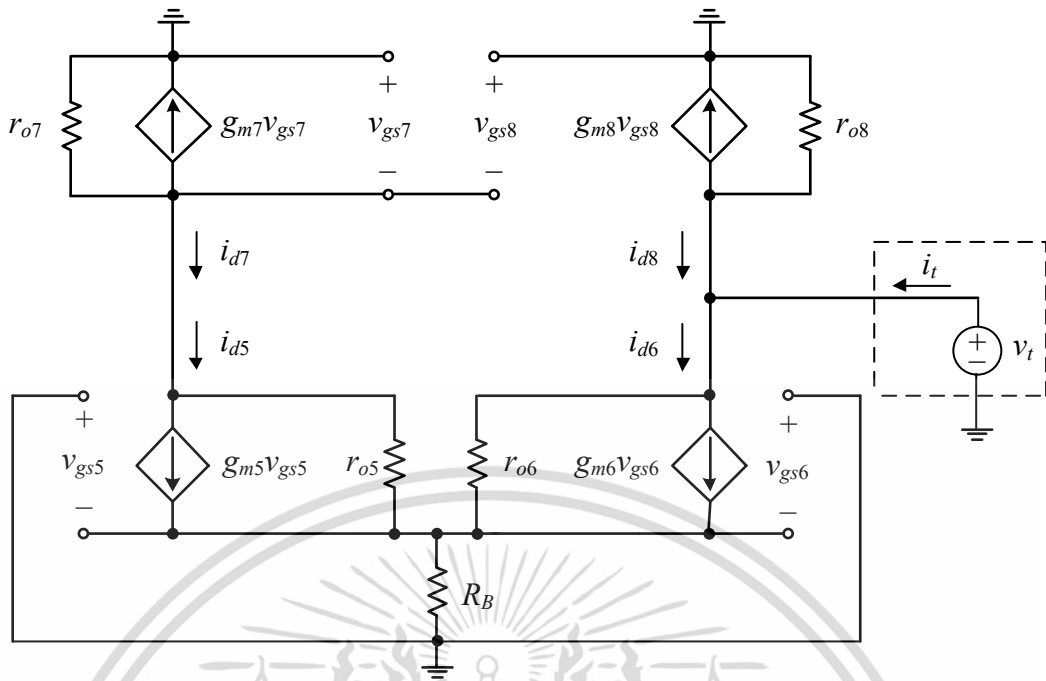
#### ข4 การวิเคราะห์หาค่าความต้านทานเอาต์พุต ( $r_o$ ) ของวงจรขยายค่าความนำ

การวิเคราะห์หาค่าความต้านทานเอาต์พุตของวงจรขยายค่าความนำ เมื่อจ่ายแรงดันไฟฟ้า  $v_t$  ที่ด้านเอาต์พุตระหว่างมอสทรานซิสเตอร์  $M_6$  และ  $M_8$  พร้อมทั้งให้อินพุตของวงจรลงกราวด์ ดังรูปที่ ข6 จากรูปที่ ข6 เมื่อนำแรงดันไฟตรงของวงจรลงกราวด์ และกำหนดให้  $R_B$  คือ ความต้านทานภายในของแหล่งจ่ายกระแส  $I_B$  ซึ่งสามารถเขียนเป็นวงจรสมมูลได้ดังรูปที่ ข7



รูปที่ ข6 การวิเคราะห์หาค่าความต้านทานเอาต์พุต ( $r_o$ ) ของวงจรขยายค่าความนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข7 วงจรสมมูลของรูปที่ ข6

รูปที่ ข7 แสดงให้เห็นว่า  $v_{gs5}$ ,  $v_{gs6}$ ,  $v_{gs7}$  และ  $v_{gs8}$  มีค่าเท่ากับศูนย์ จึงส่งผลให้กระแส  $i_{d5}$ ,  $i_{d6}$ ,  $i_{d7}$  และ  $i_{d8}$  ไม่ไหลในวงจร ดังนั้นสามารถหาค่า  $r_o$  ได้ดังนี้

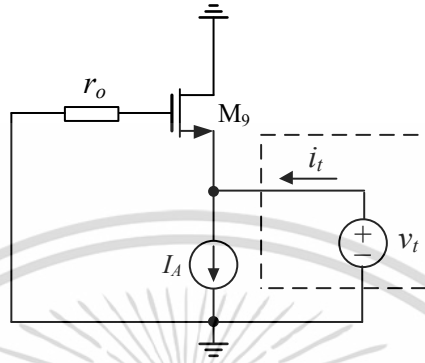
$$r_o = \frac{v_t}{i_t} = (R_B + r_{o6}) // r_{o8} \tag{ข4.1}$$

โดยที่  $R_B$  ประมาณว่ามีค่าน้อยมากๆ จะส่งผลให้  $r_o$  มีค่าเท่ากับ

$$r_o = \frac{v_t}{i_t} = r_{o6} // r_{o8} \tag{ข4.2}$$

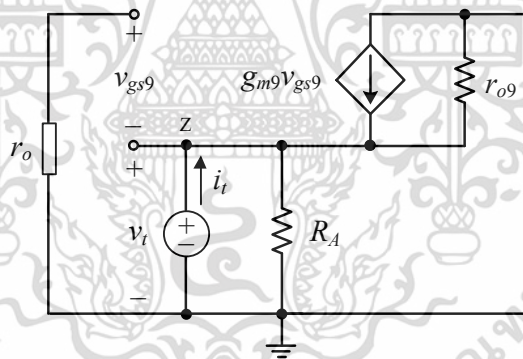
### ข5 การวิเคราะห์หาค่าความต้านทานเอาต์พุต ( $r_{out}$ ) ของวงจรตามแรงดัน

จากผลการวิเคราะห์ค่า  $r_o$  สำหรับ  $M_5 - M_8$  ของหัวข้อก่อนหน้านี้ ได้นำมาต่อยอดเพื่อวิเคราะห์หาคคุณสมบัติความต้านทานเอาต์พุต ( $r_{out}$ ) โดยจ่ายแรงดันไฟฟ้า  $v_t$  ที่ด้านเอาต์พุตวงจรตามแรงดัน และนำส่วนอินพุตของวงจรรวมถึงแรงดันไฟตรงลงกราวด์ทั้งหมด อธิบายได้ดังรูปที่ ข8



รูปที่ ข8 การวิเคราะห์หาคคุณสมบัติความต้านทานเอาต์พุต ( $r_{out}$ )

จากรูปที่ ข8 เมื่อกำหนดให้  $R_A$  คือ ความต้านทานภายในของแหล่งจ่ายกระแส  $I_A$  สามารถเขียนเป็นวงจรสมมูล ได้ดังรูปที่ ข9



รูปที่ ข9 วงจรสมมูลของรูปที่ ข8

จากรูปที่ ข9 เมื่อพิจารณาโหนด Z ด้วยคุณสมบัติ KCL จะได้

$$i_t + g_{m9} v_{gs9} = \frac{v_t}{R_A // r_{o9}} \quad (ข5.1)$$

เนื่องจาก  $v_{gs9} = -v_t$  จะได้

$$i_t - g_{m9} v_t = \frac{v_t}{R_A // r_{o9}} \quad (ข5.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสามารถวิเคราะห์หา  $r_{out}$  ได้ดังสมการต่อไปนี้

$$r_{out} = \frac{v_t}{i_t} = \frac{1}{\left(\frac{1}{R_A // r_{o9}}\right) + g_{m9}} \quad (ข5.3)$$

เนื่องจาก  $(R_A // r_{o9}) \gg g_{m9}$  ทำให้

$$r_{out} = \frac{v_t}{i_t} = \frac{1}{g_{m9}} \quad (ข5.4)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ค

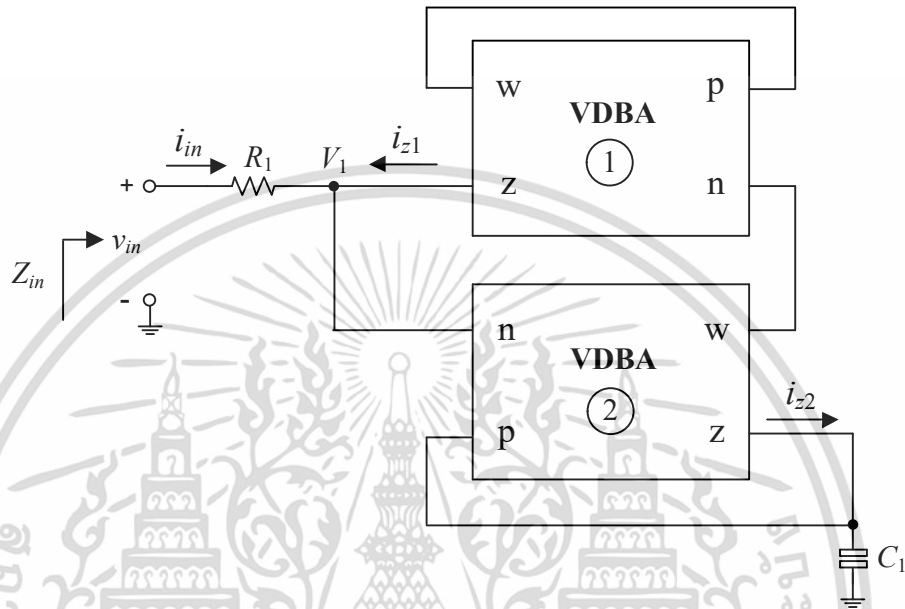
### การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 3.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ค1 การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าเทียบกราวด์ที่นำเสนอในรูปแบบที่ 3.1 ในทางอุดมคติ**

วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอในรูปแบบที่ ค1 สามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) ของวงจรได้โดยอาศัยคุณสมบัติของวงจร VDBA ในทางอุดมคติ



รูปที่ ค1 วงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอในรูปแบบที่ 3.1

คุณสมบัติการทำงานของวงจร VDBA ในทางอุดมคติสามารถอธิบายความสัมพันธ์ของแรงดันและกระแสได้ดังต่อไปนี้

$$i_p = i_n = 0 \tag{ค1.1}$$

$$i_z = g_m (v_p - v_n) \tag{ค1.2}$$

และ  $v_w = v_z$  (ค1.3)

เมื่อ  $V_1 = v_{w1} = v_{z1} = v_{p1} = v_{n2}$  และ  $v_{w2} = v_{z2} = v_{n1}$  ดังนั้นจากสมการ (ค1.2) จะได้  $i_{z1}$  และ  $i_{z2}$  เท่ากับ

$$i_{z1} = g_{m1} (V_1 - v_{z2}) \tag{ค1.4}$$

และ  $i_{z2} = g_{m2} (v_{z2} - V_1)$  (ค1.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยกระแสที่ไหลผ่าน  $C_1$  มีค่าเท่ากับ

$$i_{C_1} = sC_1 v_{z2} \quad (\text{ค1.6})$$

เมื่อพิจารณาที่ขั้ว  $z$  ของวงจร VDBA ตัวที่ 2 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์ (Kirchoff's current law, KCL) จะได้

$$i_{z2} = i_{C_1} \quad (\text{ค1.7})$$

แทนสมการ (ค1.5) และ (ค1.6) ลงใน (ค1.7) จะได้

$$g_{m2}(v_{z2} - V_1) = sC_1 v_{z2} \quad (\text{ค1.8})$$

จะได้  $v_{z2}$  เท่ากับ

$$v_{z2} = \frac{g_{m2}V_1}{g_{m2} - sC_1} \quad (\text{ค1.9})$$

พิจารณาที่โหนด  $V_1$  ของวงจร เมื่ออาศัยกฎ KCL จะได้

$$i_{in} = -i_{z1} \quad (\text{ค1.10})$$

แทนสมการ (ค1.4) ลงใน (ค1.10) จะได้

$$i_{in} = -g_{m1}(V_1 - v_{z2}) \quad (\text{ค1.11})$$

แทนสมการ (ค1.9) ลงใน (ค1.11) จะได้

$$i_{in} = -g_{m1} \left[ V_1 - \left( \frac{g_{m2}V_1}{g_{m2} - sC_1} \right) \right] \quad (\text{ค1.12})$$

จัดรูปสมการได้ดังนี้

$$\frac{V_1}{i_{in}} = -\frac{1}{g_{m1}} + \frac{g_{m2}}{g_{m1}sC_1} \quad (\text{ค1.13})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาที่ขั้วอินพุตของวงจรจะสามารถหา  $Z_{in}$  ได้เท่ากับ

$$\frac{v_{in}}{i_{in}} = R_1 - \frac{1}{g_{m1}} + \frac{g_{m2}}{g_{m1}g_{m1}C_1} \quad (\text{ค1.14})$$

เมื่อกำหนดให้  $R_1 = 1/g_{m1}$  จะได้ค่าความจุไฟฟ้าสมมูล ( $C_{eq}$ ) ของวงจรที่นำเสนอเท่ากับ

$$C_{eq} = \frac{g_{m1}}{g_{m2}} C_1 \quad (\text{ค1.15})$$

สมการข้างต้นแสดงให้เห็นว่าค่าความจุไฟฟ้าสมมูล ( $C_{eq}$ ) ของวงจรที่นำเสนอสามารถปรับค่าทางอิเล็กทรอนิกส์ได้ด้วย  $g_{m1}$  และ/หรือ  $g_{m2}$  ของวงจร VDBA

## ค2 การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าเทียบกราวด์ที่นำเสนอในรูปแบบที่ 3.1 ในทางปฏิบัติ

การวิเคราะห์คุณสมบัติกรณีไม่เป็นไปอุดมคติของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปแบบ ค1 สามารถหาค่าอิมพีแดนซ์อินพุตโดยอาศัยคุณสมบัติของวงจร VDBA ในทางปฏิบัติ ซึ่งมีความสัมพันธ์ระหว่างแรงดันกับกระแสดังต่อไปนี้

$$i_p = i_n = 0 \quad (\text{ค2.1})$$

$$i_z = \alpha g_m (v_p - v_n) \quad (\text{ค2.2})$$

และ 
$$v_w = \beta v_z \quad (\text{ค2.3})$$

จากสมการ (ค2.2) เมื่อพิจารณาวงจร VDBA ตัวที่ 1 จะได้  $i_{z1}$  เท่ากับ

$$i_{z1} = \alpha_1 g_{m1} (v_{p1} - v_{n1}) \quad (\text{ค2.4})$$

และจากสมการ (ค2.3) เมื่อ  $v_{w1} = v_{p1} = \beta_1 v_{z1} = \beta_1 V_1$  และ  $v_{w2} = v_{n1} = \beta_2 v_{z2}$  จะได้

$$i_{z1} = \alpha_1 g_{m1} (\beta_1 V_1 - \beta_2 v_{z2}) \quad (\text{ค2.5})$$

จากสมการ (ค2.2) เมื่อพิจารณาวงจร VDBA ตัวที่ 2 จะได้  $i_{z2}$  เท่ากับ

$$i_{z2} = g_{m2} (v_{z2} - V_1) \quad (\text{ค2.6})$$

ซึ่งกระแสที่ไหลผ่าน  $C_1$  มีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{C_1} = sC_1 v_{z2} \quad (ค2.7)$$

พิจารณาที่ขั้ว z ของวงจร VDBA ตัวที่ 2 เมื่อใช้กฎ KCL จะได้

$$i_{z2} = i_{C_1} \quad (ค2.8)$$

แทนสมการ (ค2.6) และ (ค2.7) ลงใน (ค2.8) จะได้

$$g_{m2}(v_{z2} - V_1) = sC_1 v_{z2} \quad (ค2.9)$$

ย้ายข้างสมการหา  $v_{z2}$  ได้เท่ากับ

$$v_{z2} = V_1 \left( \frac{\alpha_2 g_{m2}}{\alpha_2 g_{m2} - sC_1} \right) \quad (ค2.10)$$

พิจารณาที่ขั้ว z ของวงจร VDBA ตัวที่ 1 โดยใช้กฎ KCL จะได้

$$i_{in} = -i_{z1} \quad (ค2.11)$$

แทนสมการ (ค2.5) ลงใน (ค2.11) จะได้

$$i_{in} = -\alpha_1 g_{m1} (\beta_1 v_1 - \beta_2 v_{z2}) \quad (ค2.12)$$

ย้ายข้างสมการได้ดังนี้

$$\frac{V_1}{i_{in}} = \frac{\alpha_2 g_{m2} - sC_1}{\alpha_1 \alpha_2 g_{m1} g_{m2} (\beta_2 - \beta_1) + \alpha_1 g_{m1} \beta_1 sC_1} \quad (ค2.13)$$

พิจารณาที่ขั้วอินพุตของวงจรสามารถหาค่า  $Z_{in}$  ได้เท่ากับ

$$Z_{in} = \frac{v_{in}}{i_{in}} = R_1 + \left\{ \frac{\alpha_2 g_{m2} - sC_1}{\alpha_1 g_{m1} [\alpha_2 g_{m2} (\beta_2 - \beta_1) + sC_1 \beta_1]} \right\} \quad (ค2.14)$$

จากสมการ (ค2.13) เมื่อพิจารณาที่ความถี่สูง ( $f \gg [\alpha_2 g_{m2} (\beta_2 - \beta_1) / C_1 \beta_1]$ ) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_1}{i_{in}} \approx \frac{\alpha_2 g_{m2}}{\alpha_1 g_{m1} \beta_1 s C_1} - \frac{1}{\alpha_1 g_{m1} \beta_1} \quad (\text{ค2.15})$$

พิจารณาที่ขั้วอินพุตของวงจรถบว่า  $Z_{in}$  มีค่าเท่ากับ

$$Z_{in} = \frac{v_{in}}{i_{in}} \approx R_1 - \frac{1}{\alpha_1 g_{m1} \beta_1} + \frac{\alpha_2 g_{m2}}{\alpha_1 g_{m1} \beta_1 s C_1} \quad (\text{ค2.16})$$

เมื่อกำหนดให้  $R_1 \cong 1/(\alpha_1 \beta_1 g_{m1})$  จะได้ค่าความจุไฟฟ้าสมมูลในทางปฏิบัติดังต่อไปนี้

$$C_{eq} = \left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \quad (\text{ค2.17})$$

สมการ (ค2.17) แสดงให้เห็นถึงความไม่เป็นไปตามอุดมคติในการทำงานของวงจรถบที่นำเสนอ หากผู้ใช้งานออกแบบให้  $\alpha_1$  และ  $\alpha_2$  มีค่าใกล้เคียงกันมากที่สุด จะส่งผลให้ค่าความจุไฟฟ้าสมมูลมีความใกล้เคียงกับผลทางทฤษฎีมากขึ้น นอกจากนี้ยังสามารถปรับอัตราส่วนของ  $g_{m1}/g_{m2}$  ชดเชยได้อีกด้วย

### ค3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจรถบ

คุณสมบัติในการทำงานของวงจรถบขึ้นอยู่กับค่าองค์ประกอบต่างๆ ในวงจรถบ ซึ่งถ้าค่าองค์ประกอบที่เปลี่ยนแปลงไปจะส่งผลกับวงจรถบอย่างไรนั้น สามารถตรวจสอบได้จากการวิเคราะห์ค่าความไว (sensitivity, S) อธิบายได้ดังนี้

$$\frac{\% \text{ change in } y}{\% \text{ change in } x} = \frac{\left( \frac{\Delta y}{y} \right) \times 100\%}{\left( \frac{\Delta x}{x} \right) \times 100\%} \quad (\text{ค3.1})$$

เมื่อ  $x$  คือองค์ประกอบในวงจรถบที่เปลี่ยนแปลง และ  $y$  คือคุณสมบัติของวงจรถบที่พิจารณาค่าความไวต่อการเปลี่ยนแปลงค่า  $x$  จากสมการ (ค3.1) พบว่าหากอัตราส่วนดังกล่าวมีค่าต่ำๆ หรือมีค่าน้อยกว่าหนึ่งจะหมายถึงวงจรถบมีเสถียรภาพที่ดี เมื่อกำหนดให้  $S_x^y$  แทนค่าความไวของคุณสมบัติ  $y$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบ  $x$  [13] ดังนั้นจะสามารถเขียนได้ใหม่คือ

$$S_x^y = \frac{\left( \frac{\Delta y}{y} \right)}{\left( \frac{\Delta x}{x} \right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial(\ln y)}{\partial(\ln x)} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (\text{ค3.2})$$

จากสมการ (ค2.17) แสดงถึงค่าความจุไฟฟ้าสมมูลในทางปฏิบัติ ซึ่งสามารถนำไปวิเคราะห์หาค่าความไวโดยอาศัยสมการ (ค3.2) ได้ดังนี้

$$S_{\alpha_1}^{C_{eq}} = \frac{\alpha_1}{C_{eq}} \cdot \frac{\partial C_{eq}}{\partial \alpha_1} \quad (\text{ค3.3})$$

แทนค่าสมการ (ค2.17) ลงใน (ค3.3) จะได้

$$S_{\alpha_1}^{C_{eq}} = \frac{\alpha_1}{\left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1} \cdot \frac{\partial \left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1}{\partial \alpha_1} \quad (\text{ค3.4})$$

เมื่อตั้งตัวแปรค่าคงที่ออกจากอนุพันธ์จะได้

$$S_{\alpha_1}^{C_{eq}} = \left[ \frac{\alpha_1}{\left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1} \cdot \left( \frac{\beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \right] \cdot \frac{\partial \alpha_1}{\partial \alpha_1} \quad (\text{ค3.5})$$

หรือ

$$S_{\alpha_1}^{C_{eq}} = \frac{\partial \alpha_1}{\partial \alpha_1} = 1 \quad (\text{ค3.6})$$

เมื่อวิเคราะห์ค่าความไวของ  $C_{eq}$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆ ได้แก่  $\alpha_1$ ,  $\alpha_2$ ,  $\beta_1$ ,  $\beta_2$ ,  $g_{m1}$ ,  $g_{m2}$  และ  $C_{eq}$  โดยใช้วิธีเดียวกับที่นำเสนอในข้างต้น แสดงดังต่อไปนี้

$$S_{\alpha_1}^{C_{eq}} = S_{\beta_1}^{C_{eq}} = S_{g_{m1}}^{C_{eq}} = 1 \quad (\text{ค3.7})$$

$$S_{\alpha_2}^{C_{eq}} = S_{g_{m2}}^{C_{eq}} = -1 \quad (\text{ค3.8})$$

และ

$$S_{C_1}^{C_{eq}} = 1 \quad (\text{ค3.9})$$

จากสมการ (ค3.7) ถึง (ค3.9) พบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง ดังนั้นวงจรที่นำเสนอจึงมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบต่างๆ ในวงจรที่ต่ำ

#### ค4 การวิเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธในรูปที่ 3.10

วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธแสดงดังรูปที่ ค2 โดยที่  $R_S$  และ  $R_L$  คือความต้านทานภายในแหล่งจ่ายและความต้านของโหลดตามลำดับ จากการนอร์มอลไลซ์ (normalized value) เมื่อความถี่กลาง (central frequency)  $\omega_c = 1$  rad/sec จะพบว่าค่าอุปกรณ์ต่างๆ ในวงจรแสดงดังตารางที่ ค1 โดยวิทยานิพนธ์ฉบับนี้เลือกใช้  $\omega_c = 628$  krad/sec หรือค่าคงที่ในการสเกลความถี่ (frequency scaling factor)  $k_f = 628$  krad/sec และค่าคงที่ในการสเกลขนาด (magnitude scaling factor)  $k_m = 1000$  เมื่อแทน  $k_f$   $k_m$  และค่าอุปกรณ์ในตารางที่ ค1 ลงในสมการ (ค4.1) ถึง (ค4.3) จะได้ค่าอุปกรณ์ใหม่ดังตารางที่ ค2 เมื่อนำไปสังเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธดังรูปที่ ค3 โดยที่อุปกรณ์  $C_2$  และ  $C_4$  ถูกต่อแทนด้วยวงจรคูณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ ค1 เมื่อกำหนดให้  $C_1 = 1$  nF  $I_{Bi}$  และ  $g_{mi}$  ( $i = 1, 2$ ) แสดงดังตารางที่ ค3

$$R_{new} = k_m R_{old} \quad (ค4.1)$$

$$L_{new} = \frac{k_m}{k_f} L_{old} \quad (ค4.2)$$

และ 
$$C_{new} = \frac{1}{k_m k_f} C_{old} \quad (ค4.3)$$

โดยที่ตัวห้อย “new” แทนถึงค่าอุปกรณ์ใหม่หลังจากทำงานสเกล และตัวห้อย “old” แทนถึงค่าอุปกรณ์ก่อนทำการสเกล [13]

ตารางที่ ค1 ค่าอุปกรณ์ของวงจรกรองสัญญาณในรูปที่ ค2 เมื่อ  $\omega_c = 1$  rad/sec

อันดับ	$L_1$ (H)	$C_2$ (F)	$L_3$ (H)	$C_4$ (F)	$R_S = R_L$ ( $\Omega$ )
4	1.848	0.7654	0.7654	1.848	1

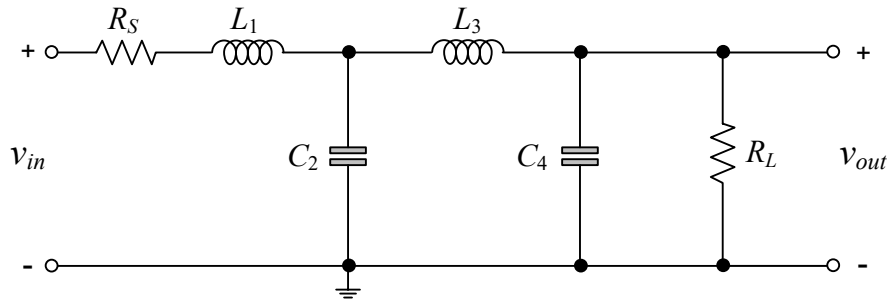
ตารางที่ ค2 ค่าอุปกรณ์ของวงจรกรองสัญญาณในรูปที่ ค2 เมื่อ  $\omega_c = 628$  krad/sec

อันดับ	$L_1$ (H)	$C_2$ (F)	$L_3$ (H)	$C_4$ (F)	$R_S = R_L$ ( $\Omega$ )
4	1.218	2.9411	2.9411	1.218	1

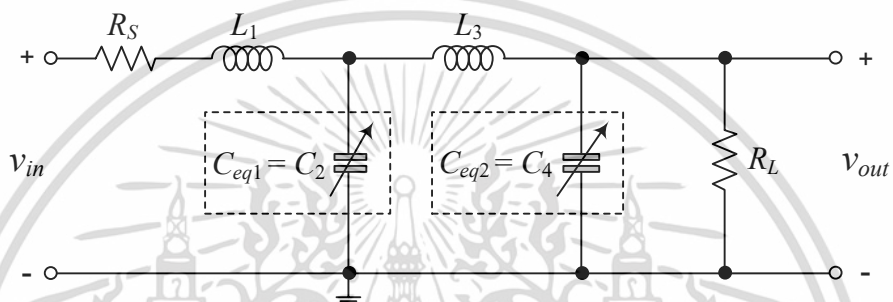
ตารางที่ ค3 รายละเอียดการแปรค่า  $I_{Bi}$  และ  $g_{mi}$  ของวงจร VDBA สำหรับค่า  $C_{eq1}$  และ  $C_{eq2}$

$C_{eq}$ (nF)	$I_{Bi}$ ( $\mu$ A)		$g_{mi}$ (mA/V)	
	$I_{B1}$	$I_{B2}$	$g_{m1}$	$g_{m2}$
$C_{eq1} = C_2 = 2.9$	200	25	2.24	0.79
$C_{eq2} = C_4 = 1.2$	150	100	1.94	1.58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค2 วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธในรูปที่ 3.10



รูปที่ ค3 วงจรกรองความถี่ต่ำอันดับสี่แบบบัตเตอร์เวิร์ธในรูปที่ ค2 โดยใช้วงจรคูลค่าความจุไฟฟ้าที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ง

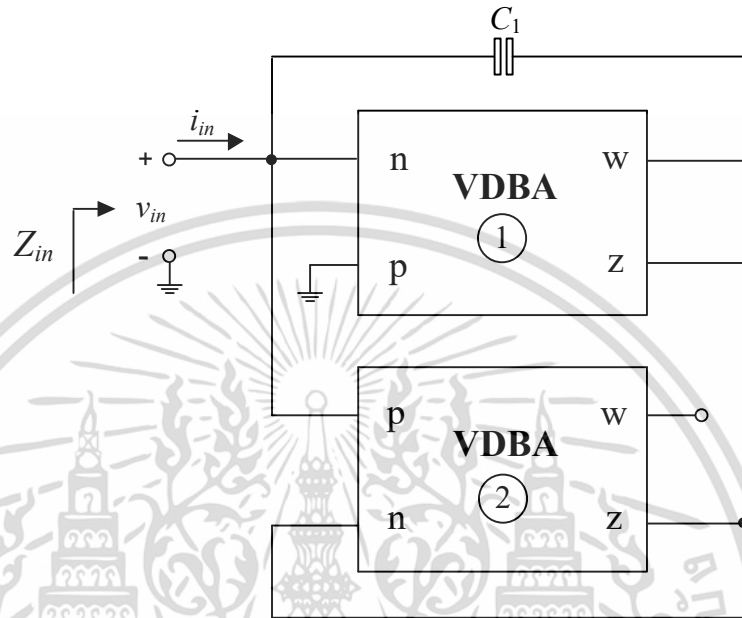
### การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 4.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ง1 การวิเคราะห์คุณสมบัติของวงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานที่นำเสนอในรูปแบบที่ 4.1 ในทางอุดมคติ**

การวิเคราะห์หาค่าอิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) ของวงจรคูณค่าความจุไฟฟ้าที่นำเสนอในรูปแบบที่ 4.1 โดยอาศัยคุณสมบัติของวงจร VDBA ในทางอุดมคติ แสดงดังรูปที่ ง1



รูปที่ ง1 วงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้ทางอิเล็กทรอนิกส์ที่นำเสนอในรูปแบบที่ 4.1

ความสัมพันธ์ของแรงดันและกระแสในทางอุดมคติของวงจร VDBA สามารถอธิบายได้ดังนี้

$$i_p = i_n = 0 \tag{ง1.1}$$

$$i_z = g_m (v_p - v_n) \tag{ง1.2}$$

และ  $v_w = v_z \tag{ง1.3}$

เมื่อ  $v_{n1} = v_{p2} = v_{in}$  และ  $v_{n2} = v_{z1}$  โดยที่  $v_{p1} = 0$  จากสมการ (ง1.2) จะได้  $i_{z1}$  และ  $i_{z2}$  เท่ากับ

$$i_{z1} = -g_{m1} v_{in} \tag{ง1.4}$$

และ  $i_{z2} = g_{m2} (v_{in} - v_{z1}) \tag{ง1.5}$

โดยกระแสที่ไหลผ่าน  $C_1$  มีค่าเท่ากับ

$$i_{C_1} = sC_1(v_{in} - v_{z1}) \quad (ง1.6)$$

เมื่อพิจารณาที่ขั้ว  $z$  ของวงจร VDBA ทั้งสองตัวด้วยกฎกระแสเคอร์ชอฟฟ์ (Kirchoff's current law, KCL) จะได้

$$i_{z1} = -i_{z2} \quad (ง1.7)$$

แทนสมการ (ง1.4) และ (ง1.5) ลงใน (ง1.7) จะได้

$$-g_{m1}v_{in} = -g_{m2}(v_{in} - v_{z1}) \quad (ง1.8)$$

จะได้  $v_{z1}$  เท่ากับ

$$v_{z1} = \left( \frac{g_{m2} - g_{m1}}{g_{m2}} \right) v_{in} \quad (ง1.9)$$

พิจารณาที่โหนด  $n$  ของวงจร VDBA ตัวที่ 1 เมื่ออาศัยกฎ KCL จะได้

$$i_{in} = i_{C_1} \quad (ง1.10)$$

แทนสมการ (ง1.6) ลงใน (ง1.10) จะได้

$$i_{in} = sC_1(v_{in} - v_{z1}) \quad (ง1.11)$$

แทนสมการ (ง1.9) ลงใน (ง1.11) จะได้

$$i_{in} = sC_1v_{in} \left[ 1 - \left( \frac{g_{m2} - g_{m1}}{g_{m2}} \right) \right] \quad (ง1.12)$$

ดังนั้นสามารถหา  $Z_{in}$  ได้เท่ากับ

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{sC_1} \left( \frac{g_{m2}}{g_{m1}} \right) = \frac{1}{sC_{eq}} \quad (ง1.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ค่าความจุไฟฟ้าสมมูล ( $C_{eq}$ ) ของวงจรที่นำเสนอเท่ากับ

$$C_{eq} = \left( \frac{g_{m1}}{g_{m2}} \right) C_1 \quad (ง1.14)$$

ดังนั้นค่าความจุไฟฟ้าสมมูล ( $C_{eq}$ ) ของวงจรที่นำเสนอดังสมการข้างต้นนั้นสามารถปรับค่าโดยวิธีการทางอิเล็กทรอนิกส์ด้วยอัตราส่วน  $g_{m1}/g_{m2}$  ของวงจร VDBA

## ง2 การวิเคราะห์คุณสมบัติของวงจรคูณค่าความจุไฟฟ้าแบบปรับค่าได้โดยปราศจากตัวต้านทานที่นำเสนอดังรูปที่ 4.1 ในทางปฏิบัติ

การวิเคราะห์คุณสมบัติกรณีไม่เป็นไปอุดมคติของวงจรคูณค่าความจุไฟฟ้าที่นำเสนอในรูป ง1 สามารถหาค่าอิมพีแดนซ์อินพุตโดยอาศัยคุณสมบัติของวงจร VDBA ในทางปฏิบัติ ซึ่งมีความสัมพันธ์ระหว่างแรงดันกับกระแสดังต่อไปนี้

$$i_p = i_n = 0 \quad (ง2.1)$$

$$i_z = \alpha g_m (v_p - v_n) \quad (ง2.2)$$

และ  $v_w = \beta v_z \quad (ง2.3)$

เมื่อ  $v_{n1} = v_{p2} = v_{in}$  โดยที่  $v_{p1} = 0$  ดังนั้นจากสมการ (ง2.2) จะได้  $i_{z1}$  และ  $i_{z2}$  เท่ากับ

$$i_{z1} = -\alpha_1 g_{m1} v_{in} \quad (ง2.4)$$

และ  $i_{z2} = \alpha_2 g_{m2} (v_{in} - v_{n2}) \quad (ง2.5)$

ซึ่งกระแสที่ไหลผ่าน  $C_1$  มีค่าเท่ากับ

$$i_{C_1} = (v_{in} - v_{w1}) s C_1 \quad (ง2.6)$$

จากสมการ (ง2.3)  $v_{w1} = \beta_2 v_{z2} = \beta_1 v_{z1}$  จะได้

$$i_{C_1} = (v_{in} - \beta_1 v_{z1}) s C_1 \quad (ง2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาที่ขั้ว z ของวงจร VDBA เมื่อใช้กฎ KCL จะได้

$$i_{z1} = -i_{z2} \quad (ง2.8)$$

แทนสมการ (ง2.4) และ (ง2.5) ลงใน (ง2.8) จะได้

$$-\alpha_1 g_{m1} v_{in} = -\alpha_2 g_{m2} (v_{in} - \beta_1 v_{z1}) \quad (ง2.9)$$

ย้ายข้างสมการหา  $v_{z1}$  ได้เท่ากับ

$$v_{z1} = \left( \frac{\alpha_2 g_{m2} - \alpha_1 g_{m1}}{\alpha_2 g_{m2} \beta_1} \right) v_{in} \quad (ง2.10)$$

พิจารณาที่โหนด n ของวงจร VDBA ตัวที่ 1 เมื่ออาศัยกฎ KCL จะได้

$$i_{in} = i_{c1} \quad (ง2.11)$$

แทนสมการ (ง2.7) ลงใน (ง2.11) จะได้

$$i_{in} = (v_{in} - \beta_1 v_{z1}) s C_1 \quad (ง2.12)$$

แทนสมการ (ง2.10) ลงใน (ง2.12) จะได้

$$i_{in} = \left[ 1 - \left( \frac{\alpha_2 g_{m2} - \alpha_1 g_{m1}}{\alpha_2 g_{m2}} \right) \beta_1 \right] s C_1 v_{in} \quad (ง2.13)$$

พิจารณาที่ขั้วอินพุตของวงจรสามารถหาค่า  $Z_{in}$  ได้เท่ากับ

$$z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{s C_1} \left( \frac{\alpha_2 g_{m2}}{\alpha_1 g_{m1}} \right) = \frac{1}{s C_{eq}} \quad (ง2.14)$$

จะได้ค่าความจุไฟฟ้าสมมูลในทางปฏิบัติดังต่อไปนี้

$$C_{eq} = \left( \frac{\alpha_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \quad (ง2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ง3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจร

คุณสมบัติในการทำงานของวงจรขึ้นอยู่กับค่าองค์ประกอบต่างๆ ในวงจร ซึ่งถ้าค่าองค์ประกอบที่เปลี่ยนแปลงไปจะส่งผลกับวงจรอย่างไรนั้น สามารถตรวจสอบได้จากการวิเคราะห์ค่าความไว (sensitivity,  $S$ ) อธิบายได้ดังนี้

$$\frac{\% \text{ change in } y}{\% \text{ change in } x} = \frac{\left(\frac{\Delta y}{y}\right) \times 100\%}{\left(\frac{\Delta x}{x}\right) \times 100\%} \quad (ง3.1)$$

เมื่อ  $x$  คือองค์ประกอบในวงจรที่เปลี่ยนแปลง และ  $y$  คือคุณสมบัติของวงจรที่พิจารณาค่าความไวต่อการเปลี่ยนแปลงค่า  $x$  จากสมการ (ง3.1) พบว่าหากอัตราส่วนดังกล่าวมีค่าต่ำๆ หรือมีค่าน้อยกว่าหนึ่งจะหมายถึงวงจรมีเสถียรภาพที่ดี เมื่อกำหนดให้  $S_x^y$  แทนค่าความไวของคุณสมบัติ  $y$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบ  $x$  ดังนั้นจะสามารถเขียนได้ใหม่คือ

$$S_x^y = \frac{\left(\frac{\Delta y}{y}\right)}{\left(\frac{\Delta x}{x}\right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial(\ln y)}{\partial(\ln x)} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (ง3.2)$$

หากวิเคราะห์หาค่าความไวของค่าความจุไฟฟ้าสมมูลในสมการ (ง2.15) ด้วยสมการ (ง3.2) จะได้

$$S_{\alpha_1}^{C_{eq}} = \frac{\alpha_1}{C_{eq}} \cdot \frac{\partial C_{eq}}{\partial \alpha_1} \quad (ง3.3)$$

แทนค่าสมการ (ง2.15) ลงใน (ง3.3) จะได้

$$S_{\alpha_1}^{C_{eq}} = \frac{\alpha_1}{\left(\frac{\alpha_1 g_{m1}}{\alpha_2 g_{m2}}\right) C_1} \cdot \frac{\partial \left(\frac{\alpha_1 g_{m1}}{\alpha_2 g_{m2}}\right) C_1}{\partial \alpha_1} \quad (ง3.4)$$

เมื่อดึงตัวแปรค่าคงที่ออกจากอนุพันธ์จะได้

$$S_{\alpha_1}^{C_{eq}} = \left[ \frac{\alpha_1}{\left(\frac{\alpha_1 g_{m1}}{\alpha_2 g_{m2}}\right) C_1} \cdot \left(\frac{g_{m1}}{\alpha_2 g_{m2}}\right) C_1 \right] \cdot \frac{\partial \alpha_1}{\partial \alpha_1} \quad (ง3.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ 
$$S_{\alpha_1}^{C_{eq}} = \frac{\partial \alpha_1}{\partial \alpha_1} = 1 \quad (ง3.6)$$

เมื่อวิเคราะห์ค่าความไวของ  $C_{eq}$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆ ได้แก่  $\alpha_1$ ,  $\alpha_2$ ,  $g_{m1}$ ,  $g_{m2}$  และ  $C_{eq}$  โดยใช้วิธีเดียวกับที่นำเสนอข้างต้น จะได้ค่าความไวของวงจรดังนี้

$$S_{\alpha_1}^{C_{eq}} = S_{g_{m1}}^{C_{eq}} = 1 \quad (ง3.7)$$

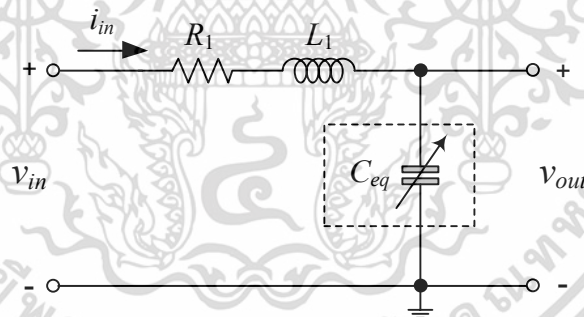
$$S_{\alpha_2}^{C_{eq}} = S_{g_{m2}}^{C_{eq}} = -1 \quad (ง3.8)$$

และ 
$$S_{C_1}^{C_{eq}} = 1 \quad (ง3.9)$$

สมการ (ง3.7) ถึง (ง3.9) พบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง ดังนั้นวงจรที่นำเสนอจึงมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบต่างๆ ในวงจรที่ต่ำ

#### ง4 การวิเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ 4.10

วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 4.1 ได้ถูกนำไปประยุกต์ใช้งานในวงจรกรองผ่านความถี่ต่ำอันดับสองแสดงดังรูปที่ ง2



รูปที่ ง2 วงจรกรองผ่านความถี่ต่ำอันดับสองโดยใช้วงจรคุณค่าความจุไฟฟ้าที่นำเสนอ

เมื่อวิเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ ง2 ด้วยกฎแรงดันของเคอร์ชอฟฟ์ (Kirchhoff's voltage law, KVL) จะได้

$$-v_{in} + v_{R_1} + v_{L_1} + v_{C_{eq}} = 0 \quad (ง4.1)$$

เมื่อ  $v_{R_1} = R_1 i_{in}$ ,  $v_{L_1} = sL_1 i_{in}$  และ  $v_{C_{eq}} = \left( \frac{1}{sC_{eq}} \right) i_{in}$  จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$-v_{in} + R_1 i_{in} + sL_1 i_{in} + \left( \frac{1}{sC_{eq}} \right) i_{in} = 0 \quad (ง4.2)$$

หรือ

$$v_{in} = \left( R_1 + sL_1 + \frac{1}{sC_{eq}} \right) i_{in} \quad (ง4.3)$$

พิจารณาที่ขั้วเอาต์พุตของวงจรสามารถหาค่า  $v_{out}$  ได้เท่ากับ

$$v_{out} = \left( \frac{1}{sC_{eq}} \right) i_{in} \quad (ง4.4)$$

สมการ (ง4.3) และ (ง4.4) สามารถหาอัตราส่วนระหว่าง  $v_{out}$  กับ  $v_{in}$  ได้เท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{\frac{1}{sC_{eq}}}{R_1 + sL_1 + \frac{1}{sC_{eq}}} \quad (ง4.5)$$

เมื่อนำ  $sC_{eq}$  คูณทั้งเศษและส่วนของสมการข้างต้น จะได้

$$\frac{v_{out}}{v_{in}} = \frac{1}{s^2 L_1 C_{eq} + s R_1 C_{eq} + 1} \quad (ง4.6)$$

หากจัดรูปสมการข้างต้นจะได้ฟังก์ชันถ่ายโอนแรงดัน (voltage transfer function) ดังนี้

$$H(s) = \frac{v_{out}(s)}{v_{in}(s)} = \frac{1}{s^2 + s \left( \frac{R_1}{L_1} \right) + \frac{1}{L_1 C_{eq}}} \quad (ง4.7)$$

โดยที่ความถี่คัทออฟ (cutoff frequency,  $f_c$ ) และตัวประกอบคุณภาพ (quality factor,  $Q$ ) มีค่าเท่ากับ

$$f_c = \frac{1}{2\pi \sqrt{L_1 C_{eq}}} \quad (ง4.8)$$

และ

$$Q = \frac{1}{R_1} \sqrt{\frac{L_1}{C_{eq}}} \quad (ง4.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ

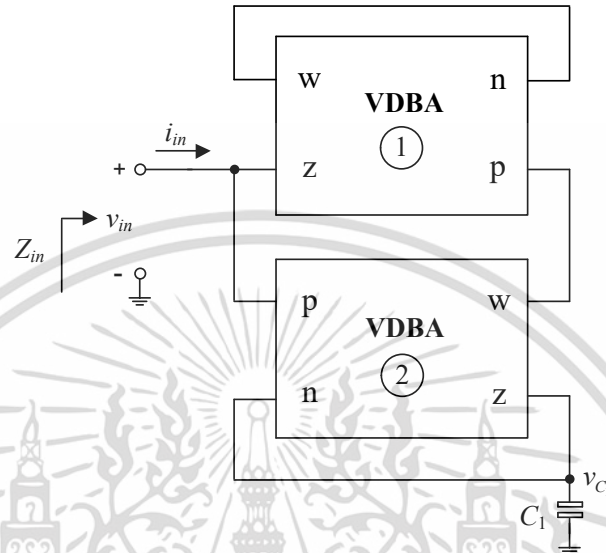
## การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าในรูปที่ 5.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### จ1 การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานที่นำเสนอตั้งรูปที่ 5.1 ในทางอุดมคติ

การวิเคราะห์หาค่าอิมพีแดนซ์อินพุต (input impedance,  $Z_{in}$ ) ของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 5.1 โดยอาศัยคุณสมบัติของวงจร VDBA ในทางอุดมคติ แสดงตั้งรูปที่ จ1



รูปที่ จ1 วงจรคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 5.1

ความสัมพันธ์ของแรงดันและกระแสในทางอุดมคติของวงจร VDBA สามารถอธิบายได้ดังนี้

$$i_p = i_n = 0 \quad (จ1.1)$$

$$i_z = g_m (v_p - v_n) \quad (จ1.2)$$

และ  $v_w = v_z$  (จ1.3)

เมื่อ  $v_{p1} = v_{w2} = v_{z2} = v_{C1}$  และ  $v_{n1} = v_{w1} = v_{z1} = v_{in}$  จากสมการ (จ1.2) จะได้  $i_{z1}$  เท่ากับ

$$i_{z1} = g_{m1} (v_{C1} - v_{in}) \quad (จ1.4)$$

เมื่อ  $v_{p2} = v_{z1} = v_{in}$  และ  $v_{n2} = v_{z2} = v_{C1}$  จากสมการ (จ1.2) จะได้  $i_{z2}$  เท่ากับ

$$i_{z2} = g_{m2} (v_{in} - v_{C1}) \quad (จ1.5)$$

โดยกระแสที่ไหลผ่าน  $C_1$  มีค่าเท่ากับ  
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{C_1} = v_{C_1} (sC_1) \quad (จ1.6)$$

เมื่อพิจารณาที่ขั้ว z ของวงจร VDBA ตัวที่ 2 ด้วยกฎกระแสเคอร์ชอฟฟ์ (Kirchoff's current law, KCL) จะได้

$$i_{C_1} = i_{z2} \quad (จ1.7)$$

แทนสมการ (จ1.5) และ (จ1.6) ลงใน (จ1.7) จะได้

$$v_{C_1} (sC_1) = g_{m2} (v_{in} - v_{C_1}) \quad (จ1.8)$$

จะได้  $v_{C_1}$  เท่ากับ

$$v_{C_1} = \frac{g_{m2} v_{in}}{sC_1 + g_{m2}} \quad (จ1.9)$$

พิจารณาที่โหนด z ของวงจร VDBA ตัวที่ 1 เมื่ออาศัยกฎ KCL จะได้

$$i_{in} = -i_{z1} \quad (จ1.10)$$

แทนสมการ (จ1.4) ลงใน (จ1.10) จะได้

$$i_{in} = -g_{m1} (v_{C_1} - v_{in}) \quad (จ1.11)$$

แทนสมการ (จ1.9) ลงใน (จ1.11) จะได้

$$i_{in} = -g_{m1} \left( \frac{g_{m2} v_{in}}{sC_1 + g_{m2}} - v_{in} \right) \quad (จ1.12)$$

ดังนั้นสามารถหา  $Z_{in}$  ได้เท่ากับ

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1}} + \frac{g_{m2}}{sC_1 g_{m1}} = R_{eq} + \frac{1}{sC_{eq}} \quad (จ1.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นค่าความต้านทานสมมูล ( $R_{eq}$ ) และค่าความจุไฟฟ้าสมมูล ( $C_{eq}$ ) ของวงจรที่นำเสนอเท่ากับ

$$R_{eq} = \frac{1}{g_{m1}} \quad (จ1.14)$$

และ 
$$C_{eq} = \left( \frac{g_{m1}}{g_{m2}} \right) C_1 \quad (จ1.15)$$

## จ2 การวิเคราะห์คุณสมบัติของวงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานที่นำเสนอตั้งรูปที่ 5.1 ในทางปฏิบัติ

กรณีไม่เป็นไปอุดมคติของวงจรคุณค่าความจุไฟฟ้าในรูป จ1 สามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุตโดยอาศัยคุณสมบัติของวงจร VDBA ในทางปฏิบัติ ซึ่งมีความสัมพันธ์ระหว่างแรงดันกับกระแสดังต่อไปนี้

$$i_p = i_n = 0 \quad (จ2.1)$$

$$i_z = \alpha g_m (v_p - v_n) \quad (จ2.2)$$

และ 
$$v_w = \beta v_z \quad (จ2.3)$$

เมื่อ  $v_{p1} = v_{w2} = \beta_2 v_{z2} = \beta_2 v_{C1}$  และ  $v_{n1} = v_{w1} = \beta_1 v_{z1} = \beta_1 v_{in}$  จากสมการ (จ2.2) จะได้  $i_{z1}$  เท่ากับ

$$i_{z1} = \alpha_1 g_{m1} (\beta_2 v_{C1} - \beta_1 v_{in}) \quad (จ2.4)$$

เมื่อ  $v_{p2} = v_{z1} = v_{in}$  และ  $v_{n2} = v_{z2} = v_{C1}$  จากสมการ (จ2.2) จะได้  $i_{z2}$  เท่ากับ

$$i_{z2} = \alpha_2 g_{m2} (v_{in} - v_{C1}) \quad (จ2.5)$$

ซึ่งกระแสที่ไหลผ่าน  $C_1$  มีค่าเท่ากับ

$$i_{C1} = v_{C1} (sC_1) \quad (จ2.6)$$

เมื่อพิจารณาที่ขั้ว z ของวงจร VDBA ตัวที่ 2 ด้วยกฎ KCL จะได้

$$i_{C1} = i_{z2} \quad (จ2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการ (จ2.5) และ (จ2.6) ลงใน (จ2.7) จะได้

$$v_{C_1}(sC_1) = \alpha_2 g_{m2} (v_{in} - v_{C_1}) \quad (จ2.8)$$

จะได้  $v_{C_1}$  เท่ากับ

$$v_{C_1} = \frac{\alpha_2 g_{m2} v_{in}}{sC_1 + \alpha_2 g_{m2}} \quad (จ2.9)$$

พิจารณาที่โหนด z ของวงจร VDBA ตัวที่ 1 เมื่ออาศัยกฎ KCL จะได้

$$i_{in} = -i_{z1} \quad (จ2.10)$$

แทนสมการ (จ2.4) ลงใน (จ2.10) จะได้

$$i_{in} = -\alpha_1 g_{m1} (\beta_2 v_{C_1} - \beta_1 v_{in}) \quad (จ2.11)$$

แทนสมการ (จ2.9) ลงใน (จ2.11) จะได้

$$i_{in} = -\alpha_1 g_{m1} \left[ \beta_2 \left( \frac{\alpha_2 g_{m2} v_{in}}{sC_1 + \alpha_2 g_{m2}} \right) - \beta_1 v_{in} \right] \quad (จ2.12)$$

หรือ

$$\frac{v_{in}}{i_{in}} = \frac{sC_1 + \alpha_2 g_{m2}}{\alpha_1 g_{m1} [\alpha_2 g_{m2} (\beta_1 - \beta_2) + \beta_1 sC_1]} \quad (จ2.13)$$

ถ้า  $\beta_1 = \beta_2$  หรือ  $\omega \gg \frac{\alpha_2 g_{m2} (\beta_1 - \beta_2)}{C_1 \beta_1}$  จะได้ค่า  $Z_{in}$  เท่ากับ

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{\alpha_1 \beta_1 g_{m1}} + \left( \frac{\alpha_2 g_{m2}}{\alpha_1 \beta_1 g_{m1}} \right) \frac{1}{sC_1} = R_{eq} + \frac{1}{sC_{eq}} \quad (จ2.14)$$

ดังนั้นค่าความต้านทานสมมูล ( $R_{eq}$ ) และค่าความจุไฟฟ้าสมมูล ( $C_{eq}$ ) ของวงจรที่นำเสนอเท่ากับ

$$R_{eq} = \frac{1}{\alpha_1 \beta_1 g_{m1}} \quad (จ2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$C_{eq} = \left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \quad (จ2.16)$$

### จ3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจร

คุณสมบัติในการทำงานของวงจรขึ้นอยู่กับค่าองค์ประกอบต่างๆ ในวงจร ซึ่งถ้าค่าองค์ประกอบที่เปลี่ยนแปลงไปจะส่งผลกระทบต่อวงจรอย่างไรนั้น สามารถตรวจสอบได้จากการวิเคราะห์ค่าความไว (sensitivity, S) อธิบายได้ดังนี้

$$\frac{\% \text{ change in } y}{\% \text{ change in } x} = \frac{\left( \frac{\Delta y}{y} \right) \times 100\%}{\left( \frac{\Delta x}{x} \right) \times 100\%} \quad (จ3.1)$$

เมื่อ  $x$  คือองค์ประกอบในวงจรที่เปลี่ยนแปลง และ  $y$  คือคุณสมบัติของวงจรที่พิจารณาค่าความไวต่อการเปลี่ยนแปลงค่า  $x$  จากสมการ (จ3.1) พบว่าหากอัตราส่วนดังกล่าวมีค่าต่ำๆ หรือมีค่าน้อยกว่าหนึ่งจะหมายถึงวงจรมีเสถียรภาพที่ดี เมื่อกำหนดให้  $S_x^y$  แทนค่าความไวของคุณสมบัติ  $y$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบ  $x$  ดังนั้นจะสามารถเขียนได้ใหม่คือ

$$S_x^y = \frac{\left( \frac{\Delta y}{y} \right)}{\left( \frac{\Delta x}{x} \right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial(\ln y)}{\partial(\ln x)} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (จ3.2)$$

หากวิเคราะห์หาค่าความไวของค่าความจุไฟฟ้าสมมูลในสมการ (จ2.16) ด้วยสมการ (จ3.2) จะได้

$$S_{\alpha_1}^{C_{eq}} = \frac{\alpha_1}{C_{eq}} \cdot \frac{\partial C_{eq}}{\partial \alpha_1} \quad (จ3.3)$$

แทนค่าสมการ (จ2.16) ลงใน (จ3.3) จะได้

$$S_{\alpha_1}^{C_{eq}} = \frac{\alpha_1}{\left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1} \cdot \frac{\partial \left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1}{\partial \alpha_1} \quad (จ3.4)$$

เมื่อดึงตัวแปรค่าคงที่ออกจากอนุพันธ์จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{\alpha_1}^{C_{eq}} = \left[ \frac{\alpha_1}{\left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1} \cdot \left( \frac{\beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \right] \cdot \frac{\partial \alpha_1}{\partial \alpha_1} \quad (จ3.5)$$

หรือ 
$$S_{\alpha_1}^{C_{eq}} = \frac{\partial \alpha_1}{\partial \alpha_1} = 1 \quad (จ3.6)$$

เมื่อวิเคราะห์ค่าความไวของ  $R_{eq}$  และ  $C_{eq}$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆ ได้แก่  $\alpha_1, \alpha_2, \beta_1, g_{m1}, g_{m2}$  และ  $C_{eq}$  โดยใช้วิธีเดียวกับที่นำเสนอข้างต้น จะได้ดังนี้

$$S_{\alpha_1}^{R_{eq}} = S_{\beta_1}^{R_{eq}} = S_{g_{m1}}^{R_{eq}} = -1 \quad (จ3.7)$$

$$S_{\alpha_1}^{C_{eq}} = S_{\beta_1}^{C_{eq}} = S_{g_{m1}}^{C_{eq}} = 1 \quad (จ3.8)$$

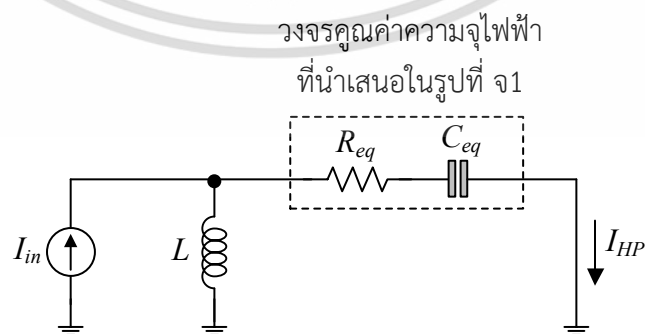
$$S_{\alpha_2}^{C_{eq}} = S_{g_{m2}}^{C_{eq}} = -1 \quad (จ3.9)$$

และ 
$$S_{C_1}^{C_{eq}} = 1 \quad (จ3.10)$$

สมการ (จ3.7) ถึง (จ3.10) พบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง ดังนั้นวงจรคุณค่าความจุไฟฟ้าแบบปรับค่าได้ปราศจากตัวต้านทานโดยใช้ตัวเก็บประจุเทียบกราวด์ที่นำเสนอจึงมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบต่างๆ ในวงจรที่ต่ำ

#### จ4 การวิเคราะห์วงจรกรองผ่านความถี่สูงอันดับสองในรูปที่ 5.11

การประยุกต์ใช้งานของวงจรคุณค่าความจุไฟฟ้าที่นำเสนอดังรูปที่ 5.1 ได้นำไปออกแบบเป็นวงจรกรองผ่านความถี่สูงอันดับสองแสดงดังรูปที่ จ2



รูปที่ จ2 วงจรกรองผ่านความถี่สูงอันดับสอง

โดยใช้วงจรถูกคุณค่าความจุไฟฟ้าที่นำเสนอในรูปที่ 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์วงจรกรองผ่านความถี่สูงอันดับสองในรูปที่ จ2 ด้วยกฎ KCL จะได้

$$I_{in}(s) = I_L + I_{HP} \quad (จ4.1)$$

เมื่อ  $I_L = \frac{v_L}{sL}$  และ  $I_{HP} = \frac{v_L}{R_{eq} + (1/sC_{eq})}$  จะได้

$$I_{in}(s) = \left[ \frac{1}{sL} + \frac{1}{R_{eq} + (1/sC_{eq})} \right] v_L \quad (จ4.2)$$

พิจารณาที่ขั้วเอาต์พุตของวงจรสามารถหาค่า  $I_{out}$  ได้เท่ากับ

$$I_{out} = I_{HP} = \frac{v_L}{R_{eq} + \frac{1}{sC_{eq}}} \quad (จ4.3)$$

สมการ (จ4.2) และ (จ4.3) สามารถหาอัตราส่วนระหว่าง  $I_{out}$  กับ  $I_{in}$  ได้เท่ากับ

$$\frac{I_{out}}{I_{in}} = \frac{sL}{sL + R_{eq} + \frac{1}{sC_{eq}}} \quad (จ4.4)$$

เมื่อนำ  $s/L$  คูณทั้งเศษและส่วนของสมการข้างต้น จะได้

$$\frac{I_{out}}{I_{in}} = \frac{s^2}{s^2 + \left(\frac{R_{eq}}{L}\right)s + \frac{1}{LC_{eq}}} \quad (จ4.5)$$

หากจัดรูปสมการข้างต้นจะได้ฟังก์ชันถ่ายโอนกระแส (current transfer function) ดังนี้

$$H_{HP}(s) = \frac{I_{out}}{I_{in}} = \frac{s^2}{s^2 + \left(\frac{R_{eq}}{L}\right)s + \frac{1}{LC_{eq}}} \quad (จ4.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ความถี่คัทออฟ (cutoff frequency,  $f_c$ ) และตัวประกอบคุณภาพ (quality factor,  $Q$ ) มีค่าเท่ากับ

$$f_c = \frac{1}{2\pi\sqrt{LC_{eq}}} \quad (จ4.7)$$

และ

$$Q = \frac{1}{R_{eq}} \sqrt{\frac{L}{C_{eq}}} \quad (จ4.8)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ฉ

บทความวิจัยที่ได้รับการตีพิมพ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความวิจัยที่ได้รับการตีพิมพ์ในการประชุมวิชาการทางด้านวิศวกรรมอิเล็กทรอนิกส์และการสื่อสารในระดับชาติ และระดับนานาชาติในวิทยานิพนธ์นี้มีจำนวน 6 บทความดังต่อไปนี้

- [1] P. Moonmuang and W. Tangsrirat, “Electronically tunable resistorless capacitance multiplier employing VDBAs”, **Proceedings of the 3<sup>rd</sup> International Conference on Communication and Information Processing (ICCIP 2017)**, Tokyo, Japan, 24-26 November, pp. 512-515, 2017.
- [2] P. Moonmuang, P. Mongkolwai and W. Tangsrirat, “Two-input two-output current-mode universal biquad using only VDTAs and grounded capacitors”, **Proceedings of the 3<sup>rd</sup> International Conference on Control and Robotics Engineering (ICCRE 2018)**, Nagoya, Japan, 20-23 April, pp. 139-142, 2018.
- [3] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based series RC impedance simulator using single grounded capacitor”, **Proceedings of the 4<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST 2018)**, Phuket, Thailand, 4-7 July, article number 8434424, 2018.
- [4] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based electronically tunable capacitance multiplier with a grounded capacitor”, **Proceedings of the 15<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2018)**, Chiang rai, Thailand, 18-21 July, pp. 90-93, 2018.
- [5] P. Moonmuang, P. Mongkolwai and W. Tangsrirat, “Voltage differencing buffered amplifier-based electronically tunable grounded capacitance multiplier”, **Proceedings of the 8<sup>th</sup> International Conference on Informatics, Environment, Energy and Applications (IEEA 2019)**, Osaka, Japan, 16-19 March, pp. 208-211, 2019.
- [6] พิษยานิน มูลเมือง เจษฎาพร สถานทรัพย์ ทศยา ปุคละนันท์ และ วรพงศ ตั้งศรีรัตน์ “วงจรมิติทริกเกอร์ที่ควบคุมขนาดแรงดันเอาต์พุตและฮีสเตอร์รีซิสได้อย่างเป็นเชิงเส้นและเป็นอิสระด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้วงจร VDBA” **การประชุมเครือข่ายวิศวกรรมไฟฟ้า มหาวิทยาลัยราชภัฏวชิรวิทยาดอนเมือง ครั้งที่ 11 จ.พระนครศรีอยุธยา** หน้า. 369-372 2562

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Collection of 2017 Tokyo Conferences

Tokyo, Japan / November 24-26, 2017

2017 3rd International Conference on Communication and Information  
Processing  
(ICCIP2017)



**Tokyo, Japan**  
**November 24-26, 2017**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Electronically Tunable Resistorless Capacitance Multiplier Employing VDDBAs

Pitchayanin Moonmuang      Worapong Tangsrirat  
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL)  
Chalongkrung road, Ladkrabang, Bangkok 10520, Thailand  
pitchayanin.moonmuang@gmail.com, drworapong@gmail.com

## ABSTRACT

This work focuses on a circuit configuration for the simulation of the resistorless tunable grounded capacitance multiplier using the recently introduced active building block called voltage differencing buffered amplifier (VDDBA). The proposed capacitance multiplier circuit consists of only two VDDBAs, and one floating capacitor, without requiring critical matching conditions. The realized equivalent capacitance value can be tuned electronically through the ratio of the transconductance gain of the VDDBA. The effect of the VDDBA non-idealities on the realized equivalent capacitance has also been investigated in detail. As an application, an illustrative RLC low-pass filter using the proposed tunable capacitance simulator has been provided. In order to demonstrate the behavior of the circuit and confirm the theory, PSPICE simulation results with TSMC 0.25- $\mu\text{m}$  CMOS technology are included.

## CCS Concepts

• Information systems

## Keywords

Voltage Differencing Buffered Amplifier (VDDBA), capacitance multiplier, impedance simulator, electronically tunable circuit.

## 1. INTRODUCTION

In the integrated circuit (IC) technology, it is a limiting problem to fabricate large-valued physical capacitors owing to their disadvantages in the usage of chip area, cost effectiveness, and the lack of adjustability. The capacitance multiplier circuit or the capacitance simulator acts as an important and useful active circuit block in many very large-scale integration (VLSI) analog circuits, especially for active filter and oscillator designs, and impedance matching circuitry. From above reason, the design of the capacitance multiplication topology is advantageous from the point of view of the VLSI implementation. This justifies the existence of several attempts for realizing actively simulated capacitance multiplier circuits using various modern electronic active building blocks [1]-[11]. In [1]-[4], three or more active components are required, which enlarge the silicon chip area. Further, the other capacitance multiplier circuits in the literature require two active components and three grounded passive components, which is an excessive number of passive elements [5]-[7]. Although the works of [8]-[10] employ only a single active element, three passive elements are still used for their

Permission to make digital or hard copies of all or part of this work for personal or classroom use is granted without fee provided that copies are not made or distributed for profit or commercial advantage and that copies bear this notice and the full citation on the first page. To copy otherwise, or republish, to post on servers or to redistribute to lists, requires prior specific permission and/or a fee.  
ICCCIP'17, November 24-26, 2017, Tokyo, Japan.  
© 2017 Association for Computing Machinery.  
ACM ISBN 978-1-4503-5365-6/17/11...\$15.00  
DOI:

realizations.

The capacitance simulator circuit is proposed in [11] using two different active elements, and two passive elements. Additionally, most of the multipliers mentioned above suffer from the lack of electronic controllability [5]-[6], [8]-[10].

In 2008, the voltage differencing buffered amplifier (VDDBA), which is one of modern electronic active building blocks, has been reviewed and introduced [12]. Its several application universalities, such as active filter and sinusoidal oscillator design, and immittance function simulator realizations, were also introduced to demonstrate its workability and versatility [13]-[17]. This study largely considers the active simulation of a grounded capacitance multiplier based on solely two VDDBAs as active components and a single capacitor as a passive component. No component matching constraints are imposed for the circuit realization. The simulated value of the equivalent capacitance ( $C_{eq}$ ) of the proposed circuit can be tuned electronically through the ratio of the VDDBA transconductance gain. Computer simulation results using PSPICE program with 0.25- $\mu\text{m}$  CMOS model parameter from TSMC are performed to evaluate the characteristics of the proposed capacitance multiplier circuit. As an application, an active RLC low-pass filter using the proposed circuit was also simulated.

## 2. CIRCUIT DESCRIPTION

The symbolic notation of the VDDBA is shown in Figure 1. As is shown, the VDDBA is a versatile four-terminal active element, which consists of high-impedance voltage differencing input terminals p and n, a high-impedance current output terminal z, and a low-impedance output of a voltage buffer labeled as w. Its terminal characteristic can be defined by the following matrix equation.

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (1)$$

where  $g_m$  is the transconductance gain of the VDDBA. Generally, the  $g_m$ -value can be scaled electronically by a supplied bias current/voltage, which lends electronic adjustability to design circuit parameters.

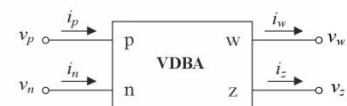


Figure 1. Symbolic representation of the VDDBA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

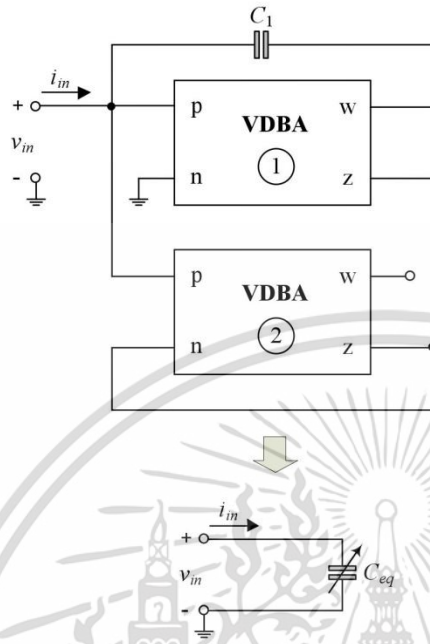


Figure 2. Proposed electronically tunable resistorless capacitance multiplier, and its equivalent circuit.

Figure 2 depicts the proposed actively capacitance multiplier circuit employing only two VDDBAs, and one floating capacitor  $C_1$ . Using (1) and doing straightforward circuit analysis, its input impedance  $Z_m$  can be simulated as :

$$Z_m = \frac{v_m}{i_m} = \frac{1}{sC_{eq}} \quad (2)$$

where

$$C_{eq} = \left( \frac{g_{m1}}{g_{m2}} \right) C_1 \quad (3)$$

and  $g_{mi}$  is the transconductance parameter of the  $i$ -th VDDBA ( $i = 1, 2$ ). From (2), it is readily evident that the simulated input impedance represents a scaled capacitance, where the scaling factor can be controlled electronically by the ratio of two transconductances ( $g_{m1}/g_{m2}$ ). In addition, the resulting circuit realizes a capacitance multiplying function without any component matching choices.

### 3. NON-IDEAL EFFECTS OF VDDBA

Considering the various non-ideal gain effects of the VDDBA, its defining relation of (1) can therefore be rewritten as :

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (4)$$

From above matrix equation,  $\alpha$  denotes the parasitic transconductance gain, and  $\beta$  denotes the non-ideal output buffering gain of the VDDBA, respectively. Taking into consider the non-idealities given in (4), the simulated capacitance of (3) for the proposed capacitance multiplier shown in Figure 2 can then be modified to

$$C_{eq} = \left( \frac{\alpha_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1 \quad (5)$$

It is thus seen from (5) that the parameter  $\beta_i$  of the corresponding VDDBA does not influence on the value of the realized capacitance. Note that the other transfer inaccuracies  $\alpha_1$  and  $\alpha_2$  only scale the capacitance value. However, if we assume that  $\alpha_1 \cong \alpha_2$ , this effect could be alleviated. Moreover, the transconductances  $g_{mi}$  of the VDDBAs can also be used as tools to compensate the small deviation in the equivalent capacitance value  $C_{eq}$  of the proposed circuit.

In (5), normalized active and passive sensitivity coefficients of the capacitance  $C_{eq}$  are also calculated and listed as follows:

$$S_{\alpha_1}^{C_{eq}} = -S_{\alpha_2}^{C_{eq}} = S_{g_{m1}}^{C_{eq}} = -S_{g_{m2}}^{C_{eq}} = 1 \quad (6)$$

$$S_{\beta_1}^{C_{eq}} = S_{\beta_2}^{C_{eq}} = 0 \quad (7)$$

and

$$S_{C_1}^{C_{eq}} = 1 \quad (8)$$

which are no more than unity.

### 4. SIMULATION RESULTS, PERFORMANCE VERIFICATION, AND APPLICATION EXAMPLE

The proposed capacitance multiplier circuit shown in Figure 2 is tested with PSPICE simulations using TSMC 0.25- $\mu\text{m}$  CMOS technology. The circuit was constructed with the CMOS realization of VDDBA as depicted in Figure 3 with symmetrical supply voltages of  $\pm V = \pm 0.75\text{V}$ , and  $I_A = 50\ \mu\text{A}$  [17]. The aspect ratios ( $W/L$ ) of the transistors are given in Table 1. In this realization, the  $g_m$ -value of the VDDBA is determined by the source couple  $M_1$ - $M_2$ , which can be expressed as :

$$g_m = \sqrt{\mu C_{ox} \left( \frac{W}{L} \right) I_B} \quad (9)$$

where  $\mu$  is the mobility of carriers,  $C_{ox}$  is the gate capacitance per unit area,  $W$  and  $L$  are channel width and channel length of the transistor devices, respectively. As it can be observed from (9), the  $g_m$ -value can be scaled electronically by the external biasing current  $I_B$ .

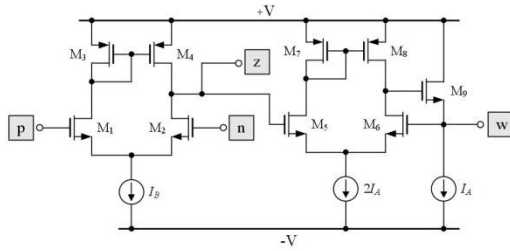


Figure 3. CMOS VDBA structure used for simulations.

Table 1. Transistor aspect ratios of the CMOS VDBA of Figure 3.

Transistors	$W(\mu\text{m})/L(\mu\text{m})$
$M_1$ - $M_2$ , $M_5$ - $M_6$	25/0.25
$M_3$ , $M_7$	32/0.25
$M_4$ , $M_8$	35/0.25
$M_9$	25/0.25

The proposed capacitance multiplier of Figure 2 was simulated with the following circuit component values:  $I_{B1} = 80 \mu\text{A}$  ( $g_{m1} \cong 1.41 \text{ mA/V}$ ),  $I_{B2} = 50 \mu\text{A}$  ( $g_{m2} \cong 1.12 \text{ mA/V}$ ), and  $C_1 = 1 \text{ nF}$ , which results in  $C_{eq} = 1.26 \text{ nF}$ . Figure 4 shows the simulated time-domain responses of the input voltage  $v_{in}$  and the current  $i_{in}$  through the proposed capacitor, for a 100-kHz sinusoidal input voltage signal with 50 mV peak. From the results, the phase difference between  $v_{in}$  and  $i_{in}$  is equal to  $75^\circ$ , while its theoretical value is  $90^\circ$ . The total power dissipation obtained by PSPICE analysis is recorded to be 1.05 mW. Likewise, the magnitudes and phases of the simulated input impedance  $Z_{in}$  and an ideal capacitor are also plotted in Figure 5. It is readily seen from the graphs that the simulated responses are very close to the ideal ones in the frequency range of 1 kHz to 1 MHz.

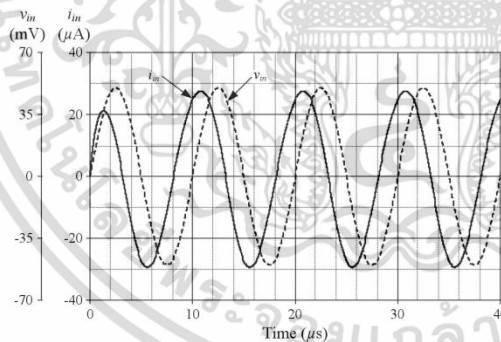


Figure 4. Simulated waveforms for  $v_{in}$  and  $i_{in}$  of the proposed capacitance multiplier circuit in Figure 2.

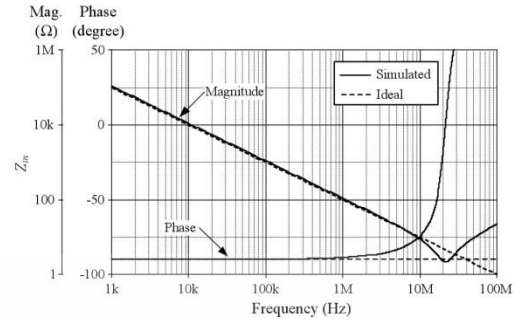


Figure 5. Magnitude and phase frequency responses for  $Z_{in}$  of Figure 2.

Figure 6 shows the ideal and simulated magnitude-frequency responses for  $Z_{in}$  of the proposed capacitance multiplier circuit with  $I_{B2} = 70 \mu\text{A}$  ( $g_{m2} \cong 1.32 \text{ mA/V}$ ) and  $C_1 = 1 \text{ nF}$  for different values of  $I_{B1}$ , i.e.  $I_{B1} = 20 \mu\text{A}$ ,  $280 \mu\text{A}$ , and  $650 \mu\text{A}$  ( $g_{m1} \cong 0.71 \text{ mA/V}$ ,  $2.65 \text{ mA/V}$ , and  $4.00 \text{ mA/V}$ ). For this specified component values, the equivalent simulated capacitance is approximated as:  $C_{eq} = 0.5 \text{ nF}$ ,  $2 \text{ nF}$  and  $3 \text{ nF}$ , respectively. The results verified the prediction of (3) that the value of  $C_{eq}$  can be electronically tuned by the ratio of  $g_{m1}/g_{m2}$ . The results again verified the good agreement between the ideal and simulated impedances for the useful frequency range of 1 kHz to 10 MHz.

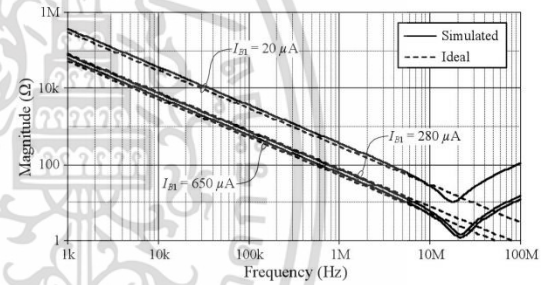


Figure 6. Variation of the  $C_{eq}$ -value with the bias current  $I_{B1}$ .

As an application example, the proposed capacitance multiplier circuit in Figure 2 is used in the structure of the standard second-order RLC low-pass filter depicted in Figure 7. The capacitance simulator was realized with following component values:  $I_{B1} = 80 \mu\text{A}$ ,  $I_{B2} = 50 \mu\text{A}$ , and  $C_1 = 1 \text{ nF}$ , resulting in  $C_{eq} = 1.26 \text{ nF}$ . The remaining passive elements of the filter were selected as:  $R_{LP} = 510 \Omega$  and  $L_{LP} = 0.5 \text{ mH}$ . This results in a cut-off frequency of  $f_c \cong 200 \text{ kHz}$ . The ideal and simulated frequency characteristics of the filter are shown in Figure 8.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

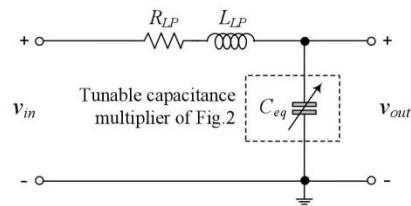


Figure 7. Standard-order RLC low-pass filter.

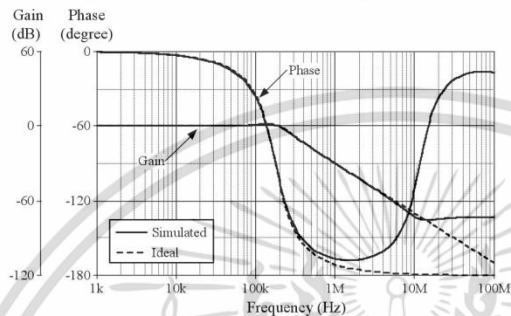


Figure 8. Ideal and simulated frequency responses of the RLC low-pass filter realization of Figure 7.

## 5. CONCLUSIONS

In order to construct a capacitance multiplier circuit with resistorless structure and electronically adjustable multiplication factor, the VDBA-based circuit topology is introduced. Consisting of only two VDBAs and one capacitor, the proposed capacitance multiplier circuit is realized without any external passive resistors, and does not require any element matching conditions. The equivalent simulated capacitance value of the realized circuit can be adjusted electronically through the transconductance ratio of the VDBA devices. Simulation results based on TSMC 0.25- $\mu\text{m}$  CMOS process with  $\pm 0.75\text{V}$  bias voltages are performed to verify the theoretical analysis and demonstrate the performance of the proposed circuit and its filter design application.

## 6. ACKNOWLEDGMENTS

The authors would like to acknowledge the support of the KMIL Research Fund, King Mongkut's Institute of Technology Ladkrabang (KMIL). The authors also wish to thank Mr. Natchanai Roongmuanpha for his help in the preparation of this manuscript.

## 7. REFERENCES

- [1] Ahmed, M. T., Khan I. A., and Minhaj N. 1995. Novel electronically tunable C-multipliers. *Electron. Lett.* 31, 9-11.
- [2] Abuelma'atti, M. T. and Tasadduq, N.A. 1999. Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor. *Microelectron. J.* 30, 869-873.
- [3] Yuce, E., Minaei, S., and Cicekoglu, O. 2006. Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor. *Electrical Eng.* 88, 519-525
- [4] Li, Y. A. 2012. A series of new circuits based on CFTAs. *Int. J. Electron. Commun. (AEU)*. 66, 7, 587-592
- [5] Ananda Mohan, P. V. 2005. Floating capacitance simulation using current conveyors. *J. Circuits Syst. Comput.* 14, 1, 123-128.
- [6] Yuce, E. 2010. A novel floating simulation topology composed of only grounded passive components. *Int. J. Electron.* 97, 249-262.
- [7] Ayten, U. E., Sagbas, M., Herencsar, N., and Koton, J. 2012. Novel floating general element simulators using CBTA. *Radioengineering.* 21, 11-19.
- [8] Lahiri, A. and Gupta, M. 2011. Realization of grounded negative capacitance using CFOAs. *Circuits Syst. Signal Process.* 21, 143-155
- [9] Yuce, E. 2007. On the implementation of the floating simulators employing a single active device. *Int. J. Electron. Commun. (AEU)*. 61, 453-458.
- [10] Yuce, E. and Minaei S. 2008. A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters. *IEEE Trans. Circuits Syst. I.* 55, 1, 266-275
- [11] Sagbas, M., Ayten, U. E., Sedef, H., And Koksai, M. 2009. Floating immittance function simulator and its applications. *Circuits Syst. Signal Process.* 28, 55-63.
- [12] Birolek, D., Senani, R., Biolkova V., and Kolka Z. 2008. Active elements for analog signal processing : classification, review, and new proposals. *Radioengineering.* 17, 4, 15-32.
- [13] Sotner, R., Jerabek, J., and Herencsar, N. 2013. Voltage differencing buffered/inverted amplifiers and their applications for signal generation. *Radioengineering.* 22, 2 490-504.
- [14] Kacar, F., Yesil, A., and Noori, A. 2012. New CMOS realization of voltage differencing buffered amplifier and its biquad filter applications. *Radioengineering.* 21, 1, 333-339.
- [15] Tangsrirat, W., Onjan, O., and Pukkalanun, T. 2014. SFG synthesis of general nth-order allpole voltage transfer functions using VDBAs and grounded capacitors. *Proc. JCTEE-2014* (Chiang Rai, Thailand, March 5-8, 2014) 291-294.
- [16] Yesil, A., Kacar, F., and Gurkan, K. 2014. Lossless grounded inductance simulator employing single VDBA and its experimental band-pass filter application. *Int. J. Electron. Commun. (AEU)*. 68, 143-150.
- [17] Pukkalanun, T., Roongmuanpha, N., and Tangsrirat, W. 2017. Variable Lossy Series Inductance Simulator Using Single Voltage Differencing Buffered Amplifier (VDBA). In *Proceedings of the International MultiConference of Engineers and Computer Scientists 2017 Vol II* (Hong Kong, China, March 15 - 17, 2017). IMECS 2017, 656-659.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ICCRE 2018

**2018 3rd  
International Conference  
on Control  
and Robotics Engineering**



Nagoya, Japan

April 20-23, 2018



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Two-Input Two-Output Current-Mode Universal Biquad Using Only VDTAs and Grounded Capacitors

Pitchayanin Moonmuang  
Faculty of Engineering, King Mongkut's Institute of  
Technology Ladkrabang (KMITL),  
Bangkok 10520, Thailand  
e-mail: pitchayanin.moonmuang@gmail.com

Pratya Mongkolwai  
Faculty of Engineering, Rajamangala University of  
Technology Rattanakosin (RMUTR),  
Nakhon Pathom, 73170, Thailand.  
e-mail: pratya.mon@rmutr.ac.th

Worapong Tangsirat  
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL),  
Ladkrabang, Bangkok 10520, Thailand  
e-mail: worapong.ta@kmitl.ac.th

**Abstract**— A two-input two-output current-mode universal biquad employing only two voltage differencing transconductance amplifiers (VDTAs) and two grounded capacitors is introduced. By appropriately connecting the input and output terminals, the proposed circuit can realize lowpass, bandpass, highpass, bandstop and allpass current responses. It also exhibits an independent electronic control of the natural angular frequency ( $\omega_n$ ) and the quality factor ( $Q$ ) by properly setting the transconductance values of the VDTAs. No critical component matching choices are imposed for generating all the filter functions, and all incremental parameter sensitivities are low.

**Keywords**— Voltage Differencing Transconductance Amplifiers (VDTA); universal biquad filter; electronically tunable

### I. INTRODUCTION

The voltage differencing transconductance amplifier (VDTA) is one of modern electronic active building blocks, which was first introduced in 2008 [1]. The VDTA element is a high-performance active device that provides an electronic tunability through its transconductance and a powerful ability to implement various analog function circuits and solutions. General VDTA-based structures require no passive resistors; consequently they are attractive and suitable for monolithic integration. In last the few years, several realizations of universal biquadratic filters using VDTAs as active elements have received considerable attention [2]-[8].

Although various biquadratic filter functions can be found from previously mentioned configurations, considerably less attention has been given to the realization of current-mode universal filters with multi-inputs and multi-outputs (MIMO). The employment of the MIMO configuration may lead to a reduction of a number of active elements for circuit realization. This type of filter provides a variety of circuit characteristics with different input and output current, and usually does not require any parameters

matching conditions. Moreover, to realize all the standard biquadratic filter functions, the configuration with multi-inputs and multi-outputs seems to be more suitable than the single input configuration.

In this study, a current-controlled current-mode universal biquadratic filter with two inputs and two outputs (TITO) is described. The circuit contains only two VDTAs and two grounded capacitors, which offers the advantage of an electronic tuning capability and is especially interested from integrated circuit implementation point of view. By appropriately selecting input and output signals, the proposed circuit can realize all the five standard biquadratic filtering functions, namely lowpass (LP), bandpass (BP), highpass (HP), bandstop (BS) and allpass (AP), without critical component matching conditions. It also provides orthogonal control of the natural angular frequency ( $\omega_n$ ) and the quality factor ( $Q$ ), as well as low active and passive sensitivities. The performance of the proposed circuit has been evaluated by simulation results with TSMC 0.25- $\mu\text{m}$  CMOS process technology.

### II. VDTA DESCRIPTION

Usually, the VDTA element is composed of two voltage-controlled current sources, which are interconnected internally. The circuit representation of the VDTA is shown in Fig.1, where its terminal relations can be given by the following equation.

$$i_z = g_{mF}(v_p - v_n), \quad i_{zc} = i_z \quad \text{and} \quad i_x = g_{mS}v_z \quad (1)$$

Here,  $g_{mF}$  and  $g_{mS}$  are the first and second transconductance gains of the VDTA. In general, both of them can be adjusted by external DC biasing currents, which lend electronic tunability to circuit parameters [3]. It may be emphasized that an electronic becomes very important when the circuit is in a variety of design specifications and in the integrated form.

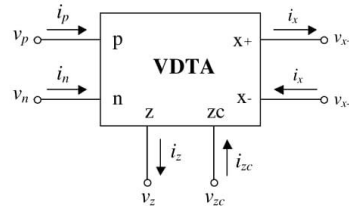


Figure 1. Circuit symbol of the VDTA.

Various techniques can be employed to realize the VDTA. However, in this work, a CMOS realization of the VDTA shown in Fig.2 is chosen [5]. As can be deduced from this structure, the transconductance parameters are therefore obtained as [9]:

$$g_{mF} \cong \left( \frac{g_1 g_2}{g_1 + g_2} \right) + \left( \frac{g_3 g_4}{g_3 + g_4} \right) \quad (2)$$

and

$$g_{mS} \cong \left( \frac{g_5 g_6}{g_5 + g_6} \right) + \left( \frac{g_7 g_8}{g_7 + g_8} \right) \quad (3)$$

where  $g_i = \sqrt{\frac{\mu C_{ox} W_i I_{Bi}}{L_i}}$  is the transconductance value,

$I_{Bi}$  is the bias current,  $\mu$  is the effective carrier mobility,  $C_{ox}$  is the gate-oxide capacitance per unit area, and  $W_i$  and  $L_i$  are the effective channel width and length of the  $i$ -th MOS transistor ( $i = 1, 2, \dots, 8$ ), respectively.

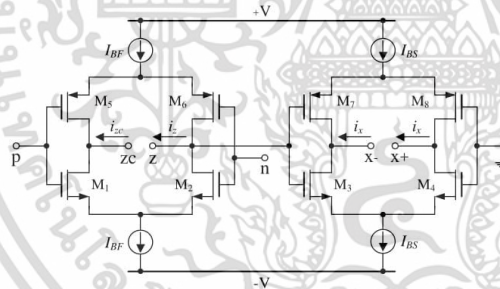


Figure 2. CMOS realization of the VDTA.

### III. PROPOSED FILTER CONFIGURATION

The realization of the proposed current-controlled current-mode universal filter with two input and two output terminals is shown in Fig.3. The circuit topology consists of only two VDTAs and two grounded capacitors. The use of only grounded capacitors conduces to integrated circuit implementation [10]-[11]. From the derived filter circuit, the current transfer functions from two input signal currents ( $I_{i1}$

and  $I_{i2}$ ) to two output currents ( $I_{o1}$  and  $I_{o2}$ ) can be expressed as :

$$I_{o1} = - \left( \frac{g_{mF1} g_{mS1}}{C_1 C_2} \right) \left[ \frac{I_{i1}}{D(s)} \right] \quad (4)$$

$$I_{o2} = \frac{\left[ s^2 + \left( \frac{g_{mF1} g_{mS2}}{g_{mF2} C_1} \right) s + \left( \frac{g_{mF1} g_{mS1}}{C_1 C_2} \right) \right] I_{i2} - \left( \frac{g_{mF1} g_{mS2}}{g_{mF2} C_1} \right) s I_{i1}}{D(s)} \quad (5)$$

$$\text{where } D(s) = s^2 + \left( \frac{g_{mF1} g_{mS2}}{g_{mF2} C_1} \right) s + \left( \frac{g_{mF1} g_{mS1}}{C_1 C_2} \right) \quad (6)$$

and  $g_{mFi}$  and  $g_{mSi}$  ( $i = 1, 2$ ) respectively refer to the transconductances  $g_{mF}$  and  $g_{mS}$  of the  $i$ -th VDTA. From equations (4)-(5), it can be summarized as follows.

- 1) The LP function is obtained with  $I_{in} = I_{i1}$ ,  $I_{i2} = 0$ , and  $I_{out} = I_{o1}$ .
- 2) The BP function is obtained with  $I_{in} = I_{i1}$ ,  $I_{i2} = 0$ , and  $I_{out} = I_{o2}$ .
- 3) The AP function is obtained with  $I_{in} = I_{i1}/2 = I_{i2}$ , and  $I_{out} = I_{o2}$ .
- 4) The BS function is obtained with  $I_{in} = I_{i1} = I_{i2}$ , and  $I_{out} = I_{o2}$ .
- 5) The HP function is obtained with  $I_{in} = I_{i1} = I_{i2}$ , and  $I_{out} = I_{o1} + I_{o2}$ .

Thus, the proposed TITO filter of Fig.3 can realize all the standard types of the biquadratic filtering functions from the same circuit configuration. Note that there are no critical component matching constraints or cancellation conditions in the design. The circuit also needs no inverting-type current input signal for realizing any biquadratic function.

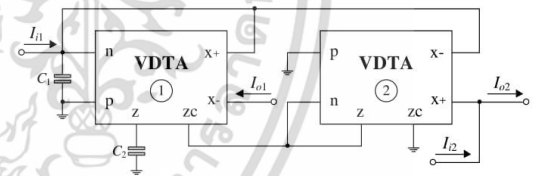


Figure 3. Proposed VDTA-based universal biquad filter.

In all cases, the natural angular frequency ( $\omega_o$ ) and the quality factor ( $Q$ ) of the proposed filter are given by :

$$\omega_o = \sqrt{\frac{g_{mF1} g_{mS1}}{C_1 C_2}} \quad (7)$$

and

$$Q = \left( \frac{g_{mF2}}{g_{mS2}} \right) \sqrt{\frac{g_{mS1} C_1}{g_{mF1} C_2}} \quad (8)$$

In this case, the incremental active and passive sensitivities of  $\omega_o$  and  $Q$  are derived as :

$$S_{g_{mF1}}^{\omega_o} = S_{g_{mS1}}^{\omega_o} = \frac{1}{2}, \quad (9)$$

$$S_{C_1}^{\omega_o} = S_{C_2}^{\omega_o} = -\frac{1}{2}, \quad (10)$$

$$S_{g_{mF2}}^Q = -S_{g_{mS2}}^Q = 1, \quad (11)$$

$$S_{C_1}^Q = -S_{C_2}^Q = -\frac{1}{2}, \quad (12)$$

$$\text{and} \quad S_{C_1}^{\omega_o} = -S_{C_2}^{\omega_o} = \frac{1}{2}. \quad (13)$$

Since all the sensitivity values are equal to 0.5 in magnitude, the circuit exhibits a good sensitivity performance.

In practical circuit, if we set  $g_{m1} = g_{mF1} = g_{mS1}$ , and  $C = C_1 = C_2$ , then the filter parameters  $\omega_o$  and  $Q$  from equations (7) and (8) simplify to

$$\omega_o = \frac{g_{m1}}{C} \quad (14)$$

$$\text{and} \quad Q = \frac{g_{mF2}}{g_{mS2}} \quad (15)$$

It should be noted that  $\omega_o$  and  $Q$  are orthogonally adjustable. It can be realized that the  $\omega_o$ -value can be adjusted electronically by varying  $g_{m1}$ . On the other hand, the  $Q$ -value can be tuned independently without affecting the  $\omega_o$ , by changing the ratio of  $g_{mF2}/g_{mS2}$ .

#### IV. SIMULATION RESULTS AND DISCUSSIONS

To verify the theoretical prediction, the proposed circuit of Fig.3 has been evaluated using PSPICE simulation program. In Fig.3, the VDTA has been simulated employing the CMOS structure of Fig.2 with the transistor model and process parameters corresponding to 0.25- $\mu\text{m}$  CMOS technology available from TSMC. The geometrical dimensions of the transistors ( $W/L$  in  $\mu\text{m}/\mu\text{m}$ ) are as follows: 5/0.25 for  $M_1$ - $M_4$  and 8/0.25 for  $M_5$ - $M_8$ . The DC supply voltages are selected as:  $+V = -V = 1.5$  V.

Fig.4 shows the simulated frequency responses for the LP, BP and HP functions of the proposed circuit. In simulations, equal transconductance of  $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} = 577 \mu\text{A}/\text{V}$  ( $I_{BF1} = I_{BS1} = I_{BF2} = I_{BS2} = 200 \mu\text{A}$ ), and equal capacitances of  $C_1 = C_2 = 20$  pF were chosen, to obtain the natural angular frequency of  $f_o = \omega_o/2\pi \cong 4.60$  MHz, and  $Q = 1$ . With the same designed component values, the simulated gain and phase responses of the BS and AP filters are illustrated in Figs. 5 and 6, respectively. It is apparent from the graphs that all the simulation results are found to be in close agreement with the theory.

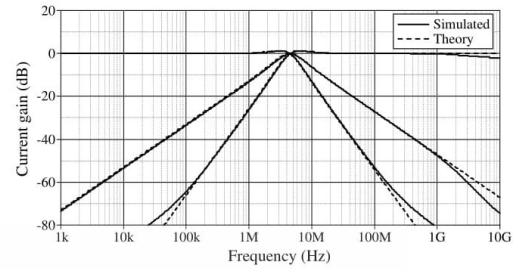


Figure 4. Theory and simulated LP, BP and HP responses of the proposed filter in Fig.3.

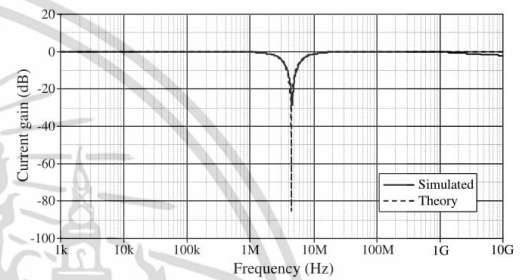


Figure 5. Theory and simulated BS responses.

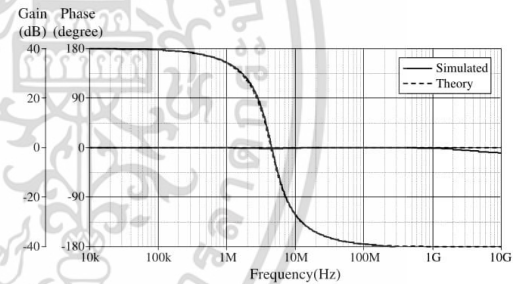


Figure 6. Theory and simulated AP responses.

To demonstrate the orthogonal electronic control of  $f_o$ , the transconductances  $g_{m1}$  (i.e.,  $g_{m1} = g_{mF1} = g_{mS1}$ ) were simultaneously changed for the values  $352 \mu\text{A}/\text{V}$ ,  $514 \mu\text{A}/\text{V}$ ,  $737 \mu\text{A}/\text{V}$ , and  $1043 \mu\text{A}/\text{V}$ , while keeping  $g_{mF2} = g_{mS2} = 577 \mu\text{A}/\text{V}$  for a constant  $Q = 1$ . This setting results in  $f_o = 2.80$  MHz, 4.10 MHz, 5.87 MHz and 8.30 MHz, respectively. The resulting BP frequency responses for various  $g_{m1}$  are plotted in Fig.7. For the adjustability of the  $Q$ -value without influencing  $f_o$ , the VDTA transconductances were set to be constant at  $g_{mF1} = g_{mS1} = g_{mS2} = 577 \mu\text{A}/\text{V}$ . The corresponding current characteristics of the BP filter at different  $g_{mF2}$  ( $288 \mu\text{A}/\text{V}$ ,  $577 \mu\text{A}/\text{V}$ , and  $1,154 \mu\text{A}/\text{V}$ ) are

shown in Fig.8. It is important to note that the high  $Q$ -value filter can be obtained from the high value of  $g_{mF2}$ .

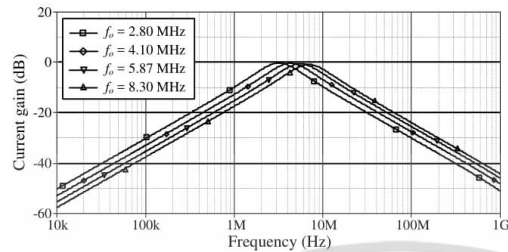


Figure 7. Simulated BP responses with tuning  $f_o$ .

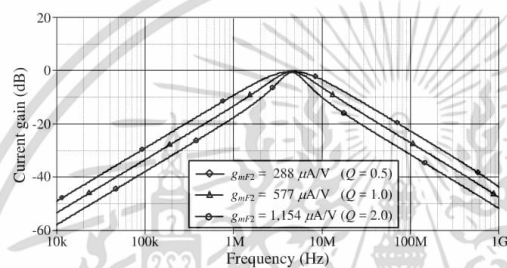


Figure 8. Simulated BP responses with  $Q$  tuning.

## V. CONCLUSIONS

This work presents the two-input two-output current-mode universal biquadratic filter using two VDTAs and two grounded capacitors. Since the circuit uses only grounded passive elements, it is advantageous from the monolithic implementation view point. The proposed circuit can realize LP, BP, HP, BS and AP current responses from the same circuit configuration without component matching constraints. The  $\omega_o$  can be adjusted electronically and independently from tuning of the  $Q$ -value. The filter has also low sensitivity performance.

## ACKNOWLEDGEMENTS

This work was supported by King Mongkut's Institute of Technology Ladkrabang Research Fund [grant number KREF116001]. The support by Faculty of Engineering, Rajamangala University of Technology Rattanakosin (RMUTR) is also gratefully acknowledged.

## REFERENCES

- [1] D. Birolek, R. Senani, V. Biolkova, and Z. Kolka, "Active Elements for Analog Signal Processing: Classification, Review, and New Proposals," *Radioengineering*, vol.17, no.4, pp. 15–32, December 2008.
- [2] A. Yesil, F. Kacar, and H. Kuntman, "New Simple CMOS Realization of Voltage Differencing Transconductance Amplifier and Its RF Filter Application," *Radioengineering*, vol.20, no.3, pp. 632–637, 2011.
- [3] J. Jerabek, R. Sotner, and K. Vrba, "Electronically adjustable triple-input single-output filter with voltage differencing transconductance amplifier," *Rev. Roum. Sci. Techn.-Électrotechn. et Énerg.*, vol.59, pp. 163–172, 2014.
- [4] A. Yesil and F. Kacar, "Electronically Tunable Resistorless Mixed Mode Biquad Filters," *Radioengineering*, vol.22, pp. 1016–1025, 2013.
- [5] J. Satansup, T. Pukkalanun, and W. Tangsrirat, "Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements," *Circuits Syst. Signal Process.*, vol.32, no.3, pp. 945–957, 2013.
- [6] J. Satansup and W. Tangsrirat, "Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors," *Microelectron. J.*, vol.45, no.6, pp. 613–618, 2014.
- [7] D. Prasad, D. R. Bhaskar, and M. Srivastava, "Universal voltage-mode biquad filter using voltage differencing transconductance amplifier," *Indian J. Pure & Appl. Phys.*, vol.51, no.12, pp. 864–868, December 2013.
- [8] W. Mekhum and W. Jaikla, "Three input single output voltage-mode multifunction filter with independent control of pole frequency and quality factor," *Theoretical Appl. Phys. Electrical Eng.*, vol.11, no.6, pp. 494–500, 2013.
- [9] A. F. Arbel and L. Goladmirz, "Output stage for current-mode feedback amplifiers, theory and applications," *Analog Integr. Circ. Signal Process.*, vol.2, no.3, pp. 243–255, 1992.
- [10] M. Bhushan and R. W. Newcomb, "Grounding of Capacitors in Integrated Circuits," *Electronic Letters*, vol.3, no.4, pp. 148–149, 1967.
- [11] K. Pal and R. Singh, "Inductorless current conveyor allpass filter using grounded capacitors," *Electron. Lett.*, vol.18, no.1, pp. 47, 1982.

Conference Proceedings  
Tracks 4 & 8



# iceast 2018

The 4<sup>th</sup> International Conference on Engineering,  
Applied Sciences and Technology

"Exploring Innovative Solutions for Smart Society"

Swissôtel Resort Phuket Patong Beach  
Phuket, Thailand

July 4-7, 2018

[iceast2018@kmitl.ac.th](mailto:iceast2018@kmitl.ac.th)

[www.iceast.org](http://www.iceast.org)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# VDBA-Based Series RC Impedance Simulator Using Single Grounded Capacitor

Pitchayanin Moonmuang      Tattaya Pukkalanun      Worapong Tangsrirat

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL),  
Chalongkrung road, Ladkrabang, Bangkok 10520, Thailand  
pitchayanin.moonmuang@gmail.com, tattaya.pu@kmitl.ac.th, worapong.ta@kmitl.ac.th

**Abstract**—This work presents an electronically tunable series RC impedance simulator circuit by means of the recently introduced active element, called voltage differencing buffered amplifier (VDBA). The proposed circuit employs only two VDBAs and one grounded capacitor, which is canonic in the number of components. The simulated equivalent element values can be tuned electronically through the VDBA transconductance gain. The circuit also does not require any component-matching conditions. The non-ideal gain effects of the VDBA on the simulated capacitance value are also evaluated and discussed. PSPICE simulations, which are in a close agreement with the analytical calculations, are included.

**Keywords**— Voltage Differencing Buffered Amplifier (VDBA); Series RC circuit; impedance simulator; electronically tunable circuit.

## I. INTRODUCTION

In general, active RC circuits are very useful circuit elements in electrical network design and synthesis. In the recent integrated circuit technology, the fabrication of integrated capacitances larger than 100 pF is a fundamental problem, due to their large occupation of silicon chip area. In many applications, such as integrated lock-in amplifiers, sampling data systems, and sensor interfacing circuits, high-valued capacitances are necessarily required. A simple solution is the employment of the capacitance multiplier circuit, which performs the multiplication of small capacitive value. Consequently, many configurations to function the capacitance multiplication are reported in the literature [1]-[12]. However, the works reported in [1]-[10] need at least three passive components for their realizations. In [11], two different active elements, and two passive elements is used. Although the circuit of [12] employ only a single active element and two passive elements, a floating capacitor is required for its realization which is not attractive for IC implementation. Also, the circuits given in [5]-[6], [8]-[10] cannot be tuned electronically.

This study is focused on the realization of an actively simulated series RC impedance based on the use of the voltage differencing buffered amplifiers (VDBAs) as electronic active building blocks [13]-[14]. The proposed configuration consists of only two VDBAs, and one grounded capacitor without requiring any external passive resistors. The synthetic simulated resistance and capacitance values are electronically tunable via direct biasing currents over a wide range.

As a result, the large-valued equivalent capacitance for integrated circuit fabrication is feasible. An active RLC second-order high-pass filter using the proposed circuit is realized as an application example. PSPICE simulation results using 0.25- $\mu\text{m}$  CMOS model parameter from TSMC are performed to evaluate the characteristics of the proposed simulator circuit and its filter design application.

## II. CONCEPTUAL OF THE VDBA

The circuit diagram of the VDBA and its behavior model are shown in Fig.1. Ideally, the VDBA device consists of the transconductance amplifier as an input stage, and the unity-gain voltage buffer as an output stage. Thus, the defining relation of this element can be characterized by the following matrix :

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (1)$$

where  $g_m$  is an effective small-signal transconductance gain of the VDBA, which is, in general, electronically controllable over several decades by a supplied bias current/voltage. According to the equivalent circuit shown in Fig.1(b), the differential input voltage between the terminals p and n ( $v_p - v_n$ ) is converted to a current at the z-terminal ( $i_z$ ) by a  $g_m$ -parameter. The voltage across the z-terminal ( $v_z$ ) is then conveyed to the output voltage at the w-terminal ( $v_w$ ).

A possible implementation of VDBA in CMOS technology is recently introduced in Fig.2 [15]. The differential pair with active loaded, constructed by  $M_1$ - $M_4$ , functions as a differential voltage-to-current converter that accurately converts a differential voltage ( $v_p - v_n$ ) into a small signal current  $i_z$  at the terminal z with an approximate transconductance of  $g_m$ . The differential amplifier  $M_5$ - $M_6$ , and the source follower  $M_7$  construct the voltage buffer, which leads to an exact voltage following and a small output resistance. The transconductance gain of this VDBA can be determined by the source couple  $M_1$ - $M_2$ , which is given by:

$$g_m = \sqrt{\mu C_{ox} \left( \frac{W}{L} \right) I_B} \quad (2)$$

where  $\mu$  is the mobility of carriers,  $C_{ox}$  is the gate capacitance per unit area,  $W$  and  $L$  are channel width and channel length of the transistor devices, respectively. As it can be observed from (2), the  $g_m$ -value can be scaled electronically by the external biasing current  $I_B$ .

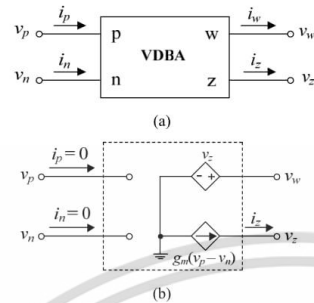


Fig. 1. VDBA (a) circuit representation (b) equivalent circuit.

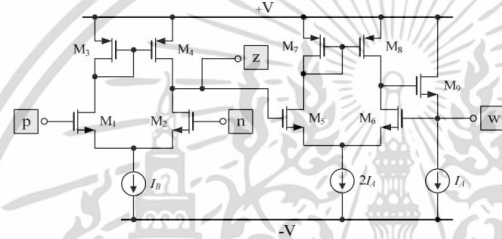


Fig. 2. CMOS realization of the VDBA.

### III. PROPOSED SERIES RC IMPEDANCE SIMULATOR

Fig.3 shows the proposed grounded series RC impedance simulator circuit and its equivalent circuit. The circuit contains only two VDBAs as active components and one grounded capacitor  $C_x$ . Under ideal consumption, routine circuit analysis of the circuit in Fig.3 gives the input impedance  $Z_{in}$  as :

$$Z_{in} = \frac{v_{in}}{i_{in}} = R_{eq} + \frac{1}{sC_{eq}} = \frac{1}{g_{m1}} + \frac{g_{m2}}{sC_x g_{m1}}, \quad (3)$$

where  $g_{mi}$  ( $i = 1, 2$ ) denotes the transconductance gain of the corresponding VDBA. It is readily seen from eq.(3) that the proposed circuit of Fig.3 simulates a grounded series RC impedance with the equivalent resistance value of  $R_{eq} = 1/g_{m1}$  in series with the equivalent capacitance value of  $C_{eq} = C_x g_{m1}/g_{m2}$ . Thus, the value of  $R_{eq}$  is controllable electronically by tunable transconductance  $g_{m1}$ , while the value of  $C_{eq}$  is adjustable independently by  $g_{m2}$ . The circuit also does not require any cancellation or component-matching constraints.

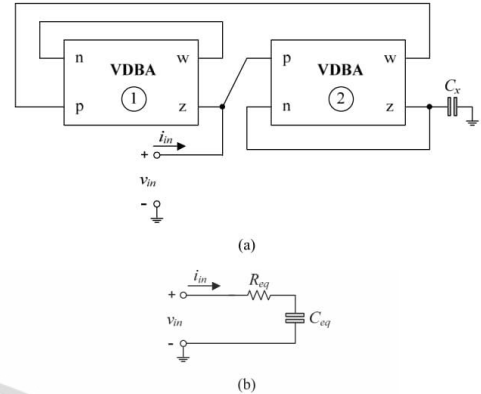


Fig. 3. Proposed grounded series RC impedance simulator circuit. (a) circuit diagram (b) equivalent circuit.

### IV. TRANSFER ERROR ANALYSIS

If the non-ideal gains of the VDBA are considered, the defining equation from eq.(1) becomes :

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (4)$$

where  $\alpha$  and  $\beta$  represent the non-ideal transconductance gain, and the non-ideal output buffering gain of the VDBA, respectively. Thus, taking into account these non-ideal parameters for the proposed circuit in Fig.3, the non-ideal input impedance is found to be :

$$Z_{in} = \frac{\alpha_2 g_{m2} + sC_x}{\alpha_1 g_{m1} [\alpha_2 g_{m2} (\beta_1 - \beta_2) + sC_x \beta_1]}, \quad (5)$$

where  $\alpha_i$  and  $\beta_i$  ( $i = 1, 2$ ) are the non-ideal gains  $\alpha$  and  $\beta$  of the corresponding VDBAs. From eq.(5), if the condition  $\omega \gg [\alpha_2 g_{m2} (\beta_1 - \beta_2) / \beta_1 C_x]$  is satisfied, then the non-ideal simulated equivalent resistance and capacitance can respectively be found as :

$$R_{eq} = \frac{1}{\alpha_1 \beta_1 g_{m1}}, \quad (6)$$

and

$$C_{eq} = \left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_x. \quad (7)$$

It is readily seen from eqs.(6) and (7) that the parasitic gains  $\alpha_i$  and  $\beta_i$  have an effect on the values of the simulated elements. However, the transconductance  $g_{m1}$  in eq.(6) can be used as a tool for tuning the equivalent resistance value, while in eq.(7),  $g_{m2}$  is also employed for compensating the small error in the equivalent capacitance  $C_{eq}$  of the proposed circuit.

### V. SIMULATION RESULTS AND DISCUSSIONS

To verify the theory, the proposed simulator circuit of Fig.3 has been simulated with PSPICE simulations using 0.25- $\mu\text{m}$  CMOS process parameters obtained from TSMC. The VDBA was simulated using the CMOS realization of Fig.2 with symmetrical power supply voltages of  $\pm V = \pm 0.75\text{V}$ , and  $I_A = 50\ \mu\text{A}$  [15]. The aspect ratios ( $W/L$ ) of the MOS transistors used in simulation are listed in Table I.

TABLE I  
TRANSISTOR ASPECT RATIOS OF THE VDBA CIRCUIT IN FIG.2.

Transistors	$W(\mu\text{m})/L(\mu\text{m})$
$M_1$ - $M_2$ , $M_5$ - $M_6$	25/0.25
$M_3$ , $M_7$	32/0.25
$M_4$ , $M_8$	35/0.25
$M_9$	25/0.25

For simulation purpose, the circuit of Fig.3 is constructed with  $I_{B1} = I_{B2} = 100\ \mu\text{A}$  ( $g_{m1} \cong g_{m2} \cong 1.58\ \text{mA/V}$ ) and  $C_x = 1\ \text{nF}$ . Fig.4 shows the simulated typical waveforms of the input voltage  $v_{in}$  and the current  $i_{in}$  through the proposed circuit, where the peak-to-peak voltage of the input sinusoidal wave is 100 mV, and the signal frequency is  $f = 100\ \text{kHz}$ . The results indicate that  $i_{in}$  leads  $v_{in}$  by  $65^\circ$ , whereas its theoretical value is  $68^\circ$ . The magnitude-frequency characteristic of the simulated RC impedance along with the ideal curve is plotted in Fig.5, which are good correspondence between the values observed for the operation frequency region from 10 kHz to 100 MHz. The simulated phase response is also shown in Fig.5, and the values are in close agreement with the theory. The total power consumption for the circuit is approximately 0.76 mW.

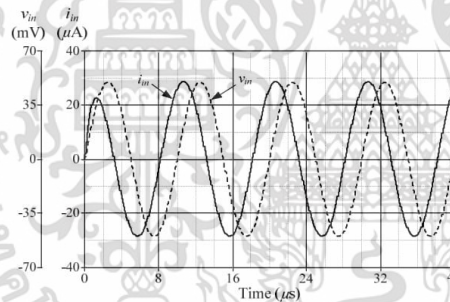


Fig. 4. Simulated transient responses for  $v_{in}$  and  $i_{in}$  through the circuit of Fig.3.

Fig.6 shows the electronic tuning for  $R_{eq}$  of the proposed simulator circuit in Fig.3 for three different values of  $I_{B1}$ , i.e.  $I_{B1} = 60\ \mu\text{A}$ ,  $170\ \mu\text{A}$ , and  $1000\ \mu\text{A}$  ( $g_{m1} \cong 1.22\ \text{mA/V}$ ,  $2\ \text{mA/V}$ , and  $5\ \text{mA/V}$ ). The remaining components are taken as:  $C_x = 1\ \text{nF}$  and  $I_{B2} = 250\ \mu\text{A}$  ( $g_{m2} \cong 2.50\ \text{mA/V}$ ). These setting lead to obtain the realized equivalent elements as:  $R_{eq} = 816\ \Omega$ ,  $485\ \Omega$ ,  $200\ \Omega$ , and  $C_{eq} = 0.50\ \text{nF}$ ,  $0.8\ \text{nF}$ ,  $2\ \text{nF}$ , respectively. The simulated results confirm that the value of  $R_{eq}$  can be electronically tuned by adjusting  $g_{m1}$ .

On the other hand, the magnitude-frequency characteristics of the proposed circuit for various biasing current  $I_{B2}$  are plotted in Fig.7 with  $C_x = 1\ \text{nF}$  and  $I_{B1} = 250\ \mu\text{A}$ . For above specified component values, the value of  $C_{eq}$  can be varied from 2 nF, 1.2 nF to 0.5 nF, while keeping the  $R_{eq}$ -value constant at  $R_{eq} = 400\ \Omega$ . From Figs.6 and 7, we see that the simulated element values  $R_{eq}$  and  $C_{eq}$  can be adjusted conveniently by appropriately tuning the  $I_B$  biasing currents of the VDBAs.

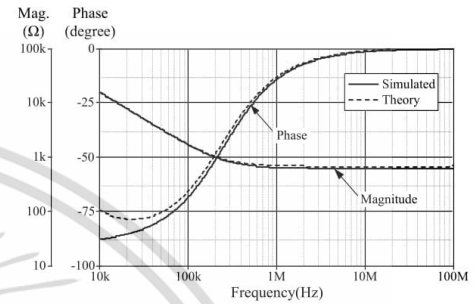


Fig. 5. Simulated and theoretical frequency responses for  $Z_{in}$  of Fig.3.

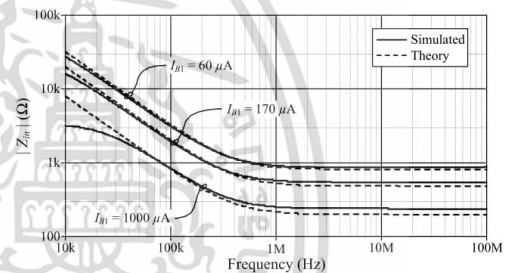


Fig. 6. Electronic tuning of the  $R_{eq}$ -value via the transconductance  $g_{m1}$ .

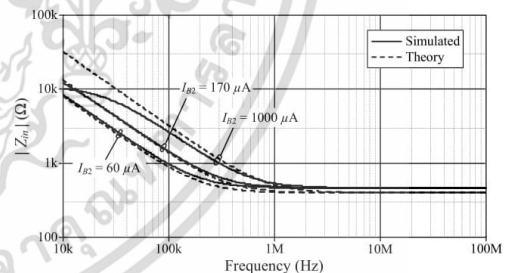


Fig. 7. Electronic tuning of the  $C_{eq}$ -value via the transconductance  $g_{m2}$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## VI. APPLICATION EXAMPLE

To demonstrate the usability of the proposed circuit, an active RLC second-order high-pass filter shown in Fig.8 is constructed [16]. The high-pass current transfer function of this filter can be given by :

$$H_{HP}(s) = \frac{I_{HP}}{I_{in}} = \frac{s^2}{s^2 + \left(\frac{R_{eq}}{L}\right)s + \frac{1}{LC_{eq}}} \quad (8)$$

with  $\omega_0 = (1/LC_{eq})^{1/2}$  and  $Q = (1/R_{eq})(L/C_{eq})^{1/2}$ . For  $\omega_0 = 2\pi f = 250$  kHz and  $Q = 1$ , the circuit of Fig.8 is implemented with  $L = 0.4$  mH. The series RC impedance has been simulated by using the series RC circuit in Fig.3 with  $g_{m1} = g_{m2} \cong 1.58$  mA/V,  $C_x = 1$  nF, corresponding to  $R_{eq} = 632 \Omega$  and  $C_{eq} = 1$  nF. Fig.9 shows the simulated and ideal frequency responses of the second-order high-pass filter. The results appear that the simulated results are in good agreement with theoretical ones.

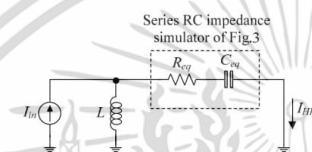


Fig. 8. Active RLC second-order high-pass filter used to illustrate the simple application of the proposed simulator circuit in Fig.3.

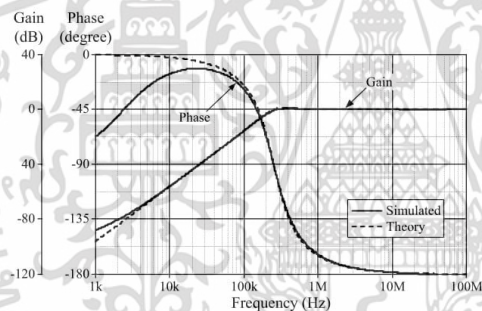


Fig. 9. Simulated frequency responses of the second-order high-pass filter realization of Fig.8.

## VII. CONCLUSIONS

An electronically tunable series RC impedance simulator circuit has been presented in this paper. The realizes simulator employs only two VDBAs and one grounded capacitor, and does not require any critical element matching conditions. The simulated equivalent element values are controllable electronically by adjusting the transconductance gains of the VDBAs. The non-ideal gain effect of the VDBA on the proposed simulator circuit are also been investigated. The feasibility of the proposed circuit and its current-mode filter application are explored, and computer simulations with

TSMC 0.25- $\mu$ m CMOS technology are included to verify the behavioral of the circuits.

## ACKNOWLEDGMENT

This work was supported by King Mongkut's Institute of Technology Ladkrabang Research Fund [Grant number KREF116001].

## REFERENCES

- [1] M. T. Ahmed, I. A. Khan, Nigar Minhaj, "Novel electronically tunable C-multipliers", *Electron. Lett.*, vol.31, pp.9-11, 1995.
- [2] M. T. Abuelma'atti, N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", *Microelectron. J.*, vol.30, pp.869-873, 1999.
- [3] E. Yuce, S. Minaei, O. Cicekoglul, "Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor", *Electrical Eng.*, vol.88, pp.519-525, 2006.
- [4] Y. A. Li, "A series of new circuits based on CFTAs", *Int. J. Electron. Commun. (AEU)*, vol.66, no.7, pp.587-592, 2012.
- [5] P. V. Ananda Mohan, "Floating capacitance simulation using current conveyors", *J. Circuits Syst. Comput.*, vol.14, no.1, pp.123-128, 2005.
- [6] E. Yuce, "A novel floating simulation topology composed of only grounded passive components", *Int. J. Electron.*, vol.97, pp.249-262, 2010.
- [7] U. E. Ayten, M. Sagbas, N. Herencesar, J. Koton, "Novel floating general element simulators using CBTA", *Radioengineering*, vol. 21, pp.11-19, 2012.
- [8] A. Lahiri, M. Gupta, "Realization of grounded negative capacitance using CFOAs", *Circuits Syst. Signal Process.*, vol.30, pp.143-155, 2011.
- [9] E. Yuce, "On the implementation of the floating simulators employing a single active device", *Int. J. Electron. Commun. (AEU)*, vol.61, pp.453-458, 2007.
- [10] E. Yuce, S. Minaei, "A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters", *IEEE Trans. Circuits Syst. I. Regular Papers*, vol.55, no.1 pp.266-275, 2008.
- [11] M. Sagbas, U. E. Ayten, H. Sedef, M. Koksul, "Floating immittance function simulator and its applications", *Circuits Syst. Signal Process.*, vol.28, pp.55-63, 2009.
- [12] S. Unhavanich, O. Onjan and W. Tangsrirat, "Tunable capacitance multiplier with a single voltage differencing buffered amplifier", *Proc. Int. MultiConf. Engineers Comp. Scientists 2016 Vol II*, IMECS 2016, March 16-18, Hong Kong, pp.568-571, 2016.
- [13] R. Sotner, J. Jerabek, N. Herencesar, "Voltage differencing buffered/inverted amplifiers and their applications for signal generation", *Radioengineering*, vol.22, no.2, pp.490-504, 2013.
- [14] F. Kacar, A. Yesil and A. Noori, "New CMOS realization of voltage differencing buffered amplifier and its biquad filter applications", *Radioengineering*, vol.21, no.1, pp.333-339, 2012.
- [15] T. Pukkalanun, N. Roongmanpha, and W. Tangsrirat, "Variable lossy series inductance simulator using single voltage differencing buffered amplifier (VDBA)", *Proc. Int. MultiConf. Engineers Comp. Scientists 2017 Vol II*, IMECS 2017, March 15-17, Hong Kong, pp. 656-659, 2017.
- [16] M. E. Van Valkenburg, *Analog Filter Design*, Oxford University Press., Inc., New York, 1982.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# 2018 ECTI-CON

18-21 JULY 2018,  
CHIANG RAI, THAILAND

15<sup>th</sup> INTERNATIONAL CONFERENCE ON ELECTRICAL  
ENGINEERING/ELECTRONICS, COMPUTER,  
TELECOMMUNICATIONS AND INFORMATION TECHNOLOGY

RAJAMANGALA UNIVERSITY OF TECHNOLOGY LANNA  
CONFERENCE VENUE : WIANG INN HOTEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# VDBA-Based Electronically Tunable Capacitance Multiplier with a Grounded Capacitor

Pitchayanin Moonmuang      Tattaya Pukkalanun      Worapong Tangsrirat

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL),  
Chalongkrung road, Ladkrabang, Bangkok 10520, Thailand  
pitchayanin.moonmuang@gmail.com, tattaya.pu@kmitl.ac.th, worapong.ta@kmitl.ac.th

**Abstract**—This work presents an electronically tunable grounded capacitance multiplier circuit based on the voltage differencing buffered amplifier (VDBA), a recently introduced active building block. The proposed capacitor circuit requires only two VDBAs, one floating resistor, and one grounded capacitor. The circuit can be tuned electronically via the VDBA transconductance ratio. The effect of the VDBA non-idealities on the simulated capacitance value has also been discussed in detail. The usability of the proposed tunable capacitance simulator has been verified by realizing the fourth-order low-pass filter application with a Butterworth approximation. In order to verify the theory, the behavior of the circuits is evaluated with PSPICE simulation program using TSMC 0.25- $\mu\text{m}$  CMOS process parameters.

**Keywords**—Voltage Differencing Buffered Amplifier (VDBA); capacitance multiplier; impedance simulator; electronically tunable circuit.

## I. INTRODUCTION

It is well known that the large-valued physical capacitor is either not impractical or permitted to fabricate in the integrated circuit (IC) technology. Accordingly, the capacitance simulator circuit or capacitance multiplier circuit is very useful elements for very large-scale integration (VLSI) implementation. Considering this fact, the use of the capacitance multiplication topology has been widely investigated in a number of various applications, especially for active filter and oscillator designs, cancellation of parasitic elements, and impedance matching circuitries. Several works for realizing actively capacitance multiplier circuits using different types of active devices were proposed in the literature [1]-[12]. In [1]-[10], at least three passive components were employed, which enlarge the silicon chip area. An alternative grounded capacitance simulator circuit using two different active elements, and two passive elements was proposed in [11]. Although the work of [12] employ only a single active element and two passive elements, a floating capacitor is required for its realization which is not attractive for IC implementation. In addition to [5]-[6], [8]-[10], the circuits suffer from the lack of electronic adjustability.

Recently, an attention is focused on the use of the voltage differencing buffered amplifier (VDBA) as a modern electronic active building block in the analog signal processing circuits and applications [13]. Many application

universalities using VDBAs as active elements, such as active filter and sinusoidal oscillator design, and immittance function simulator realizations, have been developed [14]-[18]. In this study, a configuration for the realization of an actively tunable grounded capacitance multiplier is proposed. The proposed configuration consists of only two VDBAs, one resistor and one capacitor. The capacitance multiplication factor can be tuned with direct biasing currents over a wide range. Therefore, the simulation of high equivalent capacitance values for integrated circuit fabrication is feasible. As an illustrative application, an active fourth-order Butterworth low-pass ladder filter using the proposed circuit was also simulated. PSPICE simulation results using 0.25- $\mu\text{m}$  CMOS model parameter from TSMC are performed to evaluate the characteristics of the proposed capacitance multiplier circuit and its application.

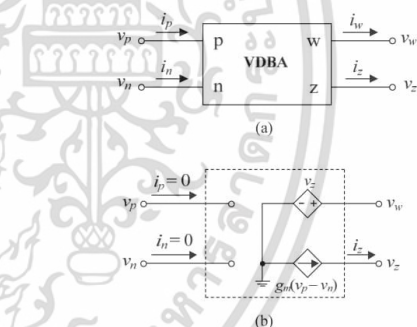


Fig. 1. VDBA (a) electrical symbol (b) its behavior model.

## II. DESCRIPTION OF THE VDBA

The symbolic representation of the VDBA and its behavior model are illustrated in Fig.1. As is shown, the VDBA is an alternative versatile active element having four terminals, namely high-impedance voltage differencing input terminals p and n, a high-impedance current output terminal z, and a low-impedance output of a voltage buffer labeled as w. Therefore, its idea operation can be described by the following matrix equation [14]-[15]:

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (1)$$

where  $g_m$  is the small-signal transconductance gain of the VDBA. Generally, the  $g_m$ -value is electronically controllable over several decades by a supplied bias current/voltage, which lends electronic tunability to design circuit parameters. According to the behavior model of Fig.1(b), the differential input voltage between the terminals p and n ( $v_p-v_n$ ) is converted to a current at the z-terminal ( $i_z$ ) by a  $g_m$ -parameter. The voltage across the z-terminal ( $v_z$ ) is then conveyed to the output voltage at the w-terminal ( $v_w$ ).

### III. PROPOSED CAPACITANCE MULTIPLIER CIRCUIT

The proposed capacitance multiplier circuit is shown in Fig.2. It employs only two VDBAs, and one floating resistor  $R_1$  and one grounded capacitor  $C_1$ .  $C_1$  is the external grounded capacitance, which has to be multiplied. Routine circuit analysis of the configuration proposed in Fig.2 with  $R_1 = 1/g_{m1}$  yields the input impedance  $Z_{in}$  expressed as :

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{sC_{eq}}, \quad (2)$$

$$\text{where } C_{eq} = \left( \frac{g_{m1}}{g_{m2}} \right) C_1 \quad (3)$$

and  $g_{mi}$  ( $i = 1, 2$ ) denotes the transconductance gain of the  $i$ -th VDBA. Note from eq.(3) that, the realized circuit simulates a scaled capacitance, which is feasible electronically by adjusting the appropriate ratio  $g_{m1}/g_{m2}$ .

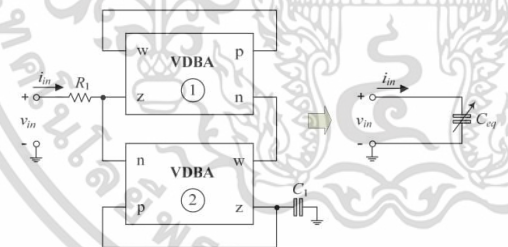


Fig. 2. Proposed electronically tunable capacitance multiplier and its equivalent circuit.

### IV. NON-IDEAL ANALYSIS

In non-ideal case, it is useful to consider the following non-ideal gains of the VDBA :

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (4)$$

where  $\alpha$  and  $\beta$  refer to the non-ideal transconductance gain, and the non-ideal output buffering gain of the VDBA, respectively. If the non-ideal parameters  $\alpha$  and  $\beta$  are taken into account in the analysis of the proposed circuit in Fig.2, the non-ideal input impedance is found to be :

$$Z_{in} = R_1 + \left\{ \frac{\alpha_2 g_{m2} - sC_1}{\alpha_1 g_{m1} [\alpha_2 g_{m2} (\beta_2 - \beta_1) + sC_1 \beta_1]} \right\}. \quad (5)$$

Here,  $\alpha_i$  and  $\beta_i$  ( $i = 1, 2$ ) are the non-ideality parameters of the  $i$ -th VDBA. From eq.(5), if the operating frequency ( $\omega$ ) is much greater than  $[\alpha_2 g_{m2} (\beta_2 - \beta_1) / C_1 \beta_1]$  and  $R_1 \cong 1/(\alpha_1 \beta_1 g_{m1})$ , then the equivalent non-ideal capacitance can be expressed as :

$$C_{eq} = \left( \frac{\alpha_1 \beta_1 g_{m1}}{\alpha_2 g_{m2}} \right) C_1. \quad (6)$$

It is thus seen from (6) that the parameters  $\alpha_i$  and  $\beta_i$  of the corresponding VDBA do effect on the value of the simulated capacitor. However, if we assume that  $\alpha_1 \cong \alpha_2$ , this effect could be alleviated. Furthermore, the transconductances  $g_{mi}$  of the VDBAs can also be used as tools to compensate the small deviation in the equivalent capacitance value  $C_{eq}$  of the proposed circuit.

### V. SIMULATION, VERIFICATION AND DISCUSSION

The performance of the proposed capacitance multiplier circuit of Fig.2 has been evaluated with PSPICE simulations using TSMC 0.25- $\mu\text{m}$  CMOS technology. The VDBA was simulated using the CMOS realization of Fig.3 with symmetrical power supply voltages of  $\pm V = \pm 0.75\text{V}$ , and  $I_A = 50 \mu\text{A}$  [16]. The dimensions  $W/L$  of the MOS transistors used in the VDBA realization are given in Table I. From Fig.3, the  $g_m$ -value of the VDBA is determined by the source couple  $M_1$ - $M_2$ , which can be expressed as :

$$g_m = \sqrt{\mu C_{ox} \left( \frac{W}{L} \right) I_B}, \quad (7)$$

where  $\mu$  is the mobility of carriers,  $C_{ox}$  is the gate capacitance per unit area,  $W$  and  $L$  are channel width and channel length of the transistor devices, respectively. As it can be observed from (7), the  $g_m$ -value can be scaled electronically by the external biasing current  $I_B$ .

To demonstrate the feasibility of the proposed capacitance multiplier of Fig.2, the simulations are performed with  $I_{B1} = I_{B2} = 100 \mu\text{A}$  ( $g_{m1} \cong g_{m2} \cong 1.58 \text{ mA/V}$ ) and  $C_1 = 1 \text{ nF}$ . Fig.4 shows the simulated time-domain responses for  $v_{in}$  and  $i_{in}$  of the grounded capacitance simulator in Fig.2, where the applied

frequency is  $f = 200$  kHz. As can be recorded from the results there is a positive  $81^\circ$  phase shifting between  $v_{in}$  and  $i_{in}$  where its ideal value is  $90^\circ$ . It is easy to observe that the circuit works well as a capacitance simulator. Similarly, both of the ideal and simulated impedances of the realized capacitance simulator against frequency are depicted in Fig.5. The results demonstrate that the simulated responses are in good agreement with the theoretical responses in the frequency range of 1 kHz to 5 MHz with the maximum errors within 10%. The total power dissipation for the circuit is found to be 1.57 mW.

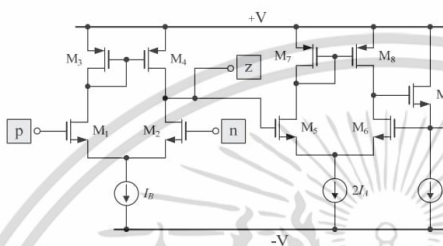


Fig. 3. CMOS implementation of the VDBA used for simulations.

TABLE I  
TRANSISTOR DIMENSIONS OF THE CMOS VDBA CIRCUIT IN FIG.3.

Transistors	W( $\mu$ m)/L( $\mu$ m)
M <sub>1</sub> -M <sub>2</sub> , M <sub>5</sub> -M <sub>6</sub>	25/0.25
M <sub>3</sub> , M <sub>7</sub>	32/0.25
M <sub>4</sub> , M <sub>8</sub>	35/0.25
M <sub>9</sub>	25/0.25

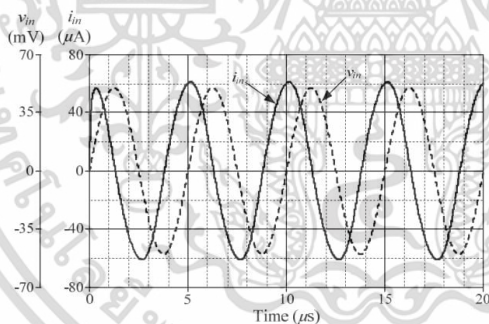


Fig. 4. Simulated transient responses for the proposed capacitance multiplier circuit of Fig.2.

Fig.6 shows the simulated magnitude-frequency characteristics of  $Z_m$  comparing with the ideal ones for  $C_1 = 1$  nF and four different values of  $g_{m1}/g_{m2}$ , i.e.  $g_{m1}/g_{m2} = 0.1, 0.5, 2$  and  $10$  ( $I_{B1}/I_{B2} = 10\mu A/1000\mu A, 10\mu A/40\mu A, 1000\mu A/250\mu A$  and  $1000\mu A/10\mu A$ ). For this specified component values, the realized equivalent capacitance value is obtained as

$C_{eq} = 0.1$  nF,  $0.5$  nF,  $2$  nF and  $10$  nF, respectively. The results verified the prediction of (3) that the value of  $C_{eq}$  can be electronically tuned by the ratio of  $g_{m1}/g_{m2}$ .

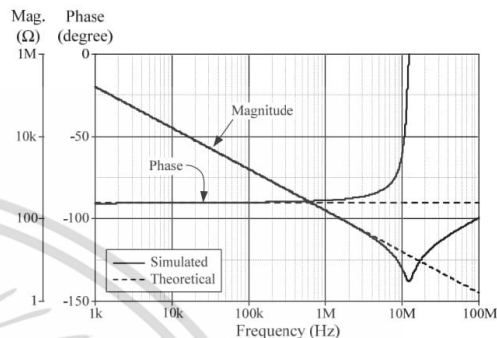


Fig. 5. Simulated and theoretical frequency responses for  $Z_m$  of Fig.2.

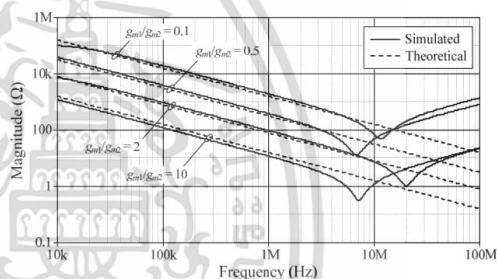


Fig. 6. Electronic tuning of the  $C_{eq}$  value via the ratio of  $g_{m1}/g_{m2}$ .

To illustrate the workability of the proposed capacitance multiplier in Fig.2, it is employed in the realization of the fourth-order doubly-terminated Butterworth low-pass filter in Fig.7 [19]. To obtain a Butterworth characteristic with a cut-off frequency of  $\omega_c = 628$  krad/sec, the denormalized component values are obtained as :  $R_S = R_L = 1$  k $\Omega$ ,  $L_1 = 1.218$  mH,  $L_3 = 2.941$  mH,  $C_{eq1} = 2.9$  nF and  $C_{eq2} = 1.2$  nF. The capacitors  $C_{eq1}$  and  $C_{eq2}$  have been realized by using the capacitance simulator of Fig.2 with following component values :  $I_{B1} = 950$   $\mu$ A ( $g_{m1} \cong 4.87$  mA/V),  $I_{B2} = 110$   $\mu$ A ( $g_{m2} \cong 1.66$  mA/V) and  $C_1 = 1$  nF for  $C_{eq1}$ , and  $I_{B1} = 150$   $\mu$ A ( $g_{m1} \cong 1.94$  mA/V),  $I_{B2} = 100$   $\mu$ A ( $g_{m2} \cong 1.58$  mA/V) and  $C_1 = 1$  nF for  $C_{eq2}$ . Fig.8 compares the frequency characteristics of the fourth-order Butterworth low-pass filter with passive capacitors and simulated capacitors. As can be seen, the simulated filter characteristics agree well with the predicted prototype ones.

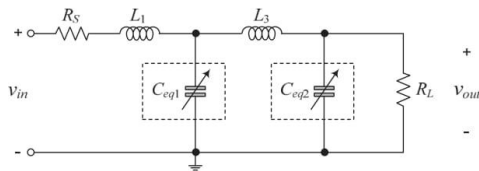


Fig. 7. Fourth-order doubly-terminated Butterworth low-pass filter.

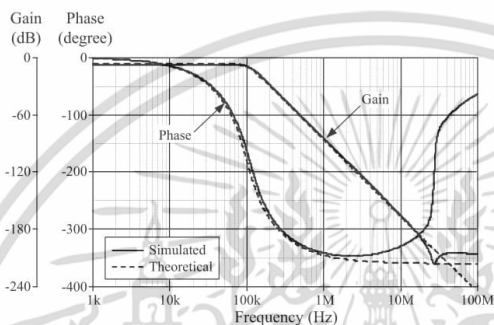


Fig. 8. Frequency responses of the fourth-order Butterworth low-pass filter realization of Fig.7.

VI. CONCLUSIONS

In summary, an alternative scheme for realizing a grounded capacitance multiplier circuit with electronically adjustable multiplication factor is introduced. The simulated capacitor is composed of two VDAs, one external resistor, and one grounded capacitor. The equivalent simulated capacitance value of the realized circuit can be adjusted electronically through the transconductance ratio of the VDBA elements. The effect of the VDBA non-ideal transfer gains on the synthetic equivalent capacitance has also been discussed in detail. Simulation results based on TSMC 0.25- $\mu$ m CMOS process with  $\pm 0.75$ V bias voltages are performed to verify the theoretical analysis and demonstrate the performance of the proposed simulator circuit and its ladder filter design application.

ACKNOWLEDGMENT

This work was supported by King Mongkut's Institute of Technology Ladkrabang Research Fund [Grant number KREF116001].

REFERENCES

- [1] M. T. Ahmed, I. A. Khan, Nigar Minhaj, "Novel electronically tunable C-multipliers", *Electron. Lett.*, vol.31, pp.9-11, 1995.
- [2] M. T. Abuelma'atti, N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", *Microelectron. J.*, vol.30, pp.869-873, 1999.
- [3] E. Yuce, S. Minaei, O. Cicekoglu, "Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor", *Electrical Eng.*, vol.88, pp.519-525, 2006.
- [4] Y. A. Li, "A series of new circuits based on CFTAs", *Int. J. Electron. Commun. (AEU)*, vol.66, no.7, pp.587-592, 2012.
- [5] P. V. Ananda Mohan, "Floating capacitance simulation using current conveyors", *J. Circuits Syst. Comput.*, vol.14, no.1, pp.123-128, 2005.
- [6] E. Yuce, "A novel floating simulation topology composed of only grounded passive components", *Int. J. Electron.*, vol.97, pp.249-262, 2010.
- [7] U. E. Ayten, M. Sagbas, N. Herencsar, J. Koton, "Novel floating general element simulators using CBTA", *Radioengineering*, vol. 21, pp.11-19, 2012.
- [8] A. Lahiri, M. Gupta, "Realization of grounded negative capacitance using CFOAs", *Circuits Syst. Signal Process.*, vol.30, pp.143-155, 2011.
- [9] E. Yuce, "On the implementation of the floating simulators employing a single active device", *Int. J. Electron. Commun. (AEU)*, vol.61, pp.453-458, 2007.
- [10] E. Yuce, S. Minaei, "A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters", *IEEE Trans. Circuits Syst. I. Regular Papers*, vol.55, no.1 pp.266-275, 2008.
- [11] M. Sagbas, U. E. Ayten, H. Sedef, M. Koksak, "Floating immittance function simulator and its applications", *Circuits Syst. Signal Process.*, vol.28, pp.55-63, 2009.
- [12] S. Unhavanich, O. Onjan and W. Tangsrirat, "Tunable capacitance multiplier with a single voltage differencing buffered amplifier", *Proc. Int. MultiConf. Engineers Comp. Scientists 2016 Vol II, IMECS 2016*, March 16-18, Hong Kong, pp.568-571, 2016.
- [13] D. Birolek, R. Senani, V. Biolkova, Z. Kolka, "Active elements for analog signal processing : classification, review, and new proposals", *Radioengineering*, vol.17, no.4, pp. 15-32, 2008.
- [14] R. Sotner, J. Jerabek, N. Herencsar, "Voltage differencing buffered inverted amplifiers and their applications for signal generation", *Radioengineering*, vol.22, no.2, pp.490-504, 2013.
- [15] F. Kacar, A. Yesil and A. Noori, "New CMOS realization of voltage differencing buffered amplifier and its biquad filter applications", *Radioengineering*, vol.21, no.1, pp.333-339, 2012.
- [16] T. Pukkalanun, N. Roongmanpha, and W. Tangsrirat, "Variable lossy series inductance simulator using single voltage differencing buffered amplifier (VDBA)", *Proc. Int. MultiConf. Engineers Comp. Scientists 2017 Vol II, IMECS 2017*, March 15-17, Hong Kong, pp. 656-659, 2017.
- [17] W. Tangsrirat, O. Onjan, T. Pukkalanun, "SFG synthesis of general nth-order allpole voltage transfer functions using VDDBAs and grounded capacitors", *Proc. JICTEE-2014*, Chiang Rai, Thailand, 5-8 March, pp.291-294, 2014.
- [18] A. Yesil, F. Kacar and K. Gurkan, "Lossless grounded inductance simulator employing single VDBA and its experimental band-pass filter application", *Int. J. Electron. Commun. (AEU)*, vol. 68, pp. 143-150, 2014.
- [19] M. E. Van Valkenburg, *Analog Filter Design*, Oxford University Press., Inc., New York, 1982.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# IEEA 2019

16 March-19 March, 2019

Osaka, Japan

2019 The 8th International Conference on Informatics,  
Environment, Energy and Applications

[www.ieea.org](http://www.ieea.org)

## CALL FOR PAPERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Voltage Differencing Buffered Amplifier-Based Electronically Tunable Grounded Capacitance Multiplier

Pitchayanin Moonmuang  
Faculty of Engineering,  
King Mongkut's Institute of  
Technology Ladkrabang (KMITL),  
Chalongkrung road, Ladkrabang,  
Bangkok 10520, Thailand  
pitchayanin.moonmuang  
@gmail.com

Tattaya Pukkalanun  
Faculty of Engineering,  
King Mongkut's Institute of  
Technology Ladkrabang (KMITL),  
Chalongkrung road, Ladkrabang,  
Bangkok 10520, Thailand  
tattaya.pu@kmitl.ac.th

Worapong Tangsirat  
Faculty of Engineering,  
King Mongkut's Institute of  
Technology Ladkrabang (KMITL),  
Chalongkrung road, Ladkrabang,  
Bangkok 10520, Thailand  
worapong.ta@kmitl.ac.th

## ABSTRACT

A minimal realization of electronically adjustable capacitance multiplication topology with voltage differencing buffered amplifier (VDBA) is proposed. The proposed capacitance multiplier circuit is designed by means of two VDBAs and one floating capacitor. A capacitance multiplication factor is adjusted electronically through the ratio of two transconductances. The effect of the non-ideal gains of the VDBA is also taken into account and carried out. As an analog application example, the proposed capacitance multiplier circuit is utilized in the design of an electronically tunable first-order low-pass filter. PSPICE simulations with TSMC 0.25- $\mu\text{m}$  CMOS technology are included to support the theoretical analysis.

## Keywords

Voltage Differencing Buffered Amplifier (VDBA); capacitance multiplier; impedance simulator; Electronic communications; Information systems

## 1. INTRODUCTION

Large-valued capacitors with good linearity and accuracy have widely employed in many analog signal processing circuits and solutions, such as radio frequency building blocks, sample and hold data circuits, sensor interfacing circuits and fully integrated phase lock loops [1]-[2]. For standard silicon-based integrated circuit (IC) technology, a capacitor can be fabricated on silicon wafer in the same way as a transistor. However, the large-valued capacitors suffer from large occupation of silicon chip areas [3]-[4]. Over the years, to obtain large-valued capacitors for standard silicon-based IC technology, the active element-based capacitance multiplier design is used; see the references cited therein [5]-[17]. Some previously reported capacitance multipliers [5]-[14] need at least three passive components to obtain higher capacitive values. The other capacitance multiplier [15] requires two different active elements, and two passive elements for large-valued capacitor. Also in the recent communications [16]-[17], the VDBA (voltage differencing buffered amplifier) is an attractive device for designing capacitance multiplier circuits. However, they still require two external passive components for their constructions. In addition to the circuits given in [9]-[10], [12]-[14], they are also suffering from the lack of electronic adjustability.

Permission to make digital or hard copies of all or part of this work for personal or classroom use is granted without fee provided that copies are not made or distributed for profit or commercial advantage and that copies bear this notice and the full citation on the first page. To copy otherwise, or republish, to post on servers or to redistribute to lists, requires prior specific permission and/or a fee.

IEEA '19, March 16–19, 2019, Osaka, Japan.

Copyright 2010 ACM 1-58113-000-0/00/0010 ...\$15.00.

DOI: <http://dx.doi.org/10.1145/12345.67890>

Therefore, in this report, we have focused our attention on the capacitance multiplication topology with electronically tunable property by means of voltage differencing buffered amplifiers (VDBAs) [18]-[19]. It uses two VDBAs and one floating capacitor. No critical active and passive element constraints are needed for the realization of the proposed circuit. The simulated equivalent capacitance value ( $C_{eq}$ ) of the realized capacitor can be tuned with the ratio of the two VDBA transconductance gains. The effect of All VDBA non-idealities on the realized equivalent capacitance is discussed in detail. The illustrative application of the proposed capacitance multiplier in the realization of the electronically tunable first-order low-pass filter has been demonstrated. PSPICE simulation results using TSMC 0.25- $\mu\text{m}$  CMOS process parameters are critically performed to agree with the theory developed.

## 2. Principle of Voltage Differencing Buffered Amplifier (VDBA)

The symbolic circuit representation and equivalent circuit of the VDBA device are demonstrated in Fig.1. For the ideal operation, the voltage-current characteristic of the VDBA circuit can be expressed by the following matrix relation:

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (1)$$

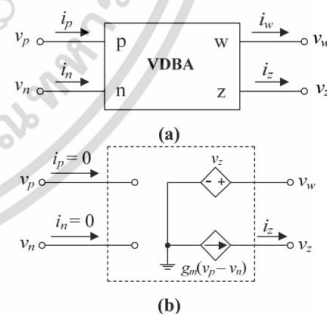


Figure 1. VDBA (a) symbolic circuit representation (b) its equivalent circuit.

In above expression, the parameter  $g_m$  denotes the small-signal transconductance gain of the VDBA, which in general is adjustable by electronic means. This property makes the VDBA device suitable for designing electronically tunable analog and mixed signal processing circuits. According to Fig.1(b), the differential input voltage applied to the terminals p and n ( $v_p-v_n$ ) is transformed to a current flowing out of the z-terminal ( $i_z$ ) by the  $g_m$ -parameter. The voltage drop at the z-terminal ( $v_z$ ) is also transferred to the output voltage at the w-terminal ( $v_w$ ).

In term of circuit architecture, we have adopted the CMOS circuit realization of the VDBA introduced in [20] for performing the proposed circuit. The simplified schematic of the CMOS VDBA is pictured in Fig.2. Assume that the transistors  $M_1$ - $M_2$  and  $M_3$ - $M_4$  are well matched, the effective small-signal transconductance gain ( $g_m$ ) realized from this structure can be determined by the following:

$$g_m = \sqrt{\mu C_{ox} \left( \frac{W}{L} \right) I_B} \quad (2)$$

where  $\mu$  is the mobility of carriers,  $C_{ox}$  is the gate capacitance per unit area,  $W$  and  $L$  are channel width and channel length of the transistor devices, respectively. Also note from eq.(2) that the value of  $g_m$  is electronically controllable through varying the value of the external DC biasing current  $I_B$ . In this work, the transistor sizes of the internal circuit structure in Fig.2 are provided in Table 1.

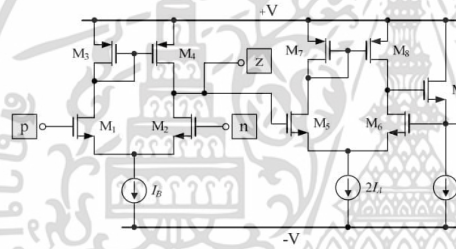


Figure 2. Internal circuit structure of the CMOS VDBA used in this work.

TABLE 1  
TRANSISTOR SIZES OF THE CMOS VDBA IN FIG.2.

Transistors	$W(\mu m)/L(\mu m)$
$M_1$ - $M_2$ , $M_5$ - $M_6$	25/0.25
$M_3$ , $M_7$	32/0.25
$M_4$ , $M_8$	35/0.25
$M_9$	25/0.25

### 3. PROPOSED GROUNDED CAPACITANCE MULTIPLIER

The proposed actively simulated capacitance multiplication circuit is depicted in Fig.3. The multiplier consists of only two VDBAs as active elements together with a single capacitor  $C_1$  as an external passive element. According to the characteristic of the VDBA described in eq.(1), the expression for the input impedance  $Z_{in}$  of Fig.3 is derived as:

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{sC_{eq}} = \frac{1}{sC_1 \left( 1 + \frac{g_{m1}}{g_{m2}} \right)} \quad (3)$$

where  $g_{m1}$  and  $g_{m2}$  represent the transconductance gains of the  $i$ -th VDBA ( $i = 1, 2$ ). From eq.(3), the equivalent capacitance is realized of value:

$$C_{eq} = \left( 1 + \frac{g_{m1}}{g_{m2}} \right) C_1 \quad (4)$$

It is evident that the proposed circuit realizes a tunable grounded capacitor with a capacitance multiplication factor given by  $(1 + g_{m1}/g_{m2})$ . Accordingly, the value of the realized equivalent capacitance ( $C_{eq}$ ) can be controlled electronically by the ratio of two transconductances. Additionally, there are no critical component matching conditions for this design.

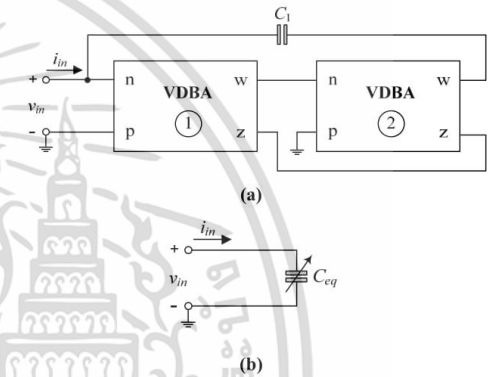


Figure 3. Proposed capacitance multiplier established with VDBAs  
(a) circuit realization (b) its behavior model.

### 4. Non-Ideal Performance and Sensitivity Analysis of The Proposed Circuit

In non-ideal case, the relationship between voltage and current of the VDBA given in eq.(1) can be rewritten as:

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} \quad (5)$$

In this case,  $\alpha = (1 - \epsilon_{gm})$  and  $\beta = (1 - \epsilon_v)$ , where  $|\epsilon_{gm}| \ll 1$  denotes the transconductance inaccuracy, and  $|\epsilon_v| \ll 1$  denote the voltage tracking error from terminal z to terminal w, respectively. Routine circuit analysis with the non-ideal characteristics of (5) gives the following equivalent input impedance:

$$Z_{in} = \frac{1}{sC_{eq}} = \frac{1}{sC_1 \left( 1 + \frac{\alpha_1 \beta_2 g_{m1}}{\alpha_2 \beta_1 g_{m2}} \right)} \quad (6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

where the non-ideal equivalent capacitance value is obtained as:

$$C_{eq} = \left( 1 + \frac{\alpha_1 \beta_2 g_{m1}}{\alpha_2 \beta_1 g_{m2}} \right) C_1 \quad (7)$$

In above expressions, the parameters  $\alpha_i$  and  $\beta_i$  denote the non-ideal transfer gains  $\alpha$  and  $\beta$  of the  $i$ -th VDBA ( $i = 1, 2$ ), respectively.

To further evaluate the performance of the realized capacitance multiplier circuit, the sensitivity analysis is also accomplished. The active and passive sensitivities of the  $C_{eq}$  for the non-ideal relation in (7) are listed as follows:

$$S_{\alpha_1}^{C_{eq}} = S_{\beta_2}^{C_{eq}} = S_{g_{m1}}^{C_{eq}} = \frac{1}{1 + \left( \frac{\alpha_2 \beta_1 g_{m2}}{\alpha_1 \beta_2 g_{m1}} \right)} < 1 \quad (8)$$

$$S_{\alpha_2}^{C_{eq}} = S_{\beta_1}^{C_{eq}} = S_{g_{m2}}^{C_{eq}} = -\frac{1}{1 + \left( \frac{\alpha_2 \beta_1 g_{m2}}{\alpha_1 \beta_2 g_{m1}} \right)} < -1 \quad (9)$$

and  $S_{C_1}^{C_{eq}} = 1 \quad (10)$

From (8)-(10), it can be observed that all the absolute values of the component sensitivities are no more than unity.

## 5. Simulations, Verifications and Discussions

The proposed grounded capacitance multiplication topology illustrated in Fig.3(a) is tested with PSPICE simulations using a CMOS VDBA of Fig.2. For simulation purpose, the circuit of Fig.2 was biased with symmetrical supply voltages of  $+V = -V = 0.75V$ , and the biasing currents of  $I_A = 50 \mu A$ . The external capacitor to be multiplied was chosen as:  $C_1 = 10$  pF.

As an example of the performance of the proposed circuit of Fig.3(a), the transconductances were set equal to  $g_{m1} = g_{m2} \cong 1.58$  mA/V ( $I_{B1} = I_{B2} = 100 \mu A$ ), in order to give an equivalent capacitance value of about  $C_{eq} = 20$  pF. The simulation results obtained for the transient waveforms of  $v_{in}$  and  $i_{in}$  are depicted in Fig.4 for a 80 mV peak-to-peak sinusoidal input signal at the frequency of  $f = 400$  kHz. It can be recorded from Fig.4 that the phase of the current  $i_{in}$  leads that of the voltage  $v_{in}$  by  $86^\circ$ , which is very close to the expected value equal to  $90^\circ$ . In this case, the total power consumption of the circuit was measured to be only 0.75 mW. On the other hand, the simulated magnitude and phase characteristics of the input impedance  $Z_{in}$  of the proposed capacitance multiplier circuit in Fig.3(a) along with the ideal responses are compared in Fig.5. As these resulting frequency characteristics, the simulation results are good correspondence with the theory for the frequency range from 1 kHz to 100 MHz approximately.

Fig.6 illustrates the electronic variations of the simulated equivalent capacitance value against the ration of  $g_{m1}/g_{m2}$  for three different values of the external capacitor ( $C_1$ ). For this purpose, the DC biasing currents were chosen as:  $g_{m1}$  increasing from 0.5 mA/V to 5 mA/V ( $I_{B1} \cong 10 \mu A \sim 1$  mA), and  $g_{m2}$  decreasing from 5 mA/V to 0.5 mA/V ( $I_{B2} \cong 1$  mA  $\sim 10 \mu A$ ), which results in the multiplication factor ranging from 1.1 to 11. Note that the value of  $C_{eq}$  was recorded at 400 kHz.

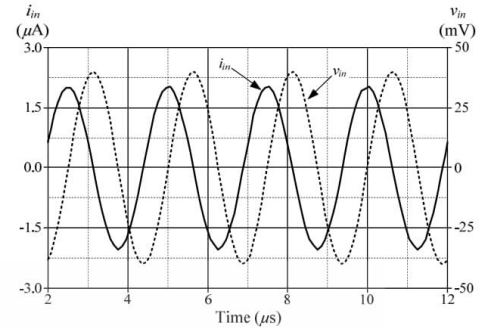


Figure 4. Simulated time-domain responses for the sinusoidal input signals of the proposed capacitance multiplier circuit in Fig.3(a).

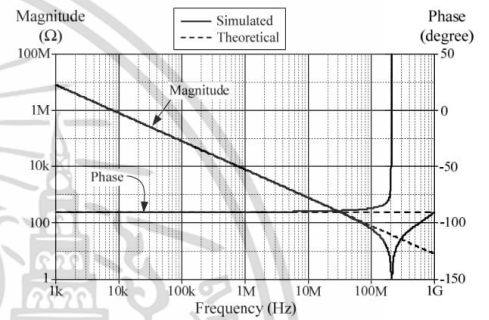


Figure 5. Magnitude- and phase-frequency characteristics for the input impedance  $Z_{in}$  of the proposed capacitance multiplier circuit in Fig.3(a).

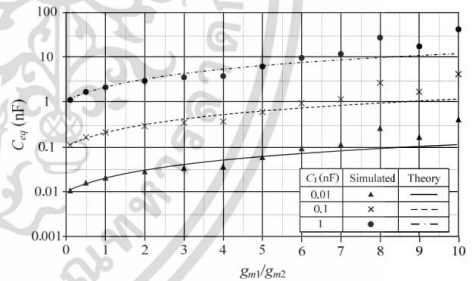


Figure 6.  $C_{eq}$ -value against  $g_{m1}/g_{m2}$  ratio for three different values of  $C_1$ .

## 6. Application Example

An active voltage-mode first-order low-pass filter shown in Fig.7 is utilized to demonstrate the practical performance of the proposed grounded capacitance multiplier circuit in Fig.3(a). The filter structure of Fig.7 was constructed with the following components:  $R_1 = 1$  k $\Omega$ ,  $C_1 = 10$  pF and  $g_{m2} = 1$  mA/V ( $I_{B2} = 40 \mu A$ ). The transconductance  $g_{m1}$  was swept from 0.5 mA/V, 1 mA/V to 5 mA/V, corresponding to the cut-off frequency ( $f_c =$

$1/2\pi R_1 C_{eq}$ ) at 10.6 MHz, 8 MHz, and 2.65 MHz, respectively. The simulation results for the three different values of cut-off frequency are shown in Fig.8, where the corresponding  $f_c$  obtained from the simulation results show a good agreement with the ideal values.

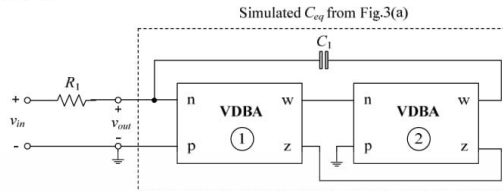


Figure 7. First-order low-pass filter realized with the proposed grounded capacitance multiplier circuit of Fig.3(a).

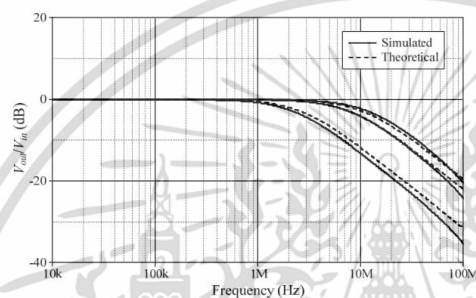


Figure 8. Simulated frequency characteristics of the lowpass filter in Fig.7 with three different values of  $g_{m1}$ .

## 7. CONCLUSION

A minimal realization of a capacitance multiplier circuit based on VDBAs is introduced. The capacitance multiplier is made up of only two VDBAs and one floating capacitor, which allows the electronic control of the capacitance multiplication factor. The electronically tunable multiplying factor is achieved by tuning the bias currents of the VDBAs. The practical performance of the proposed circuit is demonstrated on the design and simulation of first-order voltage-mode low-pass filter. Simulation results in good agreement with the expectation analysis are also reported.

## 8. ACKNOWLEDGMENT

This work was supported by King Mongkut's Institute of Technology Ladkrabang Research Fund [Grant number KREF116001].

## 9. REFERENCES

- [1] Pennisi, S. 2002. CMOS multiplier for grounded capacitors. *Electron. Lett.* 38, 765-766.
- [2] Choi, J., Park, J., Kim, W., Lim, K., and Laskar J., 2009. High multiplication factor capacitor multiplier for an on-chip PLL loop filter. *Electron. Lett.* 45, 239-240.
- [3] Aparicio, R. and Hajimiri, A. 2002. Capacity limits and matching properties of integrated capacitors. *IEEE J. Solid-State Circ.* 37, 384-393.
- [4] Hwang, L. C. 2006. Area-efficient and self-biased capacitor multiplier for on-chip loop filter. *Electron. Lett.* 42, 1392-1393.

- [5] Ahmed, M. T., Khan, I. A., and Minhaj, N. 1995. Novel electronically tunable C-multipliers. *Electron. Lett.* 31, 9-11.
- [6] Abuelma'atti, M. T., and Tasadduq, N. A. 1999. Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor. *Microelectron. J.* 30, 869-873.
- [7] Yuce, E., Minaei, S., and Cicekoglu, O. 2006. Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor. *Electrical Eng.* 88, 519-525.
- [8] Li, Y. A. 2012. A series of new circuits based on CFTAs. *Int. J. Electron. Commun. (AEU)*. 66, 7, 587-592.
- [9] Ananda Mohan, P. V. 2005. Floating capacitance simulation using current conveyors. *J. Circuits Syst. Comput.* 14, 1, 123-128.
- [10] Yuce, E. 2010. A novel floating simulation topology composed of only grounded passive components. *Int. J. Electron.* 97, 249-262.
- [11] Ayten, U. E., Sagbas, M., Herencsar, N., and Koton J. 2012. Novel floating general element simulators using CBTA. *Radioengineering*. 21, 11-19.
- [12] Lahiri, A., and Gupta, M. 2011. Realization of grounded negative capacitance using CFOAs. *Circuits Syst. Signal Process.* 30, 143-155.
- [13] Yuce, E. 2007. On the implementation of the floating simulators employing a single active device. *Int. J. Electron. Commun. (AEU)*. 61, 453-458.
- [14] Yuce E., and Minaei S. 2008. A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters. *IEEE Trans. Circuits Syst. I, Regular Papers*. 55, 1, 266-275.
- [15] Sagbas, M., Ayten, U. E., Sedef, H., and Koksall M. 2009. Floating immittance function simulator and its applications. *Circuits Syst. Signal Process.* 28, 55-63.
- [16] Unhavanich, S., Onjan, O., and Tangsrirat, W. 2016. Tunable capacitance multiplier with a single voltage differencing buffered amplifier. *Proc. Int. MultiConf. Engineers Comp. Scientists 2016 Vol II* (March 16-18, 2016). IMECS 2016, Hong Kong, 568-571.
- [17] Moonmuang, P., Pukkalanun, T. and Tangsrirat, W. 2018. VDBA-based electronically tunable capacitance multiplier with a grounded capacitor. *Proc. 2018 15th Int. Conf. Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology* (Chiang Rai, July 18-21, 2018), ECTI-CON 2018, Thailand, 90-93.
- [18] Birolek, D., Senani, R., Biolkova, V., and Kolka Z. 2008. Active elements for analog signal processing : classification, review, and new proposals. *Radioengineering*. 17, 4, 15-32.
- [19] Sotner, R., Jerabek, J., and Herencsar, N. 2013. Voltage differencing buffered/inverted amplifiers and their applications for signal generation. *Radioengineering*. 22, 2, 490-504.
- [20] Tangsrirat, W. 2017. Synthetic grounded lossy inductance simulators using single VDIBA. *IETE Journal of Research*. 63, 1, 134-141.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**ELECTRICAL  
ENGINEERING  
NETWORK 2019**

## การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้า ครั้งที่ 11

**The 11<sup>th</sup> Conference of Electrical Engineering Network 2019**

วันที่ 15-17 พฤษภาคม พ.ศ. 2562

ณ โรงแรมกรุงศรีริเวอร์ อำเภอ พระนครศรีอยุธยา

จังหวัด พระนครศรีอยุธยา



### Conference Topics

1. ไฟฟ้ากำลัง (Electrical Power : PW)
2. อิเล็กทรอนิกส์กำลัง (Power Electronics : PE)
3. พลังงานและการอนุรักษ์พลังงาน (Energy and Energy Saving : ES)
4. ระบบควบคุมและการวัด (Control Systems and Instrumentation : CT)



5. คอมพิวเตอร์และเทคโนโลยีสารสนเทศ (Computer and Information Technology : CP)
6. วงจรอิเล็กทรอนิกส์และการสื่อสาร (Electronics Circuit and Communication : EC)
7. นวัตกรรมและสิ่งประดิษฐ์ (Innovation and Invention : IN)
8. งานวิจัยที่เกี่ยวข้องกับวิศวกรรมไฟฟ้า (General Electrical Engineering : GN)
9. หัวข้อพิเศษในด้านวิศวกรรมไฟฟ้า (Special Session on Electrical Engineering : SS)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้า ครั้งที่ 11

## The 11<sup>th</sup> Conference of Electrical Engineering Network 2019 (EENET2019)

ขอมอบเกียรติบัตรฉบับนี้ให้เพื่อแสดงว่า

พิชญานิน มูลเมือง เจษฎาพร สถานทรัพย์ ทศยา ปุคคละนันท์ และ วรพงศ์ ตั้งศรีรัตน์  
ได้รับคัดเลือกเป็นบทความดีเด่น สาขาวงจรอิเล็กทรอนิกส์และระบบสื่อสาร

เรื่อง "วงจรมิติทริกเกอร์ที่ควบคุมขนาดแรงดันเอาต์พุตและฮิสเตอร์รีซิสได้อย่างเชิงเส้นและเป็นอิสระ  
ด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้วงจร VDBA"

ผู้ช่วยศาสตราจารย์ ดร.ประมุข อุณหเลขกะ  
ประธานคณะกรรมการเครือข่ายวิศวกรรมไฟฟ้า

เจ้าอาภาคโฑ ดร.ฉัตรชัย คุณพิทักษ์สกุล  
ประธานดำเนินงานจัดการประชุมครั้งที่ 11

### วงจรมิติทริกเกอร์ที่ควบคุมขนาดแรงดันเอาต์พุตและฮิสเตอร์รีซิสได้อย่างเชิงเส้นและเป็นอิสระด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้วงจรว DDBA

#### VDBA-Based Schmitt Trigger with Linearly and Independently Controllable Amplitude and Hysteresis

พิชญานิน มุลเมือง<sup>1</sup> เจษฎาพร สกลนทร์พิชัย<sup>2</sup> ทศยา ปุคละนันท์<sup>1</sup> และ วรพงษ์ ตั้งศรีรัตน์<sup>1</sup>

<sup>1</sup>ภาควิชาวิศวกรรมการวัดและควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ถนนฉลองกรุง แขวงลาดกระบัง เขตลาดกระบัง กรุงเทพมหานคร 10520 โทรศัพท์ 02-326-4205

<sup>2</sup>สาขาวิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี

เลขที่ 96 หมู่ 3 ถนนพหลโยธินสาย 5 ตำบลศาลาขาว อำเภอพหลโยธิน จังหวัดนครปฐม 73170

E-mail: pitchayanin.moonmuang@gmail.com, jetsdaporn.s@rmutr.ac.th, lattaya.pu@kmitl.ac.th, worapong.ta@kmitl.ac.th

#### บทคัดย่อ

บทความนี้นำเสนอวงจรมิติทริกเกอร์ โหมดแรงดันโดยใช้วงจรว DDBA (voltage differencing buffered amplifier) จำนวนสองตัว และตัวต้านทานต่อเทียบกราวด์จำนวนสองตัว วงจรที่นำเสนอมีโครงสร้างเรียบง่าย ไม่ซับซ้อน สามารถควบคุมขนาดแรงดันเอาต์พุตและขนาดแรงดันขีดเริ่มของวงจรวได้อย่างเป็นเชิงเส้นและเป็นอิสระไม่ส่งผลกระทบต่อกันโดยวิธีการทางอิเล็กทรอนิกส์ด้วยการควบคุมค่ากระแสไบอัสของวงจรว DDBA คุณสมบัติการทำงานของวงจรวได้ถูกตรวจสอบด้วยผลการจำลองการทำงานโดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยี 0.25- $\mu$ m CMOS ของบริษัท TSMC ซึ่งพบว่าผลตอบสนองของวงจรวมีความสอดคล้องและถูกต้องเป็นไปตามหลักการทางทฤษฎี

คำสำคัญ: วงจรว DDBA (Voltage Differencing Buffered Amplifier), วงจรมิติทริกเกอร์, วงจรวเปรียบเทียบแรงดัน, วงจรวโหมดแรงดัน

#### Abstract

This paper presents a voltage-mode Schmitt trigger circuit using two VDBAs (Voltage Differencing Buffered Amplifiers) and two grounded resistors. The presented circuit has a simple structure configuration, and can be controlled the output voltage amplitude and the threshold voltages independently and linearly by means of the VDBA biasing currents. The performance of this work has been shown by PSPICE simulations based on TSMC 0.25- $\mu$ m CMOS technology, which are in close agreement with theory.

Keywords: VDBA (Voltage Differencing Buffered Amplifier), Schmitt trigger circuit, comparator, voltage-mode circuit

#### 1. บทนำ

วงจรมิติทริกเกอร์ได้ถูกนำเสนอขึ้นเป็นครั้งแรกในปี ค.ศ 1938 [1] เพื่อนำไปประยุกต์ใช้งานด้านเครื่องมือวัดและควบคุม เช่น วงจรกำเนิดสัญญาณ สามเหลี่ยมและสี่เหลี่ยม (triangular/square-wave generator) [2] เป็นต้น งานวิจัยที่นำเสนอขึ้นใน [3] ได้ทำการออกแบบและพัฒนาวงจรมิติทริกเกอร์โดยใช้เทคโนโลยีซีมอส (CMOS) ซึ่งพบว่าจำเป็นต้องทำงานภายใต้แรงดันไฟเลี้ยงสูงกว่า 5 V ถึงแม้ว่าวงจรมิติทริกเกอร์ใน [4] และ [5] นั้น จะทำงานที่แรงดันไฟเลี้ยงต่ำก็ตาม แต่ก็ไม่สามารถปรับช่วงฮิสเตอร์รีซิส (hysteresis) ได้ ทำให้เกิดความไม่สะดวกในการนำไปประยุกต์ใช้งาน ปัจจุบันนักวิจัยบางส่วนนิยมหันมาพัฒนาออกแบบวงจรมิติทริกเกอร์โดยใช้อุปกรณ์แอคทีฟ (active element) ชนิดต่างๆ มากมาย อาทิเช่น วงจรสายพานกระแส [6] วงจรว OTA (operational transconductance amplifier) [7]-[9] และวงจรว CDTA (current differencing transconductance amplifier) [10] เป็นต้น แต่จากการทบทวนงานวิจัยเหล่านี้พบว่าโครงสร้างของวงจรวที่นำเสนอประกอบด้วยจำนวนอุปกรณ์แอคทีฟและพาสซีฟอย่างละสามตัว [7] จึงทำให้วงจรมีรูปแบบที่ซับซ้อน กินพื้นที่วงจรวโดยรวม และสิ้นเปลืองกำลังไฟฟ้าสูง ในขณะที่งานวิจัย [8] ได้ทำการออกแบบวงจรมิติทริกเกอร์โดยใช้อุปกรณ์แอคทีฟและพาสซีฟอย่างละสองตัว แต่ยังคงจำเป็นต้องอาศัยแรงดันไฟเลี้ยงสูงถึง  $\pm 10$  V

ดังนั้นบทความนี้จึงนำเสนอวงจรมิติทริกเกอร์โดยใช้วงจรว DDBA (voltage differencing buffered amplifier) [11] เป็นอุปกรณ์แอคทีฟหลักจำนวนสองตัว ต่อร่วมกับตัวต้านทานเทียบกราวด์อีกสองตัวเท่านั้น ทำให้โครงสร้างวงจรวมีความกะทัดรัด และไม่ซับซ้อน เมื่อเปรียบเทียบกับงานวิจัยที่ได้นำเสนอมาก่อนหน้านี้ [3]-[5], [7]-[9] วงจรวที่นำเสนอมีจุดเด่นในการปรับขนาดแรงดันเอาต์พุต (output voltage amplitude) และขนาดของแรงดันขีดเริ่ม (threshold voltage) ได้อย่างอิสระและเป็นเชิงเส้นด้วยวิธีการทางอิเล็กทรอนิกส์โดยการควบคุมกระแสไบอัสของวงจรว DDBA คุณสมบัติในการทำงานของวงจรวถูก

15-17 พฤษภาคม พ.ศ. 2562 โรงแรมกรุงศรีริเวอร์ อำเภอพระนครศรีอยุธยา จังหวัดพระนครศรีอยุธยา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความวิจัย

การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้า ครั้งที่ 11

11<sup>th</sup> Conference of Electrical Engineering Network 2019 (EENET2019)

แสดงให้เห็นด้วยผลการจำลองการทำงาน โดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยี TSMC 0.25- $\mu\text{m}$  CMOS

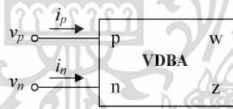
2. วงจร VDBA

2.1 คุณสมบัติการทำงานของวงจร VDBA

สัญลักษณ์ทางไฟฟ้าของวงจร VDBA แสดงได้ดังรูปที่ 1 โดยมีขั้ว p และขั้ว n ทำหน้าที่เป็นขั้วสัญญาณอินพุต และขั้ว z และขั้ว w ทำหน้าที่เป็นขั้วสัญญาณเอาต์พุต คุณสมบัติการทำงานของวงจร VDBA ในทางอุดมคติ สามารถเขียนอธิบายได้ดังความสัมพันธ์ต่อไปนี้ [11]-[12]

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ i_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & -1 & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ v_w \end{bmatrix} \quad (1)$$

โดยที่  $g_m$  คือ อัตราขยายค่าความนำ (transconductance gain) ของวงจร VDBA ซึ่งโดยทั่วไปสามารถปรับค่าได้ทางอ้อมหรือนิเทศด้วยการควบคุมกระแสไบอัสจากภายนอก สมการ (1) แสดงให้เห็นว่าผลต่างของแรงดันอินพุตที่ป้อนให้กับขั้ว p และขั้ว n ( $v_p - v_n$ ) จะถูกเปลี่ยนไปเป็นกระแสเอาต์พุต  $i_z$  ที่ขั้ว z ในขณะที่แรงดันคร่อมขั้ว z ( $v_z$ ) จะถูกส่งผ่านไปเป็นแรงดันเอาต์พุตที่ขั้ว w ( $v_w$ )



รูปที่ 1 สัญลักษณ์ทางไฟฟ้าของวงจร VDBA

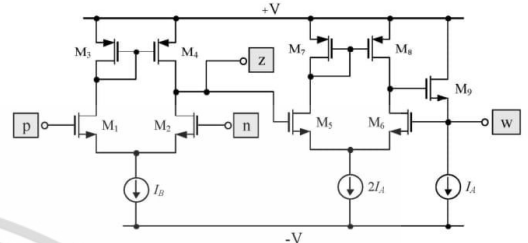
2.2 วงจร VDBA แบบใช้เทคโนโลยี CMOS

การสังเคราะห์วงจร VDBA โดยใช้เทคโนโลยีแบบ CMOS มีโครงสร้างภายในแสดงได้ดังรูปที่ 2 [12] ซึ่งประกอบด้วยวงจรถ่ายโอนสองส่วน คือ วงจรขยายค่าความนำ (transconductor circuit,  $M_1 - M_4$ ) และวงจรตามแรงดัน (voltage buffer circuit,  $M_5 - M_6$ ) กรณีนี้จะได้อัตราขยายค่าความนำ ( $g_m$ ) กรณีสัญญาณขนาดเล็กของวงจรเท่ากับ

$$g_m = \sqrt{\mu_n C_{ox} \left( \frac{W}{L} \right) I_B} \quad (2)$$

เมื่อ  $I_B$  คือ กระแสไบอัสจากภายนอก  $\mu_n$  คือ ค่าความคล่องตัวของพาหะตัวนำ (effective carrier mobility)  $C_{ox}$  คือ ค่าความจุไฟฟ้าแผ่นต่อหนึ่งหน่วยพื้นที่ (gate oxide capacitance per unit area)  $W$  และ  $L$  คือ ความกว้างประสิทธิผลและความยาวประสิทธิผลของช่องนำกระแส (effective channel width and length) ของทรานซิสเตอร์  $M_1$  และ  $M_2$  เมื่อพิจารณา

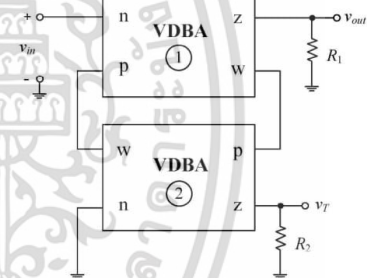
สมการ (2) จะเห็นว่าวงจร VDBA ดังรูปที่ 2 นั้นสามารถปรับอัตราขยายค่าความนำ  $g_m$  ได้โดยการควบคุมค่ากระแสไบอัส  $I_B$  จากภายนอก



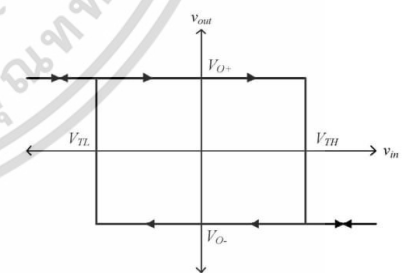
รูปที่ 2 โครงสร้างภายในของวงจร VDBA แบบใช้เทคโนโลยี CMOS

3. วงจรขมิตริกเกอร์ที่นำเสนอ

รูปที่ 3 แสดงวงจรขมิตริกเกอร์ที่นำเสนอ ซึ่งประกอบด้วยวงจร VDBA เป็นอุปกรณ์แอคทีฟหลักจำนวนสองตัว และตัวต้านทานเทียบกราวด์สองตัว คุณสมบัติการถ่ายโอนแรงดันไฟฟ้าตรง (DC voltage transfer characteristic) ของวงจรสามารถแสดงได้รูปที่ 4



รูปที่ 3 วงจรขมิตริกเกอร์ที่นำเสนอ

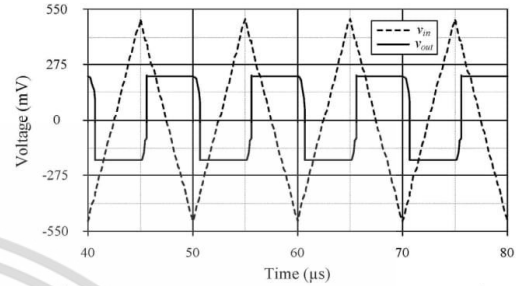


รูปที่ 4 กราฟคุณสมบัติการถ่ายโอนแรงดันของวงจรขมิตริกเกอร์ในรูปที่ 3

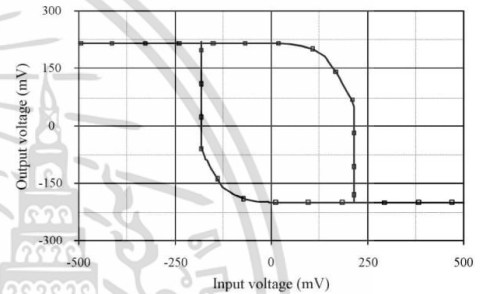
เมื่ออาศัยคุณสมบัติการทำงานของวงจร VDBA ดังสมการ (1) ทำให้ได้แรงดันเอาต์พุตด้านบวก ( $V_{O+}$ ) และแรงดันเอาต์พุตด้านลบ ( $V_{O-}$ ) ของวงจรขมิตริกเกอร์ที่นำเสนอในรูปที่ 3 เป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

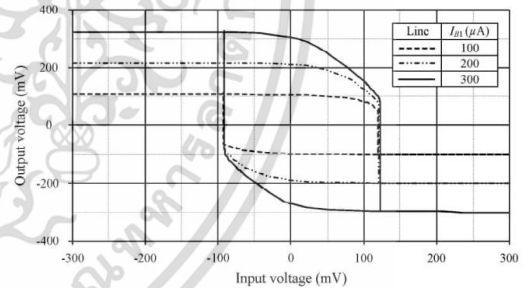
แรงดันขีดเริ่มได้ด้วย  $I_{B2}$  ของวงจร VDBA2 ซึ่งมีคุณสมบัติในการทำงานสอดคล้องและเป็นไปตามหลักการทางทฤษฎี



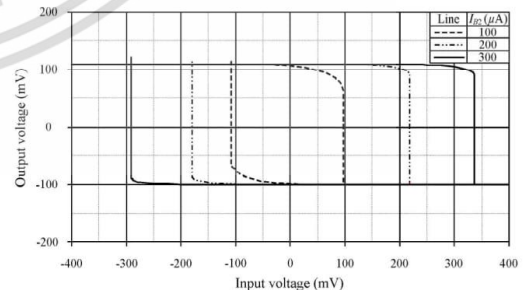
รูปที่ 3 ผลตอบสนองทางเวลาของ  $v_{in}$  และ  $v_{out}$  ของวงจรในรูปแบบที่ 3



รูปที่ 5 ผลตอบสนองการถ่ายโอนแรงดัน  $v_{in}$  กับ  $v_{out}$  ของวงจรซิมเทริกเกอร์ในรูปแบบที่ 3



รูปที่ 6 ผลตอบสนองทางขนาดของ  $v_{out}$  เมื่อแปรค่า  $I_{B1}$



รูปที่ 7 ผลตอบสนองทางขนาดของ  $v_{out}$  เมื่อแปรค่า  $I_{B2}$

$$v_{out} = V_{O+} = +I_{B1}R_1 \text{ เมื่อ } V_{TH} > v_p \quad (3ก)$$

$$\text{และ } v_{out} = V_{O-} = -I_{B1}R_1 \text{ เมื่อ } V_{TL} < v_p \quad (3ข)$$

ในขณะที่แรงดันขีดเริ่ม (threshold voltage,  $v_p$ ) ของวงจร ทางด้านขีดจำกัดสูง ( $V_{TL}$ ) และขีดจำกัดต่ำ ( $V_{TH}$ ) มีค่าเท่ากับ

$$v_T = V_{TH} = +I_{B2}R_2 \text{ เมื่อ } V_{O+} > 0 \quad (4ก)$$

$$\text{และ } v_T = V_{TL} = -I_{B2}R_2 \text{ เมื่อ } V_{O-} < 0 \quad (4ข)$$

เมื่อ  $I_{Bi}$  ( $i = 1, 2$ ) คือกระแสไบอัส  $I_B$  ของวงจร VDBA ตัวที่  $i$  ดังนั้นพิจารณาสมการ (3) และ (4) จะเห็นว่าขนาดของแรงดันเอาต์พุต  $V_{O+}$  และ  $V_{O-}$  ของวงจรมีค่าขึ้นอยู่กับค่ากระแสไบอัส  $I_{B1}$  โดยไม่ส่งผลกระทบต่อระดับแรงดันขีดเริ่ม ส่วนระดับแรงดันขีดเริ่มนี้ก็สามารถปรับค่าได้อย่างอิสระจากการควบคุมค่ากระแสไบอัส  $I_{B2}$  เช่นกัน

#### 4. ผลการจำลองการทำงานของวงจร

คุณสมบัติการทำงานของวงจรซิมเทริกเกอร์ที่นำเสนอในรูปที่ 3 นั้น ถูกแสดงให้เห็นจริงด้วยผลการจำลองการทำงานโดยใช้โปรแกรม PSPICE ภายได้เทคโนโลยี TSMC 0.25- $\mu\text{m}$  CMOS ในการจำลองได้กำหนดอัตราส่วน  $W/L$  ( $\mu\text{m}/\mu\text{m}$ ) ของวงจร VDBA ในรูปที่ 2 เป็นดังนี้  $M_1$ - $M_2$ ,  $M_3$ - $M_4$  และ  $M_5$  เท่ากับ 25/0.25  $M_3$  และ  $M_4$  เท่ากับ 32/0.25  $M_1$  และ  $M_2$  เท่ากับ 35/0.25 โดยที่  $I_A = 50 \mu\text{A}$  และ  $+V = -V = 0.75 \text{ V}$  ซึ่งพบว่ากำลังไฟฟ้าสูญเสียทั้งหมด (total power consumption) ที่เกิดขึ้นในวงจรมีค่าเท่ากับ 1.38 mW

รูปที่ 5 แสดงผลจำลองผลตอบสนองทางเวลาของ  $v_{in}$  และ  $v_{out}$  ของวงจรซิมเทริกเกอร์ที่นำเสนอในรูปที่ 3 ในขณะที่รูปที่ 6 แสดงกราฟคุณสมบัติการถ่ายโอนแรงดันไฟตรงระหว่าง  $v_{in}$  กับ  $v_{out}$  เมื่อป้อนแรงดันอินพุตขนาด 50 mVp ที่ความถี่ 100 kHz เมื่อกำหนดให้  $I_{B1} = I_{B2} = 200 \mu\text{A}$  ( $g_m \cong 2.3 \text{ mA/V}$ ) และ  $R_1 = R_2 = 1 \text{ k}\Omega$

รูปที่ 7 แสดงผลการจำลองผลตอบสนองทางขนาดของ  $v_{out}$  เมื่อแปรค่า  $I_{B1}$  เป็นสามค่า ดังนี้  $I_{B1} = 100 \mu\text{A}$ ,  $200 \mu\text{A}$  และ  $300 \mu\text{A}$  ผลการจำลองทำให้ได้  $V_{O+}$  เท่ากับ 109 mV, 217 mV และ 322 mV และจะได้  $V_{O-}$  มีค่าเท่ากับ -99 mV, -199 mV และ -299 mV ตามลำดับ จากกราฟแสดงให้เห็นว่าวงจรที่นำเสนอในรูปที่ 3 นั้นสามารถปรับค่าขนาดแรงดันเอาต์พุตทั้งทางด้านบวกและด้านลบได้อย่างเป็นเชิงเส้น โดยการควบคุมค่ากระแสไบอัส  $I_{B1}$  ของวงจร VDBA1 โดยไม่ส่งผลกระทบต่อขนาดแรงดันขีดเริ่มของวงจร จากผลการจำลองพบว่าความผิดพลาดในการส่งผ่านแรงดันสูงสุดไม่เกิน 9%

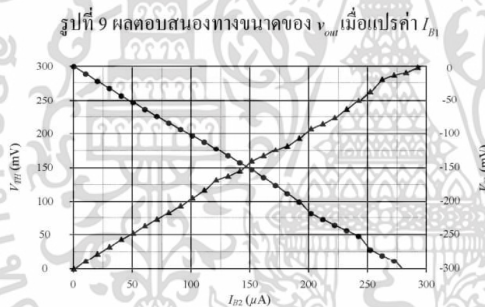
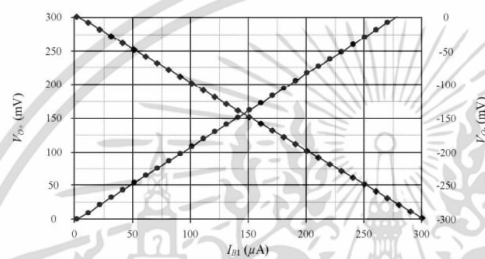
ผลการจำลองผลตอบสนองทางขนาดของ  $v_T$  เมื่อทำการแปรค่า  $I_{B2}$  เป็น 100  $\mu\text{A}$ , 200  $\mu\text{A}$  และ 300  $\mu\text{A}$  แสดงได้ดังรูปที่ 8 ซึ่งพบว่า  $V_{TH}$  มีค่าเท่ากับ 107 mV, 180 mV และ 290 mV โดยที่  $V_{TL}$  เท่ากับ -97 mV, -218 mV และ -330 mV ตามลำดับ จากผลการจำลองแสดงถึงการปรับค่า

## บทความวิจัย

การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้า ครั้งที่ 11

11<sup>th</sup> Conference of Electrical Engineering Network 2019 (EENET2019)

รูปที่ 9 แสดงถึงผลตอบสนองทางขนาดของ  $v_{out}$  เมื่อแปรค่า  $I_{B1}$  ตั้งแต่  $0 \mu A$  ถึง  $300 \mu A$  โดยกำหนดให้  $I_{B2} = 100 \mu A$  และ  $R_1 = R_2 = 1 k\Omega$  จากกราฟแสดงให้เห็นว่าค่า  $V_{O+}$  และ  $V_{O-}$  ที่ได้มีความสอดคล้องกับทางทฤษฎีดังสมการ (3) รูปที่ 10 แสดงผลตอบสนองทางขนาดของ  $V_r$  เมื่อแปรค่า  $I_{B2}$  ตั้งแต่  $0 \mu A$  ถึง  $300 \mu A$  เมื่อกำหนด  $I_{B1}$  มีค่าคงที่เท่ากับ  $100 \mu A$  ซึ่งผลการจำลองการทำงานค่าแรงขับเริ่มต้นทั้งด้านต่ำและด้านสูงมีความใกล้เคียงกับผลทางทฤษฎีดังสมการ (4) ดังนั้นรูปที่ 9 และ 10 แสดงให้เห็นว่าวงจรมีคุณสมบัติเด่นในการปรับค่าทางอิเล็กทรอนิกส์โดยการแปรค่า  $I_B$  จากภายนอกของวงจร VDBA

รูปที่ 10 ผลตอบสนองทางขนาดของ  $v_r$  เมื่อแปรค่า  $I_{B2}$ 

## 5. สรุป

บทความนี้ได้นำเสนอการสังเคราะห์วงจรจรมิทริกเกอร์โดยใช้วงจร VDBA ซึ่งเป็นอุปกรณ์แอคทีฟหลักจำนวนสองตัว และตัวต้านทานต่อเพื่อขบกราวจำนวนสองตัว ทำให้มีโครงสร้างเรียบง่าย วงจรที่นำเสนอยังสามารถปรับขนาดแรงดันเอาต์พุตและระดับแรงขับเริ่มต้นได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยไม่ส่งผลกระทบต่อกันด้วยการแปรค่ากระแสไบอัสของวงจร VDBA คุณสมบัติในการทำงานของวงจรถูกทดสอบและแสดงผลด้วยการจำลองการทำงานโดยใช้โปรแกรม PSPICE เทคโนโลยี  $0.25\text{-}\mu m$  CMOS ซึ่งปรากฏผลสอดคล้องและใกล้เคียงตามหลักการทางทฤษฎี

## 6. กิตติกรรมประกาศ

งานวิจัยนี้ได้รับการสนับสนุนจากคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

## เอกสารอ้างอิง

- [1] O. H. Schmitt, "A thermionic trigger", *Journal of Scientific Instruments*, vol. 15, no.1, pp. 24-26, 1938.
- [2] A. Srinivasulu, "Current conveyor based relaxation oscillator with tunable grounded resistor/capacitor", *Int. J. Design. Analysis and Tools for Interg. Circ.Syst.*, vol. 3, no.2, pp. 1-7, 2012.
- [3] A. Pfister, "Novel CMOS Schmitt trigger with controllable hysteresis", *Electronics Letters*, vol. 28, no.7, pp. 639-641, 1992.
- [4] C. Zhang, A. Srivastava and P. K. Ajmera, "Low voltage CMOS Schmitt trigger circuits", *Electronics Letters*, vol. 39, no.24, pp. 1696 - 1698, 2003.
- [5] V. Katyal, R. L. Geiger, D. J. Chen, "Adjustable hysteresis CMOS Schmitt triggers", *Proc. IEEE-ISCAS 2008*, Seattle, WA, USA, pp. 1938-1941, 2008.
- [6] A. Srinivasulu and D. Pal, "CCII+ based novel waveform generator with grounded resistor/capacitor for tuning", *21<sup>st</sup> Proc. IEEE-SEIC 2016*, Pilsen, Czech Republic, pp. 247-252, 2016.
- [7] W. S. Chung and H. Kim, "Triangular/square-wave generator with independently controllable frequency and amplitude", *IEEE Trans. Instrum. Meas.*, vol. 54, no.1, pp. 105-109, 2005.
- [8] K. Kim, H. W. Cha and W. S. Chung, "OTA-R Schmitt trigger with independently controllable threshold and output voltage levels", *Electronics Letters*, vol. 33, no.13, pp. 1103-1105, 1997.
- [9] H. Kim, H. J. Kim and W. S. Chung, "Pulsewidth modulation circuits using CMOS OTAs", *IEEE Trans. Circ. Syst.-I: Reg. Papers*, vol. 54, no.9, pp. 1869 - 1878, 2007.
- [10] G. S. Soni and M. S. Ansari, "Current-mode electronically-tunable Schmitt trigger using single 65nm  $\pm 0.75V$  CMOS CDTA", *Proc. IEEE-ICSPCT 2014*, Ajmer, India, pp. 137-141, 2014.
- [11] D. Birolek, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing; classification, review and new proposals", *Radioengineering*, Vol. 17, No. 4, pp. 15-32, 2008.
- [12] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, "VDBA-based electronically tunable capacitance multiplier with a grounded capacitor", *15<sup>th</sup> Proc. ECTI-CON 2018*, pp. 485-488, Chiang Rai, Thailand, 18-21 July, 2018.

15-17 พฤษภาคม พ.ศ. 2562 โรงแรมกรุงศรีวิเวอร์ อำเภอพระนครศรีอยุธยา จังหวัดพระนครศรีอยุธยา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นางสาวพิชญานิน มูลเมือง
วัน-เดือน-ปีเกิด	วันที่ 17 กันยายน พ.ศ. 2536
ที่อยู่	83/37 หมู่ 3 ตำบลบ้านสวน อำเภอเมือง จังหวัดชลบุรี 20000
ประวัติการศึกษา	สำเร็จการศึกษาระดับปริญญาตรี หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2558 และได้เข้าศึกษาต่อระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2560



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้