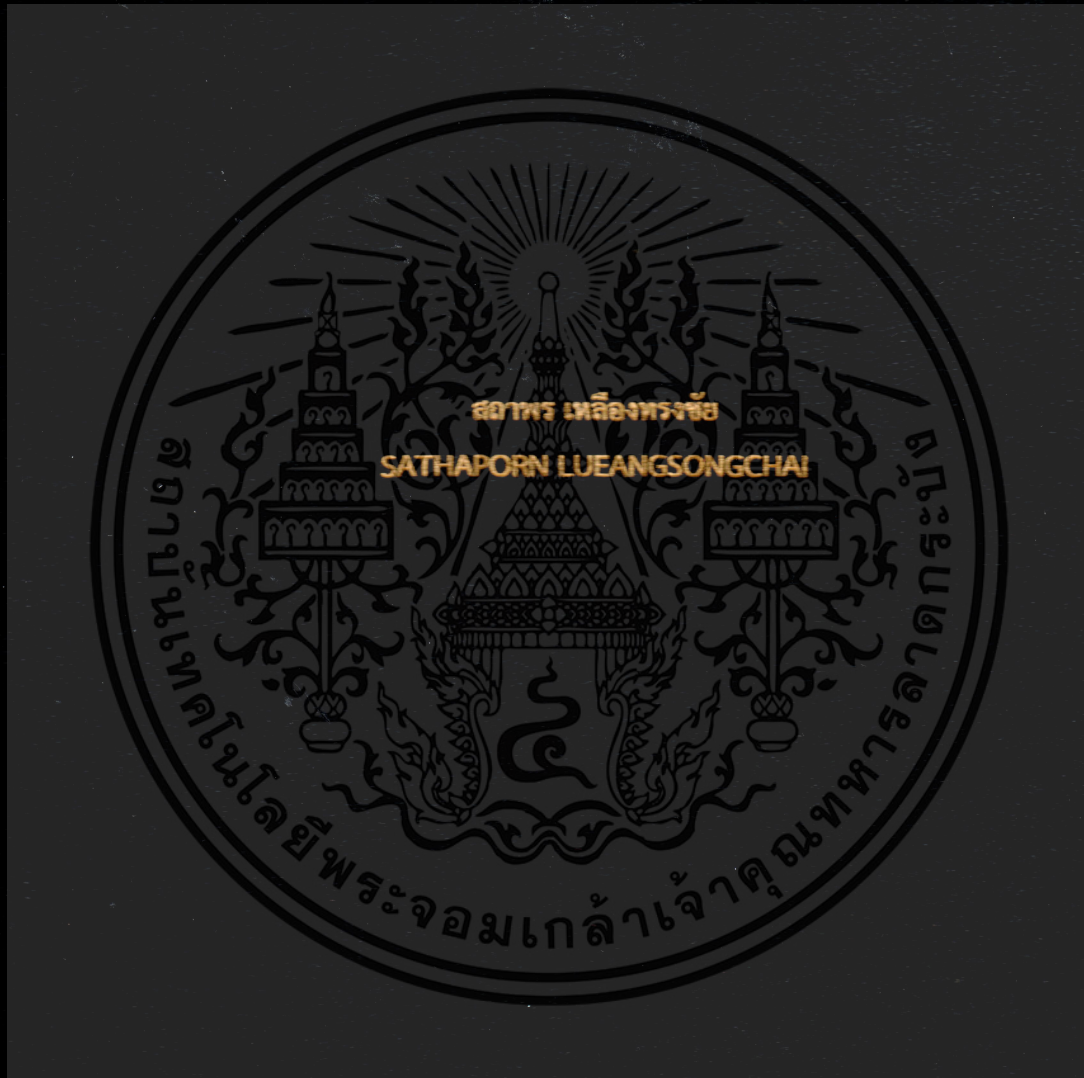


การออกแบบวงจรบวกไฮบริดที่มีความเร็วสูงและใช้พลังงานต่ำ

HIGH SPEED AND LOW POWER HYBRID FULL ADDER CIRCUIT DESIGN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2562

KMITL-2019-EN-M-010-054

การออกแบบวงจรบวกไฮบริดจ์ที่มีความเร็วสูงและใช้พลังงานต่ำ

HIGH SPEED AND LOW POWER HYBRID FULL ADDER CIRCUIT DESIGN



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2562

KMITL-2019-EN-M-010-054

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH SPEED AND LOW POWER HYBRID FULL ADDER CIRCUIT DESIGN



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE MASTER DEGREE OF
ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2019
KMUTL-2019-EN-M-010-054

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2019

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรวกไฮบริดที่มีความเร็วสูงและใช้พลังงานต่ำ
นักศึกษา	นายสถาพร เหลืองทรงชัย
รหัสประจำตัว	57601454
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2562
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร.สิรภพ ตู้ประกาย

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ นำเสนอการออกแบบวงจรวกแบบไฮบริดหนึ่งบิตที่มีความเร็วสูงและใช้พลังงานต่ำ โดยการออกแบบแบบผสมวงจรถูกเกต XOR, XNOR กับวงจรมอสพาสลอลจิกเกต (Pass logic gate) และทรานสมิชชันเกต (Transmission gate) ในขณะที่ใช้โปรแกรมการจำลองการทำงาน HSPICE ควบคู่กับเทคโนโลยีซีมอสที่ 16 nm แหล่งจ่ายไฟ 0.9 V ความถี่ 1 GHz มีตัวเก็บประจุ 1 fF โดยนำมาเปรียบเทียบกับวงจรถ่างๆ EEHybrid, LHFA, HPFA, LPFA, LHHybrid, PALP และ PDFA ที่แหล่งจ่ายไฟและค่าตัวเก็บประจุที่เปลี่ยนแปลงไป ซึ่งวงจรถูกเกตที่นำเสนอได้ผลของการใช้พลังงานและค่าดีเลย์ที่ดีที่สุด 0.93 μW และ 118.68 ps ตามลำดับ

Thesis	High speed and low power hybrid full adder circuit design
Student	Mr. Sathaporn Lueangsongchai
Student ID.	57601454
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2019
Thesis Advisor	Asst.Prof.Dr.Siraphop Tooprakai

ABSTRACT

The paper presents design circuit 1 bit hybrid full adder cells that high speed and low power consumption. The full adder cells are designed hybrid of XOR gate, XNOR gate, pass logic gate and transmission gate. The result of simulation by using HSIPCE program based on 16 nm CMOS technology with 0.9 V power supply voltage, frequency at 1 GHz and 1 fF of capacitor. This paper is compared with EHybrid[1], LHFA[2], HPFA[3], LPFA[4], LHHybrid[5], PALP[6] and PDFFA[7] that changed of power supply voltage and capacity. The best result consumption and delay times of proposed circuit has 0.93 μ W and 118.68 ps respectively.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงได้ด้วยดี ด้วยความกรุณาและความอนุเคราะห์จากท่านอาจารย์ที่ปรึกษา ผศ.ดร.สิรภพ ตู้ประกาย ที่ให้ทั้งความรู้ให้ทั้งคำปรึกษาและคำแนะนำในการแก้ไขปัญหาต่างๆ เกี่ยวกับโครงการวิจัยมาโดยตลอด ข้าพเจ้ารู้สึกซาบซึ้งเป็นอย่างมาก จึงขอกราบขอบพระคุณท่านอาจารย์เป็นอย่างสูง

ขอขอบคุณเหล่าพี่ๆ น้องๆ ผองเพื่อนที่ให้การช่วยเหลือ ให้คำปรึกษาและคำแนะนำต่างๆ ที่เกี่ยวข้องกับวิทยานิพนธ์ฉบับนี้

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา ที่ให้การสนับสนุน ให้กำลังใจในทุกๆ ด้านมาโดยตลอด สำหรับคุณงามความดี คุณค่าและประโยชน์อันเกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอบแต่ผู้มีพระคุณ ทั้งบิดา มารดา ครูอาจารย์ที่รักและเคารพยิ่ง ตลอดจนทุกๆ ท่านที่ได้ศึกษาวิทยานิพนธ์ฉบับนี้

สถาพร เหลืองทรงชัย

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมุติฐานของการศึกษา.....	1
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	1
1.5 ขอบเขตการวิจัย.....	2
1.6 ขั้นตอนของการศึกษา.....	2
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....	3
2.1 เกทพื้นฐาน (Basic Logic Gate).....	3
2.1.1 AND Gate.....	3
2.1.2 OR Gate.....	3
2.1.3 NOT Gate.....	4
2.1.4 NOR Gate.....	4
2.1.5 NAND Gate.....	5
2.1.6 XOR Gate.....	5
2.1.7 XNOR Gate.....	6
2.2 วงจรบวก (Full Adder).....	6
2.3 ทรานสมิซชันเกต (Transmission Gate).....	7

สารบัญ (ต่อ)

	หน้า
2.4 พาสทรานซิสเตอร์ลอจิก (Pass transistor logic).....	8
2.5 การทำงานของมอสเฟต.....	8
2.6 การทำงานของซีมอสอินเวอร์เตอร์ (CMOS Inverter).....	10
บทที่ 3 วงจรบวกจากงานวิจัยที่เกี่ยวข้อง.....	13
บทที่ 4 วงจรที่นำเสนอและผลการจำลองการทำงาน.....	18
4.1 วงจรที่นำเสนอ.....	18
4.2 การจำลองการทำงาน.....	21
4.2.1 การเปรียบเทียบแหล่งจ่ายไฟ.....	21
4.2.2 การเปรียบเทียบตัวเก็บประจุที่โหลด.....	25
บทที่ 5 สรุป.....	30
เอกสารอ้างอิง.....	31
ภาคผนวก.....	32
ประวัติผู้เขียน.....	52

สารบัญตาราง

ตารางที่	หน้า
2.1 ตารางค่าความจริงของ AND Gate.....	3
2.2 ตารางค่าความจริงของ OR Gate.....	4
2.3 ตารางค่าความจริงของ NOT Gate.....	4
2.4 ตารางค่าความจริงของ NOR Gate.....	5
2.5 ตารางค่าความจริงของ NAND Gate.....	5
2.6 ตารางค่าความจริงของ XOR Gate.....	6
2.7 ตารางค่าความจริงของ XNOR Gate.....	6
2.8 ตารางค่าความจริงของวงจรวก (truth table).....	7
4.1 ตารางค่า W/L ของวงจรถูกนำเสนอ.....	20
4.2 ตารางค่ากำลังงานเมื่อแหล่งจ่ายไฟเปลี่ยนไป.....	22
4.3 ตารางค่าดีเลย์เมื่อแหล่งจ่ายไฟเปลี่ยนไป.....	22
4.4 ตารางค่า PDP เมื่อแหล่งจ่ายไฟเปลี่ยนไป.....	23
4.5 ตารางค่ากำลังงานเมื่อค่าตัวเก็บประจุที่โหลดเปลี่ยนไป.....	25
4.6 ตารางค่าดีเลย์เมื่อค่าตัวเก็บประจุที่โหลดเปลี่ยนไป.....	25
4.7 ตารางค่า PDP เมื่อค่าตัวเก็บประจุที่โหลดเปลี่ยนไป.....	26
4.8 ตารางสรุปการเปรียบเทียบค่ากำลังงานและค่าดีเลย์ระหว่างวงจรถูกนำเสนอและวงจรถูกนำเสนอ.....	29

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างพื้นฐานวงจรวก.....	7
2.2 วงจรทรานสมิซชันเกท.....	7
2.3 วงจรพาสทรานซิสเตอร์.....	8
2.4 สรุปการทำงานของมอสเฟตจากความสัมพันธ์ของ I_D และ V_{DS}	9
2.5 การทำงานของ CMOS Inverter.....	10
2.6 การถ่ายโอนแรงดันของพีมอส ($V_{DD} = 2.5$ V).....	11
2.7 การทำงานของเอ็นมอสและพีมอส ($V_{DD} = 2.5$ V).....	12
3.1 วงจรวกแบบ EEHybrid.....	13
3.2 วงจรวกแบบ LHFA.....	14
3.3 วงจรวกแบบ HPFA.....	15
3.4 วงจรวกแบบ LPFA.....	15
3.5 วงจรวกแบบ LHHybrid.....	16
3.6 วงจรวกแบบ PALP.....	17
3.7 วงจรวกแบบ PDFA.....	17
4.1 วงจรที่นำเสนอ.....	18
4.2 การจำลองการทำงานของวงจรวก.....	21
4.3 กราฟการเปรียบเทียบระหว่างกำลังงานกับความต่างศักย์ไฟฟ้า.....	23
4.4 กราฟการเปรียบเทียบค่าดีเลย์กับความต่างศักย์ไฟฟ้า.....	24
4.5 กราฟการเปรียบเทียบค่า PDP กับความต่างศักย์ไฟฟ้า.....	24
4.6 กราฟการเปรียบเทียบระหว่างกำลังงานกับตัวเก็บประจุที่ไหลด.....	27
4.7 กราฟการเปรียบเทียบระหว่างค่าดีเลย์กับตัวเก็บประจุที่ไหลด.....	27
4.8 กราฟการเปรียบเทียบระหว่างค่า PDP กับตัวเก็บประจุที่ไหลด.....	28
4.9 รูปคลื่นวงจรวกที่นำเสนอ $V_{dd}=0.9$ V, $C_L=1$ fF, $f=1$ GHz.....	29
ก.1 การทำงานของวงจรวกอินเวอร์เตอร์.....	32
ก.2 รูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรวกซีมอสอินเวอร์เตอร์.....	34
ข.1 คลื่นสัญญาณอินพุตและเอาต์พุตของวงจรวกซีมอสอินเวอร์เตอร์.....	35

สารบัญรูป (ต่อ)

รูปที่	หน้า
ข.2 คลื่นสัญญาณของสัญญาณอินพุตทั้งขาสูงและขาขึ้น.....	36
ข.3 คลื่นสัญญาณแสดงความถี่ของวงจรถออินเวอร์เตอร์เปรียบกับ f_{max}	37
ค.1 การทำงานของอินเวอร์เตอร์เมื่อเอาต์พุตเปลี่ยนจาก 1 ไปเป็น 0.....	38
ค.2 คลื่นสัญญาณอินพุตและเอาต์พุตที่เปลี่ยนจาก 1 ไปเป็น 0.....	38
ค.3 ความสัมพันธ์ของแรงดันแหล่งจ่ายไฟกับค่ากำลังงานและค่าดีเลย์.....	40



บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

เทคโนโลยี VLSI (Very Large Scale Integration) เป็นพื้นฐานของวงจรรวม (Integrated Circuits) โดยใช้ทรานซิสเตอร์เป็นส่วนประกอบซึ่งวงจรต่างๆ ที่ใช้พื้นฐานของเทคโนโลยีนี้ เช่น วงจรบวก วงจรคูณ เป็นต้น ทัวไปแล้วจะมีการออกแบบที่มีความต่างของเวลาที่ค่าดีเลย์ (Delay time) ค่าความต่างศักย์ไฟฟ้า (Voltage) อุณหภูมิ (Temperature) ขนาดของวงจรหรือเทคโนโลยีซีมอส (CMOS Technology) ทั้งหมดนี้เป็นส่วนหนึ่งของวงจรทางการสื่อสาร

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1. ต้องการศึกษาด้านเทคโนโลยีซีมอสและวงจรรวม
2. ต้องการพัฒนางจรที่เป็นส่วนหนึ่งของวงจรทางการสื่อสาร
3. ต้องการออกแบบวงจรรวมให้มีการสูญเสียพลังงานที่น้อยและมีความเร็วที่ดีขึ้น โดยการเปรียบเทียบกับวงจรรวมอื่นๆ

1.3 สมมุติฐานของการศึกษา

ในการออกแบบวงจรรวมของวิทยานิพนธ์นี้ เป็นการออกแบบวงจรรวมรูปแบบผสม (Hybrid Full Adder Circuit) เมื่อนำมาเปรียบเทียบกับวงจรรวมต่างๆ EEHybrid [1], LHFA [2], HPFA [3], LPFA [4], LHHybrid [5], PALP [6] และ PDFFA [7] จะต้องการการสูญเสียพลังงานที่ดีที่สุดและมีค่าดีเลย์ต่ำที่สุด

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

วิทยานิพนธ์นี้ได้เสนอการออกแบบวงจรรวม โดยการออกแบบแบบผสมวงจรรวมเกต XOR, XNOR กับวงจรรวมสวิตชิ่งเกต (Pass logic gate) และทรานสมิซชันเกต (Transmission gate) ในขณะที่ใช้โปรแกรมจำลองการทำงาน HSPICE ควบคู่กับเทคโนโลยีซีมอสที่ 16 nm ที่แหล่งจ่ายไฟ 0.9 V ที่ความถี่ 1 GHz มีตัวเก็บประจุ 1 fF

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์นี้ได้นำวงจรบวกต่างๆมาเปรียบเทียบกับวงจรที่นำเสนอ โดยมีวงจรวก EEHybrid [1], LHFA [2], HPFA [3], LPFA [4], LHHybrid [5], PALP [6] และ PDFFA [7] ซึ่งการเปรียบเทียบจะมีทั้งหมดสองส่วน ในส่วนแรกจะเป็นการเปรียบเทียบโดยการปรับค่าแรงดันไฟฟ้า ในขณะที่ค่าความถี่และค่าตัวเก็บประจุที่โหลดมีค่าคงที่ ส่วนที่สองจะเป็นการเปรียบเทียบ โดยการปรับค่าตัวเก็บประจุที่โหลด ในขณะที่ค่าความถี่และแรงดันไฟฟ้ามีค่าคงที่ ซึ่งจะดูว่ามีการใช้พลังงานและดีเลย์มีความแตกต่างกันมากน้อยเพียงใด

1.6 ขั้นตอนของการศึกษา

ในขั้นแรกจะเป็นศึกษาทฤษฎีของวงจรพื้นฐานและวงจรวก จากนั้นทางผู้วิจัยได้ทำการออกแบบวงจรวกออกมาจากการอ้างอิงทฤษฎีและตารางค่าความจริงของวงจรวก โดยวงจรวกนี้ได้มีการออกแบบแบบผสมวงจรถูกเกต XOR, XNOR วงจรซีมอสพาสลอคจิกเกต (Pass logic gate) และทรานสมิซันเกต (Transmission gate) หลังจากนั้นได้ทำการทดสอบว่าวงจรวกแบบผสมนี้ได้ผลลัพธ์เป็นไปตามทฤษฎีหรือไม่ โดยใช้ HSPICE ในการจำลองการทำงานของวงจร ซึ่งต่อมาได้นำวงจรที่ออกแบบมาเปรียบเทียบกับวงจรวก EEHybrid [1], LHFA [2], HPFA [3], LPFA [4], LHHybrid [5], PALP [6] และ PDFFA [7] นั้นเอง

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

2.1 เกทพื้นฐาน (Basic Logic Gate)

เกทพื้นฐานที่เป็นส่วนประกอบของวงจรดิจิทัลต่างๆ มีทั้งหมด 7 ตัว ได้แก่ AND Gate, OR Gate, NOT Gate, NOR Gate, NAND Gate, XOR Gate และ XNOR Gate

2.1.1 AND Gate

เกทแอนด์ เมื่อให้ A และ B เป็นอินพุตของสัญญาณ เมื่อ A หรือ B มีสัญญาณอินพุตเป็น 0 จะให้สัญญาณเอาต์พุตที่ออกมาเป็น 0 เสมอ แต่เมื่อใดก็ตามที่มีสัญญาณอินพุตเป็น 1 ทั้งคู่จะทำให้สัญญาณเอาต์พุตเป็น 1 ตามสมการที่ 2.1 มีตารางค่าความจริงของ AND Gate ตามตารางที่ 2.1

$$Y = A \cdot B \quad (2.1)$$

ตารางที่ 2.1 ตารางค่าความจริงของ AND Gate

INPUT		OUTPUT
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

2.1.2 OR Gate

เกทออร์ เมื่อให้ A และ B เป็นอินพุตของสัญญาณ เมื่อ A หรือ B มีสัญญาณอินพุตเป็น 1 จะให้สัญญาณเอาต์พุตที่ออกมาเป็น 1 เสมอ แต่เมื่อใดก็ตามที่มีสัญญาณอินพุตเป็น 0 ทั้งคู่จะทำให้สัญญาณเอาต์พุตเป็น 0 ตามสมการที่ 2.2 มีตารางค่าความจริงของ AND Gate ตามตารางที่ 2.2

$$Y = A + B \quad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ตารางค่าความจริงของ OR Gate

INPUT		OUTPUT
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

2.1.3 NOT Gate

เกทนอท เมื่อให้สัญญาณอินพุตเข้ามาเป็น 0 แล้วสัญญาณเอาต์พุตที่ออกไปจะมีค่าเป็น 1 และเมื่อสัญญาณอินพุตเข้ามาเป็น 1 แล้วสัญญาณเอาต์พุตที่ออกไปจะมีค่าเป็น 0 ตามสมการที่ 2.3 มีตารางค่าความจริงของ AND Gate ตามตารางที่ 2.3

$$A = \bar{A} \quad (2.3)$$

ตารางที่ 2.3 ตารางค่าความจริงของ NOT Gate

INPUT	OUTPUT
A	$Y = \bar{A}$
0	1
1	0

2.1.4 NOR Gate

เกทนอร์ เมื่อให้ A และ B เป็นอินพุตของสัญญาณ เมื่อ A และ B มีสัญญาณอินพุตเป็น 0 จะให้สัญญาณเอาต์พุตที่ออกมาเป็น 1 เสมอ แต่เมื่อใดก็ตามที่ A หรือ B มีสัญญาณอินพุตเป็น 1 จะทำให้สัญญาณเอาต์พุตเป็น 0 ตามสมการที่ 2.4 มีตารางค่าความจริงของ AND Gate ตามตารางที่ 2.4

$$Y = \overline{A + B} \quad (2.4)$$

ตารางที่ 2.4 ตารางค่าความจริงของ NOR Gate

INPUT		OUTPUT
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

2.1.5 NAND Gate

เกตแนน เมื่อให้ A และ B เป็นอินพุตของสัญญาณ เมื่อ A และ B มีสัญญาณอินพุตเป็น 1 จะให้สัญญาณเอาต์พุตที่ออกมาเป็น 0 เสมอ แต่เมื่อใดก็ตามที่ A หรือ B มีสัญญาณอินพุตเป็น 0 จะทำให้สัญญาณเอาต์พุตเป็น 1 ตามสมการที่ 2.5 มีตารางค่าความจริงของ AND Gate ตามตารางที่ 2.5

$$Y = \overline{A \cdot B} \quad (2.5)$$

ตารางที่ 2.5 ตารางค่าความจริงของ NAND Gate

INPUT		OUTPUT
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

2.1.6 XOR Gate

เกตเอ็กซ์ออร์ เป็นเกตที่จะให้สัญญาณเอาต์พุตเป็น 0 เมื่อสัญญาณอินพุตเหมือนกันและจะให้สัญญาณเอาต์พุตเป็น 1 เมื่อสัญญาณอินพุตต่างกัน ตามสมการที่ 2.6 มีตารางค่าความจริงของ XOR Gate ตามตารางที่ 2.6

$$A \oplus B = (A + B) \cdot (A + B) = (A \cdot B) + (A \cdot B) \quad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.6 ตารางค่าความจริงของ XOR Gate

INPUT		OUTPUT
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

2.1.7 XNOR Gate

เกทเอ็กซ์นอร์ เป็นเกทที่จะให้สัญญาณเอาต์พุตเป็น 1 เมื่อสัญญาณอินพุตเหมือนกันและจะให้สัญญาณเอาต์พุตเป็น 0 เมื่อสัญญาณอินพุตต่างกัน ตามสมการที่ 2.7 มีตารางค่าความจริงของ XOR Gate ตามตารางที่ 2.7

$$A \oplus B = (A + B) \cdot (A + B) = (A \cdot B) + (A \cdot B) \quad (2.7)$$

ตารางที่ 2.7 ตารางค่าความจริงของ XNOR Gate

INPUT		OUTPUT
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

2.2 วงจรบวก (Full adder)

วงจรถบวกรูปแบบจะใช้การบวกของเลขฐานสอง โดยที่มีเอาต์พุตของวงจรถบวกรูปแบบขนาด 1 บิตเป็นค่าผลรวม (SUM) และตัวทด (C_{OUT}) ซึ่งเกิดจากค่าอินพุตของเลขฐานสอง 3 ค่าคือ A, B และ C_{IN} ตามสมการที่ 2.8-2.9 และตามตารางที่ 2.8 โดยมีโครงสร้างการทำงานพื้นฐานตามรูปที่ 2.1

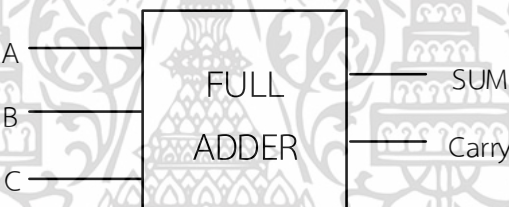
$$Sum = A \oplus B \oplus C_{IN} \quad (2.8)$$

$$C_{OUT} = (A \cdot B) + (B \cdot C_{IN}) + (A \cdot C_{IN}) \quad (2.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.8 ตารางค่าความจริงของวงจรวก (truth table)

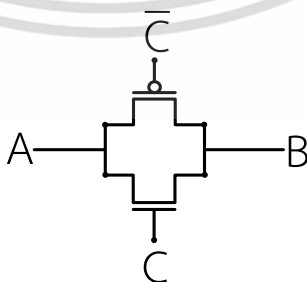
INPUT			OUTPUT	
A	B	Cin	Cout	Sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



รูปที่ 2.1 โครงสร้างพื้นฐานวงจรวก

2.3 ทรานสมิซชันเกต (Transmission Gate)

ทรานสมิซชันเกต เป็นเทคนิคการจัดการควบคุม voltage ของวงจรร ซึ่งข้อดีของเทคนิคนี้จะทำให้มีการใช้พลังงานที่น้อยลงและการทำงานของวงจรมีประสิทธิภาพมากขึ้น โดยรูปแบบวงจรรอย่างง่าย ดังแสดงตามรูปที่ 2.2

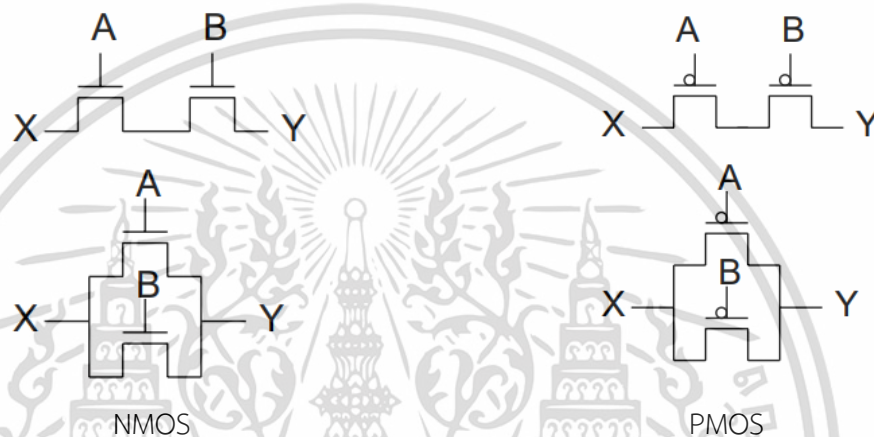


รูปที่ 2.2 วงจรทรานสมิซชันเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 พาสทรานซิสเตอร์ลอจิก (Pass transistor logic)

พาสทรานซิสเตอร์ลอจิก เป็นการนำเอาเอ็นมอสทรานซิสเตอร์หรือพีมอสทรานซิสเตอร์ ชนิดใดชนิดหนึ่งมาต่อกันเพียงชนิดเดียว ซึ่งข้อดีของเทคนิคนี้จะทำให้ค่าดีเลย์ของวงจรมีค่าน้อย ทำให้วงจรมีความเร็วมากขึ้น ข้อควรระวังของวงจรมีคือไม่สามารถนำทรานซิสเตอร์ใดๆก็ตามมาต่อ cascade กันได้ โดยการต่อวงจรแบบพาสทรานซิสเตอร์จะแสดงตามรูปตัวอย่างที่ 2.3



รูปที่ 2.3 วงจรพาสทรานซิสเตอร์

2.5 การทำงานของมอสเฟต

มอสทรานซิสเตอร์หรือมอสเฟต (MOSFET) เป็นอุปกรณ์ที่มีขนาดเล็กและมีความต้านทานอินพุตสูง (High input impedance) โดยมอสเฟตแบ่งออกได้เป็นเอ็นมอส (NMOS) และพีมอส (PMOS) การทำงานของมอสเฟต จะใช้แรงดันไฟฟ้าในการควบคุมปริมาณกระแส โดยมีสมการของมอสเฟตและความสัมพันธ์ระหว่างกระแสชาเดรน (I_D) และแรงดันระหว่างชาเดรนและชาซอส (V_{DS}) ตามสมการที่ 2.10 และรูปที่ 2.4 ตามลำดับ

$$I_D = \frac{KW}{L} \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS} ; V_{GS} \geq V_{TH} \quad (2.10)$$

โดยที่ K คือ ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_0 C_{OX}$

μ_0 คือ ค่าความคล่องของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)

C_{OX} คือ ค่าความจุพื้นที่ของเกตออกไซด์ (Capacitance per unit area of the gate oxide)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

W คือ ความกว้างของแชนแนล (Channel Width)

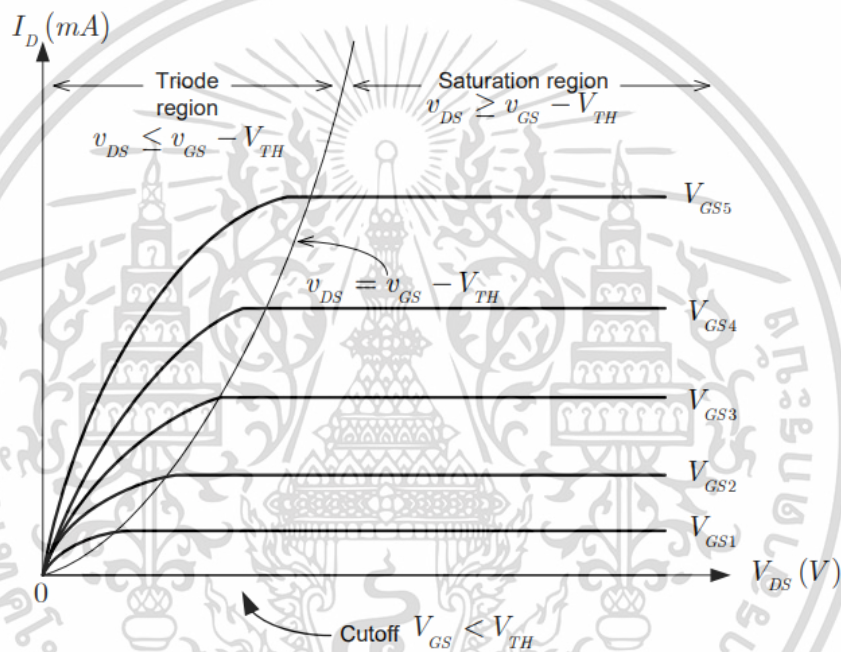
L คือ ความยาวของแชนแนล (Channel Length)

V_{GS} คือ แรงดันระหว่างขาเกตและซอส

V_{TH} คือ แรงดันเทรชโฮลด์ (Threshold Voltage)

V_{DS} คือ แรงดันระหว่างขาเดรนและซอส

I_D คือ กระแสเดรน



รูปที่ 2.4 สรุปการทำงานของมอสเฟตจากความสัมพันธ์ของ I_D และ V_{DS}

มอสเฟตมีการทำงานแบ่งเป็น 3 ช่วงคือช่วงไม่นำกระแส (Cutoff Region), ช่วงนำกระแสไม่อิ่มตัว (Triode Region) และช่วงนำกระแสอิ่มตัว (Saturation Region) โดยแต่ละช่วงการทำงานจะขึ้นอยู่กับค่า $|V_{GS}| - |V_{TH}|$ และค่า V_{DS} ดังนี้

ถ้า $|V_{GS}| - |V_{TH}|$ จะมีค่าเป็นศูนย์หรือค่าลบแล้ว มอสเฟตจะอยู่ในช่วงไม่นำกระแส (Cutoff Region)

$$I_D \approx 0 ; |V_{GS}| - |V_{TH}| < 0 \quad (2.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า $|V_{GS}| - |V_{TH}| > 0$ และ $0 < |V_{DS}| < |V_{GS}| - |V_{TH}|$ แล้ว มอสเฟตจะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Triode Region)

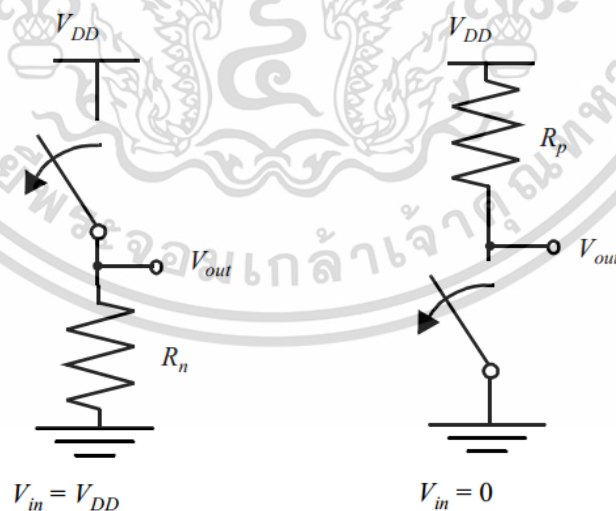
$$I_D = \frac{KW}{L} \left\{ (V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right\} V_{DS} \quad (2.12)$$

ถ้า $|V_{GS}| - |V_{TH}| > 0$ และ $|V_{DS}| \geq |V_{GS}| - |V_{TH}|$ แล้ว มอสเฟตจะอยู่ในช่วงของการนำกระแสอิ่มตัว (Saturation Region)

$$I_D = \frac{KW}{2L} (V_{GS} - V_{TH})^2 \quad (2.13)$$

2.6 การทำงานของซีมอสอินเวอร์เตอร์ (CMOS Inverter)

การทำงานของ CMOS Inverter เกิดจากการที่แรงดันมีการเปลี่ยนแปลงของ MOS transistor เมื่อแรงดันอินพุตมีค่าสูงจนเท่ากับแรงดันไฟเลี้ยง ($V_{IN} = V_{DD}$) จะให้ทำเอ็นมอสทำงานในขณะที่พีมอสไม่ทำงาน ดังนั้นแรงดันเอาต์พุตของวงจรจะเท่ากับกราวด์ ($V_{OUT} = GND = 0$) คือมีค่าเป็นศูนย์เรียกว่าค่าในช่วง steady-state แต่ถ้าแรงดันอินพุตมีค่าต่ำจนเท่ากับศูนย์ ($V_{IN} = 0$) จะทำให้พีมอสทำงานแทนและเอ็นมอสจะไม่ทำงาน ดังนั้นแรงดันเอาต์พุตจะเท่ากับแรงดันไฟเลี้ยง ($V_{OUT} = V_{DD}$) แสดงตามรูปที่ 2.5



รูปที่ 2.5 การทำงานของ CMOS Inverter

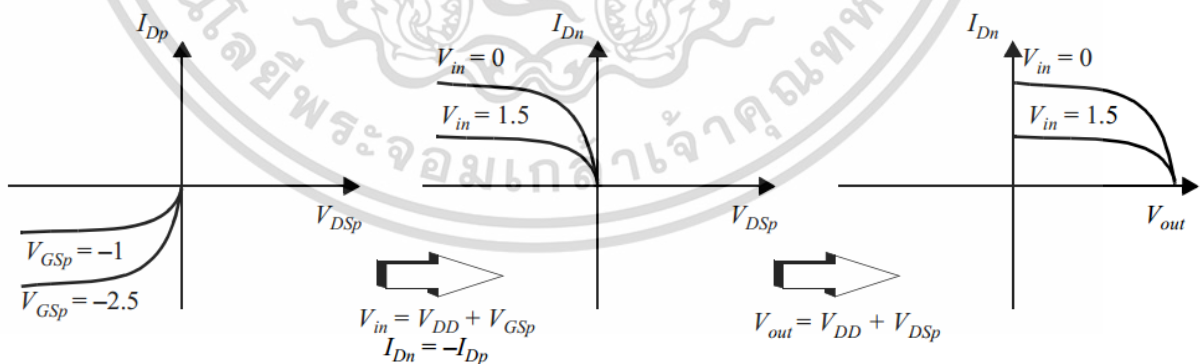
โดยทั่วไปรูปแบบเฉพาะของการถ่ายโอนแรงดัน (Voltage-transfer characteristic) จะเกิดจากการถ่ายโอนแรงดันของเอ็นมอสและพีมอสสามารถแสดงกราฟเป็นกระแสเทียบกับแรงดันได้ที่เรียกว่าการสร้างเส้นโหลด (load line plot) โดยมีความสัมพันธ์ตามสมการที่ 2.14-2.16 และมีตัวอย่างของกราฟที่แสดงการถ่ายโอนแรงดันของพีมอสตามรูปที่ 2.6

$$I_{Dsp} = -I_{Dsn} \quad (2.14)$$

$$V_{GSn} = V_{IN} ; V_{GSp} = V_{IN} - V_{DD} \quad (2.15)$$

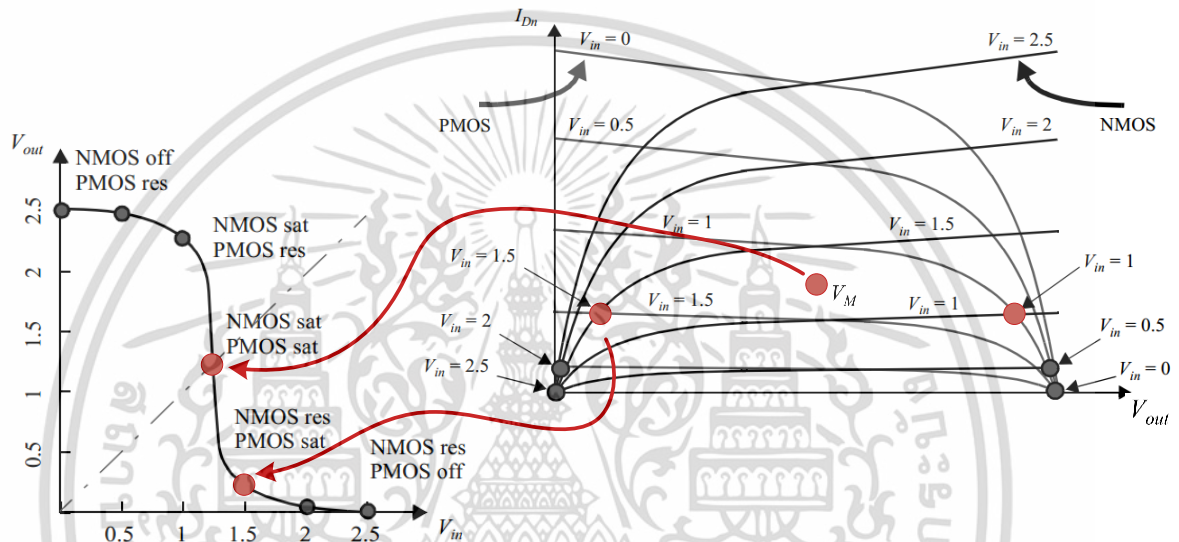
$$V_{DSn} = V_{OUT} ; V_{DSp} = V_{OUT} - V_{DD} \quad (2.16)$$

โดยที่ I_{Dsp} คือกระแสของพีมอสระหว่างขาเดรนและซอส
 I_{Dsn} คือกระแสของเอ็นมอสระหว่างขาเดรนและซอส
 V_{GSp} คือแรงดันของพีมอสระหว่างขาเกตและซอส
 V_{GSn} คือแรงดันของเอ็นมอสระหว่างขาเกตและซอส
 V_{DSp} คือแรงดันของพีมอสระหว่างขาเดรนและซอส
 V_{DSn} คือแรงดันของเอ็นมอสระหว่างขาเดรนและซอส
 V_{IN} คือแรงดันอินพุต
 V_{OUT} คือแรงดันเอาต์พุต
 V_{DD} คือแรงดันของไฟเลี้ยง



รูปที่ 2.6 การถ่ายโอนแรงดันของพีมอส ($V_{DD} = 2.5$ V)

จากรูปที่ 2.7 เป็นรูปที่แสดงถึงการทำงานของเอ็นมอสและพีมอส จุดที่ทำให้วงจรทำงาน กระแสจะต้องไหลผ่านเอ็นมอสและพีมอสเท่ากัน จะสังเกตได้ว่าจุดตัดของเส้นโหลดในรูปจะเป็นจุดที่ทำให้ วงจรทำงาน ($V_{IN} = 0, 0.5, 1, 1.5, 2$ และ 2.5 V) และยังเป็นจุดสำหรับหาค่าของแรงดันเอาต์พุตอีกด้วย การถ่ายโอนแรงดันของอินเวอร์เตอร์นั้นจะมีค่าเปลี่ยนแปลงที่สูง เมื่อเอ็นมอสและพีมอสทำงานพร้อมกัน แล้วแรงดันของอินพุตมีการเปลี่ยนแปลงเล็กน้อยจะทำให้แรงดันเอาต์พุตมีค่าเปลี่ยนไปเป็นอย่างมาก ซึ่ง คือจุด Saturation นั้นเอง



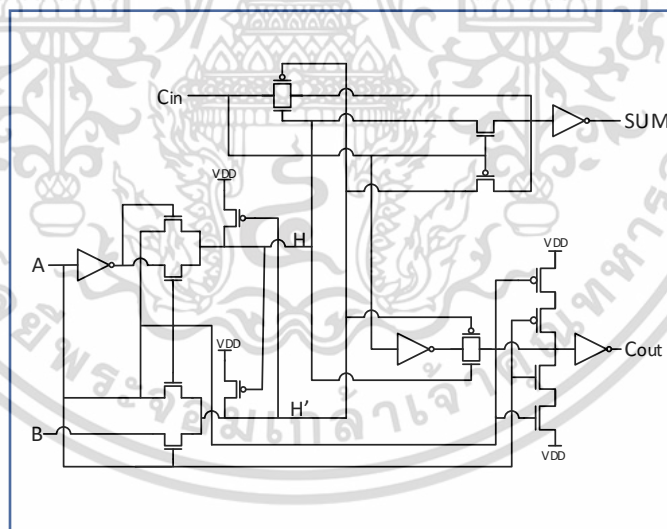
รูปที่ 2.7 การทำงานของเอ็นมอสและพีมอส ($V_{DD} = 2.5$ V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรบวกจากงานวิจัยที่เกี่ยวข้อง

งานวิจัยที่ 1 เป็นวงจรบวกที่มาจากบทความที่มีชื่อว่า Design of Robust, Energy-Efficient Full Adders for Deep-Submicrometer Design Using Hybrid-CMOS Logic Style [1] ขอเรียกว่า “EEHybrid” ประกอบด้วยทรานซิสเตอร์จำนวน 24 ตัว ใช้การออกแบบวงจรแบบ Hybrid ระหว่าง Pass transistor logic และ Transmission gate ในงานวิจัยนี้มุ่งเน้นไปที่การพัฒนา ค่า PDP ในการลดการแกว่งของสัญญาณ (Swing) และ noise ของวงจรที่แหล่งจ่ายไฟต่ำ ซึ่งได้อ้างอิงว่าในปัจจุบันวงจรมีคลื่นสัญญาณที่ออกมา นั้นมีค่า jitter เกิดขึ้นมาก การทดลองของงานวิจัยนี้ส่วนแรกเป็นการสร้างสัญญาณเอาต์พุตของวงจร XOR-XNOR ได้โชว์ว่ามีการทำให้ค่า PDP ดีขึ้น 5-37% เมื่อนำส่วนถัดมาต่อให้ครบเป็นวงจรบวกแล้วได้แสดงให้เห็นต่อว่ามีการลดค่า PDP ทั้งวงจรประมาณ 40% เปรียบเทียบกับวงจรบวกทั่วไป โดยวงจรงานวิจัยนี้มีการใช้เทคโนโลยีซีมอสที่ $0.18\ \mu\text{m}$ ความถี่ 50 MHz และแหล่งจ่ายไฟที่ 1.8 V วงจรจะเป็นไปตามรูป 3.1

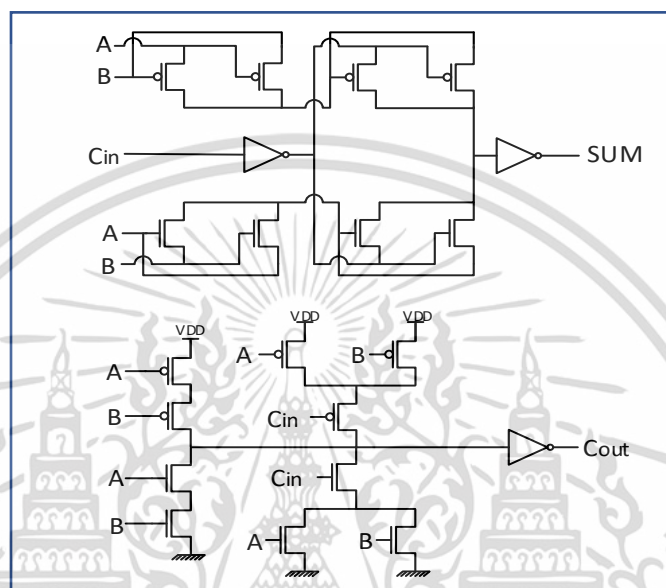


รูปที่ 3.1 วงจรบวกแบบ EEHybrid

งานวิจัยที่ 2 เป็นวงจรบวกที่มาจากบทความที่มีชื่อว่า A Low-Power High-Speed Hybrid CMOS Full Adder for Embedded System [2] ขอเรียกชื่อว่า “LHFA” ประกอบด้วยทรานซิสเตอร์จำนวน 24 ตัว ในงานวิจัยนี้มุ่งเน้นไปที่การลดการสูญเสียกำลังงานและการพัฒนา ค่า PDP ของวงจรให้ดีขึ้น การออกแบบวงจรของงานวิจัยนี้ได้อ้างอิงว่าสร้างมาจากการใช้สัญญาณอินพุตของวงจร XOR 3 ค่า

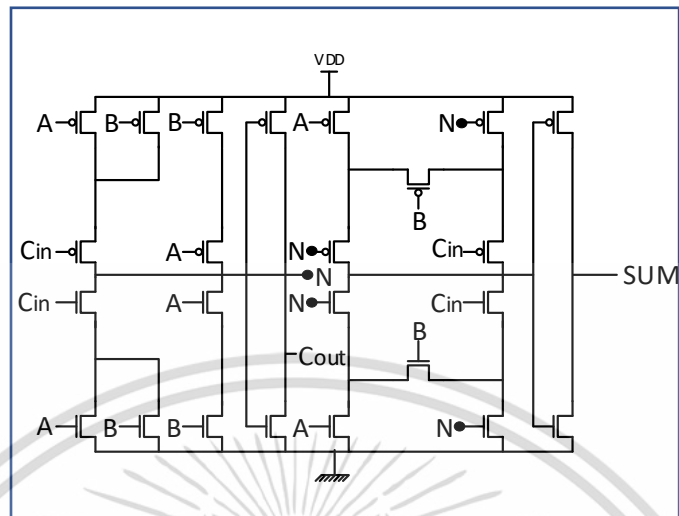
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยออกแบบวงจรแบบ Pass transistor logic ผลที่ได้ของวงจรมีได้มีสูญเสียกำลังงานดีที่ขึ้นจาก 1.8% ไปเป็น 35.6% และในส่วนของค่า PDP จาก 11.7% ไปเป็น 41.2% โดยวงจรงานวิจัยนี้มีการใช้เทคโนโลยี ซีมอสที่ 0.35 μm ความถี่ 200 MHz และแหล่งจ่ายไฟที่ 3.3 V วงจรจะเป็นไปตามรูป 3.2



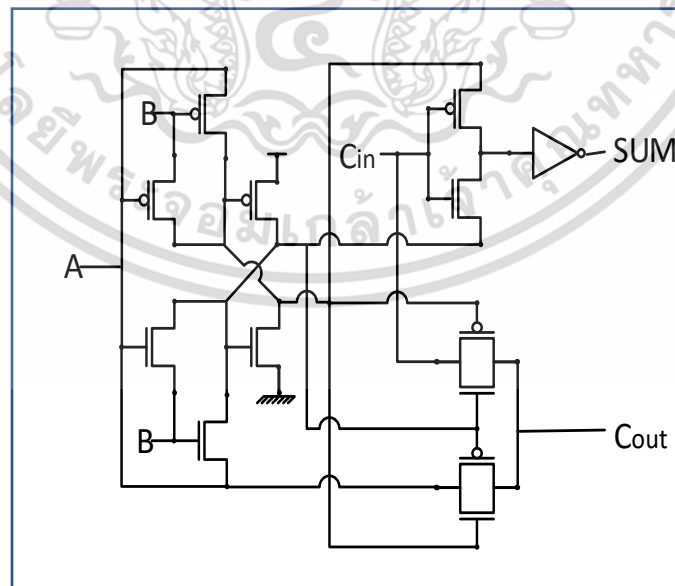
รูปที่ 3.2 วงจรบวกแบบ LHFA

งานวิจัยที่ 3 เป็นวงจรวกที่มาจากบทความที่มีชื่อว่า Design of Robust and High-Performance 1-Bit CMOS Full Adder for Nanometer Design [3] ขอเรียกชื่อว่า “HPFA” ประกอบด้วยทรานซิสเตอร์จำนวน 24 ตัวโดยวงจรมีโครงสร้างแบบสมมาตรใช้วิธีการออกแบบวงจรโดย PMOS pull-up และ NMOS pull-down ในงานวิจัยนี้เน้นไปด้านการออกแบบวงจรให้มีการสูญเสียกำลังงานและดีเลย์ที่ดีที่สุด โดยนำวงจรถูกออกแบบมาเปรียบเทียบค่าการสูญเสียกำลังงาน, ดีเลย์, ค่า PDP และพื้นที่ที่มีจำนวน 3 วงจร ผลที่ได้ของวงจรงานวิจัยนี้ได้แสดงให้เห็นว่าวงจรถูกออกแบบมีค่าการสูญเสียกำลังงาน, ดีเลย์และค่า PDP ดีที่สุดเมื่อเทียบกับ 3 วงจร ในขณะที่พื้นที่ของวงจรถูกออกแบบใช้มากกว่าบางวงจรถูกออกแบบ โดยวงจรงานวิจัยนี้มีการใช้เทคโนโลยีซีมอสที่ 90 nm ความถี่ 50 MHz และแหล่งจ่ายไฟที่ 1 V วงจรจะเป็นไปตามรูป 3.3



รูปที่ 3.3 วงจรบวกแบบ HPFA

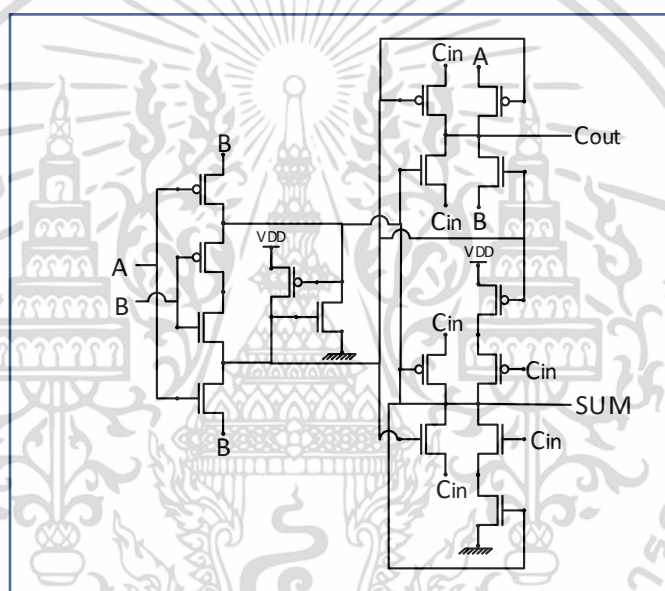
งานวิจัยที่ 4 เป็นวงจรบวกที่มาจากบทความที่มีชื่อว่า Low Power CMOS Full Adder Cells [4] ขอเรียกชื่อว่า “LPFA” ประกอบด้วยทรานซิสเตอร์จำนวน 14 ตัวจะมีการออกแบบแบบ Hybrid ระหว่าง Pass transistor และ Transmission gate ในงานวิจัยนี้มุ่งเน้นไปที่การสูญเสียกำลังงานและค่าดีเลย์ที่ต่ำ ผลที่ได้ของวงจรวงานวิจัยนี้แสดงให้เห็นว่ามีการสูญเสียกำลังงานและดีเลย์ที่ดีกว่าวงจรบวกทั่วไป โดยวงจรวงานวิจัยนี้มีการใช้เทคโนโลยีซีมอสที่ 22 nm ความถี่ 250 MHz และแหล่งจ่ายไฟที่ 1.2 V วงจรจะเป็นไปตามรูป 3.4



รูปที่ 3.4 วงจรบวกแบบ LPFA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

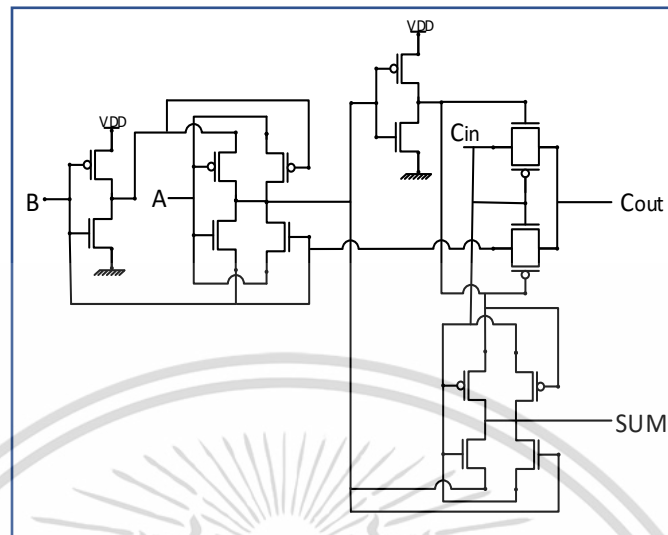
งานวิจัยที่ 5 เป็นวงจรวกที่มีชื่อว่า A New Design of Low Power High Speed Hybrid CMOS Full Adder [5] ขอเรียกชื่อว่า “LHHybrid” ประกอบด้วยทรานซิสเตอร์จำนวน 16 ตัวใช้การออกแบบวงจรรูปแบบ Hybrid ระหว่าง Pass transistor logic และ Transmission gate ในงานวิจัยนี้จะออกแบบวงจรถูกแบ่งออกเป็น 3 ส่วนคือส่วนของ XOR-XNOR, ส่วนของ SUM และ ส่วนของ C_{OUT} มุ่งเน้นไปที่การสูญเสียกำลังงาน, ดีเลย์และค่า PDP ที่ดีที่สุด ผลที่ได้ของวงจรถูกนำมาเสนอแสดงให้เห็นว่าค่าต่างๆได้ดีกว่าวงจรถูกนำมาเปรียบเทียบ 12% ถึง 100% โดยวงจรถูกนำมาใช้เทคโนโลยีซีมอสที่ $0.18 \mu\text{m}$ โหลดตัวเก็บประจุ 5.6 fF และแหล่งจ่ายไฟที่ 1.8 V วงจรถูกนำไปตามรูป 3.5



รูปที่ 3.5 วงจรวกแบบ LHHybrid

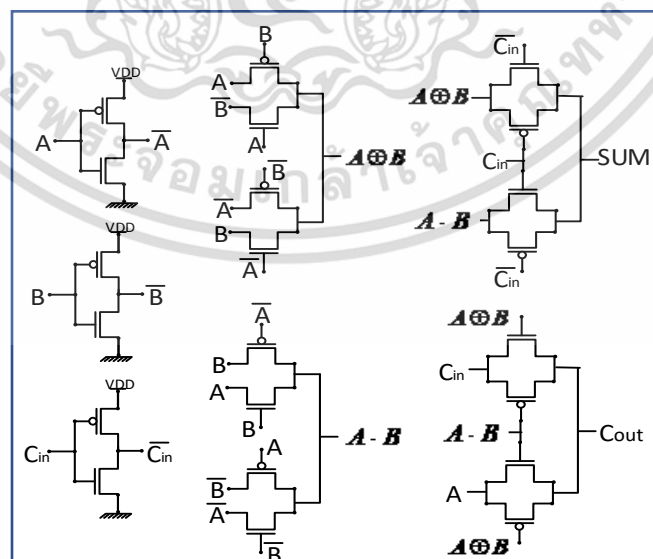
งานวิจัยที่ 6 เป็นวงจรวกที่มีชื่อว่า Performance Analysis of a Low-Power High-Speed Hybrid 1-bit Full Adder Circuit [6] ขอเรียกชื่อว่า “PALP” ประกอบด้วยทรานซิสเตอร์จำนวน 16 ตัวใช้การออกแบบวงจรรูปแบบวงจรรูปแบบ Hybrid ระหว่าง Pass transistor logic และ Transmission gate ในงานวิจัยนี้จะเป็นการเปรียบเทียบวงจรวกที่นำมาเสนอกับวงจรวกอื่นๆ โดยนำมาเปรียบเทียบกับค่าการสูญเสียกำลังงาน, ค่าดีเลย์, PDP, พื้นที่ของวงจรถูกและยังได้ทดสอบวงจรถูกจาก 1 bit ไปที่ 32 bit อีกด้วย โดยวงจรถูกนำมาเสนอของงานวิจัยนี้จะใช้เทคโนโลยีซีมอส 2 ขนาดคือ 90 nm และ 180 nm มีแหล่งจ่ายไฟที่ 1.2 V และ 1.8 V ตามลำดับ ผลที่ได้ของการทดลองวงจรถูกวิจัยนี้แสดงให้เห็นว่าค่า PDP ของวงจรถูกที่ดีขึ้น 27.36% และ 20.56% ตามลำดับ เมื่อเปรียบเทียบกับวงจรวกต่างๆไป วงจรถูกจะไปตามรูป 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรบวกแบบ PALP

งานวิจัยที่ 7 เป็นวงจรถูกที่มาจากบทความที่มีชื่อว่า Power Aware and Delay Efficient Hybrid CMOS Full-Adder for Ultra Deep Submicron Technology [7] ขอเรียกชื่อย่อว่า “PDFA” ประกอบด้วยทรานซิสเตอร์จำนวน 22 ตัวใช้การออกแบบวงจรถูกแบบวงจรถูกแบบ Hybrid ระหว่าง Pass transistor logic และ Transmission gate ในงานวิจัยนี้มุ่งเน้นไปที่การลดการสูญเสียกำลังงานและความเร็วของวงจรถูก โดยได้ทำการเปรียบเทียบวงจรถูกที่นำเสนอกับวงจรถูกแบบต่างๆ ผลที่ได้ของการทดลองวงจรถูกวิจัยนี้แสดงให้เห็นว่ามีการลดการสูญเสียกำลังงาน 60% และมีการพัฒนาด้านความเร็วที่ 32% โดยวงจรถูกงานวิจัยจะใช้เทคโนโลยีซีมอสที่ 45 nm วงจรถูกจะเป็นไปตามรูป 3.7



รูปที่ 3.7 วงจรถูกแบบ PDFA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

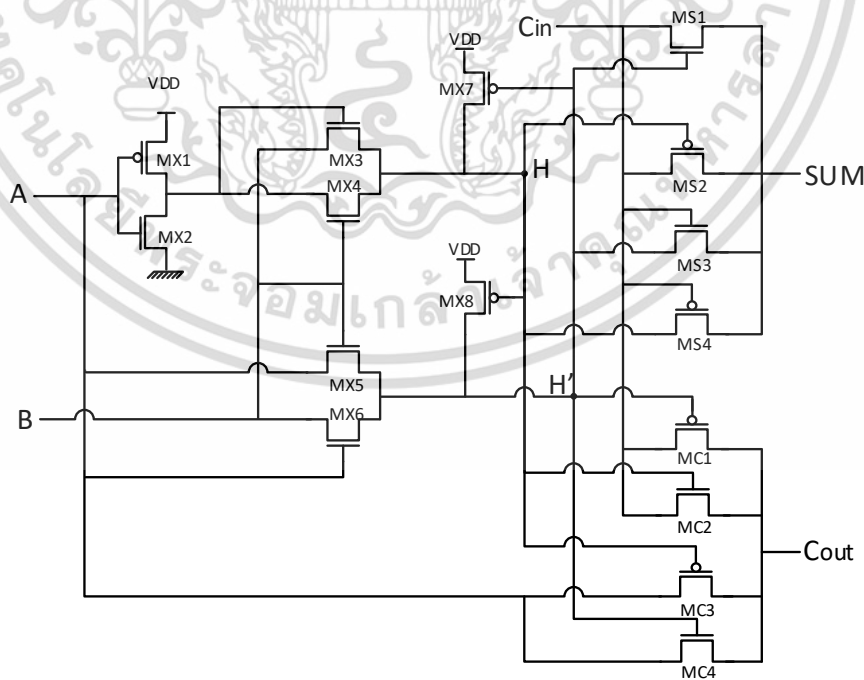
วงจรที่นำเสนอและผลการจำลองการทำงาน

4.1 วงจรที่นำเสนอ

การออกแบบวงจรบวกที่นำเสนอนี้ ขอบแบ่งออกเป็น 2 ส่วนคือส่วนของการออกแบบวงจรและส่วนของการหาค่าให้ได้ผลลัพธ์ที่ดีที่สุดในการสูญเสียกำลังงานและความเร็วของวงจร โดยส่วนของการออกแบบวงจรจะใช้ตารางค่าความจริงของวงจรบวกในบทที่ 2 และสมการที่ 4.1 และ 4.2 ที่ถูกจัดสมการบูลีนใหม่ เพื่อให้ง่ายต่อการสร้างวงจรมาอ้างอิง ในการต่อวงจรที่นำเสนอนี้จะใช้การออกแบบ hybrid ระหว่าง pass transistor logic และ transmission gate ซึ่งจะแสดงรูปวงจรถูกนำเสนอตามรูปที่ 4.1

$$\begin{aligned} Sum &= A \oplus B \oplus C_{IN} \\ &= (A \oplus B) \cdot \overline{C_{IN}} + (A \oplus B) \cdot C_{IN} \end{aligned} \quad (4.1)$$

$$\begin{aligned} C_{OUT} &= (A \cdot B) + (B \cdot C_{IN}) + (A \cdot C_{IN}) \\ &= (A \oplus B) \cdot C_{IN} + (A \oplus B) \cdot A \end{aligned} \quad (4.2)$$



รูปที่ 4.1 รูปวงจรถูกนำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจรถูกนำเสนอสามารถอธิบายการทำงานของรูปวงจรมีดังนี้

เมื่อสัญญาณอินพุต $A=0$ และ $B=0$ ทราานซิสเตอร์ MX1, MX3, MX8 จะทำงาน ส่งผลให้จุด H มีสถานะเป็น 0 และ H' มีสถานะเป็น 1 ต่อมาเมื่ออินพุต $C_{IN}=0$ ทราานซิสเตอร์ MS1, MS2, MS4 จะทำงาน ส่งผลให้ค่าเอาต์พุต SUM มีสถานะเป็น 0 และทราานซิสเตอร์ MC3 ทำงาน ส่งผลให้ค่าเอาต์พุต C_{OUT} มีสถานะเป็น 0 เมื่ออินพุต $C_{IN}=1$ ทราานซิสเตอร์ MS1, MS2, MS3 จะทำงาน ส่งผลให้ค่าเอาต์พุต SUM มีสถานะเป็น 1 และ ทราานซิสเตอร์ MC3, MC4 ทำงาน ส่งผลให้ค่าเอาต์พุต C_{OUT} มีสถานะเป็น 0

เมื่อสัญญาณอินพุต $A=0$ และ $B=1$ ทราานซิสเตอร์ MX1, MX3, MX4, MX5, MX7 จะทำงาน ส่งผลให้จุด H มีสถานะเป็น 1 และ H' มีสถานะเป็น 0 ต่อมาเมื่ออินพุต $C_{IN}=0$ ทราานซิสเตอร์ MS4 จะทำงาน ส่งผลให้ค่าเอาต์พุต SUM มีสถานะเป็น 1 และ ทราานซิสเตอร์ MC1, MC2 ทำงาน ส่งผลให้ค่าเอาต์พุต C_{OUT} มีสถานะเป็น 0 เมื่ออินพุต $C_{IN}=1$ ทราานซิสเตอร์ MS3 จะทำงาน ส่งผลให้ค่าเอาต์พุต SUM มีสถานะเป็น 0 และทราานซิสเตอร์ MC1, MC2, MC4 ทำงาน ส่งผลให้ค่าเอาต์พุต C_{OUT} มีสถานะเป็น 1

เมื่อสัญญาณอินพุต $A=1$ และ $B=0$ ทราานซิสเตอร์ MX2, MX6, MX8 จะทำงาน ส่งผลให้จุด H มีสถานะเป็น 1 และ H' มีสถานะเป็น 0 ต่อมาเมื่ออินพุต $C_{IN}=0$ ทราานซิสเตอร์ MS4 จะทำงาน ส่งผลให้ค่าเอาต์พุต SUM มีสถานะเป็น 1 และ ทราานซิสเตอร์ MC1, MC2 ทำงาน ส่งผลให้ค่าเอาต์พุต C_{OUT} มีสถานะเป็น 0 เมื่ออินพุต $C_{IN}=1$ ทราานซิสเตอร์ MS3 จะทำงาน ส่งผลให้ค่าเอาต์พุต SUM มีสถานะเป็น 0 และ ทราานซิสเตอร์ MC1, MC2, MC4 ทำงาน ส่งผลให้ค่าเอาต์พุต C_{OUT} มีสถานะเป็น 1

เมื่อสัญญาณอินพุต $A=1$ และ $B=1$ ทราานซิสเตอร์ MX2, MX4, MX5, MX6, MX8 จะทำงาน ส่งผลให้จุด H มีสถานะเป็น 0 และ H' มีสถานะเป็น 1 ต่อมาเมื่ออินพุต $C_{IN}=0$ ทราานซิสเตอร์ MS1, MS2, MS4 จะทำงาน ส่งผลให้ค่าเอาต์พุต SUM มีสถานะเป็น 0 และ ทราานซิสเตอร์ MC3 ทำงาน ส่งผลให้ค่าเอาต์พุต C_{OUT} มีสถานะเป็น 1 เมื่ออินพุต $C_{IN}=1$ ทราานซิสเตอร์ MS1, MS2, MS3 จะทำงาน ส่งผลให้ค่าเอาต์พุต SUM มีสถานะเป็น 1 และ ทราานซิสเตอร์ MC3, MC4 ทำงาน ส่งผลให้ค่าเอาต์พุต C_{OUT} มีสถานะเป็น 1

ส่วนที่สองคือการหาค่าให้ได้ผลลัพธ์ที่ดีที่สุดในการสูญเสียกำลังงานและความเร็วของวงจรถูกนำเสนอในส่วนนี้จะปรับค่าของความกว้างของช่องระหว่างซอสเกตและเดรนเกตหรือความกว้างแชนแนล (Channel width : W) และระยะห่างระหว่างสารกึ่งตัวนำของซอสเกตและเดรนเกตหรือความยาวแชนแนล (Channel Length :L) ซึ่งก็คือ $\frac{W}{L}$ นั่นเอง โดยวงจรถูกนำเสนอจะใช้เทคโนโลยีที่ 16 nm ดังนั้น L ของวงจรถูกนำเสนอจะเป็น 16 nm ส่วนของ W จะปรับให้มากกว่า 2 เท่าของ L ซึ่งในแต่ละทรานซิสเตอร์จะไม่เท่ากัน โดยที่ จะปรับค่า W ไปจนกระทั่งคลื่นสัญญาณเอาต์พุตที่ออกมาเป็นรูปที่มีความชันของการเปลี่ยนแปลงที่ชันที่สุด ดังนั้นจะได้ค่า $\frac{W}{L}$ ของวงจรถูกนำเสนอจะเป็นไปตามตารางที่ 4.1 ซึ่งทำให้มีค่าดีเลย์ที่น้อยที่สุด ในส่วนของการสูญเสียกำลังงานจะมี Static power dissipation และ Dynamic power dissipation โดย

ค่าของการสูญเสียกำลังงานแบบ static ของวงจรมีค่าน้อยมากๆ ดังนั้นจะวัดในส่วนของค่าสูญเสียกำลังงานแบบ dynamic อย่างเดียว ซึ่งเกิดจากการทำงานของวงจรเมื่อวงจรมีการสลับไหลผ่านตัวพีมอสทรานซิสเตอร์และเอ็นมอสทรานซิสเตอร์นั่นเอง

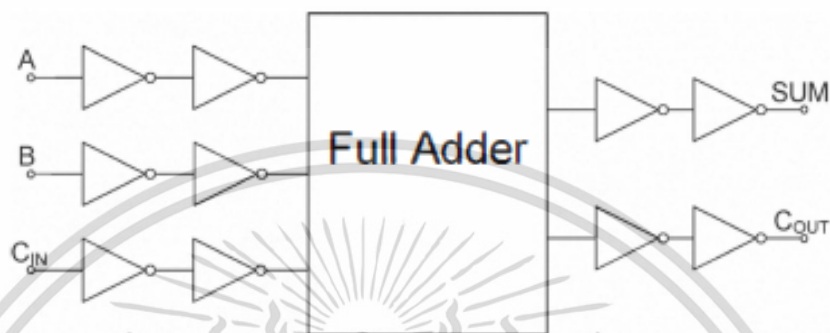
ตารางที่ 4.1 ตารางค่า $\frac{W}{L}$ ของวงจรถูกนำเสนอ

transistor	Channel Width (nm)	Channel Length (nm)
MX1	200	16
MX2	100	16
MX3	100	16
MX4	52	16
MX5	52	16
MX6	100	16
MX7	100	16
MX8	100	16
MS1	52	16
MS2	200	16
MS3	52	16
MS4	200	16
MC1	200	16
MC2	52	16
MC3	200	16
MC4	100	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การจำลองการทำงาน

การจำลองการทำงานของวงจร เพื่อให้เข้าถึงประสิทธิภาพที่แท้จริง จะจำลองโดยใช้รูปที่ 4.2 ในการทดสอบด้วยการใส่บัพเฟอร์เข้าไปทั้งในส่วนของอินพุตและเอาต์พุตเสมือนกับต่อวงจรจริง



รูปที่ 4.2 การจำลองการทำงานของวงจร

การหาผลการทดลอง จะใช้โปรแกรม HSPICE จำลองการทำงาน โดยจะมีการเปรียบเทียบวงจรบวกที่นำเสนอกับวงจรบวกอื่นๆ ทั้งหมด 7 วงจร แบ่งออกเป็น 2 ส่วนคือการเปรียบเทียบแหล่งจ่ายไฟที่เปลี่ยนค่าไปและการเปรียบเทียบตัวเก็บประจุที่โหลดเปลี่ยนค่าไปตามหัวข้อที่ 4.2.1 และ 4.2.2 ตามลำดับ เทคโนโลยีที่นำมาใช้เป็นเทคโนโลยี CMOS 16 nm และใช้ความถี่ที่ 1 GHz โดยเทคนิคของวงจรที่นำเสนอ นั้นจะใช้วิธีการออกแบบแบบ hybrid ระหว่าง pass transistor ที่ช่วยในเรื่องค่าดีเลย์และ transmission gate ที่ช่วยในเรื่องค่าการสูญเสียกำลังงานเพื่อให้ได้วงจรที่สมบูรณ์ตามที่ต้องการ ซึ่งการวัดค่าต่างๆนี้จะวัดในมุม digital โดยจะวัดรวมกันทั้งวงจร

4.2.1 การเปรียบเทียบแหล่งจ่ายไฟ

การเปรียบเทียบแหล่งจ่ายไฟที่เปลี่ยนค่าไป เราจะเปรียบเทียบทั้งหมด 5 ค่า คือ 0.9-1.4 V โดยใช้เทคโนโลยี CMOS 16 nm ความถี่ 1 GHz และตัวเก็บประจุที่โหลด 1 fF กับวงจร EEHybrid, LHFA, HPFA, LPFA, LHHybrid, PALP และ PDFFA เทียบกับวงจรบวกที่นำเสนอ ผลลัพธ์ที่ได้จะแสดงในตารางที่ 4.2-4.4 และรูปที่ 4.3-4.5

จากตารางที่ 4.2 จะเห็นได้ว่าเมื่อปรับค่าแรงดันของแหล่งจ่ายไฟเพิ่มขึ้น จะทำให้ค่ากำลังงานมีค่าเพิ่มขึ้นตามไปด้วย ซึ่งหมายถึงว่าการเพิ่มแรงดันแหล่งจ่ายไฟของวงจรบวกนั้น จะทำให้ค่าการสูญเสียกำลังงานของวงจรโดยรวมมีค่ามากขึ้น โดยที่ค่าของวงจรที่นำเสนอนั้นมีค่าที่ดีที่สุดอยู่ที่ 0.93 μ W เมื่อจ่ายแรงดันไปที่ 0.9 V

ตารางที่ 4.2 ตารางค่ากำลังงานเมื่อแหล่งจ่ายไฟเปลี่ยนไป

power (μ W)								
voltage(V)	EEHybrid	LHFA	HPFA	LPFA	LHHybrid	PALP	PDFA	proposed
0.9	1.64	1.55	1.80	2.50	2.04	1.27	1.46	0.93
1	3.26	3.09	3.58	8.66	6.79	2.54	2.91	1.87
1.1	5.85	5.52	6.39	33.80	23.90	4.58	5.22	3.39
1.2	9.97	9.36	10.80	112.01	84.40	7.85	8.92	5.83
1.3	18.20	16.30	18.60	307.82	275.90	14.20	16.10	11.10
1.4	51.40	39.10	42.50	750.93	756.66	0.00	43.60	40.70

จากตารางที่ 4.3 จะเห็นได้ว่าเมื่อปรับค่าแรงดันของแหล่งจ่ายไฟเพิ่มขึ้น จะทำให้ค่าดีเลย์ที่วัดได้มีค่าลดลง ซึ่งค่าที่วงจรที่นำเสนอวัดได้นั้นมีค่าที่ดีที่สุดสำหรับการเปรียบเทียบแหล่งจ่ายไฟ 0.9-1.4 V อยู่ที่ 22.89 ps ที่แรงดันแหล่งจ่ายไฟ 1.4 V ซึ่งหมายความว่า การเพิ่มแรงดันของแหล่งจ่ายไฟของวงจรวกนั้น จะทำให้วงจรมีค่าดีเลย์ที่น้อยลง ดังนั้นจะมีความเร็วมากขึ้น

ตารางที่ 4.3 ตารางค่าดีเลย์เมื่อแหล่งจ่ายไฟเปลี่ยนไป

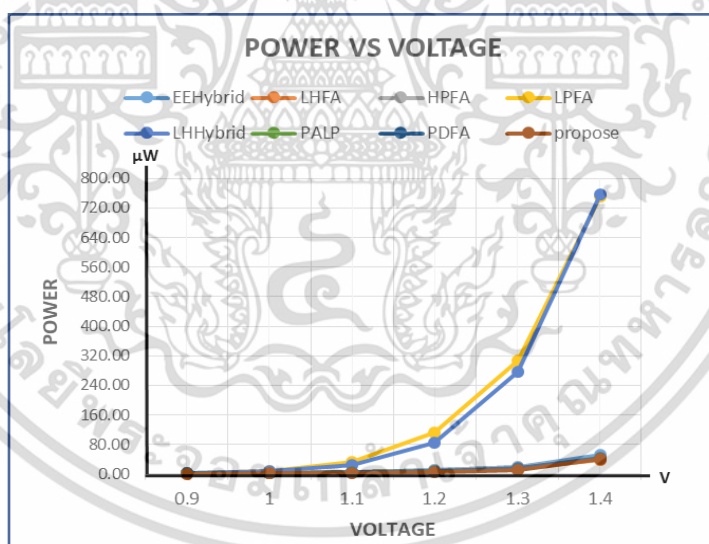
Delay (ps)								
voltage(V)	EEHybrid	LHFA	HPFA	LPFA	LHHybrid	PALP	PDFA	proposed
0.9	191.56	505.99	128.37	130.99	550.72	145.78	238.01	118.68
1	122.95	422.28	82.62	72.72	449.75	96.84	142.26	74.33
1.1	89.93	313.81	69.69	63.47	394.41	69.21	96.94	54.01
1.2	70.66	128.21	63.60	53.61	217.40	53.83	73.24	42.15
1.3	58.13	80.30	52.96	43.70	130.63	43.91	58.67	34.48
1.4	48.89	58.06	45.49	36.60	96.25	0.00	49.36	28.89

จากตารางที่ 4.4 จะเห็นได้ว่าเมื่อปรับค่าแรงดันของแหล่งจ่ายไฟเพิ่มขึ้น จะทำให้ค่า PDP ของวงจรมีค่าเพิ่มขึ้นไปด้วย ซึ่งหมายความว่า การเพิ่มค่าแรงดันของแหล่งจ่ายไฟในวงจรวกนั้นทำให้ค่า PDP มีค่าเพิ่มขึ้น โดยค่า PDP ของวงจรมีค่าที่ดีที่สุด อยู่ที่ 0.11 fJoule เมื่อแหล่งจ่ายไฟ 0.9 V

ตารางที่ 4.4 ตารางค่า PDP เมื่อแหล่งจ่ายไฟเปลี่ยนไป

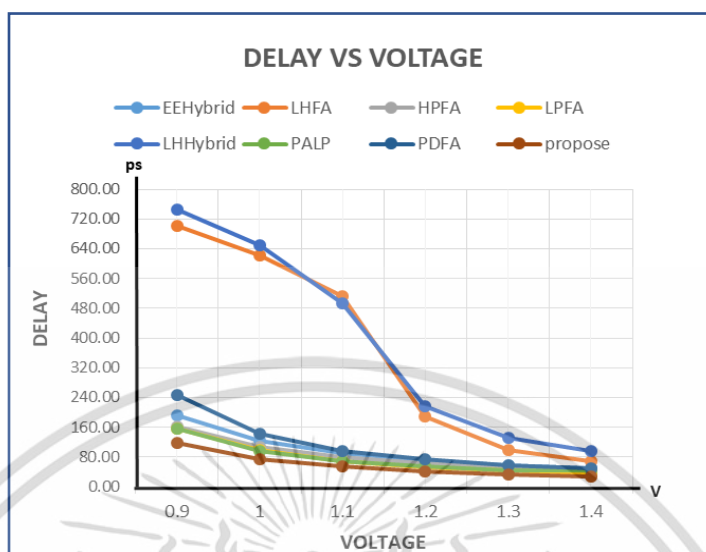
PDP (fJoule)								
voltage(V)	EEHybrid	LHFA	HPFA	LPFA	LHHybrid	PALP	PDFA	proposed
0.9	0.31	1.09	0.29	0.39	1.52	0.20	0.36	0.11
1	0.40	1.92	0.38	0.86	4.41	0.25	0.41	0.13
1.1	0.53	2.84	0.51	2.35	11.80	0.32	0.51	0.18
1.2	0.71	1.76	0.69	6.00	18.40	0.42	0.65	0.25
1.3	1.06	1.65	0.98	13.50	36.00	0.62	0.95	0.38
1.4	2.52	2.66	1.93	27.50	72.80	0.00	2.15	1.18

จากรูปที่ 4.3 จะเป็นการแสดงกราฟการเปรียบเทียบค่ากำลังงานเมื่อแหล่งจ่ายไฟเปลี่ยนไป ซึ่งเป็นกราฟ exponential ขาขึ้น จะสังเกตเห็นได้ว่าเมื่อแหล่งจ่ายไฟมีค่าเพิ่มขึ้นจาก 0.9 V ไปจนถึง 1.4 V ค่ากำลังงานของวงจรมากขึ้น ดังนั้นวงจรจะมีการใช้พลังงานมากขึ้น



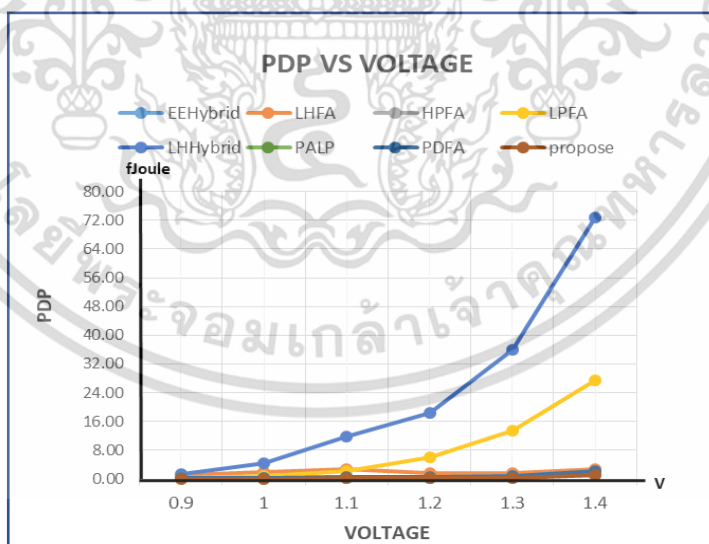
รูปที่ 4.3 กราฟการเปรียบเทียบระหว่างกำลังงานกับความต่างศักย์ไฟฟ้า

จากรูปที่ 4.4 จะเป็นการแสดงกราฟการเปรียบเทียบค่าดีเลย์เมื่อแหล่งจ่ายไฟเปลี่ยนไป ซึ่งเป็นกราฟ exponential ขาลง จะสังเกตเห็นได้ว่าเมื่อแหล่งจ่ายไฟมีค่าเพิ่มขึ้นจาก 0.9 V ไปจนถึง 1.4 V ค่าดีเลย์ของวงจรมีค่าลดลง ดังนั้นวงจรจะมีความเร็วที่เร็วขึ้น



รูปที่ 4.4 กราฟการเปรียบเทียบค่าดีเลย์กับความต่างศักย์ไฟฟ้า

จากรูปที่ 4.5 จะเป็นการแสดงกราฟการเปรียบเทียบค่า PDP เมื่อแหล่งจ่ายไฟเปลี่ยนไป ซึ่งเป็นกราฟ exponential ขาขึ้น จะสังเกตเห็นได้ว่าเมื่อแหล่งจ่ายไฟมีค่าเพิ่มขึ้นจาก 0.9 V ไปจนถึง 1.4 V ค่า PDP ของวงจรมีค่าเพิ่มขึ้น



รูปที่ 4.5 กราฟการเปรียบเทียบค่า PDP กับความต่างศักย์ไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 การเปรียบเทียบตัวเก็บประจุที่ไหลด

การเปรียบเทียบตัวเก็บประจุที่ไหลด เราจะเปรียบเทียบทั้งหมด 10 ค่า คือ 1-10 fF โดยใช้เทคโนโลยี CMOS 16 nm ความถี่ 1 GHz และแหล่งจ่ายไฟ 0.9 V กับวงจร EEHybrid, LHFA, HPFA, LPFA, LHHybrid, PALP และ PDFA เทียบกับวงจรบวกที่นำเสนอ ผลลัพธ์ที่ได้จะแสดงในตารางที่ 4.5-4.7 และรูปที่ 4.6-4.8

จากตารางที่ 4.5 ค่าที่ได้เมื่อมีการเปลี่ยนค่าของตัวเก็บประจุที่ไหลดนั้นมีผลน้อยมากกับค่ากำลังงาน เมื่อค่าตัวเก็บประจุเปลี่ยนไปน้อยๆ ซึ่งค่ากำลังงานที่วัดได้ของวงจรที่นำเสนอมีค่าอยู่ที่ 0.93 μW

ตารางที่ 4.5 ตารางค่ากำลังงานเมื่อค่าตัวเก็บประจุเปลี่ยนไป

power (μW)								
capacity(fF)	EEHybrid	LHFA	HPFA	LPFA	LHHybrid	PALP	PDFA	proposed
1-10	1.64	1.55	1.80	2.50	2.04	1.27	1.46	0.93

จากตารางที่ 4.6 จะเห็นได้ว่าค่าของตัวเก็บประจุที่ไหลดมีค่าเปลี่ยนไปเพียงเล็กน้อย มีผลต่อค่าดีเลย์ของวงจรบวกด้วย ซึ่งหมายความว่าเมื่อค่าของตัวเก็บประจุมีค่าเพิ่มขึ้นจะทำให้ค่าดีเลย์มีค่ามากขึ้น ทำให้วงจรทำงานได้ช้าลง โดยค่าดีเลย์ของวงจรที่นำเสนอที่ดีที่สุดนั้นมีค่าอยู่ที่ 118.68 ps เมื่อตัวเก็บประจุที่ไหลดมีค่าอยู่ที่ 1 fF

ตารางที่ 4.6 ตารางค่าดีเลย์เมื่อค่าตัวเก็บประจุเปลี่ยนไป

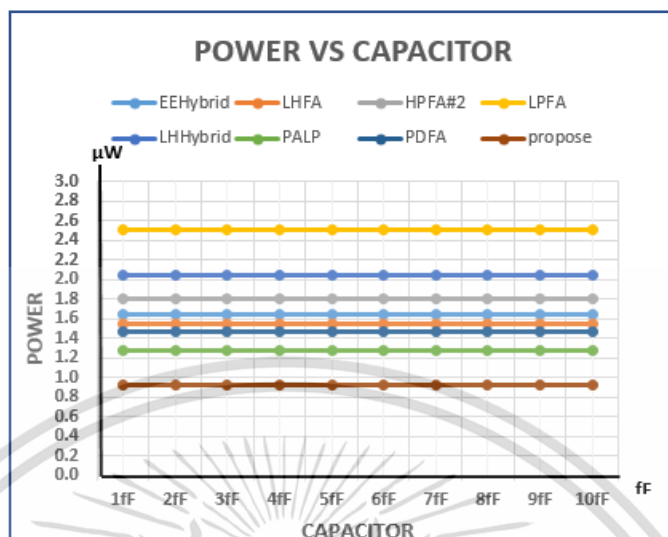
Delay (ps)								
capacity(fF)	EEHybrid	LHFA	HPFA	LPFA	LHHybrid	PALP	PDFA	Proposed
1	191.56	505.99	128.37	130.99	550.72	145.78	238.01	118.68
2	213.17	521.39	152.69	155.40	585.89	207.06	329.54	169.17
3	231.20	539.98	162.78	185.22	520.29	256.04	418.42	199.12
4	248.00	558.10	188.09	217.89	555.69	303.83	503.31	236.58
5	266.36	574.34	206.20	246.99	587.96	353.64	623.68	273.46
6	284.21	591.07	221.72	274.21	620.42	396.77	758.10	309.74
7	298.96	608.55	248.39	307.01	653.31	440.73	846.72	350.18
8	315.17	623.13	266.39	336.22	684.58	482.23	926.06	379.84
9	331.37	638.82	289.67	365.43	715.00	529.12	1005.30	413.55
10	347.95	654.87	306.46	394.30	747.10	619.36	1096.67	438.17

จากตารางที่ 4.7 จะเห็นได้ว่าเมื่อปรับค่าของตัวเก็บประจุที่โหลดเพิ่มขึ้น จะทำให้ค่า PDP มีค่าเพิ่มขึ้นตามไปด้วย โดยที่ค่าที่ดีที่สุดของวงจรที่นำเสนอมีค่าอยู่ที่ 0.11 fJoule เมื่อค่าตัวเก็บประจุที่โหลดมีค่าอยู่ที่ 1 fF

ตารางที่ 4.7 ตารางค่า PDP เมื่อค่าตัวเก็บประจุเปลี่ยนไป

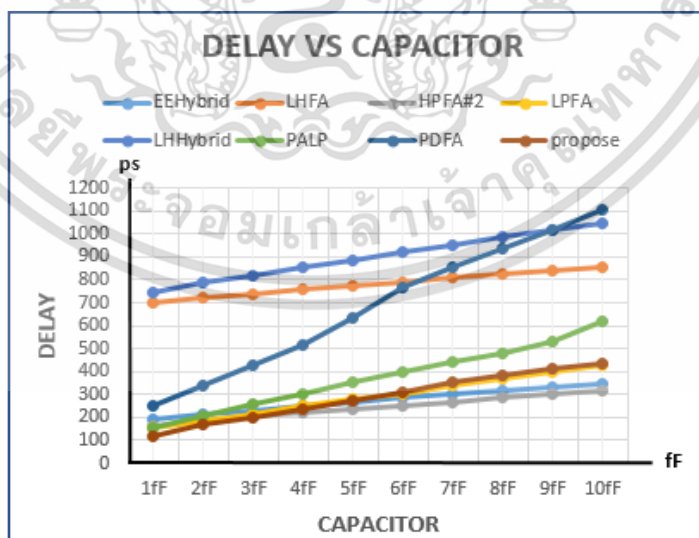
PDP (fJoule)								
<i>capacity(ff)</i>	EEHybrid	LHFA	HPFA	LPFA	LHHybrid	PALP	PDFA	proposed
1	0.31	1.09	0.29	0.39	1.52	0.20	0.36	0.11
2	0.35	1.12	0.33	0.47	1.60	0.26	0.49	0.15
3	0.38	1.15	0.37	0.54	1.67	0.32	0.62	0.18
4	0.41	1.18	0.39	0.62	1.75	0.38	0.75	0.22
5	0.44	1.20	0.43	0.70	1.81	0.45	0.92	0.25
6	0.47	1.23	0.45	0.76	1.88	0.50	1.12	0.29
7	0.49	1.25	0.48	0.84	1.95	0.56	1.25	0.33
8	0.52	1.28	0.52	0.92	2.01	0.61	1.36	0.35
9	0.54	1.30	0.54	0.99	2.07	0.67	1.48	0.39
10	0.57	1.33	0.57	1.06	2.14	0.79	1.61	0.42

จากรูปที่ 4.6 จะเป็นการแสดงกราฟค่าของกำลังงานเมื่อค่าตัวเก็บประจุที่โหลดเปลี่ยนไป ซึ่งเป็นกราฟเส้นตรง จะสังเกตเห็นได้ว่าเมื่อค่าตัวเก็บประจุเพิ่มขึ้นจาก 1 fF ไปจนถึง 10 fF ค่ากำลังงานเพิ่มขึ้นน้อยมากจนเกือบจะคงที่ เนื่องจากตัวเก็บประจุที่เปลี่ยนแปลงนั้นมีค่าน้อยมาก ดังนั้นจึงสรุปได้ว่าค่าของตัวเก็บประจุที่เปลี่ยนมีผลต่อค่ากำลังงานน้อยมาก



รูปที่ 4.6 กราฟการเปรียบเทียบระหว่างกำลังงานกับตัวเก็บประจุที่ไหลลด

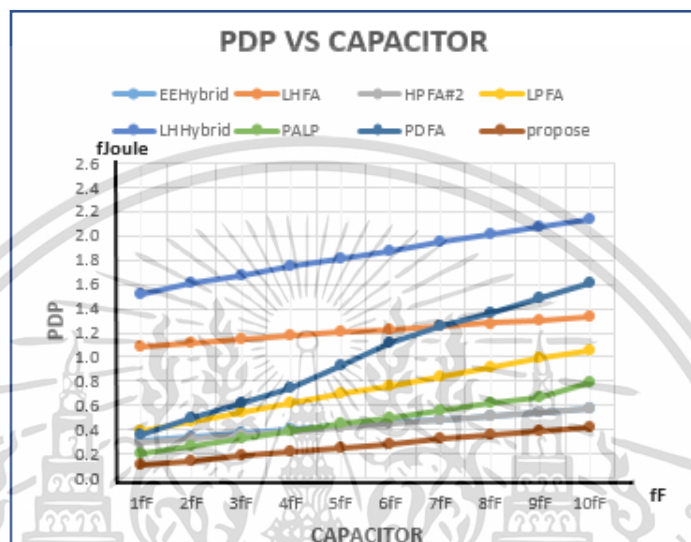
จากรูปที่ 4.7 จะเป็นการแสดงกราฟค่าดีเลย์เมื่อค่าตัวเก็บประจุที่ไหลลดเปลี่ยนไป ซึ่งเป็นกราฟเส้นตรงที่มีความชันขึ้น จะสังเกตเห็นได้ว่าเมื่อค่าตัวเก็บประจุเพิ่มขึ้นจาก 1 fF ไปจนถึง 10 fF ค่าดีเลย์ของวงจรจะเพิ่มขึ้น เนื่องจากในขณะที่วงจรทำงานจะเกิดการ charge-discharge ค่าตัวเก็บประจุเพิ่มขึ้นทำให้วงจรมีค่าดีเลย์มากขึ้นตาม ความเร็วของวงจรจึงช้าลง ดังนั้นจึงสรุปได้ว่าการเปลี่ยนแปลงของค่าตัวเก็บประจุที่ไหลลด มีผลต่อค่าดีเลย์ของวงจร



รูปที่ 4.7 กราฟการเปรียบเทียบระหว่างค่าดีเลย์กับตัวเก็บประจุที่ไหลลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.8 จะเป็นการแสดงกราฟค่าดีเลย์เมื่อค่าตัวเก็บประจุที่โหลดเปลี่ยนไป ซึ่งเป็นกราฟเส้นตรงที่มีความชันขึ้น จะสังเกตเห็นได้ว่าเมื่อค่าตัวเก็บประจุเพิ่มขึ้นจาก 1 fF ไปจนถึง 10 fF ค่า PDP ของวงจรมีค่าเพิ่มขึ้น ดังนั้นจึงสรุปได้ว่าเมื่อค่าตัวเก็บประจุโหลดที่เปลี่ยนไป มีผลต่อค่า PDP ของวงจร



รูปที่ 4.8 กราฟการเปรียบเทียบระหว่างค่า PDP กับตัวเก็บประจุ

จากผลของการทดลองทั้งหมดด้านบนเป็นไปตามทฤษฎีและสมการของวงจร CMOS [8] เมื่อปรับค่าของแหล่งจ่ายไฟเพิ่มขึ้นจะทำให้ค่าของการสูญเสียกำลังงานมีค่าเพิ่มขึ้นตาม ทำให้การใช้พลังงานของวงจรมีค่าเพิ่มขึ้น ในส่วนของค่าดีเลย์จะทำให้ค่าดีเลย์ของวงจรลดลง ทำให้วงจรมีความเร็วที่ดีขึ้น และทำให้ค่าของ PDP เพิ่มขึ้น ในขณะที่เมื่อปรับค่าตัวเก็บประจุที่โหลดจะทำให้ค่าของการสูญเสียกำลังงานมีค่าเพิ่มขึ้นเพียงเล็กน้อย ในส่วนของค่าดีเลย์จะทำให้ค่าดีเลย์ของวงจรเพิ่มขึ้น ทำให้วงจรทำงานช้าลง เนื่องจากการเกิดการ charge-discharge ที่มากขึ้นและทำให้ค่า PDP เพิ่มขึ้น

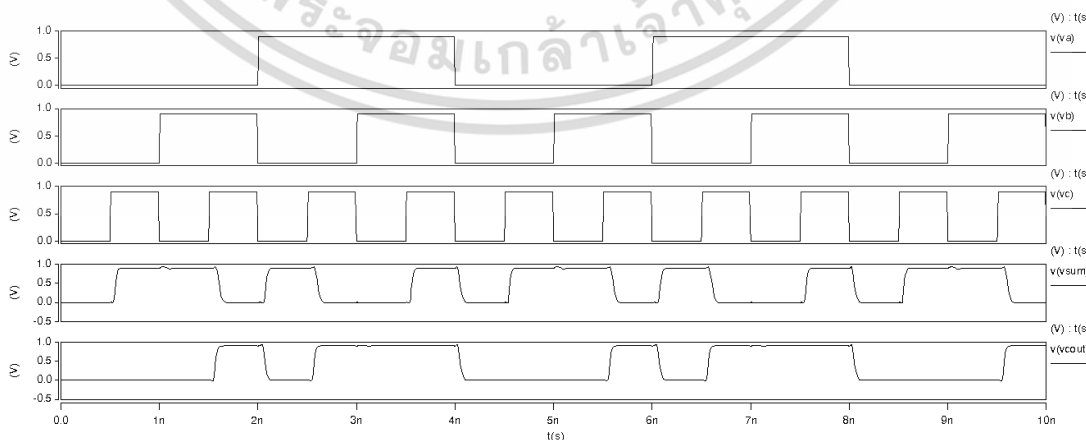
จากตารางที่ 4.8 เป็นตารางสรุปการเปรียบเทียบค่ากำลังงานและค่าดีเลย์ระหว่างวงจรที่นำเสนอและวงจรต่างๆ โดยค่าที่ได้นำมาเปรียบเทียบตั้งต้นจะเป็นค่าที่วัดได้จากวงจรที่นำเสนอเทียบเป็นเปอร์เซ็นต์กับวงจรต่างๆ ผลปรากฏว่าค่าที่ดีที่สุดทั้งด้านการใช้พลังงาน ความเร็วและค่า PDP ของวงจร จะใช้แหล่งจ่ายไฟที่ 0.9 V มีตัวเก็บประจุ 1 fF โดยจะมีค่าความถี่ที่ 1 GHz เมื่อนำมาเปรียบเทียบกับวงจร EEHybrid มีค่าการใช้พลังงานที่ดีกว่าอยู่ที่ประมาณ 76% และมีค่าดีเลย์ที่ดีกว่าอยู่ที่ 26% อันดับต่อมาเมื่อเปรียบเทียบกับวงจร LHFA มีการใช้พลังงานที่ดีกว่าอยู่ที่ประมาณ 67% และมีค่าดีเลย์ที่ดีกว่าอยู่ที่ 326% อันดับต่อมาเมื่อเปรียบเทียบกับวงจร HPFA มีการใช้พลังงานที่ดีกว่าอยู่ที่ประมาณ 94% และมีค่าดีเลย์ที่ดีกว่าอยู่ที่ 8% อันดับต่อมาเมื่อเปรียบเทียบกับวงจร LPFA มีการใช้พลังงานที่ดีกว่าอยู่ที่ 169% และ

มีค่าดีเลย์ที่ต่ำกว่าอยู่ที่ 10% อันดับต่อมาเมื่อเปรียบเทียบกับวงจร LHHybrid มีการใช้พลังงานที่ต่ำกว่าอยู่ที่ 119% และมีค่าดีเลย์ที่ต่ำกว่าอยู่ที่ 364% อันดับต่อมาเมื่อเปรียบเทียบกับวงจร PALP มีการใช้พลังงานที่ต่ำกว่าอยู่ที่ 36% และมีค่าดีเลย์ที่ต่ำกว่าอยู่ที่ 22% อันดับต่อมาเมื่อเปรียบเทียบกับวงจร PDFA มีการใช้พลังงานที่ต่ำกว่าอยู่ที่ 57% และมีค่าดีเลย์ที่ต่ำกว่าอยู่ที่ 100%

ตารางที่ 4.8 ตารางสรุปการเปรียบเทียบค่ากำลังงานและค่าดีเลย์ระหว่างวงจรที่นำเสนอและวงจรต่างๆ

Circuit	power		Delay	
	power (uW)	power comparison (%)	Delay (ps)	delay comparison (%)
<i>EEHybrid</i>	1.64	-76.34	191.56	-61.41
<i>LHFA</i>	1.55	-66.67	505.99	-326.35
<i>HPFA</i>	1.80	-93.55	128.37	-8.16
<i>LPFA</i>	2.50	-168.82	130.99	-10.37
<i>LHHybrid</i>	2.04	-119.35	550.72	-364.04
<i>PALP</i>	1.27	-36.56	145.78	-22.83
<i>PDFA</i>	1.46	-56.99	238.01	-100.55
<i>proposed</i>	0.93	0	118.68	0

จากรูปที่ 4.9 เป็นรูปคลื่นที่นำเสนอที่ดีที่สุด จะสังเกตเห็นได้ว่าค่าของ SUM และ C_{OUT} เป็นไปตามตารางค่าความจริงของวงจรวก โดยค่าของ SUM และ C_{OUT} (เส้นที่ 4 และ 5 นับจากด้านบนตามลำดับ) ช่วงที่เริ่มเปลี่ยนจาก 0 ไปจนถึง 1 และช่วงที่เปลี่ยนจาก 1 กลับไปเป็น 0 มีความค่าชันที่สูงเกือบจะเป็นเส้นตรง ซึ่งหมายถึงดีเลย์ของวงจรมีน้อย ทำให้วงจรทำงานได้เร็ว



รูปที่ 4.9 รูปคลื่นวงจรที่นำเสนอ $V_{dd}=0.9$ V, $C_L=1$ fF, $f=1$ GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุป

จากการเปรียบเทียบกับวงจรรูปแบบต่างๆด้วยการจำลองการทำงานโดยใช้ HSPICE และใช้เทคโนโลยีซิมอส 16 nm อันดับแรกที่จะเปรียบเทียบด้วยการปรับค่าแรงดันแหล่งจ่ายไฟที่ 0.9–1.4 V โดยจะคงที่ความถี่ไว้ที่ 1 GHz มีตัวเก็บประจุ 1 fF ผลที่ได้เห็นว่าการปรับค่าแรงดันแหล่งจ่ายไฟมีผลต่อวงจรทั้งในด้านการใช้พลังงาน โดยที่เมื่อปรับแล้วจะทำให้ค่ากำลังงานเพิ่มขึ้นเป็นอย่างมาก และในด้านความเร็ว โดยที่เมื่อปรับแล้วจะทำให้ค่าของดีเลย์มีค่าลดลงเป็นอย่างมาก ในส่วนของค่า PDP นั้นก็มีค่าเพิ่มขึ้นเช่นกัน อันดับต่อมาจะเป็นการปรับที่ค่าตัวเก็บประจุที่โหลด 1-10 fF โดยที่จะคงค่าความถี่ไว้ที่ 1 GHz ใช้แหล่งจ่ายไฟ 0.9 V ผลที่ได้เห็นว่าการปรับค่าตัวเก็บประจุที่โหลดนั้นมีผลต่อวงจร ในด้านของการใช้พลังงานของวงจรมีผลเพียงเล็กน้อย ในขณะที่ด้านของความเร็วนั้นมีผลเป็นอย่างมาก โดยที่เมื่อเพิ่มตัวเก็บประจุที่โหลดจะทำให้ค่าดีเลย์ของวงจรมีค่าเพิ่มขึ้น ในส่วนของค่า PDP ก็มีค่าเพิ่มขึ้นเช่นกัน

ผลของวงจรที่น่าเสนอมีค่าที่ดีที่สุดทั้งด้านการใช้พลังงานและค่าดีเลย์เมื่อเปรียบเทียบกับวงจรต่างๆ โดยวงจรบวกหนึ่งบิตที่น่าเสนอนี้เป็นวงจรบวกที่ใช้เทคนิควงจรแบบ Hybrid ระหว่าง pass transistor ควบคู่กับ Transmission gate ใช้ทรานซิสเตอร์ทั้งหมด 16 ตัว ในการจำลองการทำงาน โดยใช้ HSPICE ด้วยเทคโนโลยีซิมอส 16 nm มีแหล่งจ่ายไฟ 0.9 V ทำงานโดยใช้ความถี่ที่ 1 GHz และใช้ตัวเก็บประจุที่ 1 fF มีการใช้พลังงานที่ดีที่สุดคือ 0.93 μW มีค่าดีเลย์ที่ต่ำที่สุดคือ 118.68 ps

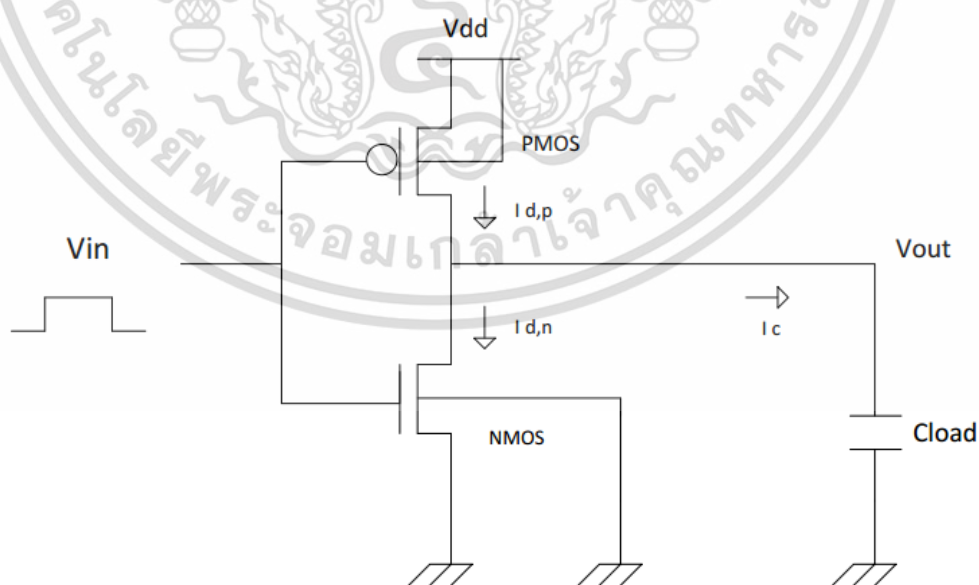
เอกสารอ้างอิง

- [1] S. Goel, A. Kumar and M.A. Bayoumi, “Design of Robust, Energy-Efficient Full Adders for Deep-Submicrometer Design Using Hybrid-CMOS Logic Style.” **IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS**, VOL. 14, NO. 12, DECEMBER 2006, pp.1309-1321.
- [2] C.K. Tung, Y.C. Hung, S.H. Shieh and G.S. Huang, “A Low-Power High-Speed Hybrid CMOS Full Adder for Embedded System.” **IEEE Design and Diagnostics of Electronic Circuits and Systems**, April 2007, DDECS '07, pp.1-4.
- [3] O. Kavehei, M.R. Azghadi, K. Navi and A.P. Mirbaha, “Design of Robust and High-Performance 1-Bit CMOS Full Adder for Nanometer Design.” **IEEE Computer Society Annual Symposium on VLSI, IEEE Computer Society Annual, Symposium on VLSI**, April 2008. ISVLSI '08, pp.10-15.
- [4] A. Sudsakorn, S. Tooprakai and K. Dejhan, “Low Power CMOS Full Adder Cells.” **Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), 2012 9th International Conference**, May 2012, pp.1-12.
- [5] M. Agarwal, N. Agrawal and A. Alam, “A New Design of Low Power High Speed Hybrid CMOS Full Adder.” **Signal Processing and Integrated Networks (SPIN), 2014 International Conference**, February 2014, pp.448-452.
- [6] P. Bhattacharyya, B. Jundu and V. Kumar, “Performance Analysis of a Low-Power High-Speed Hybrid 1-bit Full Adder Circuit.” **IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS**, VOL. 23, NO. 10, OCTOBER 2015, pp.2001-2008.
- [7] N.R. Konijeti, JVR Ravindra and P. Yagateela, “Power Aware and Delay Efficient Hybrid CMOS Full-Adder for Ultra Deep Submicron Technology.” **Modelling Symposium (EMS), 2013 European**, November 2013, pp.697-700.
- [8] S. M. Kang and Y. Leblebici, “**CMOS Digital Integrated Circuits.**” ed, McGrawHill, 2015.
- [9] N. H.E. Weste and D. Harris, “**CMOS VLSI design: a circuits and systems perspective.**” 3rd ed, Boston : Pearson, 2005.
- [10] J. P. Uyemura, “**CMOS LOGIC CIRCUIT DESIGN.**” KLUWER ACADEMIC PUBLISHERS, 1999.
- [11] Y. Cao. “**Predictive Technology Model.**” [Online]. Available: <http://ptm.asu.edu>, 2016

ภาคผนวก

ก. การสูญเสียกำลังงาน (Power Consumption)

วงจรมอสสามารถแบ่งได้เป็น 2 แบบคือ Static power dissipation และ Dynamic power dissipation ในรูปที่ ก.1 จะแสดงการทำงานของวงจรมอสอินเวอร์เตอร์ เมื่ออินพุตกำลังเปลี่ยนจาก 0 ไปเป็น 1 ฟีมอสทรานซิสเตอร์ในวงจรมอสจะไม่ทำงานและเอ็นมอสทรานซิสเตอร์จะเริ่มทำงาน ในระหว่างนั้นโหลดคาปาซิเตอร์ (load capacitance : C_{LOAD}) จะคลายกระแสไฟฟ้าออกมา ทำให้กระแสไหลผ่านเอ็นมอสทรานซิสเตอร์ ดังนั้นค่าการคายกระแสไฟฟ้าภายในตัวเก็บประจุจะมีค่าเท่ากับค่ากระแสไฟฟ้าทั้งหมดที่ไหลผ่านเอ็นมอสทรานซิสเตอร์ และเมื่อสัญญาณอินพุตกำลังเปลี่ยนจาก 1 เป็น 0 เอ็นมอสทรานซิสเตอร์จะเริ่มตัดการทำงานและฟีมอสทรานซิสเตอร์จะเริ่มทำงาน ในขณะนั้นโหลดคาปาซิเตอร์ (load capacitance : C_{LOAD}) จะเริ่มชาร์ตกระแสไฟฟ้า โดยมีกระแสไฟฟ้าผ่านทางฟีมอสทรานซิสเตอร์ ดังนั้นค่าที่ฟีมอสทรานซิสเตอร์ชาร์ตกระแสไฟฟ้าภายในตัวเก็บประจุจะมีค่าเท่ากับค่ากระแสไฟฟ้าทั้งหมดที่ไหลผ่านฟีมอสทรานซิสเตอร์ การสูญเสียกำลังงานในช่วงนี้จะเรียกว่า Dynamic power dissipation ส่วนการทำงานอีกช่วงคือ steady state เป็นช่วงที่โหลดคาปาซิเตอร์ (load capacitance : C_{LOAD}) ไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง วงจรมอสจะไม่ทำงาน ซึ่งในความเป็นจริงกระแสของวงจรมอสจะไม่เหลือเป็นศูนย์เกิดจากการรั่วไหลของกระแส (leakage current) โดยจะมีค่าน้อยมากๆ เรียกช่วงนี้ว่า Static power dissipation



รูปที่ ก.1 การทำงานของวงจรมอสอินเวอร์เตอร์

กำหนดให้ค่า t เป็นคาบเวลาหนึ่งคาบของสัญญาณอินพุตและเอาต์พุต ดังนั้นค่าเฉลี่ยของ power dissipation ของวงจรจะเขียนได้ตามสมการที่ ก.1

$$P_{avg} = \frac{1}{T} \int_0^T v(t) \cdot i(t) dt \quad (ก.1)$$

โดยที่ T คือช่วงเวลาหนึ่งคาบของสัญญาณนาฬิกา

t คือช่วงเวลาหนึ่งคาบของสัญญาณอินพุตและเอาต์พุต

v คือ แรงดันไฟฟ้า

i คือกระแสไฟฟ้า

ในระหว่างที่วงจรเปลี่ยนจาก 0 ไปเป็น 1 หรือ 1 ไปเป็น 0 ทรานซิสเตอร์เอ็นมอสและพีมอสในวงจรซีมอสอินเวอร์เตอร์จะสร้างกระแสต่างๆครั้งคาบ ดังแสดงในรูปที่ ก.2 โดยค่าเฉลี่ยของ power dissipation วงจร สามารถคำนวณได้จากการเก็บและคายประจุของโหลดคาปาซิเตอร์ ตามสมการที่ ก.2

$$P_{avg} = \frac{1}{T} \int_0^{T/2} V_{out} \left(-C_{load} \frac{dV_{out}}{dt} \right) dt + \int_{T/2}^T V_{DD} - V_{out} \left(C_{load} \frac{dV_{out}}{dt} \right) dt \quad (ก.2)$$

นำสมการ ก.2 มาคำนวณได้

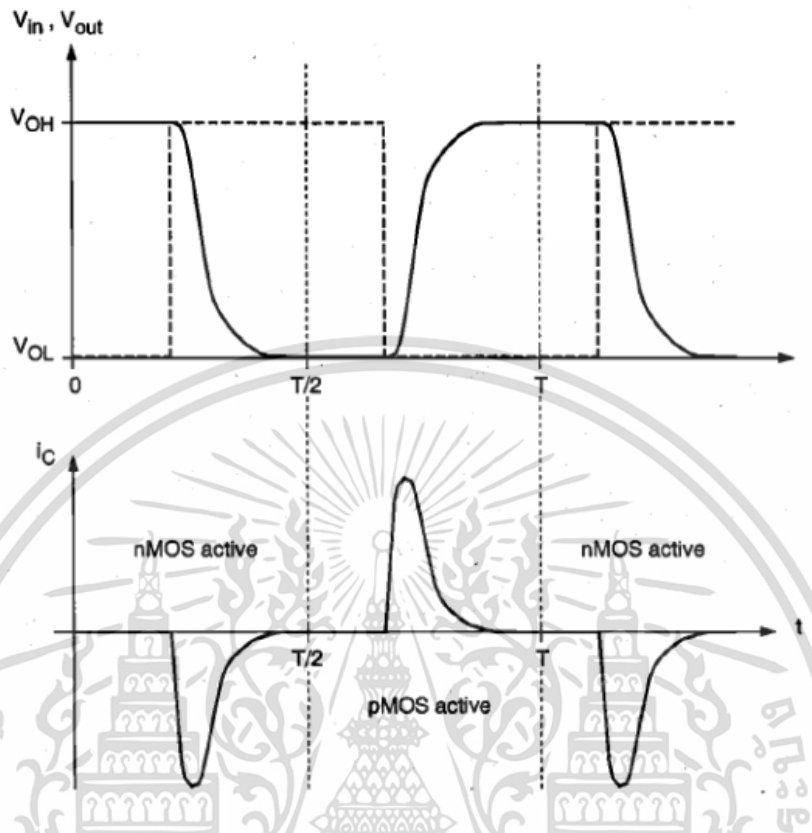
$$P_{avg} = \frac{1}{T} \left[\left(-C_{load} \frac{dV_{out}^2}{2} \right) \Big|_0^{T/2} + V_{DD} \cdot V_{out} \cdot C_{load} - \frac{1}{2} C_{load} V_{out}^2 \Big|_0^{T/2} \right] \quad (ก.3)$$

$$P_{avg} = \frac{1}{T} C_{load} \cdot V_{DD}^2 \quad (ก.4)$$

จาก $f = 1/T$ นำมาแปลงในสมการ ก.4 จะได้

$$P_{avg} = C_{load} \cdot V_{DD}^2 \cdot f \quad (ก.5)$$

จากสมการค่าเฉลี่ย Power dissipation มีผันตรงกับค่าความถี่ f ดังนั้นการที่วงจรสามารถทำงานที่ความถี่สูงมากๆได้ ส่งผลให้การสูญเสียค่า Power dissipation สูงและที่สำคัญค่า Power dissipation ยังขึ้นอยู่กับขนาดของโหลดคาปาซิเตอร์และไฟเลี้ยงวงจร แต่ทั้งนี้การออกแบบที่ดีก็ยังคงส่งผลช่วยในการลดค่าการสูญเสียกำลังงานอีกด้วย



รูปที่ ก.2 รูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์

ข. ค่าดีเลย์ (delay time)

การคำนวณค่าดีเลย์ของวงจรมอสจะนิยมใช้ตามรูปที่ ข.1 ซึ่งเป็นรูปคลื่นสัญญาณอินพุตและเอาต์พุตของวงจรมอสอินเวอร์เตอร์ การหาค่าดีเลย์ τ_{PLH} จะเป็นค่าเปรียบเทียบช่วงการเปลี่ยนแรงดันเอาต์พุตระหว่าง V_{OL} ไปจนกระทั่งถึง $V_{50\%}$ เพื่อความสะดวกในการวิเคราะห์และการเขียนสมการค่าดีเลย์ จะกำหนดให้สัญญาณอินพุตถูกสมมติให้เป็นรูปคลื่นสี่เหลี่ยม เมื่อสัญญาณได้ผ่านวงจรมอสอินเวอร์เตอร์ จะได้สัญญาณเอาต์พุตออกมา ภายใต้ทฤษฎีที่ว่า τ_{PHL} เป็นค่าดีเลย์ของสัญญาณเอาต์พุตที่ V_{OH} ลดลงสู่ค่าแรงดันเอาต์พุตที่ $V_{50\%}$ และ τ_{PLH} เป็นค่าดีเลย์ของสัญญาณเอาต์พุตที่ V_{OL} เพิ่มขึ้นสู่ค่าแรงดันเอาต์พุตที่สามารถเขียนสมการได้ตามสมการที่ ข.1

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (\text{ข.1})$$

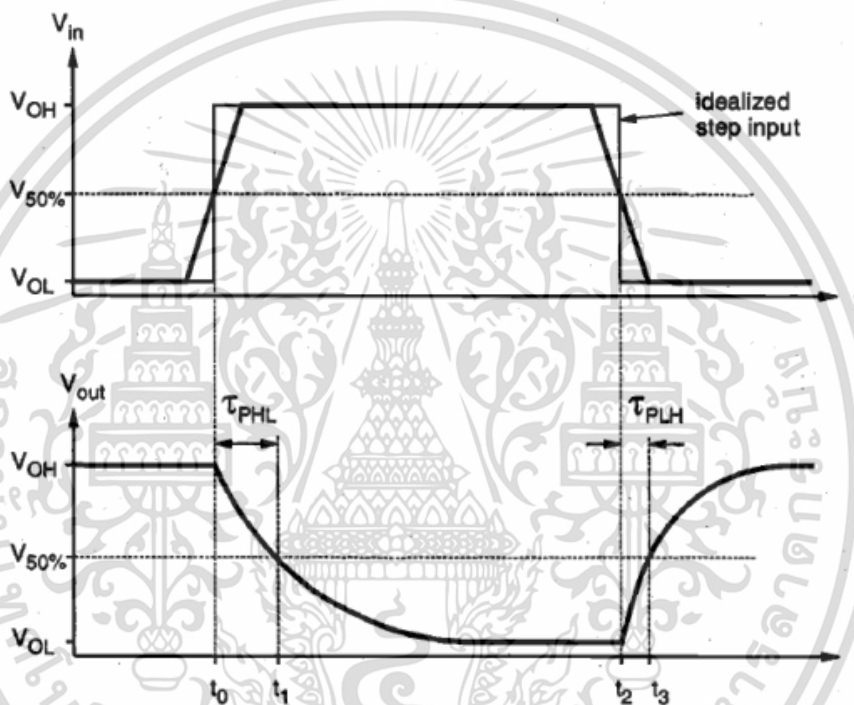
ดังนั้น ค่าดีเลย์ τ_{PHL} และ τ_{PLH} จากรูป ข.1 แสดงตามสมการที่ ข.2-3

$$\tau_{PHL} = t_1 - t_0 \quad (\text{ข.2})$$

$$\tau_{PLH} = t_3 - t_2 \quad (\text{ข.3})$$

ทำให้ค่าเฉลี่ยของค่าดีเลย์ (Propagation delay time : τ_P) สามารถแสดงได้ดังสมการที่ ข.4

$$\tau_P = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (\text{ข.4})$$



รูปที่ ข.1 คลื่นสัญญาณอินพุตและเอาต์พุตของวงจรมอสอินเวอร์เตอร์

จากรูปที่ ข.2 เป็นค่าดีเลย์ของสัญญาณอินพุตที่พุดทั้งขาลงและขาขึ้น (rise and fall time) ซึ่งค่าดีเลย์เวลาขาขึ้น τ_{rise} คือช่วงเวลาที่สัญญาณเอาต์พุตเพิ่มระดับแรงดันจาก $V_{10\%}$ ไปจนแรงดัน $V_{90\%}$ และค่าดีเลย์เวลาขาลง τ_{fall} คือช่วงเวลาที่สัญญาณเอาต์พุตลดระดับแรงดันจาก $V_{90\%}$ ไปจนแรงดัน $V_{10\%}$ โดยสามารถเขียนสมการได้ตามสมการที่ ข.5-6

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (\text{ข.5})$$

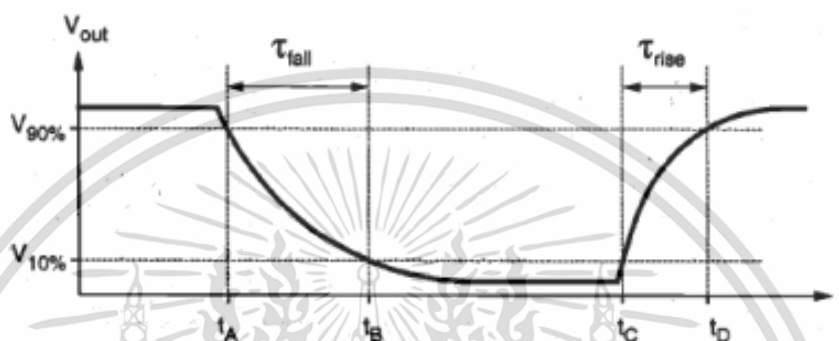
$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (\text{ข.6})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสมการค่าดีเลย์ของสัญญาณเอาต์พุตขาขึ้นและขาลง จะแสดงตามสมการที่ ข.7-8

$$\tau_{fall} = t_B - t_A \quad (\text{ข.7})$$

$$\tau_{rise} = t_D - t_C \quad (\text{ข.8})$$

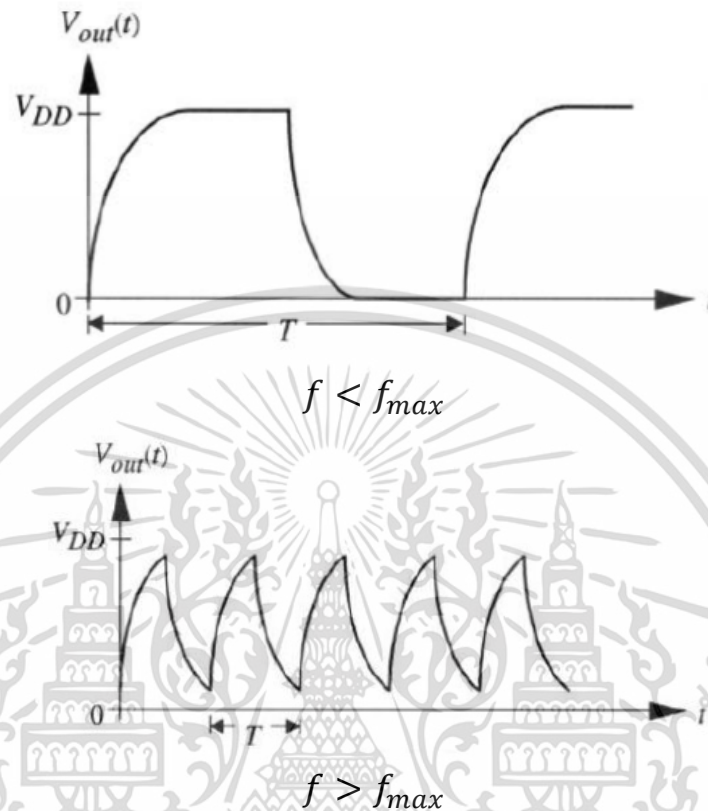


รูปที่ ข.2 คลื่นสัญญาณของสัญญาณอินพุตทั้งขาลงและขาขึ้น

ผลรวมของค่า τ_{fall} และ τ_{rise} แสดงให้เห็นค่าเวลาดำที่ต่ำที่สุดในการทำงานของวงจรให้ครบหนึ่งรอบการทำงาน ในการที่สัญญาณเอาต์พุตจะเปลี่ยนค่าลอจิกจาก 1 เป็น 0 และคืนค่าสัญญาณเอาต์พุตจากลอจิก 0 เป็น 1 นั้นเอง กล่าวได้ว่าสามารถหาค่าความถี่สูงสุด (maximum switching frequency) ของวงจรได้โดย

$$f_{max} = \frac{1}{\tau_{rise} + \tau_{fall}} \quad (\text{ข.9})$$

จากสมการที่แสดงถึงอัตราสูงสุดในการรับข้อมูลเกต ในรูปที่ ข.3 จะแสดงความสำคัญของค่าความถี่สูงสุดของวงจรอินเวอร์เตอร์ สำหรับวงจรที่มีค่าการทำงานที่ความถี่ต่ำกว่าค่าความถี่สูงสุด ($f < f_{max}$) สัญญาณจะมีเวลาเพียงพอที่จะเปลี่ยนสัญญาณอินพุตเป็นสัญญาณเอาต์พุตได้อย่างถูกต้อง แต่หากเพิ่มค่าความถี่ของวงจรให้มีค่าความถี่มากกว่าค่าความถี่สูงสุด ($f > f_{max}$) วงจรจะมีเวลาไม่เพียงพอที่จะเปลี่ยนแปลงสัญญาณอินพุตที่รับเข้ามาเพื่อให้เป็นสัญญาณเอาต์พุตที่ถูกต้องได้นั้นจะส่งผลให้ค่าลอจิกที่ออกมานั้นผิดพลาดได้



รูปที่ ข.3 คลื่นสัญญาณแสดงความถี่ของวงจรรีเลย์อินเวอร์เตอร์เปรียบกับ f_{max}

ค.ความสัมพันธ์ของแรงดันแหล่งจ่ายไฟกับค่ากำลังงานและค่าดีเลย์

การคำนวณค่าดีเลย์ของวงจรรีเลย์ digital จะขึ้นอยู่กับค่าของตัวเก็บประจุที่โหลดและค่าเฉลี่ยของกระแสในระหว่าง charge-discharge จะมีสมการตามสมการที่ ค.1-2

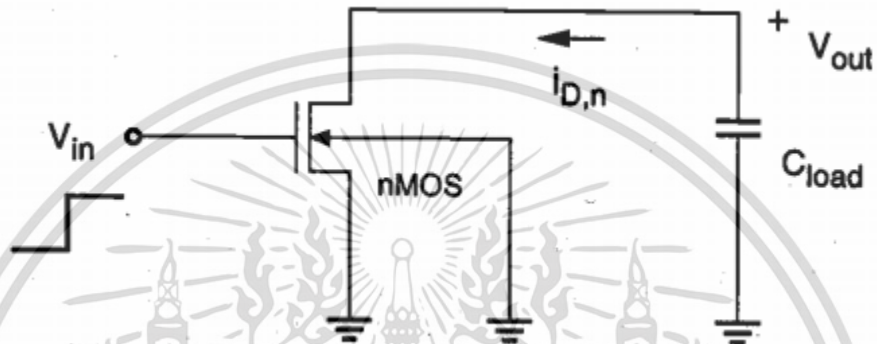
$$\tau_{PHL} = \frac{C_L \cdot \Delta V_{HL}}{I_{avgHL}} = \frac{C_L \cdot (V_{OH} - V_{50\%})}{I_{avgHL}} \quad (\text{ค.1})$$

$$\tau_{PLH} = \frac{C_L \cdot \Delta V_{LH}}{I_{avgLH}} = \frac{C_L \cdot (V_{50\%} - V_{OL})}{I_{avgLH}} \quad (\text{ค.2})$$

เมื่อพิจารณาวงจรรีเลย์อินเวอร์เตอร์ จากรูปที่ ก.1 สมมติให้แรงดันเอาต์พุตเป็น V_{OH} เมื่อแรงดันอินพุตที่เปลี่ยนไปจาก 0 เป็น 1 NMOS จะทำงานและตัวเก็บประจุที่โหลดเริ่ม discharge ในเวลาเดียวกัน PMOS

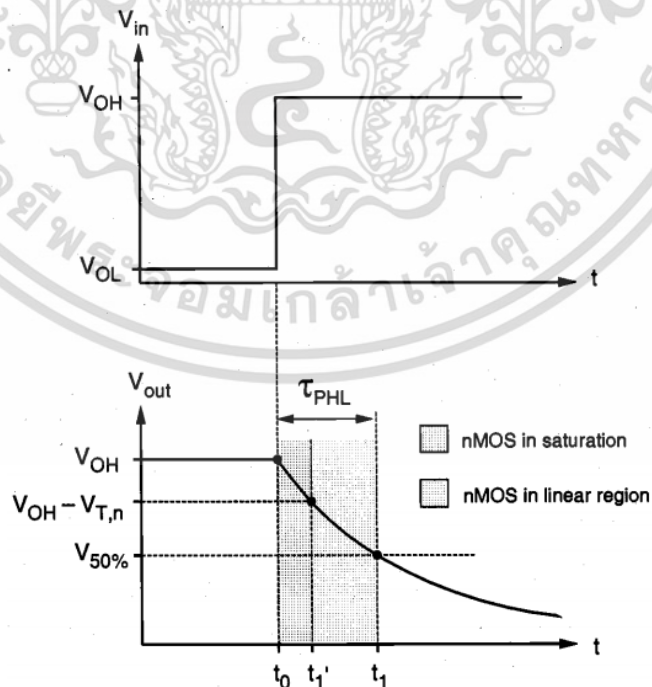
จะเปลี่ยนเป็นไม่ทำงาน ทำให้กระแสที่ขาเดรนของ PMOS มีค่าเท่ากับ 0 ดังนั้นสามารถคำนวณจาก NMOS และตัวเก็บประจุที่โหลดได้ดังแสดงตามสมการที่ ค.3 และรูปที่ ค.1

$$C_L = \frac{dV_{out}}{dt} = -i_{D,n} \quad (\text{ค.3})$$



รูปที่ ค.1 การทำงานของอินเวอร์เตอร์เมื่อเอาต์พุตเปลี่ยนจาก 1 ไปเป็น 0

จากรูป ค.1 เมื่อเอาต์พุตเริ่มเปลี่ยนจาก 1 ไปเป็น 0 NMOS จะเริ่มทำงานในย่าน Satuaration ในขณะที่แรงดันเอาต์พุตมีค่าลดลง ($V_{DD} - V_{T,n}$) NMOS จะเริ่มทำงานในย่าน linear แสดงตามรูปที่ ค.2



รูปที่ ค.2 คลื่นสัญญาณอินพุตและเอาต์พุตที่เปลี่ยนจาก 1 ไปเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น NMOS ในย่าน Saturation จะมีสมการตามสมการที่ ค.4-5

$$i_{D,n} = \frac{k_n}{2} (V_{OH,n} - V_{T,n})^2 \quad \text{เมื่อ } V_{OH} - V_{T,n} < V_{out} \leq V_{OH} \quad (\text{ค.4})$$

$$t_{1'} - t_0 = \frac{2C_L V_{T,n}}{k_n (V_{OH} - V_{T,n})^2} \quad (\text{ค.5})$$

เมื่อ $t_0 = t_{1'}$ แรงดันเอาต์พุตจะมีค่าเท่ากับ $V_{DD} - V_{T,n}$ ซึ่งทรานซิสเตอร์จะอยู่ระหว่างย่าน Saturation และ Linear พอดี หลังจากนั้นเมื่อเวลาผ่านไปจะเข้าสู่ย่าน linear ตามสมการที่ ค.6

$$i_{D,n} = \frac{k_n}{2} [2(V_{OH} - V_{T,n})V_{out} - V_{out}^2] \quad \text{เมื่อ } V_{out} \leq V_{OH} - V_{T,n} \quad (\text{ค.6})$$

จากสมการที่ ค.3 เมื่อช่วงเวลาอยู่ระหว่าง $t_{1'}$ และ t_1 จะทำให้ได้สมการที่ ค.7

$$t_1 - t_{1'} = \frac{C_L}{k_n (V_{OH} - V_{T,n})} \ln \left(\frac{2(V_{OH} - V_{T,n}) - V_{50\%}}{V_{50\%}} \right) \quad (\text{ค.7})$$

จากสมการที่ ค.1-2 จึงสรุปได้ตามสมการที่ ค.8

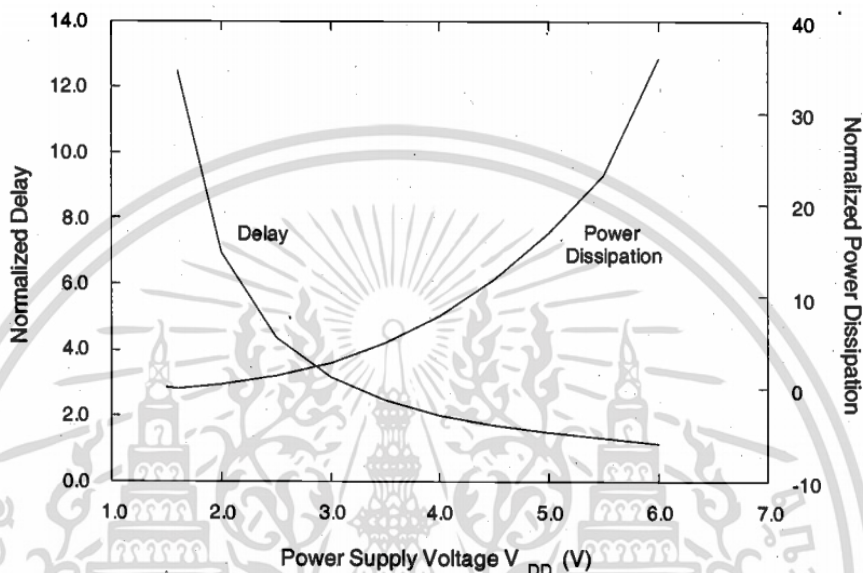
$$\tau_{PHL} = \frac{C_L}{k_n (V_{OH} - V_{T,n})} \left[\frac{2V_{T,n}}{V_{OH} - V_{T,n}} + \ln \left(\frac{4(V_{OH} - V_{T,n})}{V_{OH} + V_{OL}} - 1 \right) \right] \quad (\text{ค.8})$$

เมื่อ $V_{OH} = V_{DD}$ และ V_{OL} ในวงจรรินเวอร์เตอร์จะเป็นไปตามสมการที่ ค.9-10

$$\tau_{PHL} = \frac{C_L}{k_n (V_{DD} - V_{T,n})} \left[\frac{2V_{T,n}}{V_{DD} - V_{T,n}} + \ln \left(\frac{4(V_{DD} - V_{T,n})}{V_{DD}} - 1 \right) \right] \quad (\text{ค.9})$$

$$\tau_{PLH} = \frac{C_L}{k_n (V_{DD} - |V_{T,p}|)} \left[\frac{2|V_{T,p}|}{V_{DD} - |V_{T,p}|} + \ln \left(\frac{4(V_{DD} - |V_{T,p}|)}{V_{DD}} - 1 \right) \right] \quad (\text{ค.10})$$

จากรูปที่ ค.3 เป็นรูปแสดงความสัมพันธ์ของแรงดันแหล่งจ่ายไฟกับค่ากำลังงานและค่าดีเลย์ เมื่อให้แรงดันแหล่งจ่ายไฟมีค่าเพิ่มขึ้นในขณะที่ค่าอื่นๆมีค่าคงที่ จะทำให้ค่าดีเลย์มีค่าลดลงและค่าการสูญเสียกำลังงานมีค่าเพิ่มขึ้น ทำให้วงจรเร็วขึ้นและกินไฟมากขึ้นตามไปด้วย



รูปที่ ค.3 ความสัมพันธ์ของแรงดันแหล่งจ่ายไฟกับค่ากำลังงานและค่าดีเลย์

ง.การจำลองการทำงานวงจรที่นำเสนอ (HSPICE Code)

Conventional XOR XNOR Circuit

***** OPTIONS *****

.OPTIONS LIST NODE POST

.OP

***** ANALYSIS *****

.TRAN .5ns 10ns

.print tran v(IN) v(out)

.print tran v(pw)

.measure tran tdaly trig v(vB) val='0.5*0.9' rise=1 targ
v(XOR) val='0.5*0.9' rise=1

.measure tran tdalysum trig v(vC) val='0.5*0.9' rise=1 targ
v(SUM) val='0.5*0.9' rise=1

.measure tran tdalycout trig v(vC) val='0.5*0.9' rise=1 targ
v(COUT) val='0.5*0.9' rise=1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

***** VARIABLES *****
.param supply=0.9
.temp=25

***** SOURCE DESCRIPTION *****
VCC VCC 0 0.9
vtstp VCC stp 0

***** Frequency 10 MHz *****
V1 vA 0 0 pulse ( 0 supply 2ns 0.01ns 0.01ns 1.98ns 4ns )
V2 vB 0 0 pulse ( 0 supply 1ns 0.01ns 0.01ns 0.98ns 2ns )
V3 vC 0 0 pulse ( 0 supply 0.5ns 0.01ns 0.01ns 0.48ns 1ns )

***** Buffer input *****
MI1 AI1 vA stp VCC PCH L=16N W=100N
MI2 AI1 vA 0 0 NCH L=16N W=52N
MI3 AI2 AI1 stp VCC PCH L=16N W=100N
MI4 AI2 AI1 0 0 NCH L=16N W=52N
MI5 BI1 vB stp VCC PCH L=16N W=100N
MI6 BI1 vB 0 0 NCH L=16N W=52N
MI7 BI2 BI1 stp VCC PCH L=16N W=100N
MI8 BI2 BI1 0 0 NCH L=16N W=52N
MI9 CI1 vC stp VCC PCH L=16N W=100N
MI10 CI1 vC 0 0 NCH L=16N W=52N
MI11 CI2 CI1 stp VCC PCH L=16N W=100N
MI12 CI2 CI1 0 0 NCH L=16N W=52N

***** NETLIST *****
MX1 A1 AI2 stp VCC PCH L=16N W=200N
MX2 A1 AI2 0 0 NCH L=16N W=100N

MX3 XOR A1 BI2 0 NCH L=16N W=100N
MX4 XOR BI2 A1 0 NCH L=16N W=52N
MX5 XNOR BI2 AI2 0 NCH L=16N W=52N
MX6 XNOR AI2 BI2 0 NCH L=16N W=100N

MX7 XOR XNOR stp VCC PCH L=16N W=100N
MX8 XNOR XOR stp VCC PCH L=16N W=100N

MS1 SUM XNOR CI2 0 NCH L=16N W=52N
MS2 SUM XOR CI2 VCC PCH L=16N W=200N
MS3 SUM CI2 XNOR 0 NCH L=16N W=52N
MS4 SUM CI2 XOR VCC PCH L=16N W=200N

MC1 COUT XNOR CI2 VCC PCH L=16N W=200N
MC2 COUT XOR CI2 0 NCH L=16N W=52N

```

```
MC3 COUT XOR AI2 VCC PCH L=16N W=200N
MC4 COUT XNOR AI2 0 NCH L=16N W=100N
```

```
***** Buffer Vout *****
MB13 SUM0 SUM stp VCC PCH L=16N W=100N
MB14 SUM0 SUM 0 0 NCH L=16N W=52N
MB15 vSUM SUM0 stp VCC PCH L=16N W=100N
MB16 vSUM SUM0 0 0 NCH L=16N W=52N
MB17 COUT0 COUT stp VCC PCH L=16N W=100N
MB18 COUT0 COUT 0 0 NCH L=16N W=52N
MB19 vCOUT COUT0 stp VCC PCH L=16N W=100N
MB20 vCOUT COUT0 0 0 NCH L=16N W=52N
```

```
CLB4 VSUM 0 1f
CLB5 VCOUT 0 1f
```

```
***** POWER METER *****
```

```
fp 0 pw vtstp 0.025
rp pw 0 10k
cp pw 0 10p
```

```
*****
```

```
* PTM Low Power 16Nm Metal Gate / High-K / Strained-Si
* nominal Vdd = 0.9V
```

```
.model nch nmos level = 54
```

```
+version = 4.0 binunit = 1 paramchk= 1 mobmod = 0
+capmod = 2 igcmod = 1 igbmod = 1 geomod = 1
+diomod = 1 rdsmod = 0 rbodmod= 1 rgatemod= 1
+permod = 1 acnqsmod= 0 trnqsmod= 0
```

```
+tnom = 27 tox = 1.2e-009 toxp = 9e-010 toxm = 1.2e-009
+dttox = 3e-010 epsrox = 3.9 wint = 5e-009 lint = 0
+l1 = 0 w1 = 0 ll1 = 1 wl1 = 1
+l2 = 0 w2 = 0 ll2 = 1 wl2 = 1
+l3 = 0 w3 = 0 ll3 = 1 wl3 = 1
+lwl = 0 wwl = 0 xpart = 0 toxref = 1.2e-009
```

```
+vth0 = 0.68191 k1 = 0.4 k2 = 0 k3 = 0
+k3b = 0 w0 = 2.5e-006 dvt0 = 1 dvt1 = 2
+dvt2 = 0 dvt0w = 0 dvt1w = 0 dvt2w = 0
+dsb = 0.1 minv = 0.05 voff1 = 0 dvtp0 = 1e-011
+dvtp1 = 0.1 lpe0 = 0 lpeb = 0 xj = 5e-009
+ngate = 1e+023 ndep = 7e+018 nsd = 2e+020 phin = 0
+cdsc = 0 cdsb = 0 cdsd = 0 cit = 0
+voff = -0.1014 nfactor = 1.6 eta0 = 0.0095 etab = 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+vfb = -0.55 u0 = 0.028 ua = 6e-010 ub = 1.2e-018
+uc = 0 vsat = 200000 a0 = 1 ags = 0
+a1 = 0 a2 = 1 b0 = 0 b1 = 0
+keta = 0.04 dwg = 0 dwb = 0 pclm = 0.02
+pdiblc1 = 0.001 pdiblc2 = 0.001 pdiblc3 = -0.005 drou =
0.5
+pvag = 1e-020 delta = 0.01 pscbe1 = 8.14e+008 pscbe2 = 1e-
007
+fprout = 0.2 pdits = 0.01 pditsd = 0.23 pditsl =
2300000
+trsh = 5 rds = 170 rsw = 75 rdw = 75
+rdswmin = 0 rdwmin = 0 rswmin = 0 prwg = 0
+prwb = 0 wr = 1 alpha0 = 0.074 alpha1 =
0.005
+beta0 = 30 agidl = 0.0002 bgidl = 2.1e+009 cgidl = 0.0002
+egidl = 0.8 aigbacc = 0.012 bigbacc = 0.0028 cigbacc =
0.002
+nigbacc = 1 aigbinv = 0.014 bigbinv = 0.004 cigbinv =
0.004
+eigbinv = 1.1 nigbinv = 3 aigc = 0.015211 bigc = 0.0027432
+cigc = 0.002 aigsd = 0.015211 bigsd = 0.0027432 cigsd =
0.002
+nicg = 1 poxedge = 1 pigcd = 1 ntox = 1
+xrcrg1 = 12 xrcrg2 = 5

+cgso = 5e-011 cgdo = 5e-011 cgbo = 2.56e-011 cgdl = 2.653e-
010
+cgsl = 2.653e-010 ckappas = 0.03 ckappad = 0.03 acde = 1
+moin = 15 noff = 0.9 voffcv = 0.02

+kt1 = -0.11 kt11 = 0 kt2 = 0.022 ute = -1.5
+ua1 = 4.31e-009 ub1 = 7.61e-018 uc1 = -5.6e-011 prt = 0
+at = 33000
+fnoimod = 1 tnoimod = 0

+jss = 0.0001 jsws = 1e-011 jswgs = 1e-010 njs = 1
+ijthsfwd = 0.01 ijthsrev = 0.001 bvs = 10 xjbvs = 1
+jsd = 0.0001 jswd = 1e-011 jswgd = 1e-010 njd = 1
+ijthdfwd = 0.01 ijthdrev = 0.001 bvd = 10 xjbvd = 1
+pbs = 1 cjs = 0.0005 mjs = 0.5 pbsws = 1
+cjsws = 5e-010 mjsws = 0.33 pbswgs = 1 cjswgs = 3e-
010
+mjswgs = 0.33 pbd = 1 cjd = 0.0005 mjbd = 0.5
+pbswd = 1 cjswd = 5e-010 mjswd = 0.33 pbswgd = 1
+cjswgd = 5e-010 mjswgd = 0.33 tpb = 0.005 tcj = 0.001

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+tpbsw = 0.005 tcjsw = 0.001 tpbswg = 0.005 tcjswg =
0.001
+xtis = 3 xtid = 3

+dmcg = 0 dmci = 0 dmdg = 0 dmcgt = 0
+dwj = 0 xgw = 0 xgl = 0

+rshg = 0.4 gbmin = 1e-010 rbpb = 5 rbpd = 15
+rbps = 15 rbdb = 15 rbsb = 15 ngcon = 1

```

```
.model pch pmos level = 54
```

```

+version = 4.0 binunit = 1 paramchk= 1 mobmod = 0
+capmod = 2 igcmod = 1 igbmod = 1 geomod = 1
+diomod = 1 rdsmod = 0 rbodymod= 1 rgatemod= 1
+permod = 1 acnqsmod= 0 trnqsmod= 0

+tnom = 27 toxo = 1.22e-009 toxp = 9e-010 toxm = 1.22e-009
+dttox = 3.2e-010 epsrox = 3.9 wint = 5e-009 lint = 8e-010
+l1 = 0 wl = 0 lln = 1 wln = 1
+lw = 0 ww = 0 lwn = 1 wwn = 1
+lwl = 0 wwl = 0 xpart = 0 toxref = 1.22e-
009

+vth0 = -0.6862 k1 = 0.4 k2 = -0.01 k3 = 0
+k3b = 0 w0 = 2.5e-006 dvt0 = 1 dvt1 = 2
+dvt2 = -0.032 dvt0w = 0 dvt1w = 0 dvt2w = 0
+dsusb = 0.1 minv = 0.05 voff1 = 0 dvtp0 = 1e-011
+dvtp1 = 0.05 lpe0 = 0 lpeb = 0 xj = 7.2e-009
+ngate = 1e+023 ndep = 4.4e+018 nsd = 2e+020 phin = 0
+cdsc = 0 cdsb = 0 cdsd = 0 cit = 0
+voff = -0.08 nfactor = 1.8 eta0 = 0.0095 etab = 0
+vfb = 0.55 u0 = 0.0075 ua = 2e-009 ub = 5e-019
+uc = 0 vsat = 195000 a0 = 1 ags = 1e-020
+a1 = 0 a2 = 1 b0 = 0 b1 = 0
+keta = -0.047 dwg = 0 dwb = 0 pclm = 0.12
+pdiblcl1 = 0.001 pdiblcl2 = 0.001 pdiblc3 = 3.4e-008 dROUT =
0.56
+pvag = 1e-020 delta= 0.01 pscbe1= 8.14e+008 pscbe2= 9.58e-
007
+fprout = 0.2 pdits = 0.08 pditsd = 0.23 pdits1 = 2300000
+rsh = 5 rdsw = 220 rsw = 72.5 rdw = 72.5
+rdswmin = 0 rdwmin = 0 rswmin = 0 prwg = 0
+prwb = 0 wr = 1 alpha0 = 0.074 alpha1 = 0.005

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+beta0 = 30 agidl = 0.0002 bgidl = 2.1e+009 cgidl =
0.0002
+egidl = 0.8 aigbacc = 0.012 bigbacc = 0.0028 cigbacc =
0.002
+nigbacc = 1 aigbinv = 0.014 bigbinv = 0.004 cigbinv = 0.004
+eigbinv = 1.1 nigbinv = 3 aigc = 0.0097 bigc = 0.00125
+cigc = 0.0008 aigsd = 0.0115 bigsd = 0.0012 cigsd = 0.0008
+nigc = 1 poxedge = 1 pigcd = 1 ntox = 1
+xrcrg1 = 12 xrcrg2 = 5

+cgso = 5e-011 cgdo= 5e-011 cgbo = 2.56e-011 cgd1 = 2.653e-
010
+cgsl = 2.653e-010 ckappas = 0.03 ckappad = 0.03 acde = 1
+moin = 15 noff = 0.9 voffcv = 0.02

+kt1 = -0.11 kt11 = 0 kt2 = 0.022 ute = -1.5
+ua1 = 4.31e-009 ub1 = 7.61e-018 ucl = -5.6e-011 prt = 0
+at = 33000

+fnoimod = 1 tnoimod = 0

+jss = 0.0001 jsws = 1e-011 jswgs = 1e-010 njs = 1
+ijthsfwd= 0.01 ijthsrev = 0.001 bvs = 10 xjbvs = 1
+jsd = 0.0001 jswd = 1e-011 jswgd = 1e-010 njd = 1
+ijthdfwd= 0.01 ijthdrev= 0.001 bvd = 10 xjbvd = 1
+pbs = 1 cjs = 0.0005 mjs = 0.5 pbsws = 1
+cjsws = 5e-010 mjsws = 0.33 pbswgs = 1 cjswgs = 3e-
010
+mjswgs = 0.33 pbd = 1 cjd = 0.0005 mjd = 0.5
+pbswd = 1 cjswd = 5e-010 mjswd = 0.33 pbswd = 1
+cjswgd = 5e-010 mjswgd = 0.33 tpb = 0.005 tcj = 0.001
+tpbsw = 0.005 tcjsw = 0.001 tpbswg = 0.005 tcjswg = 0.001
+xtis = 3 xtld = 3

+dmcg = 0 dmci = 0 dmdg = 0 dmcgt = 0
+dwj = 0 xgw = 0 xgl = 0

+trshg = 0.4 gbmin = 1e-010 rbpb = 5 rbpd = 15
+rbps = 15 rbdb = 15 rbsb = 15 ngcon = 1
*****
*
.END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ. เอกสารที่ได้รับการตีพิมพ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table of Contents

Keynote			vi
Venue			xi
Schedule			xii
Circuit and Systems			
A1	1570449751	High-Accuracy Phase-Compensating System Design Using Successively Linearized Constraints	1
A2	1570456690	Switchable Triple-band Filter with Common Resonators and Hybrid Coupling Scheme	5
A3	1570457044	A New Method of Analysis of the Sign Algorithm Based on Gaussian Distributed Tap Weights	11
A4	1570462559	Low-complexity Digital Modem Implementation for High-Speed Point-to-Point Wireless Communications	16
A5	1570467659	Design high speed and low power hybrid full adder circuit	22
Wireless Communications			
B1	1570457170	Performance Analysis of MIMO CO-OFDM FSO System under Joint Effect Channel	26
B2	1570461281	Performance Analysis of Full Duplex D2D in Opportunistic Spectrum Access	32
B3	1570462667	Iterative Channel Estimation with Polar Codes for Short Block Transmission	38
B4	1570462689	Constant Modulus and Kurtosis based Blind Adaptive Array Interference Suppression: Comparisons and New Approach	43
B5	1570462754	Reduced Complexity Direction-of-Arrival Estimation for 2D Planar Massive Arrays:A Separation Approach	48
Wireless Networking and Internet of Things			
C1	1570462600	Develop An Indoor Space Ontology For Finding Lost Properties For Location-Based Service Of Smart City	54
C2	1570463036	A Software Cache Mechanism for Reducing the OpenTSDB Query Time	60
C3	1570468820	The Design of Log Periodic Dipole Array Antenna for WLAN/LTE/UB Applications	66
C4	1570469621	Received Signal Strength Distribution Approximation for IEEE 802.15.4 Zigbee Smart Grid Networks	70
C5	1570471375	Efficiency Improvement in Wireless Power Transfer System at 2.45 GHz by Using Metamaterials	74
Computational Intelligence & Data Science			
D1	1570462091	Vehicle License Plate Recognition System Based on Deep Learning Deployed to PYNQ	79
D2	1570462953	A Deep Contractive Auto-encoding Network for Machinery Fault Diagnosis	85

Design high speed and low power hybrid full adder circuit

Sathaporn Lueangsongchai

Faculty of Engineering

King Mongkut's Institute of Technology Ladkrabang

Bangkok 10520, Thailand

thaphornz@outlook.com

Siraphop Tooprakai

Faculty of Engineering

King Mongkut's Institute of Technology Ladkrabang

Bangkok 10520, Thailand

siraphop@telecom.kmitl.ac.th, sirapop@kmitl.ac.th

Abstract — This paper presents 1-bit hybrid full adder cells circuit scheme that high speed and low power consumption. This Full adder cells circuit is designed utilization of XOR gate, XNOR gate, pass logic gate and transmission gate. Result of simulation by HSPICE program based on 16 nm CMOS technology with 0.9V power supply voltage and maximum frequency at 8GHz.

Keywords— CMOS technology, Full adder circuit, logic gate, high speed, delay

I. INTRODUCTION

VLSI technology is basic of integrated circuit that used to component of transistor such as logic gate, full adder circuit and multiplication circuit. Design of integrated circuit is considered different of frequency, delay time, voltage, temperature, number of transistors, chip area and type of CMOS technology. This paper is designed high speed and low power of full adder circuit. At the present, telecommunication circuit are interested speed processor and low power consumption for demand.

This paper presents 1 bit hybrid full adder cells circuit to improve higher speed and lower power consumption. The proposed circuit uses 16 nm CMOS technology, voltage 0.9 V, maximum frequency 8 GHz and 1 fF capacitance that compare with the other circuits 1 bit hybrid full adder cells circuit.

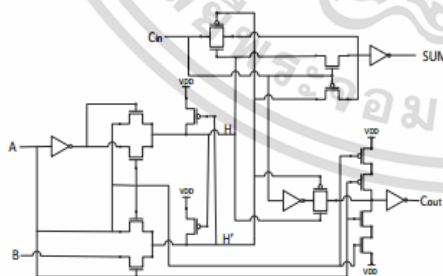


Figure 1. EEHybrid full adder circuit [1]

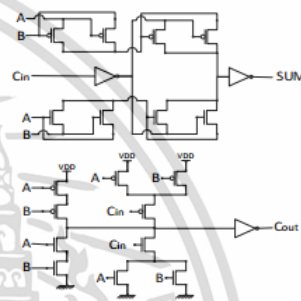


Figure 2. LHFA full adder circuit [2]

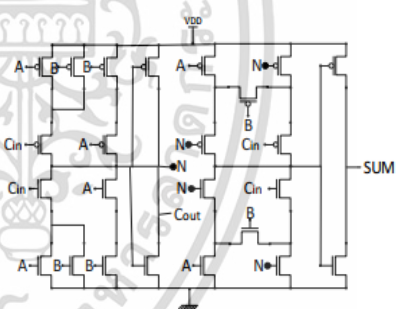


Figure 3. HPFA full adder circuit [3]

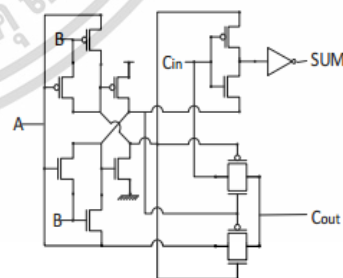


Figure 4. LPFA full adder circuit [4]

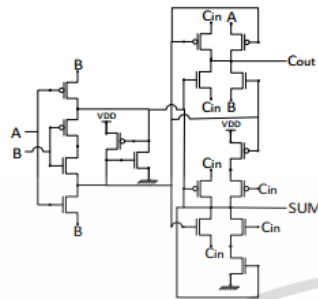


Figure 5. LHHybrid full adder circuit [5]

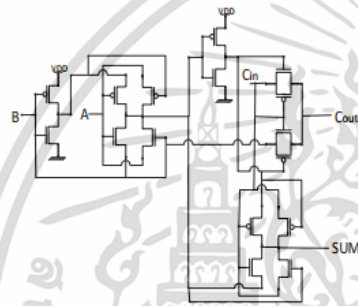


Figure 6. PALP full adder circuit [6]

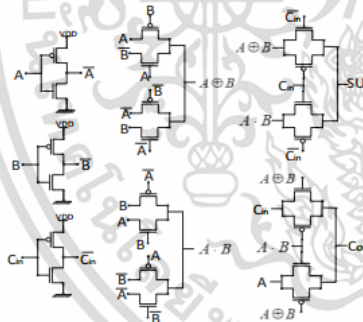


Figure 7. PDFA full adder circuit [7]

In Fig. 1, EEHybrid circuit [1] had low speed and high-power consumption. In Fig. 2, LHFA circuit [2] is used 24 transistors that required high power supply. This circuit had high power consumption. In Fig. 3, HPFA circuit [3] had low speed. In Fig.4, LPFA circuit [4] is used 14 transistors but high-power consumption. In Fig. 5, LHHybrid circuit [5] had high power consumption. In Fig. 6, PALP circuit [6] had high power consumption. Finally, in Fig.7, PDFA circuit [7] is used 22 transistors and high-power consumption.

II. FULL ADDER CIRCUITS

Full adder circuit is digital circuit that used addition of binary numbers method. The output values of 1-bit full adder circuit are summary (SUM) and output carry (C_{OUT}) that according to binary number A, B and input carry (C_{IN}) as shown on equation 1, equation 2 and table 1. Basic structure is shown in Fig. 8.

$$Sum = A \oplus B \oplus C_{IN} \tag{1}$$

$$C_{OUT} = (A \cdot B) + (B \cdot C_{IN}) + (A \cdot C_{IN}) \tag{2}$$

Table 1. TRUTH TABLE OF FULL ADDER CIRCUITS

INPUT			OUTPUT	
A	B	C _{IN}	C _{OUT}	Sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

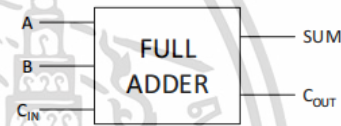


Figure 8. Basic structure of full adder circuit

III. PROPOSED CIRCUIT

The proposed circuit focus about high speed and low power consumption. The proposed circuit is designed by pass transistor logic and transmission gate. To decrease the complexity of design, the proposed Boolean equation are changed format as shown in equation 3 and 4. Therefore, the proposed circuit is shown in Fig. 9.

$$Sum = A \oplus B \oplus C_{IN} = (A \oplus B) \cdot \overline{C_{IN}} + (A \oplus B) \cdot C_{IN} \tag{3}$$

$$C_{OUT} = (A \cdot B) + (B \cdot C_{IN}) + (A \cdot C_{IN}) = (A \oplus B) \cdot C_{IN} + (A \oplus B) \cdot A \tag{4}$$

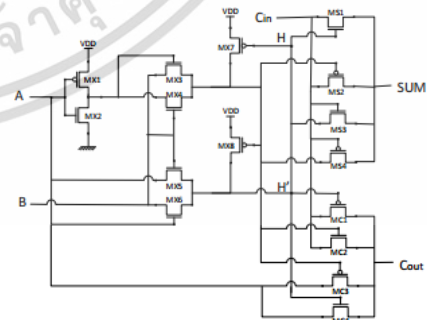


Figure 9. Proposed circuit

The operation of proposed circuit is explained as follow:

When input A is 0 and input B is 0, transistor MX1, MX3 and MX8 are turned on. So, output H is 0 and output H' is 1. After that input carry (C_{IN}) is added. When input carry (C_{IN}) is 0, transistor MS1, MS2, MS4 and MC3 are turned on. So, summary (SUM) value is 0 and output carry (C_{OUT}) value is 0. When input carry (C_{IN}) is 1, transistor MS1, MS2, MS3, MC3 and MC4 are turned on. So, summary (SUM) is 1 and output carry (C_{OUT}) is 0.

When input A is 0 and input B is 1, transistor MX1, MX3, MX4, MX5 and MX7 are turned on. So, output H is 1 and output H' is 0. After that output carry (C_{IN}) is added. When input carry (C_{IN}) is 0, transistor MS4, MC1 and MC2 are turned on. So, summary (SUM) is 1 and output carry (C_{OUT}) is 0. When input carry (C_{IN}) is 1, transistor MS3, MC1, MC2 and MC4 are turned on. So, summary (SUM) is 0 and output carry (C_{OUT}) is 1.

When input A is 1 and input B is 0, transistor MX2, MX6 and MX8 are turned on. So, output H is 1 and output H' is 0. After that input carry (C_{IN}) is added. When input carry (C_{IN}) is 0, transistor MS4, MC1 and MC2 are turned on. So, summary (SUM) is 1 and output carry (C_{OUT}) is 0. When input carry (C_{IN}) is 1, transistor MS3, MC1, MC2 and MC4 are turned on. So, summary (SUM) is 1 and output carry (C_{OUT}) is 1.

When input A is 1 and input B is 1, transistor MX2, MX4, MX5, MX6 and MX8 are turned on. So, output H is 1 and output H' is 1. After that input carry (C_{IN}) is added. When input carry (C_{IN}) is 0, transistor MS1, MS2, MS4 and MC3 are turned on. So, summary (SUM) is 0 and output carry (C_{OUT}) is 0. When input carry (C_{IN}) is 1, transistor MS1, MS2, MS3, MC3 and MC4 are turned on. So, summary (SUM) is 1 and output carry (C_{OUT}) is 1.

IV. SIMULATION RESULTS

Simulation of circuit for performance in real situation, input and output buffer is added in the circuit as shown in Fig. 10.

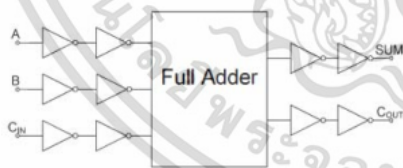


Figure 10. Simulation of circuit

A HSPICE program is used to run simulations. The results are shown in Fig.11 and Fig.12 that simulation based on 16 nm CMOS technology, 0.9V and capacity load 2fF with frequency 1GHz and maximum frequency 8GHz.

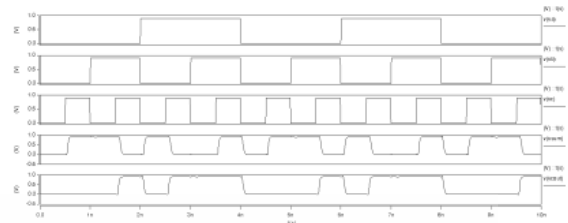


Figure 11. Waveform of proposed circuit $V_{dd}=0.9V$, $f=1GHz$

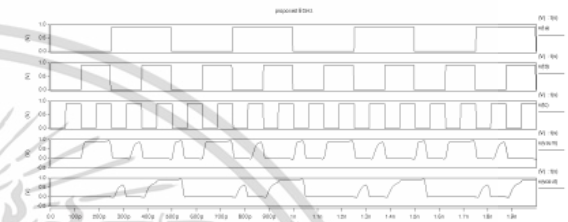


Figure 12. Waveform of proposed circuit $V_{dd}=0.9V$, $f=8GHz$

A. Comparison of power consumption

The comparison of power consumption are compared 5 values that 0.9-1.4V by 16 nm CMOS technology, frequency is 1GHz and capacity load is 1fF with EEHybrid[1], LHFA[2], HPFA[3], LPFA[4], LHHybrid[5], PALP[6], PDFA[7] and proposed circuit. The results are shown in Fig. 13-15.

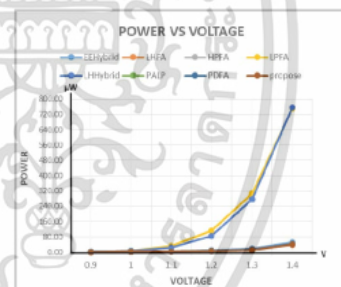


Figure 13. Comparison of power and voltage

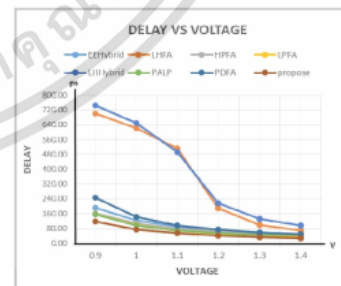


Figure 14. Comparison of delay time and voltage

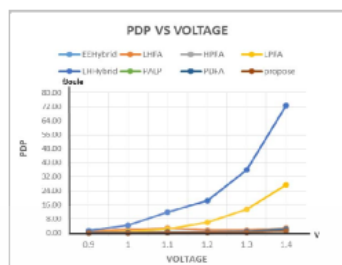


Figure 15. Comparison of PDP and voltage

B. Comparison of capacity load

The comparison of capacity load are compared 10 values that 1-10 fF by 16 nm CMOS technology, frequency is 1GHz and voltage is 0.9V with EEHybrid[1], LHFA[2], HPFA[3], LPFA[4], LHHybrid[5], PALP[6], PDFA[7] and proposed circuit. The Results are shown in Fig. 16-18.

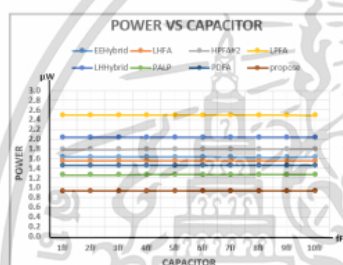


Figure 16. Comparison of power and capacity load

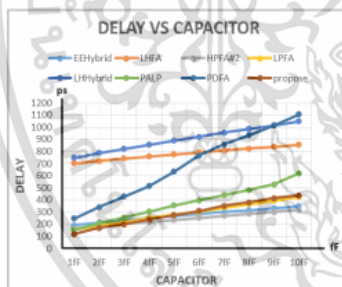


Figure 17. Comparison of delay time and capacity load

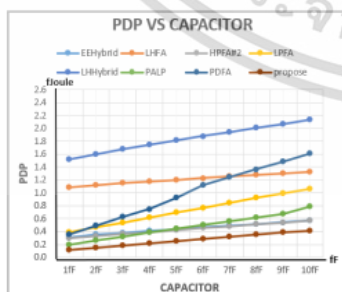


Figure 18. Comparison of PDP and capacity load

The comparative result is shown that the proposed circuit has the most performance in both power consumption and speed which voltage 0.9V, capacity load is 1 fF and frequency is 1 GHz. In comparative results of power consumption with EEHybrid[1], LHFA[2], HPFA[3], LPFA[4], LHHybrid[5], PALP[6] and PDFA[7], proposed circuit is less than 76%, 67%, 94%, 169%, 119%, 36% and 57%, respectively. In comparative results of delay time with EEHybrid[1], LHFA[2], HPFA[3], LPFA[4], LHHybrid[5], PALP[6] and PDFA[7], proposed circuit is less than 26%, 326%, 8%, 10%, 364%, 22% and 100%, respectively.

V. CONCLUSION

The proposed 1 bit hybrid full adder cells circuit is designed by pass transistor logic and transmission gate with 16 transistors that high speed and low power consumption. The simulation by HSPICE program with 16 nm CMOS technology, voltage 0.9V, frequency at 1GHz and capacity load 1 fF. This circuit can run maximum frequency at 8GHz.

REFERENCES

- [1] S. Goel, A. Kumar and M. A. Bayoumi, "Design of Robust, Energy-Efficient Full Adders for Deep-Submicrometer Design Using Hybrid-CMOS Logic Style," IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, VOL. 14, NO. 12, DECEMBER 2006, pp.1309-1321.
- [2] C. K. Tung, Y. C. Hung, S.H. Shieh and G.S. Huang, "A Low-Power High-Speed Hybrid CMOS Full Adder for Embedded System," IEEE Design and Diagnostics of Electronic Circuits and Systems (DDECS '07), April 2007, pp.1-4.
- [3] O. Kavechi, M.R. Azghadi, K. Navi and A. P. Mirbaha, "Design of Robust and High Performance 1-Bit CMOS Full Adder for Nanometer Design," IEEE Computer Society Annual Symposium on VLSI, (ISVLSI '08), April 2008, pp.10-15.
- [4] A. Sudsakorn, S. Tooprakai and K. Dejhan, "Low Power CMOS Full Adder Cells," 2012 9th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI CON), May 2012, pp.1-12.
- [5] M. Agarwal, N. Agrawal and A. Alam, "A New Design of Low Power High Speed Hybrid CMOS Full Adder," 2014 International Conference on Signal Processing and Integrated Networks (SPIN), February 2014, pp.448-452.
- [6] P. Bhattacharyya, B. Jundu and V. Kumar, "Performance Analysis of a Low-Power High Speed Hybrid 1-bit Full Adder Circuit," IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, VOL. 23, NO. 10, OCTOBER 2015, pp.2001-2008.
- [7] N.R. Konijeti, J.V.R. Ravindra and P. Yagateela, "Power Aware and Delay Efficient Hybrid CMOS Full-Adder for Ultra Deep Submicron Technology," 2013 European Modelling Symposium (EMS), November 2013, pp.697-700.
- [8] S. M. Kang and Y. Leblebici, "CMOS Digital Integrated Circuits," 3rd, McGrawHill, 2015.
- [9] N. H. E. Weste and D. Harris, "CMOS VLSI design: a circuits and systems perspective," 3rd, Boston, Pearson, 2005.
- [10] J. P. Uyemura, "CMOS LOGIC CIRCUIT DESIGN," KLUWER ACADEMIC PUBLISHERS, 1999.
- [11] Y. Cao, "Predictive Technology Model," April 16, 2015. Available: <http://ptm.asu.edu>

ประวัติผู้เขียน

ชื่อ-นามสกุล นายสถาพร เหลืองทรงชัย
 วัน เดือน ปีเกิด 27 กันยายน 2534 ที่จังหวัดราชบุรี
 ที่อยู่ 70 หมู่ 5 ถนนหลักห้า-ดำเนิน 12 ตำบลดอนไผ่ อำเภอดำเนินสะดวก
 จังหวัดราชบุรี 70130 โทร.087-5450215
 ประวัติการศึกษา 2556 วิศวกรรมศาสตรบัณฑิต สาขาวิชาโทรคมนาคม
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 ความชำนาญเฉพาะด้าน 1.) ระบบโทรคมนาคม
 2.) ระบบเน็ตเวิร์ค (network)
 ประสบการณ์การทำงาน
 ปัจจุบัน ตำแหน่ง senior engineer บริษัท แอดวานซ์ ไร้เลส เน็ตเวิร์ค จำกัด
 แผนก Fixed broadband Core IP System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้