ระบบตรวจวัดค่าแรงดันและกระแสของโซลาร์เซลล์

SOLAR CELL MONITORING

ณัฐพร สัญญเดช

NUTTAPORN SUNYADECH

พงศธร เลิศสุนทรรัตน์

PHONGSATHORN LERTSUNTHORNRAT

พนัส ขามเรือง

PANAS KHAMRUANG

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2557

ระบบตรวจวัดค่าแรงดันและกระแสของโซลาร์เซลล์
Solar Cell Monitoring

โดย

นางสาวณัฐพร สัญญูเดช

นายพงศธร เลิศสุนทรรัตน์

นายพนัส ขามเรือง

อาจารย์ที่ปรึกษา

อาจารย์ชินภัทร นันทจิวากรชัย

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พศ. 2557

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงานเรื่อง : ระบบตรวจวัดค่าแรงดันและกระแสของโซลาร์เซลล์

จัดทำโดย : นางสาวณัฐพร สัญญเดช รหัส 54010427

นายพงศธร เลิศสุนทรรัตน์ รหัส 54010847

นายพนัส ขามเรือง รหัส 54010862

อาจารย์ที่ปรึกษา : อาจารย์ชินภัทร นันทจิวากรชัย

รายงานฉบับนี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ.....

(อาจารย์ชินภัทร นันทจิวากรชัย)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ระบบตรวจวัดค่ากระแสและแรงดันโซลาร์เซลล์
นักศึกษา	นางสาวณัฐพร สัญญเดช รหัสประจำตัว 54010427
	นายพงศธร เลิศสุนทรรัตน์ รหัสประจำตัว 54010847
	นายพนัส ขามเรือง รหัสประจำตัว 54010862
ปริญญา	วิศวกรรมศาสตร์บัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2557
อาจารย์ที่ปรึกษาปริญญานิพนธ์	อาจารย์ชินภัทร นันทจิวากรชัย

บทคัดย่อ

เนื่องจากในปัจจุบันพลังงานไฟฟ้าเข้ามามีบทบาทสำคัญในชีวิตไม่ว่าจะเป็นในครัวเรือน ชุมชน สำนักงาน องค์กรต่างๆ และในอุตสาหกรรม ในแต่ละวันมีสถิติการใช้พลังงานที่เพิ่มสูงขึ้นทำให้มีพลังงานไม่พอใช้ต้องซื้อจากต่างประเทศเข้ามา ทางคณะผู้จัดทำจึงได้นำแนวคิดมาทำโครงงาน เพื่อสามารถนำไปประยุกต์ใช้ในอุตสาหกรรมโซลาร์ฟาร์ม โดยนำองค์ความรู้ด้านการเขียนโปรแกรมไมโครคอนโทรลเลอร์มาใช้งาน ทำการวัดค่าแรงดันโดยต่อเข้าขั้วบวกและขั้วลบ จากนั้นหาค่ากระแสโดยใช้เซ็นเซอร์วัดกระแส(current sensor) ต่อเข้ากับวงจรแปลงอนาลอกเป็นดิจิตอล(A/D converter) ในส่วนนี้ผู้จัดทำสามารถวัดค่ากระแสและแรงดันได้ตามวัตถุประสงค์ อาจมีค่าคลาดเคลื่อนบ้างเนื่องมาจากแหล่งจ่ายไฟฟ้าไปยังหลายๆส่วนของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis	Solar cell Monitoring		
Student	Miss.Nuttaporn	Sunyadech	Student ID 54010427
	Mr.Phongsathorn	Lertsunthornrat	Student ID 54010847
	Mr.Panas	Kharmruang	Student ID 54010862
Degree	Bachelor of Engineering		
Program	Electronics Engineering		
Year	2014		
Thesis Advisor	Chinnapat Nantajiwakornchai		

Abstract

At the present current electrical energy are important role in life, whether in the household, community, office of the organization, and the industry. The organizer has the concept of project. So it can be applied in the industry of solar farms. The microcontroller programming knowledge to use. Measure voltage on the anode and cathode and measure current by current sensor,it connected to analog to digital converter circuit (A / D converter) in this section.The organizer can measure the current and voltage value as objective. There may be some error due to the electrical supply distribute many parts of a circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สามารถสำเร็จลุล่วงไปได้ด้วยดีทั้งนี้ เนื่องจากได้รับคำปรึกษาและคำแนะนำจากอาจารย์ที่ปรึกษา อ.ชินภัทร นันทจิวากรชัย ผู้จัดทำขอกราบขอบพระคุณเป็นอย่างสูงในความอนุเคราะห์จากท่าน นอกจากนี้ขอขอบคุณผู้ปกครองที่ช่วยในเรื่องการเงินและให้กำลังใจตลอดมา จึงทำให้รายงานฉบับนี้สำเร็จโดยสมบูรณ์ และขอขอบคุณความรักความสามัคคี ความช่วยเหลือซึ่งกันและกัน ที่ทำให้งานสำเร็จของสมาชิกในกลุ่ม ซึ่งมีทั้งประโยชน์และคุณค่าที่พึงมีในรายงานฉบับนี้ ดังนั้นผู้จัดทำมอบแด่ผู้มีพระคุณทุกๆท่าน

ณัฐพร สัญญเดช

พงศธร เลิศสุนทรรัตน์

พนัส ขามเรือง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VII

สารบัญรูป.....VIII

บทที่ 1 บทนำ.....1

1.1ความเป็นมาของโครงงาน.....1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....1

1.3 สมมุติฐานของการศึกษา.....2

1.4 ขอบเขตการวิจัย.....2

1.5 ประโยชน์ที่คาดว่าจะได้รับ.....2

1.6 Flow Diagram.....3

บทที่ 2 หลักการและทฤษฎี.....4

2.1 การเชื่อมต่อแบบ SPI.....4

2.2 Instrument transformer.....6

2.3 Microcontroller.....9

2.4 Solar Panel.....11

2.5 ลักษณะสมบัติทางไฟฟ้าของเซลล์แสงอาทิตย์.....18

2.6 ไดโอดเปล่งแสง (Light-emitting diode).....20

2.7 การส่งผ่านข้อมูลแบบอนุกรม (Serial Transmission).....23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 ขั้นตอนการดำเนินงาน....30
3.1 สิ่งที่เราต้องการวัด....30
3.2 การออกแบบวงจร....31
3.2.1 วงจรไมโครคอนโทรลเลอร์....31
3.2.1.1 Power-on Reset (POR)....31
3.2.1.2 การเลือกค่าตัวเก็บประจุสำหรับคริสตอล ออสซิเลเตอร์....32
3.2.1.3 การใช้ SPI Port....33
3.3 การเขียนโปรแกรม....34
3.4 การทดลองในแบบจำลอง....35
3.5 จากแบบจำลองนำมาใช้จริงบนบอร์ด....37
บทที่ 4 ผลการดำเนินงาน....38
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ....57
5.1 สรุปผลการวิจัย....57
5.2 วิจารณ์ผลการวิจัย....57
5.3 ข้อเสนอแนะ....58
เอกสารอ้างอิง....59
ภาคผนวก....60
PIC18F4550 datasheet....61
Analog to Digital Converter MCP3208 datasheet....113
Current sensor ACS712....131
Code ที่ใช้ในการเขียนโปรแกรม....145

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้าที่

2.1 ตารางแสดงประโยชน์ของ Solar Cell....17

3.1 ตารางแสดงการเลือกใช้ตัวเก็บประจุ....32

3.2 ตารางการใช้งานในการกำหนดช่องสัญญาณ....33

4.1 บันทึกผลการทดลอในส่วนของการวัดค่าแรงดัน....48

4.2 แสดงผลการทดลองโดยใช้ RL 33 โอมห์ 10 วัตต์ ต่อกับแหล่งจ่ายไฟ 1 กลุ่ม....49

4.3 แสดงผลการทดลองโดยใช้ RL 33 โอมห์ 10 วัตต์ ต่อกับแหล่งจ่ายไฟ 1 กลุ่ม....50

4.4 แสดงผลการทดลองโดยใช้ RL 33 โอมห์ 10 วัตต์ ต่อกับแหล่งจ่ายไฟ 2 กลุ่ม....51

4.5 แสดงผลการทดลองโดยใช้ RL 33 โอมห์ 10 วัตต์ ต่อกับแหล่งจ่ายไฟ 2 กลุ่ม....52

4.6 แสดงผลการทดลองโดยใช้ RL 33 โอมห์ 10 วัตต์ ต่อกับแหล่งจ่ายไฟ 3 กลุ่ม....53

4.7 แสดงผลการทดลองโดยใช้ RL 33 โอมห์ 10 วัตต์ ต่อกับแหล่งจ่ายไฟ 3 กลุ่ม....54

4.8 แสดงผลการทดลองโดยใช้ RL 33 โอมห์ 10 วัตต์ ต่อกับแหล่งจ่ายไฟ 4 กลุ่ม....55

4.9 แสดงผลการทดลองโดยใช้ RL 33 โอมห์ 10 วัตต์ ต่อกับแหล่งจ่ายไฟ 4 กลุ่ม....56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้าที่

1.1 Flow Diagram ของโครงงาน....3

2.1 การเชื่อมต่อการสื่อสารแบบ SPI ระหว่างอุปกรณ์ Master – Slave....4

โดยมีสายสัญญาณ สี่เส้น หรือ Four Wire ประกอบด้วย

2.2 การเชื่อมต่อการสื่อสารแบบ SPI ระหว่างอุปกรณ์ Master – Slave หลายตัว....5

2.3 ภาพแสดงการทำงานของ current sensors....6

2.4 จากกราฟ จะเห็นได้ว่าเมื่อเวลาผ่านไป ในไฟฟ้ากระแสตรง (DC) กระแสจะไหลในทิศทางเดียว..7

2.5 ภาพแสดงวงจรเบื้องต้น การวัดกระแสโดยใช้ R Shunt....7

2.6 ภาพแสดงวงจรเบื้องต้น การวัดกระแสโดยใช้....8

2.7 ภาพแสดงเซ็นเซอร์ Hall effect ภายในชิปตระกูล ACS....8

2.8 ภาพแสดงหลักการวัดกระแสโดยใช้ Current transformer....8

2.9 ภาพสัญลักษณ์ของ Current Transformer....9

2.10 แสดงคุณสมบัติของขาของไมโครคอนโทรลเลอร์....11

2.11 ภาพแสดงส่วนประกอบของเซลล์แสงอาทิตย์....13

2.12 แสดงการเคลื่อนที่ของกระแสไฟฟ้า....14

2.13 แสดงการเคลื่องที่ของกระแสไฟฟ้า....14

2.14 แสดงการเคลื่องที่ของกระแสไฟฟ้า....15

2.15 แสดงการเคลื่องที่ของกระแสไฟฟ้า....15

2.16 ลักษณะสมบัติทางไฟฟ้าของเซลล์แสงอาทิตย์ทั้งกระแสและแรงดันไฟฟ้า....18

2.17 การใช้งานกับไฟฟ้ากระแสสลับ....19

2.18 รูปไดโอดเปล่งแสง....20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.19 สัญลักษณ์ของไดโอดเปล่งแสง....21

2.20 รูปส่วนประกอบภายในของไดโอดเปล่งแสง....22

2.21 การส่งข้อมูลแบบอนุกรม....23

2.22 การสื่อสารแบบอะซิงโคนัสที่ไม่ได้ใช้พารีตี้บิต....24

2.23 การสื่อสารแบบอะซิงโคนัสที่ใช้พารีตี้บิต....24

2.24 00010110 ตัวอย่างของการส่งแสดง....25

2.25 01100001 การส่ง....25

2.26 ตัวอย่างการใช้อักขระซิง 2 ตัวในการสื่อสารแบบซิงโคนัส....25

2.27 แสดงการตัดแถวของบิตออกเป็นกลุ่มๆ ละ 8 บิต....26

2.28 การส่งผ่านข้อมูลแบบซิงโคนัส....26

2.29 การส่งผ่านข้อมูลแบบอะซิงโคนัส....26

2.30 การส่งข้อมูลแบบทิสทางเดียว....28

2.31 การส่งข้อมูลแบบสองทิศทาง....29

2.32 การส่งข้อมูลแบบสองทิศทางพร้อมกัน....29

3.1 รูปแสดงการวัดค่าแรงดันของโซลาร์เซลล์....30

3.2 รูปแสดงวงจรการต่อ current sensor....30

3.3 รูปแสดงวงจรในส่วนของ Power-on Reset (POR)....31

3.4 รูปแสดงวงจรของออสซิเลเตอร์....32

3.5 SPI Communication using 8-bit segments (Mode 0,0: SCLK idles low)....33

3.6 รูปวงจรที่ใช้ในการ Simulation....34

3.7 รูปวงจรของ Solar cell Monitoring....35

3.8 รูปวงจรการต่อcurrent sensor....35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 ภาพแสดงการทดสอบบนบอร์ด....36

4.1 Power on reset....37

4.2 Crystal Oscillator....37

4.3 Current Transformer....38

4.4 8-Channel 12-bit Analog to Digital Converter with SPI....38

4.5 SPI Debugger....39

4.6 ข้อมูลการส่งและรับของ SPI Channel 0 – 7....39

4.7 Oscilloscope....40

4.8 การส่งและรับข้อมูลตั้งแต่ Channel 0 – 7.... 40

4.9 รูปแสดงผล simulation บนจอ LCD module....41

4.10 รูปแสดงผล simulation บนจอ LCD module....41

4.11 รูปแสดงผล simulation บนจอ LCD module....41

4.12 รูปแสดงผล simulation บนจอ LCD module....41

4.13 วงจร Simulation....42

4.14 วงจร Microcontroller....43

4.15 วงจร A/D Convertor....43

4.16 วงจร Regulator....44

4.17 วงจรUSB Module....44

4.18 วงจร LCD Module....45

4.19 วงจร Measured Current....45

4.20 แสดงขั้นตอนการวัดผลโดยใช้แหล่งจ่ายไฟจาก Power Supply....47

4.21 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%) ของ....49
แหล่งจ่ายไฟฟ้า 1 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.22 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%).....50
ของแหล่งจ่ายไฟฟ้า 1 กลุ่ม
4.23 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%).....51
ของแหล่งจ่ายไฟฟ้า 2 กลุ่ม
4.24 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%).....52
ของแหล่งจ่ายไฟฟ้า 2 กลุ่ม
4.25 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%).....53
ของแหล่งจ่ายไฟฟ้า 3 กลุ่ม
4.26 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%).....54
ของแหล่งจ่ายไฟฟ้า 3 กลุ่ม
4.27 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%).....55
ของแหล่งจ่ายไฟฟ้า 4 กลุ่ม
4.28 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%).....56
ของแหล่งจ่ายไฟฟ้า 4 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาของโครงงาน

เนื่องจากในปัจจุบัน นี้จะพบได้ว่าอิเล็กทรอนิกส์นั้นมีบทบาทต่อความเป็นอยู่ของวังคมในทุกด้าน สามารถที่จะอำนวยความสะดวก ทั้งนี้ในอดีตราคาของไมโครคอลโทรลเลอร์ค่อนข้างสูงไม่เหมาะกับการนำมาใช้งาน แต่ในปัจจุบันเมื่อเทคโนโลยีก้าวหน้ามากขึ้นทำให้ราคาถูกลง เปิดโอกาสที่สามารถนำอุปกรณ์เหล่านี้มาประยุกต์ใช้งานมากขึ้น พลังงานไฟฟ้าเข้ามามีบทบาทสำคัญในชีวิตไม่ว่าจะเป็นในครัวเรือน ชุมชน สำนักงาน องค์กรต่างๆ และในอุตสาหกรรม ในแต่ละวันมีสถิติการใช้พลังงานที่เพิ่มสูงขึ้นทำให้มีพลังงานไม่พอใช้ต้องซื้อจากต่างประเทศเข้ามา ส่งผลให้มีโครงการต่าง ๆ มากมายที่ผลิตไฟฟ้าจากวัตถุดิบทางธรรมชาติเช่น ลม น้ำ และแสงอาทิตย์ ทางคณะผู้จัดทำจึงได้นำแนวคิดมาทำโครงงานในโครงงานเล่มนี้ได้จัดทำระบบตรวจวัดค่าแรงดันและกระแสของโซลาร์เซลล์ เพื่อสามารถนำไปประยุกต์ใช้ในอุตสาหกรรมโซลาร์ฟาร์ม ในการวัดค่ากระแสและแรงดัน เก็บข้อมูลเป็นสถิติ เนื่องจากสภาพแวดล้อมนั้นมีผลต่อพลังงานไฟฟ้าที่โซลาร์เซลล์ผลิตได้ในแต่ละช่วงเวลา ซึ่งแต่ละแผ่นของโซลาร์เซลล์ก็ให้ค่ากระแสและแรงดันต่างกันไป เนื่องจากโซลาร์ฟาร์มมีโซลาร์เซลล์จำนวนมากทำให้เสียเวลาในการเก็บข้อมูลจึงต้องออกแบบระบบที่ประหยัดเวลาลง เพื่อลดค่าใช้จ่าย

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1. เพื่อใช้เป็นอุปกรณ์ในการวัดค่าแรงดันและกระแสของโซลาร์เซลล์
2. เพื่อลดค่าใช้จ่ายในการซื้ออุปกรณ์การวัด
3. เพื่อลดระยะเวลาในการเก็บข้อมูลและส่งข้อมูลได้ง่ายขึ้น
4. เพื่อศึกษาการออกแบบและพัฒนาวงจรให้มีประสิทธิภาพ
5. เพื่อศึกษาการทำงานของไมโครคอนโทรลเลอร์ ชนิด PIC ที่สามารถนำไปควบคุมอุปกรณ์ต่าง ๆ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 สมมุติฐานของการศึกษา

1. ถ้าสามารถเป็นอุปกรณ์ในการวัดค่าแรงดันและกระแสของโซลาร์เซลล์ ทำให้ลดค่าใช้จ่ายในการซื้ออุปกรณ์ในการวัด และลดระยะเวลาในการเก็บข้อมูล

2. ถ้าเขียนโปรแกรมควบไมโครคอนโทรลเลอร์ ชนิด PIC ให้ทำงานได้ตามต้องการ จึงสามารถนำไปควบคุมอุปกรณ์ต่าง ๆ ได้

1.4 ขอบเขตการวิจัย

1.ศึกษาและออกแบบระบบตรวจวัดค่ากระแสและแรงดันของโซลาร์เซลล์ โดยใช้ไมโครคอนโทรลเลอร์ตระกูล PIC

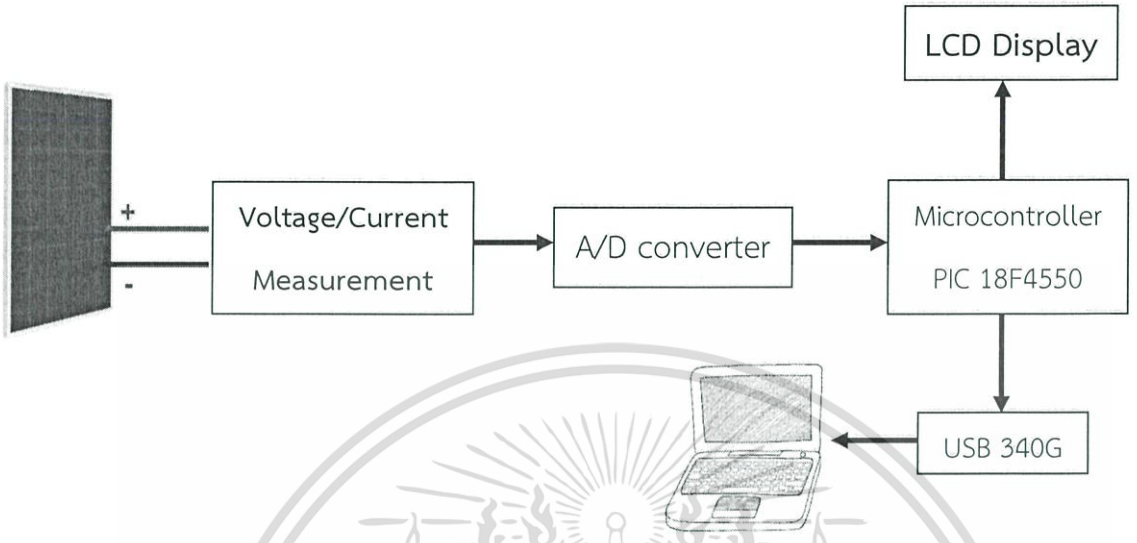
2.ใช้ USB340G ในการส่งข้อมูลจากไมโครคอลโทรลเลอร์ไปยังคอมพิวเตอร์

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถนำไมโครคอนโทรลเลอร์PIC ไปประยุกต์ใช้งานได้จริง
2. สามารถนำอุปกรณ์ที่ได้ออกแบบไว้ไปใช้งานได้จริง
3. สามารถนำความรู้ที่ได้จากการศึกษาไปใช้งานได้จริง
4. สามารถนำโครงงานนี้ไปพัฒนาเพื่อการใช้งานได้เพิ่มเติมต่อไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.6 Flow Diagram



รูปที่ 1.1 Flow Diagram ของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการและทฤษฎี

2.1 การเชื่อมต่อแบบ SPI

SPI หรือ Serial Peripheral Interface เป็นวิธีการสื่อสารอนุกรมแบบ Synchronous อีกรูปแบบหนึ่ง ซึ่งทำงานในรูปแบบที่ให้อุปกรณ์ตัวหนึ่งทำหน้าที่เป็น Master ในขณะที่อีกตัวหนึ่งทำหน้าที่เป็น Slave และสามารถส่งข้อมูลในโหมด Full-duplex นั่นหมายความว่า สัญญาณสามารถส่งหากันได้ระหว่าง Master และ Slave ได้อย่างต่อเนื่อง รูปแบบข้อมูลการสื่อสารหรือ Protocol ของแบบ SPI นี้ ไม่ได้มาตรฐานกำหนดตายตัว ว่าข้อมูลที่ส่งหากันต้องอยู่ในรูปแบบหรือ Format แบบไหน เป็นการคิด Protocol การสื่อสารกันเอาเอง หรือดูจาก Datasheet ของอุปกรณ์ยกตัวอย่างอุปกรณ์ที่ใช้การสื่อสารแบบ SPI ได้แก่

- โมดูลแปลงสัญญาณอนาล็อกเป็นดิจิตอล และโมดูลแปลงสัญญาณดิจิตอลเป็นอนาล็อก
- การติดต่อกับหน่วยความจำ EEPROM และ FLASH
- โมดูลนาฬิกาดิจิตอล หรือ Real Time Clock : RTC
- เซ็นเซอร์วัดอุณหภูมิ และความดัน

อุปกรณ์อื่น ๆ เช่น signal mixer , Potentiometer , LCD controller , USART , CAN controller , USB controller , Amplifier

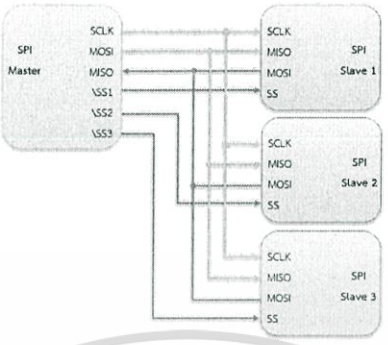
รูปที่ 2.1 การเชื่อมต่อการสื่อสารแบบ SPI ระหว่างอุปกรณ์ Master – Slave โดยมีสายสัญญาณ สี่เส้น หรือ Four Wire ประกอบด้วย

- SCLK (Serial Clock) ใช้ส่งสัญญาณนาฬิกาจากอุปกรณ์ Master ไปยังอุปกรณ์ Slave เพื่อกำหนดจังหวะการรับส่งข้อมูล
- MOSI (Master Out Slave In) ใช้ส่งข้อมูลจากอุปกรณ์ Master ไปยังอุปกรณ์ Slave
- MISO (Master In Slave Out) ใช้รับข้อมูลจากอุปกรณ์ Slave
- \SS (Slave Select) หรือ ขา CS (Chip Select) ใช้ส่งสัญญาณ Low ไปยังอุปกรณ์ Slave ที่ต้องการรับส่งข้อมูล

อุปกรณ์ Master ทำหน้าที่เป็นตัวควบคุมการสื่อสารทั้งหมด โดยควบคุมการสื่อสารตามสัญญาณนาฬิกา และสายสัญญาณ SS ตัวมาสเตอร์จะเป็นตัวที่ตัดสินใจเลือก รับ หรือ ส่งข้อมูลไปยังอุปกรณ์ Slave

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเส้น SS หรือ Slave select ในกรณี ที่มีตัว Slave มากกว่า 1 ตัว โดยการทำให้เส้น SS มีระดับสัญญาณเป็น Low เมื่อต้องการติดต่อกับ Slave ตัวใด จากรูป 1-2 หากต้องการติดต่อสื่อสารกับอุปกรณ์ Slave ตัวใด ก็เพียงทำให้สัญญาณ SS ของ Slave ตัวนั้น มีระดับสัญญาณเป็น Low



รูปที่ 2.2 การเชื่อมต่อการสื่อสารแบบ SPI ระหว่างอุปกรณ์ Master – Slave หลายตัว

เมื่อเปรียบเทียบระหว่างการสื่อสาร SPI กับ I2C เป็นการสื่อสารอนุกรมแบบ Synchronous เหมาะสำหรับการสื่อสารข้อมูลความเร็วต่ำ เช่น หน่วยความจำ EEPROM หรือโมดูลนาฬิกาดิจิตอล ข้อดีของการสื่อสารแบบ SPI คือ สามารถสื่อสารแบบ Full Duplex กล่าวคือสามารถรับและส่งข้อมูลได้พร้อมๆ กัน เพราะมีสายสัญญาณรับและส่งข้อมูลโดยเฉพาะ รูปแบบการสื่อสารของ SPI ไม่ต้องกำหนด Address เพื่อระบุอุปกรณ์ที่ต้องการสื่อสารเหมือน I2C เนื่องจากใช้สายสัญญาณ SS เป็นตัวควบคุม จึงมีอัตราการรับส่งข้อมูลสูงกว่า I2C และเหมาะสำหรับการรับส่งข้อมูลแบบต่อเนื่องหรือ Streaming อย่างไรก็ตาม หากมีอุปกรณ์ Slave หลายตัวดังรูป การสื่อสารแบบ SPI ต้องใช้สายสัญญาณมากกว่า I2C

$$Digital\ Output\ Code = \frac{4096 \times \mathrm{Vin}}{Vref} \tag{2.1}$$

หมายเหตุ Vin = analog input

Vout = reference voltage

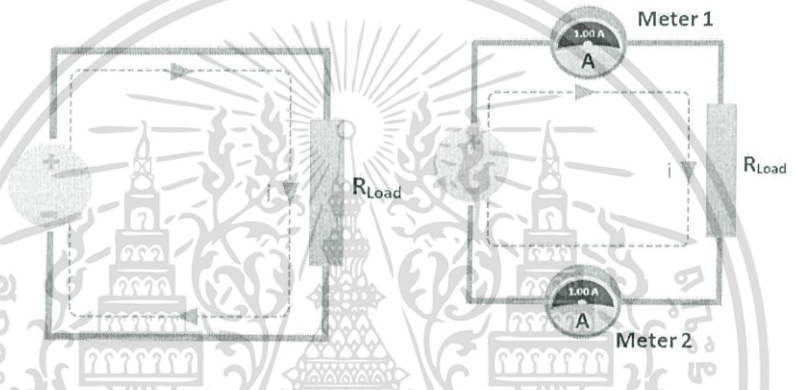
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 Instrument transformer

Instrument transformer คืออุปกรณ์ที่ใช้แยกอุปกรณ์เครื่องมือวัดและ/หรืออุปกรณ์ควบคุมที่ต่ออยู่ด้าน secondary ออกจากด้านไฟแรงสูงที่ต่อเข้าทาง primary ของ Instrument transformer สามารถแยกออกเป็น

- อุปกรณ์ที่ใช้แยกอุปกรณ์วัดกระแส เรียกว่า current transformer
- อุปกรณ์ที่ใช้แยกอุปกรณ์วัดแรงดัน เรียกว่า voltage transformer

Current Sensors (เซ็นเซอร์วัดกระแส)



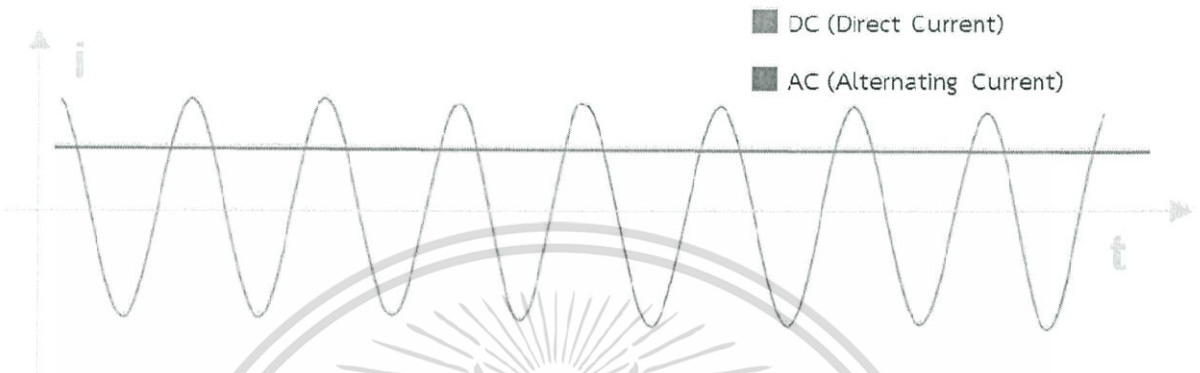
รูปที่ 2.3 ภาพแสดงการทำงานของ current sensors

สมมติว่าเรามีวงจรหนึ่งที่ประกอบด้วย แหล่งจ่ายไฟ และโหลด (R_{Load}) กระแส (I) จะไหลจากขั้วบวกของแหล่งจ่าย ผ่านโหลดและไปยังขั้วลบของแหล่งจ่าย ถ้าต้องการทราบกระแส (I) ที่ไหลผ่านโหลด (R_{Load}) วิธีที่ง่ายที่สุดคือใช้สูตร I=V/R คือต้องทราบแรงดันแหล่งจ่าย (V) ค่าความต้านทานโหลด (R) ก็จะทราบกระแส (I) ที่ไหลผ่านโหลด (R_{Load}) หรือใช้ Multimeter ต่ออนุกรมกับโหลด (R_{Load}) ซึ่งสามารถวัด ก่อนเข้าโหลด (Meter1) หรือหลังโหลด (Meter2) ดังภาพ Meter ทั้งสองจะอ่านกระแสได้เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกฎ KCL (Kirchoff current law) ผลรวมของกระแสไฟฟ้าไหลเข้า = ผลรวมของกระแสไฟฟ้าไหลออก

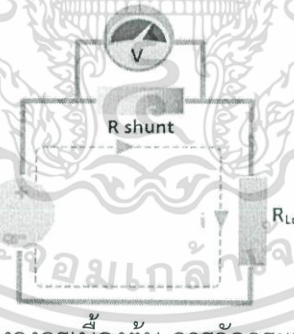
ข้อแตกต่างระหว่างกระแสตรง (DC) และกระแสสลับ (AC)



รูปที่ 2.4 จากกราฟ จะเห็นได้ว่าเมื่อเวลาผ่านไป ในไฟฟ้ากระแสตรง (DC) กระแสจะไหลในทิศทางเดียว ตัวอย่างแหล่งจ่าย DC ที่เห็นได้ชัดคือ แบตเตอรี่ชนิดต่างๆ หรือแผงโซล่าเซลล์ เมื่อเทียบกับไฟฟ้ากระแสสลับ (AC) กระแสจะมีการเปลี่ยนแปลงทิศของกระแสอยู่ตลอดเวลา เช่น A.C Generator, สายส่ง เป็นต้น

รูปแบบการวัดกระแส

1. Current Sensing Resistors



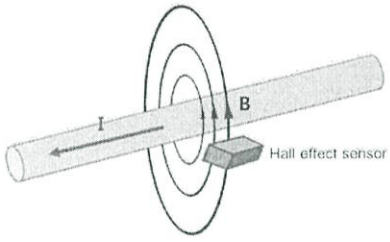
รูปที่ 2.5 ภาพแสดงวงจรเบื้องต้น การวัดกระแสโดยใช้ R Shunt

การวัดกระแสโดยใช้ R Shunt โดยอาศัยหลักการคือ วัดแรงดันที่ตกครอม R ค่าน้อยๆ ซึ่งต่ออนุกรมกับ R_{Load} เรียกว่า R_{shunt} และ คำนวณกลับเป็นกระแส โดยจากสูตร

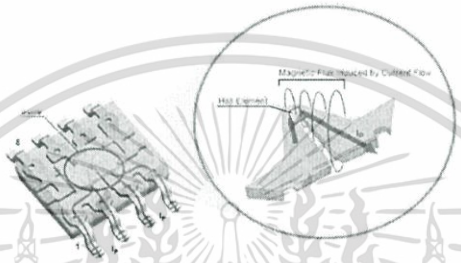
$I = V_{shunt} / R_{shunt}$ **และสามารถวัดได้ทั้งไฟ** DC **และ** AC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Hall Effect Sensor



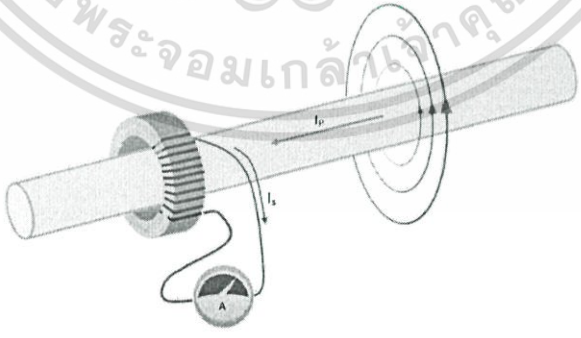
รูปที่ 2.6 ภาพแสดงวงจรเบื้องต้น การวัดกระแสโดยใช้



รูปที่ 2.7 ภาพแสดงเซ็นเซอร์ Hall effect ภายในชิปตระกูล ACS

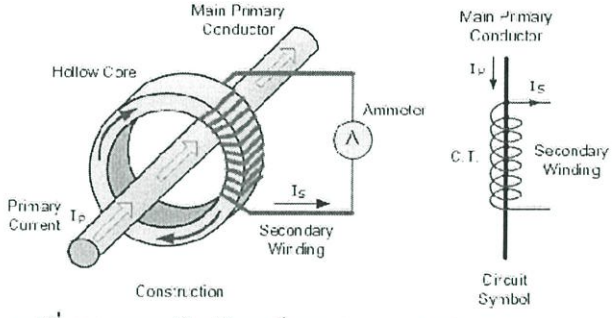
Hall effect sensor เป็นการวัดกระแสทางอ้อม เมื่อเราจ่ายกระแสไฟฟ้าทั้ง DC และ AC จะทำให้เกิดเส้นสนามแม่เหล็กรอบสาย
ไฟ เมื่อเซ็นเซอร์ Hall effect อยู่ในบริเวณเส้นสนามแม่เหล็กของสายไฟ จะส่งสัญญาณออกมา ตามระดับสนามแม่เหล็กที่วัดได้

3. Current Transformer



รูปที่ 2.8 ภาพแสดงหลักการวัดกระแสโดยใช้ Current transformer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 ภาพสัญลักษณ์ของ Current Transformer

Current Transformer เป็นการวัดกระแสไฟฟ้าทางอ้อมเช่นกัน โดยใช้หลักการเหนี่ยวนำของสนามแม่เหล็กเหมือนกับหม้อแปลงไฟฟ้า แต่เปลี่ยนให้ฝั่ง Primary เป็นสายไฟที่ต้องการวัดกระแสแทน และมีเพียงขดลวดฝั่ง Secondary เรียกว่า **Current Transformer** เมื่อเราจ่ายกระแสไฟฟ้าสลับไหลผ่านสายไฟ จะทำให้เกิดเส้นสนามแม่เหล็กเปลี่ยนแปลงไปมา และไปตัดกับขดลวดที่พันรอบแกน Inductive Sensor ทำให้เกิดกระแสไฟฟ้าขึ้นเมื่อต่อกับโหลด ซึ่งจะวัดได้เฉพาะกระแสไฟฟ้า AC เท่านั้น กรณีที่จ่ายกระแสไฟฟ้า DC เข้าไปในสายไฟ จะไม่มีการเปลี่ยนแปลงของสนามแม่เหล็ก ซึ่งจะไม่เกิดการเหนี่ยวนำของสนามแม่เหล็ก หลักการนี้สามารถนำไปใช้กับ Clampmeter

2.3 Microcontroller

ไมโครคอนโทรลเลอร์(Microcontroller) คือ อุปกรณ์ควบคุมขนาดเล็ก ซึ่งบรรจุความสามารถที่คล้ายคลึงกับระบบคอมพิวเตอร์ โดยในไมโครคอนโทรลเลอร์ได้รวมเอาซีพียู ,หน่วยความจำ และพอร์ต ซึ่งเป็นส่วนประกอบหลักที่สำคัญของระบบคอมพิวเตอร์เข้าไว้ด้วยกัน โดยทำการบรรจุไว้ในตัวถังเดียวกัน

โครงสร้างโดยทั่วไป ของไมโครคอนโทรลเลอร์นั้น สามารถแบ่งออกมาได้เป็น 5 ส่วนใหญ่ๆ ดังต่อไปนี้

1. หน่วยประมวลผลกลางหรือซีพียู (CPU : Central Processing Unit)
2. หน่วยความจำ (Memory) สามารถแบ่งออกเป็น 2 ส่วน คือ หน่วยความจำที่มีไว้สำหรับเก็บโปรแกรมหลัก (Program Memory) เปรียบเสมือนฮาร์ดดิสก์ของเครื่องคอมพิวเตอร์ตั้งโต๊ะ คือข้อมูลใดๆ ที่ถูกเก็บไว้ในนี้จะไม่สูญหายไปแม้ไม่มีไฟเลี้ยง อีกส่วนหนึ่งคือหน่วยความจำข้อมูล (Data Memory) ใช้เป็นเหมือนกกระดาษทดในการคำนวณของซีพียู และเป็นที่พักข้อมูลชั่วคราวขณะทำงาน แต่หากไม่มีไฟเลี้ยง ข้อมูลก็จะหายไปคล้ายกับหน่วยความแรม (RAM) ในเครื่องคอมพิวเตอร์ทั่วๆ ไป แต่สำหรับไมโครคอนโทรลเลอร์สมัยใหม่ หน่วยความจำข้อมูลจะมีทั้งที่เป็นหน่วยความจำแรม ซึ่งข้อมูลจะหายไปเมื่อไม่มีไฟเลี้ยง และเป็นอีอีพรอม (EEPROM : Erasable Electrically Read-Only Mempry) ซึ่งสามารถเก็บข้อมูลได้แม้ไม่มีไฟเลี้ยง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

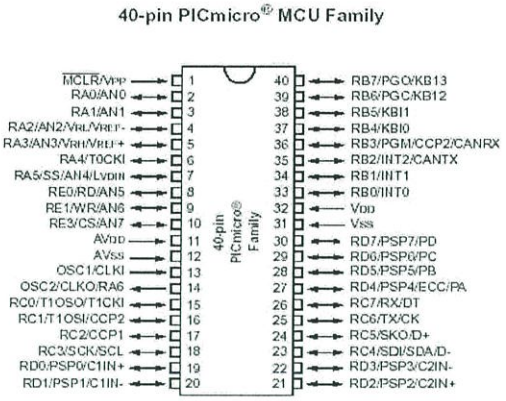
3. ส่วนติดต่อกับอุปกรณ์ภายนอก หรือพอร์ต (Port) มี 2 ลักษณะคือ พอร์ตอินพุต (Input Port) และพอร์ตส่งสัญญาณหรือพอร์ตเอาต์พุต (Output Port) ส่วนนี้จะใช้ในการเชื่อมต่อกับอุปกรณ์ภายนอก ถือว่าเป็นส่วนที่สำคัญมาก ใช้ร่วมกันระหว่างพอร์ตอินพุต เพื่อรับสัญญาณ อาจจะด้วยการกดสวิตช์ เพื่อนำไปประมวลผลและส่งไปพอร์ตเอาต์พุต เพื่อแสดงผลเช่น การติดสว่างของหลอดไฟ เป็นต้น
4. ช่องทางเดินของสัญญาณ หรือบัส (BUS) คือเส้นทางการแลกเปลี่ยนสัญญาณข้อมูลระหว่าง ซีพียู หน่วยความจำและพอร์ต เป็นลักษณะของสายสัญญาณ จำนวนมากอยู่ภายในตัวไมโครคอนโทรลเลอร์ โดยแบ่งเป็นบัสข้อมูล (Data Bus) , บัสแอดเดรส (Address Bus) และบัสควบคุม (Control Bus)
5. วงจรกำเนิดสัญญาณนาฬิกา นับเป็นส่วนประกอบที่สำคัญมากอีกส่วนหนึ่ง เนื่องจากการทำงานที่เกิดขึ้นในตัวไมโครคอนโทรลเลอร์ จะขึ้นอยู่กับการกำหนดจังหวะ หากสัญญาณนาฬิกามีความถี่สูงจังหวะการทำงานก็จะสามารถทำได้ถี่ขึ้นส่งผลให้ไมโครคอนโทรลเลอร์ตัวนั้น มีความเร็วในการประมวลผลสูงตามไปด้วย

PIC (Peripheral Interface Controller)

PIC คือ microcontroller อีกตระกูลหนึ่ง ย่อมา จากคำว่า Peripheral Interface Controller ซึ่ง concept ของ microcontroller ตระกูลนี้ก็คือ รวมทุกอย่างไว้ในตัวของPIC เช่น PROGRAM MEMROY, RAM, EEPROM, SERIAL, I2C, PWM, A/D ฯลฯ โดยไม่จำเป็นต้องต่ออุปกรณ์เสริมจากภายนอก ในตัวของ PIC จะมีฟังก์ชันที่ใช้ในการประมวลผล รวมทั้งหน่วยความจำ ซึ่งทำให้เหมือนกับ CPU

จุดด้อยของ PIC ก็คือ program memory มีลักษณะเป็น page ทาง Microchip เองก็คงเห็นจุดด้อยตรงนี้จึงได้พัฒนาออกมาเป็น PIC18CXXX ซึ่ง PROGRAM MEMORY ไม่ถูกแบ่งเป็น page อีกต่อไป และเพิ่มคำสั่ง ASSEMBLY เป็น 77 คำสั่ง รวมทั้งออกแบบให้ PROGRAM MEMORY มีขนาดใหญ่ขึ้นเพื่อรองรับ การเขียนโปรแกรมภาษา C หลังจากนั้นจึงได้ออก PIC18FXXX ตามมาพร้อมกับ ICD2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงคุณสมบัติของขาของไมโครคอนโทรลเลอร์

2.4 Solar Panel

เซลล์แสงอาทิตย์ (Solar Cell) เป็นสิ่งประดิษฐ์กรรมทางอิเลคทรอนิกส์ ที่สร้างขึ้นเพื่อเป็นอุปกรณ์สำหรับเปลี่ยนพลังงานแสงอาทิตย์ให้เป็นพลังงานไฟฟ้า โดยการนำสารกึ่งตัวนำ เช่น ซิลิกอน ซึ่งมีราคาถูกที่สุดและมีมากที่สุดบนพื้นโลกมาผ่านกระบวนการทางวิทยาศาสตร์เพื่อผลิตให้เป็นแผ่นบางบริสุทธิ์ และทันทีที่แสงตกกระทบบนแผ่นเซลล์ รังสีของแสงที่มีอนุภาคของพลังงานประกอบที่เรียกว่า โฟตอน (Proton) จะถ่ายเทพลังงานให้กับอิเล็กตรอน (Electron) ในสารกึ่งตัวนำจนมีพลังงานมากพอที่จะกระโดดออกมาจากแรงดึงดูดของอะตอม (atom) และเคลื่อนที่ได้อย่างอิสระ ดังนั้นเมื่ออิเล็กตรอนเคลื่อนที่ครบวงจรจะทำให้เกิดไฟฟ้ากระแสตรงขึ้น เมื่อพิจารณาลักษณะการผลิตไฟฟ้าจากเซลล์แสงอาทิตย์พบว่า เซลล์แสงอาทิตย์จะมีประสิทธิภาพการผลิตไฟฟ้าสูงที่สุดในช่วงเวลากลางวัน ซึ่งสอดคล้องและเหมาะสมในการนำเซลล์แสงอาทิตย์มาใช้ผลิตไฟฟ้า เพื่อแก้ไขปัญหาการขาดแคลนพลังงานไฟฟ้าในช่วงเวลากลางวัน

การผลิตไฟฟ้าจากเซลล์แสงอาทิตย์มีจุดเด่นที่สำคัญ แตกต่างจากวิธีอื่นหลายประการ ดังต่อไปนี้

- ใช้พลังงานจากธรรมชาติ คือ แสงอาทิตย์ ซึ่งสะอาดและบริสุทธิ์ ไม่ก่อปฏิกิริยาที่จะทำให้สิ่งแวดล้อมเป็นพิษ
- เป็นการนำพลังงานจากแหล่งธรรมชาติมาใช้อย่างคุ้มค่าและไม่มีวันหมดไปจากโลกนี้
- สามารถนำไปใช้เพื่อผลิตพลังงานไฟฟ้าได้ทุกพื้นที่บนโลก และได้พลังงานไฟฟ้าใช้โดยตรง
- ไม่ต้องใช้เชื้อเพลิงอื่นใดนอกจากแสงอาทิตย์ รวมถึงไม่มีการเผาไหม้ จึงไม่ก่อให้เกิดมลภาวะด้านอากาศและน้ำ
- ไม่เกิดของเสียขณะใช้งาน จึงไม่มีการปล่อยมลพิษทำลายสิ่งแวดล้อม
- ไม่เกิดเสียงและไม่มีการเคลื่อนไหวขณะใช้งาน จึงไม่เกิดมลภาวะด้านเสียง
- เป็นอุปกรณ์ที่ติดตั้งอยู่กับที่ และไม่มีชิ้นส่วนใดที่มีการเคลื่อนไหวขณะทำงาน จึงไม่เกิดการสึกหรอ
- ต้องการการบำรุงรักษาน้อยมาก
- อายุการใช้งานยืนยาวและประสิทธิภาพคงที่
- มีน้ำหนักเบา ติดตั้งง่าย เคลื่อนย้ายสะดวกและรวดเร็ว
- เนื่องจากมีลักษณะเป็นโมดูล จึงสามารถประกอบได้ตามขนาดที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ช่วยลดปัญหาการสะสมของก๊าซต่างๆ ในบรรยากาศ เช่น คาร์บอนมอนอกไซด์, ซัลเฟอร์ไดออกไซด์, ไฮโดรคาร์บอน และก๊าซไนโตรเจนออกไซด์ ฯลฯ ซึ่งเป็นผลจากการเผาไหม้ของเชื้อเพลิงจำพวกน้ำมัน ถ่านหิน และก๊าซธรรมชาติ

ประวัติความเป็นมา

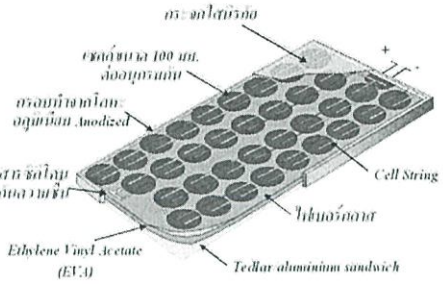
เซลล์แสงอาทิตย์ถูกสร้างขึ้นมาครั้งแรกในปี ค.ศ. 1954 (พ.ศ. 2497) โดย แชปปิน (Chapin) ฟูลเลอร์ (Fuller) และเพียสัน (Pearson) แห่งเบลล์เทลเลโฟน (Bell Telephon) โดยทั้ง 3 ท่านนี้ได้ค้นพบเทคโนโลยีการสร้างรอยต่อ พี-เอ็น (P-N) แบบใหม่ โดยวิธีการแพร่สารเข้าไปในผลึกของซิลิกอน จนได้เซลล์แสงอาทิตย์อันแรกของโลก ซึ่งมีประสิทธิภาพเพียง 6% ซึ่งปัจจุบันนี้เซลล์แสงอาทิตย์ได้ถูกพัฒนาขึ้นจนมีประสิทธิภาพสูงกว่า 15% แล้ว ในระยะแรกเซลล์แสงอาทิตย์ส่วนใหญ่จะใช้สำหรับโครงการด้านอวกาศ ดาวเทียมหรือยานอวกาศที่ส่งจากพื้นโลกไปโคจรในอวกาศ ก็ใช้แผงเซลล์แสงอาทิตย์เป็นแหล่งกำเนิดพลังไฟฟ้า ต่อมาจึงได้มีการนำเอาแผงเซลล์แสงอาทิตย์มาใช้บนพื้นโลกเช่นในปัจจุบันนี้ เซลล์แสงอาทิตย์ในยุคแรกๆ ส่วนใหญ่จะมีสีเทาดำ แต่ในปัจจุบันนี้ได้มีการพัฒนาให้เซลล์แสงอาทิตย์มีสีต่างๆ กันไป เช่น แดง น้ำเงิน เขียว ทอง เป็นต้น เพื่อความสวยงาม

เซลล์แสงอาทิตย์ แบ่งออกเป็น 2 กลุ่ม

1. กลุ่ม เซลล์แสงอาทิตย์ที่ทำจากสารกึ่งตัวนำประเภทซิลิคอน จะแบ่งตามลักษณะของผลึกที่เกิดขึ้น คือ แบบที่เป็น รูปผลึก (Crystal) และแบบที่ไม่เป็นรูปผลึก (Amorphous) แบบที่เป็นรูปผลึก จะแบ่งออกเป็น2 ชนิด คือ ชนิดผลึกเดี่ยวซิลิคอน (Single Crystalline Silicon Solar Cell) และ ชนิดผลึกรวมซิลิคอน (Poly Crystalline Silicon Solar Cell) แบบที่ไม่เป็นรูปผลึก คือ ชนิดฟิล์มบางอะมอร์ฟัสซิลิคอน (Amorphous Silicon Solar Cell)
2. กลุ่มเซลล์แสงอาทิตย์ที่ทำจากสารประกอบที่ไม่ใช่ซิลิคอน ซึ่งประเภทนี้ จะเป็นเซลล์แสงอาทิตย์ที่มีประสิทธิภาพสูงถึง 25% ขึ้นไป แต่มีราคาสูงมาก ไม่นิยมนำมาใช้บนพื้นโลก จึงใช้งานสำหรับดาวเทียมและระบบรวมแสงเป็นส่วนใหญ่ แต่การพัฒนาขบวนการผลิตสมัยใหม่จะทำให้มีราคาถูกลง และนำมาใช้มากขึ้นในอนาคต (ปัจจุบันนำมาใช้เพียง 7 % ของปริมาณที่มีใช้ทั้งหมด)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบของเซลล์แสงอาทิตย์



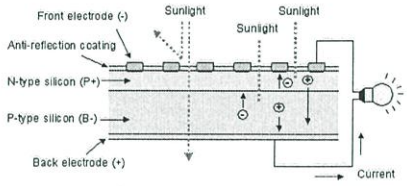
รูปที่ 2.11 ภาพแสดงส่วนประกอบของเซลล์แสงอาทิตย์

แรงเคลื่อนไฟฟ้าที่ผลิตขึ้นจากเซลล์แสงอาทิตย์เพียงเซลล์เดียวจะมีค่าต่ำมาก การนำมาใช้งานจะต้องนำเซลล์หลาย ๆ เซลล์ มาต่อกันแบบอนุกรมเพื่อเพิ่มค่าแรงเคลื่อนไฟฟ้าให้สูงขึ้น เซลล์ที่นำมาต่อกันในจำนวนและขนาดที่เหมาะสมเรียกว่า แผงเซลล์แสง อาทิตย์ (Solar Module หรือ Solar Panel) การทำเซลล์แสงอาทิตย์ให้เป็นแผงก็เพื่อความสะดวกในการนำไปใช้งาน ด้านหน้าของแผงเซลล์ ประกอบด้วย แผ่นกระจกที่ มีส่วนผสมของเหล็กต่ำ ซึ่งมีคุณสมบัติในการยอมให้แสงผ่านได้ดี และยังเป็นเกราะป้องกันแผ่นเซลล์อีกด้วย แผงเซลล์จะต้องมีการ ป้องกันความชื้นที่ดีมาก เพราะจะต้องอยู่กลางแดดกลางฝนเป็นเวลายาวนาน ในการประกอบจะต้องใช้วัสดุที่มีความคงทนและป้องกันความชื้นที่ดี เช่น ซิลิโคนและ อีวีเอ (Ethelele Vinyl Acetate) เป็นต้น เพื่อเป็นการป้องกันแผ่นกระจกด้านบนของแผงเซลล์ จึง ต้องมีการทำกรอบด้วยวัสดุที่มีความแข็งแรง แต่บางครั้งก็ไม่มีความจำเป็น ถ้ามีการเสริมความแข็งแรงของแผ่นกระจกให้เพียงพอ ซึ่งก็สามารถทดแทนการทำกรอบได้เช่นกัน ดังนั้นแผงเซลล์จึงมีลักษณะเป็นแผ่นเรียบ (laminate) ซึ่งสะดวกในการติดตั้ง

หลักการทำงานของเซลล์แสงอาทิตย์

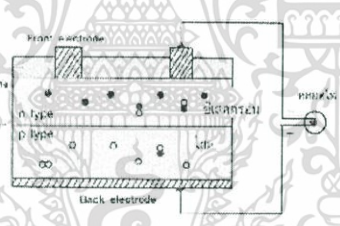
การทำงานของเซลล์แสงอาทิตย์ เป็นขบวนการเปลี่ยนพลังงานแสงเป็นกระแสไฟฟ้าได้โดยตรง โดยเมื่อแสงซึ่งเป็นคลื่นแม่เหล็กไฟฟ้าและมีพลังงานกระทบกับสารกึ่งตัวนำ จะเกิดการถ่ายทอดพลังงานระหว่างกัน พลังงานจากแสงจะทำให้เกิดการเคลื่อนที่ของกระแสไฟฟ้า (อิเลคตรอน) ขึ้นในสารกึ่งตัวนำ จึงสามารถต่อกระแสไฟฟ้าดังกล่าวไปใช้งานได้ (ตามรูป)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงการเคลื่อนที่ของกระแสไฟฟ้า

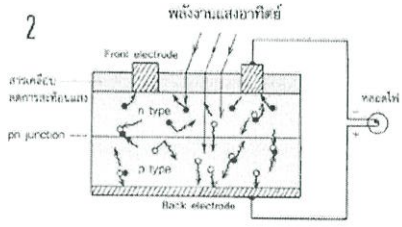
1.n - type ซิลิคอน ซึ่งอยู่ด้านหน้าของเซลล์ คือ สารกึ่งตัวนำที่ได้การโดปปิ้งด้วยสารฟอสฟอรัส มีคุณสมบัติเป็นตัวให้อิเล็กตรอนเมื่อรับพลังงานจากแสงอาทิตย์ p - type ซิลิคอน คือสารกึ่งตัวนำที่ได้การโดปปิ้งด้วยสารโบรอน ทำให้โครงสร้างของอะตอมสูญเสียอิเล็กตรอน (โฮล) เมื่อรับพลังงาน จากแสงอาทิตย์จะทำหน้าที่เป็นตัวรับอิเล็กตรอน เมื่อนำซิลิคอนทั้ง 2 ชนิด มาประกบต่อกันด้วย p - n junction จึงทำให้เกิดเป็น " เซลล์แสงอาทิตย์ " ในสภาวะที่ยังไม่มีแสงแดด n - type ซิลิคอนซึ่งอยู่ด้านหน้าของเซลล์ ส่วนประกอบส่วนใหญ่พร้อมจะให้อิเล็กตรอน แต่ก็ยังมีโฮลปะปนอยู่บ้างเล็กน้อย ด้านหน้าของ n - type จะมีแถบโลหะเรียกว่า Front Electrode ทำหน้าที่เป็นตัวรับอิเล็กตรอน ส่วน p - type ซิลิคอนซึ่งอยู่ด้านหลังของเซลล์ โครงสร้างส่วนใหญ่เป็นโฮล แต่ยังคงมีอิเล็กตรอนปะปนบ้างเล็กน้อย ด้านหลังของ p - type ซิลิคอนจะมีแถบโลหะเรียกว่า Back Electrode ทำหน้าที่เป็นตัวรวบรวมโฮล



รูปที่ 2.13 แสดงการเคลื่องที่ของกระแสไฟฟ้า

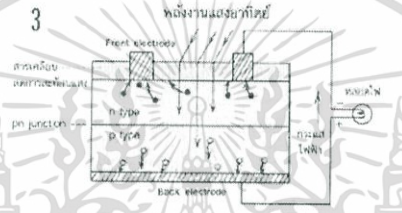
2.เมื่อมีแสงอาทิตย์ตกกระทบ แสงอาทิตย์จะถ่ายเทพลังงานให้กับอิเล็กตรอนและโฮล ทำให้เกิดการเคลื่อนไหว เมื่อพลังสูงพอทั้งอิเล็กตรอนและโฮลจะวิ่งเข้าหาเพื่อจับคู่กัน อิเล็กตรอนจะวิ่งไปยังชั้น n - type และโฮลจะวิ่งไปยังชั้น p type

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แสดงการเคลื่อนที่ของกระแสไฟฟ้า

3.อิเล็กตรอนวิ่งไปรวมกันที่ Front Electrode และโฮลวิ่งไปรวมกันที่ Back Electrode เมื่อมีการต่อวงจรไฟฟ้าจาก Front Electrode และ Back Elec trode ให้ครบวงจร ก็จะเกิดกระแสไฟฟ้าขึ้น เนื่องจากทั้งอิเล็กตรอนและโฮลจะวิ่งเพื่อจับคู่กัน



รูปที่ 2.15 แสดงการเคลื่อนที่ของกระแสไฟฟ้า

คุณสมบัติและตัวแปรที่สำคัญของเซลล์แสงอาทิตย์

ตัวแปรที่สำคัญที่มีส่วนทำให้เซลล์แสงอาทิตย์มีประสิทธิภาพการทำงานในแต่ละพื้นที่ต่างกัน และมีความสำคัญในการพิจารณานำไปใช้ในแต่ละพื้นที่ ตลอดจนการนำไปคำนวณระบบหรือคำนวณจำนวนแผงแสงอาทิตย์ที่ต้องใช้ในแต่ละพื้นที่ มีดังนี้

1. ความเข้มของแสง

   กระแสไฟ (Current) จะเป็นสัดส่วนโดยตรงกับความเข้มของแสง หมายความว่าเมื่อความเข้มของแสงสูง กระแสที่ได้จากเซลล์แสงอาทิตย์ก็จะสูงขึ้น ในขณะที่แรงดันไฟฟ้าหรือโวลต์แทบจะไม่แปรไปตามความเข้มของแสงมากนัก ความเข้มของแสงที่ใช้วัดเป็นมาตรฐานคือความเข้มของแสงที่วัดบนพื้นโลกในสภาพอากาศปลอดโปร่ง ปราศจากเมฆหมอกและวัดที่ระดับน้ำทะเลในสภาพที่แสงอาทิตย์ตั้งฉากกับพื้นโลก ซึ่งความเข้ม ของแสงจะมีค่าเท่ากับ 100 mW ต่อ ตร.ซม. หรือ 1,000 W ต่อ ตร.เมตร ซึ่งมีค่าเท่ากับ AM 1.5 (Air Mass 1.5) และถ้าแสงอาทิตย์ทำมุม 60 องศากับพื้นโลกความเข้มของแสง จะมีค่าเท่ากับประมาณ 75 mW ต่อ ตร.ซม. หรือ 750 W ต่อ ตร.เมตร ซึ่งมีค่าเท่ากับ AM2 กรณีของแผงเซลล์แสงอาทิตย์นั้นจะใช้ค่า AM 1.5 เป็นมาตรฐานในการวัดประสิทธิภาพของแผง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. อุณหภูมิ

กระแสไฟ (Current) จะไม่แปรตามอุณหภูมิที่เปลี่ยนแปลงไป ในขณะที่แรงดันไฟฟ้า (โวลท์) จะลดลงเมื่ออุณหภูมิสูงขึ้น ซึ่งโดยเฉลี่ยแล้วทุกๆ 1 องศาที่เพิ่มขึ้น จะทำให้แรงดันไฟฟ้าลดลง 0.5% และในกรณีของแผงเซลล์แสงอาทิตย์มาตรฐานที่ใช้กำหนดประสิทธิภาพของแผงแสงอาทิตย์คือ ณ อุณหภูมิ 25 องศา C เช่น กำหนดไว้ว่าแผงแสงอาทิตย์มีแรงดันไฟฟ้าที่วงจรเปิด (Open Circuit Voltage หรือ V oc) ที่ 21 V ณ อุณหภูมิ 25 องศา C ก็จะหมายความว่า แรงดันไฟฟ้าที่จะได้จากแผงแสงอาทิตย์ เมื่อยังไม่ได้ต่อกับอุปกรณ์ไฟฟ้า ณ อุณหภูมิ 25 องศา C จะเท่ากับ 21 V ถ้าอุณหภูมิสูงกว่า 25 องศา C เช่น อุณหภูมิ 30 องศา C จะทำให้แรงดันไฟฟ้าของแผงแสงอาทิตย์ลดลง 2.5% (0.5% x 5 องศา C) นั่นคือ แรงดันของแผงแสงอาทิตย์ที่ V oc จะลดลง 0.525 V (21 V x 2.5%) เหลือเพียง 20.475 V (21V – 0.525V) สรุปได้ว่า เมื่ออุณหภูมิสูงขึ้น แรงดันไฟฟ้าก็จะลดลง ซึ่งมีผลทำให้กำลังไฟฟ้าสูงสุดของแผงแสงอาทิตย์ลดลงด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

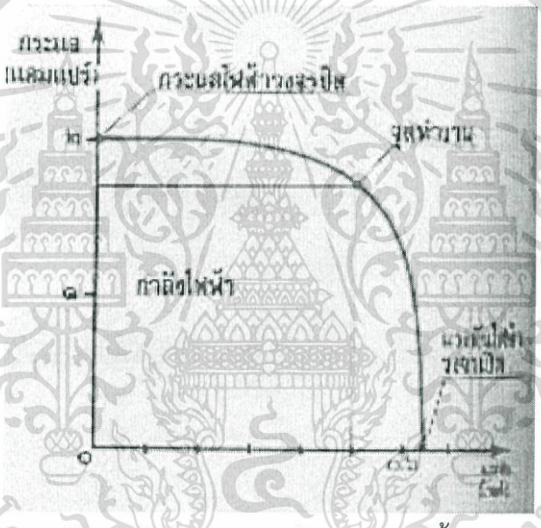
ตารางที่ 2.1 การนำพลังงานแสงอาทิตย์ซึ่งเป็นพลังงานจากธรรมชาติมาทดแทนพลังงานรูปแบบอื่นๆ ได้รับความสนใจและเป็นที่นิยมมากขึ้น สามารถนำมาใช้ให้เกิดประโยชน์อย่างมากมายในการดำรงชีวิต

บ้านพักอาศัย	ระบบแสงสว่างภายในบ้าน, ระบบแสงสว่างนอกบ้าน (ไฟสนาม, ไฟโรงจอดรถ และโคมไฟรั้วบ้าน ฯลฯ), อุปกรณ์ไฟฟ้าชนิดต่างๆ , ระบบเปิด-ปิดประตูบ้าน, ระบบรักษาความปลอดภัย, ระบบระบายอากาศ, เครื่องสูบน้ำ, เครื่องกรองน้ำ และไฟสำรองยามฉุกเฉิน ฯลฯ
ระบบสูบน้ำ	อุปโภค, สาธารณูปโภค, ฟาร์มเลี้ยงสัตว์, เพาะปลูก, ทำสวน-ไร่, เหมืองแร่ และชลประทาน ฯลฯ
ระบบแสงสว่าง	โคมไฟป้ายรถเมล์, ตู้โทรศัพท์, ป้ายประกาศ, สถานที่จอดรถ, แสงสว่างภายนอกอาคาร และไฟถนนสาธารณะ ฯลฯ
ระบบประจุแบตเตอรี่	ไฟสำรองไว้ใช้ยามฉุกเฉิน, ศูนย์ประจุแบตเตอรี่ประจำหมู่บ้านในชนบทที่ไม่มีไฟฟ้าใช้, แหล่งจ่ายไฟสำหรับใช้ในครัวเรือนและระบบแสงสว่างในพื้นที่ห่างไกล ฯลฯ
ทำการเกษตร	ระบบสูบน้ำ, พัดลมอบผลผลิตทางการเกษตร และเครื่องนวดข้าว ฯลฯ
เลี้ยงสัตว์	ระบบสูบน้ำ, ระบบเติมออกซิเจนในบ่อน้ำ (บ่อกุ้งและบ่อปลา) และแสงไฟดักจับแมลง ฯลฯ
อนามัย	ตู้เย็น/กล่องทำความเย็นเพื่อเก็บยาและวัคซีน, อุปกรณ์ไฟฟ้าทางการแพทย์ สำหรับหน่วยอนามัย, หน่วยแพทย์เคลื่อนที่ และสถานีอนามัย ฯลฯ
คมนาคม	สัญญาณเตือนทางอากาศ, ไฟนำร่องทางขึ้น-ลงเครื่องบิน, ไฟประภาคาร, ไฟนำร่องเดินเรือ, ไฟสัญญาณข้ามถนน, สัญญาณจราจร, โคมไฟถนน และโทรศัพท์ฉุกเฉิน ฯลฯ
สื่อสาร	สถานีทวนสัญญาณไมโครเวฟ, อุปกรณ์โทรคมนาคม, อุปกรณ์สื่อสารแบบพกพา (เช่น วิทยุสนามของหน่วยงานบริการและทหาร) และสถานีตรวจสอบอากาศ ฯลฯ
บันเทิงและพักผ่อนหย่อนใจ	แหล่งจ่ายไฟฟ้าสำหรับบ้านพักตากอากาศในพื้นที่ห่างไกล, ระบบประจุแบตเตอรี่แบบพกพาติดตัวไปได้ และอุปกรณ์ไฟฟ้าที่ให้ความบันเทิง ฯลฯ
พื้นที่ห่างไกล	ภูเขา, เกาะ, ป่าลึก และพื้นที่สายส่งการไฟฟ้าเข้าไม่ถึง ฯลฯ
อวกาศ	ดาวเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5ลักษณะสมบัติทางไฟฟ้าของเซลล์แสงอาทิตย์

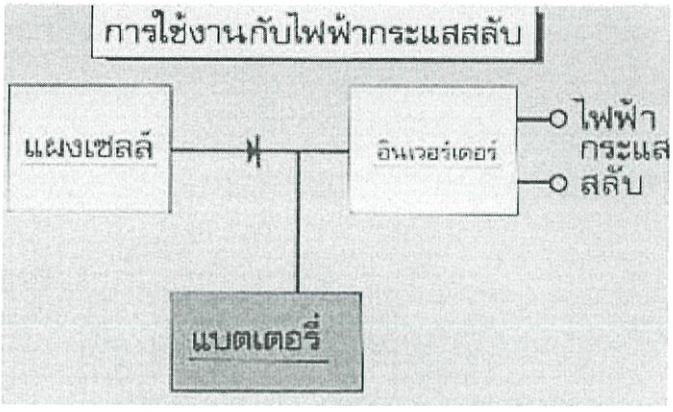
เมื่อแสงตกระทบเซลล์แสงอาทิตย์ จะเกิดกระแส และแรงดันไฟฟ้าขึ้น ที่ขั้วไฟฟ้าทั้งสองของเซลล์แสงอาทิตย์ ปกติผลึกฐานที่ใช้มักเป็นสารกึ่งตัวนำชนิดพี ดังนั้นขั้วไฟฟ้าด้านหลังมักเป็นขั้วบวก (+) ในขณะที่สารกึ่งตัวนำด้านรับแสงมักเป็นชนิดเอ็น ขั้วไฟฟ้าทางด้านรับแสงจึงเป็นขั้วลบ (-) เมื่อต่อให้ครบวงจรไฟฟ้า ก็จะเกิดกระแสไฟฟ้าไหลขึ้น ปริมาณของกระแสไฟฟ้าจะขึ้นกับความเข้มแสง เช่น เซลล์แสงอาทิตย์ชนิดซิลิคอนที่มีขนาดเส้นผ่าศูนย์กลาง ๔ นิ้ว เมื่อถูกแสงอาทิตย์ที่ความเข้มแสงปกติจะให้กระแสไฟฟ้าได้สูงประมาณ ๒ - ๓ แอมแปร์ แรงดันไฟฟ้าวงจรเปิดที่เกิดขึ้น ที่ขั้วไฟฟ้าทั้งสองของเซลล์แสงอาทิตย์ชนิดซิลิคอน จะมีค่าประมาณ ๐.๖ โวลต์ ซึ่งกำหนดได้จากชนิดของสารกึ่งตัวนำ เพราะเป็นค่าคงที่ ดังนั้นลักษณะสมบัติทางไฟฟ้าของเซลล์แสงอาทิตย์ ทั้งกระแส และแรงดันไฟฟ้า จึงสามารถแสดงได้ในรูปลักษณะสมบัติทางไฟฟ้าของเซลล์แสงอาทิตย์



รูปที่ 2.16 ลักษณะสมบัติทางไฟฟ้าของเซลล์แสงอาทิตย์ทั้งกระแสและแรงดันไฟฟ้า

บนเส้นลักษณะสมบัติกระแส-แรงดันไฟฟ้านี้จะมีจุดทำงาน ซึ่งหมายถึงจุดที่จะให้ทั้งกระแสและแรงดันไฟฟ้าที่มีค่าสูงสุด ผลคูณของกระแสไฟฟ้า และแรงดันไฟฟ้า ที่จุดทำงานนี้คือ กำลังไฟฟ้าสูงสุดที่เซลล์แสงอาทิตย์ผลิตได้ ตัวอย่างของเซลล์แสงอาทิตย์ชนิดซิลิคอน ขนาดเส้นผ่าศูนย์กลาง ๔ นิ้ว ที่ยกมานี้ จึงมีกำลังไฟฟ้าประมาณ ๐.๕ x ๒ = ๑ วัตต์ ปกติแผงเซลล์แสงอาทิตย์จะประกอบด้วยเซลล์แสงอาทิตย์ต่ออนุกรมกัน ๓๐ - ๕๐ ตัว เพื่อให้ได้แรงดันสูงขึ้น เหมาะสมกับการประยุกต์ และมีกำลังไฟฟ้าประมาณ ๓๐-๕๐ วัตต์ต่อแผง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

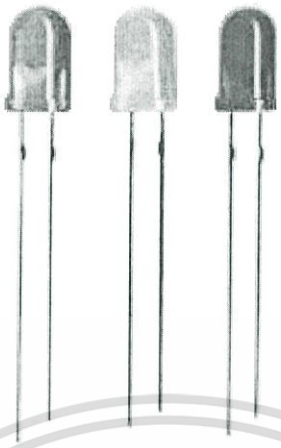


รูปที่ 2.17 การใช้งานกับไฟฟ้ากระแสสลับ

ไฟฟ้าที่เซลล์แสงอาทิตย์ผลิตได้ เป็นไฟฟ้ากระแสตรง เช่นเดียวกับแบตเตอรี่ไฟฟ้า หรือถ่านไฟฉาย การใช้งานเซลล์แสงอาทิตย์จึงมีลักษณะเช่นเดียวกับแบตเตอรี่ หรือถ่านไฟฉาย ทำให้สามารถใช้ประโยชน์ร่วมกันได้ เพราะเซลล์แสงอาทิตย์ผลิตไฟฟ้าได้ เมื่อมีแสงอาทิตย์ และเก็บสะสมพลังงานนั้นไว้ในแบตเตอรี่ไฟฟ้า เพื่อใช้งานในยามที่ไม่มีแสงอาทิตย์ได้ เซลล์แสงอาทิตย์จึงใช้เป็นตัวอัดประจุให้แก่แบตเตอรี่ หรือถ่านไฟฉายได้ เนื่องจากเครื่องใช้ไฟฟ้าโดยทั่วไป มักใช้กับไฟฟ้ากระแสสลับจึงไม่สามารถใช้งานกับเซลล์แสงอาทิตย์ได้โดยตรง ต้องเปลี่ยนไฟฟ้ากระแสตรงนี้ให้เป็นไฟฟ้ากระแสสลับก่อนโดยใช้อินเวอร์เตอร์ (Inverter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

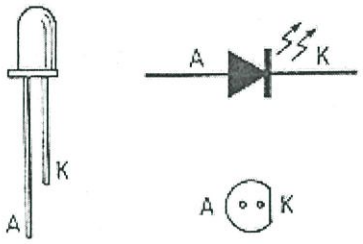
2.6 ไดโอดเปล่งแสง (light-emitting diode)



รูปที่ 2.6 ไดโอดเปล่งแสง

เรียกย่อ ๆ ว่า LED คือ ซึ่งสามารถเปล่งแสงออกมาได้แสงที่เปล่งออกมาประกอบด้วยคลื่นความถี่เดียวและเฟสต่อเนื่องกัน ซึ่งต่างกับแสงธรรมดาที่ตาคนมองเห็น โดยหลอด LED สามารถเปล่งแสงได้เมื่อจ่ายกระแสไฟฟ้าเข้าเพียงเล็กน้อยเท่านั้น และประสิทธิภาพในการให้แสงสว่างก็ยังดีกว่าหลอดไฟขนาดเล็กทั่วๆ ไป ไดโอดชนิดนี้(LED เหมือนไดโอดทั่ว ๆ ไปที่ประกอบด้วยสารกึ่งตัวนำชนิด P และ N ประกบกันมีผิวข้างหนึ่งเรียบเป็นมันคล้ายกระจก เมื่อไดโอดตกไบแอสตรงจะทำให้อิเลคตรอนที่สารกึ่งตัวนำชนิด N มีพลังงานสูงขึ้นจนสามารถวิ่งข้ามรอยต่อไปรวมกับโฮลใน P ต่อให้เกิดพลังงานในรูปของประจุโฟตอน ซึ่งจะส่งแสงออกมา การประยุกต์ LED ไปใช้งานอย่างกว้างขวางส่วนมากใช้ในภาคแสดงผล (LED display) LED โดยทั่วไปมี 2 ชนิดใหญ่ ๆ คือ LED ชนิดที่ตาคนเห็นได้ กับชนิดที่ตาคนมองไม่เห็นต้องใช้ทรานซิสเตอร์มาเป็นตัวรับแสงแทนตาคน ปัจจุบันจากความก้าวหน้าอย่างรวดเร็วของเทคโนโลยีเซมิคอนดักเตอร์ ทำให้เทคโนโลยีของ LED ก้าวหน้าอย่างรวดเร็วตามไปด้วย ได้มีการนำ LED มา ใช้ประโยชน์แพร่หลายมากขึ้นเรื่อยๆ เช่น ในเครื่องคิดเลข สัญญาณจราจร ไฟท้ายรถยนต์ ป้ายสัญญาณต่างๆ ไฟฉาย ไฟให้สัญญาณของประภาคาร จอภาพยนตร์ขนาดใหญ่ ยิ่งไปกว่านั้น หน้าจอ LCD ของโทรศัพท์มือถือที่เราใช้กันทั่วไป เกือบทั้งหมดจะให้แสงสว่างด้วย LED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



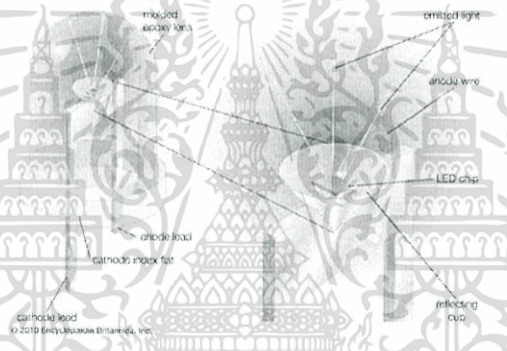
รูปที่ 2.19 สัญลักษณ์ของไดโอดเปล่งแสง

LED นับเป็นอุปกรณ์เซมิคอนดักเตอร์แบบหนึ่งที่ยอมให้กระแสไฟฟ้าไหลผ่านและจะปล่อยแสงสว่างออกมา ความจริงแล้ว LED ไม่ใช่เรื่องใหม่แต่อย่างใด โดยนักวิทยาศาสตร์ได้สังเกตมาตั้งแต่ปี 2450 ว่าเซมิคอนดักเตอร์จะเปล่งแสงออกมาเมื่อกระแสไฟฟ้าไหลผ่าน อย่างไรก็ตามแสงที่เปล่งออกมามีปริมาณน้อยมาก จึงทำให้เทคโนโลยีนี้ไม่ได้รับความสนใจ การนำเทคโนโลยี LED มาใช้ประโยชน์เชิงพาณิชย์ได้เริ่มต้นขึ้นเมื่อนาย Nick Holonyak นักวิจัยแห่งบริษัท GE ประสบผลสำเร็จเมื่อปี 2505 ในการประดิษฐ์ LED ที่สามารถเปล่งแสงสีแดงที่มีความสว่างออกมามากเพียงพอที่จะนำมาใช้ประโยชน์ได้ ทำให้ทั่วโลกเริ่มมีการตื่นตัววิจัยและพัฒนาในด้านนี้อย่างจริงจัง อย่างไรก็ตาม LED ที่ได้จากการวิจัยและพัฒนาในช่วงนั้นยังเปล่งแสงสว่างน้อยมาก จึงไม่สามารถนำไปใช้ประโยชน์ในรูปให้แสงสว่างแต่อย่างใด ส่วนใหญ่นำไปใช้เป็นปุ่มสัญญาณแสงสีต่างๆ ในอุปกรณ์ไฟฟ้า เป็นต้นว่า หลอด LED ขนาดเล็กเท่าหัวเข็มหมุด ได้ติดตั้งในอุปกรณ์อิเล็กทรอนิกส์เพื่อให้สัญญาณว่าเครื่องกำลังเปิดหรือปิด เดิมแสงจาก LED จะเป็นสีต่างๆ ไม่ได้เป็นสีขาว จึงมีข้อจำกัดในการนำมาให้แสงสว่างแทนหลอดไฟ สำหรับบุคคลสำคัญที่สามารถแก้ไขปัญหานี้ คือ นาย Shuji Nakamura แห่งบริษัท Nichia Chemical ของญี่ปุ่น ได้ประสบผลสำเร็จในการประดิษฐ์ LED สีน้ำเงินที่มีความสว่างจ้า จากนั้นได้นำ LED สีน้ำเงินไปเคลือบด้วยสารเคลือบเรืองแสงสีเหลือง จะทำให้แสงจาก LED ที่ออกมากลายเป็นสีขาว สามารถนำไปใช้ในรูปให้แสงสว่าง โดยได้เริ่มวางตลาด LED สีขาวนับตั้งแต่ปี 2536 เป็นต้นมา ปัจจุบันจากความก้าวหน้าอย่างรวดเร็วของเทคโนโลยีเซมิคอนดักเตอร์ ทำให้เทคโนโลยีของ LED ก้าวหน้าอย่างรวดเร็วตามไปด้วย ได้มีการนำ LED มาใช้ประโยชน์แพร่หลายมากขึ้นเรื่อยๆ เช่น ในเครื่องคิดเลข สัญญาณจราจร ไฟท้ายรถยนต์ ป้ายสัญญาณต่างๆ ไฟฉาย ไฟให้สัญญาณของประภาคาร จอภาพยนตร์ขนาดใหญ่ ยิ่งไปกว่านั้น หน้าจอ LCD ของโทรศัพท์มือถือที่เราใช้กันทั่วไปเกือบทั้งหมดจะให้แสงสว่างด้วย LED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของหลอด LED

หลอด LED หรือไดโอดเปล่งแสง โครงสร้างประกอบไปด้วยสารกึ่งตัวนำสองชนิด (สารกึ่งตัวนำชนิด N และสารกึ่งตัวนำชนิด P) ประกบเข้าด้วยกัน มีผิวข้างหนึ่งเรียบคล้ายกระจกเมื่อจ่ายไฟฟ้ากระแสตรงผ่านตัว LED โดยจ่ายไฟบวกให้ขาแอโนต (A) จ่ายไฟลบให้ขาแคโทด (K) ทำให้อิเล็กตรอนที่สารกึ่งตัวนำชนิด N มีพลังงานสูงขึ้น จนสามารถวิ่งข้ามรอยต่อจากสารชนิด N ไปรวมกับโฮลในสารชนิด P การที่อิเล็กตรอนเคลื่อนที่ผ่านรอยต่อ PN ทำให้เกิดกระแสไหล เป็นผลให้ระดับพลังงานของอิเล็กตรอนเปลี่ยนไปและคายพลังงานออกมาในรูปคลื่นแสงสีของแสงที่เกิดจากรอยต่อจะขึ้นอยู่กับชนิดของวัสดุที่นำมาใช้ในการสร้าง LED ทั้งชนิดที่เป็นของเหลวและก๊าซ เช่น ใช้แกลเลียมฟอสไฟด์ (GALLIUM PHOSPHIDE,GaP) ทำให้เกิดแสงสีแดง ใช้แกลเลียมอาซีไนด์ ฟอสไฟด์ (GALLIUM ARSENIDE PHOSPHIDE,GaAsP) เกิดแสงสีเหลืองและเขียวการควบคุมปริมาณแสงสว่างจะควบคุมกระแสที่ไหลผ่านหลอด LED หากกระแสที่ไหลสูงมากไปจะทำให้หลอดมีความสว่างมาก แต่หากป้อนกระแสสูงมาไปจะทำให้บริเวณรอยต่อของสารกึ่งตัวนำเกิดความร้อนปริมาณมากจนทำให้โครงสร้างหลอดเสียหายไม่สามารถใช้งานได้อีก

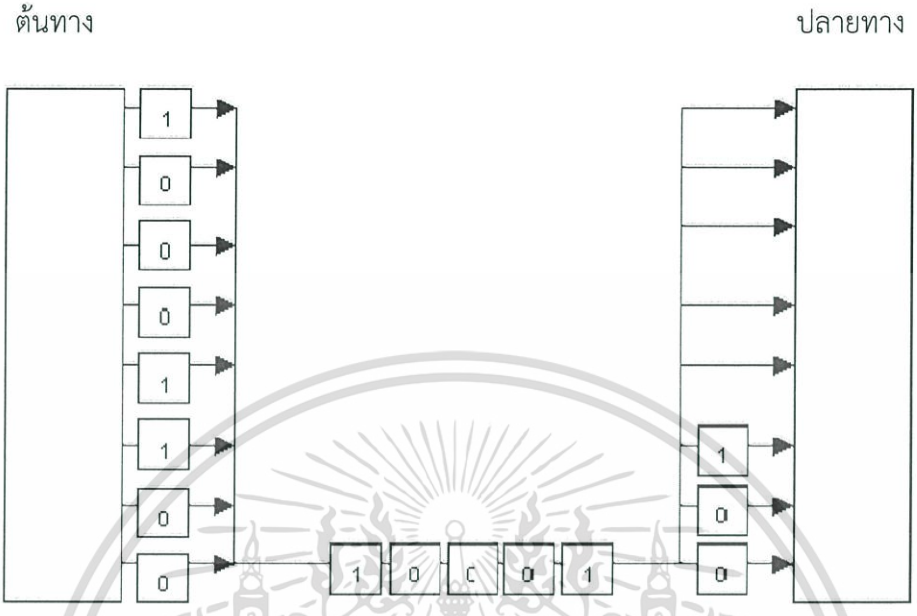


รูปที่ 2.20 รูปส่วนประกอบภายในของไดโอดเปล่งแสง

2.7 การส่งผ่านข้อมูลแบบอนุกรม (Serial Transmission)

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบการส่งผ่านข้อมูลในลักษณะนี้ทุกบิตที่เข้ารหัสแทนข้อมูลหนึ่งตัวอักษรจะถูกส่งผ่านไปตามสายส่งเรียงลำดับกันไปทีละบิตในสายส่งเพียงเส้นเดียว ดังรูป



รูปที่ 2.21 การส่งข้อมูลแบบอนุกรม

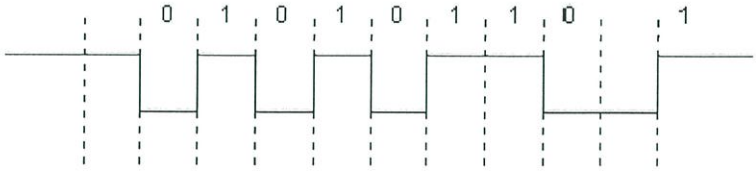
จากรูปตัวอักษรจะประกอบด้วย 8 บิต เรียงเป็นลำดับ ข้อมูลจะถูกส่งออกมาทีละบิตระหว่างต้นทาง และปลายทาง และปลายทางจะรวบรวมบิตเหล่านี้ทีละบิตจนครบ 8 บิต เป็น 1 ตัวอักษร จะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนาน แต่ค่าใช้จ่ายจะถูกกว่าแบบขนาน ซึ่งเหมาะสำหรับการส่งระยะทางไกลๆ

โดยทั่วไปแล้วการส่งข้อมูลนั้นจะประกอบไปด้วยกลุ่มของตัวอักษร ดังนั้นในการส่งข้อมูลแบบอนุกรมนี้จึงเกิดปัญหาขึ้นว่า แล้วต้นทางและปลายทางจะทราบได้อย่างไรว่า จะแบ่งแต่ละตัวอักษรตรงบิตใด จึงเกิดวิธีการสื่อสารข้อมูลขึ้น 2 แบบคือ การสื่อสารแบบอะซิงโคนัส (Asynchronous Transmission) และการสื่อสารแบบซิงโคนัส (Synchronous Transmission

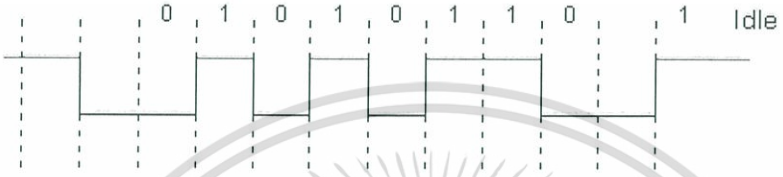
2.1 การสื่อสารแบบอะซิงโคนัส (Asynchronous Transmission)

การสื่อสารแบบอะซิงโคนัส หรือเรียกอีกอย่างหนึ่งว่าเป็น การสื่อสารแบบระบุจุดเริ่มต้น และจุดสิ้นสุด (Start-Stop Transmission) ลักษณะของสัญญาณที่ใช้ในการติดต่อสื่อสารกันจะประกอบไปด้วย บิตเริ่มต้น (start bit) บิตของข้อมูลที่สื่อสาร (transmission data) จำนวน 8 บิต บิตตรวจข้อผิดพลาด(parity bit) และบิตสิ้นสุด (stop bit) สำหรับบิตตรวจสอบข้อผิดพลาดจะใช้หรือไม่ใช้ก็ได้ ดังนั้นสัญญาณจึงต้องประกอบด้วยส่วนประกอบอย่างน้อย 3 ส่วน ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 การสื่อสารแบบอะซิงโคนัสที่ไม่ได้ใช้พารีตี้บิต



รูปที่ 2.23 การสื่อสารแบบอะซิงโคนัสที่ใช้พารีตี้บิต

จากรูปจะเห็นว่าขณะที่ไม่มีข้อมูลส่งออกมาสถานะของการส่งจะเป็นแบบว่าง (Idle) ซึ่งจะมีระดับของสัญญาณเป็น 1 ตลอดเวลา เพื่อความแน่ใจว่าปลายทาง หรือฝ่ายรับยังคงติดต่อกับต้นทาง หรือฝ่ายส่งอยู่ เมื่อเริ่มจะส่งข้อมูลสัญญาณของอะซิงโคนัสจะเป็น 0 หนึ่งช่วงสัญญาณนาฬิกา ซึ่งบิตนี้เราเรียกว่าบิตเริ่มต้น ตามหลังของบิตเริ่มต้นจะเป็นบิตข้อมูลสำหรับ 1 ตัวอักษร ตามหลังบิตข้อมูลก็จะเป็นบิตตรวจข้อผิดพลาด แล้วจะตามด้วยบิตสิ้นสุด ถ้าไม่ใช่บิตตรวจข้อผิดพลาด ตามหลังบิตข้อมูลก็จะเป็นบิตสิ้นสุดเลย หลังจากนั้นถ้าไม่มีข้อมูลส่งออกมาสัญญาณจะกลับไปอยู่ที่สถานะแบบว่างอีกเพื่อรอการส่งข้อมูลต่อไป

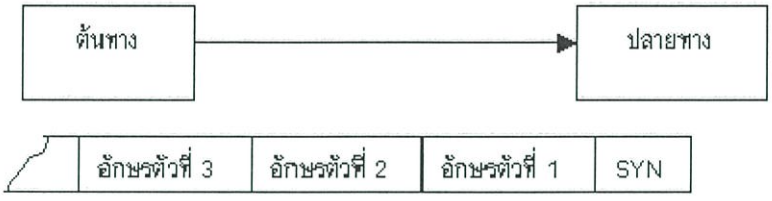
จะเห็นว่าการสื่อสารแบบอะซิงโคนัสนี้ มีลักษณะเป็นไปทีละตัวอักษร และสัญญาณที่ส่งออกมา มีบางส่วนเป็นบิตเริ่มต้น บิตสิ้นสุด และบิตตรวจข้อผิดพลาด ทำให้ความเร็วในการส่งข้อมูลต่อวินาทีน้อยลงไป เนื่องจากต้อง สูญเสียช่องทางการสื่อสารให้กับ บิตเริ่มต้น บิตสิ้นสุด และบิตตรวจข้อผิดพลาด (ถ้ามีใช้) ตลอดเวลา การสื่อสาร แบบอะซิงโคนัสนี้มักใช้ในการติดต่อระหว่างคอมพิวเตอร์กับอุปกรณ์รอบข้าง

2.2 การสื่อสารแบบซิงโคนัส (Synchronous Transmission)

การสื่อสารแบบซิงโคนัส จะทำการจัดกลุ่มของข้อมูลเป็นกลุ่มๆ และทำการส่งข้อมูลทั้งกลุ่มไปพร้อมกันในทีเดียว เราเรียกกลุ่มของข้อมูลนี้ว่า บล็อกของข้อมูล (Block of Data) ซึ่งตัวอักษรตัวแรก และตัวถัดไปที่อยู่ในบล็อกเดียวกันจะไม่มีอะไรมาคั่นเหมือนอย่างแบบอะซิงโคนัส ที่ต้องใช้บิตเริ่มต้น และบิตสิ้นสุดคั่นทุกๆ ตัวอักษร แต่จะมีข้อมูลเริ่มต้นซึ่งเป็นลักษณะของบิตพิเศษที่ส่งมาเพื่อให้รู้ว่านั้นคือจุดเริ่มต้นของกลุ่มตัวอักษรที่กำลังส่งเรียงกันเข้ามา เช่น อักขระซิง (SYN character) โดยที่อักขระซิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีรูปแบบบิต คือ 00010110 ตัวอย่างของการส่งแสดงได้ดังรูป



รูปที่ 2.24 00010110 ตัวอย่างของการส่งแสดง

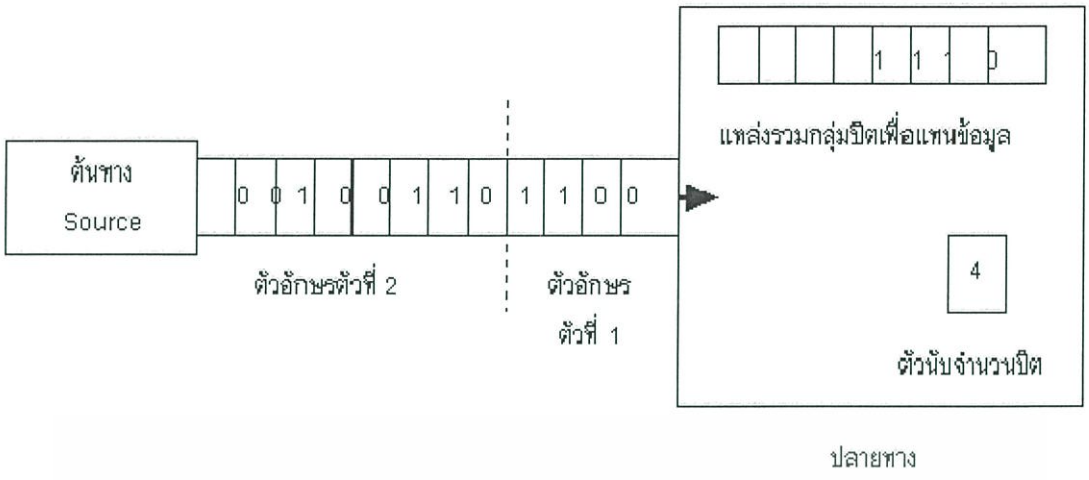
จากรูปเมื่อลายทางตรวจพบอักขระซิง หรือ 00010110 แล้วจะทราบได้ทันทีว่าบิตที่ตามมาคือบิตตัวอักษรแต่ละตัว แต่การใช้อักขระซิงเพียงตัวเดียวอาจเกิดข้อผิดพลาดได้ เช่น ถ้าเราส่งตัวอักษร b และตัวอักษร a ติดต่อกันไป ซึ่งตัวอักษร b มีรูปแบบบิตคือ 01100010 และตัวอักษร a มีรูปแบบบิตคือ 01100001 การส่งจะแสดงได้ดังรูป

รูปที่ 2.25 01100001 การส่ง

จะเห็นว่าเครื่องปลายทางจะตรวจพบอักขระซิงระหว่างบิตของตัวอักษร b และตัวอักษร a ทำให้เข้าใจว่าบิตต่อไปจะเป็นบิตของกลุ่มข้อมูล ซึ่งจะทำให้การรับข้อมูลนั้นเกิดผิดพลาดขึ้นได้ ดังนั้นจึงแก้ปัญหาด้วยการใช้อักขระซิง 2 ตัวต่อกันเป็นลักษณะของบิตพิเศษที่บอกให้ทราบว่าเป็นจุดเริ่มต้นบิตของกลุ่มข้อมูล ตัวอย่างของการใช้อักขระซิง 2 ตัวในการสื่อสารแบบซิงโคนัส และการตัดแถวของบิตข้อมูลออกเป็นกลุ่มทีละ 8 บิต เพื่อแทนข้อมูลแสดงได้ดังรูป

รูปที่ 2.26 ตัวอย่างการใช้อักขระซิง 2 ตัวในการสื่อสารแบบซิงโคนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

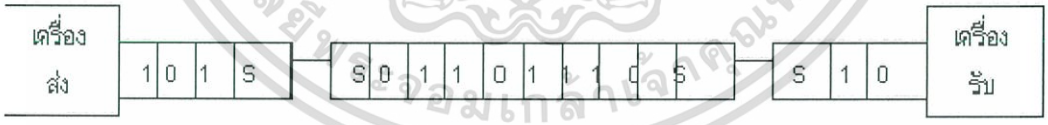


รูปที่ 2.27 แสดงการตัดแถวของบิตออกเป็นกลุ่มๆ ละ 8 บิต

การสื่อสารแบบซิงโคนัสนี้มักใช้ในการติดต่อระหว่างคอมพิวเตอร์

ประสิทธิภาพของการส่งผ่านข้อมูลแบบอะซิงโคนัส และแบบซิงโคนัส

รูปที่ 2.28 การส่งผ่านข้อมูลแบบซิงโคนัส



รูปที่ 2.29 การส่งผ่านข้อมูลแบบอะซิงโคนัส

จากรูปที่ 2.28 แสดงให้เห็นว่าการส่งผ่านข้อมูลแบบซิงโคนัสนั้นส่วนมากแล้ว ตลอดทางของสายส่งจะใช้ส่งผ่านข้อมูลเต็มตลอดทั้งสาย ส่วนรูปที่ 2.29 แสดงให้เห็นว่าการส่งผ่านข้อมูลแบบอะซิงโคนัสนั้นสายส่งจะขาดความต่อเนื่องของสัญญาณข้อมูลที่ส่งผ่านหรือถ้ามีสัญญาณข้อมูลที่ส่งผ่านต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันเต็มตลอดทั้งสายแล้วก็จะสูญเสียช่องทางในการส่งไปกับการส่งบิตเริ่มต้นและบิตสิ้นสุดของแต่ละตัวอักษร

ตัวอย่างเช่น กรณีที่ส่งผ่านข้อมูลที่อยู่ในรูปของรหัส ASCII ซึ่งตัวอักษรหนึ่งตัวถูกแทนด้วย 8 บิต ถ้ามีการส่งกลุ่มของข้อมูล 240 ตัวอักษร ในกรณีการส่งผ่านข้อมูลแบบซิงโคนัสมีการใช้ตัวอักขระซิง 3 ตัว และการส่งผ่าน ข้อมูลแบบอะซิงโคนัสไม่มีการใช้บิตตรวจข้อผิดพลาด ดังนั้นเราสามารถคำนวณหาอัตราส่วนระหว่างการส่งข้อมูลได้ ดังนี้

บิตทั้งหมดของตัวอักษรที่ส่งจะได้

240 ตัวอักษร x 8 บิต/ตัวอักษร = 1920 บิต

แบบซิงโคนัส

บิตของตัวอักขระซิงที่ใช้จะได้ SYN 3 ตัว เท่ากับ 3 x 8 บิต = 24 บิต
ผลรวมของบิตที่ต้องส่งทั้งหมด = 1920 + 24 = 1944 บิต
อัตราส่วนระหว่างการส่งข้อมูลที่ต้องส่งจริง กับจำนวนบิตทั้งหมดที่จำเป็นต้องส่งคือ 1920 หารด้วย 1944 จะได้ประมาณ 99 %

แบบอะซิงโคนัส

บิตเริ่มต้น และบิตสิ้นสุดที่ใช้จะได้ 2 x 240 = 480 บิต
ผลรวมของบิตที่ต้องส่งทั้งหมด = 1920 + 480 = 2400 บิต
อัตราส่วนระหว่างการส่งข้อมูลที่ต้องส่งจริง กับจำนวนบิตทั้งหมดที่จำเป็นต้องส่งคือ 1920 หารด้วย 2400 จะได้ประมาณ 80 %

การใช้บิตตรวจข้อผิดพลาด

บิตตรวจข้อผิดพลาด หรือพารีตี้บิต จะเป็นบิตที่ใช้เพื่อทำหน้าที่ตรวจสอบความถูกต้องของข้อมูลที่ส่ง ซึ่งมีอยู่ 2 แบบด้วยกันคือ การตรวจสอบจำนวนคี่ (odd parity) และการตรวจสอบจำนวนคู่ (even parity)

1.การตรวจสอบจำนวนคี่ (Odd parity) หมายถึง บิตตรวจสอบจะต้องนับบิตที่มีค่าของ 1 สำหรับกลุ่มของบิตที่จะส่งและต้องการตรวจสอบอยู่เป็นจำนวนคี่ เช่น ถ้านับบิตที่มีค่าของ 1 ในกลุ่มของบิตที่จะส่ง และต้องการ ตรวจสอบได้เป็นจำนวนคู่ บิตตรวจสอบนี้จะต้องมีค่าเป็น 1 เพื่อที่จะรวมเป็นจำนวนคี่ แต่ถ้าจำนวนนับได้เป็นจำนวนคี่ บิตตรวจสอบก็จะมีค่าเป็น 0

ตัวอย่าง

สมมุติว่าถ้าข้อมูลที่ต้องการส่งมี 7 บิต คือ 0110011 บิตตรวจสอบจำนวนคี่จะต้องมีค่าเป็น 1 เพราะนับบิตที่มีค่าของ 1 ได้เท่ากับ 4 ตัว ซึ่งเป็นเลขคู่ เมื่อรวมกับบิตตรวจสอบจำนวนคี่ที่มีค่าเป็น 1

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็จะนับได้เป็น 5 ตัว ซึ่งเป็นเลขคี่และการส่งข้อมูลพร้อมบิตตรวจสอบไปจะได้เป็น 10110011

2.**การตรวจสอบจำนวนคู่ (Even parity)** หมายถึง บิตตรวจสอบจะต้องนับบิตที่มีค่าของ 1 สำหรับกลุ่มของบิตที่จะส่งและต้องการตรวจสอบอยู่เป็นจำนวนคู่ เช่น ถ้านับบิตที่มีค่าของ 1 ในกลุ่มของบิตที่จะส่งและต้องการ ตรวจสอบได้เป็นจำนวนคู่ บิตตรวจสอบนี้จะต้องมีค่าเป็น 0 เพื่อที่จะรวมเป็นจำนวนคู่แต่ถ้าจำนวนนับได้เป็นจำนวนคี่บิตตรวจสอบก็จะมีค่าเป็น1

ตัวอย่าง

สมมุติว่าถ้าข้อมูลที่ต้องการส่งมี 7 บิต คือ 0110011 บิตตรวจสอบจำนวนคู่จะต้องมีค่าเป็น 0 เพราะนับบิตที่มีค่าของ 1 ได้เท่ากับ 4 ตัว ซึ่งเป็นเลขคู่ การส่งข้อมูลพร้อมบิตตรวจสอบไปจะได้เป็น 00110011

การตรวจสอบความถูกต้องทำได้โดยระหว่างต้นทางและปลายทางจะต้องตกลงกันว่าจะใช้ตัวตรวจข้อผิดพลาดชนิดใดถ้าใช้ตัวตรวจข้อผิดพลาดแบบจำนวนคี่แล้วเมื่อปลายทางรับข้อมูลจะตรวจสอบจำนวนบิตที่มีค่าเป็น 1 ว่าเป็นจำนวนคี่หรือไม่ ถ้าไม่เป็นจำนวนคี่แสดงว่าข้อมูลเกิดความผิดพลาดขึ้น ปลายทางจะต้องแจ้งให้ต้นทางทราบ อาจจะให้ต้นทางส่งข้อมูลมาใหม่อีกครั้ง ส่วนการใช้ตัวตรวจข้อผิดพลาดแบบจำนวนคู่ก็จะใช้หลักการคล้ายๆ กัน

ทิศทางของการสื่อสารข้อมูล

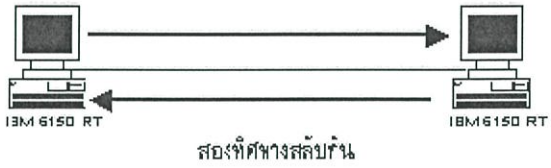
สามารถแบ่งทิศทางการสื่อสารของข้อมูลได้เป็น 3 แบบ คือ

1. แบบทิศทางเดียว (Simplex) เป็นทิศทางการสื่อสารข้อมูลแบบที่ข้อมูลจะถูกส่งจากทิศทางหนึ่งไปยังอีกทิศทางโดยไม่สามารถส่งข้อมูลย้อนกลับมาได้ เช่นระบบวิทยุ หรือโทรทัศน์

รูปที่ 2.30 การส่งข้อมูลแบบทิสทางเดียว

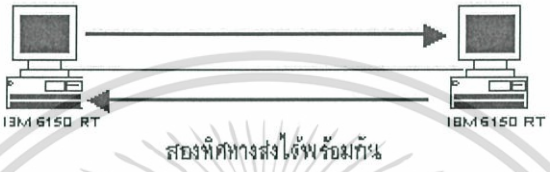
2. แบบกึ่งสองทิศทาง (Half Duplex) เป็นทิศทางการสื่อสารข้อมูลแบบที่ข้อมูลสามารถส่งกลับกันได้ 2 ทิศทาง แต่จะไม่สามารถส่งพร้อมกันได้ โดยต้องผลัดกันส่งครั้งละทิศทางเท่านั้น เช่น วิทยุสื่อสารแบบผลัดกันพูด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 การส่งข้อมูลแบบสองทิศทาง

3. แบบสองทิศทาง (Full Duplex) เป็นทิศทางการสื่อสารข้อมูลแบบที่ข้อมูลสามารถส่งพร้อม ๆ กันได้ทั้ง 2 ทิศทาง ในเวลาเดียวกัน เช่น ระบบโทรศัพท์



รูปที่ 2.32 การส่งข้อมูลแบบสองทิศทางพร้อมกัน

ระบบเครือข่ายแบบเบสแบนด์ และบรอดแบนด์

1.ระบบเครือข่ายแบบเบสแบนด์ (Baseband) เป็นการสื่อสารข้อมูลที่สายสัญญาณหรือตัวกลางในการส่งผ่านสัญญาณ สามารถส่งได้เพียงหนึ่งสัญญาณในเวลาขณะใดขณะหนึ่งเท่านั้น นั่นคืออุปกรณ์ที่ใช้งานสายสัญญาณขณะนั้นจะครอบครองช่องสัญญาณทั้งหมด โดยอุปกรณ์อื่นจะไม่สามารถร่วมใช้งานได้เลย เช่น ระบบโทรศัพท์ เป็นต้น การสื่อสารระหว่างคอมพิวเตอร์ส่วนมากจะเป็นการสื่อสารแบบนี้ รวมทั้งการสื่อสารระหว่างคอมพิวเตอร์ และอุปกรณ์อื่นๆ ยกเว้นการสื่อสารผ่านระบบเครือข่ายแบบ B-ISDN ซึ่งเป็นแบบบรอดแบนด์

2.ระบบเครือข่ายแบบบรอดแบนด์ (Broadband) เป็นการสื่อสารข้อมูลที่ตัวกลางในการส่งผ่านสัญญาณ สามารถส่งสัญญาณผ่านได้หลายๆ ช่องทางพร้อมๆ กัน โดยใช้วิธีแบ่งช่องความถี่ออกจากกัน ทำให้อุปกรณ์ต่างๆ สามารถสื่อสารกันโดยใช้ช่องความถี่ของตนเองaผ่านตัวกลางเดียว ตัวอย่างเช่น ระบบเครือข่ายเคเบิลทีวี เป็นต้น

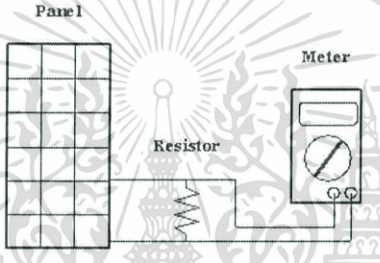
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ขั้นตอนการดำเนินงาน

3.1 สิ่งที่เราต้องการวัด

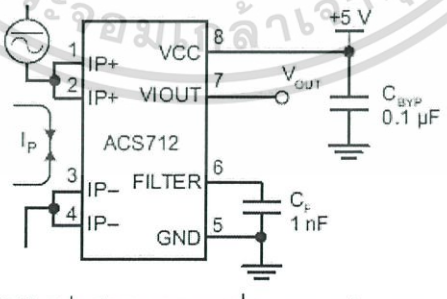
3.1.1 วัดค่าแรงดันไฟฟ้าของโซลาร์เซลล์และแสดงผลบนจอLCD module การวัดค่าแรงดันของโซลาร์เซลล์ โดยการวัดค่าที่ขั้วบวก และขั้วลบ เปรียบเสมือนการใช้มิเตอร์ในการวัดค่าโดยทั่วไป



รูปที่ 3.1 รูปแสดงการวัดค่าแรงดันของโซลาร์เซลล์

3.1.2 การวัดค่ากระแสของ solar cell

โดยใช้ current sensor ชนิด hall effect โดยมีการต่อวงจรดังรูป เพื่อแปลงสัญญาณอนาลอกเป็นดิจิตอล



รูปที่ 3.2 รูปแสดงวงจรการต่อ current sensor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

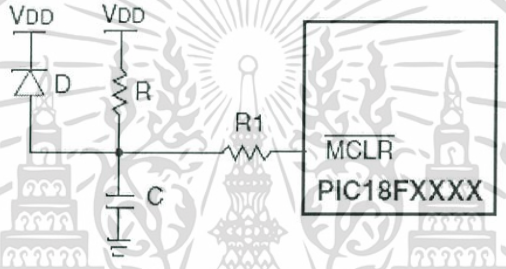
3.2 การออกแบบวงจร

3.2.1 วงจรไมโครคอนโทรลเลอร์

เลือกใช้ไมโครคอนโทรลเลอร์เบอร์ 18F4550 โดยไมโครคอนโทรลเลอร์จะต้องมีสัญญาณนาฬิกาคอยควบคุมจังหวะการทำงาน ซึ่งสามารถเลือกใช้ออสซิลเลเตอร์ภายในหรือภายนอกได้ สำหรับออสซิลเลเตอร์ภายในจะใช้ RC ออสซิลเลเตอร์ที่ความถี่คงที่ 8 MHz ที่แรงดันไฟเลี้ยง 5 โวลต์

องค์ประกอบของวงจรมีดังนี้

3.2.1.1 Power-on Reset (POR)



รูปที่ 3.3 รูปแสดงวงจรในส่วนของ Power-on Reset (POR)

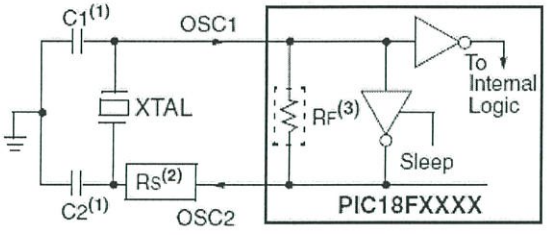
1.จะต้องใช้ไดโอดเพื่อในการ Discharge ตัวเก็บประจุอย่างรวดเร็วเมื่อต้องการปิดไฟเลี้ยง

2. R $<$ 40 kΩ จะทำให้แน่ใจว่า เมื่อแรงดันลดลงจะทำให้อุปกรณ์ยังคงทำงานต่อไปได้

3. R1 $\geq$ 1kΩ จะกำหนดกระแสการไหลไปยัง MCLR จากตัวเก็บประจุภายนอก ในกรณีที่พอร์ต MCLR/Vpp เกิดการพังทลายเนื่องจากเกิด Electrostatic Discharge (ESD) หรือ Electrical Overstress (EOS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.2 การเลือกค่าตัวเก็บประจุสำหรับคริสตอล ออสซิเลเตอร์



รูปที่ 3.4 รูปแสดงวงจรของออสซิเลเตอร์

Rf จะเปลี่ยนไปตามโหมดการทำงานของออสซิเลเตอร์

ตารางที่ 3.1 แสดงการเลือกใช้ค่าตัวเก็บประจุ

Osc Type	Crystal Freq	Typical Capacitor Values Tested:	
		C1	C2
XT	4 MHz	27 pF	27 pF
HS	4 MHz	27 pF	27 pF
	8 MHz	22 pF	22 pF
	20 MHz	15 pF	15 pF

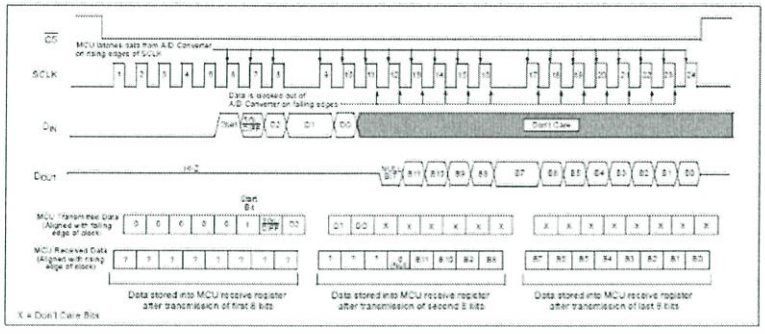
1.ค่าตัวเก็บประจุยิ่งมากจะทำให้ออสซิเลเตอร์ยิ่งมีความเสถียรมากขึ้นแต่จะใช้เวลาการในเริ่มต้นนาน

2.เมื่อไฟเลี้ยงมีการทำงานต่ำกว่า 3 V จำเป็นที่จะต้องใช้ HS mode

3.2.1.3 การใช้ SPI Port

การใช้ไมโครคอนโทรลเลอร์ ทำการส่งข้อมูลด้วยระบบ SPI ใช้พอร์ตที่ละกลุ่มกลุ่มละ 8 bit นอกจากนี้ยัง จะต้อง กำหนดค่าสัญญาณนาฬิกา ขาออกที่พอร์ต SPI ข้อมูลบนขอบขาขึ้น การสื่อสารกับ MCP3204 / 3208อุปกรณ์ อาจไม่จำเป็นต้อง ใช้ข้อมูล แปด สัญญาณนาฬิกา โดยการส่ง ศูนย์ ก่อนบิตเริ่มต้น ตัวอย่างเช่น รูปที่ 3.2.1-3 แสดงให้เห็นว่า MCP3204 / 3208 สามารถ เชื่อมต่อ ไปยัง MCU กับฮาร์ดแวร์ ที่แสดงใน โหมด SPI 0,0 ไบต์แรก ที่ส่งไปยังA / D converter มี ศูนย์ 5 ตัว นำก่อนบิตเริ่มต้น ทำการส่งจำนวน 2 byte วิธีนี้ได้เอาท์พุท 12 บิตที่จะอยู่ ในตำแหน่งที่ขา Dout ใน MCU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 SPI Communication using 8-bit segments (Mode 0,0: SCLK idles low).

ตารางที่ 3.2 การใช้งานในการกำหนดช่องสัญญาณ

CONTROL BIT SELECTIONS				INPUT CONFIGURATION	CHANNEL SELECTION
SINGLE/ DIFF	D2	D1	D0		
1	0	0	0	single ended	CH0
1	0	0	1	single ended	CH1
1	0	1	0	single ended	CH2
1	0	1	1	single ended	CH3
1	1	0	0	single ended	CH4
1	1	0	1	single ended	CH5
1	1	1	0	single ended	CH6
1	1	1	1	single ended	CH7
0	0	0	0	differential	CH0 = IN+ CH1 = IN-
0	0	0	1	differential	CH0 = IN- CH1 = IN+
0	0	1	0	differential	CH2 = IN+ CH3 = IN-
0	0	1	1	differential	CH2 = IN- CH3 = IN+
0	1	0	0	differential	CH4 = IN+ CH5 = IN-
0	1	0	1	differential	CH4 = IN- CH5 = IN+
0	1	1	0	differential	CH6 = IN+ CH7 = IN-
0	1	1	1	differential	CH6 = IN- CH7 = IN+

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การเขียนโปรแกรม

3.3.1. เริ่มต้นจากการเรียกไฟล์ เพื่อประกาศไฟล์ที่ต้องใช้ในโปรแกรม เช่น #include "MONITORING.h"

3.3.2. กำหนดตัวแปรในการใช้งาน เช่น float data;

3.3.3. กำหนดขาอุปกรณ์เป็นขาอินพุท เอาพุท เช่น TRISBbits.TRISB4 = 0; // set port Tx

3.3.4. การกำหนดคำสั่งการใช้งานบนจอ LCD เช่น unsigned char config=0xFF; config = FOUR_BIT & LINES_5X7; OpenXLCD(config);

3.3.5. การกำหนดคำสั่งการใช้งาน Software UART เช่น OpenUART();

3.3.6. การกำหนดคำสั่งการใช้งานการติดต่อสื่อสารด้วย SPI เช่น OpenSPI(SPI_FOSC_16, MODE_00, SMPEND); //OpenSPI Fosc/16; Mode 0,0;SMPEND

3.3.6.1 การเลือก Channel ในการติดต่อสื่อสารด้วย SPI เช่น SPI_CS = 0; //assert chip select

```
byte_write(0x6);        //การเลือก Input Configuration แบบ Single-ended
Delay1KTCYx(1 );
byte_write(0x0);        // การเลือก CH0 ในการรับและส่งข้อมูล
Delay1KTCYx( 1);
```

3.3.7.การเปลี่ยนเลขฐานสองให้เป็นเลขฐานสิบเพื่อแสดงผล เช่น data = (float) (ADCResult*5.0/4095.0)*8.0;

3.3.8.การแสดงผลบนจอ LCD เช่น

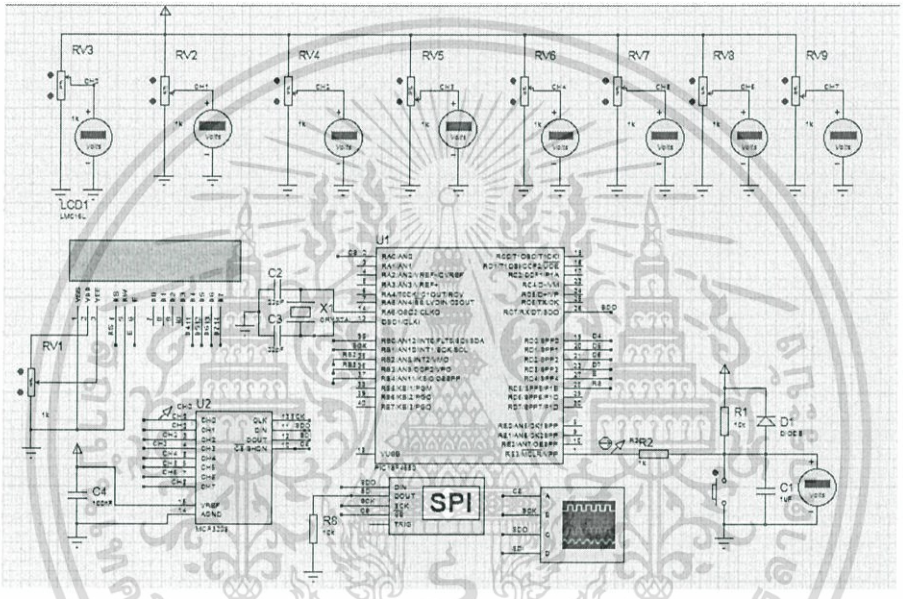
```
putrsXLCD("Voltage1= ");        //Display "Voltage" on the screen
putsXLCD(Buffer1);              //Display the Voltage on the screen
SetDDRamAddr(64);
```

3.3.9. การแสดงผลบนคอมพิวเตอร์ เช่น printf("GROUP1 Voltage = %f\n\r",data);

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

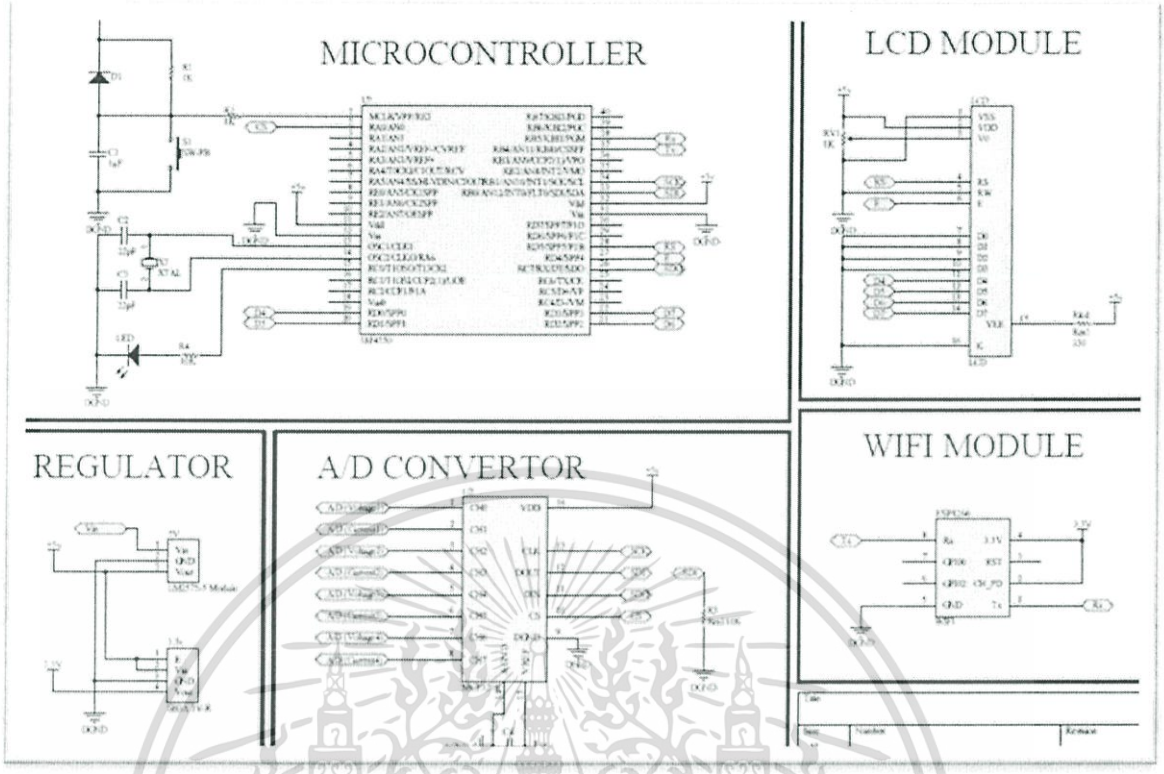
3.4 การทดลองในแบบจำลอง

เขียนโปรแกรมโดยใช้ MPLAB X IDE และจำลองวงจรลงบนโปรแกรม Proteus 8 professional จากการเขียนโปรแกรมเพื่อวัดค่าแรงดันและกรแสของโซลาร์เซลล์ โดยใช้ PIC 18F4550 เลือกใช้อุปกรณ์ตัวต้านทานปรับค่าได้ และ MCP3208 ในการเชื่อมต่อแบบ SPI ควบคุมการวัดค่าแรงดันได้ 0-5 V ใช้งานทั้งหมด 8 ช่องสัญญาณ ในส่วนของ Current Sensor ACS712

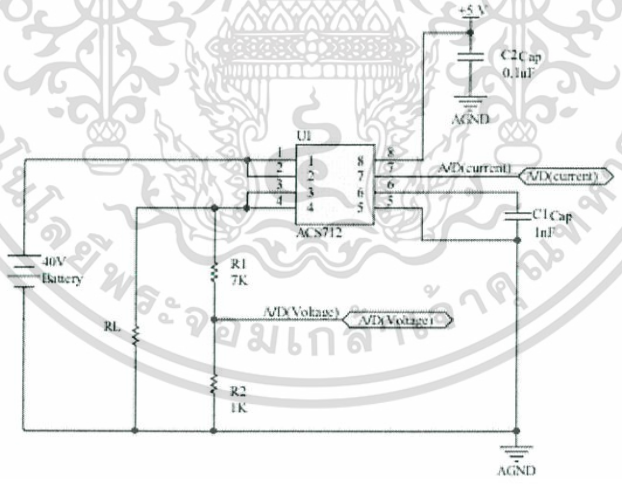


รูปที่ 3.6 รูปวงจรที่ใช้ในการ Simulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 รูปวงจรของ Solar cell Monitoring



รูปที่ 3.8 รูปวงจรการต่อcurrent sensor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

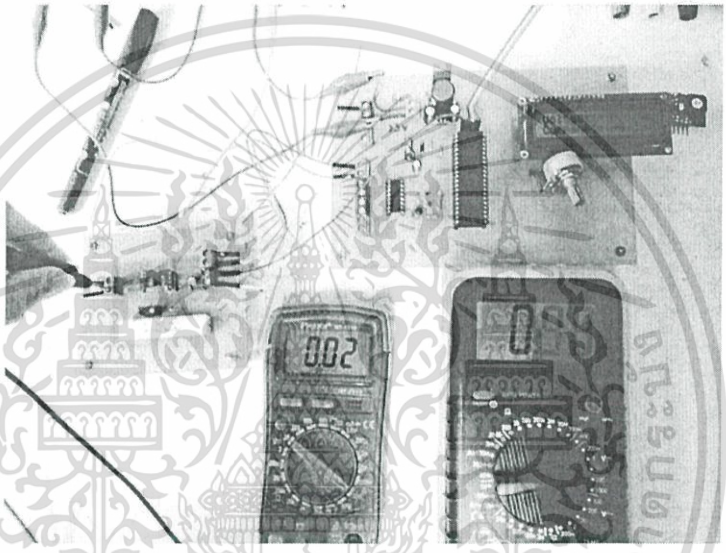
3.5 จากแบบจำลองนำมาใช้จริงบนบอร์ด

3.4.1 ทำการทดลองในส่วนเบื้องต้น เขียนโปรแกรมทำให้หลอดไฟ LED กระพิบ

3.4.2 หลังจากนั้นทำการเขียนโปรแกรมเพื่อให้จอ LCD แสดงข้อความตามคำสั่ง

3.4.3 ทำการต่อส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลเพื่อให้แสดงค่าแรงดันไฟฟ้าที่วัดได้

3.4.4 ทำการต่อในส่วนของวงจรวัดกระแส โดยการป้อนอินพุธ เพื่อดูค่าแรงดันที่ออกมาเป็นไปตามเอกสารข้อมูลของ ACS712 หรือไม่



รูปที่ 3.9 ภาพแสดงการทดสอบบนบอร์ด

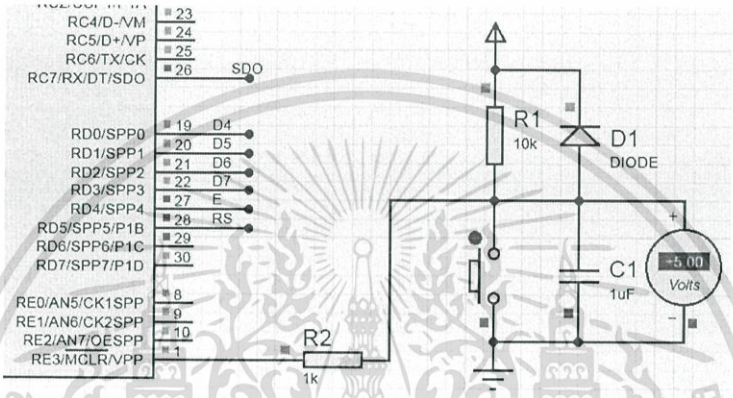
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการดำเนินงาน

Power on reset

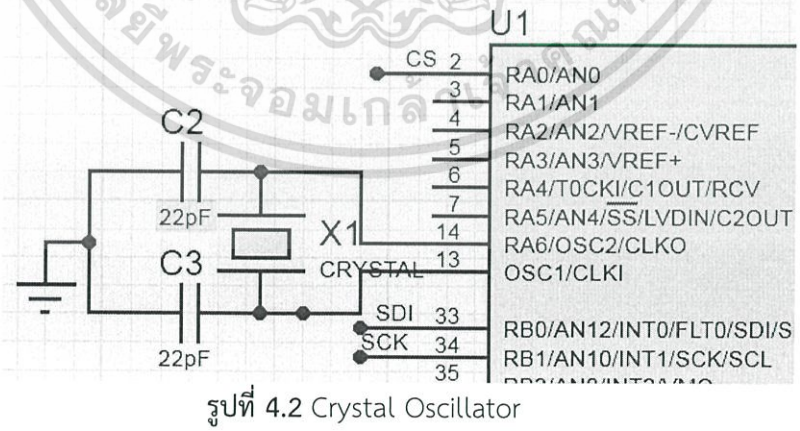
ทำให้ไมโครคอนโทรลเลอร์มีสถานะเปิดทำงานและปิด ตามการทำงานตามสวิตช์เมื่อกดสวิตช์ไมโครคอนโทรลเลอร์จะหยุดทำงาน และเมื่อไม่กดสวิตช์ไมโครคอนโทรลเลอร์จะทำงาน



รูปที่ 4.1Poweronreset

Crystal Oscillator

ทำให้ไมโครคอนโทรลเลอร์มีสัญญาณนาฬิกา เพื่อใช้ในการทำงานในโหมดการทำงาน SPI

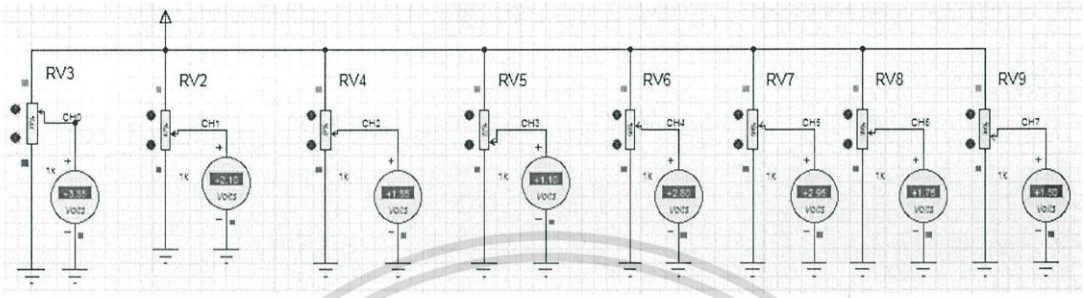


รูปที่ 4.2 Crystal Oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Transformer

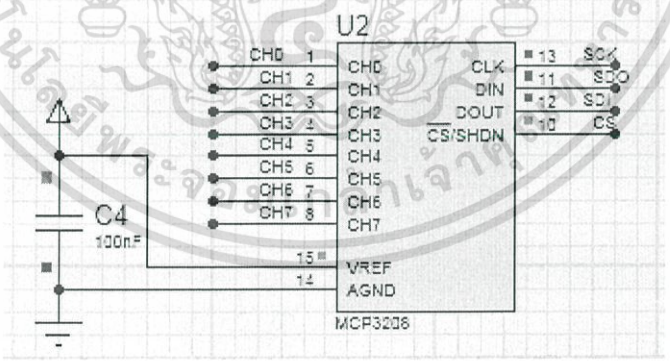
ใช้หม้อแปลงกระแสเป็นตัววัดความต่างศักย์และกระแสแต่ไม่มีในโปรแกรม Proteus 8 Prefessionalจึงใช้เป็น ตัวต้านทานปรับค่าได้แทน



รูปที่ 4.3 Current Transformer

8-Channel 12-bit Analog to Digital Converter with SPI

มีการส่งข้อมูลแบบ SPI ค่าที่ได้รับจากหม้อแปลงกระแสเป็นค่าอนาลอกและแปลงสัญญาณจากค่าอนาลอกเป็นดิจิตอล เพื่อส่งไปยังไมโครคอนโทรลเลอร์ต่อไป

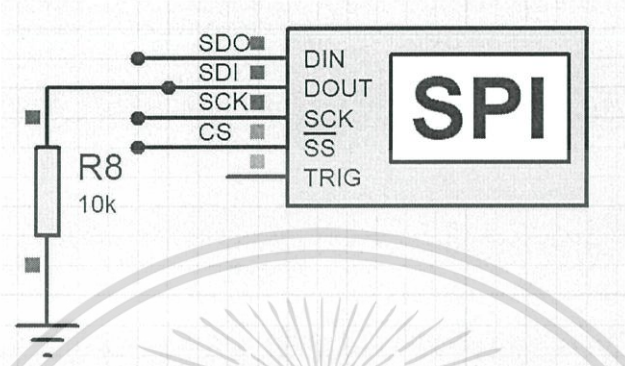


รูปที่ 4.48-Channel 12-bit Analog to Digital Converter with SPI

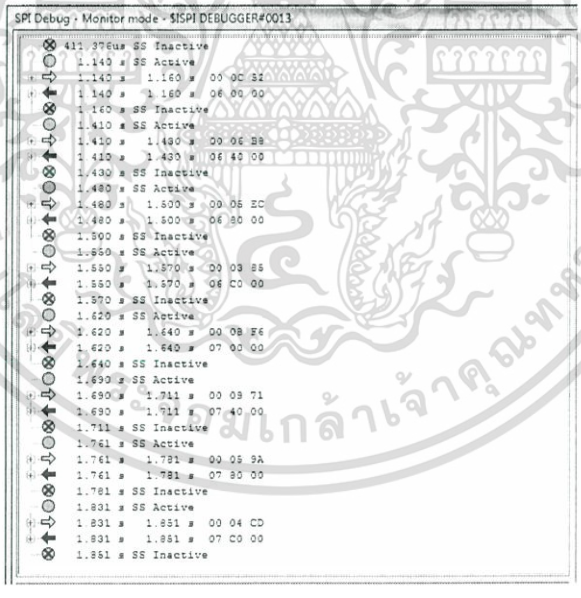
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPI Debugger

การตรวจสอบความถูกต้องสำหรับข้อมูลที่ส่งข้อมูลและรับข้อมูล



รูปที่ 4.5 SPI Debugger

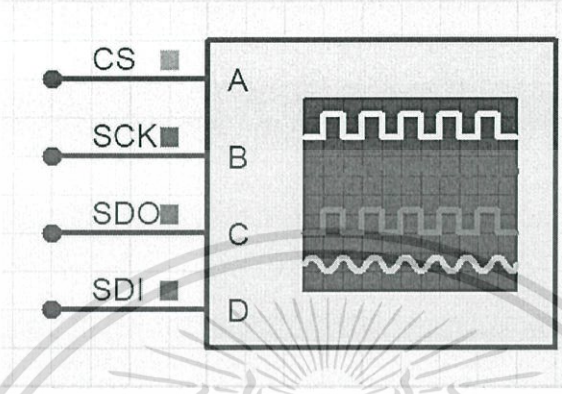


รูปที่4.6ข้อมูลการส่งและรับของ SPI Channel 0 - 7

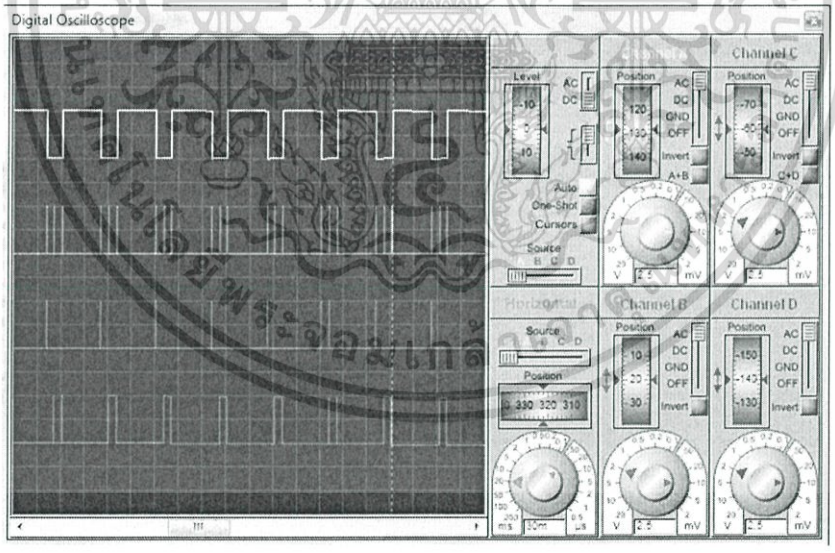
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Oscilloscope

การตรวจสอบสัญญาณของ Chip Select (CS), Serial Clock (SCK),Serial Data Input (Din) และ Serial Data-Output (SDO)



รูปที่4.7 Oscilloscope

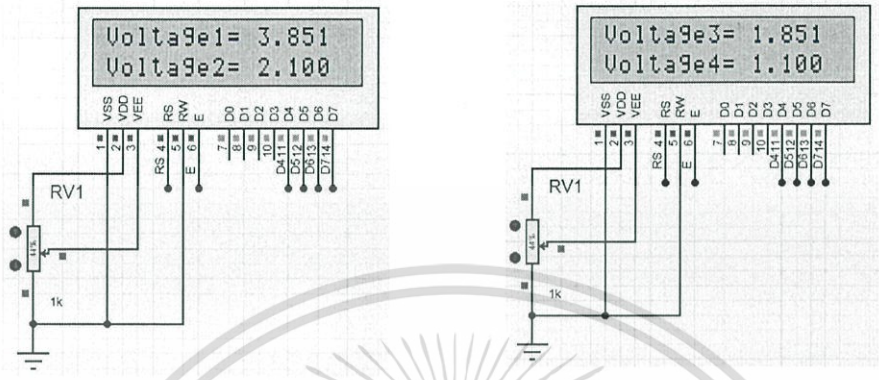


รูปที่ 4.8การส่งและรับข้อมูลตั้งแต่Channel 0–7แกน x เวลา (30ms/DIV)แกน y แรงดันไฟฟ้า (5V/DIV)

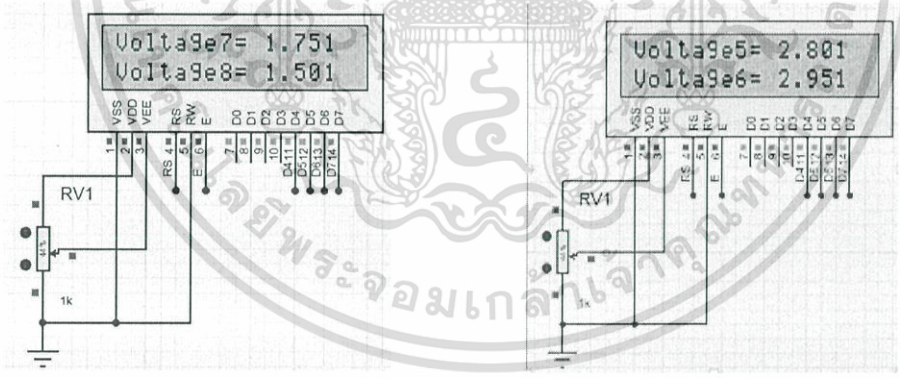
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแสดงผลบนจอ LCD Module ที่ Channel 0 – Channel 7

สามารถแสดงผลได้อย่างถูกต้องเมื่อเปรียบเทียบกับการใช้ Volt Meter ในการวัดบนหม้อแปลงกระแสในรูปที่ 4.3



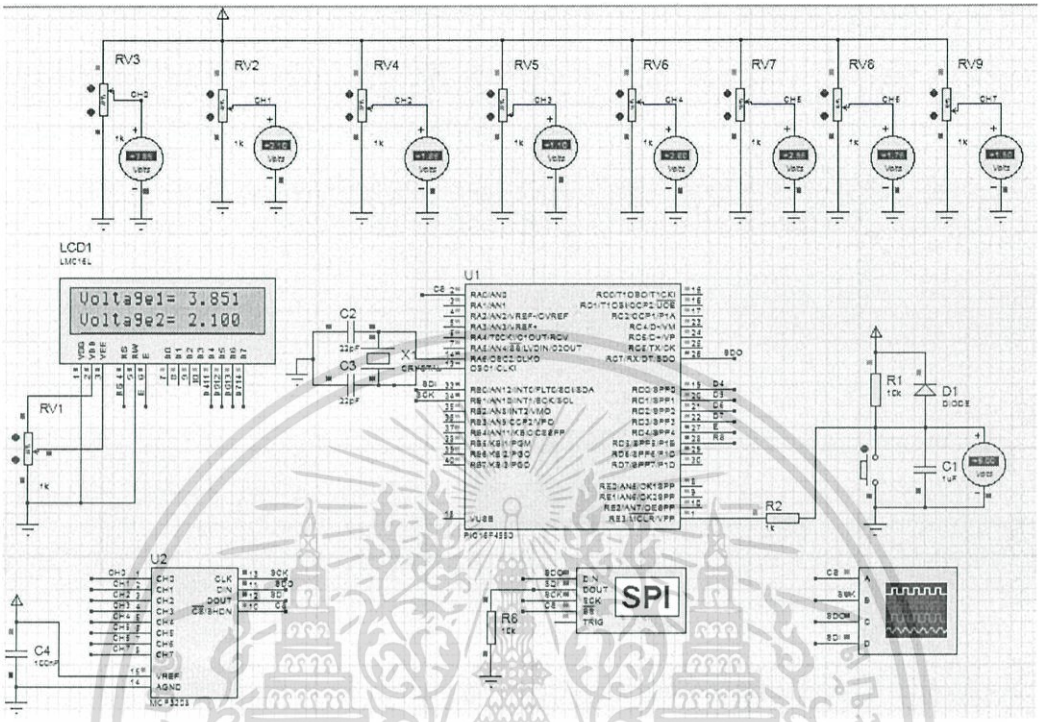
รูปที่ 4.9-4.10รูปแสดงผล simulation บนจอ LCD module



รูปที่ 4.11-4.12 รูปแสดงผล simulation บนจอ LCD module

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

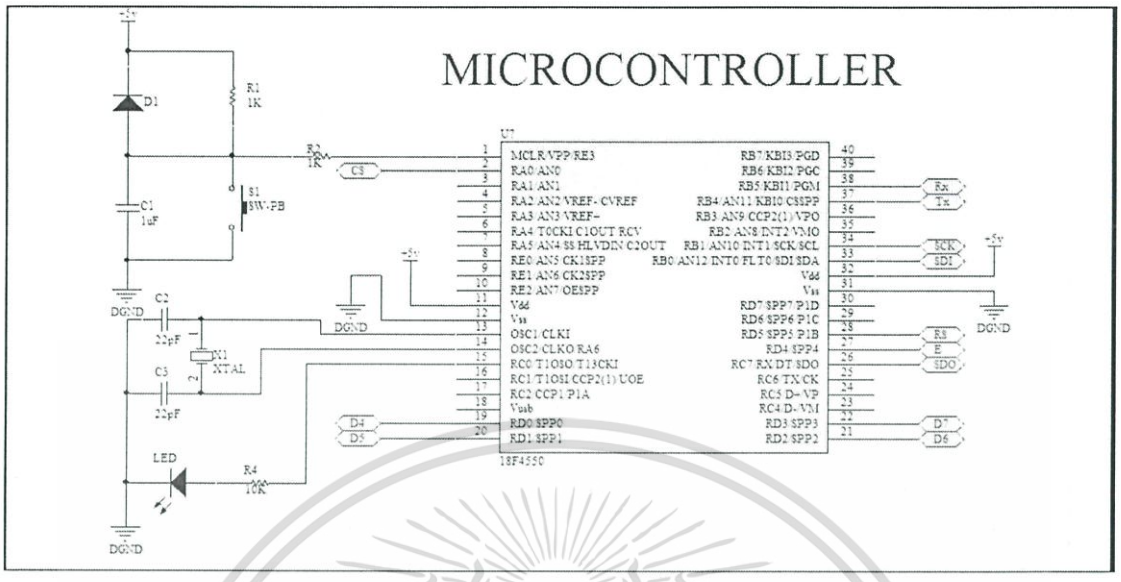
วงจรทั้งหมดในการใช้ Simulation ในโปรแกรม Proteus 8 Prefessional



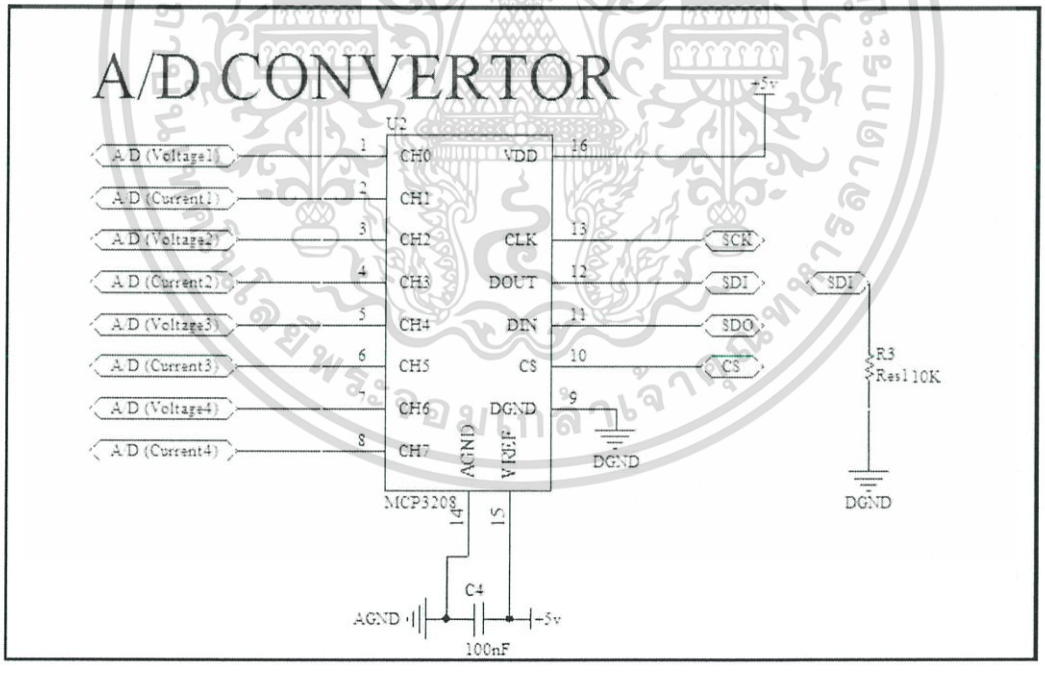
รูปที่ 4.13วงจร Simulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Hardware

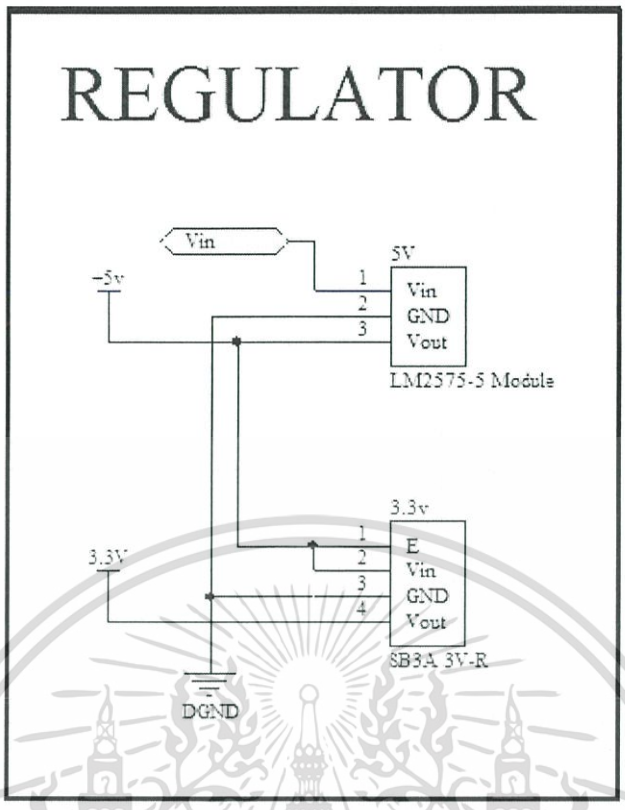


รูปที่ 4.14 วงจร Microcontroller

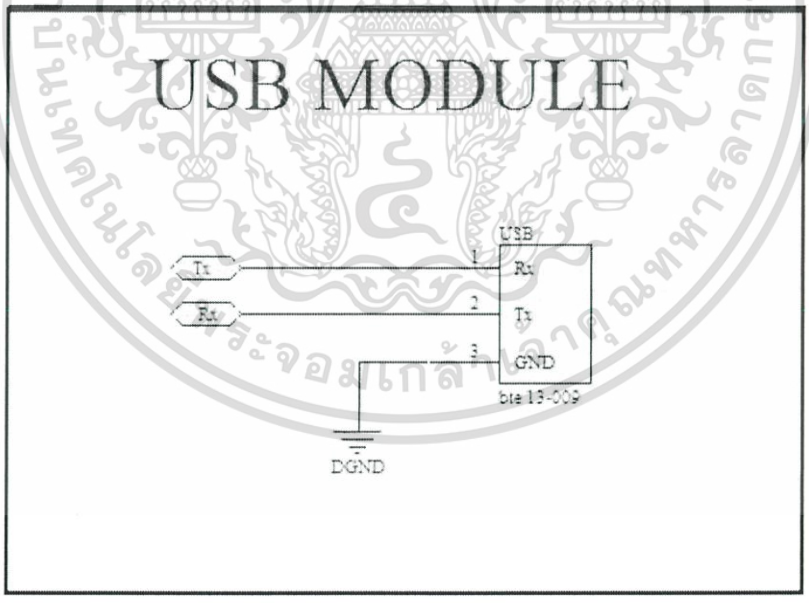


รูปที่ 4.15 วงจร A/D Convertor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

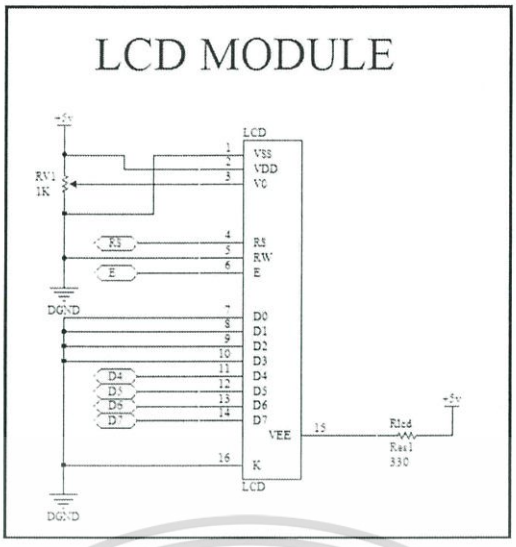


รูปที่ 4.16 วงจร Regulator

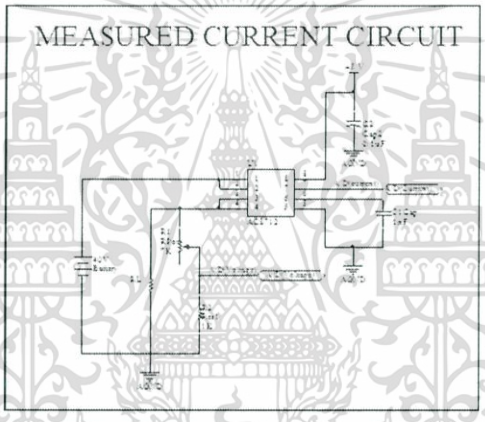


รูปที่ 4.17 วงจรUSB Module

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 วงจร LCD Module



รูปที่ 4.19 วงจร Measured Current

ขั้นตอนการวัดผล

1. ต่อไฟจากแหล่งจ่าย Power Supply ให้กับไมโครคอนโทรลเลอร์เพื่อให้ทำงาน

2. ต่อแหล่งจ่ายไฟเข้ากับส่วนของ Measured Current(การต่อแหล่งจ่ายไฟจากPower Subpplyเพื่อจำลองแทน Solar cell เข้ากับวงจร)โดยใช้ Volt meter ต่อขนานกับ แหล่งจ่ายไฟ และ Amp meter ต่ออนุกรมกับแหล่งจ่ายไฟ

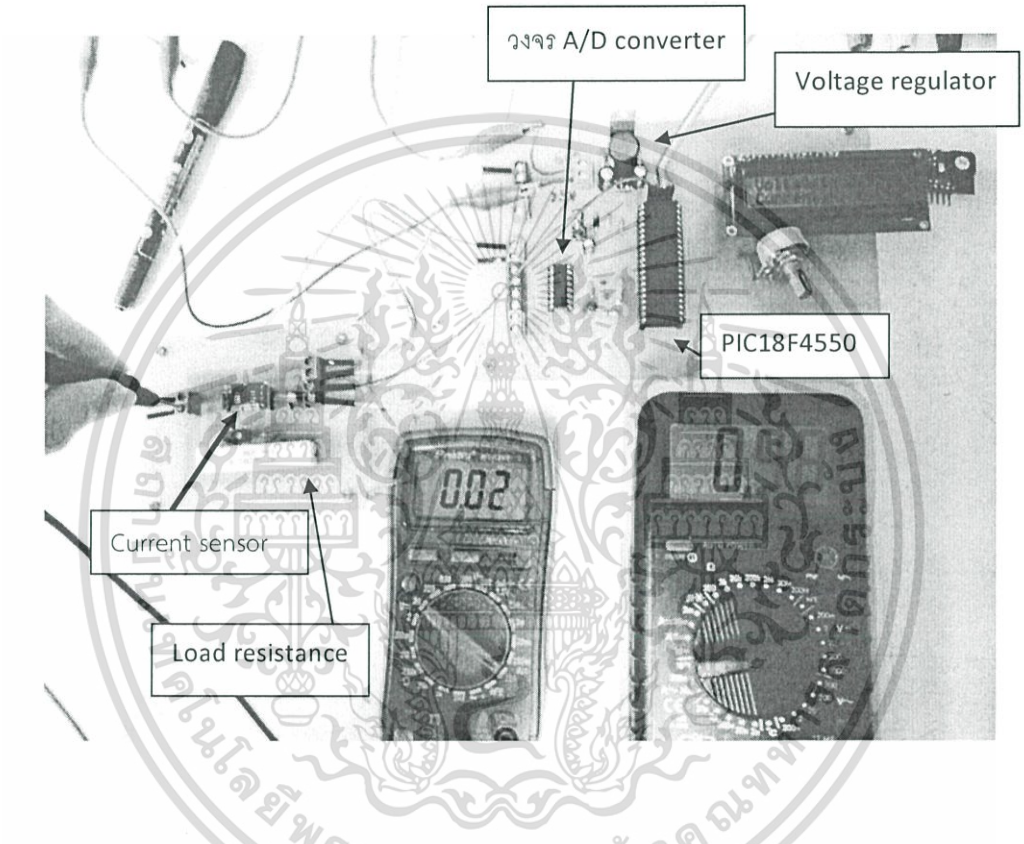
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ปรับค่าแรงดันจากแหล่งจ่ายไฟเป็นค่าต่าง ๆ ตามที่ผู้จัดทำได้กำหนดไว้

4. เปรียบเทียบค่าที่อ่านได้จากมิเตอร์ กับที่แสดงบนจอ LCD

5. จากนั้นทำการเพิ่มบอร์ด ในส่วนของวงจร Measured Currentเป็น 2 ,3และ 4 บอร์ด ตามลำดับ

6. บันทึกผลลงในตารางการทดลอง



รูปที่ 4.20 แสดงขั้นตอนการวัดผลโดยใช้แหล่งจ่ายไฟจาก Power Supply เพื่อจำลองแทน Solar Cell โดยการป้อนแรงดัน Input ค่าต่าง ๆ เข้าไปที่ connector ในส่วนของวงจรวัดกระแส ทางด้านซ้ายมือ เชื่อมต่อกับวงจรด้านขวามือซึ่งทำการประมาณผล และต่อกับ A/D เพื่อแปลงสัญญาณอนาลอกเป็นดิจิตอล ส่งสัญญาณไปยังไมโครคอนโทรลเลอร์ PIC18F4550 เพื่อประมวลผลและแสดงผล บนจอ LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

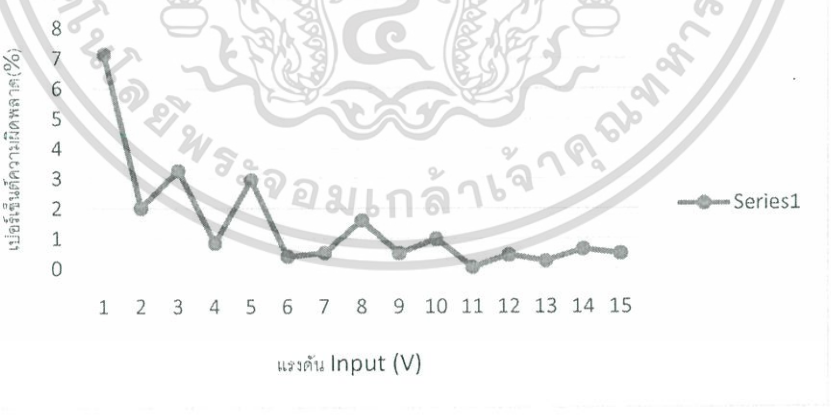
ตารางที่ 4.1 บันทึกผลการทดลองในส่วนของการวัดค่าแรงดัน

แรงดัน Input (V)	ค่าตามทฤษฎี		ค่าที่วัดได้		เปอร์เซ็นต์ความผิดพลาด(%)	
	V (V)	I (A)	V (V)	I (A)	V	I
1.01	8.08	-8.054	8.246	-7.942	2.054	-1.391
2.03	16.24	-2.541	16.366	-2.28	0.776	-10.255
2.1	16.8	-2.162	16.94	-2.014	0.833	-6.852
2.2	17.6	-1.622	17.738	-1.501	0.784	-7.438
2.3	18.4	-1.081	18.634	-0.95	1.272	-12.125
2.39	19.12	-0.595	19.166	-0.532	0.241	-10.527
2.48	19.84	-0.108	19.936	0.000	0.484	-100.000
2.51	20.08	0.054	20.188	0.095	0.538	75.750
2.52	20.16	0.108	20.314	0.171	0.764	58.175
2.53	20.24	0.162	20.454	0.190	1.057	17.167
2.54	20.32	0.216	20.468	0.247	0.728	14.238
2.55	20.4	0.270	20.608	0.304	1.02	12.480
2.56	20.48	0.324	20.608	0.361	0.625	11.308
2.57	20.56	0.378	20.636	0.437	0.370	15.493
2.58	20.64	0.432	20.776	0.608	0.659	40.600
2.59	20.72	0.486	20.888	0.665	0.811	36.694
3.03	24.24	2.864	24.682	3.154	1.823	10.092
4.02	32.16	8.216	32.690	8.512	1.648	3.600
5.02	40.16	13.621	39.998	13.509	-0.403	-0.827
6.04	48.32	19.135	39.998	13.509	-17.223	-29.402

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 แสดงผลการทดลองโดยใช้ RL 33 โอมห์10 วัตต์ ต่อกับแหล่งจ่ายไฟฟ้า 1 กลุ่ม

แรงดัน Input (V)	ค่าแรงดันที่วัดได้		เปอร์เซ็นต์ความผิดพลาด(%)
	Volt meter	จอLCD	
1.01	1.01	0.938	7.129
1.99	1.99	2.030	2.010
3.01	3.01	3.108	3.256
4.01	4.01	3.976	0.848
5.02	5.02	4.872	2.948
6.03	6.03	6.006	0.398
6.98	6.98	6.944	0.516
8.01	8.01	7.882	1.598
9.02	9.02	8.974	0.510
10.01	10.01	9.912	0.979
10.98	10.98	10.976	0.036
12.01	12.01	11.956	0.450
13.01	13.01	12.978	0.246
14.02	14.02	13.930	0.642
14.99	14.99	15.064	0.494

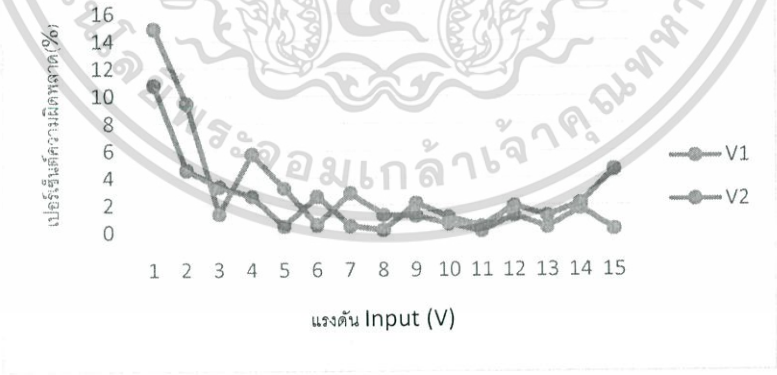


รูปที่ 4.21 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%) ของแหล่งจ่ายไฟฟ้า 1 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 แสดงผลการทดลองโดยใช้ RL 33 โอมห์10 วัตต์ ต่อกับแหล่งจ่ายไฟฟ้า 1 กลุ่ม

แรงดัน Input (V)	ค่ากระแสที่วัดได้		เปอร์เซ็นต์ความผิดพลาด(%)
	Amp Meter	จอLCD	
1.01	0.02	0.000	100.000
1.99	0.05	0.038	2.010
3.01	0.08	0.076	-5.000
4.01	0.11	0.095	0.848
5.02	0.14	0.095	32.143
6.03	0.17	0.152	0.398
6.98	0.2	0.152	24.000
8.01	0.23	0.152	1.598
9.02	0.26	0.190	26.923
10.01	0.29	0.190	0.979
10.98	0.32	0.247	22.813
12.01	0.35	0.342	0.450
13.01	0.38	0.342	10.000
14.02	0.41	0.361	0.642
14.99	0.44	0.399	9.318



รูปที่ 4.22 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%)

ของแหล่งจ่ายไฟฟ้า 1 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 แสดงผลการทดลองโดยใช้ RL 33 โอมห์10 วัตต์ ต่อกับแหล่งจ่ายไฟฟ้า 2 กลุ่ม

แรงดัน Input (V)	ค่าแรงดันที่วัดได้ (V)			เปอร์เซ็นต์ความผิดพลาด(%)	
	Volt meter	จอLCD			
		V_1	V_2	V_1	V_2
1.02	1.02	0.868	0.91	14.902	10.784
2.01	2.01	1.820	1.918	9.453	4.577
2.98	2.98	2.940	3.080	1.342	3.356
4.01	4.01	3.780	4.116	5.736	2.643
5.02	5.02	4.858	4.998	3.227	0.438
6.01	6.01	5.978	5.852	0.532	2.629
6.99	6.99	6.790	6.958	2.861	0.458
8.01	8.01	7.910	8.022	1.248	0.150
9.01	9.01	8.904	8.820	1.176	2.109
9.98	9.98	10.038	9.870	0.581	1.102
11.01	11.01	11.018	10.962	0.073	0.436
12.02	12.02	11.872	11.788	1.231	1.930
13.01	13.01	12.964	12.852	0.354	1.214
14.02	14.02	13.776	13.720	1.740	2.140
15.02	15.02	15.05	15.708	0.200	4.581

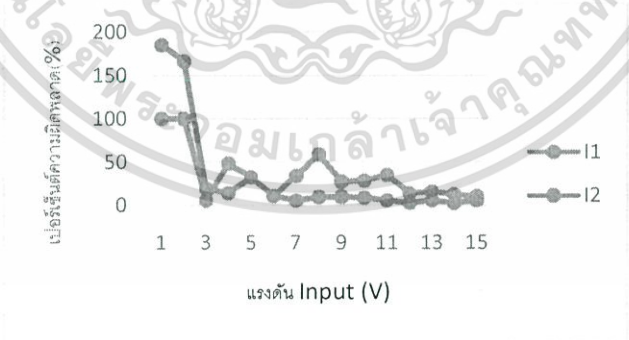
รูปที่ 4.23 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%)

ของแหล่งจ่ายไฟฟ้า 2 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.5 แสดงผลการทดลองโดยใช้ RL 33 โอมห์10 วัตต์ ต่อกับแหล่งจ่ายไฟฟ้า 2 กลุ่ม

แรงดัน Input (V)	ค่ากระแสที่วัดได้ (A)			เปอร์เซ็นต์ความผิดพลาด(%)	
	Amp Meter	จอ LCD			
		I_1	I_2	I_1	I_2
1.02	0.02	0.000	0.057	100.000	185.000
2.01	0.05	0.000	0.133	100.000	166.000
2.98	0.08	0.076	0.095	5.000	18.750
4.01	0.11	0.057	0.095	48.182	13.636
5.02	0.14	0.095	0.095	32.143	32.143
6.01	0.17	0.152	0.152	10.588	10.588
6.99	0.2	0.133	0.190	33.500	5.000
8.01	0.23	0.095	0.209	58.696	9.130
9.01	0.26	0.190	0.285	26.923	9.615
9.98	0.29	0.209	0.266	27.931	8.276
11.01	0.32	0.209	0.304	34.688	5.000
12.02	0.35	0.304	0.342	13.143	2.286
13.01	0.38	0.323	0.399	15.000	5.000
14.02	0.41	0.361	0.418	11.951	1.951
15.02	0.44	0.399	0.418	9.318	5.000

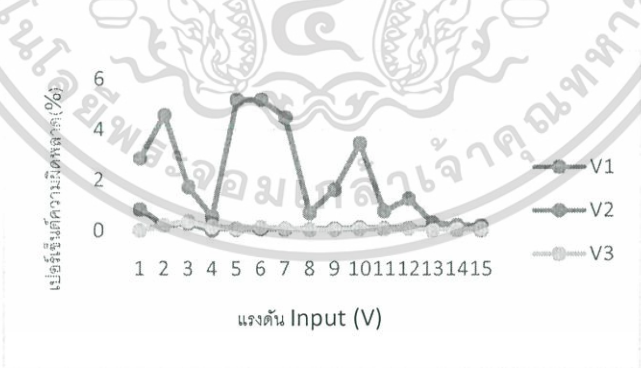


รูปที่ 4.24 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%) ของแหล่งจ่ายไฟฟ้า 2 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.6 แสดงผลการทดลองวัดค่าแรงดันโดยใช้RL 33 โอมห์10 วัตต์ ต่อกับแหล่งจ่ายไฟฟ้า 3กลุ่ม

แรงดัน Input (V)	ค่าแรงดันที่วัดได้ (V)				เปอร์เซ็นต์ความผิดพลาด(%)		
	Volt meter	จอLCD					
		V_1	V_2	V_3	V_1	V_2	V_3
0.98	0.98	1.008	0.952	0.980	2.857	0.833	0.000
2.01	2.01	1.918	1.876	1.806	4.577	0.213	0.221
3.02	3.02	2.968	2.772	2.800	1.722	0.288	0.356
4.01	4.01	4.032	3.710	3.794	0.549	0.000	0.158
5.02	5.02	4.760	4.928	4.676	5.179	0.041	0.085
6.01	6.01	5.698	5.726	5.922	5.191	0.070	0.135
7.02	7.02	6.706	6.916	6.874	4.473	0.058	0.087
7.98	7.98	8.036	7.686	8.008	0.702	0.052	0.025
9.01	9.01	9.156	9.044	8.778	1.620	0.066	0.023
10.02	10.02	9.674	9.240	9.674	3.453	0.108	0.062
11.02	11.02	10.934	10.920	10.934	0.780	0.091	0.055
12.01	12.01	11.858	11.858	11.578	1.266	0.101	0.104
12.99	12.99	12.950	12.852	12.670	0.308	0.062	0.000
14.01	14.01	14.042	13.776	13.706	0.228	0.029	0.029
15.02	15.02	15.050	14.448	15.050	0.200	0.014	0.066



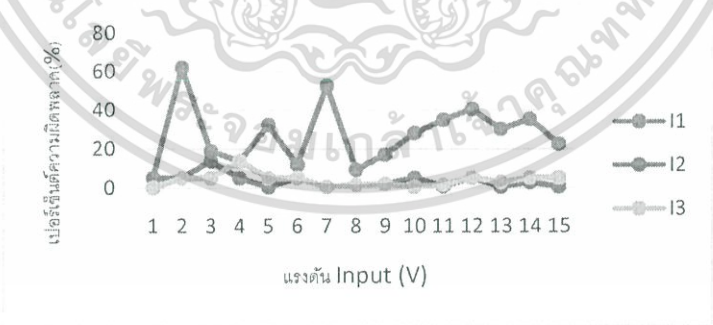
รูปที่ 4.25 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%)

ของแหล่งจ่ายไฟฟ้า 3 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.7 แสดงผลการทดลองวัดค่ากระแสโดยใช้ RL 33 โอมห์10 วัตต์ ต่อกับแหล่งจ่ายไฟฟ้า 3กลุ่ม

แรงดัน Input (V)	ค่ากระแสที่วัดได้ (A)				เปอร์เซ็นต์ความผิดพลาด(%)		
	Amp Meter	จอ LCD					
		I_1	I_2	I_3	I_1	I_2	I_3
0.98	0.02	0.019	0.057	0.000	5.000	5.000	หาค่าไม่ได้
2.01	0.05	0.019	0.190	0.190	62.000	5.000	5.000
3.02	0.08	0.095	0.095	0.095	18.750	13.636	5.000
4.01	0.11	0.095	0.095	0.095	13.636	5.000	13.636
5.02	0.14	0.095	0.209	0.095	32.143	0.476	5.000
6.01	0.17	0.19	0.152	0.190	11.765	5.000	5.000
7.02	0.2	0.095	0.209	0.209	52.500	0.476	0.476
7.98	0.23	0.209	0.266	0.266	9.130	1.481	1.481
9.01	0.26	0.304	0.304	0.304	16.923	1.935	1.935
10.02	0.29	0.209	0.342	0.209	27.931	5.000	0.476
11.02	0.32	0.209	0.228	0.266	34.688	0.870	1.481
12.01	0.35	0.209	0.304	0.304	40.286	5.000	5.000
12.99	0.38	0.266	0.209	0.399	30.000	0.476	2.683
14.01	0.41	0.266	0.399	0.304	35.122	2.683	5.000
15.02	0.44	0.342	0.418	0.304	22.273	0.476	5.000



รูปที่ 4.26 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%)

ของแหล่งจ่ายไฟฟ้า 3 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.8 แสดงผลการทดลองวัดค่าแรงดันโดยใช้ RL 33 โอมห์10 วัตต์ ต่อกับแหล่งจ่ายไฟฟ้า 4กลุ่ม

แรงดัน Input (V)	ค่าแรงดันที่วัดได้ (V)					เปอร์เซ็นต์ความผิดพลาด(%)			
	Volt meter	จอLCD							
		V_1	V_2	V_3	V_4	V_1	V_2	V_3	V_4
0.99	0.99	0.924	0.980	0.742	1.463	0.645	1.01	20.215	49.286
2.01	2.01	1.918	1.946	1.960	2.641	0.104	3.184	2.083	35.436
3.02	3.02	2.800	2.800	3.038	4.161	0.356	7.285	8.114	48.607
4.01	4.01	3.99	3.752	3.738	5.301	0.000	6.434	6.316	40.984
4.98	4.98	4.760	4.956	4.998	6.669	0.000	0.482	5.000	34.456
6.01	6.01	5.768	5.698	5.880	8.056	0.035	5.191	1.906	41.333
7.01	7.01	7.154	6.748	6.706	9.120	0.084	3.738	6.341	35.111
7.99	7.99	7.728	7.644	7.868	10.374	0.026	4.330	1.785	35.608
9.02	9.02	8.694	8.652	9.044	11.647	0.069	4.08	3.954	34.492
10.01	10.01	9.702	9.590	9.590	13.319	0.082	4.196	1.236	38.74
11.02	11.02	10.934	10.920	10.920	14.839	0.055	0.907	0.183	35.764
12.01	12.01	11.844	12.082	12.488	15.808	0.051	0.600	5.384	30.753
13.02	13.02	12.558	12.810	13.006	17.537	0.095	1.613	3.469	36.794
14.01	14.01	14.056	13.706	13.706	18.924	0.028	2.170	2.518	38.031
15	15	14.434	14.406	14.840	19.513	0.090	3.960	2.720	35.413

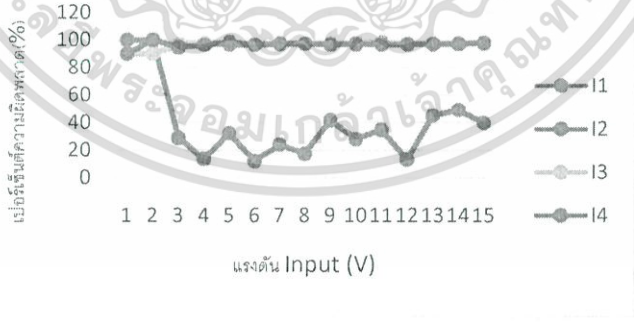
รูปที่ 4.27 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%)

ของแหล่งจ่ายไฟฟ้า 4 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.9 แสดงผลการทดลองวัดค่ากระแสโดยใช้ RL 33 โอมห์10 วัตต์ ต่อกับแหล่งจ่ายไฟฟ้า 4กลุ่ม

แรงดัน Input (V)	ค่ากระแสที่วัดได้ (A)					เปอร์เซ็นต์ความผิดพลาด(%)			
	Amp Meter	จอ LCD							
		I_1	I_2	I_3	I_4	I_1	I_2	I_3	I_4
0.99	0.02	0.000	0.095	0.095	0.095	100.000	89.785	89.785	89.785
2.01	0.05	0.000	0.190	0.190	0.000	100.000	90.104	90.104	100.000
3.02	0.08	0.057	0.095	0.095	0.152	28.750	96.619	96.619	94.591
4.01	0.11	0.095	0.095	0.095	0.152	13.636	97.619	97.619	96.190
4.98	0.14	0.095	0.152	0.095	0.076	32.143	96.807	98.004	98.403
6.01	0.17	0.190	0.209	0.190	0.209	11.765	96.378	96.707	96.378
7.01	0.2	0.152	0.209	0.152	0.209	24.000	97.081	97.877	97.081
7.99	0.23	0.190	0.209	0.209	0.209	17.391	97.296	97.296	97.296
9.02	0.26	0.152	0.209	0.209	0.304	41.538	97.598	97.598	96.506
10.01	0.29	0.209	0.304	0.209	0.285	27.931	96.869	97.848	97.065
11.02	0.32	0.209	0.209	0.304	0.361	34.688	98.09	97.221	96.700
12.01	0.35	0.304	0.361	0.323	0.399	13.143	96.954	97.274	96.633
13.02	0.38	0.209	0.304	0.304	0.399	45.000	97.582	97.582	96.826
14.01	0.41	0.209	0.304	0.304	0.399	49.024	97.838	97.838	97.162
15	0.44	0.266	0.323	0.399	0.304	39.545	97.764	97.238	97.896



รูปที่ 4.28 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน Input (V) กับเปอร์เซ็นต์ความผิดพลาด(%) ของแหล่งจ่ายไฟฟ้า 4 กลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการวิจัยและข้อเสนอแนะ

5.1 สรุปผลการวิจัย

จากการทดลองที่ผู้จัดทำได้เขียนโปรแกรมโดยใช้MPLAB X IDE และจำลองวงจรลงบนโปรแกรม Proteus 8 professional พบว่า โปรแกรมที่เขียนนั้นสามารถควบคุมการวัดค่าแรงดันได้ 0-40 V ใช้งานทั้งหมด 8 ช่องสัญญาณ ในส่วนของ Current Sensor ACS712 ผลการทดลองแสดงค่าออกมาเป็นไปตามกราฟในเอกสารข้อมูลของอุปกรณ์ที่ใช้ และสามารถแสดงผลบนจอ LCD Module ได้ตามค่าแรงดัน ค่ากระแสไฟฟ้าที่เปลี่ยนไป นอกจากนี้ยังสามารถส่งข้อมูลจากไมโครคอนโทรลเลอร์ไปยังคอมพิวเตอร์เครื่องหลักได้โดยใช้ USB340G

เมื่อทำการทดลองโดยใช้อุปกรณ์จริง พบว่า ค่าแรงดันไฟฟ้าที่แสงบนจอ LCD ค่อนข้างคงที่ เมื่อเปรียบเทียบกับอุปกรณ์การวัด ส่วนค่ากระแสไฟฟ้าคลาดเคลื่อนไปจากเดิมมากเมื่อมีการเพิ่มแหล่งจ่ายไฟฟ้าในการวัด เนื่องจากเมื่อป้อนแรงดันไฟฟ้าเข้าไปที่บอร์ดวงจร มีการแบ่งแรงดันไปใช้ในหลาย ๆ ส่วน ทำให้ค่าที่ได้ไม่คงที่เท่าที่ควรจะเป็น จึงทำให้เกิดความคลาดเคลื่อน ในการประยุกต์ใช้สามารถนำวงจรไปใช้ในโซลาร์ฟาร์ม เพื่อใช้ในการวัดค่ากระแส และแรงดันของโซลาร์เซลล์แต่ละแผ่น

5.2 วิจารณ์ผลการวิจัย

5.2.1 การออกแบบวงจรและการเลือกใช้อุปกรณ์ควรที่จะศึกษาคุณสมบัติต่างๆของอุปกรณ์นั้นๆ จาก data sheet ให้ดีเสียก่อน

5.2.1.1 การต่อตัวต้านทานในวงจรPower on resetตัวต้านทานที่ต่อกับพอร์ท MCLR/Vpp ควรจะมีค่าไม่เกิน 10kohm แต่ผู้จัดทำได้ใส่ค่า 12 kohm ทำให้การทำงานของไมโครคอนโทรลเลอร์มีสถานะหยุดทำงาน

5.2.1.2 การต่อตัวต้านทานกับ Dout ของอุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอล ผู้จัดทำไม่ได้ต่อตัวต้านทานไปทำให้ค่าที่อุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอลส่งไปยังไมโครคอนโทรลเลอร์มีค่าสถานะ High impedance ทำให้ไม่ทราบว่ามีสถานะเป็น 0 หรือ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 การเลือกใช้อุปกรณ์ต้องคำนึงถึงราคา จำนวนและประสิทธิภาพการทำงานของอุปกรณ์ ทำให้มีข้อจำกัดในการเลือกใช้

5.2.3 การเลือกใช้อุปกรณ์ต้องคำนึงถึงว่ามีอุปกรณ์ในโปรแกรม Proteus8 Professional

5.2.4 ในการเขียนโปรแกรมต้องศึกษาการใช้โปรแกรม และการเลือกใช้รูปแบบในการเขียนซึ่งผู้จัดทำต้องใช้ระยะเวลาในการศึกษาข้อมูลนาน ทำให้งานล่าช้าในส่วนของโปรแกรม

5.2.5 วงจรรักษาระดับแรงดันของวงจรเป็นแบบสวิชชิ่ง ทำให้ระดับแรงดันไม่คงที่ จะมีผลกับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ทำให้ค่าไม่ได้ตรงตามทฤษฎี

5.2.6 เมื่อมีการต่อวงจรวัดกระแสเป็นจำนวนมากขึ้น ทำให้ไฟเลี้ยงเซนเซอร์วัดกระแสมีค่าลดลงทำให้ผลศักย์ไฟฟ้าของเซนเซอร์มีค่าลดลง ทำให้ค่าประมวลผลของกระแสมีค่าลดลงด้วยเช่นกัน

5.2.7 ไมโครคอนโทรลเลอร์บางครั้งมีการส่งข้อมูลที่ผิดพลาดทำให้แสดงผลบนจอ LCDเป็นตัวอักษรผิดเพี้ยนไปจากเดิม

5.3 ข้อเสนอแนะ

5.3.1 ควรจะมีแหล่งจ่ายไฟฟ้าแยกในแต่ละส่วนเพื่อให้ไฟเลี้ยงคงที่

5.3.2 ควรใช้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่มีค่าบิตมากกว่านี้ ทำให้เกิดความคลาดเคลื่อนน้อยกว่า

5.3.3 ควรเพิ่มส่วนที่เป็นการส่งข้อมูลแบบไร้สาย เพื่อสะดวกในการติดต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] https://learn.sparkfun.com/tutorials/serial-peripheral-interface-spi

[2] http://ww1.microchip.com/downloads/en/devicedoc/spi.pdf

[3] ww1.microchip.com/downloads/en/devicedoc/39632c.pdf

[4] ww1.microchip.com/downloads/en/DeviceDoc/21298c.pdf

[5] http://www.premiumsolarcell.com/solarcell.php

[6] http://www3.egat.co.th/re/solarcell/solarcell.htm

[7] http://www.charninenergy.com/pdf/solar_cell.pdf

[8] http://www.microchip.com/pagehandler/en-us/family/mplabx/

[9] https://www.youtube.com/watch?v=nmK-FP19DmY

[10] http://www.studentcompanion.co.za/post/PIC-Microcontroller-Communication-with-SPI-Bus-XC8

[11] ชินภัทร นันทจิวากรชัย , อาจารย์ประจำภาควิชา วิศวกรรมอิเล็กทรอนิกส์ "เอกสารประกอบการเรียนวิชา Microcontroller"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2455/2550/4455/4550 Data Sheet

28/40/44-Pin High-Performance, Enhanced Flash USB Microcontrollers with nanoWatt Technology

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note the following details of the code protection feature on Microchip devices:

- Microchip products meet the specification contained in their particular Microchip Data Sheet.
- Microchip believes that its family of products is one of the most secure families of its kind on the market today, when used in the intended manner and under normal conditions.
- There are dishonest and possibly illegal methods used to breach the code protection feature. All of these methods, to our knowledge, require using the Microchip products in a manner outside the operating specifications contained in Microchip's Data Sheets. Most likely, the person doing so is engaged in theft of intellectual property.
- Microchip is willing to work with the customer who is concerned about the integrity of their code.
- Neither Microchip nor any other semiconductor manufacturer can guarantee the security of their code. Code protection does not mean that we are guaranteeing the product as "unbreakable."

Code protection is constantly evolving. We at Microchip are committed to continuously improving the code protection features of our products. Attempts to break Microchip's code protection feature may be a violation of the Digital Millennium Copyright Act. If such acts allow unauthorized access to your software or other copyrighted work, you may have a right to sue for relief under that Act.

Information contained in this publication regarding device applications and the like is provided only for your convenience and may be superseded by updates. It is your responsibility to ensure that your application meets with your specifications. MICROCHIP MAKES NO REPRESENTATIONS OR WARRANTIES OF ANY KIND WHETHER EXPRESS OR IMPLIED, WRITTEN OR ORAL, STATUTORY OR OTHERWISE, RELATED TO THE INFORMATION, INCLUDING BUT NOT LIMITED TO ITS CONDITION, QUALITY, PERFORMANCE, MERCHANTABILITY OR FITNESS FOR PURPOSE. Microchip disclaims all liability arising from this information and its use. Use of Microchip's products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any Microchip intellectual property rights.

Trademarks

The Microchip name and logo, the Microchip logo, Accuron, dsPIC, KEELOQ, microID, MPLAB, PIC, PICmicro, PICSTART, PRO MATE, PowerSmart, rfPIC, and SmartShunt are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

AmpLab, FilterLab, Migratable Memory, MXDEV, MXLAB, PICMASTER, SEEVAL, SmartSensor and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A.

Analog-for-the-Digital Age, Application Maestro, dsPICDEM, dsPICDEM.net, dsPICworks, ECAN, ECONOMONITOR, FanSense, FlexROM, fuzzyLAB, In-Circuit Serial Programming, ICSP, ICEPIC, MPASM, MPLIB, MPLINK, MPSIM, PICkit, PICDEM, PICDEM.net, PICLAB, PICtail, PowerCal, PowerInfo, PowerMate, PowerTool, rfLAB, rfPICDEM, Select Mode, Smart Serial, SmartTel and Total Endurance are trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

SQTP is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

© 2004, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

Printed on recycled paper.

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
ISO/TS 16949:2002

Microchip received ISO/TS-16949:2002 quality system certification for its worldwide headquarters, design and wafer fabrication facilities in Chandler and Tempe, Arizona and Mountain View, California in October 2003. The Company's quality system processes and procedures are for its PICmicro® 8-bit MCUs, KEELOQ® code hopping devices, Serial EEPROMs, microperipherals, nonvolatile memory and analog products. In addition, Microchip's quality system for the design and manufacture of development systems is ISO 9001:2000 certified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MICROCHIP PIC18F2455/2550/4455/4550

28/40/44-Pin High-Performance, Enhanced Flash USB Microcontrollers with nanoWatt Technology

Universal Serial Bus Features:

- USB V2.0 Compliant
- Low Speed (1.5 Mb/s) and Full Speed (12 Mb/s)
- Supports Control, Interrupt, Isochronous and Bulk Transfers
- Supports up to 32 endpoints (16 bidirectional)
- 1-Kbyte dual access RAM for USB
- On-chip USB transceiver with on-chip voltage regulator
- Interface for off-chip USB transceiver
- Streaming Parallel Port (SPP) for USB streaming transfers (40/44-pin devices only)

Power-Managed Modes:

- Run: CPU on, peripherals on
- Idle: CPU off, peripherals on
- Sleep: CPU off, peripherals off
- Idle mode currents down to 5.8 µA typical
- Sleep mode currents down to 0.1 µA typical
- Timer1 oscillator: 1.1 µA typical, 32 kHz, 2V
- Watchdog Timer: 2.1 µA typical
- Two-Speed Oscillator Start-up

Flexible Oscillator Structure:

- Four Crystal modes including High Precision PLL for USB
- Two External Clock modes, up to 48 MHz
- Internal oscillator block:
  - 8 user-selectable frequencies, from 31 kHz to 8 MHz
  - User-tunable to compensate for frequency drift
- Secondary oscillator using Timer1 @ 32 kHz
- Dual oscillator options allow microcontroller and USB module to run at different clock speeds
- Fail-Safe Clock Monitor
  - Allows for safe shutdown if any clock stops

Peripheral Highlights:

- High-current sink/source 25 mA/25 mA
- Three external interrupts
- Four Timer modules (Timer0 to Timer3)
- Up to 2 Capture/Compare/PWM (CCP) modules:
  - Capture is 16-bit, max. resolution 6.25 ns (TCY/16)
  - Compare is 16-bit, max. resolution 100 ns (TCY)
  - PWM output: PWM resolution is 1 to 10-bit
- Enhanced Capture/Compare/PWM (ECCP) module:
  - Multiple output modes
  - Selectable polarity
  - Programmable dead time
  - Auto-Shutdown and Auto-Restart
- Enhanced USART module:
  - LIN bus support
- Master Synchronous Serial Port (MSSP) module supporting 3-wire SPI™ (all 4 modes) and I^2C™ Master and Slave modes
- 10-bit, up to 13-channels Analog-to-Digital Converter module (A/D) with programmable acquisition time
- Dual analog comparators with input multiplexing

Special Microcontroller Features:

- C compiler optimized architecture with optional extended instruction set
- 100,000 erase/write cycle Enhanced Flash program memory typical
- 1,000,000 erase/write cycle Data EEPROM memory typical
- Flash/Data EEPROM Retention: > 40 years
- Self-programmable under software control
- Priority levels for interrupts
- 8 x 8 Single-Cycle Hardware Multiplier
- Extended Watchdog Timer (WDT):
  - Programmable period from 41 ms to 131s
- Programmable Code Protection
- Single-Supply 5V In-Circuit Serial Programming™ (ICSP™) via two pins
- In-Circuit Debug (ICD) via two pins
- Optional dedicated ICD/ICSP port (44-pin devices only)
- Wide operating voltage range (2.0V to 5.5V)

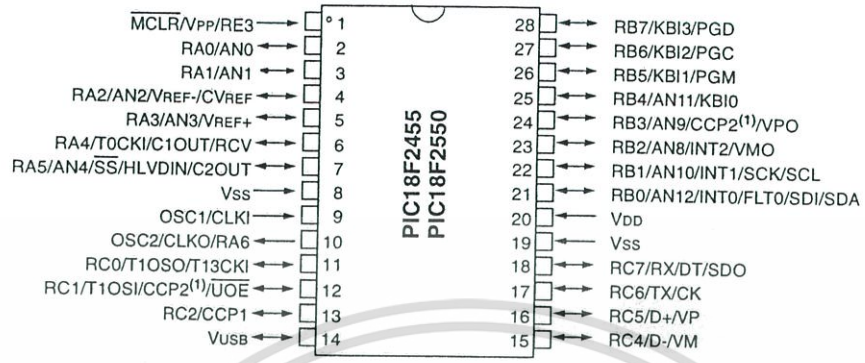
Device	Program Memory		Data Memory		I/O	10-bit A/D (ch)	CCP/ECCP (PWM)	SPP	MSSP		EAUSART	Comparators	Timers 8/16-bit
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)					SPI™	Master I^2C™			
PIC18F2455	24K	12288	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F2550	32K	16384	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F4455	24K	12288	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3
PIC18F4550	32K	16384	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3

© 2004 Microchip Technology Inc.

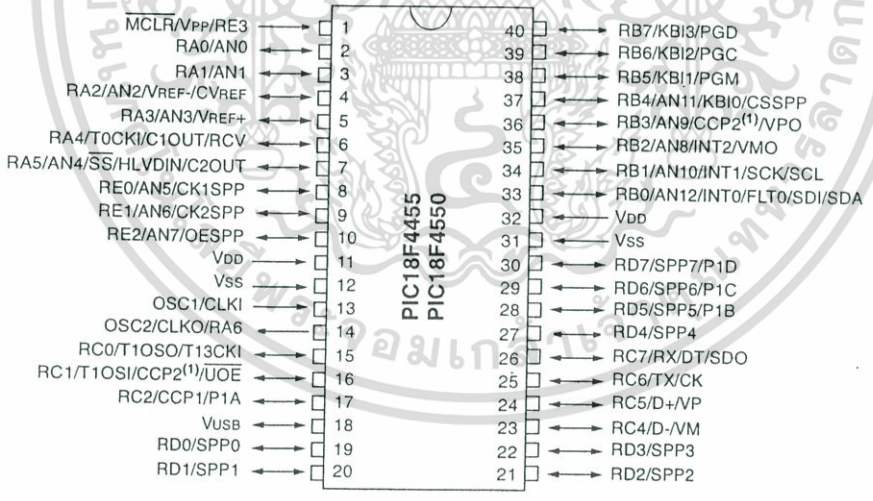
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Diagrams

28-Pin PDIP, SOIC



40-Pin PDIP



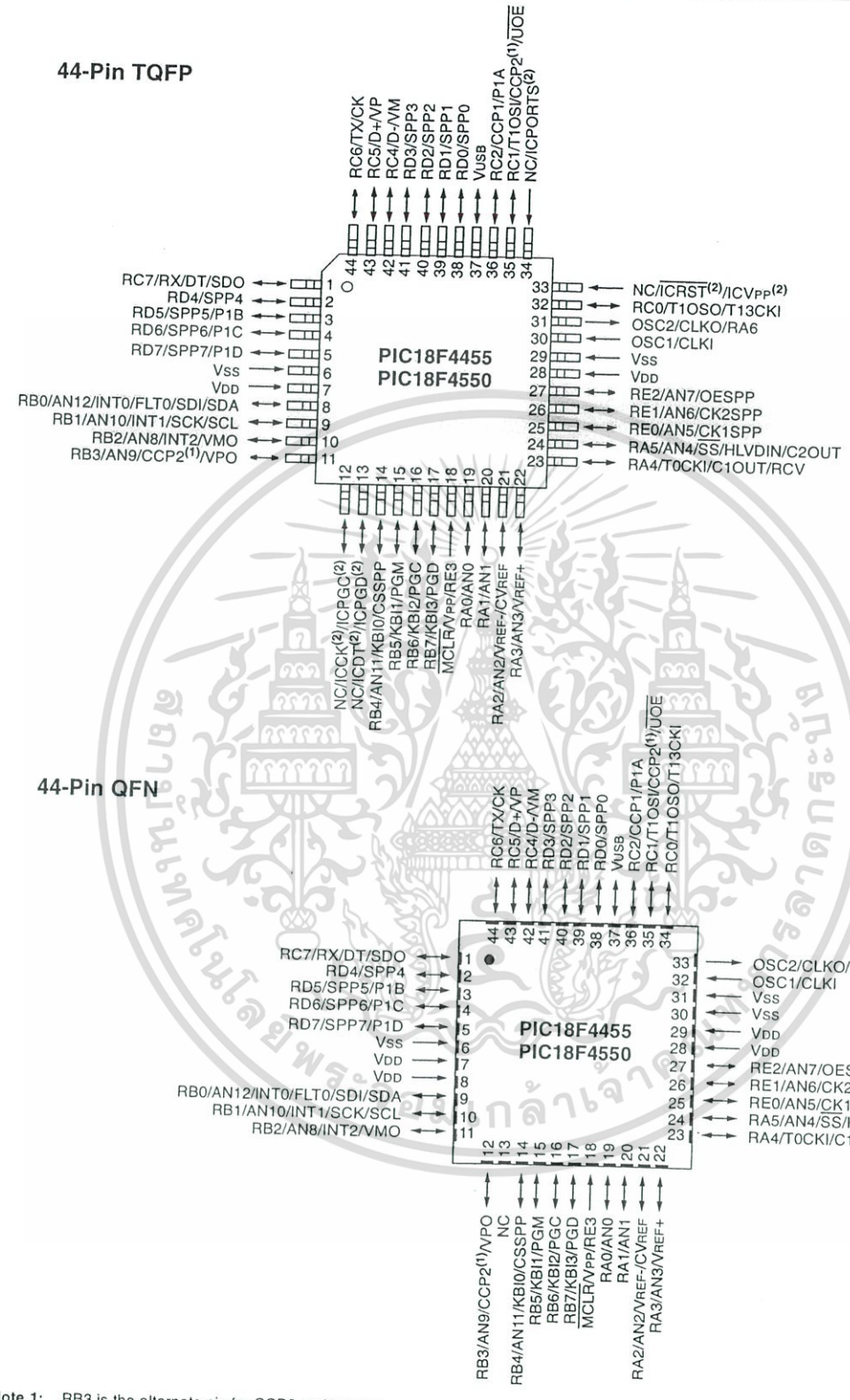
Note 1: RB3 is the alternate pin for CCP2 multiplexing.

© 2004 Microchip Technology Inc.

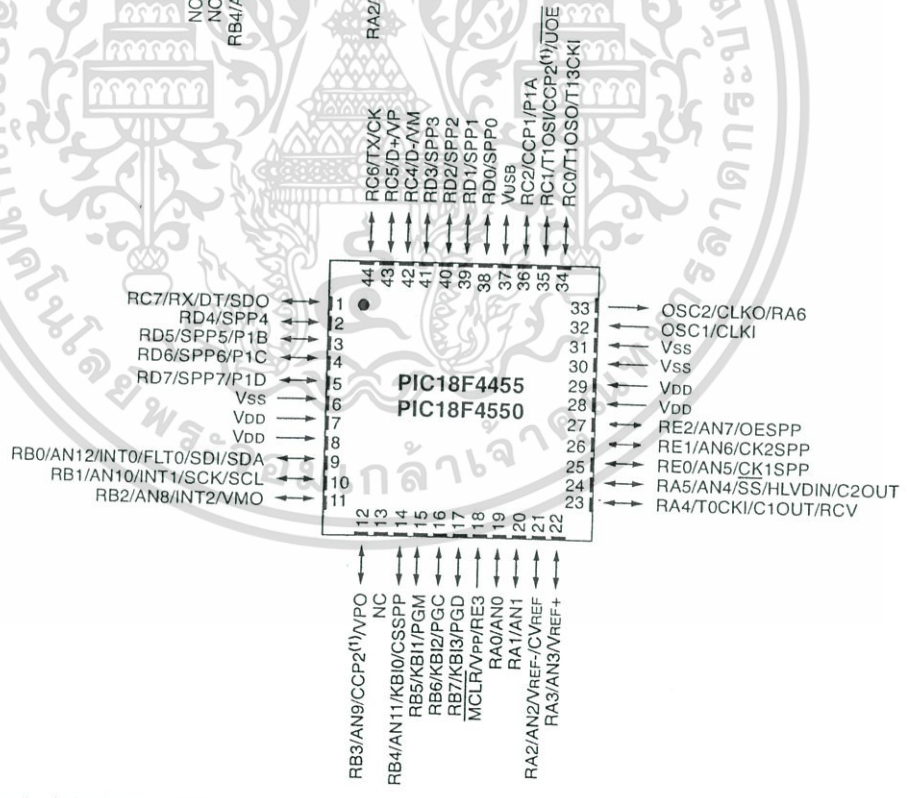
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Diagrams (Continued)

44-Pin TQFP



44-Pin QFN



Note 1: RB3 is the alternate pin for CCP2 multiplexing.

2: Special ICPORTS features available in select circumstances. See **Section 25.9 "Special ICPORT Features (Designated Packages Only)"** for more information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table of Contents

1.0 Device Overview 7
2.0 Oscillator Configurations 23
3.0 Power-Managed Modes 35
4.0 Reset 43
5.0 Memory Organization 57
6.0 Flash Program Memory 79
7.0 Data EEPROM Memory 89
8.0 8 x 8 Hardware Multiplier 95
9.0 Interrupts 97
10.0 I/O Ports 111
11.0 Timer0 Module 125
12.0 Timer1 Module 129
13.0 Timer2 Module 135
14.0 Timer3 Module 137
15.0 Capture/Compare/PWM (CCP) Modules 141
16.0 Enhanced Capture/Compare/PWM (ECCP) Module 149
17.0 Universal Serial Bus (USB) 163
18.0 Streaming Parallel Port 187
19.0 Master Synchronous Serial Port (MSSP) Module 193
20.0 Enhanced Universal Synchronous Receiver Transmitter (EUSART) 233
21.0 10-Bit Analog-to-Digital Converter (A/D) Module 253
22.0 Comparator Module 263
23.0 Comparator Voltage Reference Module 269
24.0 High/Low-Voltage Detect (HLVD) 273
25.0 Special Features of the CPU 279
26.0 Instruction Set Summary 301
27.0 Development Support 351
28.0 Electrical Characteristics 357
29.0 DC and AC Characteristics Graphs and Tables 395
30.0 Packaging Information 397
Appendix A: Revision History 405
Appendix B: Device Differences 405
Appendix C: Conversion Considerations 406
Appendix D: Migration From Baseline to Enhanced Devices 406
Appendix E: Migration From Mid-Range to Enhanced Devices 407
Appendix F: Migration From High-End to Enhanced Devices 407
Index 409
On-Line Support 421
Systems Information and Upgrade Hot Line 421
Reader Response 422
PIC18F2455/2550/4455/4550 Product Identification System 423

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TO OUR VALUED CUSTOMERS

It is our intention to provide our valued customers with the best documentation possible to ensure successful use of your Microchip products. To this end, we will continue to improve our publications to better suit your needs. Our publications will be refined and enhanced as new volumes and updates are introduced.

If you have any questions or comments regarding this publication, please contact the Marketing Communications Department via E-mail at **docerrors@microchip.com** or fax the **Reader Response Form** in the back of this data sheet to (480) 792-4150. We welcome your feedback.

Most Current Data Sheet

To obtain the most up-to-date version of this data sheet, please register at our Worldwide Web site at:

http://www.microchip.com

You can determine the version of a data sheet by examining its literature number found on the bottom outside corner of any page. The last character of the literature number is the version number, (e.g., DS30000A is version A of document DS30000).

Errata

An errata sheet, describing minor operational differences from the data sheet and recommended workarounds, may exist for current devices. As device/documentation issues become known to us, we will publish an errata sheet. The errata will specify the revision of silicon and revision of document to which it applies.

To determine if an errata sheet exists for a particular device, please check with one of the following:

- Microchip's Worldwide Web site; http://www.microchip.com
- Your local Microchip sales office (see last page)

When contacting a sales office, please specify which device, revision of silicon and data sheet (include literature number) you are using.

Customer Notification System

Register on our web site at **www.microchip.com** to receive the most current information on all of our products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES:

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 DEVICE OVERVIEW

This document contains device specific information for the following devices:

- PIC18F2455
- PIC18F2550
- PIC18F4455
- PIC18F4550
- PIC18LF2455
- PIC18LF2550
- PIC18LF4455
- PIC18LF4550

This family of devices offers the advantages of all PIC18 microcontrollers – namely, high computational performance at an economical price – with the addition of high endurance, Enhanced Flash program memory. In addition to these features, the PIC18F2455/2550/4455/4550 family introduces design enhancements that make these microcontrollers a logical choice for many high-performance, power sensitive applications.

1.1 New Core Features

1.1.1 nanoWatt TECHNOLOGY

All of the devices in the PIC18F2455/2550/4455/4550 family incorporate a range of features that can significantly reduce power consumption during operation. Key items include:

- **Alternate Run Modes:** By clocking the controller from the Timer1 source or the internal oscillator block, power consumption during code execution can be reduced by as much as 90%.
- **Multiple Idle Modes:** The controller can also run with its CPU core disabled but the peripherals still active. In these states, power consumption can be reduced even further, to as little as 4% of normal operation requirements.
- **On-the-fly Mode Switching:** The power-managed modes are invoked by user code during operation, allowing the user to incorporate power-saving ideas into their application's software design.
- **Low Consumption in Key Modules:** The power requirements for both Timer1 and the Watchdog Timer are minimized. See **Section 28.0 "Electrical Characteristics"** for values.

1.1.2 UNIVERSAL SERIAL BUS (USB)

Devices in the PIC18F2455/2550/4455/4550 family incorporate a fully featured Universal Serial Bus communications module that is compliant with the USB Specification Revision 2.0. The module supports both low-speed and full speed communication for all supported data transfer types. It also incorporates its own on-chip transceiver and 3.3V regulator and supports the use of external transceivers and voltage regulators.

1.1.3 MULTIPLE OSCILLATOR OPTIONS AND FEATURES

All of the devices in the PIC18F2455/2550/4455/4550 family offer twelve different oscillator options, allowing users a wide range of choices in developing application hardware. These include:

- Four Crystal modes using crystals or ceramic resonators.
- Four External Clock modes, offering the option of using two pins (oscillator input and a divide-by-4 clock output) or one pin (oscillator input, with the second pin reassigned as general I/O).
- An internal oscillator block which provides an 8 MHz clock (±2% accuracy) and an INTRC source (approximately 31 kHz, stable over temperature and VDD), as well as a range of 6 user selectable clock frequencies, between 125 kHz to 4 MHz, for a total of 8 clock frequencies. This option frees an oscillator pin for use as an additional general purpose I/O.
- A Phase Lock Loop (PLL) frequency multiplier, available to both the high-speed crystal and external oscillator modes, which allows a wide range of clock speeds from 4 MHz to 48 MHz.
- Asynchronous dual clock operation, allowing the USB module to run from a high-frequency oscillator while the rest of the microcontroller is clocked from an internal low-power oscillator.

Besides its availability as a clock source, the internal oscillator block provides a stable reference source that gives the family additional features for robust operation:

- **Fail-Safe Clock Monitor:** This option constantly monitors the main clock source against a reference signal provided by the internal oscillator. If a clock failure occurs, the controller is switched to the internal oscillator block, allowing for continued low-speed operation or a safe application shutdown.
- **Two-Speed Start-up:** This option allows the internal oscillator to serve as the clock source from Power-on Reset, or wake-up from Sleep mode, until the primary clock source is available.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 Other Special Features

- **Memory Endurance:** The Enhanced Flash cells for both program memory and data EEPROM are rated to last for many thousands of erase/write cycles – up to 100,000 for program memory and 1,000,000 for EEPROM. Data retention without refresh is conservatively estimated to be greater than 40 years.
- **Self-Programmability:** These devices can write to their own program memory spaces under internal software control. By using a bootloader routine, located in the protected Boot Block at the top of program memory, it becomes possible to create an application that can update itself in the field.
- **Extended Instruction Set:** The PIC18F2455/2550/4455/4550 family introduces an optional extension to the PIC18 instruction set, which adds 8 new instructions and an Indexed Literal Offset Addressing mode. This extension, enabled as a device configuration option, has been specifically designed to optimize re-entrant application code originally developed in high-level languages such as C.
- **Enhanced CCP Module:** In PWM mode, this module provides 1, 2 or 4 modulated outputs for controlling half-bridge and full-bridge drivers. Other features include auto-shutdown for disabling PWM outputs on interrupt or other select conditions and auto-restart to reactivate outputs once the condition has cleared.
- **Enhanced Addressable USART:** This serial communication module is capable of standard RS-232 operation and provides support for the LIN bus protocol. Other enhancements include Automatic Baud Rate Detection and a 16-bit Baud Rate Generator for improved resolution. When the microcontroller is using the internal oscillator block, the EUSART provides stable operation for applications that talk to the outside world without using an external crystal (or its accompanying power requirement).
- **10-bit A/D Converter:** This module incorporates programmable acquisition time, allowing for a channel to be selected and a conversion to be initiated, without waiting for a sampling period and thus, reducing code overhead.
- **Dedicated ICD/ICSP Port:** These devices introduce the use of debugger and programming pins that are not multiplexed with other micro-controller features. Offered as an option in select packages, this feature allows users to develop I/O intensive applications while retaining the ability to program and debug in the circuit.

1.3 Details on Individual Family Members

Devices in the PIC18F2455/2550/4455/4550 family are available in 28-pin and 40/44-pin packages. Block diagrams for the two groups are shown in Figure 1-1 and Figure 1-2.

The devices are differentiated from each other in six ways:

1. Flash program memory (24 Kbytes for PIC18FX455 devices, 32 Kbytes for PIC18FX550).
2. A/D channels (10 for 28-pin devices, 13 for 40/44-pin devices).
3. I/O ports (3 bidirectional ports and 1 input only port on 28-pin devices, 5 bidirectional ports on 40/44-pin devices).
4. CCP and Enhanced CCP implementation (28-pin devices have 2 standard CCP modules, 40/44-pin devices have one standard CCP module and one ECCP module).
5. Streaming Parallel Port (present only on 40/44-pin devices).

All other features for devices in this family are identical. These are summarized in Table 1-1.

The pinouts for all devices are listed in Table 1-2 and Table 1-3.

Like all Microchip PIC18 devices, members of the PIC18F2455/2550/4455/4550 family are available as both standard and low-voltage devices. Standard devices with Enhanced Flash memory, designated with an "F" in the part number (such as PIC18F2550), accommodate an operating V_{DD} range of 4.2V to 5.5V. Low-voltage parts, designated by "LF" (such as PIC18LF2550), function over an extended V_{DD} range of 2.0V to 5.5V.

© 2004 Microchip Technology Inc.

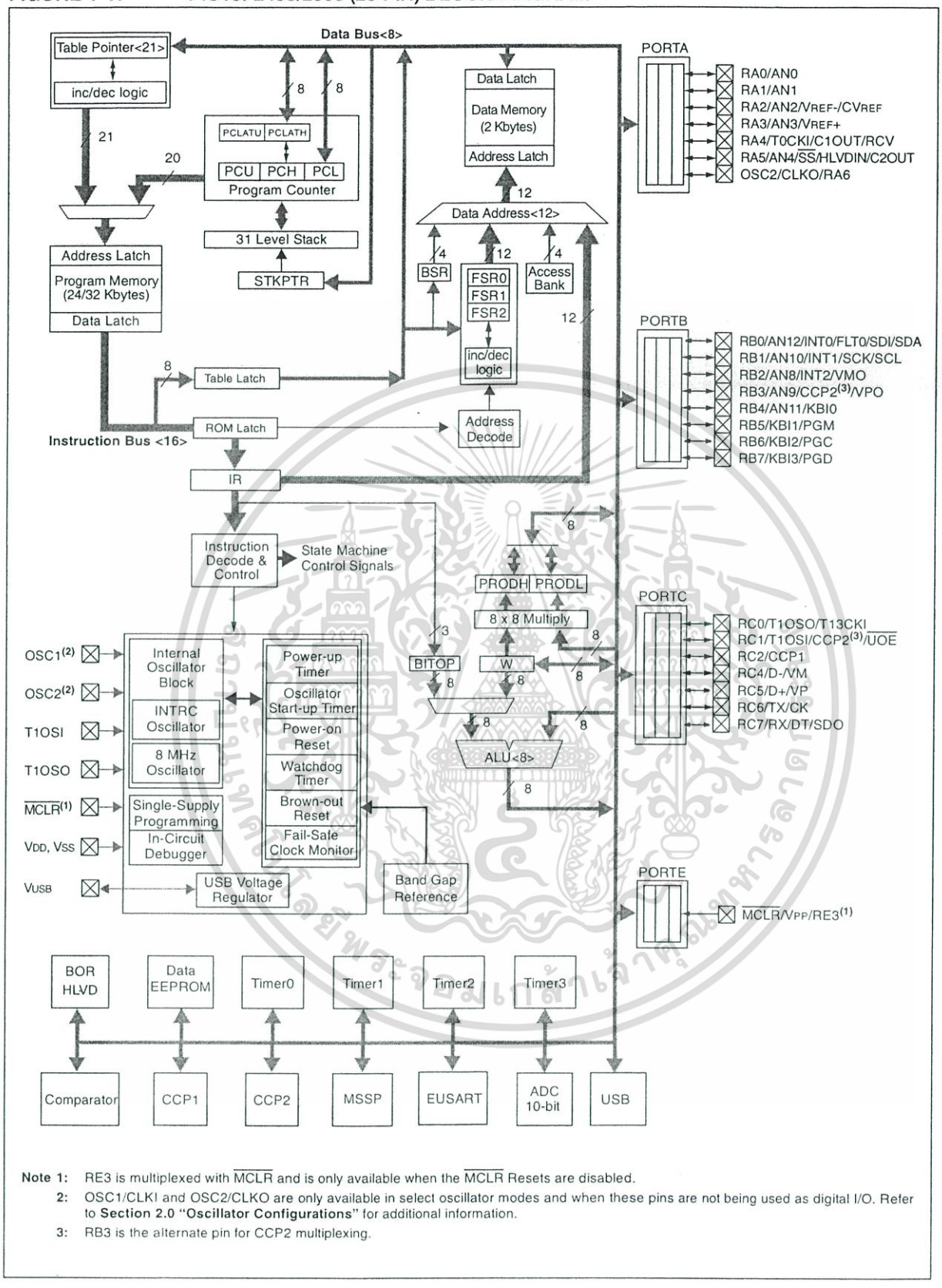
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-1: DEVICE FEATURES

Features	PIC18F2455	PIC18F2550	PIC18F4455	PIC18F4550
Operating Frequency	DC – 48 MHz	DC – 48 MHz	DC – 48 MHz	DC – 48 MHz
Program Memory (Bytes)	24576	32768	24576	32768
Program Memory (Instructions)	12288	16384	12288	16384
Data Memory (Bytes)	2048	2048	2048	2048
Data EEPROM Memory (Bytes)	256	256	256	256
Interrupt Sources	19	19	20	20
I/O Ports	Ports A, B, C, (E)	Ports A, B, C, (E)	Ports A, B, C, D, E	Ports A, B, C, D, E
Timers	4	4	4	4
Capture/Compare/PWM Modules	2	2	1	1
Enhanced Capture/ Compare/PWM Modules	0	0	1	1
Serial Communications	MSSP, Enhanced USART	MSSP, Enhanced USART	MSSP, Enhanced USART	MSSP, Enhanced USART
Universal Serial Bus (USB) Module	1	1	1	1
Streaming Parallel Port (SPP)	No	No	Yes	Yes
10-bit Analog-to-Digital Module	10 Input Channels	10 Input Channels	13 Input Channels	13 Input Channels
Comparators	2	2	2	2
Resets (and Delays)	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), $\overline{MCLR}$ (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), $\overline{MCLR}$ (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), $\overline{MCLR}$ (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), $\overline{MCLR}$ (optional), WDT
Programmable Low-Voltage Detect	Yes	Yes	Yes	Yes
Programmable Brown-out Reset	Yes	Yes	Yes	Yes
Instruction Set	75 Instructions; 83 with Extended Instruction Set enabled	75 Instructions; 83 with Extended Instruction Set enabled	75 Instructions; 83 with Extended Instruction Set enabled	75 Instructions; 83 with Extended Instruction Set enabled
Packages	28-pin PDIP 28-pin SOIC	28-pin PDIP 28-pin SOIC	40-pin PDIP 44-pin QFN 44-pin TQFP	40-pin PDIP 44-pin QFN 44-pin TQFP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1-1: PIC18F2455/2550 (28-PIN) BLOCK DIAGRAM



Note 1: RE3 is multiplexed with MCLR and is only available when the MCLR Resets are disabled.

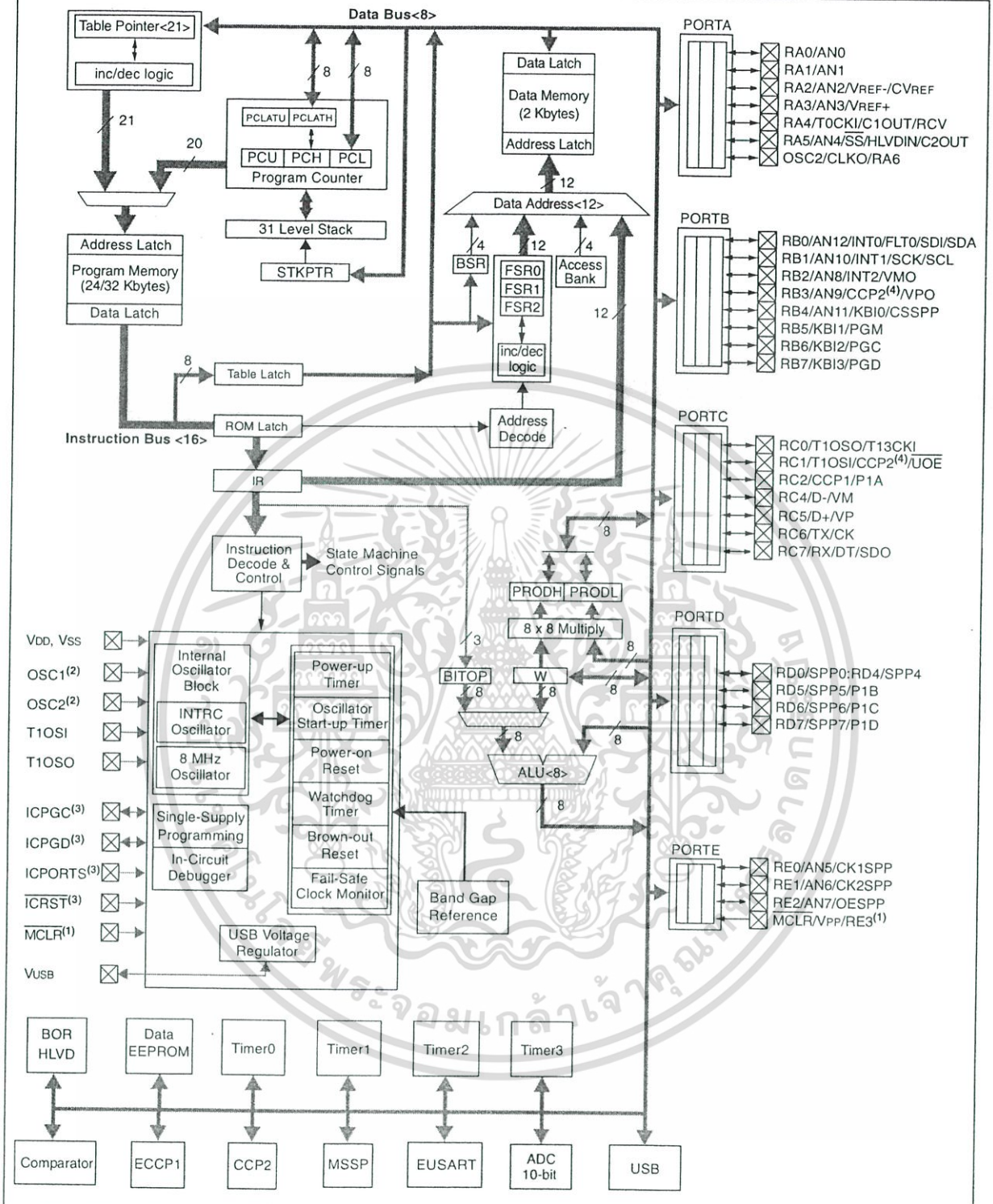
2: OSC1/CLKI and OSC2/CLKO are only available in select oscillator modes and when these pins are not being used as digital I/O. Refer to **Section 2.0 "Oscillator Configurations"** for additional information.

3: RB3 is the alternate pin for CCP2 multiplexing.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1-2: PIC18F4455/4550 (40/44-PIN) BLOCK DIAGRAM



Note 1: RE3 is multiplexed with $\overline{\text{MCLR}}$ and is only available when the $\overline{\text{MCLR}}$ Resets are disabled.

2: OSC1/CLKI and OSC2/CLKO are only available in select oscillator modes and when these pins are not being used as digital I/O. Refer to **Section 2.0 "Oscillator Configurations"** for additional information.

3: These pins are only available on 44-pin TQFP under certain conditions. Refer to **Section 25.9 "Special ICPORT Features (Designated Packages Only)"** for additional information.

4: RB3 is the alternate pin for CCP2 multiplexing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS

Pin Name	Pin Number PDIP, SOIC	Pin Type	Buffer Type	Description
MCLR/VPP/RE3	1			Master Clear (input) or programming voltage (input).
MCLR		I	ST	Master Clear (Reset) input. This pin is an active-low Reset to the device.
VPP		P		Programming voltage input.
RE3		I	ST	Digital input.
OSC1/CLKI	9			Oscillator crystal or external clock input.
OSC1		I	Analog	Oscillator crystal input or external clock source input.
CLKI		I	Analog	External clock source input. Always associated with pin function OSC1. (See OSC2/CLKO pins.)
OSC2/CLKO/RA6	10			Oscillator crystal or clock output.
OSC2		O	—	Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode.
CLKO		O	—	In select modes, OSC2 pin outputs CLKO which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate.
RA6		I/O	TTL	General purpose I/O pin.

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
ST = Schmitt Trigger input with CMOS levels I = Input
O = Output P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.
2: Default assignment for CCP2 when CCP2MX configuration bit is set.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number PDIP, SOIC	Pin Type	Buffer Type	Description
				PORTA is a bidirectional I/O port.
RA0/AN0	2			
RA0		I/O	TTL	Digital I/O.
AN0		I	Analog	Analog input 0.
RA1/AN1	3			
RA1		I/O	TTL	Digital I/O.
AN1		I	Analog	Analog input 1.
RA2/AN2/VREF-/CVREF	4			
RA2		I/O	TTL	Digital I/O.
AN2		I	Analog	Analog input 2.
VREF-		I	Analog	A/D reference voltage (low) input.
CVREF		O	Analog	Analog comparator reference output.
RA3/AN3/VREF+	5			
RA3		I/O	TTL	Digital I/O.
AN3		I	Analog	Analog input 3.
VREF+		I	Analog	A/D reference voltage (high) input.
RA4/T0CKI/C1OUT/RCV	6			
RA4		I/O	ST	Digital I/O.
T0CKI		I	ST	Timer0 external clock input.
C1OUT		O	—	Comparator 1 output.
RCV		I	TTL	External USB transceiver RCV input.
RA5/AN4/$\overline{SS}$/HLVDIN/C2OUT	7			
RA5		I/O	TTL	Digital I/O.
AN4		I	Analog	Analog input 4.
$\overline{SS}$		I	TTL	SPI™ slave select input.
HLVDIN		I	Analog	High/Low-Voltage Detect input.
C2OUT		O	—	Comparator 2 output.
RA6	—	—	—	See the OSC2/CLKO/RA6 pin.

Legend: TTL = TTL compatible input; CMOS = CMOS compatible input or output; ST = Schmitt Trigger input with CMOS levels; I = Input; O = Output; P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number PDIP, SOIC	Pin Type	Buffer Type	Description
				PORTB is a bidirectional I/O port. PORTB can be software programmed for internal weak pull-ups on all inputs.
RB0/AN12/INT0/FLT0/SDI/SDA	21			
RB0		I/O	TTL	Digital I/O.
AN12		I	Analog	Analog input 12.
INT0		I	ST	External interrupt 0.
FLT0		I	ST	PWM Fault input (CCP1 module).
SDI		I	ST	SPI™ data in.
SDA		I/O	ST	I^2C™ data I/O.
RB1/AN10/INT1/SCK/SCL	22			
RB1		I/O	TTL	Digital I/O.
AN10		I	Analog	Analog input 10.
INT1		I	ST	External interrupt 1.
SCK		I/O	ST	Synchronous serial clock input/output for SPI mode.
SCL		I/O	ST	Synchronous serial clock input/output for I^2C mode.
RB2/AN8/INT2/VMO	23			
RB2		I/O	TTL	Digital I/O.
AN8		I	Analog	Analog input 8.
INT2		I	ST	External interrupt 2.
VMO		O	—	External USB transceiver VMO output.
RB3/AN9/CCP2/VPO	24			
RB3		I/O	TTL	Digital I/O.
AN9		I	Analog	Analog input 9.
CCP2(1)		I/O	ST	Capture 2 input/Compare 2 output/PWM 2 output.
VPO		O	—	External USB transceiver VPO output.
RB4/AN11/KBI0	25			
RB4		I/O	TTL	Digital I/O.
AN11		I	Analog	Analog input 11.
KBI0		I	TTL	Interrupt-on-change pin.
RB5/KBI1/PGM	26			
RB5		I/O	TTL	Digital I/O.
KBI1		I	TTL	Interrupt-on-change pin.
PGM		I/O	ST	Low-Voltage ICSP™ Programming enable pin.
RB6/KBI2/PGC	27			
RB6		I/O	TTL	Digital I/O.
KBI2		I	TTL	Interrupt-on-change pin.
PGC		I/O	ST	In-Circuit Debugger and ICSP programming clock pin.
RB7/KBI3/PGD	28			
RB7		I/O	TTL	Digital I/O.
KBI3		I	TTL	Interrupt-on-change pin.
PGD		I/O	ST	In-Circuit Debugger and ICSP programming data pin.

Legend: TTL = TTL compatible input; CMOS = CMOS compatible input or output; ST = Schmitt Trigger input with CMOS levels; I = Input; O = Output; P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number: PDIP, SOIC	Pin Type	Buffer Type	Description
				PORTC is a bidirectional I/O port.
RC0/T1OSO/T13CKI	11			
RC0		I/O	ST	Digital I/O.
T1OSO		O	—	Timer1 oscillator output.
T13CKI		I	ST	Timer1/Timer3 external clock input.
RC1/T1OSI/CCP2/$\overline{UOE}$	12			
RC1		I/O	ST	Digital I/O.
T1OSI		I	CMOS	Timer1 oscillator input.
CCP2(2)		I/O	ST	Capture 2 input/Compare 2 output/PWM 2 output.
$\overline{UOE}$		—	—	External USB transceiver $\overline{OE}$ output.
RC2/CCP1	13			
RC2		I/O	ST	Digital I/O.
CCP1		I/O	ST	Capture 1 input/Compare 1 output/PWM 1 output.
RC4/D-/VM	15			
RC4		I	TTL	Digital input.
D-		I/O	—	USB differential minus line (input/output).
VM		I	TTL	External USB transceiver VM input.
RC5/D+/VP	16			
RC5		I	TTL	Digital input.
D+		I/O	—	USB differential plus line (input/output).
VP		O	TTL	External USB transceiver VP input.
RC6/TX/CK	17			
RC6		I/O	ST	Digital I/O.
TX		O	—	EUSART asynchronous transmit.
CK		I/O	ST	EUSART synchronous clock (see RX/DT).
RC7/RX/DT/SDO	18			
RC7		I/O	ST	Digital I/O.
RX		I	ST	EUSART asynchronous receive.
DT		I/O	ST	EUSART synchronous data (see TX/CK).
SDO		O	—	SPI™ data out.
RE3	—	—	—	See $\overline{MCLR}$/VPP/RE3 pin.
VUSB	14	O	—	Internal USB 3.3V voltage regulator.
VSS	8, 19	P	—	Ground reference for logic and I/O pins.
VDD	20	P	—	Positive supply for logic and I/O pins.

Legend: TTL = TTL compatible input; CMOS = CMOS compatible input or output; ST = Schmitt Trigger input with CMOS levels; I = Input; O = Output; P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
$\overline{MCLR}$/VPP/RE3	1	18	18			Master Clear (input) or programming voltage (input).
$\overline{MCLR}$				I	ST	Master Clear (Reset) input. This pin is an active-low Reset to the device.
VPP				P		Programming voltage input.
RE3				I	ST	Digital input.
OSC1/CLKI	13	32	30			Oscillator crystal or external clock input.
OSC1				I	Analog	Oscillator crystal input or external clock source input.
CLKI				I	Analog	External clock source input. Always associated with pin function OSC1. (See OSC2/CLKO pins.)
OSC2/CLKO/RA6	14	33	31			Oscillator crystal or clock output.
OSC2				O	—	Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode.
CLKO				O	—	In RC mode, OSC2 pin outputs CLKO which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate.
RA6				I/O	TTL	General purpose I/O pin.

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
ST = Schmitt Trigger input with CMOS levels I = Input
O = Output P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

3: These pins are No Connect unless the $\overline{ICPRT}$ configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the $\overline{DEBUG}$ configuration bit is cleared.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
						PORTA is a bidirectional I/O port.
RA0/AN0	2	19	19			
RA0				I/O	TTL	Digital I/O.
AN0				I	Analog	Analog input 0.
RA1/AN1	3	20	20			
RA1				I/O	TTL	Digital I/O.
AN1				I	Analog	Analog input 1.
RA2/AN2/VREF-/CVREF	4	21	21			
RA2				I/O	TTL	Digital I/O.
AN2				I	Analog	Analog input 2.
VREF-				I	Analog	A/D reference voltage (low) input.
CVREF				O	Analog	Analog comparator reference output.
RA3/AN3/VREF+	5	22	22			
RA3				I/O	TTL	Digital I/O.
AN3				I	Analog	Analog input 3.
VREF+				I	Analog	A/D reference voltage (high) input.
RA4/T0CKI/C1OUT/RCV	6	23	23			
RA4				I/O	ST	Digital I/O.
T0CKI				I	ST	Timer0 external clock input.
C1OUT				O	—	Comparator 1 output.
RCV				I	TTL	External USB transceiver RCV input.
RA5/AN4/$\overline{SS}$/HLVDIN/C2OUT	7	24	24			
RA5				I/O	TTL	Digital I/O.
AN4				I	Analog	Analog input 4.
$\overline{SS}$				I	TTL	SPI™ slave select input.
HLVDIN				I	Analog	High/Low-Voltage Detect input.
C2OUT				O	—	Comparator 2 output.
RA6	—	—	—	—	—	See the OSC2/CLKO/RA6 pin.

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
ST = Schmitt Trigger input with CMOS levels I = Input
O = Output P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

3: These pins are No Connect unless the $\overline{ICPRT}$ configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the $\overline{DEBUG}$ configuration bit is cleared.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
						PORTB is a bidirectional I/O port. PORTB can be software programmed for internal weak pull-ups on all inputs.
RB0/AN12/INT0/FLT0/SDI/SDA	33	9	8			
RB0				I/O	TTL	Digital I/O.
AN12				I	Analog	Analog input 12.
INT0				I	ST	External interrupt 0.
FLT0				I	ST	Enhanced PWM Fault input (ECCP1 module).
SDI				I	ST	SPI™ data in.
SDA				I/O	ST	I^2C™ data I/O.
RB1/AN10/INT1/SCK/SCL	34	10	9			
RB1				I/O	TTL	Digital I/O.
AN10				I	Analog	Analog input 10.
INT1				I	ST	External interrupt 1.
SCK				I/O	ST	Synchronous serial clock input/output for SPI mode.
SCL				I/O	ST	Synchronous serial clock input/output for I^2C mode.
RB2/AN8/INT2/VMO	35	11	10			
RB2				I/O	TTL	Digital I/O.
AN8				I	Analog	Analog input 8.
INT2				I	ST	External interrupt 2.
VMO				O	—	External USB transceiver VMO output.
RB3/AN9/CCP2/VPO	36	12	11			
RB3				I/O	TTL	Digital I/O.
AN9				I	Analog	Analog input 9.
CCP2(1)				I/O	ST	Capture 2 input/Compare 2 output/PWM 2 output.
VPO				O	—	External USB transceiver VPO output.
RB4/AN11/KBI0/CSSPP	37	14	14			
RB4				I/O	TTL	Digital I/O.
AN11				I	Analog	Analog input 11.
KBI0				I	TTL	Interrupt-on-change pin.
CSSPP				O	—	SPP chip select control output.
RB5/KBI1/PGM	38	15	15			
RB5				I/O	TTL	Digital I/O.
KBI1				I	TTL	Interrupt-on-change pin.
PGM				I/O	ST	Low-Voltage ICSP™ Programming enable pin.
RB6/KBI2/PGC	39	16	16			
RB6				I/O	TTL	Digital I/O.
KBI2				I	TTL	Interrupt-on-change pin.
PGC				I/O	ST	In-Circuit Debugger and ICSP programming clock pin.
RB7/KBI3/PGD	40	17	17			
RB7				I/O	TTL	Digital I/O.
KBI3				I	TTL	Interrupt-on-change pin.
PGD				I/O	ST	In-Circuit Debugger and ICSP programming data pin.

Legend: TTL = TTL compatible input; CMOS = CMOS compatible input or output; ST = Schmitt Trigger input with CMOS levels; I = Input; O = Output; P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

3: These pins are No Connect unless the ICPRT configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the DEBUG configuration bit is cleared.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
						PORTC is a bidirectional I/O port.
RC0/T1OSO/T13CKI	15	34	32			
RC0				I/O	ST	Digital I/O.
T1OSO				O	—	Timer1 oscillator output.
T13CKI				I	ST	Timer1/Timer3 external clock input.
RC1/T1OSI/CCP2/$\overline{UOE}$	16	35	35			
RC1				I/O	ST	Digital I/O.
T1OSI				I	CMOS	Timer1 oscillator input.
CCP2(2)				I/O	ST	Capture 2 input/Compare 2 output/PWM 2 output.
$\overline{UOE}$				O	—	External USB transceiver $\overline{OE}$ output.
RC2/CCP1/P1A	17	36	36			
RC2				I/O	ST	Digital I/O.
CCP1				I/O	ST	Capture 1 input/Compare 1 output/PWM 1 output.
P1A				O	TTL	Enhanced CCP1 PWM output, channel A.
RC4/D-/VM	23	42	42			
RC4				I	TTL	Digital input.
D-				I/O	—	USB differential minus line (input/output).
VM				I	TTL	External USB transceiver VM input.
RC5/D+/VP	24	43	43			
RC5				I	TTL	Digital input.
D+				I/O	—	USB differential plus line (input/output).
VP				I	TTL	External USB transceiver VP input.
RC6/TX/CK	25	44	44			
RC6				I/O	ST	Digital I/O.
TX				O	—	EUSART asynchronous transmit.
CK				I/O	ST	EUSART synchronous clock (see RX/DT).
RC7/RX/DT/SDO	26	1	1			
RC7				I/O	ST	Digital I/O.
RX				I	ST	EUSART asynchronous receive.
DT				I/O	ST	EUSART synchronous data (see TX/CK).
SDO				O	—	SPI™ data out.

Legend: TTL = TTL compatible input; CMOS = CMOS compatible input or output; ST = Schmitt Trigger input with CMOS levels; I = Input; O = Output; P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

3: These pins are No Connect unless the $\overline{ICPRT}$ configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the $\overline{DEBUG}$ configuration bit is cleared.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
						PORTD is a bidirectional I/O port or a Streaming Parallel Port (SPP). These pins have TTL input buffers when the SPP module is enabled.
RD0/SPP0	19	38	38			
RD0				I/O	ST	Digital I/O.
SPP0				I/O	TTL	Streaming Parallel Port data.
RD1/SPP1	20	39	39			
RD1				I/O	ST	Digital I/O.
SPP1				I/O	TTL	Streaming Parallel Port data.
RD2/SPP2	21	40	40			
RD2				I/O	ST	Digital I/O.
SPP2				I/O	TTL	Streaming Parallel Port data.
RD3/SPP3	22	41	41			
RD3				I/O	ST	Digital I/O.
SPP3				I/O	TTL	Streaming Parallel Port data.
RD4/SPP4	27	2	2			
RD4				I/O	ST	Digital I/O.
SPP4				I/O	TTL	Streaming Parallel Port data.
RD5/SPP5/P1B	28	3	3			
RD5				I/O	ST	Digital I/O.
SPP5				I/O	TTL	Streaming Parallel Port data.
P1B				O	—	Enhanced CCP1 PWM output, channel B.
RD6/SPP6/P1C	29	4	4			
RD6				I/O	ST	Digital I/O.
SPP6				I/O	TTL	Streaming Parallel Port data.
P1C				O	—	Enhanced CCP1 PWM output, channel C.
RD7/SPP7/P1D	30	5	5			
RD7				I/O	ST	Digital I/O.
SPP7				I/O	TTL	Streaming Parallel Port data.
P1D				O	—	Enhanced CCP1 PWM output, channel D.

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
ST = Schmitt Trigger input with CMOS levels I = Input
O = Output P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

3: These pins are No Connect unless the ICPRT configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the DEBUG configuration bit is cleared.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
						PORTE is a bidirectional I/O port.
RE0/AN5/CK1SPP	8	25	25			
RE0				I/O	ST	Digital I/O.
AN5				I	Analog	Analog input 5.
CK1SPP				O	—	SPP clock 1 output.
RE1/AN6/CK2SPP	9	26	26			
RE1				I/O	ST	Digital I/O.
AN6				I	Analog	Analog input 6.
CK2SPP				O	—	SPP clock 2 output.
RE2/AN7/OESPP	10	27	27			
RE2				I/O	ST	Digital I/O.
AN7				I	Analog	Analog input 7.
OESPP				O	—	SPP output enable output.
RE3	—	—	—	—	—	See $\overline{\text{MCLR}}$/VPP/RE3 pin.
VSS	12, 31	6, 30, 31	6, 29	P	—	Ground reference for logic and I/O pins.
VDD	11, 32	7, 8, 28, 29	7, 28	P	—	Positive supply for logic and I/O pins.
VUSB	18	37	37	O	—	Internal USB 3.3V voltage regulator output.
NC/ICCK/ICPGC	—	—	12			No Connect or dedicated ICD/ICSP™ port clock.(3)
ICCK				I/O	ST	In-Circuit Debugger clock.
ICPGC				I/O	ST	ICSP programming clock.
NC/ICDT/ICPGD	—	—	13			No Connect or dedicated ICD/ICSP port clock.(3)
ICDT				I/O	ST	In-Circuit Debugger data.
ICPGD				I/O	ST	ICSP programming data.
NC/$\overline{\text{ICRST}}$/ICVPP	—	—	33			No Connect or dedicated ICD/ICSP port Reset.(3)
$\overline{\text{ICRST}}$				I	—	Master Clear (Reset) input.
ICVPP				P	—	Programming voltage input.
NC/ICPORTS	—	—	34	P	—	No Connect or 28-pin device emulation.(3)
ICPORTS						Enable 28-pin device emulation when connected to VSS.
NC	—	13	—	—	—	No Connect.

Legend: TTL = TTL compatible input; CMOS = CMOS compatible input or output; ST = Schmitt Trigger input with CMOS levels; I = Input; O = Output; P = Power

Note 1: Alternate assignment for CCP2 when CCP2MX configuration bit is cleared.

2: Default assignment for CCP2 when CCP2MX configuration bit is set.

3: These pins are No Connect unless the ICPRT configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the $\overline{\text{DEBUG}}$ configuration bit is cleared.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES:

 © 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 OSCILLATOR CONFIGURATIONS

2.1 Overview

Devices in the PIC18F2455/2550/4455/4550 family incorporate a different oscillator and microcontroller clock system than previous PIC18F devices. The addition of the USB module, with its unique requirements for a stable clock source, make it necessary to provide a separate clock source that is compliant with both USB low-speed and full speed specifications.

To accommodate these requirements, PIC18F2455/2550/4455/4550 devices include a new clock branch to provide a 48 MHz clock for full speed USB operation. Since it is driven from the primary clock source, an additional system of prescalers and postscalers has been added to accommodate a wide range of oscillator frequencies. An overview of the oscillator structure is shown in Figure 2-1.

Other oscillator features used in PIC18 enhanced microcontrollers, such as the internal oscillator block and clock switching, remain the same. They are discussed later in this chapter.

2.1.1 OSCILLATOR CONTROL

The operation of the oscillator in PIC18F2455/2550/4455/4550 devices is controlled through two configuration registers and two control registers. Configuration registers, CONFIG1L and CONFIG1H, select the oscillator mode and USB prescaler/postscaler options. As configuration bits, these are set when the device is programmed and left in that configuration until the device is reprogrammed.

The OSCCON register (Register 2-2) selects the Active Clock mode; it is primarily used in controlling clock switching in power-managed modes. Its use is discussed in **Section 2.4.1 "Oscillator Control Register"**.

The OSCTUNE register (Register 2-1) is used to trim the INTRC frequency source, as well as select the low-frequency clock source that drives several special features. Its use is described in **Section 2.2.5.2 "OSCTUNE Register"**.

2.2 Oscillator Types

PIC18F2455/2550/4455/4550 devices can be operated in twelve distinct oscillator modes. In contrast with previous PIC18 enhanced microcontrollers, four of these modes involve the use of two oscillator types at once. Users can program the FOSC3:FOSC0 configuration bits to select one of these modes:

1. XT Crystal/Resonator
2. XTPLL Crystal/Resonator with PLL enabled
3. HS High-Speed Crystal/Resonator
4. HSPLL High-Speed Crystal/Resonator with PLL enabled
5. EC External Clock with FOSC/4 output
6. ECIO External Clock with I/O on RA6
7. ECPLL External Clock with PLL enabled and FOSC/4 output on RA6
8. ECPIO External Clock with PLL enabled, I/O on RA6
9. INTHS Internal Oscillator used as microcontroller clock source, HS Oscillator used as USB clock source
10. INTXT Internal Oscillator used as microcontroller clock source, XT Oscillator used as USB clock source
11. INTIO Internal Oscillator used as microcontroller clock source, EC Oscillator used as USB clock source, digital I/O on RA6
12. INTCKO Internal Oscillator used as microcontroller clock source, EC Oscillator used as USB clock source, FOSC/4 output on RA6

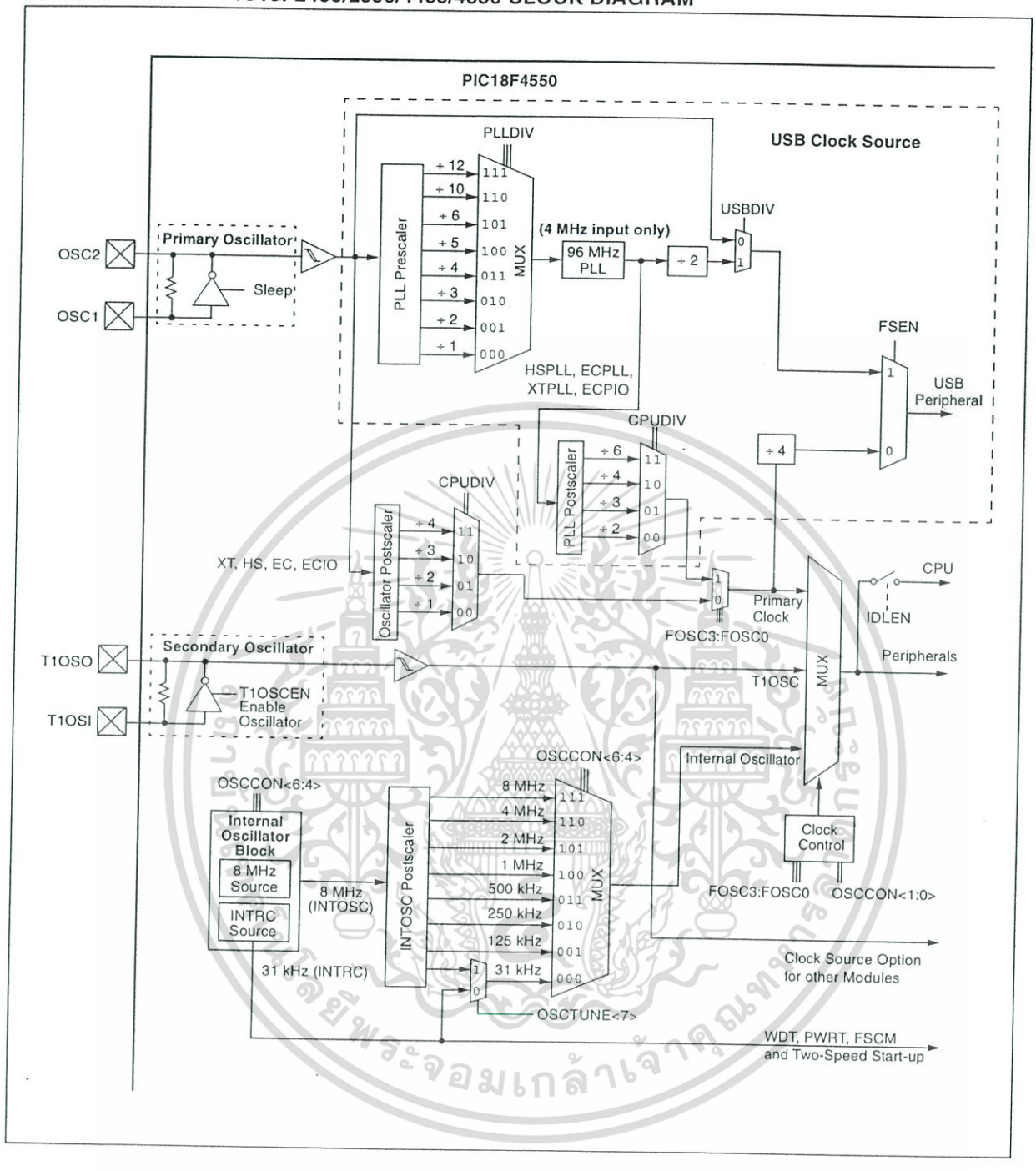
2.2.1 OSCILLATOR MODES AND USB OPERATION

Because of the unique requirements of the USB module, a different approach to clock operation is necessary. In previous PICmicro® devices, all core and peripheral clocks were driven by a single oscillator source; the usual sources were primary, secondary or the internal oscillator. With PIC18F2455/2550/4455/4550 devices, the primary oscillator becomes part of the USB module and cannot be associated to any other clock source. Thus, the USB module must be clocked from the primary clock source; however, the microcontroller core and other peripherals can be separately clocked from the secondary or internal oscillators as before.

Because of the timing requirements imposed by USB, an internal clock of either 6 MHz or 48 MHz is required while the USB module is enabled. Fortunately, the microcontroller and other peripherals are not required to run at this clock speed when using the primary oscillator. There are numerous options to achieve the USB module clock requirement and still provide flexibility for clocking the rest of the device from the primary oscillator source. These are detailed in **Section 2.3 "Oscillator Settings for USB"**.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2-1: PIC18F2455/2550/4455/4550 CLOCK DIAGRAM



 © 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

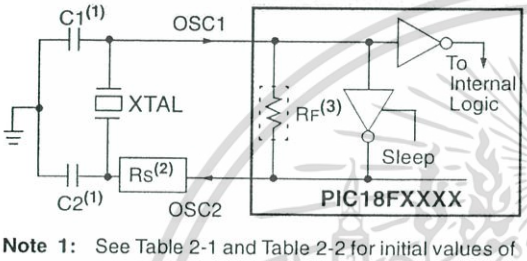
2.2.2 CRYSTAL OSCILLATOR/CERAMIC RESONATORS

In HS, HSPLL, XT and XTPLL Oscillator modes, a crystal or ceramic resonator is connected to the OSC1 and OSC2 pins to establish oscillation. Figure 2-2 shows the pin connections.

The oscillator design requires the use of a parallel cut crystal.

Note: Use of a series cut crystal may give a frequency out of the crystal manufacturer's specifications.

FIGURE 2-2: CRYSTAL/CERAMIC RESONATOR OPERATION (XT, HS OR HSPLL CONFIGURATION)



Note 1: See Table 2-1 and Table 2-2 for initial values of C1 and C2.
2: A series resistor (RS) may be required for AT strip cut crystals.
3: RF varies with the oscillator mode chosen.

TABLE 2-1: CAPACITOR SELECTION FOR CERAMIC RESONATORS

Typical Capacitor Values Used:			
Mode	**Freq**	**OSC1**	**OSC2**
XT	4.0 MHz	33 pF	33 pF
HS	8.0 MHz	27 pF	27 pF
	16.0 MHz	22 pF	22 pF

Capacitor values are for design guidance only.

These capacitors were tested with the resonators listed below for basic start-up and operation. **These values are not optimized.**

Different capacitor values may be required to produce acceptable oscillator operation. The user should test the performance of the oscillator over the expected VDD and temperature range for the application.

See the notes following Table 2-2 for additional information.

Resonators Used:
4.0 MHz
8.0 MHz
16.0 MHz

TABLE 2-2: CAPACITOR SELECTION FOR CRYSTAL OSCILLATOR

Osc Type	Crystal Freq	Typical Capacitor Values Tested:	
		C1	**C2**
XT	4 MHz	27 pF	27 pF
HS	4 MHz	27 pF	27 pF
	8 MHz	22 pF	22 pF
	20 MHz	15 pF	15 pF

Capacitor values are for design guidance only.

These capacitors were tested with the crystals listed below for basic start-up and operation. **These values are not optimized.**

Different capacitor values may be required to produce acceptable oscillator operation. The user should test the performance of the oscillator over the expected VDD and temperature range for the application.

See the notes following this table for additional information.

Crystals Used:
4 MHz
8 MHz
20 MHz

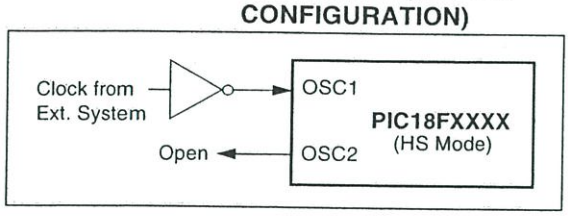
Note 1: Higher capacitance increases the stability of oscillator but also increases the start-up time.
2: When operating below 3V VDD, or when using certain ceramic resonators at any voltage, it may be necessary to use the HS mode or switch to a crystal oscillator.
3: Since each resonator/crystal has its own characteristics, the user should consult the resonator/crystal manufacturer for appropriate values of external components.
4: Rs may be required to avoid overdriving crystals with low drive level specification.
5: Always verify oscillator performance over the VDD and temperature range that is expected for the application.

An internal postscaler allows users to select a clock frequency other than that of the crystal or resonator. Frequency division is determined by the CPUDIV configuration bits. Users may select a clock frequency of the oscillator frequency, or 1/2, 1/3 or 1/4 of the frequency.

An external clock may also be used when the microcontroller is in HS Oscillator mode. In this case, the OSC2/CLKO pin is left open (Figure 2-3).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2-3: EXTERNAL CLOCK INPUT OPERATION (HS OSC CONFIGURATION)

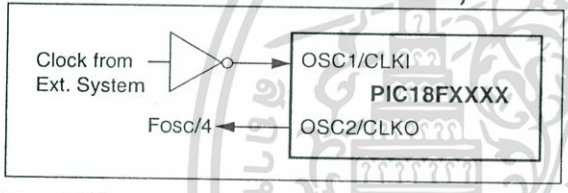


2.2.3 EXTERNAL CLOCK INPUT

The EC, ECIO, ECPLL and ECPIO Oscillator modes require an external clock source to be connected to the OSC1 pin. There is no oscillator start-up time required after a Power-on Reset or after an exit from Sleep mode.

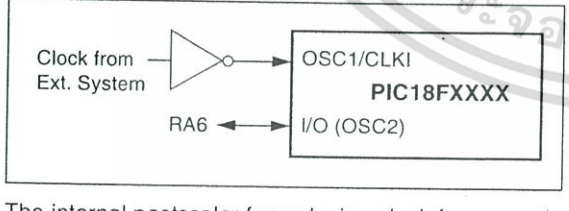
In the EC and ECPLL Oscillator modes, the oscillator frequency divided by 4 is available on the OSC2 pin. This signal may be used for test purposes or to synchronize other logic. Figure 2-4 shows the pin connections for the EC Oscillator mode.

FIGURE 2-4: EXTERNAL CLOCK INPUT OPERATION (EC AND ECPLL CONFIGURATION)



The ECIO and ECPIO Oscillator modes function like the EC and ECPLL modes, except that the OSC2 pin becomes an additional general purpose I/O pin. The I/O pin becomes bit 6 of PORTA (RA6). Figure 2-5 shows the pin connections for the ECIO Oscillator mode.

FIGURE 2-5: EXTERNAL CLOCK INPUT OPERATION (ECIO AND ECPIO CONFIGURATION)



The internal postscaler for reducing clock frequency in XT and HS modes is also available in EC and ECIO modes.

2.2.4 PLL FREQUENCY MULTIPLIER

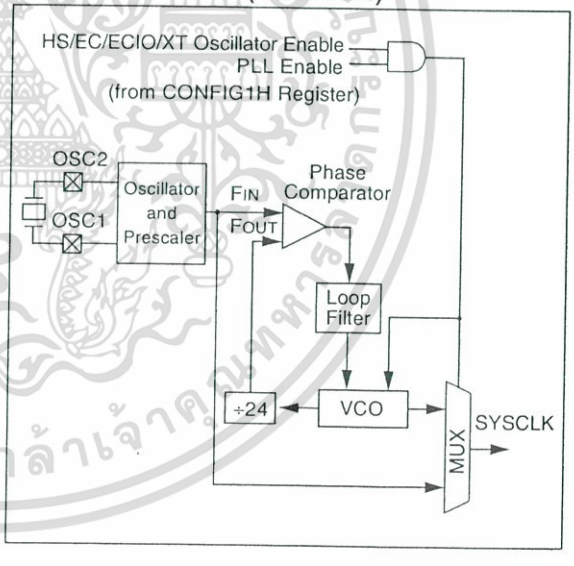
PIC18F2455/2550/4255/4550 devices include a Phase Locked Loop (PLL) circuit. This is provided specifically for USB applications with lower speed oscillators and can also be used as a microcontroller clock source.

The PLL is enabled in HSPLL, XTPLL, ECPLL and ECPIO Oscillator modes. It is designed to produce a fixed 96 MHz reference clock from a fixed 4 MHz input. The output can then be divided and used for both the USB and the microcontroller core clock. Because the PLL has a fixed frequency input and output, there are eight prescaling options to match the oscillator input frequency to the PLL.

There is also a separate postscaler option for deriving the microcontroller clock from the PLL. This allows the USB peripheral and microcontroller to use the same oscillator input and still operate at different clock speeds. In contrast to the postscaler for XT, HS and EC modes, the available options are 1/2, 1/3, 1/4 and 1/6. of the PLL output.

The HSPLL, ECPLL and ECPIO modes make use of the HS mode oscillator for frequencies up to 48 MHz. The prescaler divides the oscillator input by up to 12 to produce the 4 MHz drive for the PLL. The XTPLL mode can only use an input frequency of 4 MHz which drives the PLL directly.

FIGURE 2-6: PLL BLOCK DIAGRAM (HS MODE)



 © 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.5 INTERNAL OSCILLATOR BLOCK

The PIC18F2455/2550/4455/4550 devices include an internal oscillator block which generates two different clock signals; either can be used as the microcontroller's clock source. If the USB peripheral is not used, the internal oscillator may eliminate the need for external oscillator circuits on the OSC1 and/or OSC2 pins.

The main output (INTOSC) is an 8 MHz clock source which can be used to directly drive the device clock. It also drives the INTOSC postscaler which can provide a range of clock frequencies from 31 kHz to 4 MHz. The INTOSC output is enabled when a clock frequency from 125 kHz to 8 MHz is selected.

The other clock source is the internal RC oscillator (INTRC) which provides a nominal 31 kHz output. INTRC is enabled if it is selected as the device clock source; it is also enabled automatically when any of the following are enabled:

- Power-up Timer
- Fail-Safe Clock Monitor
- Watchdog Timer
- Two-Speed Start-up

These features are discussed in greater detail in **Section 25.0 "Special Features of the CPU"**.

The clock source frequency (INTOSC direct, INTRC direct or INTOSC postscaler) is selected by configuring the IRCF bits of the OSCCON register (page 32).

2.2.5.1 Internal Oscillator Modes

When the internal oscillator is used as the microcontroller clock source, one of the other oscillator modes (External Clock or External Crystal/Resonator) must be used as the USB clock source. The choice of USB clock source is determined by the particular internal oscillator mode.

There are four distinct modes available:

1. INTHS mode: The USB clock is provided by the oscillator in HS mode.
2. INTXT mode: The USB clock is provided by the oscillator in XT mode.
3. INTCKO mode: The USB clock is provided by an external clock input on OSC1/CLKI; the OSC2/CLKO pin outputs FOSC/4.
4. INTIO mode: The USB clock is provided by an external clock input on OSC1/CLKI; the OSC2/CLKO pin functions as a digital I/O (RA6).

Of these four modes, only INTIO mode frees up an additional pin (OSC2/CLKO/RA6) for port I/O use.

2.2.5.2 OSCTUNE Register

The internal oscillator's output has been calibrated at the factory but can be adjusted in the user's application. This is done by writing to the OSCTUNE register (Register 2-1). The tuning sensitivity is constant throughout the tuning range.

When the OSCTUNE register is modified, the INTOSC and INTRC frequencies will begin shifting to the new frequency. The INTRC clock will reach the new frequency within 8 clock cycles (approximately, 8 * 32 µs = 256 µs). The INTOSC clock will stabilize within 1 ms. Code execution continues during this shift. There is no indication that the shift has occurred.

The OSCTUNE register also contains the INTSRC bit. The INTSRC bit allows users to select which internal oscillator provides the clock source when the 31 kHz frequency option is selected. This is covered in greater detail in **Section 2.4.1 "Oscillator Control Register"**.

2.2.5.3 Internal Oscillator Output Frequency and Drift

The internal oscillator block is calibrated at the factory to produce an INTOSC output frequency of 8.0 MHz. However, this frequency may drift as VDD or temperature changes, which can affect the controller operation in a variety of ways.

The low-frequency INTRC oscillator operates independently of the INTOSC source. Any changes in INTOSC across voltage and temperature are not necessarily reflected by changes in INTRC and vice versa.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REGISTER 2-1: OSCTUNE: OSCILLATOR TUNING REGISTER

R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INTSRC	—	—	TUN4	TUN3	TUN2	TUN1	TUN0
bit 7							bit 0

bit 7 **INTSRC:** Internal Oscillator Low-Frequency Source Select bit
1 = 31.25 kHz device clock derived from 8 MHz INTOSC source (divide-by-256 enabled)
0 = 31 kHz device clock derived directly from INTRC internal oscillator

bit 6-5 **Unimplemented:** Read as '0'

bit 4-0 **TUN4:TUN0:** Frequency Tuning bits
01111 = Maximum frequency
•
•
00001
00000 = Center frequency. Oscillator module is running at the calibrated frequency.
11111
•
•
10000 = Minimum frequency

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

2.2.5.4 Compensating for INTOSC Drift

It is possible to adjust the INTOSC frequency by modifying the value in the OSCTUNE register. This has no effect on the INTRC clock source frequency.

Tuning the INTOSC source requires knowing when to make the adjustment, in which direction it should be made and in some cases, how large a change is needed. When using the EUSART, for example, an adjustment may be required when it begins to generate framing errors or receives data with errors while in Asynchronous mode. Framing errors indicate that the device clock frequency is too high; to adjust for this, decrement the value in OSCTUNE to reduce the clock frequency. On the other hand, errors in data may suggest that the clock speed is too low; to compensate, increment OSCTUNE to increase the clock frequency.

It is also possible to verify device clock speed against a reference clock. Two timers may be used: one timer is clocked by the peripheral clock, while the other is clocked by a fixed reference source, such as the Timer1 oscillator. Both timers are cleared but the timer clocked by the reference generates interrupts. When an interrupt occurs, the internally clocked timer is read and both timers are cleared. If the internally clocked timer value is greater than expected, then the internal oscillator block is running too fast. To adjust for this, decrement the OSCTUNE register.

Finally, a CCP module can use free running Timer1 (or Timer3), clocked by the internal oscillator block and an external event with a known period (i.e., AC power frequency). The time of the first event is captured in the CCPRxH:CCPRxL registers and is recorded for use later. When the second event causes a capture, the time of the first event is subtracted from the time of the second event. Since the period of the external event is known, the time difference between events can be calculated.

If the measured time is much greater than the calculated time, the internal oscillator block is running too fast; to compensate, decrement the OSCTUNE register. If the measured time is much less than the calculated time, the internal oscillator block is running too slow; to compensate, increment the OSCTUNE register.

 © 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 Oscillator Settings for USB

When the PIC18F4550 is used for USB connectivity, it must have either a 6 MHz or 48 MHz clock for USB operation, depending on whether Low-Speed or Full Speed mode is being used. This may require some forethought in selecting an oscillator frequency and programming the device.

The full range of possible oscillator configurations compatible with USB operation is shown in Table 2-3.

2.3.1 LOW-SPEED OPERATION

The USB clock for Low-Speed mode is derived from the primary oscillator chain and not directly from the PLL. It is divided by 4 to produce the actual 6 MHz clock. Because of this, the microcontroller can only use a clock frequency of 24 MHz when the USB module is active and the controller clock source is one of the primary oscillator modes (XT, HS or EC, with or without the PLL).

This restriction does not apply if the microcontroller clock source is the secondary oscillator or internal oscillator block.

2.3.2 RUNNING DIFFERENT USB AND MICROCONTROLLER CLOCKS

The USB module, in either mode, can run asynchronously with respect to the microcontroller core and other peripherals. This means that applications can use the primary oscillator for the USB clock while the microcontroller runs from a separate clock source at a lower speed. If it is necessary to run the entire application from only one clock source, full speed operation provides a greater selection of microcontroller clock frequencies.

TABLE 2-3: OSCILLATOR CONFIGURATION OPTIONS FOR USB OPERATION

Input Oscillator Frequency	PLL Division (PLLDIV2:PLLDIV0)	Clock Mode (FOSC3:FOSC0)	MCU Clock Division (CPUDIV1:CPUDIV0)	Microcontroller Clock Frequency
48 MHz	N/A(1)	EC, ECIO	None (00)	48 MHz
			÷2 (01)	**24 MHz**
			÷3 (10)	16 MHz
			÷4 (11)	12 MHz
48 MHz	÷12 (111)	EC, ECIO	None (00)	48 MHz
			÷2 (01)	**24 MHz**
			÷3 (10)	16 MHz
			÷4 (11)	12 MHz
		ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	**24 MHz**
			÷6 (11)	16 MHz
40 MHz	÷10 (110)	EC, ECIO	None (00)	40 MHz
			÷2 (01)	20 MHz
			÷3 (10)	13.33 MHz
			÷4 (11)	10 MHz
		ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	**24 MHz**
			÷6 (11)	16 MHz
24 MHz	÷6 (101)	HS, EC, ECIO	None (00)	**24 MHz**
			÷2 (01)	12 MHz
			÷3 (10)	8 MHz
			÷4 (11)	6 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	**24 MHz**
			÷6 (11)	16 MHz

Legend: All clock frequencies, except 24 MHz, are exclusively associated with full speed USB operation (USB clock of 48 MHz). **Bold** is used to highlight clock selections that are compatible with low-speed USB operation (system clock of 24 MHz, USB clock of 6 MHz).

Note 1: Only valid when the USBDIV configuration bit is cleared.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2-3: OSCILLATOR CONFIGURATION OPTIONS FOR USB OPERATION (CONTINUED)

Input Oscillator Frequency	PLL Division (PLLDIV2:PLLDIV0)	Clock Mode (FOSC3:FOSC0)	MCU Clock Division (CPUDIV1:CPUDIV0)	Microcontroller Clock Frequency
20 MHz	÷5 (100)	HS, EC, ECIO	None (00)	20 MHz
			÷2 (01)	10 MHz
			÷3 (10)	6.67 MHz
			÷4 (11)	5 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	**24 MHz**
			÷6 (11)	16 MHz
16 MHz	÷4 (011)	HS, EC, ECIO	None (00)	16 MHz
			÷2 (01)	8 MHz
			÷3 (10)	5.33 MHz
			÷4 (11)	4 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	**24 MHz**
			÷6 (11)	16 MHz
12 MHz	÷3 (010)	HS, EC, ECIO	None (00)	12 MHz
			÷2 (01)	6 MHz
			÷3 (10)	4 MHz
			÷4 (11)	3 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	**24 MHz**
			÷6 (11)	16 MHz
8 MHz	÷2 (001)	HS, EC, ECIO	None (00)	8 MHz
			÷2 (01)	4 MHz
			÷3 (10)	2.67 MHz
			÷4 (11)	2 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	**24 MHz**
			÷6 (11)	16 MHz
4 MHz	÷1 (000)	XT, HS, EC, ECIO	None (00)	4 MHz
			÷2 (01)	2 MHz
			÷3 (10)	1.33 MHz
			÷4 (11)	1 MHz
		HSPLL, ECPLL, XTPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	**24 MHz**
			÷6 (11)	16 MHz

Legend: All clock frequencies, except 24 MHz, are exclusively associated with full speed USB operation (USB clock of 48 MHz). **Bold** is used to highlight clock selections that are compatible with low-speed USB operation (system clock of 24 MHz, USB clock of 6 MHz).

Note 1: Only valid when the USBDIV configuration bit is cleared.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Clock Sources and Oscillator Switching

Like previous PIC18 enhanced devices, the PIC18F2455/2550/4455/4550 family includes a feature that allows the device clock source to be switched from the main oscillator to an alternate low-frequency clock source. PIC18F2455/2550/4455/4550 devices offer two alternate clock sources. When an alternate clock source is enabled, the various power-managed operating modes are available.

Essentially, there are three clock sources for these devices:

- Primary oscillators
- Secondary oscillators
- Internal oscillator block

The **primary oscillators** include the External Crystal and Resonator modes, the External Clock modes and the internal oscillator block. The particular mode is defined by the FOSC3:FOSC0 configuration bits. The details of these modes are covered earlier in this chapter.

The **secondary oscillators** are those external sources not connected to the OSC1 or OSC2 pins. These sources may continue to operate even after the controller is placed in a power-managed mode.

PIC18F2455/2550/4455/4550 devices offer the Timer1 oscillator as a secondary oscillator. This oscillator, in all power-managed modes, is often the time base for functions such as a real-time clock. Most often, a 32.768 kHz watch crystal is connected between the RC0/T1OSO/T13CKI and RC1/T1OSI/$\overline{UOE}$ pins. Like the XT and HS mode oscillator circuits, loading capacitors are also connected from each pin to ground. The Timer1 oscillator is discussed in greater detail in **Section 12.3 "Timer1 Oscillator"**.

In addition to being a primary clock source, the **internal oscillator block** is available as a power-managed mode clock source. The INTRC source is also used as the clock source for several special features, such as the WDT and Fail-Safe Clock Monitor.

2.4.1 OSCILLATOR CONTROL REGISTER

The OSCCON register (Register 2-2) controls several aspects of the device clock's operation, both in full power operation and in power-managed modes.

The System Clock Select bits, SCS1:SCS0, select the clock source. The available clock sources are the primary clock (defined by the FOSC3:FOSC0 configuration bits), the secondary clock (Timer1 oscillator) and the internal oscillator block. The clock source changes immediately after one or more of the bits is written to, following a brief clock transition interval. The SCS bits are cleared on all forms of Reset.

The Internal Oscillator Frequency Select bits, IRCF2:IRCF0, select the frequency output of the internal oscillator block to drive the device clock. The choices are the INTRC source, the INTOSC source (8 MHz) or one of the frequencies derived from the INTOSC postscaler (31 kHz to 4 MHz). If the internal oscillator block is supplying the device clock, changing the states of these bits will have an immediate change on the internal oscillator's output. On device Resets, the default output frequency of the internal oscillator block is set at 1 MHz.

When an output frequency of 31 kHz is selected (IRCF2:IRCF0 = 000), users may choose which internal oscillator acts as the source. This is done with the INTSRC bit in the OSCTUNE register (OSCTUNE<7>). Setting this bit selects INTOSC as a 31.25 kHz clock source by enabling the divide-by-256 output of the INTOSC postscaler. Clearing INTSRC selects INTRC (nominally 31 kHz) as the clock source.

This option allows users to select the tunable and more precise INTOSC as a clock source, while maintaining power savings with a very low clock speed. Regardless of the setting of INTSRC, INTRC always remains the clock source for features such as the Watchdog Timer and the Fail-Safe Clock Monitor.

The OSTS, IOFS and T1RUN bits indicate which clock source is currently providing the device clock. The OSTS bit indicates that the Oscillator Start-up Timer has timed out and the primary clock is providing the device clock in primary clock modes. The IOFS bit indicates when the internal oscillator block has stabilized and is providing the device clock in RC Clock modes. The T1RUN bit (T1CON<6>) indicates when the Timer1 oscillator is providing the device clock in secondary clock modes. In power-managed modes, only one of these three bits will be set at any time. If none of these bits are set, the INTRC is providing the clock or the internal oscillator block has just started and is not yet stable.

The IDLEN bit determines if the device goes into Sleep mode, or one of the Idle modes, when the SLEEP instruction is executed.

The use of the flag and control bits in the OSCCON register is discussed in more detail in **Section 3.0 "Power-Managed Modes"**.

Note 1:	The Timer1 oscillator must be enabled to select the secondary clock source. The Timer1 oscillator is enabled by setting the T1OSCEN bit in the Timer1 Control register (T1CON<3>). If the Timer1 oscillator is not enabled, then any attempt to select a secondary clock source will be ignored.
2:	It is recommended that the Timer1 oscillator be operating and stable prior to switching to it as the clock source; otherwise, a very long delay may occur while the Timer1 oscillator starts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 OSCILLATOR TRANSITIONS

PIC18F2455/2550/4455/4550 devices contain circuitry to prevent clock "glitches" when switching between clock sources. A short pause in the device clock occurs during the clock switch. The length of this pause is the sum of two cycles of the old clock source and three to four cycles of the new clock source. This formula assumes that the new clock source is stable.

Clock transitions are discussed in greater detail in **Section 3.1.2 "Entering Power-Managed Modes"**.

REGISTER 2-2: OSCCON: OSCILLATOR CONTROL REGISTER

R/W-0	R/W-1	R/W-0	R/W-0	R(1)	R-0	R/W-0	R/W-0
IDLEN	IRCF2	IRCF1	IRCF0	OSTS	IOFS	SCS1	SCS0
bit 7							bit 0

bit 7 **IDLEN:** Idle Enable bit
1 = Device enters Idle mode on SLEEP instruction
0 = Device enters Sleep mode on SLEEP instruction

bit 6-4 **IRCF2:IRCF0:** Internal Oscillator Frequency Select bits
111 = 8 MHz (INTOSC drives clock directly)
110 = 4 MHz
101 = 2 MHz
100 = 1 MHz(3)
011 = 500 kHz
010 = 250 kHz
001 = 125 kHz
000 = 31 kHz (from either INTOSC/256 or INTRC directly)(2)

bit 3 **OSTS:** Oscillator Start-up Time-out Status bit(1)
1 = Oscillator Start-up Timer time-out has expired; primary oscillator is running
0 = Oscillator Start-up Timer time-out is running; primary oscillator is not ready

bit 2 **IOFS:** INTOSC Frequency Stable bit
1 = INTOSC frequency is stable
0 = INTOSC frequency is not stable

bit 1-0 **SCS1:SCS0:** System Clock Select bits
1x = Internal oscillator block
01 = Timer1 oscillator
00 = Primary oscillator

Note 1: Depends on the state of the IESO configuration bit.
2: Source selected by the INTSRC bit (OSCTUNE<7>), see text.
3: Default output frequency of INTOSC on Reset.

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 Effects of Power-Managed Modes on the Various Clock Sources

When PRI_IDLE mode is selected, the designated primary oscillator continues to run without interruption. For all other power-managed modes, the oscillator using the OSC1 pin is disabled. Unless the USB module is enabled, the OSC1 pin (and OSC2 pin if used by the oscillator) will stop oscillating.

In secondary clock modes (SEC_RUN and SEC_IDLE), the Timer1 oscillator is operating and providing the device clock. The Timer1 oscillator may also run in all power-managed modes if required to clock Timer1 or Timer3.

In internal oscillator modes (RC_RUN and RC_IDLE), the internal oscillator block provides the device clock source. The 31 kHz INTRC output can be used directly to provide the clock and may be enabled to support various special features regardless of the power-managed mode (see **Section 25.2 "Watchdog Timer (WDT)"**, **Section 25.3 "Two-Speed Start-up"** and **Section 25.4 "Fail-Safe Clock Monitor"** for more information on WDT, Fail-Safe Clock Monitor and Two-Speed Start-up). The INTOSC output at 8 MHz may be used directly to clock the device or may be divided down by the postscaler. The INTOSC output is disabled if the clock is provided directly from the INTRC output.

Regardless of the Run or Idle mode selected, the USB clock source will continue to operate. If the device is operating from a crystal or resonator-based oscillator, that oscillator will continue to clock the USB module; the core and all other modules will switch to the new clock source.

If the Sleep mode is selected, all clock sources are stopped. Since all the transistor switching currents have been stopped, Sleep mode achieves the lowest current consumption of the device (only leakage currents).

Sleep mode should never be invoked while the USB module is operating and connected. The only exception is when the device has been issued a "Suspend" command over the USB. Once the module has suspended operation and shifted to a low-power state, the microcontroller may be safely put into Sleep mode.

Enabling any on-chip feature that will operate during Sleep will increase the current consumed during Sleep. The INTRC is required to support WDT operation. The Timer1 oscillator may be operating to support a real-time clock. Other features may be operating that do not require a device clock source (i.e., SSP slave, PSP, INTn pins and others). Peripherals that may add significant current consumption are listed in **Section 28.2 "DC Characteristics: Power-Down and Supply Current"**.

2.6 Power-up Delays

Power-up delays are controlled by two timers, so that no external Reset circuitry is required for most applications. The delays ensure that the device is kept in Reset until the device power supply is stable under normal circumstances and the primary clock is operating and stable. For additional information on power-up delays, see **Section 4.5 "Device Reset Timers"**.

The first timer is the Power-up Timer (PWRT), which provides a fixed delay on power-up (parameter 33, Table 28-12). It is enabled by clearing (= 0) the PWRTEN configuration bit.

The second timer is the Oscillator Start-up Timer (OST), intended to keep the chip in Reset until the crystal oscillator is stable (XT and HS modes). The OST does this by counting 1024 oscillator cycles before allowing the oscillator to clock the device.

When the HSPLL Oscillator mode is selected, the device is kept in Reset for an additional 2 ms, following the HS mode OST delay, so the PLL can lock to the incoming clock frequency.

There is a delay of interval, TCSD (parameter 38, Table 28-12), following POR, while the controller becomes ready to execute instructions. This delay runs concurrently with any other delays. This may be the only delay that occurs when any of the EC or internal oscillator modes are used as the primary clock source.

TABLE 2-4: OSC1 AND OSC2 PIN STATES IN SLEEP MODE

Oscillator Mode	OSC1 Pin	OSC2 Pin
INTCKO	Floating, pulled by external clock	At logic low (clock/4 output)
INTIO	Floating, pulled by external clock	Configured as PORTA, bit 6
ECIO, ECPIO	Floating, pulled by external clock	Configured as PORTA, bit 6
EC	Floating, pulled by external clock	At logic low (clock/4 output)
XT and HS	Feedback inverter disabled at quiescent voltage level	Feedback inverter disabled at quiescent voltage level

Note: See Table 4-2 in **Section 4.0 "Reset"** for time-outs due to Sleep and $\overline{\text{MCLR}}$ Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES:

 © 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 POWER-MANAGED MODES

PIC18F2455/2550/4455/4550 devices offer a total of seven operating modes for more efficient power management. These modes provide a variety of options for selective power conservation in applications where resources may be limited (i.e., battery-powered devices).

There are three categories of power-managed modes:

- Run modes
- Idle modes
- Sleep mode

These categories define which portions of the device are clocked and sometimes, what speed. The Run and Idle modes may use any of the three available clock sources (primary, secondary or internal oscillator block); the Sleep mode does not use a clock source.

The power-managed modes include several power-saving features offered on previous PICmicro® devices. One is the clock switching feature, offered in other PIC18 devices, allowing the controller to use the Timer1 oscillator in place of the primary oscillator. Also included is the Sleep mode, offered by all PICmicro devices, where all device clocks are stopped.

3.1 Selecting Power-Managed Modes

Selecting a power-managed mode requires two decisions: if the CPU is to be clocked or not and the selection of a clock source. The IDLEN bit (OSCCON<7>) controls CPU clocking, while the SCS1:SCS0 bits (OSCCON<1:0>) select the clock source. The individual modes, bit settings, clock sources and affected modules are summarized in Table 3-1.

3.1.1 CLOCK SOURCES

The SCS1:SCS0 bits allow the selection of one of three clock sources for power-managed modes. They are:

- the primary clock, as defined by the FOSC3:FOSC0 configuration bits
- the secondary clock (the Timer1 oscillator)
- the internal oscillator block (for RC modes)

3.1.2 ENTERING POWER-MANAGED MODES

Switching from one power-managed mode to another begins by loading the OSCCON register. The SCS1:SCS0 bits select the clock source and determine which Run or Idle mode is to be used. Changing these bits causes an immediate switch to the new clock source, assuming that it is running. The switch may also be subject to clock transition delays. These are discussed in **Section 3.1.3 "Clock Transitions and Status Indicators"** and subsequent sections.

Entry to the Power-Managed Idle or Sleep modes is triggered by the execution of a SLEEP instruction. The actual mode that results depends on the status of the IDLEN bit.

Depending on the current mode and the mode being switched to, a change to a power-managed mode does not always require setting all of these bits. Many transitions may be done by changing the oscillator select bits, or changing the IDLEN bit, prior to issuing a SLEEP instruction. If the IDLEN bit is already configured correctly, it may only be necessary to perform a SLEEP instruction to switch to the desired mode.

TABLE 3-1: POWER-MANAGED MODES

Mode	OSCCON Bits		Module Clocking		Available Clock and Oscillator Source
	IDLEN(1)	SCS1:SCS0	CPU	Peripherals	
Sleep	0	N/A	Off	Off	None – all clocks are disabled
PRI_RUN	N/A	00	Clocked	Clocked	Primary – all oscillator modes. This is the normal full power execution mode.
SEC_RUN	N/A	01	Clocked	Clocked	Secondary – Timer1 oscillator
RC_RUN	N/A	1x	Clocked	Clocked	Internal oscillator block(2)
PRI_IDLE	1	00	Off	Clocked	Primary – all oscillator modes
SEC_IDLE	1	01	Off	Clocked	Secondary – Timer1 oscillator
RC_IDLE	1	1x	Off	Clocked	Internal oscillator block(2)

Note 1: IDLEN reflects its value when the SLEEP instruction is executed.

2: Includes INTOSC and INTOSC postscaler, as well as the INTRC source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 CLOCK TRANSITIONS AND STATUS INDICATORS

The length of the transition between clock sources is the sum of two cycles of the old clock source and three to four cycles of the new clock source. This formula assumes that the new clock source is stable.

Three bits indicate the current clock source and its status. They are:

- OSTS (OSCCON<3>)
- IOFS (OSCCON<2>)
- T1RUN (T1CON<6>)

In general, only one of these bits will be set while in a given power-managed mode. When the OSTS bit is set, the primary clock is providing the device clock. When the IOFS bit is set, the INTOSC output is providing a stable 8 MHz clock source to a divider that actually drives the device clock. When the T1RUN bit is set, the Timer1 oscillator is providing the clock. If none of these bits are set, then either the INTRC clock source is clocking the device, or the INTOSC source is not yet stable.

If the internal oscillator block is configured as the primary clock source by the FOSC3:FOSC0 configuration bits, then both the OSTS and IOFS bits may be set when in PRI_RUN or PRI_IDLE modes. This indicates that the primary clock (INTOSC output) is generating a stable 8 MHz output. Entering another RC power-managed mode at the same frequency would clear the OSTS bit.

Note 1:	Caution should be used when modifying a single IRCF bit. If VDD is less than 3V, it is possible to select a higher clock speed than is supported by the low VDD. Improper device operation may result if the VDD/FOSC specifications are violated.
2:	Executing a SLEEP instruction does not necessarily place the device into Sleep mode. It acts as the trigger to place the controller into either the Sleep mode, or one of the Idle modes, depending on the setting of the IDLEN bit.

3.1.4 MULTIPLE SLEEP COMMANDS

The power-managed mode that is invoked with the SLEEP instruction is determined by the setting of the IDLEN bit at the time the instruction is executed. If another SLEEP instruction is executed, the device will enter the power-managed mode specified by IDLEN at that time. If IDLEN has changed, the device will enter the new power-managed mode specified by the new setting.

3.2 Run Modes

In the Run modes, clocks to both the core and peripherals are active. The difference between these modes is the clock source.

3.2.1 PRI_RUN MODE

The PRI_RUN mode is the normal, full power execution mode of the microcontroller. This is also the default mode upon a device Reset unless Two-Speed Start-up is enabled (see **Section 25.3 "Two-Speed Start-up"** for details). In this mode, the OSTS bit is set. The IOFS bit may be set if the internal oscillator block is the primary clock source (see **Section 2.4.1 "Oscillator Control Register"**).

3.2.2 SEC_RUN MODE

The SEC_RUN mode is the compatible mode to the "clock switching" feature offered in other PIC18 devices. In this mode, the CPU and peripherals are clocked from the Timer1 oscillator. This gives users the option of lower power consumption while still using a high accuracy clock source.

SEC_RUN mode is entered by setting the SCS1:SCS0 bits to '01'. The device clock source is switched to the Timer1 oscillator (see Figure 3-1), the primary oscillator is shut down, the T1RUN bit (T1CON<6>) is set and the OSTS bit is cleared.

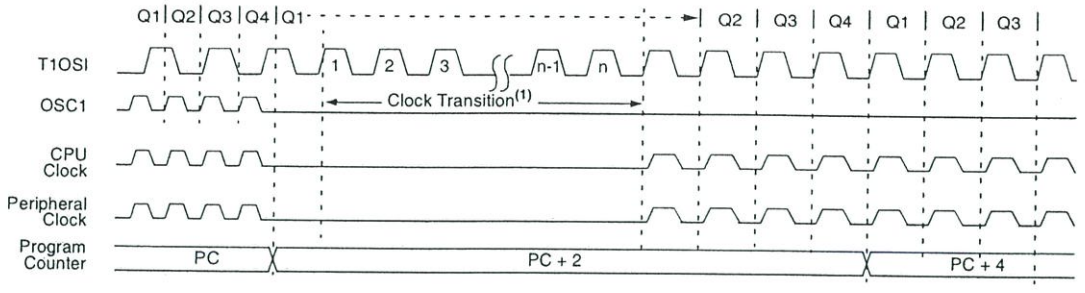
Note:	The Timer1 oscillator should already be running prior to entering SEC_RUN mode. If the T1OSCEN bit is not set when the SCS1:SCS0 bits are set to '01', entry to SEC_RUN mode will not occur. If the Timer1 oscillator is enabled but not yet running, device clocks will be delayed until the oscillator has started. In such situations, initial oscillator operation is far from stable and unpredictable operation may result.

On transitions from SEC_RUN mode to PRI_RUN, the peripherals and CPU continue to be clocked from the Timer1 oscillator while the primary clock is started. When the primary clock becomes ready, a clock switch back to the primary clock occurs (see Figure 3-2). When the clock switch is complete, the T1RUN bit is cleared, the OSTS bit is set and the primary clock is providing the clock. The IDLEN and SCS bits are not affected by the wake-up; the Timer1 oscillator continues to run.

 © 2004 Microchip Technology Inc.

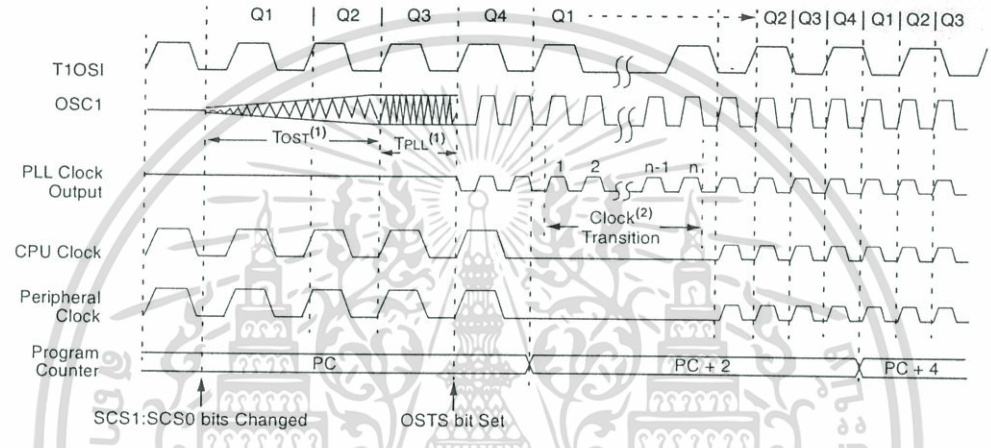
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3-1: TRANSITION TIMING FOR ENTRY TO SEC_RUN MODE



Note 1: Clock transition typically occurs within 2-4 TOSC.

FIGURE 3-2: TRANSITION TIMING FROM SEC_RUN MODE TO PRI_RUN MODE (HSPLL)



Note 1: TOST = 1024 TOSC; TPLL = 2 ms (approx). These intervals are not shown to scale.
2: Clock transition typically occurs within 2-4 TOSC.

3.2.3 RC_RUN MODE

In RC_RUN mode, the CPU and peripherals are clocked from the internal oscillator block using the INTOSC multiplexer; the primary clock is shut down. When using the INTRC source, this mode provides the best power conservation of all the Run modes while still executing code. It works well for user applications which are not highly timing sensitive or do not require high-speed clocks at all times.

If the primary clock source is the internal oscillator block (either INTRC or INTOSC), there are no distinguishable differences between PRI_RUN and RC_RUN modes during execution. However, a clock switch delay will occur during entry to and exit from RC_RUN mode. Therefore, if the primary clock source is the internal oscillator block, the use of RC_RUN mode is not recommended.

This mode is entered by setting SCS1 to '1'. Although it is ignored, it is recommended that SCS0 also be cleared; this is to maintain software compatibility with future devices. When the clock source is switched to the INTOSC multiplexer (see Figure 3-3), the primary oscillator is shut down and the OSTS bit is cleared. The IRCF bits may be modified at any time to immediately change the clock speed.

Note:	Caution should be used when modifying a single IRCF bit. If VDD is less than 3V, it is possible to select a higher clock speed than is supported by the low VDD. Improper device operation may result if the VDD/FOSC specifications are violated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

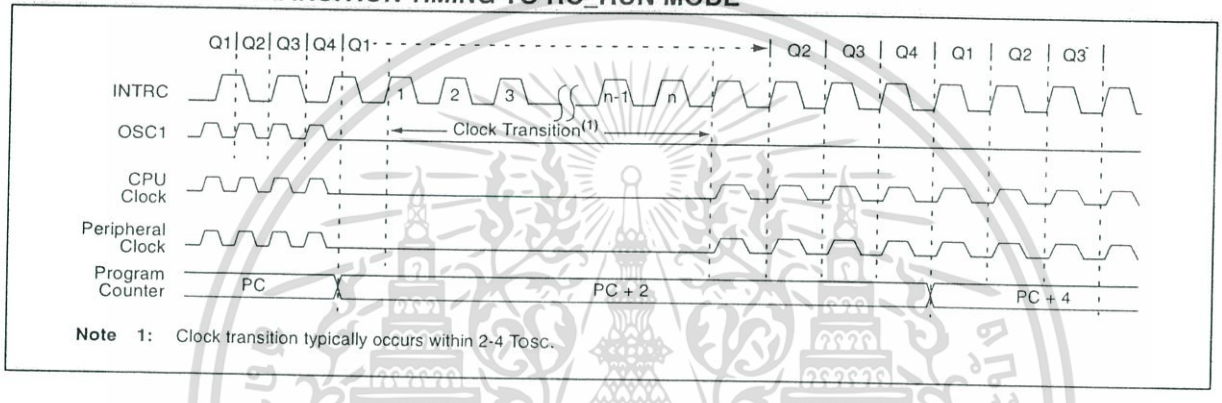
If the IRCF bits and the INTSRC bit are all clear, the INTOSC output is not enabled and the IOFS bit will remain clear; there will be no indication of the current clock source. The INTRC source is providing the device clocks.

If the IRCF bits are changed from all clear (thus, enabling the INTOSC output), or if INTSRC is set, the IOFS bit becomes set after the INTOSC output becomes stable. Clocks to the device continue while the INTOSC source stabilizes after an interval of TIOBST.

If the IRCF bits were previously at a non-zero value or if INTSRC was set before setting SCS1 and the INTOSC source was already stable, the IOFS bit will remain set.

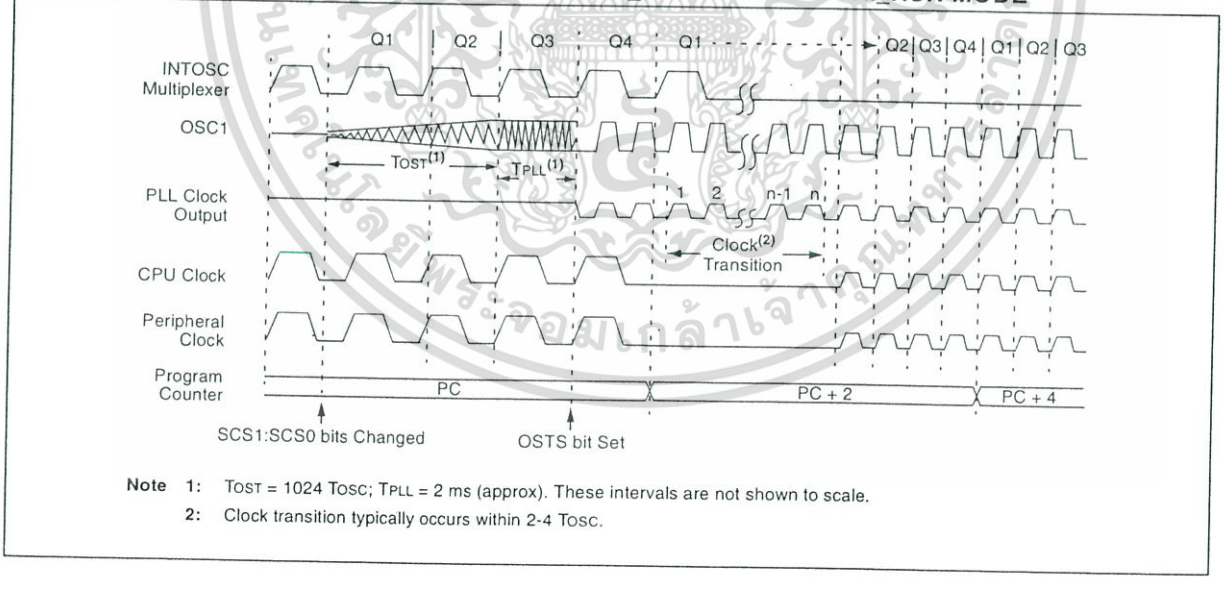
On transitions from RC_RUN mode to PRI_RUN mode, the device continues to be clocked from the INTOSC multiplexer while the primary clock is started. When the primary clock becomes ready, a clock switch to the primary clock occurs (see Figure 3-4). When the clock switch is complete, the IOFS bit is cleared, the OSTS bit is set and the primary clock is providing the device clock. The IDLEN and SCS bits are not affected by the switch. The INTRC source will continue to run if either the WDT or the Fail-Safe Clock Monitor is enabled.

FIGURE 3-3: TRANSITION TIMING TO RC_RUN MODE



Note 1: Clock transition typically occurs within 2-4 TOSC.

FIGURE 3-4: TRANSITION TIMING FROM RC_RUN MODE TO PRI_RUN MODE



Note 1: TOST = 1024 TOSC; TPLL = 2 ms (approx). These intervals are not shown to scale.

2: Clock transition typically occurs within 2-4 TOSC.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 Sleep Mode

The Power-Managed Sleep mode in the PIC18F2455/2550/4455/4550 devices is identical to the legacy Sleep mode offered in all other PICmicro devices. It is entered by clearing the IDLEN bit (the default state on device Reset) and executing the SLEEP instruction. This shuts down the selected oscillator (Figure 3-5). All clock source status bits are cleared.

Entering the Sleep mode from any other mode does not require a clock switch. This is because no clocks are needed once the controller has entered Sleep. If the WDT is selected, the INTRC source will continue to operate. If the Timer1 oscillator is enabled, it will also continue to run.

When a wake event occurs in Sleep mode (by interrupt, Reset or WDT time-out), the device will not be clocked until the clock source selected by the SCS1:SCS0 bits becomes ready (see Figure 3-6), or it will be clocked from the internal oscillator block if either the Two-Speed Start-up or the Fail-Safe Clock Monitor are enabled (see **Section 25.0 "Special Features of the CPU"**). In either case, the OSTS bit is set when the primary clock is providing the device clocks. The IDLEN and SCS bits are not affected by the wake-up.

3.4 Idle Modes

The Idle modes allow the controller's CPU to be selectively shut down while the peripherals continue to operate. Selecting a particular Idle mode allows users to further manage power consumption.

If the IDLEN bit is set to a '1' when a SLEEP instruction is executed, the peripherals will be clocked from the clock source selected using the SCS1:SCS0 bits; however, the CPU will not be clocked. The clock source status bits are not affected. Setting IDLEN and executing a SLEEP instruction provides a quick method of switching from a given Run mode to its corresponding Idle mode.

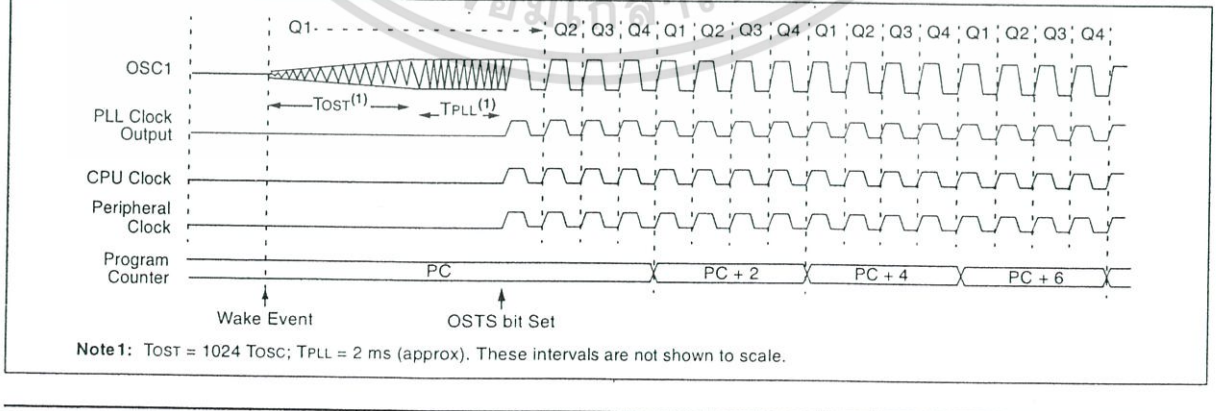
If the WDT is selected, the INTRC source will continue to operate. If the Timer1 oscillator is enabled, it will also continue to run.

Since the CPU is not executing instructions, the only exits from any of the Idle modes are by interrupt, WDT time-out or a Reset. When a wake event occurs, CPU execution is delayed by an interval of TCSD (parameter 38, Table 28-12) while it becomes ready to execute code. When the CPU begins executing code, it resumes with the same clock source for the current Idle mode. For example, when waking from RC_IDLE mode, the internal oscillator block will clock the CPU and peripherals (in other words, RC_RUN mode). The IDLEN and SCS bits are not affected by the wake-up.

While in any Idle mode or the Sleep mode, a WDT time-out will result in a WDT wake-up to the Run mode currently specified by the SCS1:SCS0 bits.

FIGURE 3-5: TRANSITION TIMING FOR ENTRY TO SLEEP MODE

FIGURE 3-6: TRANSITION TIMING FOR WAKE FROM SLEEP (HSPLL)



Note 1: TOST = 1024 TOSC; TPLL = 2 ms (approx). These intervals are not shown to scale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 PRI_IDLE MODE

This mode is unique among the three Low-Power Idle modes in that it does not disable the primary device clock. For timing sensitive applications, this allows for the fastest resumption of device operation, with its more accurate primary clock source, since the clock source does not have to "warm up" or transition from another oscillator.

PRI_IDLE mode is entered from PRI_RUN mode by setting the IDLEN bit and executing a SLEEP instruction. If the device is in another Run mode, set IDLEN first, then clear the SCS bits and execute SLEEP. Although the CPU is disabled, the peripherals continue to be clocked from the primary clock source specified by the FOSC3:FOSC0 configuration bits. The OSTS bit remains set (see Figure 3-7).

When a wake event occurs, the CPU is clocked from the primary clock source. A delay of interval TCSD is required between the wake event and when code execution starts. This is required to allow the CPU to become ready to execute instructions. After the wake-up, the OSTS bit remains set. The IDLEN and SCS bits are not affected by the wake-up (see Figure 3-8).

3.4.2 SEC_IDLE MODE

In SEC_IDLE mode, the CPU is disabled but the peripherals continue to be clocked from the Timer1 oscillator. This mode is entered from SEC_RUN by setting the IDLEN bit and executing a SLEEP instruction. If the device is in another Run mode, set IDLEN first, then set SCS1:SCS0 to '01' and execute SLEEP. When the clock source is switched to the Timer1 oscillator, the primary oscillator is shut down, the OSTS bit is cleared and the T1RUN bit is set.

When a wake event occurs, the peripherals continue to be clocked from the Timer1 oscillator. After an interval of TCSD following the wake event, the CPU begins executing code being clocked by the Timer1 oscillator. The IDLEN and SCS bits are not affected by the wake-up; the Timer1 oscillator continues to run (see Figure 3-8).

Note: The Timer1 oscillator should already be running prior to entering SEC_IDLE mode. If the T1OSCEN bit is not set when the SLEEP instruction is executed, the SLEEP instruction will be ignored and entry to SEC_IDLE mode will not occur. If the Timer1 oscillator is enabled but not yet running, peripheral clocks will be delayed until the oscillator has started. In such situations, initial oscillator operation is far from stable and unpredictable operation may result.

FIGURE 3-7: TRANSITION TIMING FOR ENTRY TO IDLE MODE

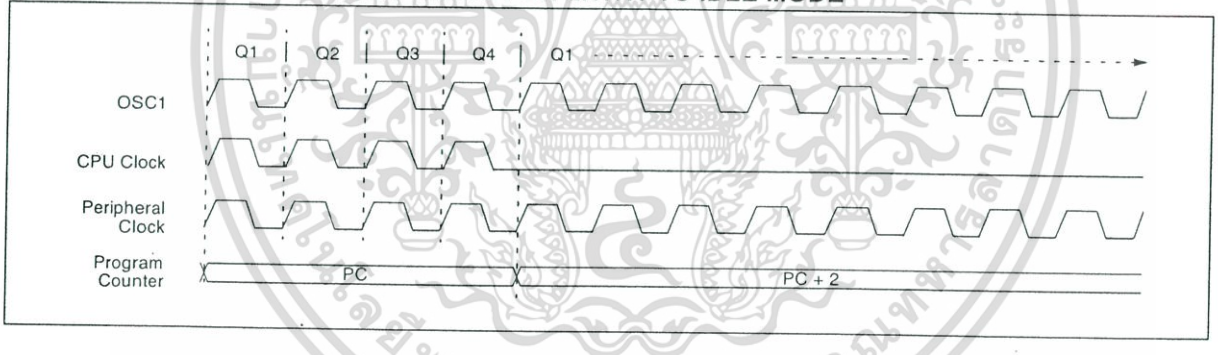
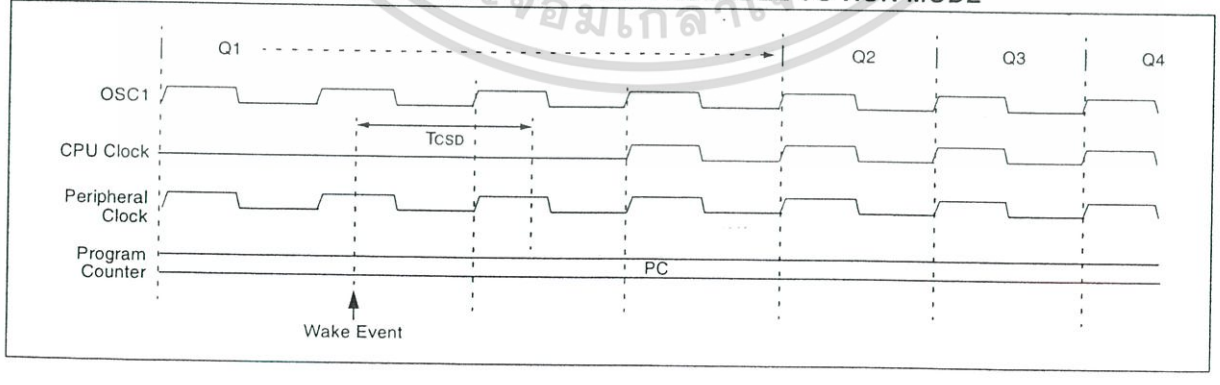


FIGURE 3-8: TRANSITION TIMING FOR WAKE FROM IDLE TO RUN MODE



 © 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.3 RC_IDLE MODE

In RC_IDLE mode, the CPU is disabled but the peripherals continue to be clocked from the internal oscillator block using the INTOSC multiplexer. This mode allows for controllable power conservation during Idle periods.

From RC_RUN, this mode is entered by setting the IDLEN bit and executing a SLEEP instruction. If the device is in another Run mode, first set IDLEN, then set the SCS1 bit and execute SLEEP. Although its value is ignored, it is recommended that SCS0 also be cleared; this is to maintain software compatibility with future devices. The INTOSC multiplexer may be used to select a higher clock frequency by modifying the IRCF bits before executing the SLEEP instruction. When the clock source is switched to the INTOSC multiplexer, the primary oscillator is shut down and the OSTS bit is cleared.

If the IRCF bits are set to any non-zero value, or the INTSRC bit is set, the INTOSC output is enabled. The IOFS bit becomes set, after the INTOSC output becomes stable, after an interval of TIOBST (parameter 39, Table 28-12). Clocks to the peripherals continue while the INTOSC source stabilizes. If the IRCF bits were previously at a non-zero value, or INTSRC was set before the SLEEP instruction was executed and the INTOSC source was already stable, the IOFS bit will remain set. If the IRCF bits and INTSRC are all clear, the INTOSC output will not be enabled, the IOFS bit will remain clear and there will be no indication of the current clock source.

When a wake event occurs, the peripherals continue to be clocked from the INTOSC multiplexer. After a delay of TCSD following the wake event, the CPU begins executing code being clocked by the INTOSC multiplexer. The IDLEN and SCS bits are not affected by the wake-up. The INTRC source will continue to run if either the WDT or the Fail-Safe Clock Monitor is enabled.

3.5 Exiting Idle and Sleep Modes

An exit from Sleep mode or any of the Idle modes is triggered by an interrupt, a Reset or a WDT time-out. This section discusses the triggers that cause exits from power-managed modes. The clocking subsystem actions are discussed in each of the power-managed modes (see **Section 3.2 "Run Modes"**, **Section 3.3 "Sleep Mode"** and **Section 3.4 "Idle Modes"**).

3.5.1 EXIT BY INTERRUPT

Any of the available interrupt sources can cause the device to exit from an Idle mode, or the Sleep mode, to a Run mode. To enable this functionality, an interrupt source must be enabled by setting its enable bit in one of the INTCON or PIE registers. The exit sequence is initiated when the corresponding interrupt flag bit is set.

On all exits from Idle or Sleep modes by interrupt, code execution branches to the interrupt vector if the GIE/GIEH bit (INTCON<7>) is set. Otherwise, code execution continues or resumes without branching (see **Section 9.0 "Interrupts"**).

A fixed delay of interval TCSD following the wake event is required when leaving Sleep and Idle modes. This delay is required for the CPU to prepare for execution. Instruction execution resumes on the first clock cycle following this delay.

3.5.2 EXIT BY WDT TIME-OUT

A WDT time-out will cause different actions depending on which power-managed mode the device is in when the time-out occurs.

If the device is not executing code (all Idle modes and Sleep mode), the time-out will result in an exit from the power-managed mode (see **Section 3.2 "Run Modes"** and **Section 3.3 "Sleep Mode"**). If the device is executing code (all Run modes), the time-out will result in a WDT Reset (see **Section 25.2 "Watchdog Timer (WDT)"**).

The WDT timer and postscaler are cleared by executing a SLEEP or CLRWDT instruction, the loss of a currently selected clock source (if the Fail-Safe Clock Monitor is enabled) and modifying the IRCF bits in the OSCCON register if the internal oscillator block is the device clock source.

3.5.3 EXIT BY RESET

Normally, the device is held in Reset by the Oscillator Start-up Timer (OST) until the primary clock becomes ready. At that time, the OSTS bit is set and the device begins executing code. If the internal oscillator block is the new clock source, the IOFS bit is set instead.

The exit delay time from Reset to the start of code execution depends on both the clock sources before and after the wake-up and the type of oscillator if the new clock source is the primary clock. Exit delays are summarized in Table 3-2.

Code execution can begin before the primary clock becomes ready. If either the Two-Speed Start-up (see **Section 25.3 "Two-Speed Start-up"**) or Fail-Safe Clock Monitor (see **Section 25.4 "Fail-Safe Clock Monitor"**) is enabled, the device may begin execution as soon as the Reset source has cleared. Execution is clocked by the INTOSC multiplexer driven by the internal oscillator block. Execution is clocked by the internal oscillator block until either the primary clock becomes ready or a power-managed mode is entered before the primary clock becomes ready; the primary clock is then shut down.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.4 EXIT WITHOUT AN OSCILLATOR START-UP DELAY

Certain exits from power-managed modes do not invoke the OST at all. There are two cases:

- PRI_IDLE mode where the primary clock source is not stopped; and
- the primary clock source is not any of the XT or HS modes.

In these instances, the primary clock source either does not require an oscillator start-up delay, since it is already running (PRI_IDLE), or normally does not require an oscillator start-up delay (EC and any internal oscillator modes). However, a fixed delay of interval TCSD following the wake event is still required when leaving Sleep and Idle modes to allow the CPU to prepare for execution. Instruction execution resumes on the first clock cycle following this delay.

TABLE 3-2: EXIT DELAY ON WAKE-UP BY RESET FROM SLEEP MODE OR ANY IDLE MODE (BY CLOCK SOURCES)

Microcontroller Clock Source		Exit Delay	Clock Ready Status Bit (OSCCON)
Before Wake-up	After Wake-up		
Primary Device Clock (PRI_IDLE mode)	XT, HS	None	OSTS
	XTPLL, HSPLL		
	EC		
	INTOSC(3)		IOFS
T1OSC or INTRC(1)	XT, HS	TOST(4)	OSTS
	XTPLL, HSPLL	TOST + t_{rc}(4)	
	EC	TCSD(2)	
	INTOSC(2)	TIOBST(5)	IOFS
INTOSC(3)	XT, HS	TOST(5)	OSTS
	XTPLL, HSPLL	TOST + t_{rc}(4)	
	EC	TCSD(2)	
	INTOSC(2)	None	IOFS
None (Sleep mode)	XT, HS	TOST(4)	OSTS
	XTPLL, HSPLL	TOST + t_{rc}(4)	
	EC	TCSD(2)	
	INTOSC(2)	TIOBST(5)	IOFS

Note 1: In this instance, refers specifically to the 31 kHz INTRC clock source.

2: TCSD (parameter 38, Table 28-12) is a required delay when waking from Sleep and all Idle modes and runs concurrently with any other required delays (see **Section 3.4 "Idle Modes"**).

3: Includes both the INTOSC 8 MHz source and postscaler derived frequencies.

4: TOST is the Oscillator Start-up Timer period (parameter 32, Table 28-12). t_{rc} is the PLL lock time-out (parameter F12, Table 28-9); it is also designated as TPLL.

5: Execution continues during TIOBST (parameter 39, Table 28-12), the INTOSC stabilization period.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.0 RESET

The PIC18F2455/2550/4455/4550 devices differentiate between various kinds of Reset:

a) Power-on Reset (POR)
b) $\overline{\text{MCLR}}$ Reset during normal operation
c) $\overline{\text{MCLR}}$ Reset during power-managed modes
d) Watchdog Timer (WDT) Reset (during execution)
e) Programmable Brown-out Reset (BOR)
f) RESET Instruction
g) Stack Full Reset
h) Stack Underflow Reset

This section discusses Resets generated by $\overline{\text{MCLR}}$, POR and BOR and covers the operation of the various start-up timers. Stack Reset events are covered in **Section 5.1.2.4 "Stack Full and Underflow Resets"**. WDT Resets are covered in **Section 25.2 "Watchdog Timer (WDT)"**.

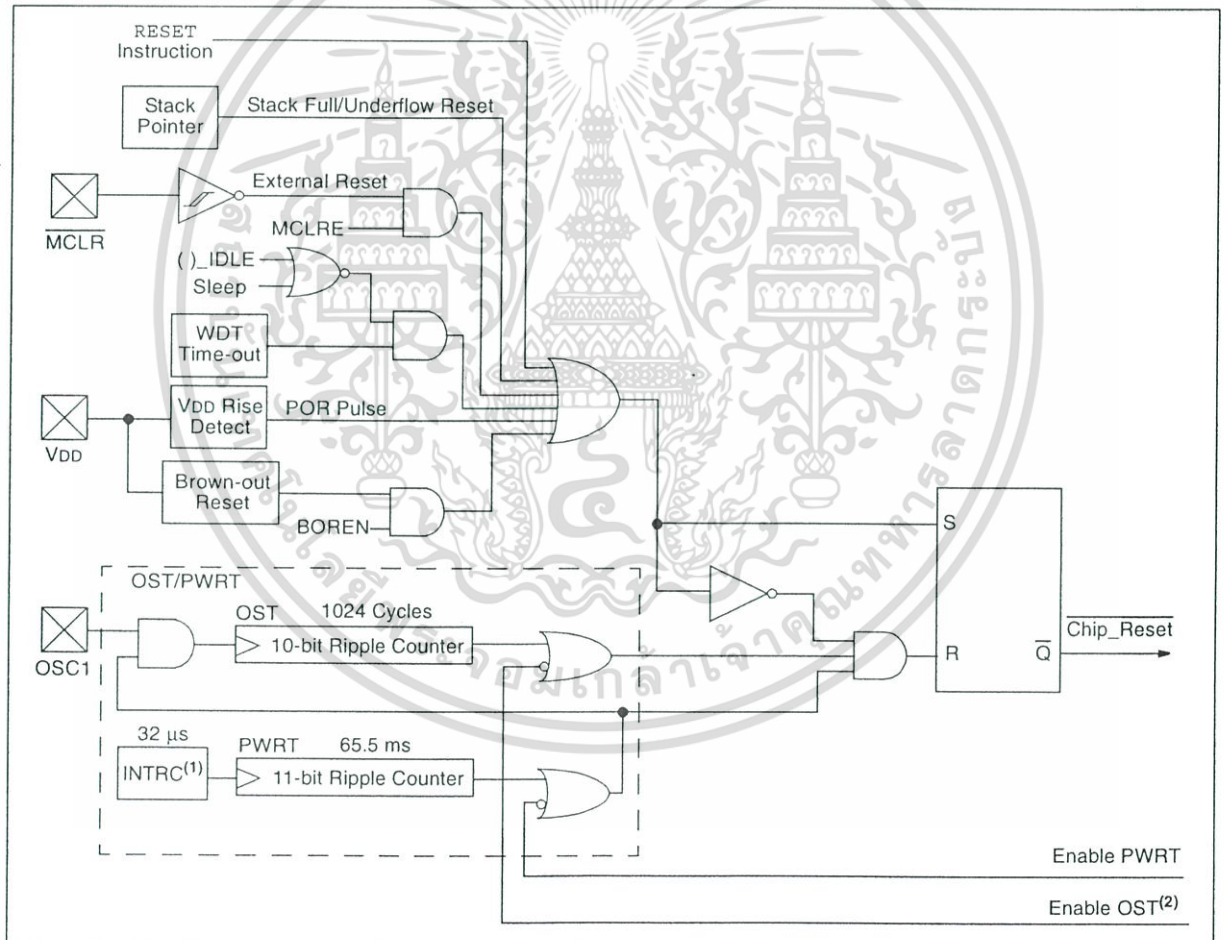
A simplified block diagram of the On-Chip Reset Circuit is shown in Figure 4-1.

4.1 RCON Register

Device Reset events are tracked through the RCON register (Register 4-1). The lower five bits of the register indicate that a specific Reset event has occurred. In most cases, these bits can only be cleared by the event and must be set by the application after the event. The state of these flag bits, taken together, can be read to indicate the type of Reset that just occurred. This is described in more detail in **Section 4.6 "Reset State of Registers"**.

The RCON register also has control bits for setting interrupt priority (IPEN) and software control of the BOR (SBOREN). Interrupt priority is discussed in **Section 9.0 "Interrupts"**. BOR is covered in **Section 4.4 "Brown-out Reset (BOR)"**.

FIGURE 4-1: SIMPLIFIED BLOCK DIAGRAM OF ON-CHIP RESET CIRCUIT



Note 1: This is the INTRC source from the internal oscillator block and is separate from the RC oscillator of the CLKI pin.
2: See Table 4-2 for time-out situations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REGISTER 4-1: RCON: RESET CONTROL REGISTER

R/W-0	R/W-1(1)	U-0	R/W-1	R-1	R-1	R/W-0(2)	R/W-0
IPEN	SBOREN	—	$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$
bit 7							bit 0

bit 7 **IPEN:** Interrupt Priority Enable bit
1 = Enable priority levels on interrupts
0 = Disable priority levels on interrupts (PIC16CXXX Compatibility mode)

bit 6 **SBOREN:** BOR Software Enable bit(1)
If BOREN1:BOREN0 = 01:
1 = BOR is enabled
0 = BOR is disabled
If BOREN1:BOREN0 = 00, 10 or 11:
Bit is disabled and read as '0'.

bit 5 **Unimplemented:** Read as '0'

bit 4 $\overline{RI}$: RESET Instruction Flag bit
1 = The RESET instruction was not executed (set by firmware only)
0 = The RESET instruction was executed causing a device Reset (must be set in software after a Brown-out Reset occurs)

bit 3 $\overline{TO}$: Watchdog Time-out Flag bit
1 = Set by power-up, CLRWDT instruction or SLEEP instruction
0 = A WDT time-out occurred

bit 2 $\overline{PD}$: Power-Down Detection Flag bit
1 = Set by power-up or by the CLRWDT instruction
0 = Set by execution of the SLEEP instruction

bit 1 $\overline{POR}$: Power-on Reset Status bit(2)
1 = A Power-on Reset has not occurred (set by firmware only)
0 = A Power-on Reset occurred (must be set in software after a Power-on Reset occurs)

bit 0 $\overline{BOR}$: Brown-out Reset Status bit
1 = A Brown-out Reset has not occurred (set by firmware only)
0 = A Brown-out Reset occurred (must be set in software after a Brown-out Reset occurs)

Note 1: If SBOREN is enabled, its Reset state is '1'; otherwise, it is '0'.
2: The actual Reset value of $\overline{POR}$ is determined by the type of device Reset. See the notes following this table and **Section 4.6 "Reset State of Registers"** for additional information.

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

Note 1: It is recommended that the $\overline{POR}$ bit be set after a Power-on Reset has been detected so that subsequent Power-on Resets may be detected.
2: Brown-out Reset is said to have occurred when $\overline{BOR}$ is '0' and $\overline{POR}$ is '1' (assuming that $\overline{POR}$ was set to '1' by software immediately after POR).

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 Master Clear Reset (MCLR)

The MCLR pin provides a method for triggering an external Reset of the device. A Reset is generated by holding the pin low. These devices have a noise filter in the MCLR Reset path which detects and ignores small pulses.

The MCLR pin is not driven low by any internal Resets, including the WDT.

In PIC18F2455/2550/4455/4550 devices, the MCLR input can be disabled with the MCLRE configuration bit. When MCLR is disabled, the pin becomes a digital input. See **Section 10.5 "PORTE, TRISE and LATE Registers"** for more information.

4.3 Power-on Reset (POR)

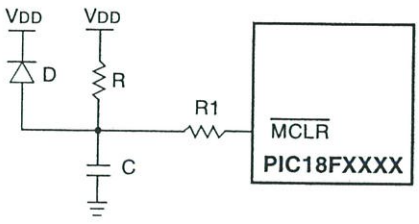
A Power-on Reset pulse is generated on-chip whenever VDD rises above a certain threshold. This allows the device to start in the initialized state when VDD is adequate for operation.

To take advantage of the POR circuitry, tie the MCLR pin through a resistor (1 kΩ to 10 kΩ) to VDD. This will eliminate external RC components usually needed to create a Power-on Reset delay. A minimum rise rate for VDD is specified (parameter D004, **Section 28.1 "DC Characteristics"**). For a slow rise time, see Figure 4-2.

When the device starts normal operation (i.e., exits the Reset condition), device operating parameters (voltage, frequency, temperature, etc.) must be met to ensure operation. If these conditions are not met, the device must be held in Reset until the operating conditions are met.

POR events are captured by the POR bit (RCON<1>). The state of the bit is set to '0' whenever a POR occurs; it does not change for any other Reset event. POR is not reset to '1' by any hardware event. To capture multiple events, the user manually resets the bit to '1' in software following any POR.

FIGURE 4-2: EXTERNAL POWER-ON RESET CIRCUIT (FOR SLOW VDD POWER-UP)



Note 1: External Power-on Reset circuit is required only if the VDD power-up slope is too slow. The diode D helps discharge the capacitor quickly when VDD powers down.

2: R < 40 kΩ is recommended to make sure that the voltage drop across R does not violate the device's electrical specification.

3: R1 ≥ 1 kΩ will limit any current flowing into MCLR from external capacitor C, in the event of MCLR/VPP pin breakdown, due to Electrostatic Discharge (ESD) or Electrical Overstress (EOS).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 Brown-out Reset (BOR)

PIC18F2455/2550/4455/4550 devices implement a BOR circuit that provides the user with a number of configuration and power-saving options. The BOR is controlled by the BORV1:BORV0 and BOREN1:BOREN0 configuration bits. There are a total of four BOR configurations which are summarized in Table 4-1.

The BOR threshold is set by the BORV1:BORV0 bits. If BOR is enabled (any values of BOREN1:BOREN0 except '00'), any drop of VDD below VBOR (parameter D005, **Section 28.1 "DC Characteristics"**) for greater than TBOR (parameter 35, Table 28-12) will reset the device. A Reset may or may not occur if VDD falls below VBOR for less than TBOR. The chip will remain in Brown-out Reset until VDD rises above VBOR.

If the Power-up Timer is enabled, it will be invoked after VDD rises above VBOR; it then will keep the chip in Reset for an additional time delay, TPWRT (parameter 33, Table 28-12). If VDD drops below VBOR while the Power-up Timer is running, the chip will go back into a Brown-out Reset and the Power-up Timer will be initialized. Once VDD rises above VBOR, the Power-up Timer will execute the additional time delay.

BOR and the Power-on Timer (PWRT) are independently configured. Enabling BOR Reset does not automatically enable the PWRT.

4.4.1 SOFTWARE ENABLED BOR

When BOREN1:BOREN0 = 01, the BOR can be enabled or disabled by the user in software. This is done with the control bit, SBOREN (RCON<6>). Setting SBOREN enables the BOR to function as previously described. Clearing SBOREN disables the BOR entirely. The SBOREN bit operates only in this mode; otherwise, it is read as '0'.

Placing the BOR under software control gives the user the additional flexibility of tailoring the application to its environment without having to reprogram the device to change BOR configuration. It also allows the user to tailor device power consumption in software by eliminating the incremental current that the BOR consumes. While the BOR current is typically very small, it may have some impact in low-power applications.

Note:	Even when BOR is under software control, the BOR Reset voltage level is still set by the BORV1:BORV0 configuration bits. It cannot be changed in software.

4.4.2 DETECTING BOR

When BOR is enabled, the $\overline{BOR}$ bit always resets to '0' on any BOR or POR event. This makes it difficult to determine if a BOR event has occurred just by reading the state of $\overline{BOR}$ alone. A more reliable method is to simultaneously check the state of both $\overline{POR}$ and $\overline{BOR}$. This assumes that the $\overline{POR}$ bit is reset to '1' in software immediately after any POR event. IF $\overline{BOR}$ is '0' while $\overline{POR}$ is '1', it can be reliably assumed that a BOR event has occurred.

4.4.3 DISABLING BOR IN SLEEP MODE

When BOREN1:BOREN0 = 10, the BOR remains under hardware control and operates as previously described. Whenever the device enters Sleep mode, however, the BOR is automatically disabled. When the device returns to any other operating mode, BOR is automatically re-enabled.

This mode allows for applications to recover from brown-out situations, while actively executing code, when the device requires BOR protection the most. At the same time, it saves additional power in Sleep mode by eliminating the small incremental BOR current.

TABLE 4-1: BOR CONFIGURATIONS

BOR Configuration		Status of SBOREN (RCON<6>)	BOR Operation
BOREN1	BOREN0		
0	0	Unavailable	BOR disabled; must be enabled by reprogramming the configuration bits.
0	1	Available	BOR enabled in software; operation controlled by SBOREN.
1	0	Unavailable	BOR enabled in hardware in Run and Idle modes, disabled during Sleep mode.
1	1	Unavailable	BOR enabled in hardware; must be disabled by reprogramming the configuration bits.

 © 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 Device Reset Timers

PIC18F2455/2550/4455/4550 devices incorporate three separate on-chip timers that help regulate the Power-on Reset process. Their main function is to ensure that the device clock is stable before code is executed. These timers are:

- Power-up Timer (PWRT)
- Oscillator Start-up Timer (OST)
- PLL Lock Time-out

4.5.1 POWER-UP TIMER (PWRT)

The Power-up Timer (PWRT) of PIC18F2455/2550/4455/4550 devices is an 11-bit counter which uses the INTRC source as the clock input. This yields an approximate time interval of 2048 x 32 µs = 65.6 ms. While the PWRT is counting, the device is held in Reset.

The power-up time delay depends on the INTRC clock and will vary from chip to chip due to temperature and process variation. See DC parameter 33 (Table 28-12) for details.

The PWRT is enabled by clearing the $\overline{\text{PWRTEN}}$ configuration bit.

4.5.2 OSCILLATOR START-UP TIMER (OST)

The Oscillator Start-up Timer (OST) provides a 1024 oscillator cycle (from OSC1 input) delay after the PWRT delay is over (parameter 33, Table 28-12). This ensures that the crystal oscillator or resonator has started and stabilized.

The OST time-out is invoked only for XT, HS and HSPLL modes and only on Power-on Reset or on exit from most power-managed modes.

4.5.3 PLL LOCK TIME-OUT

With the PLL enabled in its PLL mode, the time-out sequence following a Power-on Reset is slightly different from other oscillator modes. A separate timer is used to provide a fixed time-out that is sufficient for the PLL to lock to the main oscillator frequency. This PLL lock time-out (TPLL) is typically 2 ms and follows the oscillator start-up time-out.

4.5.4 TIME-OUT SEQUENCE

On power-up, the time-out sequence is as follows:

1. After the POR condition has cleared, PWRT time-out is invoked (if enabled).
2. Then, the OST is activated.

The total time-out will vary based on oscillator configuration and the status of the PWRT. Figure 4-3, Figure 4-4, Figure 4-5, Figure 4-6 and Figure 4-7 all depict time-out sequences on power-up, with the Power-up Timer enabled and the device operating in HS Oscillator mode. Figures 4-3 through 4-6 also apply to devices operating in XT mode. For devices in RC mode and with the PWRT disabled, on the other hand, there will be no time-out at all.

Since the time-outs occur from the POR pulse, if $\overline{\text{MCLR}}$ is kept low long enough, all time-outs will expire. Bringing $\overline{\text{MCLR}}$ high will begin execution immediately (Figure 4-5). This is useful for testing purposes or to synchronize more than one PIC18FXXXX device operating in parallel.

TABLE 4-2: TIME-OUT IN VARIOUS SITUATIONS

Oscillator Configuration	Power-up[2] and Brown-out		Exit from Power-Managed Mode
	$\overline{\text{PWRTEN}}$ = 0	$\overline{\text{PWRTEN}}$ = 1	
HS, XT	66 ms[1] + 1024 TOSC	1024 TOSC	1024 TOSC
HSPLL, XTPLL	66 ms[1] + 1024 TOSC + 2 ms[2]	1024 TOSC + 2 ms[2]	1024 TOSC + 2 ms[2]
EC, ECIO	66 ms[1]	—	—
ECPLL, ECPIO	66 ms[1] + 2 ms[2]	2 ms[2]	2 ms[2]
INTIO, INTCKO	66 ms[1]	—	—
INTHS, INTXT	66 ms[1] + 1024 TOSC	1024 TOSC	1024 TOSC

Note 1: 66 ms (65.5 ms) is the nominal Power-up Timer (PWRT) delay.

2: 2 ms is the nominal time required for the PLL to lock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4-3: TIME-OUT SEQUENCE ON POWER-UP (MCLR TIED TO VDD, VDD RISE < TPWRT)

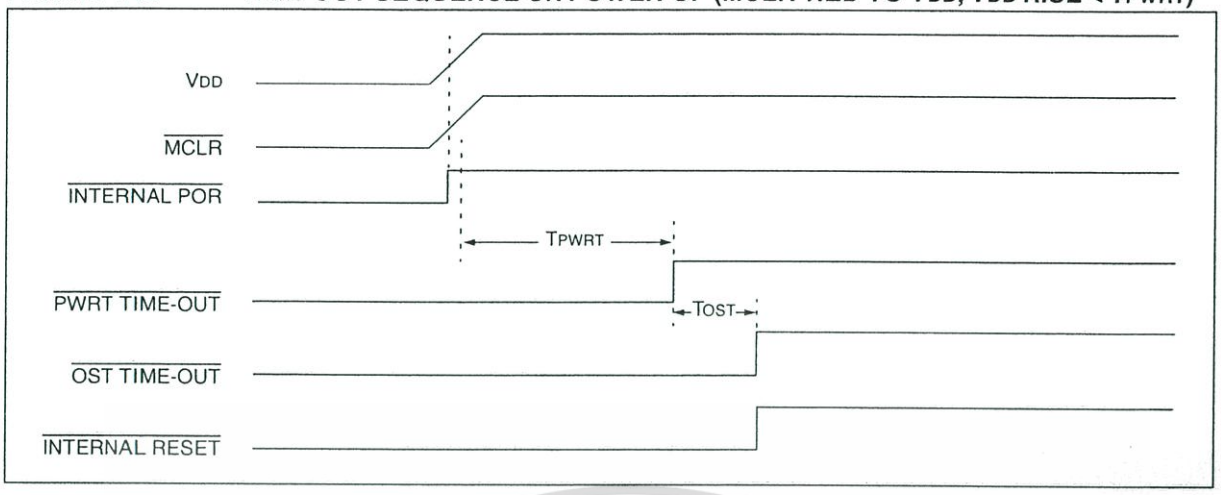


FIGURE 4-4: TIME-OUT SEQUENCE ON POWER-UP (MCLR NOT TIED TO VDD): CASE 1

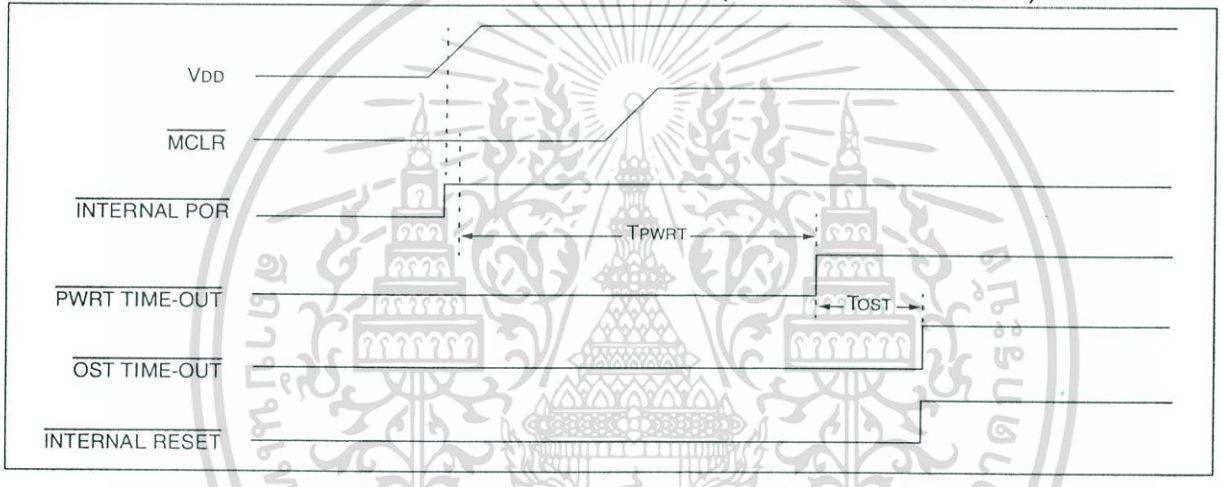
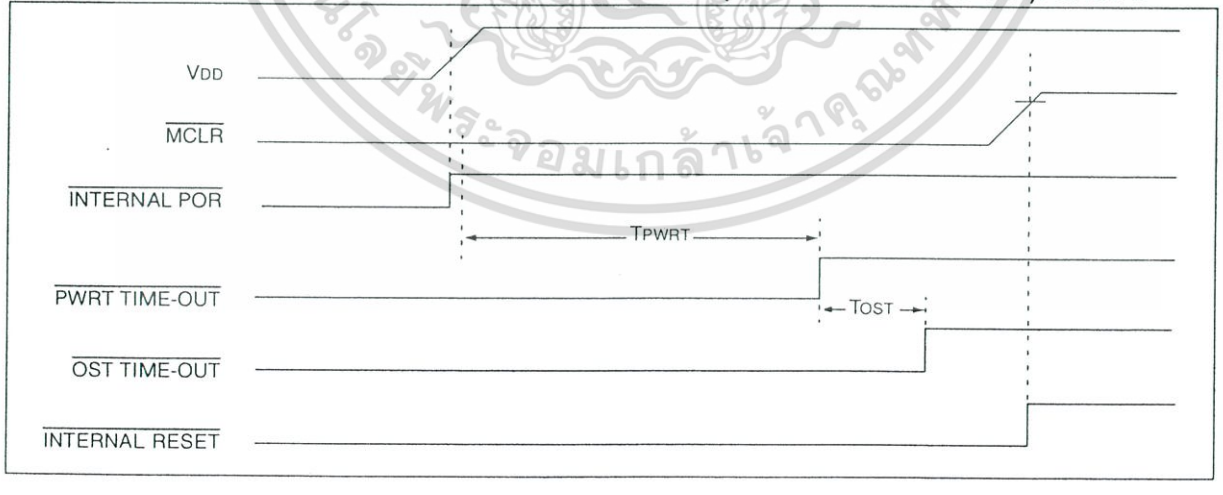


FIGURE 4-5: TIME-OUT SEQUENCE ON POWER-UP (MCLR NOT TIED TO VDD): CASE 2



 © 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4-6: SLOW RISE TIME ($\overline{MCLR}$ TIED TO V_{DD}, V_{DD} RISE > T_{PWRT})

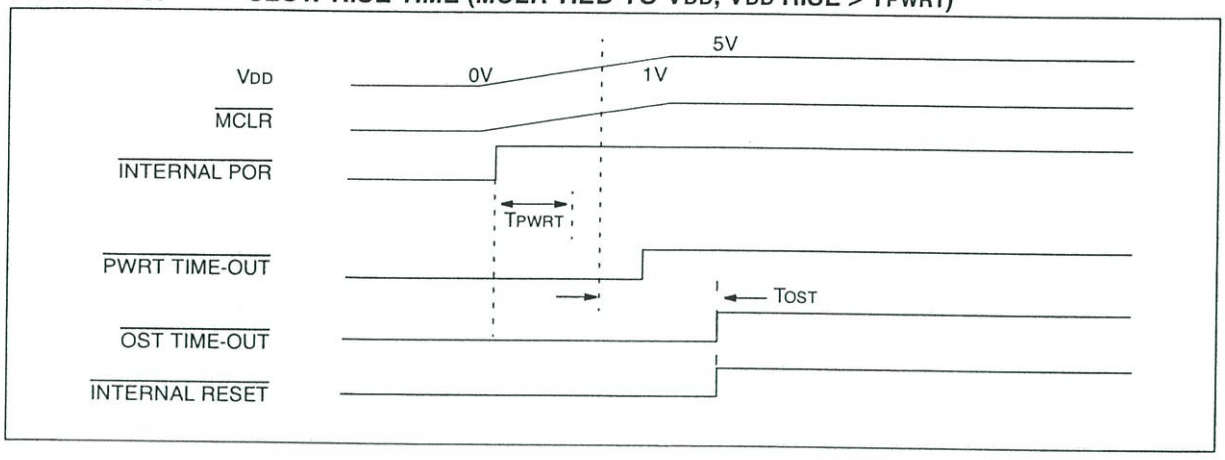
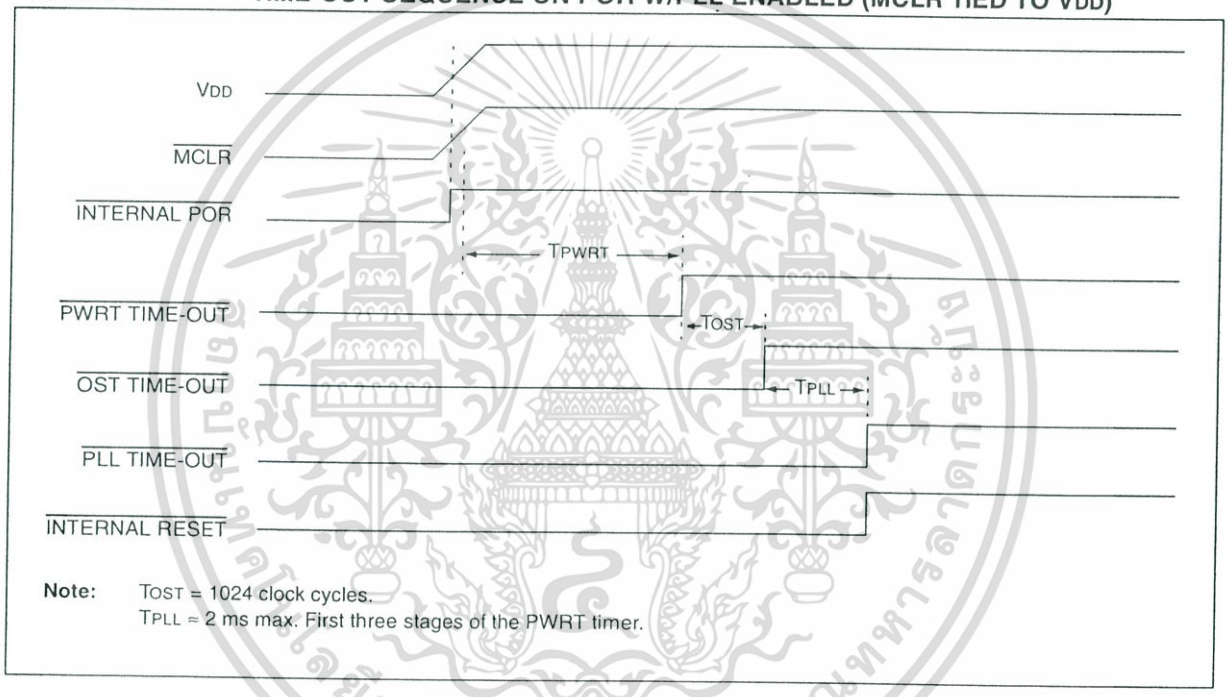


FIGURE 4-7: TIME-OUT SEQUENCE ON POR W/PLL ENABLED ($\overline{MCLR}$ TIED TO V_{DD})



Note: T_{OST} = 1024 clock cycles.
T_{PLL} ≈ 2 ms max. First three stages of the PWRT timer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 Reset State of Registers

Most registers are unaffected by a Reset. Their status is unknown on POR and unchanged by all other Resets. The other registers are forced to a "Reset state" depending on the type of Reset that occurred.

Most registers are not affected by a WDT wake-up, since this is viewed as the resumption of normal operation. Status bits from the RCON register, $\overline{RI}$, $\overline{TO}$, $\overline{PD}$, $\overline{POR}$ and $\overline{BOR}$, are set or cleared differently in different Reset situations as indicated in Table 4-3. These bits are used in software to determine the nature of the Reset.

Table 4-4 describes the Reset states for all of the Special Function Registers. These are categorized by Power-on and Brown-out Resets, Master Clear and WDT Resets and WDT wake-ups.

TABLE 4-3: STATUS BITS, THEIR SIGNIFICANCE AND THE INITIALIZATION CONDITION FOR RCON REGISTER

Condition	Program Counter	RCON Register						STKPTR Register	
		SBOREN	$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$	STKFUL	STKUNF
Power-on Reset	0000h	1	1	1	1	0	0	0	0
RESET Instruction	0000h	u(2)	0	u	u	u	u	u	u
Brown-out	0000h	u(2)	1	1	1	u	0	u	u
$\overline{MCLR}$ during Power-Managed Run modes	0000h	u(2)	u	1	u	u	u	u	u
$\overline{MCLR}$ during Power-Managed Idle modes and Sleep mode	0000h	u(2)	u	1	0	u	u	u	u
WDT Time-out during Full Power or Power-Managed Run modes	0000h	u(2)	u	0	u	u	u	u	u
$\overline{MCLR}$ during Full Power Execution	0000h	u(2)	u	u	u	u	u	u	u
Stack Full Reset (STVREN = 1)	0000h	u(2)	u	u	u	u	u	1	u
Stack Underflow Reset (STVREN = 1)	0000h	u(2)	u	u	u	u	u	u	1
Stack Underflow Error (not an actual Reset, STVREN = 0)	0000h	u(2)	u	u	u	u	u	u	1
WDT Time-out during Power-Managed Idle or Sleep modes	PC + 2	u(2)	u	0	0	u	u	u	u
Interrupt Exit from Power-Managed modes	PC + 2	u(2)	u	u	0	u	u	u	u

Legend: u = unchanged

Note 1: When the wake-up is due to an interrupt and the GIEH or GIEL bits are set, the PC is loaded with the interrupt vector (008h or 0018h).

2: Reset state is '1' for POR and unchanged for all other Resets when software BOR is enabled (BOREN1:BOREN0 configuration bits = 01 and SBOREN = 1); otherwise, the Reset state is '0'.

© 2004 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MICROCHIP

MCP3204/3208

2.7V 4-Channel/8-Channel 12-Bit A/D Converters with SPI™

FEATURES

- 12-bit resolution
- ± 1 LSB max DNL
- ± 1 LSB max INL (MCP3204/3208-B)
- ± 2 LSB max INL (MCP3204/3208-C)
- 4 (MCP3204) or 8 (MCP3208) input channels
- Analog inputs programmable as single-ended or pseudo differential pairs
- On-chip sample and hold
- SPI™ serial interface (modes 0,0 and 1,1)
- Single supply operation: 2.7V - 5.5V
- 100ksps max. sampling rate at V_{DD} = 5V
- 50ksps max. sampling rate at V_{DD} = 2.7V
- Low power CMOS technology
  - 500 nA typical standby current, 2µA max.
  - 400 µA max. active current at 5V
- Industrial temp range: -40°C to +85°C
- Available in PDIP, SOIC and TSSOP packages

APPLICATIONS

- Sensor Interface
- Process Control
- Data Acquisition
- Battery Operated Systems

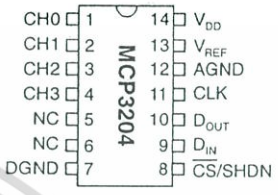
DESCRIPTION

The Microchip Technology Inc. MCP3204/3208 devices are successive approximation 12-bit Analog-to-Digital (A/D) Converters with on-board sample and hold circuitry. The MCP3204 is programmable to provide two pseudo-differential input pairs or four single-ended inputs. The MCP3208 is programmable to provide four pseudo-differential input pairs or eight single-ended inputs. Differential Nonlinearity (DNL) is specified at ±1 LSB, and Integral Nonlinearity (INL) is offered in ±1 LSB (MCP3204/3208-B) and ±2 LSB (MCP3204/3208-C) versions. Communication with the devices is done using a simple serial interface compatible with the SPI protocol. The devices are capable of conversion rates of up to 100ksps. The MCP3204/3208 devices operate over a broad voltage range (2.7V - 5.5V). Low current design permits operation with typical standby and active currents of only 500nA and 320µA, respectively. The MCP3204 is offered in 14-pin PDIP, 150mil SOIC and TSSOP packages, and the MCP3208 is offered in 16-pin PDIP and SOIC packages.

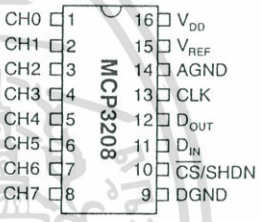
SPI is a trademark of Motorola Inc.

PACKAGE TYPES

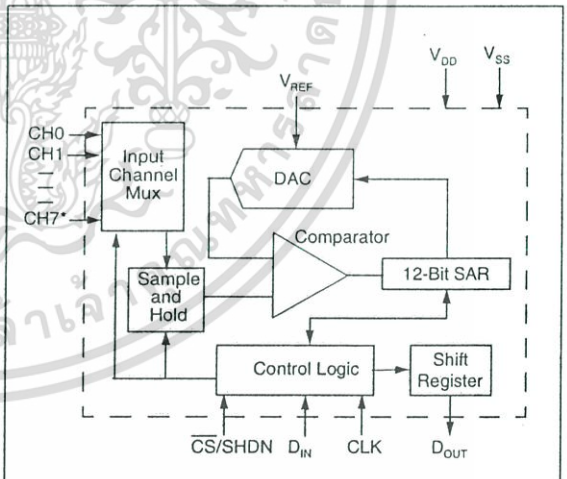
PDIP, SOIC, TSSOP



PDIP, SOIC



FUNCTIONAL BLOCK DIAGRAM



*Note: Channels 5-7 available on MCP3208 Only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 ELECTRICAL CHARACTERISTICS

1.1 Maximum Ratings*

V_{DD}.....7.0V
All inputs and outputs w.r.t. V_{SS} ..... -0.6V to V_{DD} +0.6V
Storage temperature .....-65°C to +150°C
Ambient temp. with power applied .....-65°C to +125°C
Soldering temperature of leads (10 seconds) .. +300°C
ESD protection on all pins .....> 4kV

*Notice: Stresses above those listed under "Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operational listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

PIN FUNCTION TABLE

NAME	FUNCTION
V_{DD}	+2.7V to 5.5V Power Supply
DGND	Digital Ground
AGND	Analog Ground
CH0-CH7	Analog Inputs
CLK	Serial Clock
D_{IN}	Serial Data In
D_{OUT}	Serial Data Out
$\overline{CS}$/SHDN	Chip Select/Shutdown Input
V_{REF}	Reference Voltage Input

ELECTRICAL CHARACTERISTICS

All parameters apply at V_{DD} = 5V, V_{SS} = 0V, V_{REF} = 5V, T_{AMB} = -40°C to +85°C, f_{SAMPLE} = 100ksps and f_{CLK} = 20*f_{SAMPLE}, unless otherwise noted.

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNITS	CONDITIONS
Conversion Rate						
Conversion Time	t_{CONV}			12	clock cycles	
Analog Input Sample Time	t_{SAMPLE}		1.5		clock cycles	
Throughput Rate	f_{SAMPLE}			100 50	ksps ksps	V_{DD} = V_{REF} = 5V V_{DD} = V_{REF} = 2.7V
DC Accuracy						
Resolution			12		bits	
Integral Nonlinearity	INL		±0.75 ±1	±1 ±2	LSB	MCP3204/3208-B MCP3204/3208-C
Differential Nonlinearity	DNL		±0.5	±1	LSB	No missing codes over temperature
Offset Error			±1.25	±3	LSB	
Gain Error			±1.25	±5	LSB	
Dynamic Performance						
Total Harmonic Distortion			-82		dB	VIN = 0.1V to 4.9V@1kHz
Signal to Noise and Distortion (SINAD)			72		dB	VIN = 0.1V to 4.9V@1kHz
Spurious Free Dynamic Range			86		dB	VIN = 0.1V to 4.9V@1kHz
Reference Input						
Voltage Range		0.25		V_{DD}	V	Note 2
Current Drain			100 0.001	150 3	µA µA	$\overline{CS}$ = V_{DD} = 5V
Analog Inputs						
Input Voltage Range for CH0-CH7 in Single-Ended Mode		V_{SS}		V_{REF}	V	
Input Voltage Range for IN+ In pseudo-differential Mode		IN-		V_{REF}+IN-		
Input Voltage Range for IN- In pseudo-differential Mode		V_{SS}-100		V_{SS}+100	mV	
Leakage Current			0.001	±1	µA	

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (CONTINUED)

All parameters apply at V_{DD} = 5V, V_{SS} = 0V, V_{REF} = 5V, T_{AMB} = -40°C to +85°C, f_{SAMPLE} = 100ksps and f_{CLK} = 20*f_{SAMPLE}, unless otherwise noted.

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNITS	CONDITIONS
Analog Inputs (Continued)						
Switch Resistance			1K		Ω	See Figure 4-1
Sample Capacitor			20		pF	See Figure 4-1
Digital Input/Output						
Data Coding Format		Straight Binary				
High Level Input Voltage	V_{IH}	0.7 V_{DD}			V	
Low Level Input Voltage	V_{IL}			0.3 V_{DD}	V	
High Level Output Voltage	V_{OH}	4.1			V	I_{OH} = -1mA, V_{DD} = 4.5V
Low Level Output Voltage	V_{OL}			0.4	V	I_{OL} = 1mA, V_{DD} = 4.5V
Input Leakage Current	I_{LI}	-10		10	µA	V_{IN} = V_{SS} or V_{DD}
Output Leakage Current	I_{LO}	-10		10	µA	V_{OUT} = V_{SS} or V_{DD}
Pin Capacitance (All Inputs/Outputs)	C_{IN}, C_{OUT}			10	pF	V_{DD} = 5.0V (Note 1) T_{AMB} = 25°C, f = 1 MHz
Timing Parameters						
Clock Frequency	f_{CLK}			2.0 1.0	MHz MHz	V_{DD} = 5V (Note 3) V_{DD} = 2.7V (Note 3)
Clock High Time	t_{HI}	250			ns	
Clock Low Time	t_{LO}	250			ns	
$\overline{CS}$ Fall To First Rising CLK Edge	t_{SUCS}	100			ns	
Data Input Setup Time	t_{SU}			50	ns	
Data Input Hold Time	t_{HD}			50	ns	
CLK Fall To Output Data Valid	t_{DO}			200	ns	See Test Circuits, Figure 1-2
CLK Fall To Output Enable	t_{EN}			200	ns	See Test Circuits, Figure 1-2
$\overline{CS}$ Rise To Output Disable	t_{DIS}			100	ns	See Test Circuits, Figure 1-2
$\overline{CS}$ Disable Time	t_{CSH}	500			ns	
D_{OUT} Rise Time	t_R			100	ns	See Test Circuits, Figure 1-2 (Note 1)
D_{OUT} Fall Time	t_F			100	ns	See Test Circuits, Figure 1-2 (Note 1)
Power Requirements						
Operating Voltage	V_{DD}	2.7		5.5	V	
Operating Current	I_{DD}		320 225	400	µA	V_{DD} = V_{REF} = 5V, D_{OUT} unloaded V_{DD} = V_{REF} = 2.7V, D_{OUT} unloaded
Standby Current	I_{DDS}		0.5	2	µA	$\overline{CS}$ = V_{DD} = 5.0V

Note 1: This parameter is guaranteed by characterization and not 100% tested.

Note 2: See graphs that relate linearity performance to V_{REF} levels.

Note 3: Because the sample cap will eventually lose charge, effective clock rates below 10kHz can affect linearity performance, especially at elevated temperatures. See Section 6.2 for more information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

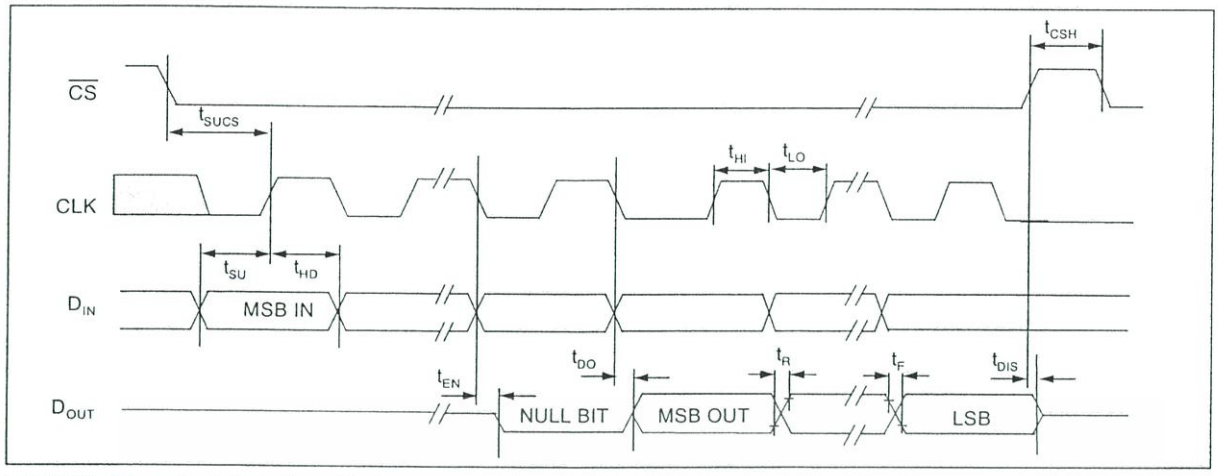
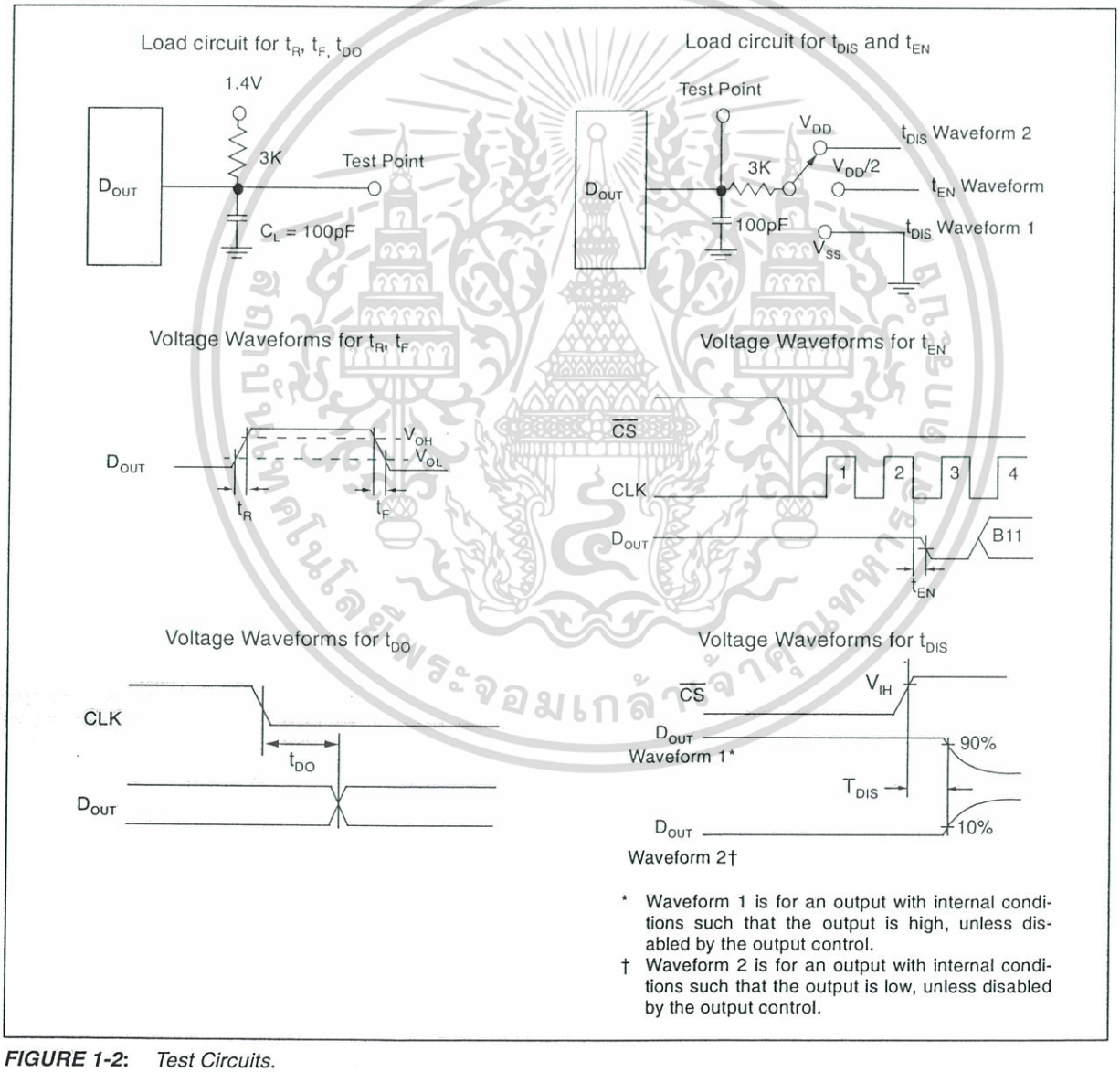


FIGURE 1-1: *Serial Interface Timing.*



* Waveform 1 is for an output with internal conditions such that the output is high, unless disabled by the output control.

† Waveform 2 is for an output with internal conditions such that the output is low, unless disabled by the output control.

FIGURE 1-2: *Test Circuits.*

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 TYPICAL PERFORMANCE CHARACTERISTICS

Note: Unless otherwise indicated, $V_{DD} = V_{REF} = 5V$, $V_{SS} = 0V$, $f_{SAMPLE} = 100ksps$, $f_{CLK} = 20^* f_{SAMPLE}$, $T_A = 25°C$

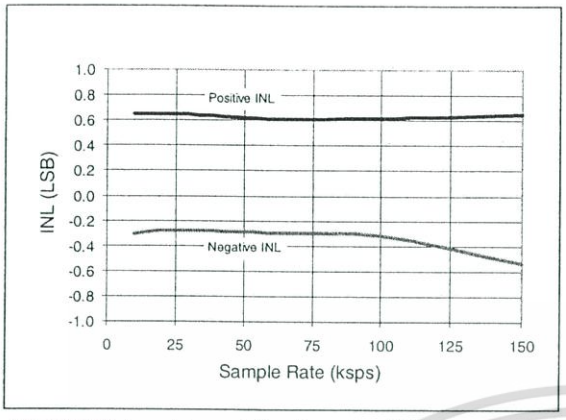


FIGURE 2-1: *Integral Nonlinearity (INL) vs. Sample Rate.*

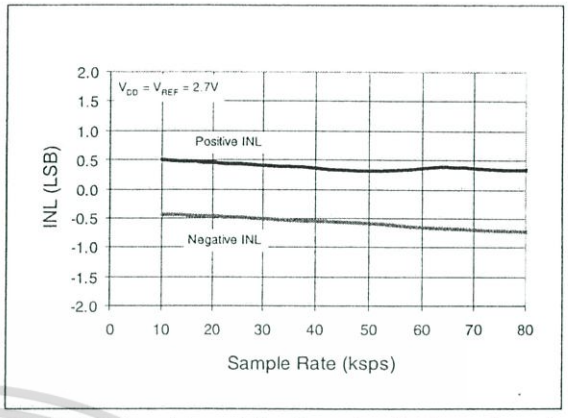


FIGURE 2-4: *Integral Nonlinearity (INL) vs. Sample Rate ($V_{DD} = 2.7V$).*

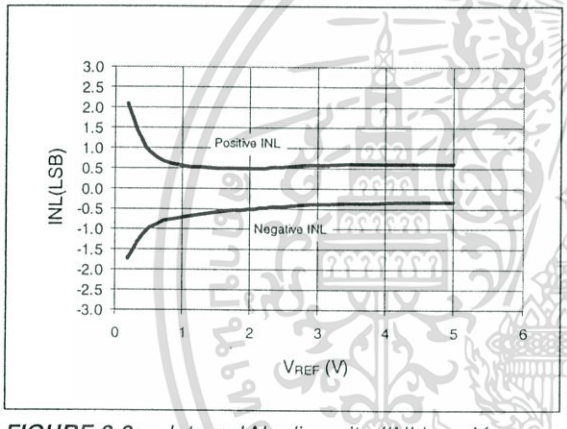


FIGURE 2-2: *Integral Nonlinearity (INL) vs. V_{REF}.*

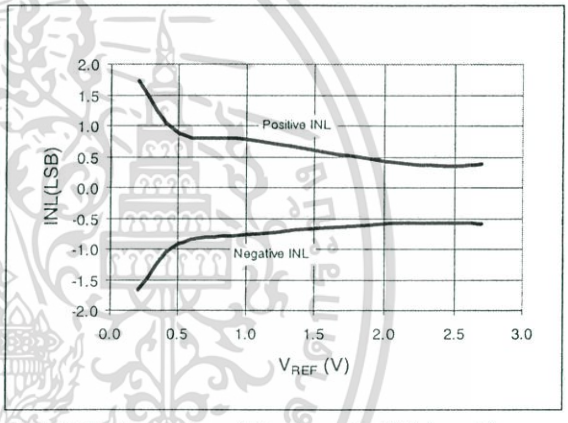


FIGURE 2-5: *Integral Nonlinearity (INL) vs. V_{REF} ($V_{DD} = 2.7V$).*

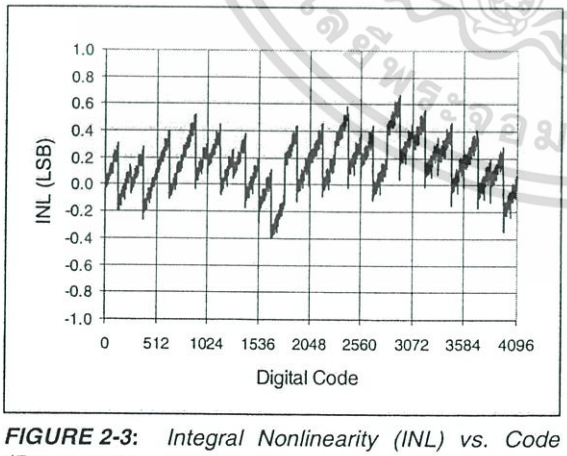


FIGURE 2-3: *Integral Nonlinearity (INL) vs. Code (Representative Part).*

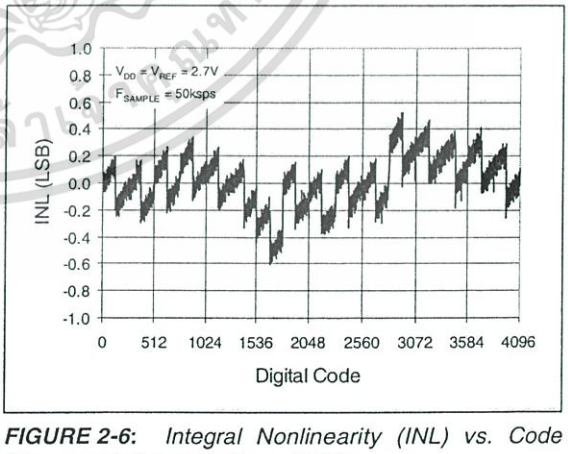


FIGURE 2-6: *Integral Nonlinearity (INL) vs. Code (Representative Part, $V_{DD} = 2.7V$).*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note: Unless otherwise indicated, $V_{DD} = V_{REF} = 5V$, $V_{SS} = 0V$, $f_{SAMPLE} = 100ksps$, $f_{CLK} = 20^* f_{SAMPLE}$, $T_A = 25°C$

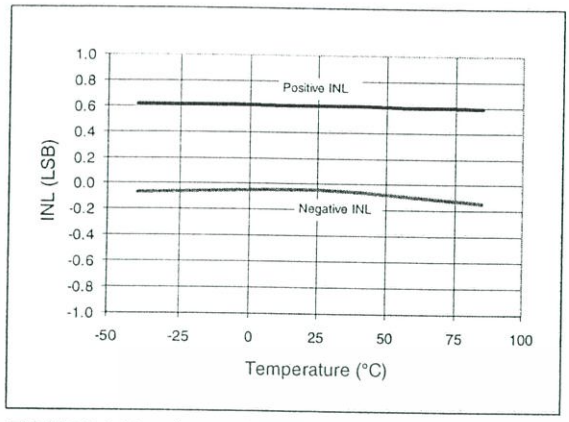


FIGURE 2-7: *Integral Nonlinearity (INL) vs. Temperature.*

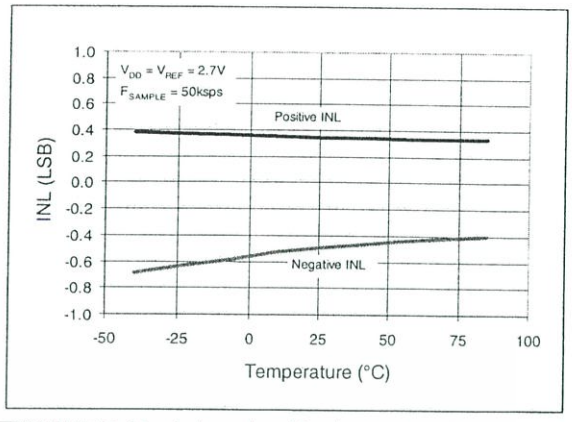


FIGURE 2-10: *Integral Nonlinearity (INL) vs. Temperature ($V_{DD} = 2.7V$).*

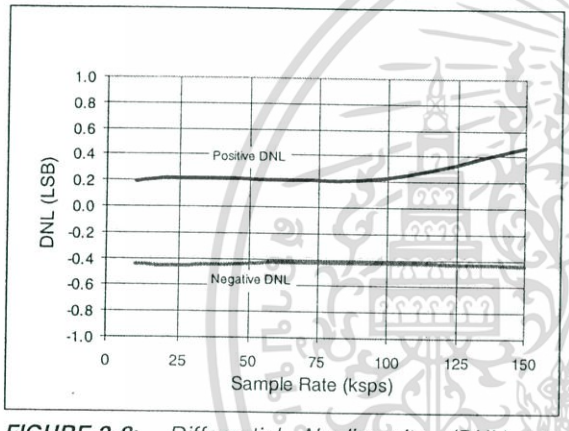


FIGURE 2-8: *Differential Nonlinearity (DNL) vs. Sample Rate.*

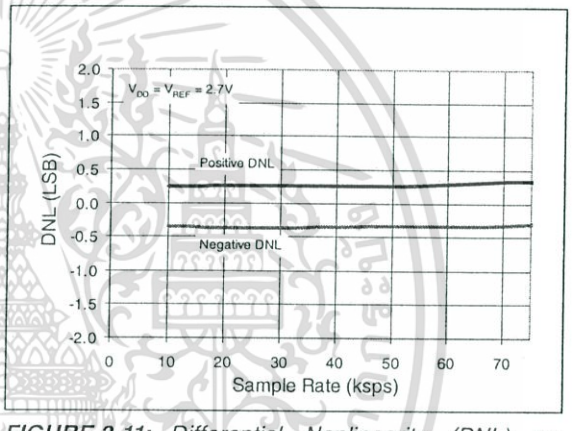


FIGURE 2-11: *Differential Nonlinearity (DNL) vs. Sample Rate ($V_{DD} = 2.7V$).*

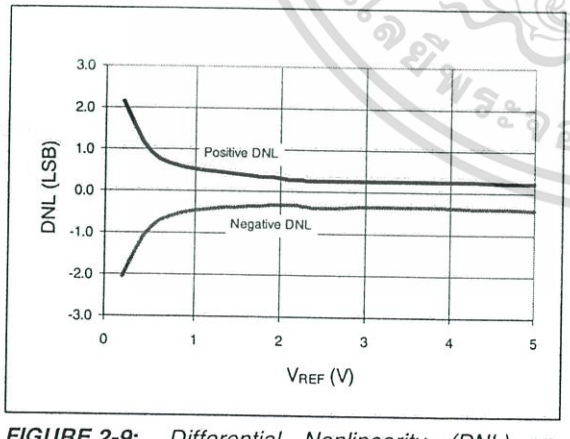


FIGURE 2-9: *Differential Nonlinearity (DNL) vs. V_{REF}.*

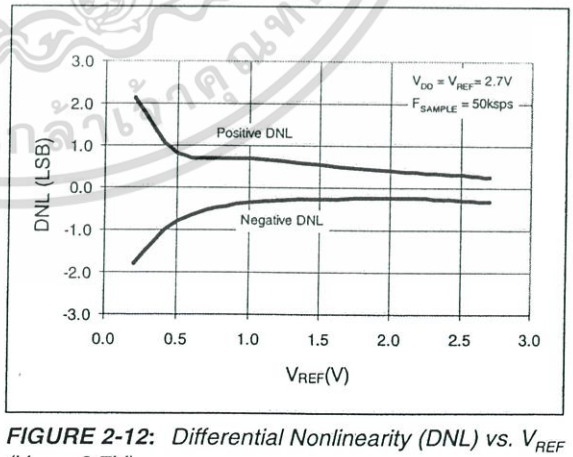


FIGURE 2-12: *Differential Nonlinearity (DNL) vs. V_{REF} ($V_{DD} = 2.7V$).*

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note: Unless otherwise indicated, $V_{DD} = V_{REF} = 5V$, $V_{SS} = 0V$, $f_{SAMPLE} = 100ksps$, $f_{CLK} = 20^* f_{SAMPLE}$, $T_A = 25°C$

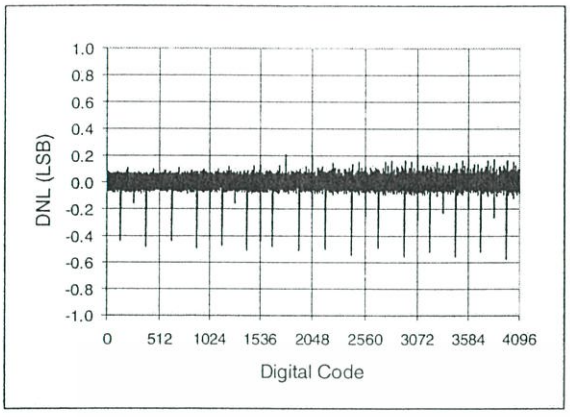


FIGURE 2-13: *Differential Nonlinearity (DNL) vs. Code (Representative Part).*

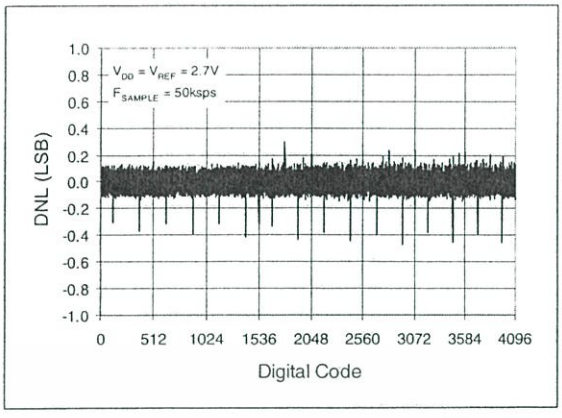


FIGURE 2-16: *Differential Nonlinearity (DNL) vs. Code (Representative Part, $V_{DD} = 2.7V$).*

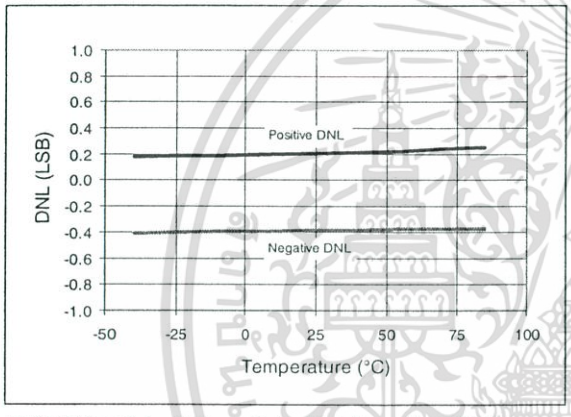


FIGURE 2-14: *Differential Nonlinearity (DNL) vs. Temperature.*

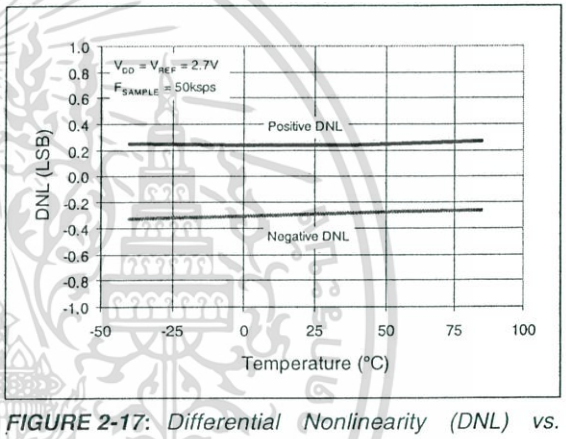


FIGURE 2-17: *Differential Nonlinearity (DNL) vs. Temperature ($V_{DD} = 2.7V$).*

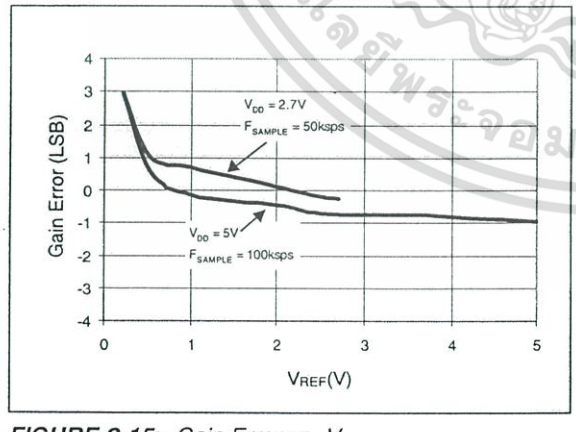


FIGURE 2-15: *Gain Error vs. V_{REF}.*

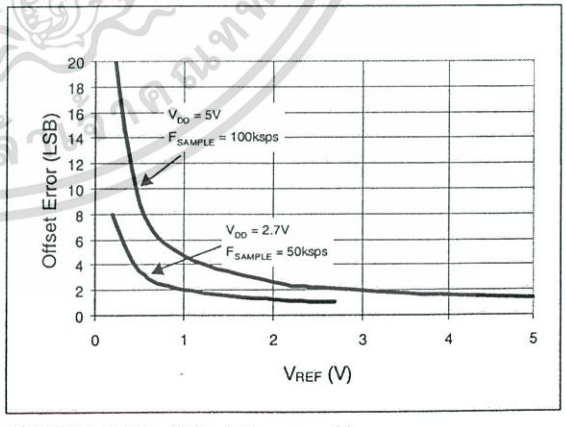


FIGURE 2-18: *Offset Error vs. V_{REF}.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note: Unless otherwise indicated, $V_{DD} = V_{REF} = 5V$, $V_{SS} = 0V$, $f_{SAMPLE} = 100ksps$, $f_{CLK} = 20^* f_{SAMPLE}$, $T_A = 25°C$

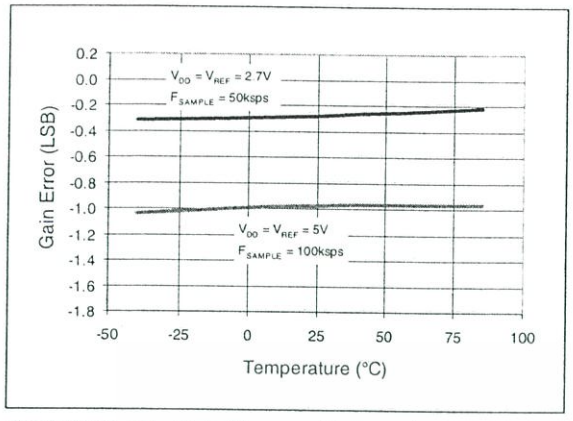


FIGURE 2-19: *Gain Error vs. Temperature.*

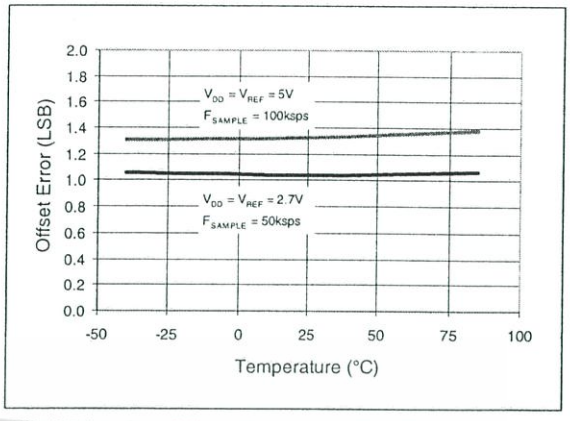


FIGURE 2-22: *Offset Error vs. Temperature.*

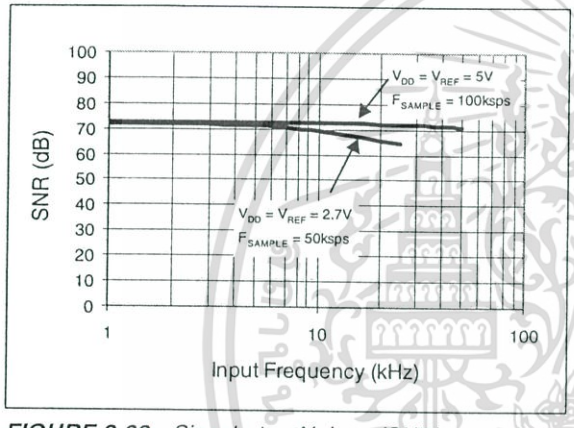


FIGURE 2-20: *Signal to Noise (SNR) vs. Input Frequency.*

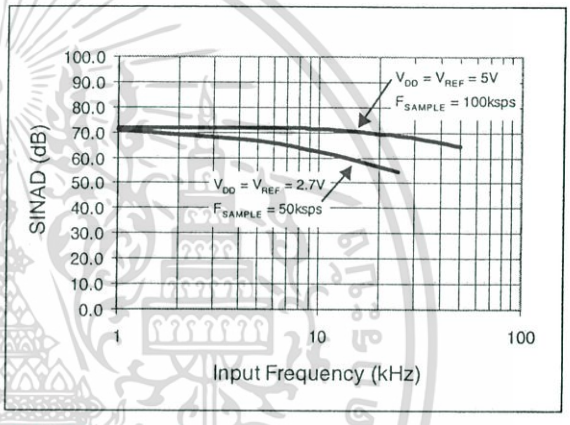


FIGURE 2-23: *Signal to Noise and Distortion (SINAD) vs. Input Frequency.*

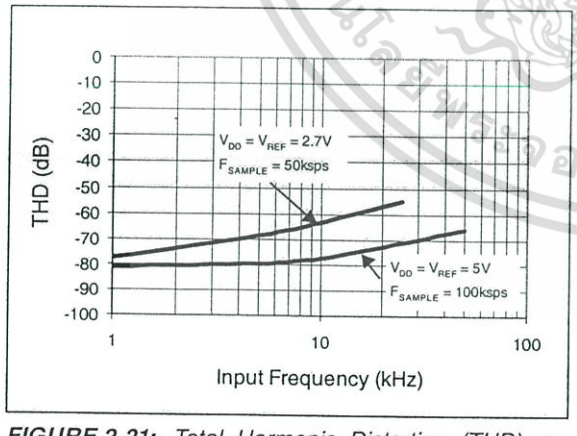


FIGURE 2-21: *Total Harmonic Distortion (THD) vs. Input Frequency.*

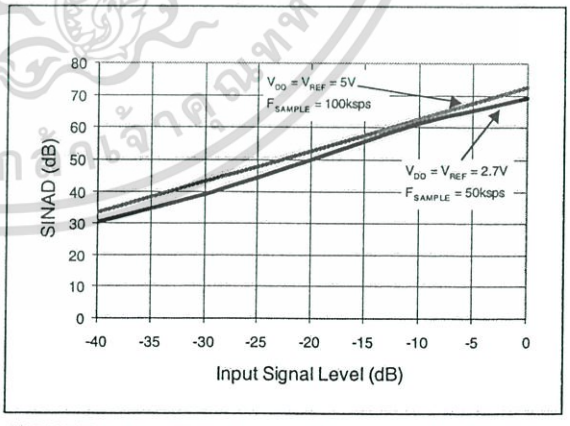


FIGURE 2-24: *Signal to Noise and Distortion (SINAD) vs. Input Signal Level.*

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note: Unless otherwise indicated, $V_{DD} = V_{REF} = 5V$, $V_{SS} = 0V$, $f_{SAMPLE} = 100ksps$, $f_{CLK} = 20^* f_{SAMPLE}$, $T_A = 25°C$

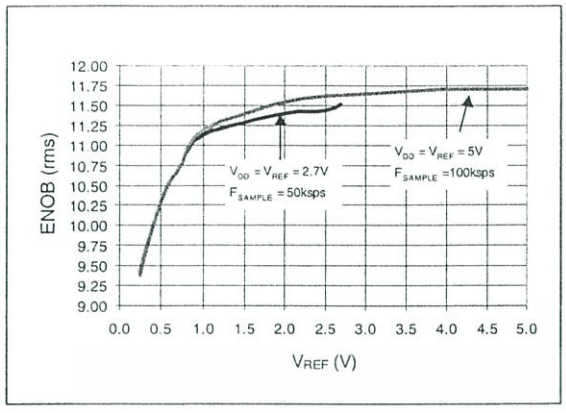


***FIGURE 2-25**: Effective Number of Bits (ENOB) vs. V_{REF}.*

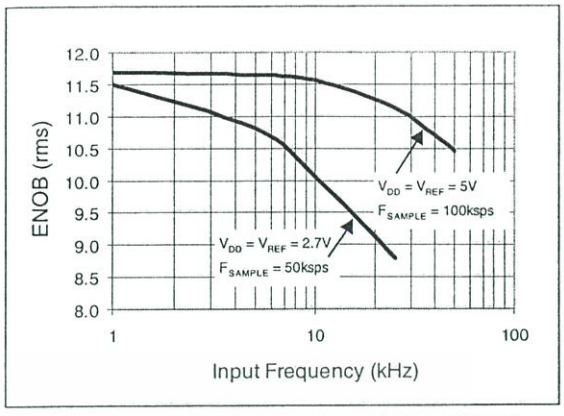


***FIGURE 2-28**: Effective Number of Bits (ENOB) vs. Input Frequency.*

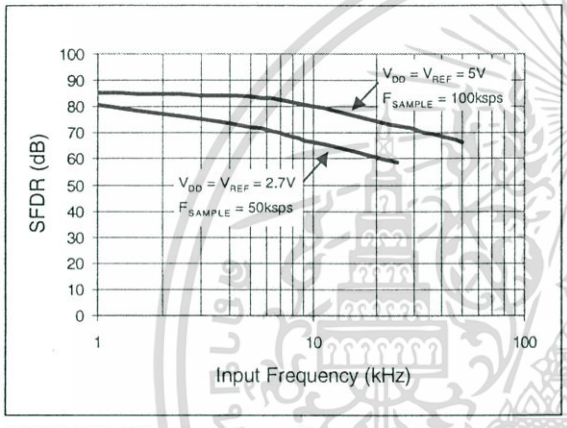


***FIGURE 2-26**: Spurious Free Dynamic Range (SFDR) vs. Input Frequency.*

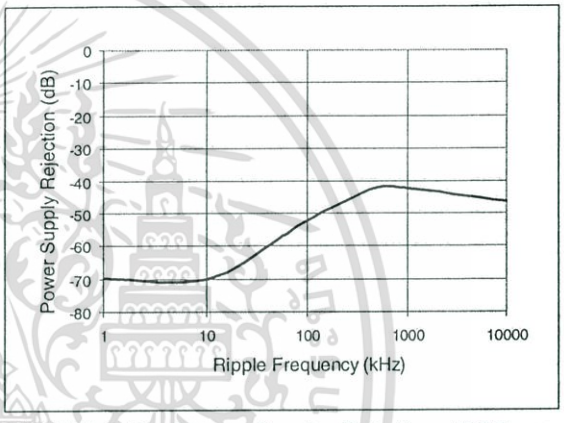


***FIGURE 2-29**: Power Supply Rejection (PSR) vs. Ripple Frequency.*

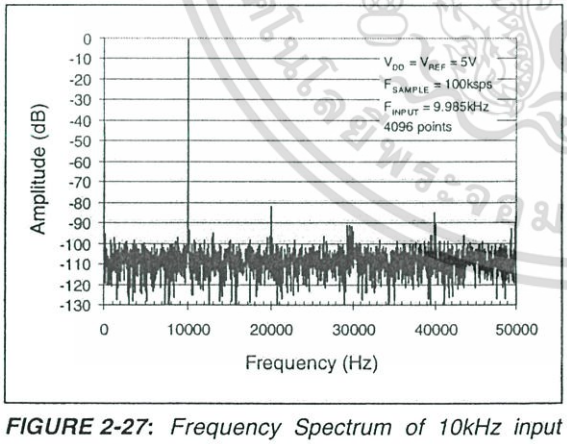


***FIGURE 2-27**: Frequency Spectrum of 10kHz input (Representative Part).*

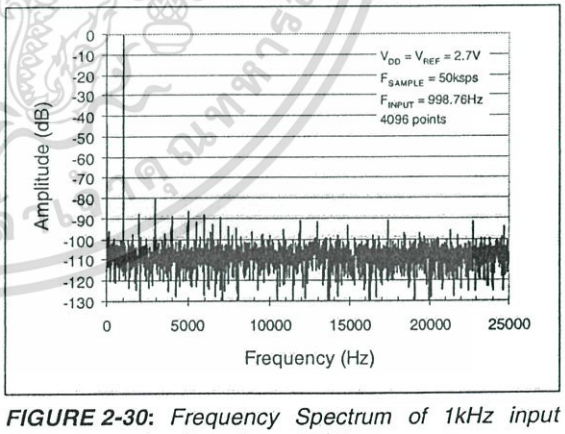


***FIGURE 2-30**: Frequency Spectrum of 1kHz input (Representative Part, $V_{DD} = 2.7V$).*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note: Unless otherwise indicated, $V_{DD} = V_{REF} = 5V$, $V_{SS} = 0V$, $f_{SAMPLE} = 100ksps$, $f_{CLK} = 20^* f_{SAMPLE}$, $T_A = 25°C$

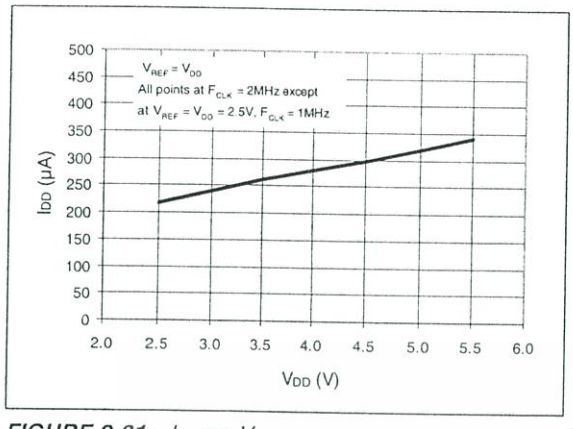


FIGURE 2-31: I_{DD} vs. V_{DD}.

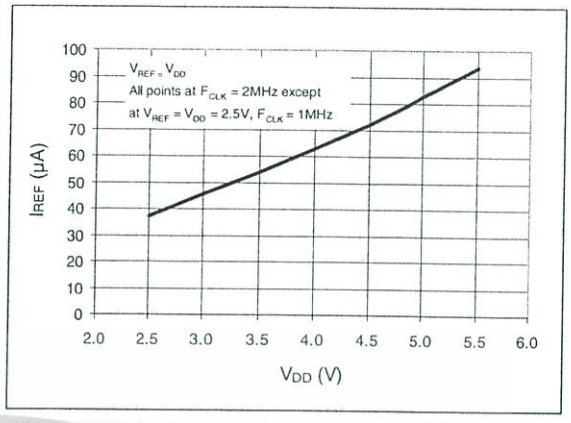


FIGURE 2-34: I_{REF} vs. V_{DD}.

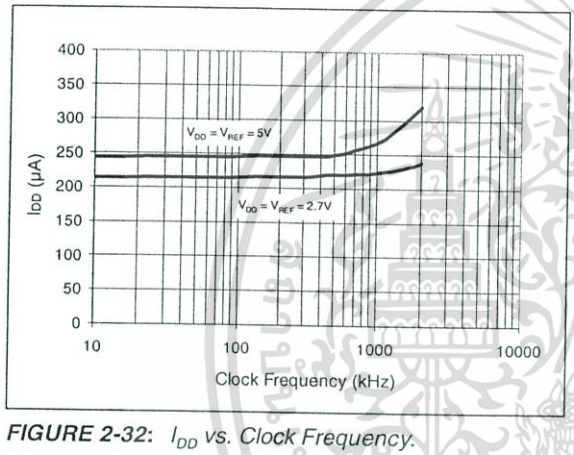


FIGURE 2-32: I_{DD} vs. Clock Frequency.

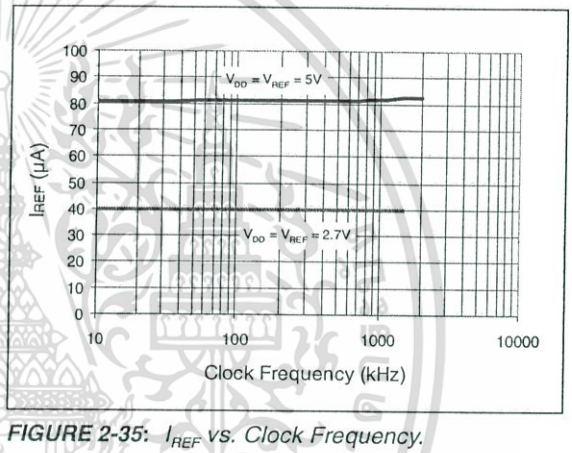


FIGURE 2-35: I_{REF} vs. Clock Frequency.

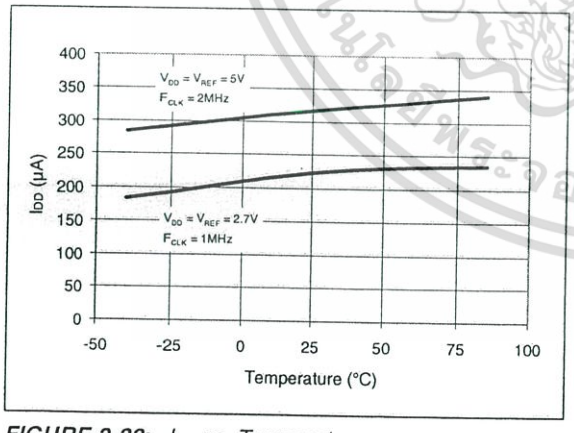


FIGURE 2-33: I_{DD} vs. Temperature.

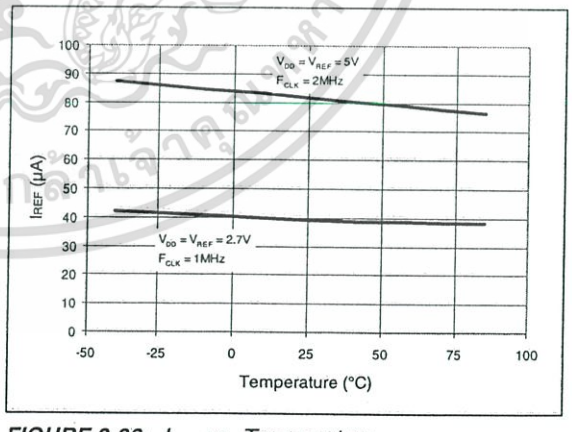


FIGURE 2-36: I_{REF} vs. Temperature.

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note: Unless otherwise indicated, $V_{DD} = V_{REF} = 5V$, $V_{SS} = 0V$, $f_{SAMPLE} = 100ksps$, $f_{CLK} = 20^* f_{SAMPLE}$, $T_A = 25°C$

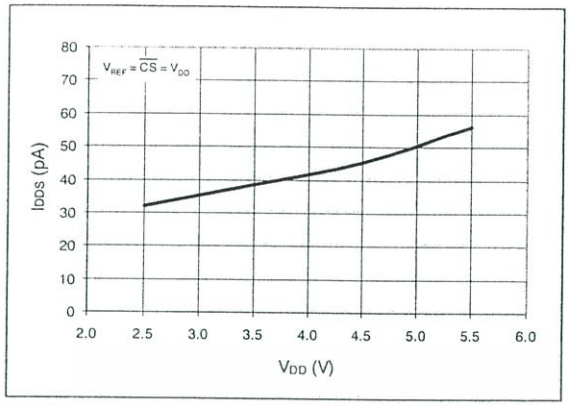


FIGURE 2-37: I_{DDS} vs. V_{DD}.

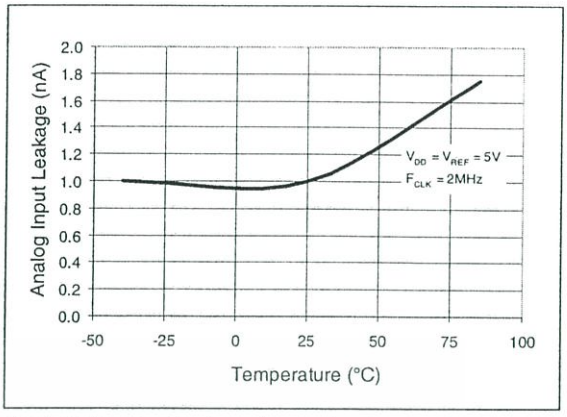


FIGURE 2-39: Analog Input Leakage Current vs. Temperature.

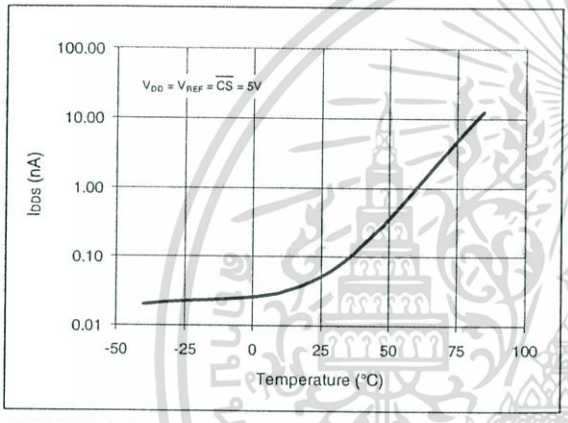


FIGURE 2-38: I_{DDS} vs. Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 PIN DESCRIPTIONS

3.1 CH0 - CH7

Analog inputs for channels 0 - 7 respectively for the multiplexed inputs. Each pair of channels can be programmed to be used as two independent channels in single ended-mode or as a single pseudo-differential input where one channel is IN+ and one channel is IN-. See Section 4.1 and Section 5.0 for information on programming the channel configuration.

3.2 $\overline{CS}$/SHDN($\overline{Chip\ Select}$/Shutdown)

The $\overline{CS}$/SHDN pin is used to initiate communication with the device when pulled low and will end a conversion and put the device in low power standby when pulled high. The $\overline{CS}$/SHDN pin must be pulled high between conversions.

3.3 CLK (Serial Clock)

The SPI clock pin is used to initiate a conversion and to clock out each bit of the conversion as it takes place. See Section 6.2 for constraints on clock speed.

3.4 DIN (Serial Data Input)

The SPI port serial data input pin is used to load channel configuration data into the device.

3.5 DOUT (Serial Data output)

The SPI serial data output pin is used to shift out the results of the A/D conversion. Data will always change on the falling edge of each clock as the conversion takes place.

3.6 AGND

Analog ground connection to internal analog circuitry.

3.7 DGND

Digital ground connection to internal digital circuitry.

4.0 DEVICE OPERATION

The MCP3204/3208 A/D Converters employ a conventional SAR architecture. With this architecture, a sample is acquired on an internal sample/hold capacitor for 1.5 clock cycles starting on the fourth rising edge of the serial clock after the start bit has been received. Following this sample time, the device uses the collected charge on the internal sample and hold capacitor to produce a serial 12-bit digital output code. Conversion rates of 100ksps are possible on the MCP3204/3208. See Section 6.2 for information on minimum clock rates. Communication with the device is done using a 4-wire SPI-compatible interface.

4.1 Analog Inputs

The MCP3204/3208 devices offer the choice of using the analog input channels configured as single-ended inputs or pseudo-differential pairs. The MCP3204 can be configured to provide two pseudo-differential input pairs or four single-ended inputs. the MCP3208 can be configured to provide four pseudo-differential input pairs or eight single-ended inputs. Configuration is done as part of the serial command before each conversion begins. When used in the pseudo-differential mode, each channel pair (i.e., CH0 and CH1, CH2 and CH3 etc.) are programmed as the IN+ and IN- inputs as part of the command string transmitted to the device. The IN+ input can range from IN- to (V_{REF} + IN-). The IN- input is limited to ±100mV from the V_{SS} rail. The IN- input can be used to cancel small signal common-mode noise which is present on both the IN+ and IN- inputs.

When operating in the pseudo-differential mode, if the voltage level of IN+ is equal to or less than IN-, the resultant code will be 000h. If the voltage at IN+ is equal to or greater than {[V_{REF} + (IN-)] - 1 LSB}, then the output code will be FFFh. If the voltage level at IN- is more than 1 LSB below V_{SS}, then the voltage level at the IN+ input will have to go below V_{SS} to see the 000h output code. Conversely, if IN- is more than 1 LSB above V_{SS}, then the FFFh code will not be seen unless the IN+ input level goes above V_{REF} level.

For the A/D Converter to meet specification, the charge holding capacitor, (C_{SAMPLE}) must be given enough time to acquire a 12-bit accurate voltage level during the 1.5 clock cycle sampling period. The analog input model is shown in Figure 4-1.

In this diagram it is shown that the source impedance (R_S) adds to the internal sampling switch (R_{SS}) impedance, directly affecting the time that is required to charge the capacitor, C_{SAMPLE}. Consequently, larger source impedances increase the offset, gain, and integral linearity errors of the conversion. See Figure 4-2.

4.2 Reference Input

For each device in the family, the reference input (V_{REF}) determines the analog input voltage range. As the reference input is reduced, the LSB size is reduced accordingly. The theoretical digital output code produced by the A/D Converter is a function of the analog input signal and the reference input as shown below.

$$Digital\ Output\ Code = \frac{4096 * V_{IN}}{V_{REF}}$$

where:

V_{IN} = *analog input voltage*

V_{REF} = *reference voltage*

When using an external voltage reference device, the system designer should always refer to the manufacturer's recommendations for circuit layout. Any instability in the operation of the reference device will have a direct effect on the operation of the A/D Converter.

 © 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

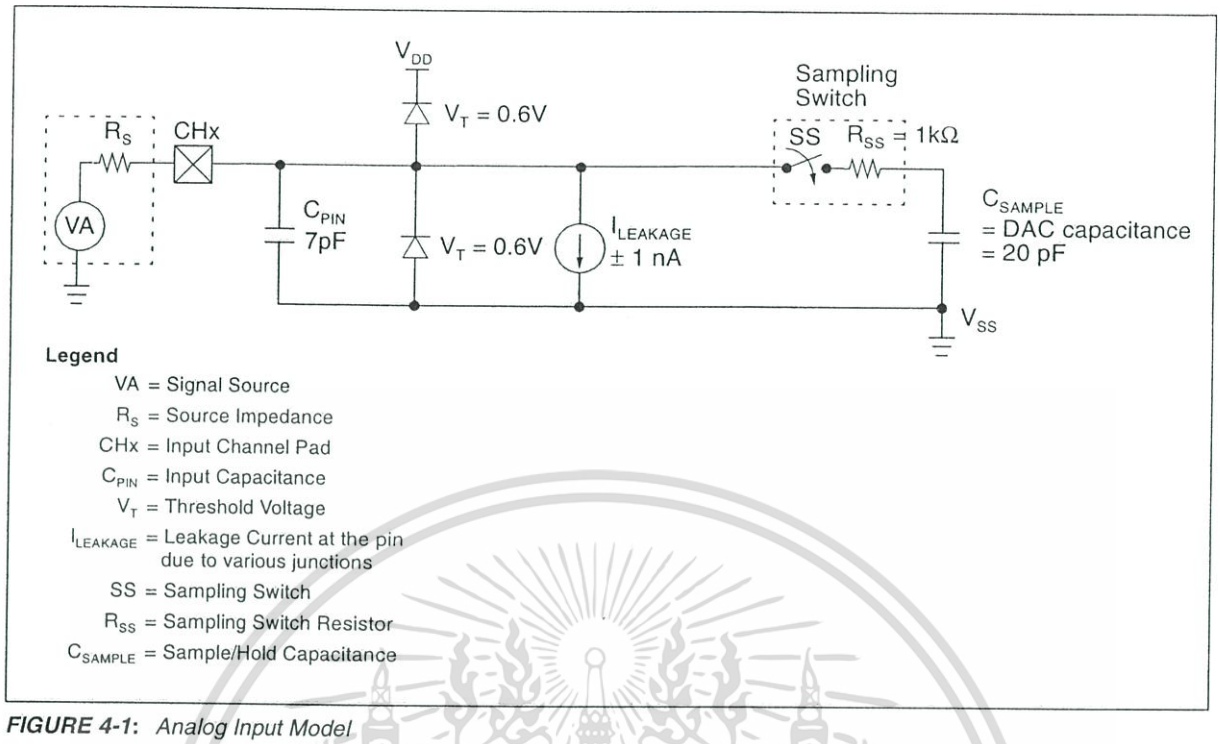


FIGURE 4-1: *Analog Input Model*

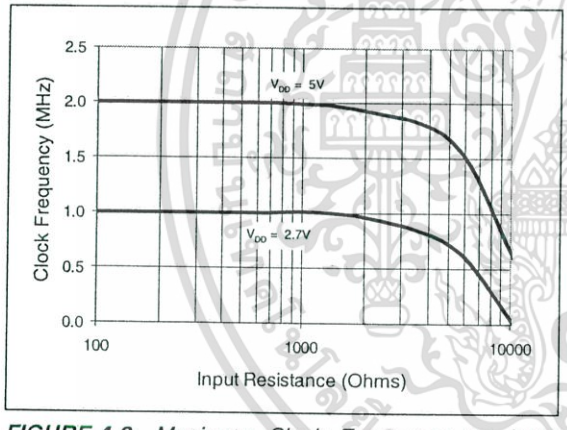


FIGURE 4-2: *Maximum Clock Frequency vs. Input resistance (R_S) to maintain less than a 0.1LSB deviation in INL from nominal conditions.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.0 SERIAL COMMUNICATIONS

Communication with the MCP3204/3208 devices is done using a standard SPI-compatible serial interface. Initiating communication with either device is done by bringing the $\overline{CS}$ line low. See Figure 5-1. If the device was powered up with the $\overline{CS}$ pin low, it must be brought high and back low to initiate communication. The first clock received with $\overline{CS}$ low and D_{IN} high will constitute a start bit. The SGL/$\overline{DIFF}$ bit follows the start bit and will determine if the conversion will be done using single ended or differential input mode. The next three bits (D0, D1 and D2) are used to select the input channel configuration. Table 5-1 and Table 5-2 show the configuration bits for the MCP3204 and MCP3208, respectively. The device will begin to sample the analog input on the fourth rising edge of the clock after the start bit has been received. The sample period will end on the falling edge of the fifth clock following the start bit.

After the D0 bit is input, one more clock is required to complete the sample and hold period (D_{IN} is a don't care for this clock). On the falling edge of the next clock, the device will output a low null bit. The next 12 clocks will output the result of the conversion with MSB first as shown in Figure 5-1. Data is always output from the device on the falling edge of the clock. If all 12 data bits have been transmitted and the device continues to receive clocks while the $\overline{CS}$ is held low, the device will output the conversion result LSB first as shown in Figure 5-2. If more clocks are provided to the device while $\overline{CS}$ is still low (after the LSB first data has been transmitted), the device will clock out zeros indefinitely.

If necessary, it is possible to bring $\overline{CS}$ low and clock in leading zeros on the D_{IN} line before the start bit. This is often done when dealing with microcontroller-based SPI ports that must send 8 bits at a time. Refer to Section 6.1 for more details on using the MCP3204/3208 devices with hardware SPI ports.

CONTROL BIT SELECTIONS				INPUT CONFIGURATION	CHANNEL SELECTION
SINGLE/$\overline{DIFF}$	D2*	D1	D0		
1	X	0	0	single ended	CH0
1	X	0	1	single ended	CH1
1	X	1	0	single ended	CH2
1	X	1	1	single ended	CH3
0	X	0	0	differential	CH0 = IN+ CH1 = IN-
0	X	0	1	differential	CH0 = IN- CH1 = IN+
0	X	1	0	differential	CH2 = IN+ CH3 = IN-
0	X	1	1	differential	CH2 = IN- CH3 = IN+
*D2 is don't care for MCP3204					

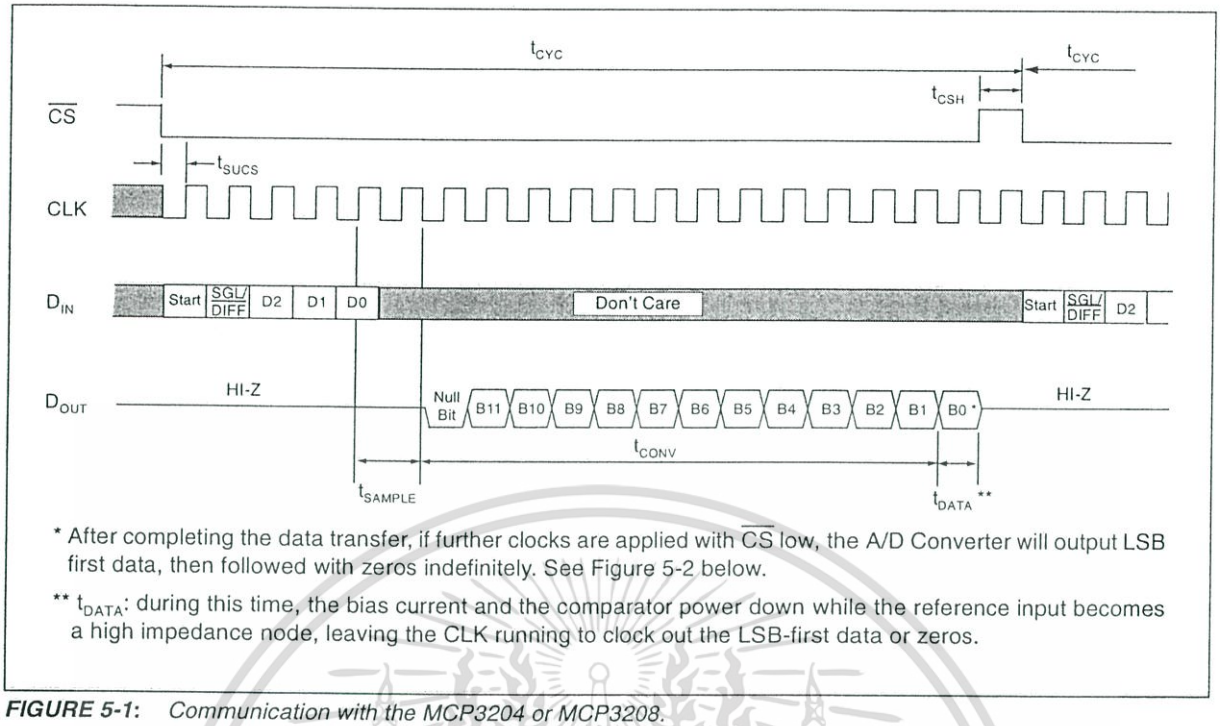
TABLE 5-1: *Configuration Bits for the MCP3204.*

CONTROL BIT SELECTIONS				INPUT CONFIGURATION	CHANNEL SELECTION
SINGLE/$\overline{DIFF}$	D2	D1	D0		
1	0	0	0	single ended	CH0
1	0	0	1	single ended	CH1
1	0	1	0	single ended	CH2
1	0	1	1	single ended	CH3
1	1	0	0	single ended	CH4
1	1	0	1	single ended	CH5
1	1	1	0	single ended	CH6
1	1	1	1	single ended	CH7
0	0	0	0	differential	CH0 = IN+ CH1 = IN-
0	0	0	1	differential	CH0 = IN- CH1 = IN+
0	0	1	0	differential	CH2 = IN+ CH3 = IN-
0	0	1	1	differential	CH2 = IN- CH3 = IN+
0	1	0	0	differential	CH4 = IN+ CH5 = IN-
0	1	0	1	differential	CH4 = IN- CH5 = IN+
0	1	1	0	differential	CH6 = IN+ CH7 = IN-
0	1	1	1	differential	CH6 = IN- CH7 = IN+

TABLE 5-2: *Configuration Bits for the MCP3208.*

© 2001 Microchip Technology Inc.

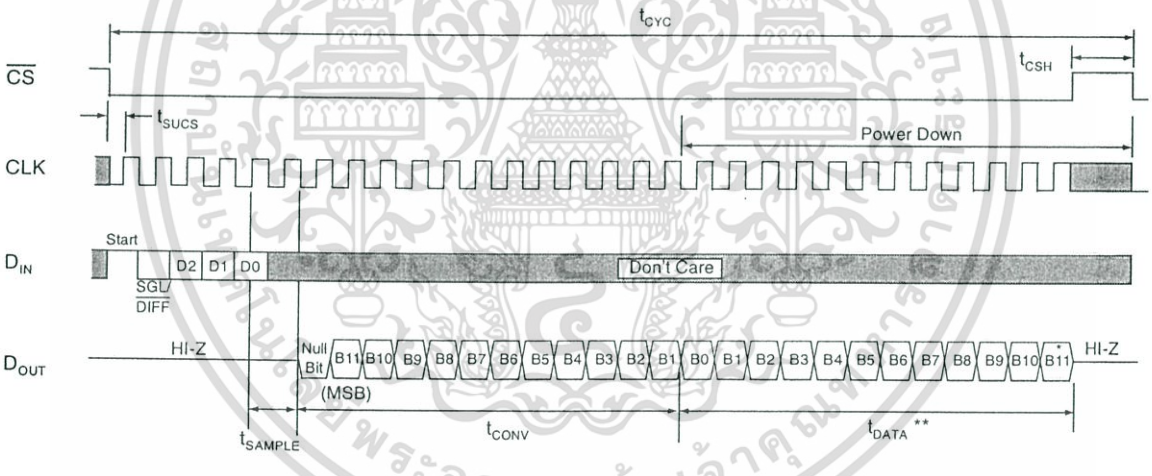
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



* After completing the data transfer, if further clocks are applied with $\overline{CS}$ low, the A/D Converter will output LSB first data, then followed with zeros indefinitely. See Figure 5-2 below.

** t_{DATA}: during this time, the bias current and the comparator power down while the reference input becomes a high impedance node, leaving the CLK running to clock out the LSB-first data or zeros.

FIGURE 5-1: *Communication with the MCP3204 or MCP3208.*



* After completing the data transfer, if further clocks are applied with $\overline{CS}$ low, the A/D Converter will output zeros indefinitely.

** t_{DATA}: During this time, the bias circuit and the comparator power down while the reference input becomes a high impedance node, leaving the CLK running to clock out LSB first data or zeroes.

FIGURE 5-2: *Communication with MCP3204 or MCP3208 in LSB First Format.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.0 APPLICATIONS INFORMATION

6.1 Using the MCP3204/3208 with Microcontroller (MCU) SPI Ports

With most microcontroller SPI ports, it is required to send groups of eight bits. It is also required that the microcontroller SPI port be configured to clock out data on the falling edge of clock and latch data in on the rising edge. Because communication with the MCP3204/3208 devices may not need multiples of eight clocks, it will be necessary to provide more clocks than are required. This is usually done by sending 'leading zeros' before the start bit. As an example, Figure 6-1 and Figure 6-2 shows how the MCP3204/3208 can be interfaced to a MCU with a hardware SPI port. Figure 6-1 depicts the operation shown in SPI Mode 0,0 which requires that the SCLK from the MCU idles in the 'low' state, while Figure 6-2 shows the similar case of SPI Mode 1,1 where the clock idles in the 'high' state.

As shown in Figure 6-1, the first byte transmitted to the A/D Converter contains five leading zeros before the start bit. Arranging the leading zeros this way produces the output 12 bits to fall in positions easily manipulated by the MCU. The MSB is clocked out of the A/D Converter on the falling edge of clock number 12. After the second eight clocks have been sent to the device, the MCUs receive buffer will contain three unknown bits (the output is at high impedance for the first two clocks), the null bit and the highest order four bits of the conversion. After the third byte has been sent to the device, the receive register will contain the lowest order eight bits of the conversion results. Easier manipulation of the converted data can be obtained by using this method.

Figure 6-2 shows the same thing in SPI Mode 1,1 which requires that the clock idles in the high state. As with mode 0,0, the A/D Converter outputs data on the falling edge of the clock and the MCU latches data from the A/D Converter in on the rising edge of the clock.

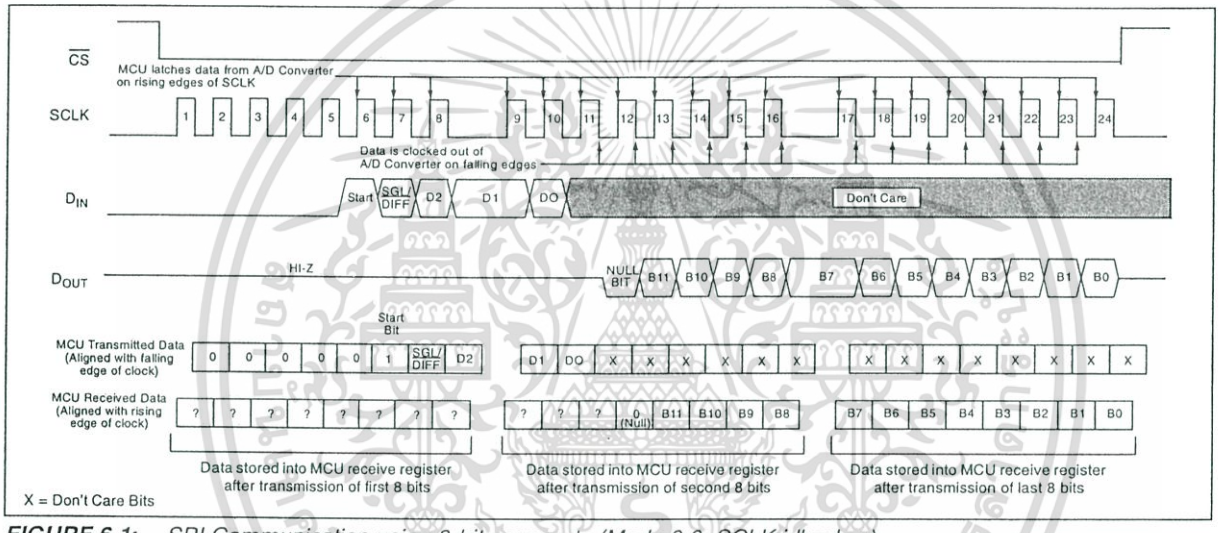


FIGURE 6-1: *SPI Communication using 8-bit segments (Mode 0,0: SCLK idles low).*

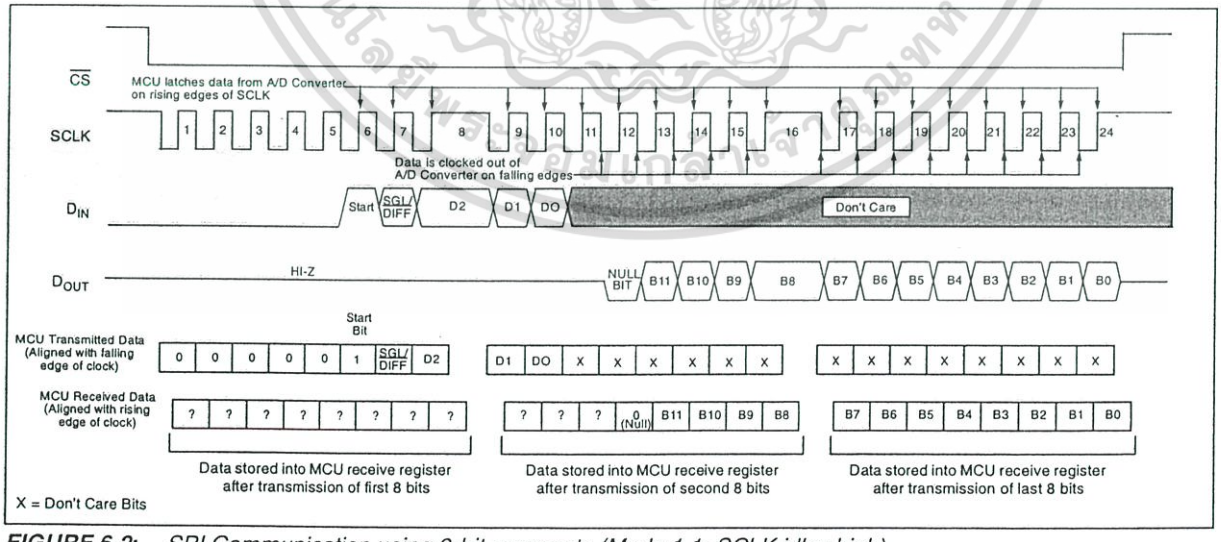


FIGURE 6-2: *SPI Communication using 8-bit segments (Mode 1,1: SCLK idles high).*

 © 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 Maintaining Minimum Clock Speed

When the MCP3204/3208 initiates the sample period, charge is stored on the sample capacitor. When the sample period is complete, the device converts one bit for each clock that is received. It is important for the user to note that a slow clock rate will allow charge to bleed off the sample capacitor while the conversion is taking place. At 85°C (worst case condition), the part will maintain proper charge on the sample capacitor for at least 1.2ms after the sample period has ended. This means that the time between the end of the sample period and the time that all 12 data bits have been clocked out must not exceed 1.2ms (effective clock frequency of 10kHz). Failure to meet this criterion may induce linearity errors into the conversion outside the rated specifications. It should be noted that during the entire conversion cycle, the A/D Converter does not require a constant clock speed or duty cycle, as long as all timing specifications are met.

6.3 Buffering/Filtering the Analog Inputs

If the signal source for the A/D Converter is not a low impedance source, it will have to be buffered or inaccurate conversion results may occur. See Figure 4-2. It is also recommended that a filter be used to eliminate any signals that may be aliased back in to the conversion results. This is illustrated in Figure 6-3 where an op amp is used to drive the analog input of the MCP3204/3208. This amplifier provides a low impedance source for the converter input and a low pass filter, which eliminates unwanted high frequency noise.

Low pass (anti-aliasing) filters can be designed using Microchip's free interactive **FilterLab™** software. **FilterLab** will calculate capacitor and resistors values, as well as determine the number of poles that are required for the application. For more information on filtering signals, see the application note AN699 *"Anti-Aliasing Analog Filters for Data Acquisition Systems."*

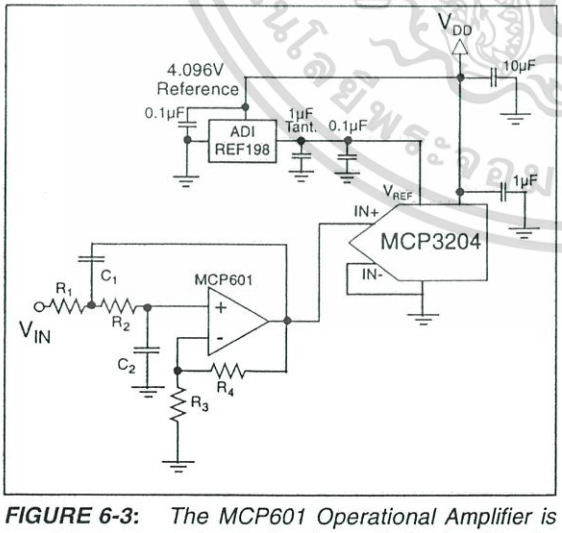


FIGURE 6-3: *The MCP601 Operational Amplifier is used to implement a 2nd order anti-aliasing filter for the signal being converted by the MCP3204.*

6.4 Layout Considerations

When laying out a printed circuit board for use with analog components, care should be taken to reduce noise wherever possible. A bypass capacitor should always be used with this device and should be placed as close as possible to the device pin. A bypass capacitor value of 1µF is recommended.

Digital and analog traces should be separated as much as possible on the board and no traces should run underneath the device or the bypass capacitor. Extra precautions should be taken to keep traces with high frequency signals (such as clock lines) as far as possible from analog traces.

Use of an analog ground plane is recommended in order to keep the ground potential the same for all devices on the board. Providing V_{DD} connections to devices in a "star" configuration can also reduce noise by eliminating return current paths and associated errors. See Figure 6-4. For more information on layout tips when using A/D Converters, refer to AN688 *"Layout Tips for 12-Bit A/D Converter Applications"*.

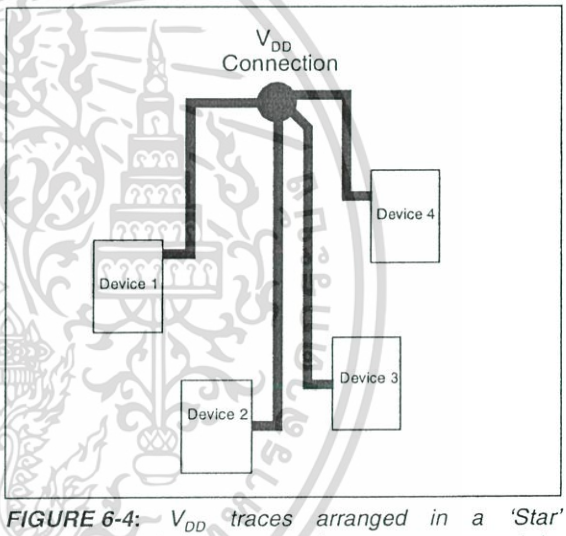


FIGURE 6-4: *V_{DD} traces arranged in a 'Star' configuration in order to reduce errors caused by current return paths.*

FilterLab is a trademark of Microchip Technology Inc. in the U.S.A and other countries. All rights reserved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 Utilizing the Digital and Analog Ground Pins

The MCP3204/3208 devices provide both digital and analog ground connections to provide another means of noise reduction. As shown in Figure 6-5, the analog and digital circuitry is separated internal to the device. This reduces noise from the digital portion of the device being coupled into the analog portion of the device. The two grounds are connected internally through the substrate which has a resistance of 5 -10 Ω.

If no ground plane is utilized, then both grounds must be connected to V_{SS} on the board. If a ground plane is available, both digital and analog ground pins should be connected to the analog ground plane. If both an analog and a digital ground plane are available, both the digital and the analog ground pins should be connected to the analog ground plane. Following these steps will reduce the amount of digital noise from the rest of the board being coupled into the A/D Converter.

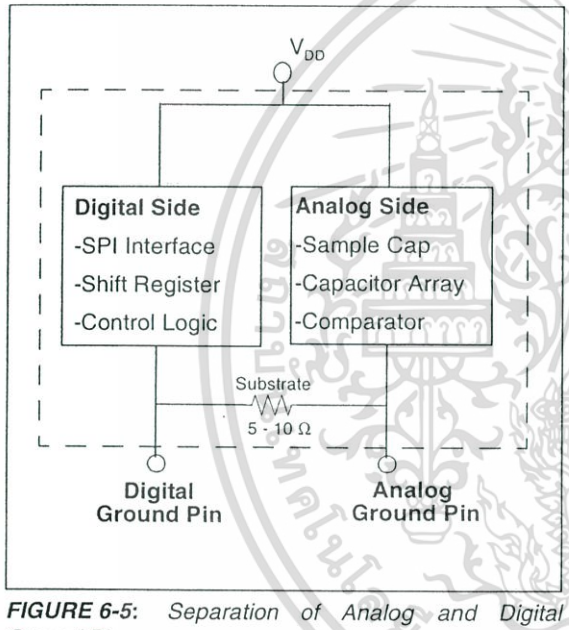


FIGURE 6-5: *Separation of Analog and Digital Ground Pins.*

 © 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

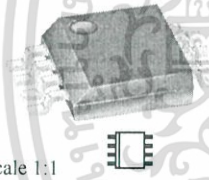
Fully Integrated, Hall Effect-Based Linear Current Sensor IC with 2.1 kVRMS Isolation and a Low-Resistance Current Conductor

Features and Benefits

- Low-noise analog signal path
- Device bandwidth is set via the new FILTER pin
- 5 µs output rise time in response to step input current
- 80 kHz bandwidth
- Total output error 1.5% at T_A = 25°C
- Small footprint, low-profile SOIC8 package
- 1.2 mΩ internal conductor resistance
- 2.1 kVRMS minimum isolation voltage from pins 1-4 to pins 5-8
- 5.0 V, single supply operation
- 66 to 185 mV/A output sensitivity
- Output voltage proportional to AC or DC currents
- Factory-trimmed for accuracy
- Extremely stable output offset voltage
- Nearly zero magnetic hysteresis
- Ratiometric output from supply voltage

TÜV America
Certificate Number:
U8V 06 05 54214 010

Package: 8 Lead SOIC (suffix LC)



Approximate Scale 1:1

Description

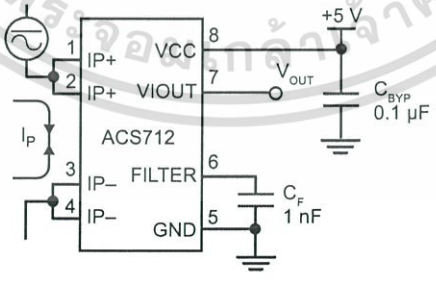
The Allegro™ ACS712 provides economical and precise solutions for AC or DC current sensing in industrial, commercial, and communications systems. The device package allows for easy implementation by the customer. Typical applications include motor control, load detection and management, switch-mode power supplies, and overcurrent fault protection. The device is not intended for automotive applications.

The device consists of a precise, low-offset, linear Hall circuit with a copper conduction path located near the surface of the die. Applied current flowing through this copper conduction path generates a magnetic field which the Hall IC converts into a proportional voltage. Device accuracy is optimized through the close proximity of the magnetic signal to the Hall transducer. A precise, proportional voltage is provided by the low-offset, chopper-stabilized BiCMOS Hall IC, which is programmed for accuracy after packaging.

The output of the device has a positive slope ($>V_{IOUT(Q)}$) when an increasing current flows through the primary copper conduction path (from pins 1 and 2, to pins 3 and 4), which is the path used for current sampling. The internal resistance of this conductive path is 1.2 mΩ typical, providing low power loss. The thickness of the copper conductor allows survival of

Continued on the next page...

Typical Application



Application 1. The ACS712 outputs an analog signal, V_{OUT}, that varies linearly with the uni- or bi-directional AC or DC primary sampled current, I_P, within the range specified. C_F is recommended for noise management, with values that depend on the application.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description (continued)

the device at up to 5× overcurrent conditions. The terminals of the conductive path are electrically isolated from the signal leads (pins 5 through 8). This allows the ACS712 to be used in applications requiring electrical isolation without the use of opto-isolators or other costly isolation techniques.

The ACS712 is provided in a small, surface mount SOIC8 package. The leadframe is plated with 100% matte tin, which is compatible with standard lead (Pb) free printed circuit board assembly processes. Internally, the device is Pb-free, except for flip-chip high-temperature Pb-based solder balls, currently exempt from RoHS. The device is fully calibrated prior to shipment from the factory.

Selection Guide

Part Number	Packing*	T_A (°C)	Optimized Range, I_P (A)	Sensitivity, Sens (Typ) (mV/A)
ACS712ELCTR-05B-T	Tape and reel, 3000 pieces/reel	–40 to 85	±5	185
ACS712ELCTR-20A-T	Tape and reel, 3000 pieces/reel	–40 to 85	±20	100
ACS712ELCTR-30A-T	Tape and reel, 3000 pieces/reel	–40 to 85	±30	66

*Contact Allegro for additional packing options.

Absolute Maximum Ratings

Characteristic	Symbol	Notes	Rating	Units
Supply Voltage	V_{CC}		8	V
Reverse Supply Voltage	V_{RCC}		–0.1	V
Output Voltage	V_{IOUT}		8	V
Reverse Output Voltage	V_{RIOUT}		–0.1	V
Output Current Source	$I_{IOUT(Source)}$		3	mA
Output Current Sink	$I_{IOUT(Sink)}$		10	mA
Overcurrent Transient Tolerance	I_P	1 pulse, 100 ms	100	A
Nominal Operating Ambient Temperature	T_A	Range E	–40 to 85	°C
Maximum Junction Temperature	$T_J(max)$		165	°C
Storage Temperature	T_{stg}		–65 to 170	°C

Isolation Characteristics

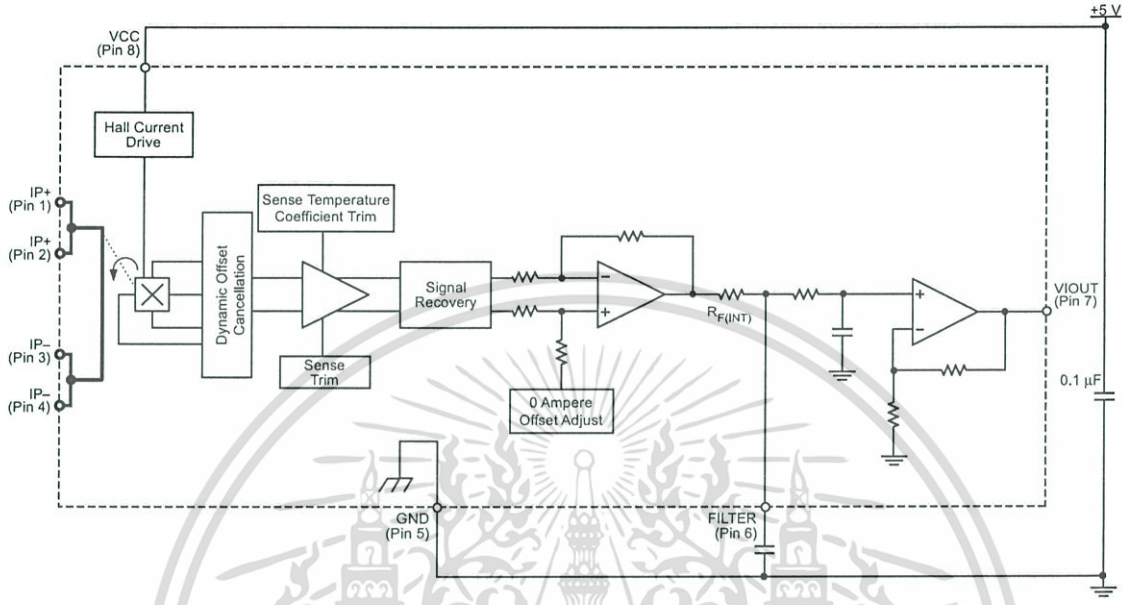
Characteristic	Symbol	Notes	Rating	Unit
Dielectric Strength Test Voltage*	V_{ISO}	Agency type-tested for 60 seconds per UL standard 60950-1, 1st Edition	2100	VAC
Working Voltage for Basic Isolation	V_{WFSI}	For basic (single) isolation per UL standard 60950-1, 1st Edition	354	VDC or V_{pk}
Working Voltage for Reinforced Isolation	V_{WFRI}	For reinforced (double) isolation per UL standard 60950-1, 1st Edition	184	VDC or V_{pk}

* Allegro does not conduct 60-second testing. It is done only during the UL certification process.

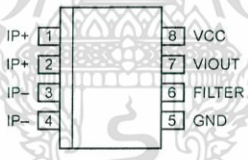
Parameter	Specification
Fire and Electric Shock	CAN/CSA-C22.2 No. 60950-1-03 UL 60950-1:2003 EN 60950-1:2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



Pin-out Diagram



Terminal List Table

Number	Name	Description
1 and 2	IP+	Terminals for current being sampled; fused internally
3 and 4	IP–	Terminals for current being sampled; fused internally
5	GND	Signal ground terminal
6	FILTER	Terminal for external capacitor that sets bandwidth
7	VIOUT	Analog output signal
8	VCC	Device power supply terminal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMMON OPERATING CHARACTERISTICS[1] over full range of T_A, C_F = 1 nF, and V_{CC} = 5 V, unless otherwise specified

Characteristic	Symbol	Test Conditions	Min.	Typ.	Max.	Units
ELECTRICAL CHARACTERISTICS						
Supply Voltage	V_{CC}		4.5	5.0	5.5	V
Supply Current	I_{CC}	V_{CC} = 5.0 V, output open	–	10	13	mA
Output Capacitance Load	C_{LOAD}	VIOUT to GND	–	–	10	nF
Output Resistive Load	R_{LOAD}	VIOUT to GND	4.7	–	–	kΩ
Primary Conductor Resistance	$R_{PRIMARY}$	T_A = 25°C	–	1.2	–	mΩ
Rise Time	t_r	I_P = I_P(max), T_A = 25°C, C_{OUT} = open	–	3.5	–	µs
Frequency Bandwidth	f	–3 dB, T_A = 25°C; I_P is 10 A peak-to-peak	–	80	–	kHz
Nonlinearity	E_{LIN}	Over full range of I_P	–	1.5	–	%
Symmetry	E_{SYM}	Over full range of I_P	98	100	102	%
Zero Current Output Voltage	$V_{IOUT(Q)}$	Bidirectional; I_P = 0 A, T_A = 25°C	–	V_{CC} × 0.5	–	V
Power-On Time	t_{PO}	Output reaches 90% of steady-state level, T_J = 25°C, 20 A present on leadframe	–	35	–	µs
Magnetic Coupling[2]			–	12	–	G/A
Internal Filter Resistance[3]	$R_{F(INT)}$			1.7		kΩ

[1]Device may be operated at higher primary current levels, I_P, and ambient, T_A, and internal leadframe temperatures, T_A, provided that the Maximum Junction Temperature, T_J(max), is not exceeded.

[2]1G = 0.1 mT.

[3]$R_{F(INT)}$ forms an RC circuit via the FILTER pin.

COMMON THERMAL CHARACTERISTICS[1]

			Min.	Typ.	Max.	Units
Operating Internal Leadframe Temperature	T_A	E range	–40	–	85	°C
					Value	Units
Junction-to-Lead Thermal Resistance[2]	$R_{\theta JL}$	Mounted on the Allegro ASEK 712 evaluation board			5	°C/W
Junction-to-Ambient Thermal Resistance	$R_{\theta JA}$	Mounted on the Allegro 85-0322 evaluation board, includes the power consumed by the board			23	°C/W

[1]Additional thermal information is available on the Allegro website.

[2]The Allegro evaluation board has 1500 mm² of 2 oz. copper on each side, connected to pins 1 and 2, and to pins 3 and 4, with thermal vias connecting the layers. Performance values include the power consumed by the PCB. Further details on the board are available from the Frequently Asked Questions document on our website. Further information about board design and thermal performance also can be found in the Applications Information section of this datasheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

x05B PERFORMANCE CHARACTERISTICS[1] T_A = –40°C to 85°C, C_F = 1 nF, and V_{CC} = 5 V, unless otherwise specified

Characteristic	Symbol	Test Conditions	Min.	Typ.	Max.	Units
Optimized Accuracy Range	I_P		–5	–	5	A
Sensitivity	Sens	Over full range of I_P, T_A = 25°C	180	185	190	mV/A
Noise	$V_{NOISE(PP)}$	Peak-to-peak, T_A = 25°C, 185 mV/A programmed Sensitivity, C_F = 47 nF, C_{OUT} = open, 2 kHz bandwidth	–	21	–	mV
Zero Current Output Slope	$\Delta V_{OUT(Q)}$	T_A = –40°C to 25°C	–	–0.26	–	mV/°C
		T_A = 25°C to 150°C	–	–0.08	–	mV/°C
Sensitivity Slope	ΔSens	T_A = –40°C to 25°C	–	0.054	–	mV/A/°C
		T_A = 25°C to 150°C	–	–0.008	–	mV/A/°C
Total Output Error[2]	E_{TOT}	I_P =±5 A, T_A = 25°C	–	±1.5	–	%

[1]Device may be operated at higher primary current levels, I_P, and ambient temperatures, T_A, provided that the Maximum Junction Temperature, $T_{J(max)}$, is not exceeded.

[2]Percentage of I_P, with I_P = 5 A. Output filtered.

x20A PERFORMANCE CHARACTERISTICS[1] T_A = –40°C to 85°C, C_F = 1 nF, and V_{CC} = 5 V, unless otherwise specified

Characteristic	Symbol	Test Conditions	Min.	Typ.	Max.	Units
Optimized Accuracy Range	I_P		–20	–	20	A
Sensitivity	Sens	Over full range of I_P, T_A = 25°C	96	100	104	mV/A
Noise	$V_{NOISE(PP)}$	Peak-to-peak, T_A = 25°C, 100 mV/A programmed Sensitivity, C_F = 47 nF, C_{OUT} = open, 2 kHz bandwidth	–	11	–	mV
Zero Current Output Slope	$\Delta V_{OUT(Q)}$	T_A = –40°C to 25°C	–	–0.34	–	mV/°C
		T_A = 25°C to 150°C	–	–0.07	–	mV/°C
Sensitivity Slope	ΔSens	T_A = –40°C to 25°C	–	0.017	–	mV/A/°C
		T_A = 25°C to 150°C	–	–0.004	–	mV/A/°C
Total Output Error[2]	E_{TOT}	I_P =±20 A, T_A = 25°C	–	±1.5	–	%

[1]Device may be operated at higher primary current levels, I_P, and ambient temperatures, T_A, provided that the Maximum Junction Temperature, T_J(max), is not exceeded.

[2]Percentage of I_P, with I_P = 20 A. Output filtered.

x30A PERFORMANCE CHARACTERISTICS[1] T_A = –40°C to 85°C, C_F = 1 nF, and V_{CC} = 5 V, unless otherwise specified

Characteristic	Symbol	Test Conditions	Min.	Typ.	Max.	Units
Optimized Accuracy Range	I_P		–30	–	30	A
Sensitivity	Sens	Over full range of I_P, T_A = 25°C	63	66	69	mV/A
Noise	$V_{NOISE(PP)}$	Peak-to-peak, T_A = 25°C, 66 mV/A programmed Sensitivity, C_F = 47 nF, C_{OUT} = open, 2 kHz bandwidth	–	7	–	mV
Zero Current Output Slope	$\Delta V_{OUT(Q)}$	T_A = –40°C to 25°C	–	–0.35	–	mV/°C
		T_A = 25°C to 150°C	–	–0.08	–	mV/°C
Sensitivity Slope	ΔSens	T_A = –40°C to 25°C	–	0.007	–	mV/A/°C
		T_A = 25°C to 150°C	–	–0.002	–	mV/A/°C
Total Output Error[2]	E_{TOT}	I_P = ±30 A, T_A = 25°C	–	±1.5	–	%

[1]Device may be operated at higher primary current levels, I_P, and ambient temperatures, T_A, provided that the Maximum Junction Temperature, T_J(max), is not exceeded.

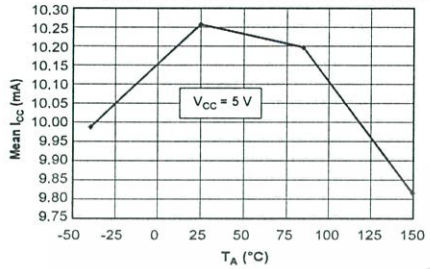
[2]Percentage of I_P, with I_P = 30 A. Output filtered.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

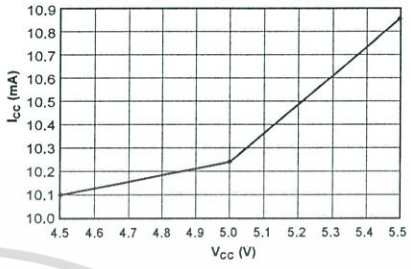
Characteristic Performance

I_P = 5 A, unless otherwise specified

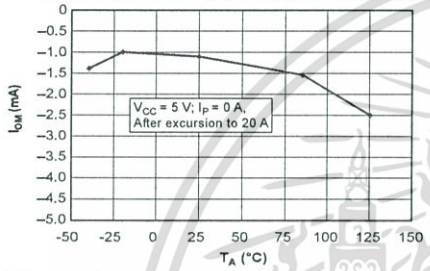
Mean Supply Current versus Ambient Temperature



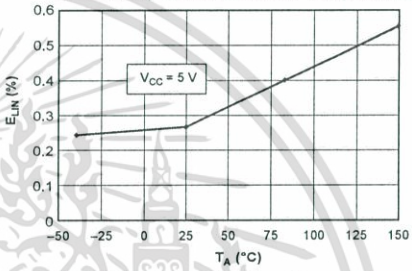
Supply Current versus Supply Voltage



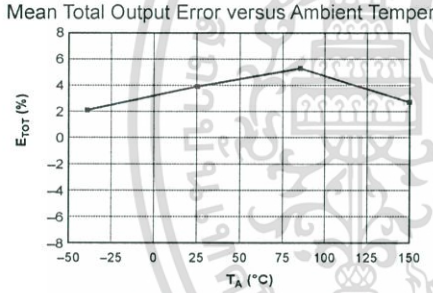
Magnetic Offset versus Ambient Temperature



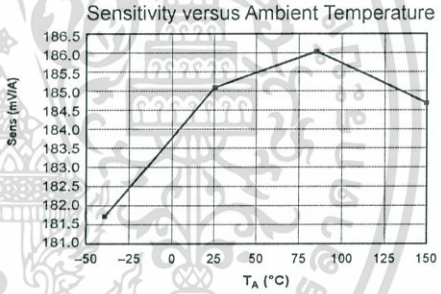
Nonlinearity versus Ambient Temperature



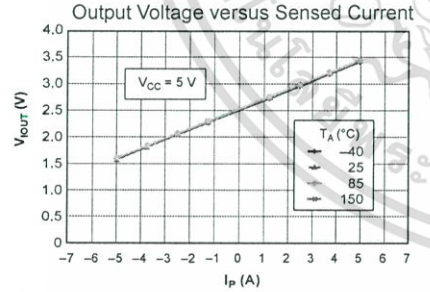
Mean Total Output Error versus Ambient Temperature



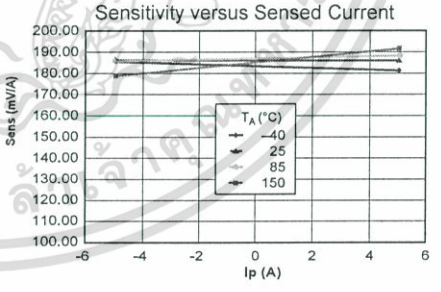
Sensitivity versus Ambient Temperature



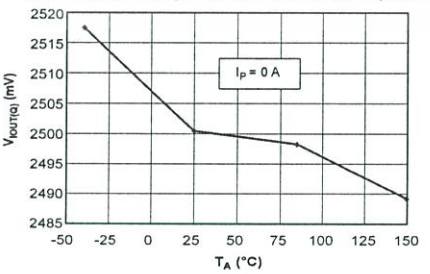
Output Voltage versus Sensed Current



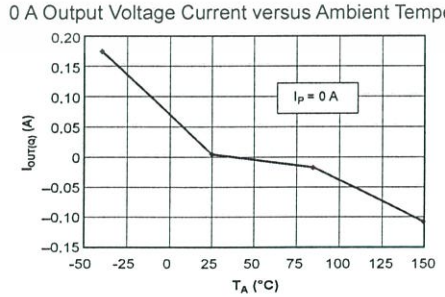
Sensitivity versus Sensed Current



0 A Output Voltage versus Ambient Temperature



0 A Output Voltage Current versus Ambient Temperature

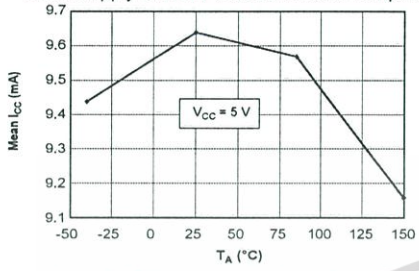


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

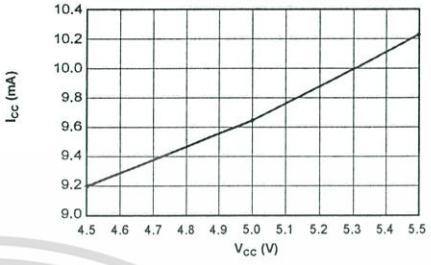
Characteristic Performance

I_P = 20 A, unless otherwise specified

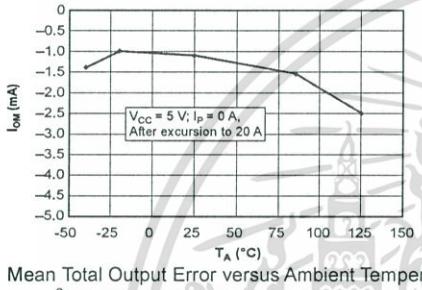
Mean Supply Current versus Ambient Temperature



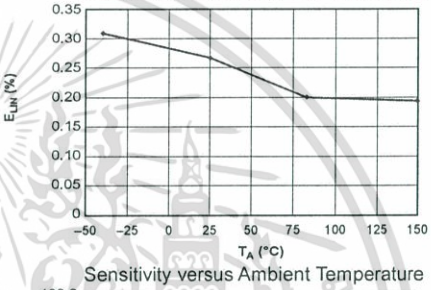
Supply Current versus Supply Voltage



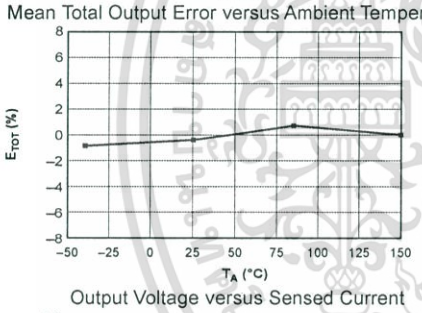
Magnetic Offset versus Ambient Temperature



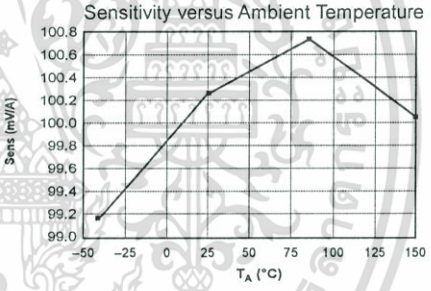
Nonlinearity versus Ambient Temperature



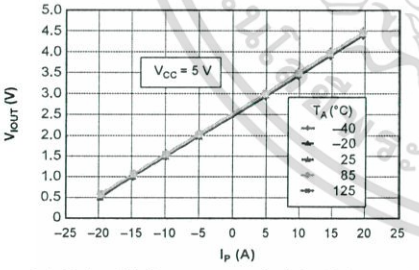
Mean Total Output Error versus Ambient Temperature



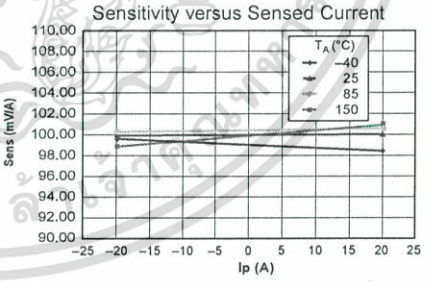
Sensitivity versus Ambient Temperature



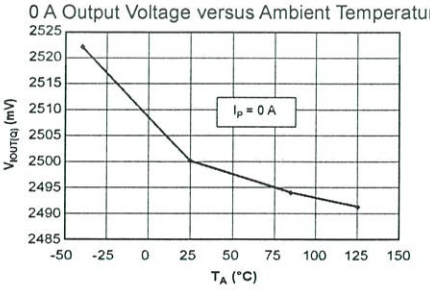
Output Voltage versus Sensed Current



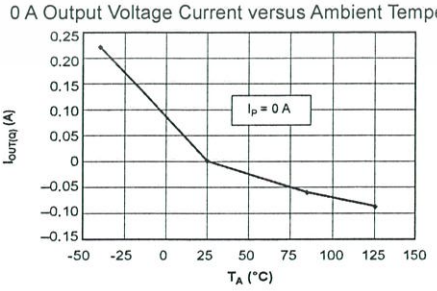
Sensitivity versus Sensed Current



0 A Output Voltage versus Ambient Temperature



0 A Output Voltage Current versus Ambient Temperature

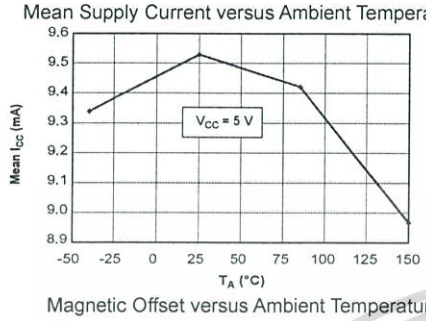


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

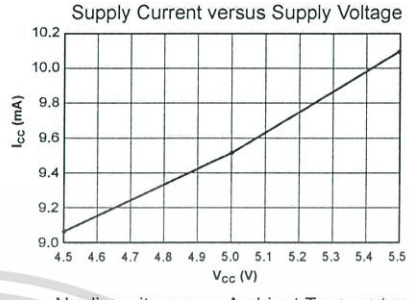
Characteristic Performance

I_P = 30 A, unless otherwise specified

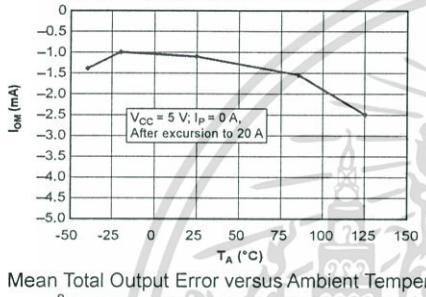
Mean Supply Current versus Ambient Temperature



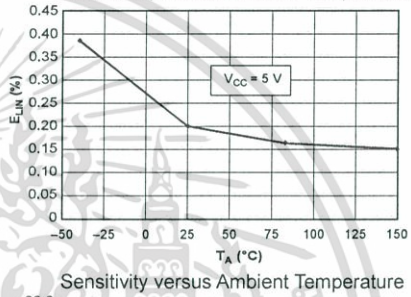
Supply Current versus Supply Voltage



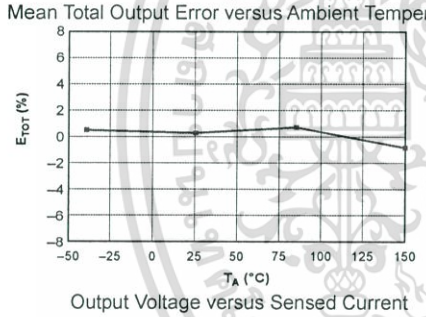
Magnetic Offset versus Ambient Temperature



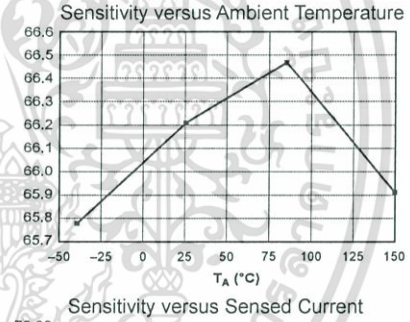
Nonlinearity versus Ambient Temperature



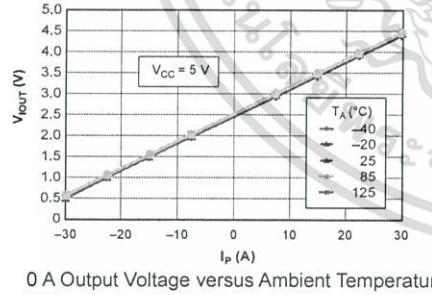
Mean Total Output Error versus Ambient Temperature



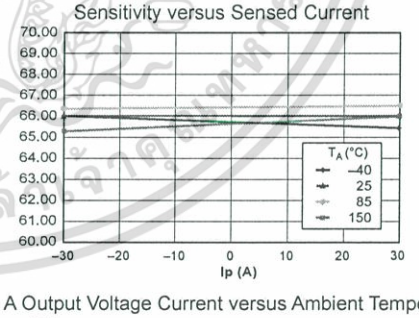
Sensitivity versus Ambient Temperature



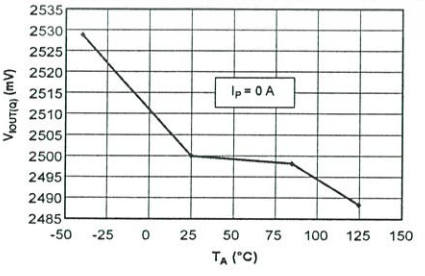
Output Voltage versus Sensed Current



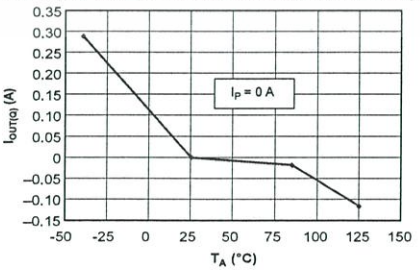
Sensitivity versus Sensed Current



0 A Output Voltage versus Ambient Temperature



0 A Output Voltage Current versus Ambient Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definitions of Accuracy Characteristics

Sensitivity (Sens). The change in device output in response to a 1 A change through the primary conductor. The sensitivity is the product of the magnetic circuit sensitivity (G/A) and the linear IC amplifier gain (mV/G). The linear IC amplifier gain is programmed at the factory to optimize the sensitivity (mV/A) for the full-scale current of the device.

Noise (V_{NOISE}). The product of the linear IC amplifier gain (mV/G) and the noise floor for the Allegro Hall effect linear IC (≈1 G). The noise floor is derived from the thermal and shot noise observed in Hall elements. Dividing the noise (mV) by the sensitivity (mV/A) provides the smallest current that the device is able to resolve.

Linearity (E_{LIN}). The degree to which the voltage output from the IC varies in direct proportion to the primary current through its full-scale amplitude. Nonlinearity in the output can be attributed to the saturation of the flux concentrator approaching the full-scale current. The following equation is used to derive the linearity:

$$100\left\{1-\left[\frac{\Delta \text{ gain} \times \%\text{ sat}\,(V_{IOUT_\text{full-scale amperes}} - V_{IOUT(Q)})}{2\,(V_{IOUT_\text{half-scale amperes}} - V_{IOUT(Q)})}\right]\right\}$$

where $V_{IOUT_\text{full-scale amperes}}$ = the output voltage (V) when the sampled current approximates full-scale $\pm I_P$.

Symmetry (E_{SYM}). The degree to which the absolute voltage output from the IC varies in proportion to either a positive or negative full-scale primary current. The following formula is used to derive symmetry:

$$100\left(\frac{V_{IOUT_+\text{ full-scale amperes}} - V_{IOUT(Q)}}{V_{IOUT(Q)} - V_{IOUT_-\text{full-scale amperes}}}\right)$$

Quiescent output voltage ($V_{IOUT(Q)}$). The output of the device when the primary current is zero. For a unipolar supply voltage, it nominally remains at $V_{CC}/2$. Thus, V_{CC} = 5 V translates into $V_{IOUT(Q)}$ = 2.5 V. Variation in $V_{IOUT(Q)}$ can be attributed to the resolution of the Allegro linear IC quiescent voltage trim and thermal drift.

Electrical offset voltage (V_{OE}). The deviation of the device output from its ideal quiescent value of $V_{CC}/2$ due to nonmagnetic causes. To convert this voltage to amperes, divide by the device sensitivity, Sens.

Accuracy (E_{TOT}). The accuracy represents the maximum deviation of the actual output from its ideal value. This is also known as the total output error. The accuracy is illustrated graphically in the output voltage versus current chart at right.

Accuracy is divided into four areas:

- **0 A at 25°C.** Accuracy at the zero current flow at 25°C, without the effects of temperature.
- **0 A over Δ temperature.** Accuracy at the zero current flow including temperature effects.
- **Full-scale current at 25°C.** Accuracy at the the full-scale current at 25°C, without the effects of temperature.
- **Full-scale current over Δ temperature.** Accuracy at the full-scale current flow including temperature effects.

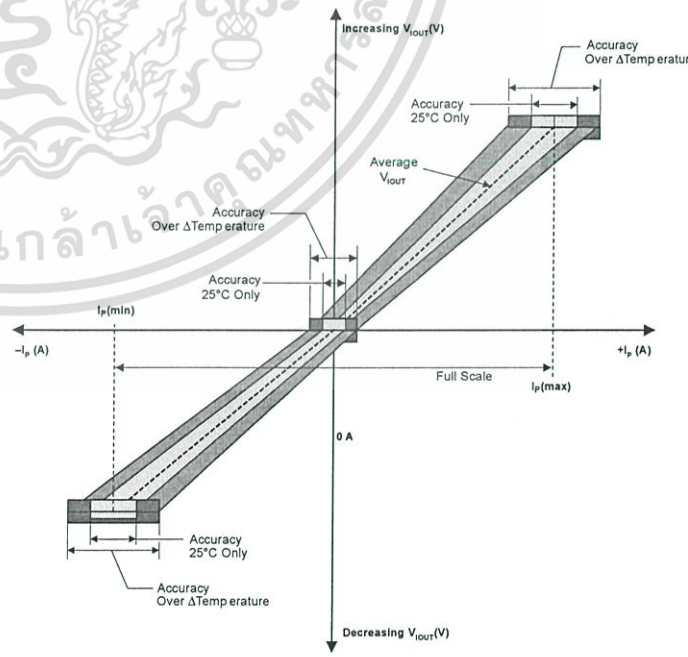
Ratiometry. The ratiometric feature means that its 0 A output, $V_{IOUT(Q)}$, (nominally equal to $V_{CC}/2$) and sensitivity, Sens, are proportional to its supply voltage, V_{CC}. The following formula is used to derive the ratiometric change in 0 A output voltage, $\Delta V_{IOUT(Q)RAT}$ (%).

$$100\left(\frac{V_{IOUT(Q)VCC} / V_{IOUT(Q)5V}}{V_{CC} / 5\text{ V}}\right)$$

The ratiometric change in sensitivity, $\Delta Sens_{RAT}$ (%), is defined as:

$$100\left(\frac{Sens_{VCC} / Sens_{5V}}{V_{CC} / 5\text{ V}}\right)$$

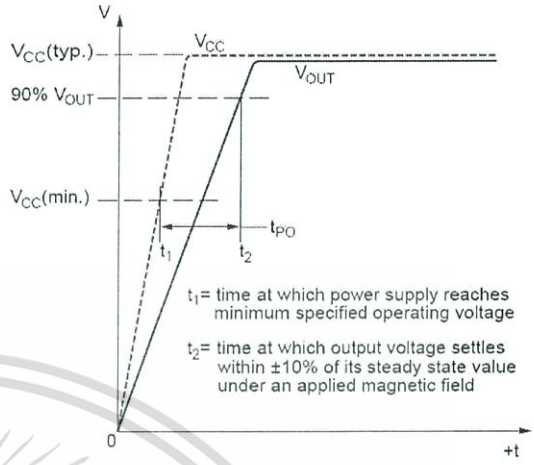
Output Voltage versus Sampled Current
Accuracy at 0 A and at Full-Scale Current



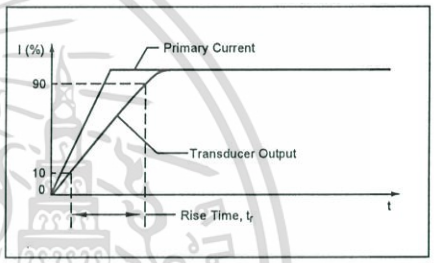
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

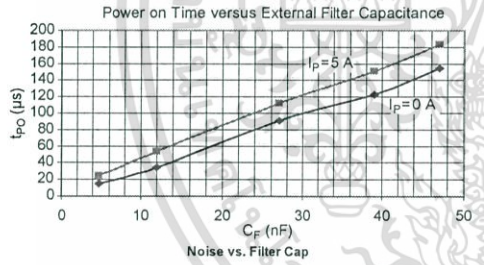
Definitions of Dynamic Response Characteristics

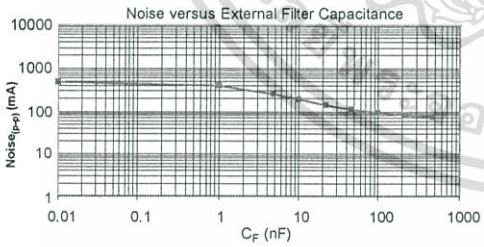
Power-On Time (t_{PO}). When the supply is ramped to its operating voltage, the device requires a finite time to power its internal components before responding to an input magnetic field. Power-On Time, t_{PO} , is defined as the time it takes for the output voltage to settle within ±10% of its steady state value under an applied magnetic field, after the power supply has reached its minimum specified operating voltage, V_{CC}(min), as shown in the chart at right.

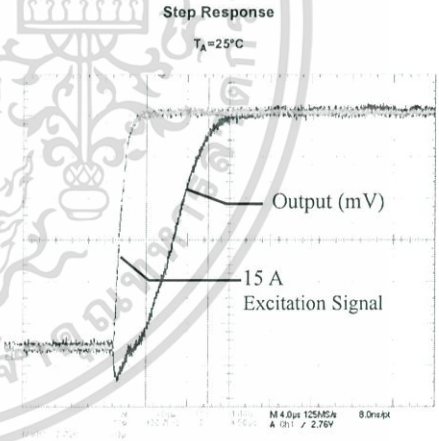


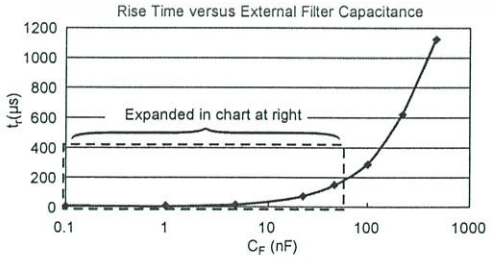
Rise time (t_r). The time interval between a) when the device reaches 10% of its full scale value, and b) when it reaches 90% of its full scale value. The rise time to a step response is used to derive the bandwidth of the device, in which $f(-3\ dB) = 0.35/t_r$. Both t_r and $t_{RESPONSE}$ are detrimentally affected by eddy current losses observed in the conductive IC ground plane.



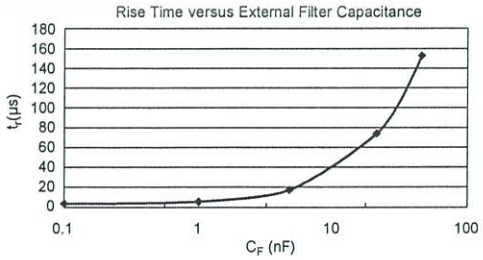








C_F (nF)	t_r (µs)
Open	3.5
1	5.8
4.7	17.5
22	73.5
47	88.2
100	291.3
220	623
470	1120

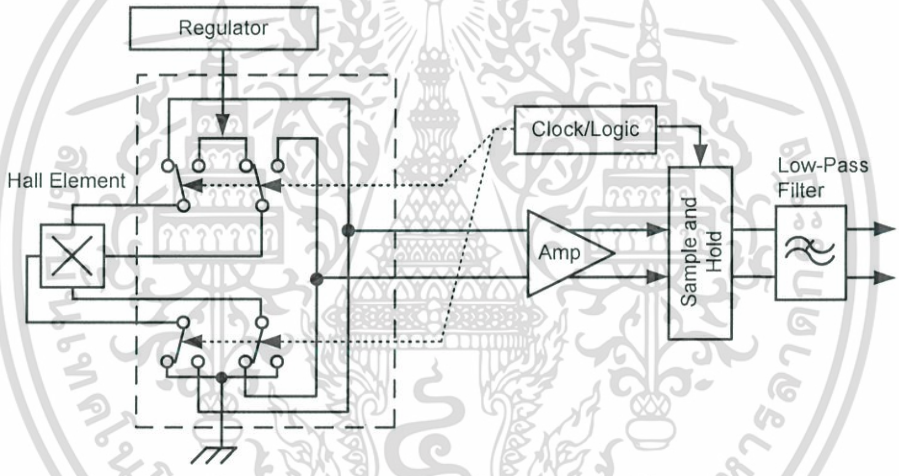


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Chopper Stabilization Technique

Chopper Stabilization is an innovative circuit technique that is used to minimize the offset voltage of a Hall element and an associated on-chip amplifier. Allegro patented a Chopper Stabilization technique that nearly eliminates Hall IC output drift induced by temperature or package stress effects. This offset reduction technique is based on a signal modulation-demodulation process. Modulation is used to separate the undesired DC offset signal from the magnetically induced signal in the frequency domain. Then, using a low-pass filter, the modulated DC offset is suppressed while the magnetically induced signal passes through the filter. As a result of this chopper stabilization approach, the output voltage from the Hall IC is desensitized to the effects of temperature and mechanical stress. This technique produces devices that have an extremely stable Electrical Offset Voltage, are immune to thermal stress, and have precise recoverability after temperature cycling.

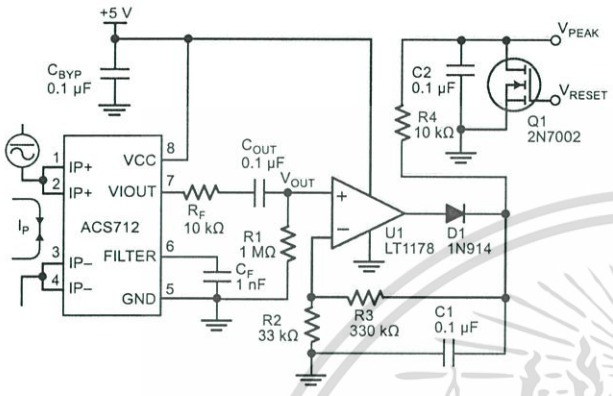
This technique is made possible through the use of a BiCMOS process that allows the use of low-offset and low-noise amplifiers in combination with high-density logic integration and sample and hold circuits.



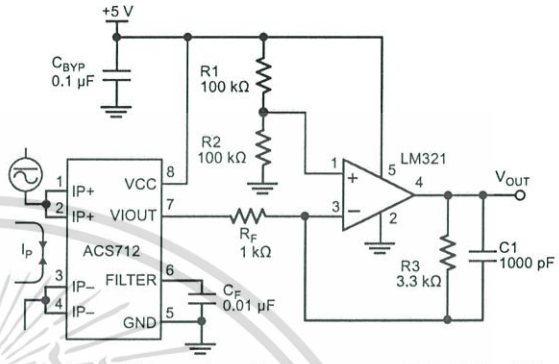
Concept of Chopper Stabilization Technique

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

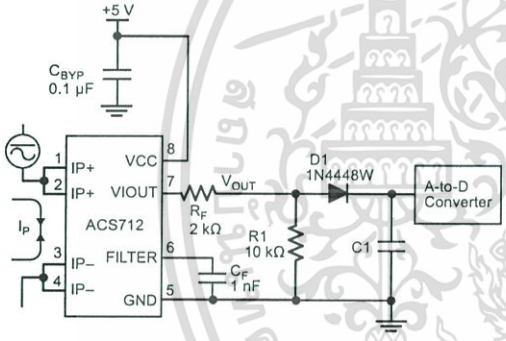
Typical Applications



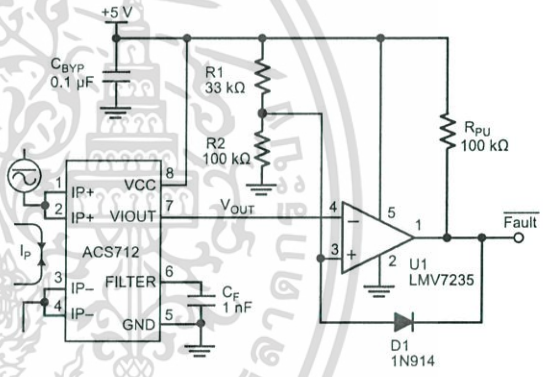
Application 2. Peak Detecting Circuit



Application 3. This configuration increases gain to 610 mV/A (tested using the ACS712ELC-05A).



Application 4. Rectified Output. 3.3 V scaling and rectification application for A-to-D converters. Replaces current transformer solutions with simpler ACS circuit. C1 is a function of the load resistance and filtering desired. R1 can be omitted if the full range is desired.



Application 5. 10 A Overcurrent Fault Latch. Fault threshold set by R1 and R2. This circuit latches an overcurrent fault and holds it until the 5 V rail is powered down.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Improving Sensing System Accuracy Using the FILTER Pin

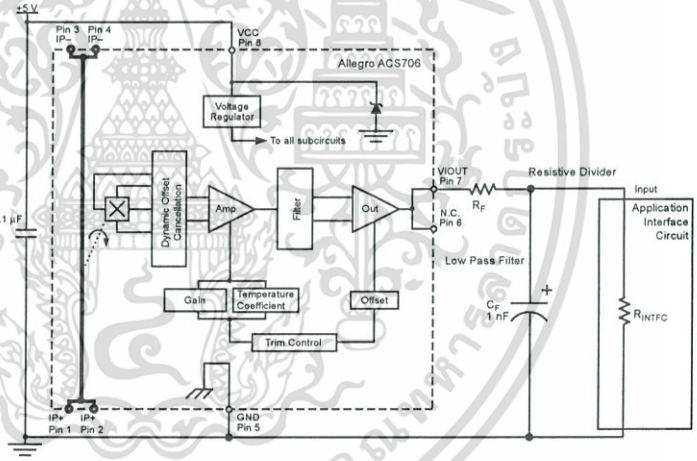
In low-frequency sensing applications, it is often advantageous to add a simple RC filter to the output of the device. Such a low-pass filter improves the signal-to-noise ratio, and therefore the resolution, of the device output signal. However, the addition of an RC filter to the output of a sensor IC can result in undesirable device output attenuation — even for DC signals.

Signal attenuation, ΔV_{ATT}, is a result of the resistive divider effect between the resistance of the external filter, R_F (see Application 6), and the input impedance and resistance of the customer interface circuit, R_{INTFC}. The transfer function of this resistive divider is given by:

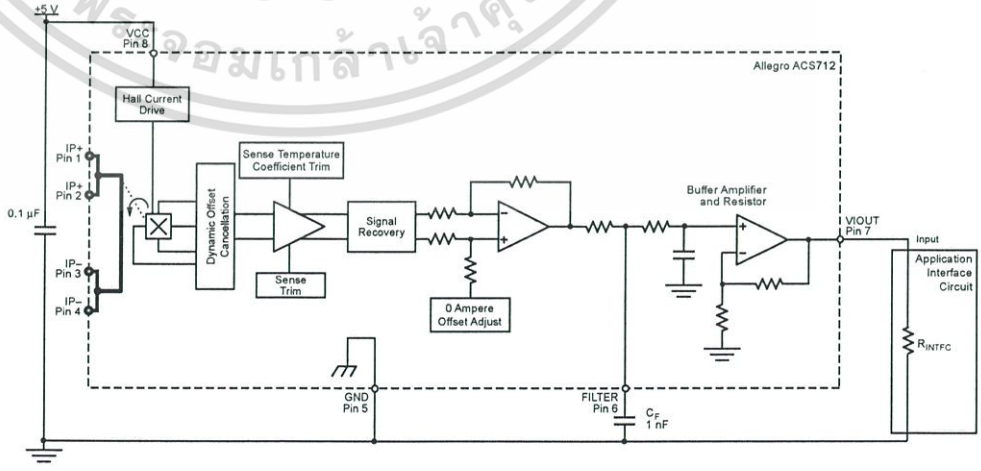
$$\Delta V_{ATT} = V_{IOUT}\left(\frac{R_{INTFC}}{R_F + R_{INTFC}}\right) .$$

Even if R_F and R_{INTFC} are designed to match, the two individual resistance values will most likely drift by different amounts over temperature. Therefore, signal attenuation will vary as a function of temperature. Note that, in many cases, the input impedance, R_{INTFC}, of a typical analog-to-digital converter (ADC) can be as low as 10 kΩ.

The ACS712 contains an internal resistor, a FILTER pin connection to the printed circuit board, and an internal buffer amplifier. With this circuit architecture, users can implement a simple RC filter via the addition of a capacitor, C_F (see Application 7) from the FILTER pin to ground. The buffer amplifier inside of the ACS712 (located after the internal resistor and FILTER pin connection) eliminates the attenuation caused by the resistive divider effect described in the equation for ΔV_{ATT}. Therefore, the ACS712 device is ideal for use in high-accuracy applications that cannot afford the signal attenuation associated with the use of an external RC low-pass filter.



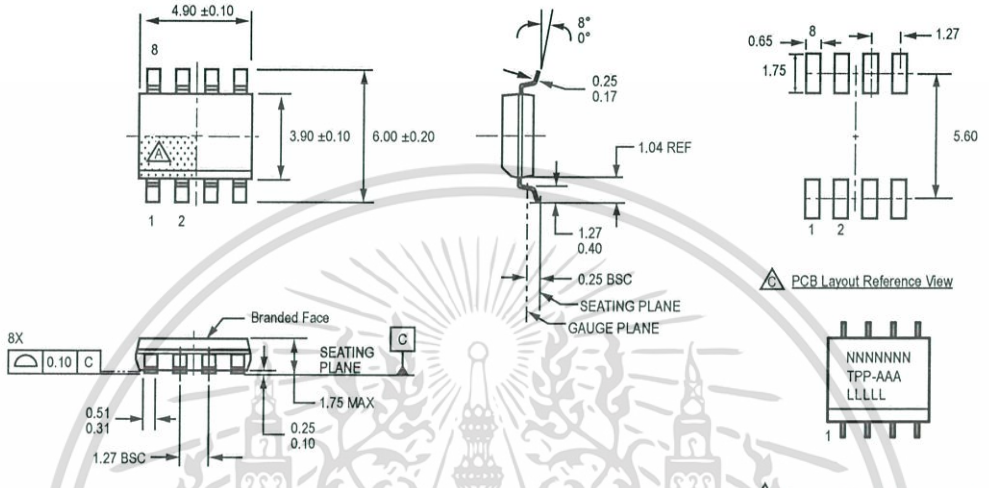
Application 6. When a low pass filter is constructed externally to a standard Hall effect device, a resistive divider may exist between the filter resistor, R_F, and the resistance of the customer interface circuit, R_{INTFC}. This resistive divider will cause excessive attenuation, as given by the transfer function for ΔV_{ATT}.



Application 7. Using the FILTER pin provided on the ACS712 eliminates the attenuation effects of the resistor divider between R_F and R_{INTFC}, shown in Application 6.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package LC, 8-pin SOIC



For Reference Only; not for tooling use (reference MS-012AA)
Dimensions in millimeters
Dimensions exclusive of mold flash, gate burrs, and dambar protrusions
Exact case and lead configuration at supplier discretion within limits shown

A Terminal #1 mark area

B Branding scale and appearance at supplier discretion

C Reference land pattern layout (reference IPC7351 SOIC127P600X175-8M); all pads a minimum of 0.20 mm from all adjacent pads; adjust as necessary to meet application process requirements and PCB layout tolerances

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*
 * File:   main.c
 * Author: Administrator
 *
 * Created on 16 ?????? 2558, 18:04 ?.
 */
#include "MONITORING.h"
#include <stdio.h>
#include <stdlib.h>
#include <delays.h>
#include <xlcd.h>
#include <spi.h>
#include <usart.h>
#define BAUD 9600



void DelayFor18TCY( void );      //18 cycles delay
void DelayPORXLCD (void);        // Delay of 15ms
void DelayXLCD (void);           // Delay of 5ms
void byte_write(unsigned char data);


/*
 *
 */
unsigned char var;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
unsigned int ADCResult=0;
unsigned int ADCResult1=0;
unsigned int ADCResult2=0;
unsigned int ADCResult3=0;
unsigned int ADCResult4=0;
unsigned int ADCResult5=0;
unsigned int ADCResult6=0;
unsigned int ADCResult7=0;
unsigned char Buffer[20];
unsigned char Buffer1[20];
unsigned char Buffer2[20];
unsigned char Buffer3[20];
unsigned char Buffer4[20];
unsigned char Buffer5[20];
unsigned char Buffer6[20];
unsigned char Buffer7[20];
float data;
float data1;
float data2;
float data3;
float data4;
float data5;
float data6;
float data7;
#define SPI_CS LATAbits.LATA0

void main(void)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{

 //***************Initial LCD Module
   TRISCbits.TRISC0 = 0; // set port C0 for LED
   unsigned char config=0xFF;


        char XLCD_Disp1[] = "DISPLAY";
        char XLCD_Disp2[] = "VOLTAGE&CURRENT";
   ADCON1 = 0x0F;
   config = FOUR_BIT & LINES_5X7;
//******** Configure LCD for four line communication and 5X7 line display
*********************************
        OpenXLCD( config);

//******** Initial UART *********************************
     TRISBbits.TRISB4 = 0; // set port Tx
   TRISBbits.TRISB5 = 1; // set port Rx


   OpenUART();

//*********Initial SPI Module************
     TRISAbits.TRISA0 = 0;   //set port CS for output port
     TRISBbits.TRISB0 = 1; // set port C0 for SDI
     TRISBbits.TRISB1 = 0; // set port C0 for SCK
     TRISCbits.TRISC7 = 0; // set port C0 for SDO
     SPI_CS = 1; // ensure SPI memory device
OpenSPI(SPI_FOSC_16, MODE_00, SMPEND); //OpenSPI Fosc/16; Mode 0,0;SMPEND
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//*********** Set the starting address in the LCD RAM for display. This determines the
location of display ********

        SetDDRamAddr( 0x05);

        putsXLCD( XLCD_Disp1);                          //Display string of text


//********** Set the address in second line for display
**************************************************

        SetDDRamAddr(0x40);

        putrsXLCD(XLCD_Disp2);      //Display "Voltage" on the screen);
              //Display string of text

    Delay10KTCYx(4000);

    Delay10KTCYx(4000);

    Delay10KTCYx(4000);

    Delay10KTCYx(4000);

    WriteCmdXLCD(0x01);         //clear lcd

    Delay1KTCYx(10);


 while (1)   {

    TRISDbits.TRISD0 = 0; // set port D4 output

    TRISDbits.TRISD1 = 0; // set port D5 output

    TRISDbits.TRISD2 = 0; // set port D6 output

    TRISDbits.TRISD3 = 0; // set port D7 output

    TRISDbits.TRISD4 = 0; // set port E output

    TRISDbits.TRISD5 = 0; // set port RS output

    RS_PIN = 1;

    ADCResult  =0;

    ADCResult1 =0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ADCResult2 =0;
        ADCResult3 =0;
        ADCResult4 =0;
        ADCResult5 =0;
        ADCResult6 =0;
        ADCResult7 =0;
        //********CH0********
SPI_CS = 0; //assert chip select
byte_write(0x6);
Delay1KTCYx(1 );
byte_write(0x0);
Delay1KTCYx( 1);
ADCResult = SSPBUF;
ADCResult = ADCResult<<8;
byte_write(0x0);
ADCResult = ADCResult+SSPBUF;
SPI_CS = 1; //assert chip select
Delay10KTCYx( 10);
      //********CH1********
SPI_CS = 0; //assert chip select
byte_write(0x6);
Delay1KTCYx(1 );
byte_write(0b01000000);
Delay1KTCYx(1 );
ADCResult1 = SSPBUF;
ADCResult1 = ADCResult1<<8;
byte_write(0x0);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ADCResult1 = ADCResult1+SSPBUF;
SPI_CS = 1; //assert chip select
Delay10KTCYx( 10);

    //*******CH2********
SPI_CS = 0; //assert chip select
byte_write(0x6);
Delay1KTCYx(1 );
byte_write(0b10000000);
Delay1KTCYx(1 );
ADCResult2 = SSPBUF;
ADCResult2 = ADCResult2<<8;
byte_write(0x0);
ADCResult2 = ADCResult2+SSPBUF;
SPI_CS = 1; //assert chip select
Delay10KTCYx( 10);
    //*******CH3********
SPI_CS = 0; //assert chip select
byte_write(0x6);
Delay1KTCYx(1 );
byte_write(0b11000000);
Delay1KTCYx(1 );
ADCResult3 = SSPBUF;
ADCResult3 = ADCResult3<<8;
byte_write(0x0);
ADCResult3 = ADCResult3+SSPBUF;
SPI_CS = 1; //assert chip select
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Delay10KTCYx( 10);
    //********CH4********
SPI_CS = 0; //assert chip select
byte_write(0x7);
Delay1KTCYx(1 );
byte_write(0x0);
Delay1KTCYx(1 );
ADCResult4 = SSPBUF;
ADCResult4 = ADCResult4<<8;
byte_write(0x0);
ADCResult4 = ADCResult4+SSPBUF;
SPI_CS = 1; //assert chip select
Delay10KTCYx( 10);
    //********CH5********
SPI_CS = 0; //assert chip select
byte_write(0x7);
Delay1KTCYx(1 );
byte_write(0b01000000);
Delay1KTCYx(1 );
ADCResult5 = SSPBUF;
ADCResult5 = ADCResult5<<8;
byte_write(0x0);
ADCResult5 = ADCResult5+SSPBUF;
SPI_CS = 1; //assert chip select
Delay10KTCYx( 10);

    //********CH6********
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SPI_CS = 0; //assert chip select
byte_write(0x7);
Delay1KTCYx(1 );
byte_write(0b10000000);
Delay1KTCYx(1 );
ADCResult6 = SSPBUF;
ADCResult6 = ADCResult6<<8;
byte_write(0x0);
ADCResult6 = ADCResult6+SSPBUF;
SPI_CS = 1; //assert chip select
Delay10KTCYx( 10);

    //********CH7********
SPI_CS = 0; //assert chip select
byte_write(0x7);
Delay1KTCYx(1 );
byte_write(0b11000000);
Delay1KTCYx(1 );
ADCResult7 = SSPBUF;
ADCResult7 = ADCResult7<<8;
byte_write(0x0);
ADCResult7 = ADCResult7+SSPBUF;
SPI_CS = 1; //assert chip select
Delay10KTCYx( 10);


        //********************LED TOGGLE TEST***********
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LATCbits.LATC0 = 1;
Delay10KTCYx(100);
LATCbits.LATC0 = 0;
Delay10KTCYx(10);
```

```
//********Show CH0 and CH1******
data  = (float) (ADCResult*5.0/4095.0)*8.0;
data1 = (float) ((ADCResult1*5.000/4095.000)-2.500)/0.185;
sprintf(Buffer, "%2.3f", data );   // Convert ADCResult to string
sprintf(Buffer1, "%2.3f", data1 );   // Convert ADCResult to string
putrsXLCD("Voltage1= ");       //Display "Voltage" on the screen
putsXLCD(Buffer);          //Display the Voltage on the screen
SetDDRamAddr(64);

putrsXLCD("Current1= ");       //Display "Voltage" on the screen
putsXLCD(Buffer1);          //Display the Voltage on the screen
SetDDRamAddr(0);
Delay10KTCYx( 2000);
WriteCmdXLCD(0x01);          //clear lcd

        //Show Virtual Terminal
 printf("GROUP1 Voltage = %f\n\r",data);
__delay_ms(10);
__delay_ms(10);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
 printf("GROUP1 Current = %f\n\r\r",data1);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);



 //************show CH2 and CH3*************************
data2  = (float) (ADCResult2*5.0/4095.0)*8.0;
data3 = (float) ((ADCResult3*5.000/4095.000)-2.500)/0.185;
sprintf(Buffer2, "%2.3f", data2 );   // Convert ADCResult to string
sprintf(Buffer3, "%2.3f", data3 );   // Convert ADCResult to string


putrsXLCD("Voltage2= ");       //Display "Voltage" on the screen
putsXLCD(Buffer2);          //Display the Voltage on the screen
SetDDRamAddr(64);


putrsXLCD("Current2= ");       //Display "Voltage" on the screen
putsXLCD(Buffer3);          //Display the Voltage on the screen
SetDDRamAddr(0);
Delay10KTCYx( 2000);
WriteCmdXLCD(0x01);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//Show Virtual Terminal
printf("GROUP2 Voltage = %f\n\r",data2);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
printf("GROUP2 Current = %f\n\r\r",data3);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
__delay_ms(10);
//************show CH4 and CH5**************************
data4  = (float) (ADCResult4*5.0/4095.0)*8.0;
data5 = (float) ((ADCResult5*5.000/4095.000)-2.500)/0.185;
sprintf(Buffer4, "%2.3f", data4 );   // Convert ADCResult to string
sprintf(Buffer5, "%2.3f", data5 );   // Convert ADCResult to string

putrsXLCD("Voltage3= ");       //Display "Voltage" on the screen
putsXLCD(Buffer4);           //Display the Voltage on the screen
SetDDRamAddr(64);

putrsXLCD("Current3= ");       //Display "Voltage" on the screen
putsXLCD(Buffer5);           //Display the Voltage on the screen
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SetDDRamAddr(0);
Delay10KTCYx( 2000);
WriteCmdXLCD(0x01);

  //Show Virtual Terminal
  printf("GROUP3 Voltage = %f\n\r",data4);
  __delay_ms(10);
  __delay_ms(10);
  __delay_ms(10);
  __delay_ms(10);
  __delay_ms(10);
  printf("GROUP3 Current = %f\n\r\r",data5);
  __delay_ms(10);
  __delay_ms(10);
  __delay_ms(10);
  __delay_ms(10);
  __delay_ms(10);

//************show CH6 and CH7************************
data6  = (float) (ADCResult6*5.0/4095.0)*8.0;
data7 = (float) ((ADCResult7*5.000/4095.000)-2.500)/0.185;
sprintf(Buffer6, "%2.3f", data6 );   // Convert ADCResult to string
sprintf(Buffer7, "%2.3f", data7 );   // Convert ADCResult to string

putrsXLCD("Voltage4= ");       //Display "Voltage" on the screen
putsXLCD(Buffer6);             //Display the Voltage on the screen
SetDDRamAddr(64);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    putrsXLCD("Current4= ");        //Display "Voltage" on the screen
    putsXLCD(Buffer7);              //Display the Voltage on the screen
    SetDDRamAddr(0);
    Delay10KTCYx( 2000);
    WriteCmdXLCD(0x01);

    //Show Virtual Terminal
      printf("GROUP4 Voltage = %f\n\r",data6);
     __delay_ms(10);
     __delay_ms(10);
     __delay_ms(10);
     __delay_ms(10);
     __delay_ms(10);
      printf("GROUP4 Current = %f\n\r\r",data7);
     __delay_ms(10);
     __delay_ms(10);
     __delay_ms(10);
     __delay_ms(10);
     __delay_ms(10);
   }


}

void DelayFor18TCY( void )      //18 cycles delay
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
//Delay10TCYx(20);
   Nop( ); Nop( ); Nop( ); Nop( ); // 18 cycle delay
Nop( ); Nop( ); Nop( ); Nop( );
Nop( ); Nop( ); Nop( ); Nop( );
Nop( ); Nop( );

return;
}

void DelayPORXLCD (void)        // Delay of 25ms
{
Delay1KTCYx(50);
}

void DelayXLCD (void)        // Delay of 5ms
{
Delay1KTCYx(20);
}
void byte_write (unsigned char data)
{

var = putcSPI(data); //send data byte

}
void DelayTXBitUART(void)
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Delay100TCYx (1);
Delay10TCYx (3);
Delay1TCYx (7);
//return;
}
void DelayRXHalfBitUART(void)
{
Delay10TCYx (6);
Delay1TCYx (1);
//return;
}
void DelayRXBitUART(void)
{
Delay100TCYx (1);
Delay10TCYx (3);
Delay1TCYx (5);
//return;
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้