

วงจรรองแถบความถี่ผ่านรูปแบบกระแสอันดับสูง
ปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ซีมอส

**ELECTRONICALLY TUNABLE CMOS CURRENT-MODE HIGH-ORDER
BAND-PASS FILTERS**



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2561

KMITL-2018-EN-D-018-025

วงจรรองแถบความถี่ผ่านรูปแบบกระแสอันดับสูง
ปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ซีมอส

**ELECTRONICALLY TUNABLE CMOS CURRENT-MODE HIGH-ORDER
BAND-PASS FILTERS**



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2561
KMITL-2018-EN-D-018-025

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ELECTRONICALLY TUNABLE CMOS CURRENT-MODE HIGH-ORDER
BAND-PASS FILTERS**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2018
KMUTL-2018-EN-D-018-025**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2018
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรรองแถบความถี่ผ่านรูปแบบกระแสอันดับสูง ปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ซีมอส
นักศึกษา	นาย อภินันท์ เทียมสุพัต
รหัสประจำตัว	56601366
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2561
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. พิพัฒน์ พรหมมี

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอวงจรรองแถบความถี่ผ่าน Chebyshev และ Elliptic รูปแบบกระแสชนิดชั้นบันไดโดยใช้ซีมอสแบบใหม่ โดยวงจรรองแถบความถี่ผ่านถูกออกแบบด้วยแบบจำลองวงจรรองความถี่ต่ำผ่าน Chebyshev และ Elliptic RLC ต้นแบบ วงจรรองแถบความถี่ผ่านนี้ประกอบด้วย อินทิเกรเตอร์ชนิดสูญเสีย อินทิเกรเตอร์ชนิดไม่สูญเสีย และตัวเก็บประจุแบบต่อลงกราวด์ วงจรที่นำเสนอนี้สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ตั้งแต่ 10 MHz ถึง 100 MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ 0.02 μA ถึง 200 μA โดยวงจรรองทั้งสอง ใช้ไฟเลี้ยงต่ำที่ 1.5 V และมีความเพี้ยนทางฮาร์มอนิก (THD) น้อยกว่า 1.5% ตลอดช่วงการปรับค่ากระแสไบอัส รวมถึงได้ทำการพิจารณา ความเพี้ยนอันดับสามจากการมอดูเลตระหว่างกัน (IM3) โดยวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอมีอินพุตที่เพี้ยนน้อยที่สุดที่ 60 μA (59 dBm) ส่วนวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอมีอินพุตที่เพี้ยนน้อยที่สุดที่ 40 μA (54 dBm) ที่กระแสไบอัส 200 μA และได้แนบผลการจำลองการทำงานเพื่อแสดงการทำงานของวงจรรองที่นำเสนอมาด้วย

Thesis	Electronically tunable CMOS current-mode high-order band-pass filters
Student	Mr. Aphinat Tiamsuphat
Student ID.	56601366
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2018
Thesis Advisor	Assoc. Prof. Dr. Pipat Prommee

ABSTRACT

This thesis presents new CMOS current-mode ladder Chebyshev and Elliptic band-pass filters (BPFs). The Signal Flow Graph (SFG) and the network transformation methods are used to synthesize the proposed BPFs by using Chebyshev and Elliptic RLC low-pass prototypes. CMOS-based lossy and lossless integrators with grounded capacitors are used to synthesize the proposed BPFs. The proposed filters can be electronically tuned between 10 kHz and 100 MHz by adjusting the bias current from 0.02 μA to 200 μA . Both filters use 1.5V DC power supply which leads to low voltage. Both filters enjoy total harmonic distortion (THD) less than 1.5% along the range of the tuning bias currents. To verify the performance of the proposed Chebyshev BPF focusing on intermodulation distortion (IMD) the best third-order IMD measure for filter was 59 dBm occurred at an input of 60 μA when using 200 μA bias current. For Elliptic BPF, the best third-order IMD measure for filter was 54 dBm occurred at an input of 40 μA when using 200 μA bias current. Simulation results are included to illustrate the functionality of the proposed filters.

กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณ รศ.ดร. พิพัฒน์ พรหมมี อาจารย์ผู้ควบคุมวิทยานิพนธ์เป็นอย่างสูง ที่ช่วยกรุณาให้คำแนะนำ แนวทางในการแก้ไขปัญหา รวมทั้งฝึกฝนให้ผู้เขียนมีความสามารถในการทำวิทยานิพนธ์ได้อย่างมีประสิทธิภาพและราบรื่นตลอดระยะเวลาที่ศึกษา รวมทั้งยังกรุณาให้คำปรึกษาในหน้าที่การงาน รวมไปถึงหลักการในการดำเนินชีวิตให้แก่ผู้เขียนอีกด้วย

ขอกราบขอบพระคุณ บิดา มารดา ที่ให้กำเนิดชีวิตและเลี้ยงดูให้ผู้เขียนเติบโตขึ้นมา ทั้งยังสนับสนุนการศึกษาทั้งด้านกำลังทรัพย์และกำลังใจให้กับผู้เขียนตลอดมา

ขอขอบคุณเพื่อน ๆ พี่ ๆ น้อง ๆ ที่คอยให้คำปรึกษาหา แลกเปลี่ยนความคิดเห็นทางวิชาการ ตลอดระยะเวลาที่ผู้เขียนได้ศึกษาอยู่ โดยเฉพาะอย่างยิ่ง นายณัฐพงศ์ วงศ์พร้อมมูล นายเอกพงษ์ สายสิงห์ นายเทิดศักดิ์ กันโต นายพัชร ยิงเจริญรัตน์ และ นายพันธกานต์ แสงแก้ว ที่ได้ช่วยเหลือ แลกเปลี่ยนประสบการณ์และร่วมแสดงความคิดเห็นตลอดมา

สุดท้ายนี้ผู้เขียนหวังว่าวิทยานิพนธ์ฉบับนี้จะเป็นประโยชน์ต่อผู้อ่านไม่มากก็น้อย สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

อภิสิทธิ์ เทียมสุพัต

สารบัญ

บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์.....	2
1.3 หลักการใหม่ที่น่าเสนอในวิทยานิพนธ์.....	2
1.4 ขอบเขตของวิทยานิพนธ์.....	2
1.5 รายละเอียดในวิทยานิพนธ์.....	3
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....	4
2.1 มอสมิทธานซิสเตอร์.....	4
2.1.1 มอสมิทธานซิสเตอร์แบบเอ็นฮานซ์เมนต์ใหม่.....	6
2.1.2 มอสมิทธานซิสเตอร์แบบดีฟิชั่นใหม่.....	6
2.1.3 ทฤษฎีการทำงานของมอสมิทธานซิสเตอร์.....	7
2.1.4 สัญลักษณ์ของมอสมิทธานซิสเตอร์.....	11
2.1.5 วงจรเสมือนสัญญาณขนาดเล็กของมอสมิทธานซิสเตอร์.....	12
2.1.6 เทคโนโลยีของซีมอส.....	15
2.2 การประมาณค่าแบบ Chebyshev และ Elliptic.....	16
2.2.1 การประมาณค่าแบบ Chebyshev.....	17
2.2.2 การประมาณค่าแบบ Elliptic.....	22
2.3 การแปลงโครงข่าย (Network Transformation).....	25
2.3.1 การแปลงโครงข่ายจากวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองแถบความถี่ผ่าน.....	25
2.3.2 องค์ประกอบของการแปลงโครงข่ายจากวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองแถบความถี่ผ่าน.....	27
2.4 อินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสีย.....	28
2.4.1 อินทิเกรเตอร์ชนิดสูญเสีย.....	28
2.4.2 อินทิเกรเตอร์ชนิดไม่สูญเสีย.....	30
2.5 วงจรกรองแถบความถี่ผ่าน.....	32
2.6 บทสรุป.....	34

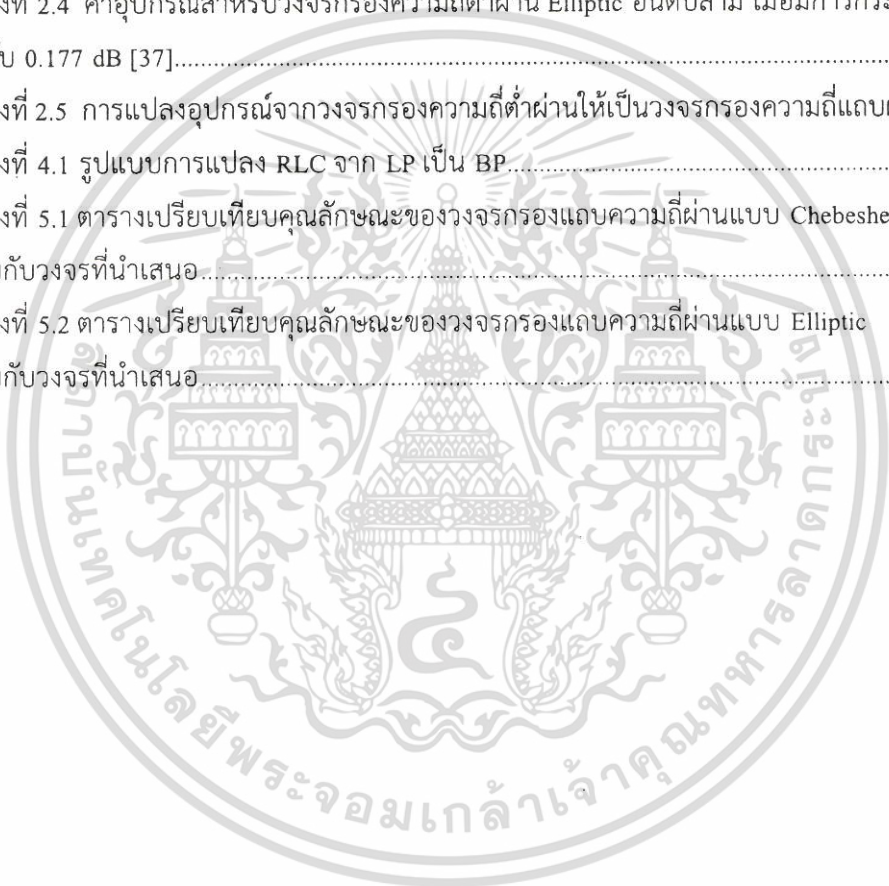
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

บทที่ 3 งานวิจัยที่เกี่ยวข้อง.....	35
3.1 วงจรกรองแถบความถี่ผ่าน Chebeshev.....	35
3.1.1 วงจรกรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสนิดชั้นบันไดโดยใช้วงจรคู่ใบควอด ..	35
3.1.2 วงจรกรองแถบความถี่ผ่านอันดับหกโดยใช้วงจร CDBAs ..	37
3.1.3 วงจรกรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสโดยใช่วงจรสายพานกระแสรุ่นที่สอง.	40
3.2 วงจรกรองแถบความถี่ผ่าน Elliptic	43
3.2.1 วงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ซีมอสสวิตช์คาปาซิเตอร์	43
3.2.2 การออกแบบและวิเคราะห์วงจรแบบเมทริกซ์สำหรับวงจรกรองแบบชั้นบันได	46
3.2.3 การจำลองโครงสร้างวงจรกรองแถบความถี่ผ่านแบบชั้นบันไดโดยใช้ตัวต้านทานแบบเดียวกัน	49
3.3 บทสรุป.....	52
บทที่ 4 วงจรกรองแถบความถี่ผ่านรูปแบบกระแสอันดับสูง ปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้มอสทรานซิสเตอร์.....	53
4.1 บทนำ.....	53
4.2 ทฤษฎีและหลักการ.....	53
4.2.1 วงจรอินทิเกรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสียโดยใช้ซีมอส (CMOS-based Lossy and Lossless Integrator)	53
4.2.2 การออกแบบวงจรกรองแถบความถี่ผ่าน RLC แบบแพสซีฟชนิดชั้นบันไดโดยใช่วงจรกรองความถี่ต่ำผ่านต้นแบบ.....	56
4.2.3 การสร้างวงจรกรองแถบความถี่ชนิดชั้นบันไดโดยใช้ซีมอส	61
4.2.4 การวิเคราะห์ความไม่เป็นอุดมคติ.....	66
4.2.5 ผลการจำลองการทำงาน	70
4.2.6 สรุป	81
บทที่ 5 บทสรุปและข้อเสนอแนะ	82
5.1 บทสรุปการวิจัย	82
5.2 ข้อเสนอแนะ	83
เอกสารอ้างอิง	84
ภาคผนวก.....	87
ภาคผนวก ก. โปรแกรม PSpice ที่ใช้ในการวิเคราะห์.....	88
ภาคผนวก ข. ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา	94

สารบัญตาราง

ตารางที่ 2.1 ค่าอุปกรณ์สำหรับวงจรถอดความถี่ต่ำผ่าน Chebyshev มีค่าการกระเพื่อมเท่ากับ 0.5dB	21
ตารางที่ 2.2 ค่าอุปกรณ์สำหรับวงจรถอดความถี่ต่ำผ่าน Chebyshev มีค่าการกระเพื่อมเท่ากับ 1dB	21
ตารางที่ 2.3 ค่าอุปกรณ์สำหรับวงจรถอดความถี่ต่ำผ่าน Elliptic อันดับสาม เมื่อมีการกระเพื่อม เท่ากับ 0.044 dB [37].....	24
ตารางที่ 2.4 ค่าอุปกรณ์สำหรับวงจรถอดความถี่ต่ำผ่าน Elliptic อันดับสาม เมื่อมีการกระเพื่อม เท่ากับ 0.177 dB [37].....	24
ตารางที่ 2.5 การแปลงอุปกรณ์จากวงจรถอดความถี่ต่ำผ่านให้เป็นวงจรถอดความถี่แถบผ่าน [15]	27
ตารางที่ 4.1 รูปแบบการแปลง RLC จาก LP เป็น BP.....	57
ตารางที่ 5.1 ตารางเปรียบเทียบคุณลักษณะของวงจรถอดความถี่ผ่านแบบ Chebeshev เทียบกับวงจรที่นำเสนอ.....	82
ตารางที่ 5.2 ตารางเปรียบเทียบคุณลักษณะของวงจรถอดความถี่ผ่านแบบ Elliptic เทียบกับวงจรที่นำเสนอ.....	83



สารบัญรูป

รูปที่ 2.1 แสดงลักษณะโครงสร้างของมอสทรานซิสเตอร์ [31].....	4
รูปที่ 2.2 แสดงมอสทรานซิสเตอร์ชนิด NMOS [32]	5
รูปที่ 2.3 แสดงมอสทรานซิสเตอร์ชนิด PMOS [32]	5
รูปที่ 2.4 โครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ที่โหมดชนิดเอ็นแซนเนล [32].....	6
รูปที่ 2.5 โครงสร้างของมอสทรานซิสเตอร์แบบดีฟลิชั่นโหมดชนิดเอ็นแซนเนล [32].....	6
รูปที่ 2.6 กรณี $V_T > V_{GS} > 0$ และ $V_{DS} = 0$ [31].....	7
รูปที่ 2.7 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} < V_{DS(sat)}$ [31]	8
รูปที่ 2.8 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} = V_{DS(sat)}$ [31]	9
รูปที่ 2.9 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} > V_{DS(sat)}$ [31]	9
รูปที่ 2.10 ความสัมพันธ์ของกระแสเดรน และแรงดันที่ขาเดรนซอร์ส [33].....	10
รูปที่ 2.11 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่าง ๆ	11
รูปที่ 2.12 วงจรสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ [34].....	12
รูปที่ 2.13 กราฟแสดงความสัมพันธ์ระหว่าง i_D และ v_{GS} [34].....	12
รูปที่ 2.14 รูปวงจรสัญญาณขนาดเล็กของวงจรขยาย [34].....	13
รูปที่ 2.15 (ก) ชุดแหล่งจ่ายกระแส โดยใช้ PMOS (ข) วงจรเสมือนขนาดเล็ก [32]	14
รูปที่ 2.16 วงจรรวมซีมอสสร้างบนฐานรองชนิดเอ็น [32].....	15
รูปที่ 2.17 วงจรรวมซีมอสสร้างบนฐานรองชนิดพี [32].....	15
รูปที่ 2.18 ขั้นตอนการออกแบบวงจรกรอง [1].....	16
รูปที่ 2.19 คุณสมบัติของแถบความถี่ผ่านที่มีการกระเพื่อม [35].....	17
รูปที่ 2.20 ค่าของ $C_n^2(\omega)$ เมื่อ $n = 1, 2, 3, 4$ [36].....	18
รูปที่ 2.21 ผลตอบสนองทางขนาดแบบ Chebyshev เมื่อ $\epsilon = 1, H_{max} = 1$ และ $n = 2, 5, 10$ [36].....	18
รูปที่ 2.22 วงจรกรองความถี่ต่ำผ่านแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev	21
รูปที่ 2.23 ผลลัพธ์จากการจำลองผลวงจกรองความถี่ต่ำผ่านต้นแบบ Chebyshev อันดับห้า.....	22
รูปที่ 2.24 คุณสมบัติการสูญเสียของการประมาณค่าอิลิปติก LPF [35]	23
รูปที่ 2.25 ผลตอบสนองทางความถี่ของการประมาณแบบ Elliptic [37].....	23
รูปที่ 2.26 วงจรกรองความถี่ต่ำผ่านแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Elliptic [9].....	23
รูปที่ 2.27 ผลลัพธ์จากการจำลองผลวงจกรองความถี่ต่ำผ่านต้นแบบ Elliptic อันดับสาม	24
รูปที่ 2.28 การแปลงวงจกรองความถี่ต่ำผ่านไปเป็นวงจกรองแถบความถี่ผ่าน (ก) (ข).....	26
รูปที่ 2.29 พล็อตขนาดของ $\frac{\alpha}{s + \alpha}$ [35]	29

สารบัญรูป (ต่อ)

รูปที่ 2.30 พล็อตเฟสของ $\frac{\alpha}{s + \alpha}$ [35].....	29
รูปที่ 2.31 คุณสมบัติของวงจรรองความถี่ต่ำผ่าน (LPF)	30
รูปที่ 2.32 บล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดสูญเสีย	30
รูปที่ 2.33 พล็อตขนาดของ $\frac{1}{s}$ [35].....	31
รูปที่ 2.34 พล็อตเฟสของ $\frac{1}{s}$ [35].....	31
รูปที่ 2.35 การสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียจากอินทิเกรเตอร์ชนิดสูญเสีย.....	31
รูปที่ 2.36 คุณสมบัติของวงจรรองแถบความถี่ผ่าน [35]	32
รูปที่ 2.37 วงจรรองความถี่แถบผ่านอันดับสอง [35].....	33
รูปที่ 2.38 วงจรรองความถี่ต่ำผ่านอันดับสาม	33
รูปที่ 2.39 วงจรรองแถบความถี่ผ่าน	33
รูปที่ 2.40 ผลตอบสนองทางขนาดของวงจรรองแถบความถี่ผ่านแบบอุดมคติและแบบใช้งานจริง ..	34
รูปที่ 3.1 วงจรรองแถบความถี่ผ่าน RLC ต้นแบบ	35
รูปที่ 3.2 วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ	36
รูปที่ 3.3 วงจรรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสชนิดชั้นบันไดโดยใช้วงจรไบควอด	36
รูปที่ 3.4 ผลตอบสนองของวงจรรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสชนิดชั้นบันได โดยใช้วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ.....	37
รูปที่ 3.5 วงจรรองแถบความถี่ผ่าน RLC อันดับหกชนิดชั้นบันได	37
รูปที่ 3.6 รูปแบบการแปลงตัวเก็บประจุต่อขนานกับขดลวดเหนี่ยวนำไปเป็น CDBAs	38
รูปที่ 3.7 รูปแบบการแปลงตัวเก็บประจุต่ออนุกรมกับขดลวดเหนี่ยวนำไปเป็น CDBAs.....	38
รูปที่ 3.8 วงจรรองแถบความถี่ผ่านอันดับหกโดยใช้วงจร CDBAs.....	39
รูปที่ 3.9 ผลตอบสนองทางความถี่ของวงจรรองแถบความถี่ผ่านอันดับหกโดยใช้วงจร CDBAs.....	39
รูปที่ 3.10 วงจรรองแถบความถี่ผ่าน RLC อันดับหกรูปแบบกระแสต้นแบบ.....	40
รูปที่ 3.11 การต่อตัวเก็บประจุขนานกับขดลวดเหนี่ยวนำ	40
รูปที่ 3.12 การต่อตัวเก็บประจุอนุกรมกับขดลวดเหนี่ยวนำ	40
รูปที่ 3.13 วงจรสายพานกระแสรุ่นที่สอง	41
รูปที่ 3.14 วงจรรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสโดยใช้วงจรสายพานกระแสรุ่นที่สอง ..	42
รูปที่ 3.15 ผลตอบสนองของวงจรรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสโดยใช้ วงจรสายพานกระแสรุ่นที่สอง	42
รูปที่ 3.16 วงจรรองแถบความถี่ผ่าน Elliptic อันดับหกแบบชั้นบันไดปลายปิดคู่	43
รูปที่ 3.17 วงจรรองแถบความถี่ผ่าน Elliptic อันดับหกแบบชั้นบันไดที่ผ่านการแปลง.....	44

สารบัญรูป (ต่อ)

รูปที่ 3.18 กราฟการไหลสัญญาณของวงจรกรองแถบความถี่ผ่าน Elliptic อันดับหก.....	44
รูปที่ 3.19 วงจรกรองแถบความถี่ผ่าน Elliptic อันดับหก	45
รูปที่ 3.20 ผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.14.....	46
รูปที่ 3.21 วงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ RLC ชนิดชั้นบันไดอันดับหกต้นแบบ.....	46
รูปที่ 3.22 วงจรกรองแถบความถี่ผ่าน Elliptic อันดับหกโดยใช้โอทีเอ	48
รูปที่ 3.23 ผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.22.....	49
รูปที่ 3.24 วงจรกรองแถบความถี่ผ่าน Elliptic แบบชั้นบันไดโดยใช้ RLC ต้นแบบ [11].....	49
รูปที่ 3.25 รูปแบบการแปลงอุปกรณ์.....	50
รูปที่ 3.26 วงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้โอปแอมป์ [11].....	51
รูปที่ 3.27 ผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.26.....	51
รูปที่ 4.1 บล็อกไดอะแกรมอินทีเกรเตอร์ชนิดสูญเสีย.....	53
รูปที่ 4.2 บล็อกไดอะแกรมของอินทีเกรเตอร์ชนิดไม่สูญเสีย.....	54
รูปที่ 4.3 วงจรอินทีเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอส.....	54
รูปที่ 4.4 แบบจำลองสัญญาณขนาดเล็กและบล็อกไดอะแกรมของวงจร.....	55
รูปที่ 4.5 วงจรอินทีเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอส.....	55
รูปที่ 4.6 แบบจำลองสัญญาณขนาดเล็ก และบล็อกไดอะแกรมของวงจร.....	56
รูปที่ 4.7 วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันได RLC แบบปลายปิดคู่ต้นแบบ	56
รูปที่ 4.8 วงจรกรองแถบความถี่ผ่าน Chebyshev ชนิดชั้นบันได RLC ต้นแบบ.....	57
รูปที่ 4.9 กราฟการไหลสัญญาณของวงจรกรองแถบความถี่ผ่าน Chebyshev แบบชั้นบันไดต้นแบบ .	58
รูปที่ 4.10 Normalized SFG ของรูปที่ 4.9.....	58
รูปที่ 4.11 วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันได RLC แบบปลายปิดคู่ต้นแบบ	59
รูปที่ 4.12 วงจรกรองแถบความถี่ผ่าน Elliptic ชนิดชั้นบันได RLC ต้นแบบ	59
รูปที่ 4.13 วงจรกรองแถบความถี่ผ่าน Elliptic ชนิดชั้นบันได RLC ต้นแบบที่ผ่านการแปลง.....	60
รูปที่ 4.14 กราฟการไหลสัญญาณของวงจรกรองแถบความถี่ผ่าน Elliptic แบบชั้นบันไดต้นแบบ	61
รูปที่ 4.15 Normalized SFG ของรูปที่ 4.14.....	61
รูปที่ 4.16 วงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดชั้นบันไดอันดับหก.....	62
รูปที่ 4.17 วงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดชั้นบันไดอันดับหก โดยใช้ซีมอสที่นำเสนอ	62
รูปที่ 4.18 วงจรกรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสชนิดชั้นบันไดอันดับหก	63
รูปที่ 4.19 วงจรขยายกระแสแบบหลายเอาต์พุต	63
รูปที่ 4.20 วงจรกรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสชนิดชั้นบันไดอันดับหก โดยใช้ซีมอสที่นำเสนอ	65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
IX
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ 4.21 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์.....	66
รูปที่ 4.22 ผลตอบสนองทางแมกนิจูดของอินที่เกรเตอร์ชนิดสูญเสียในรูปที่ 4.3 เมื่อปรับค่ากระแสไบอัส (I_B)	70
รูปที่ 4.23 ผลตอบสนองทางแมกนิจูดของอินที่เกรเตอร์ชนิดไม่สูญเสียในรูปที่ 4.5 เมื่อปรับค่ากระแสไบอัส (I_B)	71
รูปที่ 4.24 ผลตอบสนองทางแมกนิจูดของวงจรรองแถบความถี่ผ่าน Chebyshev ($I_B=20\mu A$)	72
รูปที่ 4.25 การปรับค่าทางอิเล็กทรอนิกส์ของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอโดยการปรับค่ากระแสไบอัส I_B [0.02, 0.2, 2, 20, 200] μA	72
รูปที่ 4.26 ค่าอินพุตอิมพีแดนซ์ของวงจรรองแถบความถี่ผ่าน Chebyshev อันดับหก ($I_B=200\mu A$)....	73
รูปที่ 4.27 ผลตอบสนองทางแมกนิจูดของวงจรรองแถบความถี่ผ่าน Elliptic ($I_B=20\mu A$) และวงจรถ้นแบบ	74
รูปที่ 4.28 การปรับค่าทางอิเล็กทรอนิกส์ของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอโดยการปรับค่ากระแสไบอัส I_B [0.02, 0.2, 2, 20, 200] μA	74
รูปที่ 4.29 ค่าอินพุตอิมพีแดนซ์ของวงจรรองแถบความถี่ผ่าน Elliptic ($I_B=200\mu A$).....	75
รูปที่ 4.30 การจำลองมอนติคาร์โลของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu A$)	75
รูปที่ 4.31 การจำลองมอนติคาร์โลของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu A$)....	76
รูปที่ 4.32 ทดสอบ Multi-Tone ของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu A$)..	76
รูปที่ 4.33 ทดสอบ Multi-Tone ของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu A$).....	77
รูปที่ 4.34 ทดสอบ Group Delay ของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu A$)	77
รูปที่ 4.35 ทดสอบ Group Delay ของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu A$).....	78
รูปที่ 4.36 ค่าความเพี้ยนทางฮาร์โมนิก (THD) ที่ 50MHz ของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu A$)	78
รูปที่ 4.37 ค่าความเพี้ยนทางฮาร์โมนิก (THD) ที่ 50MHz ของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu A$)	79
รูปที่ 4.38 สเปกตรัมของความถี่เอาต์พุตเมื่อเกิดการ Intermodulation [45]	79
รูปที่ 4.39 Third Order Intermodulation distortion (IM3) ของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu A$)	80
รูปที่ 4.40 Third Order Intermodulation distortion (IM3) ของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu A$)	81

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในการประมวลผลสัญญาณอนาล็อก บิวต์ติ้งบล็อกที่สำคัญอย่างหนึ่งคือวงจรกรองสัญญาณแบบต่อเนื่องทางเวลา วงจรกรองหลากหลายรูปแบบได้ถูกออกแบบและสร้างขึ้นเพื่อให้ได้คุณลักษณะเฉพาะตัวตามหน้าที่ที่นำไปใช้งาน ในการออกแบบวงจรทางโทรคมนาคม และวงจรรีเลย์ทรอนิกส์ใช้ทั้งวงจรกรองแบบแพสซีฟและแบบแอกทีฟ เป็นที่ทราบกันดีว่าวงจรกรองแบบแพสซีฟไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ และไม่เหมาะสำหรับการสร้างวงจรรวม ทำให้วงจรกรองแบบแอกทีฟซึ่งสามารถปรับค่าได้ได้รับความนิยมอย่างมาก อีกทั้งยังมีการพัฒนาอย่างต่อเนื่องทั้งในด้านการลดพื้นที่ของวงจร และการเพิ่มประสิทธิภาพของวงจรกรอง

วงจรกรองอันดับหนึ่งเป็นบิวต์ติ้งบล็อกพื้นฐาน งานวิจัยในอดีตมีการสร้างโดยใช้ออปแอมป์ (OpAmps) และโอทีเอ (OTAs) [1,2] ต่อมาฟังก์ชันการทำงานอันดับหนึ่งถูกสร้างโดยอุปกรณ์แอกทีฟที่แตกต่างออกไป เช่น วงจรสายพานกระแสรุ่นที่สอง (The Second-Generation Current-Conveyor : CCII) [3] วงจรกรองอันดับหนึ่งถูกนำไปประยุกต์ใช้กับแอฟฟลิเคชันจำนวนมากในการสร้างระบบควบคุม [4] วงจรกำเนิดสัญญาณ (Oscillator) [5] และวงจรกรองเอนกประสงค์อันดับสอง [6,7] อย่างไรก็ตาม แอฟฟลิเคชันของวงจรกรองอันดับหนึ่งที่นำมาใช้นั้นมีข้อจำกัดจากผลตอบสนองทางความถี่ เพื่อให้ได้ประสิทธิภาพที่ดีขึ้นจึงนำวงจรกรองอันดับสองมาใช้งาน โดยวงจรกรองอันดับสองสร้างจากออปแอมป์ และโอทีเอ [8,9] ได้ถูกนำเสนอเพื่อใช้งาน อุปกรณ์แอกทีฟอื่น ๆ เช่น Operational transresistance amplifiers (ORTA) [10] และ Current differencing transconductance amplifier (CDTA) [11] ถูกนำเสนอเพื่อสร้างวงจรกรองแบบแอกทีฟ ปรับค่าได้ แม้ว่าจะสามารถให้ผลตอบสนองทางความถี่ได้หลากหลายรูปแบบ แต่ก็มีปัญหาในการใช้อุปกรณ์แอกทีฟจำนวนมาก และยังทำงานได้เพียงในย่านความถี่ต่ำ ซึ่งในทางโทรคมนาคมนั้นต้องการวงจรกรองประสิทธิภาพสูงที่ทำงานในย่านความถี่สูง ซึ่งวงจรกรองความถี่อันดับต่ำ (อันดับหนึ่งและอันดับสอง) ไม่สามารถนำมาใช้งาน เพื่อให้ได้การตอบสนองในย่านความถี่ที่ต้องการได้ วงจรกรองอันดับสองแบบเอนกประสงค์ โดยใช้ออสทรานซิสเตอร์ถูกนำเสนอใน [12-14] โดยใช้ตัวเก็บประจุแบบ Gate-Source Intrinsic ค่าความต้านทานและตัวเก็บประจุแฝงมีผลกระทบต่อประสิทธิภาพของวงจรกรอง และการตอบสนองของวงจรกรองไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ ปัญหาที่กล่าวมานี้ไม่พบในวงจรกรองอันดับสูง และวงจรกรองความถี่อันดับสูงยังสามารถทำงานได้อย่างมีประสิทธิภาพอีกด้วย

การสร้างวงจรกรองความถี่อันดับสูงแบบชันบันไดโดยใช้วงจร RLC ดันแบบเป็นวิธีที่รู้จักกันเป็นอย่างดี [15,16] ทำการจำลองวงจร RLC ดันแบบโดยใช้วงจร Generalized Impedance Converter (GIC) เป็นหนึ่งในวิธีการสร้างวงจรกรองความถี่อันดับสูง [15-17] วงจรกรองความถี่ต่ำผ่านอันดับสูง ที่มีวงจร GIC เป็นพื้นฐานถูกนำเสนอโดยใช้ออปแอมป์ และ RC [18] ซึ่งวงจรใช้องค์ประกอบแบบแพสซีฟต่อลรอยตัวจำนวนมาก และไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ จึงไม่เหมาะในการสร้างวงจรรวม การใช้วิธีการกราฟการไหลสัญญาณ (The Signal Flow Graph : SFG) สำหรับจำลองวงจรกรอง RLC แบบชันบันได [19,20] โดยใช้อินทีเกรเตอร์ชนิด MOS Switched Capacitor วงจรกรองความถี่แบบแอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่พ้อดับสูงอีกหลาย ๆ วงจรใช้พื้นฐานของ gm-C [21-24] และถูกปรับปรุงให้ดีขึ้น [25] โดยใช้โครงสร้างที่ต่างออกไป เนื่องจากการทำงานในรูปแบบกระแสมีข้อได้เปรียบหลายประการมากกว่าการทำงานในรูปแบบแรงดันในการสร้างวงจรที่มีประสิทธิภาพสูงและแรงดันต่ำ วงจรรองความถี่ต่ำผ่านอันดับสูง รูปแบบกระแสโดยใช้ซีมอส สำหรับการประยุกต์ในความถี่สูงถูกนำเสนอ [26] โดยวงจรรองความถี่ต่ำผ่านอันดับสูง รูปแบบกระแสโดยใช้ CCH และใช้วิธีการกราฟการไหลสัญญาณ [27] วิธี Multiple Loop Feedback โดยใช้ OTA-C เป็นอีกวิธีหนึ่งในการสร้างวงจรรองความถี่ต่ำผ่านอันดับสูง ซึ่งเหมาะสำหรับการสร้างจากฟังก์ชัน High-Order All-Pole Biquad [28,29]

จากที่กล่าวมาข้างต้นยังไม่มียังไม่มีวงจรแถบความถี่ผ่านอันดับสูง รูปแบบกระแส ทำงานในความถี่สูง ใช้ทรานซิสเตอร์จำนวนน้อย ใช้แรงดันต่ำ และ ปรับค่าทางอิเล็กทรอนิกส์ได้ถูกนำเสนอมาก่อน ดังนั้นวิทยานิพนธ์นี้จึงนำเสนอวงจรรองแถบความถี่ผ่านรูปแบบกระแสชนิดขั้นบันไดโดยใช้ซีมอส โดยการแปลงวงจรรองความถี่ต่ำผ่านแบบแพสซีฟ RLC ต้นแบบ Chebyshev และ Elliptic สร้างโดยวิธีการกราฟการไหลสัญญาณ ซึ่งสามารถแก้ปัญหาข้างต้นได้เป็นอย่างดี

1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

จากปัญหาที่ได้อธิบายมาข้างต้น วงจรรองที่ถูกนำเสนอมาในอดีตนั้นวงจรรองแบบแพสซีฟไม่สามารถปรับค่าได้และไม่เหมาะสำหรับการสร้างเป็นวงจรรวม ส่วนวงจรรองแบบแอกทีฟ ปรับค่าได้ แต่ก็มีปัญหาในการที่ต้องใช้อุปกรณ์แอกทีฟเป็นจำนวนมาก และยังทำงานได้เพียงความถี่ต่ำและยังไม่มียังไม่มีวงจรแถบความถี่ผ่านอันดับสูง รูปแบบกระแส ปรับค่าทางอิเล็กทรอนิกส์ได้ถูกนำเสนอ

วิทยานิพนธ์นี้จึงนำเสนอวงจรรองแถบความถี่ผ่านสองวงจรถ้า Chebyshev และ Elliptic รูปแบบกระแสชนิดขั้นบันไดโดยใช้ซีมอส วงจรรองที่นำเสนอสร้างโดยกราฟการไหลสัญญาณและการแปลงวงจรรองความถี่ต่ำผ่านแบบแพสซีฟ RLC ต้นแบบ วงจรรองที่นำเสนอทั้งสองวงจรมีข้อดีหลายประการเช่น ใช้อุปกรณ์แอกทีฟและแบบแพสซีฟจำนวนน้อย ใช้ไฟเลี้ยงต่ำ แรงดันต่ำ ทำงานได้ที่ความถี่สูง และปรับค่าทางอิเล็กทรอนิกส์ได้ในช่วงกว้าง

1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์

วิทยานิพนธ์นี้นำเสนอวงจรรองแถบความถี่ผ่าน Chebyshev และ Elliptic รูปแบบกระแสชนิดขั้นบันไดโดยใช้ซีมอสทรานซิสเตอร์ วงจรรองที่นำเสนอสร้างโดยวิธีการกราฟการไหลสัญญาณและการแปลงวงจรรองความถี่ต่ำผ่านแบบแพสซีฟ RLC ต้นแบบ วงจรรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดขั้นบันไดใช้มอสทรานซิสเตอร์ 33 ตัวและตัวเก็บประจุแบบต่อลงกราวด์ 6 ตัว ส่วนวงจรรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสชนิดขั้นบันไดใช้มอสทรานซิสเตอร์ 52 ตัวและตัวเก็บประจุแบบต่อลงกราวด์ 7 ตัว

1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้มุ่งศึกษาถึงการนำอุปกรณ์แอกทีฟมาประยุกต์ใช้งานเพื่อสร้างวงจรรองแถบความถี่ผ่าน Chebyshev และ Elliptic รูปแบบกระแสชนิดขั้นบันไดโดยใช้ซีมอสมาต่อเป็นวงจรรวม วงจรรองแถบความถี่ผ่านที่นำเสนอสร้างโดยกราฟการไหลสัญญาณและการแปลงวงจรรองความถี่ต่ำผ่านแบบแพสซีฟ RLC ต้นแบบ วงจรที่นำเสนอใช้อุปกรณ์แอกทีฟและแบบแพสซีฟจำนวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

น้อย ใช้ไฟเลี้ยงต่ำ แรงดันต่ำ ทำงานได้ที่ความถี่สูงมากและปรับค่าทางอิเล็กทรอนิกส์ได้ในช่วงกว้าง วงจรกรองแถบความถี่ผ่าน Chebyshev และ Elliptic รูปแบบกระแสชนิดชั้นบันไดโดยใช้ชิมอสที่นำเสนอมีการยืนยันคุณสมบัติและประสิทธิภาพการทำงานของวงจรด้วยโปรแกรม PSpice

1.5 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บท ดังต่อไปนี้

บทที่ 1 กล่าวถึง ความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์ หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์ ขอบเขตของวิทยานิพนธ์

บทที่ 2 กล่าวถึง ทฤษฎีที่เกี่ยวข้อง ประกอบด้วย มอสมิทธานซิสเตอร์ การประมาณค่าแบบ Chebyshev และ Elliptic การแปลงโครงข่าย (Network Transformation) อินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสียและวงจรกรองแถบความถี่ผ่าน

บทที่ 3 กล่าวถึง หลักการและงานวิจัยที่เคยถูกนำเสนอแล้วในอดีต

บทที่ 4 กล่าวถึง วงจรกรองแถบความถี่ผ่านรูปแบบกระแสอันดับสูง ปรับค่าได้ทางอิเล็กทรอนิกส์ โดยใช้มอสมิทธานซิสเตอร์ ประกอบด้วย บทนำ วงจรกรองแถบความถี่ผ่าน รูปแบบกระแส อันดับสูง ปรับค่าได้ทางอิเล็กทรอนิกส์ โดยใช้มอสมิทธานซิสเตอร์ วงจรอินทิเกรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสียโดยใช้ชิมอส การออกแบบวงจรกรองแถบความถี่ผ่าน RLC แบบแพสซีฟ ชนิดชั้นบันไดโดยใช้วงจรกรองความถี่ต่ำผ่านต้นแบบ การสร้างวงจรกรองแถบความถี่ชนิดชั้นบันไดโดยใช้ชิมอส การวิเคราะห์ความไม่เป็นอุดมคติและผลการจำลองการทำงาน

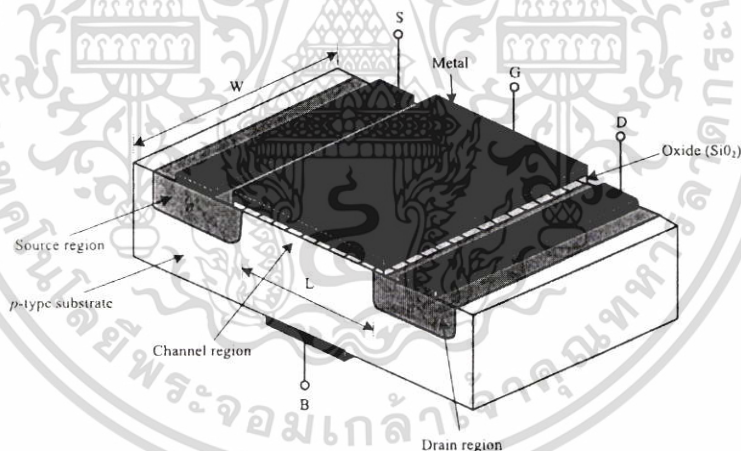
บทที่ 5 กล่าวถึง บทสรุปและข้อเสนอแนะ ประกอบด้วย บทสรุปการวิจัย และข้อเสนอแนะ

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

2.1 มอสมทรานซิสเตอร์

มอสมทรานซิสเตอร์ (MOS Transistor) หรือเรียกว่า มอสมเพต (Metal oxide Semiconductor Field Effect Transistor : MOSFET) [31] เป็นทรานซิสเตอร์ประเภทหนึ่งที่มีลักษณะการทำงานแตกต่างจากทรานซิสเตอร์ทั่วไป กล่าวคือ ทรานซิสเตอร์ทั่วไป จะมีลักษณะการทำงาน คือใช้กระแสอินพุตเป็นตัวควบคุมกระแสเอาต์พุต แต่มอสมเพต หรือมอสมทรานซิสเตอร์จะมีลักษณะการทำงาน คือใช้แรงดันเป็นตัวควบคุมปริมาณของสนามไฟฟ้าระหว่างรอยต่อให้เพิ่มขึ้นหรือลดลง เพื่อบังคับปริมาณกระแสไฟฟ้าที่ไหลผ่านรอยต่อ มีลักษณะเด่นคือ การสูญเสียพลังงานต่ำ แต่มีประสิทธิภาพในการทำงานสูงเมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่นๆ ที่มีลักษณะการใช้งานแบบเดียวกัน จึงเป็นที่นิยมในการพัฒนาสร้างเป็นวงจรรวมที่มีจำนวนตัวประกอบ (Component) มาก ๆ เช่น ไอซีระดับ LSI และ VLSI ทั่วไป โดยโครงสร้างของมอสมทรานซิสเตอร์แสดงได้ดังที่รูปที่ 2.1



รูปที่ 2.1 แสดงลักษณะโครงสร้างของมอสมทรานซิสเตอร์ [31]

จากรูปที่ 2.1 แสดงโครงสร้างของมอสมทรานซิสเตอร์ ซึ่งประกอบด้วย สนวนซับสเตรท (Substrate) ที่เป็นสารกึ่งตัวนำชนิดพี (p-type) ซึ่งมีสารกึ่งตัวนำชนิดเอ็น 2 ชุด ถูกแพรลงบนฐานรองสารกึ่งตัวนำนี้เรียกว่า ซอร์ส (Source) และเดรน (Drain) บนผิวหน้าระหว่างซอร์สและเดรนจะมีแผ่นฟิล์มบางของซิลิกอนไดออกไซด์ (SiO_2) ส่วนบนของซิลิกอนไดออกไซด์ จะมีโพลีซิลิกอนซึ่งทำหน้าที่เรียกว่า เกท (Gate)

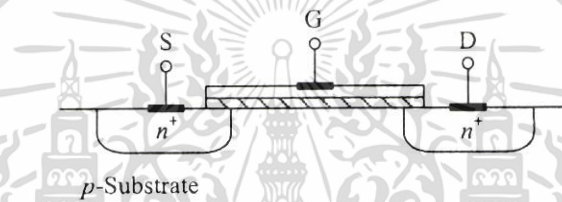
โดยลักษณะโครงสร้างของมอสมทรานซิสเตอร์ที่บริเวณเกตประกอบไปด้วย Metal-Oxide-Semiconductor ดังนั้นมอสมทรานซิสเตอร์จึงมีกระแสไหลได้น้อยมากเนื่องจากมีชั้นของฉนวนกันอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในการใช้งานมอสทรานซิสเตอร์ต้องการเพียงแหล่งจ่ายความต่างศักย์ที่เกตเท่านั้น ไม่ต้องการแหล่งจ่ายกระแส จึงทำให้มอสทรานซิสเตอร์มีการสูญเสียพลังงาน (Power Consumption) ต่ำนั่นเอง สำหรับเดรน และซอร์สนั้น ปกติจะมีโครงสร้างเหมือนกันทุกประการจึงสามารถใช้สลับกันได้อันเป็นคุณสมบัติพิเศษอีกประการหนึ่ง

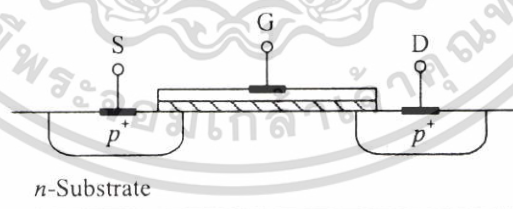
ซึ่งมอสทรานซิสเตอร์สามารถแบ่งตามชนิดของสารกึ่งตัวนำ ได้ 2 ชนิด คือ เอ็นแชนเนล มอสทรานซิสเตอร์ (N-Channel MOS Transistor: NMOS) และพีแชนเนล มอสทรานซิสเตอร์ (P-Channel MOS Transistor: PMOS)

เอ็นแชนเนล มอสทรานซิสเตอร์ เป็นการนำประจุลบ หรืออิเล็กตรอน (Electron) ในการนำกระแสจากเดรนไปยังซอร์ส ผ่านบริเวณช่องทางเดินกระแสซึ่งเป็นสารกึ่งตัวนำชนิดพี โดยเดรนและซอร์สเป็นสารกึ่งตัวนำชนิดเอ็น แสดงดังรูปที่ 2.2



รูปที่ 2.2 แสดงมอสทรานซิสเตอร์ชนิด NMOS [32]

พีแชนเนล มอสทรานซิสเตอร์ เป็นการนำประจุบวก หรือโฮล (Hole) ในการนำกระแสระหว่างเดรนและซอร์ส ผ่านบริเวณช่องทางเดินกระแสซึ่งเป็นสารกึ่งตัวนำชนิดเอ็น โดยเดรนและซอร์สเป็นสารกึ่งตัวนำชนิดพี แสดงดังรูปที่ 2.3



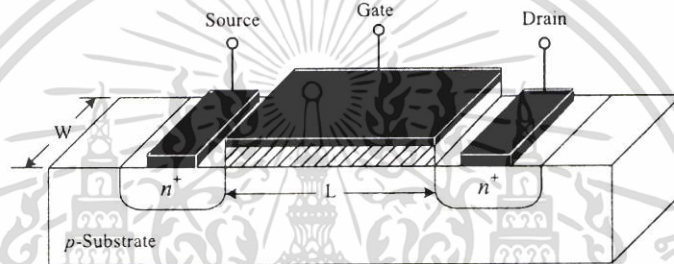
รูปที่ 2.3 แสดงมอสทรานซิสเตอร์ชนิด PMOS [32]

สามารถแบ่งมอสทรานซิสเตอร์ทั้งเอ็นแชนเนล และพีแชนเนล ตามลักษณะโครงสร้างได้เป็น 2 ประเภทคือ มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด (Enhancement Mode Transistor) หรือเรียกอีกอย่างหนึ่งว่า E-MOSFET และมอสทรานซิสเตอร์แบบดีพลีชันโหมด (Depletion Mode Transistor) หรือเรียกอีกอย่างหนึ่งว่า D-MOSFET ซึ่งในแต่ละแบบมีผลต่อคุณสมบัติทางไฟฟ้าในขณะที่ใช้งานต่างกันไป

เอกสารนี้เป็นเอกสารที่ส่งมอบไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด

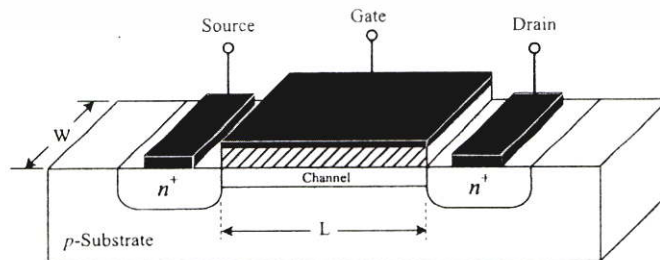
ประกอบด้วยชนิดเอ็นแชนเนล และพีแชนเนล ซึ่งทั้งสองชนิดมีโครงสร้างที่แตกต่างกัน โดยมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดพีแชนเนล จะเกิดจากการนำเอาสารกึ่งตัวนำชนิดเอ็น มาสร้างเป็นฐานรอง แต่มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแชนเนล จะเกิดจากการนำเอาสารกึ่งตัวนำชนิดพีมาสร้างเป็นฐานรอง ซึ่งมีความหนาแน่นน้อย (Lightly Doped p-Type Substrate) ที่มีอิเล็กโทรดบริเวณเดรนและซอร์สที่ต่อกับบริเวณสารกึ่งตัวนำที่ทำการเติมสารเจือชนิดเอ็นที่มีความหนาแน่นสูงเข้าไปที่ฐานรอง แต่บริเวณสารกึ่งตัวนำที่ถูกสารเจือนั้นไม่เชื่อมต่อกันเหมือนในกรณีของ ดีฟลิชัน แต่จะเคลือบซิลิกอนไดออกไซด์ (SiO_2) เป็นฉนวนลงบนฐานรองแล้วทำการต่ออิเล็กโทรดที่เป็นโลหะเข้าที่เกต แสดงดังรูปที่ 2.4



รูปที่ 2.4 โครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแชนเนล [32]

2.1.2 มอสทรานซิสเตอร์แบบดีฟลิชันโหมด

มอสทรานซิสเตอร์แบบดีฟลิชันโหมด จะมีโครงสร้างคล้ายกับมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด แตกต่างกันที่ช่องระหว่างซอร์ส และเดรนของมอสทรานซิสเตอร์แบบดีฟลิชันโหมด จะมีการแพร่สารกึ่งตัวนำชนิดเอ็นที่มีความหนาแน่นน้อย (Lightly Doped n-Type Region) เรียกว่า แชนเนล โดยด้านบนแชนเนลนั้นมีฉนวนแผ่นบางๆ ซึ่งทำมาจากซิลิกอนไดออกไซด์ (SiO_2) จากนั้นจึงวางอิเล็กโทรดเกตซึ่งเป็นโลหะลงบนซิลิกอนไดออกไซด์ ดังแสดงในรูปที่ 2.5



รูปที่ 2.5 โครงสร้างของมอสทรานซิสเตอร์แบบดีฟลิชันโหมดชนิดเอ็นแชนเนล [32]

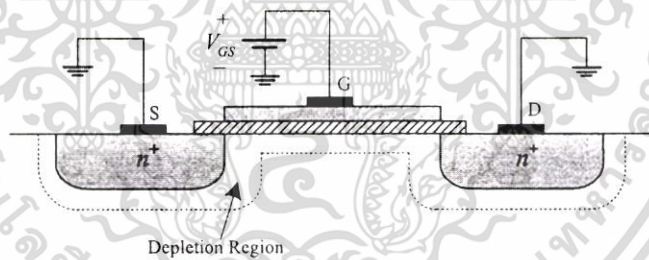
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 ทฤษฎีการทำงานของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์จะมีหลักการทำงานคือ ใช้แรงดันเกตเพื่อควบคุมประจุพาหะ หรือควบคุม แชนเนลระหว่างเดรนและซอร์ส ส่วนแรงดันที่ป้อนให้เดรนนั้น จะทำให้รอยต่อพี-เอ็นเป็นไบอัสย้อนกลับ (Reverse Bias) ดังนั้นในกรณีของมอสทรานซิสเตอร์ชนิดเอ็นแชนเนลแรงดันที่ขาเกตและเดรนจึงมีค่าเป็นบวก ในทำนองเดียวกันกรณีของมอสทรานซิสเตอร์ชนิดพีแชนเนล แรงดันที่ขาเกตและเดรนจึงมีค่าเป็นลบ โดยคุณสมบัติและการทำงานของมอสทรานซิสเตอร์ สามารถแบ่งออกเป็น ยานต่างๆ ได้ดังนี้

1) ย่านไม่นำกระแส (Cutoff) เมื่อ $V_T > V_{GS} > 0$ และ $V_{DS} = 0$

เมื่อป้อนแรงดัน V_{GS} น้อยกว่าแรงดันขีดเริ่ม (V_T : Threshold Voltage) หรือ $V_T > V_{GS} > 0$ สนามไฟฟ้าในชั้นออกไซด์ที่เกิดจากแรงดัน V_{GS} จะผลักให้โฮลในสารกึ่งตัวนำที่ผิวสัมผัสเคลื่อนที่ห่างออกไป ทำให้เกิดบริเวณปลอดพาหะ (Depletion Region) ขึ้นในสารกึ่งตัวนำที่อยู่ใต้ส่วนเกต ดังรูปที่ 2.6 ดังนั้นในกรณีนี้ เดรนและซอร์ส ยังคงถูกแยกจากกันด้วยชั้นของบริเวณปลอดพาหะ และเมื่อแรงดันเดรนซอร์สเพิ่มขึ้น ส่งผลให้กระแสเดรนเกิดการไหลแต่มีค่าน้อยมากประมาณเป็นศูนย์ $I_D \approx 0$ ในสภาวะนี้มอสทรานซิสเตอร์ยังคงอยู่ในสภาวะคัทออฟ



รูปที่ 2.6 กรณี $V_T > V_{GS} > 0$ และ $V_{DS} = 0$ [31]

2) กรณีที่ $V_{GS} > V_T$ และ $V_{DS} < V_{DS(sat)}$ (Ohmic Region ย่านเชิงเส้น)

เมื่อแรงดัน V_{GS} มากกว่าแรงดันขีดเริ่ม V_T ทำให้สนามไฟฟ้าในชั้นฉนวนออกไซด์ที่เกิดขึ้น มีค่ามากพอที่จะเหนี่ยวนำให้เกิดแชนเนลในสารกึ่งตัวนำบริเวณใต้ส่วนเกต แชนเนลที่เกิดขึ้นนี้เสมือนเป็นแท่งสารกึ่งตัวนำ ที่มีความยาวเท่ากับ L โดยมีปลายทั้งสองด้านเป็นส่วนของซอร์สและเดรน เมื่อแรงดันเดรนมีค่าเพิ่มขึ้นเล็กน้อย จะทำให้อิเล็กตรอนในแชนเนลเกิดการดิฟฟิวชัน (Drift) หรือเคลื่อนที่จากซอร์สไปยังเดรน ส่งผลให้มีกระแส I_D เกิดขึ้น โดยขนาดของ I_D จะถูกจำกัดด้วยค่าความต้านทานของแชนเนล ดังสมการที่ (2.1)

$$I_D = \frac{V_D}{R_{n-ch}} \quad (2.1)$$

โดยที่ R_{n-ch} คือ ความต้านทานของแชนเนล (Channel Resistance) และมีค่าดังสมการที่ (2.2)

$$R_{n-ch} = \frac{L}{W \mu_n |Q_n|} \quad (2.2)$$

โดยที่ μ_n คือ ค่าความคล่องของอิเล็กตรอน

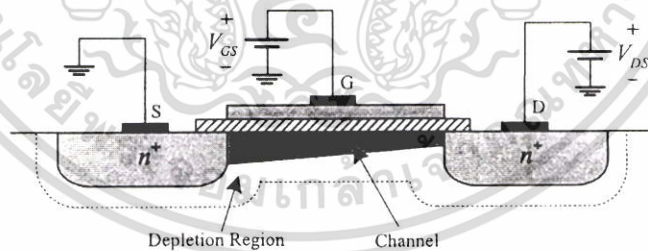
Q_n คือ ความเข้มข้นของประจุอิเล็กตรอนในแชนเนล ซึ่งมีค่าดังสมการที่ (2.3)

$$Q = -C_{ox} (V_G - V_T) \quad (2.3)$$

จากสมการที่ (2.2) และ (2.3) จะได้ I_D ดังสมการที่ (2.4)

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T) V_D \quad (2.4)$$

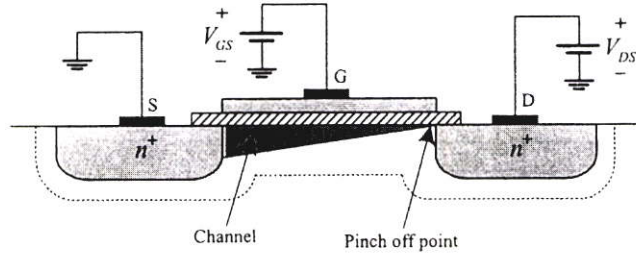
จากสมการที่ (2.1) พบว่า I_D ขึ้นอยู่กับ V_D โดยเรียกช่วงการทำงานของมอสทรานซิสเตอร์นี้ว่าย่านเชิงเส้น (Linear Region หรือ Ohmic Region หรือ Triode Region) และเมื่อ V_D หรือแรงดันเดรนมีค่ามากขึ้น จะส่งผลให้แชนเนลเกิดการเปลี่ยนแปลง โดยมีขนาดเล็กลง เมื่อเข้าใกล้ทางด้านเดรน ดังรูปที่ 2.7 ซึ่งความต้านทานของแชนเนลจะแปรผันตรงกับ V_D โดยเมื่อ V_D มีค่าเพิ่มขึ้น ทำให้การเพิ่มของกระแสไหลตัวลง ความชันของกราฟระหว่าง I_D และ V_{DS} มีค่าลดลง (โค้งมากขึ้น) สังเกตได้จากกราฟรูปที่ 2.10



รูปที่ 2.7 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} < V_{DS(sat)}$ [31]

เมื่อ V_D มีค่ามากขึ้น จนทำให้แรงดันที่ตกคร่อมชั้นออกไซด์ที่บริเวณปลายด้านเดรนมีค่าเท่ากับ V_T ทำให้ขนาดของแชนเนลที่ปลายด้านเดรน มีค่าลดลงเป็นศูนย์ กล่าวคือแชนเนลขาดออกพอดีที่เดรน ดังรูปที่ 2.8 เรียกสภาวะนี้ว่า สภาวะพินช์ออฟ (Pinch off) ค่า V_{DS} ที่ทำให้เริ่มเกิดสภาวะพินช์ออฟ เรียกว่า แรงดันเดรนซอร์สอิ่มตัว ($V_{DS(sat)}$) หรือเรียกว่า แรงดันพินช์ออฟ (V_P)

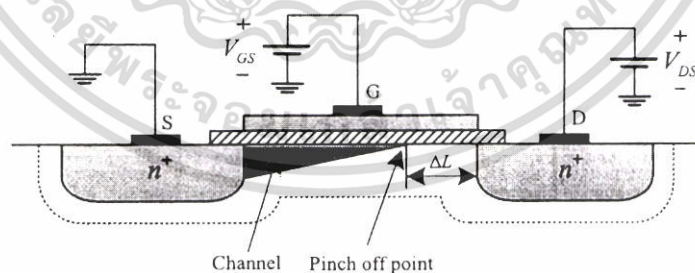
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} = V_{DS(Sat)}$ [31]

3) กรณีที่ $V_{GS} > V_T$ และ $V_{DS} > V_{DS(sat)}$ (Saturation Region : ย่านนำกระแสอิ่มตัว)

เมื่อ V_{DS} มีค่ามากกว่า $V_{DS(sat)}$ จะทำให้แรงดันที่ตกคร่อมชั้นออกไซด์ที่บริเวณใกล้ปลายด้านเดรน มีค่าน้อยกว่าแรงดันขีดเริ่ม ดังนั้นในบริเวณนี้จะไม่มีการเกิดช่องแคบเหมือนมีจุดพิตซ์ออฟเกิดขึ้นและเลื่อนจากด้านเดรนเข้าไปทางด้านซอร์ส ดังรูปที่ 2.9 ทำให้เกิดบริเวณปลอดพาหะระหว่างจุดพิตซ์ออฟและเดรน โดยมีความยาวเท่ากับ ΔL และมีค่าเพิ่มมากขึ้น เมื่อ V_{DS} มีค่าเพิ่มขึ้น กล่าวคือระยะของแชนเนลหรือช่องนำกระแสมีค่าลดลง ปรากฏการณ์นี้เรียกว่า การมอดูเลตความยาวแชนเนล (Channel length modulation: λ) หากพิจารณาว่า $\Delta L \ll L$ ดังนั้นความยาวของแชนเนลจึงมีขนาดสั้นลงจากเดรนน้อยมาก ประมาณได้ว่ามีความยาวเท่าเดิม ดังนั้นความต้านทานของแชนเนล จะมีค่าประมาณเท่าเดิม แม้ว่า V_D จะมีค่าเพิ่มขึ้นก็ตาม และแรงดันที่ตกคร่อมระหว่างซอร์สถึงจุดพิตซ์ออฟมีค่าคงที่เสมอ โดยไม่เปลี่ยนแปลงกับ V_{DS} และเมื่อ V_{DS} เพิ่มขึ้นสูงกว่าแรงดันเดรนซอร์สอิ่มตัว กระแสเดรนจะประมาณได้ว่ามีค่าคงที่ โดยมีค่าเท่ากับกระแสเดรนอิ่ม $I_{D(Sat)}$ ซึ่งหาได้จากสมการที่ (2.5)

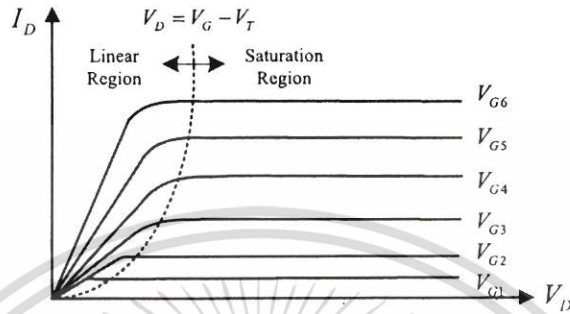


รูปที่ 2.9 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} > V_{DS(Sat)}$ [31]

$$I_D \approx I_{D(Sat)} = \frac{V_{D(Sat)}}{R_{eff(n-ch)}} \quad (2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยความสัมพันธ์ของแรงดัน V_{DS} กับกระแส I_D ในขณะที่ให้แรงดัน V_G คงที่ และ มอสทรานซิสเตอร์ทำงานในย่านอิมิตัว สามารถเขียนกราฟแสดงความสัมพันธ์ระหว่างกระแสเดรน และแรงดันที่ชาเดรนซอร์ส ได้ดังรูปที่ 2.10 โดยเปลี่ยนค่า V_G โดยที่ $V_{G1} < V_{G2} < V_{G3} < V_{G4} \dots$



รูปที่ 2.10 ความสัมพันธ์ของกระแสเดรน และแรงดันที่ชาเดรนซอร์ส [33]

การทำงานของมอสทรานซิสเตอร์เป็นลักษณะของการใช้แรงดันไฟฟ้าควบคุมปริมาณของกระแส โดยสมการกระแสเดรนของมอสทรานซิสเตอร์แสดงดังสมการที่ (2.6) ซึ่งแสดงคุณสมบัติการทำงานของมอสทรานซิสเตอร์

$$I_D = K' \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad ; \quad V_{GS} > V_T \tag{2.6}$$

- โดยที่ K' = ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_0 C_{OX}$
- μ_0 = ค่าความคล่องของโฮล หรืออิเล็กตรอน (Surface Mobility of Carrier)
- C_{OX} = ค่าความจุต่อพื้นที่ของเกตออกไซด์ (Capacitance Per Unit Area of The Gate Oxide)
- W = ความกว้างของแชนแนล (Channel Width)
- L = ความยาวของแชนแนล (Channel Length)
- V_{GS} = แรงดันระหว่างขาเกตกับชาซอร์ส
- V_T = แรงดันขีดเริ่ม (Threshold Voltage)
- V_{DS} = แรงดันระหว่างชาเดรนกับชาซอร์ส
- I_D = กระแสเดรน

โดยการที่เราแบ่งการทำงานของมอสทรานซิสเตอร์เป็น 3 ช่วง ซึ่งแต่ละช่วงการทำงานขึ้นอยู่กับค่า $V_{GS} - V_T$ และค่า V_{DS} โดยถ้าค่า $V_{GS} - V_T$ เป็นศูนย์ หรือเป็นค่าลบ มอสทรานซิสเตอร์จะอยู่ในช่วงไม่นำกระแส (Cut-Off Region)

$$I_D = 0 \quad ; \quad |V_{GS}| - |V_T| < 0 \tag{2.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงไม่นำกระแสนี้ ช่องนำกระแสจะทำตัวเหมือนวงจรมืด ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $0 < |V_{DS}| < |V_{GS}| - |V_T|$ แล้วมอสทรานซิสเตอร์จะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Triode Region)

$$I_D = K' \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (2.8)$$

ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $|V_{DS}| > |V_{GS}| - |V_T|$ มอสทรานซิสเตอร์จะทำงานอยู่ในช่วงของการนำกระแสอิ่มตัว (Saturation Region)

$$I_D = K' \frac{W}{2L} (V_{GS} - V_T)^2 \quad (2.9)$$

2.1.4 สัญลักษณ์ของมอสทรานซิสเตอร์

สัญลักษณ์ของมอสทรานซิสเตอร์สามารถบอกได้ว่าเป็นมอสทรานซิสเตอร์ชนิด N หรือ P โดยดูที่หัวลูกศรที่ขาซอร์ส ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น PMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี (Body) หรือฐานรอง (Substrate) หรือบางทีอาจเรียกว่า Bulk โดยถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น NMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น PMOS อีกทั้งสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด หรือมอสทรานซิสเตอร์แบบดีพลีชันโหมด ดังแสดงในรูปที่ 2.11

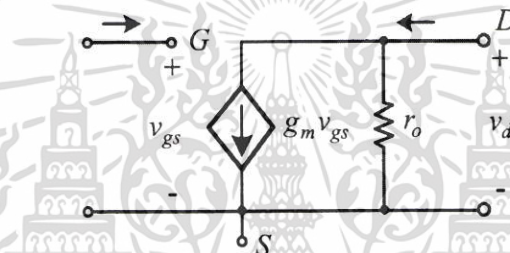
	Enhancement	Depletion	Enhancement	Depletion
PMOS				
NMOS				

รูปที่ 2.11 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่าง ๆ

2.1.5 วงจรเสมือนสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

วงจรเสมือนสัญญาณขนาดเล็ก (Small-Signal Equivalent Circuit) [4] ของมอสทรานซิสเตอร์ นำไปใช้ในการวิเคราะห์ผลตอบสนองของสัญญาณ มอสทรานซิสเตอร์จะมีพฤติกรรมเป็นแรงดันควบคุมแหล่งกำเนิดกระแส (Voltage-Controlled Current Source) โดยให้สัญญาณ V_{gs} ทำให้เกิดกระแส $g_m V_{gs}$ ทางด้านขาเดรน ความต้านทานที่อินพุตจะมีค่าสูงมากและเป็นอนันต์ในทางอุดมคติ โดยมีตัวต้านทาน r_o ต่ออยู่ระหว่างขาเดรนและขาซอร์ส ดังแสดงในรูปที่ 2.12 เมื่อกระแสที่ขาเกตจะมีค่าน้อยมากจนเกือบจะเป็นศูนย์ทำให้ที่ขาเกตมีลักษณะเหมือนเปิดวงจร สามารถหาค่าแรงดัน v_{ds} ได้ดังนี้

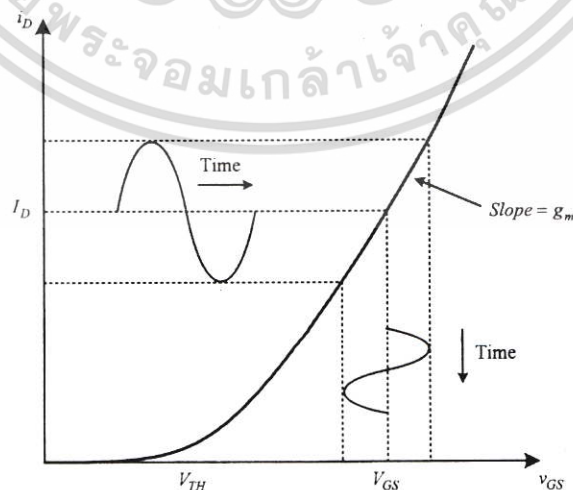
$$v_{ds} = i_d r_o - r_o g_m v_{gs} \quad (2.10)$$



รูปที่ 2.12 วงจรสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ [34]

ค่าความต้านทานทางด้านเอาต์พุตคือส่วนกลับค่าความชันของกราฟความสัมพันธ์ระหว่าง I_{DS} และ V_{DS} สามารถหาค่าได้ดังนี้

$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\lambda I_D} \quad (2.11)$$



รูปที่ 2.13 กราฟแสดงความสัมพันธ์ระหว่าง i_D และ v_{GS} [34]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าทรานส์คอนดักแตนซ์ (g_m) คือค่าความชันของกราฟดังรูปที่ 2.13 และถูกกำหนดด้วยค่าของกระแสเดรนและแรงดันระหว่างขาคาทและซอร์สซึ่งเขียนได้ดังนี้

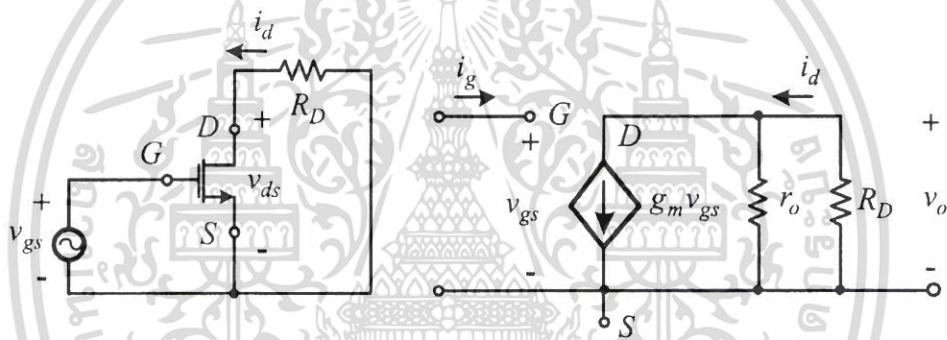
$$g_m = \frac{\partial i_D}{\partial v_{GS}} \quad (2.12)$$

กำหนดให้ $i_D \approx I_D$, $v_{GS} \approx V_{GS}$ และ $v_{DS} \approx V_{DS}$ ดังนั้นค่าทรานส์คอนดักแตนซ์สามารถหาค่าได้ดังนี้

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = 2K(V_{GS} - V_{TH}) \quad (2.13)$$

$$= \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (2.14)$$

โดยที่ $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$



รูปที่ 2.14 รูปวงจรสัญญาณขนาดเล็กของวงจรรขยาย [34]

จากรูปที่ 2.14 ค่าความต้านทานอินพุตของวงจรสัญญาณขนาดเล็กสามารถหาได้ดังนี้

$$R_i = \frac{v_{gs}}{i_g} = \infty \quad (2.15)$$

ความต้านทานทางด้านเอาต์พุตหาได้โดยใช้หลักการ Thevenin's equivalent พิจารณาทางด้านเอาต์พุตโดยที่ $v_{gs} = 0$ สามารถหาได้ดังนี้

$$R_o = r_o \parallel R_D \quad (2.16)$$

เขียนแรงดันเอาต์พุตของสัญญาณขนาดเล็ก (v_o) ได้ดังนี้

$$v_o = -g_m (r_o \parallel R_D) v_{gs} \quad (2.17)$$

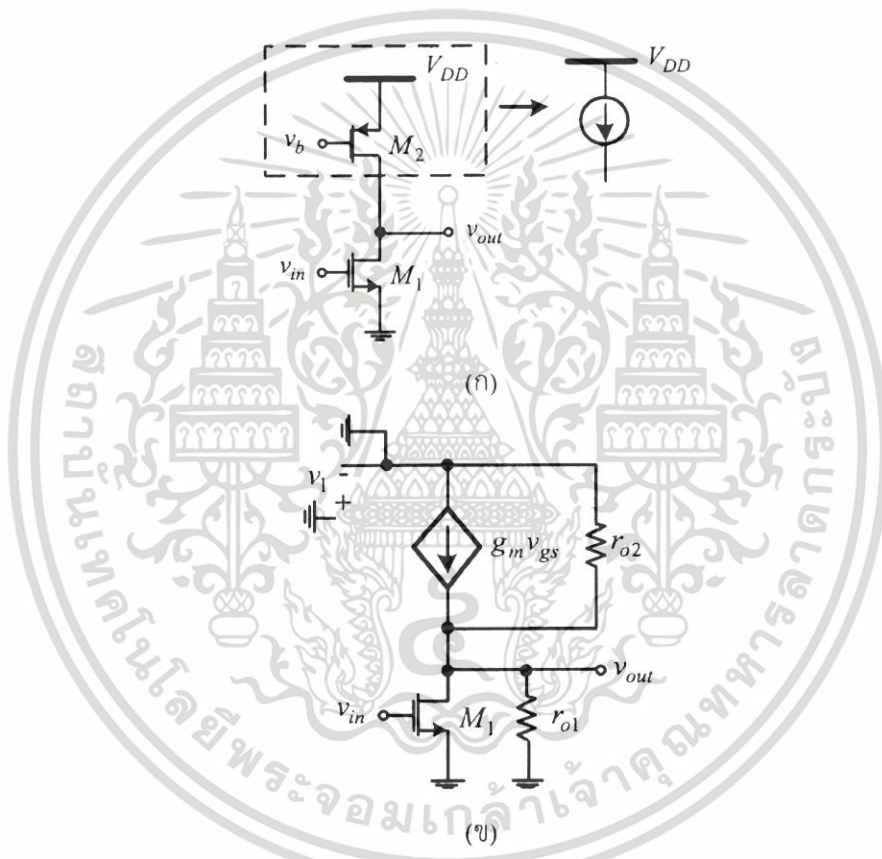
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และอัตราขยายของสัญญาณขนาดเล็กคือ

$$A_{vo} = \frac{v_o}{v_{gs}} = -g_m (r_o \parallel R_D) v_{gs} \quad (2.18)$$

ถ้าแทนค่า $r_o = V_M / I_D$ จะได้ว่า

$$A_{vo} = -g_m \left(\frac{V_M R_D}{V_M + I_D R_D} \right) \quad (2.19)$$



รูปที่ 2.15 (ก) ชุดแหล่งจ่ายกระแส โดยใช้ PMOS (ข) วงจรเสมือนขนาดเล็ก [32]

จากรูปที่ 2.15(ก) เป็นการใช้นิยาม PMOS แทนการใช้แหล่งจ่ายกระแสให้กับ NMOS พิจารณารูปที่ 2.15 (ข) เพื่อหาอัตราขยายของสัญญาณขนาดเล็กและความต้านทานทางด้านเอาต์พุต กำหนดให้แรงดันเกตและซอร์ส มีค่าคงที่ทำให้มอสทรานซิสเตอร์ M_2 ทำงานเป็นตัวต้านทานเพราะ $v_1 = 0$ และ $g_{m2}v_1 = 0$ ทำให้สามารถหาสมการได้ดังนี้

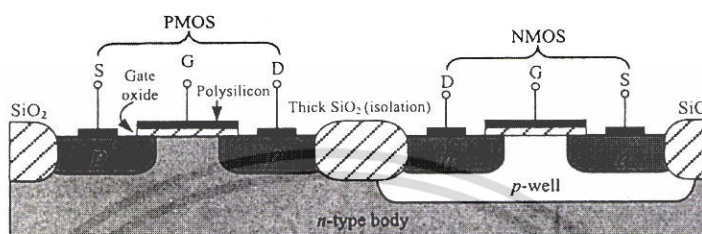
$$A_{vo} = -g_{m1} (r_{o1} \parallel r_{o2}) \quad (2.20)$$

$$R_{out} = r_{o1} \parallel r_{o2} \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

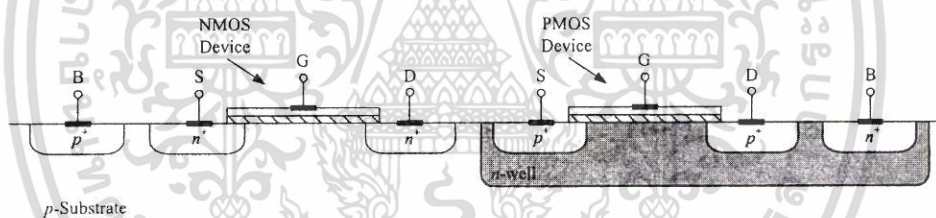
2.1.6 เทคโนโลยีของซีมอส

เทคโนโลยีซีมอส (CMOS: Complementary MOS) [32] เป็นการสร้างมอสทรานซิสเตอร์ชนิดเอ็น (NMOS) และมอสทรานซิสเตอร์ชนิดพี (PMOS) บนแผ่นสารตัวนำเดียวกัน มอสทรานซิสเตอร์ชนิดหนึ่งจะถูกสร้างอยู่ในบ่อฐานรอง (Well) โดยทั่วไปแล้วจะนิยมสร้างมอสทรานซิสเตอร์ชนิดพี ในบ่อฐานรองชนิดเอ็น (N-Well)



รูปที่ 2.16 วงจรรวมซีมอสสร้างบนฐานรองชนิดเอ็น [32]

จากรูปที่ 2.16 แสดงให้เห็นในส่วนของการสร้างซีมอสโดยใช้ทรานซิสเตอร์ PMOS และ NMOS โดยสังเกตได้ว่าทรานซิสเตอร์ PMOS สร้างได้บนฐานรองชนิดเอ็น (*n*-type body) ในขณะที่ทรานซิสเตอร์ NMOS ต้องสร้างบ่อพี (*p*-well)



รูปที่ 2.17 วงจรรวมซีมอสสร้างบนฐานรองชนิดพี [32]

จากรูปที่ 2.17 เป็นการสร้างซีมอสโดยใช้ทรานซิสเตอร์ PMOS ที่ล้อมรอบด้วยบ่อเอ็น (*n*-well) ในขณะที่ทรานซิสเตอร์ NMOS อยู่ในฐานรองชนิดพี (*p*-substrate)

เมื่อพิจารณาโมสทรานซิสเตอร์แบบเอ็นฮาซันเมนท์โหมดทางกายภาพในรูปที่ 2.16 และรูปที่ 2.17 เห็นได้ว่าวงจรรวมซีมอสประกอบไปด้วยช่องทางเดินกระแสชนิดเอ็นและช่องทางเดินกระแสชนิดพี ซึ่งจำเป็นอย่างมากในการทำให้ฐานรองชนิดเอ็นและชนิดพีในวงจรรวมซีมอสแยกจากกันทางไฟฟ้า ดังเช่นรูปที่ 2.16 ดังนั้นกระบวนการสร้างบ่อพีแยก (*p*-well) ถูกใช้เป็นเทคนิคการสร้างวงจรรวมซีมอส โดยเริ่มต้นจากการโดปสารซิลิคอนชนิดเอ็นต่ำๆ ซึ่งช่องทางเดินกระแสชนิดพีของมอสทรานซิสเตอร์ถูกสร้างขึ้น ต่อมาเป็นกระบวนการสร้างบ่อพีแยก โดยมีช่องทางเดินกระแสชนิดเอ็นของมอสทรานซิสเตอร์

2.2 การประมาณค่าแบบ Chebyshev และ Elliptic

โดยส่วนใหญ่ข้อกำหนดคุณสมบัติ (Specification) [1] ของวงจรกรองจะถูกกำหนดในรูปของผลตอบสนองทางความถี่ (Frequency response) ซึ่งประกอบด้วยผลตอบสนองทางขนาด (Magnitude response) และหรือผลตอบสนองทางเฟส (Phase response) โดยทั่วไปขั้นตอนการออกแบบวงจรกรองจะเริ่มที่การหาฟังก์ชันโครงข่าย (Network function) ที่สอดคล้องกับข้อกำหนดคุณสมบัติของวงจรโดยใช้ทฤษฎีการประมาณ (Approximation theory) แล้วจึงนำฟังก์ชันโครงข่ายที่ได้ไปทำการสังเคราะห์ให้เป็นวงจรต่อไป



รูปที่ 2.18 ขั้นตอนการออกแบบวงจรกรอง [1]

ทั้งนี้ถ้า $H(s)$ เป็นฟังก์ชันโครงข่ายของวงจรเชิงเส้นไม่แปรผันตามเวลา (Linear Time-Invariant) นั่นคือ

$$H(s) = \frac{a_0 + a_1s + a_2s^2 + \dots + a_ms^m}{b_0 + b_1s + b_2s^2 + \dots + b_ns^n} \quad (2.22)$$

โดย a_0, a_1, \dots, a_m และ b_0, b_1, \dots, b_n เป็นจำนวนจริง เราสามารถแสดงได้ว่า

$$H^*(j\omega) = H(-j\omega) \quad (2.23)$$

และเนื่องจาก $H(j\omega)$ เป็นจำนวนเชิงซ้อนดังนั้น

$$H(j\omega)H^*(j\omega) = |H(j\omega)|^2 \quad (2.24)$$

เมื่อแทนสมการ (2.22) ลงในสมการ (2.23) จะได้สมการ

$$H(j\omega)H(-j\omega) = |H(j\omega)|^2 \quad (2.25)$$

ซึ่งเมื่อแทน $\omega = s/j$ ลงในสมการข้างบนจะได้

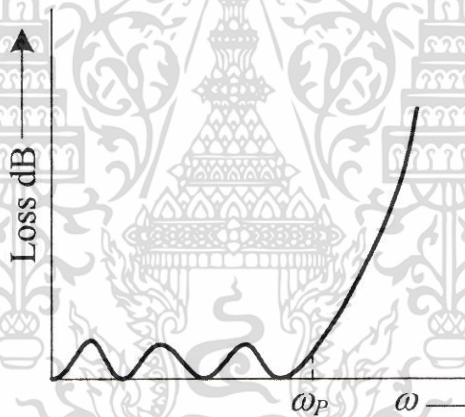
$$H(s)H(-s) = |H(s)|^2 \quad (2.26)$$

ทั้งนี้เราจะใช้สมการที่ (2.26) เพื่อช่วยในการหาฟังก์ชันโครงข่ายของวงจรกรองแบบต่าง ๆ

2.2.1 การประมาณค่าแบบ Chebyshev

การประมาณค่าแบบ Chebyshev [1] เป็นการประมาณค่าทางขนาด ผลตอบสนองทางความถี่ไม่เป็นโมโนโทนิคตลอดย่านความถี่ แต่จะมีความคมในการลดทอนสัญญาณในย่านความถี่เปลี่ยน (Transition band) ถ้ากำหนดให้ $C_n(\omega)$ คือฟังก์ชันทางคณิตศาสตร์ที่เรียกว่าโพลีโนเมียลแบบ Chebyshev อันดับที่ n นิยามทางคณิตศาสตร์ของ $C_n(\omega)$ คือ

$$C_n(\omega) = \begin{cases} \cos(n \cos^{-1} \omega), & 0 \leq \omega \leq 1 \\ \cosh(n \cosh^{-1} \omega), & \omega > 1 \end{cases}$$

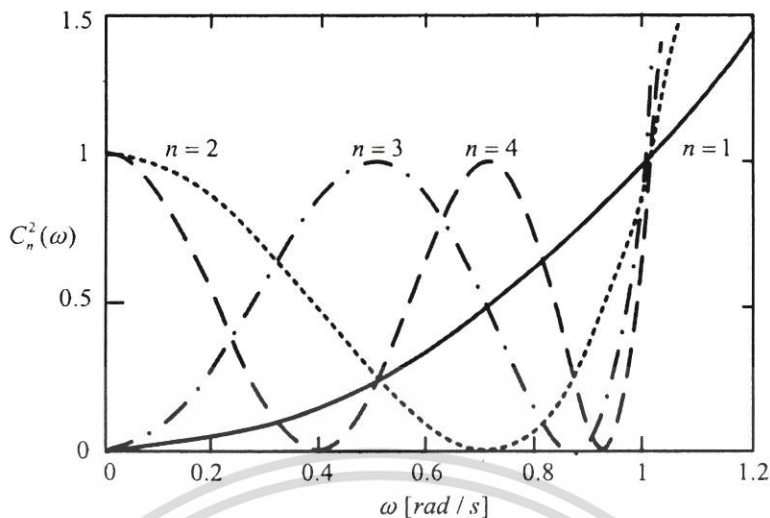


รูปที่ 2.19 คุณสมบัติของแถบความถี่ผ่านที่มีการกระเพื่อม [35]

นอกเหนือจากการแสดง $C_n(\omega)$ ในรูปของฟังก์ชันข้างบนนี้แล้วยังสามารถแสดงได้ด้วยว่า

$$\begin{aligned} C_1(\omega) &= \omega \\ C_2(\omega) &= 2\omega^2 - 1 \\ C_3(\omega) &= 4\omega^3 - 3\omega \\ &\vdots \\ C_{n+1}(\omega) &= 2\omega C_n(\omega) - C_{n-1}(\omega) \end{aligned} \quad (2.27)$$

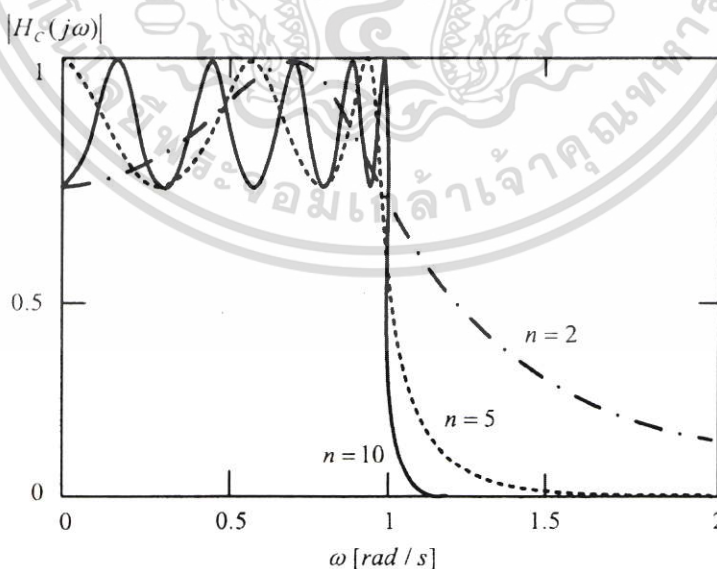
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 ค่าของ $C_n^2(\omega)$ เมื่อ $n = 1, 2, 3, 4$ [36]

สามารถแสดงได้ว่าผลตอบสนองทางขนาดที่อยู่ในรูปของฟังก์ชัน Chebyshev ดังแสดงในสมการที่ (2.32) ข้างล่างนี้จะเป็นผลตอบสนองทางขนาดแบบความถี่ต่ำผ่านที่มีลักษณะของการกระเพื่อมแบบเท่าเทียม (Equal Ripple) ในย่านความถี่ผ่านและมีการลดลงแบบโมนोटอนิก (Monotonic) ในย่านความถี่หยุด

$$|H_c(j\omega)| = \frac{H_{\max}}{\sqrt{1 + \epsilon^2 C_n^2(\omega)}} \tag{2.28}$$



รูปที่ 2.21 ผลตอบสนองทางขนาดแบบ Chebyshev เมื่อ $\epsilon = 1, H_{\max} = 1$ และ $n = 2, 5, 10$ [36]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.21 แสดงผลตอบสนองทางขนาดแบบ Chebyshev ในสมการที่ (2.28) ซึ่งเป็นผลตอบสนองทางขนาดที่ถูกนอร์มาไลซ์ (Normalized magnitude response) [36] ให้มีย่านความถี่ผ่านอยู่ในช่วง $0 \leq \omega \leq 1$ rad/s โดยเราสามารถสรุปคุณสมบัติในด้านต่างๆของผลตอบสนอง ดังกล่าวได้ดังนี้

1. ในกรณีที่ n เป็นจำนวนคี่ อัตราขยายไฟตรงเท่ากับ $H_0 = H_{\max}$
 ในกรณีที่ n เป็นจำนวนคู่ อัตราขยายไฟตรงเท่ากับ $H_0 = H_{\max} / \sqrt{1+\epsilon^2}$
2. ย่านความถี่ $0 \leq \omega \leq 1$ rad/s เรียกว่าย่านความถี่ผ่าน
3. ผลตอบสนองทางขนาดในย่านความถี่ผ่านจะมีลักษณะของการกระเพื่อมอย่างเท่าเทียม
4. ในย่านความถี่ผ่าน ผลตอบสนองทางขนาดจะกระเพื่อมอยู่ระหว่างค่า $H_{\max} / \sqrt{1+\epsilon^2}$ และ H_{\max} โดยในกรณีที่ n เป็นจำนวนคู่ ผลตอบสนองทางขนาดจะมีค่าเท่ากับ H_{\max} ที่ความถี่ $\omega = \cos(k\pi/2n)$ เมื่อ $k=1,3,\dots,n-1$ และในกรณีที่ n เป็นจำนวนคี่ ผลตอบสนองทางขนาดจะมีค่าเท่ากับ H_{\max} ที่ความถี่ $\omega = \cos(k\pi/2n)$ เมื่อ $k=1,3,\dots,n$
5. ความถี่ $\omega=1$ rad/s เรียกว่าความถี่ตัด
6. ที่ $\omega=1$ rad/s ผลตอบสนองทางขนาดจะเท่ากับ $H_{\max} / \sqrt{1+\epsilon^2}$ ไม่ว่าอันดับ n จะเป็นเท่าไรก็ตาม
7. ย่านความถี่ $1 \text{ rad/s} \leq \omega \leq \omega_s$ เรียกว่าย่านความถี่เปลี่ยน
8. ย่านความถี่ $\omega \leq \omega_s$ เรียกว่าย่านความถี่หยุด
9. ผลตอบสนองทางขนาดในย่านความถี่หยุดจะมีการลดลงอย่างโมโนโทนิค

เมื่อพิจารณาจะเห็นได้ว่าสำหรับ n ใด ๆ ผลตอบสนองทางขนาดแบบ Chebyshev จะทำให้เกิดความคมของการลดทอนสัญญาณในย่านความถี่เปลี่ยนมากกว่าแบบบัตเตอร์เวิร์ธ (Butterworth) สามารถแสดงได้ว่าโพลของฟังก์ชันโครงข่ายที่ทำให้เกิดผลตอบสนองทางความถี่ดังแสดงในสมการที่ (2.29) คือรากที่อยู่ทางซ้ายมือในระนาบเชิงซ้อนของสมการ

$$C_n^2\left(\frac{s}{j}\right) + \frac{1}{\epsilon^2} = 0 \quad (2.29)$$

เมื่อแทนสมการที่ (2.1) ลงในสมการที่ (2.4) จะได้สมการ

$$C_n\left(\frac{s}{j}\right) = \cos\left(n \cos^{-1} \frac{s}{j}\right) = \pm \frac{j}{\epsilon^2} \quad (2.30)$$

ดังนั้นถ้ากำหนดให้

$$w = u + jv = \cos^{-1} \frac{s}{j} \quad (2.31)$$

จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\cos n(u + jv) = \cos nu \cosh nv - j \sin nu \sinh nv = \pm \frac{j}{\varepsilon} \quad (2.32)$$

แทนความสัมพันธ์ $\cos(jx) = \cosh(x)$ ลงในสมการที่ (2.32) จะได้

$$\cos nu \cos jnv = 0 \quad (2.33)$$

และ

$$-\sin nu \sinh nv = \pm \frac{j}{\varepsilon^2} \quad (2.34)$$

จากสมการที่ (2.33) เนื่องจาก $\cosh nv > 0$ เสมอ ดังนั้น $\cos nu = 0$ หรือ

$$u_k = \frac{2k-1}{2n} \pi, \quad k = 1, 2, 3, \dots, n \quad (2.35)$$

ซึ่งจะทำให้ $\sin nu = \pm 1$ ดังนั้นจากสมการที่ (2.14) เราจะพบว่า $\sinh nv = \frac{1}{\varepsilon^2}$ หรือ

$$v = \frac{1}{n} \sinh^{-1} \frac{1}{\varepsilon} \quad (2.36)$$

ซึ่งจากสมการที่ (2.31), (2.35) และ (2.36) เราพบว่าโพลของฟังก์ชันโครงข่ายคือ

$$s = j \cos(u_k + jv) = \sin u_k \sinh v + j \cos u_k \cosh v \quad (2.37)$$

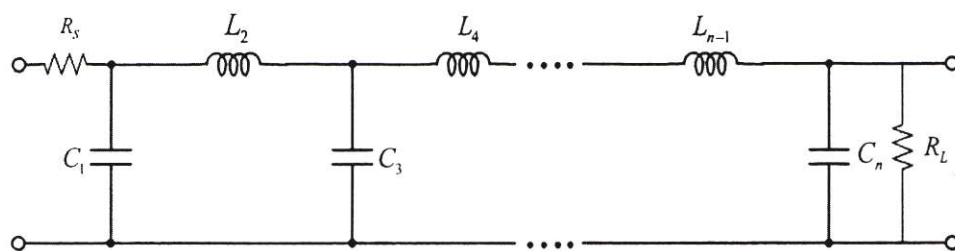
จากสมการที่ (2.35)–(2.37) สามารถสรุปได้ว่าตำแหน่งโพลของฟังก์ชันโครงข่ายแบบ Chebyshev คือ

$$p_k = \sigma_k + j\omega_k \quad (2.38)$$

โดย $\sigma_k = -\sin u_k \sinh v$ และ $\omega_k = \cos u_k \cosh v$

วงจรรองความถี่ต่ำผ่านแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev แสดงดังรูปที่ 2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 วงจรกรองความถี่ต่ำผ่านแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev

ค่าของอุปกรณ์แพสซีฟในวงจรกรองความถี่ต่ำผ่านแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev เมื่อกำหนดให้การกระเพื่อมเท่ากับ 0.5 dB และ 1dB แสดงดังตารางที่ 2.1 และตารางที่ 2.2 ตามลำดับ

ตารางที่ 2.1 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่าน Chebyshev มีค่าการกระเพื่อมเท่ากับ 0.5dB

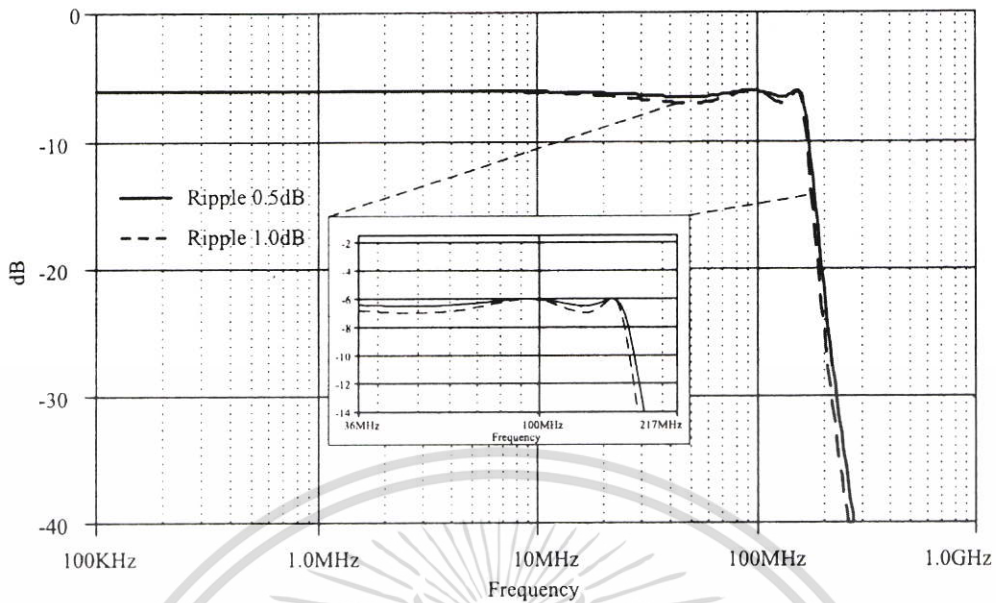
ORDER	Rl/Rs	C1	L2	C3	L4	C5	L6	C7
2	0.5	1.5132	0.6538					
3	1.0	1.5963	1.0967	1.5963				
4	0.5	1.8158	1.1328	2.4882	0.7732			
5	1.0	1.7058	1.2296	2.5408	1.2296	1.7058		
6	0.5	1.8786	1.1884	2.7589	1.2404	2.5976	0.7976	
7	1.0	1.7373	1.2582	2.6383	1.3443	2.6383	1.2582	1.7373
ORDER	Rs/Rl	L1	C2	L3	C4	L5	C6	L7

ตารางที่ 2.2 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่าน Chebyshev มีค่าการกระเพื่อมเท่ากับ 1dB

ORDER	Rl/Rs	C1	L2	C3	L4	C5	L6	C7
2	0.25	3.7779	0.3001					
3	1.0	2.0236	0.9941	2.0236				
4	0.25	4.5699	0.5428	5.3680	0.3406			
5	1.0	2.1349	1.0911	3.0009	1.0911	2.1349		
6	0.25	4.7366	0.5716	6.0240	0.5764	5.5353	0.3486	
7	1.0	2.1666	1.1115	3.0936	1.1735	3.0936	1.1115	2.1666
ORDER	Rs/Rl	L1	C2	L3	C4	L5	C6	L7

เมื่อนำค่าอุปกรณ์จากตารางที่ 2.1 และตารางที่ 2.2 โดยเลือกอันดับห้ามาทำการจำลองผล จะได้ผลดังรูปที่ 2.23

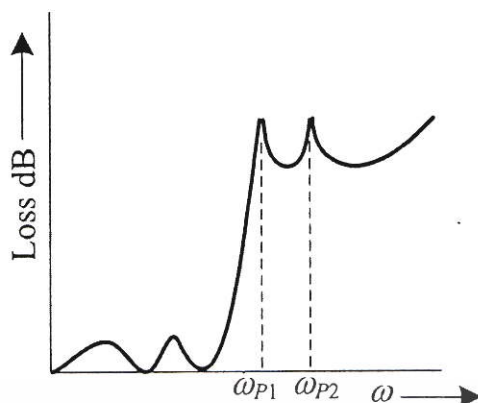
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 ผลลัพธ์จากการจำลองผลวงจรวงความถี่ต่ำผ่านต้นแบบ Chebyshev อันดับห้า

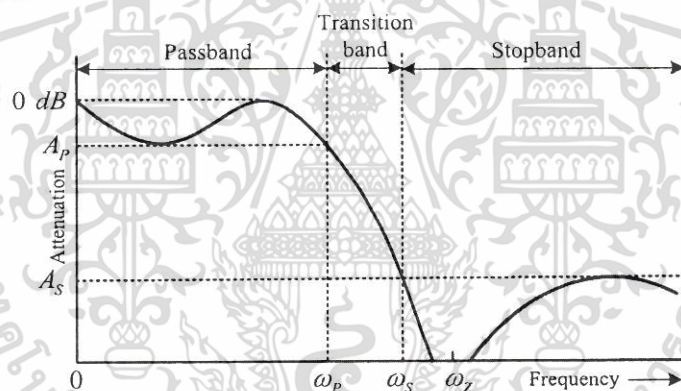
2.2.2 การประมาณค่าแบบ Elliptic

การประมาณค่า Elliptic ปกติแล้วจะใช้มากในการออกแบบตัวกรองความถี่โดยฟังก์ชันของการประมาณค่า Elliptic แสดงไว้ดังรูปที่ 2.24 ซึ่งสามารถบอกได้ถึงค่าของโพลในแถบความถี่หยุด ซึ่งในฟังก์ชันของ Elliptic นั้นจะเป็นของเศษส่วนที่มีทั้งค่าโพลและซีโรที่แน่นอน ขณะที่ Chebyshev เป็นพหุนามจะไม่มีโพลที่ความถี่อนันต์ ในส่วนของการประมาณค่า Elliptic นั้นจะที่ตั้งของโพลจะเป็นการเลือกขอบของแถบความถี่หยุด และ คุณสมบัติของการกระเพื่อมในแถบความถี่หยุด โดยโพลที่อยู่ใกล้กับขอบแถบความถี่หยุด (ω_{p1}) ซึ่งจะเป็นการเพิ่มความชัน ในช่วงการเปลี่ยนผ่าน และ โพลตัวถัดไป (ω_{p2} และ อนันต์) ใช้เป็นตัวกำหนดค่าระดับของการลดทอนในช่วงแถบความถี่หยุด จากการใช้ค่าโพลที่แน่นอน เราสามารถใช้การประมาณค่า Elliptic ออกแบบตัวกรอง ให้แถบความถี่หยุดมีความราบเรียบกว่าค่าการสูญเสียของ Chebyshev ในขณะที่อันดับของ Elliptic น้อยกว่าแบบ Chebyshev ทำให้ใช้อุปกรณ์น้อยกว่าในกรณีของตัวกรองสัญญาณ



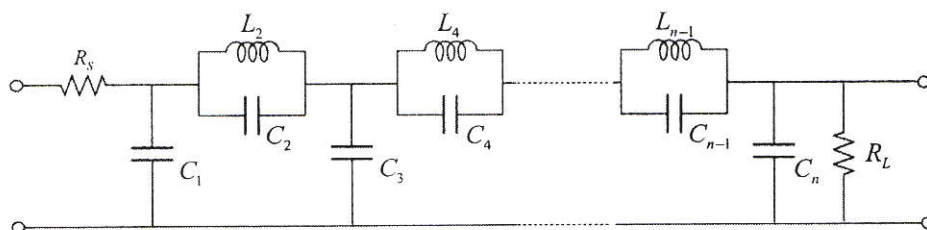
รูปที่ 2.24 คุณสมบัติการสูญเสียของการประมาณค่าอีลิปติก LPF [35]

ซึ่งการประมาณค่าแบบ Elliptic [37] เป็นการประมาณที่มีความคมของการลดทอนสัญญาณ ในย่านความถี่เปลี่ยนแปลงมากกว่าการประมาณแบบอื่นๆ ซึ่งลักษณะเด่นเฉพาะตัวของการประมาณแบบ Elliptic นี้คือจะมีการกระเพื่อมในผลตอบสนองทางความถี่ทั้งในแถบความถี่ผ่าน และแถบความถี่หยุด แสดงดังรูปที่ 2.25



รูปที่ 2.25 ผลตอบสนองทางความถี่ของการประมาณแบบ Elliptic [37]

การประมาณแบบ Elliptic เป็นการประมาณที่มีฟังก์ชันโครงข่ายคล้ายคลึงกับการประมาณแบบ Chebyshev โดยวงจรรองความถี่ต่ำผ่านแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Elliptic แสดงดังรูปที่ 2.26



รูปที่ 2.26 วงจรรองความถี่ต่ำผ่านแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Elliptic [9]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของอุปกรณ์แพสซีฟในวงจรกรองความถี่ต่ำผ่านแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Elliptic เมื่อกำหนดให้การกระเพื่อม (A_p) เท่ากับ 0.044 dB และ 0.177 dB แสดงดังตารางที่ 2.3 และ ตารางที่ 2.4 ตามลำดับ

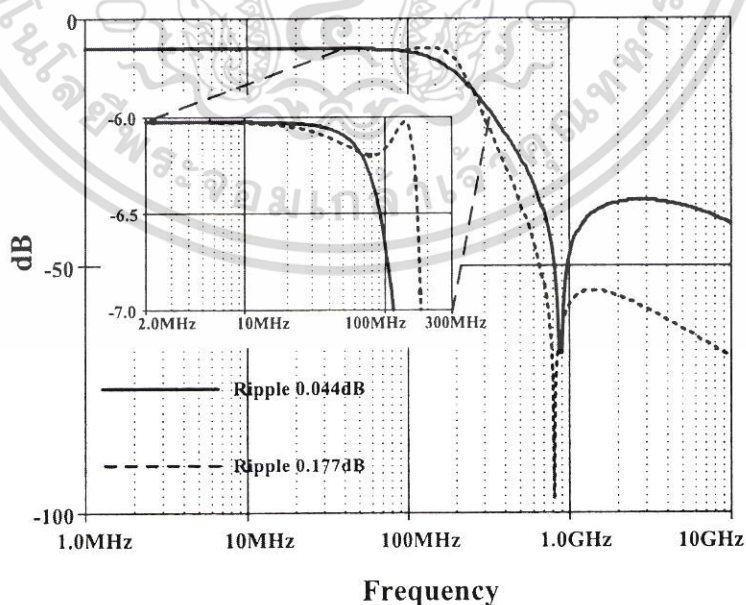
ตารางที่ 2.3 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสาม เมื่อมีการกระเพื่อม เท่ากับ 0.044 dB [37]

A_p	A_s	ω_s	C_1	C_2	L_2	C_3
0.044	73.5	14.34	0.8510	0.0033	1.0997	0.8521
0.044	62.9	9.57	0.8479	0.0075	1.0944	0.8479
0.044	49.6	5.76	0.8380	0.0211	1.0776	0.8380
0.044	34.1	3.24	0.8036	0.0712	1.0190	0.8036
0.044	28.8	2.67	0.7791	0.1097	0.9774	0.7791

ตารางที่ 2.4 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสาม เมื่อมีการกระเพื่อม เท่ากับ 0.177 dB [37]

A_p	A_s	ω_s	C_1	C_2	L_2	C_3
0.177	79.6	14.34	1.1870	0.0032	1.1507	1.1870
0.177	69.1	9.57	1.1839	0.0072	1.1464	1.1839
0.177	55.7	5.76	1.1740	0.0200	1.1326	1.1740
0.177	40.2	3.24	1.1395	0.0669	1.0844	1.1395
0.177	33.7	2.56	1.1080	0.1123	1.0404	1.1080

เมื่อนำค่าอุปกรณ์จากตารางที่ 2.3 และตารางที่ 2.4 มาทำการจำลองผลจะได้ผลดังรูปที่ 2.27



รูปที่ 2.27 ผลลัพธ์จากการจำลองผลวงจรกรองความถี่ต่ำผ่านต้นแบบ Elliptic อันดับสาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การแปลงโครงข่าย (Network Transformation)

การแปลงโครงข่าย (Network Transform) [15] เป็นการแปลงอุปกรณ์แอสซีฟจากวงจรกรองความถี่ต่ำผ่านแบบขั้นบันได ไปเป็นวงจรกรองความถี่ชนิดอื่น ๆ โดยใช้หลักการแปลงอุปกรณ์ ตัวเก็บประจุ และขดลวดเหนี่ยวนำ

2.3.1 การแปลงโครงข่ายจากวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองแถบความถี่ผ่าน

ใช้การรูปแบบการแปลง ดังสมการที่ (2.39)

$$s_n \rightarrow \frac{1}{s + \frac{1}{s}} = \frac{s}{s^2 + 1} \quad (2.39)$$

เป็นการแปลงจากสมการวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองแถบความถี่ผ่านด้วยความกว้างของช่วงการใช้งานที่เท่ากัน โดยจะยกตัวอย่างที่เท่ากับหนึ่ง โดยวงจรกรองแถบความถี่ผ่านจะมีความถี่ตัดสองฝั่ง คือ Ω_{c1} และ Ω_{c2} ดังนี้

$$\Omega_{c1} \Omega_{c2} = 1$$

และ

$$\Omega_0^2 = \Omega_{c1} \Omega_{c2} = 1 \quad (2.40)$$

โดย Ω_0 คือ ความถี่กลางของวงจรกรองแถบความถี่ผ่าน และแผนภาพช่วงการใช้งานถูกแสดงในรูปที่ 2.28 (ก)

แบนด์วิธของช่วงความถี่ใช้งาน คือ

$$\Omega_{c2} - \Omega_{c1} = 1 \quad (2.41)$$

ดังนั้นการเท่ากันของวงจรกรองความถี่ต่ำผ่าน นำสมการที่ (2.40) และ (2.41) เพื่อหา Ω_{c1} และ Ω_{c2} ดังสมการ

$$\begin{aligned} |\Omega_{c1}| &= -\frac{1}{2} + \frac{\sqrt{5}}{2} \\ |\Omega_{c2}| &= \frac{1}{2} + \frac{\sqrt{5}}{2} \end{aligned} \quad (2.42)$$

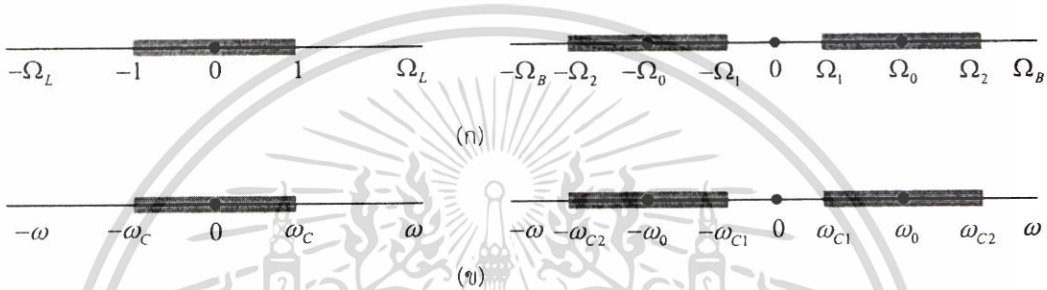
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้รูปแบบการแปลงในการยกตัวอย่าง ก่อนที่จะพิจารณาฟังก์ชันของวงจรรองความถี่ต่ำผ่านในสมการที่ (2.43) จะแปลงเป็นฟังก์ชันในสมการที่ (2.44)

$$F(s_n) = \frac{1}{s_n + 1} \quad (2.43)$$

$$F(s) = \frac{s}{s^2 + s + 1} \quad (2.44)$$

ซึ่งช่วงความถี่ใช้งาน ตั้งแต่ 0 ($\Omega = 0$) และ ∞



รูปที่ 2.28 การแปลงวงจรรองความถี่ต่ำผ่านไปเป็นวงจรรองแถบความถี่ผ่าน (ก) (ข)

การทำให้อยู่ในรูปแบบของฟังก์ชันวงจรรองแถบความถี่ผ่าน โดยความถี่กลาง (ω_0) คือการแทน ω / ω_0 ใน Ω ในสมการที่ (2.40) ถึง (2.42) รูปแบบของฟังก์ชันจะเป็นดังนี้

$$B = \omega_{c2} - \omega_{c1} = \omega_0 \quad (2.45)$$

ถ้าแบนด์วิธควรจะเป็น ω_0 รูปแบบการแปลงถูกปรับปรุง ดังนั้นรูปแบบโดยตรงของฟังก์ชันวงจรรองแถบความถี่ผ่านจากฟังก์ชันวงจรรองความถี่ต่ำผ่านปกติ โดยเป็นดังสมการที่ (2.46)

$$s_n \rightarrow \frac{\omega_0}{B} \left(\frac{s}{\omega_0} + \frac{\omega_0}{s} \right) \quad (2.46)$$

สมการที่สอดคล้องกับช่วงความถี่ใช้งานและช่วงความถี่หยุดถูกแสดงในรูปที่ 2.28 (ข) ดังนี้






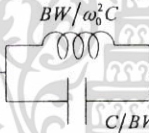
$$\omega_0^2 = \omega_{c1} \omega_{c2} \quad (2.47)$$

$$B = \omega_{c2} - \omega_{c1} \quad (2.48)$$

2.3.2 องค์ประกอบของการแปลงโครงข่ายจากวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองแถบความถี่ผ่าน

ในกรณีของวงจรกรองแพลสซีฟ ซึ่งจะไม่รวมวิธีการในกรณีของวงจรกรองแบบแอคทีฟ ดังนั้นวงจรกรองแถบความถี่ผ่านแปลงมาจากวงจรกรองความถี่ต่ำผ่าน โดยรูปแบบการแปลงองค์ประกอบสามารถดูได้จากตารางที่ 2.5

ตารางที่ 2.5 การแปลงอุปกรณ์จากวงจรกรองความถี่ต่ำผ่านให้เป็นวงจรกรองความถี่แถบผ่าน [15]

Low pass filter		Band pass filter	
Device	Impedance	Device	Impedance
 R	R	 R	R
 L	sL	 L/BW $BW/\omega_0^2 L$	$\frac{sL}{BW} + \frac{BW}{\omega_0^2 L}$
 C	$\frac{1}{sC}$	 $BW/\omega_0^2 C$ C/BW	$\frac{1}{\frac{sC}{BW} + \frac{\omega_0^2 C}{s \cdot BW}}$

ซึ่งการแปลงวงจรต้นแบบจากวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองแถบความถี่ผ่านจะแสดงในหัวข้อที่ 2.5

2.4 อินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสีย

2.4.1 อินทิเกรเตอร์ชนิดสูญเสีย

อินทิเกรเตอร์ชนิดสูญเสีย สามารถเรียกอีกชื่อหนึ่งได้คือ วงจรกรองความถี่ต่ำผ่าน ในการวิเคราะห์โครงข่ายส่วนที่ต้องให้ความสำคัญในการวิเคราะห์ คือ เฟส (Phase) และขนาด (Magnitude) เทียบกับความถี่ที่ถูกวิเคราะห์ [35] ซึ่งทำได้โดยการพล็อตกราฟ โดยฟังก์ชันโครงข่ายสามารถเขียนได้ดังสมการ

$$H(s) = \frac{N(s)}{D(s)} = k \frac{\prod_{i=1}^n (s - z_i)}{\prod_{i=1}^m (s - p_i)} \quad (2.49)$$

โดยที่ค่าของโพลและซีโรสามารถเป็นได้ทั้งค่าจำนวนจริงหรือเชิงซ้อนจึงต้องเขียนสมการให้อยู่ในรูปของขนาด $H(j\omega)$ ในรูปของเดซิเบล (Decibel) ได้เป็น

$$\text{Magnitude} = 20 \log_{10} |H(j\omega)| \quad (2.50)$$

$$\text{Magnitude} = 20 \log_{10} |k| + \sum_{i=1}^n 20 \log_{10} |j\omega - z_i| - \sum_{i=1}^m 20 \log_{10} |j\omega - p_i| \quad (2.51)$$

และเฟสในรูปขององศาหรือเรเดียน (Radians) สามารถเขียนได้เป็น

$$\text{Phase} = \tan^{-1} \frac{I_m H(j\omega)}{R_e H(j\omega)} \quad (2.52)$$

$$\text{Phase} = \sum_{i=1}^n \tan^{-1} \left(\frac{I_m(j\omega - z_i)}{R_e(j\omega - z_i)} \right) - \sum_{i=1}^m \tan^{-1} \left(\frac{I_m(j\omega - p_i)}{R_e(j\omega - p_i)} \right) \quad (2.53)$$

การคำนวณแบบละเอียดทำให้เห็นว่ามีคามยุ่งยาก ซึ่งโดยส่วนมากแล้วใช้การประมาณการเพื่อนำมาพล็อตกราฟซึ่งสามารถใช้ได้เช่นกัน ในการประมาณการพล็อตกราฟในลักษณะของฟังก์ชันขนาดและเฟสจะเรียกกันว่าการพล็อต Bode (Bode Plot) ซึ่งเป็นวิธีการที่ไม่ยุ่งยากมากนัก

ในตัวประกอบของรูปแบบ $N(s)$ หรือ $D(s)$ ได้แก่

1. ตัวประกอบ $s + \alpha$ แทนในรากจริง

ใช้การวิเคราะห์ตัวประกอบ $s + \alpha$ แทนในรากจริง เนื่องจากใช้โครงข่ายการส่งผ่านลำดับที่หนึ่ง โดยการวิเคราะห์ตัวประกอบ $s + \alpha$

ถ้าฟังก์ชัน $H(s) = s + \alpha$ สามารถนำมาหาค่าขนาดและเฟสได้โดย

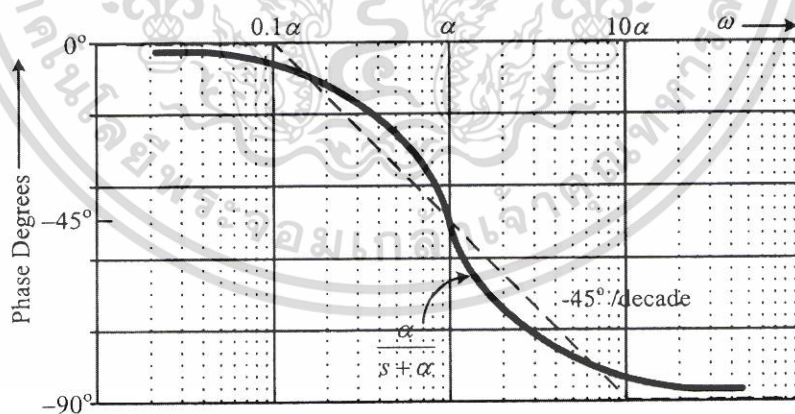
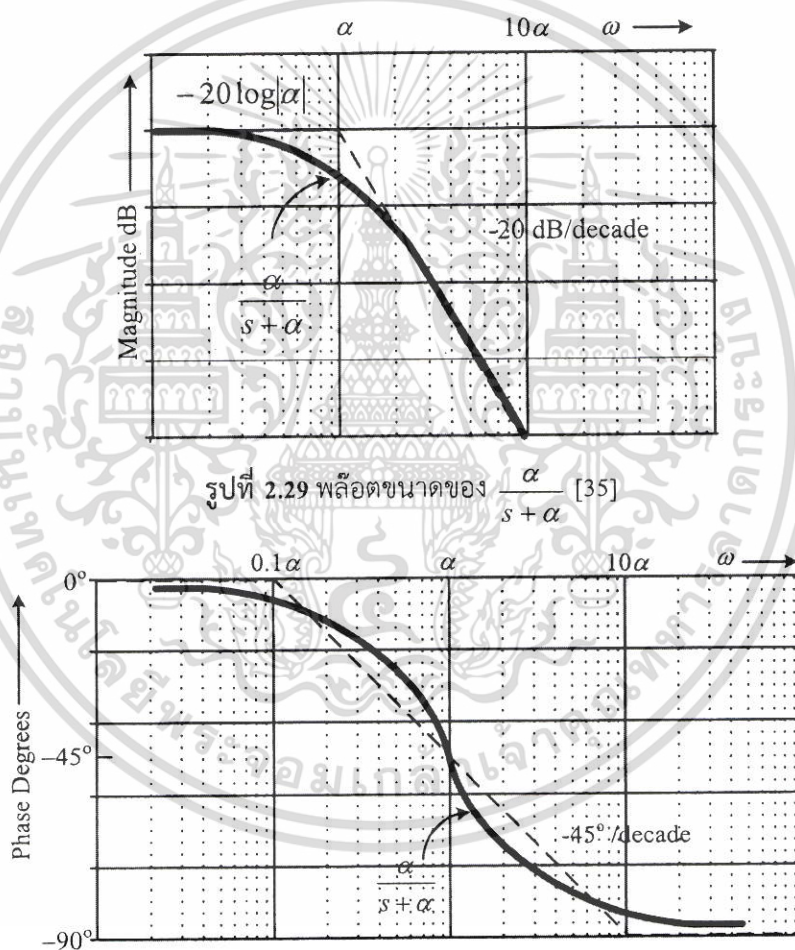
$$\text{Magnitude} = 20 \log_{10} |j\omega + \alpha| = 20 \log_{10} (\omega^2 + \alpha^2)^{\frac{1}{2}} \quad (2.54)$$

$$Phase = \tan^{-1}\left(\frac{\omega}{\alpha}\right) \quad (2.55)$$

ใช้การวิเคราะห์ด้วยส่วนกลับของตัวประกอบกรณี 1 ซึ่งตรงกับสมการส่งผ่านของวงจรกรองความถี่ต่ำผ่านลำดับที่หนึ่งโดยพล็อตขนาดและเฟสของ $\frac{\alpha}{s + \alpha}$

จากสมการที่ (2.55) ณ เส้นกราฟแสดงเฟสจากความถี่ 0° ไปจนถึงความถี่สูงที่ 90° ที่เป็นจริงแสดงไว้ดังรูปที่ 2.29 เป็นเส้นทึบและเส้นประ เป็นเส้นที่ประมาณค่าซึ่งประมาณ $45^\circ/\text{decade}$ ปรากฏว่าที่ความถี่ $\omega = \alpha$ เฟสเลื่อนไป 45°

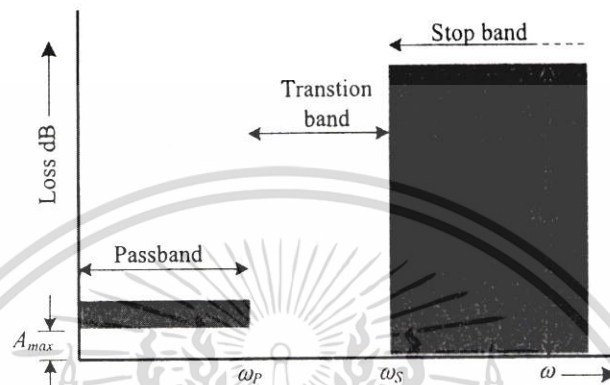
ส่วนขนาดและเฟสของกรณีโพลเป็น $s = -\alpha$ โดยแทนสมการด้วย $\frac{\alpha}{s + \alpha}$ จะแสดงไว้ในรูปที่ 2.29 และรูปที่ 2.30 ตามลำดับ



ฟังก์ชันพื้นฐานของวงจรกรองความถี่ต่ำผ่าน ยอมให้ความถี่ต่ำผ่านได้โดยมีค่าการสูญเสีย (Loss) ต่ำมาก แต่ที่ความถี่สูงนั้นทำหน้าที่เป็นตัวลดทอนสัญญาณ (Attenuator) คุณสมบัติทั่วไปของวงจรกรองความถี่ต่ำผ่านถูกแสดงในรูปที่ 2.31 วงจรกรองความถี่ต่ำผ่านทำหน้าที่ผ่านสัญญาณ ตั้งแต่ย่าน DC ไปจนถึงจุดความถี่คัตออฟ (Cut-off) (ω_p) มีการลดทอนเท่ากับ $\max A$ (dB) ถูกเรียกว่า

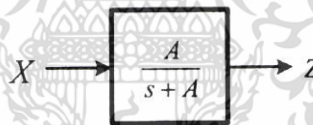
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แถบความถี่ผ่าน (Pass Band) และ เมื่อความถี่สูงกว่า ω_s มีการลดทอนเท่ากับ $\max A$ (dB) ย่านความถี่จาก ω_s ไปจนถึงความถี่อนันต์ถูกเรียกว่าแถบความถี่หยุด (Stop Band) และ ω_s เรียกว่าขอบความถี่หยุด ช่วงความถี่ระหว่าง ω_p ไปจนถึง ω_s ถูกเรียกว่าแถบเปลี่ยนผ่านความถี่ (Transition Band)



รูปที่ 2.31 คุณสมบัติของวงจรกรองความถี่ต่ำผ่าน (LPF)

จากฟังก์ชันในรูปที่ 2.29 สามารถเขียนเป็นบล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดสูญเสีย โดยแทนค่า $\alpha = A$ ได้ดังนี้



รูปที่ 2.32 บล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดสูญเสีย

โดยสามารถเขียนฟังก์ชันการถ่ายโอนได้ดังสมการ

$$\frac{Z}{X} = \frac{A}{s+A} \quad (2.56)$$

2.4.2 อินทิเกรเตอร์ชนิดไม่สูญเสีย

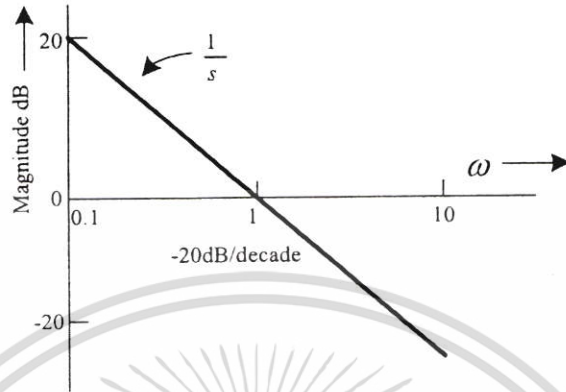
พิจารณาเมื่อรากที่จุดกำเนิด คือ ค่าขนาดและเฟสของโพลที่จุดกำเนิดแทนที่ด้วย $H(s)$ ทำให้

$$\text{Magnitude} = 20 \log_{10} \left| \frac{1}{j\omega} \right| = -20 \log \omega \quad (2.57)$$

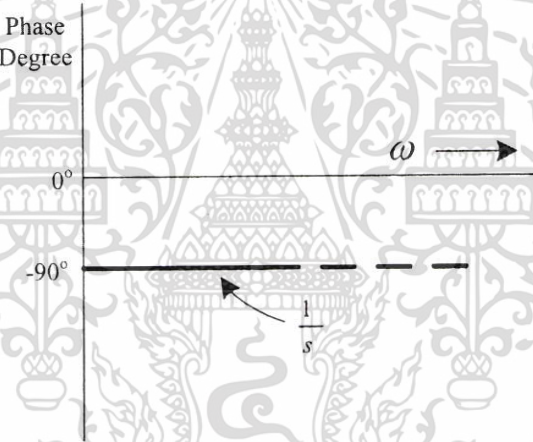
$$\begin{aligned} \text{Phase} &= \tan^{-1}(0) - \tan^{-1}\left(\frac{\omega}{0}\right) \\ &= -90^\circ \end{aligned} \quad (2.58)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากขนาดและเฟสที่ได้สามารถนำไปพล็อตได้เป็นดังรูปที่ 2.33 และรูปที่ 2.34 สังเกตได้ว่าค่าขนาดจะลดลง 20 dB เมื่อความถี่เพิ่มขึ้น 10 เท่า หรือพูดอีกอย่างหนึ่งคือ ขนาดลดลง 6 dB เมื่อความถี่เพิ่มขึ้น 2 เท่า ซึ่ง ความชันดังกล่าวนี้ คือ -20 dB/decade หรือ เท่ากับ -6dB/octave นั่นเอง

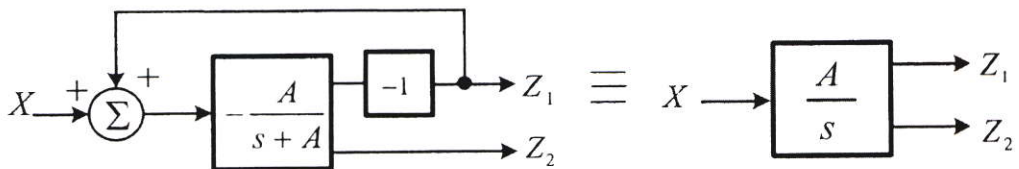


รูปที่ 2.33 พล็อตขนาดของ $\frac{1}{s}$ [35]



รูปที่ 2.34 พล็อตเฟสของ $\frac{1}{s}$ [35]

การสร้างวงจรมินทิเกรเตอร์แบบไม่สูญเสีย (Lossless integrator) สามารถทำได้โดยการต่อวงจรรยายแบบกลับเฟสที่เอาต์พุต แล้วป้อนกลับมายังอินพุตดังในรูปที่ 2.35 จากวิธีการดังกล่าวสามารถสร้างอินทิเกรเตอร์แบบไม่สูญเสียที่มีเอาต์พุตเป็น Z_1 และ Z_2 โดยมีเฟสต่างกัน



รูปที่ 2.35 การสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียจากอินทิเกรเตอร์ชนิดสูญเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

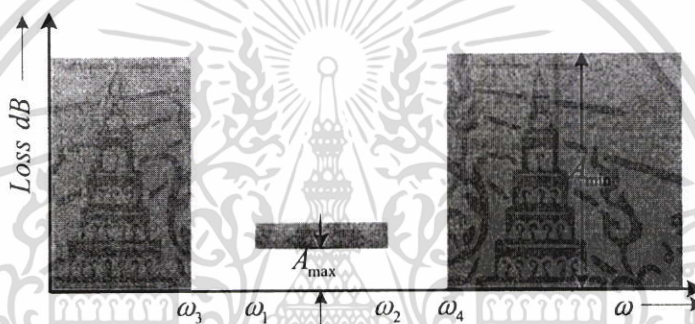
สามารถเขียนฟังก์ชันการถ่ายโอนได้ดังสมการ

$$\frac{Z_1}{X} = \frac{A}{s} \tag{2.59}$$

$$\frac{Z_2}{X} = -\frac{A}{s} \tag{2.60}$$

2.5 วงจรกรองแถบความถี่ผ่าน

วงจรกรองแถบความถี่ผ่าน เป็นวงจรกรองที่มีคุณสมบัติ คือ ในช่วงแถบความถี่ผ่านจะมีค่าสูญเสียต่ำมาก และขณะเดียวกันในช่วงแถบความถี่หยุดจะมีค่าการสูญเสียที่สูงมาก กล่าวคือ จะไม่ยอมให้ความถี่ในช่วงแถบความถี่หยุดผ่านไปได้ แสดงดังรูปที่ 2.36

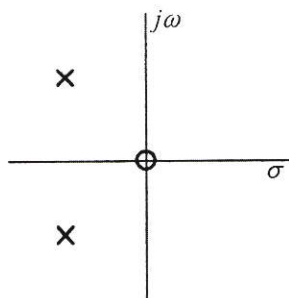


รูปที่ 2.36 คุณสมบัติของวงจรกรองแถบความถี่ผ่าน [35]

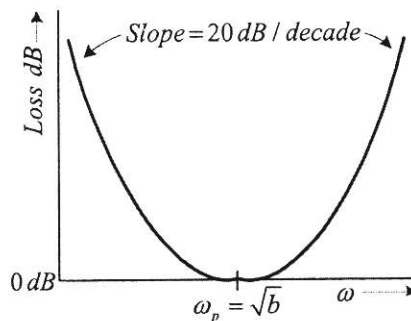
จากรูปที่ 2.36 แถบความถี่ผ่านจาก ω_1 ไปจนถึง ω_2 จะมีค่าการลดทอนเท่ากับ A_{max} (dB) ซึ่งจะมีอยู่สองค่า คือ ค่าความถี่ DC ไปจนถึง ω_3 และ ω_4 ไปจนถึง ∞ จะมีค่าการลดทอนเท่ากับ A_{min} (dB) โดยสมการการส่งผ่านของวงจรกรองแถบความถี่ผ่านอันดับ แสดงดังสมการที่ (2.61)

$$\frac{V_o}{V_{in}} = \frac{as}{s^2 + as + b} = \frac{\frac{\omega_p}{Q_p} s}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \tag{2.61}$$

จากสมการที่ (2.61) จะมีโพลอยู่ด้านซ้ายของระนาบ s และซีโร อยู่ที่จุดกำเนิด ดังรูปที่ 2.37 (ก) ที่ความถี่ต่ำและความถี่สูง ส่วนในค่าการสูญเสียจะเพิ่มขึ้นเท่ากับ s หรือเท่ากับ 20 dB/decade และที่ความถี่โพล $\omega_p = \sqrt{b}$ จะมีค่าการสูญเสียเท่ากับ 1 แสดงดังรูปที่ 2.37 (ข)



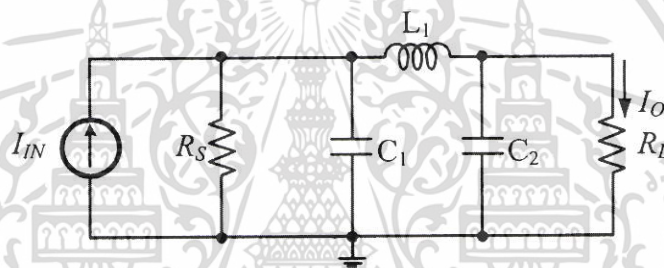
(ก) ตำแหน่งโพล - ซีโร่



(ข) คุณสมบัติการสูญเสีย

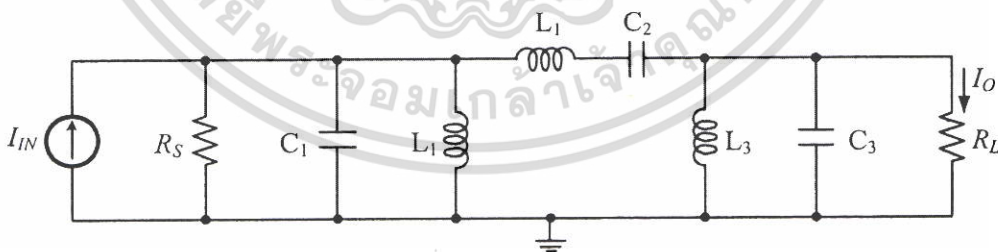
รูปที่ 2.37 วงจรกรองความถี่แถบผ่านอันดับสอง [35]

การออกแบบวงจรกรองแถบความถี่ผ่านอันดับสูงจะทำได้โดยการแปลงจากวงจรกรองความถี่ต่ำผ่านอันดับสูงด้วยวิธีการแปลงโครงข่ายในหัวข้อที่ 2.3 ซึ่งจะยกตัวอย่าง การออกแบบวงจรกรองแถบความถี่ผ่าน ซึ่งจะใช่วงจรกรองความถี่ต่ำผ่านอันดับสามเป็นต้นแบบ ดังรูปที่ 2.38



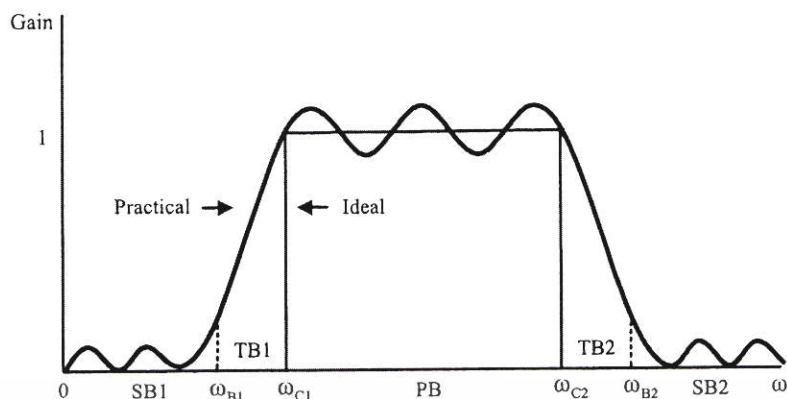
รูปที่ 2.38 วงจรกรองความถี่ต่ำผ่านอันดับสาม

เมื่อทำการแปลงวงจรกรองความถี่ต่ำผ่านอันดับสามด้วยวิธีการแปลงองค์ประกอบของวงจรตามตารางที่ 2.5 จะได้เป็นวงจรกรองแถบความถี่ผ่านดังรูปที่ 2.39



รูปที่ 2.39 วงจรกรองแถบความถี่ผ่าน

วงจรกรองแถบความถี่ผ่าน [35] โดยทั่วไปแล้วในการสร้างวงจรใด ๆ เราไม่สามารถสร้างวงจรแบบอุดมคติได้ ดังนั้นรูปที่ 2.40 จึงแสดงผลตอบสนองทางขนาดของวงจรกรองแถบความถี่ผ่านที่ใช้งานจริง โดยแถบความถี่ผ่านจะอยู่ ระหว่างตรงกลางระหว่างความถี่หยุดสองแถบที่อยู่ต่ำกว่าและสูงกว่า



รูปที่ 2.40 ผลตอบสนองทางขนาดของวงจรกรองแถบความถี่ผ่านแบบอุดมคติและแบบใช้งานจริง

2.6 บทสรุป

ในบทที่ 2 นี้กล่าวถึง ทฤษฎีที่เกี่ยวข้อง ประกอบด้วย มอสมทรานซิสเตอร์ การประมาณค่าแบบ Chebyshev และ Elliptic การแปลงโครงข่าย (Network Transformation) อินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสียและวงจรกรองแถบความถี่ผ่านซึ่งการออกแบบจะถูกกล่าวถึงในบทที่ 4 ต่อไป

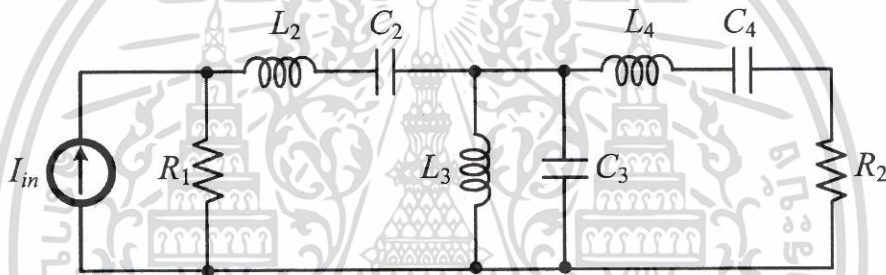
บทที่ 3

งานวิจัยที่เกี่ยวข้อง

3.1 วงจรกรองแถบความถี่ผ่าน Chebyshev

3.1.1 วงจรกรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสดชนิดชั้นบันไดโดยใช้วงจรคู่ไบควอด

ในปี 1998 Jie Wu และ Ezz I. El-Masry [39] ได้นำเสนอ การออกแบบวงจรกรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสดชนิดชั้นบันไดโดยใช้วงจรคู่ไบควอด สร้างขึ้นจากโอทีเอโดยนำโอทีเอ ไปสร้างเป็นวงจรไบควอด ต่อมาจึงนำวงจรไบควอดที่ได้ไปสร้างเป็นวงจรกรองแถบความถี่ผ่านอันดับหก รูปแบบกระแสดชนิดชั้นบันได



รูปที่ 3.1 วงจรกรองแถบความถี่ผ่าน RLC ต้นแบบ

จากรูปที่ 3.1 ทำการวิเคราะห์วงจรโดยใช้วิธีการสังเคราะห์แบบแขนงกระแส โดยสามารถเขียนฟังก์ชันถ่ายโอนได้ดังนี้

$$T_1 = \frac{R_1}{Z_0} \tag{3.1}$$

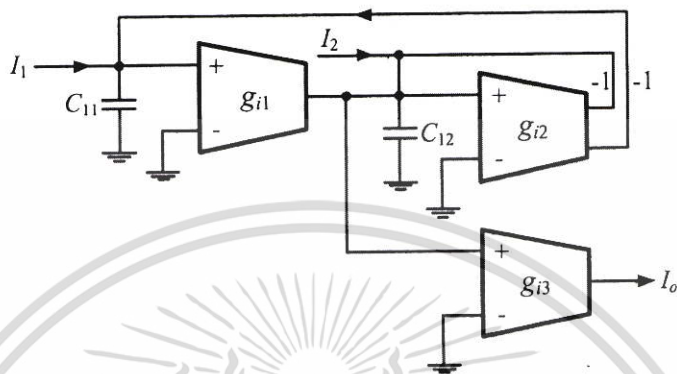
$$T_2 = \frac{Z_0}{sL_2 + 1/(sC_2)} \tag{3.2}$$

$$T_3 = \frac{1/Z_0}{sC_3 + 1/(sL_3)} \tag{3.3}$$

$$T_4 = \frac{Z_0}{sL_4 + 1/(sC_4)} \tag{3.4}$$

$$T_5 = \frac{R_2}{Z_0} \tag{3.5}$$

กำหนดให้ $Z_0 = R_0 = R_1 = R_2$ และ $\omega^2 = 1/(L_1 C_1)$ จากสมการที่ (3.1)-(3.5) สามารถนำไปสร้างเป็นวงจรกรองแถบความถี่ผ่านอันดับหกรูปแบบกระแสชนิดขั้นบันได โดยใช้วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ ดังแสดงในรูปที่ 3.2



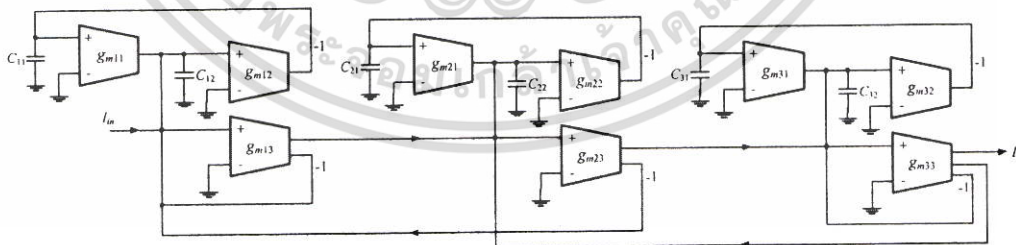
รูปที่ 3.2 วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ

วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ มีฟังก์ชันถ่ายโอน สามารถเขียนได้ดังนี้

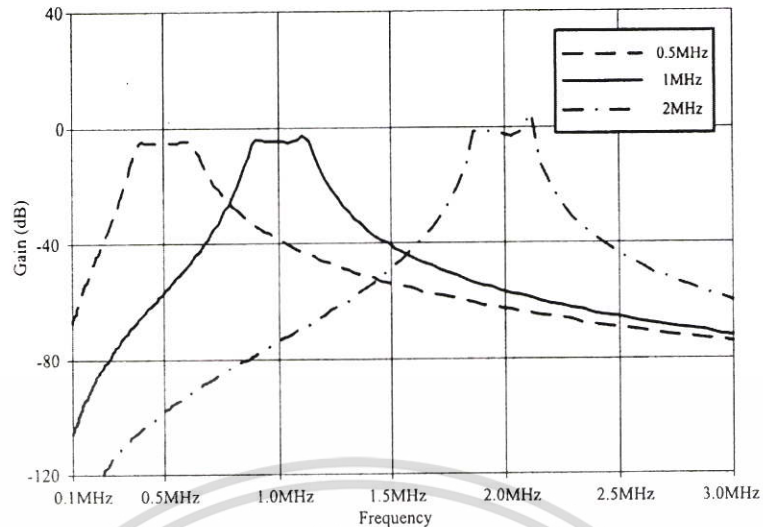
$$I_o = \frac{I_1 g_{i1} g_{i3} / C_{11} C_{12} + I_2 g_{i3} s / C_{12}}{s^2 + s g_{i2} / C_{12} + g_{i1} g_{i2} / C_{11} C_{12}} \quad (3.6)$$

วงจรนี้สามารถสร้างเป็นวงจรกรองความถี่ต่ำผ่านอันดับสองทำได้โดยกำหนด $I_2 = 0$ และวงจรกรองแถบความถี่ผ่านทำได้โดยการกำหนด $I_1 = 0$

จากรูปที่ 3.1 สามารถจำลองการทำงานของวงจร RLC ดันแบบ โดยใช้วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ เป็นวงจรกรองแถบความถี่ผ่านอันดับที่หกดังรูปที่ 3.3



รูปที่ 3.3 วงจรกรองแถบความถี่ผ่านอันดับหกประเภทกระแสชนิดขั้นบันไดโดยใช้วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ

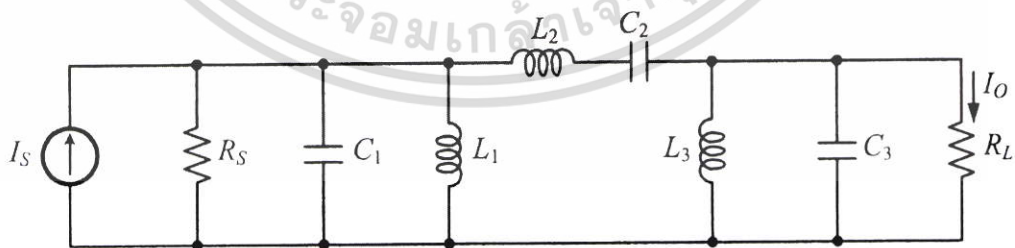


รูปที่ 3.4 ผลตอบสนองของวงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสชนิดชั้นบันไดโดยใช้
วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ

เห็นได้ว่าวงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสชนิดชั้นบันไดโดยใช้วงจรไบควอดแบบที่ 1 สร้างจากโอทีเอ มีข้อเสียคือ การใช้โอทีเอ จำนวนมากถึง 9 ตัว ซึ่งเมื่อนำมาสร้างเป็นวงจรรวมจะมีขนาดใหญ่ และมีผลตอบสนองทางความถี่ต่ำกว่า 2.5 MHz แต่มีข้อดีคือสามารถปรับความถี่กลางและปรับช่วงความถี่ใช้งานของวงจรได้

3.1.2 วงจรกรองแถบความถี่ผ่านอันดับหกโดยใช้วงจร CDBAs

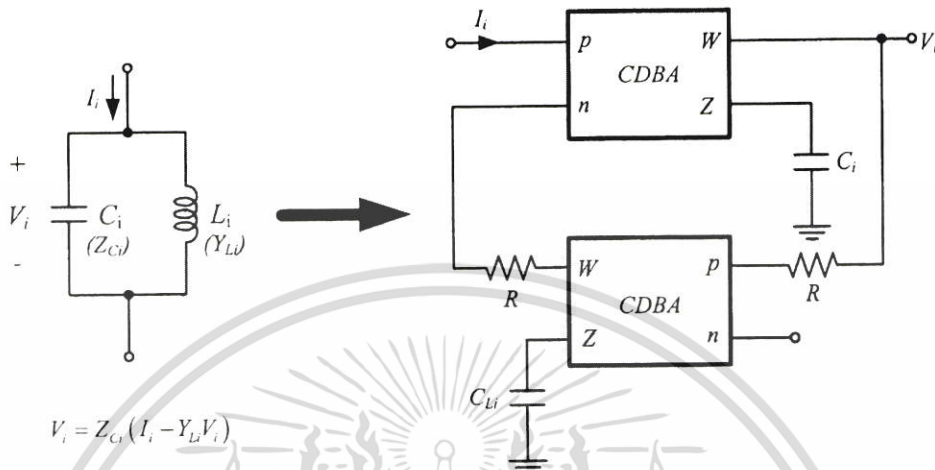
ในปี 2003 W. Tangsirirat W. Surakamponorn และ N. Fujii [40] ได้นำเสนอการออกแบบวงจรกรองแถบความถี่ผ่านอันดับหกโดยใช้ CDBAs โดยใช้หลักการแปลงอุปกรณ์แพสซีฟไปเป็นอุปกรณ์แอกทีฟแล้วจึงนำมาสร้างเป็นวงจรรวม



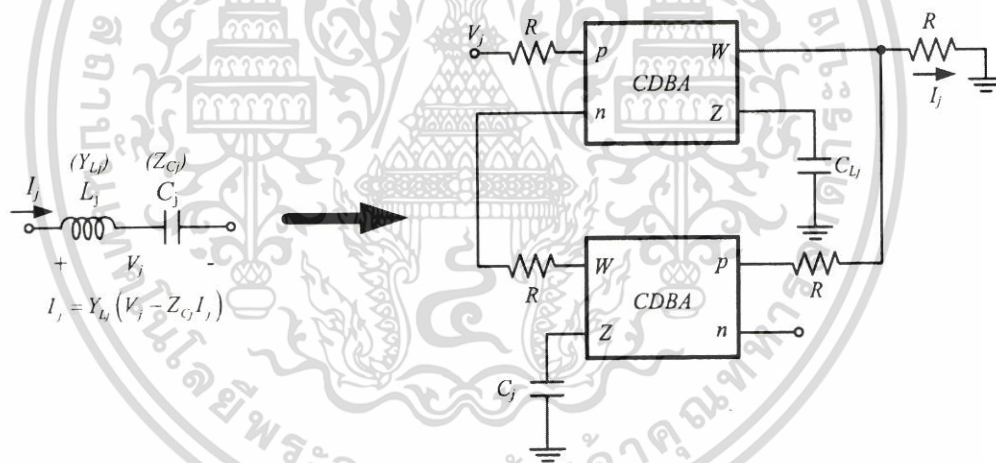
รูปที่ 3.5 วงจรกรองแถบความถี่ผ่าน RLC อันดับหกชนิดชั้นบันได

จากรูปที่ 3.5 ทำการวิเคราะห์โดยใช้รูปแบบการแปลงจากอุปกรณ์แพสซีฟไปเป็นอุปกรณ์แอกทีฟ โดยการต่อตัวเก็บประจุขนานกับขดลวดเหนี่ยวนำคล้ายกับในแบบที่สองจะสามารถแปลง

วงจรได้ดังรูปที่ 3.6 ส่วนการต่อตัวเก็บประจุอนุกรมกับขดลวดเหนี่ยวนำจะสามารถแปลงได้ดังรูปที่ 3.7 ซึ่งเป็นไปตามสมการที่ (3.7) และ (3.8)



รูปที่ 3.6 รูปแบบการแปลงตัวเก็บประจุต่อขนานกับขดลวดเหนี่ยวนำไปเป็น CDBAs



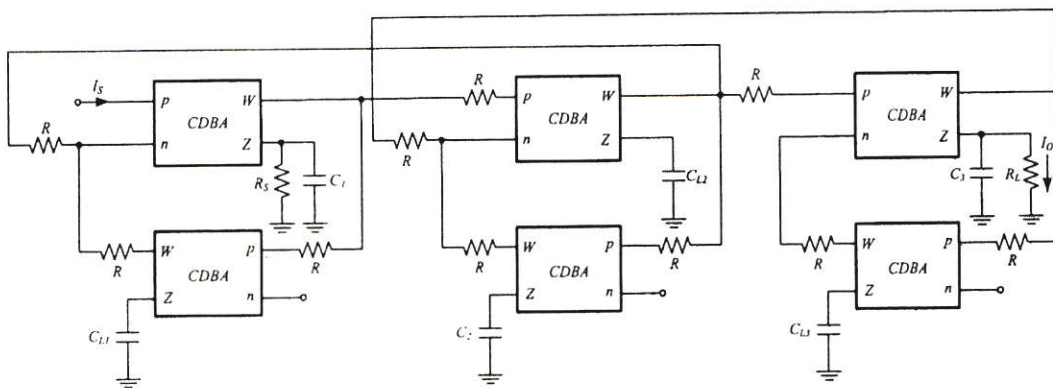
รูปที่ 3.7 รูปแบบการแปลงตัวเก็บประจุต่ออนุกรมกับขดลวดเหนี่ยวนำไปเป็น CDBAs

$$V_i = Z_{C_i} (I_i - Y_{L_i} V_i) = \frac{1}{sC_i} \left(I_i - \frac{V_i}{sL_i} \right) \tag{3.7}$$

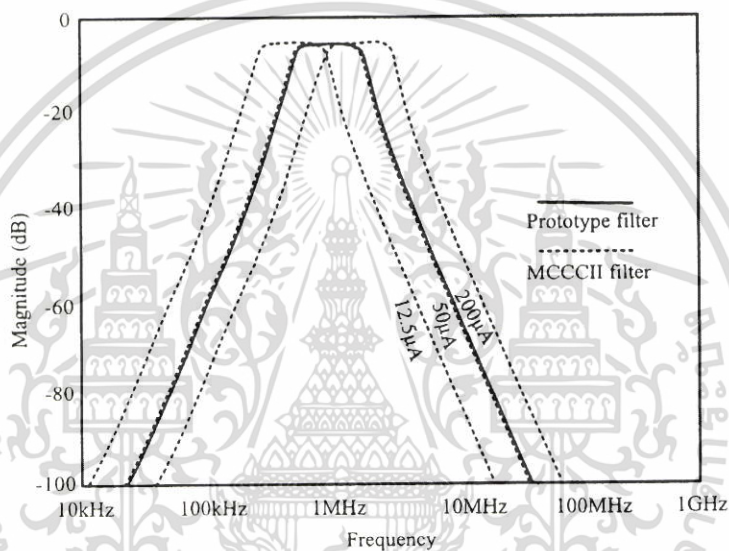
$$I_j = Y_{L_j} (V_j - Z_{C_j} I_j) = \frac{1}{sL_j} \left(V_j - \frac{I_j}{sC_j} \right) \tag{3.8}$$

รูปที่ 3.8 แสดงวงจรกรองแถบความถี่ผ่านอันดับหกโดยใช้วงจร CDBAs โดยใช้หลักการแปลงอุปกรณ์แพสซีฟไปเป็นอุปกรณ์แอคทีฟจากวงจรกรองแถบความถี่ผ่าน RLC อันดับหกต้นแบบในรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรกรองแถบความถี่ผ่านอันดับหกโดยใช้วงจร CDBAs

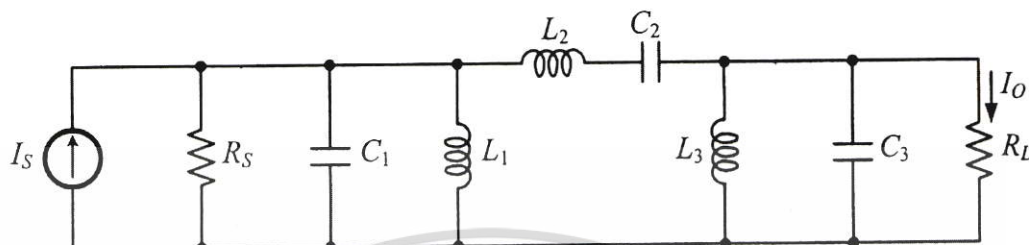


รูปที่ 3.9 ผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านอันดับหกโดยใช้วงจร CDBAs

จะเห็นได้ว่าวงจรกรองแถบความถี่ผ่านอันดับหกโดยใช้วงจร CDBAs ใช้ไฟเลี้ยงต่ำ และมีแบนวิดท์กว้าง แต่ก็ยังมีข้อเสียคือ มีการต่ออุปกรณ์แพสซีฟแบบลอยตัวในวงจรจำนวนมาก เมื่อนำไปสร้างเป็นวงจรรวมจะทำให้วงจรรวมมีขนาดใหญ่ และผลตอบสนองทางความถี่มีความคลาดเคลื่อนเมื่อเทียบกับวงจรต้นแบบ

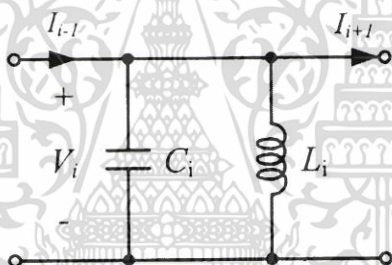
3.1.3 วงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสโดยใช้วงจรสายพานกระแสรุ่นที่สอง

ในปี 2008 A. Jiraseree-amornkun และ W. Surakamponorn [41] ได้นำเสนอการออกแบบการออกแบบวงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสโดยใช้วงจรสายพานกระแสรุ่นที่สอง



รูปที่ 3.10 วงจรกรองแถบความถี่ผ่าน RLC อันดับหกแบบกระแสต้นแบบ

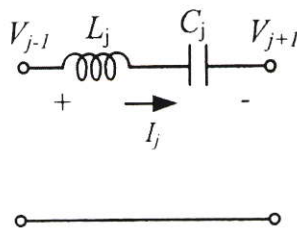
จากรูปที่ 3.10 ทำการวิเคราะห์ด้วยรูปแบบอุปกรณ์แพสซีฟคู่ สามารถแบ่งออกได้เป็นสามแขนง โดยสามารถพิจารณาได้ดังรูปที่ 3.11 และรูปที่ 3.12 ตามลำดับ



รูปที่ 3.11 การต่อตัวเก็บประจุขนานกับขดลวดเหนี่ยวนำ

การต่อตัวเก็บประจุขนานกับขดลวดเหนี่ยวนำ สามารถหาความสัมพันธ์ระหว่างแรงดันและกระแสได้ดังสมการที่ (3.9)

$$\frac{V_i}{R_p} = \frac{s \frac{L_i}{R_p}}{s^2 C_i R_p \frac{L_i}{R_p} + 1} (I_{i-1} - I_{i+1}) \quad (3.9)$$



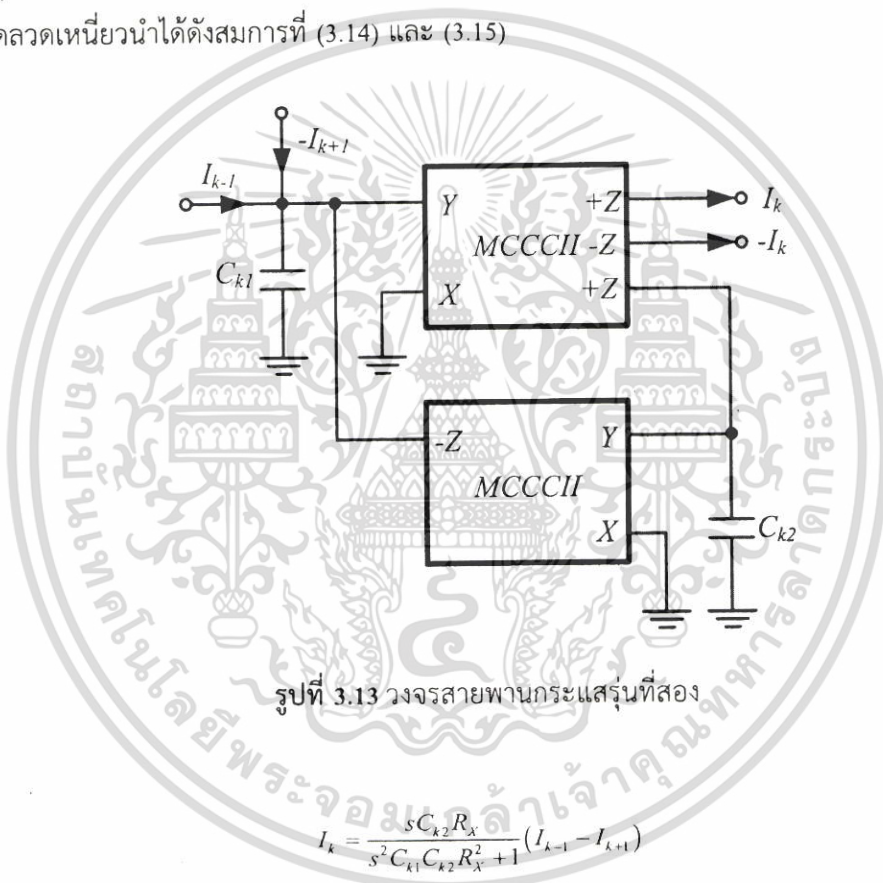
รูปที่ 3.12 การต่อตัวเก็บประจุนุกรมกับขดลวดเหนี่ยวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อตัวเก็บประจุอนุกรมกับขดลวดเหนี่ยวนำ สามารถหาความสัมพันธ์ระหว่างแรงดันและกระแส ได้ดังสมการที่ (3.10)

$$I_j = \frac{sC_j R_p}{s^2 C_j R_p \frac{L_j}{R_p} + 1} \left(\frac{V_{j-1}}{R_p} - \frac{V_{j+1}}{R_p} \right) \quad (3.10)$$

เมื่อนำรูปที่ 3.11 และรูปที่ 3.12 มาแปลงให้อยู่ในรูปของวงจรสายพานกระแสรุ่นที่สอง ดังรูปที่ 3.13 สามารถหาสมการกระแสของวงจรได้ดังสมการที่ (3.11) และหาค่าตัวเก็บประจุในกรณีการต่อตัวเก็บประจุนานกับขดลวดเหนี่ยวนำได้ดังสมการที่ (3.12) และ (3.13) ส่วนหาค่าตัวเก็บประจูดอนุกรมกับขดลวดเหนี่ยวนำได้ดังสมการที่ (3.14) และ (3.15)



รูปที่ 3.13 วงจรสายพานกระแสรุ่นที่สอง

$$I_k = \frac{sC_{k2}R_x}{s^2 C_{k1}C_{k2}R_x^2 + 1} (I_{k-1} - I_{k+1}) \quad (3.11)$$

$$C_{k1} = (C_1 R_p) / R_x \quad (3.12)$$

$$C_{k2} = L_i / (R_p R_x) \quad (3.13)$$

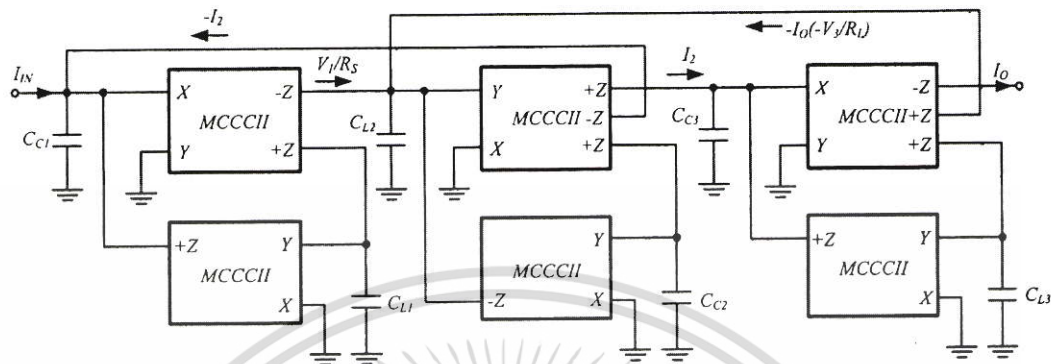
$$C_{k1} = L_j / (R_p R_x) \quad (3.14)$$

$$C_{k2} = (C_j R_p) / R_x \quad (3.15)$$

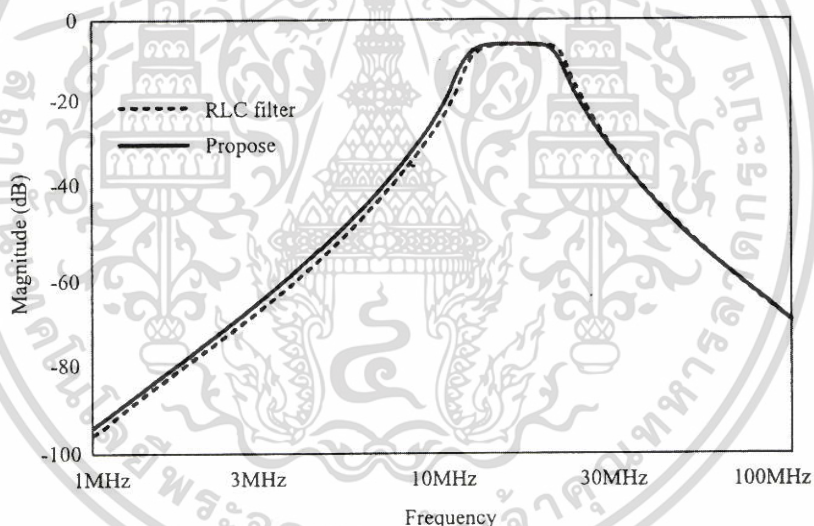
รูปที่ 3.14 จะจำลองการทำงานมาจากวงจรกรองแถบความถี่ผ่าน RLC ดันแบบ ดังแสดงในรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.14 วงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสโดยใช้วงจรสายพานกระแสรุ่นที่สอง โดยใช้หลักการวิเคราะห์หุ้บกรณ์แพสซีฟคู่โดยการวิเคราะห์จากวงจรกรองแถบความถี่ผ่าน RLC อันดับหกต้นแบบในรูปที่ 3.5



รูปที่ 3.14 วงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสโดยใช้วงจรสายพานกระแสรุ่นที่สอง



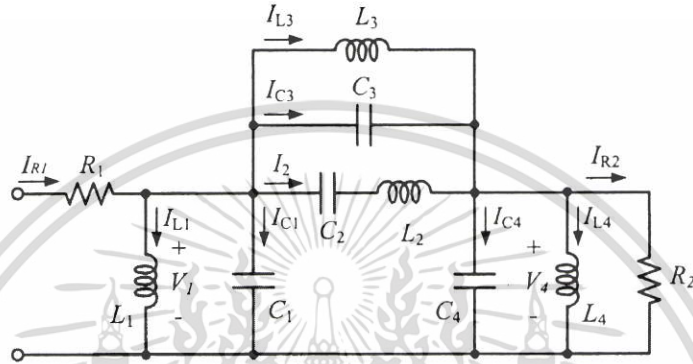
รูปที่ 3.15 ผลตอบสนองของวงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสโดยใช้วงจรสายพานกระแสรุ่นที่สอง

จะเห็นได้ว่าวงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสโดยใช้วงจรสายพานกระแสรุ่นที่สองสามารถปรับช่วงความถี่ใช้งานของวงจรกรองแถบความถี่ผ่านได้ทางอิเล็กทรอนิกส์ได้ แต่ก็ยังมีข้อเสีย คือใช้ฮุ้บกรณ์แอกทีฟจำนวนมาก และมีผลตอบสนองทางความถี่ต่ำกว่า 30 MHz ซึ่งถือว่าเป็นความถี่ต่ำ

3.2 วงจรกรองแถบความถี่ผ่าน Elliptic

3.2.1 วงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ซิมอสวิตช์คาปาซิเตอร์

ในปี 1983 T. C. CHOI, R. T. KANESHIRO [42] นำเสนอการสร้างวงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ซิมอสวิตช์คาปาซิเตอร์ ซึ่งใช้วงจรกรองแถบความถี่ผ่าน Elliptic อันดับหกแบบชั้นบันไดปลายปิดคู่เป็นต้นแบบในการจำลองการทำงาน



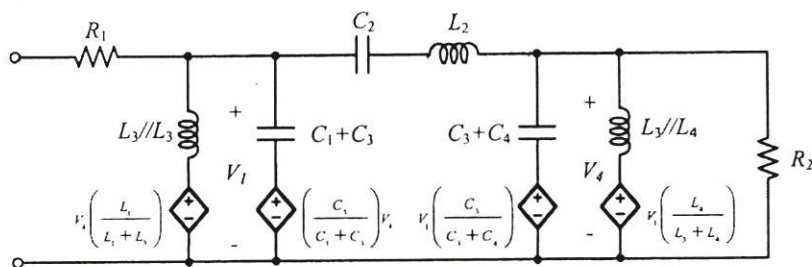
รูปที่ 3.16 วงจรกรองแถบความถี่ผ่าน Elliptic อันดับหกแบบชั้นบันไดปลายปิดคู่

วิเคราะห์ห้วงจรในรูปที่ 3.16 เพื่อหาความสัมพันธ์ของกระแสและแรงดัน

$$V_1 = (I_{R1} - I_{C2} - I_2 - I_{C3}) \frac{sL_1L_3}{L_1 + L_3} + V_4 \frac{L_1}{L_1 + L_3} \quad (3.16)$$

$$V_4 = (I_{C3} - I_2 - I_{C4} - I_{R2}) \frac{sL_3L_4}{L_3 + L_4} + V_1 \frac{L_4}{L_3 + L_4} \quad (3.17)$$

จากสมการที่ (3.16) และ (3.17) สามารถแปลงขดลวดเหนี่ยวนำ L_3 ให้เป็นขดลวดเหนี่ยวนำตัวใหม่ $(L_3 + L_4)$ และ $(L_1 + L_3)$ ต่อร่วมกับแหล่งจ่ายไม่อิสระ ในทำนองเดียวกันสามารถแปลงตัวเก็บประจุ C_3 ให้เป็นตัวเก็บประจุกตัวใหม่ $(C_3 + C_4)$ และ $(C_1 + C_3)$ ต่อร่วมกับแหล่งจ่ายไม่อิสระ ดังรูปที่ 3.17

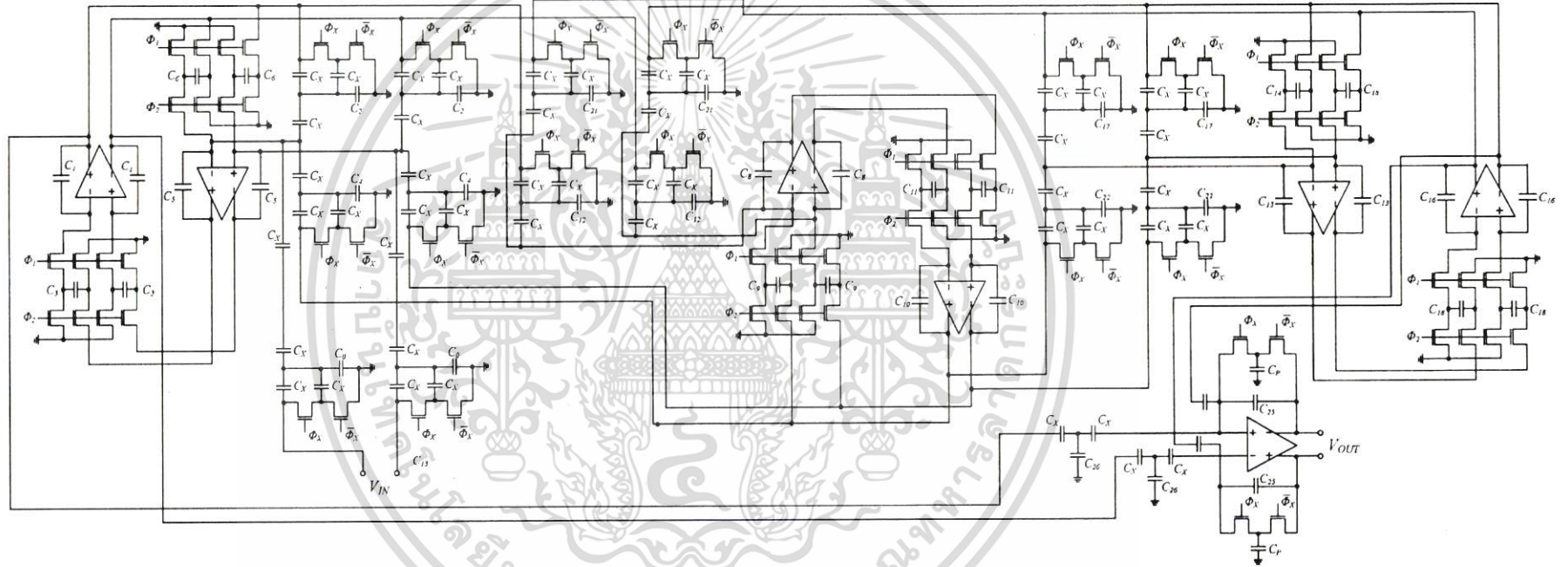


รูปที่ 3.17 วงจรกรองแถบความถี่ผ่าน Elliptic อันดับหกแบบขั้นบันไดที่ผ่านการแปลง

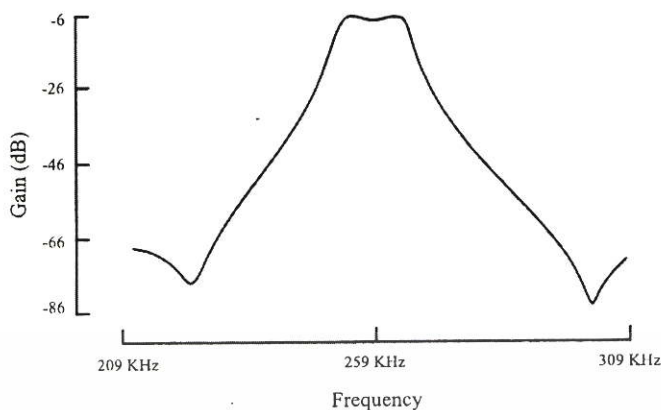


รูปที่ 3.18 กราฟการไหลสัญญาณของวงจรกรองแถบความถี่ผ่าน Elliptic อันดับหก

รูปที่ 3.18 แสดงกราฟการไหลสัญญาณของวงจรกรองแถบความถี่ผ่าน Elliptic อันดับหก และรูปที่ 3.19 แสดงวงจรกรองแถบความถี่ผ่าน Elliptic อันดับหก โดยสร้างจากกราฟการไหลของสัญญาณ สังเกตเห็นว่าวงจรประกอบด้วยออปแอมป์จำนวน 7 ตัว และมีตัวเก็บประจุต่อแบบลอยตัวอยู่เป็นจำนวนมาก ซึ่งไม่เหมาะต่อการนำไปสร้างเป็นวงจรรวม และจากรูปที่ 3.20 แสดงผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.19 พบว่าวงจรมีผลตอบสนองทางความถี่ที่ใช้งานต่ำ



รูปที่ 3.19 วงจรกรองแถบความถี่ผ่าน Elliptic อันดับหก

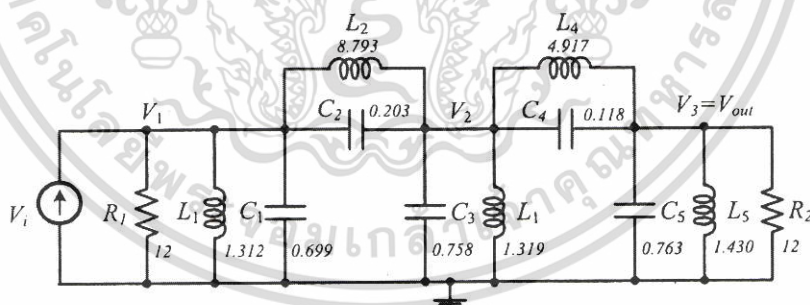


รูปที่ 3.20 ผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.14

จะเห็นว่าตัววงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ซีมอสสวิตช์คาปาซิเตอร์ ใช้อุปกรณ์จำนวนมาก และมีตัวเก็บประจุต่อลอยจำนวนมากทำให้ไม่เหมาะสมในการสร้างวงจรรวมเนื่องจากใช้พื้นที่ชิปมาก ทำงานได้ในย่านความถี่ต่ำระดับร้อย KHz ไม่เหมาะสำหรับใช้งานในด้านการสื่อสาร

3.2.2 การออกแบบและวิเคราะห์วงจรแบบเมทริกซ์สำหรับวงจรกรองแบบขั้นบันได

ในปี 1994 N.P.J. Greer, R.K. Henderson, Li Ping และ J.I. Sewell [43] นำเสนอการออกแบบและวิเคราะห์วงจรแบบเมทริกซ์ โดยนำหลักการดังกล่าวมาวิเคราะห์วงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ RLC ชนิดขั้นบันไดต้นแบบอันดับหกต้นแบบในรูปที่ 3.21



รูปที่ 3.21 วงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ RLC ชนิดขั้นบันไดอันดับหกต้นแบบ

วิเคราะห์วงจรโดยใช้ KCL (Kirchhoff Current Law) เพื่อหาสมการเมทริกซ์ของวงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ RLC ชนิดขั้นบันไดอันดับหกต้นแบบ ดังสมการที่ (3.18)

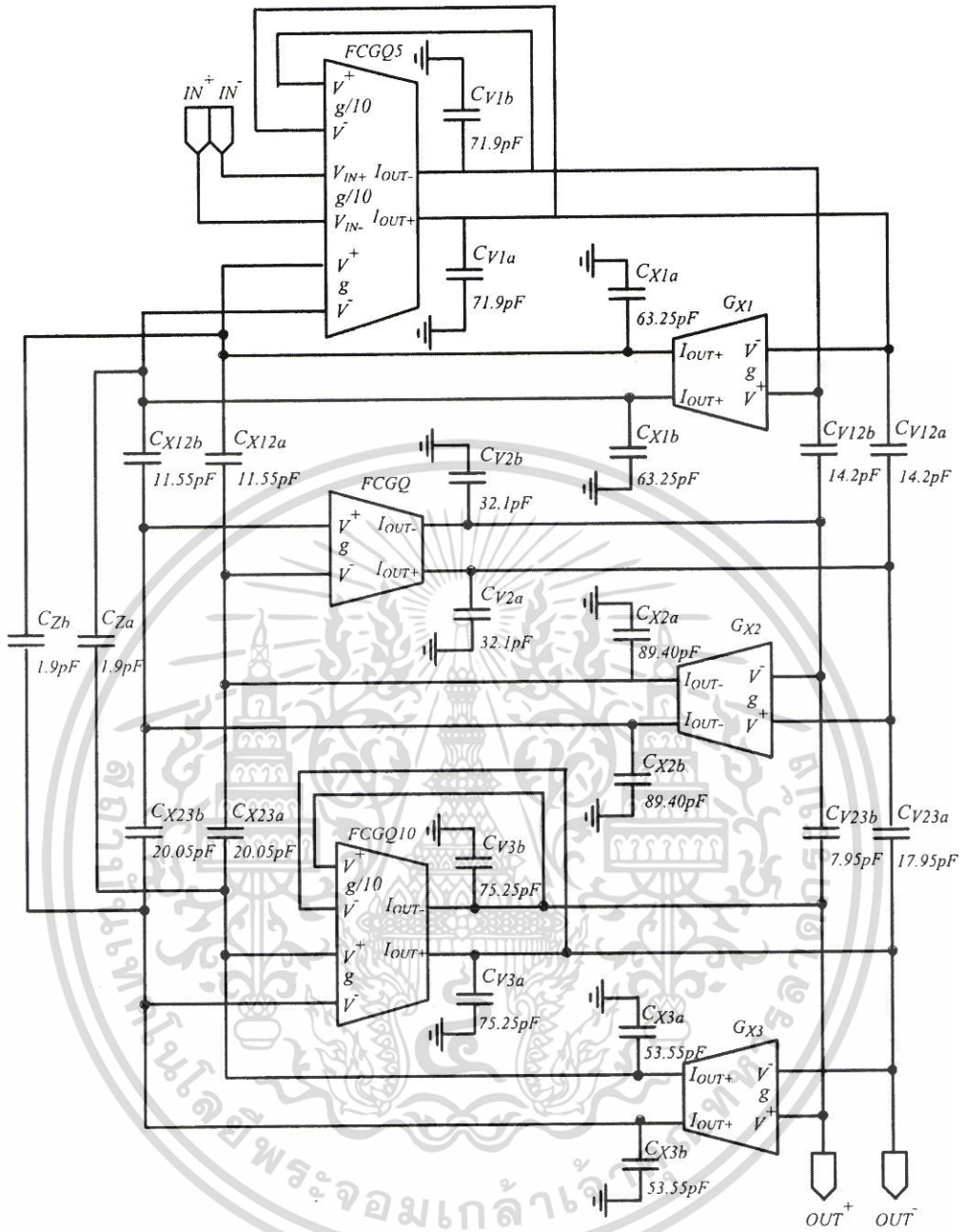
$$J = (G + sC + s^{-1}\Gamma)V \tag{3.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ V แทนเมทริกซ์ของแรงดันที่โหนดต่าง ๆ J แทนด้วยเมทริกซ์ของแหล่งจ่ายกระแส และ G, C, Γ คือเมทริกซ์ที่แสดงค่าของอุปกรณ์แพสซีฟในวงจร

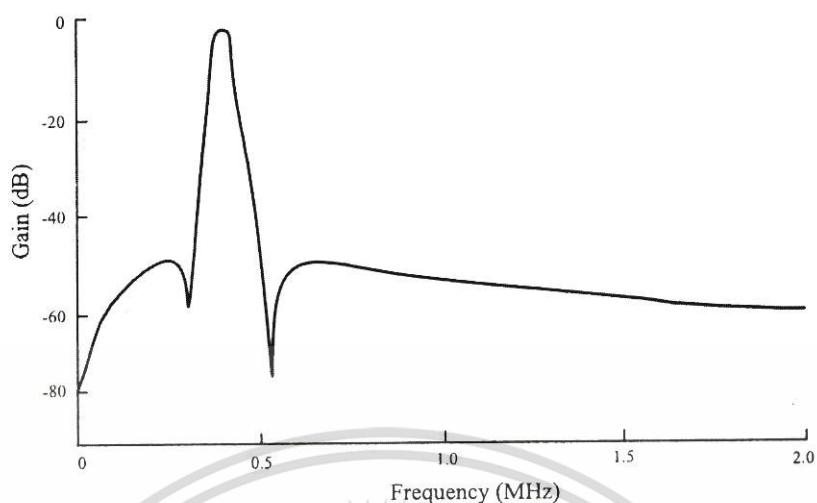
$$\begin{aligned}
 J &= \begin{pmatrix} V_{in}/R \\ 0 \\ 0 \end{pmatrix}, V = \begin{pmatrix} V_1 \\ V_2 \\ V_3 \end{pmatrix}, G = \frac{1}{R} \begin{pmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 1 \end{pmatrix} \\
 C &= \begin{pmatrix} C_1 + C_2 & -C_2 & 0 \\ -C_2 & C_2 + C_3 + C_4 & -C_4 \\ 0 & -C_4 & C_4 + C_5 \end{pmatrix} \\
 \Gamma &= \begin{pmatrix} \frac{1}{L_1} + \frac{1}{L_2} & -\frac{1}{L_2} & 0 \\ -\frac{1}{L_2} & \frac{1}{L_2} + \frac{1}{L_3} + \frac{1}{L_4} & -\frac{1}{L_4} \\ 0 & -\frac{1}{L_4} & \frac{1}{L_4} + \frac{1}{L_5} \end{pmatrix} \quad (3.19)
 \end{aligned}$$

จากสมการที่ (3.19) เป็นเมทริกซ์ที่ได้จากการวิเคราะห์วงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้ RLC ชนิดขั้นบันไดอันดับหกต้นแบบ และรูปที่ 3.22 แสดงวงจรกรองแถบความถี่ผ่าน Elliptic อันดับหก โดยใช้โอทีเอ



รูปที่ 3.22 วงจรกรองแถบความถี่ผ่าน Elliptic อันดับหกโดยใช้โอทีเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

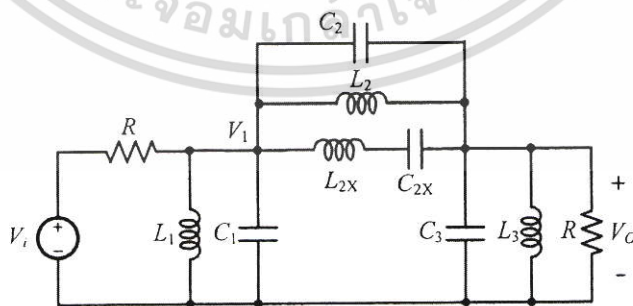


รูปที่ 3.23 ผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.22

พิจารณาวงจรรูปที่ 3.22 ประกอบด้วยโอทีเอ จำนวน 6 ตัว และตัวเก็บประจุต่อแบบลอยตัวจำนวนมาก และรูปที่ 3.23 แสดงผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.22 พบว่าวงจรมีผลตอบสนองในย่านความถี่ที่ใช้งานต่ำ และมีแบนด์วิดท์ที่แคบ อีกทั้งวงจรประกอบด้วยอุปกรณ์แพสซีฟตัวแบบลอยตัว จึงไม่เหมาะต่อการนำไปสร้างเป็นวงจรรวม

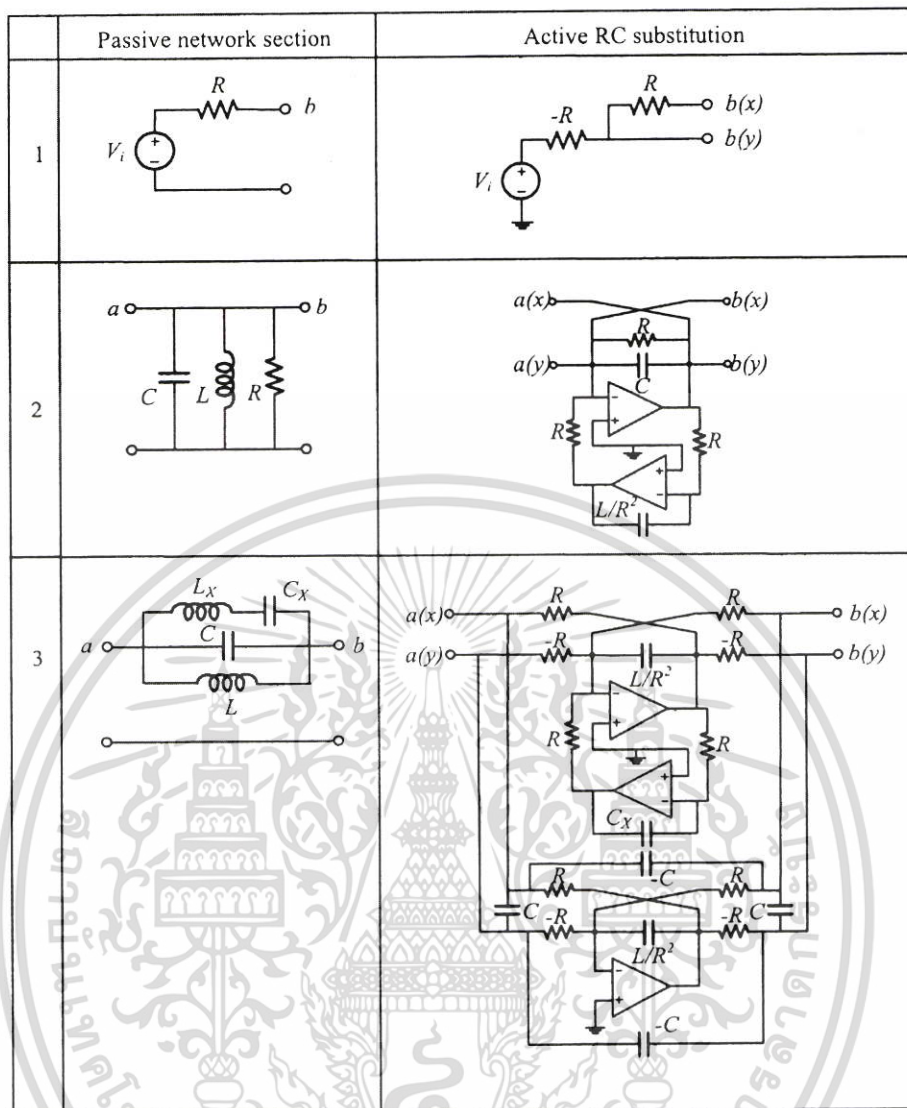
3.2.3 การจำลองโครงสร้างวงจรกรองแถบความถี่ผ่านแบบชั้นบันไดโดยใช้ตัวต้านทานแบบเดียวกัน

ในปี 2009 J. Mahattanakul, P. Khumsat และ W. Surakamponorn [44] นำเสนอการจำลองโครงสร้างวงจรกรองแถบความถี่ผ่าน Elliptic แบบชั้นบันไดโดยใช้ RLC ต้นแบบดังรูปที่ 3.24 มาผ่านหลักการการแปลงอุปกรณ์ ดังรูปที่ 3.25



รูปที่ 3.24 วงจรกรองแถบความถี่ผ่าน Elliptic แบบชั้นบันไดโดยใช้ RLC ต้นแบบ [11]

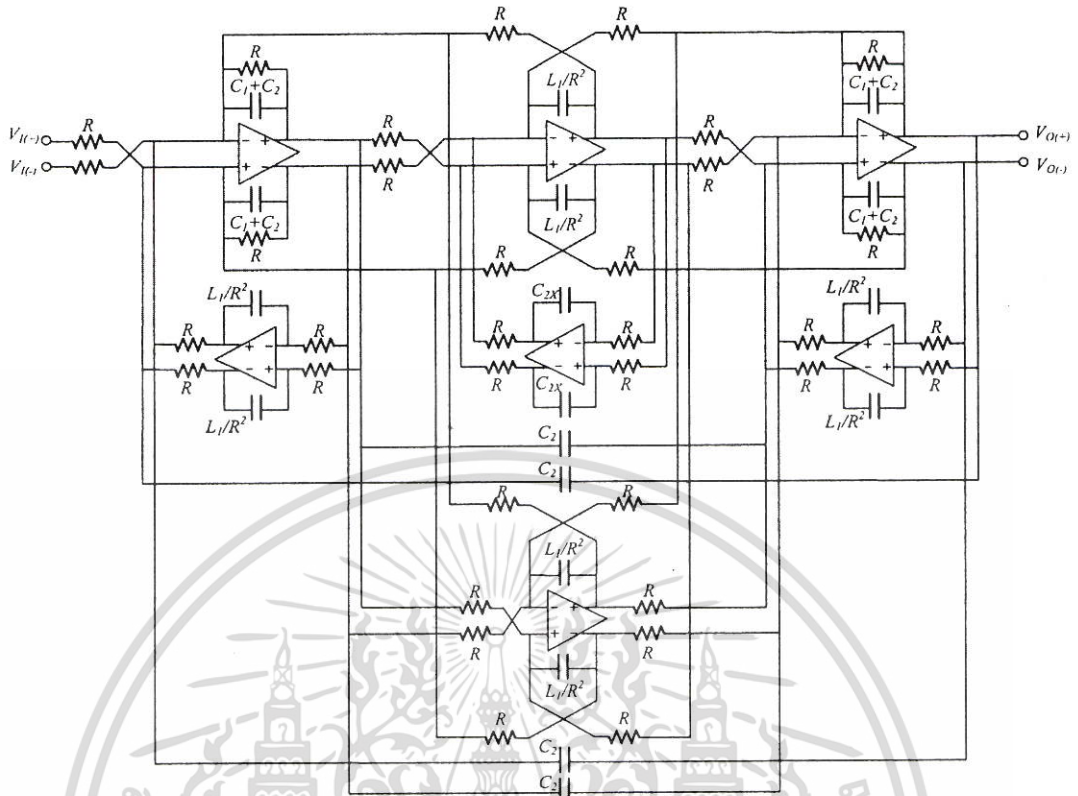
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



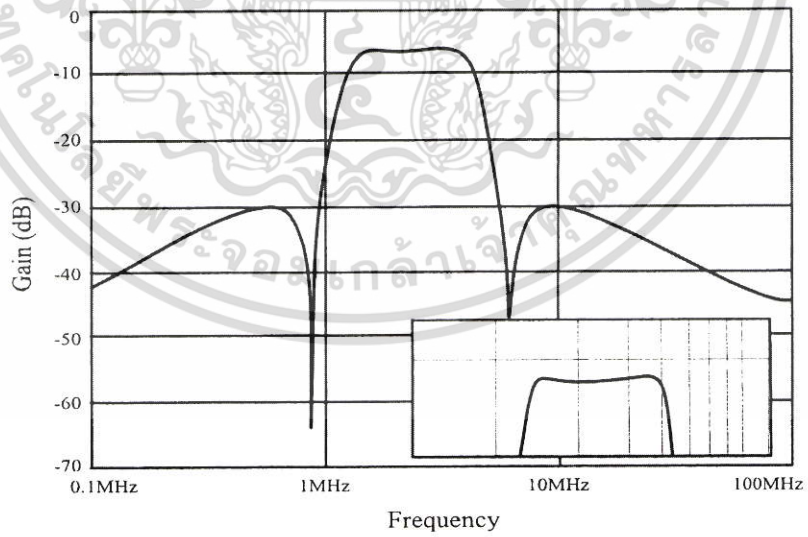
รูปที่ 3.25 รูปแบบการแปลงอุปกรณ์

ทำการแปลงวงจรกรองแถบความถี่ผ่าน RLC ในรูปที่ 3.24 เป็นวงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้โอปแอมป์ แสดงดังรูปที่ 3.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 วงจรกรองแถบความถี่ผ่าน Elliptic โดยใช้โอปแอมป์ [11]



รูปที่ 3.27 ผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจรรูปที่ 3.26 พบว่าวงจรประกอบด้วยออปแอมป์จำนวน 7 ตัว ตัวต้านทานและตัวเก็บประจุต่อแบบลอยตัวจำนวนมาก และรูปที่ 3.27 แสดงผลตอบสนองทางความถี่ของวงจรรูปที่ 3.21 พบว่าในช่วงความถี่ผ่านมีความคลาดเคลื่อนเพียงเล็กน้อยแต่ก็ยังทำงานในย่านความถี่ต่ำเนื่องจากข้อจำกัดของออปแอมป์ วงจรประกอบด้วยอุปกรณ์แพสซีฟต่อลอยจำนวนมาก จึงทำให้วงจรมีขนาดใหญ่ ไม่เหมาะต่อการนำไปสร้างเป็นวงจรรวม

3.3 บทสรุป

ในบทนี้กล่าวถึงงานวิจัยในอดีตที่ถูกพัฒนาอย่างต่อเนื่อง โดยในหัวข้อที่ 3.1 กล่าวถึงการสร้างวงจรรองแถบความถี่ผ่าน Chebeshev เพื่อชี้ให้เห็นถึงการพัฒนาอย่างต่อเนื่องของวงจรรองแถบความถี่ผ่าน Chebeshev ในหัวข้อที่ 3.2 เป็นการนำอุปกรณ์ต่าง ๆ มาประยุกต์ใช้งานเป็นวงจรรองแถบความถี่ผ่าน Elliptic เพื่อชี้ให้เห็นถึงการพัฒนาอย่างต่อเนื่องของวงจรรองแถบความถี่ผ่าน Elliptic โดยทั้งสองหัวข้อชี้ให้เห็นถึงเทคนิคการสร้างวงจรรองแถบความถี่ทั้งสองแบบ รวมทั้งวิเคราะห์ถึงข้อดีและข้อเสียของแต่ละวงจร แต่อย่างไรก็ตามในอดีตยังไม่เคยมีการนำเสนอวงจรรองแถบความถี่ผ่านทั้งแบบ Chebeshev และ Elliptic โดยใช้ CMOS บนหลักการกราฟการไหลของสัญญาณ ดังนั้นแล้ววิทยานิพนธ์นี้จึงจะขอนำเสนอวงจรรองแถบความถี่ผ่าน รูปแบบกระแส อันดับสูง ปรับค่าได้ทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์

บทที่ 4

วงจรรองแถบความถี่ผ่านรูปแบบกระแสอันดับสูง ปรับค่าได้ ทางอิเล็กทรอนิกส์โดยใช้มอสทรานซิสเตอร์

4.1 บทนำ

บทนี้ประกอบไปด้วยหลักการของวงจรรวมที่เกเรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสียโดยใช้ซีมอสที่นำมาใช้ในวงจรรองแถบความถี่ผ่านที่นำเสนอ การออกแบบวงจรรองแถบความถี่ผ่านชนิดขั้นบันไดโดยใช้วงจรรองความถี่ต่ำผ่านต้นแบบจากทฤษฎีในบทที่ 2 การสร้างวงจรรองแถบความถี่ผ่านที่นำเสนอด้วยวิธีการกราฟการไหลสัญญาณ อีกทั้งยังมีการวิเคราะห์ความไม่เป็นอุดมคติของทรานซิสเตอร์ชนิด NMOS ที่ใช้ในวงจรรองแถบความถี่ผ่านที่นำเสนอ รวมไปถึงผลการจำลองการทำงานของวงจรรองที่นำเสนอและสรุปผลในท้ายบท

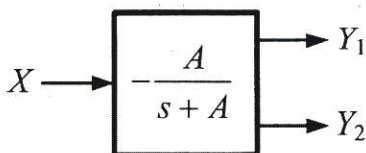
วงจรรองแถบความถี่ผ่านที่นำเสนอนั้น วงจรรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดขั้นบันไดใช้มอสทรานซิสเตอร์ 33 ตัวและตัวเก็บประจุแบบต่อลงกราวด์ 6 ตัว ส่วนวงจรรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสชนิดขั้นบันไดใช้มอสทรานซิสเตอร์ 52 ตัวและตัวเก็บประจุแบบต่อลงกราวด์ 7 ตัว วงจรรองที่นำเสนอทั้งสองวงจรมีข้อดีหลายข้อไม่ว่าจะเป็น ใช้อุปกรณ์ทั้งแบบแอคทีฟและแบบพาสซีฟจำนวนน้อย ใช้ไฟเลี้ยงต่ำ แรงดันต่ำ ทำงานได้ที่ความถี่สูงมากและปรับค่าทางอิเล็กทรอนิกส์ได้ในช่วงกว้าง

4.2 ทฤษฎีและหลักการ

4.2.1 วงจรรวมที่เกเรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสียโดยใช้ซีมอส (CMOS-based Lossy and Lossless Integrator)

รูปที่ 4.1 แสดงบล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดสูญเสีย (Lossy Integrator) โดยประกอบด้วยเอาต์พุต 2 พอร์ตที่เท่ากัน ($Y_1 = Y_2$) ให้ฟังก์ชันถ่ายโอนดังสมการที่ (4.1)

$$\frac{Y_1}{X} = \frac{Y_2}{X} = -\frac{A}{s + A} \quad (4.1)$$



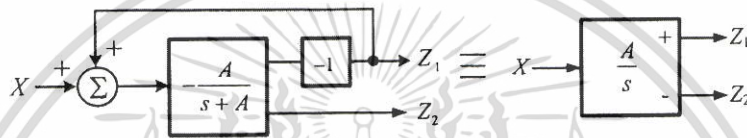
รูปที่ 4.1 บล็อกไดอะแกรมอินทิเกรเตอร์ชนิดสูญเสีย

ในการสร้างอินทิเกรเตอร์ชนิดไม่สูญเสีย (Lossless Integrator) สามารถทำได้โดยการเพิ่ม วงจรขยายกระแสแบบกลับเฟส (Inverting Gain) ไปยังเอาต์พุต Z_1 ของอินทิเกรเตอร์ชนิดสูญเสีย จากนั้นจึงทำการป้อนกลับไปยังอินพุตดังแสดงในรูปที่ 4.2 ฟังก์ชันการถ่ายโอนที่ได้จากฟังก์ชันบวก และฟังก์ชันลบของอินทิเกรเตอร์ชนิดไม่สูญเสีย Z_1 และ Z_2 สามารถเขียนได้ดังสมการ

$$\frac{Z_1}{X} = \frac{A}{s} \tag{4.2}$$

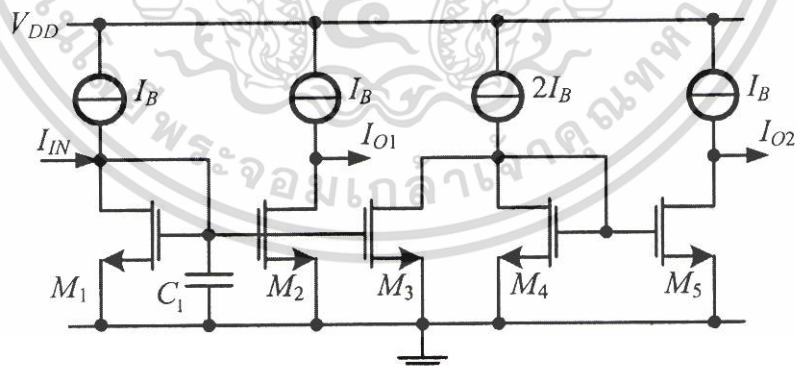
และ

$$\frac{Z_2}{X} = -\frac{A}{s} \tag{4.3}$$

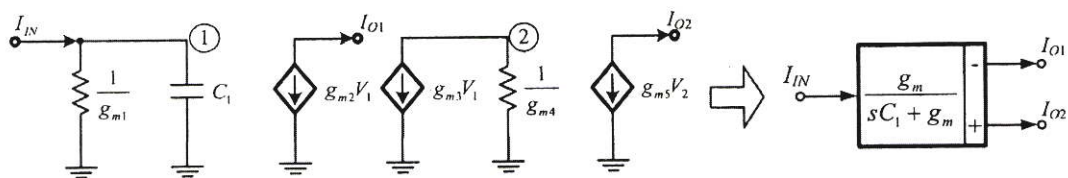


รูปที่ 4.2 บล็อกไดอะแกรมของอินทิเกรเตอร์ชนิดไม่สูญเสีย

อินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอสกับเอาต์พุตบวกและลบ (I_{O1} และ I_{O2}) แสดงดังรูปที่ 4.3 และแบบจำลองสัญญาณขนาดเล็ก (Small Signal Model) และบล็อกไดอะแกรมของวงจรแสดงดังรูปที่ 4.4 โดยให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัว (g_{m_i}) มีความสมพงค์กัน ($g_{m_i} = g_m$)



รูปที่ 4.3 วงจรอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอส



รูปที่ 4.4 แบบจำลองสัญญาณขนาดเล็กและบล็อกไดอะแกรมของวงจร

ฟังก์ชันการถ่ายโอนสามารถเขียนได้ดังสมการที่ (4.4) และสมการที่ (4.5) ดังนี้

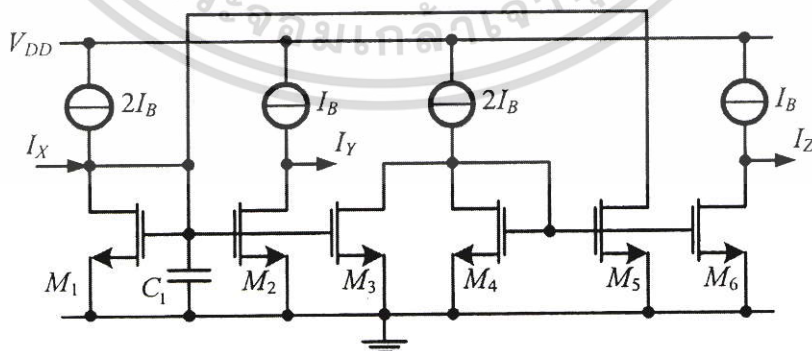
$$\frac{I_{O1}}{I_{IN}} = -\frac{g_m}{sC_1 + g_m} \tag{4.4}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1 + g_m} \tag{4.5}$$

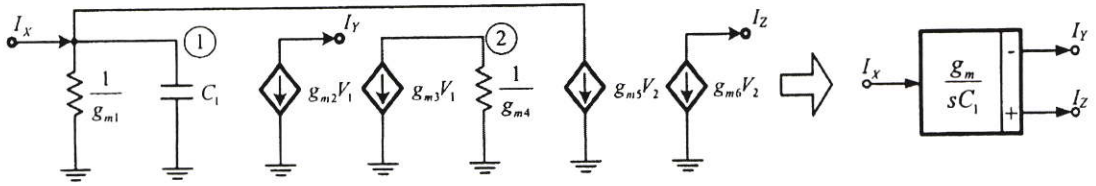
รูปที่ 4.5 แสดงการสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอสจากบล็อกไดอะแกรมในรูปที่ 4.2 โดยการต่ออินทิเกรเตอร์ชนิดสูญเสีย M_1 และ M_2 กับวงจรขยายกระแสกลับเฟส M_4 และ M_5 จากนั้นทำการป้อนกระแสเอาต์พุตกลับไปยังอินพุต ทั้งสองเอาต์พุต I_Y และ I_Z หาได้จาก M_2 และ M_6 ตามลำดับ พิจารณาแบบจำลองสัญญาณขนาดเล็กในรูปที่ 4.6 ให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัว (g_{m_i}) มีความสมพงค์กัน ($g_{m_i} = g_m$) จะได้ฟังก์ชันถ่ายโอนดังนี้

$$\frac{I_Y}{I_X} = -\frac{g_m}{sC_1} \tag{4.6}$$

$$\frac{I_Z}{I_X} = \frac{g_m}{sC_1} \tag{4.7}$$



รูปที่ 4.5 วงจรอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอส



รูปที่ 4.6 แบบจำลองสัญญาณขนาดเล็ก และบล็อกไดอะแกรมของวงจร

โดยจากสมการที่ (4.4)-(4.7) ค่าของ g_m คือ

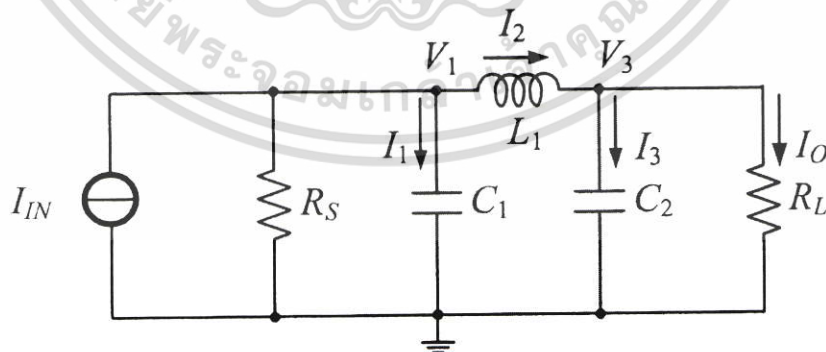
$$g_m = \sqrt{2\mu C_{OX} \frac{W}{L} I_B} \quad (4.8)$$

เมื่อ μ , C_{OX} , W และ L คือค่าความคล่องของอิเล็กตรอน, ประจุที่เกิดจากความหนาของออกไซด์, ความกว้าง และความยาวของแกนแนลของมอสทรานซิสเตอร์ตามลำดับ จากสมการที่ (4.8) จะพบว่าค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์สามารถปรับค่าได้จากการปรับกระแสไบอัส (I_B)

4.2.2 การออกแบบวงจรกรองแถบความถี่ผ่าน RLC แบบแพสซีฟชนิดขึ้นบันไดโดยใช้วงจรกรองความถี่ต่ำผ่านต้นแบบ

1) วงจรกรองแถบความถี่ผ่าน Chebyshev ชนิดขึ้นบันได

วงจรกรองแถบความถี่ผ่าน Chebyshev อันดับหกต้นแบบ สร้างโดยใช้วิธีการแปลงจากวงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดขึ้นบันได RLC แบบปลายปิดคู่ต้นแบบ (Doubly Terminated) ดังแสดงในรูปที่ 7 และการแปลงโครงข่าย (Network Transform) ดังตารางที่ โดยรูปที่ 4.7 แสดงวงจรกรองแถบความถี่ Chebyshev ผ่านชนิดขึ้นบันได RLC ต้นแบบ

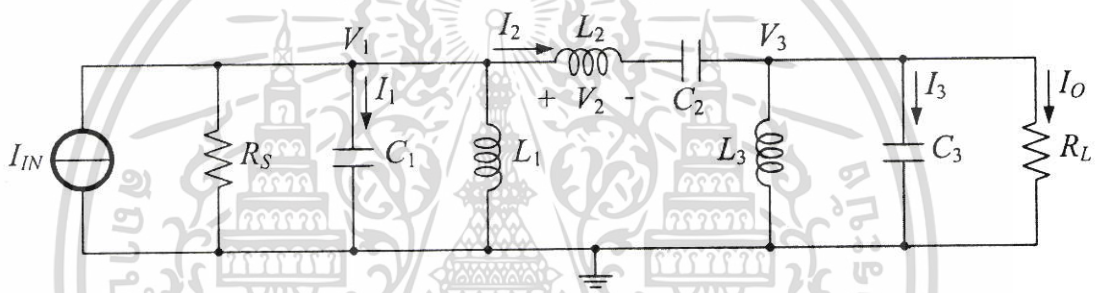


รูปที่ 4.7 วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดขึ้นบันได RLC แบบปลายปิดคู่ต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 รูปแบบการแปลง RLC จาก LP เป็น BP

LP prototype	Denormalized BP



รูปที่ 4.8 วงจรกรองแถบความถี่ผ่าน Chebyshev ชนิดขั้นบันได RLC ต้นแบบ

เมื่อทำการวิเคราะห์ห้วงจรกรองแถบความถี่ผ่านชนิดขั้นบันไดต้นแบบในรูปที่ 4.8 โดยใช้ KCL สามารถหาความสัมพันธ์ระหว่างกระแสและแรงดันได้ดังสมการ

$$V_1 = \frac{I_1}{sC_1} \tag{4.9}$$

$$V_2 = V_1 - V_3 - \frac{I_2}{sC_2} \tag{4.10}$$

$$V_3 = \frac{I_3}{sC_3} \tag{4.11}$$

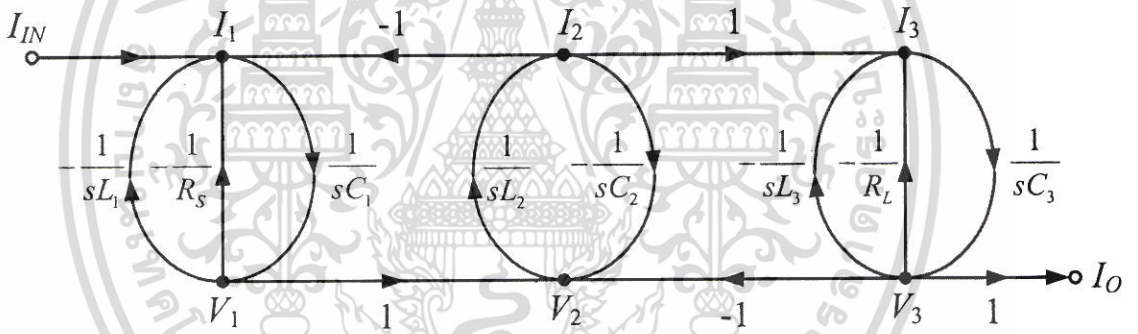
$$I_1 = I_{IN} - \frac{V_1}{R_S} - \frac{V_1}{sL_1} - I_2 \tag{4.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

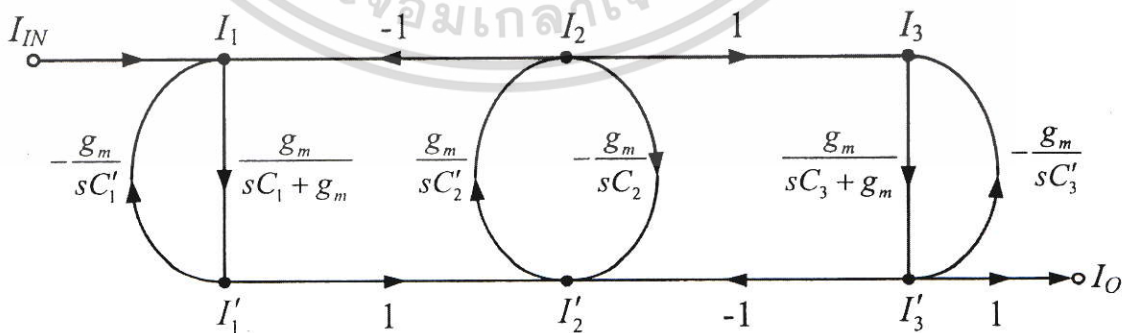
$$I_2 = \frac{V_2}{sL_2} \tag{4.13}$$

$$I_3 = I_2 - \frac{V_3}{sL_3} - \frac{V_3}{R_L} \tag{4.14}$$

รูปที่ 4.9 แสดงกราฟการไหลสัญญาณ (Signal Flow Graph: SFG) ที่ได้จากสมการที่ (4.9)-(4.14) ซึ่งจะอยู่ในรูปของกระแสและแรงดัน ทำการ Normalized รูปแบบแรงดันเป็นรูปแบบกระแสทั้งหมดโดยใช้ค่าทรานสคอนดักแตนซ์ (g_m) และแทนที่อินทิเกรเตอร์ชนิดไม่สูญเสียกับค่าป้อนกลับที่เป็นลบที่ปลายทั้งสองข้างของวงจรต้นแบบด้วยอินทิเกรเตอร์ชนิดสูญเสีย กราฟการไหลสัญญาณหลังจากการ Normalized แล้วแสดงดังรูปที่ 4.10 และจากกราฟการไหลสัญญาณในรูปที่ 4.10 นี้เราสามารถสร้างวงจรกรองแถบความถี่ผ่านด้วยอินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสียได้ซึ่งจะกล่าวถึงในหัวข้อถัดไป



รูปที่ 4.9 กราฟการไหลสัญญาณของวงจรกรองแถบความถี่ผ่าน Chebyshev แบบขั้นบันไดต้นแบบ

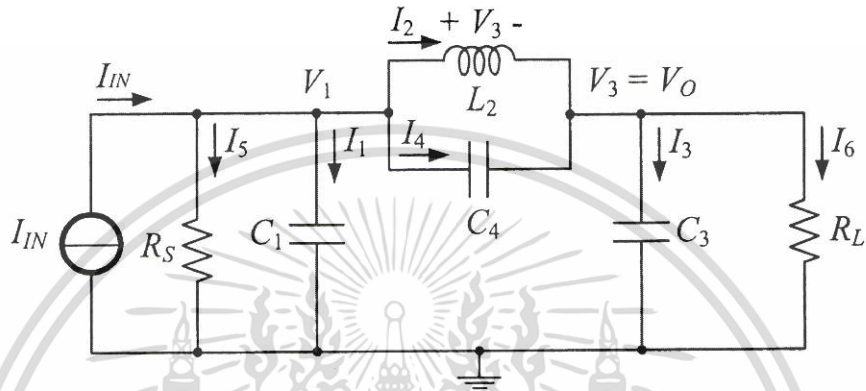


รูปที่ 4.10 Normalized SFG ของรูปที่ 4.9

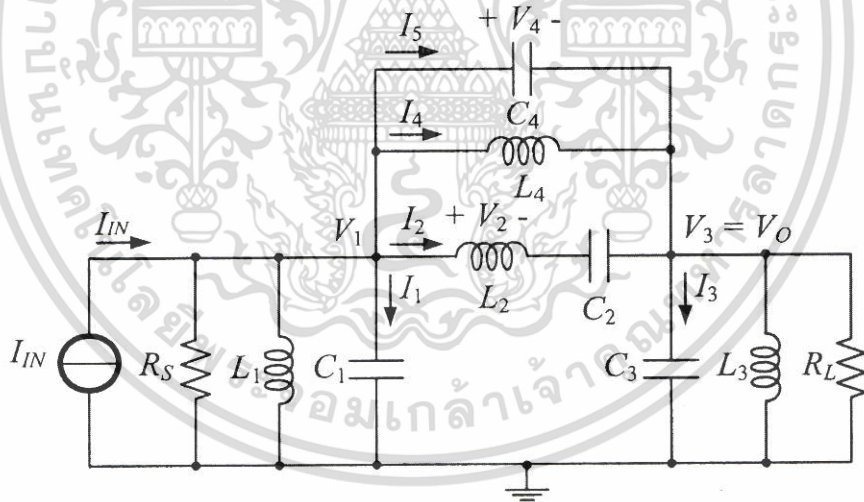
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) วงจรกรองแถบความถี่ผ่าน Elliptic ชนิดขั้นบันได

วงจรกรองแถบความถี่ผ่าน Elliptic อันดับหกต้นแบบ สร้างโดยใช้วิธีการแปลงจากวงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดขั้นบันได RLC แบบปลายปิดคู่ต้นแบบ (Doubly Terminated) ดังแสดงในรูปที่ 4.11 และการแปลงโครงข่าย (Network Transform) ดังตารางที่ 4.1 โดยรูปที่ 4.12 แสดงวงจรกรองแถบความถี่ผ่าน Elliptic ชนิดขั้นบันได RLC ต้นแบบที่ผ่านการแปลงโครงข่าย



รูปที่ 4.11 วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดขั้นบันได RLC แบบปลายปิดคู่ต้นแบบ



รูปที่ 4.12 วงจรกรองแถบความถี่ผ่าน Elliptic ชนิดขั้นบันได RLC ต้นแบบ

เมื่อทำการวิเคราะห์วงจรกรองแถบความถี่ผ่าน Elliptic ชนิดขั้นบันได RLC แบบปลายปิดคู่ต้นแบบในรูปที่ 4.11 โดยใช้ KCL สามารถหาความสัมพันธ์ระหว่างกระแสและแรงดันได้ดังสมการ

$$I_1 = I_{IN} - I_2 - I_4 - I_5 - V_1 / sL_1 - V_1 / R_S \quad (4.15)$$

$$I_2 = \frac{V_2}{sL_2} \quad (4.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_3 = I_2 + I_4 + I_5 - \frac{V_3}{sL_3} - \frac{V_3}{R_L} \quad (4.17)$$

$$I_4 = \frac{V_4}{sL_4} \quad (4.18)$$

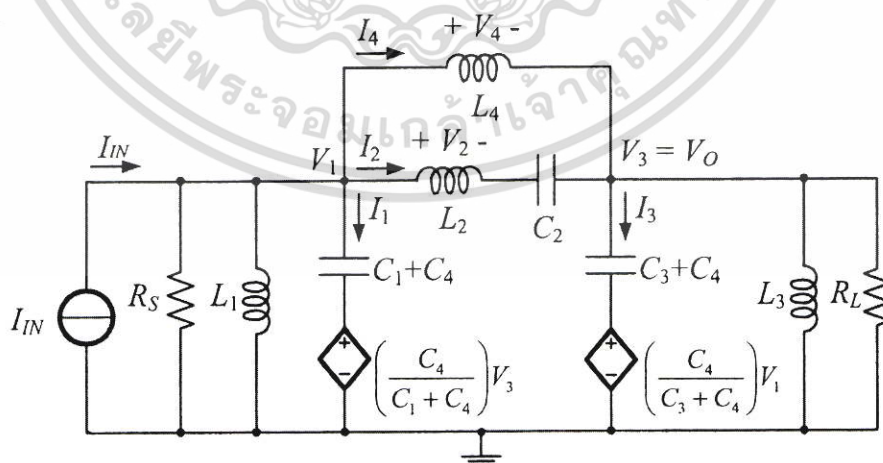
$$V_1 = \frac{I_{IN} - I_2 - I_4 - V_1/sL_1 - V_1/R_S}{s(C_1 + C_4)} + V_3 \frac{C_4}{C_1 + C_4} \quad (4.19)$$

$$V_2 = V_1 - V_3 - \frac{I_2}{sC_2} \quad (4.20)$$

$$V_3 = \frac{I_2 + I_4 - V_3/sL_3 - V_3/R_L}{s(C_3 + C_4)} + V_1 \frac{C_4}{C_3 + C_4} \quad (4.21)$$

$$V_4 = V_1 - V_3 = V_2 + \frac{I_2}{sC_2} \quad (4.22)$$

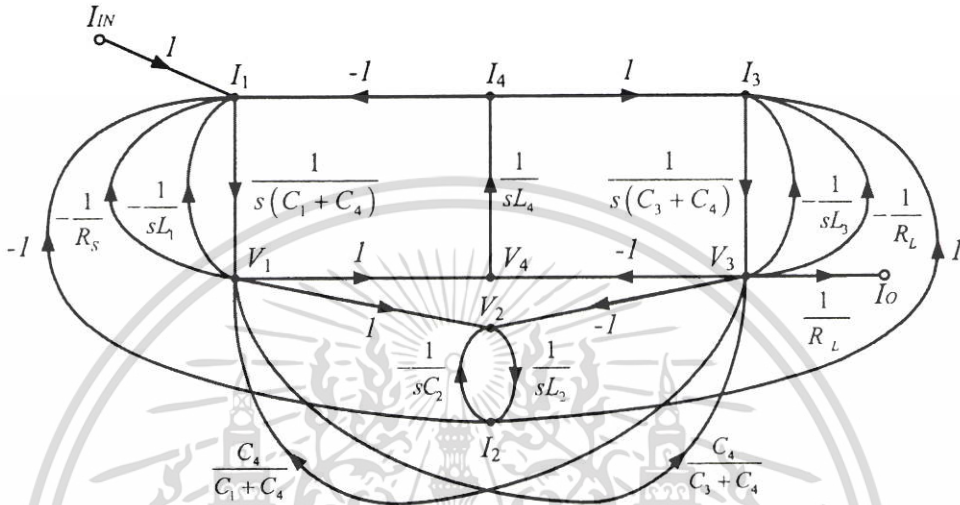
จากสมการที่ (4.15)-(4.22) ตัวเก็บประจุ C_4 สามารถแทนได้ด้วยตัวเก็บประจุใหม่ 2 ตัว (C_1+C_4 และ C_3+C_4) ซึ่งต่อร่วมกับแหล่งจ่ายไม่อิสระ ดังนั้นวงจรกรองแถบความถี่ผ่าน Elliptic ชนิดชั้นบันได RLC ดั้งแบบในรูปที่ 4.12 สามารถเขียนได้ใหม่ดังรูปที่ 4.13



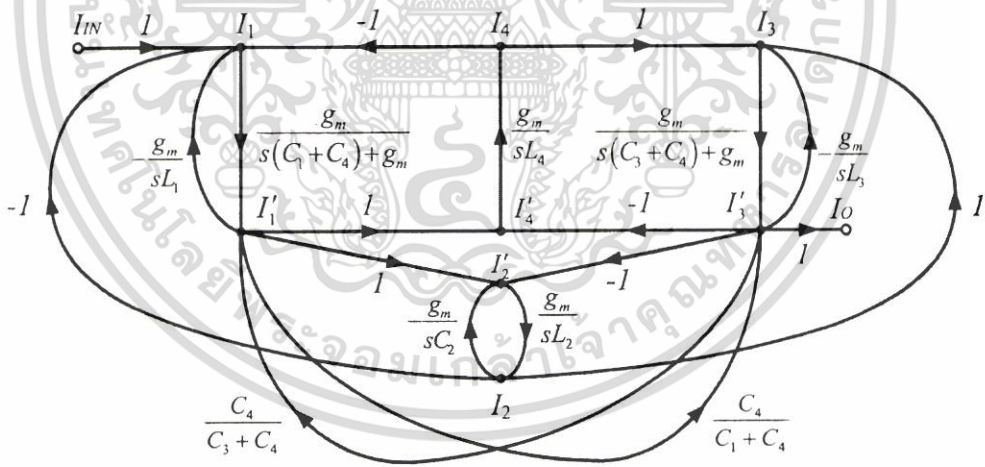
รูปที่ 4.13 วงจรกรองแถบความถี่ผ่าน Elliptic ชนิดชั้นบันได RLC ดั้งแบบที่ผ่านการแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟการไหลสัญญาณ (Signal Flow Graph: SFG) สามารถเขียนได้จากสมการที่ (4.15)-(4.22) ดังแสดงในรูปที่ 4.14 ทำการ Normalized รูปแบบแรงดันเป็นรูปแบบกระแสทั้งหมดโดยใช้ค่าทรานสคอนดักแตนซ์ (g_m) แทนค่า R_S และ R_L ด้วย $1/g_m$ แทนที่อินทิเกรเตอร์ชนิดไม่สูญเสียกับค่าป้อนกลับที่เป็นลบที่ต้นและปลายของวงจรต้นแบบด้วยอินทิเกรเตอร์ชนิดสูญเสีย กราฟการไหลสัญญาณหลังจากการ Normalized แล้วแสดงดังรูปที่ 4.15



รูปที่ 4.14 กราฟการไหลสัญญาณของวงจรกรองแถบความถี่ผ่าน Elliptic แบบขึ้นบันไดต้นแบบ



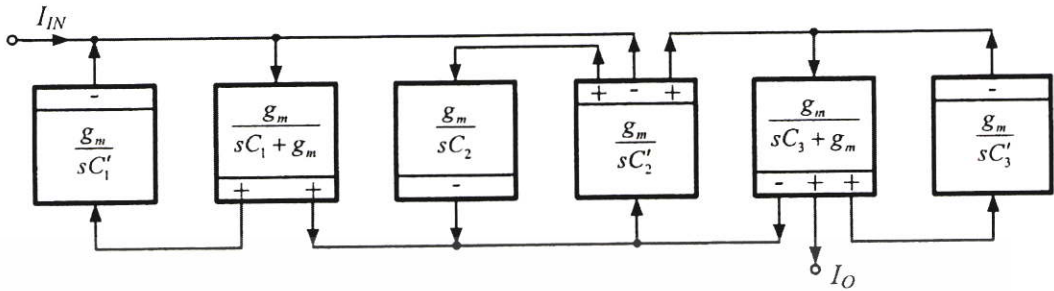
รูปที่ 4.15 Normalized SFG ของรูปที่ 4.14

4.2.3 การสร้างวงจรกรองแถบความถี่ชนิดขึ้นบันไดโดยใช้ซิมอส

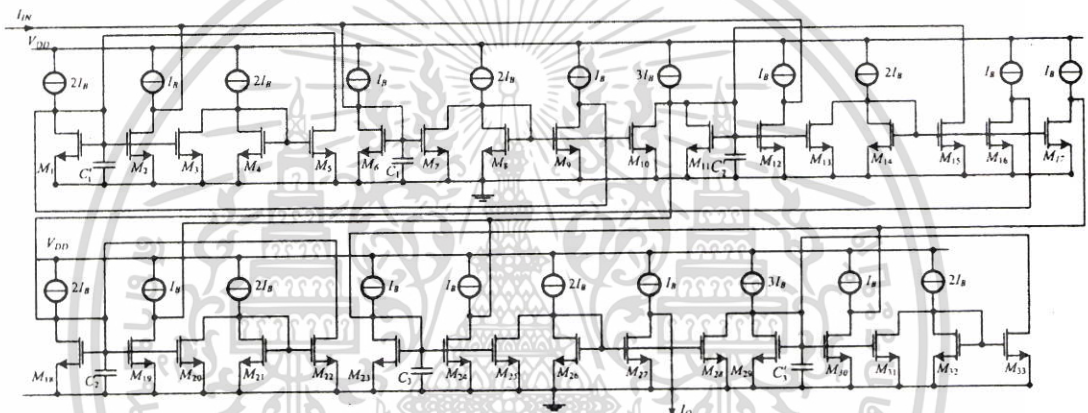
จากกราฟการไหลสัญญาณในรูปที่ 4.10 สามารถสร้างเป็นวงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดขึ้นบันไดอันดับหก โดยใช้บล็อกไดอะแกรมอินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ ชนิดไม่สูญเสียในรูปที่ 4.4 และรูปที่ 4.6 แทนที่ตัวเหนี่ยวนำ L , ด้วยตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C'_i ดังรูปที่ 4.16 การสร้างวงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดชั้นบันไดอันดับหกโดยใช้ซีมอสทำได้โดยแทนที่บล็อกไดโอดแกรมในรูปที่ 4.16 ดังรูปที่ 4.17

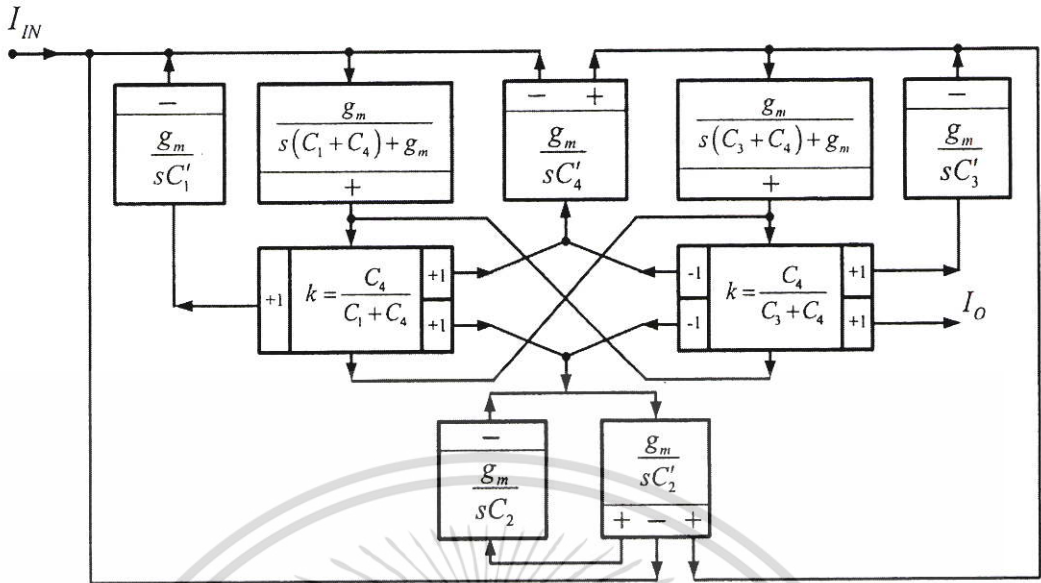


รูปที่ 4.16 วงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดชั้นบันไดอันดับหก



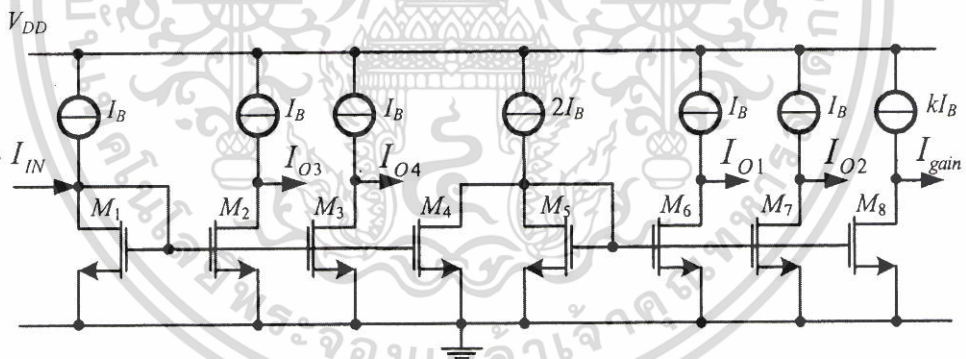
รูปที่ 4.17 วงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดชั้นบันไดอันดับหกโดยใช้ซีมอสที่นำเสนอ

จากกราฟการไหลสัญญาณในรูปที่ 4.15 พบว่าเกิดลูปป้อนกลับระหว่างสองโหนด (I'_i และ I'_j) ผ่านทางวงจรขยายกระแส (k) ทำตามขั้นตอนที่อธิบายไว้เช่นเดียวกับวงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดชั้นบันไดอันดับหก จะได้วงจรกรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสชนิดชั้นบันไดอันดับหกดังรูปที่ 4.18



รูปที่ 4.18 วงจรกรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสชนิดขั้นบันไดอันดับหก

วงจรกรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสชนิดขั้นบันไดอันดับหกที่นำเสนอ ประกอบด้วยอินทิเกรเตอร์ชนิดสูญเสียจำนวน 2 ตัว ชนิดไม่สูญเสียจำนวน 5 ตัวและวงจรมัลติเพลกซ์แบบหลายเอาต์พุตจำนวน 2 ตัว โดยที่วงจรมัลติเพลกซ์และวงจรมัลติเพลกซ์ทั้งค่าบวกและค่าลบสามารถสร้างได้ดังแสดงในรูปที่ 4.19



รูปที่ 4.19 วงจรมัลติเพลกซ์แบบหลายเอาต์พุต

ในรูปที่ 4.19 กำหนดให้ค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน ยกเว้นทรานซิสเตอร์ M_i และ M_8 ($i=1,2,\dots,7$) กำหนดให้มีค่า g_{m1} และ g_{m2} ตามลำดับ ค่าของวงจรมัลติเพลกซ์สามารถคำนวณได้ดังนี้

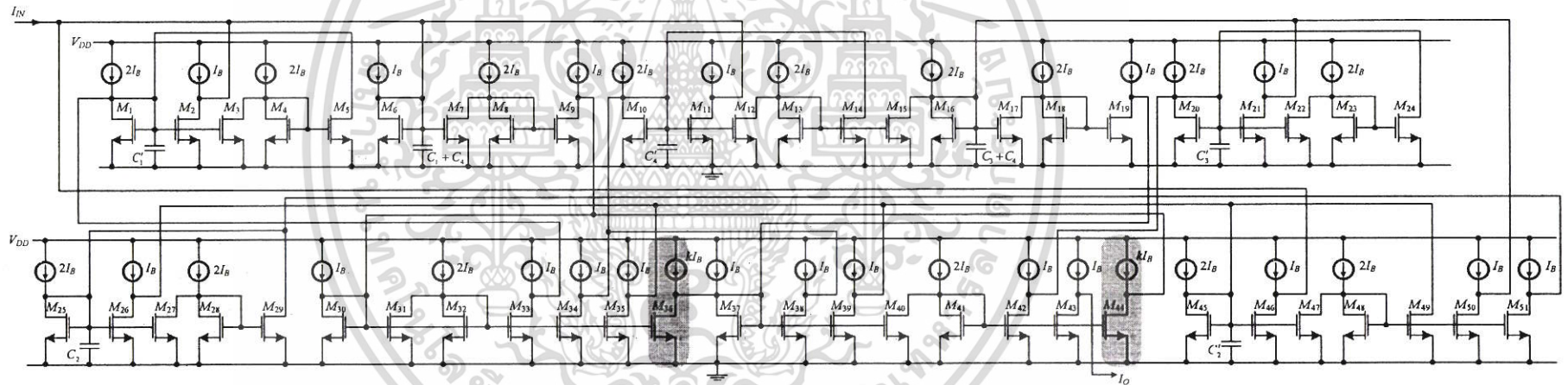
$$k = \frac{g_{m2}}{g_{m1}} \tag{4.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.20 แสดงการสร้างวงจรรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสนิดชั้นบันได
 อันดับหกโดยใช้อินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสียจากรูปที่ 4.3 และรูปที่ 4.5
 บล็อกที่ไฮไลต์คือวงจรรขยายกระแส (k) ที่มีค่าน้อยกว่า 1 จากสมการที่ (4.23)



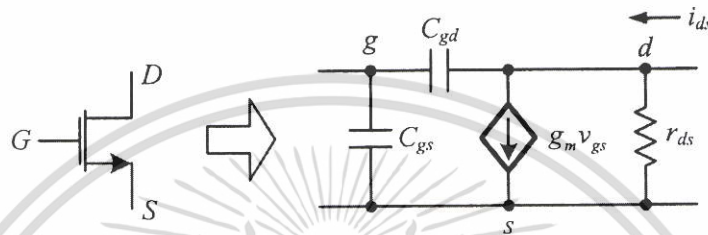
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 วงจรกรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสนิดชั้นบันไดอันดับหกโดยใช้ซีมอสที่นำเสนอ

4.2.4 การวิเคราะห์ความไม่เป็นอุดมคติ

ในหัวข้อนี้จะกล่าวถึงอิทธิพลขององค์ประกอบแฝงในทรานซิสเตอร์ชนิด NMOS อินทิเกรตอร์ชนิดสูญเสียและอินทิเกรตอร์ชนิดไม่สูญเสียคือ บิวต์บล็อกลึกของวงจรที่นำเสนอประสิทธิภาพของ บิวต์บล็อกลึกจะเบี่ยงเบนไปจากการวิเคราะห์ความเป็นอุดมคติเมื่อทำงานที่ความถี่สูง ถือว่าเป็นลักษณะโดยทั่วไปของผลกระทบจากองค์ประกอบแฝงของทรานซิสเตอร์ การวิเคราะห์ความไม่เป็นอุดมคติของอินทิเกรตอร์รวมถึงผลกระทบจากองค์ประกอบแฝงของทรานซิสเตอร์สามารถทำได้โดยใช้แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ชนิด NMOS ดังรูปที่ 4.21



รูปที่ 4.21 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

จากแบบจำลองสัญญาณขนาดเล็กในรูปที่ 4.21 ค่าประจุแฝงอินพุต (C_{gs} และ C_{gd}) ค่าความต้านทาน (r_{ds}) และค่าทรานสคอนดักแตนซ์ (g_m) ถูกรวมเข้าด้วยกันผลกระทบจากองค์ประกอบแฝงของทรานซิสเตอร์ต่อประสิทธิภาพของวงจรที่นำเสนอจะกล่าวถึงในหัวข้อย่อยดังต่อไปนี้

1) ค่าประจุแฝง (C_{gd} และ C_{gs})

ในหัวข้อนี้จะพิจารณาผลกระทบของค่าประจุแฝง (C_{gd} และ C_{gs}) ที่สำคัญต่อการกำหนดประสิทธิภาพของวงจร โดยเฉพาะความถี่สูง

(ก) อินทิเกรตอร์ชนิดสูญเสีย

ใช้แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ในรูปที่ 4.21 พิจารณาเฉพาะ ค่าประจุแฝงเกต-เดรน (C_{gd}) และกำหนดให้ค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์มีค่าเท่ากับฟังก์ชันถ่ายโอนของอินทิเกรตอร์ชนิดสูญเสียในรูปที่ 4.3 สามารถประมาณได้ดังสมการที่ (4.24) และสมการที่ (4.25) ตามลำดับ

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + s(C_{gd2} + C_1)} \quad (4.24)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{g_m + s(3C_{gd2} + C_{gd4} + C_1)} \quad (4.25)$$

เช่นเดียวกัน เมื่อพิจารณาเฉพาะค่าประจุแฝงเกต-ซอร์ส (C_{gs}) และกำหนดให้ค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์มีค่าเท่ากัน ฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดสูญเสียในรูปที่ 4.3 สามารถประมาณได้ดังสมการที่ (4.26) และสมการที่ (4.27) ตามลำดับ

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + s(C_{gs1} + C_{gs2} + C_1)} \quad (4.26)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{g_m + s(C_{gs3} + C_{gs4} + C_{gs1} + C_{gs2} + C_1)} \quad (4.27)$$

สมการที่ (4.24)-(4.27) แสดงถึงผลกระทบของค่าประจุแฝงต่อประสิทธิภาพของอินทิเกรเตอร์ชนิดสูญเสีย ที่การทำงานบริเวณอิมิตัว ค่าประจุแฝงเกต-เดรน (C_{gd}) และค่าประจุแฝงเกต-ซอร์ส (C_{gs}) จะเปลี่ยนไปตามกระแสไบอัส กำหนดให้ ค่าประจุแฝง $C_{gdi} = C_{gd}$, $C_{gsi} = C_{gs}$ โดยที่ $C_{gd} = W L_D C_{ox}$ และ $C_{gs} = W((2/3)(L) + L_D) C_{ox}$ ทำให้เห็นว่าค่าประจุแฝง C_{gd} และ C_{gs} ทำให้เกิดการเบี่ยงเบนเล็กน้อยของผลตอบสนองทางความถี่ในอินทิเกรเตอร์ชนิดสูญเสีย เพื่อป้องกันข้อผิดพลาดค่า C_1 ควรมีค่า

$$C_1 \gg 4(C_{gs} + C_{gd}) \quad (4.28)$$

(ข) อินทิเกรเตอร์ชนิดไม่สูญเสีย

ในทำนองเดียวกันผลกระทบจากค่าประจุแฝงเกต-เดรน (C_{gd}) และ ค่าประจุแฝงเกต-ซอร์ส (C_{gs}) ทั้งในอินทิเกรเตอร์ชนิดไม่สูญเสียแบบกลับเฟสและไม่กลับเฟสในรูปที่ 4.5 สามารถพิจารณาได้จาก กำหนดให้ค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์มีค่าเท่ากัน ฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ ชนิดไม่สูญเสียที่ได้รับผลกระทบจากค่าประจุแฝง C_{gd} และ C_{gs} ประมาณได้ดังนี้

$$\frac{I_{Y1}}{I_X} = \frac{-g_m}{s(4C_{gd3} + 4C_{gd5} + C_{gd2} + C_1)} \quad (4.29)$$

$$\frac{I_{Z1}}{I_X} = \frac{g_m}{s(4C_{gd2} + 4C_{gd4} + C_{gd5} + C_1)} \quad (4.30)$$

$$\frac{I_{Y2}}{I_X} = \frac{-g_m}{s(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5} + C_1)} \quad (4.31)$$

$$\frac{I_{Z2}}{I_X} = \frac{g_m}{s(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5} + C_1)} \quad (4.32)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ (4.29)-(4.32) แสดงถึงผลกระทบจากค่าประจุแฝง C_{gd} และ C_{gs} ต่อประสิทธิภาพของอินทิเกรเตอร์ชนิดไม่สูญเสีย ในบริเวณอิมิตัวค่าประจุแฝงเกต-เดรน (C_{gd}) และค่าประจุแฝงเกต-ซอร์ส (C_{gs}) จะเปลี่ยนไปตามกระแสไบอัส เพื่อป้องกันข้อผิดพลาด ค่า C_1 ควรมีค่า

$$C_1 \gg 9C_{gd} + 5C_{gs} \quad (4.33)$$

จากสมการที่ (4.33) จะพบว่าสามารถลดข้อผิดพลาดได้โดยการเลือกค่า C_1 ให้มีค่าสูงมาก ๆ

4.2 ค่าเหนี่ยวนำแฝง (g_{ds})

ในรูปที่ 4.21 แหล่งจ่ายกระแสควบคุมด้วยแรงดัน $g_m v_{gs}$ เป็นองค์ประกอบสำคัญของแบบจำลอง จากความสัมพันธ์ของกระแส-แรงดันของทรานซิสเตอร์คือ

$$i_{DS} = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \quad (4.34)$$

ในสมการที่ (4.34) $\lambda < 1$ (volts)⁻¹ แทนผลกระทบ Channel-Length Modulation ทำให้เกิดความชันของกระแสเดรน ดังฟังก์ชันของแรงดันเดรน-ซอร์ส (v_{DS}) Channel Conductance จะขึ้นอยู่กับ L ถึง λ ที่เป็นส่วนกลับของ L ($\lambda \propto 1/L$) แบบจำลองสัญญาณขนาดเล็กของ Channel Conductance g_{ds} จะมีค่า

$$g_{ds} = \frac{\partial i_{DS}}{\partial v_{DS}} = \frac{\lambda i_{DS}}{1 + \lambda v_{DS}} \approx \lambda i_{DS} \quad (4.35)$$

(ก) อินทิเกรเตอร์ชนิดสูญเสีย

ใช้แบบจำลองสัญญาณขนาดเล็กในรูปที่ 4.21 สำหรับมอสทรานซิสเตอร์พิจารณาเฉพาะผลกระทบจากค่าเหนี่ยวนำแฝงและกำหนดให้ค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์มีค่าเท่ากัน ฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดสูญเสียในรูปที่ 4.3 เขียนใหม่ได้ดังนี้

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + g_{ds1} + sC_1} \quad (4.36)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{(g_m)^2}{(g_m)^2 + g_m (g_{ds1} + g_{ds2} + g_{ds3}) + sC_1 (g_m + g_{ds2} + g_{ds3})} \quad (4.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ $g_{dsi} = g_{ds}$ สำหรับทรานซิสเตอร์ทุกตัวและเมื่อค่าเหนี่ยวนำแฝง $g_{ds} \ll g_m$ สมการที่ (4.37) จะเขียนใหม่ได้ดังนี้

$$\frac{I_{O2}}{I_{IN}} \approx \frac{g_m}{g_m + 3g_{ds} + sC_1} \quad (4.38)$$

สมการที่ (4.38) แสดงให้เห็นว่าเพื่อที่จะหลีกเลี่ยงข้อผิดพลาดในฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ ชนิดไม่สูญเสียค่าทรานสดักแทนซ์ g_m ควรมีค่า

$$g_m \gg 3g_{ds} \quad (4.39)$$

เมื่อตรวจสอบสมการที่ (4.11) และสมการที่ (4.39) แล้วสามารถป้องกันข้อผิดพลาดได้ถ้าใช้ความกว้างแบนเนลของมอสทรานซิสเตอร์ที่มีค่ามาก

(ข) อินทิเกรเตอร์ชนิดไม่สูญเสีย

ในทำนองเดียวกันพิจารณาเฉพาะผลกระทบของค่าเหนี่ยวนำแฝงเดรน-ซอร์ส (g_{ds}) ฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดไม่สูญเสียทั้งแบบกลับเฟสและไม่กลับเฟสในรูปที่ 4.5 สามารถเขียนใหม่ได้ดังนี้

$$\frac{I_{Ya}}{I_X} = \frac{-(g_m)^2}{g_m(g_{ds1} + g_{ds3} + g_{ds4} + g_{ds5}) + sC_1(g_m + g_{ds3} + g_{ds4})} \quad (4.40)$$

$$\frac{I_{Za}}{I_X} = \frac{(g_m)^2}{g_m(g_{ds1} + g_{ds2} + g_{ds3} + g_{ds4}) + sC_1(g_m + g_{ds2} + g_{ds3})} \quad (4.41)$$

สมการที่ (4.40) และสมการที่ (4.41) แสดงให้เห็นว่าค่าเหนี่ยวนำแฝงเดรน-ซอร์ส (g_{ds}) มีผลกระทบต่อฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดไม่สูญเสียในรูปที่ 4.5 อย่างไร กำหนดให้ค่าทรานสดักแทนซ์ของมอสทรานซิสเตอร์มีค่าเท่ากัน สมการที่ (4.40) และสมการที่ (4.41) สามารถเขียนใหม่ได้ดังนี้

$$\frac{I_{Ya}}{I_X} \approx \frac{-g_m}{4g_{ds} + sC_1} = \left(\frac{-g_m}{4g_{ds}} \right) \frac{4g_{ds}/C_1}{s + 4g_{ds}/C_1} \quad (4.42)$$

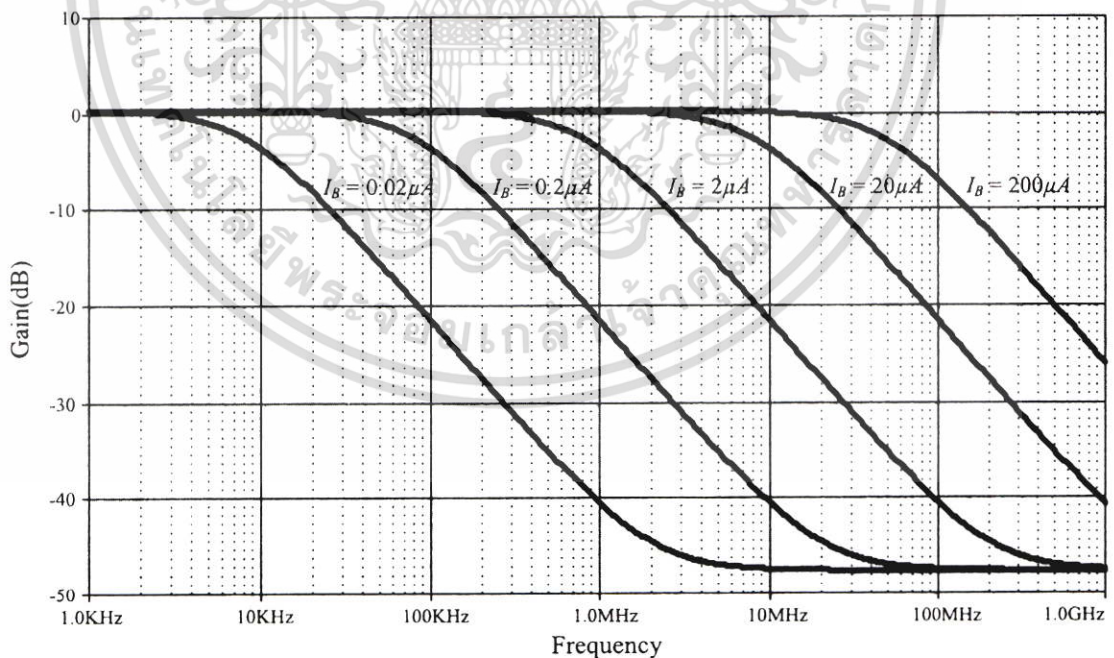
$$\frac{I_{Za}}{I_X} \approx \frac{g_m}{4g_{ds} + sC_1} = \left(\frac{g_m}{4g_{ds}} \right) \frac{4g_{ds}/C_1}{s + 4g_{ds}/C_1} \quad (4.43)$$

จากสมการที่ (4.42) และสมการที่ (4.43) จะพบว่าทั้งสองเอาต์พุตของอินทิเกรเตอร์ชนิดไม่สูญเสียได้รับผลกระทบจากค่าเหนี่ยวนำแฝง (g_{ds}) ดังเช่นโพลแฝงที่ความถี่ต่ำมาก ($\omega_L = 4g_{ds}/C_1$) จะปรากฏในฟังก์ชันถ่ายโอน อย่างไรก็ตามผลกระทบนี้จะมีผลสำคัญที่ความถี่ต่ำมาก เมื่อความถี่ใช้งานมีค่ามากกว่าความถี่ของโพลแฝงมาก ๆ ดังนั้นผลจากโพลแฝงจะทำให้เกิดข้อจำกัดของอินทิเกรเตอร์ชนิดไม่สูญเสียที่ความถี่ต่ำและค่าเกนสูงสุดที่ความถี่ต่ำจะมีค่า ($|k| = g_m/4g_{ds}$)

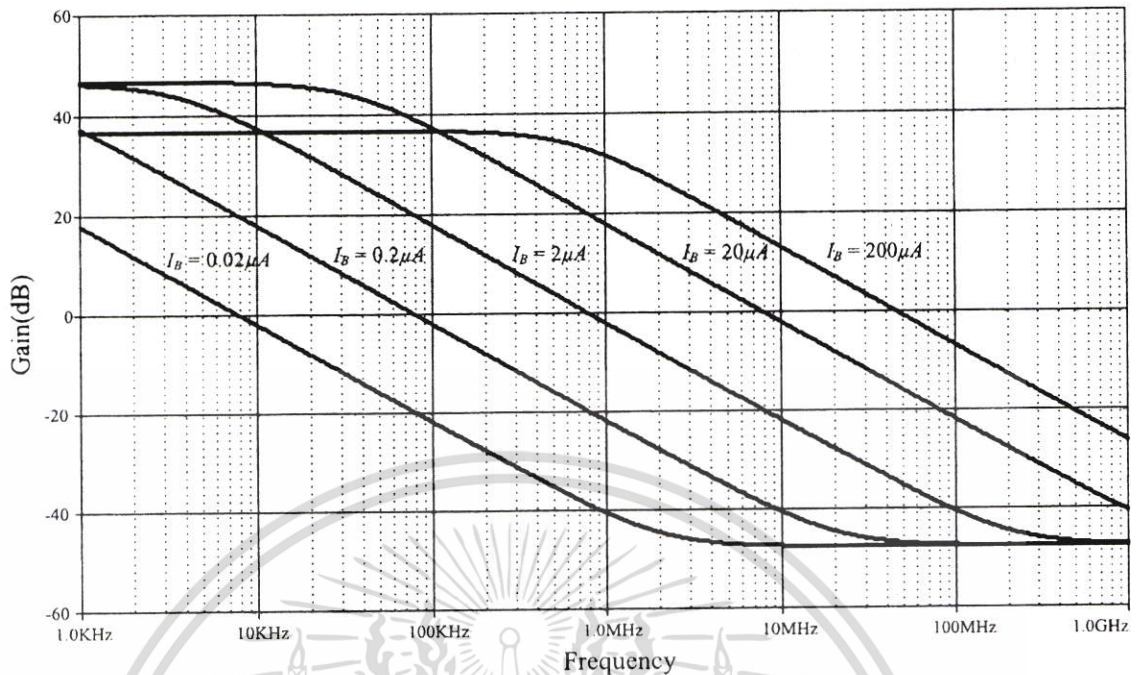
4.2.5 ผลการจำลองการทำงาน

ในหัวข้อนี้จะแสดงผลที่ได้จากการจำลองการทำงานโดย PSpice ของวงจรรองแถบความถี่ผ่าน Chebyshev และวงจรรองแถบความถี่ผ่าน Elliptic การจำลองการทำงานทั้งหมดใช้เทคโนโลยีซีมอส TSMC 0.25 μ m [30] และไฟเลี้ยง 1.5V DC

ผลตอบสนองทางความถี่ของอินทิเกรเตอร์ชนิดสูญเสียใช้ซีมอสในรูปที่ 4.3 และอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอสในรูปที่ 4.5 แสดงดังรูปที่ 4.22 และรูปที่ 4.23 จากผลของการวิเคราะห์ความไม่เป็นอุดมคติจึงเลือกค่าตัวเก็บประจุ $C_1 = 10$ pF เพื่อป้องกันผลกระทบจากค่าประจุแฝงและค่า W/L ของมอสทรานซิสเตอร์ในรูปที่ 4.3 และรูปที่ 4.5 มีค่า $W/L = 70\mu\text{m}/0.5\mu\text{m}$ เพื่อป้องกันข้อผิดพลาดจากอินทิเกรเตอร์ทุกตัวผลลัพธ์ดังรูปที่ 4.22 และรูปที่ 4.23 แสดงให้เห็นว่าผลตอบสนองทางความถี่สามารถปรับค่าได้ ระหว่าง 10kHz ถึง 100MHz โดยการปรับค่ากระแสไบอัส I_B ที่ [0.02, 0.2, 2, 20, 200] μ A

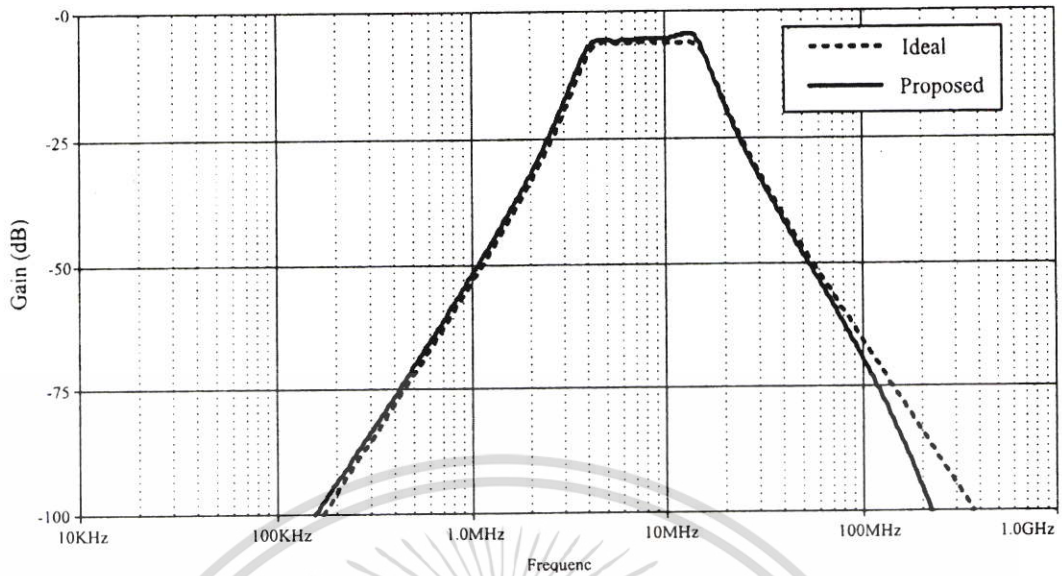


รูปที่ 4.22 ผลตอบสนองทางแมกนิจูดของอินทิเกรเตอร์ชนิดสูญเสียในรูปที่ 4.3 เมื่อปรับค่ากระแสไบอัส (I_B)

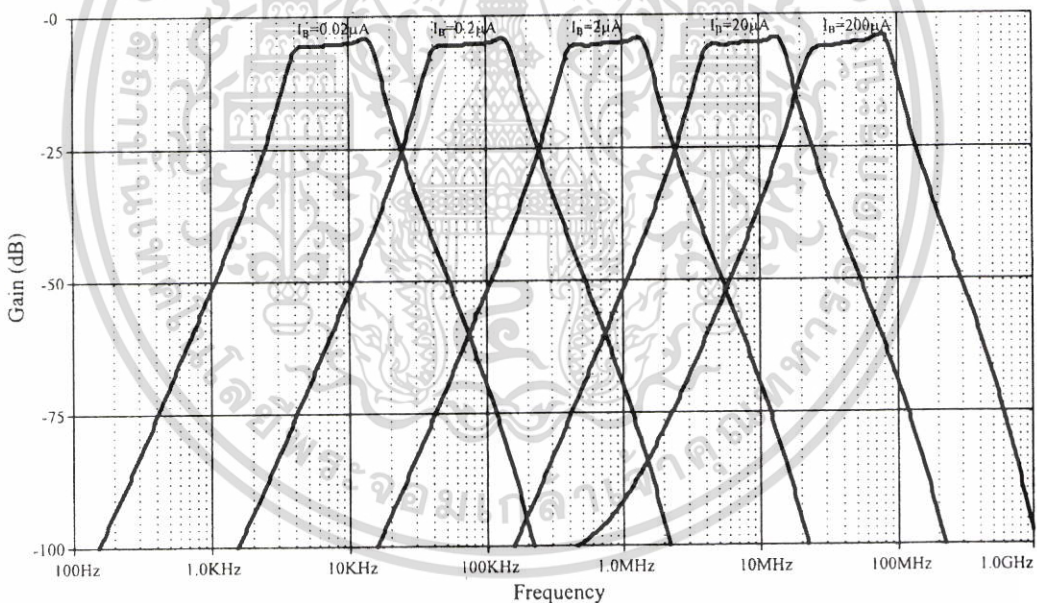


รูปที่ 4.23 ผลตอบสนองทางแมกนิจูดของอินทิเกรเตอร์ชนิดไม่สูญเสียในรูปที่ 4.5 เมื่อปรับค่ากระแสไบอัส (I_B)

วงจร RLC ดั้งแบบและวงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสชนิดขั้นบันไดอันดับหกที่นำเสนอจำลองการทำงานโดยใช้ $C_1 = C_2 = C_3 = 20\text{ nF}$, $L_1 = L_2 = L_3 = 20\text{ nH}$, $R_S = R_L = 1\ \Omega$ ไฟเลี้ยง 1.5V DC $W/L = 70\ \mu\text{m}/0.5\ \mu\text{m}$ กระแสไบอัส $I_B = 20\ \mu\text{A}$ และ $C_1 = C_2 = C_3 = C'_1 = C'_2 = C'_3 = 10\text{ pF}$ ผลการจำลองการทำงานแสดงในรูปที่ 4.24 ซึ่งพบว่าผลตอบสนองทางแมกนิจูดของวงจรทั้งสองนั้นใกล้เคียงกันมาก แต่จะแตกต่างในช่วงแถบความถี่ผ่านที่รีเบิ้ลมีข้อผิดพลาดประมาณ 0.8dB การปรับค่าทางอิเล็กทรอนิกส์ของวงจรที่นำเสนอทำได้โดยการปรับค่ากระแสไบอัส I_B [0.02, 0.2, 2, 20, 200] ในรูปที่ 4.25 แสดงการปรับค่าได้ของผลตอบสนองทางความถี่ระหว่าง 10kHz ถึง 100MHz ค่าอินพุตอิมพีแดนซ์ของวงจรในช่วงแถบความถี่ผ่าน ที่กระแสไบอัส $I_B = 200\ \mu\text{A}$ มีค่าประมาณ $200\ \Omega$ ดังแสดงในรูปที่ 4.26

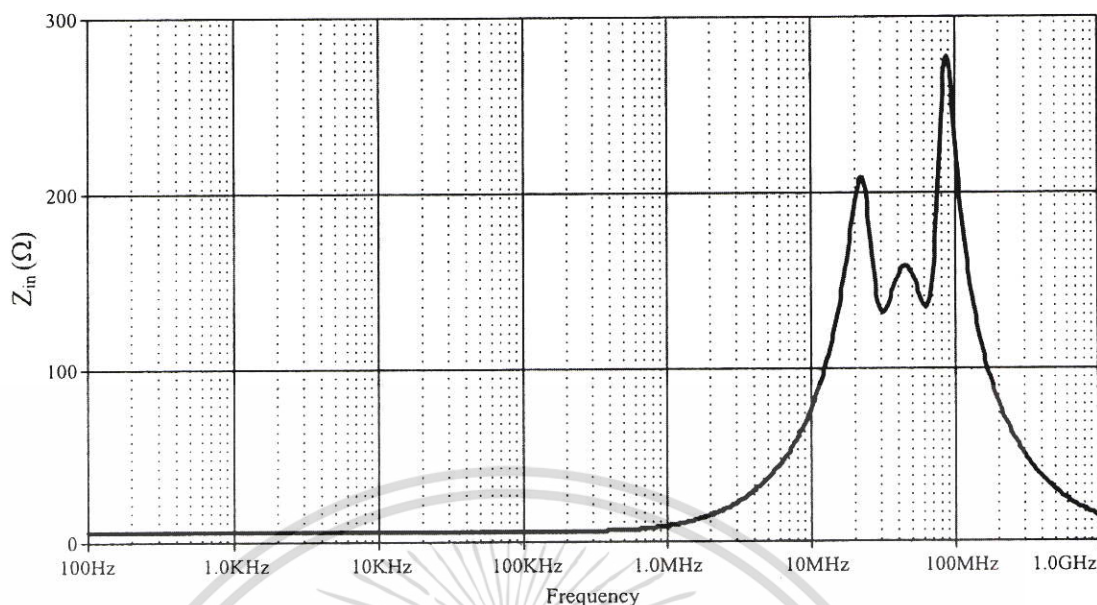


รูปที่ 4.24 ผลตอบสนองทางแมกนิจูดของวงจรกรองแถบความถี่ผ่าน Chebyshev ($I_B=20\mu\text{A}$) และวงจร RLC ต้นแบบ



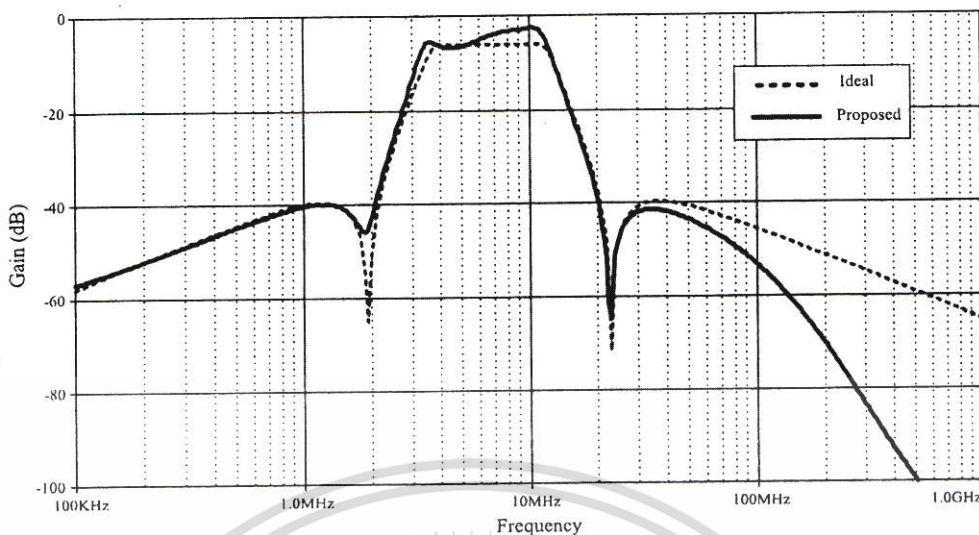
รูปที่ 4.25 การปรับค่าทางอิเล็กทรอนิกส์ของวงจรกรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอโดยการปรับค่ากระแสไบอัส I_B [0.02, 0.2, 2, 20, 200] μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



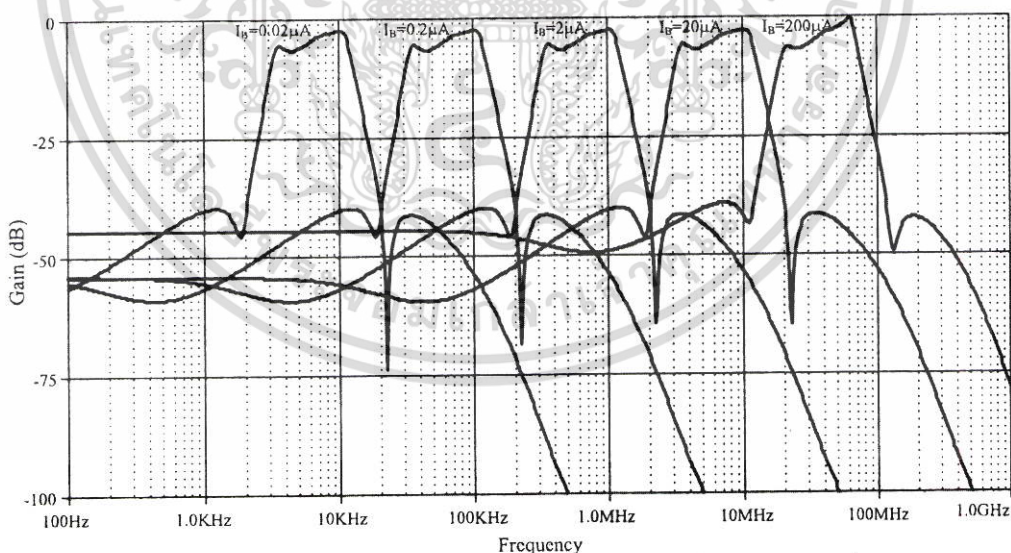
รูปที่ 4.26 ค่าอินพุตอิมพีแดนซ์ของวงจรกรองแถบความถี่ผ่าน Chebyshev อันดับหก ($I_B=200\mu\text{A}$)

วงจร RLC ต้นแบบและวงจรกรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสนิดขึ้นบันไดอันดับหกที่นำเสนอจำลองการทำงานโดยใช้ $C_1=C_2=C_3=25\text{nF}$, $C_4=2.5\text{nF}$, $L_1=L_2=L_3=25\text{nH}$, $L_4=250\text{nH}$ และ $R_S=R_L=1\Omega$ โฟลเลี้ยง 1.5V DC ทรานซิสเตอร์ทุกตัวใช้ค่า $W/L=70\mu\text{m}/0.5\mu\text{m}$ ยกเว้นทรานซิสเตอร์ที่เอาต์พุตใช้ค่า $W/L=5\mu\text{m}/0.5\mu\text{m}$ เพื่อให้ได้ค่า $k=0.1I_B$ ค่าของตัวเก็บประจุ $C_1+C_4=12\text{pF}$, $C_3+C_4=12\text{pF}$, $C_2=15\text{pF}$, $C_1'=10\text{pF}$, $C_4'=100\text{pF}$, $C_3'=10\text{pF}$, $C_2'=15\text{pF}$ และกระแสไบอัส $I_B=20\mu\text{A}$ ผลตอบสนองทางแมกนิจูดของวงจรกรองที่นำเสนอและวงจรต้นแบบแสดงในรูปที่ 4.27 จะพบได้ว่าผลตอบสนองทางแมกนิจูดของวงจรกรองที่นำเสนอมีข้อผิดพลาดเล็กน้อยในด้านซ้ายของช่วงแถบความถี่หยุดผ่านและช่วงแถบความถี่ผ่านมีริบเบิลที่มากกว่าวงจรต้นแบบอยู่ประมาณ 2dB



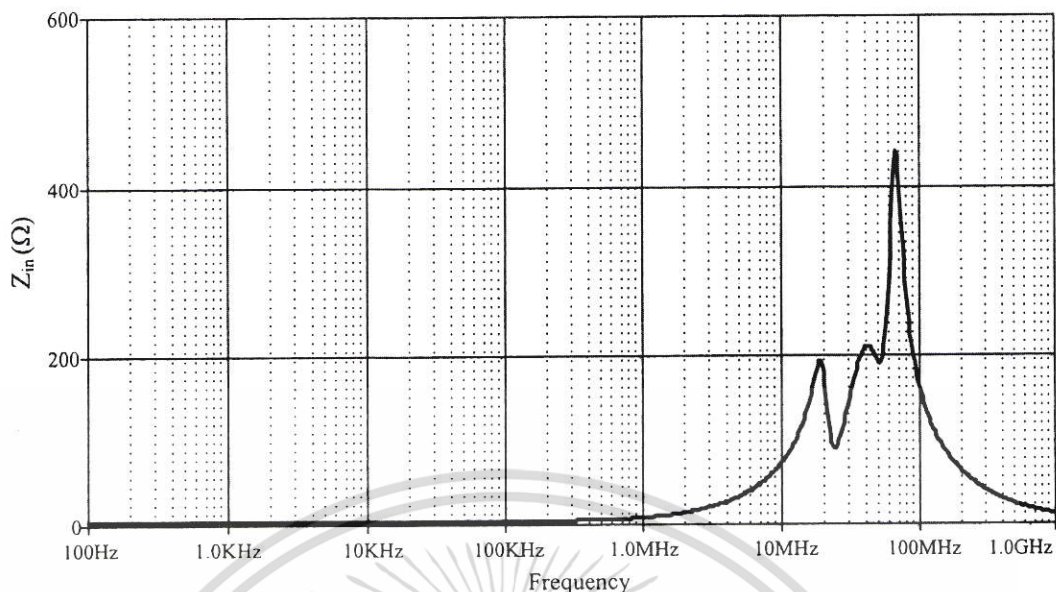
รูปที่ 4.27 ผลตอบสนองทางแมกนิจูดของวงจรกรองแถบความถี่ผ่าน Elliptic ($I_B=20\mu A$) และวงจรต้นแบบ

รูปที่ 4.28 แสดงการปรับค่าทางอิเล็กทรอนิกส์ของผลตอบสนองทางแมกนิจูดของวงจรกรองแถบความถี่ผ่าน Elliptic ชนิดชั้นบันได อันดับสูงโดยการปรับค่ากระแสไบอัส I_B [0.02, 0.2, 2, 20, 200] μA พิจารณารูปที่ 4.28 พบว่าผลตอบสนองทางความถี่ของวงจรกรองที่นำเสนอสามารถปรับได้ในช่วง 10kHz ถึง 100MHz ค่าอินพุตอิมพีแดนซ์ของวงจรในช่วงแถบความถี่ผ่าน ที่กระแสไบอัส $I_B = 200\mu A$ มีค่าประมาณ 300 Ω ดังแสดงในรูปที่ 4.29



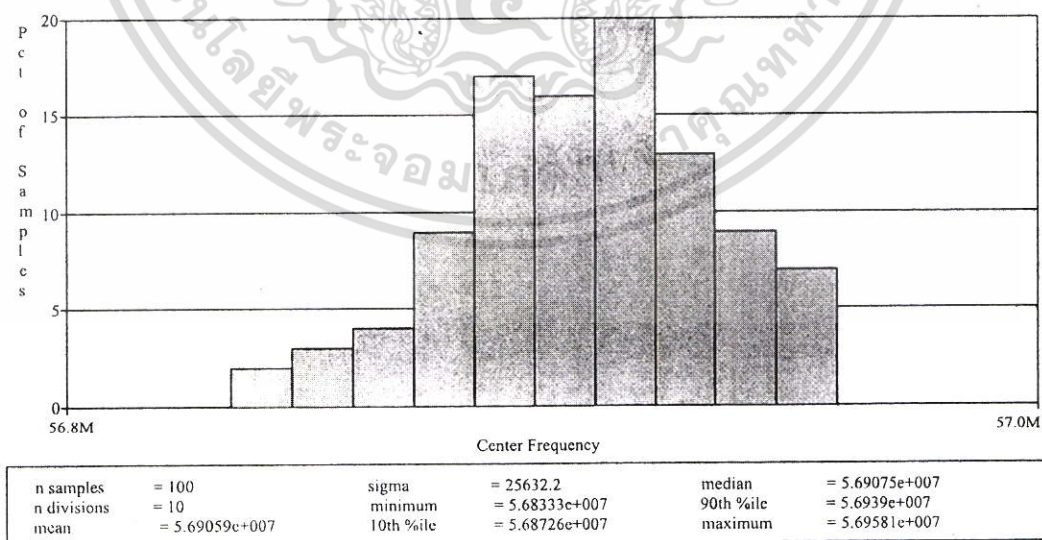
รูปที่ 4.28 การปรับค่าทางอิเล็กทรอนิกส์ของวงจรกรองแถบความถี่ผ่าน Elliptic ที่นำเสนอโดยการปรับค่ากระแสไบอัส I_B [0.02, 0.2, 2, 20, 200] μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



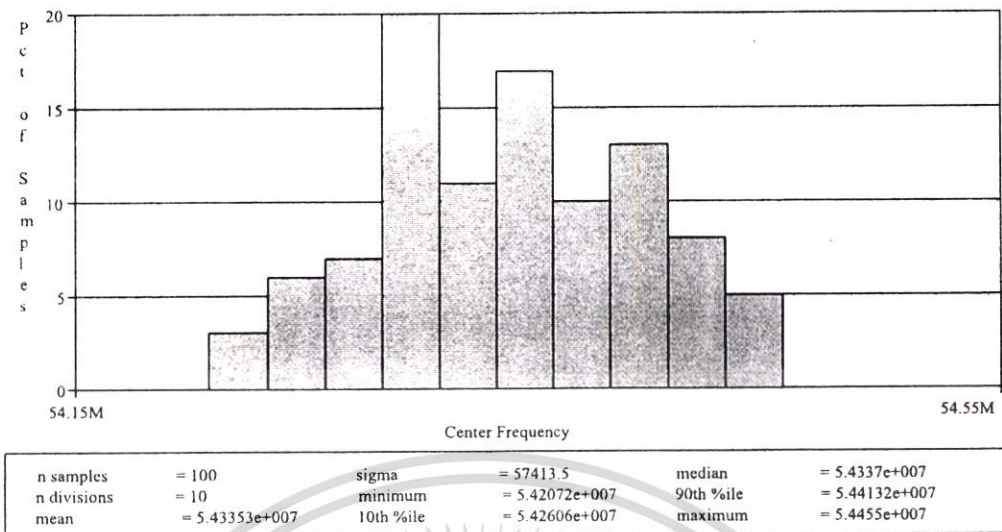
รูปที่ 4.29 ค่าอินพุตอิมพีแดนซ์ของวงจรกรองแถบความถี่ผ่าน Elliptic ($I_B=200\mu\text{A}$)

เนื่องจากวงจรกรองต้นแบบ RLC มีข้อดีคือมีความไวต่ำ ดังนั้นเพื่อทดสอบให้เห็นว่าวงจรกรองแถบความถี่ผ่าน Chebyshev และวงจรกรองแถบความถี่ผ่าน Elliptic ที่นำเสนอได้รับข้อดีดังกล่าวนี้มาด้วยสามารถตรวจสอบได้โดยการวิเคราะห์ของมอนติคาร์โลที่แสดงในรูปที่ 4.30 และรูปที่ 4.31 ตามลำดับ โดยกำหนดให้ค่าเบี่ยงเบนของความหนาของออกไซด์ (t_{ox}) ในกระบวนการมีเท่ากับ 5% ทำการทดสอบ 100 ตัวอย่างเพื่อตรวจสอบค่าเบี่ยงเบนของค่าความถี่กลางของวงจรกรองแถบความถี่ผ่านทั้งสองแบบ ที่กระแสไบอัส $I_B=200\mu\text{A}$ จะพบว่าวงจรกรองแถบความถี่ผ่านที่นำเสนอทั้งสองแบบมีค่าเบี่ยงเบนเล็กน้อยประมาณ 100kHz



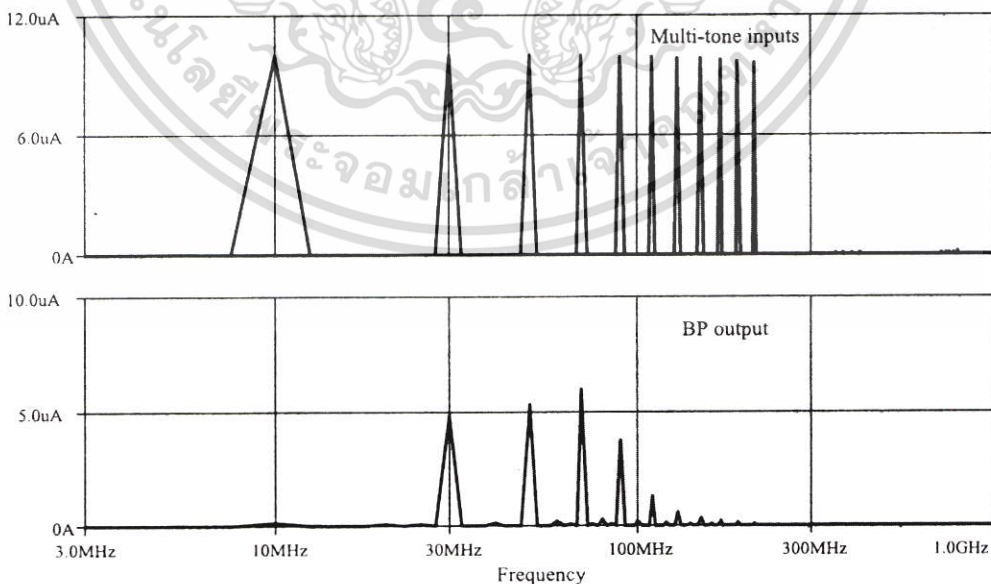
รูปที่ 4.30 การจำลองมอนติคาร์โลของวงจรกรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu\text{A}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

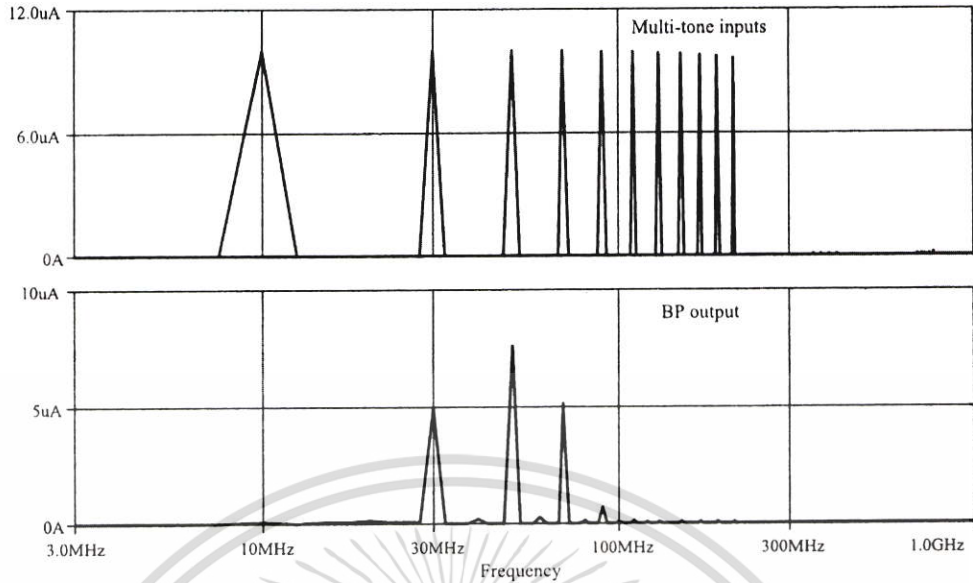


รูปที่ 4.31 การจำลองมอนติคาร์โลของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu A$)

นอกจากนี้ยังใช้การทดสอบ Multi-Tone เพื่อยืนยันประสิทธิภาพของวงจรรองแถบความถี่ผ่านที่นำเสนอ ที่กระแสไบอัส $I_B=200\mu A$ เริ่มด้วยป้อน Multi-Tone ของความถี่ [10-210] MHz เข้าอินพุตของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ (ช่วงแถบความถี่ผ่าน 20MHz-80MHz) พบว่าที่เอาต์พุตมี Tone ที่ออกมาคือ 30-70 MHz และ Tone เล็ก ๆ 90MHz แสดงในรูปที่ 4.32 หลังจากนั้นป้อน Multi-Tone ของความถี่ [10-210] MHz เข้าอินพุตของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ (ช่วงแถบความถี่ผ่าน 30MHz-70MHz) พบว่าที่เอาต์พุตมี Tone ที่ออกมาคือ 30-70 MHz และ Tone เล็ก ๆ 90MHz แสดงในรูปที่ 4.33 ซึ่งเป็นเครื่องยืนยันการทำงานของวงจรรองที่นำเสนอ

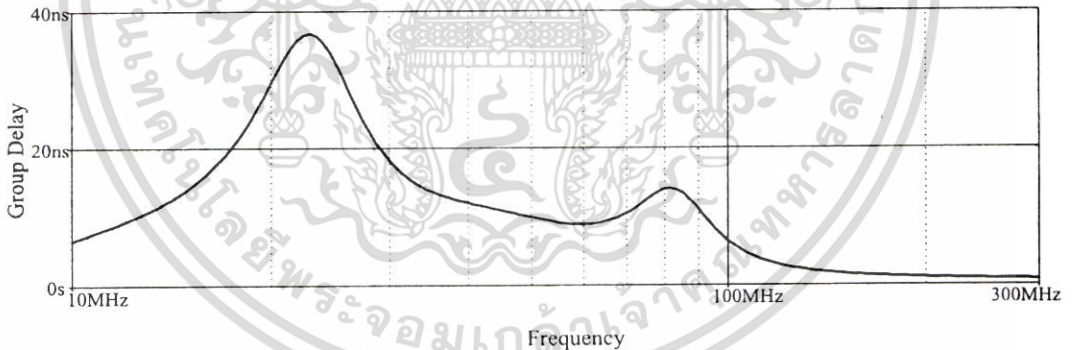


รูปที่ 4.32 ทดสอบ Multi-Tone ของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu A$)

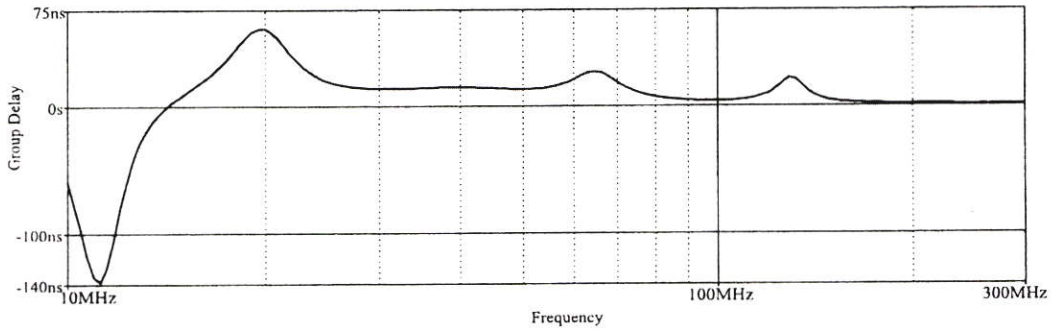


รูปที่ 4.33 ทดสอบ Multi-Tone ของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu A$)

ในรูปที่ 4.34 แสดงให้เห็นถึงคุณสมบัติของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ในด้านของ group delay ที่กระแสไบอัส $200\mu A$ (ช่วงแถบความถี่ผ่าน 20MHz-80MHz) ซึ่งจะเห็นได้ว่ามีค่า group delay ในช่วงของความถี่แถบผ่านประมาณ 9 ns-36 ns เช่นเดียวกับรูปที่ 4.35 แสดงให้เห็นถึงคุณสมบัติของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอมีค่า group delay ที่กระแสไบอัส $200\mu A$ (ช่วงแถบความถี่ผ่าน 30MHz-70MHz) ในช่วงของความถี่แถบผ่านประมาณ 5 ns-25 ns

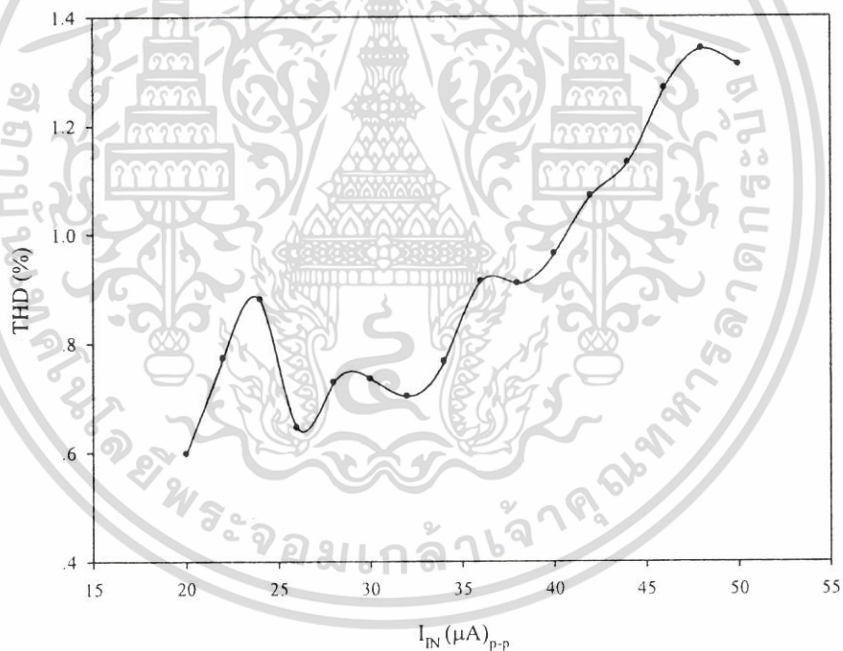


รูปที่ 4.34 ทดสอบ Group Delay ของวงจรรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu A$)

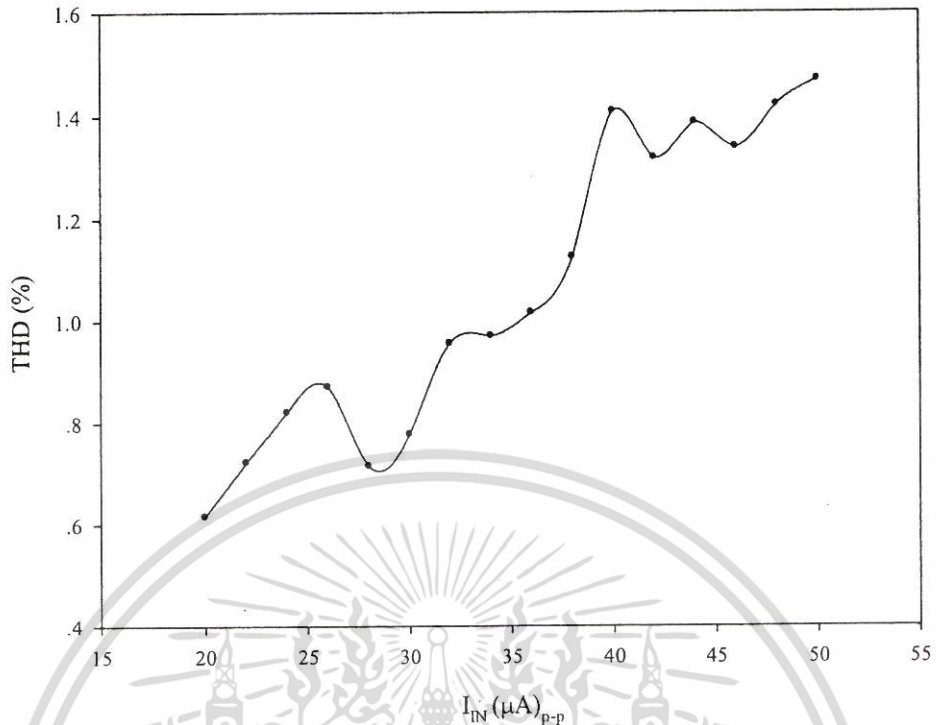


รูปที่ 4.35 ทดสอบ Group Delay ของวงจรกรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu A$)

จากนั้นทำการวัดค่าความเพี้ยนทางฮาร์มอนิก (Total Harmonic Distortion : THD) ของวงจรกรองแถบความถี่ผ่านทั้งสองแบบที่กระแสไบอัส $I_B=200\mu A$ ป้อนสัญญาณอินพุต 50 MHz ที่มีแอมพลิจูดเปลี่ยนแปลงตลอดให้กับวงจรกรองแถบความถี่ผ่าน Chebyshev และวงจรกรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ วัดค่าความเพี้ยนทางฮาร์มอนิกที่เอาต์พุตได้ผลดังแสดงในรูปที่ 4.36 และรูปที่ 4.37 ซึ่งพบว่าค่าความเพี้ยนทางฮาร์มอนิกของวงจรกรองแถบความถี่ผ่านทั้งสองแบบต่ำกว่า 1.5% ที่ $50\mu A_{p-p}$ อินพุตแอมพลิจูด

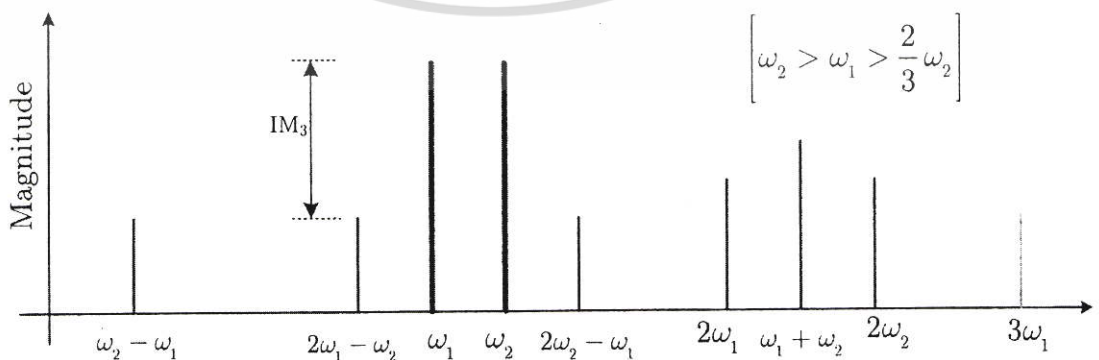


รูปที่ 4.36 ค่าความเพี้ยนทางฮาร์มอนิก (THD) ที่ 50MHz ของวงจรกรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu A$)



รูปที่ 4.37 ค่าความเพี้ยนทางฮาร์โมนิก (THD) ที่ 50MHz ของวงจรกรองแถบความถี่ผ่าน Elliptic ที่นำเสนอนี้ ($I_B=200\mu A$)

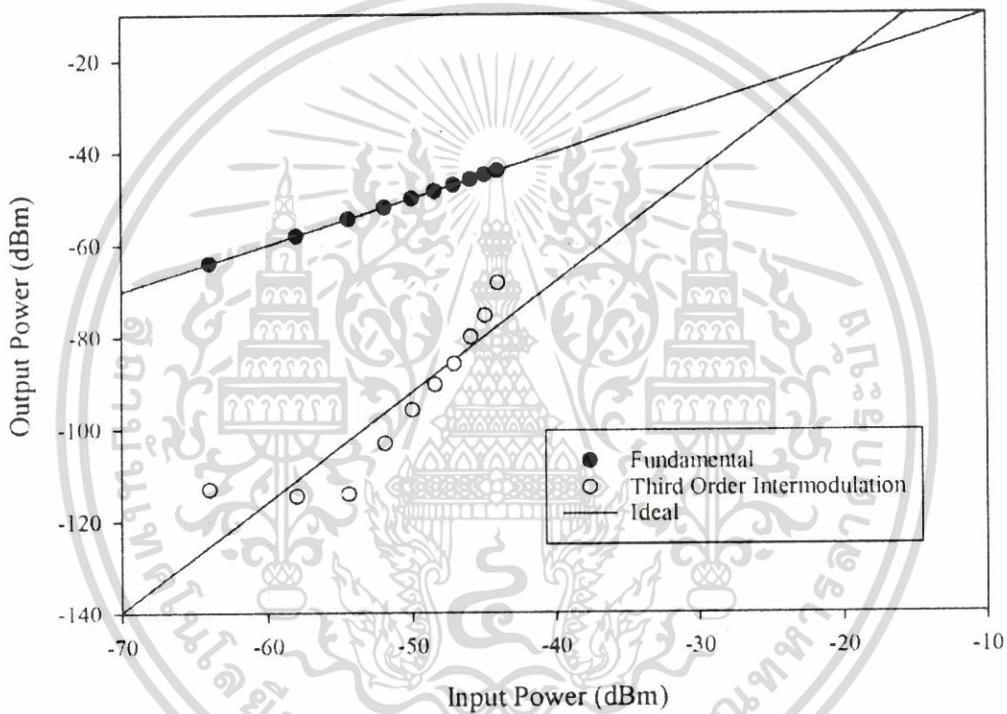
หลังจากวัดค่าความเพี้ยนทางฮาร์โมนิก (Total Harmonic Distortion : THD) ของวงจรกรองแถบความถี่ผ่านทั้งสองแบบแล้วเพื่อเป็นการทดสอบประสิทธิภาพในเรื่องความเพี้ยน ในบางกรณีที่มีความถี่สูง การวัดค่า THD อาจจะบอกถึงความเพี้ยนที่ฮาร์โมนิกสัณดับสูงได้ ทำให้ดูเหมือนกับวงจรขยายจะมี THD ต่ำ ซึ่งอาจจะเพียงเพราะค่าฮาร์โมนิกสัณดับสูงอยู่เลยความถี่ปฏิบัติงานของวงจร ดังนั้นถ้าต้องมีการวัดความเพี้ยนที่สามารถทำได้ที่มีความถี่สูงใกล้เคียงกับปฏิบัติงาน จะต้องทำการวัดโดยวิธีอื่น โดยการป้อนสัญญาณไซน์อินพุตจำนวน 2 สัญญาณและมีความถี่ต่างกัน ซึ่งจะเกิดการ Intermodulation (IM) เมื่อสัญญาณไซน์ตั้งแต่สองสัญญาณถูกป้อนเข้าสู่วงจรที่ทำงานไม่เป็นเชิงเส้น แม้ว่าสัญญาณอินพุตนั้นมีความถี่มูลฐานเดียวกันแต่ก็มีฮาร์โมนิกที่แตกต่างกัน จึงเกิดองค์ประกอบสัญญาณแปลกปลอมที่เอาต์พุตสามารถสรุปได้ดังรูปที่ 4.38 สำหรับในช่วงความถี่ $\omega_2 > \omega_1 > \frac{2}{3}\omega_2$



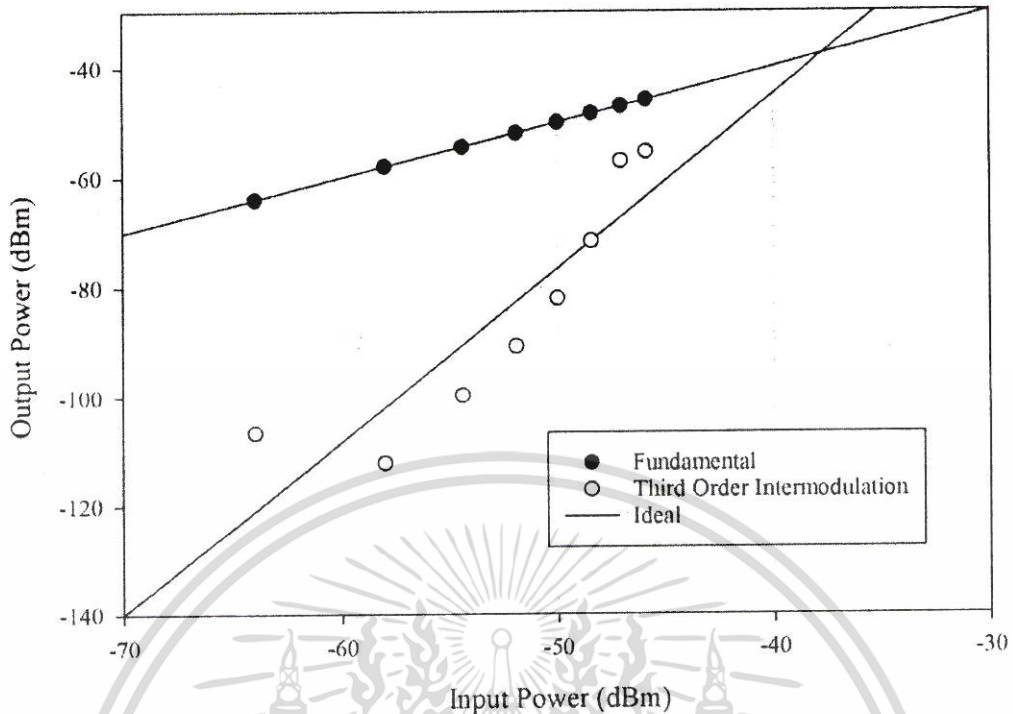
รูปที่ 4.38 สเปกตรัมของความถี่เอาต์พุตเมื่อเกิดการ Intermodulation [45]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงทำการทดสอบ 2-Tone โดยสำหรับวงจรกรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ป้อนสัญญาณอินพุตที่สองความถี่ 50 MHz และ 51 MHz ด้วยแอมพลิจูดต่าง ๆ (20–200 μA หรือ -64 dBm ถึง -44 dBm) ที่กระแสไบอัส $I_B=200\mu\text{A}$ พบว่าที่ความถี่ 52 MHz ($2\omega_2 - \omega_1$) ที่ใช้พิจารณา Third Order Intermodulation distortion (IM3) ได้ผลลัพธ์ดังรูปที่ 4.39 โดยค่าที่ดีที่สุดที่สุดคือ 59 dBm ที่อินพุต 60 μA ค่าที่ยอมรับได้คือ 24 dBm ที่อินพุต 200 μA ส่วนวงจรกรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ป้อนสัญญาณอินพุตที่สองความถี่ 50 MHz และ 51 MHz ด้วยแอมพลิจูดต่าง ๆ (20–160 μA หรือ -64 dBm ถึง -45.9 dBm) ที่กระแสไบอัส $I_B=200\mu\text{A}$ พบว่าที่ความถี่ 52 MHz ($2\omega_2 - \omega_1$) ที่ใช้พิจารณา Third Order Intermodulation distortion (IM3) ได้ผลลัพธ์ดังรูปที่ 4.40 โดยค่าที่ดีที่สุดที่สุดคือ 54 dBm ที่อินพุต 40 μA ค่าที่ยอมรับได้คือ 23 dBm ที่อินพุต 120 μA



รูปที่ 4.39 Third Order Intermodulation distortion (IM3) ของวงจรกรองแถบความถี่ผ่าน Chebyshev ที่นำเสนอ ($I_B=200\mu\text{A}$)



รูปที่ 4.40 Third Order Intermodulation distortion (IM3) ของวงจรรองแถบความถี่ผ่าน Elliptic ที่นำเสนอ ($I_B=200\mu\text{A}$)

4.2.6 สรุป

วิทยานิพนธ์นี้นำเสนอวงจรรองแถบความถี่ผ่าน Chebyshev และ Elliptic ชนิดชั้นบันไดรูปแบบกระแสปรับค่าได้ทางอิเล็กทรอนิกส์ โดยวงจรรองทั้งสองสร้างโดยการแปลงโครงข่าย (Network Transformation) ของวงจรรองความถี่ต่ำผ่าน RLC ชนิดชั้นบันไดต้นแบบด้วยวิธีการกราฟการไหลสัญญาณ (Signal Flow Graph) วงจรรองทั้งสองสร้างในระดับทรานซิสเตอร์โดยใช้มอสเฟต ซึ่งเป็นการสร้างเป็นวงจรรวมที่น่าสนใจ วงจรรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดที่นำเสนอประกอบด้วยอินทิเกรเตอร์ชนิดสูญเสีย 2 ตัว อินทิเกรเตอร์ชนิดไม่สูญเสีย 4 ตัวและตัวเก็บประจุแบบต่อลงกราวด์ 6 ตัว ผลตอบสนองทางความถี่สามารถปรับค่าได้ระหว่าง 10kHz ถึง 100MHz โดยการปรับค่ากระแสไบอัสจาก $0.02\mu\text{A}$ ถึง $200\mu\text{A}$ วงจรรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดที่นำเสนอประกอบด้วยอินทิเกรเตอร์ชนิดสูญเสีย 2 ตัว อินทิเกรเตอร์ชนิดไม่สูญเสีย 5 ตัวและวงจรรายกระแสบแบบหลายเอาต์พุตจำนวน 2 ตัวที่มีค่า Aspect Ratio ของมอสทรานซิสเตอร์ที่ต่างกัน ผลตอบสนองทางความถี่สามารถปรับค่าได้ระหว่าง 10kHz ถึง 100MHz โดยการปรับค่ากระแสไบอัสจาก $0.02\mu\text{A}$ ถึง $200\mu\text{A}$ วงจรรองแถบความถี่ผ่าน Chebyshev และ Elliptic ที่นำเสนอใช้ไฟเลี้ยง 1.5V ใช้พลังงานทั้งหมดอยู่ระหว่าง 1.34 μW -13.4mW และ 2.18 μW -21.8mW ตามลำดับตลอดการปรับค่ากระแสไบอัสจาก $0.02\mu\text{A}$ ถึง $200\mu\text{A}$ ค่าความเพี้ยนทางฮาร์โมนิก (THD) ต่ำกว่า 1.5% ที่ความถี่สูงได้จาก 50 μA -p ช่วงอินพุต และเมื่อพิจารณาพร้อมกับการทดสอบ Third Order Intermodulation distortion (IM3) พบว่าสอดคล้องกันโดยที่ค่าที่ความเพี้ยนน้อยที่สุดของวงจรรองแถบความถี่ผ่าน Chebyshev และ Elliptic ที่นำเสนอคืออินพุตที่ 60 μA และ 40 μA ตามลำดับที่กระแสไบอัส 200 μA

บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทสรุปการวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรกรองแถบความถี่ผ่าน รูปแบบกระแส อันดับสูง ปรับค่าได้ ทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์ทั้งแบบ Chebeshev และแบบ Elliptic ซึ่งในอดีตนั้นได้มีงานวิจัยที่ใช้อุปกรณ์ต่าง ๆ มาสร้างเป็นวงจรกรองแถบความถี่ผ่านแบบ Chebeshev และแบบ Elliptic ด้วยกันหลายงานวิจัย จากการวิเคราะห์งานวิจัยที่ผ่านมาในอดีตสามารถสรุปคุณลักษณะของวงจรกรองแถบความถี่ผ่านแบบ Chebeshev เทียบกับวงจรที่นำเสนอได้ดังตารางที่ 5.1 และแบบ Elliptic เทียบกับวงจรที่นำเสนอได้ดังตารางที่ 5.2

ตารางที่ 5.1 ตารางเปรียบเทียบคุณลักษณะของวงจรกรองแถบความถี่ผ่านแบบ Chebeshev เทียบกับวงจรที่นำเสนอ

งานวิจัย	เทคนิคที่ใช้ในการออกแบบ	อุปกรณ์	ย่านความถี่ในการปรับค่า	ความถี่สูงสุดที่ใช้งานได้	จำนวนตัวต้านทาน	Voltage Supply	จำนวนอุปกรณ์ (จำนวนอุปกรณ์ x จำนวนทรานซิสเตอร์)
3.1.1 [39]	วงจรไปคอด	โอทีเอ	0.5MHz – 2MHz	2MHz	ไม่มี	N/A	OTA 9 ตัว (9 x 28)
3.1.2 [40]	แปลงอุปกรณ์แพสซีฟไปเป็นอุปกรณ์แอคทีฟ	CDBA	0.2MHz - 2MHz	2 MHz	11	N/A	CDBA 6 ตัว (6 x 17)
3.1.3 [41]	วิเคราะห์ด้วยรูปแบบอุปกรณ์แพสซีฟคู่	MCCCII	0.5MHz – 2MHz	2 MHz	ไม่มี	2 V	MCCCII 6 ตัว (6 x 32)
งานวิจัยที่นำเสนอ	กราฟการไหลของสัญญาณ	มอสทรานซิสเตอร์	0.01MHz – 100 MHz	100 MHz	ไม่มี	1.5 V	มอสทรานซิสเตอร์ 33 ตัว

จากตารางเปรียบเทียบงานวิจัยที่นำเสนอกับงานวิจัยที่ผ่านมาในวงจรกรองแถบความถี่ผ่านแบบ Chebeshev สามารถทำงานได้จริงตามทฤษฎีและมีข้อได้เปรียบหลายอย่างเช่น ใช้ทรานซิสเตอร์จำนวน 33 ตัวน้อยกว่า [39] ใช้ทรานซิสเตอร์ 252 ตัว [40] ใช้ทรานซิสเตอร์ 102 ตัวและ [41] ใช้ทรานซิสเตอร์ 192 ตัว อีกทั้งความถี่สูงกว่าและปรับค่าความถี่ได้กว้างถึง 4 ดีเคด ทำงานที่ย่านความถี่สูงกว่า เป็นต้น

ตารางที่ 5.2 ตารางเปรียบเทียบคุณลักษณะของวงจรรองแถบความถี่ผ่านแบบ Elliptic เทียบกับ วงจรที่นำเสนอ

งานวิจัย	เทคนิคที่ใช้ในการออกแบบ	อุปกรณ์	ย่านความถี่ในการปรับค่า	ความถี่สูงสุดที่ใช้งานได้	ตัวเก็บประจุต่อลอย	Voltage Supply	จำนวนอุปกรณ์ (จำนวนอุปกรณ์ x จำนวนทรานซิสเตอร์)
3.2.1 [42]	กราฟการไหลของสัญญาณ	ออปแอมป์ต่อร่วมกับมอสทรานซิสเตอร์	N/A	0.26 MHz	มี	N/A	OpAmp 7 ตัว (7 x 20) มอสทรานซิสเตอร์ 82 ตัว
3.2.2 [43]	ทาสมารเมทริกซ์	โอทีเอ	0.35-0.4 MHz	0.4 MHz	มี	N/A	OTA 6 ตัว (6 x 18)
3.2.3 [44]	การแปลงอุปกรณ์	ออปแอมป์	N/A	1.15 MHz	มี	N/A	OpAmp 7 ตัว (7 x 20)
งานวิจัยที่นำเสนอ	กราฟการไหลของสัญญาณ	มอสทรานซิสเตอร์	0.01MHz – 100 MHz	100 MHz	ไม่มี	1.5 V	มอสทรานซิสเตอร์ 51 ตัว

จากตารางเปรียบเทียบงานวิจัยที่นำเสนอกับงานวิจัยที่ผ่านมาในวงจรรองแถบความถี่ผ่านแบบ Elliptic สามารถทำงานได้จริงตามทฤษฎีและมีข้อได้เปรียบหลายอย่างเช่น ใช้ทรานซิสเตอร์ 51 ตัวซึ่งจำนวนทรานซิสเตอร์น้อยกว่า [42] ใช้ทรานซิสเตอร์ 222 ตัว [43] ใช้ทรานซิสเตอร์ 108 ตัวและ [44] ใช้ทรานซิสเตอร์ 140 ตัว อีกทั้ง และไม่มีตัวเก็บประจุต่อลอยใช้ตัวเก็บประจุต่อลงกราวด์เหมาะสมสำหรับสร้างวงจรรวม ความถี่สูงกว่าและปรับค่าความถี่ได้กว้างถึง 4 ดีเคด ทำงานที่ย่านความถี่สูงกว่า เป็นต้น ทั้งยังมีโครงสร้างไม่ซับซ้อนอีกด้วย

5.2 ข้อเสนอแนะ

จากการศึกษา ออกแบบ และวิจัยวิทยานิพนธ์ฉบับนี้นั้น มีจุดด้อยคือ ในช่วงความถี่ย่าน VHF วงจรจะเริ่มทำงานได้ไม่สมบูรณ์ และ ต้องการกระแสไบอัสที่สูงทำให้กำลังงานที่ใช้สูงตามไปด้วย แต่อย่างไรก็ตาม สามารถแก้ไขได้โดยการลดค่าตัวเก็บประจุลง หรือ ขยายค่า W/L ให้มากขึ้น แต่ก็จะทำให้ตัวเก็บประจุแผงสูงขึ้นตามไปด้วย ซึ่งเป็นข้อสรุปว่าในแบบจำลองที่ใช้ในวิทยานิพนธ์นี้ (TSMC 0.25 μm) สามารถทำงานในความถี่สูงสุดได้เพียงเท่านั้น ถ้าต้องการให้วงจรทำงานที่ความถี่ที่สูงขึ้นควรใช้แบบจำลองของมอสทรานซิสเตอร์ที่เล็กกว่ามาใช้งาน และ ก็จะสามารถปรับค่า W/L ให้ใหญ่ขึ้นได้ ซึ่งก็จะทำให้ตัวเก็บประจุแผงมีค่าเล็กลงหรือเท่าเดิม วงจรก็จะทำงานที่ความถี่สูงขึ้นได้ รวมถึงเปลี่ยนเทคนิคในการออกแบบวงจรแถบความถี่ผ่านในกรณี Elliptic โดยไม่ใช้ Mirror Capacitance จะทำให้วงจรมีขนาดเล็กลง

เอกสารอ้างอิง

- [1] Huelsman LP. Active and Analog Filter Design. McGraw-Hill, Inc., International Edition, 1993.
- [2] Sedra AS, Brackett PO. Filter Theory and Design: Active and Passive. Matrix Publishers, Beaverton, Oregon, 1978.
- [3] Shah NA, Iqbal SZ, Parveen B. Simple first-order multifunction filter. Indian J. Pure Appl. Phys 2004; 42: 787-866.
- [4] Cao LY, Schwartz HM. Oscillation control in non-linear systems using a first-order filter. Int J Control 2002; 75: 1504-1524.
- [5] Horng JW, Wu CM and Herencsar N. Three-input-one-output current-mode universal biquadratic filter using one differential difference current conveyor. Indian J. Pure Appl. Phys 2014; 52: 556-562.
- [6] Kaçar F, Yeşil A, Gürkan K. Design and experiment of VDCC-based voltage mode universal filter. Indian J. Pure Appl. Phys 2015; 53: 341-349.
- [7] Ozoguz S, Toker A and Cicekoglu O. First-order allpass sections-based current-mode universal filter using ICCIIs. Electron Lett 2000; 36: 1443-1444.
- [8] Ahmad SN, Khan MR and Moinuddin. Operational transconductance amplifier based voltage-mode universal filter. Indian J. Pure Appl. Phys 2005; 43: 714-719.
- [9] Kumngern M, Suwanjan P and Dejhan K. Electronically tunable voltage-mode universal filter with single-input five-output using simple OTAs. Int. J. Electron 2013; 100: 1118-1133.
- [10] Gökçen A, Kilinç S, Çam U. Fully integrated universal biquads using operational transresistance amplifiers with MOS-C realization. Turk J Elec Eng & Comp Sci 2001; 19: 363-372.
- [11] Jin J, Wang C. Current-mode universal filter and quadrature oscillator using CDTAs. Current-mode universal filter and quadrature oscillator using CDTAs. Turk J Elec Eng & Comp Sci 2014; 22: 276-286.
- [12] Arslan E, Metin B, Cicekoglu O. MOSFET-only multi-function biquad filter. AEU-Int. J. Electron. Commun 2015; 69: 1737-1740.
- [13] Arslan E, Metin B, Kuntman H, Cicekoglu O. MOS-only second order current-mode LP/BP filter. Analog Integr. Circuits Process 2013; 74: 105-109.
- [14] Safari L, Minaei S, Metin B. A low power current controllable single-input three-output current-mode filter using MOS transistors only. AEU-Int. J. Electron. Commun 2014; 68: 1205-1213.
- [15] Deliyannis T, Sun Y, Fidler JK. Continuous-Time Active Filter Design. London: CRC Press, 1999.
- [16] Schaumann R, Ghausi MS, Laker KR. Design of Analog Filters: Passive, Active RC and Switched Capacitor, Englewood Cliffs, N.J, Prentice Hall, 1995.
- [17] Ananda Mohan PV. Current-Mode VLSI Analog Filters: Design and Applications, Boston: Birkhauser, 2003.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [18] Rollett JM, Nightingale C. Design and economical realisation of a hybrid RC-active lowpass filter for PCM. *IEEE P-Circ Dev Syst* 1981; 128, 201-204, 1981.
- [19] Allstot DJ, Brodersen RW and Gray PR. Fully-integrated high-order NMOS sampled-data ladder filters. In: *IEEE Intl. Solid-State Circuits Conference*; 15-17 Feb. 1978; 21, San Francisco, CA, USA: IEEE. pp. 82-83.
- [20] Jacobs G, Allstot D, Brodersen R Gray PR. Design techniques for MOS switched capacitor ladder filters. *IEEE Trans. Circuits Syst* 1978; 25, 1014-1021.
- [21] Queiroz ACM de, Caloba LP and Sanchez-Sinencio E. Signal flow graph OTA-C integrated Filters. In: *IEEE International Symposium on Circuits and Systems*; 7-9 Jun 1988; Espoo, Finland: IEEE. pp.2165- 2168.
- [22] Tan MA, Schaumann R. Simulating General Parameter LC-ladder filters for monolithic realizations with only transconductance elements and grounded capacitors. *IEEE Trans. Circuits Syst* 1989; 36, 299-307.
- [23] Fiez TS, Allstot DJ. CMOS switched-current ladder filters. *IEEE J. Solid-State Circuit* 1990; 25, 1360-1367.
- [24] Ng AEJ, Sewell JI. Ladder decompositions for wideband SI filter applications. *IEE P-Circ Dev Syst* 1998; 145, 306-313.
- [25] Martin K. Improved circuits for the realization of switched-capacitor filters. *IEEE Trans. Circuits Syst* 1980; 27, 237-244.
- [26] Lee SS, Allstot D.J. CMOS Continuous-Time Current-Mode Filters for High-Frequency Applications. *IEEE J. Solid-State Circuit* 1993; 28, 323-329.
- [27] Wu J, El-Masry E. Current-mode ladder filters using multiple output current conveyers. *IEE P-Circ Dev Syst* 1996; 143, 218-222.
- [28] Sun Y, Fidler JK. Structure generation and design of multiple loop feedback OTA-grounded capacitor filters. *IEEE Trans. Circuits Syst* 1997; 44, 1-11.
- [29] Chang CM and Al-Hashimi BM. Analytical Synthesis of Current-Mode High-Order OTA-C Filters. *IEEE Trans. Circuits Syst* 2003; 50, 1188-1192.
- [30] Prommee P, Angkeaw K, Somdunyanok M and Dejhan K. CMOS-based near zero-offset multiple inputs max-min circuits and its applications. *Analog Integr. Circuits Process* 2009; 61, 93-105.
- [31] A.S. Sedra and K.C. Smith, "Microelectronic Circuits" Oxford University, 1991
- [32] B. Razavi, "Fundamentals of Microelectronics, 2nd Edition" John Wiley and Sons, Inc., 2013.
- [33] K. Martin, "Digital Integrated Circuit Design," Oxford University, 2000.
- [34] M. H. Rashid, "Microelectronic Circuits Analysis and Design," University of West Florida, 2011.
- [35] พิพัฒน์ พรหมมี, "หลักการตัวกรองความถี่นาลอก," คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2553.

- [36] จิรยุทธ์ มหัทธนกุล, “การออกแบบวงจรกรองแอนะล็อก” แมคกรอ-ฮิล อินเตอร์เนชั่นแนล เอ็นเตอร์ไพรส์, ینگค์ 2001.
- [37] S.Niewiadomski, “Filter Handbook: A Practical Design Guide,” Courier International Ltd, 1989.
- [38] Stefan Niewiadomski, “Filter Handbook,” Heinemann Newnes, 1989.
- [39] J. Wu, E. El-Masry, “Design of current-mode ladder filters using coupled-biquads,” IEEE Transactions on circuits and systems II: Analog and digital signal processing, vol.45, No.11, pp. 1445-1454, 1998.
- [40] W. Tangsrirat, W. Surakamponorn, N. Fujii, “Realization of Leapfrog Filters Using Current Differential Buffered Amplifiers,” IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E86-A, No.2, pp. 318-326, 2003.
- [41] A. Jiraseree-amornkun, W. Surakamponorn, “Efficient implementation of tunable ladder filters using multi-output current controlled conveyors,” AEU-International Journal of Electronics and Communications, Vol.62, No.1, pp. 11-23, 2008.
- [42] T. C. Choi, R. T. Kaneshiro, R. W. Brodersen, P. R. Gray, W. B. Jett, M. Wilcox, “High-Frequency CMOS Switched-Capacitor Filters for Communications Application,” IEEE Journal of Solid-State Circuits, Vol.18, No.6, pp.652-664, December 1983.
- [43] N.P.J. Greer, R.K. Henderson, Li Ping, J.I. Sewell, “Matrix methods for the design of transistor ladder filters,” IEE Proceedings G - Circuits, Devices and Systems, Vol.141, No. 2, pp.89-100, April 1994.
- [44] J. Mahattanakul, P. Khumsat, W. Surakamponorn, “Ladder-simulation elliptic bandpass active-RC filter structure employing identical resistors” IET Circuits, Devices & Systems, Vol.3, No.4, pp.187-196, April 2009.
- [45] พิพัฒน์ พรหมมี, “วงจรรวมแบบแอนะล็อกสำหรับการสื่อสาร,” คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2560.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแถบความถี่ผ่าน Chebyshev รูปแบบกระแสโดยใช้ซีมอสที่นำเสนอ

```

CMOS_BP_Chev
*****T14Y MOSIS 0.25um *****
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.4317311
+PHI=0.7 VTO=0.4238252 DELTA=0 UO=425.6466519 ETA=0 THETA=0.1754054
+KP=2.501048E-4 VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ= 1.81211E-3 PB=0.5
+MJ=0.3282553 CJSW= 5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.6348369
+PHI=0.7 VTO=-0.5536085 DELTA=0 UO=250 ETA=0 THETA=0.1573195
+KP=5.194153E-5 VMAX=2.295325E5 KAPPA= 0.7448494 RSH = 30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD= 5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ= 1.893569E-3 PB=0.9906013
+MJ=0.4664287 CJSW= 3.625544E-10 MJSW=0.5)
*****T14Y MOSIS 0.25um *****
*****Iin Io1- Io2+ Io3+ IB*****
.subckt Lossless 2 3 5 6 100
VDD 1 0 dc 2
VB 100 0 dc 0
***Gain Control
FK 0 200 VB 1
VK 200 0 dc 0
F1 1 2 VK 2
F2 1 3 VK 1
F3 1 4 VK 2
F4 1 5 VK 1
F5 1 6 VK 1
M1 2 2 0 0 NMOS1 W=70u L=0.5u
M2 3 2 0 0 NMOS1 W=70u L=0.5u
M3 4 2 0 0 NMOS1 W=70u L=0.5u
M4 4 4 0 0 NMOS1 W=70u L=0.5u
M5 2 4 0 0 NMOS1 W=70u L=0.5u
M6 5 4 0 0 NMOS1 W=70u L=0.5u
M7 6 4 0 0 NMOS1 W=70u L=0.5u
C1 2 0 10p
.ends
*****Iin Io1- Io2+ Io3+ IB*****
.subckt LPF 2 3 5 6 100
VDD 1 0 dc 2
VB 100 0 dc 0
***Gain Control
FK 0 200 VB 1
VK 200 0 dc 0
F1 1 2 VK 1
F2 1 3 VK 1
F3 1 4 VK 2
F4 1 5 VK 1
F5 1 6 VK 1
M1 2 2 0 0 NMOS1 W=70u L=0.5u
M2 3 2 0 0 NMOS1 W=70u L=0.5u
M3 4 2 0 0 NMOS1 W=70u L=0.5u
M4 4 4 0 0 NMOS1 W=70u L=0.5u
M5 5 4 0 0 NMOS1 W=70u L=0.5u
M6 6 4 0 0 NMOS1 W=70u L=0.5u
C1 2 0 10p
.ends
*****

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

vcc 100 0 dc 2
IB 0 300 dc 20u
VB 300 0 dc 0
F1 100 400 VB 1
F2 100 500 VB 1
F3 100 600 VB 1
F4 100 700 VB 1
F5 100 800 VB 1
F6 100 900 VB 1

X1 2 1 100 100 400 Lossless
X2 1 100 2 3 500 LPF
X3 4 3 100 100 600 Lossless
X4 3 1 4 5 700 Lossless
X5 5 3 7 6 800 LPF
X6 6 5 100 100 900 Lossless
RL1 7 100 1
Iin 0 1 ac 1

.ac dec 100 1k 10000Meg
.step IB list 2u 20u 200u
.probe
.end

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแถบความถี่ผ่าน Elliptic รูปแบบกระแสโดยใช้ซีมอสที่นำเสนอง

```

CMOS_BP_ELL
*****T14Y MOSIS 0.25um *****
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.4317311
+PHI=0.7 VTO=0.4238252 DELTA=0 UO=425.6466519 ETA=0 THETA=0.1754054
+KP=2.501048E-4 VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ= 1.81211E-3 PB=0.5
+MJ=0.3282553 CJSW= 5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.6348369
+PHI=0.7 VTO=-0.5536085 DELTA=0 UO=250 ETA=0 THETA=0.1573195
+KP=5.194153E-5 VMAX=2.295325E5 KAPPA= 0.7448494 RSH = 30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD= 5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ= 1.893569E-3 PB=0.9906013
+MJ=0.4664287 CJSW= 3.625544E-10 MJSW=0.5)
*****T14Y MOSIS 0.25um *****
*****Iin Io1- Io2+ Io3+ IB*****
.subckt Lossless1 2 3 5 6 100
VDD 1 0 dc 2
VB 100 0 dc 0
F1 1 2 VB 2
F2 1 3 VB 1
F3 1 4 VB 2
F4 1 5 VB 1
F5 1 6 VB 1
M1 2 2 0 0 NMOS1 W=70u L=0.5u
M2 3 2 0 0 NMOS1 W=70u L=0.5u
M3 4 2 0 0 NMOS1 W=70u L=0.5u
M4 4 4 0 0 NMOS1 W=70u L=0.5u
M5 2 4 0 0 NMOS1 W=70u L=0.5u
M6 5 4 0 0 NMOS1 W=70u L=0.5u
M7 6 4 0 0 NMOS1 W=70u L=0.5u
C1 2 0 10p
.ends
*****Iin Io1- Io2+ Io3+ IB*****
.subckt Lossless2 2 3 5 6 100
VDD 1 0 dc 2
VB 100 0 dc 0
F1 1 2 VB 2
F2 1 3 VB 1
F3 1 4 VB 2
F4 1 5 VB 1
F5 1 6 VB 1
M1 2 2 0 0 NMOS1 W=70u L=0.5u
M2 3 2 0 0 NMOS1 W=70u L=0.5u
M3 4 2 0 0 NMOS1 W=70u L=0.5u
M4 4 4 0 0 NMOS1 W=70u L=0.5u
M5 2 4 0 0 NMOS1 W=70u L=0.5u
M6 5 4 0 0 NMOS1 W=70u L=0.5u
M7 6 4 0 0 NMOS1 W=70u L=0.5u
C1 2 0 15p
.ends
*****Iin Io1- Io2+ Io3+ IB*****
.subckt Lossless3 2 3 5 6 100
VDD 1 0 dc 2
VB 100 0 dc 0
F1 1 2 VB 2

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

F2 1 3 VB 1
F3 1 4 VB 2
F4 1 5 VB 1
F5 1 6 VB 1
M1 2 2 0 0 NMOS1 W=70u L=0.5u
M2 3 2 0 0 NMOS1 W=70u L=0.5u
M3 4 2 0 0 NMOS1 W=70u L=0.5u
M4 4 4 0 0 NMOS1 W=70u L=0.5u
M5 2 4 0 0 NMOS1 W=70u L=0.5u
M6 5 4 0 0 NMOS1 W=70u L=0.5u
M7 6 4 0 0 NMOS1 W=70u L=0.5u
C1 2 0 100p
.ends
*****
*****Iin Io1- Io2+ Io3+ IB*****
.subckt LPF 2 3 5 6 100
VDD 1 0 dc 2
VB 100 0 dc 0
***Gain Control
FK 0 200 VB 1
VK 200 0 dc 0
F1 1 2 VK 1
F2 1 3 VK 1
F3 1 4 VK 2
F4 1 5 VK 1
F5 1 6 VK 1
M1 2 2 0 0 NMOS1 W=70u L=0.5u
M2 3 2 0 0 NMOS1 W=70u L=0.5u
M3 4 2 0 0 NMOS1 W=70u L=0.5u
M4 4 4 0 0 NMOS1 W=70u L=0.5u
M5 5 4 0 0 NMOS1 W=70u L=0.5u
M6 6 4 0 0 NMOS1 W=70u L=0.5u
C1 2 0 12p
.ends
*****
*****Iin Io1- Io2- Io3+ Io4+ Io5+ k
IB*****
.subckt Gain 2 3 4 6 7 8 9 100
VDD 1 0 dc 1.5
*IB 0 100 dc 100u
VB 100 0 dc 0
F1 1 2 VB 1
F2 1 3 VB 1
F3 1 4 VB 1
F4 1 5 VB 2
F5 1 6 VB 1
F6 1 7 VB 1
F7 1 8 VB 1
F8 1 9 VB 0.1
M1 2 2 0 0 NMOS1 W=70u L=0.5u
M2 3 2 0 0 NMOS1 W=70u L=0.5u
M3 4 2 0 0 NMOS1 W=70u L=0.5u
M4 5 2 0 0 NMOS1 W=70u L=0.5u
M5 5 5 0 0 NMOS1 W=70u L=0.5u
M6 6 5 0 0 NMOS1 W=70u L=0.5u
M7 7 5 0 0 NMOS1 W=70u L=0.5u
M8 8 5 0 0 NMOS1 W=70u L=0.5u
M9 9 5 0 0 NMOS1 W=5u L=0.5u

.ends

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

*****
vcc 100 0 dc 2
IB 0 300 dc 20u
VB 300 0 dc 0
F1 100 400 VB 1
F2 100 500 VB 1
F3 100 600 VB 1
F4 100 700 VB 1
F5 100 800 VB 1
F6 100 900 VB 1
F7 100 1000 VB 1
F8 100 1100 VB 1
F9 100 1200 VB 1
X1 2 1 100 100 400 Lossless1
X2 1 100 3 100 500 LPF
X3 5 1 8 100 600 Lossless3
X4 8 100 4 100 700 LPF
X5 9 8 100 100 800 Lossless1
X6 3 100 100 2 5 6 4 900 Gain
X7 4 5 6 9 10 100 3 1000 Gain
X8 7 6 100 100 1100 Lossless2
X9 6 1 7 8 1200 Lossless2
RL1 10 100 1
Iin 0 1 ac 1

.ac dec 100 100k 10000Meg
.step IBlist 2u 20u 200u
.probe
.end

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข.

ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TURKISH JOURNAL OF
**ELECTRICAL
ENGINEERING
& COMPUTER
SCIENCES**

<http://journals.tubitak.gov.tr/elektrik/>

Published by the Scientific and
Technological Research Council of Turkey



TUBITAK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electronically tunable MOS-only current-mode high-order band-pass filters

Pipat PROMMEE^{1,*}, Aphinat TIAMSUPHAT¹, Muhammad TAHER ABUELMA'ATTI²

¹Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology, Ladkrabang, Thailand

²King Fahd University of Petroleum and Minerals, Dhahran, Saudi Arabia

Received: 29.08.2015

Accepted/Published Online: 24.03.2016

Final Version: 10.04.2017

Abstract: This paper presents new CMOS current-mode ladder Chebyshev and elliptic band-pass filters (BPFs). The signal flow graph and the network transformation methods are used to synthesize the proposed BPFs by using Chebyshev and elliptic RLC low-pass prototypes. CMOS-based lossy and lossless integrators with grounded capacitors are used to synthesize the proposed BPFs. The proposed filters can be electronically tuned between 10 kHz and 100 MHz by adjusting the bias current from 0.02 μA to 200 μA . Both filters use a 1.5 V DC power supply, which leads to low dynamic power consumption. Both filters enjoy total harmonic distortion of less than 1.5% along the range of the tuning bias currents. Simulation results are included to illustrate the functionality of the proposed filters.

Key words: Current mode, ladder filters, Chebyshev, elliptic, band-pass filter, CMOS

1. Introduction

In the analog signal processing area, one of the important building blocks is the continuous time filter. Several types of filters are realized for obtaining particular characteristics. Both passive and active filters are used in telecommunication and electronic areas. Unfortunately, passive filters cannot provide tunability features and are not suitable for integration. Recently, tunable active filters have received considerable attention and are continuously developed not only to reduce the circuit die areas but also to improve their performances.

A first-order filter is a basic building block that can be implemented by the well-established operational amplifiers (OpAmps) and operational transconductance amplifiers (OTAs) [1,2]. Some of the first-order functions were realized by different active devices such as the second-generation current-conveyor (CCII) [3]. First-order filters find numerous applications in realizing control systems [4], oscillators [5], and second-order universal filters [6,7]. However, the application of first-order filters is limited due to their frequency response characteristic. To achieve a better performance, second-order filters can be used and several realizations are available using OpAmps and OTAs; see, for example, [8,9] and the references cited therein. Alternated active devices, OTRA [10] and CIDTA [11], have also been introduced to realize the tunable active filter. Although they can provide many types of frequency responses, they suffer from the need for a large number of active elements and can therefore operate only at relatively low frequencies. In telecommunications, for example, high performance filters operating at relatively high frequencies are needed and usually low-order filters (first-order and second-order) cannot be used for achieving the required selective frequency responses. MOS-only multi-function second-order filters were introduced [12–14] using their gate-source intrinsic capacitors. Unfortunately,

*Correspondence: pipat@telecom.kmitl.ac.th

it seems that the parasitic elements affect the filter performances and response of filters cannot be achieved in electronic tunability. High-order filters are therefore needed as they can provide the superior performance required for selecting the desired frequencies and rejecting the undesired ones.

Realizing high-order ladder filters using the RLC network is a well-known method; see, for example, [15,16]. The simulated RLC network prototype using a generalized impedance converter (GIC) circuit is one of the methods used for realizing high-order filters [15–17]. High-order LPF based on GIC has been introduced by using OpAmps and an RC network [18]. The circuit uses many floating passive elements and cannot provide electronic tuning and is, therefore, not suitable for integration. The signal flow graph (SFG) method was used to simulate the RLC ladder filters [19,20] by using MOS switched capacitor integrators. Several active high-order filters based on gm-C [21–24] and its improvements [25] were developed with different structures. Operation in current-mode, rather than voltage-mode as in the previously mentioned references, is a promising approach for implementing high-performance and low-voltage circuits. An interesting CMOS-based current-mode high-order LPF for higher frequency applications was presented in [26]. The CCII with SFG method was also used to develop a current-mode high-order LPF [27]. Multiple loop feedback using OTA-C is another method for realizing a high-order LPF. It is suitable for synthesizing from high-order all-pole biquad functions [28,29]. However, no tunable current-mode high-order BPF has been introduced.

The major intention of this paper is, therefore, to present CMOS-based electronically tunable current-mode ladder Chebyshev and elliptic BPFs. The proposed filters are obtained using the SFG and transformed RLC passive low-pass filters prototypes. The proposed current-mode ladder Chebyshev BPF uses 33 MOS transistors and 6 grounded capacitors. The proposed current-mode ladder elliptic BPF uses 52 MOS transistors and 7 ground capacitors. Both of the proposed filters enjoy many advantages, including relatively low number of active and passive components, low power consumption, low voltage supply, relatively very high frequency operation, and a wide range of electronic tuning of the filter parameters.

2. Theory and principle of operation

2.1. CMOS-based lossy and lossless integrator

Figure 1 illustrates the block diagram of the inverting lossy integrator with 2 equal outputs Y_1 and Y_2 , given by the transfer function of Eq. (1).



Figure 1. Block diagram of dual-output lossy integrator.

$$\frac{Y_1}{X} = \frac{Y_2}{X} = -\frac{A}{s + A} \tag{1}$$

Using the block diagram in Figure 1, a lossless integrator can be realized by adding an inverting gain to the output Y_1 and then feeding it back to input as shown in Figure 2. Hence, the output transfer functions of the obtained positive and negative lossless integrator functions as Z_1 and Z_2 can be expressed as follows.

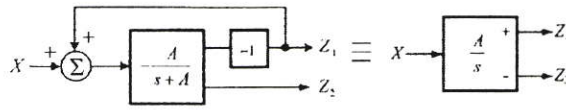


Figure 2. Block diagram of the lossless dual-output integrator.

$$\frac{Z_1}{X} = \frac{A}{s} \tag{2}$$

$$\frac{Z_2}{X} = -\frac{A}{s} \tag{3}$$

The CMOS-based lossy integrator with positive and negative outputs (I_{O1} and I_{O2}) can be implemented as shown in Figure 3 and its small signal model is shown in Figure 4. Assuming that transconductances of the transistors (g_{mi}) are matched ($g_{m1} = g_{m2}$), the transfer function can be expressed as follows.

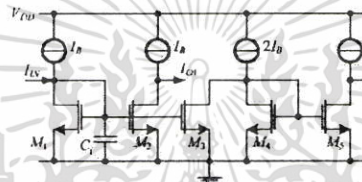


Figure 3. CMOS-based lossy integrator with positive and negative outputs.

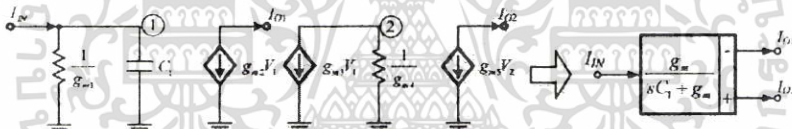


Figure 4. Small signal model of Figure 3 and its simplified block diagram.

$$\frac{I_{O1}}{I_{IN}} = \frac{g_m}{sC_1 + g_m} \tag{4}$$

$$\frac{I_{O2}}{I_{IN}} = -\frac{g_m}{sC_1 + g_m} \tag{5}$$

Using Figure 2, the CMOS based lossless integrator can be implemented as shown in Figure 5. By cascading the lossy integrator formed of M_1 and M_2 with inverting gain stage M_4 and M_5 and feeding back its output to the input, two outputs, I_Y and I_Z , can be obtained from M_2 and M_6 , respectively. Considering the small signal model of the lossless integrator of Figure 6, assuming that transconductances of the transistors (g_{mi}) are matched ($g_{m1} = g_{m2}$), the transfer functions of the lossless integrator can be expressed as follows.

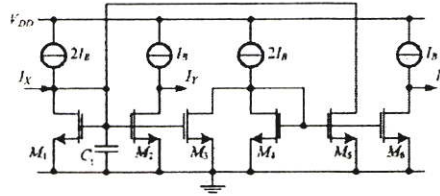


Figure 5. CMOS-based lossless integrator with positive and negative outputs.

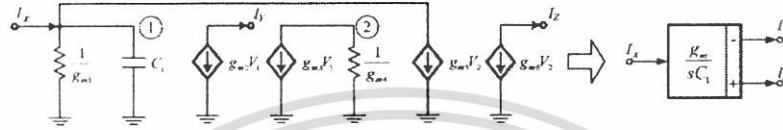


Figure 6. Small signal model of Figure 5 and its simplified block diagram.

$$\frac{I_Y}{I_X} = \frac{g_m}{sC_1} \tag{6}$$

$$\frac{I_Z}{I_X} = \frac{g_m}{sC_1} \tag{7}$$

In Eqs. (4)–(7) the transconductance g_m can be expressed as

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_B} \tag{8}$$

where μ , C_{ox} , W , and L are surface mobility, channel oxide capacitance, channel width, and channel length of the MOS transistor. From Eq. (8), it is clear that the transconductance can be tuned through bias current I_B .

2.2. Design of RLC passive ladder band-pass filters using low-pass filter prototypes

2.2.1. Chebyshev band-pass ladder filter

The sixth-order Chebyshev band-pass ladder filter prototype can be realized by using the transformation of the doubly terminated RLC passive Chebyshev ladder LPF prototype in Figure 7 and the network transformation in the Table. Figure 8 shows the resulting Chebyshev RLC sixth-order BPF ladder prototype.

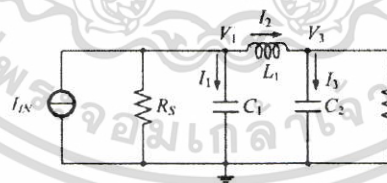


Figure 7. Doubly terminated Chebyshev RLC passive ladder low-pass filter prototype.

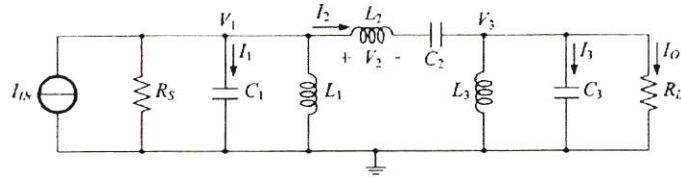


Figure 8. Transformed Chebyshev RLC passive ladder BPF prototype.

Table. RLC network transform.

I.P prototype	Transformed BP

Considering Figure 8 and using KCL yields the following.

$$V_1 = \frac{I_1}{sC_1} \tag{9}$$

$$V_2 = V_1 - V_3 - \frac{I_2}{sC_2} \tag{10}$$

$$V_3 = \frac{I_3}{sC_3} \tag{11}$$

$$I_1 = I_{IN} - \frac{V_1}{R_S} - \frac{V_1}{sL_1} - I_2 \tag{12}$$

$$I_2 = \frac{V_2}{sL_2} \tag{13}$$

$$I_3 = I_2 - \frac{V_3}{sL_3} - \frac{V_3}{R_L} \tag{14}$$

Eqs. (9)–(14) can be represented by the SFG shown in Figure 9. Normalizing voltage terms into current terms by using transconductance (g_m) and replacing the lossless integrators with negative feedbacks at the beginning and the end of the prototype by lossy integrators, the resulting SFG is shown in Figure 10. Based on the SFG of Figure 10, the BPF can be implemented by using lossy and lossless integrators, which is described in the next section.

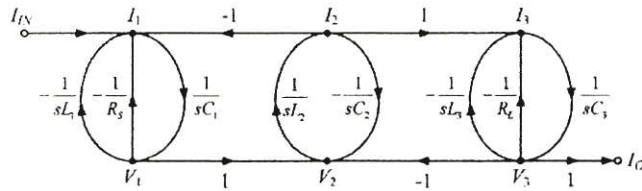


Figure 9. SFG of sixth-order Chebyshev RLC passive ladder BPF prototypes.

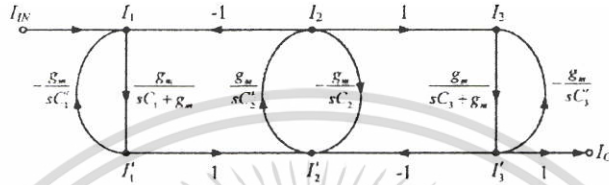


Figure 10. Normalized SFG of Figure 9.

2.2.2. Elliptic band-pass ladder filter

A sixth-order elliptic band-pass ladder filter prototype can also be realized based on the transformation of the doubly terminated RLC passive ladder elliptic low-pass filter prototype shown in Figure 11 by using the network transformation in the Table. Figure 12 shows the elliptic RLC band-pass ladder filter prototype based on the network transformation method in the Table.

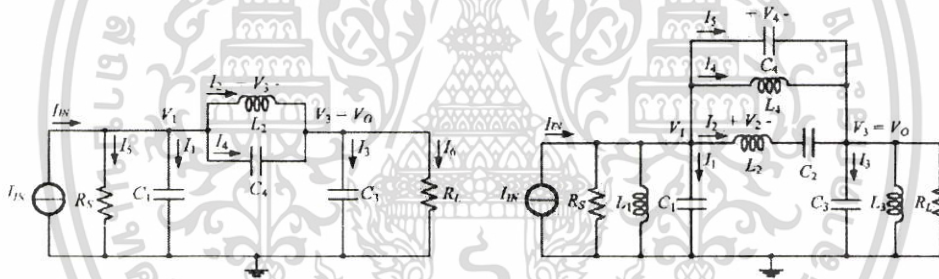


Figure 11. Doubly terminated elliptic RLC passive ladder LPF prototype.

Figure 12. Transformed elliptic RLC passive ladder BPF prototype.

Considering Figure 12 and using KCL yields the following.

$$I_1 = I_{IN} - I_2 - I_4 - I_5 - V_1/sL_1 - V_1/R_S \tag{15}$$

$$I_2 = \frac{V_2}{sL_2} \tag{16}$$

$$I_3 - I_2 + I_4 + I_5 - \frac{V_3}{sL_3} - \frac{V_3}{R_L} \tag{17}$$

$$I_4 = \frac{V_4}{sL_4} \tag{18}$$

$$V_1 = \frac{I_{IN} - I_2 - I_4 - V_1/sL_1 - V_1/R_S}{s(C_1 + C_4)} + V_3 \frac{C_4}{C_1 + C_4} \tag{19}$$

$$V_2 = V_1 - V_3 - \frac{I_2}{sC_2} \tag{20}$$

$$V_3 = \frac{I_2 + I_4 - V_3/sL_3 - V_3/R_L}{s(C_3 + C_4)} + V_1 \frac{C_4}{C_3 + C_4} \tag{21}$$

$$V_4 = V_1 - V_3 = V_2 + \frac{I_2}{sC_2} \tag{22}$$

From Eqs. (19) and (21), a modified RLC prototype can be obtained by replacing capacitor C_4 with two new capacitors ($C_1 + C_4$ and $C_3 + C_4$) connected with dependent voltage sources. The resulting modified elliptic RLC passive ladder BPF prototype is shown in Figure 13.

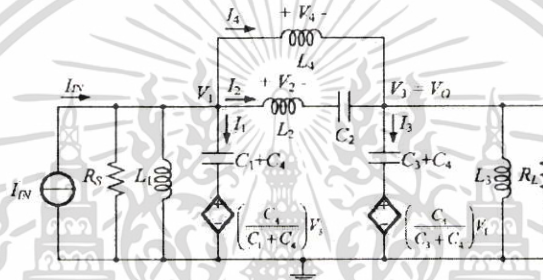


Figure 13. Modified elliptic RLC passive ladder BPF prototype.

A SFG can be drawn from Eqs. (15)-(22) as shown in Figure 14. Normalizing voltage terms into current terms by using transconductance (g_m), replacing the variables R_S and R_L by $1/g_m$, and replacing the lossless integrators with negative feedbacks at the beginning and the end of the prototype by lossy integrators, the resulting SFG is shown in Figure 15.

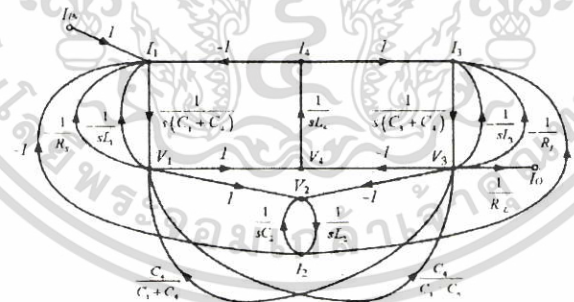


Figure 14. SFG of elliptic RLC passive ladder BPF prototype.

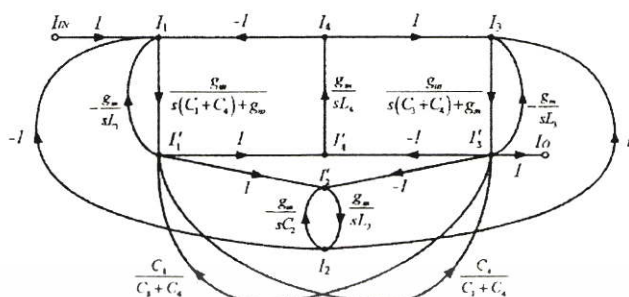


Figure 15. Normalized SFG in Figure 14.

3. Realization of CMOS-based ladder BPF

From the normalized SFG of Figure 10, a sixth-order current-mode Chebyshev ladder BPF can be easily realized using the lossy and lossless integrator block diagrams of Figures 4 and 6 and replacing inductors L_i by capacitors C_i^* as shown in Figure 16. Using Figure 16, the CMOS-based implementation of the Chebyshev ladder bandpass filter can be obtained and is shown in Figure 17.

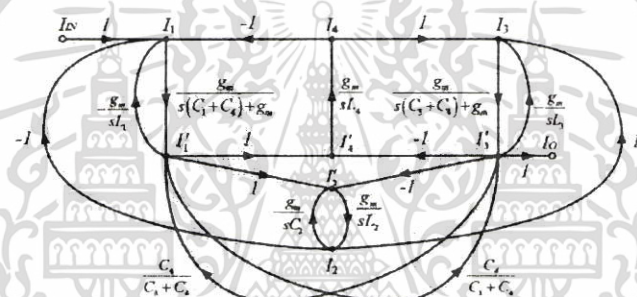


Figure 16. Sixth-order Chebyshev ladder BPF.

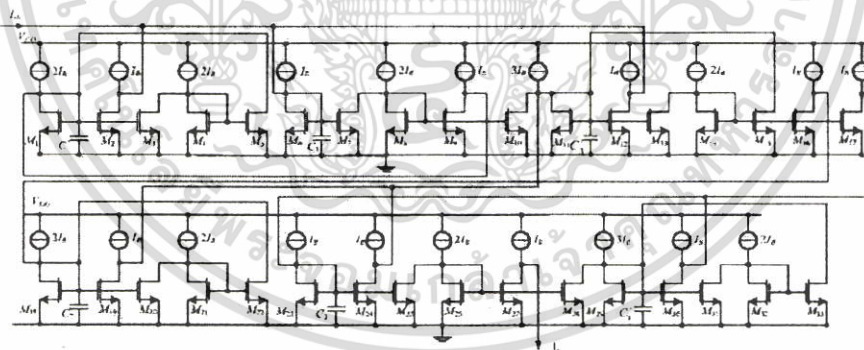


Figure 17. Proposed CMOS-based sixth-order Chebyshev ladder BPF.

In the SFG of Figure 15, there are feedback loops between two nodes (I_1 and I_3) with current gains (k). Following the same procedure described for the Chebyshev ladder BPF, the sixth-order current-mode elliptic ladder BPF can be realized as shown in Figure 18.

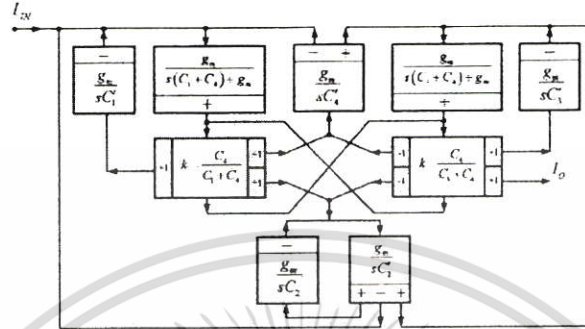


Figure 18. Sixth-order elliptic ladder BPF

The proposed elliptic sixth-order ladder BPF contains 2 lossy integrators, 5 lossless integrators, and 2 multiple output gain stages. The positive and negative current buffers and current gain (k) can be realized as shown in Figure 19.

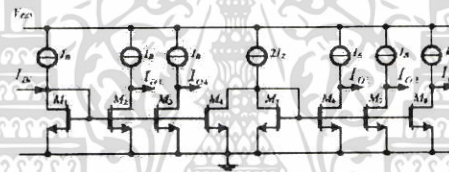


Figure 19. Multiple outputs current amplifier/buffer

In Figure 19 all the MOS transistors have the same transconductance except transistors M_1 and M_8 ($i = 1, 2, \dots, 7$) having transconductances equal to g_{m1} and g_{m2} , respectively. Thus, the current gain can be expressed as follows.

$$k = \frac{g_{m2}}{g_{m1}} \tag{23}$$

Figure 20 shows an implementation of the CMOS-based sixth-order current-mode elliptic ladder BPF using the lossy and lossless integrators of Figures 3 and 5. Note that the highlighted blocks are the current gains (k), which are actually less than 1 according to Eq. (23).

4. Nonideal analysis

This section describes the influences of the NMOS transistors' parasitic components. Lossy and lossless integrators are the main building blocks of the proposed circuits. The performance of these building blocks may deviate from the ideal analysis while operating at relatively high frequencies. This is usually attributed to the effect of the transistors' parasitic components. Nonideal analysis of the integrators including the effect

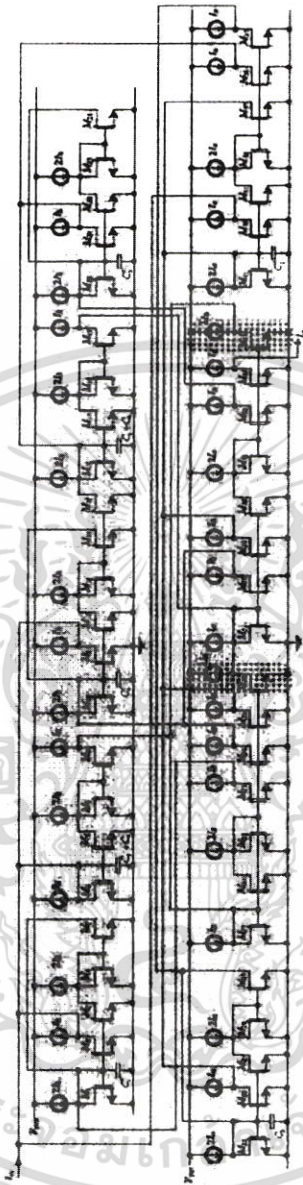


Figure 20. Proposed CMOS-based sixth-order current-mode elliptic ladder BPF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

of the transistors' parasitic components can be performed by using the simplified small signal model of NMOS transistors shown in Figure 21.

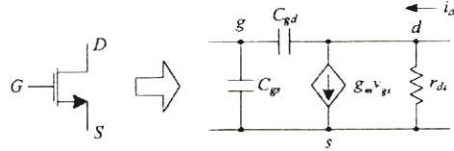


Figure 21. Simple small signal model of MOS transistor.

In the small signal model shown in Figure 21, the input parasitic capacitances (C_{gs} and C_{gd}), the resistance (r_{ds}), and the transconductance (g_m) are incorporated. The effects of the transistor parasitic components on the performance of the proposed BPFs are described in the following subsections.

4.1. Parasitic capacitance (C_{gd} and C_{gs})

This section will consider the effect of the parasitic capacitances (C_{gd} and C_{gs}), which is important for determining the performance of a circuit, particularly at high frequencies.

4.1.1. Lossy integrators

Using the small signal model of the MOS transistor of Figure 21, considering only the parasitic gate-drain capacitance (C_{gd}), and assuming that the transconductances of the MOS transistors are identical, the transfer functions of the lossy integrator of Figure 3 can be approximated by Eqs. (24) and (25), respectively.

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + s(C_{gd2} + C_1)} \tag{24}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{g_m + s(3C_{gd2} + C_{gd4} + C_1)} \tag{25}$$

Similarly, considering only the parasitic gate-source capacitance (C_{gs}), and assuming that the transconductances of MOS transistors are identical, the transfer functions of the lossy integrator of Figure 3 can be approximated by Eqs. (26) and (27), respectively.

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + s(C_{gs1} + C_{gs2} + C_1)} \tag{26}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{g_m + s(C_{gs3} + C_{gs4} + C_{gs1} + C_{gs2} + C_1)} \tag{27}$$

Eqs. (24)–(27) show the effect of the parasitic capacitances on the lossy integrator performance. In saturation operation, the parasitic gate-drain capacitance (C_{gd}) and gate-source capacitance (C_{gs}) will vary depending on the bias current. Assuming that the parasitic capacitances $C_{gdi} = C_{gd}$, $C_{gsi} = C_{gs}$ with $C_{gd} = WLD C_{ox}$ and $C_{gs} = W((2/3)(L) + LD) C_{ox}$, it can be seen that parasitic capacitances C_{gd} and C_{gs} produce a small deviation in the frequency response of the lossy integrator. To prevent significant errors, capacitance C_1 should be selected so that

$$C_1 \gg 4(C_{gs} + C_{gd}). \tag{28}$$

4.1.2. Lossless integrators

Likewise, the effect of the parasitic gate-drain and gate-source capacitance (C_{gd} and C_{gs}) on the inverting and noninverting lossless integrator of Figure 5 can be considered. Assuming that the transconductances of MOS transistors are identical, the transfer functions of the lossless integrator affected by the parasitic capacitances C_{gd} and C_{gs} can be approximated by the following equations.

$$\frac{I_{Y1}}{I_X} = \frac{-g_m}{s(4C_{gd3} + 4C_{gd5} + C_{gd2} + C_1)} \tag{29}$$

$$\frac{I_{Z1}}{I_X} = \frac{g_m}{s(4C_{gd2} + 4C_{gd4} + C_{gd5} + C_1)} \tag{30}$$

$$\frac{I_{Y2}}{I_X} = \frac{-g_m}{s(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5} + C_1)} \tag{31}$$

$$\frac{I_{Z2}}{I_X} = \frac{g_m}{s(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5} + C_1)} \tag{32}$$

Eqs. (29)–(32) show the effect of the parasitic capacitances (C_{gd} and C_{gs}) on the lossless integrator performance. In the saturation region, the parasitic gate-drain and gate-source capacitances (C_{gd} and C_{gs}) will vary depending on the bias current. To prevent significant errors, capacitance C_1 should be selected so that

$$C_1 \gg 9C_{gd} + 5C_{gs}. \tag{33}$$

From Eq. (33), it is clear that the errors can be minimized by selecting relatively large values for the capacitance (C_1).

4.2. Parasitic conductance (g_{ds})

In Figure 21 the voltage-controlled current source, $g_m v_{gs}$, is the most important component of the model, with the transistor current-voltage relationship given by

$$i_{DS} = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}). \tag{34}$$

In Eq. (34) $\lambda < 1 (V)^{-1}$ represents the channel-length modulation effect. It produces the slope of the drain current as a function of the drain-to-source voltage (v_{DS}). The channel conductance will be dependent upon L through λ , which is inversely proportional to L ($\lambda \propto 1/L$). The small-signal channel conductance g_{ds} can be expressed as

$$g_{ds} = \frac{\partial i_{DS}}{\partial v_{DS}} = \frac{\lambda i_{DS}}{1 + \lambda v_{DS}} \approx \lambda i_{DS}. \tag{35}$$

4.2.1. Lossy integrator

Using the small signal model of Figure 21 for the MOS transistor, considering only the effect of the parasitic conductance, and assuming that the transconductances of the MOS transistors are identical, the transfer

functions of the lossy integrator of Figure 3 can be rewritten as follows.

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + g_{ds1} + sC_1} \tag{36}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{(g_m)^2}{(g_m)^2 + g_m(g_{ds1} + g_{ds2} + g_{ds3}) + sC_1(g_m + g_{ds2} + g_{ds3})} \tag{37}$$

Assuming that $g_{dsi} = g_{ds}$ for all the transistors and since the parasitic conductance $g_{ds} \ll g_m$, then Eq. (37) reduces to

$$\frac{I_{O2}}{I_{IN}} \approx \frac{g_m}{g_m + 3g_{ds} + sC_1} \tag{38}$$

Eq. (38) shows that in order to avoid significant errors in the transfer functions of the lossy integrators the transconductance g_m must satisfy the following condition.

$$g_m \gg 3g_{ds} \tag{39}$$

Inspection of Eqs. (11) and (39) shows that significant errors can be prevented if a large transistor width (W) is used.

4.2.2. Lossless integrator

Likewise, taking only the effect of the parasitic drain-source conductance (g_{ds}) into consideration, the inverting and noninverting lossless integrator transfer functions of Figure 5 can be rewritten as follows.

$$\frac{I_{Ya}}{I_X} = \frac{-(g_m)^2}{g_m(g_{ds1} + g_{ds3} + g_{ds4} + g_{ds5}) + sC_1(g_m + g_{ds3} + g_{ds4})} \tag{40}$$

$$\frac{I_{Za}}{I_X} = \frac{(g_m)^2}{g_m(g_{ds1} + g_{ds2} + g_{ds3} + g_{ds4}) + sC_1(g_m + g_{ds2} + g_{ds3})} \tag{41}$$

Eqs. (40) and (41) show how the parasitic drain-to-source conductance (g_{ds}) affects the lossless integrator transfer functions of Figure 5. Assuming that the transconductances of MOS transistors are identical, then Eqs. (40) and (41) reduce to the following.

$$\frac{I_{Ya}}{I_X} \approx \frac{-g_m}{4g_{ds} + sC_1} = \left(\frac{-g_m}{4g_{ds}} \right) \frac{4g_{ds}/C_1}{s + 4g_{ds}/C_1} \tag{42}$$

$$\frac{I_{Za}}{I_X} \approx \frac{g_m}{4g_{ds} + sC_1} = \left(\frac{g_m}{4g_{ds}} \right) \frac{4g_{ds}/C_1}{s + 4g_{ds}/C_1} \tag{43}$$

From Eqs. (42) and (43), it can be seen that both outputs of the lossless integrator are affected by the parasitic conductance (g_{ds}) as a parasitic pole at very low frequency ($\omega_L = 4g_{ds}/C_1$) will appear in the transfer functions. However, these effects will be significant at very low frequency where the operating frequency is much larger than the frequency of the parasitic pole. Thus, the resulting parasitic poles will provide the lower frequency limitation of the lossless integrator and maximum gain at low frequency will be given by $(|k| = g_m/4g_{ds})$.

5. Simulation results

In this section PSpice simulation results obtained from the integrators, the Chebyshev BPF, and the elliptic BPF are presented. All simulations were carried out using model TSMC 0.25 μm CMOS technology [30] and a 1.5 V DC power supply.

The frequency responses of CMOS-based lossy integrator in Figure 3 and lossless integrator in Figure 5 are shown in Figures 22 and 23. Following the results of the nonideal analysis, the capacitor $C_1 = 10 \text{ pF}$ is selected to prevent the effect of parasitic capacitances, and the aspect ratios of the MOS transistors of Figures 3 and 5 of $W/L = 70 \mu\text{m}/0.5 \mu\text{m}$ were selected to prevent the errors of all integrators. Figures 22 and 23 clearly show that the frequency responses can be tuned roughly between 10 kHz and 100 MHz by adjusting the bias current: I_B [0.02, 0.2, 2, 20, 200] μA .

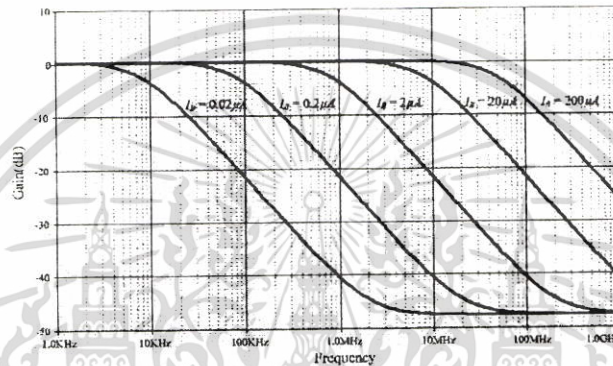


Figure 22. Variation of the magnitude responses of the lossy integrator in Figure 3 by adjusting the bias current (I_B).

The proposed sixth-order Chebyshev ladder BPF RLC prototype obtained was simulated using $C_1 = C_2 = C_3 = 20 \text{ nF}$, $L_1 = L_2 = L_3 = 20 \text{ mH}$, $R_S = R_L = 1 \Omega$, 1.5 V DC power supply, $W/L = 70 \mu\text{m}/0.5 \mu\text{m}$, bias current $I_B = 20 \mu\text{A}$, and $C_1 = C_2 = C_3 = C'_1 = C'_2 = C'_3 = 10 \text{ pF}$. The results obtained are shown in Figure 24. Inspection of Figure 24 clearly shows that the magnitude responses are almost the same, but in the pass-band, the ripples are slightly different with error around 0.8 dB. The electronically tunable frequency responses of the proposed BPF were obtained by adjusting the bias current I_B [0.02, 0.2, 2, 20, 200] μA . Figure 25 shows the tunability feature of frequency responses between 10 kHz and 100 MHz. The input impedance in the pass-band at bias current $I_B = 200 \mu\text{A}$ is around 200 Ω , as shown in Figure 26.

The simulation results of the proposed sixth-order elliptic ladder BPF RLC prototype were obtained using $C_1 = C_2 = C_3 = 25 \text{ nF}$, $C_4 = 2.5 \text{ nF}$, $L_1 = L_2 = L_3 = 25 \text{ nH}$, $L_4 = 250 \text{ nH}$, $R_S = R_L = 1 \Omega$, 1.5 V DC supply, and $W/L = 70 \mu\text{m}/0.5 \mu\text{m}$ for all transistors, except the transistors at outputs, which are set with $W/L = 5 \mu\text{m}/0.5 \mu\text{m}$ to provide $k = 0.1 I_B$. The values of capacitors are set as $C'_1 + C'_4 = 12 \text{ pF}$, $C_3 + C_4 = 12 \text{ pF}$, $C_2 = 15 \text{ pF}$, $C'_1 = 10 \text{ pF}$, $C'_4 = 100 \text{ pF}$, $C'_3 = 10 \text{ pF}$, and $C'_2 = 15 \text{ pF}$ and bias current $I_B = 20 \mu\text{A}$. Magnitude responses of the proposed filter and its prototype are shown in Figure 27. It can be seen that the magnitude response of the proposed filter has a small error in the left-hand side of the stop-band and its pass-band ripples are around 2 dB more than its prototype.

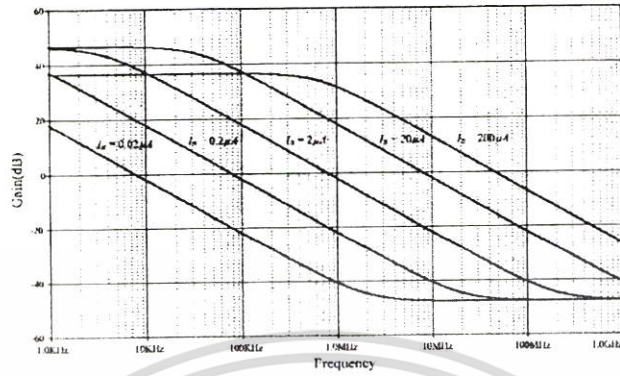


Figure 23. Variation of the magnitude responses of the lossless integrator of Figure 5 by adjusting the bias current (I_B).

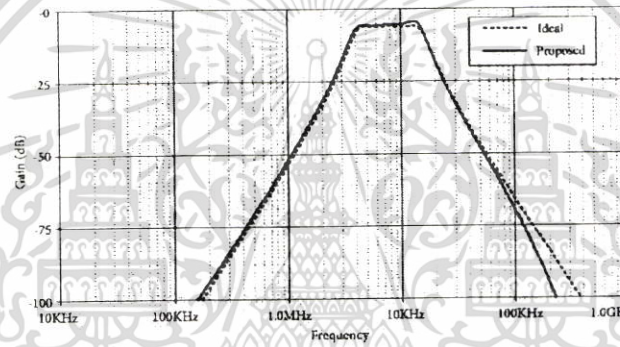


Figure 24. Magnitude responses of the proposed Chebyshev BPF ($I_B = 20 \mu A$) and its RLC prototype.

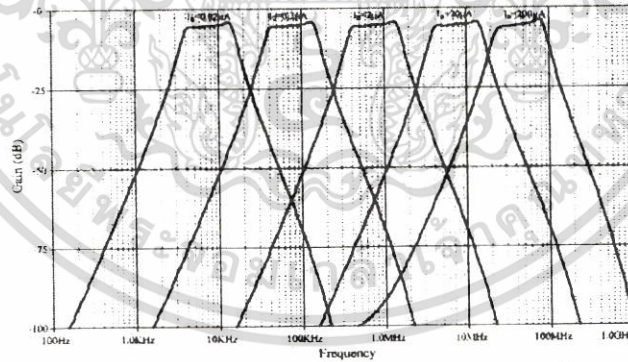


Figure 25. Electronic tunability of the proposed Chebyshev BPF by adjusting I_B [0.02, 0.2, 2, 20, 200] μA .

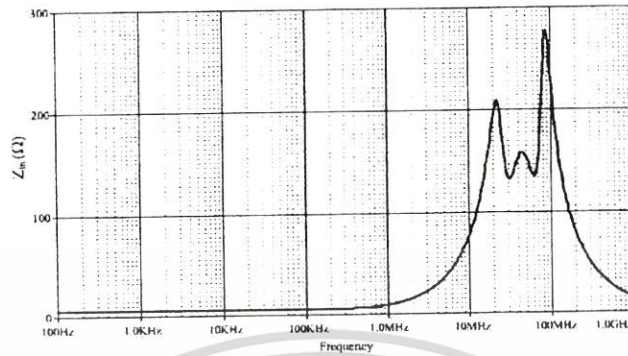


Figure 26. Input impedance of sixth-order Chebyshev BPF ($I_B = 200 \mu A$).

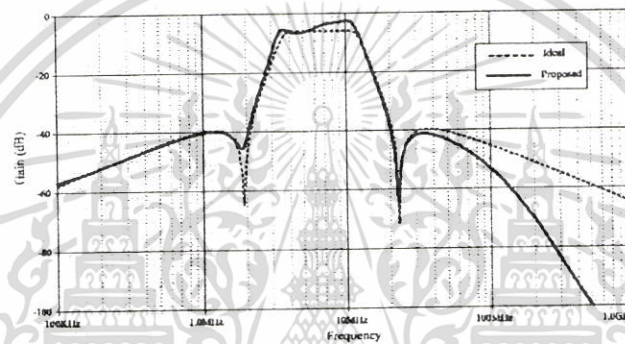


Figure 27. Magnitude responses of the proposed elliptic BPF ($I_B = 20 \mu A$) and its prototype.

Figure 28 shows the tunability feature of magnitude responses of the proposed elliptic high-order ladder BPF obtained by adjusting I_B [0.02, 0.2, 2, 20, 200] μA . Inspection of Figure 28 shows that the frequency response of the proposed filter can be tuned in the range of 10 kHz to 100 MHz. The input impedance in the pass-band at bias current $I_B = 200 \mu A$ is around 300 Ω , as shown in Figure 29.

The performance of the proposed Chebyshev and elliptic types of BPF performance can be verified by using Monte Carlo analysis as shown in Figures 30 and 31, respectively. The 5% deviation in the oxide thickness (t_{ox}) of the process is assumed and 100 samples are run to verify the center frequency deviation of the proposed two types of BPF. For the 200 μA bias current, it can be seen that both of the proposed BPFs have small deviation around 100 kHz.

Furthermore, a multitone test is also used to confirm the proposed BPFs' performance at bias current = 200 μA . First multitone frequencies [10–210] MHz are applied at the input of the proposed Chebyshev BPF (20–80 MHz pass band). It can be seen that only dominant tones 30–70 MHz and a small 90 MHz tone are obtained at the output, as shown in Figure 32. Secondly, multitone frequencies [10–210] MHz are applied at the input of the proposed elliptic BPF (30–70 MHz pass band). It can be seen that only dominant tones 30–70

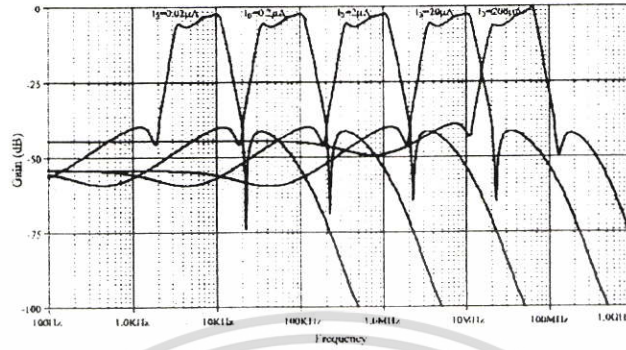


Figure 28. Electronic tunability of the proposed elliptic BPF by adjusting I_B [0.02, 0.2, 2, 20, 200] μA .

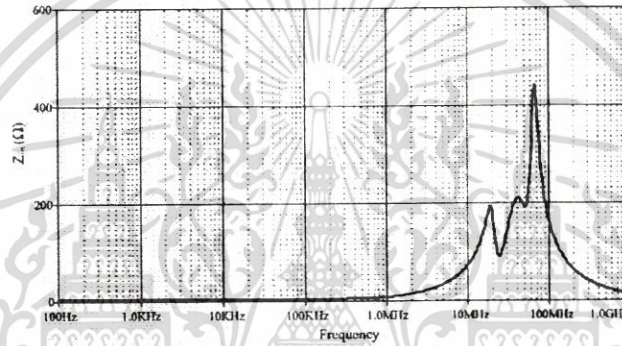


Figure 29. Input impedance of proposed elliptic BPF ($I_B = 200 \mu\text{A}$).

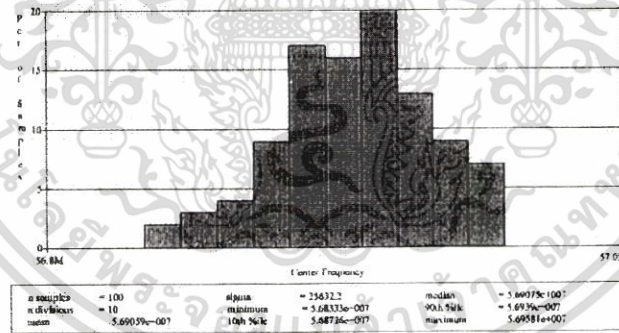


Figure 30. Monte Carlo simulation of the proposed Chebyshev BPF ($I_B = 200 \mu\text{A}$).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

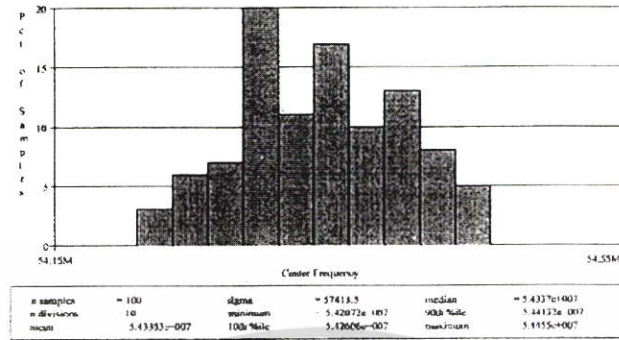


Figure 31. Monte Carlo simulation of the proposed elliptic BPF ($I_D = 200 \mu A$).

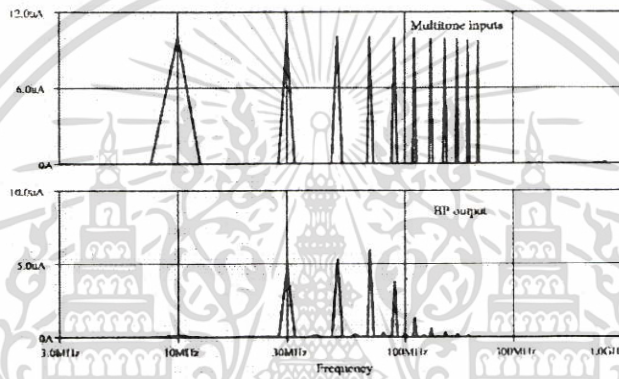


Figure 32. Multitone test of proposed Chebyshev BPF ($I_D = 200 \mu A$).

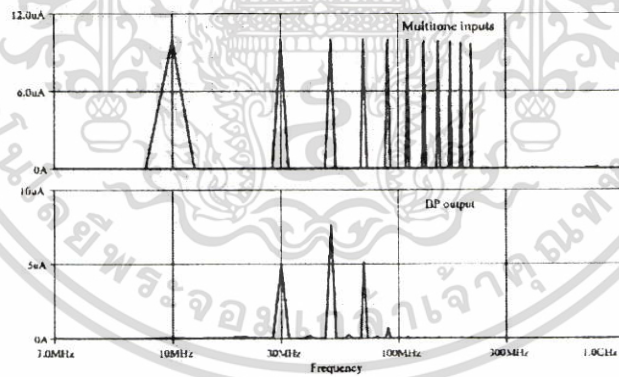


Figure 33. Multitone test of proposed elliptic BPF ($I_D = 200 \mu A$).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MHz and a very small 90 MHz tone are obtained at the output as shown in Figure 33. These results confirm the functionality of the proposed filters.

Finally, the total harmonic distortion (THD) in the pass-band of the proposed two types of BPFs was measured at bias current = 200 μ A. A 50 MHz input signal with variable amplitude is applied to the proposed Chebyshev and elliptic BPFs and the THDs of the outputs are measured; the results are shown in Figures 34 and 35. From Figures 34 and 35 it is obvious that the THDs of both types are below 1.5% within 50 μ A_{p-p} of amplitude input.

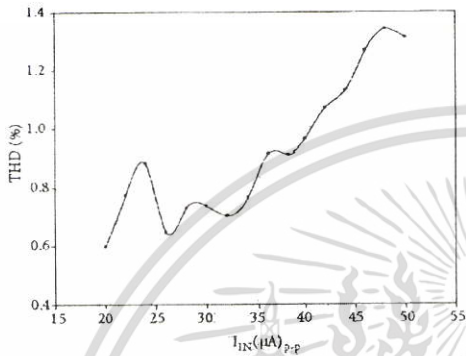


Figure 34. THD at 50 MHz of proposed Chebyshev BPF ($I_B = 200 \mu A$).

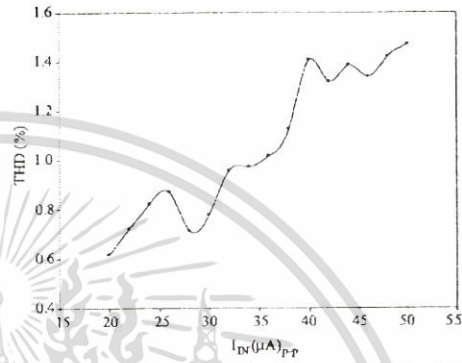


Figure 35. THD at 50 MHz of proposed elliptic BPF ($I_B = 200 \mu A$).

6. Conclusion

In this paper electronically tunable current-mode Chebyshev and elliptic ladder BPFs have been presented. Both filters are realized using network transformation of RLC ladder low-pass filter prototypes and the SFG method. Both filters are realized at the transistor level using MOSFETs. This would be attractive for integration. The proposed Chebyshev ladder BPF comprises 2 lossy integrators, 4 lossless integrators, and 6 grounded capacitors. Its frequency response can be tuned between 10 kHz and 100 MHz by adjusting the bias current from 0.02 μ A to 200 μ A. The proposed elliptic ladder BPF comprises 2 lossy integrators, 5 lossless integrators, and 2 multiple outputs current with different aspect ratio of MOS transistors. The frequency response can be tuned between 10 kHz and 100 MHz by adjusting the bias current from 0.2 μ A to 200 μ A. The proposed Chebyshev and elliptic BPFs use a 1.5 V DC power supply with dynamic power consumption between 1.34 μ W and 13.4 mW and between 2.18 μ W and 21.8 mW, respectively, along the tuning of bias currents between 0.02 μ A and 200 μ A. THDs less than 1.5% at high frequencies are obtained within 50 μ A_{p-p} of input range.

References

- [1] Huelsman LP. Active and Analog Filter Design. New York, NY, USA: McGraw-Hill, 1993.
- [2] Sedra AS, Brackett PC. Filter Theory and Design: Active and Passive. Beaverton, OR, USA: Matrix Publishers, 1978.
- [3] Shah NA, Iqbal SZ, Parveen B. Simple first-order multifunction filter. Indian J Pure Appl Phys 2004; 42: 787-866.
- [4] Cao LY, Schwartz HM. Oscillation control in non-linear systems using a first-order filter. Int J Control 2002; 75: 1504-1524.

- [5] Horng JW, Wu CM, Herencsar N. Three-input-one-output current-mode universal biquadratic filter using one differential difference current conveyor. *Indian J Pure Appl Phys* 2014; 52: 556-562.
- [6] Kaçar F, Yeşil A, Gürkan K. Design and experiment of VDCC-based voltage mode universal filter. *Indian J Pure Appl Phys* 2015; 53: 341-349.
- [7] Ozoguz S, Tokar A, Cicekoglu O. First-order allpass sections-based current-mode universal filter using ICCIIs. *Electron Lett* 2000; 36: 1443-1444.
- [8] Ahmad SN, Khan MR, Moinuddin. Operational transconductance amplifier based voltage-mode universal filter. *Indian J Pure Appl Phys* 2005; 43: 714-719.
- [9] Kurangern M, Suwanjan P, Dejhan K. Electronically tunable voltage-mode universal filter with single-input five-output using simple OTAs. *Int J Electron* 2013; 100: 1118-1133.
- [10] Gökçen A, Kiliç S, Çam U. Fully integrated universal biquads using operational transresistance amplifiers with MOS-C realization. *Turk J Elec Eng & Comp Sci* 2001; 19: 363-372.
- [11] Jin J, Wang C. Current-mode universal filter and quadrature oscillator using CDTAs. *Current-mode universal filter and quadrature oscillator using CDTAs. Turk J Elec Eng & Comp Sci* 2014; 22: 276-286.
- [12] Arslan E, Metin B, Cicekoglu O. MOSFET-only multi-function biquad filter. *AEU-Int J Electron Commun* 2015; 69: 1737-1740.
- [13] Arslan E, Metin B, Kuntman H, Cicekoglu O. MOS-only second order current-mode LP/BP filter. *Analog Integr Circuits Process* 2013; 74: 105-109.
- [14] Safari L, Minaei S, Metin B. A low power current controllable single-input three-output current-mode filter using MOS transistors only. *AEU-Int J Electron Commun* 2014; 68: 1205-1213.
- [15] Deliyannis T, Sun Y, Fidler JK. *Continuous-Time Active Filter Design*. London, UK: CRC Press, 1999.
- [16] Schaumann R, Ghausi MS, Laker KR. *Design of Analog Filters: Passive, Active RC and Switched Capacitor*. Englewood Cliffs, NJ, USA: Prentice Hall, 1995.
- [17] Ananda Mohan PV. *Current-Mode VLSI Analog Filters: Design and Applications*. Boston, MA, USA: Birkhäuser, 2003.
- [18] Rollett JM, Nightingale C. Design and economical realisation of a hybrid RC-active lowpass filter for PCM. *IEE P-Circ Dev Syst* 1981; 128: 201-204.
- [19] Allstot DJ, Brodersen RW, Gray PR. Fully-integrated high-order NMOS sampled-data ladder filters. In: *IEEE International Solid-State Circuits Conference*; 15-17 February 1978; San Francisco, CA, USA. New York, NY, USA: IEEE. pp. 82-83.
- [20] Jacobs G, Allstot D, Brodersen R, Gray PR. Design techniques for MOS switched capacitor ladder filters. *IEEE T Circuits Syst* 1978; 25: 1014-1021.
- [21] de Queiroz AGM, Caloba LP, Sanchez-Sinencio E. Signal flow graph OTA-C integrated Filters. In: *IEEE International Symposium on Circuits and Systems*; 7-9 June 1988, Espoo, Finland. New York, NY, USA: IEEE. pp. 2165-2168.
- [22] Tan MA, Schaumann R. Simulating general parameter LC-ladder filters for monolithic realizations with only transconductance elements and grounded capacitors. *IEEE T Circuits Syst* 1989; 36: 299-307.
- [23] Fiez TS, Allstot DJ. CMOS switched-current ladder filters. *IEEE J Solid-State Circuit* 1990; 25: 1360-1367.
- [24] Ng AEJ, Sewell JI. Ladder decompositions for wideband SI filter applications. *IEE P-Circ Dev Syst* 1998; 145: 306-313.
- [25] Martin K. Improved circuits for the realization of switched-capacitor filters. *IEEE T Circuits Syst* 1980; 27: 237-244.
- [26] Lee SS, Allstot DJ. CMOS continuous-time current-mode filters for high-frequency applications. *IEEE J Solid-State Circuit* 1993; 28: 323-329.

- [27] Wu J, El-Masry E. Current-mode ladder filters using multiple output current conveyers. *IEE P-Circ Dev Syst* 1996; 143: 218-222.
- [28] Sun Y, Fidler JK. Structure generation and design of multiple loop feedback OTA-grounded capacitor filters. *IEEE T Circuits Syst* 1997; 44: 1-11.
- [29] Chang CM, Al-Hashimi BM. Analytical synthesis of current-mode high-order OTA-C filters. *IEEE T Circuits Syst* 2003; 50: 1188-1192.
- [30] Prommee P, Angkeaw K, Somdunyanok M, Dejhan K. CMOS-based near zero-offset multiple inputs max-min circuits and its applications. *Analog Integr Circuits Process* 2009; 61: 93-105.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMME SCHEDULE AND ABSTRACTS BOOK



AMITY UNIVERSITY

A RESEARCH & INNOVATION DRIVEN UNIVERSITY

GRADE 'A' ACCREDITED BY NAAC

SPAN 2015

2nd International Conference on

SIGNAL PROCESSING & INTEGRATED NETWORKS

19-20 FEBRUARY 2015

Amity School of Engineering and Technology

Amity University Campus, Sec-125, Noida (New Delhi) NCR, India

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS-based Chebyshev Current-mode Ladder Band-pass Filter

Aphinat Tiamsuphat
Department of Telecommunications Engineering
Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang
Bangkok 10520, Thailand
t.aphinat@gmail.com

Pipat Prommee
Department of Telecommunications Engineering
Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang
Bangkok 10520, Thailand
pipat@telecom.kmitl.ac.th

Abstract— This paper presents a CMOS-based Chebyshev current-mode ladder band-pass filter (BPF). The integrator building blocks (lossy and lossless integrators) with 6 grounded capacitors are used to realize the BPF by using doubly terminated RLC ladder filter prototype based on TSMC 0.18 μ m CMOS technology. Frequency response of the circuit can be tuned between 1MHz and 200MHz through bias currents from 0.01 μ A to 100 μ A. The proposed circuit has many attractive features, for instant, low power supply as 1.5V, low dynamic power consumption and low Total Harmonic Distortion (THD). All simulation results are carried out by PSpice which are good agreements compared with the RLC prototype.

Keywords—Band-pass filter; CMOS; Chebyshev; High-frequency.

I. INTRODUCTION

In telecommunication and electronic circuit designs, filters are received much attentions and continuously developed and designed, such as, first order filters [1], [2], second order filters [3], [4]. It is well known that the high order filters can be operated with higher performance than the low order filters. Active filters are synthesized from passive RLC ladder filter prototypes [5-7], but they operated in voltage-mode. As we known that current-mode has higher performance than voltage mode, such as, higher frequency response, very compact and can be operated with low voltage.

In recent years, high order current-mode band-pass filter are presented with various techniques. Current-mode Chebyshev ladder band-pass filter based on Op-amps and MOS transistor [8-11] were presented with complex structures. OTA with a large number of grounded capacitors was presented [12]. Multiple Output Current Conveyers (MOCC) with resistor is presented, but the circuit used a large number of passive elements and could not operate in high frequency operation. Sixth-order Chebyshev band-pass filter by cascading biquads circuit [14] was also presented, but it could not work in VHF frequency range.

From the drawbacks of previous works, an electronically tunable sixth-order Chebyshev current-mode band-pass filter by using CMOS technology is presented in this paper. The proposed circuit contains 2 lossy and 4 lossless integrators and

6 grounded capacitors. The proposed circuit operates with low voltage which can lead to reduce its die area and use less power consumption and also improve its performance in high frequency operation. The proposed circuit employs totally 32 transistors and 6 grounded capacitors which are suitable for further VLSI integration. The simulation results are presented to verify with the theory. The proposed circuit can operate in VHF frequency range as IF receiver of television system. Due to the tunable characteristic of this circuit, it can also be applied in AM or FM receivers of the radio system.

II. THEORIES AND PRINCIPLES

A. CMOS-based integrators

Figure 1 shows block diagram of lossy integrator with two equal of outputs ($Y_1=Y_2$).

$$\frac{Y_1}{X} = \frac{Y_2}{X} = -\frac{A}{s+A} \quad (1)$$

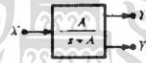


Figure 1. Lossy Integrator block diagram

Lossless integrator circuit can easily be implemented by adding inverting amplifier to the output Y_1 and feedback to the input port as shown in Fig.2. The two outputs (Z_1 and Z_2) of lossless integrator have 180 phases different and their transfer function can be expressed as

$$\frac{Z_1}{X} = \frac{A}{s} \quad (2)$$

and

$$\frac{Z_2}{X} = -\frac{A}{s} \quad (3)$$



Figure 2. Lossless Integrator block diagram

Lossy integrator can be implemented based on CMOS transistor level as shown in Fig.3(a) and its small signal equivalent circuit is shown in Fig.3(b). Assuming that the transconductance of all transistors (g_m) are matched ($g_{m1} = g_{m2}$). Using KCL routine analysis, current transfer function of Fig.3(b) is shown in equation (4) and (5).

$$\frac{I_{O1}}{I_{IN}} = -\frac{g_m}{sC_1 + g_m} \tag{4}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1 + g_m} \tag{5}$$

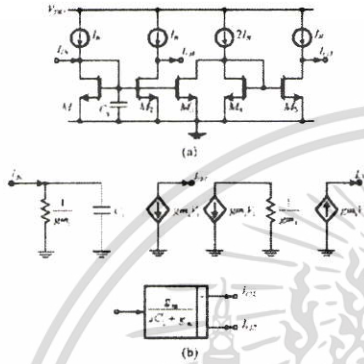


Fig. 3 (a) CMOS-based lossy integrator (b) Small signal model of Fig. 3(a) and its block diagram

Figure 4 (a) shows the realization of lossless integrator from block diagram in Fig.2 by cascading lossy integrator (M_1 and M_2) with inverting amplifier (M_3 and M_4), then feeding back the output current to the input. Hence the current outputs at ports Z_1 (I_{O1}) at M_2 and Z_2 (I_{O2}) at M_4 are negative and positive, respectively. Using KCL routine analysis, current transfer function of the small signal model in Fig. 4 (b) can be obtained as

$$\frac{I_{O1}}{I_{IN}} = \frac{g_{m1}g_{m2}}{sC_1g_{m2} + g_{m1}g_{m3} - g_{m1}g_{m4}} \tag{6}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_{m2}g_{m3}}{sC_1g_{m2} - g_{m2}g_{m3} + g_{m1}g_{m4}} \tag{7}$$

Assuming that transistors are matched ($g_{m1} = g_{m2}$). It is seen that current transfer function of the small signal model in Fig.4(b) can be rewritten as

$$\frac{I_{O1}}{I_{IN}} = -\frac{g_m}{sC_1} \tag{8}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1} \tag{9}$$

Where

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_B} \tag{10}$$

Where μ , C_{ox} , W and L are surface mobility, oxide capacity, width and length channel of MOS transistor. It is clear that transconductance of MOS transistor can be tune by adjusting bias current (I_B).

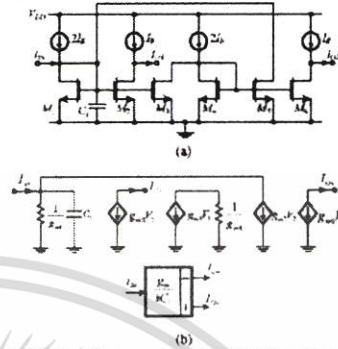


Fig. 4 (a) CMOS-based lossless integrator circuit. (b) Small signal model and its block diagram

III. SYNTHESIS SIXTH-ORDER BAND-PASS FILTER

Sixth-order band-pass network is realized by transforming method [15] from doubly terminated RLC ladder low-pass prototype which shown in Fig. 5.

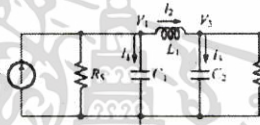


Fig. 5. RLC ladder low-pass filter prototype

TABLE I. CONVERTING RLC FROM LP TO BP [15]

LP prototype	Doubly-terminated BP
L_{LP}	$\frac{L_{BP}}{C_{LP}\omega^2}$
C_{LP}	C_{BP}
R_{LP}	R_{BP}

Table 1 shows the transformation from RLC ladder low-pass filter prototype (Fig.5) to RLC ladder band-pass filter prototype.

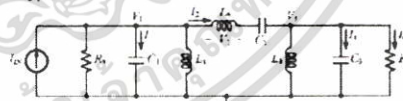


Fig. 6. Sixth-order RLC ladder band pass filter prototype

Figure 6 shows transformed RLC ladder band-pass filter prototype. By using KCL routine analysis, we obtain the current and voltage relationships as

$$V_1 = \frac{I_1}{sC_1} \tag{11}$$

$$V_2 = V_1 - V_3 = \frac{I_2}{sC_2} \tag{12}$$

$$V_3 = \frac{I_3}{sC_3} \tag{13}$$

$$I_1 = I_{in} - \frac{V_1}{R_1} - \frac{V_1}{sL_1} - I_2 \tag{14}$$

$$I_2 = \frac{V_2}{sL_2} \tag{15}$$

$$I_3 = I_2 - \frac{V_2}{sL_3} - \frac{V_2}{R_2} \tag{16}$$

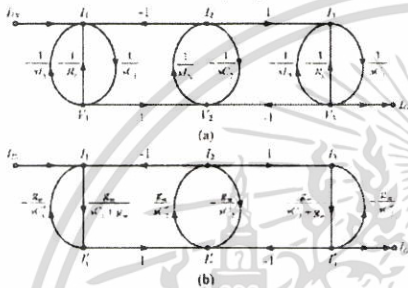


Fig. 7 (a) Signal flow graph of sixth-order ladder band-pass filter
(b) Normalized signal flow graph of Fig. 7(a) in current-mode

Fig.7(a) shows signal flow graph (SFG) from equation (11)-(16). We can normalize voltage terms to current terms by using a transconductance (g_m). The normalized SGF is shown in Fig.7(b).

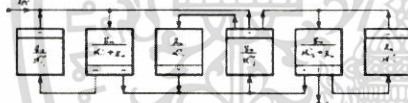


Fig. 8 Proposed Chebyshev sixth-order band-pass filter
From the normalized SGF, sixth-order ladder band-pass filter can be implemented by using lossy and lossless

integrators in Fig. 3 (b) and 4 (b) as shown in Fig. 8. The realization of CMOS-based Chebyshev sixth-order band-pass filter can be step-by-step substituted to block diagram in Fig.8 as shown in Fig.9.

IV. SIMULATION RESULTS

The PSpice simulation results of sixth-order Chebyshev ladder band-pass filter prototype with the following values $C_1 = C_2 = C_3 = C_4 = C_5 = C_6 = 1.15 \mu F$, $L_1 = L_2 = L_3 = L_4 = 1.15 \mu H$, $R_1 = R_2 = 1 \Omega$ compared with CMOS-based sixth-order Chebyshev band-pass filter simulation results are presented. This simulation uses TSMC 0.18 μm CMOS technology, 1.5V power supply and aspect ratio of MOS transistors in the proposed circuit are set as $W/L = 5 \mu m / 0.25 \mu m$.

Figure 9 shows CMOS-based sixth-order Chebyshev ladder band-pass filter structure which grounded capacitors are set to $C_1 = C_2 = C_3 = C_4 = C_5 = C_6 = 1.5 pF$ and $I_B = 100 \mu A$. The comparison of prototype and proposed band-pass filter magnitude responses are shown in Fig.10, it can be seen that the magnitude responses are almost coincident but pass-band ripple are slightly difference around 0.8dB. Input impedance of proposed band-pass filter is shown in Fig.11. It is found that input impedance in the pass-band is low around 300-500 Ω .

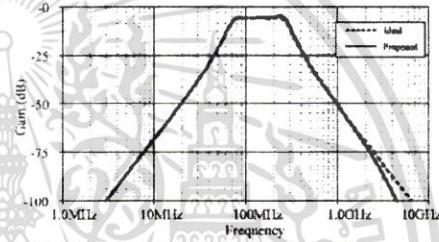


Fig.10 Magnitude response of prototype and proposed circuit

Fig.12. show THD of the proposed band-pass filter by setting bias current $I_B = 100 \mu A$, input signal $100 MHz$ and tuning amplitude of input signal from $1 \mu A$ to $10 \mu A$. It can be seen that THD is less than 2.5%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

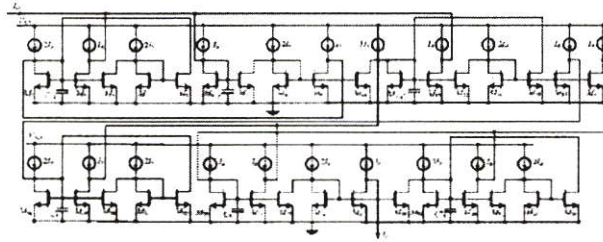


Fig.9 CMOS-based sixth-order Chebyshev ladder band-pass filter

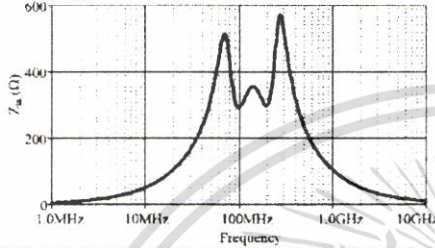


Fig.11 Input impedance of sixth-order Chebyshev ladder band-pass filter ($I_b=100\mu A$)

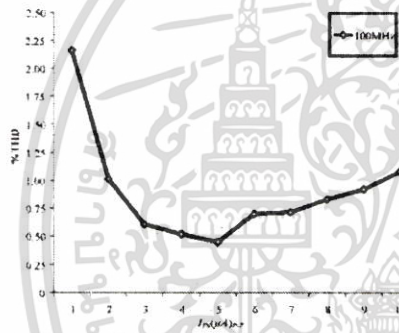


Fig.12 THD of proposed band-pass filter ($I_b=100\mu A$)

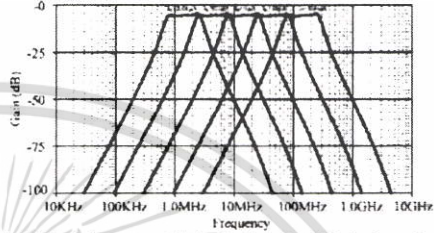


Fig.13 Magnitude response of sixth-order Chebyshev ladder band-pass filter are presented

The electronically tunable frequency responses of sixth-order Chebyshev ladder band-pass filter are presented by adjusting bias current I_b [0.01, 0.1, 1, 10, 100] μA . Figure 13 shows range of frequency responses are between 1MHz and 200MHz. It is found that proposed BPF has a good magnitude responses and in agreement with theoretical. It is also suitable for VHF applications and further integration.

V. CONCLUSION

CMOS-based current-mode Chebyshev ladder band-pass filter is presented by using lossy and lossless integrators and uses network transformation from low-pass filter to band-pass. Range of frequency response can be tuned between 1MHz and 200MHz by adjusting the bias current from 0.01 μA to 100 μA . The proposed filter uses 1.5V power supply and 6.9mW power consumption at 100 μA bias current. The proposed circuit contains 33 CMOS transistors and 6 grounded capacitors with low THD, low input impedance and wide bandwidth.

REFERENCES

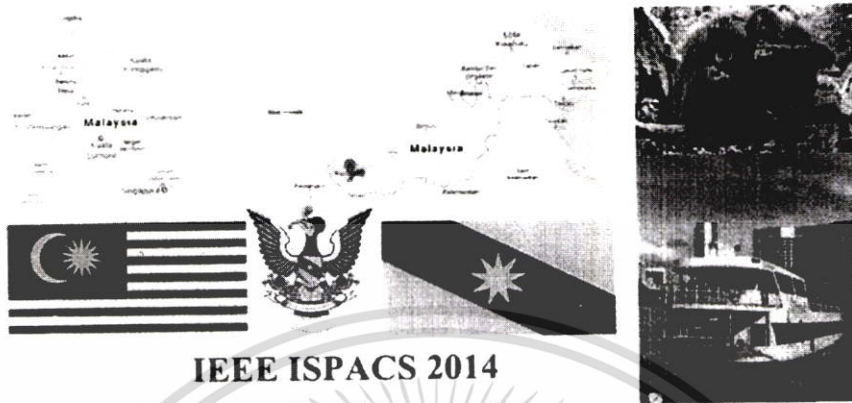
- [1] I. A. Khan, P. Beg, T. Muslim Ahmed, "First Order Current Mode Filters and Multiphase Sinusoidal Oscillators Using MOCCTAs," Microelectronics, 2006. ICM'06. International Conference on, pp. 146-149, Dec. 2006.
- [2] S. Ozoguz, A. Tokur, O. Cicekolu, "First-order allpass sections-based current-mode universal filter using ICCFAs," IET Electronics letters, Vol.36, No.17, pp. 1443-1444, 2000.
- [3] Kumeda, T. Hiramatsu, Y. Fukui, A., "Frequency dependence of sensitivities in second-order RC active filters," Circuits and Systems, IEEE Transactions on, Vol.27, No.2, pp. 77-84, Feb. 1980.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [4] R. Raut, N. Qiu, "Low Power Wideband Voltage and Current Mode Second-Order Filters Using Wideband CMOS Transimpedance Network," *IEEE Proceedings of the 40th Midwest Symposium on Circuits and Systems*, vol. 1, pp. 241-244, Aug. 1997.
- [5] Rollett, J.M. Nightingale, C., "Design and economical realisation of a hybrid RC-active lowpass filter for PCM, *Electronic Circuits and Systems*," *IEE Proceedings G*, Vol.128, No.4, pp. 201-204, 1981
- [6] Duncan, R.A. Martin, K.W. Sedra, A.S., "A Q-enhanced active-RLC bandpass filter," *Circuits and Systems*, 1993. ISCAS '93, 1993 IEEE International Symposium on, pp. 1416-1419, 1993.
- [7] M. Kunnigern, K. Dehnan, "Voltage-Mode Low-pass, High-pass, Band-pass Biquad Filter Using Simple CMOS OTAs," *IEEE Instrumentation and Measurement Technology Conference*, pp. 924-927, May 2009.
- [8] G. Jacobs, D. Allstot, R. Brodersen, P. Gray, "Design techniques for MOS switched capacitor ladder filters," *IEEE Transactions on circuits and systems*, vol.25, No.12, pp. 1014-1021, 1978.
- [9] T. S. Fiez, D. J. Allstot, "CMOS switched-current ladder filters, *IEEE Journal of Solid-State Circuits*," vol.25, No.6, pp.1360-1367, 1990.
- [10] A. E. J. Ng, J. I. Sewell, "Ladder decompositions for wideband SI filter applications," *IEE Proceedings: Circuits, Devices and Systems*, vol.145, No.5, pp. 306 - 313, 1998.
- [11] K. Martin, "Improved circuits for the realization of switched-capacitor filters," *IEEE Transactions on currents and systems*, Vol.27, No.4, pp. 237-244, 1980.
- [12] J. Wu, E. El-Maary, "Design of current-mode ladder filters using coupled-biquads," *IEEE Transactions on circuits and systems II: Analog and digital signal processing*, vol.45, No.11, pp. 1443-1454, 1998.
- [13] J. Wu, E. El-Maary, "Current-mode ladder filters using multiple output current conveyers," *IEE Proceedings: Circuits, Devices and Systems*, Vol.143, No.4, pp. 218-222, 1996.
- [14] Samesaglam, T. Karsilayan, A.I., "A Digital Automatic Tuning Technique for High-Order Continuous-Time Filters," *Circuits and Systems I: Regular Papers*, *IEEE Transactions on*, Vol.51, No.10, pp. 1975-1984, 2004.
- [15] T.Deliyannis, Yichiang Sun, J.K. Fidler (1999), *Continuous - Time Active Filter Design*. London: CRC Press, pp. 61.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



IEEE ISPACS 2014
2014 The International Symposium on
Intelligent Signal Processing and
Communication Systems

Dec 1 ~ 4, 2014

Kuching, Sarawak, Malaysia

Sponsored by:



CAS



UNIVERSITY
OF MALAYA

Malaysia
Convention
& Exhibition
Bureau



SARAWAK
CONVENTION BUREAU



MINISTRY OF TOURISM AND CULTURE
MALAYSIA



MALAYSIAN ONLINE ANALYSIS AND
MIAMI
MACHINE INTELLIGENCE & IDENTIFICATION



ISBN: 978-1-4799-6120-7, IEEE Catalog Number: CFP14580-USB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electronically Tunable Voltage-mode Elliptic Third-order Ladder Low-pass Filter Using simple OTA

Aphinat Tiamsuphat
 Department of Telecommunications Engineering
 Faculty of Engineering
 King Mongkut's Institute of Technology Ladkrabang,
 Bangkok 10520, Thailand
 t.aphinat@gmail.com

Pipat Prommee
 Department of Telecommunications Engineering
 Faculty of Engineering,
 King Mongkut's Institute of Technology Ladkrabang
 Bangkok 10520, Thailand
 pipat@telecom.kmitl.ac.th

Abstract— This paper presents Elliptic third-order voltage-mode ladder low-pass filter based on CMOS technology. Using OTA. Third-order low pass filter is designed based on RLC Elliptic Ladder low-pass filter prototype. The proposed filter contains lossless integrators and voltage gains. The frequency responses of low-pass filter can be electronically tuned between around 3kHz and 2MHz by adjusting bias current from 0.01µA to 10µA with 1mW of dynamic power consumption along the tuning range. The circuit used ±1.5V power supply and used of ground capacitors which suit to integrated circuit. THD of low-pass filter can be obtained less than 0.7% along the operating frequencies. PSPICE simulation results are carried out to confirm the theory by using TSMC 0.18µm CMOS technology.

Keywords— Low-pass; Voltage-mode; Elliptic; OTA-C

I. INTRODUCTION

Recently, high input impedance voltage-mode analog filter circuits is designed [1], this filter can be cascade connected to succeeding voltage-mode circuit without voltage buffer. In modern filter design integrated circuit technique, it should not be used internal resistors for easily integrating [2]. It is clear that the performance of higher order low-pass filters [3], [4] are better than lower order filters [5], [6]. However, the high-order filter can be obtained by the several techniques.

The design of ladder low-pass filter was presented [7] with complex structure and use of a large number of active and passive elements which not suitable for integrated circuit process. Log-domain [8] high-order ladder low-pass filter was presented with wide-range tuning feature, but there is some ripples in its cutoff frequency and use of a large number of active and passive devices. High-order ladder low-pass filter [9] with cutoff frequency on-chip tuning feature was presented, but this circuit cannot be electronically tuned and use of many external passive elements. Transconductors based ladder Elliptic filter [10] and OTA biquad [11] filters were presented, but one lacks of tuning capability and one suffers from narrow-band operation.

Electronically tunable voltage-mode Elliptic third-order ladder low-pass Filter Using OTA-C is proposed in this paper because the drawbacks of the previous circuits. This filter is realized by 11 OTAs 3 grounded capacitors. Based on the realization method and basic OTA, the proposed filter structure also enables to use the discrete commercial devices for the

realization. The simulation results are agreed well with the theory.

II. THEORY AND PRINCIPLE

A. Operational Transconductance Amplifier (OTA)

OTA is a basic active building block which provides the current as output while input as voltage. The transfer function of OTA called transconductance (g_m) which can be controlled by external bias current. The structure of basic CMOS based OTA consists of 8 transistors and 1 current source as shown in Fig. 1 and its electrical symbol is shown in Fig. 2.

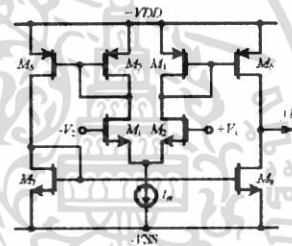


Fig. 1. The structure of basic CMOS based OTA



Fig. 2. Electrical symbol of OTA

From Fig. 2, the relationship between current output and voltage input ($V_m = V_1 - V_2$) of OTA can be written as

$$\frac{I_O}{V_m} = g_m = \sqrt{K I_B} \quad (1)$$

When I_B is bias current and $K = \mu_n C_{ox} (W/L)$ where μ_n , C_{ox} , W and L are surface mobility, channel oxide capacitance, channel width and channel length of MOS transistor M1 and M2, respectively.

B. OTA-based voltage gain and lossy integrator synthesis

Voltage gain can be also easily realized by cascading 2 OTAs and feedback output of the second OTA to its input as shown in Fig.3. Using KCL the transfer function can be expressed as

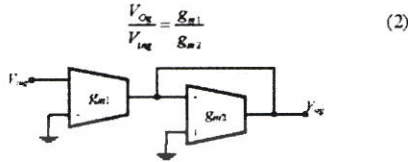


Fig. 3. OTA-based voltage gain

Furthermore, the voltage gain can provide for voltage buffer if the ratio of g_{m1} and g_{m2} are equaled. Lossless integrator can be easily realized by connecting the negative input to ground and connecting a grounded capacitor to output of OTA as shown in Fig.2. Using KCL the transfer function can be expressed as

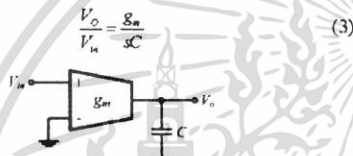


Fig. 4. OTA-based lossless integrator

III. ELLIPTIC THIRD-ORDER LADDER LOW-PASS FILTER SYNTHESIS

The proposed third-order low-pass filter is realized from the OTA-based lossless integrator and OTA-based voltage gain by simulating from RLC ladder filter Elliptic prototype [12]. Using doubly terminated RLC ladder concept in realization, the filter prototype is shown in Fig.5

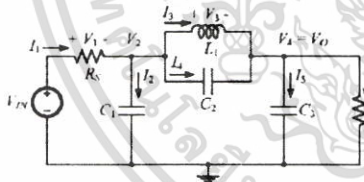


Fig. 5. Third-order RLC Elliptic ladder low-pass filter prototype

Considering the current in different branches and voltage in different nodes of the third-order RLC ladder low-pass filter in Fig.5 using KCL, the relationship of the current and voltage variables can be written as

$$V_1 = V_{in} - V_2 \tag{4}$$

$$V_2 = \frac{I_2}{sC_1} \tag{5}$$

$$V_3 = V_2 - V_4 \tag{6}$$

$$V_4 = V_o = \frac{I_4}{sC_3} \tag{7}$$

$$I_1 = \frac{V_1}{R_1} \tag{8}$$

$$I_2 = I_1 - I_3 - I_4 \tag{9}$$

$$I_3 = \frac{V_3}{sL_1} \tag{10}$$

$$I_4 = (V_2 - V_4) sC_2 \tag{11}$$

$$I_5 = I_3 + I_4 - I_6 \tag{12}$$

$$I_6 = \frac{V_o}{R_2} \tag{13}$$

From equations (4)-(13), V_2 and V_4 can be rewritten to

$$V_2 = \frac{I_1 - I_3}{s(C_1 + C_2)} + V_4 \frac{C_2}{C_1 + C_2} \tag{14}$$

$$V_4 = \frac{I_3 - I_6}{s(C_2 + C_3)} + V_2 \frac{C_2}{C_2 + C_3} \tag{15}$$

Capacitor C_2 is transformed to the left and right hand sides below $(C_1 + C_2)$ and $(C_2 + C_3)$ and connected to the dependent sources, hence the prototype can be redrawn to Fig.6

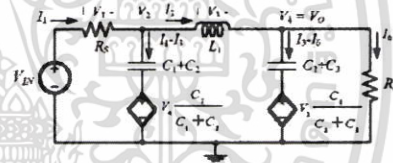


Fig. 6. Transformed RLC Elliptic ladder low-pass filter prototype

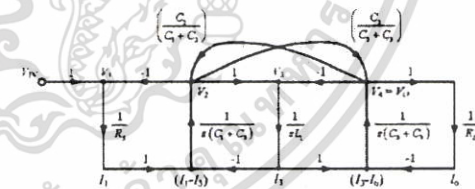


Fig. 7. Signal flow graph of Elliptic Third-order ladder low-pass filter

Signal flow graph (SFG) can be written in the term of current and voltage variables as Fig.7. Due to the realization in voltage-mode and active devices, the current nodes need to be transformed to the voltage nodes. Transforming all current

variables to the voltage variables, the normalized values by using the transconductance (g_m) are applied into SFG the Fig.7 and set $R_5=R_7=1/g_m$. The normalized SFG of Fig.7 can be transformed and rewritten to Fig.8

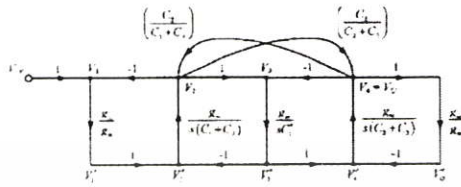


Fig. 8. Normalized signal flow graph of Fig.7 in current term

From Fig.8, it can be seen that at nodes V_2 and V_4 are feedback to each other by voltage gains $k = (C_2/C_1 + C_2) = (C_2/C_1 + C_2)$ which can be provided by OTA based voltage gain in Fig.3. The proposed Elliptic third-order ladder low-pass filter contains three lossless integrators, three voltage buffer ($g_{m1}-g_{m2}$ and $g_{m4}-g_{m5}-g_{m10}-g_{m11}$) and voltage gain (k) which controlled by the ratio of transconductances (g_{m6} and g_{m8}). The proposed third order Elliptic low-pass filter can be realized based on OTA as shown in Fig.9.

IV. SIMULATION RESULTS

PSpice simulation results are carried out by using CMOS transistors TSMC 0.18 μm [13]. The circuit use 1mW of dynamic power consumption along tuning the bias current and low power supply $\pm 1.5\text{V}$. Considering CMOS of OTA in Fig.1, set W/L of NMOS = $5\mu\text{m}/0.5\mu\text{m}$ and PMOS = $10\mu\text{m}/0.5\mu\text{m}$, respectively. Voltage buffer can be controlled by adjusting the identical of bias currents in Fig.3. For voltage gain (k) which equals to the ratio of the capacitor (k must be less than 1), I_B of g_{m6} and g_{m8} to 1.5 μA and $g_{m4}, g_{m5}, g_{m10}, g_{m11}$ to 30 μA are kept to constant for achieving k of bias current = 0.09.

Magnitude responses of Elliptic third-order ladder low-pass filter prototype by setting $C_1=770\text{nF}$, $C_2=770\text{nF}$, $L_1=700\text{nH}$ and $R_5=R_7=1\Omega$ compared with of proposed Elliptic third-order ladder low-pass filter by setting $C_1=C_2/(C_1+C_2)=(C_2+C_3)=11.2\text{pF}$ and $C_1'=10\text{pF}$ and bias currents to $1\mu\text{A}$. Magnitude responses of both circuit are shown in Fig.10. It can be seen

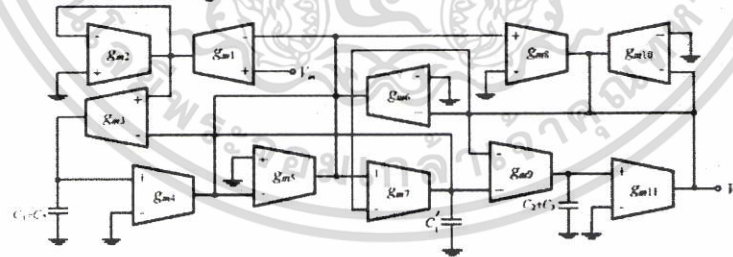


Fig.9 Proposed Elliptic third-order ladder low-pass filter

that there is slightly error in magnitude response of stop-band, but the pass-band is very close to magnitude response of RLC prototype in Fig.6.

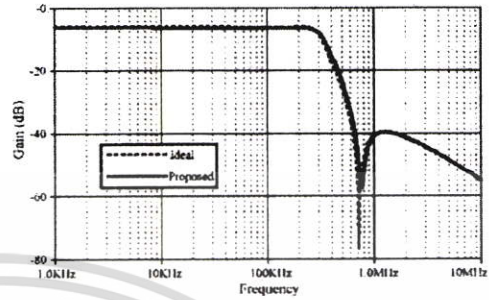


Fig. 10. Magnitude response of proposed Elliptic third-order ladder low-pass filter in Fig.9 compared with prototype in Fig.6

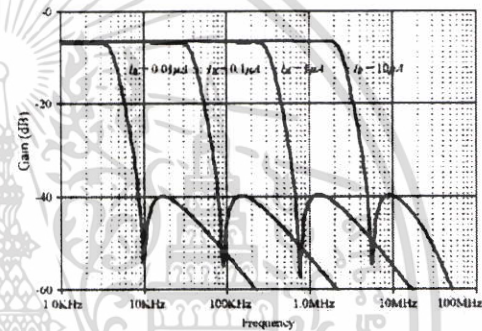


Fig. 11. Magnitude response of proposed Elliptic third-order ladder low-pass filter by varying I_B

Figure 11 shows frequency responses of proposed voltage-mode OTA-based Elliptic third-order ladder low-pass filter can be electronically tuned between 3kHz and 2MHz by adjusting I_B [0.01, 0.1, 1, 10] μA agreed with the theory.

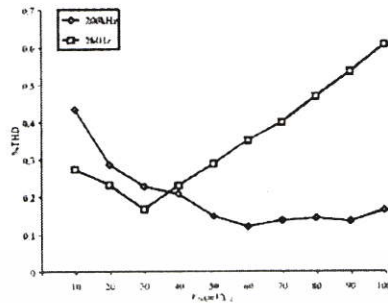


Fig. 12. THD of proposed elliptic third-order ladder low-pass filter by setting $I_B=10\mu A$

Figure 12 shows the total harmonic distortion (THD) of proposed voltage-mode OTA-based Elliptic third-order ladder low-pass filter by setting bias current (I_B) $10\mu A$, applying two different input frequencies 200kHz and 2MHz and varying the amplitude of input from [10-100] mV. Low THDs are obtained lower than 0.5% and 0.7%, respectively.

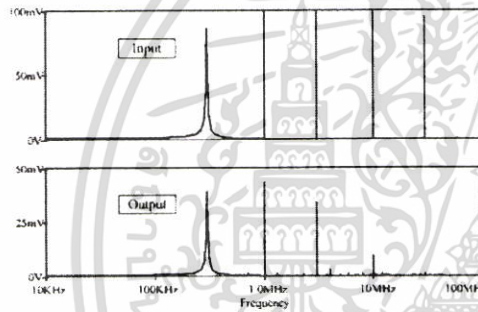


Fig. 13. Multi tone measurement of proposed Elliptic third-order ladder low-pass filter by setting $I_B=10\mu A$

Regarding to verify the performance of filtering capability, multi tone measurement is used by applying different five frequencies with equaled amplitude inputs. The spectrum of output against its input based on the following conditions, $C_1=C_2=(C_1+C_2)=(C_3+C_4)=11.2pF$ and $C_5=10pF$ and bias currents to $1\mu A$, is illustrated in Fig.13. It is found that the frequencies within pass band can be pass through the filter output and frequencies which higher pass band are filter out according to the characteristic in Fig.11.

V. CONCLUSION

This paper presents an electronically tunable voltage-mode Elliptic third-order ladder low-pass Filter using OTA realized by simulating the RLC Elliptic ladder low-pass filter prototype. The proposed filter contains lossless integrators and voltage gain which use 44 NMOS, 44 PMOS and 3 grounded

capacitors. Frequency responses can be electronically tuned between 3kHz and 2MHz by adjusting I_B between $0.01\mu A$ and $10\mu A$ with 1mW of dynamic power consumption along tuning the bias current, low-THD and low power supply $\pm 1.5V$.

REFERENCES

- [1] Fabre, F. Dayoub, L. Duruisseaux, and M.Kamoun, "High Input Impedance Insensitive Second-Order Filters Implemented from Current Conveyors," IEEE Transactions on Circuits and Systems I, Vol.41, Issue 12, pp. 918 - 921, Dec 1994.
- [2] M. Bhusan, R.W. Newcomb, "Grounding of Capacitors in Integrated Circuits," Electronics Letters, vol.3, pp.148-149, Apr. 1967.
- [3] R. Raut, M.N. S. Swamy, "Modern Analog Filter Analysis and Design," Wiley-VCH Verlag GmbH & Co. KGaA, Weinheim, 2010.
- [4] R. Raut, N. Guo, "Low Power Wideband Voltage and Current Mode Second-Order Filters Using Wideband CMOS Transimpedance Network," Circuits and Systems, Proceedings of the 40th Midwest Symposium on, vol.1, pp.241-244, Aug. 1997.
- [5] J. Luck, J. G. Swanson, "First-Order, Switched-Capacitor, Low-pass Filter Implemented with GaAs Insulated-Gate HBT Switches," Electronics Letters, vol.26, No.22, pp. 1843-1845, Oct. 1990.
- [6] K. Banerjee, A. Ranjan, S. K. Paul, "New First Order Multifunction Filter Employing Operational Transresistance Amplifier," Computers and Devices for Communication (CODIC), 2012 5th International Conference on, pp. 1-3, Dec. 2012.
- [7] R. K. Henderson, L. Ping, J. I. Sewell, "Canonical Design of Integrated Ladder Filters," IEE Proceedings G, Circuits, Devices and Systems, vol.138, No.2, pp. 222-228, Apr. 1991.
- [8] V. W. Leung, W. Roberts, "Effects of Transistor Nonidealities on High-Order Log-Domain Ladder Filter Frequency Responses," Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, vol.47, No.5, pp. 373-387, May. 2000.
- [9] D. Jurisic, G. S. Moschytz, "Ladder-Hiquad Filter Partitioning for On-chip Tuning," Circuit Theory and Design (ICCTD), 2011 20th European Conference on, pp. 373-376, Aug. 2011.
- [10] A. C. M. de Queiroz, "Balanced Transconductor-C Ladder Filters With Improved Linearity," Circuits and Systems, 2009. MWSCAS '09. 52nd IEEE International Midwest Symposium on, pp. 41-44, Aug. 2009.
- [11] E. Sanchez-Sinencio, R. L. Geiger, H. Nevarez-Lozano, "Generation of Continuous-Time Two Integrator Loop OTA Filter Structure," IEEE Transactions on Circuits and Systems, vol. CAS-35, pp. 936-949, 1988.
- [12] L. P. Huelsman, "Active and Analog Filter Design" McGraw-Hill, Inc., International Edition, 1993.
- [13] https://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/tmc-018/688_nm_non_epi-params.tst

ประวัติผู้เขียน

ชื่อ-นามสกุล นายอภิรักษ์ เทียมสุพัต
วัน เดือน ปีเกิด 4 พฤษภาคม พ.ศ.2527 ที่จังหวัดนครนายก
ที่อยู่ 1,3 ซอยรามอินทรา 67 แยก 1 แขวงรามอินทรา เขตคันนายาว กทม.
10230
ประวัติการศึกษา สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรม
อุตสาหกรรม คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ในปีการศึกษา 2549
สำเร็จการศึกษาระดับปริญญาโท สาขาเทคโนโลยีสารสนเทศทาง
ธุรกิจ คณะพาณิชยศาสตร์และการบัญชี จุฬาลงกรณ์มหาวิทยาลัย
ในปีการศึกษา 2555



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้