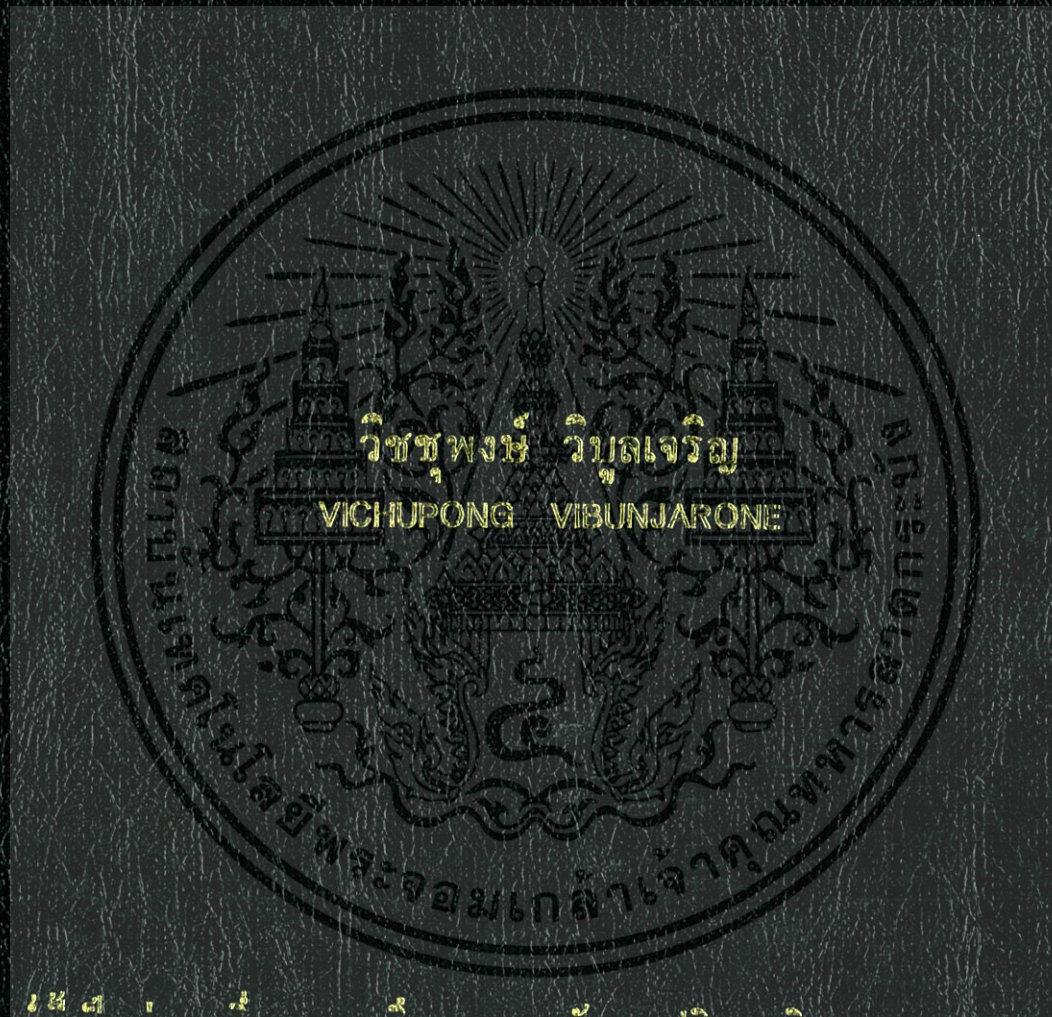


ระบบเฟสล็อกคูปแบบใหม่ที่สามารถควบคุมเฟสเอาต์พุต  
และช่วงเวลาในการล็อกได้

A NEW PHASE-LOCKED LOOP SYSTEM WITH THE CONTROLLABLE  
OUTPUT PHASE AND LOCK-UP TIME



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-0680-77-4

ระบบเฟสล็อกคูปแบบใหม่ที่สามารถควบคุมเฟสเอาต์พุต  
และช่วงเวลาในการล็อกได้

A NEW PHASE-LOCKED LOOP SYSTEM WITH THE CONTROLLABLE  
OUTPUT PHASE AND LOCK-UP TIME



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-9680-77-4

ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่เผยแพร่

**A NEW PHASE-LOCKED LOOP SYSTEM WITH THE CONTROLLABLE  
OUTPUT PHASE AND LOCK-UP TIME**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE  
MASTER OF ENGINEERING IN CONTROL ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2004**

**ISBN 974-9680-77-4**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2004**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	ระบบเฟสล็อคูปแบบใหม่ที่สามารถควบคุมเฟสเอาต์พุต และช่วงเวลาในการล็อคได้
นักศึกษา	นาย วิชชุพงษ์ วิบูลเจริญ
รหัสนักศึกษา	45061143
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมระบบควบคุม
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. โยธิน เปรมปราณีรัชต์

### บทคัดย่อ

วิทยานิพนธ์นี้จะนำเสนอระบบเฟสล็อคูปแบบใหม่ ซึ่งสามารถควบคุมเฟสเอาต์พุตได้ เป็นอิสระจากความถี่เอาต์พุต และควบคุมช่วงเวลาในการล็อคได้ ระบบเฟสล็อคูปแบบนี้ ประกอบด้วยวิธีโอที่มีการป้อนกลับสองลูปเป็นลูปภายใน เพื่อปรับปรุงวิธีโอซึ่งปกติจะเป็นลูปเปิดให้เป็นวิธีโอที่มีการป้อนกลับ เพื่อให้มีผลตอบสนองเร็วขึ้น แบนด์วิธกว้างขึ้น ลดผลกระทบจากสัญญาณรบกวนที่เกิดจากวิธีโอและการเปลี่ยนแปลงค่าของแหล่งจ่าย ลูปภายนอกหรือลูปหลักของระบบเฟสล็อคูปมีสองอินพุต อินพุตแรกเป็นความถี่อินพุตใช้สำหรับกำหนดความถี่เอาต์พุต อินพุตที่สองเป็นแรงดันอินพุตใช้สำหรับควบคุมเฟสของความถี่เอาต์พุตและควบคุมช่วงเวลาในการล็อค โดยตัวควบคุมของทั้งสองลูปออกแบบโดยใช้วิธีโมดูลัสออปติมิซึมและซิมเมตริกอลออปติมิซึม จากผลการทดลองพบว่าระบบเฟสล็อคูปแบบใหม่นี้สามารถควบคุมเฟสเอาต์พุตได้เป็นอิสระจากความถี่เอาต์พุต และควบคุมช่วงเวลาในการล็อคได้ รวมทั้งเสถียรภาพของวิธีโอก็จะดีขึ้นด้วย

<b>Thesis Title</b>	A New Phase-Locked Loop System with the Controllable Output Phase and Lock-up Time
<b>Student</b>	Mr. Vichupong Vibunjarone
<b>Student ID.</b>	45061143
<b>Degree</b>	Master of Engineering
<b>Programme</b>	Control Engineering
<b>Year</b>	2004
<b>Thesis Advisor</b>	Assoc. Prof. Dr. Yothin Prempraneerach

## ABSTRACT

This thesis, a new phase-locked loop system with the controllable output phase, independent from the output frequency, and lock-up time is presented. This phase-locked loop system has a dual control loop of VCO which perform to be an inner loop. The purpose of inner loop is to improve the performance of VCO such as faster speed response as well as higher operation bandwidth, to minimize the effect of VCO noise disturbance, and the power supply variation. The main loop of this phase-locked loop system has a two input signal, one is the reference frequency input to be used for set-up the output frequency of system and another input signal is the control input represented by a voltage signal in order to control the output phase and lock-up time. The controller of inner loop and main loop is designed by mean of the modulus optimum and symmetrical optimum. The experimental result show that the new phase-locked loop system can controls the output phase, independent from the output frequency, and lock-up time as well as the frequency stability of VCO are greatly improved.

# กิตติกรรมประกาศ

การจัดทำวิทยานิพนธ์ในครั้งนี้สำเร็จลุล่วงไปด้วยดี เพราะว่าผู้วิจัยได้รับความเมตตากรุณาจาก รองศาสตราจารย์ ดร. โยชิน เปรมปราณีรัชต์ ที่ได้ให้ความกรุณาแนะนำแก่ผู้วิจัยตลอดมา รวมถึงการให้ความสนใจสอบถามถึงความคืบหน้าอย่างสม่ำเสมอ ทำให้ผู้วิจัยมีแรงบันดาลใจในการทำงานอย่างมีระบบและบริหารการใช้เวลาอย่างมีประสิทธิภาพ ผู้วิจัยรู้สึกซาบซึ้งและขอกราบขอบพระคุณอย่างสูง

ขอขอบพระคุณ ภาควิชาวิศวกรรมระบบควบคุม และ ศูนย์ทดสอบผลิตภัณฑ์ไฟฟ้าและอิเล็กทรอนิกส์ (PTEC) ที่เอื้อเฟื้ออุปกรณ์และเครื่องมือ ตลอดจนจนถึงสถานที่ รวมทั้งการอำนวยความสะดวก จนสามารถทำวิทยานิพนธ์ฉบับนี้เสร็จสิ้น

ขอขอบพระคุณอาจารย์ทุกท่านทุกสถาบัน ที่เคยสอนผู้วิจัย จนสามารถเรียนรู้และสร้างสมประสบการณ์มาทำเป็นวิทยานิพนธ์ฉบับนี้ได้

ขอขอบคุณบัณฑิตวิทยาลัยที่ได้ให้ทุนสนับสนุนการทำวิทยานิพนธ์ครั้งนี้ และสุดท้ายขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่เคารพอย่างยิ่ง ที่ให้โอกาสแก่ผู้วิจัยได้เล่าเรียนจนถึงวันนี้ ตลอดจนสนับสนุนและให้กำลังใจเสมอมา

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอบแต่ผู้มีพระคุณทุกท่าน

วิษณุพงษ์ วิบูลเจริญ

# สารบัญ

	หน้า
บทคัดย่อ ภาษาไทย.....	I
บทคัดย่อ ภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
คำย่อและสัญลักษณ์.....	XI
บทที่ 1. บทนำ.....	1
1.1 วัตถุประสงค์ในการทำวิทยานิพนธ์.....	1
1.2 ขอบเขตของการศึกษา.....	2
1.3 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2. เฟสล็อกกลุ๊ป.....	4
2.1 บทนำ.....	4
2.2 โครงสร้างของเฟสล็อกกลุ๊ป.....	4
2.3 เฟสดีเทคเตอร์.....	7
2.3.1 วงจรตรวจจับเฟสแบบเอ็กซ์คูลูซีฟ-ออร์เกท.....	7
2.3.2 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานแบบสองสเตท.....	10
2.3.3 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสามสเตท.....	12
2.4 ลูปฟิลเตอร์.....	15
2.4.1 วงจรกรองความถี่ต่ำอันดับ I แบบ R-C.....	17
2.4.2 วงจรกรองความถี่ต่ำแบบลีด-แลก (Lead-Lag).....	18
2.4.3 วงจรกรองความถี่ต่ำแบบลีด-แลกชนิดแอกทีฟฟิลเตอร์.....	19
2.5 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันหรือวีซีโอ.....	20
2.5.1 โวลต์เตจคอนโทรลล์มัลติไวเบรเตอร์.....	21
2.5.2 รีโซแนนท์วีซีโอ.....	25
2.5.3 คริสตอลวีซีโอ.....	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

บทที่ 3. การออกแบบตัวควบคุม.....	30
3.1 ระบบที่เหมาะสมโดยทั่วไป.....	30
3.2 การออกแบบตัวควบคุม โดยวิธีโมดูลัสออฟติมัม.....	32
3.3 การออกแบบตัวควบคุม โดยวิธีซิมเมตริกคอลออฟติมัม.....	38
3.4 การออกแบบตัวควบคุมสำหรับระบบที่มีตัวหน่วงเวลา อันดับหนึ่งขนาดใหญ่.....	42
3.5 การแก้ไข โอเวอร์ชูทจากการออกแบบด้วยวิธีซิมเมตริกคอลออฟติมัม.....	46
3.6 การตอบสนองของระบบต่อสิ่งรบกวนภายนอก.....	48
3.7 การแบ่งระบบออกเป็นส่วนย่อย.....	50
บทที่ 4. ระบบเฟสล็อกคูลูที่สามารถปรับเฟสเอาต์พุตและช่วงเวลาในการลอคได้.....	53
4.1 โครงสร้างของระบบเฟสล็อกคูลูที่สามารถปรับเฟสเอาต์พุต และช่วงเวลาในการลอคได้.....	53
4.2 การออกแบบเฟสล็อกคูลู.....	54
4.3 การออกแบบตัวควบคุมสำหรับวีซีโอที่มีการป้อนกลับสองลูป.....	56
4.4 การออกแบบตัวควบคุมสำหรับระบบเฟสล็อกคูลู.....	59
4.5 การทำงานของระบบเฟสล็อกคูลูที่สามารถควบคุมเฟสเอาต์พุต และช่วงเวลาในการลอคได้.....	60
4.5.1 การทำงานของระบบเฟสล็อกคูลู ในสภาวะการปรับ ช่วงเวลาในการลอค.....	60
4.5.2 การทำงานของระบบเฟสล็อกคูลูในสภาวะการปรับเฟสเอาต์พุต.....	64
บทที่ 5. การทดลอง.....	66
5.1 พารามิเตอร์ของเฟสล็อกคูลู.....	66
5.2 พารามิเตอร์ของตัวควบคุมแบบพีไอสำหรับวีซีโอที่มีการป้อนกลับสองลูป.....	68
5.3 พารามิเตอร์ของตัวควบคุมแบบพีไอสำหรับระบบเฟสล็อกคูลู ที่สามารถปรับเฟสเอาต์พุตและช่วงเวลาในการลอคได้.....	69

## สารบัญ (ต่อ)

5.4 ผลการทดลอง.....	70
5.4.1 วิธีโอที่มีการป้อนกลับสองรูป.....	72
5.4.1.1 ผลตอบสนองของวิธีโอที่มีการป้อนกลับสองรูป.....	72
5.4.1.2 การกำจัดผลกระทบจากสัญญาณรบกวนที่เกิดจากวิธีโอ.....	74
5.4.1.3 การกำจัดผลกระทบจากการเปลี่ยนแปลงค่าแหล่งจ่าย.....	79
5.4.2 ระบบเฟสล็อกคูล์ที่สามารถปรับเฟสเอาต์พุตและ ช่วงเวลาในการล๊อคได้.....	80
5.4.2.1 การปรับช่วงเวลาในการล๊อค.....	80
5.4.2.2 การปรับเฟสเอาต์พุต.....	81
5.5 ช่วงรอยต่อระหว่างการปรับช่วงเวลาในการล๊อคกับการ ปรับเฟสเอาต์พุตของระบบเฟสล็อกคูล์.....	83
บทที่ 6. สรุปผลการวิจัยและข้อเสนอแนะ .....	86
บรรณานุกรม.....	88
ภาคผนวก.....	90
ภาคผนวก ก การออกแบบตัวควบคุมโดยใช้ตาราง.....	91
ภาคผนวก ข วงจรที่ใช้จำลองการปรับค่าอัตราขยายเปรียบเทียบกับ การปรับแรงดันอินพุต.....	94
ภาคผนวก ค วงจรที่ใช้ทดลอง.....	96
ภาคผนวก ง การทดลองการกำจัดผลกระทบจากการเปลี่ยนแปลงค่าแหล่งจ่าย.....	99
ภาคผนวก จ ผลงานวิจัยที่เกี่ยวข้องกับวิทยานิพนธ์.....	116
ประวัติผู้เขียน.....	128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงตารางค่าความจริงของการคูณ.....	10
2.2 แสดงตารางค่าความจริงของเอ็กซ์คลูซีฟ-ออร์เกท.....	10
3.1 แสดงลักษณะการควบคุมระบบของตัวควบคุมทั้งสามแบบ.....	38
3.2 สรุปค่าคงที่ทางเวลาของการประมาณลูปควบคุมให้เป็นตัวหน่วงเวลาอันดับหนึ่ง.....	52
4.1 แสดงการปรับช่วงเวลาในการลีดออกโดยการปรับระดับแรงดันอินพุท.....	63
4.2 แสดงการปรับช่วงเวลาในการลีดออกโดยการปรับค่าอัตราขยายของระบบ.....	63
5.1 แสดงความถี่เอาต์พุทของวิธีโอ.....	68
5.2 พารามิเตอร์ของเฟสลีดอกลูปที่ใช้ในการออกแบบตัวควบคุมสำหรับ วิธีโอที่มีการป้อนกลับสองลูป.....	69
5.3 พารามิเตอร์ของเฟสลีดอกลูปที่ใช้ในการออกแบบตัวควบคุม สำหรับระบบเฟสลีดอกลูปที่สามารถปรับเฟสเอาต์พุทและช่วงเวลาในการลีดออกได้.....	69
5.4 แสดงความถี่เอาต์พุทของวิธีโอที่ได้จากการทดลอง.....	74
5.5 แสดงความถี่เอาต์พุทของวิธีโอเมื่อมีการเปลี่ยนแปลงค่าแหล่งจ่าย.....	79
5.6 แสดงการปรับช่วงเวลาในการลีดออกของระบบเฟสลีดอกลูปที่ได้จากการทดลอง.....	80
5.7 แสดงการปรับเฟสเอาต์พุทของระบบเฟสลีดอกลูปที่ได้จากการทดลอง.....	83
5.8 แสดงช่วงเวลาในการลีดออกของระบบเฟสลีดอกลูปที่ได้จากการทดลองในช่วงรอยต่อ.....	84
5.9 แสดงเฟสเอาต์พุทของระบบเฟสลีดอกลูปที่ได้จากการทดลองในช่วงรอยต่อ.....	85
ก.1 แสดงการออกแบบตัวควบคุม.....	92
ก.2 แสดงค่าพารามิเตอร์ของตัวควบคุม.....	93

# สารบัญรูป

รูปที่	หน้า
2.1 แสดงการทำงานเบื้องต้นของเฟสล็คคูลูป.....	4
2.2 แสดงแบบจำลองทางคณิตศาสตร์ของเฟสล็คคูลูป.....	5
2.3 วงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์ฟ-ออร์เกท.....	8
2.4 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์ฟ-ออร์เกท.....	9
2.5 แสดงวงจรตรวจจับเฟสและความถี่แบบสองสเตท.....	12
2.6 วงจรตรวจจับเฟสและความถี่แบบสามสเตท.....	13
2.7 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสามสเตท.....	14
2.8 คุณลักษณะในการเปลี่ยนความถี่ของเฟสล็คคูลูป.....	16
2.9 แสดงโลว์พาสฟิลเตอร์อันดับ I โดยใช้ R – C.....	17
2.10 แสดงวงจร ลีด – แล็ก อันดับหนึ่ง.....	18
2.11 แสดงวงจรแอกทีฟฟิลเตอร์.....	19
2.12 แสดงตัวอย่างกราฟคุณลักษณะของวีซีโอในช่วงที่เป็นเชิงเส้น.....	21
2.13 แสดงวงจร โวลท์เตจคอนโทรลล์ดีไวเวอร์เตอร์.....	22
2.14 แสดงกราฟคุณสมบัติของวงจร โวลท์เตจคอนโทรลล์ดีไวเวอร์เตอร์.....	23
2.15 แสดงคุณสมบัติของวีซีโอที่เป็น ไอซีเบอร์ MC4024.....	24
2.16 แสดงหลักการการทำงานของวงจรรีโซแนนท์ออสซิลเลเตอร์.....	25
2.17 แสดงคุณสมบัติของวาแรกเตอร์ไดโอด.....	26
2.18 แสดงวงจร โวลท์เตจคอนโทรลล์คริสตอลออสซิลเลเตอร์หรือวีซีเอ็กซ์โอ.....	27
2.19 แสดงคุณสมบัติของวาแรกเตอร์ที่มีค่าคาปาซิแตนซ์ต่ำ.....	28
3.1 แสดงระบบควบคุมแบบปิด.....	30
3.2 แสดงลักษณะการตอบสนองในเชิงความถี่ของระบบที่เหมาะสม.....	32
3.3 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบโอที่ออกแบบโดยวิธี โมดูลัสออปติมัม.....	33
3.4 แสดงการตอบสนองต่อสเต็ปอินพุทของระบบที่ออกแบบโดยวิธี โมดูลัสออปติมัม.....	34
3.5 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบพีโอที่ออกแบบโดยวิธี โมดูลัสออปติมัม.....	35
3.6 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบ พีไอดีที่ออกแบบโดยวิธี โมดูลัสออปติมัม.....	36
3.7 ระบบควบคุมที่มีค่าคงที่ทางเวลาสี่บล็อก.....	37
3.8 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบพีโอที่ออกแบบโดยวิธีซิมเมตริกอลออปติมัม.....	39

## สารบัญญรูป (ต่อ)

3.9 แสดงลักษณะอัตราขยายของระบบเปิดในเชิงความถี่.....	40
3.10 แสดงการตอบสนองต่อสเต็มอินพุทของระบบที่ใช้การออกแบบ ตัวควบคุมด้วยวิธีซิมเมตริกคอลออปติมัม.....	41
3.11 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบพีไอดี ที่ออกแบบโดย วิธีซิมเมตริกคอลออปติมัม.....	41
3.12 แสดงระบบที่มีตัวหน่วงเวลาอันดับหนึ่งขนาดใหญ่ ( $T_1 > 4T_c$ ).....	42
3.13 แสดงการเพิ่มตัวสมูทติงเพื่อลดโอเวอร์ชูทต่อสเต็มอินพุท.....	47
3.14 แสดงการตอบสนองต่อสเต็มอินพุทของระบบที่ใช้การออกแบบตัวควบคุม ด้วยวิธีซิมเมตริกคอลออปติมัม และเพิ่มตัวสมูทติงเพื่อลดโอเวอร์ชูท.....	48
3.15 แสดงระบบที่ให้อินพุทเป็น 0 เพื่อพิจารณาผลตอบสนองต่อสิ่งรบกวนภายนอก(Z).....	49
3.16 แสดงการตอบสนองต่อสิ่งรบกวนภายนอกอย่างทันทีทันใดของระบบ ที่ออกแบบตัวควบคุมโดยใช้วิธีโมดูลัสออปติมัม.....	49
3.17 แสดงการตอบสนองต่อสิ่งรบกวนภายนอกอย่างทันทีทันใดของระบบ ที่ออกแบบตัวควบคุมโดยใช้วิธีซิมเมตริกคอลออปติมัม.....	50
3.18 แสดงระบบที่ใช้ตัวควบคุม 2 ตัว.....	51
3.19 แสดงระบบควบคุมที่มีการประมาณค่าลูปภายในให้มีค่าเป็นตัวหน่วงเวลาอันดับหนึ่ง..	51
4.1 โครงสร้างของระบบเฟสล็คคูลูที่สามารปรับเฟสเอาท์พุทและช่วงเวลาในการล็คได้.	53
4.2 แสดงโครงสร้างของเฟสล็คคูลูที่ใช้วงจรรองความถี่ต่ำแบบลีด – แล็ก .....	54
4.3 โครงสร้างของวิธีโอทีที่มีการป้อนกลับสองลูป.....	56
4.4 แสดงบล็อกไดอะแกรมของวิธีโอทีที่มีการป้อนกลับสองลูป.....	57
4.5 แสดงบล็อกไดอะแกรมของวิธีโอทีที่มีการป้อนกลับสองลูปหลังจากขยุบลูปภายใน.....	58
4.6 แสดงบล็อกไดอะแกรมของระบบเฟสล็คคูลูแบบใหม่ .....	59
4.7 แสดงโครงสร้างของระบบเฟสล็คคูลูในสภาวะการปรับช่วงเวลาในการล็ค.....	61
4.8 แสดงโครงสร้างของระบบเฟสล็คคูลูที่ใช้ทดลองในสภาวะการปรับ ช่วงเวลาในการล็ค.....	62
4.9 แสดงการปรับช่วงเวลาในการล็คของระบบเฟสล็คคูลูโดยการปรับ ระดับแรงดันอินพุทเปรียบเทียบกับ การปรับค่าอัตราขยายที่แรงดันอินพุทคงที่.....	63
4.10 แสดงโครงสร้างของระบบเฟสล็คคูลูในสภาวะการปรับเฟสเอาท์พุท.....	64

## สารบัญรูป (ต่อ)

5.1 แสดงคุณสมบัติของวงจรเฟสพรีแควนซ์ดีเทคเตอร์.....	67
5.2 แสดงกราฟคุณลักษณะของวิธีโอในช่วงที่เป็นเชิงเส้น.....	68
5.3 แสดงภาพถ่ายของวงจรที่ใช้ทดลอง.....	70
5.4 แสดงผลตอบสนองของวิธีโอที่มีการป้อนกลับสองลูบเมื่อป้อนอินพุตแบบขั้น.....	72
5.5 สัญญาณค่าผิดพลาด .....	73
5.6 แสดงความถี่เอาต์พุตของวิธีโอที่มีการป้อนกลับสองลูบ.....	73
5.7 แสดงกราฟคุณลักษณะของวิธีโอที่มีการป้อนกลับสองลูบ.....	74
5.8 แสดงผลตอบสนองของระบบเมื่อมีสัญญาณรบกวนที่เป็นแรงดัน.....	75
5.9 สัญญาณควบคุม.....	75
5.10 สัญญาณค่าผิดพลาด .....	76
5.11 กราฟแสดงความถี่เอาต์พุตของวิธีโอที่มีการเพิ่มขนาดของสัญญาณรบกวน.....	76
5.12 แสดงผลตอบสนองของระบบเมื่อมีสัญญาณรบกวนที่เป็นความถี่.....	77
5.13 สัญญาณควบคุม.....	77
5.14 สัญญาณค่าผิดพลาด .....	78
5.15 กราฟแสดงความถี่เอาต์พุตของวิธีโอที่มีการเพิ่มความถี่ของสัญญาณรบกวน.....	78
5.16 แสดงความถี่เอาต์พุตของวิธีโอเมื่อมีการเปลี่ยนแปลงค่าแหล่งจ่าย.....	79
5.17 แสดงช่วงเวลาในการลือคของระบบเฟสลือคลูบเมื่อมีการปรับระดับแรงดันอินพุต.....	80
5.18 แสดงความถี่เอาต์พุตของระบบเฟสลือคลูบที่มีการปรับเฟส.....	81
5.19 แสดงผลตอบสนองของระบบเฟสลือคลูบในช่วงรอยต่อระหว่าง การปรับช่วงเวลาในการลือคกับการปรับเฟส (แรงดันอินพุต 2 - 6 V).....	83
5.20 แสดงผลตอบสนองของระบบเฟสลือคลูบในช่วงรอยต่อระหว่าง การปรับช่วงเวลาในการลือคกับการปรับเฟส (แรงดันอินพุต 4.4 - 4.6 V).....	84
ข.1 แสดงวงจรของระบบเฟสลือคลูบในสภาวะการปรับช่วงเวลาในการลือค โดยปรับค่าอัตราขยายของระบบ.....	95
ค.1 แสดงวงจรของวิธีโอที่มีการป้อนกลับสองลูบ.....	97
ค.2 แสดงวงจรของระบบเฟสลือคลูบที่สามารถควบคุมเฟสเอาต์พุต และช่วงเวลาในการลือค.....	98
ง.1 แสดงความถี่เอาต์พุตของวิธีโอที่ความถี่ 200kHz เมื่อใช้แหล่งจ่าย 5V.....	100
ง.2 แสดงความถี่เอาต์พุตของวิธีโอที่ความถี่ 200kHz เมื่อใช้แหล่งจ่าย 6V.....	100



## คำย่อและสัญลักษณ์

$\omega_i$	หมายถึง	ความถี่เชิงมุมของสัญญาณอ้างอิง
$\omega_o$	หมายถึง	ความถี่เชิงมุมของสัญญาณเอาต์พุต
$V_d$	หมายถึง	สัญญาณเอาต์พุตของเฟสดีเทคเตอร์
$V_c$	หมายถึง	สัญญาณเอาต์พุตของโลว์พาสฟิลเตอร์
$\theta_i$	หมายถึง	เฟสของสัญญาณอินพุต
$\theta_o$	หมายถึง	เฟสของสัญญาณเอาต์พุต
$\theta_e$	หมายถึง	ความต่างเฟสระหว่างสัญญาณอินพุตและเอาต์พุต
$K_d$	หมายถึง	ค่าอัตราขยายของเฟสดีเทคเตอร์มีหน่วยเป็น V/rad
$K_o$	หมายถึง	ค่าอัตราขยายของวีซีโอมีหน่วยเป็น rad/S/V
$F(s)$	หมายถึง	ทรานส์เฟอร์ฟังก์ชันของโลว์พาสฟิลเตอร์
$V_{dm}$	หมายถึง	ค่าสูงสุดของค่าเฉลี่ย $V_d$
$V_H$	หมายถึง	ระดับแรงดันลอจิกสูง
$V_L$	หมายถึง	ระดับแรงดันลอจิกต่ำ
$V_U, V_D$	หมายถึง	เอาต์พุตของวงจรตรวจจับเฟสและความถี่แบบ 3 สเตท
$\omega_n$	หมายถึง	ค่าความถี่ธรรมชาติ
$\zeta$	หมายถึง	เดมปีงแฟคเตอร์
$\omega_{LPF}$	หมายถึง	ความถี่คัทออฟ
$T$	หมายถึง	ช่วงเวลาในการออสซิลเลต
$Fo(s)$	หมายถึง	ทรานส์เฟอร์ฟังก์ชันของระบบเปิด
$F\omega(s)$	หมายถึง	ทรานส์เฟอร์ฟังก์ชันของระบบปิด
$V_1$	หมายถึง	เทสโวลต์เตจของวีซีโอแบบมัลติไวเบรเตอร์
$V_R$	หมายถึง	รีเวิร์คไบอัสของวาแรกเตอร์
$As$	หมายถึง	ค่าอัตราขยายสัญญาณของตัวหน่วงเวลาอันดับหนึ่ง
$T_I$	หมายถึง	เวลาอินทิกรัลสัญญาณของตัวควบคุม
$T_1, T_2, T_3, T_4 \dots$	หมายถึง	ค่าเวลาคงที่ของตัวหน่วงเวลาอันดับหนึ่งใดๆ
$T_e$	หมายถึง	ผลรวมค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่ง
$A_R$	หมายถึง	คือค่าอัตราขยายสัญญาณของตัวควบคุมแบบพีไอ
$T_D$	หมายถึง	เวลาดีเฟอเรนเชียลสัญญาณของตัวควบคุม
$T_O$	หมายถึง	ค่าคงที่ทางเวลาของตัวอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$t_r$	หมายถึง	ช่วงเวลาที่ไต่ขึ้น
$t_s$	หมายถึง	ช่วงเวลาเข้าที่
$t_{sm}$	หมายถึง	ค่าเวลาคงที่ของตัวสมมุติตั้ง
$Z$	หมายถึง	ผลจากสิ่งรบกวนภายนอก
$V_{in}$	หมายถึง	แรงดันอินพุทของวีซีโอ
$V_f$	หมายถึง	แรงดันป้อนกลับของวีซีโอ
$V_{ref}$	หมายถึง	แรงดันอินพุทของระบบเฟสล็อกคัลคูล
$V_o$	หมายถึง	แรงดันป้อนกลับของระบบเฟสล็อกคัลคูล
$K_p$	หมายถึง	ค่าอัตราขยาย
$K_{factor}$	หมายถึง	ค่าอัตราขยายเสมือนที่ใช้ในการจำลอง
$C$	หมายถึง	ตัวเก็บประจุกรองแรงดัน
$L$	หมายถึง	ตัวอินดักเตอร์
$R$	หมายถึง	ตัวต้านทาน
$r_p$	หมายถึง	ความต้านทานที่เกิดจากการสูญเสียของตัวอินดักเตอร์
$r_s$	หมายถึง	ความต้านทานเสมือน
$F$	หมายถึง	ฟารัด (หน่วยของความจุไฟฟ้า)
$Hz$	หมายถึง	เฮิรตซ์ (หน่วยของความถี่)
$\pi$	หมายถึง	ค่าคงที่ $\approx 3.14$
$\Omega$	หมายถึง	โอห์ม (หน่วยของความต้านทาน)
$\mu$	หมายถึง	ไมโคร ( $10^{-6}$ )
$Fo$	หมายถึง	ความถี่เอาท์พุท
$Fref$	หมายถึง	ความถี่อินพุท
$k$	หมายถึง	กิโล ( $10^3$ )
$m$	หมายถึง	มิลลิ ( $10^{-3}$ )
$M$	หมายถึง	เมกะ ( $10^6$ )
$n$	หมายถึง	นาโน ( $10^{-9}$ )
$t$	หมายถึง	เวลา
$s$	หมายถึง	วินาที
$rad$	หมายถึง	เรเดียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 วัตถุประสงค์ในการทำวิทยานิพนธ์

ปัจจุบันเฟสดีคอนเวอร์เตอร์ได้ถูกนำไปประยุกต์ใช้งานอย่างแพร่หลายเช่นในด้านการสื่อสาร วงจรอิเล็กทรอนิกส์ เครื่องมือวัดและงานอื่นๆอีกมากมาย เฟสดีคอนเวอร์เตอร์เป็นพื้นฐานของ อิเล็กทรอนิกส์เซอร์โวประกอบด้วยตัวเปรียบเทียบเฟส โลว์พาสฟิลเตอร์และวีซีโอ เฟสดีคอนเวอร์เตอร์จะควบคุมให้วีซีโอสร้างความถี่ขึ้นสอดคล้องกับสัญญาณเข้า ส่วนประกอบต่างๆในเฟสดีคอนเวอร์เตอร์จะต้องมีเสถียรภาพที่ดีเพื่อให้ความถี่เอาต์พุตมีความถูกต้อง, มีเสถียรภาพรวมทั้งมีช่วงเวลาในการ ล็อคที่เหมาะสม วีซีโอเป็นส่วนประกอบส่วนหนึ่งที่สำคัญมากในเฟสดีคอนเวอร์เตอร์ เพราะนอกจากจะเป็นตัวกำหนดย่านความถี่ที่เฟสดีคอนเวอร์เตอร์สามารถทำงานได้แล้วยังมีส่วนสำคัญที่ทำให้ความถี่ เอาต์พุตมีเสถียรภาพที่ดี ดังนั้นการศึกษาและวิจัยเกี่ยวกับระบบเฟสดีคอนเวอร์เตอร์และวีซีโอจึงเป็นปัญหา ที่น่าสนใจและน่าศึกษา

งานวิจัยที่เกี่ยวกับวีซีโอที่ผ่านมาได้มีการนำเสนอการปรับปรุงเสถียรภาพทางความถี่ของ วีซีโออันเนื่องมาจากสัญญาณรบกวน, การเปลี่ยนแปลงของอุณหภูมิและการเปลี่ยนแปลงค่าของ แหล่งจ่ายโดยมีการคิดค้นออกแบบวงจร[1-4] ซึ่งแต่ละวิธีจะมีหลักการออกแบบวงจรที่ซับซ้อน และมีการนำหลักการของระบบควบคุมแบบป้อนกลับมาใช้ออกแบบวีซีโอให้มีการป้อนกลับ [5-6] โดยจำเป็นต้องมีวงจรหารความถี่ในส่วนป้อนกลับ เพื่อให้วงจรเปลี่ยนความถี่เป็นแรงดัน (frequency to voltage converter) สามารถออกแบบได้ง่าย

สิ่งที่น่าพิจารณาอีกอย่างหนึ่งต่อคุณสมบัติของระบบเฟสดีคอนเวอร์เตอร์ คือช่วงเวลาในการล็อค ซึ่งเป็นพารามิเตอร์ที่สำคัญที่สุดในการออกแบบเฟสดีคอนเวอร์เตอร์ ในดิจิตอลเฟสดีคอนเวอร์เตอร์เป็นการยากที่จะ ควบคุมความถี่เอาต์พุตให้เป็นอิสระจากเฟส ซึ่งก็จะเป็นปัจจัยให้การปรับปรุงช่วงเวลาในการล็อค ได้รวดเร็วขึ้นกระทำได้อย่างง่ายดาย

วิทยานิพนธ์นี้ได้นำเสนอระบบเฟสดีคอนเวอร์เตอร์แบบใหม่ที่สามารถควบคุมเอาต์พุตเฟสและ ช่วงเวลาในการล็อคได้อย่างเป็นอิสระจากการควบคุมความถี่ ระบบเฟสดีคอนเวอร์เตอร์แบบใหม่ที่น่าสนใจ จะมีรูปภายในเป็นวีซีโอที่มีการป้อนกลับสองรูป ซึ่งประกอบด้วยตัวควบคุมแบบพีไอและเฟสดีคอนเวอร์เตอร์ในส่วนป้อนกลับ ที่ทำหน้าที่เปลี่ยนความถี่เอาต์พุตของวีซีโอให้เป็นแรงดันป้อนกลับ โดยไม่ จำเป็นต้องมีวงจรหารความถี่ประกอบด้วย เนื่องจากเฟสดีคอนเวอร์เตอร์สามารถทำงานได้ที่ความถี่สูง ตัว ควบคุมแบบพีไอออกแบบโดยใช้วิธี โมดูลัสของดิฟเฟอเรนเชียล [10] เพื่อให้ได้ผลตอบสนองของรูปใน ออกมาดีที่สุดและให้ผลกระทบจากสัญญาณรบกวนที่เกิดจากวีซีโอและการเปลี่ยนแปลงค่าของ แหล่งจ่ายมีค่าน้อยที่สุด รูปภายนอกที่เป็นรูปหลักของระบบเฟสดีคอนเวอร์เตอร์นี้มีสองอินพุต อินพุตแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นความถี่อินพุทใช้สำหรับกำหนดความถี่เอาต์พุท อินพุทที่สองเป็นแรงดันอินพุทใช้สำหรับควบคุมเฟสเอาต์พุทได้เป็นอิสระจากความถี่เอาต์พุทและควบคุมช่วงเวลาในการลือก ตัวควบคุมแบบพีไอของลูปหลักออกแบบโดยใช้วิธีซิมเมตริกคอลลอปติ่มม[10] เพื่อให้ได้ผลตอบสนองของลูปหลักออกมาดีที่สุด

## 1.2 ขอบเขตของการศึกษา

ในการศึกษาการออกแบบระบบเฟสลือกูปลที่สามารถควบคุมเฟสเอาต์พุทและช่วงเวลาในการลือกเพื่อให้ระบบมีประสิทธิภาพนั้น จะต้องศึกษาข้อมูลต่างๆดังต่อไปนี้

1. ศึกษาโครงสร้างของเฟสลือกูปลและหาแบบจำลองทางคณิตศาสตร์เพื่อให้เกิดความเข้าใจโครงสร้างและการทำงานต่างๆของระบบ ซึ่งจะนำไปสู่การควบคุมระบบให้มีประสิทธิภาพ
2. ศึกษาและทำความเข้าใจเกี่ยวกับการออกแบบตัวควบคุม ซึ่งจะนำไปสู่การออกแบบตัวควบคุมด้วยวิธีโมดูลัสออปติ่มมและซิมเมตริกคอลลอปติ่มม เพื่อควบคุมระบบให้มีเสถียรภาพและมีสมรรถนะตามที่ต้องการ
3. ศึกษาการใช้งานโปรแกรมสำเร็จรูปซึ่งจะช่วยในการออกแบบและวิเคราะห์วงจร เช่น โปรแกรมมัลติซิม (Multisim) โปรแกรมพีสไปซ์ (Pspice) และโปรแกรมแมตแล็บ (Matlab)

## 1.3 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้จะแบ่งออกเป็น 6 บท โดยมีรายละเอียดของแต่ละบทดังนี้

บทที่ 1 วัตถุประสงค์และหลักการใหม่ในการทำวิทยานิพนธ์ พร้อมทั้งรายละเอียดของวิทยานิพนธ์แต่ละบท

บทที่ 2 อธิบายโครงสร้างและการทำงานของเฟสลือกูปลรวมทั้งการหาแบบจำลองทางคณิตศาสตร์ ซึ่งจะแบ่งออกเป็น 3 ส่วน คือ ตัวเปรียบเทียบเฟสหรือเฟสฟรีควนซ์ดีเท็คเตอร์ โลว์พาสฟิลเตอร์และวีซีโอ

บทที่ 3 อธิบายทฤษฎีพื้นฐานของการออกแบบตัวควบคุมด้วยวิธีโมดูลัสออปติ่มมและซิมเมตริกคอลลอปติ่มมซึ่งประกอบด้วยตัวอย่างบล็อกไดอะแกรม โครงสร้างของระบบควบคุมและความสัมพันธ์ทางคณิตศาสตร์

บทที่ 4 อธิบายโครงสร้างและการทำงานของระบบเฟสลือกูปลที่สามารถปรับเฟสเอาต์พุทและช่วงเวลาในการลือก การออกแบบเฟสลือกูปลและการออกแบบตัวควบคุมสำหรับระบบเฟสลือกูปลซึ่งประกอบด้วยตัวควบคุมแบบพีไอที่ออกแบบด้วยวิธีโมดูลัสออปติ่มมสำหรับควบคุมลูปในที่เป็นวีซีโอที่มีการป้อนกลับสองลูป และตัวควบคุมแบบพีไอที่ออกแบบด้วยวิธีซิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมทริกคอลลอปติ่มสำหรับควบคุมลูปนอก ให้สามารถปรับเฟสของความถี่เอาท์พุทและช่วงเวลาในการลือกได้

บทที่ 5 จะนำเสนอการจำลองและการทดลองควบคุมวีซีโอที่มีการป้อนกลับสองลูปและระบบเฟสล็อกด้วยตัวควบคุมที่ออกแบบได้ในบทที่ 4 โดยอันดับแรกจะจำลองการทดลองด้วยโปรแกรมสำเร็จรูปมัลติซิมเวอร์ชัน 2001 จากนั้นจึงนำตัวควบคุมที่ได้ไปควบคุมระบบจริง โดยจะนำเสนอผลการจำลองและผลการทดลองต่างๆ รวมถึงการทดสอบสมรรถนะของระบบควบคุม

บทที่ 6 ซึ่งเป็นบทสุดท้ายจะเป็นการสรุปผลการวิจัยและข้อเสนอแนะที่ได้จากการนำเสนอในวิทยานิพนธ์นี้

และในส่วนท้ายสุดของวิทยานิพนธ์นี้เป็นภาคผนวกแสดงถึงตารางการออกแบบตัวควบคุม วงจรที่ใช้ในการจำลองและการทดลอง ผลงานวิจัยที่ได้รับการตีพิมพ์และประวัติผู้เขียน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

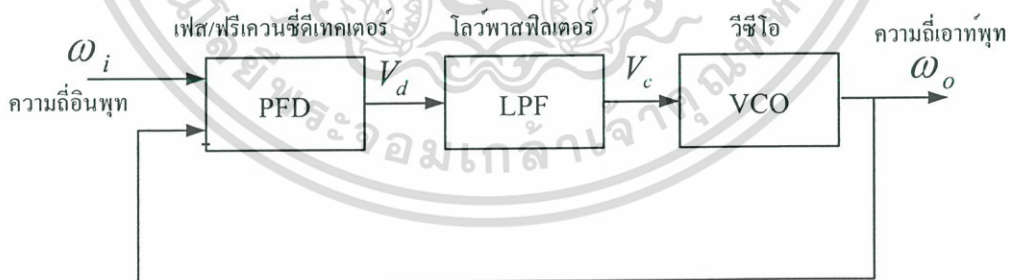
# เฟสล็อกคูลูป

### 2.1 บทนำ

ทฤษฎีเฟสล็อกคูลูปเกิดขึ้นตั้งแต่ 70 ปี มาแล้วอุปกรณ์ตัวแรกที่ใช้คือเครื่องรับ Homodyne ซึ่งทำหน้าที่เข้าจังหวะ (synchronous) สัญญาณวิทยุสองสัญญาณ ทฤษฎีเฟสล็อกคูลูปเริ่มมีการนิยมใช้อย่างแพร่หลายในระบบรับสัญญาณโทรทัศน์ โดยทำหน้าที่กำหนดขอบเขตของตัวสร้างความถี่ให้ตรงกัน (synchronize sweep oscillator) ทั้งในแนวตั้งและแนวนอน เพื่อส่งสัญญาณซิงพัลส์ (sync pulse) ต่อมาเฟสล็อกคูลูปแบบแถบแคบ (narrow-band) ได้ถูกนำมาใช้ในระบบการติดตามค่าจางหาย (weak) ของสัญญาณดาวเทียมเนื่องจากสามารถแก้ปัญหาสัญญาณรบกวนได้ อย่างไรก็ตามในสมัยนั้นเฟสล็อกคูลูปยังไม่นิยมนำมาใช้มากนัก จนกระทั่งมาถึงยุคปัจจุบัน มีการนำเฟสล็อกคูลูปมาใช้อย่างแพร่หลายในงานทางด้านวิศวกรรมสื่อสาร เนื่องจากการสร้างวงจรดิจิทัลมีราคาไม่แพง

### 2.2 โครงสร้างของเฟสล็อกคูลูป

เฟสล็อกคูลูปเป็นระบบป้อนกลับ ที่บังคับให้วงจรออสซิลเลเตอร์หรือวีซีโอมีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกคูลูปประกอบด้วยส่วนสำคัญ 3 ส่วน คือ เฟสดีเทคเตอร์ (phase detector) โลว์พาสฟิลเตอร์ (low pass filter) และวีซีโอ (voltage controlled oscillator) ดังแสดงไว้ในรูปที่ 2.1



รูปที่ 2.1 แสดงการทำงานเบื้องต้นของเฟสล็อกคูลูป

โดยที่สัญญาณต่าง ๆ ที่เกี่ยวกับวงจรเฟสล็อกคูลูปสามารถจำแนกได้ดังนี้

- $\omega_i$  คือ ความถี่เชิงมุมของสัญญาณอ้างอิง
- $\omega_o$  คือ ความถี่เชิงมุมของสัญญาณเอาต์พุต
- $V_d$  คือ สัญญาณเอาต์พุตของเฟสดีเทคเตอร์

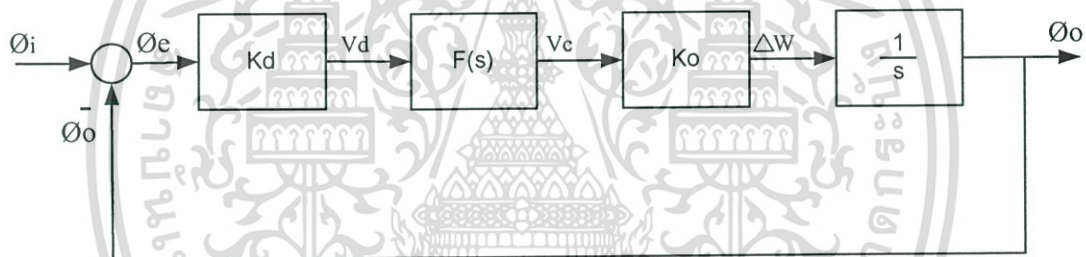
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_c$  คือ สัญญาณเอาต์พุตของโลว์พาสฟิลเตอร์

เมื่อมีสัญญาณความถี่อ้างอิงภายนอก เป็นสัญญาณรายคาบ (periodic) เข้ามาที่อินพุต เฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสระหว่างความถี่อ้างอิง กับความถี่ป้อนกลับจากวีซีโอ เอาต์พุตที่ได้จากเฟสดีเทคเตอร์ จะเป็นแรงดันที่มีขนาด เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณทั้งสอง แรงดันที่ได้นี้จะไปผ่านวงจร โลว์พาสฟิลเตอร์เพื่อกำจัดความถี่สูงออกไปให้เป็นแรงดันไฟตรงเข้าไปยังอินพุตของวีซีโอเพื่อควบคุมความถี่ของวีซีโอต่อไป

เมื่อลูปอยู่ในสภาวะลอค ความถี่เอาต์พุตของวีซีโอจะเท่ากับความถี่ของสัญญาณอินพุต อาจจะมีเฟสที่แตกต่างกันออกไป แต่ค่าความต่างเฟสนั้นจะมีค่าคงที่ ในกรณีที่เฟสไม่ตรงกัน เฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของวีซีโอเพื่อให้ความต่างเฟสระหว่างสัญญาณทั้งสองลดลงจนกว่าจะเข้าสู่สภาวะลอคเอาต์พุตของวีซีโอจึงมีขนาดคงที่เสมอ และความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุตเสมอ

แบบจำลองทางคณิตศาสตร์ของเฟสล็อคลูปแสดงดังรูปที่ 2.2 โดยพิจารณาความถี่เอาต์พุตเป็นเฟสเอาต์พุต



รูปที่ 2.2 แสดงแบบจำลองทางคณิตศาสตร์ของเฟสล็อคลูป

โดยที่

$\theta_i$	คือ	เฟสของสัญญาณอินพุต
$\theta_o$	คือ	เฟสของสัญญาณเอาต์พุต
$\theta_e$	คือ	ความต่างเฟสระหว่างสัญญาณอินพุตและเอาต์พุต
$K_d$	คือ	ค่าอัตราขยายของเฟสดีเทคเตอร์มีหน่วยเป็น V/rad
$K_o$	คือ	ค่าอัตราขยายของวีซีโอมีหน่วยเป็น rad/S/V
$F(s)$	คือ	ทรานส์เฟอร์ฟังก์ชันของโลว์พาสฟิลเตอร์

เฟสดีเทคเตอร์ทำหน้าที่เปรียบเทียบเฟสของสัญญาณเอาต์พุต กับเฟสของสัญญาณอ้างอิง และปรับสัญญาณเอาต์พุตของเฟสดีเทคเตอร์ ซึ่งจะเป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณทั้งสองโดยแสดงดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_d = K_d \cdot \theta_c \quad (2.1)$$

สัญญาณเอาต์พุตของเฟสดีเทคเตอร์ จะถูกรองโดยโลว์พาสฟิลเตอร์ ซึ่งจะเป็นตัวกำหนดผลตอบสนองชั่วขณะของระบบ โดยทรานส์เฟอร์ฟังก์ชันของโลว์พาสฟิลเตอร์จะเขียนแทนด้วย  $F(s)$  ดังนั้นจะได้เอาต์พุตของโลว์พาสฟิลเตอร์คือ

$$V_c(s) = V_d \cdot F(s) \quad (2.2)$$

สัญญาณเอาต์พุตของ โลว์พาสฟิลเตอร์จะควบคุมความถี่เอาต์พุตของวีซีโอ ซึ่งจะทำให้ความถี่ของวีซีโอมีการเปลี่ยนแปลง ( $\Delta\omega$ ) ไปจากความถี่กลาง (center frequency) ดังนั้นจะได้

$$\Delta\omega(s) = K_o \cdot V_c(s) \quad (2.3)$$

เนื่องจากความถี่คือเฟสที่เปลี่ยนแปลงตามเวลา นั่นคือ

$$\omega = \frac{d\theta}{dt} \quad (2.4)$$

ดังนั้นจากสมการที่ 2.3 สามารถเขียนใหม่ได้คือ

$$\frac{d\theta}{dt} = K_o \cdot V_c(s) \quad (2.5)$$

เมื่อใช้เทคนิคของลาพลาซทรานส์ฟอร์ม สามารถเขียนสมการที่ (2.5) ได้ใหม่คือ

$$\theta_o(s) = \frac{K_o \cdot V_c(s)}{s} \quad (2.6)$$

ดังนั้นสัญญาณเอาต์พุตของวีซีโอ จะเป็นสัดส่วนกับการอินทิเกรตสัญญาณอินพุตของวีซีโอ จากสมการที่ (2.1) , (2.2) และ (2.6) สามารถหาอัตราส่วนระหว่าง  $\theta_o(s)/\theta_i(s)$  หรือ ทรานส์เฟอร์ฟังก์ชันของระบบปิด (closed-loop transfer function) ได้ดังนี้

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d \cdot K_o \cdot F(s)}{s + K_d \cdot K_o \cdot F(s)} \quad (2.7)$$

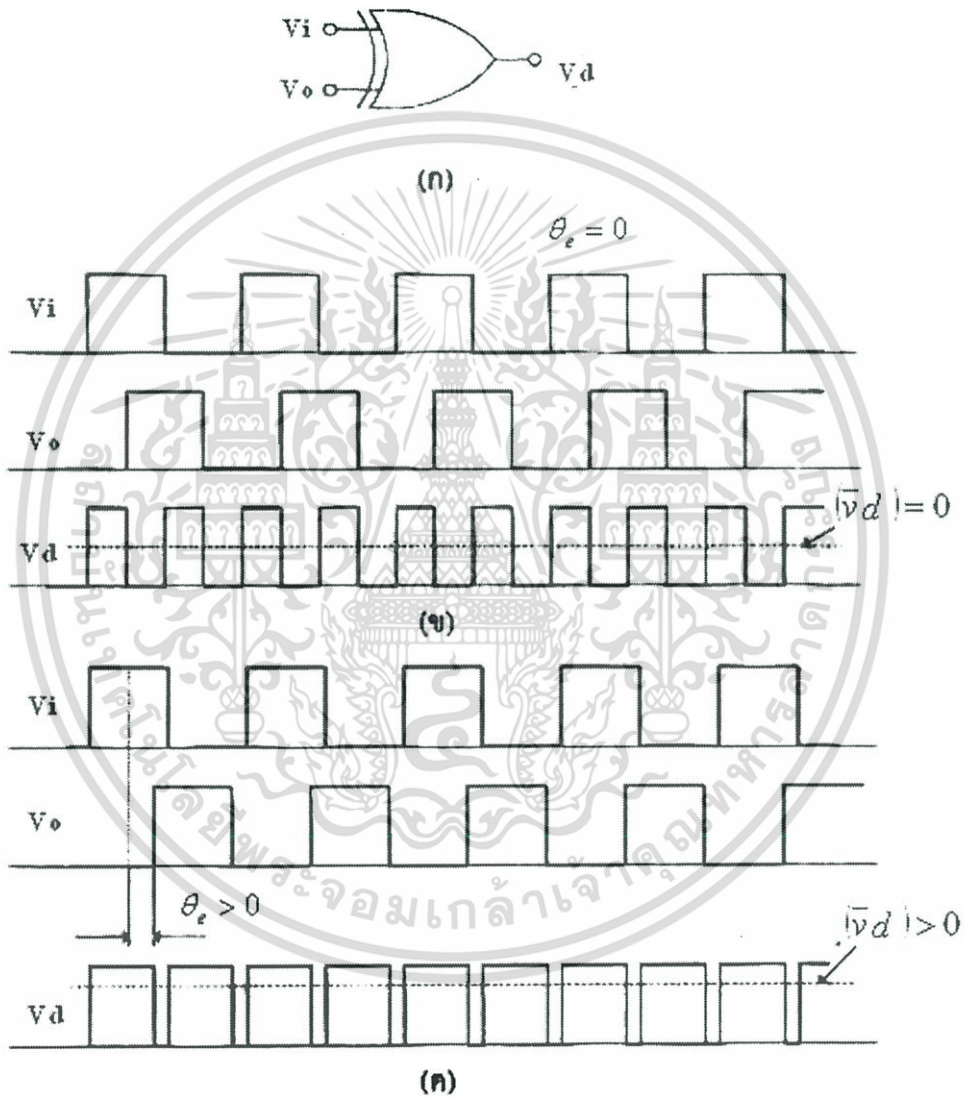
โดยรูปแบบสุดท้ายของสมการที่ได้จะขึ้นอยู่กับชนิดของ โลว์พาสฟิลเตอร์ที่เลือกใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.3 เฟสดีเทคเตอร์

เฟสดีเทคเตอร์หรือตัวเปรียบเทียบเฟสเป็นส่วนหนึ่งของระบบเฟสล็อกคูลูป ซึ่งจะทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณความถี่อ้างอิงกับสัญญาณความถี่เอาต์พุต แล้วสร้างสัญญาณเอาต์พุตที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณทั้งสอง

### 2.3.1 วงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ-ออร์เกท



รูปที่ 2.3 วงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ-ออร์เกท

- (ก) สัญลักษณ์เอ็กซ์คลูซีฟ-ออร์เกท ที่ใช้เป็นวงจรตรวจจับเฟส
- (ข) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเท่ากับศูนย์
- (ค) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเป็นลบบวก

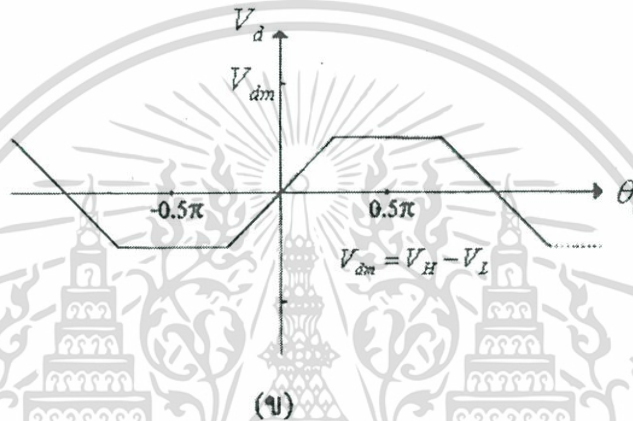
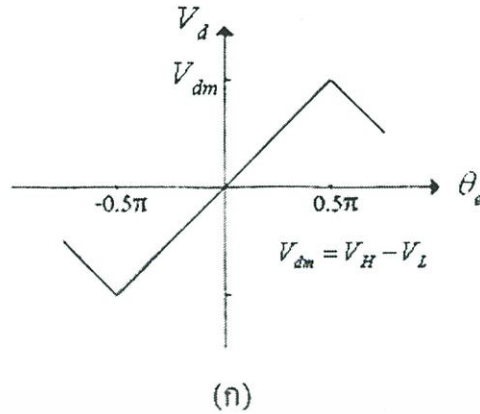
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอิเล็กทรอนิกส์พี-ออร์เกทเป็นวงจรตรวจจับเฟสแบบดิจิทัลที่มีการทำงานเหมือนกับตัวคูณสัญญาณด้วยการ โอเวอร์ไดร์แรงดันที่เอาท์พุทในขณะที่ปรากฏระดับของสัญญาณอินพุทเข้ามาและยังให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยมโดยเอาท์พุทที่ได้จากการคูณจะเป็นค่าอิมพัลส์ของแรงดันบวก ซึ่งสอดคล้องกับค่าของลอจิกสูง หรือเป็นค่าอิมพัลส์ของแรงดันลบ ที่สอดคล้องกับค่าลอจิกต่ำ สำหรับเงื่อนไขของการคูณนั้น สามารถสรุปได้ดังตารางที่ 2.1 โดยเอาท์พุท  $V_d$  จะให้ค่าแรงดันอิมพัลส์เป็นบวก เมื่อระดับของสัญญาณอินพุท  $V_i$  และ  $V_o$  ทั้งสองสัญญาณต่างก็มีค่าเป็นลบหรือบวกด้วยกันทั้งคู่ และเอาท์พุท  $V_d$  จะให้ค่าแรงดันอิมพัลส์เป็นลบ เมื่อระดับแรงดันอินพุทใดอินพุทหนึ่งเป็นบวก และอีกอินพุทหนึ่งเป็นลบ ดังนั้นถ้าเปรียบเทียบตารางที่ 2.1 ซึ่งเป็นตารางค่าความจริงของการคูณ กับตารางที่ 2.2 ซึ่งเป็นตารางค่าความจริงของวงจรอิเล็กทรอนิกส์พี-ออร์เกท ที่มีสัญลักษณ์ดังในรูปที่ 2.3(ก) โดยการแทนระดับแรงดันลอจิกสูง  $V_H$  ด้วยเครื่องหมาย (+) และระดับแรงดันลอจิกต่ำ  $V_L$  ด้วยเครื่องหมาย (-) แล้วจะเห็นว่าอิเล็กทรอนิกส์พี-ออร์เกทสามารถนำมาใช้เป็นวงจรตรวจจับเฟสที่ทำงานเป็นเหมือนตัวคูณสัญญาณ(ลอจิก)ได้

ในรูปที่ 2.3 ได้แสดงให้เห็นถึงเอาท์พุทของวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์พี-ออร์เกทที่มีค่าความคลาดเคลื่อนเฟส ( $\theta_e$ ) ต่างๆกัน โดยจะสมมติว่าสัญญาณอินพุท  $V_i$  กับ  $V_o$  ที่เข้ามานั้นมีความสมมาตร กล่าวคือมีควิตซ์ไซเกิดเท่ากับ 50 เปอร์เซ็นต์ ซึ่งอยู่ในรูปที่ 2.3 (ข) เมื่อค่า  $\theta_e$  เท่ากับศูนย์ คือสัญญาณอินพุท  $V_i$  และ  $V_o$  มีต่างเฟสกันอยู่  $\pi/2$  จะทำให้สัญญาณเอาท์พุท  $V_d$  ที่ได้จะเป็นสัญญาณสี่เหลี่ยมที่มีค่าความถี่เป็นสองเท่าของสัญญาณอินพุทและให้ควิตซ์ไซเกิดเท่ากับ 50 เปอร์เซ็นต์ เนื่องจากความถี่สูงสัญญาณเอาท์พุท  $V_d$  จะถูกกรองทิ้งไปด้วยวงจรกรองรูป ดังนั้นจึงพิจารณาเพียงแอมพลิจูด ( $\bar{V}_d$ ) ของ  $V_d$  ตามเส้นประในรูปที่ 2.3 (ข) เท่านั้น ซึ่งค่า  $\bar{V}_d$  นี้จะเป็นค่าที่คำนวณได้จากค่ากลาง (mean) ของระดับลอจิกสูง ( $V_H$ ) และระดับลอจิกต่ำ ( $V_L$ ) กล่าวคือ ถ้าวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์พี-ออร์เกท ได้รับการจ่ายไฟจากแหล่งจ่าย 5 โวลต์ ค่า  $\bar{V}_d$  ที่ได้จะมีค่าโดยประมาณ 2.5 โวลต์เท่านั้น ซึ่งระดับแรงดันที่ค่านี้เรียกว่า จุดสงบนิ่ง (Quiescent Point) ของวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์พี-ออร์เกท ที่จะถูกกำหนดให้มีความเป็นศูนย์นับจากนี้ไป ด้วยเหตุนี้ถ้าสัญญาณอินพุท  $V_o$  ล้าหลังสัญญาณอินพุทอ้างอิง  $V_i$  (นับจากจุดสงบนิ่ง) ค่าของ  $\theta_e$  ก็จะกลายเป็นบวกดังในรูปที่ 2.3 (ค) ค่าควิตซ์ไซเกิดของ  $V_d$  ที่ได้จึงมีค่ามากกว่า 50 เปอร์เซ็นต์ และเป็นผลให้  $\bar{V}_d$  มีค่าเป็นบวกเพิ่มขึ้น ดังนั้นค่า  $\bar{V}_d$  จะมีค่าสูงสุดที่ค่าของความคลาดเคลื่อนเฟส  $\theta_e$  เท่ากับ  $\pi/2$  และมีค่าต่ำสุดที่ค่าของความคลาดเคลื่อนเฟส  $\theta_e$  เท่ากับ  $-\pi/2$  ในรูปที่ 2.4 (ก) แสดงกราฟคุณสมบัติของวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์พี-ออร์เกทที่ได้จากการพล็อตค่าเฉลี่ยแรงดัน  $\bar{V}_d$  เทียบกับค่าความคลาดเคลื่อนเฟส  $\theta_e$  ซึ่งจะให้ผลเป็นรูปสามเหลี่ยม และภายในช่วงที่เป็นเชิงเส้นของ  $0.5\pi < \theta_e < 0.5\pi$  ค่าเฉลี่ย  $\bar{V}_d$  จะเป็นสัดส่วนโดยตรงกับค่าของ  $\theta_e$  ดังสมการที่ (2.8) คือ

$$\bar{V}_d = K_d \theta_e \quad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 กราฟแสดงคุณสมบัติของวงจรจذبเฟสแบบเอ็กซ์คูลชีฟ-ออร์เกท

- (ก) เมื่อสัญญาณอินพุท  $V_i$  และ  $V_o$  มีความสมมาตร
- (ข) เมื่อสัญญาณอินพุท  $V_i$  และ  $V_o$  ไม่มีความสมมาตร เป็นผลให้  $V_{dm}$  มีการค่าลดลง

ซึ่งในกรณีของวงจรจذبเฟสแบบเฟสเอ็กซ์คูลชีฟ-ออร์เกทนี้ อัตราขยายของวงจร ( $K_d$ ) จะมีค่าคงที่เมื่อแหล่งจ่ายที่ป้อนให้กับวงจรจذبเฟสแบบเฟสเอ็กซ์คูลชีฟ-ออร์เกท คือระดับลอจิกแรงดันสูง  $V_H$  และต่ำ  $V_L$  ตามลำดับ ดังนั้นอัตราขยายของวงจรจذبเฟสแบบเฟสเอ็กซ์คูลชีฟ-ออร์เกท ( $K_d$ ) ในช่วง  $0.5\pi < \theta_c < 0.5\pi$  จะมีค่าเท่ากับ

$$K_d = \frac{V_{dm}}{0.5\pi} \quad (2.9)$$

เมื่อ  $V_{dm}$  คือค่าสูงสุดของค่าเฉลี่ย  $\bar{V}_d$  ซึ่งเท่ากับ  $V_{dm} = V_H - V_L$  ดังนั้นจะได้

$$K_d = \frac{V_H - V_L}{0.5\pi} \quad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าในกรณีที่สัญญาณอินพุต  $V_i$  และ  $V_o$  ที่เข้ามามีความไม่สมมาตร กล่าวคือค่าควิตี้ไซเคิลไม่เท่ากับ 50 เปอร์เซ็นต์ ค่าสูงสุดของแรงดันเฉลี่ย ( $V_{dm}$ ) ที่ได้จะลดลง ดังกราฟแสดงคุณสมบัติของวงจรในรูปที่ 2.4 (ข)

ตารางที่ 2.1 แสดงตารางค่าความจริงของการคูณ

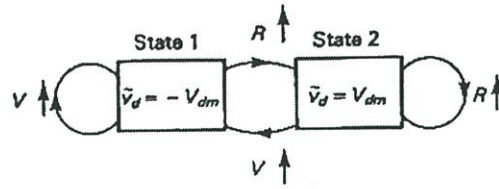
$V_i$	$V_o$	$V_d$
(-)	(-)	(+)
(-)	(+)	(-)
(+)	(-)	(-)
(+)	(+)	(+)

ตารางที่ 2.2 แสดงตารางค่าความจริงของเอ็กซ์คลูซีฟ-ออร์เกท

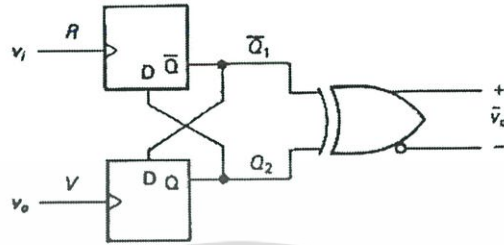
$V_i$	$V_o$	$V_d$
$V_L$	$V_L$	$V_L$
$V_L$	$V_H$	$V_H$
$V_H$	$V_L$	$V_H$
$V_H$	$V_H$	$V_L$

### 2.3.2 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานแบบสองสเตท

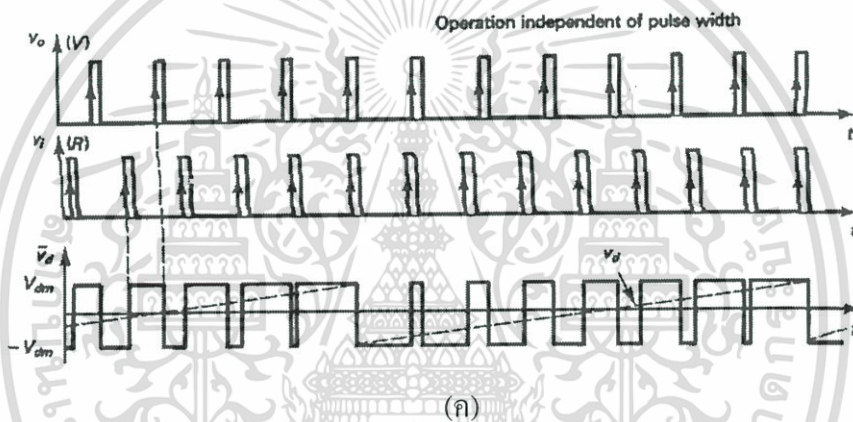
วงจรตรวจจับเฟสและความถี่แบบสองสเตท (2-state PFD) สร้างขึ้นได้จากองค์ประกอบของ edge triggered reset flip-flop ดังแสดงในรูปที่ 2.5 (ข) อินพุตของวงจร  $V_i$  ต่อเข้ากับ R และ  $V_o$  จะต่อเข้ากับ V การทำงานของวงจรตรวจจับเฟสและความถี่แบบสองสเตท เป็นไปตามสเตทไคอะแกรมในรูปที่ 2.5(ก) ส่วนสำคัญของวงจรตรวจจับเฟสและความถี่แบบสองสเตทคือ ไทม์มิงไคอะแกรมของรูปคลื่น  $V_o$  และ  $V_i$  ที่มีการเปลี่ยนแปลงเฟสและความถี่ ซึ่งจะทำให้เกิดผลเฉลี่ยของ  $\tilde{V}_d$  ซึ่งแปรไปตามเฟสเออเรอร์ ( $\theta_e$ ) อย่างเป็นเชิงเส้นอย่างต่อเนื่องตลอดช่วง  $-\pi$  กับ  $\pi$  ยังผลให้วงจรตรวจจับเฟสและความถี่แบบสองสเตท มีคุณสมบัติของ  $\tilde{V}_d$  ต่อเฟสเออเรอร์เป็นรูปของฟันเลื่อย (saw tooth) ดังแสดงในรูปที่ 2.5 (ง) และไทม์มิงไคอะแกรมของ  $V_o$  ,  $V_i$  และ  $\tilde{V}_d$  แสดงดังในรูปที่ 2.5(ค)



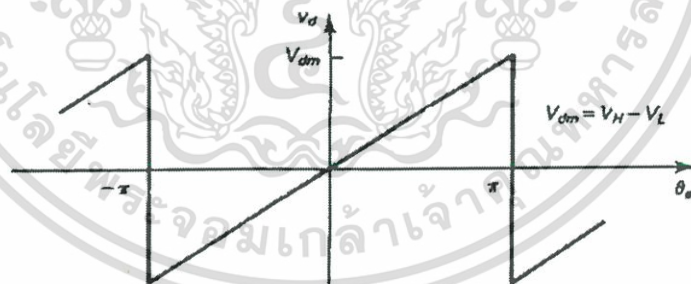
(ก)



(ข)



(ค)



(ง)

### รูปที่ 2.5 แสดงวงจรตรวจจับเฟสและความถี่แบบสองสเตต

- (ก) สเตตไดอะแกรมของวงจรที่มีการเปลี่ยนสถานะตามขอบขาขึ้นของสัญญาณอินพุต
- (ข) โครงสร้างทางวงจรไฟฟ้า
- (ค) สัญญาณเอาต์พุต  $V_d$  ที่ได้จากการเปลี่ยนสถานะของสเตต
- (ง) กราฟแสดงคุณสมบัติของวงจร ตรวจจับเฟสและความถี่แบบสองสเตต

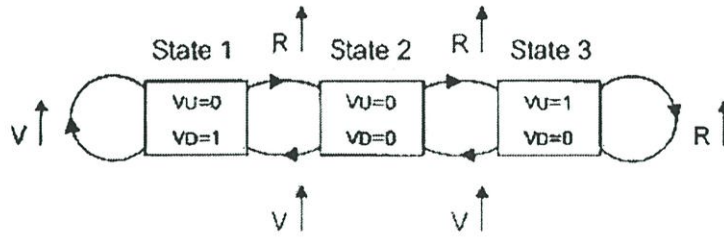
และอัตราขยายของวงจรตรวจจับเฟสและความถี่แบบสองสเตตเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

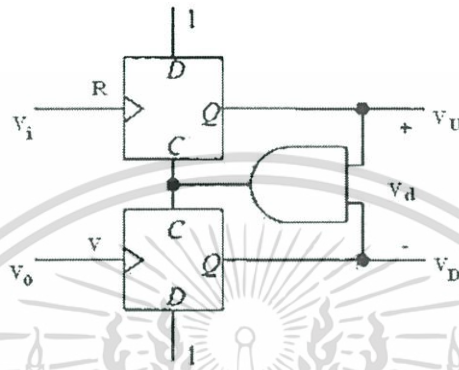
$$K_d = V_{dm} / \pi = (V_H - V_L) / \pi \quad (2.11)$$

### 2.3.3 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสามสเตท

วงจรตรวจจับเฟสและความถี่แบบสามสเตท (3-state PFD)[3] เป็นวงจรตรวจจับเฟสแบบดิจิทัลอีกวงจรหนึ่งที่ทำให้กราฟคุณสมบัติของวงจรเป็นแบบรูปสามเหลี่ยม และเป็นวงจรที่มีความสำคัญต่อการนำมาใช้ขยายสถานะของสเตท เพื่อที่จะทำให้ได้มาซึ่งช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้น วงจรตรวจจับเฟสและความถี่แบบสามสเตทได้ถูกนำมาใช้งานอย่างกว้างขวาง เพราะเนื่องจากมีช่วงคุณสมบัติของวงจรที่กว้างถึง  $\pm 2\pi$  เรเดียน และสัญญาณเอาต์พุต ( $V_d$ ) ที่ได้ไม่เพียงแต่จะขึ้นอยู่กับค่าความคลาดเคลื่อนของเฟส  $\theta_e$  เท่านั้นแต่ยังขึ้นอยู่กับความคลาดเคลื่อนทางความถี่ ( $\Delta\omega = \omega_i - \omega_o$ ) อีกด้วย การทำงานของวงจรมันจะถูกกระตุ้นจากขอบของสัญญาณอินพุต  $V_i$  และ  $V_o$  ที่เข้ามาทางขั้วอินพุต R และ V ตามลำดับ ซึ่งจะไปทำให้วงจรมีการเปลี่ยนสถานะของสเตทตามสเตทไดอะแกรมที่ถูก กำหนดไว้ดังรูปที่ 2.6 ที่แสดงให้เห็นถึงโครงสร้างพื้นฐานและการทำงานของวงจรตรวจจับเฟสและความถี่แบบสามสเตทในรูปที่ 2.6 (ก) นั้นจะเป็นสเตทไดอะแกรมของวงจรที่จะเปลี่ยนสถานะของสเตทไปตามขอบขาขึ้นของสัญญาณที่เข้ามาทางขั้วอินพุต R และ V โดยที่ขอบขาขึ้นของ R จะทำให้วงจรมีการเปลี่ยนสถานะไปยังสเตทที่สูงขึ้น ขณะที่ขอบขาขึ้นของ V จะทำให้มีการลดสถานะของวงจรมายังสเตทที่ต่ำกว่า



(ก)



(ข)

### รูปที่ 2.6 วงจรตรวจจับเฟสและความถี่แบบสามสเตต

(ก) สเตตโคอะแกรมของวงจรที่มีการเปลี่ยนสถานะตามขอบขาขึ้นของสัญญาณอินพุต

(ข) โครงสร้างทางวงจรไฟฟ้า

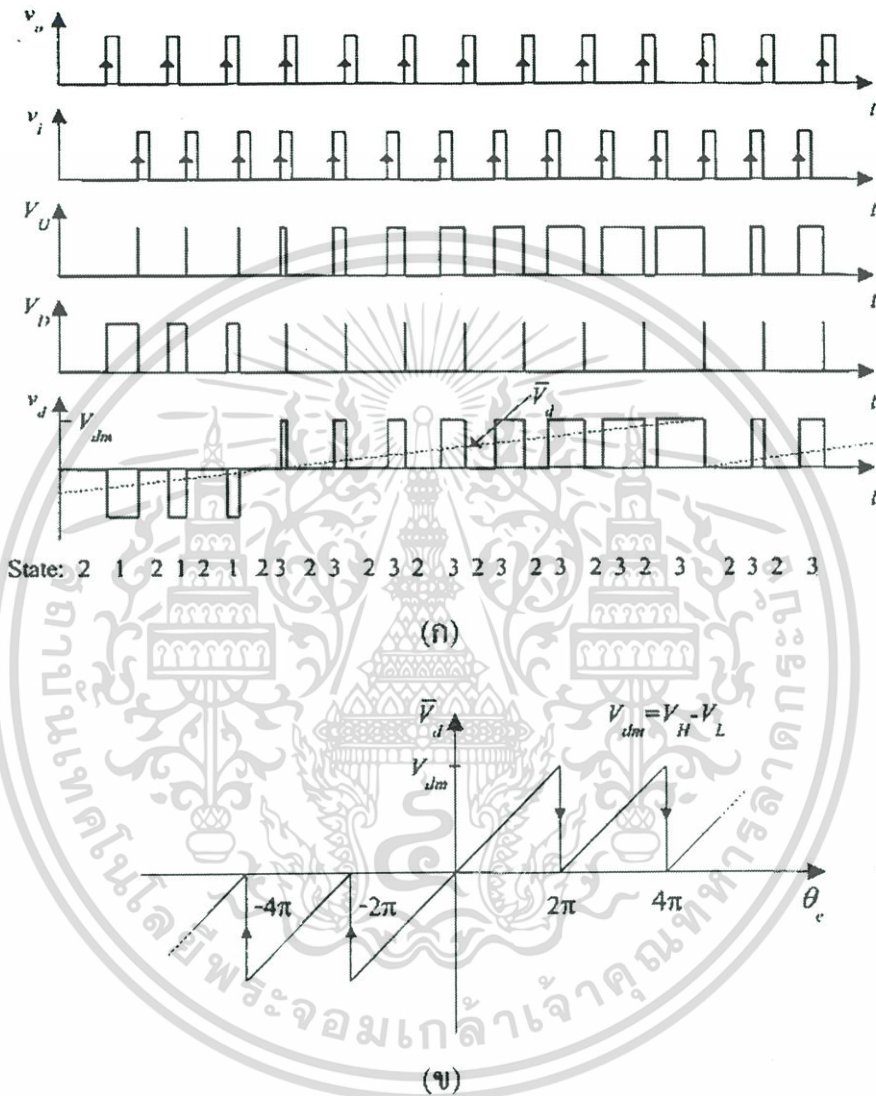
สมมุติว่าการทำงานของวงจรมันเริ่มต้นอยู่ในสเตตที่ 1 ดังนั้นเมื่อปรากฏการสลับกันเข้ามาของขอบขาขึ้น สัญญาณพัลส์ที่ขาอินพุต  $R$  และ  $V$  จะทำให้วงจรมันเวียนเปลี่ยนสถานะสลับสเตตไปมาระหว่างสเตตที่ 1 กับสเตตที่ 2 แต่ถ้าเกิดมีช่วงที่ขอบขาขึ้นของสัญญาณอินพุต  $V$  ไปตกอยู่หลังสัญญาณอินพุต  $R$  และเป็นเช่นนั้นตลอดไปตั้งใหม่มี โคอะแกรมของรูปที่ 2.7 (ก) จนกระทั่งปรากฏขอบขาขึ้นของสัญญาณอินพุต  $R$  เข้ามาสองครั้งโดยปราศจากการแทรกของขอบขาขึ้นของสัญญาณอินพุต  $V$  วงจรก็จะเปลี่ยนสถานะของสเตตไปยังสเตตที่ 3 และการหมุนเวียนเปลี่ยนสถานะระหว่างสเตตที่ 2 สลับกับสเตตที่ 3 ก็จะเกิดขึ้นอีกครั้งตามพัลส์ ของสัญญาณอินพุตที่ยังคงสลับกันเข้ามาอย่างต่อเนื่อง โครงสร้างพื้นฐานของวงจรตรวจจับเฟสและความถี่แบบสามสเตตนั้นจะแสดงอยู่ในรูปที่ 2.6 (ข) ซึ่งประกอบด้วยคู่ของลอจิกเอ๊าท์พุท  $V_D$  และ  $V_U$  โดยมีสัญญาณอินพุต  $R$  และ  $V$  ต่ออยู่กับฟลิปฟลอปแบบ D-Type ของแต่ละตัวและจะให้ค่าแรงดันเอ๊าท์พุทที่ขา  $Q$  ( $V_U$  และ  $V_D$ ) ในขณะที่มีการเปลี่ยนสถานะของสเตตตามรูปที่ 2.6 (ก) สำหรับขาอินพุต  $C$  หรือขา Clear ของฟลิปฟลอปทั้งสองนั้นจะถูกต่อเข้ากับเอ๊าท์พุทของ แอนด์-เกต ซึ่งได้รับ

สัญญาณอินพุตมาจากขา  $Q$  ของฟลิปฟลอปเพื่อรีเซ็ตให้วงจรตรวจจับเฟสและความถี่แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามสแตท กลับไปยังสถานะของสแตทเริ่มต้นใหม่ เมื่อสัญญาณพัลส์ที่ขั้วอินพุต R และ V ปรากฏเข้ามาพร้อมกันหรือฟลิปฟลอปทั้งสองอยู่ในสถานะเซตทั้งคู่ ด้วยเหตุนี้วงจรจึงสามารถตรวจจับสัญญาณอินพุตที่เกิดขึ้นพร้อมกันได้โดยไม่สูญเสียสัญญาณอินพุตใดอินพุตหนึ่งไปจนเป็นเหตุให้เกิดค่าผิดพลาดขึ้นที่เอาต์พุต



รูปที่ 2.7 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสามสแตท

- (ก) สัญญาณเอาต์พุต  $V_d$  ที่ได้จากการเปลี่ยนสถานะของสแตท
- (ข) กราฟแสดงคุณสมบัติของวงจร ตรวจจับเฟสและความถี่แบบสามสแตท

ในรูปที่ 2.7 (ข) เป็นกราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสามสแตท ระหว่างค่าความคลาดเคลื่อนเฟส  $\theta_c$  กับค่าเฉลี่ย ( $\bar{V}_d$ ) ของแรงดันเอาต์พุต  $V_d$  ที่ผ่านวงจรกรองความถี่ต่ำมาแล้วโดยให้ช่วงคุณสมบัติของวงจรที่เป็นเชิงเส้นได้ไม่เกิน  $\pm 2\pi$  เรเดียน

สังเกตว่า เมื่อความคลาดเคลื่อนเฟส  $\theta_c$  มีค่าเกินช่วง  $2\pi$  และ  $-2\pi$  เรเดียนไปแล้ววงจรจะให้ช่วงเอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับขาดหนี้ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติกลับมาซ้ำไปซ้ำเดิมทุกๆ  $2\pi$  และ  $-2\pi$  เรเดียนอีกครั้ง ทั้งนี้เนื่องมาจากเมื่อวงจรทำงานอยู่ในสถานะของสแตทที่ 3 ค่า  $\theta_c$  จะยังคงมีค่าเพิ่มขึ้นไปเรื่อยๆ (สัญญาณพัลส์ที่ขั้วอินพุท  $V$  ตามหลังสัญญาณพัลส์ที่ขั้วอินพุท  $R$  อย่างต่อเนื่อง) ดังนั้นการเปลี่ยนสถานะของสแตทก็จะสลับไปมาระหว่างสแตทที่ 2 กับสแตทที่ 3 เท่านั้น ในทำนองเดียวกันนี้ก็จะเกิดขึ้นกับช่วงที่  $\theta_c$  ให้ค่าเป็นลบ คือ เมื่อปรากฏสัญญาณพัลส์ที่ขั้วอินพุท  $V$  นำหน้าสัญญาณพัลส์ที่ขั้วอินพุท  $R$  และเป็นไปอย่างต่อเนื่อง วงจรก็มีการสลับสถานะไปมาระหว่างสแตทที่ 1 กับ สแตทที่ 2 เพียงเท่านั้น สำหรับในการทำงานของวงจรเมื่อเป็นตัวตรวจจับความถี่ที่จะให้แรงดันเอาต์พุทขึ้นอยู่กับค่าความคลาดเคลื่อนของความถี่นั้น ซึ่งถ้าปรากฏว่าความถี่ของสัญญาณอินพุทอ้างอิง  $V_i$  สูงกว่าความถี่ของสัญญาณอินพุท  $V_0 (\omega_i > \omega_0)$  ค่า  $\theta_c$  จะมีค่าเพิ่มขึ้นเมื่อเทียบกับเวลาทำให้ค่าเฉลี่ย  $\bar{V}_d$  ยังคงมีค่าเป็นบวกเพิ่มขึ้นไปจนถึงค่าสูงสุด ( $V_{dm}$ ) ที่ค่า  $\theta_c$  เท่ากับ  $2\pi$  เรเดียน ทำให้ค่าเฉลี่ย  $\bar{V}_d$  มีค่าเท่ากับแรงดันเอาต์พุทสูงสุดที่ค่า  $V_{dm}$  ในสแตทที่ 3 อย่างรวดเร็วเมื่อเทียบกับเวลา ซึ่งทำนองเดียวกันถ้าความถี่ของสัญญาณอินพุทอ้างอิง  $V_i$  ต่ำกว่าความถี่ของสัญญาณอินพุท  $V_0 (\omega_i < \omega_0)$  ค่าของ  $\theta_c$  ก็จะมีค่าลดลงไปเรื่อยๆ และจะเป็นผลให้ค่าเฉลี่ย  $\bar{V}_d$  มีค่าเป็นลบเพิ่มขึ้นจนถึงค่าลบต่ำสุดเท่ากับ  $(-V_{dm})$  ในสแตทที่ 1 อย่างรวดเร็ว ที่  $\theta_c$  เท่ากับ  $-2\pi$  เรเดียน

เมื่อวงจรตรวจจับเฟสและความถี่แบบสามสแตทอยู่ในสแตทที่ 3 จะให้ค่าเอาต์พุท  $V_d$  สูงสุด ซึ่งก็คือ  $V_d = V_{dm} = (V_H - V_L)$  ดังนั้นจากกราฟแสดงช่วงคุณสมบัติในรูปที่ 2.7 (ข) ทำให้สามารถหาอัตราขยายของวงจรตรวจจับเฟสและความถี่แบบสามสแตทได้ดังสมการที่ (2.12) คือ

$$K_d = \frac{V_d}{2\pi} \quad (2.12)$$

เมื่อ  $V_{dm}$  คือค่าสูงสุดของค่าเฉลี่ยแรงดันเอาต์พุทเมื่อผ่านวงจรรองความถี่ต่ำมาแล้วซึ่งจะมีค่าเท่ากับ  $V_{dm} = V_H - V_L$  ดังนั้นจากสมการที่ (2.12) จะได้

$$K_d = \frac{V_H - V_L}{2\pi} \quad (2.13)$$

โดยที่  $V_H$  คือค่าของแรงดันลอจิกสูง และ

$V_L$  คือค่าของแรงดันลอจิกต่ำ

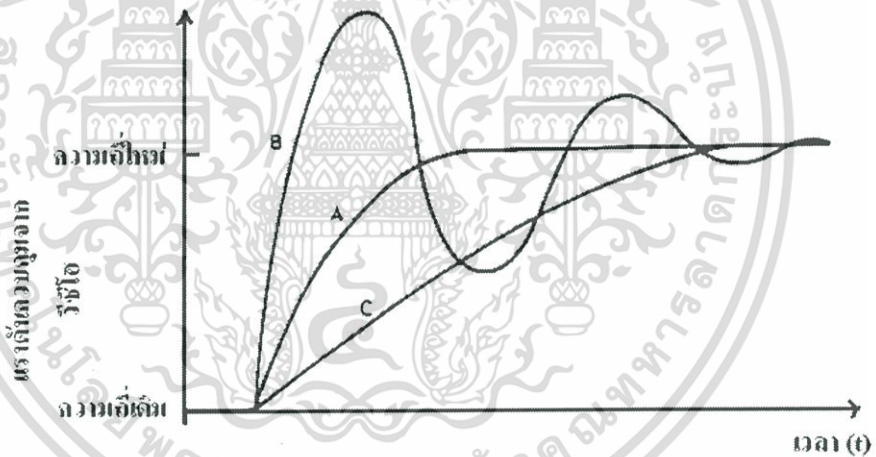
## 2.4 ลูปีฟิลเตอร์

ลูปีฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อกคูลูป หน้าที่ของวงจรนี้ได้แก่ การควบคุมการล็อก ,แคปเจอร์ ,แบนด์วิด และ การตอบสนองค่าทานเขียนของลูปี สำหรับลูปีฟิลเตอร์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้ก็คือวงจรชนิด โลว์พาสฟิลเตอร์ ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของวีซีโอ ลูปฟิลเตอร์เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงก่อนเข้าสู่สถานะล๊อค ที่เรียกว่า คุณสมบัติชั่วคราว (transient) ถ้าเลือกอัตราขยายของลูป (loop gain) และค่าคงตัวของลูป (loop time constant) ไม่เหมาะสมความถี่ของเฟสล๊อคลูปจะไม่ล๊อค และเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้นค่าคงตัวของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่ เฟสล๊อคลูปจะล๊อคได้เร็ว โดยไม่มีการแกว่ง หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวของลูปก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง (jitter) จากรูปที่ 2.8 ซึ่งแสดงการเปลี่ยนความถี่ของวีซีโอ จะเห็นว่าเส้นทางการเปลี่ยนแปลงแรงดันมี 3 เส้น เส้นทาง A เป็นเส้นทาง คริติคอลแดมป์ (critical damp) ใช้เวลาในการเปลี่ยนเข้าสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่า เส้นทางอันเดอร์แดมป์ (under damp) มีการสั่นเนื่องจากโอเวอร์ชูต เส้นทาง C เป็นเส้นทางโอเวอร์แดมป์ (over damp) ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

ดังนั้นจะเห็นว่า เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบค่าคงตัวของวงจรรูปฟิลเตอร์เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชูต



รูปที่ 2.8 คุณสมบัติในการเปลี่ยนความถี่ของเฟสล๊อคลูป

หน้าที่ของโลว์พาสฟิลเตอร์ในเฟสล๊อคลูป มีหน้าที่ใหญ่ ๆ อยู่ 2 ประการคือ

1. ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบกับเฟส โดยการใช้อนุมัติการกำจัดสัญญาณรบกวน และเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (average dc voltage) เพื่อนำไปควบคุมวงจรวีซีโอ
2. ทำหน้าที่ควบคุมการทำงานของลูปซึ่งขึ้นอยู่กับเงื่อนไขต่าง ๆ ดังนี้
  - แคลปเจอร์และล๊อคเรนจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แบนด์วิท

- การตอบสนองต่อทรานเซียน

เนื่องจากโลว์พาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างอุปแล้ว ยังเป็นตัวควบคุมการแคปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อกคัลการลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

- ขบวนการแคปเจอร์จะช้าลงและพูลอิน ไทม์ (full in time) เพิ่มขึ้น

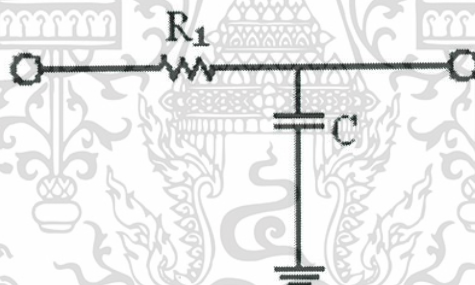
- ช่วงแคปเจอร์จะลดลง

- คุณสมบัติทางอินเตอร์เฟียร์เรนซ์ (interference rejection ) ของเฟสล็อกคัลจะดีขึ้นเพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป

- ผลตอบสนองชั่วขณะของเฟสล็อกคัลต่อการเปลี่ยนทันทีของสัญญาณ เข้าสู่ช่วงความถี่แคปเจอร์จะอยู่ในลักษณะภายใต้การแคมป์

ในระบบเฟสล็อกคัลจะมีโลว์พาสฟิลเตอร์เป็นส่วนประกอบอยู่เสมอ เราจะกล่าวถึงวงจรโลว์พาสฟิลเตอร์ที่นิยมใช้กันมีอยู่ 3 แบบดังนี้

#### 2.4.1 วงจรกรองความถี่ต่ำอันดับ 1 แบบ R – C



รูปที่ 2.9 แสดงโลว์พาสฟิลเตอร์อันดับ 1 โดยใช้ R – C

ทรานส์เฟอร์ฟังก์ชันของโลว์พาสฟิลเตอร์ คือ

$$F(s) = \frac{1}{1 + R_1 \cdot Cs} \quad (2.14)$$

เมื่อแทนสมการที่ 2.14 ลงไป ในสมการที่ 2.7 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d \cdot K_o / R_1 \cdot C}{s^2 + s / R_1 \cdot C + K_d \cdot K_o / R_1 \cdot C} \quad (2.15)$$

เมื่อพิจารณาเทอมส่วนของ สมการที่ได้ เปรียบเทียบกับสมการอันดับสองมาตรฐาน

$$s^2 + 2\zeta\omega_n s + \omega_n^2 \quad (2.16)$$

ดังนั้นจะสามารถหาค่าของความถี่ธรรมชาติของลูป (loop natural frequency ,  $\omega_n$ ) และค่าของแดมปีงแฟกเตอร์ (damping factor ,  $\zeta$ ) ได้คือ

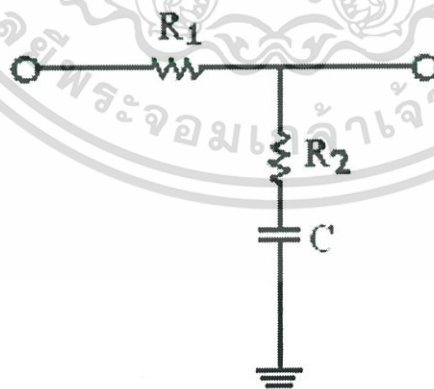
$$\omega_n = \sqrt{K_d \cdot K_o \cdot \omega_{LPF}} \quad \text{rad/s} \quad (2.17)$$

$$\zeta = \frac{1}{2} \sqrt{\frac{\omega_{LPF}}{K_o \cdot K_d}} \quad (2.18)$$

โดยที่ ค่าความถี่คัทออฟของวงจรถอดไฟ (cutoff frequency  $\omega_{LPF}$ ) สามารถหาได้จาก

$$\omega_{LPF} = \frac{1}{R_1 \cdot C} \quad \text{rad/s} \quad (2.19)$$

#### 2.4.2 วงจรกรองความถี่ต่ำแบบลีด-แลก (Lead-Lag)



รูปที่ 2.10 แสดงวงจร ลีด - แล็ก อันดับหนึ่ง

ทรานส์เฟอ์ฟังก์ชันของโลว์พาสฟิลเตอร์แบบลีด-แล็ก คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F(s) = \frac{R_2 \cdot Cs + 1}{(R_1 + R_2)Cs + 1} \quad (2.20)$$

เมื่อแทนสมการที่ 2.20 ลงไปในสมการที่ 2.7 จะได้

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d \cdot K_o [(R_2 \cdot Cs + 1)/(R_1 + R_2)C]}{s^2 + [(1 + K_d \cdot K_o \cdot R_2 \cdot C)/(R_1 + R_2)C]s + K_d \cdot K_o / (R_1 + R_2)C} \quad (2.21)$$

ดังนั้นจะได้ค่าความถี่ธรรมชาติ

$$\omega_n = \sqrt{\frac{K_d \cdot K_o}{(R_1 + R_2)C}} \text{ rad/s} \quad (2.22)$$

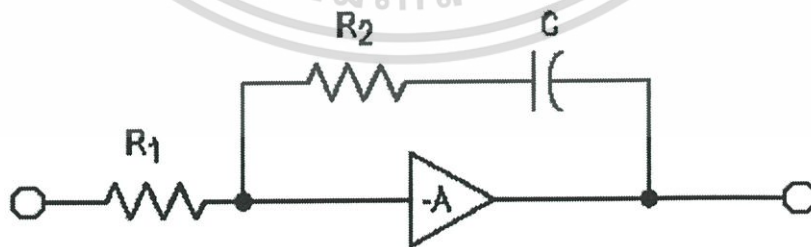
และแดมป์แฟกเตอร์หาได้จากสมการ

$$\zeta = \frac{1}{2} \cdot \omega_n \left[ R_2 \cdot C + \frac{1}{K_d \cdot K_o} \right] \quad (2.23)$$

โดยที่ค่าความถี่คutoff สำหรับวงจรโวลต์ฟีดแบ็คชนิดนี้หาได้จากสมการ

$$\omega_{LPF} = \frac{1}{(R_1 + R_2)C} \text{ rad/s} \quad (2.24)$$

### 2.4.3 วงจรกรองความถี่ต่ำแบบลีด-แลกชนิดแอกทีฟฟีดแบ็ค



รูปที่ 2.11 แสดงวงจรแอกทีฟฟีดแบ็ค

ทรานส์เฟอร์ฟังก์ชันของแอกทีฟฟีดแบ็คคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F(s) = \frac{R_2 \cdot Cs + 1}{R_1 \cdot Cs} \quad (2.25)$$

เมื่อแทนสมการที่ 2.25 ลงไปในสมการที่ 2.7 จะได้

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{\frac{K_d \cdot K_o (1 + R_2 Cs)}{R_1 \cdot C}}{s^2 + \frac{(K_d \cdot K_o \cdot R_2)s}{R_1} + \frac{K_d \cdot K_o}{R_1 \cdot C}} \quad (2.26)$$

ดังนั้นจะได้ค่าความถี่ธรรมชาติ

$$\omega_n = \sqrt{\frac{K_d \cdot K_o}{R_1 \cdot C}} \text{ rad/s} \quad (2.27)$$

และแดมป์แฟกเตอร์หาได้จากสมการ

$$\zeta = \frac{R_2 \cdot C}{2} \sqrt{\frac{K_d \cdot K_o}{R_1 \cdot C}} \quad (2.28)$$

โดยที่ค่าความถี่คutoff สำหรับวงจร แอคทีฟฟิลเตอร์หาได้จากสมการ

$$\omega_{LPF} = \frac{1}{R_1 \cdot C} \text{ rad/s} \quad (2.29)$$

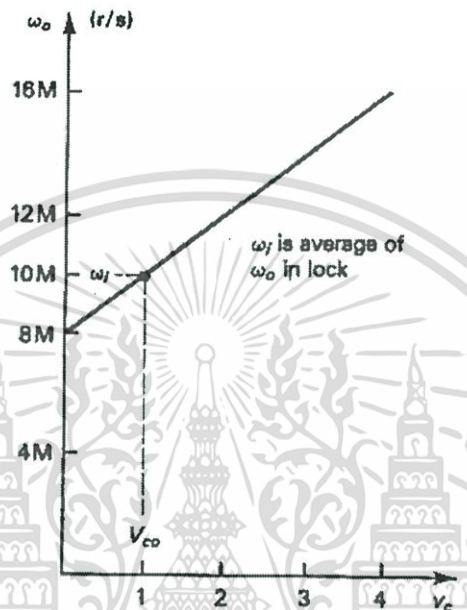
## 2.5 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันหรือวีซีโอ

วีซีโอที่ใช้กับเฟสล็อกคัลป์มีทั้งชนิดที่ให้ความถี่เอาต์พุตเป็นรูปคลื่นสี่เหลี่ยมและรูปคลื่นซายน์ โดยทั่วไปแล้วช่วงการใช้งานของความถี่เอาต์พุตของวีซีโอจะต้องมีความเป็นเชิงเส้น และในขณะที่ไม่มีสัญญาณเข้ามาที่อินพุตของวีซีโอหรือ  $V_c = 0$  วีซีโอสามารถออกแบบให้สร้าง ความถี่กลางขึ้นมาค่าหนึ่งหรือกำหนดให้มีความถี่ต่ำสุดได้ ในการออกแบบเฟสล็อกคัลป์วีซีโอมักจะ เป็นส่วนที่ต้องพิจารณามากที่สุดเพราะว่ามีลักษณะพิเศษของระบบอย่างเช่นเสถียรภาพของระบบ และเสถียรภาพของความถี่

คุณสมบัติของวีซีโอที่ใช้ในเฟสล็อกคัลป์สามารถพิจารณาได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. คุณสมบัติของการเปลี่ยนแรงดันเป็นความถี่ที่เป็นเชิงเส้น
2. มีช่วงการใช้งานที่กว้างหรือมีค่าอัตราการขยายที่สูง
3. มีเสถียรภาพทางความถี่ที่ดี
4. ถ้าความถี่เอาท์พุทเป็นรูปคลื่นไซน์ควรจะเป็นสัญญาณที่บริสุทธิ์หรือควรจะเป็นคลื่นที่คงที่สม่ำเสมอ (spectral purity)



รูปที่ 2.12 แสดงตัวอย่างกราฟคุณลักษณะของวีซีโอในช่วงที่เป็นเชิงเส้น

จากรูปที่ 2.12 แสดงตัวอย่างกราฟคุณลักษณะของวีซีโอในช่วงที่เป็นเชิงเส้น จะเห็นว่าถ้า  $V_c$  แปรค่าตั้งแต่ 0–4 โวลต์ ความถี่เอาท์พุทของวีซีโอจะอยู่ในช่วง 8–16 Mrad/s ดังนั้นสามารถหาค่าอัตราการขยายคงที่ของวีซีโอได้ดังสมการ

$$K_o = \frac{d\omega_o}{dV_c} \quad (2.30)$$

ในหัวข้อนี้เราจะพิจารณาวีซีโอ 3 แบบคือ โวลต์เดจคอนโทรลล์มัลติไวเบเรเตอร์ (voltage-controlled multivibrator) รีโซแนนท์วีซีโอ (resonant oscillator) และ คริสตอลออสซิลเลเตอร์ (crystal oscillator) [11] ซึ่งแต่ละแบบจะมีข้อดีและข้อเสียที่แตกต่างกัน

### 2.5.1 โวลต์เดจคอนโทรลล์มัลติไวเบเรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.13 แสดงถึงวงจรของโวลต์เตจคอนโทรลล์มัลติไวเบเรเตอร์ที่มี  $v_c$  เป็นแรงดันอินพุทที่มีความสัมพันธ์กับกระแส  $i_c$  คือ  $i_c = \frac{(V_c - 0.6)}{R}$  และ  $\frac{T}{2} = \frac{V_1 C_x}{i_c}$ , ( $i_c = C_x \frac{dV_1}{dt}$ )

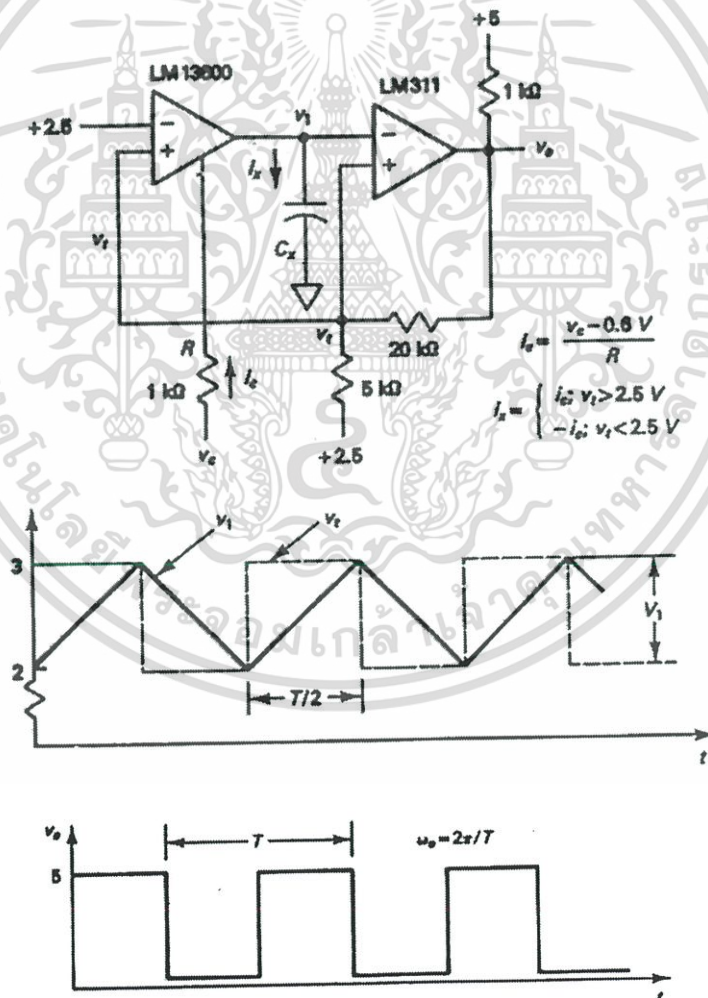
เมื่อ  $\frac{T}{2}$  คือ ช่วงเวลาในการชาร์จประจุของคาปาซิเตอร์โดย  $v_1$

$V_1$  คือ ความแตกต่างระหว่างเทสโวลเตจ(threshold voltage) หรือระหว่าง 2 โวลต์ กับ 3 โวลต์

$T$  คือ ช่วงเวลาในการออสซิลเลต

ดังนั้น  $\omega_o = \frac{2\pi}{T}$

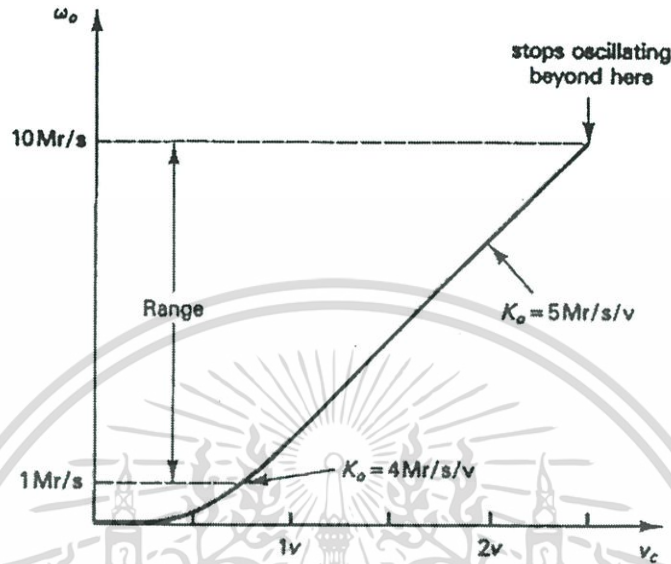
$$\omega_o = \frac{\pi}{V_1 \cdot R \cdot C_x} (V_c - 0.6) \quad (2.31)$$



รูปที่ 2.13 แสดงวงจร โวลต์เตจคอนโทรลล์มัลติไวเบเรเตอร์

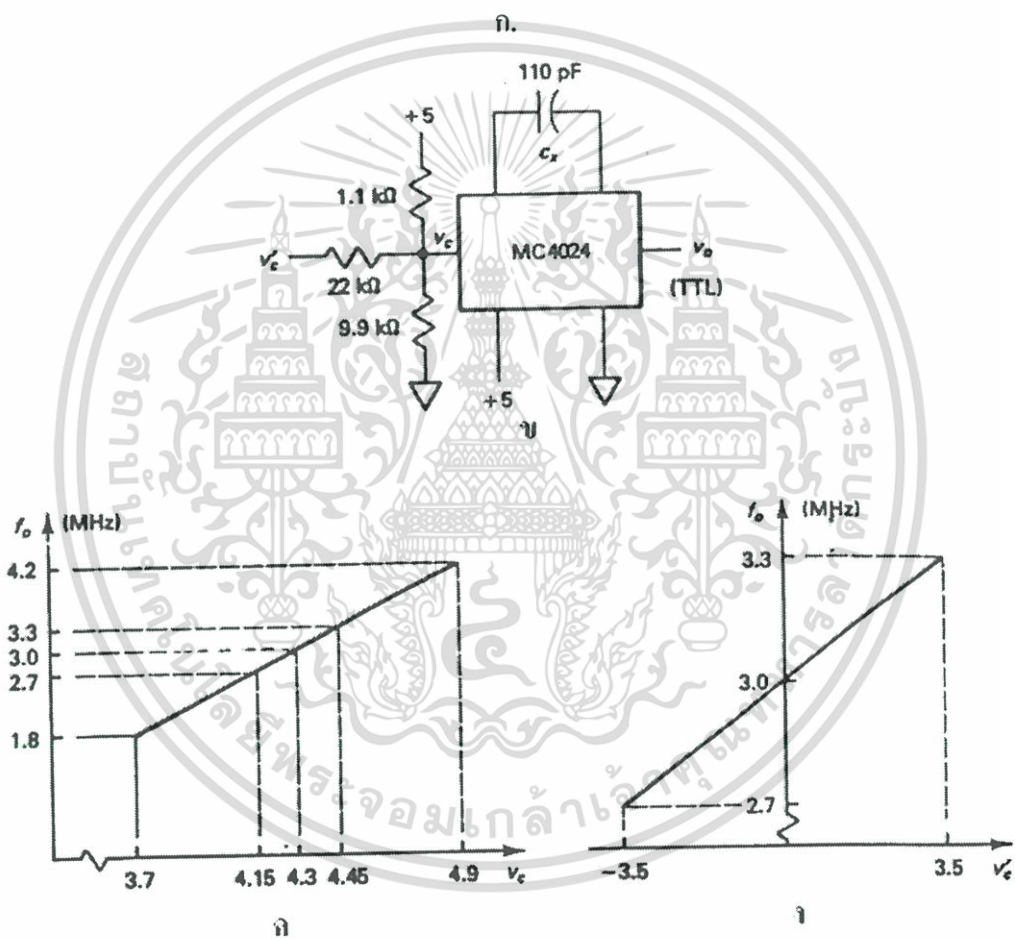
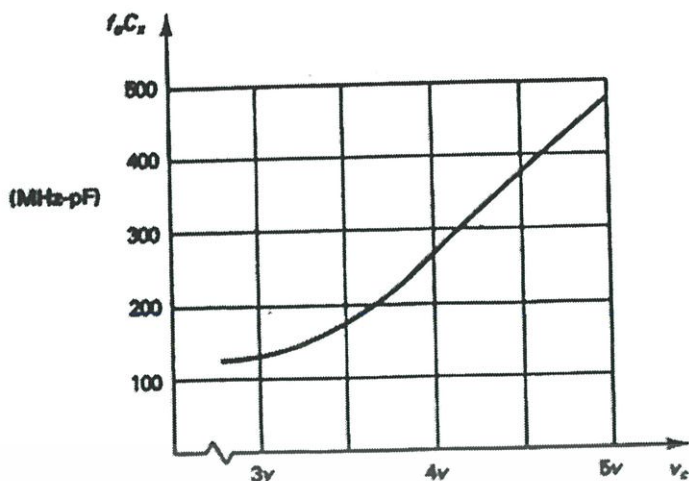
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชิปไอซีวีซีไอสำเร็จรูปที่มีขายทั่วไปเราจะต้องต่อ  $C_x$  อยู่ภายนอกตัวไอซีเพื่อให้ผู้ใช้สามารถเลือกความถี่ใช้งาน จากสมการที่ (2.31) กำหนดให้  $R = 1k\Omega, V_1 = 1V$  และ  $C_x = 628pF$  เราจะได้  $\omega_o = (5Mrad/s/V)(V_c - 0.6)$  คุณสมบัติของวงจรวีซีไอนี้แสดงเหมือนในรูปที่ 2.14



รูปที่ 2.14 แสดงกราฟคุณสมบัติของวงจรโวลท์เทจคอนโทรลมีลดีไวเบเรเตอร์

วงจรไอซีของวีซีไอตามรูปที่ 2.13 ที่มีขายในท้องตลาดได้แก่ไอซีของบริษัทโมโตโรล่า MC 4024 ซึ่งมีคุณสมบัติดังแสดงในรูปที่ 2.15ก ซึ่งแสดงถึงความสัมพันธ์ระหว่าง  $f_o C_x$  กับ  $V_c$  เราควรกำหนดให้  $V_c$  อยู่ที่จุดกึ่งกลางของช่วงที่เป็นเชิงเส้นคือ 4.3 โวลท์จะได้  $f_o C_x = 330MHz$  เราเลือก  $C_x = 110pF$  จะทำให้ได้  $f_o = \frac{330}{110} = 3MHz$  หรือ  $\omega_o = 2\pi f_o = 18.8Mrad/s$  เรากำหนดให้  $V_c$  เปลี่ยนแปลงอยู่ในช่วงที่เป็นเชิงเส้นของคุณสมบัติของวีซีไอคือ มีค่าอยู่ในช่วงระหว่าง 3.7 โวลท์ ถึง 4.9 โวลท์  $f_o$  จะมีค่าอยู่ระหว่าง 1.8MHz ถึง 4.2MHz หรืออยู่ในรูปของความถี่กลางเท่ากับ 3.0 MHz ดังแสดงในรูปที่ 2.15ค และจะสามารถหาค่าอัตราขยายของวีซีไอได้เท่ากับ  $K_o = \frac{2\pi(4.2 - 1.8MHz)}{(4.9 - 3.7v)} = 12.6Mrad/s/v$



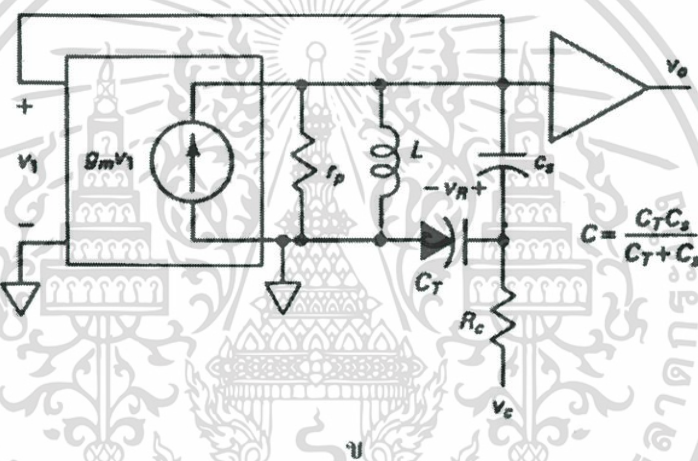
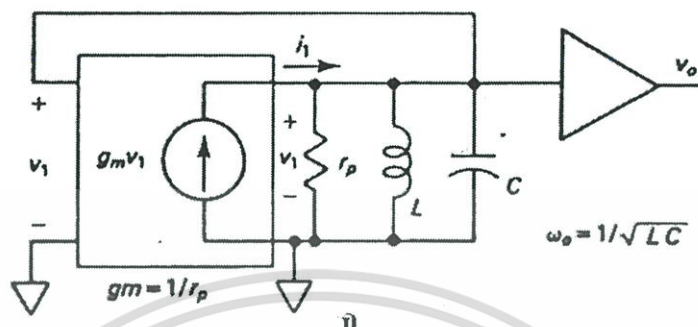
รูปที่ 2.15 แสดงคุณสมบัติของวีซีโอที่เป็น ไอซีเบอร์ MC4024

ในการประยุกต์ใช้วีซีโอในระบบเฟสล็อกบางครั้งจำเป็นต้องจำกัดช่วงการทำงานของวีซีโอเพื่อรักษาไม่ให้เฟสล็อกหลุดกับความถี่ที่ไม่ถูกต้อง (harmonic) หรือเพื่อลดเวลาที่ใช้การเข้าสู่ภาวะล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.5.2 รีโซแนนซ์ซีรีส์

รีโซแนนซ์ออสซิลเลเตอร์ สามารถทำงานที่ความถี่สูงได้มากกว่าพวก โวลต์เตจคอนโทรลล์มัลติไวเบรเตอร์ และมีผลกระทบจากสัญญาณรบกวน, อุณหภูมิ และแหล่งจ่ายน้อย



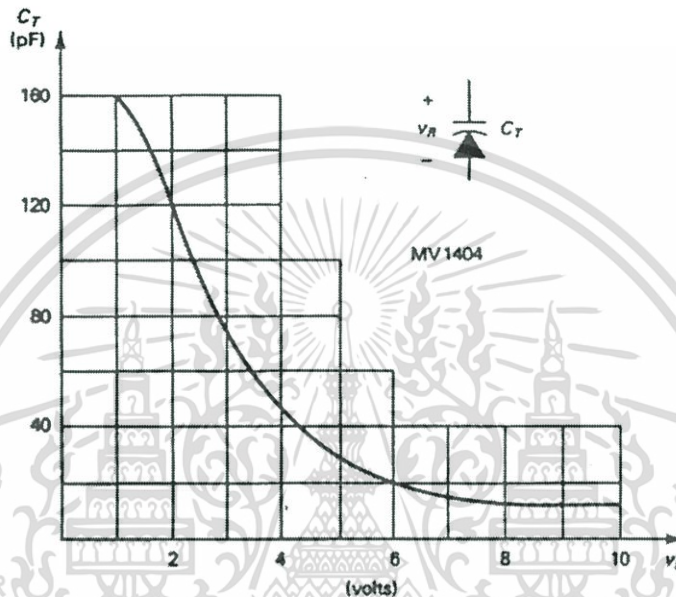
รูปที่ 2.16 แสดงหลักการทำงานของวงจรรีโซแนนซ์ออสซิลเลเตอร์

รูปที่ 2.16 แสดงถึงหลักการทำงานของวงจรรีโซแนนซ์ออสซิลเลเตอร์ ซึ่งจะประกอบด้วยวงจรแอลซีเทงก์แบบขนาน (tank LC parallel) จะเป็นตัวแปลงกระแส  $i_1$  ไปเป็นแรงดัน  $V_1$  โดยที่  $r_p$  คือความต้านทานที่เกิดจากการสูญเสียของกระแส  $i_1$  และ ตัวอินดักเตอร์ และจะมีความถี่รีโซแนนซ์  $\omega_o$  เท่ากับ

$$\omega_o = \frac{1}{\sqrt{LC}} \quad (2.32)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถควบคุมความถี่รีโซแนนท์ได้โดยการปรับค่าคาปาซิเตอร์ในทางอิเล็กทรอนิกส์ก็จะสามารถแปลงวงจรออสซิลเลเตอร์ไปเป็นวงจรวีซีโอได้ วงจรออสซิลเลเตอร์ในรูปที่ 2.16 ประกอบด้วยวาแรกเตอร์ไดโอด (varactor diode) เป็นส่วนหนึ่งของคาปาซิแตนซ์แทงก์ (tank capacitance) วาแรกเตอร์คือ รีเวิร์ค-ไบอัส ไดโอด (reverse-biased diode) ที่มีค่า  $C_T$  (junction capacitance) เป็นฟังก์ชันกับการรีเวิร์คไบอัส ( $V_R$ ) ตัวอย่างคุณสมบัติของวาแรกเตอร์แสดงดังในรูปที่ 2.17



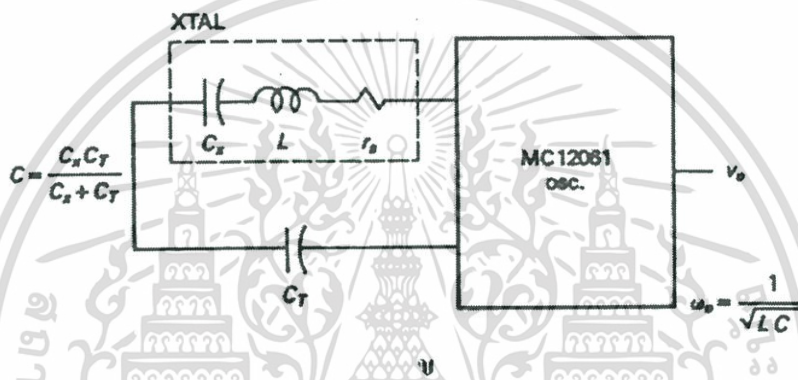
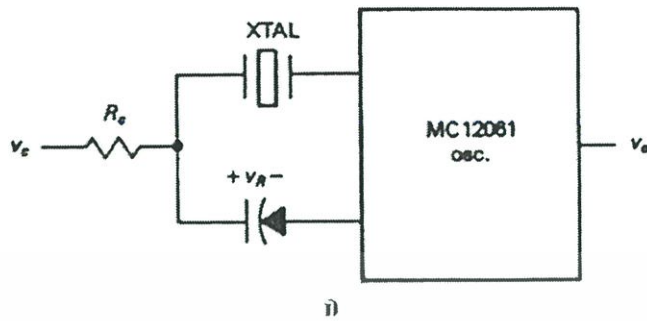
รูปที่ 2.17 แสดงคุณสมบัติของวาแรกเตอร์ไดโอด

$V_R$  ของวาแรกเตอร์จะถูกควบคุมด้วยแรงดัน  $V_C$  ผ่านทางบัฟเฟอร์รีซิสแตนซ์ (buffer resistance) หรือ  $R_C$  เพื่อกำจัดกระแสที่ไหลเข้าสู่วงจรแทงก์ ดังนั้นเราจะได้  $V_C = V_R$  (เมื่อ  $V_C$  เปลี่ยนแปลงอย่างช้าๆ) และค่าคาปาซิแตนซ์รวม  $C = \frac{C_S \cdot C_T}{(C_S + C_T)}$  เมื่อ  $C_S$  ใช้สำหรับบล็อกกระแสที่ไหลผ่าน  $R_C$  และ  $L$

### 2.5.3 คริสตอลวีซีโอ

เมื่อการประยุกต์ใช้งานบางอย่างต้องการให้ระบบเฟสล็อกคูปมีค่าแบนด์วิทต่ำมากๆ ไม่เป็นการเหมาะสมที่จะลดแบนด์วิทด้วยการลดค่าอัตราขยายของระบบให้ต่ำลงมากๆ ซึ่งจะเป็นผลให้  $V_C$  ถูกลดทอนลงอย่างมากทำให้มีขนาดต่ำเมื่อเทียบกับสัญญาณรบกวนซึ่งอาจจะเป็นปัญหาในการใช้งานได้ การทำให้อัตราขยายของวีซีโอ ( $K_o$ ) มีค่าน้อยทำได้ด้วยการใช้คริสตอลออสซิลเลเตอร์เป็นวีซีโอ ซึ่งจะเรียกว่าโวลท์เตจคอนโทรลคริสตอลออสซิลเลเตอร์ (voltage controlled crystal oscillator) เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

oscillator) หรือ วิถีเอ็กซ์โอ วงจรของวิถีเอ็กซ์โอแสดงดังในรูปที่ 2.18 ซึ่งมีวาเรกเตอร์เป็นตัวจูนความถี่



รูปที่ 2.18 แสดงวงจร โวลท์เตจคอนโทรลคริสตอลอสซิลเลเตอร์หรือวิถีเอ็กซ์โอ

วงจรสมมูลย์ของคริสตอลแสดงได้เป็นวงจรอนุกรม  $R-L-C$  ดังแสดงในรูปที่ 2.18ข จากโมเดลของ  $L$  และ  $C_x$  เราจะได้ความสัมพันธ์ดังต่อไปนี้

$$\omega_{oo} = \frac{1}{\sqrt{L \cdot C_{x0}}} \quad (2.33)$$

$$\frac{1}{C_{x0}} = \frac{1}{C_x} + \frac{1}{(30 \text{ pF})} \quad (2.34)$$

เมื่อ  $\omega_{oo} = \omega_o$  ( $C_T = 30 \text{ pF}$ )

$r_s$  คือความต้านทานเสมือน

และสามารถหาความถี่ในการออสซิลเลตได้คือ

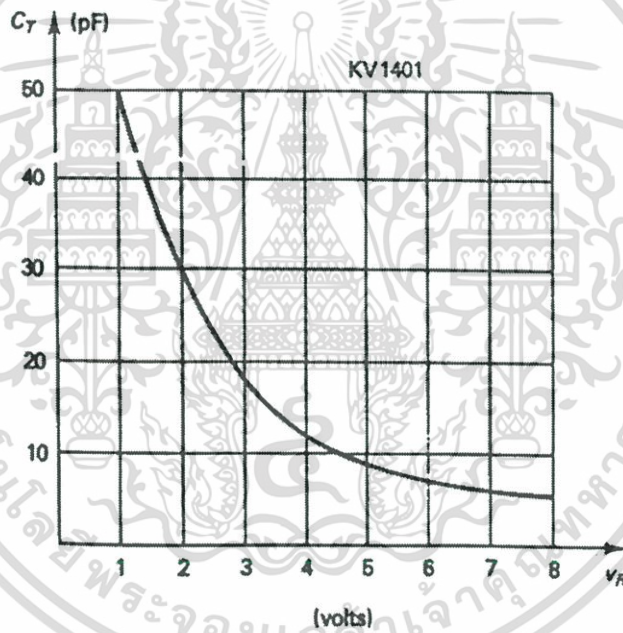
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_o = \frac{1}{\sqrt{LC}} \quad (2.35)$$

เมื่อ

$$\begin{aligned} \frac{1}{C} &= \frac{1}{C_x} + \frac{1}{C_T} \\ &= \frac{1}{C_{x0}} + \frac{1}{C_T} - \frac{1}{(30\text{pF})} \end{aligned} \quad (2.36)$$

เนื่องจากคาปาซิเตอร์  $C_x$  มีค่าต่ำมาก ๆ คือประมาณ 0.001pF ดังนั้น  $C_T$  จึงต้องมีค่าน้อยด้วยจึงสามารถปรับเปลี่ยนความถี่ได้ ในรูปที่ 2.19 แสดงถึงคุณสมบัติของวาเรกเตอร์ที่มีคาปาซิแตนซ์ต่ำมาก ๆ ที่  $C_T$  เท่ากับ 5 pF



รูปที่ 2.19 แสดงคุณสมบัติของวาเรกเตอร์ที่มีคาปาซิแตนซ์ต่ำ

เราจะสามารถหาค่าความถี่รีโซแนนซ์ ( $\omega_o$ ) ที่มีความสัมพันธ์กับค่า  $C_T$  และ  $C_{x0}$  ได้ดังนี้

$$\omega_o = \frac{\sqrt{\frac{1}{C_{x0}} + \frac{1}{C_T} - \frac{1}{(30\text{pF})}}}{\sqrt{L}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{\sqrt{1 + \frac{C_{xo}}{C_T} - \frac{C_{xo}}{30pF}}}{\sqrt{LC_{xo}}} \quad (2.37)$$

$$= \omega_{oo} \cdot \sqrt{1 + \frac{C_{xo}}{C_T} - \frac{C_{xo}}{30pF}}$$

$$\approx \omega_{oo} \cdot (1 + 0.5 \frac{C_{xo}}{C_T} - 0.5 \frac{C_{xo}}{30pF})$$

หรือ

$$\omega_o - \omega_{oo} \approx 0.5 \cdot \omega_{oo} \cdot C_{xo} \cdot (\frac{1}{C_T} - \frac{1}{30pF})$$

การประมาณข้างต้นได้จากสมการ  $\sqrt{1+x} \approx 1 + \frac{x}{2}$  ในกรณีที่  $x \ll 1$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 3

# การออกแบบตัวควบคุม

### 3.1 บทนำ

การออกแบบตัวควบคุมนั้นสามารถออกแบบได้หลายวิธี แต่จะวิธีจะมีความเหมาะสมสำหรับแต่ละระบบนั้นขึ้นอยู่กับคุณสมบัติและรูปแบบของระบบที่ต้องการควบคุม ถ้าระบบประกอบไปด้วยตัวหน่วงเวลาอันดับหนึ่ง ตัวอินทิเกรเตอร์ และค่าคงที่ในการขยายสัญญาณสามารถใช้วิธี โมดูลัสออฟติมิ้ม และซิมเมทริกคอลลอปติมิ้ม เพื่อการออกแบบตัวควบคุมแบบ I , PI และ PID สำหรับระบบได้ เนื่องจากสามารถออกแบบได้สะดวกและได้ผลดี

#### 3.1.1 ระบบที่เหมาะสมโดยทั่วไป



รูปที่ 3.1 แสดงระบบควบคุมแบบปิด

ถ้าให้ระบบควบคุมแบบปิดในรูปที่ 3.1 แสดงได้ด้วยสมการทางคณิตศาสตร์ดังนี้

$$F\omega(s) = \frac{F_o(s)}{1 + F_o(s)} \quad (3.1)$$

โดยที่

$F_o(s)$  เป็นทรานส์เฟอร์ฟังก์ชันของตัวควบคุม (Controller) และองค์ประกอบของระบบ

$F\omega(s)$  เป็นทรานส์เฟอร์ฟังก์ชันของระบบควบคุมแบบปิดหรือระบบป้อนกลับ

ระบบจะสามารถตอบสนองต่อคำสั่งได้รวดเร็วเพียงใดขึ้นอยู่กับตัวควบคุมที่เหมาะสม ซึ่งจะออกแบบตัวควบคุมให้เหมาะสมกับระบบได้ดีที่สุด ตามคุณสมบัติของระบบนั้น โดยทำให้ระบบมีการตอบสนองต่ออินพุตให้ได้เร็วที่สุด ถ้าพิจารณาระบบในเชิงความถี่ ตัวควบคุมต้องทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ขนาดของ  $F\omega(s)$  มีค่าเข้าใกล้หนึ่งตลอดช่วงแบนด์วิทของระบบ เพื่อว่าเมื่อระบบได้รับคำสั่ง อินพุตแบบทันทีทันใดหรือเป็นสเต็ป(step)ระบบสามารถเข้าสู่จุดที่ต้องการให้ได้อย่างเร็วที่สุด โดยทั่วไปแล้ว  $F\omega(s)$  จะมีลักษณะในสองรูปแบบดังนี้

$$F\omega(s) = \frac{b_0}{a_0 + sa_1 + s^2 a_2} \quad (3.2)$$

$$F\omega(s) = \frac{b_0 + sb_1}{a_0 + sa_1 + s^2 a_2 + s^3 a_3} \quad (3.3)$$

จากสมการที่ (3.2) ถ้ากำหนดให้  $b_0 = a_0$  โดยพิจารณาเฉพาะขนาดของ  $F\omega(s)$  ที่ความถี่ใด ๆ เมื่อแทน  $s = j\omega$  ดังนี้จะได้

$$|F\omega(\omega)| = \sqrt{\frac{a_0^2}{a_0^2 + \omega^2 (a_1^2 - 2a_0 a_2) + \omega^4 a_2^2}} \quad (3.4)$$

ที่ความถี่ต่ำ ๆ สมการ (3.4) จะมีค่าเข้าใกล้ 1 เมื่อสัมประสิทธิ์ของ  $\omega^2$  มีค่าเป็นศูนย์ ดังนั้นจากค่าของ  $a_1^2 - 2a_0 a_2 = 0$  จะได้สมการเบื้องต้นเพื่อใช้ในการออกแบบตัวควบคุมคือ

$$a_1^2 = 2a_0 a_2 \quad (3.5)$$

และในลักษณะเดียวกันจากสมการที่ (3.3) ถ้ากำหนดให้  $b_0 = a_0$  และ  $b_1 = a_1$  จะได้สมการที่คล้ายกับสมการที่(3.4)คือ

$$|F\omega(\omega)| = \sqrt{\frac{a_0^2 + \omega^2 a_1^2}{a_0^2 + \omega^2 (a_1^2 - 2a_0 a_2) + \omega^4 (a_2^2 - 2a_1 a_3) + \omega^6 a_3^2}} \quad (3.6)$$

จะได้สมการเบื้องต้นเพื่อใช้ในการออกแบบตัวควบคุมคือ

$$\begin{aligned} a_1^2 &= 2a_0 a_2 \\ a_2^2 &= 2a_1 a_3 \end{aligned} \quad (3.7)$$

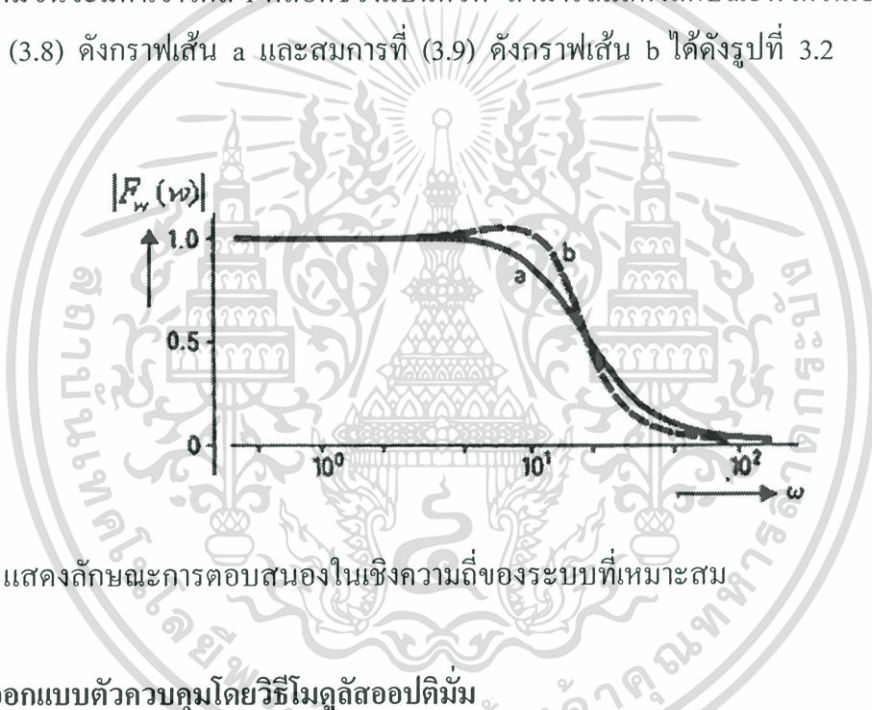
เมื่อแทนสมการเบื้องต้นที่ได้คือสมการที่ (3.5) และ(3.7) ลงไปในสมการที่ (3.4) จะได้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$|F\omega(\omega)| = \sqrt{\frac{1}{1 + \omega^4 (a_2/a_0)^2}} \quad (3.8)$$

และสมการที่ (3.6) จะได้

$$|F\omega(\omega)| = \sqrt{\frac{1 + \omega^2 (a_1/a_0)^2}{1 + \omega^6 (a_3/a_0)^2}} \quad (3.9)$$

สมการที่ได้เป็นสมการของระบบที่เหมาะสม และมีค่าเป็น 1 ที่ความถี่เป็นศูนย์ แต่เมื่อความถี่เพิ่มขึ้นจะมีค่าเข้าใกล้ 1 ตลอดช่วงแบนด์วิธ สามารถแสดงลักษณะที่ได้ในเชิงความถี่ของสมการที่ (3.8) ดังกราฟเส้น a และสมการที่ (3.9) ดังกราฟเส้น b ได้ดังรูปที่ 3.2

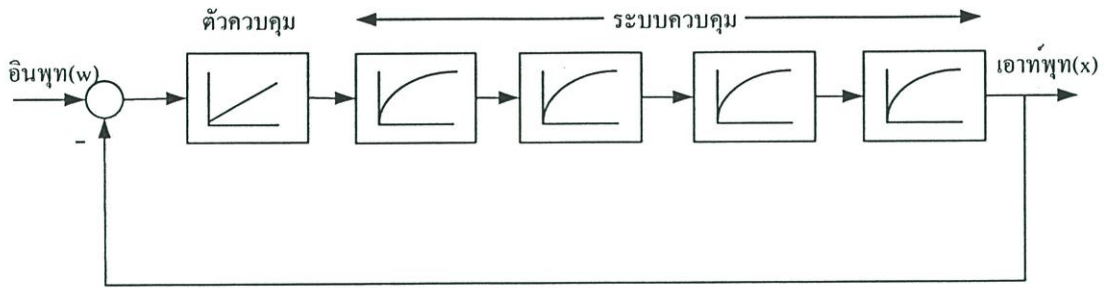


รูปที่ 3.2 แสดงลักษณะการตอบสนองในเชิงความถี่ของระบบที่เหมาะสม

### 3.2 การออกแบบตัวควบคุมโดยวิธีโมดูลัสออปติมัม

การออกแบบตัวควบคุมโดยพิจารณาจากลักษณะการตอบสนองในเชิงความถี่ เพื่อใช้ในการควบคุมให้อัตราขยายมีค่าเข้าใกล้หนึ่งให้มากที่สุดตลอดย่านความถี่ เสมือนเป็นการควบคุมรูปร่างของอัตราขยายในเชิงความถี่ของระบบให้เหมาะสม ซึ่งเป็นลักษณะของการออกแบบตัวควบคุมด้วยวิธี โมดูลัสออปติมัม การควบคุมอัตราขยายให้มีค่าเป็นหนึ่งคือการควบคุมให้ค่าเอาต์พุทของระบบมีค่าเท่ากับอินพุทซึ่งหมายถึงระบบสามารถทำงานได้ตามคำสั่งที่ให้ไป

ถ้าระบบที่ต้องการออกแบบประกอบไปด้วยตัวหน่วงเวลาอันดับหนึ่งหลายตัวโดยมีค่าคงที่ทางเวลาเป็น  $T_1, T_2, T_3$  และ  $T_4$  ตามลำดับ ถ้าค่าคงที่ทางเวลาดังกล่าวมีค่าใกล้เคียงกันสามารถใช้ตัวควบคุมแบบไอได้ดังรูปที่ 3.3



รูปที่ 3.3 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบไอที่ออกแบบโดยวิธีโมดูลัสออปติมัม

จะได้ทรานส์เฟอร์ฟังก์ชันระหว่างอินพุตและเอาต์พุตของระบบเปิดในรูปที่ 3.3 ดังสมการที่ (3.10)

$$F_o(s) = \frac{1}{sT_l} \cdot \frac{A_s}{1+sT_e} \quad (3.10)$$

โดยที่  $A_s$  คือค่าอัตราขยายสัญญาณของตัวหน่วงเวลาอันดับหนึ่ง  
 $T_l$  คือค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวควบคุมแบบไอ  
 $T_e$  เป็นผลรวมของค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่งทั้งหมด มีค่าเท่ากับ  $T_1 + T_2 + T_3 + T_4$

ดังนั้นจะได้ทรานส์เฟอร์ฟังก์ชันของระบบปิดดังสมการที่ (3.11)

$$F\omega(s) = \frac{A_s}{A_s + sT_l + s^2T_lT_e} \quad (3.11)$$

สมการที่ (3.11) จะอยู่ในรูปแบบของสมการที่ (3.2) โดยที่

$$a_0 = A_s, a_1 = T_l, a_2 = T_lT_e$$

จากสมการที่ (3.5) จะได้ค่าคงที่ในการอินทิเกรตสัญญาณของตัวควบคุมแบบไอ คือ

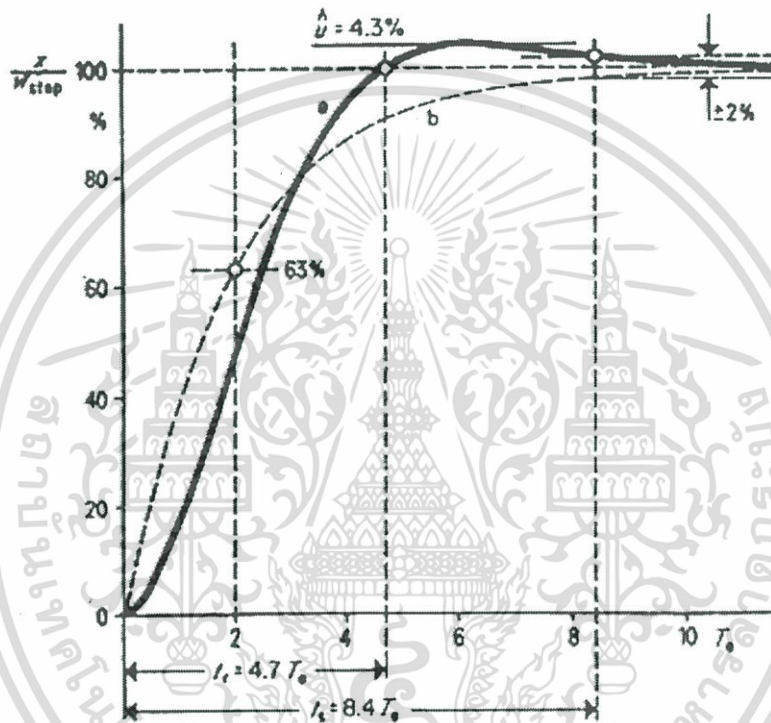
$$T_l = 2A_sT_e \quad (3.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำค่า  $T_c$  ที่ได้นี้ไปแทนลงในสมการที่ (3.11) จะได้ทรานส์เฟอร์ฟังก์ชันของระบบที่เหมาะสมโดยใช้วิธีโมดูลัสออปติ멈ดังนี้

$$F\omega(s) = \frac{1}{1 + s2T_c + s^2 2T_c^2} \quad (3.13)$$

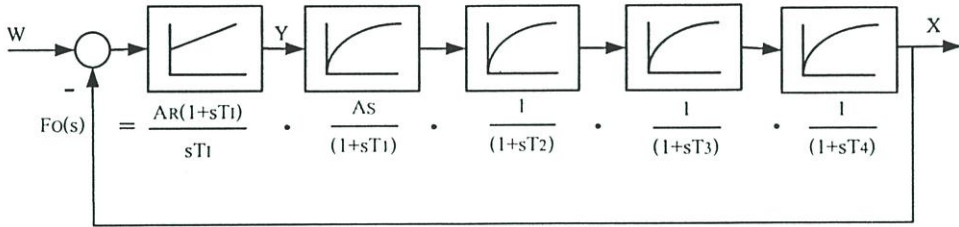
การตอบสนองต่อสแต็ปอินพุทของสมการที่ (3.13) เป็นดังรูปที่ 3.4



รูปที่ 3.4 แสดงการตอบสนองต่อสแต็ปอินพุทของระบบที่ออกแบบโดยวิธีโมดูลัสออปติ멈

จากรูปที่ 3.4 การตอบสนองต่อสแต็ปอินพุทจะมีโอเวอร์ชูท 4.3% มีช่วงเวลาไต่ขึ้น (rise time) เท่ากับ  $4.7T_c$  และมีเวลาเข้าสู่สภาวะคงตัวที่  $8.4T_c$  ซึ่งแสดงโดยกราฟเส้น a และสามารถประมาณการตอบสนองต่อสแต็ปอินพุทให้เป็นตัวห้วงเวลาอันดับหนึ่งได้ โดยพิจารณาเฉพาะสัมประสิทธิ์ของ  $s$  กำลังหนึ่งในสมการ (3.13) จะได้ทรานส์เฟอร์ฟังก์ชันของตัวห้วงเวลาอันดับหนึ่งที่มีค่าคงที่ทางเวลาเท่ากับ  $2T_c$  แสดงโดยกราฟเส้น b

ถ้าระบบในรูปที่ 3.3 มีค่า  $T_c$  มากกว่าผลรวมของ  $T_2$ ,  $T_3$  และ  $T_4$  สามารถใช้ตัวควบคุมแบบพีไอได้ดังรูปที่ 3.5



รูปที่ 3.5 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบพีโอที่ออกแบบโดยใช้วิธีโมดูลัสออปติ멈

ทรานส์เฟอว์ฟังก์ชันของระบบเปิดในรูปที่ 3.5 เป็นตามสมการที่ (3.14) ดังนี้

$$F_o(s) = \frac{A_R(1+sT_1)}{sT_1} \cdot A_S \cdot \frac{1}{1+sT_1} \cdot \frac{1}{1+sT_2} \cdot \frac{1}{1+sT_3} \cdot \frac{1}{1+sT_4} \quad (3.14)$$

โดยที่  $A_R$  คือค่าอัตราขยายสัญญาณของตัวควบคุมแบบพีโอ

$T_1$  คือค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวควบคุมแบบพีโอ

$$T_e = T_2 + T_3 + T_4$$

ตัวควบคุมแบบพีโอที่ใช้ในรูปที่ 3.5 ใช้วิธีการชดเชยตัวหน่วงเวลาอันดับหนึ่ง ที่มีขนาดใหญ่ ดังนั้นเลือกใช้ค่าคงที่ในการอินทิเกรตสัญญาณ  $T_1$  มีค่าเท่ากับค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่งคือ  $T_1$  ดังนั้นจะได้ทรานส์เฟอว์ฟังก์ชันของระบบปิดดังสมการที่ (3.15)

$$F_w(s) = \frac{A_R A_S}{A_R A_S + sT_1 + s^2 T_1 T_e} \quad (3.15)$$

สมการที่ (3.15) มีลักษณะเดียวกับสมการ (3.2) โดยที่

$$a_0 = A_R A_S, a_1 = T_1, a_2 = T_1 T_e$$

ดังนั้นจะได้ค่าพารามิเตอร์  $A_R$  ของตัวควบคุมแบบพีโอสำหรับระบบดังนี้

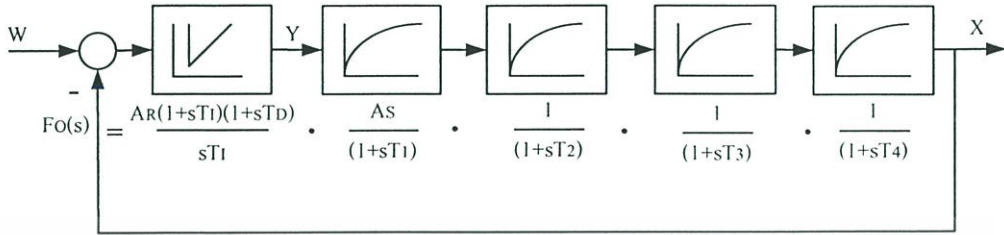
$$A_R = \frac{T_1}{2A_S T_e} \quad (3.16)$$

ทรานส์เฟอว์ฟังก์ชันที่ได้ทั้งหมดเหมือนกับสมการที่ (3.13) และมีลักษณะการตอบสนอง

ต่อสเต็ปอินพุตดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าระบบในรูปที่ 3.3 มีค่า  $T_1$  มากกว่า  $T_2$  และ  $T_2$  มีค่ามากกว่าผลรวมของค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่งที่เหลือคือ  $T_3$  และ  $T_4$  สามารถใช้ตัวควบคุมแบบพีไอดีได้ดังรูปที่ 3.6



รูปที่ 3.6 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบ พีไอดีที่ออกแบบโดยใช้วิธีโมดูลัสออปติ멈

ทรานส์เฟอร์ฟังก์ชัน ของระบบเปิดในรูปที่ 3.6 เป็นตามสมการที่ (3.17) ดังนี้

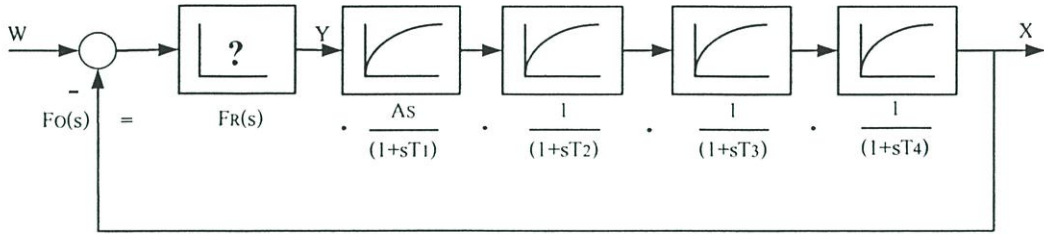
$$F_o(s) = \frac{A_c(1+sT_1)(1+sT_D)}{sT_1} \cdot \frac{A_s}{1+sT_1} \cdot \frac{1}{1+sT_2} \cdot \frac{1}{1+sT_c} \quad (3.17)$$

โดยที่  $A_R$  คือค่าอัตราขยายสัญญาณของตัวควบคุมแบบพีไอดี  
 $T_1$  คือค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวควบคุมแบบพีไอดี  
 $T_D$  คือค่าคงที่ทางเวลาในการดิฟเฟอเรนเชียลสัญญาณของตัวควบคุมแบบพีไอดี  
 $T_c = T_3 + T_4$

ตัวควบคุมแบบพีไอดีในรูปที่ 3.6 ใช้วิธีการชดเชยตัวหน่วงเวลาอันดับหนึ่งที่มีขนาดใหญ่สองตัว โดยให้ค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณ  $T_1$  มีค่าเท่ากับ  $T_1$  และค่าคงที่ทางเวลาในการดิฟเฟอเรนเชียลสัญญาณ  $T_D$  มีค่าเท่ากับ  $T_2$  ดังนั้นทรานส์เฟอร์ฟังก์ชัน ของระบบในรูปที่ 3.6 เหมือนกับสมการที่ (3.15) และมีลักษณะเดียวกับสมการที่ (3.2) ดังนั้นจะได้ค่าพารามิเตอร์ที่เหลือของตัวควบคุมแบบพีไอดีคือ  $A_R$  ดังสมการที่ (3.16) มีทรานส์เฟอร์ฟังก์ชันโดยรวมดังสมการที่ (3.13) และมีลักษณะการตอบสนองต่อส tep อินพุตดังรูปที่ 3.4 เช่นกัน

เปรียบเทียบผลของตัวควบคุมแบบไอ, พีไอ และพีไอดี

พิจารณาระบบที่มีค่าคงที่ทางเวลาสี่ตัวดังรูปที่ 3.7 โดยที่  $T_1 = 400\text{ms}$ ,  $T_2 = 80\text{ms}$ ,  $T_3 = 15\text{ms}$  และ  $T_4 = 5\text{ms}$  ตามลำดับ



รูปที่ 3.7 ระบบควบคุมที่มีค่าคงที่ทางเวลาสี่บล็อก

กรณีทีหนึ่ง : ตัวควบคุมแบบโอ

สามารถหาพารามิเตอร์ของตัวควบคุมแบบโอได้คือ

$$T_1 = 2A_s T_a$$

โดยที่ผลรวมของค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่งทั้งหมดมีค่าเท่ากับ

$$T_a = T_1 + T_2 + T_3 + T_4 = 500ms$$

ดังนั้นจะได้ช่วงเวลาที่ขึ้น

$$t_r = 4.7T_a = 2350ms$$

กรณีที่สอง : ตัวควบคุมแบบพีโอ

กำหนดให้  $T_1 = T_1$  และผลรวมของค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่งทั้งหมดมีค่าเท่ากับ

$$T_b = T_2 + T_3 + T_4 = 100ms$$

สามารถหาพารามิเตอร์ของตัวควบคุมแบบพีโอได้คือ

$$A_R = \frac{T_1}{2.A_s.T_b}$$

ดังนั้นจะได้ช่วงเวลาที่ขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t_r = 4.7T_b = 470ms$$

กรณีี่สาม : ตัวควบคุมแบบพีไอดี

กำหนดให้  $T_1 = T_1$ ,  $T_D = T_2$  และผลรวมของค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่งทั้งหมดมีค่าเท่ากับ

$$T_c = T_3 + T_4 = 20ms$$

สามารถหาพารามิเตอร์ของตัวควบคุมแบบพีไอดีได้คือ

$$A_R = \frac{T_1}{2.A_S.T_c}$$

ดังนั้นจะได้ช่วงเวลาไต่ขึ้น

$$t_r = 4.7T_c = 94ms$$

ดังนั้นสามารถสรุปลักษณะการควบคุมของระบบในรูปที่ 3.7 ได้ดังตารางที่ 3.1

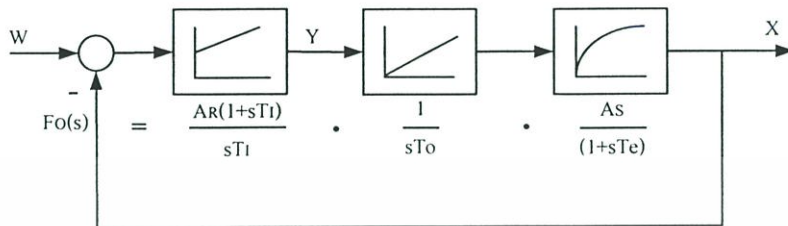
ตารางที่ 3.1 แสดงลักษณะการควบคุมระบบของตัวควบคุมทั้งสามแบบ

ตัวควบคุม	ค่าเวลาคงที่ของตัวควบคุม (ms)	ผลรวมของค่าเวลาคงที่ที่มีค่าน้อย $T_c$ (ms)	อัตราขยายของตัวควบคุม $A_R$	ช่วงเวลาไต่ขึ้น $4.7T_c$ (ms)
I	$T_1 = 1000.A_S$	$T_1 + T_2 + T_3 + T_4 = 500$	-	2350
PI	$T_1 = 400$	$T_2 + T_3 + T_4 = 100$	$2/A_S$	470
PID	$T_1 = 400$ $T_D = 80$	$T_3 + T_4 = 20$	$10/A_S$	94

### 3.3 การออกแบบตัวควบคุมโดยวิธีซิมเมทริกอลออปติ่ม

ซิมเมทริกอลออปติ่มเป็นวิธีการออกแบบตัวควบคุมสำหรับระบบที่มีส่วนประกอบของตัวอินทิเกรเตอร์กับตัวหน่วงเวลาอันดับหนึ่ง ซึ่งไม่สามารถใช้วิธีการชดเชยได้เหมือนกับวิธีโมดูลัสออปติ่ม ซึ่งจะทำให้ระบบเกิดการออสซิลเลต

ระบบที่ประกอบด้วยตัวอินทิเกรเตอร์ ที่มีค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณ  $T_0$  และตัวหน่วงเวลาอันดับหนึ่งที่มีค่าคงที่ทางเวลา  $T_1$ ,  $T_2$  และ  $T_3$  ซึ่งมีค่าใกล้เคียงกันสามารถใช้ตัวควบคุมแบบพีไอได้ ตัวอย่างของระบบนี้แสดงดังรูปที่ 3.8



รูปที่ 3.8 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบพีไอที่ออกแบบโดยวิธีซิมเมทริกคอลลอปติ้ม

ทรานส์เฟอร์ฟังก์ชันของระบบเปิดในรูปที่ 3.8 แสดงดังสมการ (3.18)

$$Fo(s) = A_R \cdot \frac{(1+sT_1)}{sT_1} \cdot \frac{1}{sT_0} \cdot \frac{A_S}{1+sT_e} \quad (3.18)$$

โดยที่  $A_R$  คือค่าอัตราขยายสัญญาณของตัวควบคุมแบบพีไอ  
 $A_S$  คือค่าคงที่ในการขยายสัญญาณ ของตัวหน่วงเวลาอันดับหนึ่ง  
 $T_1$  คือค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวควบคุมแบบพีไอ  
 $T_0$  คือค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวอินทิเกรเตอร์  
 $T_e = T_1 + T_2 + T_3$

ดังนั้นจะได้ทรานส์เฟอร์ฟังก์ชันของระบบปิดเป็นดังสมการที่ (3.19)

$$F\omega(s) = \frac{A_R A_S (1+sT_1)}{A_R A_S + s A_R A_S T_1 + s^2 T_1 T_0 + s^3 T_1 T_0 T_e} \quad (3.19)$$

สมการ (3.19) มีรูปแบบเหมือนกับสมการ (3.3) ดังนั้นจะได้

$$a_0 = A_R A_S, a_1 = A_R A_S T_1, a_2 = T_1 T_0, a_3 = T_1 T_0 T_e$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถใช้สมการ (3.7) เพื่อหาค่าพารามิเตอร์  $A_R$  และ  $T_I$  ของตัวควบคุมแบบพีไอได้ดังนี้

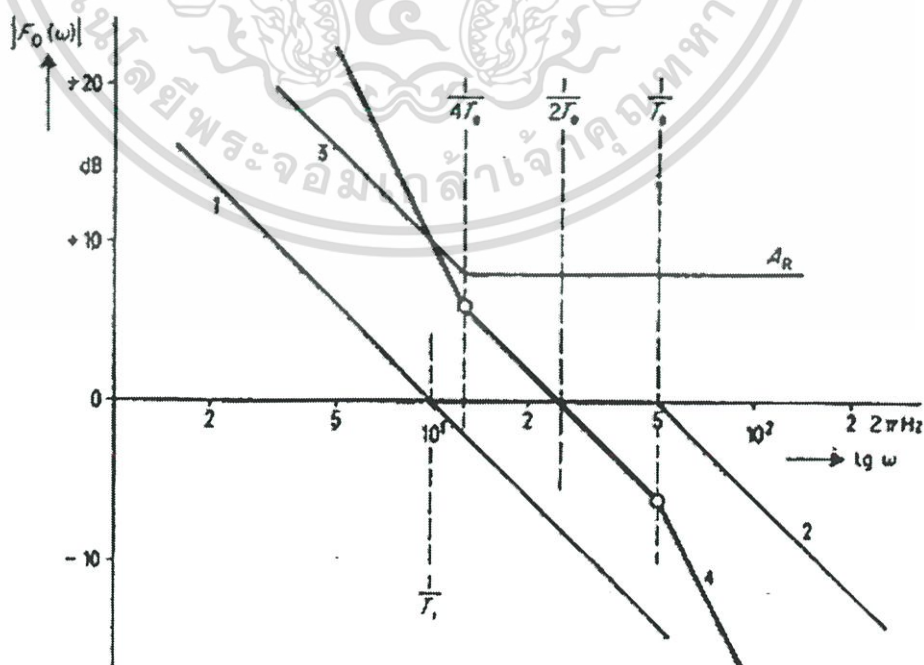
$$T_I = 4T_c$$

$$A_R = \frac{T_0}{2A_s T_c} \quad (3.20)$$

นำค่า  $T_I$  และ  $A_R$  ที่ได้แทนลงในสมการ (3.19) จะได้ทรานส์เฟอร์ฟังก์ชันของระบบที่เหมาะสมโดยวิธีชิมเมตริกคอลอปติ่มดังนี้

$$F\omega(s) = \frac{1 + s4T_c}{1 + s4T_c + s^2 8T_c^2 + s^3 8T_c^3} \quad (3.21)$$

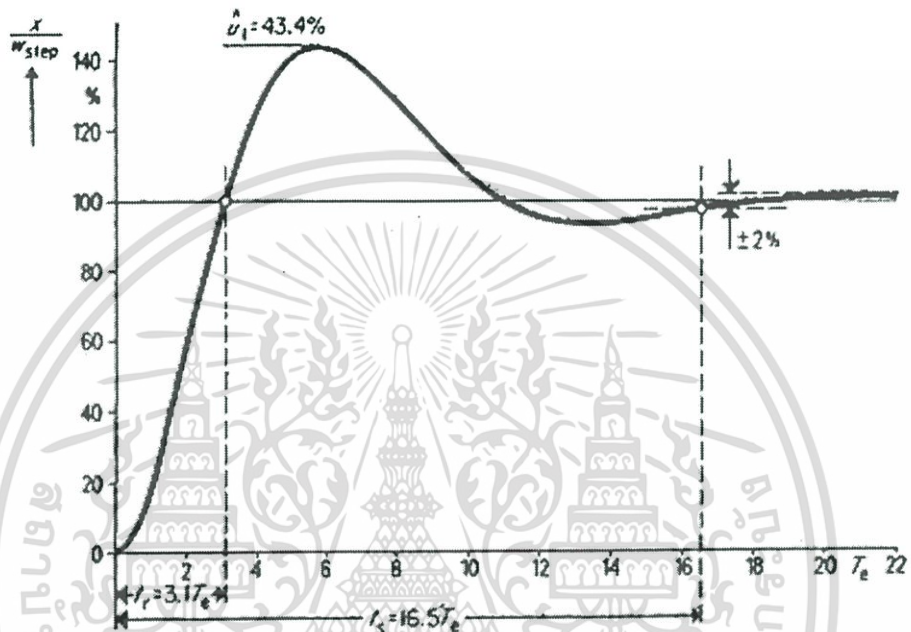
ถ้าระบบที่ต้องการควบคุมในรูปที่ 3.8 มีค่าพารามิเตอร์ได้แก่  $T_0 = 100ms$ ,  $T_c = 20ms$ ,  $A_s = 1$  ดังนั้นจากสมการ (3.20) จะได้ค่า  $T_I = 80ms$  และ  $A_R = 2.5$  หรือประมาณ 8dB เมื่อพิจารณา ลักษณะของอัตราขยายของระบบเปิดในเชิงความถี่จะมีลักษณะดังรูปที่ 3.9 โดยลักษณะของอัตราขยายในเชิงความถี่ของตัวอินทิเกรเตอร์  $T_0$  แสดงได้โดยกราฟเส้นที่หนึ่ง ผลรวมของตัวหน่วงเวลาอันดับหนึ่ง  $T_c$  แสดงได้โดยกราฟเส้นที่สอง ตัวควบคุมแบบพีไอ แสดงได้โดยกราฟเส้นที่สาม และของระบบเปิดทั้งหมดแสดงได้โดยกราฟเส้นที่สี่



รูปที่ 3.9 แสดงลักษณะอัตราขยายของระบบเปิดในเชิงความถี่

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

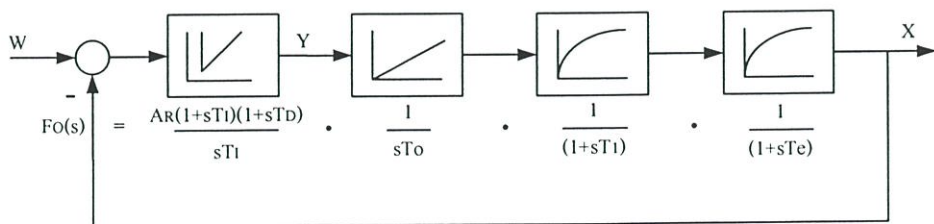
ชิมเมตริกอลออปติ้มอยู่บนพื้นฐานของการควบคุม โมดูลัสของระบบให้เหมาะสม ถ้าพิจารณารูปร่างอัตราขยายของระบบเปิดในเชิงความถี่ในรูปที่ 3.9 ค่าอัตราขยายเป็นหนึ่งที่มีความถี่  $1/2T_c$  รูปร่างของอัตราขยายที่ความถี่ใดๆ ที่น้อยกว่า  $1/2T_c$  จะสมมาตรกับรูปร่างของอัตราขยายที่ความถี่ใดๆ ที่มากกว่า  $1/2T_c$  ซึ่งเป็นลักษณะของการออกแบบตัวควบคุมด้วยวิธีชิมเมตริกอลออปติ้ม โดยมีลักษณะการตอบสนองของระบบปิดต่อสเตปอินพุตดังรูปที่ 3.10



รูปที่ 3.10 แสดงการตอบสนองต่อสเตปอินพุตของระบบที่ใช้การออกแบบตัวควบคุมด้วยวิธีชิมเมตริกอลออปติ้ม

จากรูปที่ 3.10 การตอบสนองต่อสเตปอินพุตจะมีโอเวอร์ชูต 43.4% มีช่วงเวลาที่ไต่ขึ้นเท่ากับ  $3.1T_c$  และมีเวลาเข้าสู่สภาวะคงตัวที่  $16.5T_c$

ในกรณีที่ค่าคงที่ทางเวลา  $T_1$  มีค่ามากกว่าผลรวมของ  $T_2$  และ  $T_3$  สามารถใช้ตัวควบคุมแบบพีไอดี ได้ดังรูปที่ 3.11



รูปที่ 3.11 แสดงระบบควบคุมที่ใช้ตัวควบคุมแบบพีไอดี ที่ออกแบบ โดยวิธีชิมเมตริกอลออปติ้ม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานส์เฟอร์ฟังก์ชันของระบบเปิดในรูปที่ 3.11 เป็นตามสมการ (3.22) ดังนี้

$$F_o(s) = A_R \frac{(1+sT_I)(1+sT_D)}{sT_I} \cdot \frac{1}{sT_C} \cdot \frac{A_S}{1+sT_1} \cdot \frac{1}{1+sT_e} \quad (3.22)$$

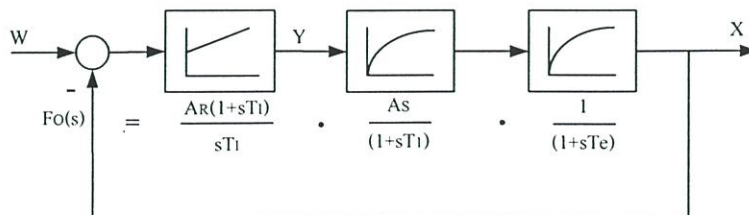
- โดยที่  $A_R$  คือค่าอัตราขยายสัญญาณของตัวควบคุมแบบพีไอดี  
 $T_I$  คือค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวควบคุมแบบพีไอดี  
 $T_D$  คือค่าคงที่ทางเวลาในการดิฟเฟอเรนเชียลสัญญาณของตัวควบคุมแบบพีไอดี  
 $T_C = T_2 + T_3$

ตัวควบคุมแบบพีไอดีในรูปที่ 3.11 ใช้วิธีการชดเชยตัวหน่วงเวลาอันดับหนึ่งที่มีขนาดใหญ่ที่สุด โดยให้ค่าคงที่ทางเวลาในการดิฟเฟอเรนเชียลสัญญาณ  $T_D$  มีค่าเท่ากับ  $T_1$  ดังนั้น ทรานส์เฟอร์ฟังก์ชันของระบบในรูปที่ 3.11 เหมือนกับสมการ (3.19) จึงใช้สมการ (3.20) เพื่อหาค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณ  $T_I$  และค่าของ  $A_R$  ได้ จึงมีทรานส์เฟอร์ฟังก์ชันโดยรวมดังสมการที่ (3.21) และ มีลักษณะการตอบสนองต่อสเต็ปอินพุตดังรูปที่ 3.10

### 3.4 การออกแบบตัวควบคุมสำหรับระบบที่มีตัวหน่วงเวลาอันดับหนึ่งขนาดใหญ่

ระบบที่ไม่ได้ประกอบด้วยตัวอินทิเกรเตอร์ แต่มีตัวหน่วงเวลาอันดับหนึ่งที่มีค่าคงที่ทางเวลาขนาดใหญ่กว่าตัวอื่นๆ มาก ควรใช้การออกแบบด้วยวิธีซิมเมตริกคอลออปติมัม โดยพิจารณาค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่ง ที่ใหญ่ที่สุดเป็นเสมือนตัวอินทิเกรเตอร์

ตัวอย่างระบบที่ประกอบไปด้วยตัวหน่วงเวลาอันดับหนึ่งที่มีค่าคงที่ทางเวลา  $T_1$  มากกว่า  $T_C$  ซึ่งเป็นผลรวมของค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่งที่เหลือ สามารถใช้ตัวควบคุมแบบพีไอได้ดังรูปที่ 3.12



รูปที่ 3.12 แสดงระบบที่มีตัวหน่วงเวลาอันดับหนึ่งขนาดใหญ่ ( $T_1 > 4T_C$ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานส์เฟอร์ฟังก์ชันของระบบเปิดในรูปที่ 3.12 เป็นตามสมการที่ (3.23) ดังนี้

$$F_o(s) = A_R \frac{(1+sT_I)}{sT_I} \cdot \frac{A_S}{1+sT_I} \cdot \frac{1}{1+sT_c} \quad (3.23)$$

โดยที่  $A_R$  คือค่าอัตราขยายสัญญาณของตัวควบคุมแบบพีไอ

$T_I$  คือค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวควบคุมแบบพีไอ

ดังนั้นจะได้ทรานส์เฟอร์ฟังก์ชันของระบบปิดเป็นดังสมการ (3.24)

$$F\omega(s) = \frac{A_R A_S (1+sT_I)}{A_R A_S + sT_I (A_R A_S + 1) + s^2 T_I (T_I + T_c) + s^3 T_I T_I T_c} \quad (3.24)$$

การตอบสนองต่อสเต็ปอินพุทของระบบจะขึ้นอยู่กับอัตราส่วนของ  $T_I$  กับ  $4T_c$  ถ้าอัตราส่วนดังกล่าวมีค่ามาก หรือค่า  $T_I$  มีค่ามากกว่า 4 เท่าของ  $T_c$  มากๆ จะมีการตอบสนองที่ใกล้เคียงกับในรูปที่ 3.10 แต่ถ้าอัตราส่วนดังกล่าวมีค่าใกล้เคียง 1 ช่วงเวลาไต่ขึ้นจะเพิ่มขึ้น และโอเวอร์ชูทจะลดลงจนใกล้เคียงกับระบบที่ออกแบบด้วยวิธีโมดูลัสออฟติมัม ดังนั้นถ้าค่า  $T_I$  มีค่าไม่มากกว่า 4 เท่าของ  $T_c$  ควรใช้การออกแบบด้วยวิธีโมดูลัสออฟติมัม

เนื่องจากระบบประกอบไปด้วยเพียงตัวหน่วงเวลาอันดับหนึ่ง การตอบสนองต่อสเต็ปอินพุทจึงมีช่วงเวลาไต่ขึ้น และ โอเวอร์ชูทที่แตกต่างไปจากระบบที่มีตัวอินทิเกรเตอร์ ดังนั้นค่าพารามิเตอร์ของตัวควบคุมแบบพีไอที่ได้จากสมการที่ (3.20) จึงต้องคูณค่าแก้ไข  $K_1$  และ  $K_2$  เพื่อให้การตอบสนองของระบบเหมือนกับรูปที่ 3.10 แสดงด้วยสมการที่ (3.25) และ (3.26)

$$T_I = 4T_c \cdot K_2 \quad (3.25)$$

$$A_R = \frac{T_I}{2A_S T_c} \cdot K_1 \quad (3.26)$$

$$\text{เมื่อ } K_1 = 1 + \frac{T_c^2}{T_I^2} \text{ และ } K_2 = \frac{K_1}{(1 + T_c/T_I)^3}$$

ดังนั้นจะได้ทรานส์เฟอร์ฟังก์ชันทั้งหมดดังสมการที่ (3.27)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F\omega(s) = \frac{1 + s4T_e K_2}{1 + s4T_e K_3 + s^2 8T_e^2 K_3^2 + s^3 8T_e^3 K_3^3} \quad (3.27)$$

เมื่อ  $K_3 = \frac{1}{(1 + T_e/T_I)}$

โดยพิจารณาทรานส์เฟอร์ฟังก์ชันของระบบปิดในสมการที่ (3.24) สามารถเขียนใหม่ได้เป็น

$$F\omega(s) = \frac{1 + sT_I}{1 + sT_I \left(1 + \frac{1}{A_S A_R}\right) + s^2 T_I \frac{T_1 + T_e}{A_R A_S} + s^3 T_I \frac{T_1 T_e}{A_R A_S}} \quad (3.28)$$

เมื่อเปรียบเทียบสมการที่ (3.28) กับ สมการมาตรฐานที่ออกแบบโดยวิธีซิมเมตริกอลตามสมการที่ (3.21) โดยแทนค่า  $T_e$  ด้วย  $\beta$  จะได้

$$F\omega(s) = \frac{1 + s4\beta}{1 + s4\beta + s^2 8\beta^2 + s^3 8\beta^3} \quad (3.29)$$

เมื่อเปรียบเทียบสัมประสิทธิ์ของสมการที่ (3.28) กับ (3.29) จะได้

$$1. \quad T_I \left(1 + \frac{1}{A_R A_S}\right) = 4\beta \quad ,$$

$$2. \quad T_I \cdot \frac{T_1 + T_e}{A_R A_S} = 8\beta^2 \quad ,$$

$$3. \quad T_I \cdot \frac{T_1 + T_e}{A_R A_S} = 8\beta^3$$

หรือสามารถเขียนใหม่ได้เป็น

$$1. \quad \beta_1 = \frac{T_I}{4} \left(1 + \frac{1}{A_R A_S}\right) \quad ,$$

$$2./1. \quad \beta_2 = \frac{1}{2} \cdot \frac{T_1 + T_e}{1 + A_R A_S} \quad ,$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$3./2. \quad \beta_3 = \frac{T_1 T_e}{T_1 + T_e}$$

เมื่อกำหนดให้  $\beta_2 = \beta_3$  จะสามารถหาค่าอัตราขยายสัญญาณของตัวควบคุมแบบพีไอได้ดังสมการที่ (3.30)

$$A_R = \frac{T_1}{2A_s T_e} \cdot \left(1 + \frac{T_e^2}{T_1^2}\right) \quad (3.30)$$

และกำหนดให้  $\beta_1 = \beta_2$  จะสามารถหาค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวควบคุมแบบพีไอได้ดังสมการที่ (3.31)

$$T_I = 4T_e \cdot \frac{1 + \frac{T_e^2}{T_1^2}}{\left(1 + \frac{T_e}{T_1}\right)^3} \quad (3.31)$$

เมื่อแทนค่าที่ได้จากสมการที่ (3.30) และ (3.31) ลงไปในทรานส์เฟอร์ฟังก์ชันของระบบปิดในสมการที่ (3.28) จะได้เป็น

$$F\omega(s) = \frac{1 + 4T_e \left\{ \frac{1 + T_e^2 / T_1^2}{(1 + T_e / T_1)^3} \right\}}{1 + s \left\{ \frac{4T_e}{1 + T_e / T_1} \right\} + s^2 \left\{ \frac{8T_e^2}{(1 + T_e / T_1)^2} \right\} + s^3 \left\{ \frac{8T_e^3}{(1 + T_e / T_1)^3} \right\}} \quad (3.32)$$

ทรานส์เฟอร์ฟังก์ชันของระบบที่ออกแบบด้วยวิธีชิมเมตริกคอลออปติ้มจะมีเทอม  $1 + 4T_e \left\{ \frac{1 + T_e^2 / T_1^2}{(1 + T_e / T_1)^3} \right\}$  ที่ตัวตั้ง ซึ่งจะทำให้เกิดโอเวอร์ชูทสูง ดังนั้นสามารถกำจัดเทอมดังกล่าวออกไปได้โดยการเพิ่มตัวหน่วงเวลาอันดับหนึ่ง โดยตัวหน่วงเวลาดังกล่าวเรียกว่าตัวสมูทติง (smoothing) จากสมการที่ (3.32) จะได้ค่าเวลาคงที่ของตัวสมูทติง  $t_{sm}$  คือ

$$t_{sm} = 4T_e \left\{ \frac{1 + T_e^2 / T_1^2}{(1 + T_e / T_1)^3} \right\} \quad (3.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการประมาณค่าลูปภายในของระบบควบคุมให้เป็นตัวหน่วงเวลาอันดับหนึ่ง เพื่อให้การออกแบบตัวควบคุมของลูปภายนอกทำได้สะดวกขึ้นจะพิจารณาจากทรานส์เฟอร์ฟังก์ชันโดยรวมหลังจากที่ออกแบบตัวควบคุมแล้วมีค่าเวลาคงที่ประมาณเท่ากับสัมประสิทธิ์กำลังหนึ่งของ  $s$  จากสมการที่ (3.32) จะได้ตัวหน่วงเวลาอันดับหนึ่งคือ

$$t_c = \left\{ \frac{4T_c}{1 + T_c/T_1} \right\} \quad (3.34)$$

เนื่องจากอัตราส่วนของค่าเวลาคงที่ที่เทียบกำลังสองมีค่าน้อยกว่าหนึ่งมาก นั่นคือ

$$\frac{T_c^2}{T_1^2} \ll 1$$

และจากนั้นสามารถใช้ในการประมาณได้ว่า

$$\left(1 + \frac{T_c}{T_1}\right)^3 \approx 1 + 3\frac{T_c}{T_1}$$

ดังนั้นจะได้ค่าพารามิเตอร์ที่ได้จากการประมาณค่าของตัวควบคุมที่ออกแบบ โดยใช้วิธีซิมเมตริกคอลลอปติ่มดังสมการที่ (3.35) คือ

$$A_R \approx \frac{T_1}{2A_S T_c} \quad (3.35)$$

$$T_I \approx 4T_c \cdot \frac{T_1}{T_1 + 3T_c}$$

### 3.5 การแก้ไขโอเวอร์ชูตจากการออกแบบด้วยวิธีซิมเมตริกคอลลอปติ่ม

การตอบสนองของระบบที่ออกแบบตัวควบคุม ด้วยวิธีซิมเมตริกคอลลอปติ่มต่อสแต็ปอินพุท มีค่าโอเวอร์ชูตสูงถึง 43.4% ซึ่งเป็นค่าที่สูงมากเมื่อเปรียบเทียบกับระบบที่ออกแบบด้วยวิธีโมดูลัสคอลลอปติ่มซึ่งมี โอเวอร์ชูตเพียง 4.3% เท่านั้น ถ้าพิจารณาจากทรานส์เฟอร์ฟังก์ชันของระบบที่ออกแบบด้วยวิธีทั้งสองแบบตามสมการที่ (3.13) และ (3.21) จะพบว่าทรานส์เฟอร์ฟังก์ชันที่

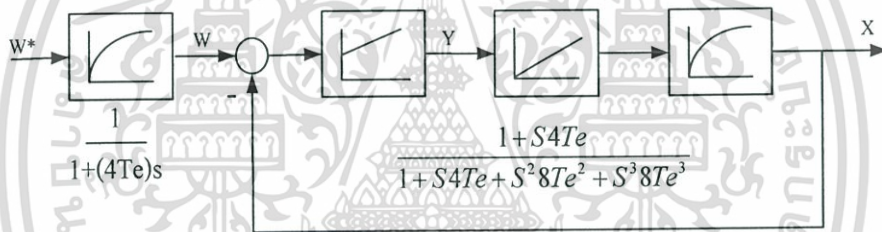
ออกแบบด้วยวิธีโมดูลัสออปติมิ้มจะไม่มีเทอม  $1 + s4Te$  ที่ตัวตั้งซึ่งทำให้เกิดโอเวอร์ชูตสูง ดังนั้นถ้าสามารถกำจัดเทอมดังกล่าวออกไปได้โอเวอร์ชูตจะลดลง

วิธีกำจัดเทอมดังกล่าวออกไปวิธีหนึ่งได้แก่ เพิ่มตัวหน่วงเวลาที่มีค่าคงที่ทางเวลา  $t_{sm}$  เท่ากับ  $4Te$  หรือเท่ากับค่าคงที่ทางเวลาในการอินทิเกรตสัญญาณของตัวควบคุม ( $T_I$ ) ตัวหน่วงเวลาดังกล่าวเรียกว่า ตัวสมูทติ้ง ก็จะช่วยให้ทรานส์เฟอ์ฟังก์ชันโดยรวมทั้งหมดไม่มีเทอม  $1 + s4Te$  เป็นตัวตั้ง ดังสมการที่ (3.36)

$$F\omega(s) = \frac{1}{1 + s4Te} \cdot \frac{1 + s4Te}{1 + s4Te + s^2 8Te^2 + s^3 8Te^3}$$

$$F\omega(s) = \frac{1}{1 + s4Te + s^2 8Te^2 + s^3 8Te^3} \quad (3.36)$$

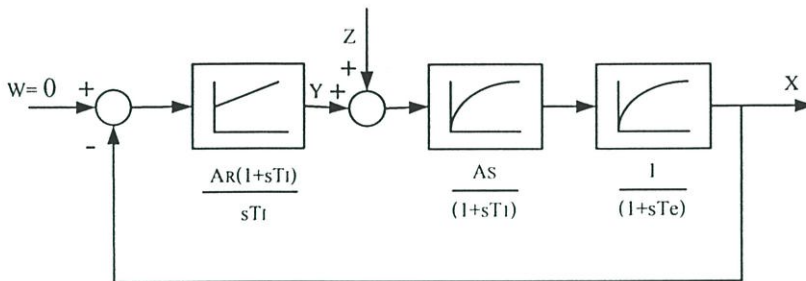
การเพิ่มตัวสมูทติ้งที่มีค่าคงที่ทางเวลา  $T_{sm}$  เข้าไปแสดงดังรูปที่ 3.13



รูปที่ 3.13 แสดงการเพิ่มตัวสมูทติ้งเพื่อลดโอเวอร์ชูตต่อสตีปอินพุท

ลักษณะการตอบสนองของระบบต่อสตีปอินพุท แสดงดังรูปที่ 3.14

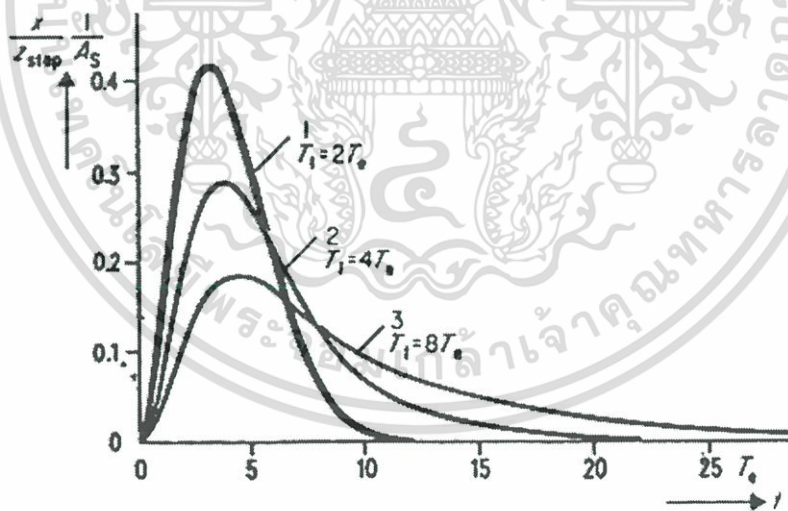




รูปที่ 3.15 แสดงระบบที่ให้อินพุทเป็น 0 เพื่อพิจารณาผลตอบสนองต่อสิ่งรบกวนภายนอก(Z)

ตัวอย่างระบบดังรูปที่ 3.15 ประกอบไปด้วยตัวควบคุมแบบ PI และองค์ประกอบของระบบที่มีค่าคงที่ทางเวลาที่ยาวที่สุดเป็น  $T_1$  และผลรวมของค่าคงที่ทางเวลาขนาดเล็กเป็น  $T_e$  โดยให้ผลจากสิ่งรบกวนภายนอกแทนด้วย  $Z$  การออกแบบตัวควบคุมของระบบนี้ทำได้ 2 วิธีได้แก่วิธีโมดูลัสและซิมเมตริกอลออปติ้มัม โดยแต่ละวิธีจะพิจารณาในกรณีที่ค่าคงที่ทางเวลา  $T_1$  มีค่าเท่ากับ  $2T_e$ ,  $4T_e$  และ  $8T_e$

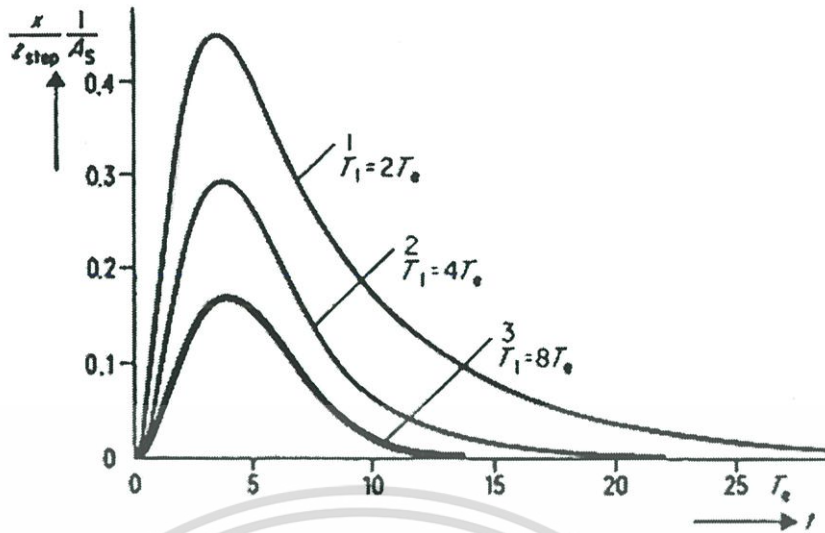
การออกแบบตัวควบคุมของระบบดังกล่าวด้วยวิธีโมดูลัสออปติ้มัมจะได้รับการตอบสนองต่อสิ่งรบกวนภายนอกอย่างทันทีทันใด (step disturbances,  $Z_{step}$ ) ดังรูปที่ 3.16



รูปที่ 3.16 แสดงการตอบสนองต่อสิ่งรบกวนภายนอกอย่างทันทีทันใดของระบบที่ออกแบบตัวควบคุมโดยใช้วิธีโมดูลัสออปติ้มัม

ส่วนการออกแบบตัวควบคุมของระบบด้วยวิธีซิมเมตริกอลออปติ้มัมจะได้รับการตอบสนองต่อสิ่งรบกวนภายนอกอย่างทันทีทันใดดังรูปที่ 3.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



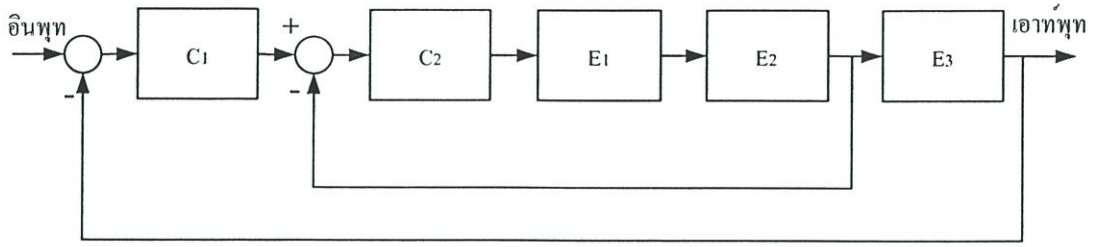
รูปที่ 3.17 แสดงการตอบสนองต่อสิ่งรบกวนภายนอกอย่างทันทีทันใดของระบบที่ออกแบบตัวควบคุมโดยใช้วิธีซิมเมตริกอลออปติมัม

จากการตอบสนองของระบบที่ออกแบบตัวควบคุมด้วยวิธีโมดูลัสออปติมัมพบว่าถ้าค่าคงที่ทางเวลา  $T_1$  มีค่ามากกว่า  $4T_e$  มากยิ่งขึ้นระบบจะมีเวลาเข้าสู่สภาวะคงตัวยาวนานมากขึ้นแต่โอเวอร์ชูทน้อย ส่วนระบบที่ออกแบบตัวควบคุมด้วยวิธีซิมเมตริกอลออปติมัมพบว่าถ้าค่าคงที่ทางเวลา  $T_1$  มีค่าน้อยกว่า  $4T_e$  น้อยยิ่งขึ้นระบบจะมีเวลาเข้าสู่สภาวะคงตัวยาวนานมากขึ้นและมีโอเวอร์ชูทสูง ดังนั้นเพื่อตอบสนองต่อสิ่งรบกวนภายนอกที่เหมาะสมของระบบ การออกแบบตัวควบคุมด้วยวิธีโมดูลัสออปติมัมควรใช้เมื่อค่าคงที่ทางเวลา  $T_1$  มีค่าไม่เกิน  $4T_e$  และการออกแบบตัวควบคุมด้วยวิธีซิมเมตริกอลออปติมัมควรใช้เมื่อค่าคงที่ทางเวลา  $T_1$  มีค่าเกิน  $4T_e$

### 3.7 การแบ่งระบบออกเป็นส่วนย่อย

ระบบที่มีองค์ประกอบหลายส่วน สามารถใช้ตัวควบคุมเพียงตัวเดียวควบคุมทั้งหมดได้ โดยพิจารณาใช้ตัวควบคุมแบบต่างๆ ได้แก่ I, PI และ PID ขึ้นอยู่กับคุณสมบัติของระบบ แต่ถ้าองค์ประกอบของระบบมีมากขึ้น การใช้ตัวควบคุมเพียงตัวเดียวไม่สามารถทำให้ระบบตอบสนองต่อสเตปอินพุทได้รวดเร็วเท่าที่ควรจะเป็น การตอบสนองต่อสเตปโพลด์ช้าลงและมีแนวโน้มที่จะให้โอเวอร์ชูทต่อสเตปโพลด์สูงขึ้น

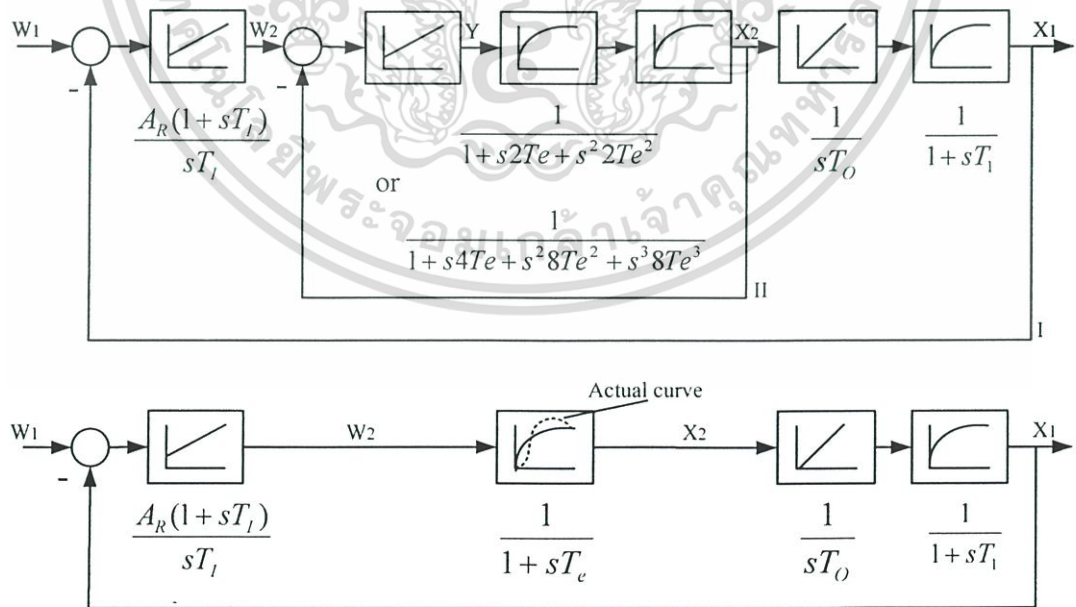
ระบบควบคุมที่ใช้ตัวควบคุมมากกว่าหนึ่งตัว เพื่อควบคุมในแต่ละส่วนของระบบนั้น สามารถลดผลกระทบจากภายนอกที่เกิดจากส่วนประกอบต่างๆ ซึ่งเป็นสาเหตุที่ทำให้ระบบตอบสนองต่อสเตปอินพุทและสเตปโพลด์ได้ช้าลง พิจารณาระบบที่ประกอบด้วยองค์ประกอบ  $E_1$ ,  $E_2$ ,  $E_3$  และใช้ตัวควบคุม  $C_1$  และ  $C_2$  ดังรูปที่ 3.18



รูปที่ 3.18 แสดงระบบที่ใช้ตัวควบคุม 2 ตัว

ระบบในรูปที่ 3.18 ใช้ตัวควบคุม  $C_2$ , ควบคุมองค์ประกอบ  $E_1$  และ  $E_2$  เป็นลักษณะของการควบคุมแบบปิดเป็นรูปที่ 1 สามารถพิจารณาเป็นส่วนประกอบย่อยของตัวควบคุม  $C_1$  และองค์ประกอบ  $E_3$  เป็นรูปที่ 2 ที่อยู่นอกสุด อยู่ในลักษณะรูปควบคุมที่ซ้อนกันอยู่สองรูป

การพิจารณาภายในเป็นส่วนประกอบย่อยของรูปภายนอกใช้การพิจารณาตามแบบของวิธีการออกแบบตัวควบคุม โดยพิจารณาได้จากทรานส์เฟอร์ฟังก์ชัน โดยรวมหลังจากที่ออกแบบตัวควบคุมแล้ว มีค่าคงที่ทางเวลาประมาณเท่ากับสัมประสิทธิ์กำลัง 1 ของ  $s$  ตามสมการที่ (3.13), (3.21) และ (3.27) สำหรับระบบที่ออกแบบตัวควบคุมด้วยวิธีโมดูลัสออปติมัม และด้วยวิธีซิมเมตริกอลออปติมัมที่ใช้ตัวสมูทติงเพื่อลดโอเวอร์ชูท สรุปได้ดังตารางที่ 3.2 รูปที่ 3.19 แสดงการออกแบบระบบควบคุมเพื่อให้เข้าใจถึงคุณสมบัติของระบบควบคุมที่มีการประมาณค่าภายในให้มีค่าเป็นตัวหน่วงเวลาอันดับหนึ่ง



รูปที่ 3.19 แสดงระบบควบคุมที่มีการประมาณค่าภายในให้มีค่าเป็นตัวหน่วงเวลาอันดับหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 สรุปค่าคงที่ทางเวลาของการประมาณลูปควบคุมให้เป็นตัวหน่วงเวลาอันดับหนึ่ง

วิธีการออกแบบ	ค่าคงที่ทางเวลาในการประมาณค่าเป็นตัวหน่วงเวลาอันดับหนึ่ง
โมดูลัสออปติมัม	$2T_c$
ซิมเมตริกคอลออปติมัม	$4T_c$
ซิมเมตริกคอลออปติมัม (ระบบที่มีตัวหน่วงเวลาอันดับหนึ่งขนาดใหญ่)	$4T_{c_3}$ (จากสมการที่ 3.27)

การประมาณลูปภายในเป็นตัวหน่วงเวลาอันดับหนึ่งสำหรับลูปภายนอก ทำให้การออกแบบตัวควบคุมของลูปภายนอกทำได้สะดวกขึ้น โดยใช้ค่าคงที่ทางเวลาที่ได้จากการประมาณตามตาราง เพื่อออกแบบตัวควบคุมในลูปภายนอก



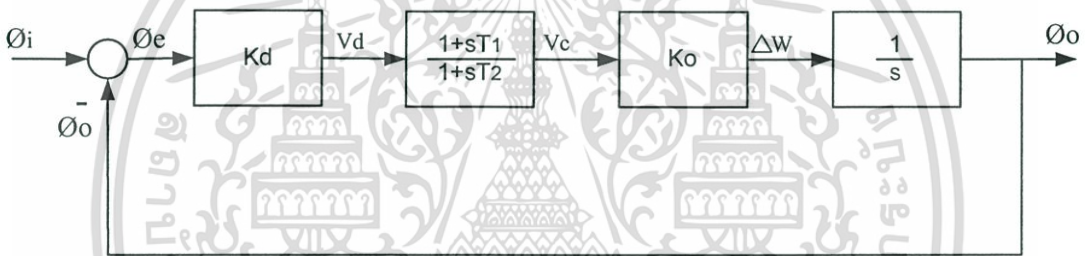
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



โครงสร้างของระบบเฟสล็อกคูลูปที่สามารถปรับเฟสเอ้าท์พุทและช่วงเวลาในการล็อกได้ แสดงดังรูปที่ 4.1 ซึ่งจะมีรูปภายในเป็นวิธีโอทีที่มีการป้อนกลับสองลูป จะประกอบด้วยตัวควบคุมแบบพีไอและเฟสล็อกคูลูปในส่วนป้อนกลับ ที่ทำหน้าที่เปลี่ยนความถี่เอ้าท์พุทของวิธีโอให้ เป็นแรงดันป้อนกลับตัวควบคุมแบบพีไอจะถูกออกแบบโดยใช้วิธี โมดูลัสตอปติ่ม ลูปรภายนอกหรือ ลูปหลักของระบบเฟสล็อกคูลูปมีสองอินพุท อินพุทแรกเป็นความถี่อินพุทใช้สำหรับกำหนดความถี่ เอ้าท์พุท อินพุทที่สองเป็นแรงดันอินพุทใช้สำหรับควบคุมเฟสของความถี่เอ้าท์พุทได้เป็นอิสระจาก ความถี่เอ้าท์พุทและควบคุมช่วงเวลาในการล็อก ตัวควบคุมแบบพีไอจะถูกออกแบบ โดยใช้วิธีซิม- เมทริกคอลลอปติ่ม สำหรับขั้นตอนในการออกแบบตัวควบคุมทั้งสองด้วยวิธี โมดูลัสตอปติ่ม และซิมเมทริกคอลลอปติ่ม จะกล่าวในหัวข้อต่อไป

#### 4.2 การออกแบบเฟสล็อกคูลูป

รูปที่ 4.2 เป็นโครงสร้างของเฟสล็อกคูลูปที่ใช้วงจรกรองความถี่ต่ำแบบลีด - แดก[15]



รูปที่ 4.2 แสดงโครงสร้างของเฟสล็อกคูลูปที่ใช้วงจรกรองความถี่ต่ำแบบลีด - แดก

โดยที่  $T_1 = R_2C$  และ  $T_2 = (R_1 + R_2)C$  ดังนั้นจะสามารถหาทรานส์เฟอร์ฟังก์ชันของระบบปิดได้ ดังสมการที่ (2.21) และจะได้ค่าความถี่ธรรมชาติ (2.22)

$$\omega_n = \sqrt{\frac{K_d K_o}{(R_1 + R_2)C}} \quad (4.1)$$

และเดมปีงแฟคเตอร์ (2.23)

$$\zeta = \frac{\omega_n}{2} \left[ R_2C + \left( \frac{1}{K_o K_d} \right) \right] \quad (4.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสามารถคำนวณค่า  $R_2$  ได้จากสมการที่ (4.2) โดยกำหนดให้  $\zeta = 0.7071$  หรือ  $\frac{1}{\sqrt{2}}$  ดังนั้น

$$\zeta^2 = \frac{1}{2}$$

$$0.5 = \frac{\omega_n^2}{4} \left[ R_2 C + \left( \frac{1}{K_o K_d} \right) \right]^2 \quad (4.3)$$

เมื่อแทนค่า  $\omega_n^2 = \frac{K_o K_d}{(R_1 + R_2) C}$  ลงไปในสมการที่ (4.3) ดังนั้นจะสามารถเขียนใหม่ได้เป็น

$$0.5 = \frac{K_o K_d}{4C(R_1 + R_2)} \left[ R_2 C + \left( \frac{1}{K_o K_d} \right) \right]^2 \quad (4.4)$$

เมื่อกำหนดค่าของ  $R_1$  และ  $C$  จะสามารถหาค่า  $R_2$  ได้จากค่า  $\zeta = 0.7071$

$$2 = \frac{K_o K_d}{C(R_1 + R_2)} \left[ R_2^2 C^2 + \left( \frac{1}{K_o^2 K_d^2} \right) + \frac{2.C.R_2}{K_o K_d} \right] \quad (4.5)$$

เมื่อคูณทั้งสองข้างของสมการที่ (4.5) ด้วยค่า  $(R_1 + R_2)$  จะได้

$$2(R_1 + R_2) = \left[ K_o K_d R_2^2 C + \frac{1}{(K_o K_d C)} + 2R_2 \right] \quad (4.6)$$

จากสมการที่ (4.6) จัดสมการใหม่ โดยการลบ  $2R_2$  ออกทั้งสองข้างของสมการเพื่อให้เหลือเพียงเทอม  $R_2^2$  เท่านั้น

$$R_2^2 K_o K_d C = 2R_1 - \frac{1}{(K_o K_d C)} \quad (4.7)$$

ดังนั้นจากสมการที่ (4.7) จะสามารถหาค่าของ  $R_2$  ได้คือ

$$R_2^2 = \frac{2R_1}{K_o K_d C} - \left( \frac{1}{K_o^2 K_d^2 C^2} \right) \quad (4.8)$$

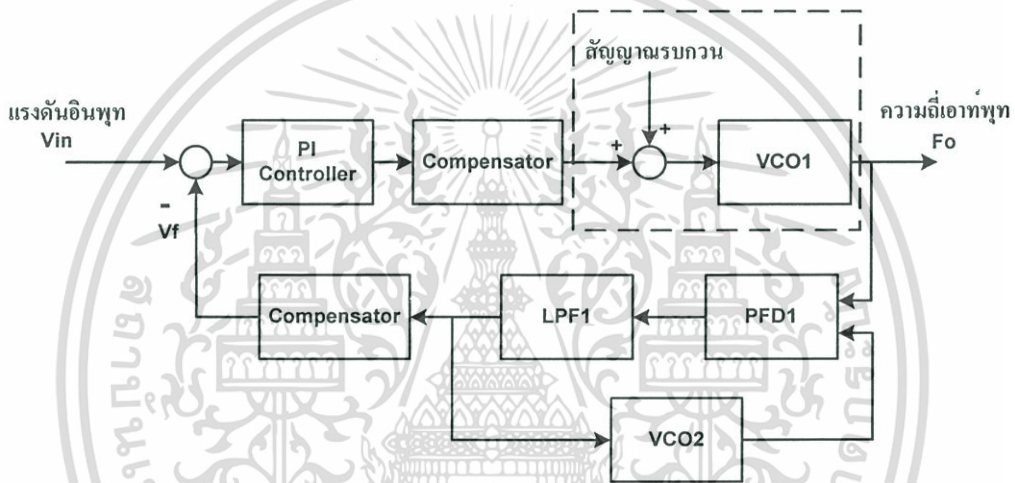
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_2 = \sqrt{\frac{2R_1}{CK_oK_d} - \frac{1}{(K_o^2K_d^2C^2)}}$$

จะสังเกตว่าถ้าเลือกใช้ค่า  $\zeta$  ที่ต่างไปจากนี้ จะทำให้ไม่สามารถกำจัดเทอม  $2R_2$  ในสมการที่ (4.6) ออกไปได้ ซึ่งจะทำให้การหาค่ามีความยุ่งยากมากขึ้น ดังนั้นจึงเป็นเหตุผลที่ดีสำหรับการเลือกใช้ค่า  $\zeta = \frac{1}{\sqrt{2}}$

#### 4.3 การออกแบบตัวควบคุมสำหรับวิธีโอที่มีการป้อนกลับสองลูป

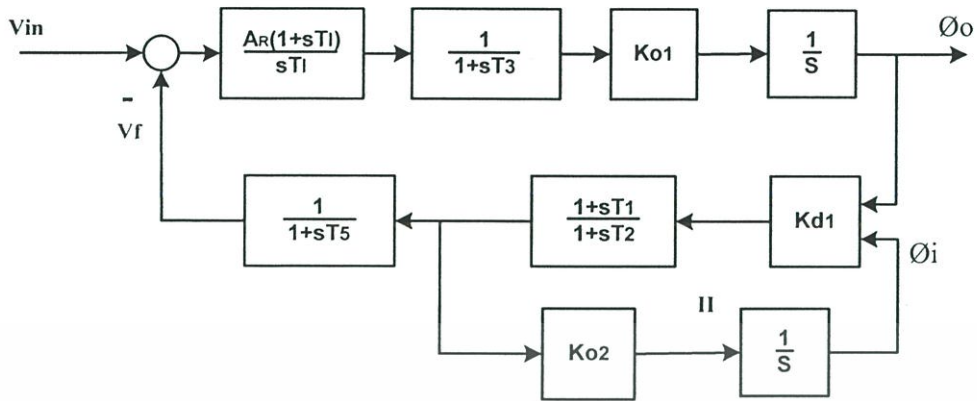
รูปที่ 4.3 เป็น โครงสร้างของวิธีโอที่มีการป้อนกลับสองลูป



รูปที่ 4.3 โครงสร้างของวิธีโอที่มีการป้อนกลับสองลูป

โครงสร้างของวิธีโอที่มีการป้อนกลับสองลูป ประกอบด้วยวิธีโอที่ปกติจะเป็นระบบเปิด โดยมีเฟสล๊อคอยู่ในส่วนป้อนกลับ ทำหน้าที่สร้างแรงดันที่เป็นสัดส่วนกับความถี่เอาต์พุตของวิธีโอ แรงดันป้อนกลับที่ได้จะนำไปลบออกจากแรงดันอินพุต เพื่อที่จะใช้เป็นสัญญาณค่าผิดพลาดที่จะเข้าไปยังตัวควบคุมแบบพีไอเพื่อควบคุมวิธีโอต่อไป ดังนั้นความถี่เอาต์พุตที่ได้จะเป็นสัดส่วนกับแรงดันอินพุต การใช้เฟสล๊อคแทนวงจรเปลี่ยนความถี่เป็นแรงดันในส่วนป้อนกลับ จะทำให้ไม่ต้องใช้วงจรหารความถี่ เพราะปกติถ้าใช้วงจรเปลี่ยนความถี่เป็นแรงดัน จำเป็นต้องหารความถี่เอาต์พุตของวิธีโวลก่อนเพื่อให้วงจรเปลี่ยนความถี่เป็นแรงดันสามารถออกแบบได้ง่ายสำหรับตัวควบคุมแบบพีไอจะออกแบบโดยใช้วิธี โมดูลัสออปติมัม จากรูปที่ 4.3 สามารถเขียนบล็อกไดอะแกรมของวิธีโอที่มีการป้อนกลับสองลูป โดยแทนด้วยทรานส์เฟอร์ฟังก์ชันของและบล็อก โดยพิจารณาความถี่เอาต์พุตเป็นเฟสเอาต์พุตได้ดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงบล็อกไคอะแกรมของวิซีโอที่มีการป้อนกลับสองลูป

โดย  $K_{o1}$  คือค่าอัตราขยายคงที่ของวิซีโอมีหน่วยเป็น Hz/V และ  $K_{d1}$  คือค่าอัตราขยายคงที่ของเฟส ฟรีแควนซีดีเทคเตอร์ มีหน่วยเป็น Volt/radian ทรานส์เฟอร์ฟังก์ชันของตัวควบคุมแบบพีไอเขียน

แทนด้วย  $\frac{A_R(1+sT_I)}{sT_I}$  โดยที่

$A_R$  คือ อัตราขยายของตัวควบคุมแบบพีไอ

$T_I$  คือ ค่าคงที่ในการอินทิเกรตของตัวควบคุมแบบพีไอ

ทรานส์เฟอร์ฟังก์ชันของโลว์พาสฟิลเตอร์คือ  $\frac{(1+sT_1)}{(1+sT_2)}$  และ  $T_3$  กับ  $T_5$  เป็นค่าเวลาคงที่ของตัว

ชดเชย

เมื่อแปลงบล็อกไคอะแกรมในรูปที่ 4.4 ให้อยู่ในรูปที่ง่ายขึ้นโดยการยุบรูปที่ II จะได้ ทรานส์เฟอร์ฟังก์ชันของระบบปิดของรูปที่ II ดังแสดงในสมการที่ (4.9)

$$F\omega(s) = \frac{Kd_1 \frac{(1+sT_1)}{(1+sT_2)}}{1 + Kd_1 \frac{(1+sT_1) Ko_2}{(1+sT_2) s}}$$

(4.9)

$$F\omega(s) = \frac{s(1+sT_1)}{1 + \frac{s(1+T_1Kd_1Ko_2)}{Kd_1Ko_2} + \frac{s^2(T_2)}{Kd_1Ko_2}}$$

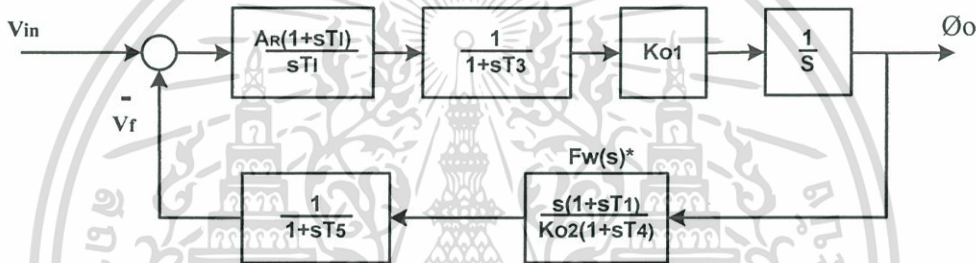
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (4.9) ในกรณีที่  $Kd_1Ko_2 \gg T_2$  สามารถเขียนใหม่ได้ดังสมการที่ (4.10)

$$F\omega(s)^* = \frac{s(1+sT_1)}{Ko_2(1+sT_4)} \quad (4.10)$$

$$\text{โดยที่ } T_4 = \left( \frac{1+T_1Kd_1Ko_2}{Kd_1Ko_2} \right)$$

ดังนั้นสามารถเขียนบล็อกไดอะแกรมในรูปที่ 4.4 ได้ใหม่เพื่อหาพารามิเตอร์ของตัวควบคุมดังแสดงในรูปที่ 4.5



รูปที่ 4.5 แสดงบล็อกไดอะแกรมของวิธีโอทีที่มีการป้อนกลับสองลูปหลังจากขุดลูปภายใน

ดังนั้นสามารถหาค่าพารามิเตอร์ของตัวควบคุมแบบพีไอได้ โดยใช้วิธีโมดูลัสสออปติมิ้มจากรูปที่ 4.5 โดยกำหนดให้  $T_1 = T_3$  และ  $Ko_1 = Ko_2$  สามารถหาทรานส์เฟอ์ฟังก์ชันระบบเปิดของวิธีโอทีที่มีการป้อนกลับสองลูปเพื่อให้สอดคล้องกับสมการที่ (3.14) ได้ดังสมการที่ (4.11)

$$F_O(s) = \frac{A_R(1+sT_1)}{sT_1} \cdot \frac{1}{(1+sT_4)} \cdot \frac{1}{(1+sT_5)} \quad (4.11)$$

ตัวควบคุมแบบพีไอที่ใช้ในรูปที่ 4.5 ใช้วิธีการชดเชยตัวหน่วงเวลาอันดับหนึ่งที่มีขนาดใหญ่ ดังนั้นเลือกใช้ค่าคงที่ในการอินทิเกรตสัญญาณ  $T_1$  มีค่าเท่ากับค่าคงที่ทางเวลาของตัวหน่วงเวลาอันดับหนึ่งคือ  $T_5$  ดังนั้นจะได้ ทรานส์เฟอ์ฟังก์ชันของระบบปิดดังสมการที่ (4.12)

$$\frac{Vf(s)}{Vin(s)} = F\omega(s) = \frac{A_R}{A_R + sT_1 + s^2T_1T_4} \quad (4.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

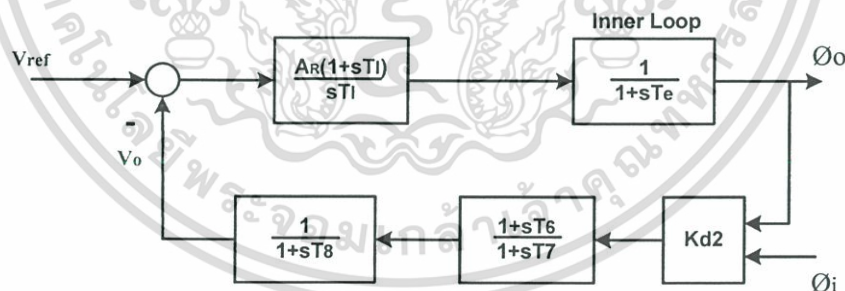
จากสมการที่ 4.12 สามารถหาพารามิเตอร์ของตัวควบคุมแบบพีไอโดยใช้สมการที่ (3.16) ได้คือ

$$T_I = T_5 \quad (4.13)$$

$$A_R = \frac{T_I}{2.T_4}$$

#### 4.4 การออกแบบตัวควบคุมสำหรับระบบเฟสล๊อคลูป

ระบบเฟสล๊อคที่สามารถควบคุมเฟสเอาต์พุตและช่วงเวลาในการล๊อคได้ มีโครงสร้างเหมือนกับรูปที่ 4.1 ดังที่ได้อธิบายไว้ในตอนต้น โดยจะประกอบด้วยวิธีโอที่มีการป้อนกลับสองลูปเป็นลูปภายใน, เฟสฟรีแควนซีดีเทคเตอร์, โลว์พาสฟิลเตอร์, ตัวชดเชยและตัวควบคุมแบบพีไอระบบเฟสล๊อคลูปจะมีอินพุตสองอินพุต อินพุตแรกคือความถี่อินพุต ซึ่งใช้สำหรับกำหนดความถี่เอาต์พุตของวิธีโอ อีกอินพุตคือแรงดันอินพุต ใช้สำหรับควบคุมเฟสของความถี่เอาต์พุตได้เป็นอิสระจากความถี่เอาต์พุตและควบคุมช่วงเวลาในการล๊อคจากรูปที่ 4.1 สามารถเขียนบล็อกไดอะแกรมของระบบเฟสล๊อคลูป โดยการแทนด้วยทรานส์เฟอร์ฟังก์ชันของแต่ละบล็อกเพื่อหาค่าพารามิเตอร์ของตัวควบคุมแบบพีไอได้ดังรูปที่ 4.6



รูปที่ 4.6 แสดงบล็อกไดอะแกรมของระบบเฟสล๊อคลูปแบบใหม่

เพื่อให้ง่ายต่อการออกแบบตัวควบคุม ทรานส์เฟอร์ฟังก์ชันของวิธีโอที่มีการป้อนกลับสองลูปจะลดรูปเหลือเป็น  $\frac{1}{1+sT_c}$  โดยที่  $T_c$  มีค่าเท่ากับ  $2.T_4$  (ตารางที่ 3.2) ดังนั้นสามารถหาค่าพารามิเตอร์

ของตัวควบคุมแบบพีไอได้โดยใช้วิธีซิมเมตริกคอลลอปติมันจากรูปที่ 4.6 โดยกำหนดให้ค่าเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คงที่  $T_6 = T_8$  สามารถหาทราจัสเฟอ์ฟังก์ชันของระบบเปิด เพื่อให้สอดคล้องกับสมการที่ (3.23) ได้ดังสมการที่ (4.14)

$$F_O(s) = \frac{A_R(1+sT_1)}{sT_1} \cdot \frac{1}{(1+sT_8)} \cdot \frac{1}{(1+sT_e)} \cdot K_{d2} \cdot \frac{(1+sT_6)}{(1+sT_7)} \quad (4.14)$$

ดังนั้นสามารถหาทราจัสเฟอ์ฟังก์ชันของระบบปิดได้ดังสมการที่ (4.15)

$$\frac{V_o(s)}{V_{ref}(s)} = F\omega(s) = \frac{A_R \cdot K_{d2} \cdot (1+sT_1)}{A_R \cdot K_{d2} + sT_1(A_R \cdot K_{d2} + 1) + s^2T_1(T_e + T_7) + s^3T_1T_eT_7} \quad (4.15)$$

จากสมการที่ (4.15) สามารถหาพารามิเตอร์ของตัวควบคุมแบบพีไอโดยใช้สมการที่ (3.35) ได้คือ

$$A_R \approx \frac{T_7}{2 \cdot K_{d2} \cdot T_e} \quad (4.16)$$

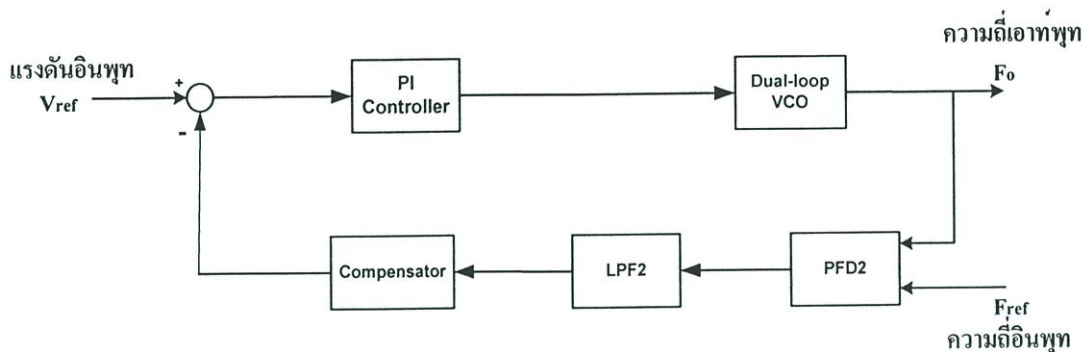
$$T_1 \approx 4 \cdot T_e \cdot \frac{T_7}{T_7 + 3 \cdot T_e}$$

#### 4.5 การทำงานของระบบเฟสลอคคูลูที่สามารควบคุมเฟสเอาต์พุทและช่วงเวลาในการลอคได้

ดังที่ได้อธิบายไว้ในตอนต้นถึงโครงสร้างของระบบเฟสลอคคูลูที่สามารควบคุมเฟสเอาต์พุทและช่วงเวลาในการลอคได้ดังแสดงในรูปที่ 4.1 ซึ่งจะอาศัยการปรับระดับแรงดันอินพุทเพื่อควบคุมเฟสเอาต์พุทรวมทั้งการปรับช่วงเวลาในการลอคจากอินพุทเดียวกัน ทำให้ระบบเฟสลอคคูลูมีการทำงานสองเงื่อนไขคือ ขณะที่มีการปรับช่วงเวลาในการลอค และขณะที่มีการปรับเฟสเอาต์พุท ดังนั้นการอธิบายการทำงานของระบบเฟสลอคคูลูจะแบ่งเป็นสองกรณี

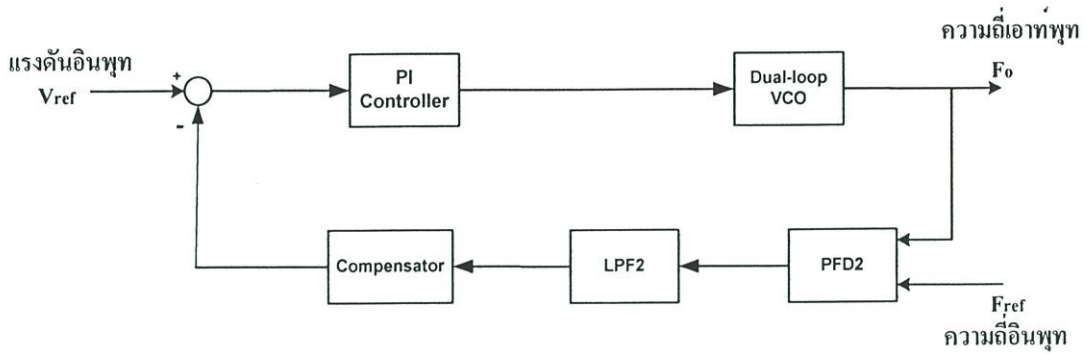
##### 4.5.1 การทำงานของระบบเฟสลอคคูลูในสภาวะการปรับช่วงเวลาในการลอค

โครงสร้างของระบบเฟสลอคคูลูในสภาวะการปรับช่วงเวลาในการลอคแสดงดังรูปที่ 4.7



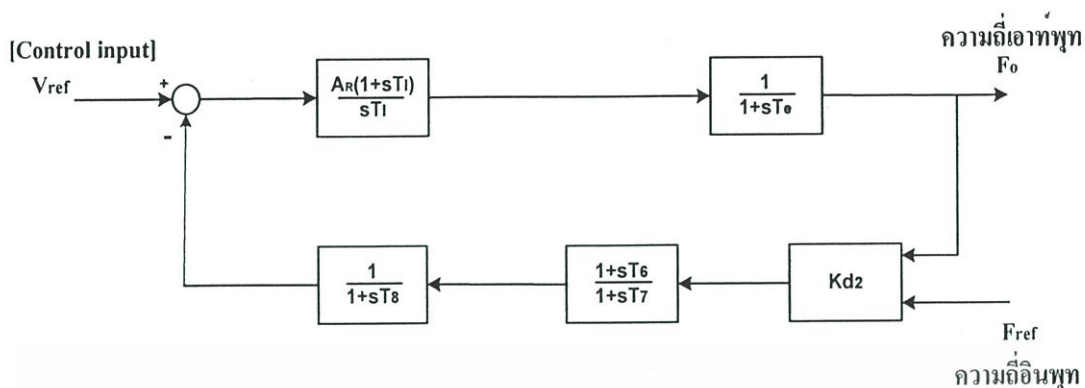
รูปที่ 4.7 แสดง โครงสร้างของระบบเฟสล็อกคูลูปในสภาวะการปรับช่วงเวลาในการล็อก

การปรับช่วงเวลาในการล็อก สามารถปรับได้ โดยการควบคุมแรงดันอินพุตของระบบเฟสล็อกคูลูป ซึ่งการเปลี่ยนแปลงระหว่างแรงดันอินพุตกับช่วงเวลาในการล็อกจะมีความสัมพันธ์ที่เป็นสัดส่วนผกผันกันคือเมื่อ เพิ่มระดับแรงดันอินพุต จะมีผลทำให้ช่วงเวลาในการล็อกของระบบเฟสล็อกคูลูปน้อยลง หรือทำให้ล็อกเร็วขึ้น ในทางตรงกันข้ามถ้าลดระดับแรงดันอินพุตจะมีผลทำให้ช่วงเวลาในการล็อกของระบบเฟสล็อกคูลูปเพิ่มขึ้นหรือทำให้ล็อกช้าลง การปรับระดับแรงดันอินพุตจะเปรียบเสมือนการปรับค่าอัตราขยายของระบบเฟสล็อกคูลูป ซึ่งจะแสดงให้เห็นโดยใช้ผลการทดลองที่ได้จากการซิมูเลชัน โดยจะทำการปรับระดับแรงดันอินพุตของระบบเฟสล็อกคูลูป เพื่อดูช่วงเวลาในการล็อกเปรียบเทียบกับระบบเฟสล็อกคูลูปที่มีระดับแรงดันอินพุตคงที่ แต่มีการปรับค่าอัตราขยายของระบบ รายละเอียดของวงจรที่ใช้จำลองแสดงในภาคผนวก ข.

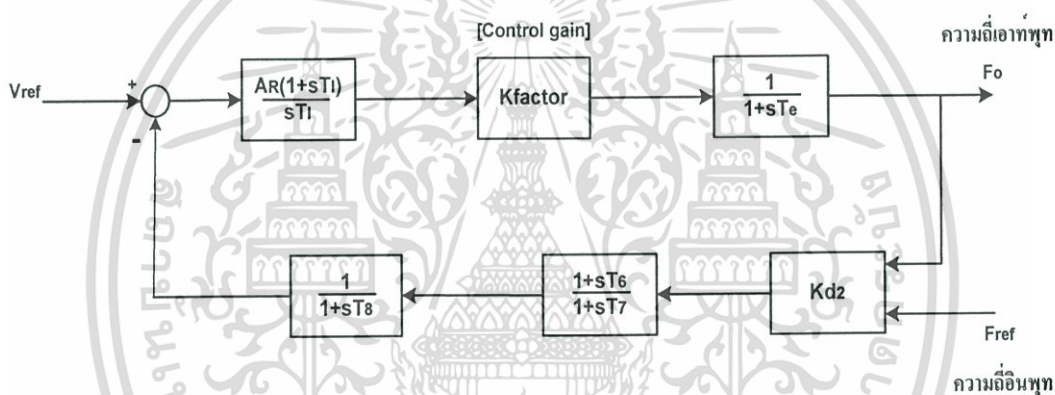


รูปที่ 4.7 แสดงโครงสร้างของระบบเฟสล็อกคูลูปในสภาวะการปรับช่วงเวลาในการล็อก

การปรับช่วงเวลาในการล็อก สามารถปรับได้โดยการควบคุมแรงดันอินพุตของระบบเฟสล็อกคูลูป ซึ่งการเปลี่ยนแปลงระหว่างแรงดันอินพุตกับช่วงเวลาในการล็อกจะมีความสัมพันธ์ที่เป็นสัดส่วนผกผันกันคือเมื่อ เพิ่มระดับแรงดันอินพุต จะมีผลทำให้ช่วงเวลาในการล็อกของระบบเฟสล็อกคูลูปน้อยลง หรือทำให้ล็อกเร็วขึ้น ในทางตรงกันข้ามถ้าลดระดับแรงดันอินพุตจะมีผลทำให้ช่วงเวลาในการล็อกของระบบเฟสล็อกคูลูปเพิ่มขึ้นหรือทำให้ล็อกช้าลง การปรับระดับแรงดันอินพุตจะเปรียบเสมือนการปรับค่าอัตราขยายของระบบเฟสล็อกคูลูป ซึ่งจะแสดงให้เห็นโดยใช้ผลการทดลองที่ได้จากการซิมูเลชัน โดยจะทำการปรับระดับแรงดันอินพุตของระบบเฟสล็อกคูลูป เพื่อดูช่วงเวลาในการล็อกเปรียบเทียบกับระบบเฟสล็อกคูลูปที่มีระดับแรงดันอินพุตคงที่ แต่มีการปรับค่าอัตราขยายของระบบ รายละเอียดของวงจรที่ใช้จำลองแสดงในภาคผนวก ข.



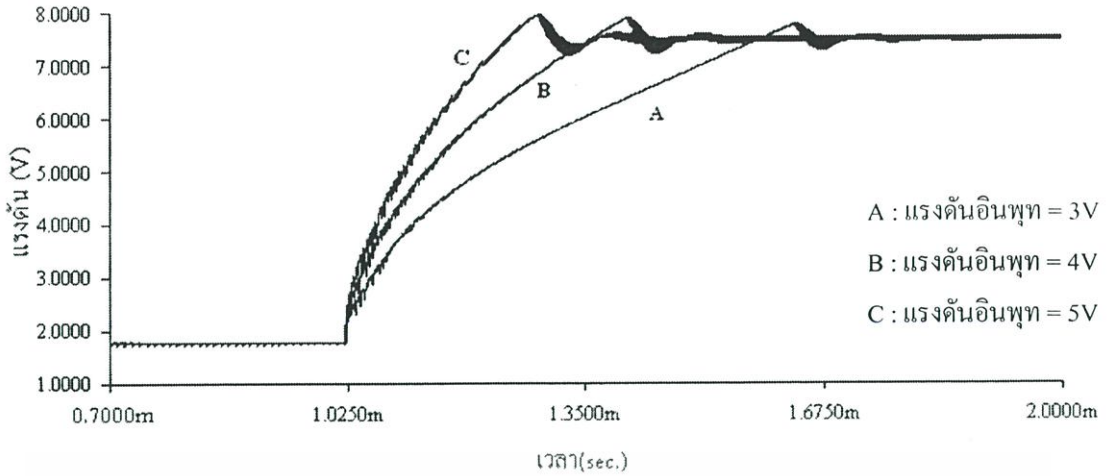
ก. ระบบเฟสล็อกคูล์ปที่มีการปรับระดับแรงดันอินพุต



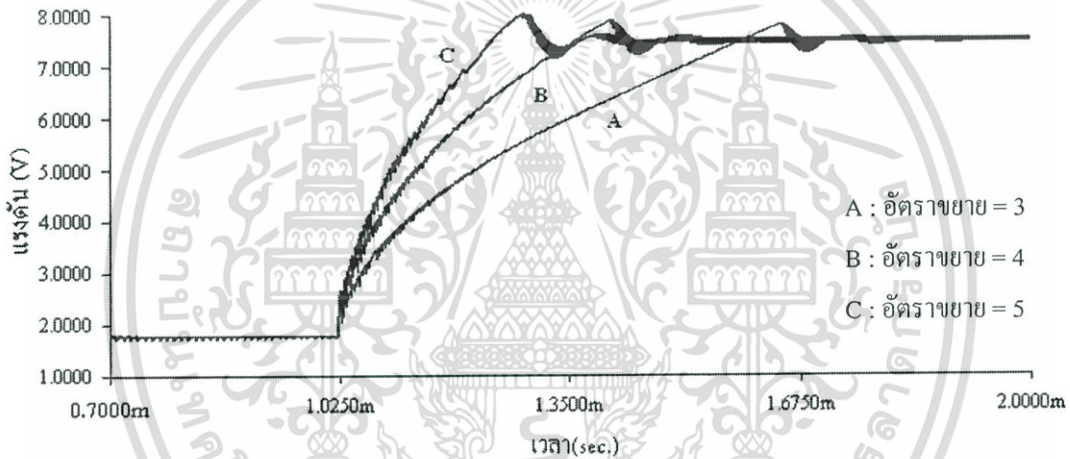
ข. ระบบเฟสล็อกคูล์ปที่มีการปรับค่าอัตราขยายของระบบ

รูปที่ 4.8 แสดงโครงสร้างของระบบเฟสล็อกคูล์ปที่ใช้ทดลองในสภาวะการปรับช่วงเวลาในการถือค

รูปที่ 4.8 แสดงโครงสร้างของระบบเฟสล็อกคูล์ปที่มีการปรับระดับแรงดันอินพุต กับระบบเฟสล็อกคูล์ปที่มีระดับแรงดันอินพุตคงที่แต่มีการปรับค่าอัตราขยายของระบบ โดยผลการทดลองที่ได้แสดงในรูปที่ 4.9



ก.ระบบเฟสล็คคูลูปที่มีการปรับระดับแรงดันอินพุต



ข.ระบบเฟสล็คคูลูปที่มีการปรับค่าอัตราขยายของระบบ

รูปที่ 4.9 แสดงการปรับช่วงเวลาในการล๊อคของระบบเฟสล็คคูลูปโดยการปรับระดับแรงดันอินพุตเปรียบเทียบกับ การปรับค่าอัตราขยายที่แรงดันอินพุตคงที่

ตารางที่ 4.1 และตารางที่ 4.2 แสดงช่วงเวลาในการล๊อคของระบบเฟสล็คคูลูปที่ได้จากการทดลองปรับระดับแรงดันอินพุตเปรียบเทียบกับ การปรับค่าอัตราขยายของระบบ

ตารางที่ 4.1 แสดงการปรับช่วงเวลาในการล๊อคโดยการปรับระดับแรงดันอินพุต

แรงดันอินพุต (V)	1	1.5	2	2.5	3	3.5	4	4.5	5
เวลาในการล๊อค ( $\mu s$ )	2300	1850	1400	1150	900	700	500	350	200

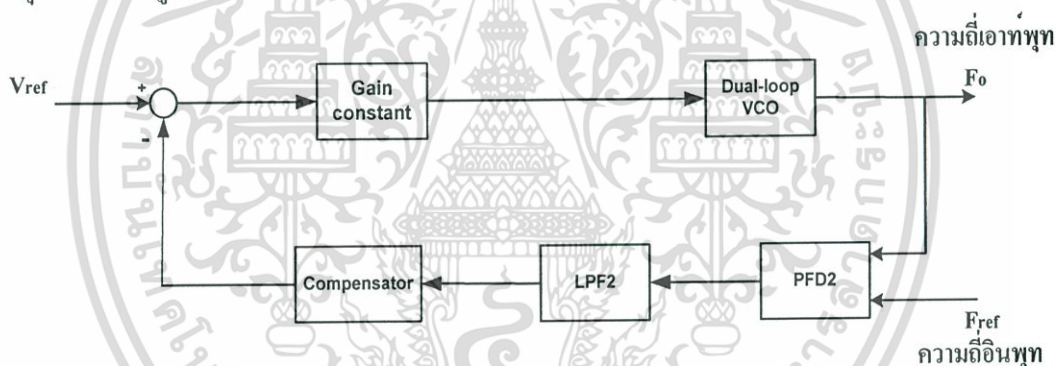
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 แสดงการปรับช่วงเวลาในการล๊อคโดยการปรับค่าอัตราขยายของระบบ

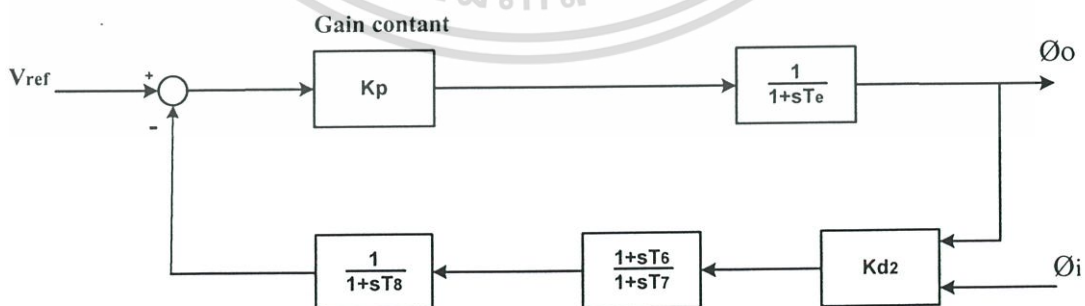
อัตราขยาย (K)	1	1.5	2	2.5	3	3.5	4	4.5	5
เวลาในการล๊อค ( $\mu s$ )	2300	1850	1400	1150	900	700	500	350	200

#### 4.5.2 การทำงานของระบบเฟสล๊อคคูลูปในสภาวะการปรับเฟสเอาท์พุท

ตามที่ได้อธิบายไว้ในตอนต้นแล้วว่า ระบบเฟสล๊อคสามารถปรับช่วงเวลาในการล๊อคและเฟสเอาท์พุทได้โดยการปรับระดับแรงดันอินพุทที่อินพุทเดียวกัน การทำงานของระบบเฟสล๊อคคูลูปในสภาวะการปรับเฟสเอาท์พุทจะเกิดขึ้นหลังจากสภาวะการปรับช่วงเวลาในการล๊อค นั่นคือเมื่อมีการปรับระดับแรงดันอินพุทจนถึงระดับหนึ่งหรือประมาณครึ่งหนึ่งของระดับแรงดันอินพุทจะมีผลทำให้ตัวควบคุมแบบโอเวอร์ไดรฟ์ (overdrive) ทำให้ตัวควบคุมแบบพีไอทำงานเปรียบเสมือนเป็นค่าอัตราขยายคงที่ จากนั้นเมื่อมีการปรับระดับแรงดันอินพุท เฟสฟรีเควนซีดีเทคเตอร์จะสร้างแรงดันตามการเปลี่ยนแปลงของระดับสัญญาณอินพุท ทำให้เฟสของสัญญาณเอาท์พุทมีการเปลี่ยนแปลงโดยที่ความถี่มีค่าคงที่ โครงสร้างของระบบเฟสล๊อคคูลูปในสภาวะการปรับเฟสเอาท์พุทแสดงในรูปที่ 4.10



ก. โครงสร้างของระบบเฟสล๊อคคูลูปในสภาวะการปรับเฟสเอาท์พุท



ข. บล็อกไดอะแกรมของระบบเฟสล๊อคคูลูปในสภาวะการปรับเฟสเอาท์พุท

#### รูปที่ 4.10 แสดงโครงสร้างของระบบเฟสล๊อคคูลูปในสภาวะการปรับเฟสเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาให้เฟสของสัญญาณความถี่อินพุตมีค่าเป็นศูนย์ในขณะที่เฟสของสัญญาณความถี่อินพุตมีค่าเท่ากับเฟสของสัญญาณความถี่เอาต์พุต หรือเฟสของสัญญาณเอาต์พุตไม่มีการเปลี่ยนแปลง สามารถหาความสัมพันธ์ระหว่างเฟสของสัญญาณเอาต์พุตกับระดับแรงดันอินพุตได้คือ

$$\frac{\theta_O(s)}{V_{ref}(s)} = \frac{K_p \cdot \frac{1}{(1+sT_c)}}{1 + \frac{K_p}{(1+sT_c)} \cdot \frac{1}{(1+sT_6)} \cdot \frac{K_{d2}}{(1+sT_7)(1+sT_8)}} \quad (4.17)$$

$$\frac{\theta_O(s)}{V_{ref}(s)} = \frac{K_p \cdot (1+sT_7)}{s^2 T_c T_7 + s(T_7 + T_c) + (1 + K_p \cdot K_{d2})}$$

จากสมการที่ 4.17 เมื่อพิจารณาเฟสของสัญญาณเอาต์พุตที่สถานะสงบนิ่ง นั่นคือ

$$\frac{\theta_O(s)}{V_{ref}(s)} = \frac{K_p}{1 + K_p \cdot K_{d2}} \approx \frac{1}{K_{d2}} \quad (4.18)$$

โดยที่  $K_p \cdot K_{d2} \gg 1$

$$\theta_O(s) = \frac{1}{K_{d2}} \cdot V_{ref} \quad (rad) \quad (4.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

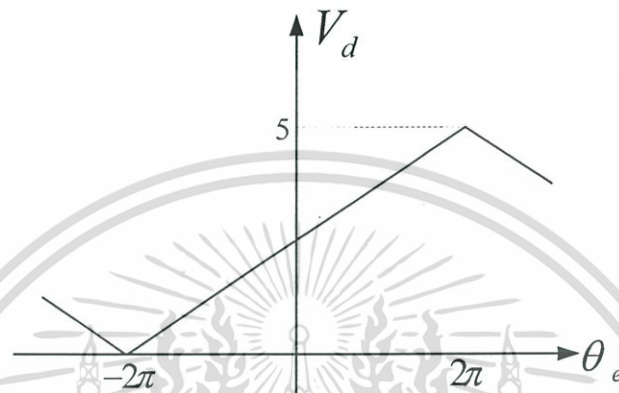
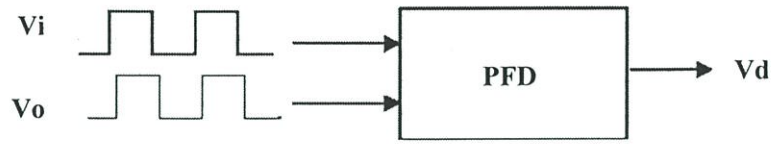
## บทที่ 5

### การทดลอง

ในบทนี้จะกล่าวถึงการหาค่าพารามิเตอร์ต่างๆของเฟสล็คคูลูปเพื่อหาฟังก์ชันถ่ายโอนของระบบ ซึ่งจะนำไปสู่การออกแบบตัวควบคุมสำหรับวิธีโอที่มีการป้อนกลับสองลูปกับระบบเฟสล็คคูลูปที่สามารถปรับเฟสเอาท์พุทและช่วงเวลาในการล็ค ด้วยวิธีโมดูลัสออปติมัม และวิธีซิมเมตริกคอลลอปติมัม หลังจากนั้นจะนำตัวควบคุมที่ได้ไปทดสอบระบบ โดยจะนำตัวควบคุมที่ออกแบบมาควบคุมวิธีโอที่มีการป้อนกลับสองลูป และระบบเฟสล็คคูลูปที่สามารถปรับเฟสเอาท์พุทและช่วงเวลาในการล็คในวงจรถจริง โดยมีขั้นตอนในการทดลองดังนี้ ขั้นตอนแรกทดสอบในส่วนของวิธีโอที่มีการป้อนกลับสองลูป ซึ่งจะประกอบไปด้วยการทดสอบผลตอบสนองของระบบวงปิดเมื่อกำหนดอินพุทของวิธีโอเป็นแบบขั้นและทดสอบการกำจัดผลกระทบจากสัญญาณรบกวนที่เกิดจากวิธีโอ ขั้นตอนที่สองทดสอบในส่วนของระบบเฟสล็คคูลูปที่มีการปรับเฟสเอาท์พุทและช่วงเวลาในการล็ค ซึ่งประกอบไปด้วยการทดสอบการปรับช่วงเวลาในการล็คและการปรับเฟสเอาท์พุท และขั้นตอนที่สามทดสอบการกำจัดผลกระทบจากการเปลี่ยนแปลงค่าแหล่งจ่ายของวิธีโอที่มีการป้อนกลับสองลูปและการทดสอบผลตอบสนองในช่วงรอยต่อระหว่างการปรับเฟสเอาท์พุทและช่วงเวลาในการล็คของระบบเฟสล็คคูลูป สำหรับไอซีที่ใช้ทดลองเป็น ไอซีเฟสล็คคูลูปเบอร์ 4046 และ LF353 สำหรับออปแอมป์

#### 5.1 พารามิเตอร์ของเฟสล็คคูลูป

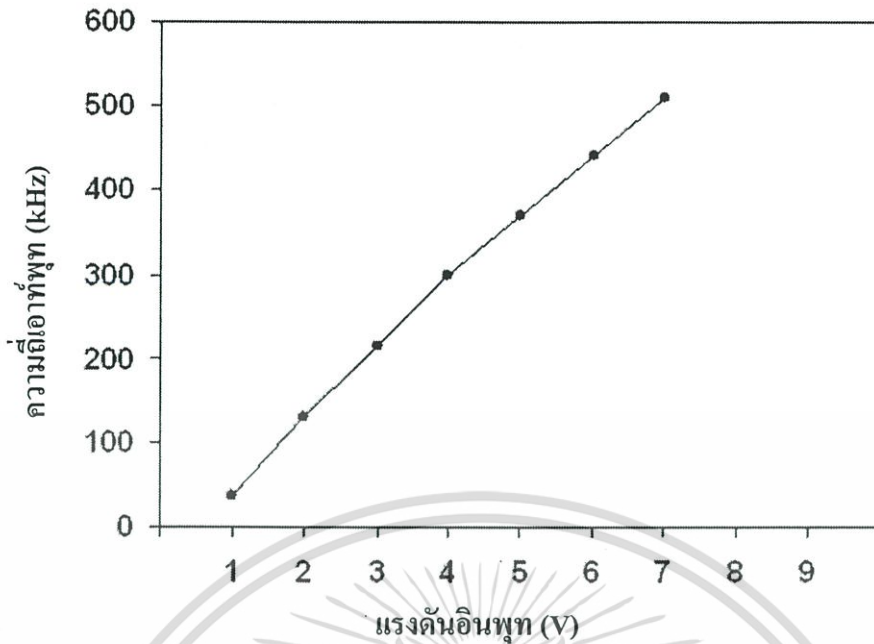
การหาพารามิเตอร์  $K_d$  และ  $K_o$  ของเฟสล็คคูลูปจะใช้วิธีที่ได้อธิบายไว้ในบทที่สอง เมื่อทดลองป้อนสัญญาณ  $V_i$  และ  $V_o$  ให้กับวงจรเฟสฟรีแควนซีดีเทคเตอร์เพื่อให้งจรถูกระงับจากขอบขาขึ้นของสัญญาณอินพุททั้งสอง จะได้เอาท์พุทของวงจรเฟสฟรีแควนซีดีเทคเตอร์ที่มีค่าความคลาดเคลื่อนเฟสต่างๆกันดังรูปที่ 5.1



รูปที่ 5.1 แสดงคุณสมบัติของวงจรเฟสฟรีควเอนซีดีเทคเตอร์

รูปที่ 5.1 เป็นกราฟแสดงคุณสมบัติของวงจรเฟสฟรีควเอนซีดีเทคเตอร์ระหว่างค่าความคลาดเคลื่อนเฟสกับค่าเฉลี่ยของแรงดันเอาต์พุต โดยให้ช่วงคุณสมบัติของวงจรที่เป็นเชิงเส้นได้ไม่เกิน  $\pm 2\pi$  เรเดียน ดังนั้นจะได้ค่าอัตราขยายของวงจรเฟสฟรีควเอนซีดีเทคเตอร์  $K_d = \frac{5}{4\pi} = 0.398 \text{ V/rad}$ .

ในการทำงานเดียวกันเมื่อป้อนแรงดันอินพุต  $V_c$  ให้กับวีซีโอโดยแปรค่าตั้งแต่ 1-7V ความถี่เอาต์พุตของวีซีโอจะอยู่ในช่วง 38-510.2 kHz ดังแสดงในรูปที่ 5.2 ความถี่เอาต์พุตของวีซีโอเมื่อมีการเปลี่ยนแปลงระดับแรงดันอินพุตแสดงดังตารางที่ 5.1



รูปที่ 5.2 แสดงกราฟคุณลักษณะของวีซีโอในช่วงที่เป็นเชิงเส้น

ตารางที่ 5.1 แสดงความถี่เอาต์พุตของวีซีโอ

แรงดันอินพุต(V)	1	2	3	4	5	6	7
ความถี่เอาต์พุต(kHz)	38.0	130.6	215.4	300.0	370.0	440.0	510.2

รูปที่ 5.2 แสดงกราฟคุณลักษณะของวีซีโอระหว่างค่าแรงดันอินพุตกับความถี่เอาต์พุต ดังนั้น

สามารถหาค่าอัตราขยายคงที่ของวีซีโอ  $K_o = \frac{2\pi \cdot (510k - 38k)}{7 - 1} = 494.486k\text{Hz}/V$

จากนั้นนำค่า  $K_d$  และ  $K_o$  ที่ได้ไปคำนวณหาค่าพารามิเตอร์ของถด-เลก โลว์พาสฟิลเตอร์ โดยใช้สมการที่ (4.8) เมื่อกำหนดให้ค่า  $R_1 = 27\text{ k}\Omega$  และค่า  $C = 0.1\ \mu\text{F}$  จะได้ค่า  $R_2 \approx 2\text{ k}\Omega$

## 5.2 พารามิเตอร์ของตัวควบคุมแบบพีไอสำหรับวีซีโอที่มีการป้อนกลับสองขั้ว

การหาพารามิเตอร์ของตัวควบคุมแบบพีไอสำหรับวีซีโอที่มีการป้อนกลับสองขั้ว จะใช้วิธีที่ได้อธิบายไว้ในบทที่สี่ พารามิเตอร์ของเฟสลีสถิตที่ใช้ในการหาฟังก์ชันถ่ายโอนของระบบและที่ใช้ในการออกแบบตัวควบคุมแสดงดังตารางที่ 5.2 จากขั้นตอนการออกแบบพารามิเตอร์ของตัวควบคุมด้วยวิธีโมดูลัสออปติมัม (4.13) จะได้พารามิเตอร์ของตัวควบคุมแบบพีไอ  $A_R = 0.25$  และ  $T_i = 0.0001$

ตารางที่ 5.2 พารามิเตอร์ของเฟสล็อคลูปที่ใช้ในการออกแบบตัวควบคุมสำหรับวิธีโอทีมีการ  
ป้อนกลับสองลูป

อัตราขยายคงที่ของวิธีโอ $K_{o1}$	494.486 kHz /V
อัตราขยายคงที่ของวิธีโอ $K_{o2}$	494.486 kHz /V
อัตราขยายคงที่ของเฟสฟรีควเอนซ์ดีเทคเตอร์ $K_{d1}$	0.398V/rad.
ค่าเวลาคงที่ของลีด-แลคโวล์พาสฟิลเตอร์ $T_1$	0.0002sec.
ค่าเวลาคงที่ของลีด-แลคโวล์พาสฟิลเตอร์ $T_2$	0.0029sec.
ค่าเวลาคงที่ของตัวชดเชย $T_3$	0.0002sec.
ค่าเวลาคงที่ของตัวชดเชย $T_5$	0.0001sec.

จากตารางที่ 5.2 จะมีพารามิเตอร์ที่เพิ่มขึ้นมาคือค่าเวลาคงที่ของตัวชดเชย  $T_3$  เพื่อให้ทรานส์เฟอร์ฟังก์ชันของระบบควบคุมแบบปิดของวิธีโอทีมีการป้อนกลับสองลูป ที่จะออกแบบโดยใช้วิธีโมดูลัสออปติมิซมีมีรูปแบบเหมือนกับสมการที่ (3.2) โดยกำหนดให้มีค่าเท่ากับ  $T_1$  และค่าเวลาคงที่ของตัวชดเชย  $T_5$  ที่เป็นวงจรกรองความถี่ต่ำอันดับหนึ่งแบบ R-C เพื่อกำจัดริบเบิลที่ผ่านวงจรลีด-แลคโวล์พาสฟิลเตอร์ โดยทั่วไปจะใช้ค่า C ที่มีค่าน้อยกว่าค่า C ของวงจรลีด-แลคโวล์พาสฟิลเตอร์ ประมาณสิบเท่า [7]

### 5.3 พารามิเตอร์ของตัวควบคุมแบบพีไอสำหรับระบบเฟสล็อคลูปที่สามารถปรับเฟสเอาท์พุทและช่วงเวลาในการลอคได้

ในทำนองเดียวกันพารามิเตอร์ที่ใช้ในการหาฟังก์ชันถ่ายโอนของระบบ และที่ใช้ในการออกแบบตัวควบคุมสำหรับระบบเฟสล็อคลูปที่สามารถปรับเฟสเอาท์พุท และช่วงเวลาในการลอคได้แสดงดังตารางที่ 5.3

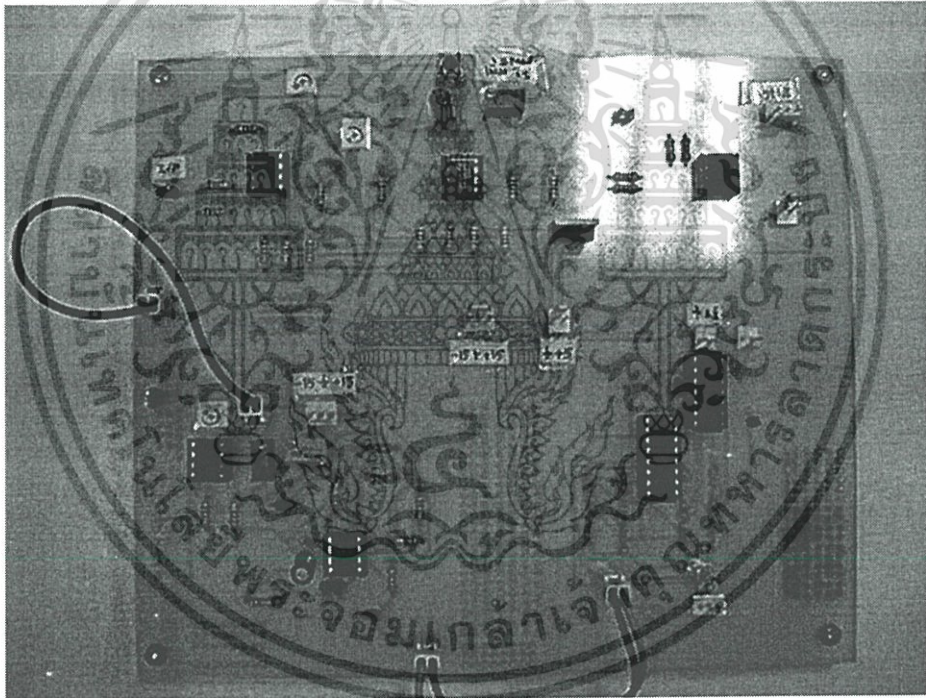
ตารางที่ 5.3 พารามิเตอร์ของเฟสล็อคลูปที่ใช้ในการออกแบบตัวควบคุมสำหรับระบบเฟสล็อคลูปที่  
สามารถปรับเฟสเอาท์พุทและช่วงเวลาในการลอคได้

อัตราขยายคงที่ของเฟสฟรีควเอนซ์ดีเทคเตอร์ $K_{d2}$	0.398V/rad.
ค่าเวลาคงที่ในการประมาณค่าเป็นตัวหน่วงเวลาอันดับหนึ่งของวิธีโอ $T_c$	0.0004sec.
ค่าเวลาคงที่ของลีด-แลคโวล์พาสฟิลเตอร์ $T_6$	0.0002sec.
ค่าเวลาคงที่ของลีด-แลคโวล์พาสฟิลเตอร์ $T_7$	0.0029sec.
ค่าเวลาคงที่ของตัวชดเชย $T_8$	0.0002sec.

จากขั้นตอนการออกแบบพารามิเตอร์ของตัวควบคุมด้วยวิธีซิมเมตริกคอลลอปติ่ม (4.16) ที่ได้อธิบายในบทที่สี่จะได้พารามิเตอร์ของตัวควบคุมแบบพีไอ  $A_r = 9$  และ  $T_i = 0.0011$

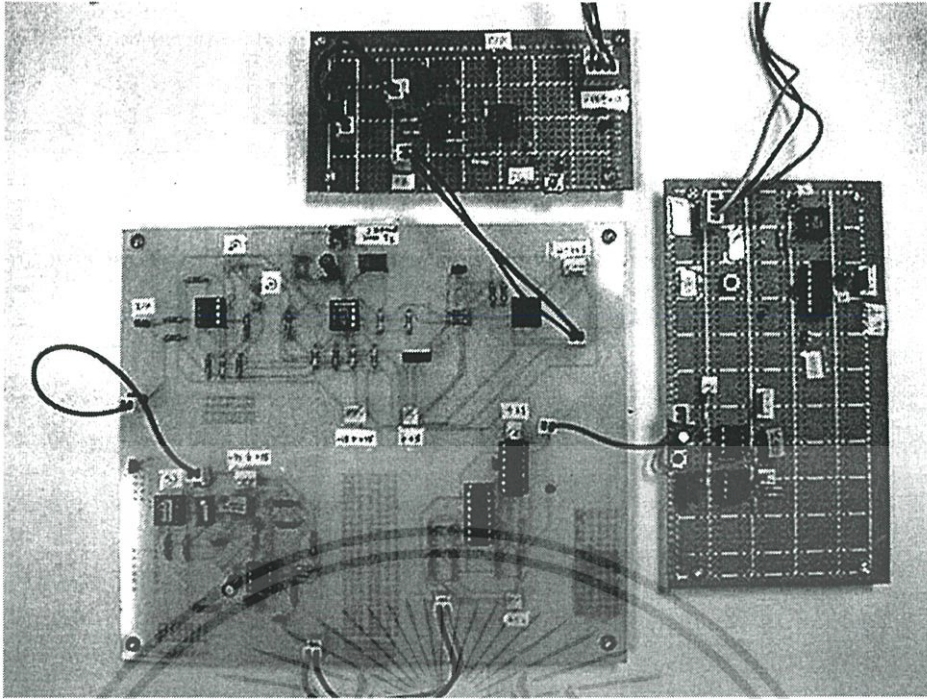
#### 5.4 ผลการทดลอง

หลังจากที่ได้ออกแบบวิธีโอที่มีการป้อนกลับสองรูปและระบบเฟสล็อกคูลูที่สามารถปรับเฟสเอ้าท์พุทและช่วงเวลาในการถือคได้ โดยใช้ตัวควบคุมแบบพีไอที่ออกแบบด้วยวิธีโมดูลัสออปติ่มและซิมเมตริกคอลลอปติ่มแล้ว อันดับต่อไปจะนำวงจรดังกล่าวมาต่อจริงในห้องทดลอง ภาพถ่ายของวงจรในห้องทดลองแสดงดังรูปที่ 5.3 โดยรายละเอียด ของวงจรที่ใช้ทดลองแสดงในภาคผนวก ก.

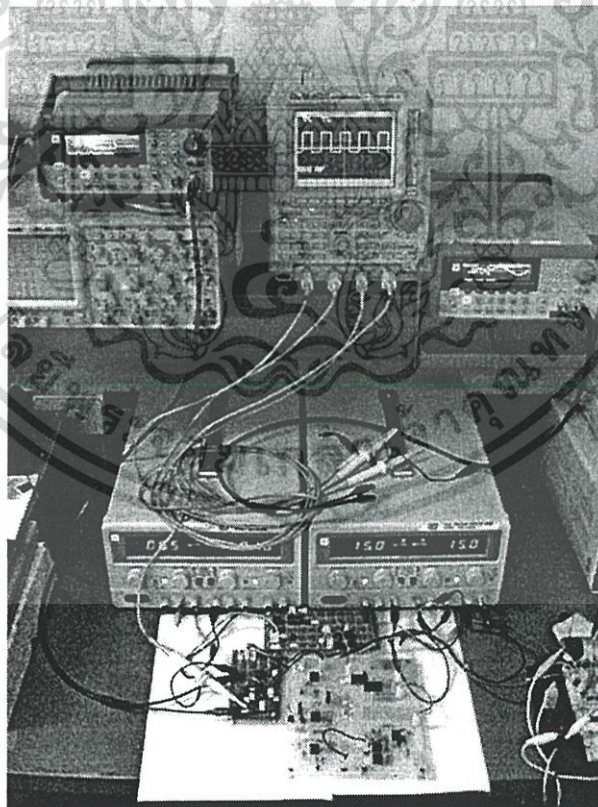


ก.ภาพถ่ายของวิธีโอที่มีการป้อนกลับสองรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ข. ภาพถ่ายของระบบเฟสล็อคคูลูปที่สามารถปรับเฟสเอาท์พุทและช่วงเวลาในการลอคได้



ค. ห้องทดลอง

รูปที่ 5.3 แสดงภาพถ่ายของวงจรที่ใช้ทดลอง

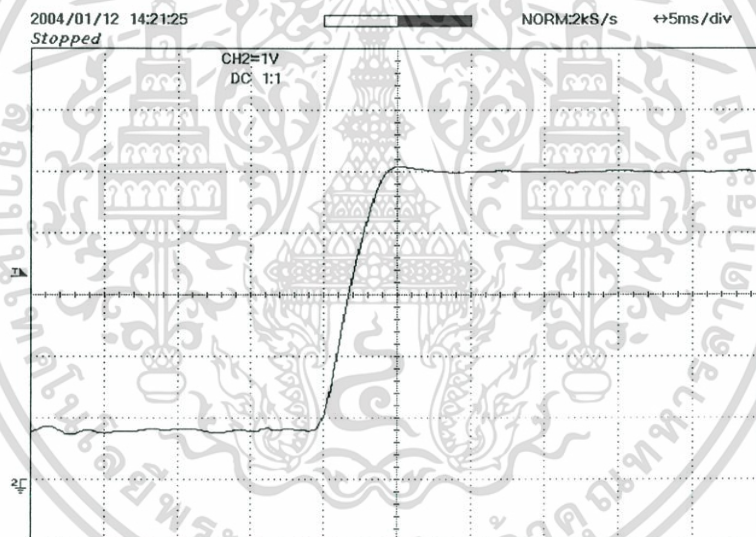
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 5.4.1 วิชชีโอที่มีการป้อนกลับสองลูป

การทดสอบวิชชีโอที่มีการป้อนกลับสองลูปมีขั้นตอนในการทดสอบคือ ขั้นตอนแรกทดสอบผลตอบสนองของวิชชีโอที่มีการป้อนกลับสองลูป และขั้นตอนที่สองทดสอบการกำจัดผลกระทบจากสัญญาณรบกวนที่เกิดจากวิชชีโอ

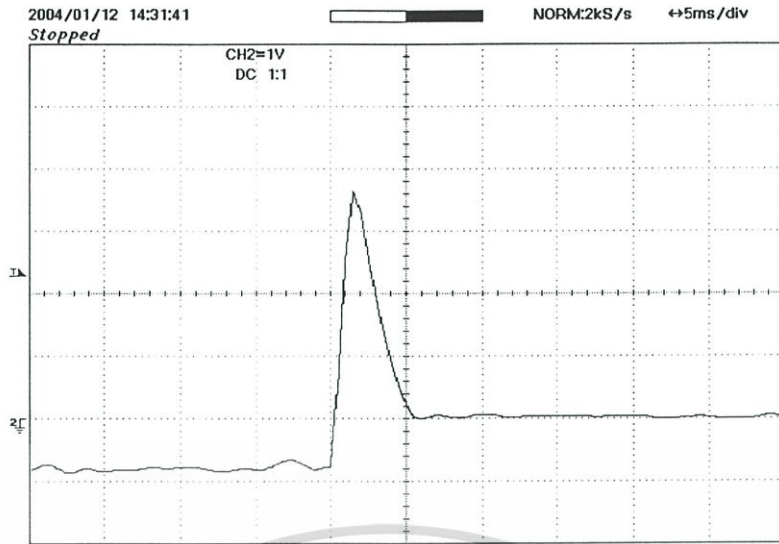
##### 5.4.1.1 ผลตอบสนองของวิชชีโอที่มีการป้อนกลับสองลูป

การทดลองการควบคุมวิชชีโอที่มีการป้อนกลับสองลูปเมื่อป้อนอินพุทแบบขั้น มีจุดประสงค์เพื่อต้องการทดสอบตัวควบคุมที่ใช้ควบคุมระบบ ว่ามีประสิทธิภาพในการติดตามสัญญาณอ้างอิงแบบขั้นหรือไม่ การทดลองจะป้อนแรงดันอินพุท 5V ให้ความถี่เอาต์พุทของวิชชีโอเท่ากับ 277.8 kHz ผลตอบสนองของวิชชีโอที่มีการป้อนกลับสองลูปเมื่อป้อนอินพุทแบบขั้นแสดงดังรูปที่ 5.4, สัญญาณค่าผิดพลาดแสดงดังรูปที่ 5.5 และความถี่เอาต์พุทแสดงดังรูปที่ 5.6

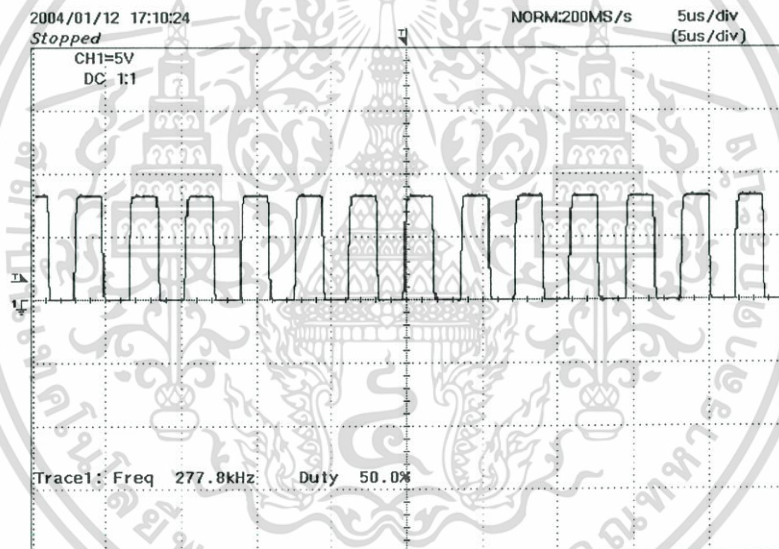


รูปที่ 5.4 แสดงผลตอบสนองของวิชชีโอที่มีการป้อนกลับสองลูปเมื่อป้อนอินพุทแบบขั้น

จากรูปที่ 5.4 พบว่าตัวควบคุมแบบพีไอสามารถควบคุมวิชชีโอที่มีการป้อนกลับสองลูปได้โดยไม่มีค่าผิดพลาดที่สถานะอยู่ตัว และมีช่วงเวลาเข้าที่เท่ากับ 8.5 ms



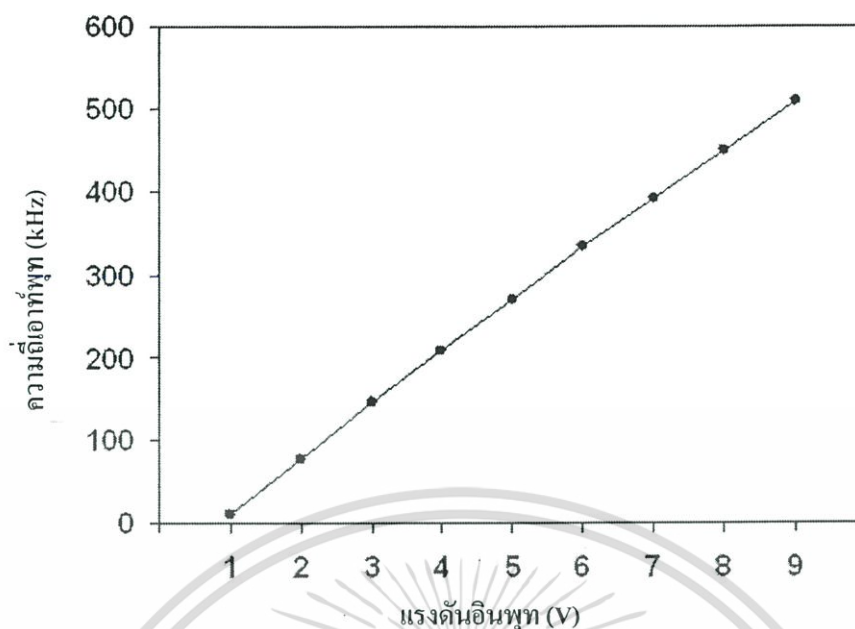
รูปที่ 5.5 สัญญาณค่าผิดพลาด



รูปที่ 5.6 แสดงความถี่เอาต์พุตของวีซีโอที่มีการป้อนกลับสองลูป

ความถี่เอาต์พุตของวีซีโอที่มีการป้อนกลับสองลูปเมื่อการเปลี่ยนแปลงระดับแรงดันอินพุตแสดงดังรูปที่ 5.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



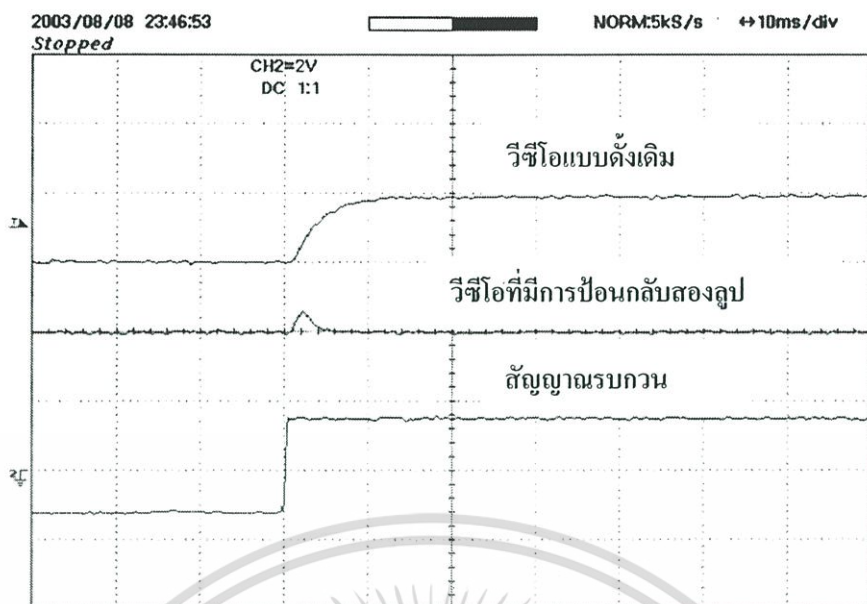
รูปที่ 5.7 แสดงกราฟคุณลักษณะของวีซีโอที่มีการป้อนกลับสองลูป

ตารางที่ 5.4 แสดงความถี่เอาต์พุตของวีซีโอที่ได้จากการทดลอง

แรงดันอินพุต(V)	1	2	3	4	5	6	7	8	9
ความถี่เอาต์พุต(kHz)	10.0	77.5	146.1	208.3	277.8	333.3	389.5	449.0	510.2

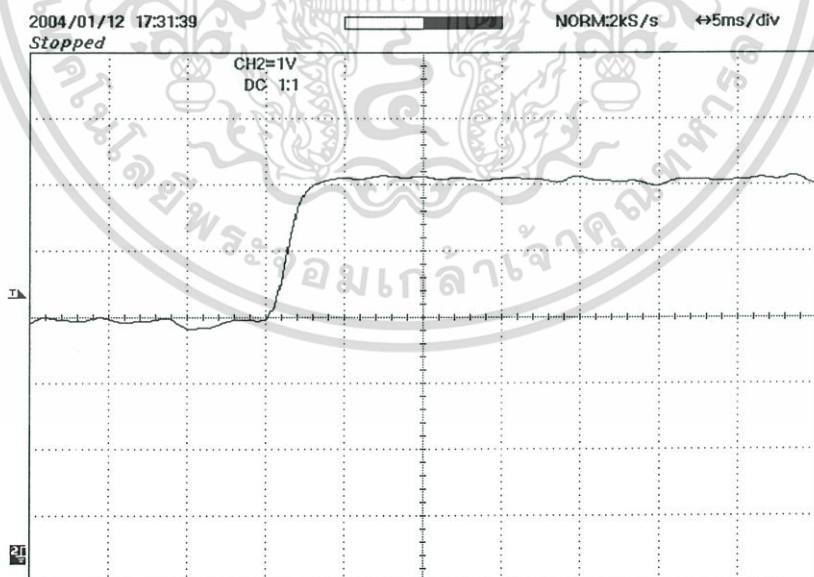
#### 5.4.1.2 การกำจัดผลกระทบจากสัญญาณรบกวนที่เกิดจากวีซีโอ

การทดลองการกำจัดผลกระทบจากสัญญาณรบกวนที่เกิดจากวีซีโอ ทำได้โดยป้อนสัญญาณรบกวนที่เป็นแรงดันดีซี และเอซี เข้าไปที่อินพุตของวีซีโอ ในการทดลองจะเพิ่มขนาดและความถี่ของสัญญาณรบกวน เพื่อดูว่ามีผลกระทบอย่างไร กับความถี่เอาต์พุตของวีซีโอ โดยผลตอบสนองของระบบต่อสัญญาณรบกวนที่เป็นแรงดันดีซี สัญญาณควมคุม สัญญาณค่าผิดพลาด และความถี่เอาต์พุตของวีซีโอที่มีการป้อนกลับสองลูป แสดงดังรูปที่ 5.8, 5.9, 5.10 และ 5.11 ตามลำดับ



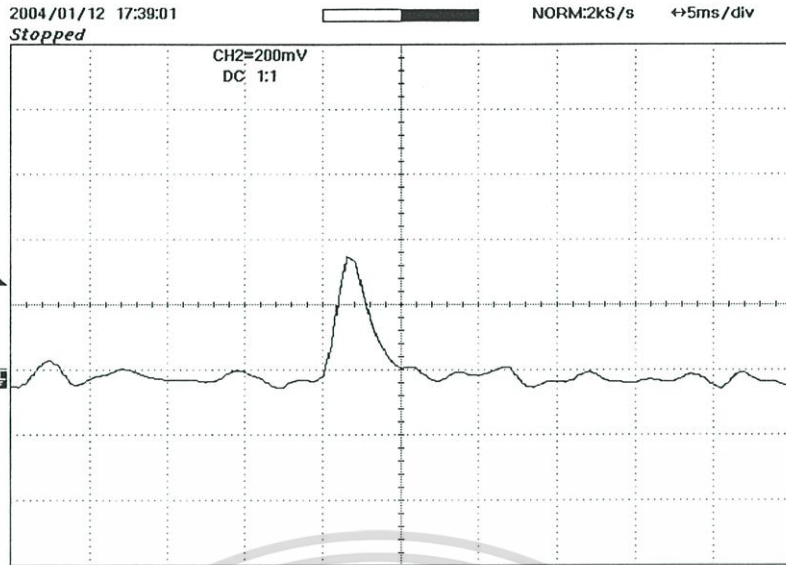
รูปที่ 5.8 แสดงผลตอบสนองของระบบเมื่อมีสัญญาณรบกวนที่เป็นแรงดัน

รูปที่ 5.8 แสดงผลตอบสนองของวิธีโอบที่มีการป้อนกลับสองลูปที่ความถี่  $300\text{ kHz}$  เมื่อมีสัญญาณรบกวนที่เป็นแรงดันคี่ขนาด  $2.5\text{ V}$  เข้าที่อินพุทของวิธีโอบ พบว่าตัวควบคุมแบบพีไอสามารถควบคุมให้ผลตอบสนองของระบบกลับเข้าสู่สัญญาณอ้างอิงได้โดยไม่มีค่าผิดพลาดที่สถานะอยู่ตัว

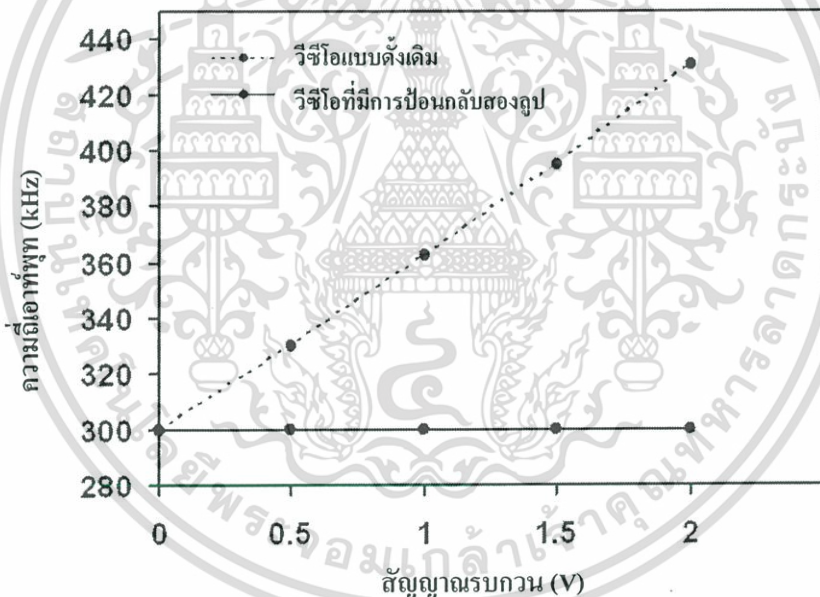


รูปที่ 5.9 สัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 สัญญาณค่าผิดพลาด

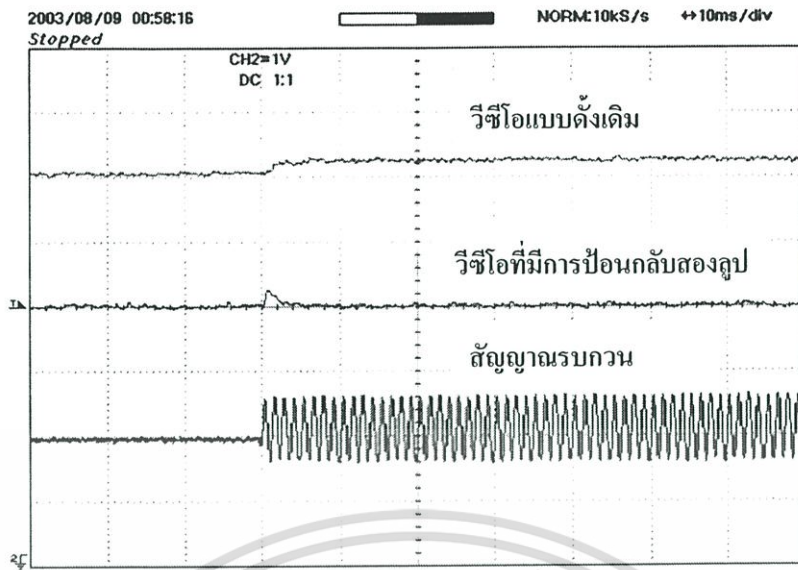


รูปที่ 5.11 กราฟแสดงความถี่เอาต์พุตของวิธีโอบที่มีการเพิ่มขนาดของสัญญาณรบกวน

รูปที่ 5.11 เป็นกราฟแสดงความถี่เอาต์พุตของวิธีโอบที่มีการเพิ่มขนาดของสัญญาณรบกวนตั้งแต่ 0-2V พบว่าวิธีโอบที่ยังไม่ได้มีการปรับปรุงจะมีผลกระทบจากสัญญาณรบกวนซึ่งจะทำให้ความถี่เอาต์พุตมีการเปลี่ยนแปลง

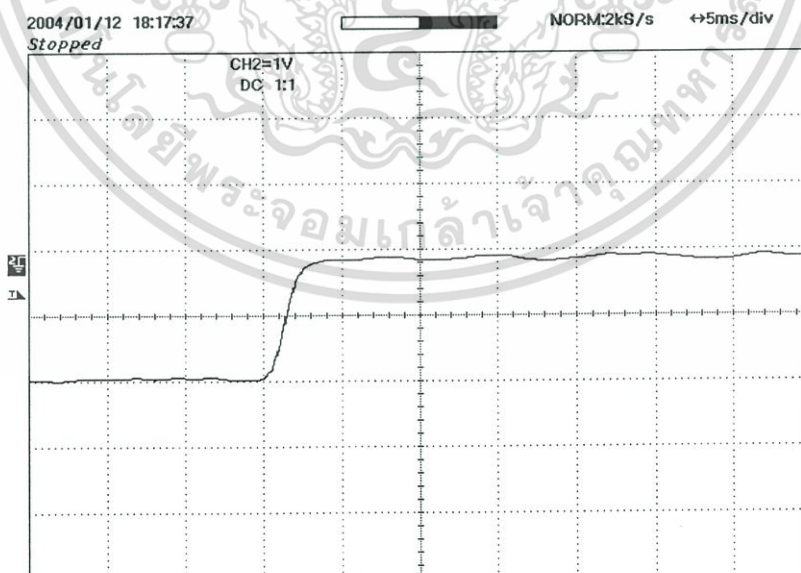
ในทำนองเดียวกันผลตอบสนองของระบบต่อสัญญาณรบกวนที่เป็นความถี่, สัญญาณควบคุม, สัญญาณค่าผิดพลาด และความถี่เอาต์พุตของวิธีโอบที่มีการป้อนกลับสองขั้วแสดงดังรูปที่ 5.12, 5.13, 5.14 และ 5.15 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



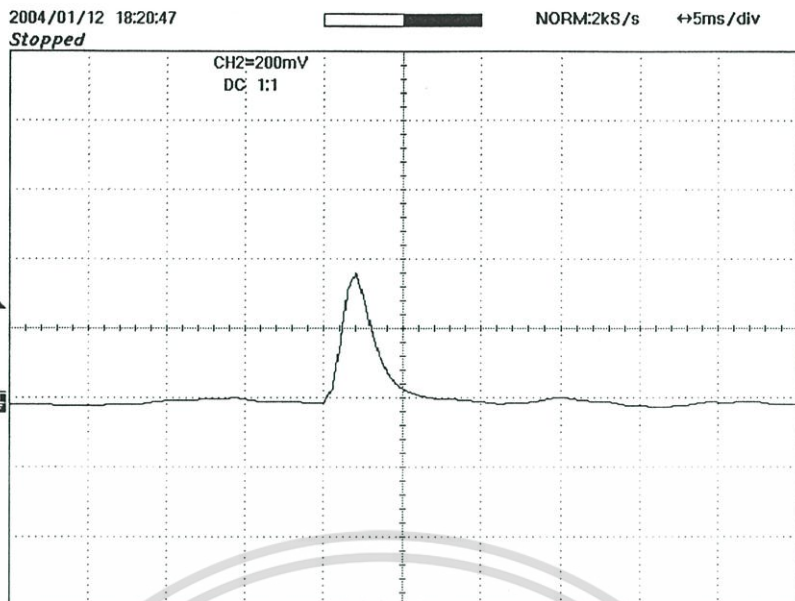
รูปที่ 5.12 แสดงผลตอบสนองของระบบเมื่อมีสัญญาณรบกวนที่เป็นความถี่

รูปที่ 5.12 แสดงผลตอบสนองของวีซีโอที่มีการป้อนกลับสองขั้วที่มีความถี่  $300\text{ kHz}$  เมื่อมีสัญญาณรบกวนที่เป็นความถี่  $3\text{ MHz}$  ขนาด  $1\text{ Vp-p}$  เข้าที่อินพุทของวีซีโอ พบว่าตัวควบคุมสามารถควบคุมให้ผลตอบสนองของระบบกลับเข้าสู่สัญญาณอ้างอิงได้ โดยไม่มีค่าผิดพลาดที่สถานะอยู่ตัวเช่นเดียวกัน

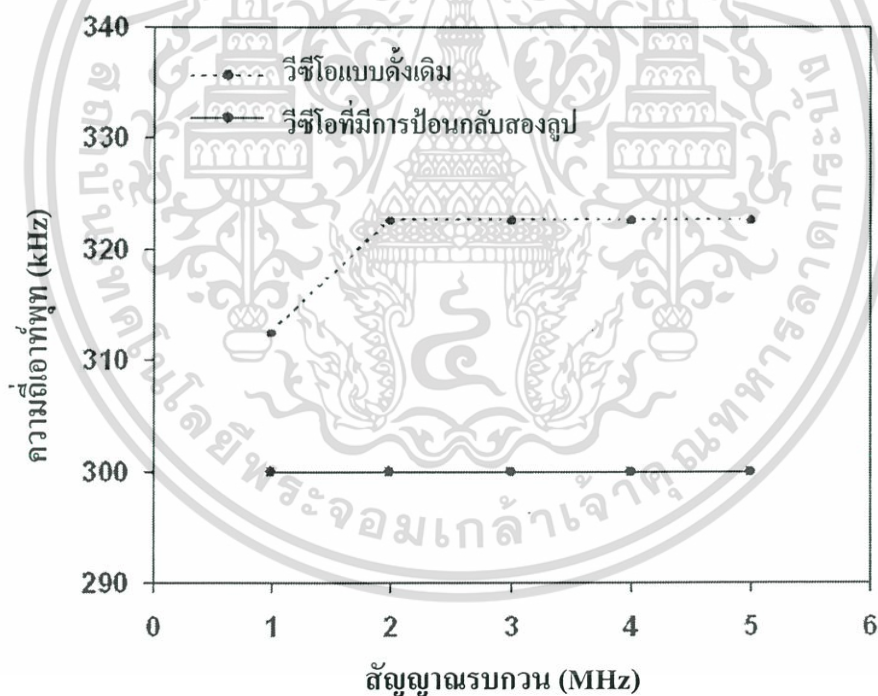


รูปที่ 5.13 สัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 สัญญาณค่าผิดพลาด



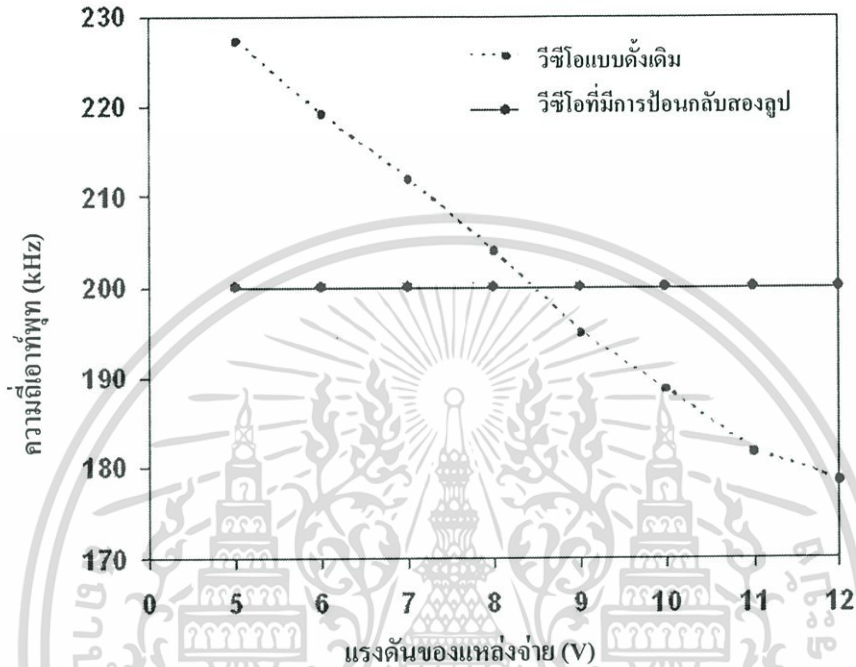
รูปที่ 5.15 กราฟแสดงความถี่เอาต์พุตของวิธีโอบที่มีการเพิ่มความถี่ของสัญญาณรบกวน

รูปที่ 5.15 เป็นกราฟแสดงความถี่เอาต์พุตของวิธีโอบที่มีการเพิ่มความถี่ของสัญญาณรบกวนตั้งแต่ 1MHz-5MHz ขนาด 1Vp-p คงที่พบว่าวิธีโอบที่ยังไม่ได้มีการปรับปรุงจะมีผลกระทบจากสัญญาณรบกวนเช่นเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.4.1.3 การกำจัดผลกระทบจากการเปลี่ยนแปลงค่าแหล่งจ่าย

ในการทดลองการกำจัดผลกระทบจากการเปลี่ยนแปลงค่าแหล่งจ่ายของวีซีโอ ได้ปรับระดับแรงดันที่ใช้เป็นแหล่งจ่ายของวีซีโอให้แปรค่าตั้งแต่ 5-12V เพื่อดูผลกระทบของความถี่เอาต์พุทเมื่อมีการเปลี่ยนแปลงค่าแหล่งจ่าย ดังแสดงในรูปที่ 5.16



รูปที่ 5.16 แสดงความถี่เอาต์พุทของวีซีโอเมื่อมีการเปลี่ยนแปลงค่าแหล่งจ่าย

จากผลการทดลองรูปที่ 5.16 พบว่าตัวควบคุมสามารถควบคุมให้ความถี่เอาต์พุทมีค่าคงที่ได้ เมื่อแหล่งจ่ายมีการเปลี่ยนแปลง ตรงข้ามกับวีซีโอที่ยังไม่ได้มีการปรับปรุงจะมีผลกระทบจากการเปลี่ยนแปลงค่าแหล่งจ่ายซึ่งทำให้ความถี่เอาต์พุทมีการเปลี่ยนแปลง ความถี่เอาต์พุทของวีซีโอแสดงดังตารางที่ 5.5

ตารางที่ 5.5 แสดงความถี่เอาต์พุทของวีซีโอเมื่อมีการเปลี่ยนแปลงค่าแหล่งจ่าย

แหล่งจ่าย(V)		5	6	7	8.5	9	10	11
*ความถี่เอาต์พุท (kHz)	วีซีโอแบบดั้งเดิม	227.3	217.4	208.3	200	192.3	188.7	181.8
	วีซีโอที่มีการป้อนกลับสองรูป	200	200	200	200	200	200	200

\* ความถี่เอาต์พุทของวีซีโอที่ได้จากการทดลองแสดงในภาคผนวก ง.

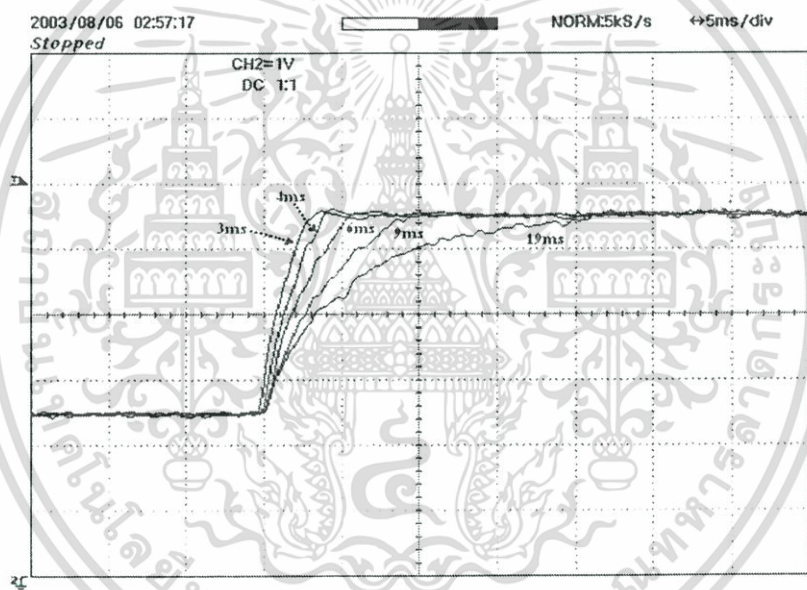
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.4.2 ระบบเฟสล็อกคูล์ที่สามารถปรับเฟสเอาท์พุทและช่วงเวลาในการล็อกได้

การทดลองระบบเฟสล็อกคูล์ที่สามารถปรับเฟสเอาท์พุทและช่วงเวลาในการล็อกได้ มีขั้นตอนในการทดลองคือ ขั้นตอนแรกทดสอบการปรับช่วงเวลาในการล็อก และขั้นตอนที่สองทดสอบการปรับเฟสเอาท์พุท (ดูรูปที่ 4.1)

### 5.4.2.1 การปรับช่วงเวลาในการล็อก

การทดลองการปรับช่วงเวลาในการล็อกของระบบเฟสล็อกคูล์ทำได้โดยป้อนสัญญาณความถี่อินพุทแบบซัน โดยสเกลความถี่จาก  $100\text{ kHz}$  ไปเป็น  $300\text{ kHz}$  เข้าไปในระบบเฟสล็อกคูล์ โดยที่กำหนดให้แรงดันอินพุทมีการปรับค่าตั้งแต่  $1\text{--}4.5\text{ V}$  เพื่อดูผลตอบสนองของระบบเฟสล็อกคูล์เมื่อมีการปรับระดับแรงดันอินพุท ผลตอบสนองของระบบเฟสล็อกคูล์ที่มีการปรับช่วงเวลาในการล็อกแสดงดังรูปที่ 5.17



รูปที่ 5.17 แสดงช่วงเวลาในการล็อกของระบบเฟสล็อกคูล์เมื่อมีการปรับระดับแรงดันอินพุท

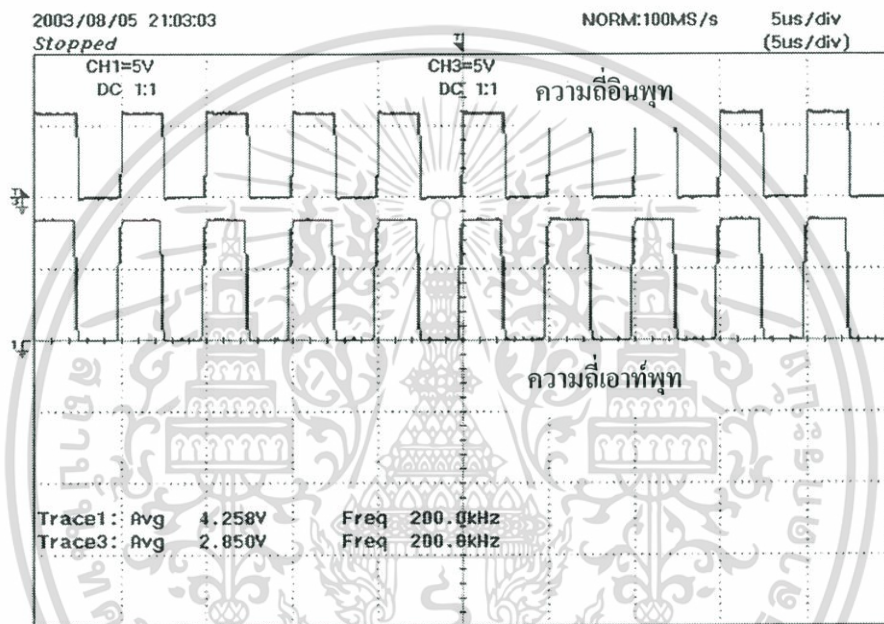
รูปที่ 5.17 แสดงการปรับช่วงเวลาในการล็อกของระบบเฟสล็อกคูล์โดยปรับระดับแรงดันอินพุทเป็น  $1, 2, 3, 4$  และ  $4.5\text{ V}$  เพื่อปรับช่วงเวลาในการล็อก  $19\text{ ms}, 9\text{ ms}, 6\text{ ms}, 4\text{ ms}$  และ  $3\text{ ms}$  ตามลำดับ การปรับช่วงเวลาในการล็อกของระบบเฟสล็อกคูล์ที่ได้จากการทดลองแสดงดังตารางที่ 5.6

ตารางที่ 5.6 แสดงการปรับช่วงเวลาในการล็อกของระบบเฟสล็อกคูล์ที่ได้จากการทดลอง

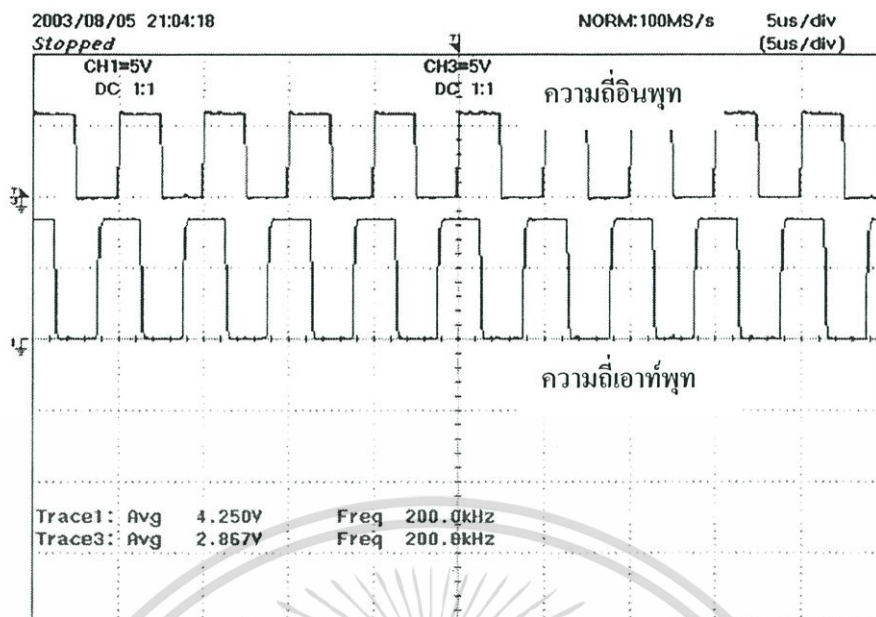
แรงดันอินพุท(V)	1	2	3	4	4.5
ช่วงเวลาในการล็อก(ms)	19	9	6	4	3

### 5.4.2.2 การปรับเฟสเอาต์พุต

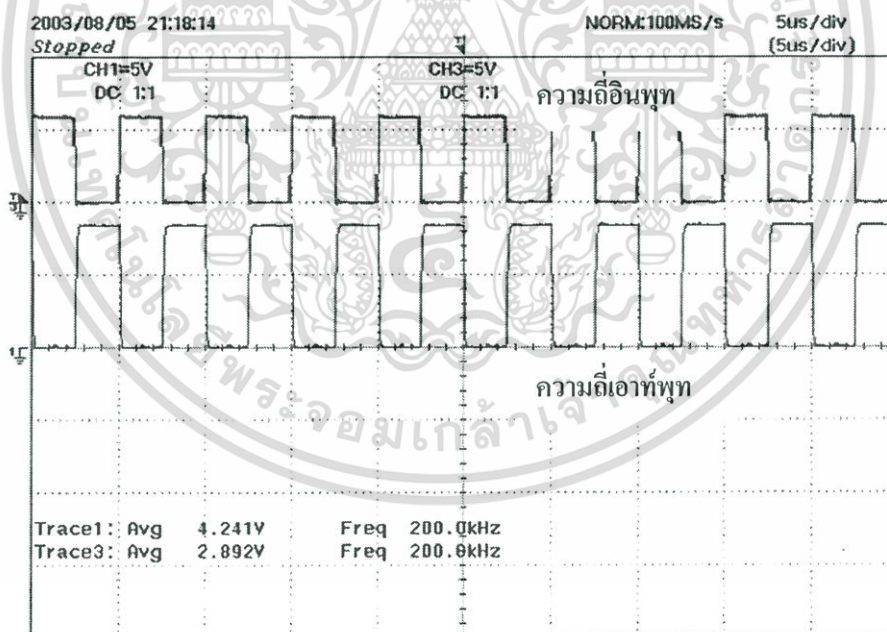
การทดลองการปรับเฟสเอาต์พุตของระบบเฟสล็อกคูลูป ทำได้โดยป้อนแรงดันอินพุตเข้าไปในระบบเฟสล็อกคูลูปโดยแปรค่าตั้งแต่ 5-7 V โดยที่กำหนดให้ความถี่อินพุตของระบบมีค่าคงที่เท่ากับ 200 kHz เพื่อดูความต่างเฟสระหว่างความถี่อินพุตกับความถี่เอาต์พุตของระบบเฟสล็อกคูลูปที่เกิดขึ้นเมื่อมีการปรับระดับแรงดันอินพุต ความถี่เอาต์พุตของระบบเฟสล็อกคูลูปที่มีการปรับเฟสเอาต์พุตแสดงดังรูปที่ 5.18



ก.ความถี่เอาต์พุตที่มีเฟสเท่ากับความถี่อินพุต



ข.ความถี่เอาต์พุตที่มีการปรับเฟสไป  $-90^\circ$



ค.ความถี่เอาต์พุตที่มีการปรับเฟสไป  $-180^\circ$

รูปที่ 5.18 แสดงความถี่เอาต์พุตของระบบเฟสล็อกคูลูปที่มีการปรับเฟส

รูปที่ 5.18 แสดงการปรับเฟสเอาต์พุตของระบบเฟสล็อกคูลูป โดยปรับระดับแรงดันอินพุตเป็น 5,6  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

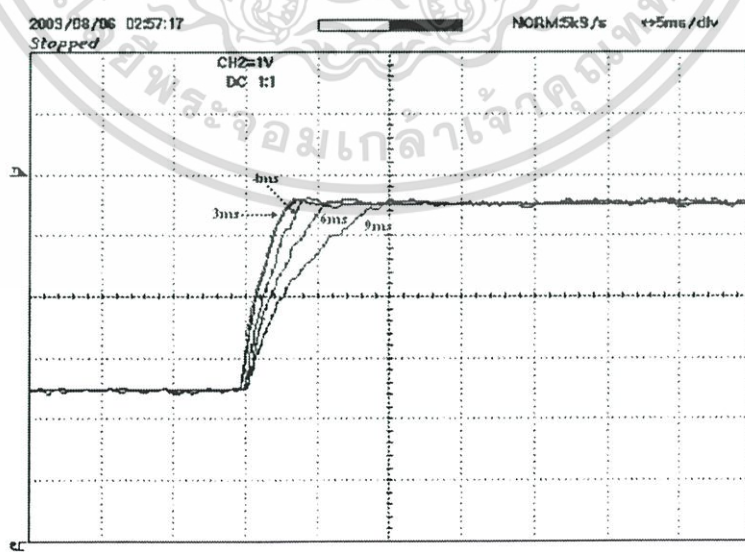
และ 7V เพื่อปรับเฟสของความถี่เอาต์พุต  $0^\circ$ ,  $-90^\circ$  และ  $-180^\circ$  ตามลำดับ โดยที่ความถี่เอาต์พุตของระบบเฟสล็อกคูลูปมีค่าคงที่  $200\text{ kHz}$  การปรับเฟสเอาต์พุตของระบบเฟสล็อกคูลูปที่ใช้ทดลองแสดงดังตารางที่ 5.7

ตารางที่ 5.7 แสดงการปรับเฟสเอาต์พุตของระบบเฟสล็อกคูลูปที่ได้จากการทดลอง

แรงดันอินพุต(V)	5	5.5	6	6.5	7
เฟสเอาต์พุต( $^\circ$ )	0	-45	-90	-135	-180

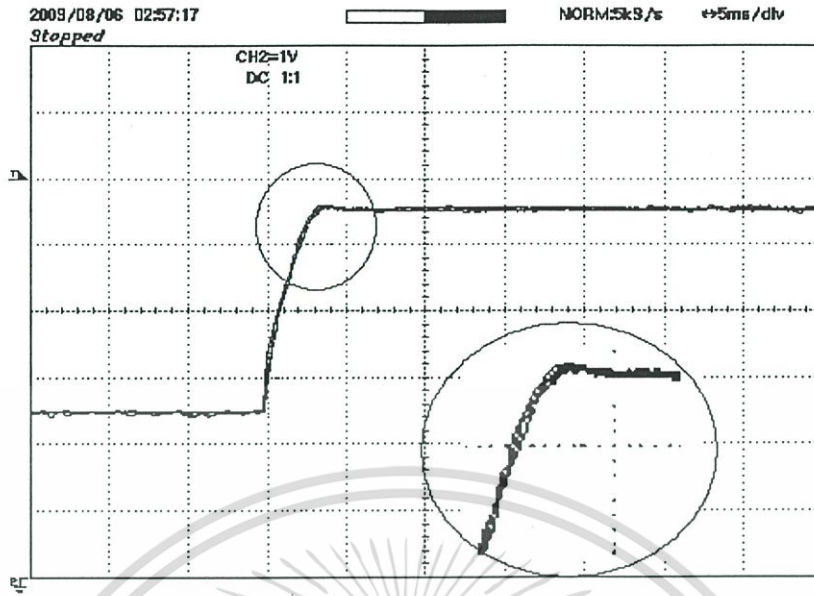
### 5.5 ช่วงรอยต่อระหว่างการปรับช่วงเวลาในการล็อกคูลูปกับการปรับเฟสเอาต์พุตของระบบเฟสล็อกคูลูป

เนื่องจากว่าระบบเฟสล็อกคูลูปที่สามารถปรับเฟสเอาต์พุตและช่วงเวลาในการล็อกคูลูปได้นั้นใช้การปรับระดับแรงดันอินพุตจากอินพุตเดียวกัน ดังนั้นจำเป็นต้องแน่ใจว่าระบบเฟสล็อกคูลูปมีเสถียรภาพ โดยจะมีการทดลองในช่วงของรอยต่อระหว่างการปรับช่วงเวลาในการล็อกคูลูปกับการปรับเฟสเอาต์พุต จากการทดลองที่ผ่านมาจะเห็นว่าระดับแรงดันอินพุตตั้งแต่  $1-4.5\text{ V}$  จะเป็นการปรับช่วงเวลาในการล็อกคูลูป และระดับแรงดันอินพุตตั้งแต่  $5-7\text{ V}$  จะเป็นการปรับเฟสเอาต์พุต การทดลองในช่วงรอยต่อระหว่างการปรับช่วงเวลาในการล็อกคูลูปกับการปรับเฟสเอาต์พุต จะทดลองโดยป้อนความถี่อินพุตแบบขั้น โดยสลับความถี่จาก  $100\text{ kHz}$  ไปเป็น  $300\text{ kHz}$  เข้าไปในระบบเฟสล็อกคูลูป โดยที่กำหนดให้แรงดันอินพุตมีการปรับค่าตั้งแต่  $2-7\text{ V}$  และ  $4.4-4.6\text{ V}$  ซึ่งเป็นช่วงรอยต่อระหว่างการปรับช่วงเวลาในการล็อกคูลูปกับการปรับเฟสเอาต์พุต เพื่อดูผลตอบสนองของระบบเฟสล็อกคูลูป ผลตอบสนองของระบบเฟสล็อกคูลูปในช่วงรอยต่อแสดงดังรูปที่ 5.19 และ 5.20



รูปที่ 5.19 แสดงผลตอบสนองของระบบเฟสล็อกคูลูปในช่วงรอยต่อระหว่างการปรับช่วงเวลาในการล็อกคูลูปกับการปรับเฟส (แรงดันอินพุต  $2-7\text{ V}$ )

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้กับโรงเรียนเพื่อใช้ประกอบการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.20 แสดงผลตอบสนองของระบบเฟสล็อกคูลูปในช่วงรอยต่อระหว่างการปรับช่วงเวลาในการ ล็อกกับการปรับเฟส (แรงดันอินพุต 4.4 – 4.6 V)

รูปที่ 5.19 แสดงผลตอบสนองของระบบเฟสล็อกคูลูปในช่วงรอยต่อระหว่างการปรับช่วงเวลาในการ ล็อกกับการปรับเฟส โดยปรับระดับแรงดันอินพุตเป็น 2,3,4, 4.5,5,6 และ 7 V ตามลำดับ และรูปที่ 5.20 แสดงผลตอบสนองของระบบเฟสล็อกคูลูปในช่วงรอยต่อระหว่างการปรับช่วงเวลา ในการล็อกกับการปรับเฟส โดยปรับระดับแรงดันอินพุตเป็น 4.4, 4.5 และ 4.6 ตามลำดับ จากผล การทดลองพบว่าเมื่อพ้นจากช่วงที่ระบบเฟสล็อกคูลูปสามารถปรับช่วงเวลาในการล็อกได้คือ ตั้งแต่ 1-4.5V ผลตอบสนองของระบบหรือช่วงเวลาในการล็อกของระบบเฟสล็อกคูลูปจะมีค่าคงที่คือ เท่ากับ 3ms หรือเท่ากับช่วงเวลาในการล็อกเมื่อปรับระดับแรงดันอินพุตเป็น 4.5V แม้ว่าจะมีการ ปรับระดับแรงดันอินพุตไปจนถึง 7V และเฟสเอ้าท์พุทของระบบเฟสล็อกคูลูปจะสามารถปรับได้ เมื่อระดับแรงดันอินพุตมีค่าตั้งแต่ 5-7V ช่วงเวลาในการล็อกและเฟสเอ้าท์พุทของระบบเฟสล็อก คูลูปที่ได้จากการทดลองในช่วงรอยต่อแสดงดังตารางที่ 5.8 และ 5.9 ตามลำดับ

ตารางที่ 5.8 แสดงช่วงเวลาในการล็อกของระบบเฟสล็อกคูลูปที่ได้จากการทดลองในช่วงรอยต่อ

แรงดันอินพุต(V)	2	3	4	4.5	5	6	7
ช่วงเวลาในการ ล็อก(ms)	9	6	4	3	3	3	3

ตารางที่ 5.9 แสดงเฟสเอทซ์พุทของระบบเฟสสี่คลื่นที่ได้จากการทดลองในช่วงรอยต่อ

แรงดันอินพุท(V)	2	3	4	4.5	5	6	7
เฟสเอทซ์พุท( $^{\circ}$ )	0	0	0	0	0	-90	-180



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

# สรุปผลการวิจัยและข้อเสนอแนะ

### 6.1 บทสรุป

วิทยานิพนธ์ฉบับนี้ได้นำเสนอระบบเฟสล็อกคูลูปแบบใหม่ที่สามารถควบคุมเฟสเอทพุทและช่วงเวลาในการล็อกได้อย่างเป็นอิสระจากการควบคุมความถี่ ระบบเฟสล็อกคูลูปแบบใหม่นี้ นำเสนอจะมีรูปภายในเป็นวิธีโอทีที่มีการป้อนกลับสองลูปซึ่งประกอบไปด้วยตัวควบคุมแบบพีโอและเฟสล็อกคูลูปในส่วนป้อนกลับ เพื่อปรับปรุงเสถียรภาพของวิธีโออันเนื่องมาจากผลกระทบของสัญญาณรบกวนและการเปลี่ยนแปลงค่าของแหล่งจ่าย การใช้เฟสล็อกคูลูปในส่วนป้อนกลับเพื่อทำหน้าที่เปลี่ยนความถี่เอทพุทของวิธีโอให้เป็นแรงดันป้อนกลับ มีข้อดีคือ ทำให้ไม่จำเป็นต้องมีวงจรหารความถี่ประกอบด้วย เนื่องจากเฟสล็อกคูลูปสามารถทำงานได้ที่ความถี่สูง ตัวควบคุมแบบพีโอของวิธีโอที่มีการป้อนกลับออกแบบด้วยวิธีโมดูลัสออปติมัมเพื่อให้ได้ผลตอบสนองของลูปภายในออกมาดีที่สุด ลูปนอกที่เป็นลูปหลักของระบบเฟสล็อกคูลูปนี้จะมีสองอินพุท อินพุทแรกเป็นความถี่อินพุทใช้สำหรับกำหนดความถี่เอทพุท อินพุทที่สองเป็นแรงดันอินพุทใช้สำหรับควบคุมเฟสเอทพุทและควบคุมช่วงเวลาในการล็อก ตัวควบคุมของลูปนอกของระบบเฟสล็อกคูลูปเป็นตัวควบคุมแบบพีโอที่ออกแบบโดยใช้วิธีซิมเมตริกอลออปติมัมเพื่อให้ผลตอบสนองของลูปหลักออกมาดีที่สุด

จากผลการทดลองแสดงให้เห็นว่าระบบเฟสล็อกคูลูปแบบใหม่ที่น่าเสนอนี้สามารถควบคุมเฟสเอทพุทได้เป็นอิสระจากความถี่เอทพุทและควบคุมช่วงเวลาในการล็อกได้ รวมทั้งเสถียรภาพของวิธีโอก็ได้รับการปรับปรุงให้ดีขึ้นด้วย โดยช่วงความถี่อินพุทที่ระบบเฟสล็อกคูลูปสามารถทำงานได้อยู่ในช่วงความถี่ตั้งแต่ 10-510.2 kHz และช่วงแรงดันอินพุทที่ระบบเฟสล็อกคูลูปสามารถปรับได้อยู่ในช่วงตั้งแต่ 1-7V โดยช่วงแรงดันระหว่าง 1-4.5V เป็นช่วงแรงดันที่ระบบเฟสล็อกคูลูปสามารถปรับช่วงเวลาในการล็อกได้ตั้งแต่ 3-19ms และช่วงแรงดันระหว่าง 5-7V เป็นช่วงแรงดันที่ระบบเฟสล็อกคูลูปสามารถปรับเฟสเอทพุทได้ตั้งแต่ 0 ถึง -180 องศา ตามลำดับ

### 6.2 ข้อเสนอแนะและแนวทางการพัฒนา

เนื่องจากระบบเฟสล็อกคูลูปที่น่าเสนอสามารถควบคุมเฟสเอทพุทได้ระหว่าง 0 ถึง -180 องศา ซึ่งเป็นผลมาจากวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ที่ให้ช่วงคุณสมบัติของวงจรที่เป็นเชิงเส้นได้กว้าง  $\pm 2\pi$  เรเดียน ดังนั้นการออกแบบวงจรตรวจจับเฟสและความถี่ที่สามารถขยายช่วงคุณสมบัติของการตรวจจับเฟสและความถี่ให้กว้างออกไปโดยการเพิ่มจำนวนสถานะของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเตทการทำงานให้สูงขึ้นจากสามสเตท เพื่อให้ระบบเฟสลือคูลูปสามารถควบคุมเฟสเอาท์พุทได้  
ช่วงที่กว้างขึ้นจึงเป็นแนวทางหนึ่งที่น่าสนใจ ที่ควรศึกษาและพัฒนาต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บรรณานุกรม

- [1] R.R. Cordell and W.G. Garrett, "A highly stable VCO for application in monolithic phase locked loops," IEEE J. Solid-State Circuit; Vol. SC-10, pp. 480-485, Dec. 1975.
- [2] B. Gilbert, "A versatile monolithic voltage to frequency converter" IEEE J. Solid-State Circuit, Vol. SC-11, pp.852-864, Dec. 1976.
- [3] J.F. Kukiolda and R.G. Meyer, "A high frequency temperature-stable monolithic VCO" IEEE J. Solid-State Circuit, Vol. SC-16, pp. 1214-1219, Dec. 1981.
- [4] T.P. Liu and R.G. Mayer, "A 250MHz Monolithic Voltage Controlled Oscillator with Low Temperature Coefficient" IEEE J. Solid-State Circuit, Vol. 25. pp. 555-561, April. 1990.
- [5] Amr N. Hafez and M. I. Elmasry, "Fully Integrated Low Phase-Noise PLLs Using Closed-Loop Voltage-to-Frequency Converter Architectures," Custom Integrated Circuits, Proceedings of the IEEE, pp.653-665, 16-19 May 1999.
- [6] V. Vibunjarone and Y. Prempraneerach, "Improved Noise Reduction and Frequency Stability of VCO with External Feedback Loop" International Symposium on Nonlinear Theory and its Applications, Xi'an, China, PRC, pp. 743-746, October 7-11, 2002.
- [7] Takeo Yasuda and Hiroaki Fujita, "A Dynamically Phase Adjusting PLL with a Variable Delay" IEEE J. Solid-State Circuits, Vol. 18. pp. 275-280, April. 2001
- [8] C.W. Malinowski, H. Rinderle, and M. Siegle, "A novel frequency processing method and its implications on future tuning systems." IEEE Trans. Consumer Electron. Vol. CE-25, pp. 649-669, Aug.1979.
- [9] ASAD A.ABIDI, "Linearization of Voltage-Controlled Oscillators Using Switched-Capacitor Feedback" IEEE J. Solid-State Circuits, Vol. SC-22, No3, pp. 494-496, June 1987.
- [10] Siemens Aktiengesellschaft, "Introduction to Electronic Control Engineering", Second Wiley Easter Reprint, 1992.
- [11] D. Wolaver, "Phase-Locked Loop Circuit Design, Prentice Hall", 1991.
- [12] R. Best, "Phase-locked loops, theory, design and applications, 2nd ed.," McGraw-Hill, 1993.
- [13] Behzad Razavi, "Design of Integrated Circuits for Optical Communications.," McGraw-Hill, 2003.
- [14] J. B. Encinas, "Phase Locked Loops.," Chapman&Hall, 1993.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยามให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [15] S. Winder, “Analog and Digital Filter Design., 2nd ed,” Newnes, 2002.
- [16] Katsuhiko Ogata, “Modern control engineering.”, Prentice-Hall, Inc., 1997.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ก

## การออกแบบตัวควบคุมโดยใช้ตาราง

ตารางที่ ก.1 แสดงการออกแบบตัวควบคุมที่เหมาะสมจากอัตราส่วนของค่าเวลาคงที่ในระบบ โดยพิจารณาจากค่าเวลาคงที่ตัวที่มีค่ามาก ( $T_1$ ) ค่าเวลาคงที่ของตัวอินทิเกรเตอร์ ( $T_i$ ) ,ค่าเวลาคงที่ตัวที่มีค่าน้อย ( $T_2$ ) และ อัตราส่วนระหว่างค่าเวลาคงที่ที่มีค่ามาก( $T$ ) กับผลรวมของค่าเวลาคงที่ที่มีค่าน้อย ( $T_c$ )

ตารางที่ ก.1 แสดงการออกแบบตัวควบคุม

ค่าเวลาคงที่ในระบบ			อัตราส่วนระหว่าง			การเลือก		$t_{sm}$	$t_{eq}$
$T_1$	$T_1$	$T_2$	$\frac{T}{4T_e}$			ตัวควบคุม			
			<1	>1	>>1	ตัวควบคุม	วิธีออกแบบ		
						I	MO		$2T_e$
						PI	MO		$2T_e$
						PI	SO		$2...4T_e$
						P	MO	$0...4T_e$	$2T_e$
						PID	MO		$2T_e$
						PID	SO		$2...4T_e$
						PD	MO	$0...4T_e$	$2T_e$
						PI	SO		$4T_e$
						P	MO	$4T_e$	$2T_e$
						PID	SO		$4T_e$
						PD	MO	$4T_e$	$2T_e$

MO : โมดูลัสออพติมัม

SO : ซิมเมตริกอลออพติมัม

$t_{sm}$  : ค่าคงที่ทางเวลาของสมูทติงเซอร์กิต(Smoothing circuit)กรณีทีออกแบบตัวควบคุม โดยใช้วิธีซิมเมตริกอลออพติมัม

$t_{eq}$  : ค่าคงที่ทางเวลาในการประมาณค่าเป็นตัวหน่วงเวลาอันดับหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ก.2 แสดงค่าพารามิเตอร์ของตัวควบคุมที่ออกแบบโดยวิธี โมดูลัสออปติ멈และซิมเมทรีคอลลอปติ멈 โดยจะปรับพารามิเตอร์ของตัวควบคุมคือ อัตราขยาย และค่าเวลาคงที่ของตัวควบคุม

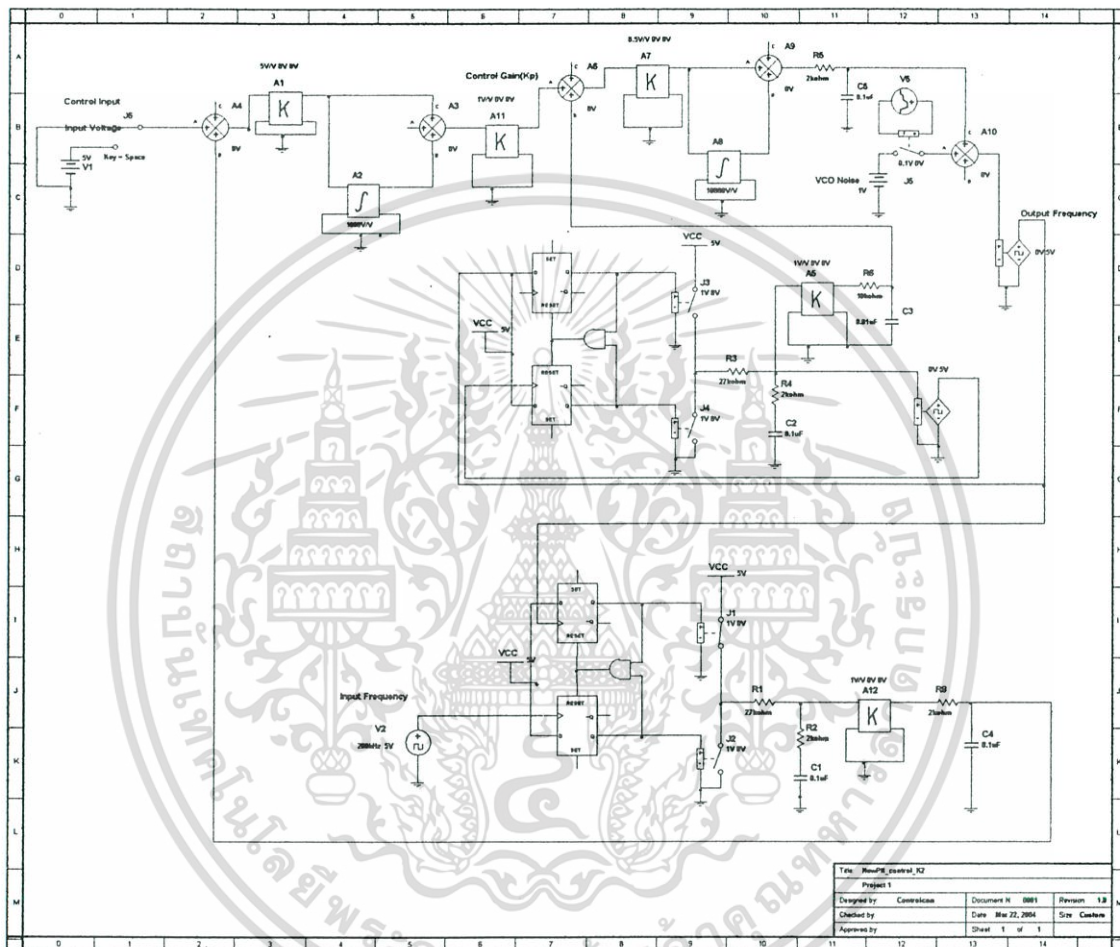
ตารางที่ ก.2 แสดงค่าพารามิเตอร์ของตัวควบคุม

วิธีการออกแบบ	การปรับพารามิเตอร์ของตัวควบคุม				
	$T_1$	$T_I$	$T_D$	$A_R$ (without integral)	$A_R$
โมดูลัสออปติ멈	$2A_S T_e$	$T_1$			
ซิมเมทรีคอลลอปติ멈 (ไม่มีตัวอินทิเกรเตอร์)		$4T_e \cdot \frac{T_1}{T_1 + 3T_e}$	$T_2$	$\frac{T_1}{2A_S T_e}$	
ซิมเมทรีคอลลอปติ멈		$4T_e$			$\frac{T_1}{2A_S T_e}$
ตัวควบคุม	I	PI PID	PD PID	P PD	PI PID

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

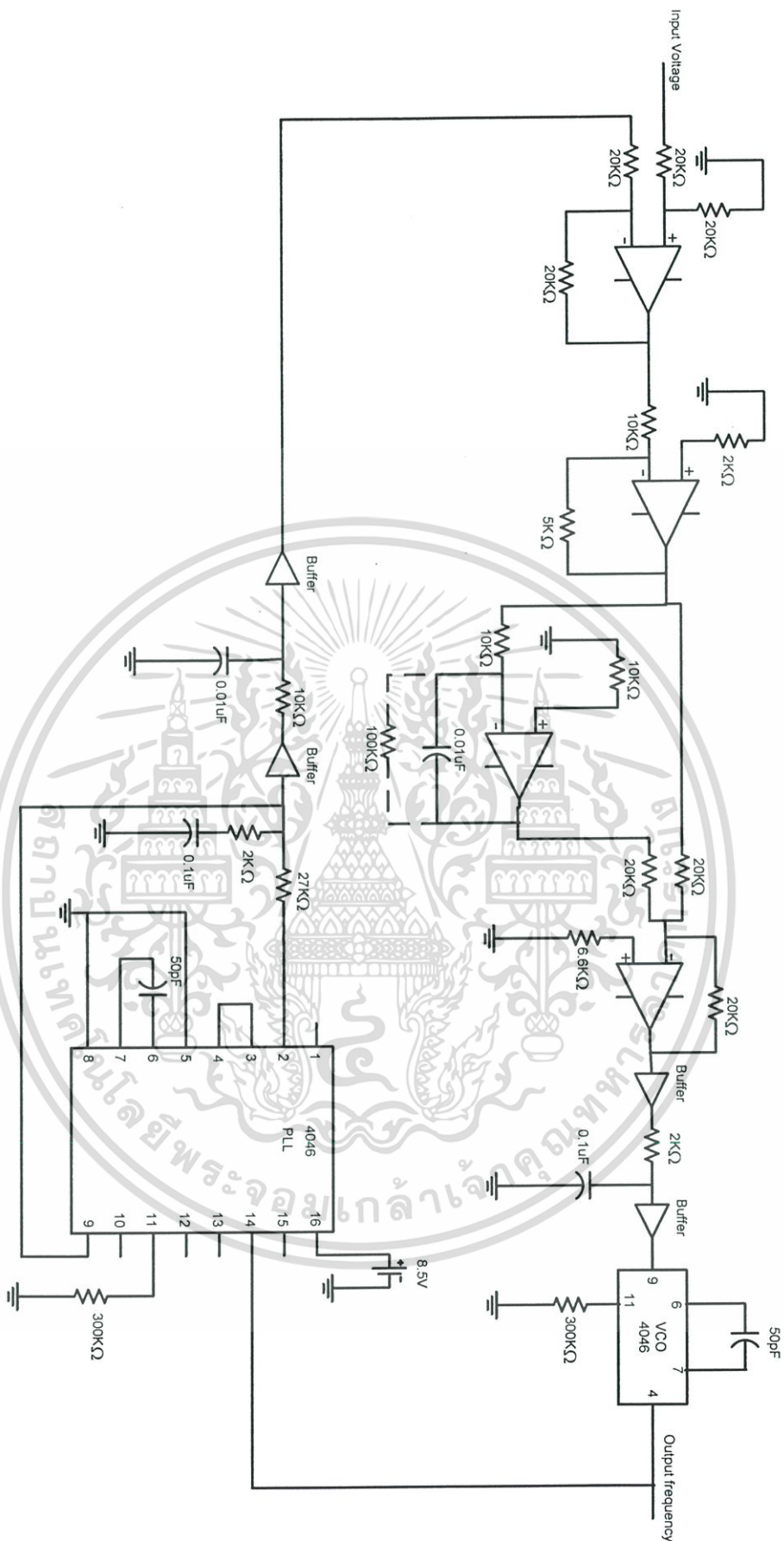


รูปที่ ข.1 แสดงวงจรของระบบเฟสลอคคลุป์ในสภาวะการปรับช่วงเวลาในการถือคโดยปรับค่าอัตราขยายของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

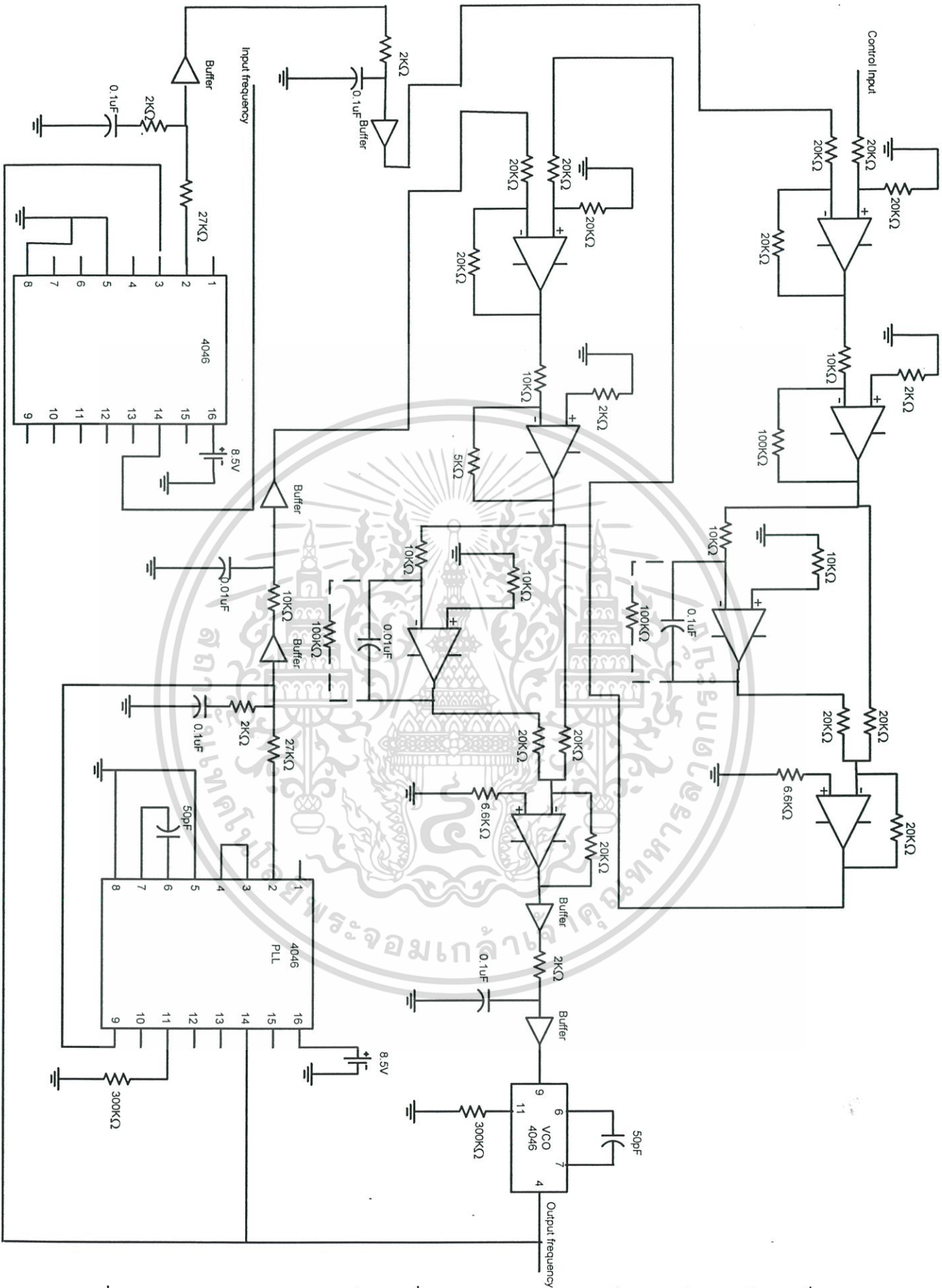


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.1 แสดงวงจรของวิซีโอที่มีการป้อนกลับสองขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.2 แสดงวงจรของระบบเฟสล็อกคูลูปที่สามารถควบคุมเฟสเอาท์พุทและช่วงเวลาในการล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**ภาคผนวก ง**  
**การทดลองการกำจัดผลกระทบจากการ**  
**เปลี่ยนแปลงค่าแหล่งจ่ายของวีซีโอ**

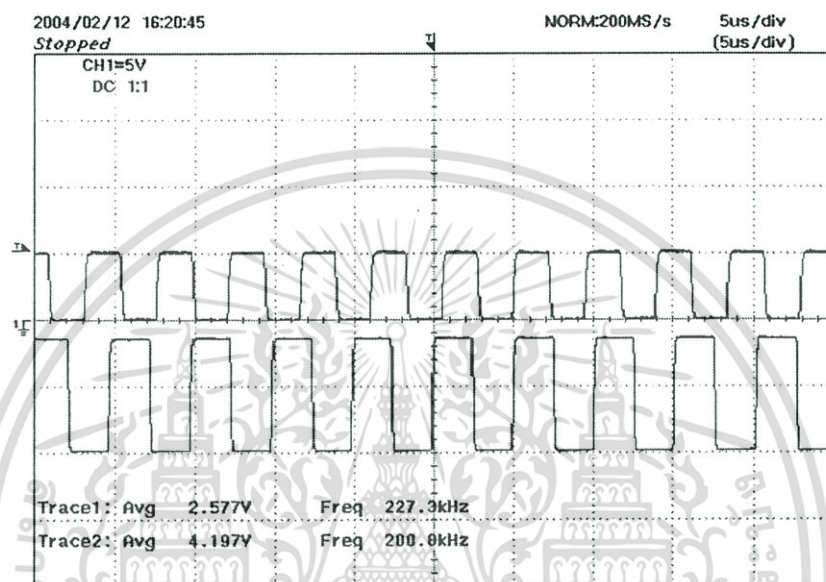
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ง

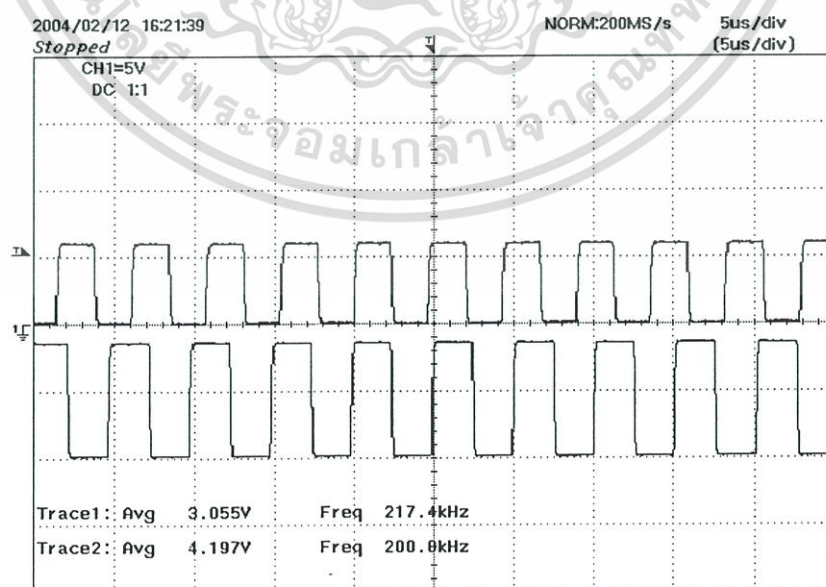
## การทดลองการกำจัดผลกระทบจากการเปลี่ยนแปลงค่าแหล่งจ่ายของวีซีโอ

วีซีโอแบบดั้งเดิม

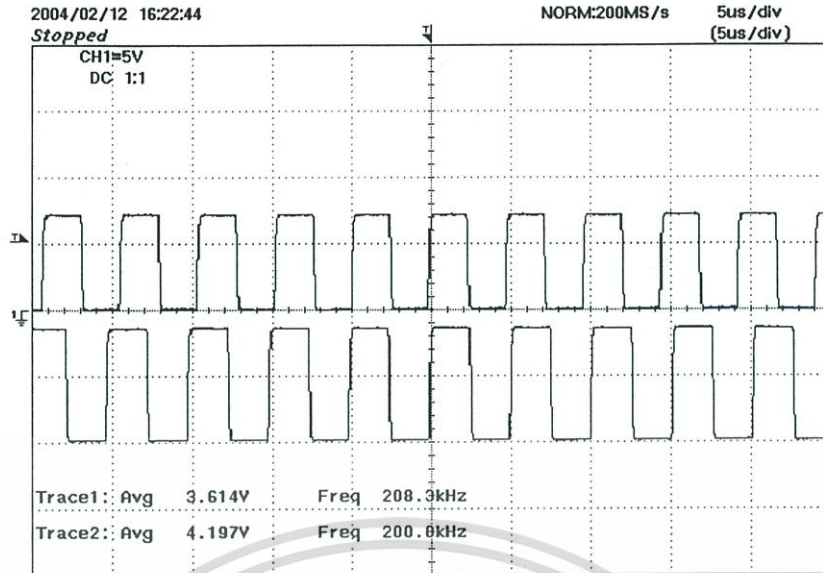
รูปที่ ง.1 — ง.8 แสดงความถี่เอาต์พุทของวีซีโอที่ความถี่ 200KHZ เมื่อมีการเปลี่ยนแปลงแหล่งจ่าย



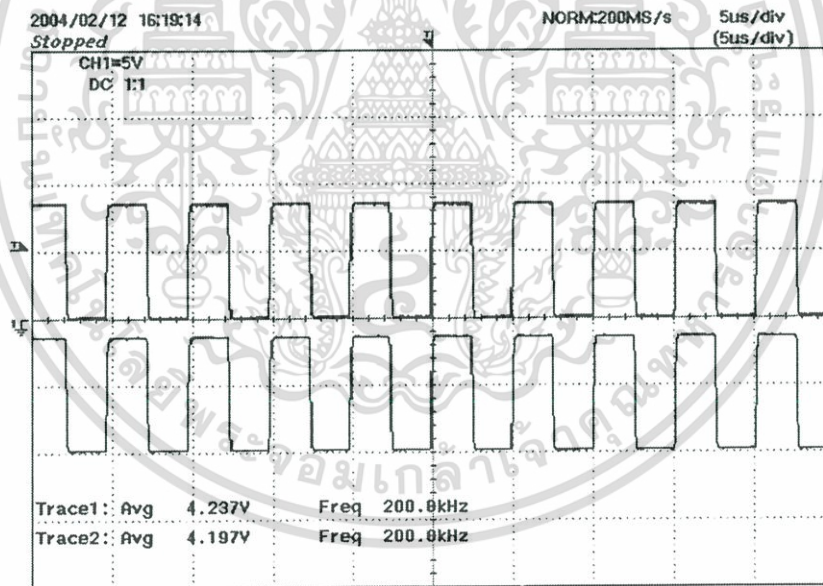
รูปที่ ง.1 แสดงความถี่เอาต์พุทของวีซีโอที่แหล่งจ่าย 5 V



รูปที่ ง.2 แสดงความถี่เอาต์พุทของวีซีโอที่แหล่งจ่าย 6 V นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

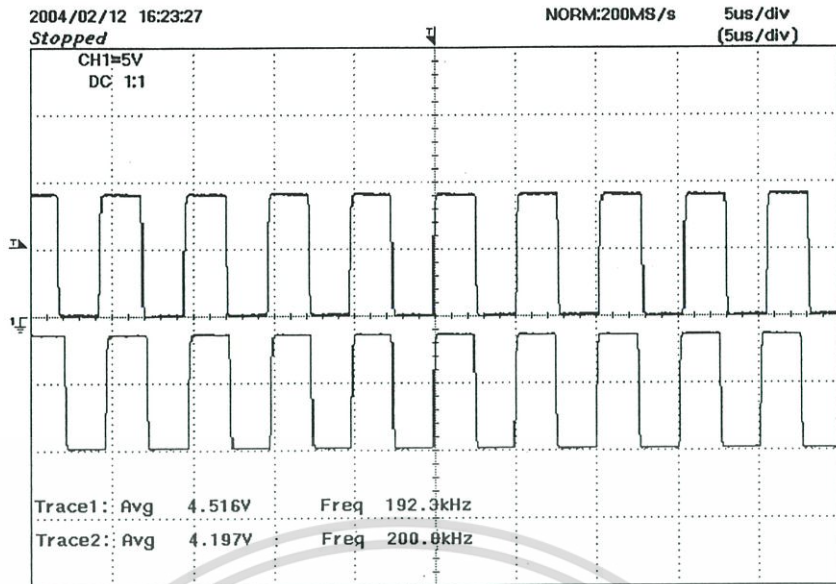


รูปที่ ง.3 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 7 V

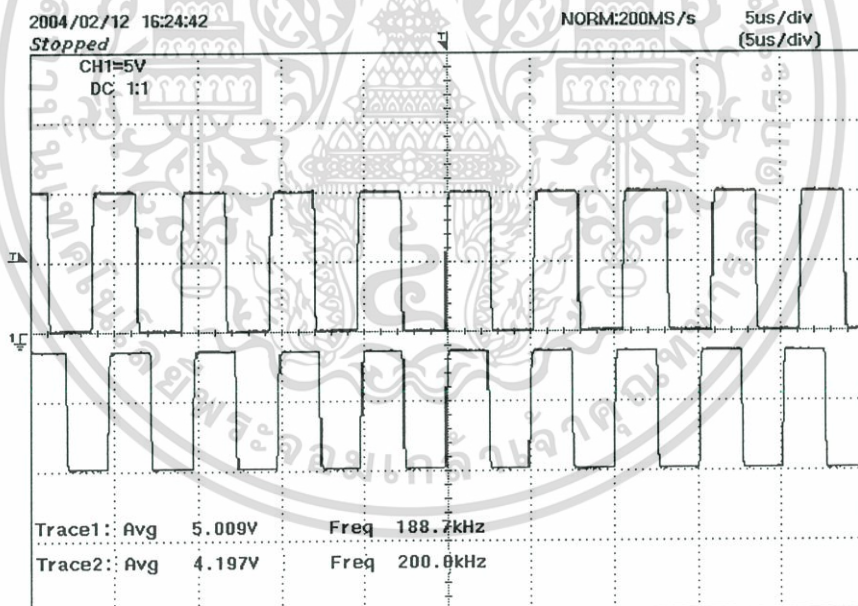


รูปที่ ง.4 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 8.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

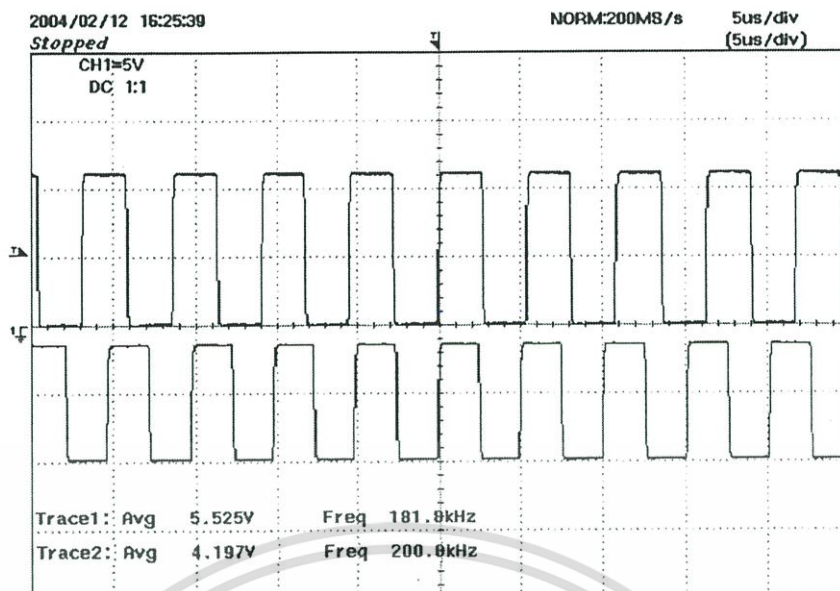


รูปที่ ง.5 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 9 V

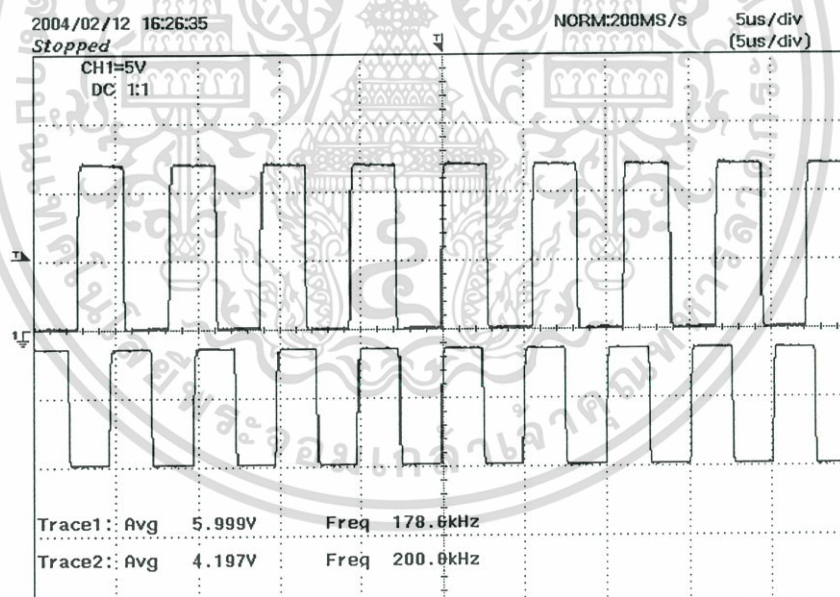


รูปที่ ง.6 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 10 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



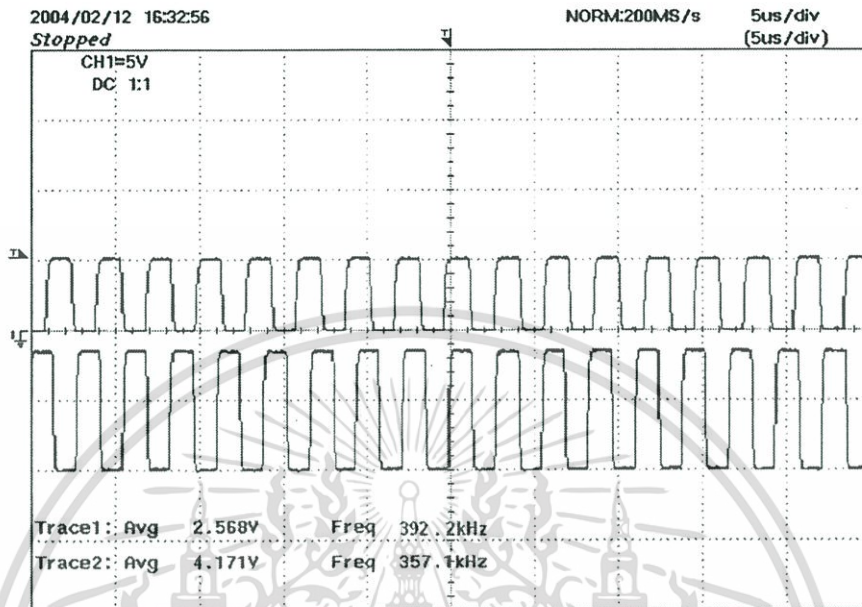
รูปที่ ง.7 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 11 V



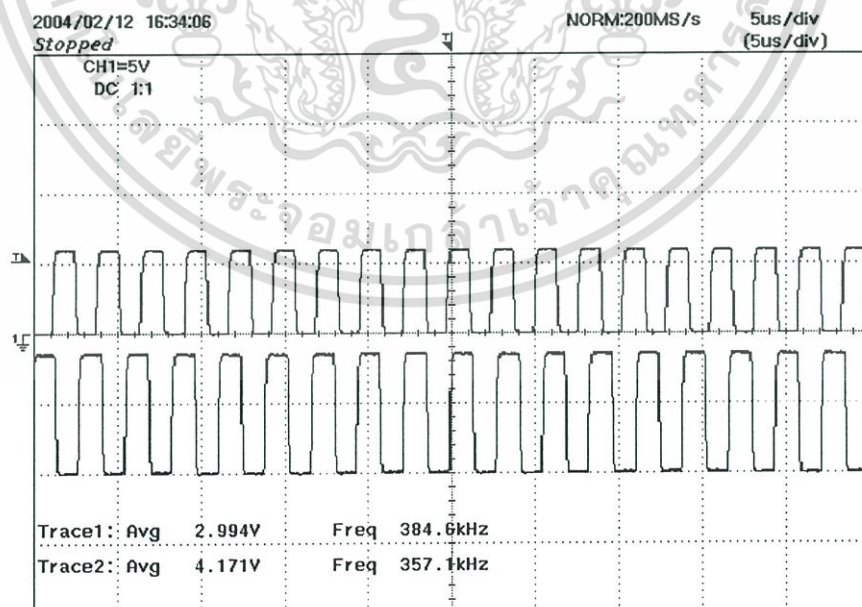
รูปที่ ง.8 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 12 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ง.9 — ง.16 แสดงความถี่เอาต์พุตของวีซีโอที่ความถี่ 357.1KHZ เมื่อมีการเปลี่ยนแปลงแหล่งจ่าย

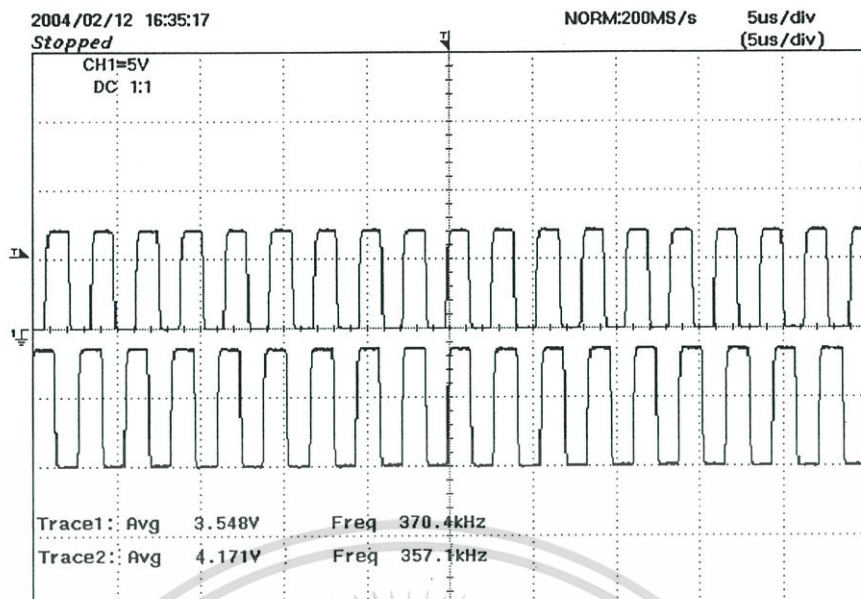


รูปที่ ง.9 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 5 V

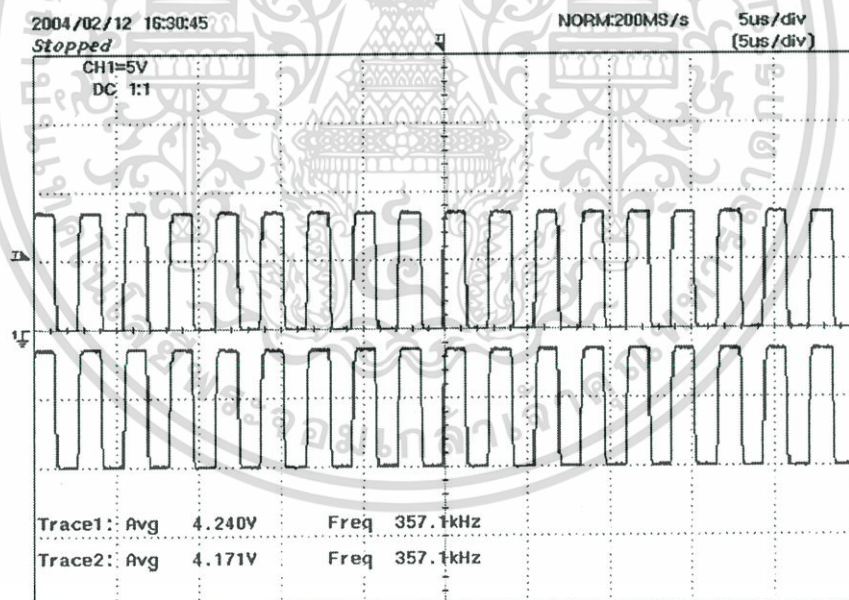


รูปที่ ง.10 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 6 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

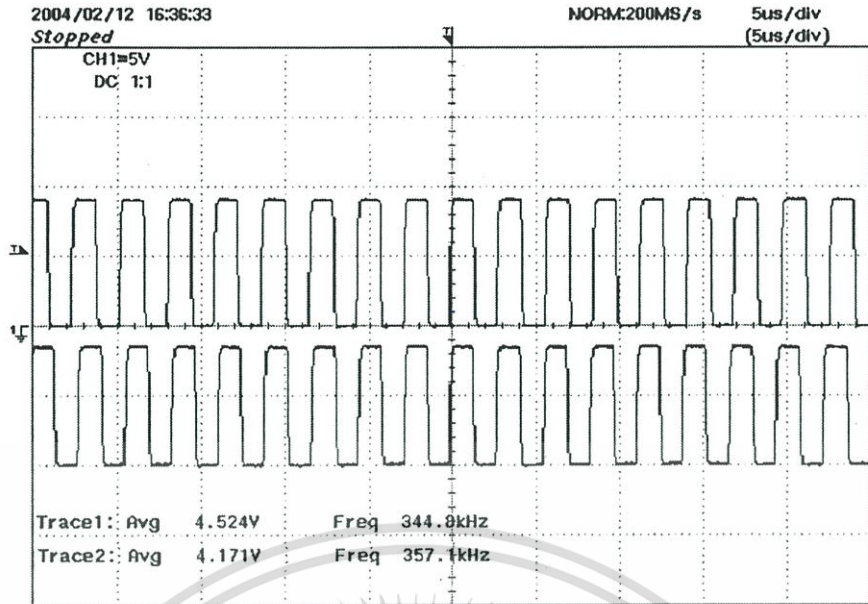


รูปที่ ง.11 แสดงความถี่เอาต์พุตของวิธีโอทีแหล่งจ่าย 7 V

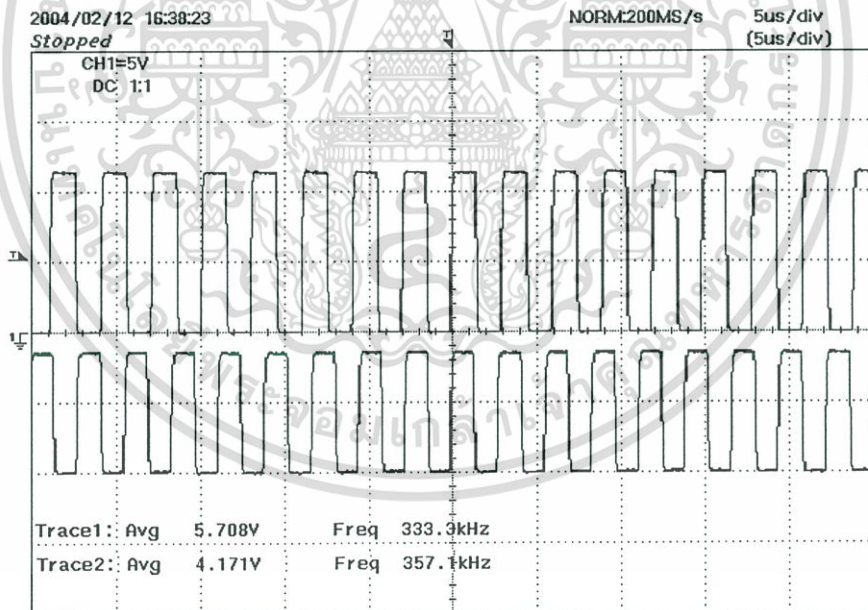


รูปที่ ง.12 แสดงความถี่เอาต์พุตของวิธีโอทีแหล่งจ่าย 8.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

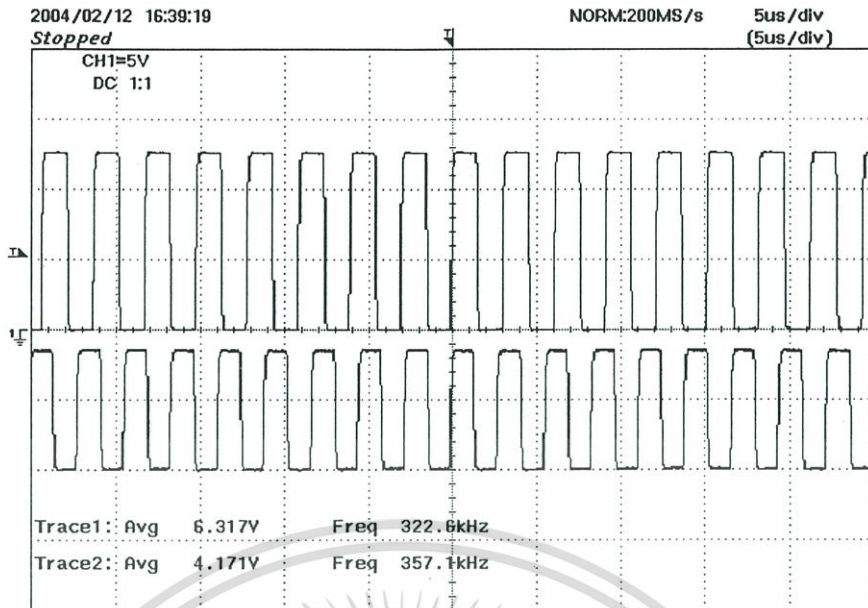


รูปที่ ง.13 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 9 V

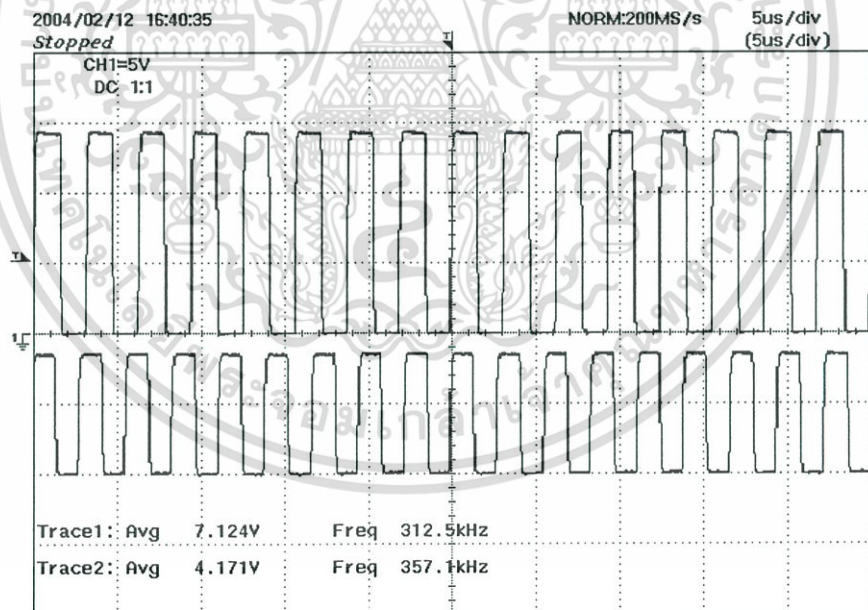


รูปที่ ง.14 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 10 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง.15 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 11 V

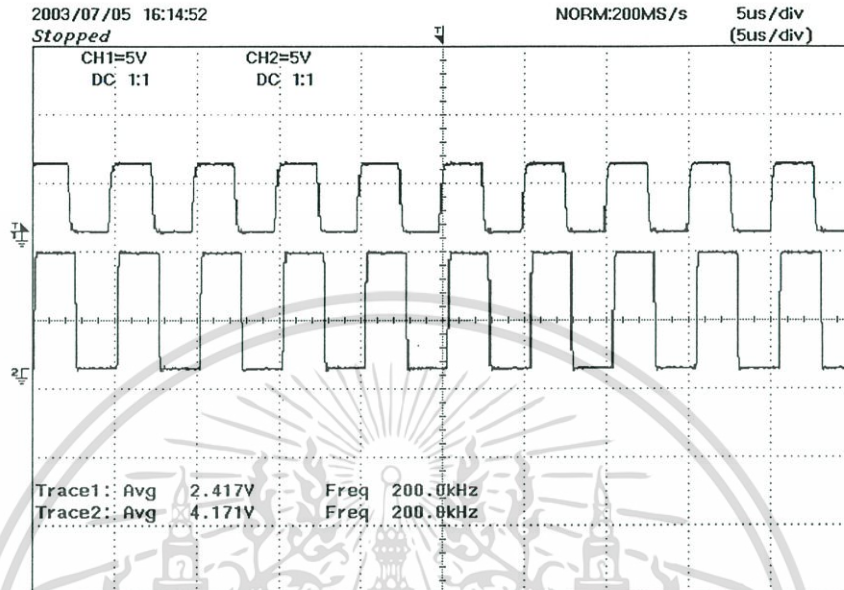


รูปที่ ง.16 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 12 V

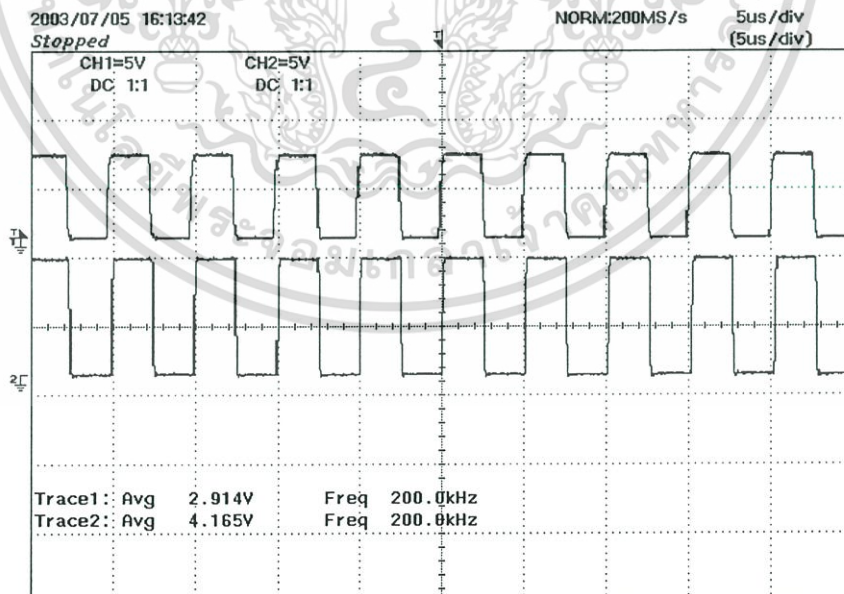
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วิธีโอที่มีการป้อนกลับสองรูป

รูปที่ ง.17 — ง.24 แสดงความถี่เอาต์พุตของวิธีโอที่ความถี่ 200KHZ เมื่อมีการเปลี่ยนแปลงแหล่งจ่าย

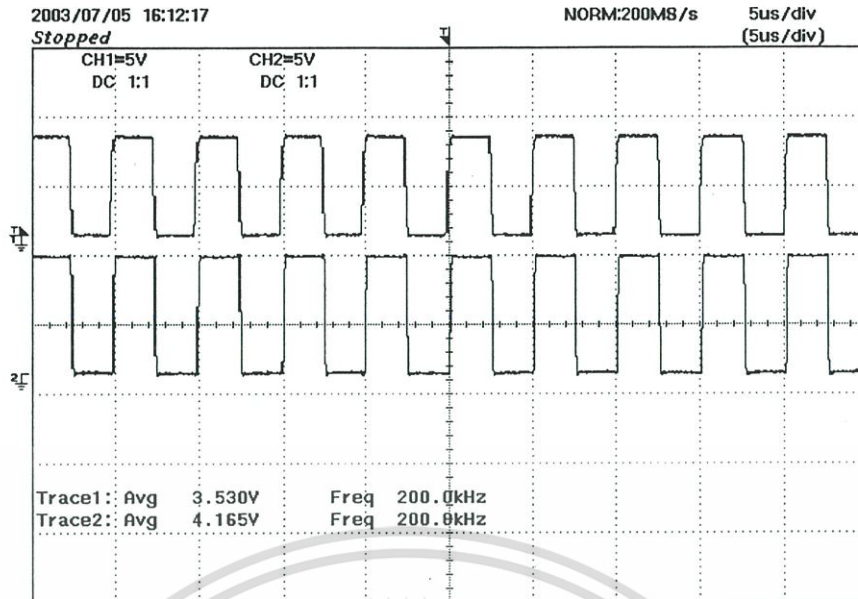


รูปที่ ง.17 แสดงความถี่เอาต์พุตของวิธีโอที่แหล่งจ่าย 5 V



รูปที่ ง.18 แสดงความถี่เอาต์พุตของวิธีโอที่แหล่งจ่าย 6 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

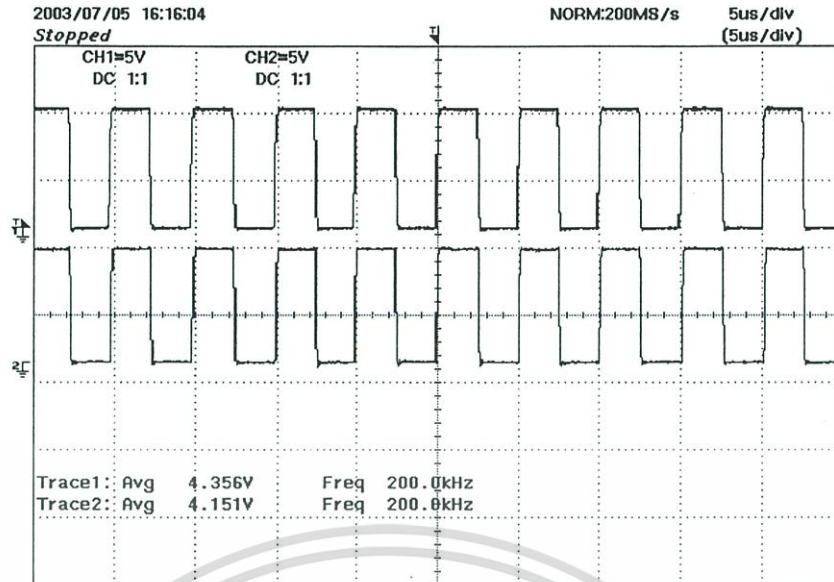


รูปที่ ง.19 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 7 V

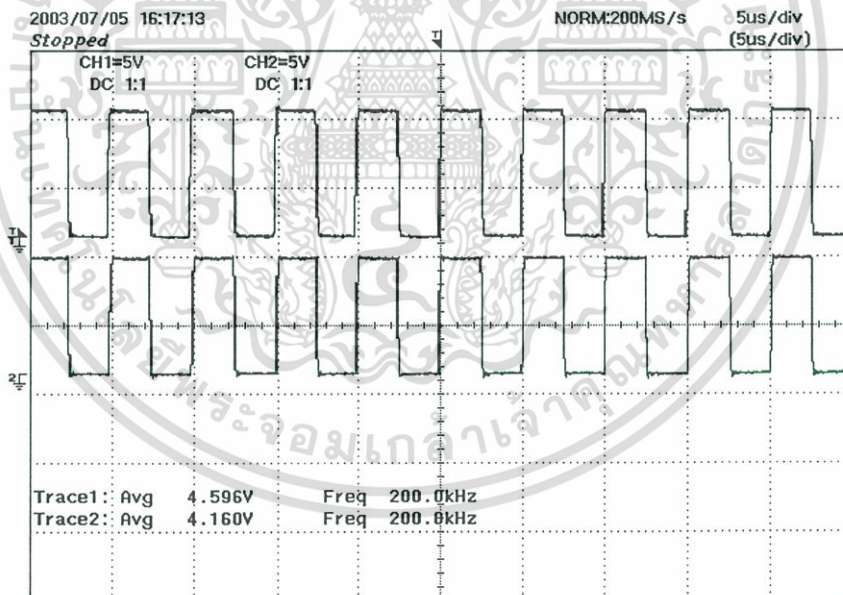


รูปที่ ง.20 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 8.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

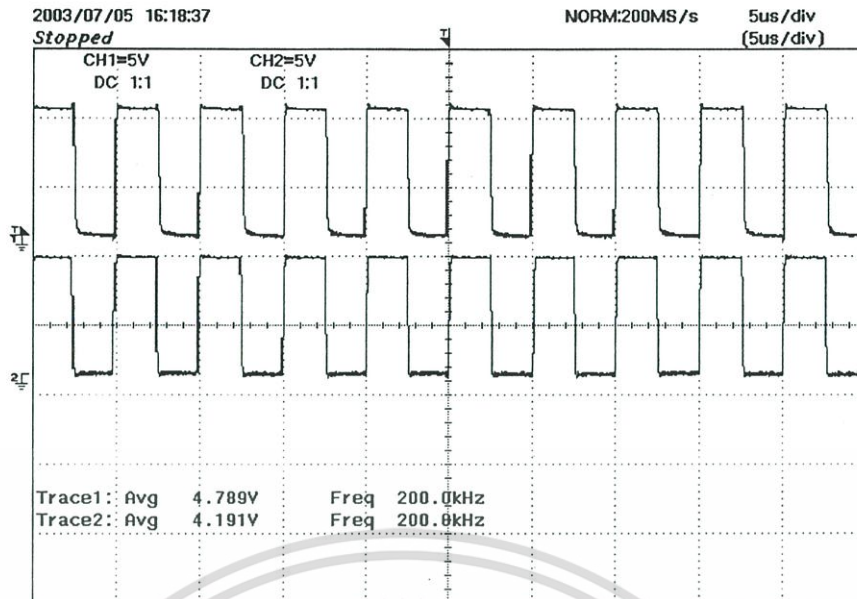


รูปที่ ง.21 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 9 V

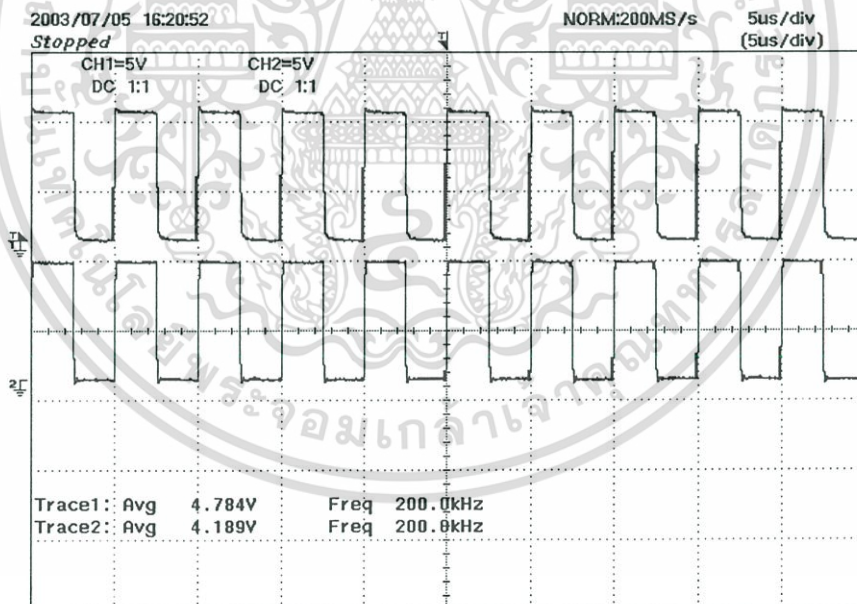


รูปที่ ง.22 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 10 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



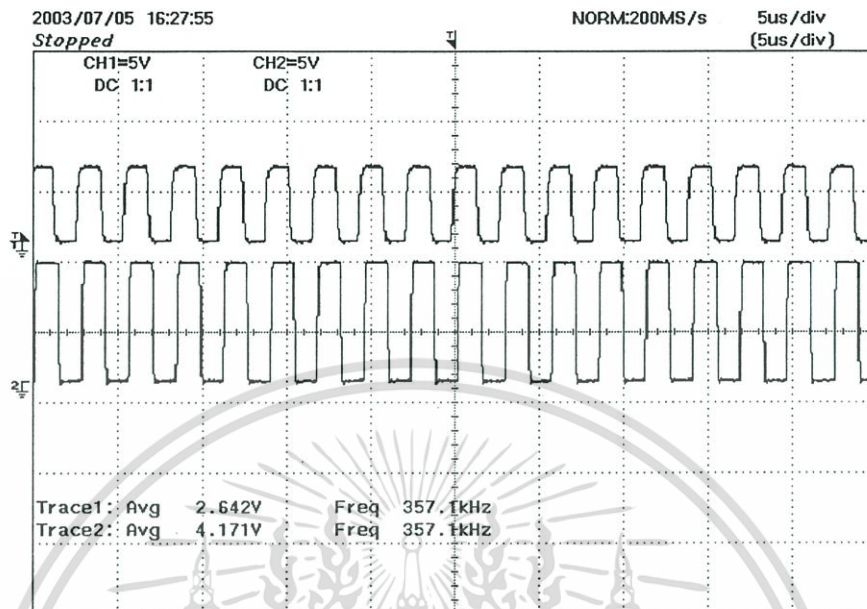
รูปที่ ง.23 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 11 V



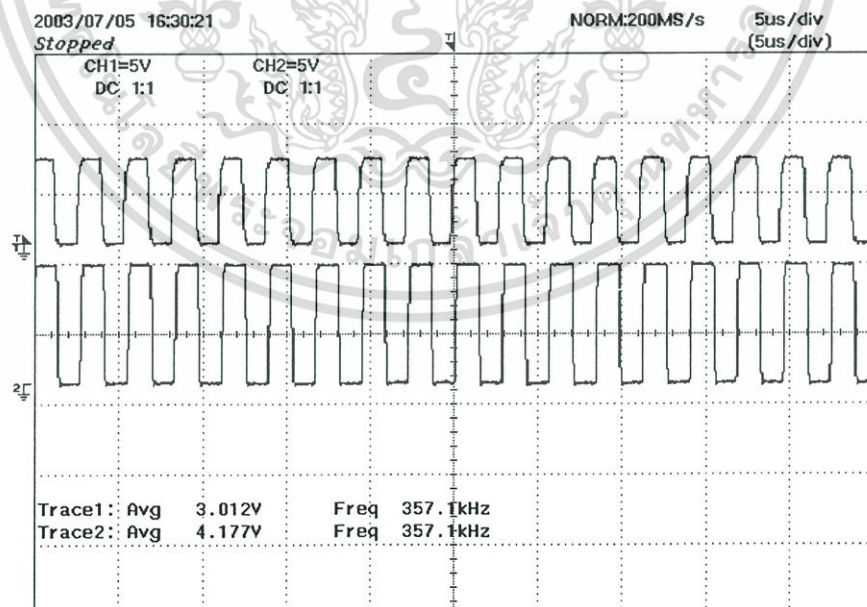
รูปที่ ง.24 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 12 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ง.25 — ง.32 แสดงความถี่เอาต์พุตของวีซีโอที่ความถี่ 357.1KHZ เมื่อมีการเปลี่ยนแปลงแหล่งจ่าย

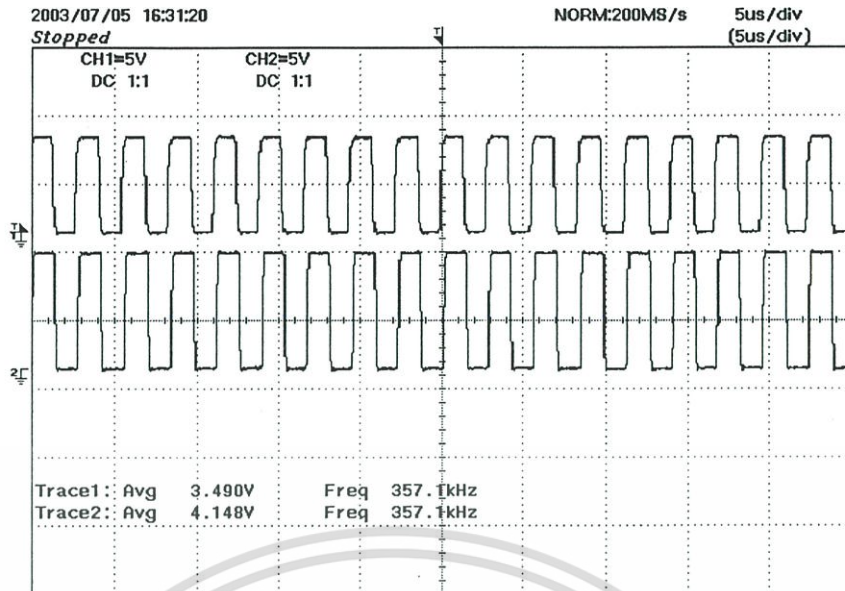


รูปที่ ง.25 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 5 V

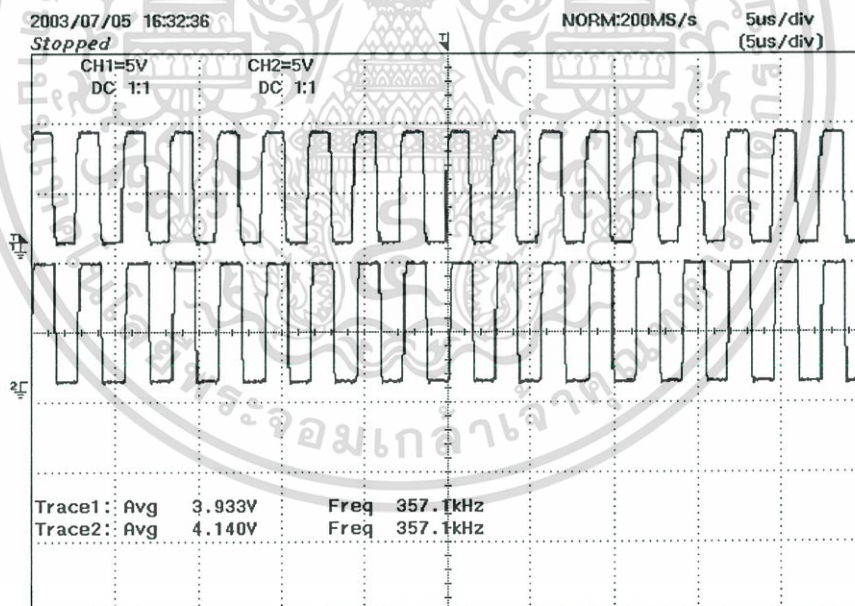


รูปที่ ง.26 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 6 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

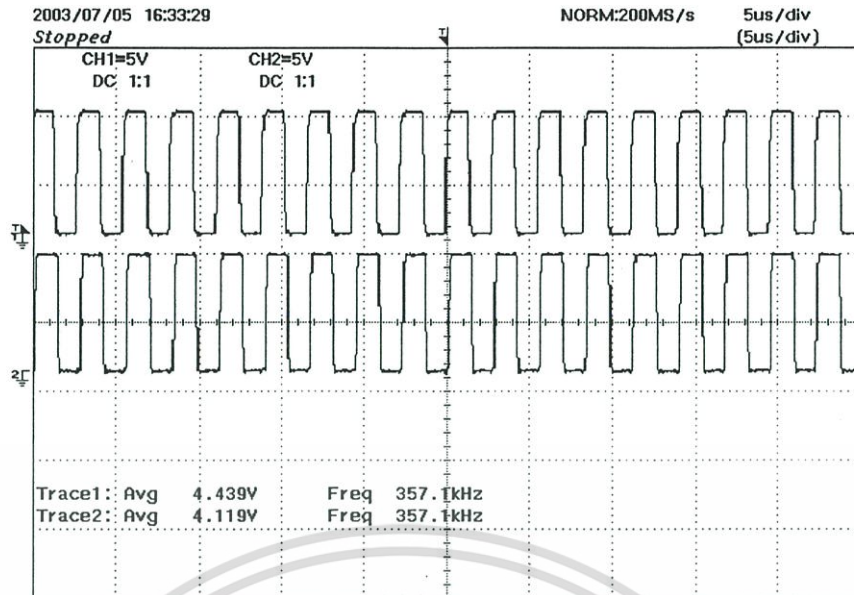


รูปที่ ง.27 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 7 V

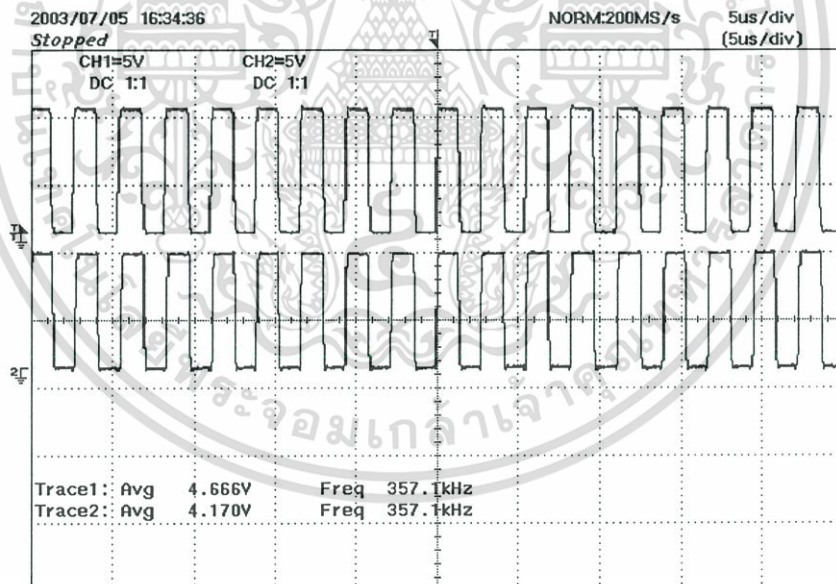


รูปที่ ง.28 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 8 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

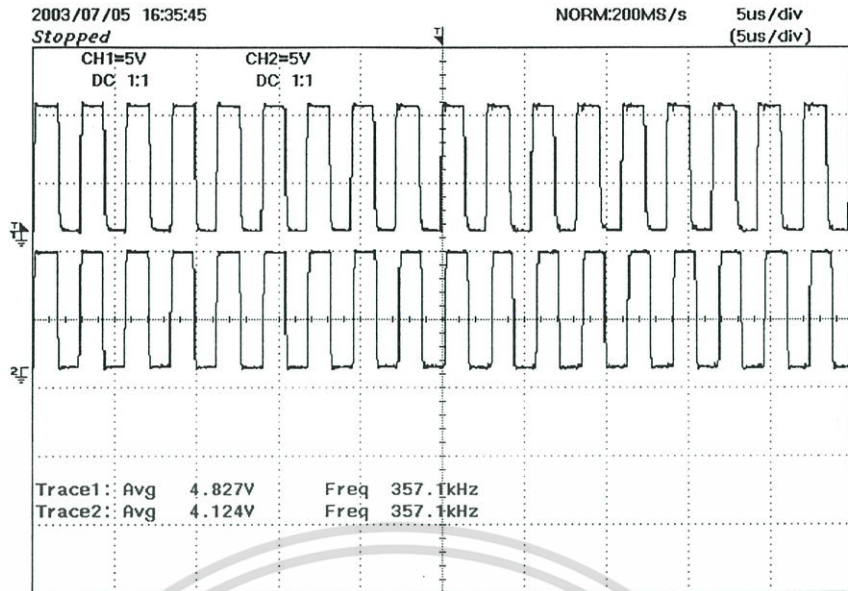


รูปที่ ง.29 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 9 V

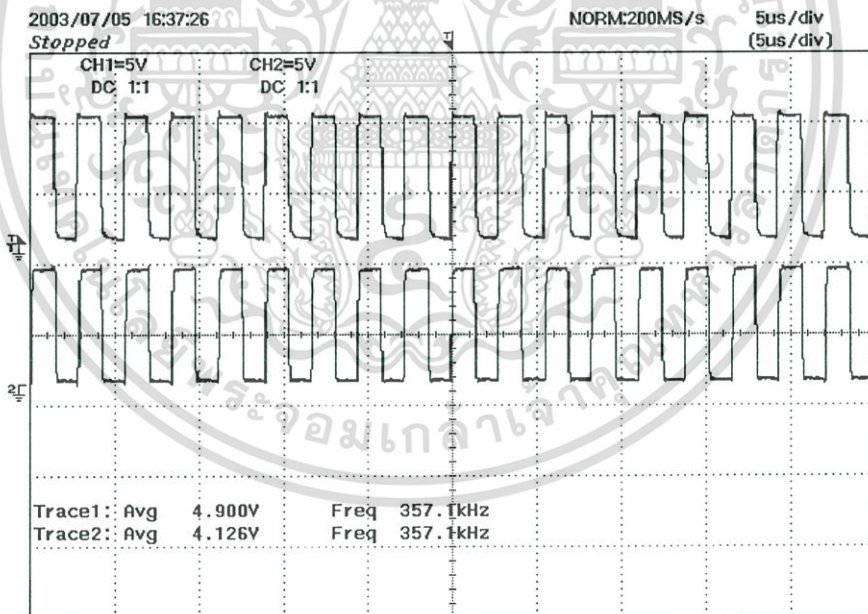


รูปที่ ง.30 แสดงความถี่เอาต์พุตของวีซีโอที่แหล่งจ่าย 10 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง.31 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 11 V

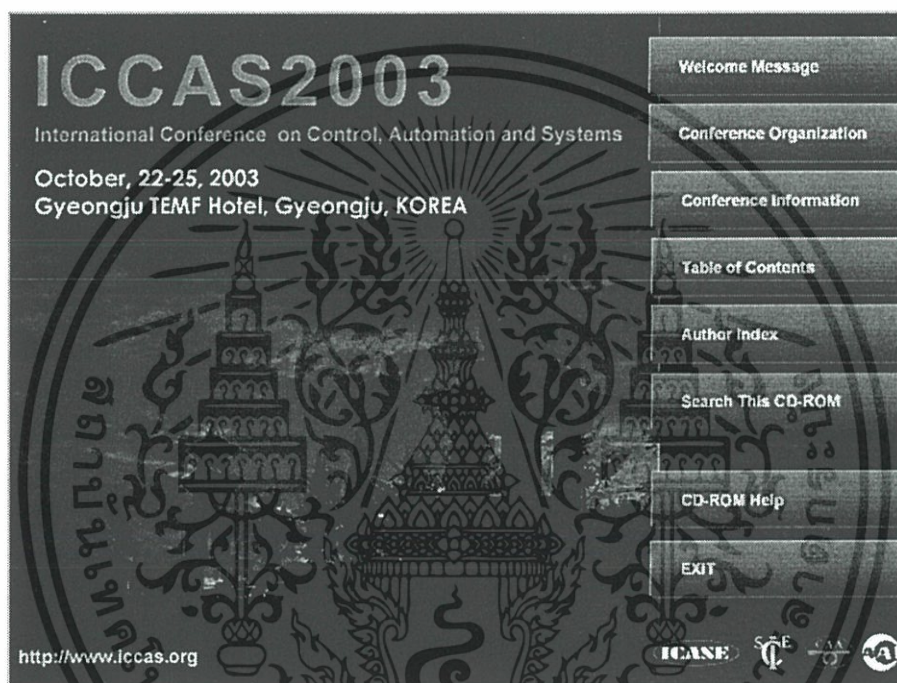


รูปที่ ง.32 แสดงความถี่เอาต์พุตของวีซีไอที่แหล่งจ่าย 12 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## A New Phase-Locked Loop System with the Controllable Output Phase and Lock-up Time

Vichupong Vibunjarone and Yothin Prempraneerach

Faculty of Engineering and Research Center for Communication and Information Technology  
King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand 10520  
(Tel + 66-2-737-3000, E-mail:ef\_aa@hotmail.com)

**Abstract:** This paper, we propose a new phase-locked loop (PLL) system with the controllable output phase, independent from the output frequency, and lock-up time. This PLL system has a dual control loop is described, the inner loop greatly improved VCO characteristic such as faster speed response as well as higher operation bandwidth, to minimize the effect of the VCO noise and the power supply variation and also get better linearity of VCO output. The main loop is the heart of this PLL which greatly improved the output frequency instability due to the external high frequency noise coupling to the input reference frequency also the main loop can control the output phase, independent from the output frequency, and reduce the lock-up time of the step frequency response. The experimental results confirm the validity of the proposed strategy.

**Keyword:** Phase locked loop, Dual-loop feedback VCO, PI-controller, Frequency stability, Controllable the output phase, Reduce the lock-up time

### 1. INTRODUCTION

The voltage-controlled oscillators (VCO) are widely used in such application as phase-locked loops (PLLs), FM modulator, frequency synthesizers, timing recovery, and many others. The characteristic of the VCO are generally the most important in determining the overall system performance of the PLLs. Most of the researches about VCO is the attempt to improve the temperature stability of the VCO's frequency at high frequency [1-4]. The VCO phase noise in the PLL is not attenuated by the small bandwidth loop in the range of interest [5]. Thus, it is usually necessary to resort to an off-chip, high Q VCO. This results in higher power consumption, large size and more importantly, greater interference problems.

One technique to solve these problems is to use a closed-loop voltage-to-frequency converter architectures [6, 7]. This architecture can achieve a wide bandwidth for good VCO phase noise suppression. The another consideration on the PLL's characteristic is the lock-up performance which is one of the most important target items in designing PLLs. In a digital PLL, it is difficult to control the frequency and phase independently, which make it difficult to improve lock-up performance. A new PLL system with controllable the output phase and lock-up time is introduced here.

This PLL system has a dual control loop in which the inner loop is the VCO regulation system which composed of PI controller and phase-locked loop acted as the feedback part in order to convert the VCO output to be a voltage signal. The PI controller of inner loop is designed for optimum output response [8] of VCO and minimizing VCO noise disturbances and the power supply variation. In otherwise the inner loop is used to improve the characteristics of VCO, especially the nonlinearity at high frequency. The main loop is the heart of this PLL system, it has a two inputs signal, one is the reference frequency ( $F_{ref}$ ) input to be used for set-up the output frequency of the VCO. This input has the high noise immunity resulting from limited bandwidth of a low pass filter ( $LPF_2$ ) to the external noise coupling at high frequency. The another input signal of this PLL system is the control input represented by a voltage signal in order to control the phase of the VCO output independently from the frequency output as well as reduction of the lock-up time of the system response. The PI controller of the main loop is designed for the optimum loop response [8] as well as minimizing the lock-up time. The

validness of this PLL system is confirmed by experimental results.

### 2. DUAL-LOOP FEEDBACK CONFIGURATION OF VCO

The inner closed-loop VCO circuit is shown in Fig.1. An ordinary VCO is configured in a feedback loop which has a phase-locked loop acted as the feedback element for providing a voltage output of LPF that is proportional to the input frequency. The used phase-locked loop as the feedback element instead of a frequency-to-voltage converter (FVC) for some advantages of no need a large frequency division element ( $1/N$ ) in the feedback part. In case FVC is used as the feedback element the output of VCO must be divided down to an intermediate frequency where a FVC could be easily designed. The another advantage when feedback by PLL, the wide bandwidth of closed-loop VCO is possible designed.

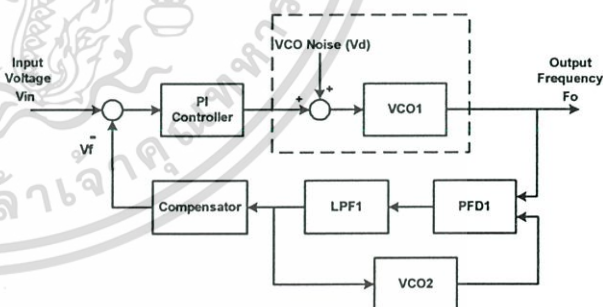


Fig.1 Shows the dual-loop feedback configuration of VCO.

In case the closed-loop VCO is feedback by PLL, the voltage output of LPF is passed through a compensator to be a feedback voltage ( $V_f$ ), this voltage is subtracted from a forward part input voltage and the error signal is subjected to the PI-controller which is designed for close-loop VCO by mean of the symmetrical optimum [8] to minimizes the effect of VCO noise disturbance and to get the optimum output response.

From Fig.1, we can transform each element to be a transfer function in the frequency domain as shown in Fig. 2.

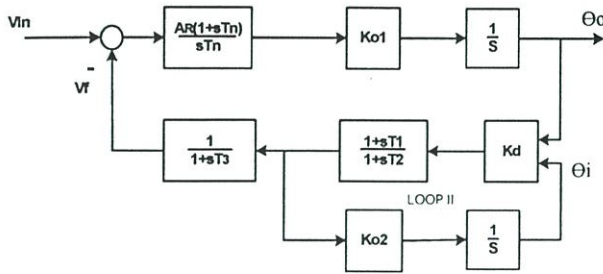


Fig.2 S-domain block diagram of the closed-loop VCO.

Where  $K_O$  is the VCO conversion constant in Hz/Volt, and  $K_d$  is the conversion gain of the PFD in volt/radian.

Fig.2 shows S-domain block diagram of the closed-loop VCO which has a PLL in the feedback part. A first we can simplify the block diagram of the loop no.II (PLL) to be an open-loop transfer function ( $F_{o2}(s)$ ) and a closed-loop transfer function ( $F_{c2}(s)$ ) respectively.

$$F_{o2}(s) = \frac{K_d K_{o2} (1 + sT_1)}{s (1 + sT_2)} \tag{1}$$

From Eq. (1), the closed-loop transfer function is found as follow,

$$F_{c2}(s) = \frac{(1 + sT_1)}{1 + \frac{s(K_d K_{o2} T_2 + 1)}{(K_d K_{o2})} + \frac{s^2 T_2}{(K_d K_{o2})}} \tag{2}$$

From Eq. (2), we can reduce its order to be a equivalent transfer function ( $F_{c2}^*(s)$ ) in the case of  $K_d K_{o2} > T_2$

$$F_{c2}^*(s) = \frac{(1 + sT_1)}{(1 + sT_4)} \tag{3}$$

where

$$T_4 = \frac{(K_d K_{o2} T_2 + 1)}{(K_d K_{o2})}$$

Since the block diagram of Fig. 2 can be simplified as shown in Fig. 3 in order to use for designing the PI-controller of this loop.

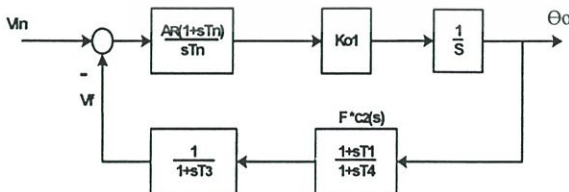


Fig.3 Shows the simplified block diagram of the close-loop VCO.

From Fig. 3, we can find the open-loop transfer function ( $F_{o1}(s)$ ) and close-loop transfer function ( $F_{c1}(s)$ ) as follow;

$$F_{o1}(s) = \frac{A_R(1 + sT_n) \cdot K_{o1}}{sT_n} \cdot \frac{1}{s(1 + sT_4)} \tag{4}$$

where we let  $T_3$  equal to  $T_1$ .

From Eq. (4), the close-loop transfer function is found as follow;

$$F_{c1}(s) = \frac{A_R K_{o1} (1 + sT_n)}{A_R K_{o1} + sA_R K_{o1} T_n + s^2 T_n + s^3 T_n T_4} \tag{5}$$

From Eq. (5), the PI-controller  $\frac{A_R(1 + sT_n)}{sT_n}$  can be designed by symmetrical optimum method [8], the parameter of controller can be found as follow;

$$T_n = 4T_4, A_R = \frac{1}{(2K_{o1} T_4)} \tag{6}$$

### 3. A NEW PLL CONFIGURATION

When we combined the dual-loop VCO with the main loop which composed of a PFD<sub>2</sub>, LPF<sub>2</sub>, compensator and PI-controller, the new PLL configuration can be achieved as shown in Fig. 4.

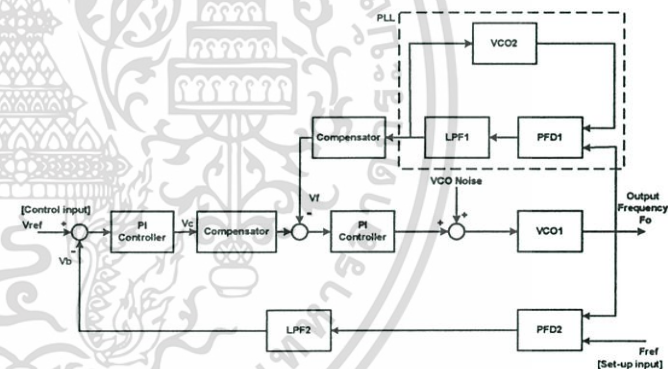


Fig.4 A new PLL system with controllable output phase and lock-up time.

In Fig.4 shows the new PLL system with controllable output phase and lock-up time. The main loop is the heart of this PLL system, it has a two input signal, one is the reference frequency ( $F_{ref}$ ) input to be used for setup the output frequency of the VCO. This input has the high noise immunity resulting from limited bandwidth of a low pass filter ( $LPF_2$ ) to the external noise coupling at high frequency. The another input signal of this PLL system is the control input represented by a voltage signal in order to control the phase of the VCO output independently from the frequency output as well as reduction of the lock-up time of the system response.

From Fig.4 can be simplified as shown in Fig.5, the PI-controller of this loop can be designed based on Fig.5.

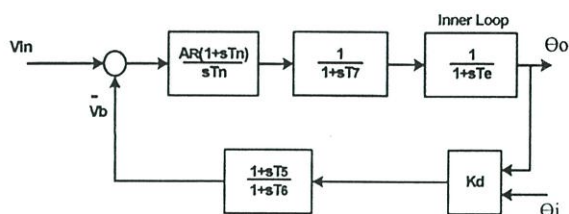


Fig.5 Shows the transfer function of a new PLL system.

From Fig.4, the inner loop (dual-loop of VCO) can be reduced to be equal  $1/(1+sT_e)$  where  $T_e = 4T_4$

From Fig.5, we can find the open-loop transfer function ( $F_{o2}(s)$ ) and closed-loop transfer function ( $F_{c2}(s)$ ) as follow;

$$F_{o2}(s) = \frac{A_R(1+sT_n)}{sT_n} \cdot \frac{1}{(1+sT_e)} \cdot K_d \cdot \frac{(1+sT_5)}{(1+sT_6)} \cdot \frac{1}{(1+sT_7)} \quad (7)$$

where, we let the time constant  $T_7 = T_5$ .

From Eq. (7), the closed-loop transfer function is found as follow;

$$F_{c2}(s) = \frac{A_R K_d (1+sT_n)}{A_R K_d + sT_n(A_R K_d + 1) + s^2 T_n(T_e + T_b) + s^3 T_n T_e T_b} \quad (8)$$

From Eq. (8), the PI-controller  $\frac{A_R(1+sT_n)}{sT_n}$  can be designed by symmetrical optimum method [8] the parameter of controller can be found as follow;

$$A_R = \frac{T_6}{(2K_d T_e)} \text{ and } T_n = 4T_e \frac{T_6}{T_6 + 3T_e} \quad (9)$$

The PI-controller of the main loop is designed for the optimum loop response as well as minimizing the lock-up time.

#### 4. EXPERIMENTAL RESULTS

To verify this concept, we implement the dual-loop feedback configuration of VCO and the new PLL system with respect to Fig.1 and Fig.4 respectively

##### 4.1 The dual-loop VCO characteristics

The on-chip VCO is MC14046B having the maximum frequency output 600KHz with  $V_{DD}$  8 volt. The feedback path composed of PLL for providing a voltage output of LPF1 that is proportional to the input frequency and a compensator.

The controller is designed for closed-loop VCO according to the symmetrical optimum. The linearity of conventional VCO is greatly improved by dual loop VCO as shown in Fig. 6.

The transient response measurement of dual-loop VCO is setup with respect to Fig.1. This measurement the output of compensator is the voltage signal (Vf) then it is convenient to be measured by digital storage oscilloscope as the output response of dual-loop VCO. The  $V_{in}$  is the input command and the  $V_d$  is represented as the output of dual-loop VCO which used for measurement the step response due to d.c./a.c. signal or noise coupling at  $V_d$  input.

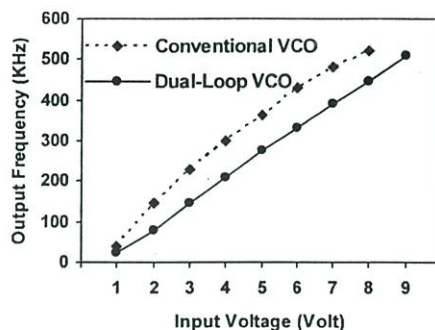


Fig. 6 Shows the linearity of conventional VCO is greatly improved by dual-loop VCO.

Fig.7 shows the output response of dual-loop VCO to the step d.c. signal coupling ( $V_d$ ). The dual loop VCO has the ability to suppress the d.c. signal coupling.

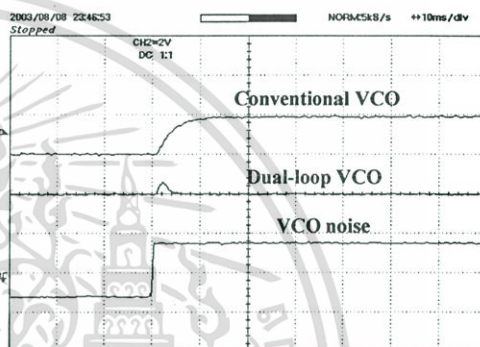


Fig. 7 Shows the output response to step d.c. signal coupling ( $V_d$ ).

Fig. 8 shows output response to step a.c. signal coupling ( $V_d$ ). The dual-loop VCO also has the ability to suppress the a.c. signal coupling at the frequency more than 1 MHz.

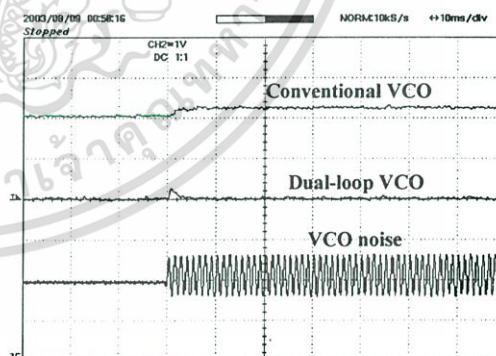


Fig. 8 Shows the output response to step a.c. signal coupling ( $V_d$ ).

From Fig. 7 and 8, the dual-loop VCO has ability to suppress VCO noise better than conventional VCO. The frequency stability of dual-loop VCO measurement can be conducted by measuring the output frequency ( $F_o$ ) of VCO which affected by the variation of the amplitude and frequency of the d.c./a.c. signal coupling and the variation of d.c. power supply. We set input of dual loop VCO to keep its output frequency constants at 300KHz. The measured data's can be plotted as the graphs shows in Fig.9 , Fig.10 and Fig.11 respectively.

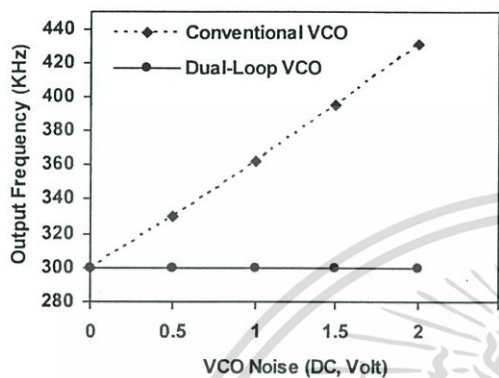


Fig. 9 Shows frequency stability against VCO noise (d.c.signal coupling).

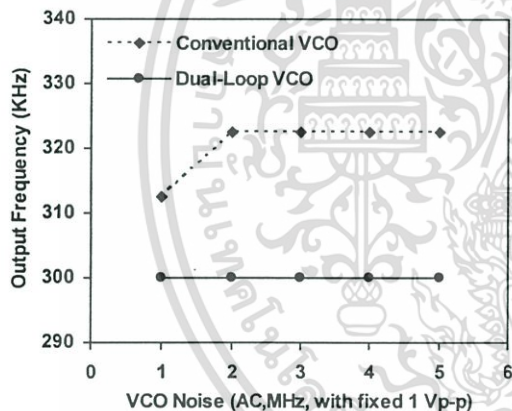


Fig. 10 Shows frequency stability against VCO noise (a.c. signal coupling).

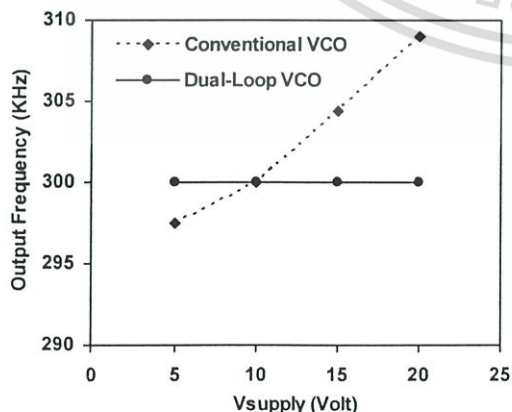


Fig. 11 Shows frequency stability against power supply variation.

### 4.2 The new PLL system

The new PLL system with controllable output phase and lock-up time is independent from output frequency which composes of the dual-loop VCO, PFD2, LPF2, compensator and PI controller as shown in Fig.4. The transient response measurement of the new PLL system is setup with respect to Fig.4. This measurement the output of PI-controller at the main loop is the voltage signal (Vc). The Vref is the control input used to control the phase of the frequency output and the lock-up time of the system response. The PI-controller of the main loop is designed by mean of the symmetrical optimum. Fig.12 show the transient response of the new PLL system to the step input frequency (Fref) when adjusting the control input (vref) equal to 1.5, 2, 2.5, 3 and 3.5 volt for reduce the lock-up times equal to 19, 9, 6, 4 and 3ms respectively. The new PLL system has the capacity to reduce the lock-up time.

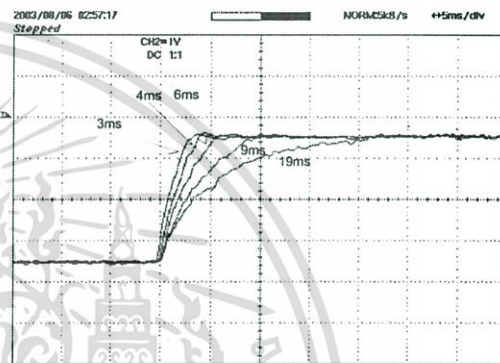
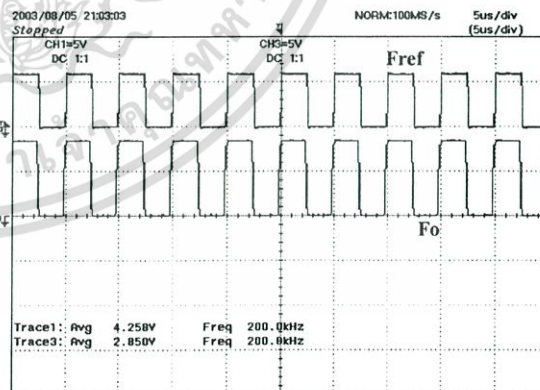
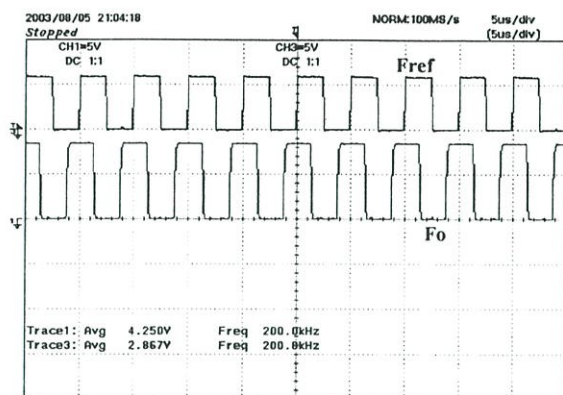


Fig. 12 Shows the lock-up times of the new PLL system with variable control signal (Vref).

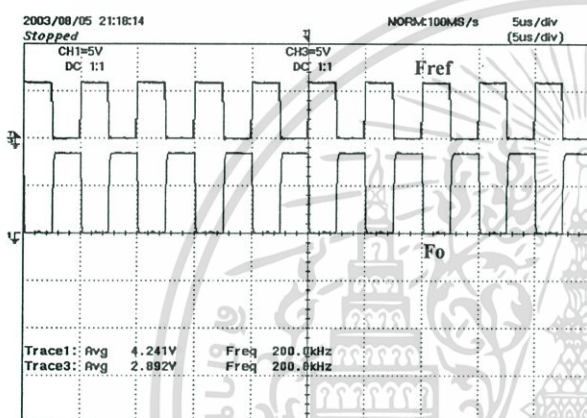
Fig. 13 shows the output frequency of the new PLL system to keep its output frequency at 200KHz when adjusting the Vref equal to 7, 8 and 9 volt for change the output phase equal to 0°, 90° and 180° degree difference respectively.



a. output phase equal to 0° degree difference.



b. output phase equal to  $90^\circ$  degree difference.



c. output phase equal to  $180^\circ$  degree difference.

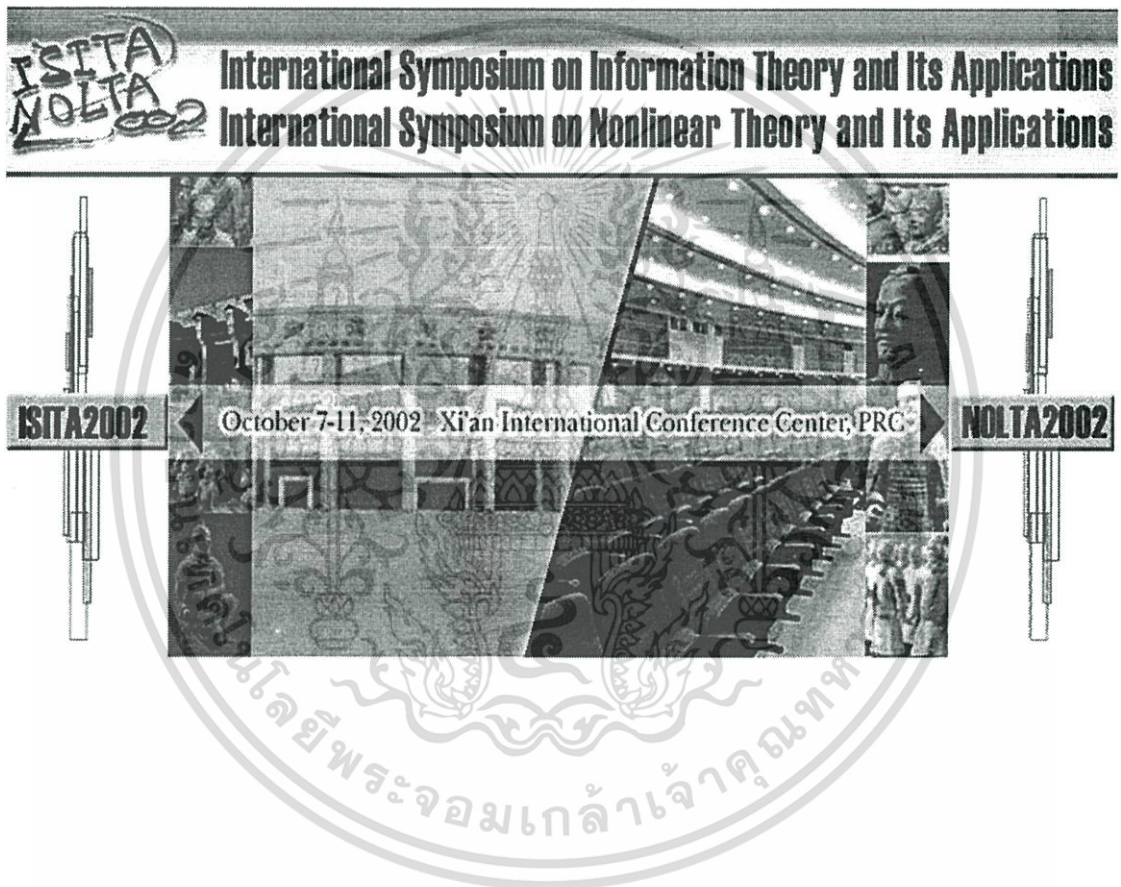
Fig. 13 Shows the output phase control of the new PLL system.

## 5. Conclusion

The new PLL system is realized by combining the dual-loop VCO as the minor loop with the main loop consisted of PFD, LPF, compensator and PI-controller. The minor loop is the dual control loop of VCO acted as the VCO regulation system which has PI-controller and the feedback part to be a PLL. The purpose of minor loop can improve the performance of VCO such that linearity, frequency stability due to effected of VCO noise disturbances and the power supply variation. The main loop is the heart of new PLL system, it has a two inputs signal, one is used to setup the output frequency of system and another one is the control input using to control output phase independently from the output frequency. To minimize the lockup-time can also be controlled independently by the same input,  $V_{ref}$ . The validness of this PLL system was confirmed by experimental results.

## REFERENCE

- [1] R.R. cordell and W.G. Garrett, "A highly stable VCO for application in monolithic phase locked loops," IEEE J. Solid-State Circuit; Vol. SC-10, pp. 480-485, Dec. 1975.
- [2] B.Gilbert, "A versatile voltage to frequency converter" IEEE J. Solid-State Circuit, Vol. SC-11, pp.852-864, Dec. 1976.
- [3] J.F. Kukielda and R.G. Meyer, "A high frequency temperature-stable monolithic VCO" IEEE J. Solid-State Circuit, Vol. SC-16, pp. 1214-1219, Dec. 1981.
- [4] T.P. Liu and R.G. Mayer, "A 250MHz Monolithic Voltage Controlled Oscillator with Low Temperature Coefficient" IEEE J. Solid-State Circuit, Vol. 25. pp. 555-561, April. 1990.
- [5] D. Wolaver, Phase-Locked Loop Circuit Design, Prentice Hall, 1991.
- [6] Amr N. Hafez and M. I. Elmasry, "Fully Integrated Low Phase-Noise PLLs Using Closed-Loop Voltage-to-Frequency Converter Architectures," Custom Integrated Circuits, Proceedings of the IEEE, pp.653-565, 16-19 May 1999.
- [7] V. Vibunjarone and Y. Prempraneerach, "Improved Noise Reduction and Frequency Stability of VCO with External Feedback Loop" International Symposium on Nonlinear Theory and its Applications, Xi'an, China, PRC, pp. 743-746, October 7-11, 2002.
- [8] Siemens Aktiengesellschaft, "Introduction to Electronic Control Engineering", Second Wiley Easter Reprint, pp. 337-348, 1992.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Improved Noise Reduction and Frequency Stability of VCO with External Feedback Loop

V. Vibunjarone and Y. Prempraneerach

Faculty of engineering and Research Center for Communication and Information Technology, King Mongkut's Institute of Technology, Ladkrabang, Bangkok, Thailand. 10520.

### Abstract:

The integrated circuit VCO is combined with PI controller and F to V converter as the feedback part to be a closed-loop VCO circuit (CLVCO). This closed-loop circuit can achieve both wide bandwidth for good frequency stability of VCO as well as good noise rejection. The experimental results show that CLVCO is independent of power supply variation, and the performance of VCO is greatly improved. The controller design for optimum output response and minimizes the effect of VCO noise is also discussed.

### 1. Introduction

Voltage controlled oscillators (VCO's) are widely used in such application as phase-locked loops (PLL), frequency synthesizers, FM modulators, clock recovery and many others. Most of the research works of VCO is the attempt to improve the temperature stability of the VCO's frequency at high frequencies [1] - [4]. The VCO phase noise in the PLL is not attenuated by the loop in the range of interest [5]. Thus it is usually necessary to resort to an off-chip, high Q VCO. The other important performance of the VCO is the frequency stability and the VCO noise due to the voltage drift effected by the d.c. or a.c. noise coupling at the input of VCO.

This paper presents the closed-loop VCO (CLVCO) with a frequency-to-voltage (FVC) as the feedback element [6]. The PI-controller is designed for CLVCO by mean of the symmetrical optimum [7] in order to minimize the affect of d.c. and a.c. disturbances and to get the optimum output response. Thus we can use a low performance on-chip VCO, while the frequency stability and the VCO noise suppression are greatly improved. The experimental results confirm the validity of the proposed strategy.

### 2. Closed-Loop VCO Configuration

The proposed closed-loop VCO circuit is shown in Fig. 1. An ordinary VCO is configured in a feedback loop. The output of the VCO is first divided down to an intermediate frequency where a frequency-to-voltage converter (FVC) could be easily designed. The FVC then produces a voltage output that is proportional to the input

frequency. This output is subtracted from a reference voltage and the error signal is subjected to the PI-controller which is designed for CLVCO by mean of the symmetrical optimum to minimize the affect of d.c. and a.c. disturbances and to get the optimum output response.

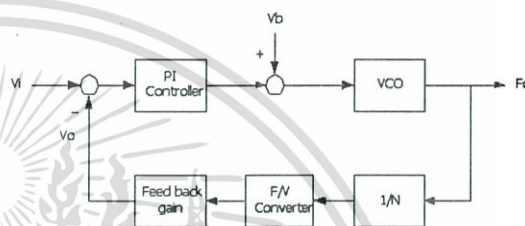


Fig.1 Closed-loop VCO configuration.

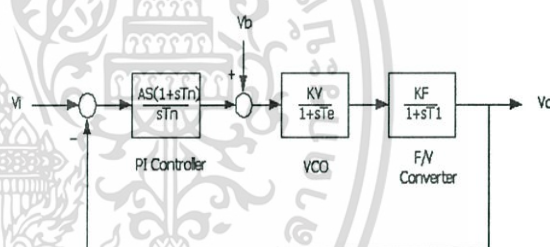


Fig. 2 Block diagram of the closed-loop VCO.

The controller  $F_R(s)$  has a pole at d.c. (integrator), then the steady state error signal will be zero and the output of the F/V will be equal to the input reference. The output frequency will thus be equal to

$$f_o = \frac{N}{K_F} V_i \quad (1)$$

Where  $K_F$  is the gain of the FVC in  $V/H_z$ .

Fig. 2 shows the block diagram of the closed-loop VCO with the nature of the signal shown at each point. The FVC is modeled by first-order delay with its gain  $K_F$ . From Fig. 2 we can find the open-loop transfer function as follow;

$$F_O(s) = \frac{A_R (1+sT_n)}{sT_n} \cdot \frac{K_V}{1+sT_e} \cdot \frac{K_F}{1+sT_1} \quad (2)$$

The PI - controller is in the form of proportional gain, phase advance term and the integral element ;  $A_R (1+sT_n)/sT_n$

Where  $A_R$  is the proportional gain.  
 $T_n$  is the integral time constant.  
 $T_e$  is the time delay of VCO.  
 $T_1$  is the time delay of FVC.  
 $K_V$  is the gain constant of VCO, and  
 $K_F$  is the gain constant of FVC.

If a system to be controlled includes  $T_1 > 4 T_e$ , the controller for the system should be designed in accordance with the symmetrical optimum. Hence the optimization formula for the proportional gain and the integral time constant are as follow.

$$T_n = 4 T_e K_2 \quad (3)$$

$$A_R = \frac{T_1}{2K_F K_V T_e} \cdot K_1 \quad (4)$$

Where  $K_1 = 1 + \frac{T_e^2}{T_1^2}$  and  $K_2 = \frac{K_1}{(1+T_e)^3 \cdot \frac{T_1}{T_e}}$

### 3. Experimental Results

We implement the closed-loop VCO with respect to Fig. 1. The on-chip VCO is MC14046B having the maximum frequency output 1.9 MHz with  $V_{DD} = 15$  volt. The feedback path composed of FVC used with integrate circuit of LM 331 and the frequency divider (1/N) is equal to 1/60, and feedback gain is 4.5. The controller is designed for CLVCO according to the symmetrical optimum approach and based on the delay time of the VCO ( $T_e = 20ms$ ) and the delay time of FVC ( $T_1 = 100ms$ ).

#### 3.1 Transient Response of CLVCO

The transient response measurement of CLVCO is setup with respect to Fig. 2. This measurement the output of FVC is the voltage signal ( $V_o$ ) then it is convenient to be measured by digital storage oscilloscope as the output response of the CLVCO. The  $V_i$  is the input command and the  $V_b$  is the second input which used for measurement the output response due to d.c./a.c. signal or noise coupling at this input.

#### 3.1.1 Output Response to Step Input

Fig.3 shows the output response of CLVCO to the step input command comparing with opened - loop response. According well - designed of controller shows a rapid response to change in input control voltage with fast rise time and no overshoot. The CLVCO has more wide bandwidth than the opened - loop VCO is, of course, it's ability to follow changes in  $V_i$  and reflect these changes accurately in the way that  $F_o$  changes.

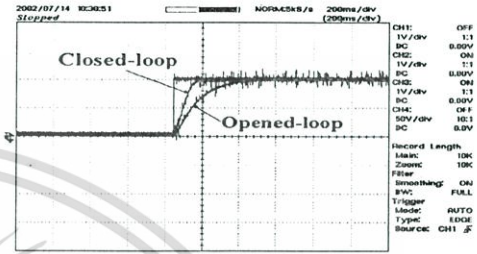


Fig. 3 Output response of CLVCO to the step input comparing with opened-loop response.

#### 3.1.2 Output Response to Step D.C. Signal Coupling

Fig. 4 shows the output response of CLVCO to the step d.c. signal coupling ( $V_b$ ). The CLVCO has the ability to suppress the d.c. signal coupling.

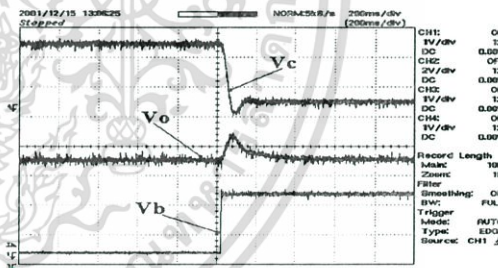


Fig. 4 Output response of CLVCO to the step d.c. signal coupling ( $V_b$ ).

#### 3.1.3 Output Response to Step A.C. Signal Coupling

Fig. 5 shows output response to step a.c. signal coupling ( $V_b$ ). The CLVCO also has the ability to suppress the a.c. signal coupling at the frequency more than 2 MHz.

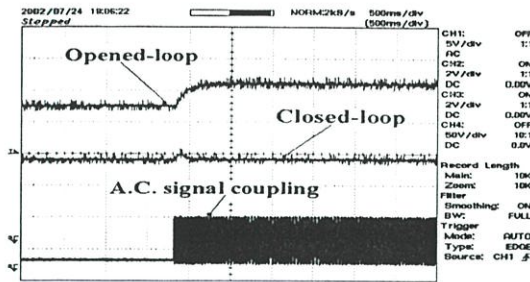
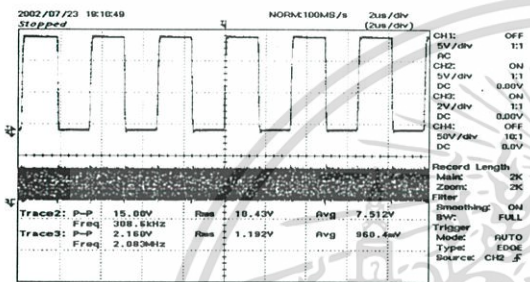
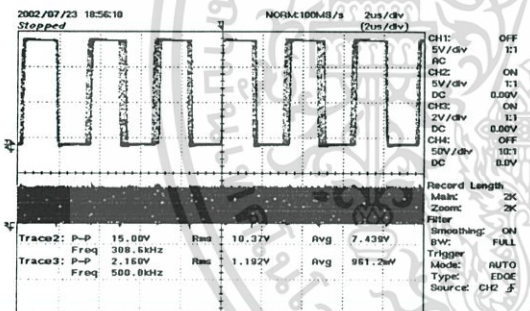


Fig. 5 Output response to step a.c. signal coupling (Vb).

Fig. 6 shows the ability of CLVCO to suppress the high frequency more than 2 MHz. of a.c. signal coupling.



(a) Vb = 2 MHz



(b) Vb = 500 KHz

Fig. 6 Output frequency (Fo) of VCO can suppress the high frequency a.c. signal coupling, (a) no phase jitter, (b) occurring phase jitter.

### 3.1.4 Output Response to Step Noise Coupling

Fig. 7 shows the output response of CLVCO to step noise coupling (Vb). The CLVCO also has the ability to suppress the VCO noise coupling.

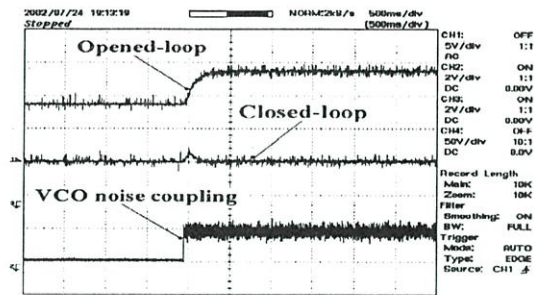
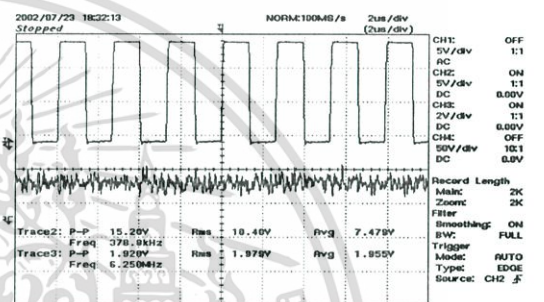
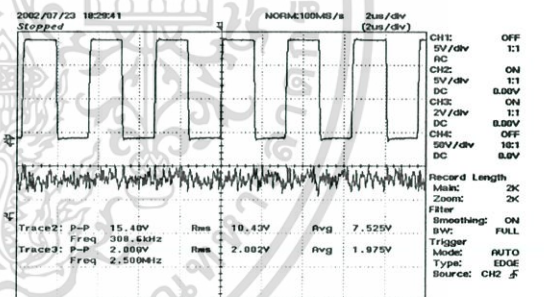


Fig. 7 Output response to step noise coupling (Vb).

The ability of CLVCO to suppress the VCO noise coupling is shown in Fig. 8.



(a) Opened - loop VCO



(b) Closed - loop VCO

Fig. 8 Output frequency (Fo) of VCO when injected the VCO noise, (a) opened - loop VCO, (b) closed - loop VCO.

### 3.2 Frequency Stability of CLVCO

The frequency stability of CLVCO measurement can be conducted by measuring the output frequency (Fo) of VCO which affected by the variation of the amplitude and frequency of the d.c. / a.c. signal and the VCO noise coupling and the variation of d.c. power supply. The

measured datas can be plotted as the graphs shown in Fig. 9, Fig. 10, Fig. 11 and Fig. 12 respectively.

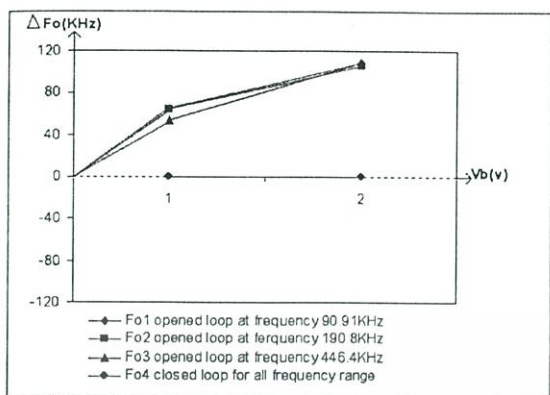


Fig. 9 Frequency deviation due to d.c. signal coupling.

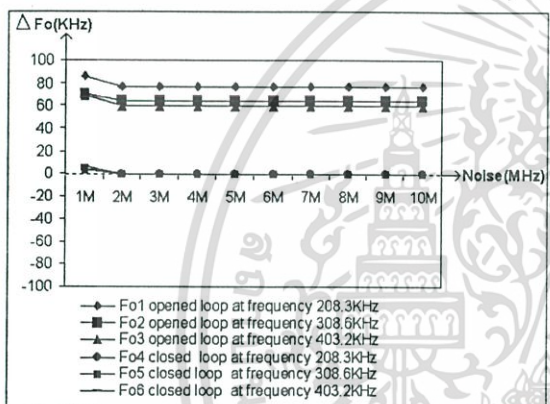


Fig.10 Frequency deviation due to high frequency a.c. signal coupling.

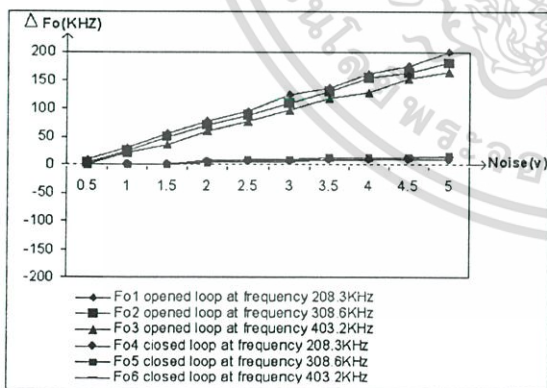


Fig.11 Frequency deviation due to VCO noise coupling.

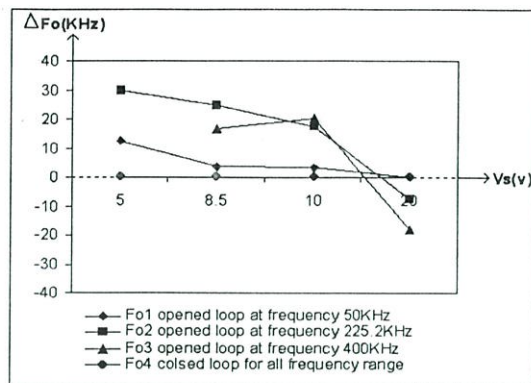


Fig.12 Frequency deviation due to d.c. power supply variation.

4. Conclusion

The on - chip VCO with external feedback loop shows that well design of controller achieves both a large bandwidth for good frequency stability of VCO as well as good noise rejection. The measured experimental results from the CLVCO shown a fast output response is the performance of wide operation bandwidth, good frequency stability, effectively noise suppression and insensitivity to power supply variations.

References

- [1] R.R. cordell and W.G. Garrett, "A highly stable VCO for applications in monolithic phase locked loops," IEEE J. Solid - State Circuits, Vol. SC -10, pp. 480-485, Dec. 1975.
- [2] B.Gilbert, "A versatile voltage to frequency converter" IEEE J. Solid - State Circuits, Vol. SC-11, pp. 852-864 ,Dec.1976.
- [3] J.F. Kukielda and R.G. Meyer, "A high frequency temperature- stable monolithic VCO" IEEE J. Solid - State Circuits, Vol. SC-16, pp. 1214-1219, Dec 1981.
- [4] T.P. Liu and R.G. Mayer, "A 250MHz Monolithic Voltage Controlled Oscillator with Low Temperature Coefficient" IEEE J. Solid - State Circuits, Vol. 25, pp. 555-561, April.1990.
- [5] D. Wolaver, "Phase - Locked Loop Circuit Design", Prentice Hall, 1991.
- [6] C.W. Malinowski, H. Rinderle, and M. Siegle, "A novel frequency processing method and its implications on future tuning systems." IEEE Trans. Consumer Electron. Vol. CE-25, pp. 649-669, Aug.1979.
- [7] Siemens Aktiengesellschaft, "Introduction to Electronic Control Engineering", Second Wiley Easter Reprint, 337 p. , 1992.

## ประวัติผู้เขียน

นาย วิชชุพงษ์ วิบูลเจริญ เกิดเมื่อวันที่ 28 เมษายน 2522 ที่จังหวัดนครราชสีมา สำเร็จ การศึกษาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมระบบควบคุม จากคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2545 เข้าศึกษาต่อระดับ ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบัน เทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2545 มีผลงานทางวิชาการที่ได้ ตีพิมพ์เผยแพร่จำนวนสองเรื่องคือ แก๊วการลดน้อยสและเสถียรภาพทางความถี่ของวีซีโอที่มีการ ป้อนกลับภายนอกให้ดีขึ้นและระบบเฟสล็อคแบบใหม่ที่สามารถควบคุมเฟสเอาท์พุทและ ช่วงเวลาในการล๊อคได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้