

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



เครื่องมือวัดอัตราการไหลของของเหลวแบบแม่เหล็ก 2

รพ.  
จ ๗๖๑๑  
๒๕๖๗

นางสาว เจิดจันทร์

ค่านวณสินธุ์

นาย รัชชัย

ศิริชุตมเลิศ

เลขหมู่.....  
เลขทะเบียน.....  
วันเดือนปี.....

612520093

โครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรวิทยาศาสตรบัณฑิต

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา ๒๕๖๗

## **MAGNETIC FLOW METER 2**

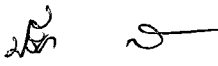
**Miss Jerdjun                      Khamnaunsin**  
**Mr. Thanachai                    Siriudomlert**

**A Special Project submitted in Partial Fulfillment of the  
Requirement for the Degree of Bachelor of Science  
Department of Applied Physics Faculty of Science  
King Mongkut's Institute of Technology Ladkrabang**

**1994**

หัวข้อโครงการพิเศษ เครื่องมือวัดอัตราการไหลของของเหลวแบบแม่เหล็ก 2  
โดย นางสาว เจ็ดจันทร์ คำานานสินธุ์  
นาย ธนชัย ศิริอุดมเลิศ  
ภาควิชา ฟิสิกส์ประยุกต์ 1  
อาจารย์ที่ปรึกษา ผศ. ดร. ธารีย์ วิเชียรฉาย  
อ. อนุชิต จารุวนาวังษ์

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร  
ลาดกระบัง อนุมัติให้นับโครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตร  
บัณฑิต

  
.....หัวหน้าภาควิชาฟิสิกส์ประยุกต์  
(ผศ. ดร. ปรีชา เทียนสมประสงค์)

คณะกรรมการโครงการพิเศษ

.....ประธานกรรมการ  
(ผศ. ดร. วราวุฒิ เถาถัดดา)

  
.....กรรมการ  
(ผศ. ดร. ธารีย์ วิเชียรฉาย)

.....กรรมการ  
(อ. อนุชิต จารุวนาวังษ์)

.....กรรมการ  
(ก. สุทิน เมฆไกรศรี)

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หัวข้อโครงการพิเศษ	เครื่องมือวัดอัตราการไหลของของเหลวแบบแม่เหล็ก ๒.	
โดย	นางสาว เจิดจันทร์	ถ่านวนสินธุ์
	นาย ธนชัย	ศิริอุดมเลิศ
อาจารย์ที่ปรึกษา	ผศ. ดร. ศารีย์ วัชรณาย	
	อ. กฤษิต จารูวนาวัฒน์	
ภาควิชา	ฟิสิกส์ประยุกต์	
ปีการศึกษา	2537	

### บทคัดย่อ

เครื่องมือวัดอัตราการไหลของของเหลวแบบแม่เหล็กเป็นเครื่องมือวัดที่มีหลักการทำงานตามกฎของฟาราเดย์กล่าวคือ เมื่อมีของเหลวที่นำไฟฟ้าได้ไหลตัดสนามแม่เหล็กจะเกิดแรงเคลื่อนไฟฟ้าเหนี่ยวนำขึ้นในทิศทางตั้งฉากกับทั้งทิศของสนามแม่เหล็ก และ ทิศของการไหลแรงเคลื่อนไฟฟ้าเหนี่ยวนำที่เกิดขึ้นนี้จะแปรผันโดยตรงกับอัตราเร็วของการไหล

วงจรอิเล็กทรอนิกส์ของเครื่องมือวัดอัตราการไหลของของเหลวแบบแม่เหล็กที่สร้างขึ้นประกอบไปด้วยสองส่วนใหญ่ ๆ คือ ส่วนอนาลอก และ ส่วนดิจิตอล หน้าทึบของวงจรในส่วนอนาลอกคือ ขั้วขดลวดที่ใช้สร้างสนามแม่เหล็ก ตรวจวัดแรงเคลื่อนไฟฟ้าเหนี่ยวนำ กำจัดสัญญาณรบกวน และ แปลงแรงเคลื่อนไฟฟ้าเหนี่ยวนำซึ่งเป็นไฟฟ้ากระแสสลับให้เป็นไฟฟ้ากระแสตรง จากนั้นจึงแปลงแรงเคลื่อนไฟฟ้าเหนี่ยวนำให้เป็นสัญญาณดิจิตอล 8 บิต เพื่อส่งไปคำนวณอัตราการไหล และ ปริมาตรในส่วนดิจิตอล

ในส่วนวงจรอนาลอกพบว่าไม่สามารถกำจัดสัญญาณรบกวนให้หมดไปได้เนื่องจากแกนเหล็กที่ใช้พันขดลวดเกิดการอิ่มตัว และ การใช้แผ่นพิมพ์วงจรเอนกประสงค์ในการต่อวงจร ในส่วนดิจิตอลได้ทำการทดสอบการวัดปริมาตรของวงจรและพบว่าความผิดพลาดของการวัดปริมาตรมีค่าประมาณ 0.72%

Special Project Title    Magnetic Flow Meter 2  
Name                        Miss Jerdjun    Khamnaunsin  
                                      Mr. Thanachai    Siriudomlert  
Special Project Advisor   Assist. Prof. Dr. Aree   Vichienchay  
                                      Ajarn Anuchit   Jarivanawat  
Department                Applied Physics  
Academic Year             1994

#### Abstract

The magnetic flow meter is based on Faraday's law of electromagnetic induction. The proportional emf voltage to the conducting fluid is induced in the perpendicular direction to both flow direction and magnetic field.

The electronic system of magnetic flow meter is divided to two main parts, i.e. analog and digital parts. The function of analog part is driving magnetic coil, detect emf signal, eliminate noise signal and convert the ac signal to dc signal. The dc signal is converted to digital signal and then is sent to digital part for calculating flow rate and volume.

The big problem in analog part is the induced noise due to wire wrapped circuit board and saturation of magnetic coil. In digital part, the error in measuring volume is about 0.72%

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สามารถสำเร็จลงได้ด้วยดีเพราะได้รับความช่วยเหลือจากท่านผู้มีพระคุณหลายท่าน ซึ่งคณะผู้จัดทำขอกราบขอบพระคุณมา ณ โอกาสนี้ด้วย

ขอขอบพระคุณ ผศ. ดร. อารีย์ วิเชียรฉาย อาจารย์ อนุชิต จารุनावวัฒน์ ที่ได้กรุณาให้คำแนะนำ และ ให้ความช่วยเหลือในการดำเนินงานทำโครงการพิเศษตลอดมา  
ขอขอบพระคุณ ผศ. ดร. ปรีชา เทียนสมประสงค์ ผศ. ดร. วราวุฒิ เดชาติดา อาจารย์ วิชิต ศิริโชติ และ คณะอาจารย์ภาควิชาฟิสิกส์ประยุกต์ทุกท่านที่ได้กรุณาให้กำลังใจ และ ให้ความสนับสนุนในการทำโครงการพิเศษชิ้นนี้

สุดท้ายนี้ขอขอบคุณ พี่ๆ และ เพื่อนๆ ทุกคนที่ช่วยให้ความช่วยเหลือ ให้คำปรึกษา และ ให้กำลังใจ ในการทำโครงการพิเศษ

## สารบัญ

	หน้า
บทคัดย่อปัญหาพิเศษภาษาไทย	ก
บทคัดย่อปัญหาพิเศษภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญรูป	ณ
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี และ หลักเกณฑ์ที่เกี่ยวข้อง	3
2.1 ธรรมชาติของของไหล	3
2.1.1 คุณสมบัติ	3
2.1.2 ความดัน	3
2.1.3 ความหนาแน่น	3
2.1.4 ความหนืด	4
2.1.5 การไหลแบบลามินาร์ ทรานซิชั่น และ เทอร์บิเลนต์	6
2.1.6 ความสามารถในการอัดตัว	7
2.2 สนามแม่เหล็กสถิต	8
2.2.1 กฎของแอมแปร์	8
2.2.2 สนามแม่เหล็กในขดลวดโซลินอยด์	8
2.3 หลักการเบื้องต้นของเครื่องมือวัดอัตราการไหลแบบแม่เหล็ก	10
2.3.1 ข้อดีของเครื่องวัดอัตราการไหลแบบแม่เหล็ก	12
2.3.2 ข้อเสียของเครื่องวัดอัตราการไหลแบบแม่เหล็ก	12
2.4 หลักการเบื้องต้นของวงจรที่ใช้ในเครื่องมือวัดอัตราการไหลแบบแม่เหล็ก	13
2.4.1 วงจรกำเนิดคลื่นสี่เหลี่ยม	13
2.4.2 วงจรขยายแอมป์อินสตรูเมนเตชัน	15
2.4.3 วงจรกรองความถี่บางส่วนผ่าน	16
2.4.4 วงจรแปลงไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรง	17

	หน้า
2.5 ไมโครคอนโทรลเลอร์ MCS-8051	19
2.5.1 สถาปัตยกรรมของ MCS-8051	19
2.5.2 โครงสร้างพอร์ต และ การทำงาน	20
2.5.3 ตัวนับเวลา/ตัวจับเวลา	22
2.5.4 อินเทอร์รัพต์	25
2.6 วงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล	25
บทที่ 3 การดำเนินงาน	27
3.1 การพันขดลวดแม่เหล็ก	27
3.2 การทำท่อ และ อิเล็กโตรด	28
3.3 วงจรอิเล็กทรอนิกส์ของเครื่องวัดอัตราการไหล	29
แบบแม่เหล็ก	
3.3.1 วงจรช่วยสร้างสนามแม่เหล็ก	29
3.3.2 วงจรภาครับสัญญาณจากอิเล็กโตรด	33
3.3.3 ส่วนแสดงผล	36
บทที่ 4 ผลการทดสอบ และ ข้อเสนอแนะ	39
4.1 ผลการทดสอบ	39
4.2 วิเคราะห์ผลการทดสอบ	41
4.3 ข้อเสนอแนะ	42
ภาคผนวก ก โปรแกรมควบคุมส่วนแสดงผล	
ภาคผนวก ข Data Sheet	
บรรณานุกรม	

## สารบัญรูป

	หน้า
รูปที่ 2.1 ขงไหลที่อยู่ระหว่างชั้นของขงไหล	5
รูปที่ 2.2 ลักษณะของการไหลของขงไหล	6
รูปที่ 2.3 สนามแม่เหล็กในขดลวดโซลินอยด์	8
รูปที่ 2.4 หน้าตัดขวางของขดลวดโซลินอยด์	9
รูปที่ 2.5 หลักการของเครื่องวัดอัตราการไหลแบบแม่เหล็ก	11
รูปที่ 2.6 วงจรกำเนิดคลื่นสี่เหลี่ยม	13
รูปที่ 2.7 รูปคลื่นการท่วงเนของวงจรงำเนิดคลื่นสี่เหลี่ยม	14
รูปที่ 2.8 สัญญาณรบกวนที่ถูกเหนี่ยวนำเข้าระบบ	15
รูปที่ 2.9 วงจรขยายแบบอินสตรูเมนเตชัน	16
รูปที่ 2.10 วงจรรองความถี่เป็นช่วง	17
รูปที่ 2.11 วงจร MAV	18
รูปที่ 2.12 ค่าสัมบูรณ์เฉลี่ยของสัญญาณแต่ละชนิด	18
รูปที่ 2.13 สถาปัตยกรรมภายในของ MCS-51	20
รูปที่ 2.14 ไตอะแกรมของพอร์ต	21
รูปที่ 2.15 TMOD (Timer/Counter Mode Control Register)	23
รูปที่ 2.16 TCON (Timer/Counter Control Register)	24
รูปที่ 2.17 IE (Interrupt Enable Register)	24
รูปที่ 2.18 IP (Interrupt Priority Register)	25
รูปที่ 2.19 บล็อกไดอะแกรมของวงจรงำแปลงสัญญาณอนาลอกเป็น สัญญาณดิจิทัลแบบประมาณค่าหลายครั้ง	26
รูปที่ 3.1 แกนเหล็กที่ใช้ในการพันขดลวดแม่เหล็ก	27
รูปที่ 3.2 วิธีพันขดลวดแม่เหล็ก	28
รูปที่ 3.3 ลักษณะการลัดเรียงขดลวดแม่เหล็ก ท่อ และ อิเล็กโตรด	29
รูปที่ 3.4 วงจรช่วยสร้างสนามแม่เหล็ก	30
รูปที่ 3.5 วงจรรองกระแส	31
รูปที่ 3.6 วงจรที่ใช้ในการเปิดปิดทรานซิสเตอร์กำลัง	32

	หน้า
รูปที่ 3.7 วงจรกำเนิดสัญญาณรูสี่เหลี่ยมความถี่ 1kHz	33
รูปที่ 3.8 วงจรภาคตรวจวัดสัญญาณจากถั่วโลก ไตรด	34
รูปที่ 3.9 วงจร instrument amplifier	34
รูปที่ 3.10 วงจร bandpass filter	35
รูปที่ 3.11 วงจร mean-absolute value (MAV)	35
รูปที่ 3.12 บล็อกไดอะแกรมส่วนแสดงผล	36
รูปที่ 3.13 ฟังก์ชันทำงานของ โปรแกรมควบคุมส่วนแสดงผล	37
รูปที่ 3.14 วงจรของส่วนแสดงผล	38

## บทที่ 1

### บทนำ

เครื่องมือวัดอัตราการไหลของของเหลวฉบับวันยังมีการนำไปใช้งานมากยิ่งขึ้น โดยเฉพาะอย่างยิ่งในอุตสาหกรรมด้านต่าง ๆ เช่น อุตสาหกรรมเกษตร อุตสาหกรรมอิเล็กทรอนิกส์ อุตสาหกรรมเหมืองแร่ เป็นต้น นอกจากนี้ยังมีการนำไปใช้ใ้กระบวนการบำบัดน้ำเสีย เพื่อควบคุมปริมาณการเติมกรด-ด่าง เพื่อให้เป็นกลางอีกด้วย ดังนั้นจึงได้มีการพัฒนา และ สร้างเครื่องมือวัดอัตราการไหลของของเหลวแบบแม่เหล็กอาศัยกฎของฟาราเดย์เป็นหลักในการทำงาน กล่าวคือ การวัดอัตราการไหลจะเป็นการวัดความต่างศักย์ไฟฟ้าเหนี่ยวนำที่เกิดขึ้นเมื่อมีของเหลวที่นำไฟฟ้าได้ไหลตัดสนามแม่เหล็กจะเกิดแรงเคลื่อนไฟฟ้าเหนี่ยวนำขึ้นในแนวตั้งฉากกับทิศทางการไหลและสนามแม่เหล็กซึ่งแรงเคลื่อนไฟฟ้าเหนี่ยวนำนี้จะแปรผันโดยตรงกับอัตราการไหลของของเหลว จากนั้นทำการเปลี่ยนสัญญาณความต่างศักย์ที่ได้ให้แสดงผลเป็นตัวเลขแสดงอัตราการไหลของของเหลว และ ปริมาตรของของเหลวที่ไหลผ่านท่อ

ในการทำโครงการพิเศษนี้ ได้มีการศึกษาถึงการทำงานของเครื่องมือวัดอัตราการไหลเดิม โดยศึกษาถึงอุปกรณ์ต่าง ๆ วงจรทางอิเล็กทรอนิกส์รวมทั้งทดลองใช้เครื่องมือวัดอัตราการไหล ซึ่งผลจากการทดลองให้เครื่องมือวัดอัตราการไหลนั้น เครื่องวัดไม่สามารถทำงานได้เนื่องจากไม่สามารถกำจัดสัญญาณรบกวนในวงจรส่วนอนาลอกได้

เครื่องมือวัดอัตราการไหลของของเหลวแบบแม่เหล็กที่พัฒนาขึ้นนี้ต้องอาศัยความรู้ และ หลักทางฟิสิกส์ ประกอบกับนำความรู้ทางด้านอิเล็กทรอนิกส์ทั้งในด้านอนาลอก และ ดิจิตอลเข้าช่วย ซึ่งองค์ประกอบทั้ง 2 ส่วนนี้เป็นสิ่งจำเป็นพื้นฐานในการสร้าง และ พัฒนาเครื่องมือวัดต่าง ๆ ซึ่งเมื่อเข้าใจในหลักการวิธีการดำเนินงานสร้างและพัฒนาเครื่องมือวัดชนิดนี้แล้ว สามารถที่จะนำมาเป็นพื้นฐาน หรือ แนวทางในการสร้างเครื่องมือวัดต่าง ๆ ได้ง่ายขึ้น

สำหรับวัตถุประสงค์ของโครงการพิเศษนี้คือ

1. เพื่อศึกษาหลักการการทำงานของเครื่องมือวัดอัตราการไหลของของเหลวแบบแม่เหล็ก
2. เพื่อศึกษาหลักการทางฟิสิกส์ที่เกี่ยวข้องกับโครงการพิเศษชิ้นนี้
3. เพื่อศึกษาถึงแนวทางนำความรู้ทางด้านอิเล็กทรอนิกส์ไปพัฒนาเครื่องมือวัดนี้ให้ใช้

ในงานอุตสาหกรรม

จากจุดประสงค์ข้างต้น สามารถกำหนดแนวทาง และ ขั้นตอนในการดำเนินงานในการสร้างและพัฒนาโครงการพิเศษชิ้นนี้ให้ประสบผลสำเร็จได้ดังต่อไปนี้

1.ศึกษาหลักการทํางานของเครื่องมือวัดชนิดนี้ โดยศึกษาทฤษฎีของฟาราเดย์ คือ จะมีแรงเคลื่อนไฟฟ้าเหนี่ยวนำเกิดขึ้นเมื่อมีของเหลวที่มีประจุไหลผ่าน ซึ่งแรงเคลื่อนไฟฟ้าเหนี่ยวนำที่เกิดขึ้นจะแปรผันโดยตรงกับอัตราการไหลของของเหลว และสามารถใช้ออกถึงอัตราการไหลของของเหลวได้

2.สร้าง และ พัฒนาปรับปรุงแก้ไขวงจรอิเล็กทรอนิกส์ในส่วนที่ทำหน้าที่ขับขลวดแม่เหล็กซึ่งเป็นตัวจ่ายกระแสให้ขลวดแม่เหล็กเพื่อสร้างสนามแม่เหล็กนี้ขึ้นมา ส่วนขลวดแม่เหล็กได้ศึกษาการพันขลวดแต่ไม่ได้ดำเนินงานสร้างเนื่องจากมีขลวดแม่เหล็กอยู่แล้ว

3.สร้างวงจรทางอิเล็กทรอนิกส์ และ ปรับปรุงแก้ไขวงจรเดิมในส่วนภาคตรวจจับสัญญาณ ซึ่งเป็นส่วนที่ทำหน้าที่ตรวจจับแรงเคลื่อนไฟฟ้าเหนี่ยวนำ และ กำจัดสัญญาณรบกวน จากนั้นจึงนำสัญญาณที่กำจัดสัญญาณรบกวนแล้วไปคำนวณปริมาตร และ อัตราการไหล

4.ปรับปรุง ให้เครื่องวัดอัตราการไหลแบบแม่เหล็กให้สามารถวัดปริมาตรได้

5.ขั้นตอนเปรียบเทียบผลการวัด เพื่อจะให้เครื่องมือที่สร้างขึ้นมานำมาใช้ได้โดยมีค่าที่ถูกต้องเป็นที่ยอมรับ

1.ประโยชน์ที่จะได้รับเมื่อดำเนินงานตามขั้นตอนดังกล่าวแล้วมีดังต่อไปนี้

1.สามารถเข้าใจในหลักการทางฟิสิกส์ที่นำมาใช้ในการสร้าง เครื่องงานพิเศษนี้และประยุกต์ใช้งานได้

2.สามารถเข้าใจในวงจรอิเล็กทรอนิกส์ซึ่งเป็นหลักการพื้นฐานทางอิเล็กทรอนิกส์ในการสร้างเครื่องมือวัดทางอุตสาหกรรมทั่วไป

3.สามารถเข้าใจถึงขั้นตอน และ วิธีการในการดำเนินงานให้ได้ผลสำเร็จเป็นไปตามวัตถุประสงค์

## บทที่ 2

### ทฤษฎีและหลักการที่เกี่ยวข้อง

#### 2.1 ขบวนการศึกษาของไหล ( Nature of fluids )

2.1.1 อุณหภูมิ ( Temperature ) ผลของการเปลี่ยนแปลงอุณหภูมิจะทำให้ตัวแปรอีกหลายตัว เช่น ความหนืด, ความหนาแน่น, ความสามารถในการบีบอัดตัว เปลี่ยนแปลงตามไปด้วย เนื่องจากเกิดการเปลี่ยนแปลงของอุณหภูมิของของเหลวในขณะที่ทำการวัดมีการเปลี่ยนแปลงน้อยมากดังนั้นจึงประมาณว่ามีค่าคงที่ ในการวัดอัตราการไหลเชิงปริมาตร (volumetric flow) ค่าอุณหภูมิพื้นฐาน ( temperature base ) มีค่า  $28^{\circ}\text{C}$  หรือ  $301\text{ K}$  ค่าอัตราการไหลในระบบที่ใช้อุณหภูมิต่าง ๆ จะต้องนำมาเทียบที่อุณหภูมิพื้นฐานนี้ เพื่อสะดวกในการเปรียบเทียบ และค่าที่บอกเป็นที่เข้าใจกันโดยทั่วไป

2.1.2 ความดัน ( Pressure ) การเปลี่ยนแปลงค่าของความดันในของเหลวจะมีผลต่อตัวแปรอื่น ๆ ให้ออกกว่าการเปลี่ยนแปลงอุณหภูมิ ค่าความดันพื้นฐาน ( pressure base ) มีค่า  $1.01325\text{ bar}_{abs}$  ( หน่วยความดันสัมบูรณ์ ) สำหรับการวัดอัตราการไหลเชิงปริมาตร

2.1.3 ความหนาแน่น ( Density ) .ความหนาแน่น คือมวลของสารต่อหนึ่งหน่วยปริมาตร หรือ เขียนในรูปสมการได้ว่า

$$\rho = \frac{m}{V} \quad [2.1]$$

$\rho$  = ความหนาแน่น

$m$  = มวลของของไหล

$V$  = ปริมาตรของของสาร

ความหนาแน่นของน้ำบริสุทธิ์ และ ปลอดภัยจากอากาศที่อุณหภูมิ  $0^{\circ}\text{C}$  ,  $30^{\circ}\text{C}$  ,  $50^{\circ}\text{C}$  และ  $100^{\circ}\text{C}$  ที่ความดัน 1 บรรยากาศ มีค่า 0.999 กรัม./ลบ.ซม. , 0.995 กรัม./ลบ.ซม. , 0.988 กรัม./ลบ.ซม. และ 0.958 กรัม./ลบ.ซม. ตามลำดับ จะสังเกตเห็นว่าความหนาแน่นของของเหลวจะเปลี่ยนไปตามอุณหภูมิ อย่างไรก็ตามความหนาแน่นของของเหลวแทบจะไม่เปลี่ยนแปลงเมื่อความดันเปลี่ยนไป ( ยกเว้นในช่วงความดันสูงมาก ๆ ) จึงเรียกของเหลวว่าเป็นสารประเภทอัดตัวไม่ลง แต่ในสารที่มีสถานะเป็นแก๊ส ความหนาแน่นจะเปลี่ยนตามความดัน และ

คุณหภูมิ โดยปกติแล้วอัตราการไหลจะวัดเป็นค่าเชิงปริมาตร ดังนั้นถ้าต้องการทราบมวลของการไหล ( mass flow ) จะต้องหาความหนาแน่นก่อนจึงสามารถทราบมวลได้

2.1.4 ความหนืด ( Viscosity ) คือ ค่าที่แสดงถึงความต้านทานต่อการไหลของของไหล แรงเสียดทานที่เกิดขึ้นในของไหลเป็นผลมาจากแรงดึงดูดระหว่างโมเลกุล และการเปลี่ยนแปลงโมเมนตัมระหว่างโมเลกุลของของไหล

พิจารณาชั้นของของไหลซึ่งอยู่ขนานกันสองชั้น และ ระยะห่างระหว่างชั้นทั้งสองเท่ากับ  $x$  โดยสมมติว่าชั้นของของไหลที่อยู่ด้านล่างมีความเร็วเป็นศูนย์ ส่วนชั้นของของไหลที่อยู่ด้านบนเคลื่อนที่ด้วยความเร็ว  $v$  ดังแสดงในรูปที่ 2.1 ถ้าอัตราการเปลี่ยนแปลงความเร็วของการไหลมีลักษณะเชิงเส้น และ ความเค้นเฉือนแปรผันโดยตรงกับอัตราการเปลี่ยนแปลงความเร็วของการไหล จะได้ว่า

$$\tau = \mu \frac{dv}{dx} \quad [2.2]$$

$\tau$  = ความเค้นเฉือน

$\mu$  = ค่าคงที่การแปรผัน

$\frac{dv}{dx}$  = อัตราการเปลี่ยนแปลงความเร็วของการไหล

สมการนี้เรียกว่า สมการความหนืดของนิวตัน ( Newton's equation of viscosity ) ค่าคงที่ของการแปรผัน  $\mu$  เรียกว่า สัมประสิทธิ์ความหนืด ( coefficient of viscosity ), ความหนืดสัมบูรณ์ ( absolute viscosity ), ความหนืดพลวัต ( dynamic viscosity ) หรือ เรียกก่าย ๆ ว่า ความหนืด

หน่วยของความหนืดสามารถหาได้โดยเขียนสมการที่ 2.2 ให้อยู่ในรูป

$$\mu = \frac{\tau}{dv/dx}$$

แทนหน่วยต่าง ๆ ของตัวแปรลงในสมการจะได้ว่า หน่วยของ  $\mu$  คือ

$$\frac{N/m^2}{(m/sec)/m} = \frac{N \cdot sec}{m^2}$$

การบอกค่าความหนืดในอีกลักษณะหนึ่งคือ นำค่าความหนืดสัมบูรณ์หารด้วยความหนาแน่นของของไหล ค่าความหนืดนี้เรียกว่า ความหนืดไคเนมาติก (kinematic viscosity) เขียนแทนด้วยสัญลักษณ์  $\nu$

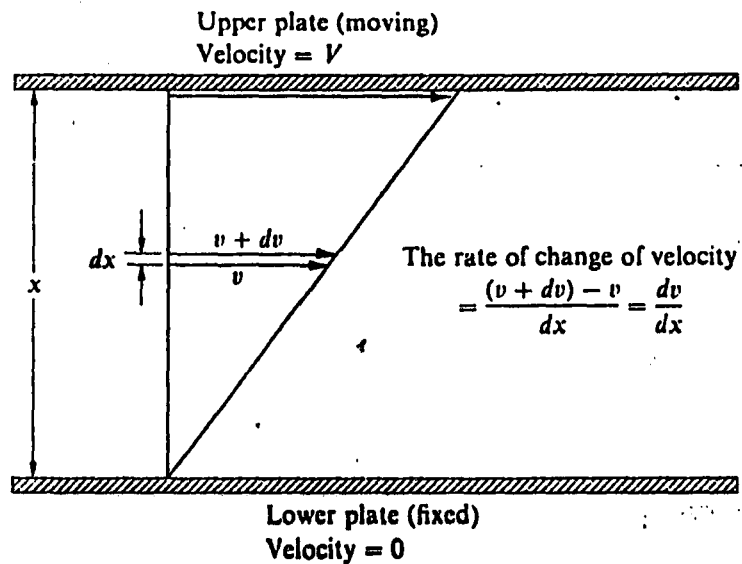
$$\nu = \frac{\mu}{\rho} \quad [2.3]$$

$\nu$  = ความหนืดไคเนมาติก

$\mu$  = ความหนืดสัมบูรณ์

$\rho$  = ความหนาแน่นของของไหล

หน่วยของความหนืดไคเนมาติก คือ  $m^2/sec$



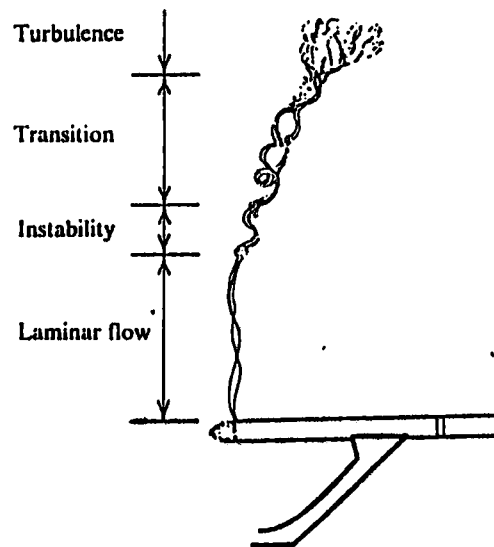
รูปที่ 2.1 ของไหลที่อยู่ระหว่างชั้นของของไหล

2.1.5 การไหลแบบลามินาร์ ทรานซิชั่น และ เทอร์บิวเลนซ์ วิธีสังเกตลักษณะของการไหลอย่างง่าย ๆ วิธีหนึ่ง คือ สังเกตควันรูป หรือ ควันบุหรี่ที่ปลายตีไฟดังรูปที่ 2.2

ลักษณะของการไหลแบบแรกเรียกว่า การไหลแบบลามินาร์ การไหลลักษณะนี้อนุภาคของของไหลเคลื่อนที่ไปเป็นตรงขนานกันไปเป็นชั้น ๆ ความเร็วของของไหลในชั้นใกล้กันจะเท่ากัน หรือ แตกต่างกันเล็กน้อย การไหลแบบนี้มักเกิดกับของไหลที่มีอัตราการไหลต่ำ หรือ มีความหนืดสูง

การไหลลักษณะที่สองเรียกว่า การไหลแบบทรานซิชั่น ในการไหลแบบนี้อนุภาคของไหลจะเคลื่อนที่จากชั้นที่มันเคยอยู่ไปยังชั้นของการไหลที่อยู่ติดกันในลักษณะของการสั่น และ แอมพลิจูดของการสั่นของอนุภาคจะเพิ่มขึ้นอย่างรวดเร็วตามระยะทางทำให้เกิดลักษณะของการไหลที่ไม่มีระเบียบ

การไหลในแบบสุดท้ายเป็นการไหลที่อนุภาคของไหลเคลื่อนที่อย่างไม่มีระเบียบในสามมิติ ไม่มีชั้นของการไหลที่แน่นอน เรียกว่า การไหลแบบเทอร์บิวเลนซ์



รูปที่ 2.2 ลักษณะของการไหลของของไหล

สิ่งที่จะบอกได้อย่างแน่นอนว่าการไหลเป็นแบบลามินาร์ หรือ แบบเทอร์บิวเลนซ์ได้แก่ ตัวเลขเรย์โนลด์ ซึ่งนิยามโดย

$$R_e = \frac{v\rho l}{\mu} \quad [2.4]$$

$R_e$  = ตัวเลขเรย์โนลด์ (Reynolds number)

$v$  = ความเร็วของการไหล

$\rho$  = ความหนาแน่นของของเหลว

$l$  = เส้นผ่านศูนย์กลางของท่อ

$\mu$  = ความหนืดสัมบูรณ์

ถ้าตัวเลขเรย์โนลด์มีค่าน้อยกว่า 2000 จะเป็นย่านของการไหลแบบลามินาร์ ถ้าตัวเลขเรย์โนลด์มีค่ามากกว่า 4000 ลักษณะของการไหลจะเป็นแบบเทอร์บิวเลนต์ และถ้าตัวเลขเรย์โนลด์อยู่ในช่วง 2000 ถึง 4000 จะเป็นช่วงทรานซิชัน

2.1.6 ความสามารถในการอัดตัว(Compressibility) โดยปกติแล้วเมื่อของเหลวได้รับความดันปริมาตรของของเหลวจะเปลี่ยนไปน้อยมาก จึงเรียกของเหลวว่าเป็นสารประเภทอัดตัวไม่ลง (incompressible) ความสามารถในการอัดตัวของของไหลแสดงโดยค่าบัลคโมดูลัสนิยามโดย

$$K = - \frac{dp}{dV/V} = -V \frac{dp}{dV} = -\rho \frac{dV}{V} \quad [2.5]$$

$K$  = บัลคโมดูลัส

$V$  = ปริมาตรของของไหล

$p$  = ความดันของของไหล

$\rho$  = ความหนาแน่นของของไหล

ในกรณีของของเหลว บัลคโมดูลัสจะมีค่าสูงมาก นั่นคือความหนาแน่นของของเหลวจะเปลี่ยนแปลงน้อยมากเมื่อเพิ่มความดัน ดังนั้นจึงถือว่าความหนาแน่นของของเหลวมีค่าคงที่ อย่างไรก็ตาม ในกรณีที่การเปลี่ยนแปลงความดันมีค่าสูงมาก หรือ มีการเปลี่ยนแปลงที่เร็วมาก เช่น ในปรากฏการณ์ฆ็อนน้ำ ( water hammer ) จะต้องนำเอาความสามารถในการอัดตัวมาพิจารณาด้วย

ในกรณีของแก๊ส ถ้าการเปลี่ยนแปลงความหนาแน่นของแก๊สมีค่าน้อยอาจจะถือได้ว่าแก๊สเป็นสารประเภทอัดตัวไม่ได้ แต่แก๊สไหลด้วยความเร็วใกล้ความเร็วเสียงจะต้องนำผลของการอัดตัวมาร่วมพิจารณาด้วย มิฉะนั้นจะเกิดความผิดพลาดมาก

## 2.2 สนามแม่เหล็กสถิต

### 2.2.1 กฎของแอมแปร์ ( Ampere's law )

กฎของแอมแปร์แสดงถึงความสัมพันธ์ระหว่างการหมุนเวียนของสนามแม่เหล็กตามเส้นทางปิดที่มีกระแส  $I$  ไหลผ่าน ซึ่งแสดงได้โดยสมการ

$$\oint \vec{B} \cdot d\vec{l} = \mu_0 I \quad [2.6]$$

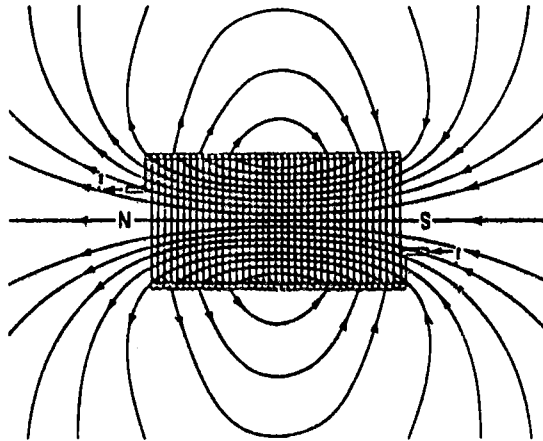
$I$  = กระแสรวม ( algebraic sum ) ที่ไหลผ่านพื้นที่ที่ล้อมรอบด้วยเส้นทางปิด

$B$  = สนามแม่เหล็ก

$\mu_0$  = สภาพซึมซาบทางแม่เหล็กของสุญญากาศ

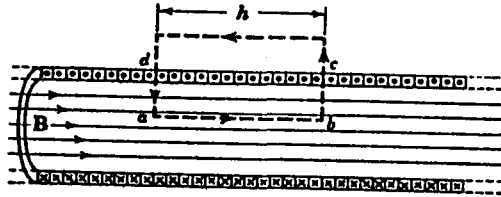
นั่นคือ การอินทิเกรตตามเส้นของสนามแม่เหล็ก  $\vec{B}$  บนทางปิดใด ๆ มีค่าเท่ากับผลคูณระหว่าง  $\mu_0$  กับผลรวมของกระแสที่ไหลผ่านพื้นที่ที่ล้อมรอบด้วยเส้นทางปิดนั้น

### 2.2.2 สนามแม่เหล็กในขดลวดโซลินอยด์



รูปที่ 2.3 สนามแม่เหล็กในขดลวดโซลินอยด์

โซลินอยด์คือลวดที่ขดบนแกนซึ่งอาจจะเป็นอากาศ หรือ เป็นสารแม่เหล็กชนิดอื่นก็ได้ และโดยปกติแล้วจะมีพื้นที่หน้าตัดเป็นรูปวงกลม โดยที่ด้านหนึ่งเป็นเสมือนขั้วเหนือ และอีกด้านหนึ่งเป็นเสมือนขั้วใต้ ดังแสดงในรูปที่ 2.3



รูปที่ 2.4 หน้าตัดขวางของโซลินอยด์ในอุดมคติ

ในกรณีที่ความยาวของโซลินอยด์มีค่ามากกว่าเส้นผ่านศูนย์กลางมาก และมีจำนวนขดลวดเท่ากับ  $n$  ขดต่อหนึ่งหน่วยความยาว เราสามารถหาสนามแม่เหล็ก  $B$  ที่จุดกึ่งกลางของโซลินอยด์โดยใช้กฎของแอมแปร์

$$\oint \vec{B} \cdot d\vec{l} = \mu_0 I$$

ถ้าเส้นทางของการอินทิเกรตคือสี่เหลี่ยม  $abcd$  ดังรูปที่ 2.4  $\oint \vec{B} \cdot d\vec{l}$  จะมีค่าเท่ากับผลรวมของการอินทิเกรตบนทางเดินแต่ละด้านของรูปสี่เหลี่ยม นั่นคือ

$$\oint \vec{B} \cdot d\vec{l} = \int_a^b \vec{B} \cdot d\vec{l} + \int_b^c \vec{B} \cdot d\vec{l} + \int_c^d \vec{B} \cdot d\vec{l} + \int_d^a \vec{B} \cdot d\vec{l}$$

การอินทิเกรตในพจน์แรกทางขวามือของสมการมีค่าเท่ากับ  $Bh$  โดยที่  $B$  คือ ขนาดของสนามแม่เหล็กในโซลินอยด์ และ  $h$  คือ ความยาวของด้าน  $ab$

ในพจน์ที่สอง และ พจน์ที่สี่มีค่าเท่ากับศูนย์เนื่องจากสนามแม่เหล็กมีทิศทางตั้งฉากกับเส้นทางของการอินทิเกรต และ ในกรณีที่ของโซลินอยด์ในอุดมคติ สนามแม่เหล็กนอกขดลวดจะเป็นศูนย์ ดังนั้นผลของการอินทิเกรตในพจน์ที่สามจึงเป็นศูนย์ ดังนั้นจะได้ว่า

$$\oint \vec{B} \cdot d\vec{l} = Bh$$

กระแสทั้งหมดที่ไหลผ่านพื้นที่ที่ล้อมรอบด้วยเส้นทางของการอินทิเกรตมีค่าเท่ากับ กระแสในขดลวดโซลินอยด์คูณกับจำนวนขดลวดทั้งหมดที่ถูกล้อมรอบด้วยเส้นทางของการอินทิเกรต จะได้ว่า

$$\begin{aligned}\oint \vec{B} \cdot d\vec{l} &= \mu_0 (Inh) \\ Bh &= \mu_0 Inh \\ B &= \mu_0 nI\end{aligned}\quad [2.7]$$

$B$  = สนามแม่เหล็กที่จุดกึ่งกลางของโซลินอยด์

$I$  = กระแสที่ไหลผ่านโซลินอยด์

$n$  = จำนวนขดลวดต่อความยาว

ในกรณีที่แกนของ โซลินอยด์เป็นสารแม่เหล็กชนิดอื่นที่ไม่ใช่แกนอากาศเราสามารถหาสนามแม่เหล็กที่จุดกึ่งกลางของขดลวดโซลินอยด์ได้โดยแทนค่าสภาพซึมทางแม่เหล็กของสุญญากาศด้วยค่าสภาพซึมซาบทางแม่เหล็กของสารที่เป็นแกน

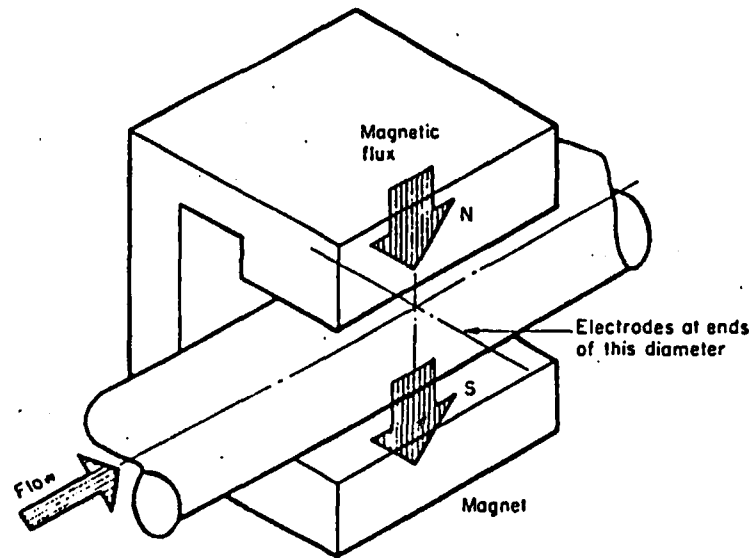
### 2.3 หลักการเบื้องต้นของเครื่องมือวัดอัตราการไหลแบบแม่เหล็ก

หลักการของเครื่องมือวัดอัตราการไหลแบบแม่เหล็กเป็นหลักการเดียวกันกับหลักการของเครื่องกำเนิดกระแสไฟฟ้า กล่าวคือ เมื่อตัวนำเคลื่อนที่ตัดกับสนามแม่เหล็กจะมีแรงเคลื่อนไฟฟ้าเหนี่ยวนำเกิดขึ้นในตัวนำ และ ขนาดของแรงเคลื่อนไฟฟ้าเหนี่ยวนำจะแปรผันโดยตรงกับอัตราเร็วของตัวนำ ในกรณีที่ตัวนำคือของเหลวที่นำไฟฟ้าได้ แรงเคลื่อนไฟฟ้าเหนี่ยวนำที่เกิดขึ้นจะแปรผันโดยตรงกับอัตราการไหลของของเหลว

ในของเหลวที่นำไฟฟ้าได้ประกอบด้วยประจุไฟฟ้าจำนวนมากซึ่งความเร็วของประจุมีค่าโดยประมาณเท่ากับความเร็วเองของเหลว ดังนั้นการวัดความเร็วของของเหลวจึงเหมือนกับการวัดความเร็วของประจุเหล่านี้

ถ้าประจุในของเหลวเคลื่อนที่ด้วยความเร็ว  $v$  และ เคลื่อนที่ตัดสนามแม่เหล็ก  $\vec{B}$  ในทิศตั้งฉากจะเกิดแรงกระทำกับประจุดังสมการ

$$\vec{F}_B = q\vec{v} \times \vec{B}$$



รูปที่ 2.5 หลักการของเครื่องวัดอัตราการไหลแบบแม่เหล็ก

แรงแม่เหล็กที่เกิดขึ้นจะทำให้ประจุเคลื่อนที่ไปออกันบริเวณด้านข้างของท่อทำให้เกิดสนามไฟฟ้าเหนี่ยวนำ  $E$  สนามไฟฟ้าเหนี่ยวนำที่เกิดขึ้นนี้ทำให้เกิดแรงกระทำกับประจุในทิศตรงกันข้ามกับสนามแม่เหล็ก ดังสมการ

$$F_E = q \cdot E$$

ในสถานะสมดุลจะได้ว่า แรงเนื่องจากสนามแม่เหล็ก และ แรงเนื่องจากสนามไฟฟ้ามีค่าเท่ากัน นั่นคือ

$$\begin{aligned} F_E &= F_B \\ qE &= qvB \\ E &= vB \end{aligned}$$

แรงเคลื่อนไฟฟ้าเหนี่ยวนำเท่ากับสนามไฟฟ้าเหนี่ยวนำคูณกับเส้นผ่านศูนย์กลางของท่อ ดังนั้นจะได้ว่า

$$V = vBD$$

[2.8]

$V$  = แรงเคลื่อนไฟฟ้าเหนี่ยวนำ

$v$  = ความเร็วเฉลี่ยของประจุ

$D$  = เส้นผ่านศูนย์กลางของท่อ

จะเห็นว่าแรงเคลื่อนไฟฟ้าเหนี่ยวนำแปรผันโดยตรงกับความเร็วเฉลี่ยของประจุ หรืออีกนัยหนึ่งคือ แรงเคลื่อนไฟฟ้าเหนี่ยวนำแปรผันโดยตรงกับความถี่เฉลี่ยของการไหล

ในความเป็นจริงแล้ว สนามแม่เหล็กไม่ได้มีกำลังสม่ำเสมอ และ ลักษณะของการไหล ไม่ได้มีความสมมาตรที่สมบูรณ์ ดังนั้นการวิเคราะห์ทางคณิตศาสตร์ของเครื่องวัดอัตราการไหลแบบแม่เหล็กจึงเป็นเรื่องที่ยุ่งยากมาก

เนื่องจากแรงเคลื่อนไฟฟ้าเหนี่ยวนำมักจะมีค่าน้อยดังนั้นจึงเป็นการยากที่จะวัดค่าที่ถูกต้องของแรงเคลื่อนไฟฟ้าเหนี่ยวนำได้ โดยเฉพาะอย่างยิ่งถ้ามีสัญญาณรบกวนถูกเหนี่ยวนำเข้ามาในระบบจะทำให้ค่าที่อ่านมีความผิดพลาดมาก และ เพื่อป้องกันการไหลไรซ์จึงนิยมใช้ไฟฟ้ากระแสสลับในการสร้างสนามแม่เหล็ก แต่ผลที่ตามมาคือจะทำให้เกิดแรงเคลื่อนไฟฟ้าที่มีเฟสต่างกับแรงเคลื่อนไฟฟ้าเหนี่ยวนำอยู่  $90^\circ$  และไม่ขึ้นกับอัตราเร็วของการไหลขึ้น เรียกปรากฏการณ์นี้ว่า ปรากฏการณ์ทรานส์ฟอร์มเมอร์ (Transformer effect)

### 2.3.1 ข้อดีของเครื่องวัดอัตราการไหลแบบแม่เหล็ก

1. สามารถใช้วัดของไหลที่มีสารแขวนลอย หรือ โคลนปนอยู่ได้
2. เนื่องจากใช้อิเล็กโตรดที่ใช้มีขนาดเล็กจึงทำให้ความดันของของไหลไม่ลดลงมาก
3. ลักษณะของการไหลมีผลต่อการวัดอัตราการไหลน้อยมาก นอกจากการไหลมีลักษณะที่ไม่สมมาตรมาก
4. การเปลี่ยนแปลงของความดัน ความหนืด ความหนาแน่น อุณหภูมิ และ ความสามารถในการนำไฟฟ้า ( ในช่วงที่กำหนด ) มีผลต่อการวัดอัตราการไหลน้อยมาก
5. เครื่องวัดอัตราการไหลแบบแม่เหล็กสามารถใช้วัดความเร็วของการไหลได้ทั้งสองทิศทาง
6. สามารถปรับให้วัดอัตราการไหลในช่วงที่กว้างขึ้นได้โดยความละเอียดของค่าที่วัดได้จะลดลง

### 2.3.2 ข้อเสียของเครื่องวัดอัตราการไหลแบบแม่เหล็ก

1. ของไหลที่จะทำการวัดจะต้องมีความนำไฟฟ้าสูงพอตามค่าที่กำหนด
2. ความแม่นยำของอัตราเร็วของการไหลที่วัดได้น้อยกว่าการวัดอัตราเร็วของการไหลวิธีอื่น

## 2.4 หลักการเบื้องต้นของวงจรที่ใช้ในเครื่องมือวัดอัตราการไหลแบบแม่เหล็ก

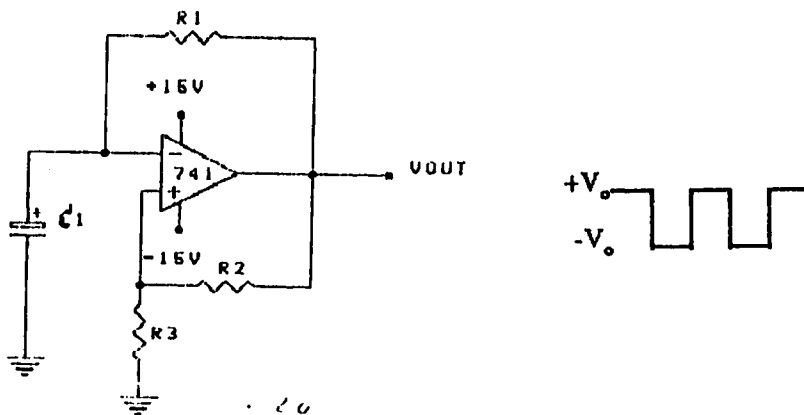
อุปกรณ์ทางอิเล็กทรอนิกส์ที่นำมาใช้ในการสร้างเป็นวงจรของเครื่องมือการวัดอัตราการไหลชนิดแม่เหล็กนั้น มีหลายชนิด ฉะนั้นก่อนที่จะทำการสร้างเครื่องมือชนิดนี้ขึ้นมาจะต้องเข้าใจหลักการพื้นฐานของอุปกรณ์เหล่านี้ และลักษณะของวงจรที่อุปกรณ์เหล่านี้ประกอบขึ้นมา ดังนั้นในบทนี้จะกล่าวถึงรายละเอียดของวงจร และ วงจรทางอิเล็กทรอนิกส์ที่นำมาใช้ในการสร้างเครื่องมือวัดอัตราการไหลแบบแม่เหล็ก

### 2.4.1 วงจรกำเนิดคลื่นสี่เหลี่ยม (Astable Multivibrator)

วงจรกำเนิดคลื่นสี่เหลี่ยมเป็นวงจรวงจรมัลติไวเบรเตอร์ชนิดอะเสตเบิ้ล (astable multivibrator) นั่นคือ สัญญาณที่นำออกจากวงจรนี้จะไม่คงที่ แต่จะมีการเปลี่ยนสถานะตลอดเวลา (ระดับสูงหรือต่ำ) โดยปราศจากสัญญาณอินพุตใด ๆ วงจร

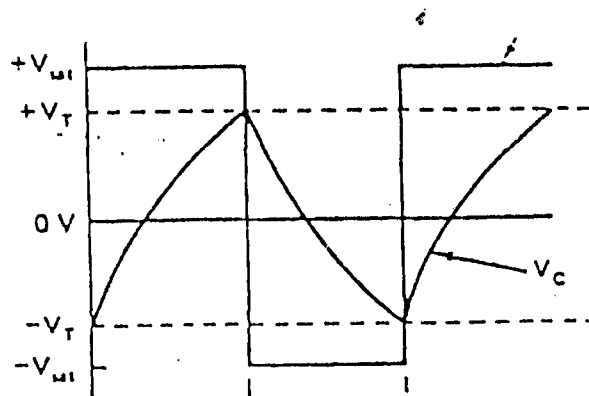
ในรูป 2.6 เป็นวงจรกำเนิดคลื่นสี่เหลี่ยมพื้นฐาน จะเห็นได้ว่าการนำเอาสัญญาณจากเอาต์พุตมาป้อนกลับสองทาง สัญญาณเอาต์พุตที่ถูกนำออกมาผ่านตัวต้านทาน  $R_1$  เข้าสู่ขั้วอินพุตลบ และ ต่อกับตัวเก็บประจุ  $C_1$  ซึ่งเป็นตัวกำหนดความถี่ของคลื่นสี่เหลี่ยม ส่วนตัวต้านทาน  $R_2$  และ  $R_3$  เป็นส่วนที่ใช้กำหนดแรงดันอ้างอิง ( $V_{ref}$ ) ให้กับขั้วอินพุตบวกซึ่งความถี่ของสัญญาณที่ได้สามารถหาได้จากสมการ

$$f_{out} = \frac{1}{2R_1C_1} \quad [2.9]$$



รูปที่ 2.6 วงจรกำเนิดคลื่นสี่เหลี่ยม

เราสามารถวิเคราะห์การทำงานของวงจรรถั่ว ๆ ได้ดังนี้ เมื่อป้อนไฟเลี้ยงให้แก่ ออปแอมป์จะมีแรงดันค่าน้อย ๆ ตกคร่อมขั้วอินพุตทั้งสองของออปแอมป์ (แรงดันออฟเซต) แรงดันนี้จะมีผลทำให้แรงดันที่เอาต์พุตมีขนาดเท่ากับ  $+V_{sat}$  (แรงดันอิ่มตัวที่ output  $V_{sat}$  มีค่าประมาณ 90 % ของ  $+V_{CC}$ ) และ การนำตัวเก็บประจุมาต่อในลักษณะเช่นนี้ จะทำให้มีการ ชาร์จตัวเก็บประจุตลอดเวลา และแรงดันคร่อมตัวเก็บประจุ ( $V_C$ ) จะค่อย ๆ เพิ่มขึ้นสู่แรงดัน  $+V_{sat}$  เป็นผลให้แรงดันที่ขั้วอินพุตลบมีค่าสูงขึ้นด้วย ในขณะที่เดียวกันที่ขั้วอินพุตบวกนั้นจะมีความต่างศักย์เท่ากับการแบ่งแรงดัน  $+V_{sat}$  ระหว่าง  $R_2$  และ  $R_3$  ซึ่งแรงดันอ้างอิง  $V_{ref}$  จะมีค่าเท่ากับ  $+V_T$  (ในขณะที่  $V_{out} = +V_{sat} \cdot V_{ref}$  จะเท่ากับ  $+V_T$  เมื่อ  $V_{out} = -V_{sat} \cdot V_{ref}$  จะเท่ากับ  $-V_T$ ) แรงดันเอาต์พุตจะเปลี่ยนสถานะทันทีเมื่อตัวเก็บประจุถูกชาร์จให้มีแรงดันสูงกว่า  $+V_T$  ที่ขั้วอินพุตบวก ทำให้  $V_{ref}$  เปลี่ยนจาก  $+V_T$  และ  $-V_T$  และยังเปลี่ยนทิศทางการ ชาร์จของประจุลงตัวเก็บประจุ  $C$  อีกด้วย นั่นคือความต่างศักย์ที่ตกคร่อมตัวเก็บประจุ  $C$  จะค่อย ๆ ลดค่าจาก  $+V_T$  สู่  $-V_{sat}$  แต่ก่อนที่จะมีค่าเท่ากับ  $-V_{sat}$  นั้นความต่างศักย์ที่ขั้วอินพุตลบ (ความต่างศักย์ร่วม  $C$ ) จะมีค่าต่ำกว่า  $-V_T$  แล้ว และเป็นผลให้ขั้วอินพุตบวกมีความต่างศักย์เป็นบวกสูงกว่าขั้วอินพุตลบ นั่นคือ แรงดันเอาต์พุตก็จะเปลี่ยนสถานะจาก  $-V_{sat}$  เป็น  $+V_{sat}$  อีก และ ขั้นตอนการชาร์จตัวเก็บประจุก็จะเริ่มต้นใหม่ เป็นเช่นนี้ไปเรื่อย ๆ



รูปที่ 2.7 รูปคลื่นการทำงานของวงจรถั่วกำเนิดคลื่นสี่เหลี่ยม

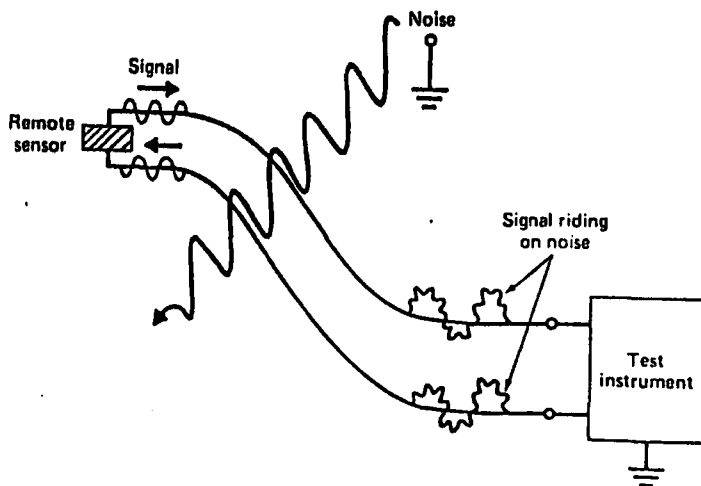
2.4.2 วงจรขยายสัญญาณแบบอินสตรูเมนต์ (instrumentation amplifier )

โดยปกติแล้วเซ็นเซอร์ ( sensors ) ที่ใช้ในการวัดมักจะอยู่ไกลจากเครื่องมือที่ใช้วัดสัญญาณ ในกรณีนี้สายส่งสัญญาณอาจจะเหนี่ยวนำสัญญาณรบกวนเข้ามาในสายส่งสัญญาณได้ง่าย ถ้าสัญญาณที่ถูกส่งมาจากเซ็นเซอร์มีขนาดเล็ก และ สัญญาณที่ประกอบไปด้วยสัญญาณจากเซ็นเซอร์ และ สัญญาณรบกวนถูกนำไปขยาย สัญญาณรบกวนจะถูกขยายด้วยทำให้การอ่านค่ามีความผิดพลาด เพื่อที่จะแก้ไขปัญหานี้จึงนำวงจรขยายแบบอินสตรูเมนต์เข้ามาใช้กำจัดสัญญาณรบกวน ซึ่งวงจรขยายสัญญาณแบบนี้มีจุดเด่นที่สำคัญคือ มีค่า CMRR (common-mode rejection ratio ) สูงทำให้สามารถกำจัดสัญญาณที่มีลักษณะเหมือนกันได้ดี ในที่นี้ได้แก่สัญญาณรบกวน และเนื่องจากวงจรอินสตรูเมนต์เป็นวงจรรขยายความแตกต่าง ดังนั้นจึงขยายสัญญาณที่มาจากเซ็นเซอร์

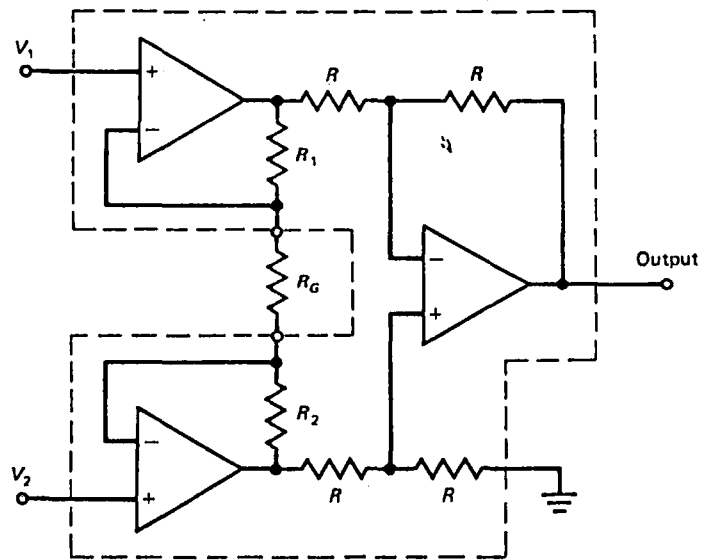
คุณสมบัติที่สำคัญของวงจรรขยายแบบอินสตรูเมนต์คือ

1. อินพุตอิมพีแดนซ์มีค่าสูง และ ไม่เปลี่ยนแปลงตามอัตราขยายของวงจร
2. ค่า CMRR ของวงจรมีค่าสูง ทำให้สามารถกำจัดสัญญาณที่มีลักษณะเหมือนกัน (สัญญาณรบกวน) ได้ดี และ จะขยายเฉพาะผลต่างของสัญญาณที่อินพุตของวงจร
3. อัตราขยายของวงจรถูกควบคุมด้วยตัวต้านทานเพียงตัวเดียว จากรูปที่ 2.9 จะได้ว่า

$$Gain = 1 + \frac{\alpha}{2} \quad ; \quad \alpha = \frac{R_g}{R} \quad , \quad R_1 = R_2 \quad [2.10]$$



รูปที่ 2.8 สัญญาณรบกวนที่ถูกเหนี่ยวนำเข้าระบบ

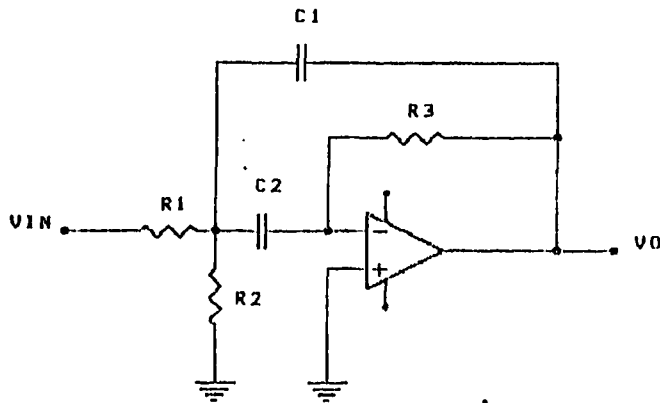


รูปที่ 2.9 วงจรขยายแบบอินสทรูเมนเตชัน

2.4.8 วงจรกรองความถี่บางช่วงผ่าน ( bandpass filter )

วงจรกรองความถี่แบบนี้เป็นวงจรซึ่งออกแบบไว้ให้เฉพาะสัญญาณในช่วงความถี่ใด ความถี่หนึ่งผ่านเท่านั้น สัญญาณที่มีความถี่ต่างไปจากช่วงนี้จะถูกลดทอนลงหมด วงจรกรอง ความถี่แบบ bandpass จะมีอัตราขยายสัญญาณสูงสุดที่ความถี่เพียงความถี่เดียวซึ่งเรียกว่า ความถี่เรโซแนนซ์ ถ้าความถี่ต่างไปจากความถี่เรโซแนนซ์จะลดทอนสัญญาณเอาต์พุตลง และที่ความถี่ซึ่งแรงดันเอาต์พุตลดลงเหลือ 70.7 % ทั้งด้านที่ความถี่สูงขึ้น และที่ความถี่ลดลง เรียกว่าความถี่  $f_H$  และ  $f_L$  ตามลำดับ โดยที่ผลต่างของความถี่ทั้งสองนี้ ( $f_H - f_L$ ) จะแสดงถึง ค่าแบนด์วิดท์ (BW) ของวงจร ถ้า BW มีขนาดต่ำกว่า 10 % ของความถี่เรโซแนนซ์ ( $f_c$ ) จะ เรียกวงจรนี้ว่า วงจรฟิลเตอร์ช่วงแคบ และ ถ้าแบนด์วิดท์มีค่าสูงกว่า 10 % ของ  $f_r$  จะเรียกว่า วงจรฟิลเตอร์ช่วงกว้าง นอกจากนี้ยัง  $Q$  ( quality factor ) ว่าเป็นอัตราส่วนระหว่างความถี่ เรโซแนนซ์ และ แบนด์วิดท์ ดังสมการ

$$Q = \frac{f_r}{BW} \tag{2.11}$$



รูปที่ 2.10 วงจรกรองความถี่เป็นช่วง

ยิ่งวงจรมีค่า Q สูงมากเท่าใด แบนด์วิดท์ของวงจรจะยิ่งแคบลงมากเท่านั้น วงจรในรูป 2.10 แสดงวงจรกรองความถี่เป็นช่วงซึ่งเป็นการรวมวงจรความถี่สูง และ ความถี่ต่ำด้วยกัน ความถี่เรโซแนนซ์  $f_r$  สามารถหาได้จากสมการ

$$f_r = \frac{1}{2\pi R_p R_3 C_1 C_2} \quad [2.12]$$

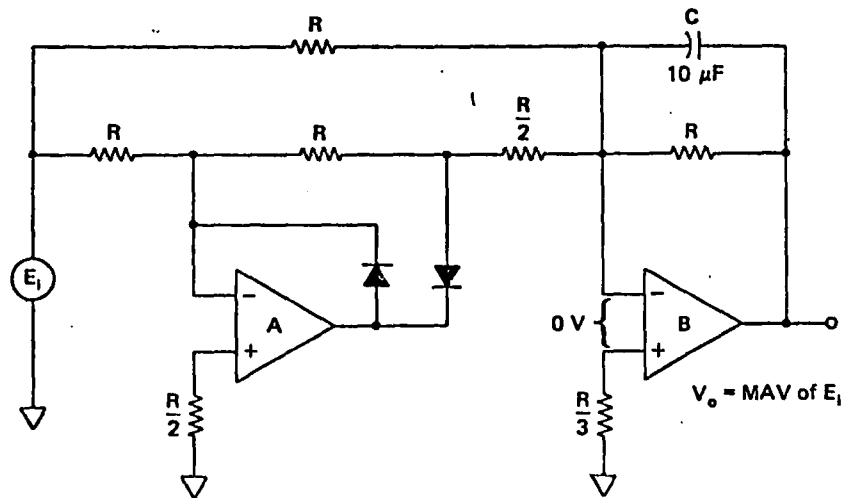
$$R_p = R_1 \parallel R_2$$

#### 2.4.4 วงจรแปลงไฟฟ้ากระแสสลับ เป็น ไฟฟ้ากระแสตรง

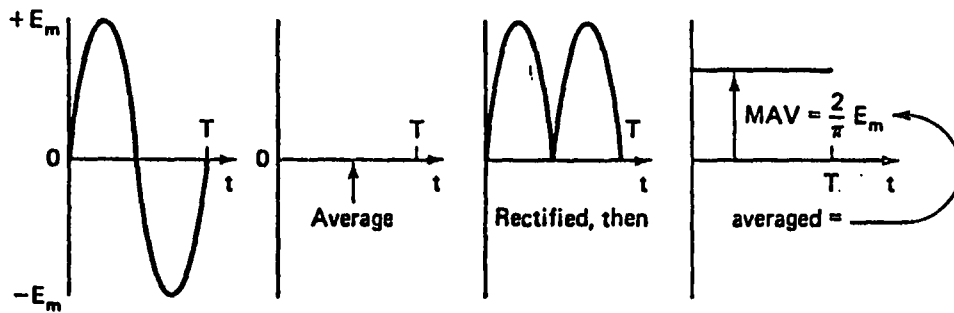
( Mean-absolute-value , MAV )

วงจร full wave เราอาจเรียกว่าวงจรค่าสมบูรณ์ ( absolute-value circuit ) เมื่อ ได้ตัดแปลงวงจรนี้เป็นวงจรแปลงไฟสลับเป็นไฟตรง เราเรียกวงจรนี้ว่า วงจร mean-absolute-value (MAV)

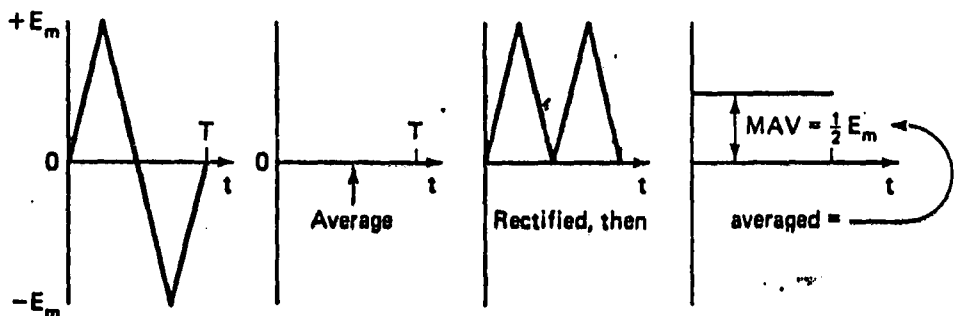
จากรูป 2.12 เมื่อป้อนแรงดันที่รูปไซน์ สามเหลี่ยม หรือ สี่เหลี่ยม ซึ่งเป็นแรงดันที่มีรูปคลื่นสมมาตรกันตามแกน t จะเห็นได้ว่าวงจรนี้สามารถกลับหัวของแรงดัน แล้วเฉลี่ยค่าสมบูรณ์ดังกล่าว อนึ่งค่าสมบูรณ์เฉลี่ยนี้เราไม่สามารถวัดด้วยมิเตอร์ชนิด DC ได้ และแรงดันสมบูรณ์เฉลี่ยของคลื่นแต่ละชนิดจะมีขนาดไม่เท่ากัน อย่างไรก็ตาม ค่าที่ได้จะใกล้เคียงกับค่า rms



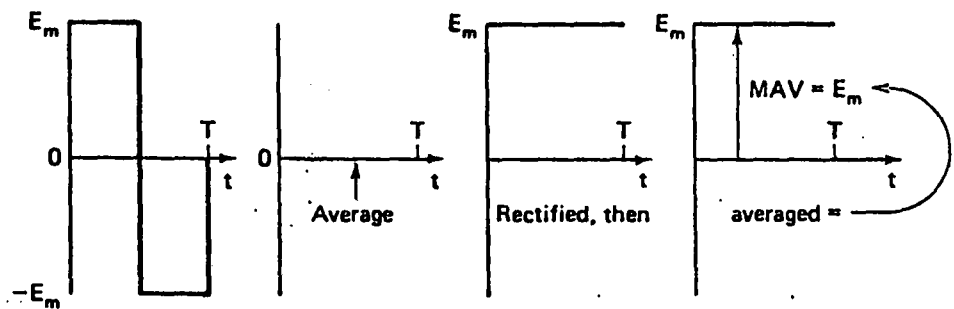
รูปที่ 2.11 วงจร MAV



(a) MAV of a sine wave



(b) MAV of a triangle wave



(c) MAV of a square wave

รูปที่ 2.12 ค่าสัมบูรณ์เฉลี่ยของสัญญาณแต่ละชนิด

## 2.5 ไมโครคอนโทรลเลอร์ MCS-8051

ไมโครคอนโทรลเลอร์ต่างจากไมโครโปรเซสเซอร์ทั่วไปที่ไมโครคอนโทรลเลอร์สามารถทำงานได้โดยไม่ต้องต่อกับอุปกรณ์อื่น ๆ อีกนอกจากคริสตอล เนื่องจากไมโครคอนโทรลเลอร์มีหน่วยความจำ, อินพุท/เอาต์พุทพอร์ต, เคาท์เตอร์, และวงจรถ่ายทอดความถี่นาฬิกาในตัวเอง ทำให้มันกลายเป็นคอมพิวเตอร์ที่อยู่บนชิพเพียงชิ้นเดียว

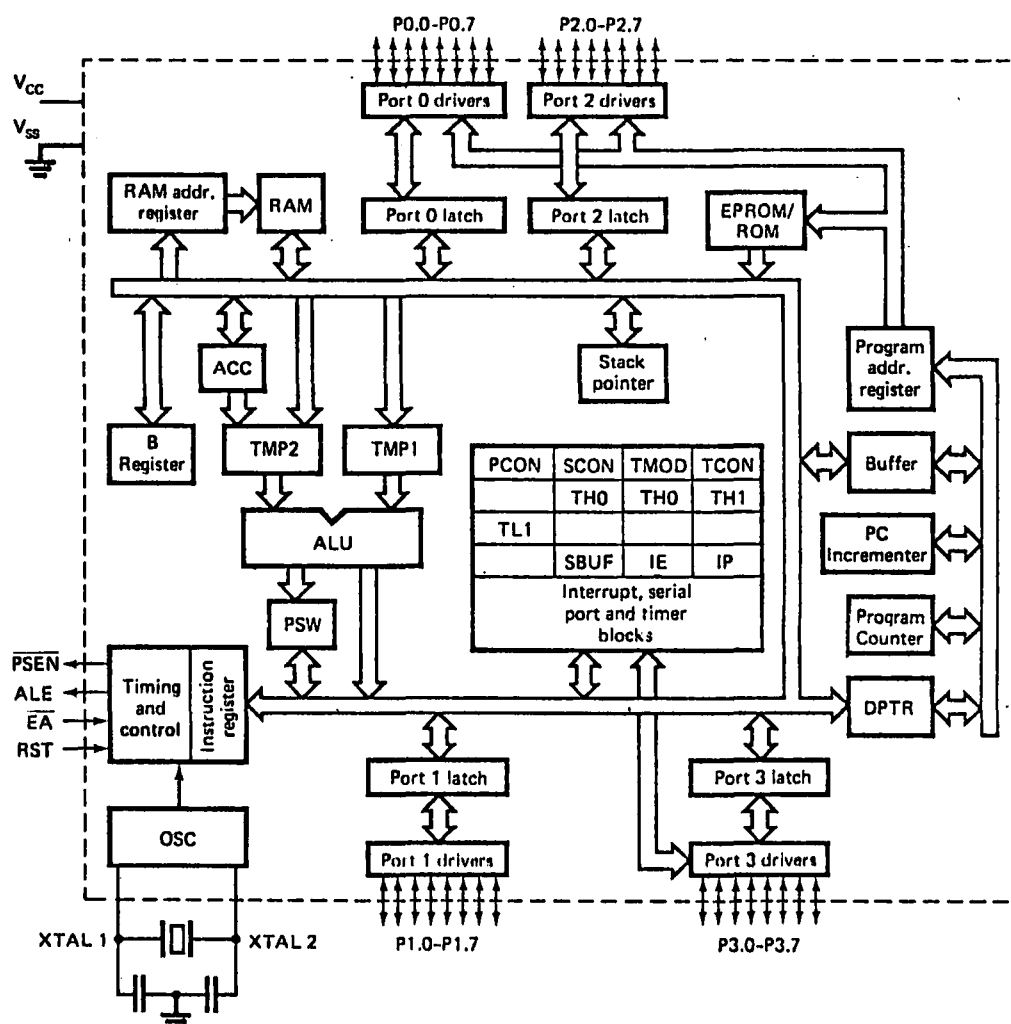
### 2.5.1 สถาปัตยกรรมของ MCS-8051

หน่วยความจำของไมโครคอนโทรลเลอร์ 8051 แบ่งออกเป็นสองลักษณะใหญ่ๆ คือ หน่วยความจำของโปรแกรม (program memory) ซึ่งเป็นหน่วยความจำที่ใช้เก็บคำสั่งต่าง ๆ แต่ไมโครคอนโทรลเลอร์ไม่สามารถเขียนข้อมูลลงไปหน่วยความจำประเภทนี้ได้ หน่วยความจำประเภทนี้ได้แก่รวมของไมโครคอนโทรลเลอร์ 8051

หน่วยความจำอีกลักษณะหนึ่งของไมโครคอนโทรลเลอร์ 8051 คือ หน่วยความจำของข้อมูล (data memory) หน่วยความจำประเภทนี้เป็นหน่วยความจำที่ 8051 สามารถอ่านและเขียนข้อมูลลงไปได้ แต่คำสั่งต่างๆ ไม่สามารถทำงานบนหน่วยความจำนี้ได้ แรมของ 8051 จัดอยู่ในหน่วยความจำประเภทนี้

แรมภายในของ 8051 มีขนาด 128 ไบต์ (ตำแหน่ง 00h-7Fh) ทำหน้าที่เก็บข้อมูลทั่วไป และหน่วยความจำที่ตำแหน่ง 80h ถึง F8h เป็นหน่วยความจำของรีจิสเตอร์ต่าง ๆ นอกจากนี้เรายังสามารถต่อหน่วยความจำประเภทแรม และ รอมเพิ่มเติมได้อีกชนิดละ 60 กิโลไบต์ ทำให้ 8051 สามารถเข้าถึงหน่วยความจำแต่ละชนิดได้ทั้งหมด 64 กิโลไบต์

แรมภายในของ 8051 มีขนาด 128 ไบต์ (ตำแหน่ง 00h-7Fh) ทำหน้าที่เก็บข้อมูลทั่วไป และหน่วยความจำที่ตำแหน่ง 80h ถึง F8h เป็นหน่วยความจำของรีจิสเตอร์ต่าง ๆ นอกจากนี้เรายังสามารถต่อหน่วยความจำประเภทแรม และ รอมเพิ่มเติมได้อีกชนิดละ 60 กิโลไบต์ ทำให้ 8051 สามารถเข้าถึงหน่วยความจำแต่ละชนิดได้ทั้งหมด 64 กิโลไบต์



รูปที่ 2.13 สถาปัตยกรรมภายในของ MCS-51

### 2.5.2 โครงสร้างพอร์ตและการทำงาน

8051 มีพอร์ตภายในทั้งหมด 4 พอร์ตเพื่อใช้ในการติดต่อกับอุปกรณ์ภายนอก นอกจากนั้นในบางพอร์ตยังสามารถทำหน้าที่อื่นๆ ซึ่งหน้าที่ของพอร์ตในขณะหนึ่งๆ จะขึ้นอยู่กับอุปกรณ์ภายนอกที่มาต่อกับ 8051 และ คำสั่งที่ใช้ในการโปรแกรมบิตของพอร์ต

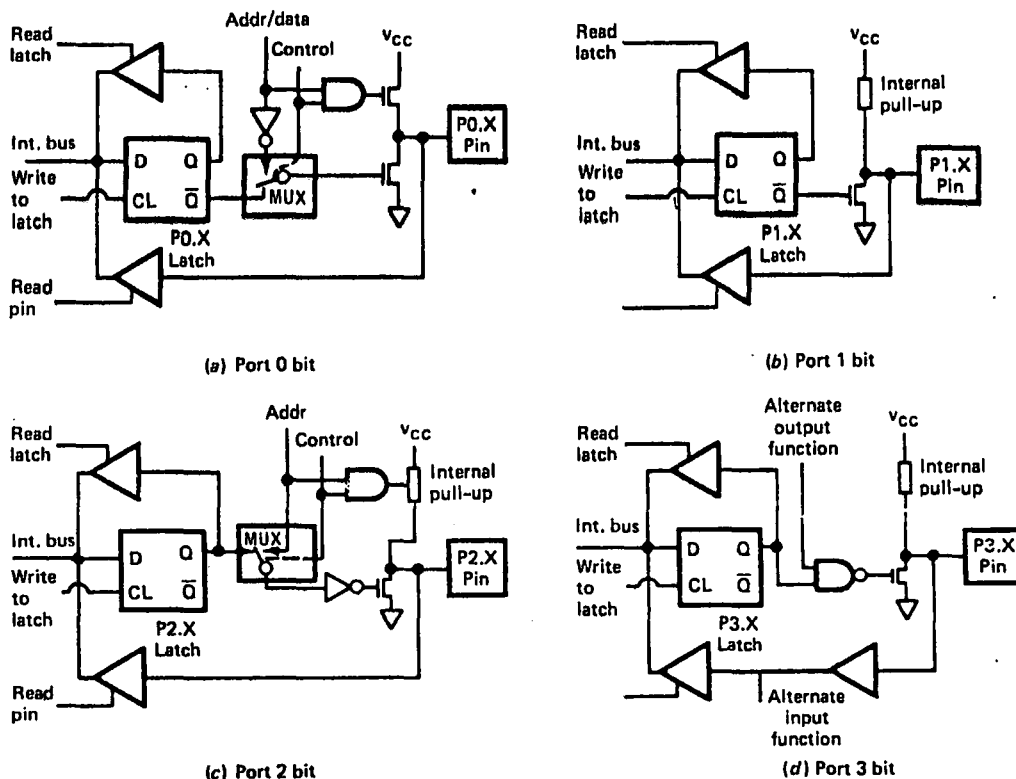
พอร์ต 0 สามารถทำหน้าที่ได้สองอย่างคือ เป็นอินพุต/เอาต์พุตพอร์ตธรรมดา หรือใช้เป็นแอดเดรสบััสไวด์ต่ำ และ เป็นคาต้าบััสเมื่อต่อกับหน่วยความจำภายนอก

พอร์ต 1 ใช้เป็นอินพุต/เอาต์พุตพอร์ต และพอร์ตนี้ไม่มีหน้าที่พิเศษใด ๆ

พอร์ต 2 สามารถใช้ได้ทั้งเป็นอินพุต/เอาต์พุตพอร์ต และ ใช้เป็นแอดเดรสไบต์ คู่ร่วมกับพอร์ต 0

พอร์ต 3 นอกจากจะทำหน้าที่เป็นอินพุต/เอาต์พุตพอร์ตเหมือนพอร์ต 1 แล้ว ในแต่ละบิตของพอร์ต 3 ยังสามารถทำหน้าที่อื่น ๆ ได้อีกดังตาราง

พอร์ต	การใช้งานฟังก์ชัน
P3.0	RXD( พอร์ตรับข้อมูลอนุกรม )
P3.1	TXD( พอร์ตรับข้อมูลอนุกรม )
P3.2	INT 0 ( การใช้อินเทอร์รัพต์ภายนอกตัวที่ 0)
P3.3	INT 1 ( การใช้อินเทอร์รัพต์ภายนอกตัวที่ 1)
P3.4	T0 ( Timer/Counter 0 สัญญาณอินพุตภายนอก)
P3.5	T1 ( Timer/Counter 1 สัญญาณอินพุตภายนอก)
P3.6	WR ( สไตรบการเขียนหน่วยความจำภายนอก )
P3.7	RD ( สไตรบการอ่านหน่วยความจำภายนอก )



รูปที่ 2.14 แสดงไดอะแกรมของพอร์ต

### 2.6.3 ตัวนับเวลา/ตัวจับเวลา

8051 ประกอบไปด้วยตัวนับเวลา/ตัวจับเวลาสองตัวคือ ไทม์เมอร์ 0 และ ไทม์เมอร์ 1 ซึ่งสามารถใช้เป็นตัวจับเวลา หรือ เป็นตัวนับเหตุการณ์ได้

เมื่อใช้เป็นตัวจับเวลา รีจิสเตอร์ของตัวจับเวลาจะเพิ่มขึ้นครั้งละหนึ่งในทุก ๆ แมกซ์ซิมัซเซิล โดยที่ หนึ่งแมกซ์ซิมัซเซิลของ 8051 มีค่ากับ  $1/12$  เท่าของความถี่ออสซิลเลเตอร์

เมื่อใช้เป็นตัวนับเวลา รีจิสเตอร์ของตัวนับเวลา/ตัวจับเวลาจะมีค่าเพิ่มขึ้นครั้งละหนึ่งเมื่อมีการเปลี่ยนลอจิกจากลอจิก 1 เป็นลอจิก 0 ที่ขา T0 หรือ T1 เนื่องจาก 8051 ใช้วิธีสุ่มลอจิกที่ขา T0 หรือ T1 ในทุก ๆ แมกซ์ซิมัซเซิล ดังนั้นในการตัดสินใจว่ามีการเปลี่ยนลอจิกจากลอจิก 1 เป็นลอจิก 0 จะต้องใช้เวลาทั้งหมด 2 แมกซ์ซิมัซเซิล นั่นคือความถี่สูงสุดที่ 8051 สามารถที่จะนับได้เท่ากับ  $1/24$  เท่าของความถี่ออสซิลเลเตอร์

การทำงานของตัวนับเวลา/ตัวจับเวลาแบ่งออกเป็น 4 โหมดคือ

**โหมด 0** ในโหมดนี้รีจิสเตอร์ของไทม์เมอร์จะทำตัวเหมือนรีจิสเตอร์ขนาด 13 บิต และแฟล็กของไทม์เมอร์จะถูกเซตเมื่อเกิดโอเวอร์โฟลว์

**โหมด 1** การทำงานโหมดนี้เหมือนกับการทำงานในโหมด 0 ต่างกันตรงที่รีจิสเตอร์ของไทม์เมอร์จะทำหน้าที่เป็นรีจิสเตอร์ขนาด 16 บิต

**โหมด 2** ในการทำงานโหมดนี้ TLX จะทำหน้าที่เป็นตัวนับขนาด 8 บิต และ THX จะถูกใช้เป็นตัวเก็บค่าซึ่งจะถูกโหลดให้ TLX โดยอัตโนมัติเมื่อ TLX เกิดการโอเวอร์โฟลว์ แฟล็กของไทม์เมอร์จะถูกเซตทุกครั้งที TLX เกิดการ โอเวอร์โฟลว์

**โหมด 3** ในการทำงานโหมดนี้ ไทม์เมอร์ 1 จะคงค่าที่มันนับอยู่ แต่ ไทม์เมอร์ 0 จะแยก TLO และ THO เป็นตัวนับขนาด 8 บิตสองตัวซึ่งทั้งสองตัวสามารถทำให้เกิดสัญญาณอินเตอร์รัพท์ได้ โดย THO จะถูกเซตเมื่อ TLO เกิดโอเวอร์โฟลว์ และ TH1 จะถูกเซตเมื่อ THO เกิดโอเวอร์โฟลว์

การทำงานของตัวจับเวลา/นับเวลาแต่ละตัวใน 8051 จะประกอบไปด้วยรีจิสเตอร์ 4 ตัว คือ THX และ TLX ซึ่งใช้เก็บค่าของการนับ และมีรีจิสเตอร์ที่ทำหน้าที่พิเศษอีกสองตัว คือ TMOD และ TCON ซึ่งใช้ในการกำหนดโหมดการทำงาน และ ควบคุมการทำงานของตัวนับเวลา/ตัวจับเวลา

GATE	C/T	M1	M0	GATE	C/T	M1	M0
Timer 1				Timer 0			
GATE	บิตควบคุม GATE						
C/T	เลือกการทำงานแบบตัวจับเวลาหรือตัวนับ ถ้าเป็น 0 จะเลือกทำงานเป็นตัวจับเวลา และ ถ้าถูกเซตเป็น 1 จะทำงานเป็นตัวนับเวลา						
M1	M0	โหมดการทำงาน					
0	0	ทำงานเป็นตัวจับเวลา/ตัวนับ ขนาด 13 บิต					
0	1	การใช้ตัวจับเวลา / ตัวนับ ขนาด 16 บิต 3					
1	0	การไหลตขนาด 8 บิต โดยอัตโนมัติที่ตัวนับและตัวจับเวลา โดยใช้ THX เก็บค่าที่ตั้งไว้และจะถ่ายเข้าไปที่ TLX ใหม่ทุกครั้งที่เกิดโอเวอร์โฟลล์					
1	1	(ไทม์เมอร์ 0) ; TLO ทำหน้าที่เป็นตัวนับเวลา/ตัวจับเวลาขนาด 8 บิต และ ถูกควบคุมโดยบิตควบคุมของไทม์เมอร์ 0, THO ทำหน้าที่เป็นตัวนับเวลา/ตัวจับเวลาขนาด 8 บิต และถูกควบคุมโดยบิตควบคุมของไทม์เมอร์ 1 (ไทม์เมอร์ 1) ; หยุดการทำงาน					

รูปที่ 2.15 TMOD (Timer/Counter Mode Control Register)

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
TF1							
TR1							
TF0							
TR0							
IE1							
IT1							
IE0							
IT0							

TF1            แฟล็กแสดงการเกิดโอเวอร์โฟลล์ของไทม์เมอร์ 1  
TR1            บิตควบคุมการทำงานของไทม์เมอร์ 1  
TF0            แฟล็กแสดงการเกิดโอเวอร์โฟลล์ของไทม์เมอร์ 0  
TR0            บิตควบคุมการทำงานของไทม์เมอร์ 0  
IE1            บิตแสดงการเกิดอินเทอร์รัพต์ภายนอก, INT 1  
IT1            บิตเลือกประเภทสัญญาณอินเทอร์รัพต์, INT 1  
IE0            บิตแสดงการเกิดอินเทอร์รัพต์ภายนอก, INT 0  
IT0            บิตเลือกประเภทสัญญาณอินเทอร์รัพต์, INT 0

รูปที่ 2.16 TCON (Timer/Counter Control Register)

EA	-	-	ES	ET1	EX1	ET0	EX0
EA							
ES							
ET1							
EX1							
ET0							
EX0							

EA            เอนาเบิล/คิสเอนเบิลการเกิดอินเทอร์รัพต์รวม  
ES            เอนาเบิล/คิสเอนเบิลการเกิดอินเทอร์รัพต์พอร์ตอนุกรม  
ET1            เอนาเบิล/คิสเอนเบิลการเกิดอินเทอร์รัพต์ไทม์เมอร์ 1  
EX1            เอนาเบิล/คิสเอนเบิลการเกิดอินเทอร์รัพต์ภายนอก, INT 1  
ET0            เอนาเบิล/คิสเอนเบิลการเกิดอินเทอร์รัพต์ไทม์เมอร์ 0  
EX0            เอนาเบิล/คิสเอนเบิลการเกิดอินเทอร์รัพต์ภายนอก, INT 0

รูปที่ 2.17 IE(Interrupt Enable Register)

-	-	-	PS	PT1	PX1	PT0	PX0
PS	ลำดับความสำคัญของอินเทอร์รัพต์พอร์ตต่อนุกรม						
PT1	ลำดับความสำคัญของอินเทอร์รัพต์ไทม์เมอร์ 1						
PX1	ลำดับความสำคัญของอินเทอร์รัพต์ภายนอก, INT1						
PT0	ลำดับความสำคัญของอินเทอร์รัพต์ไทม์เมอร์ 0						
PX0	ลำดับความสำคัญของอินเทอร์รัพต์ภายนอก, INTO						

รูปที่ 2.18 IP (Interrupt Priority Register)

#### 2.5.4 อินเทอร์รัพต์

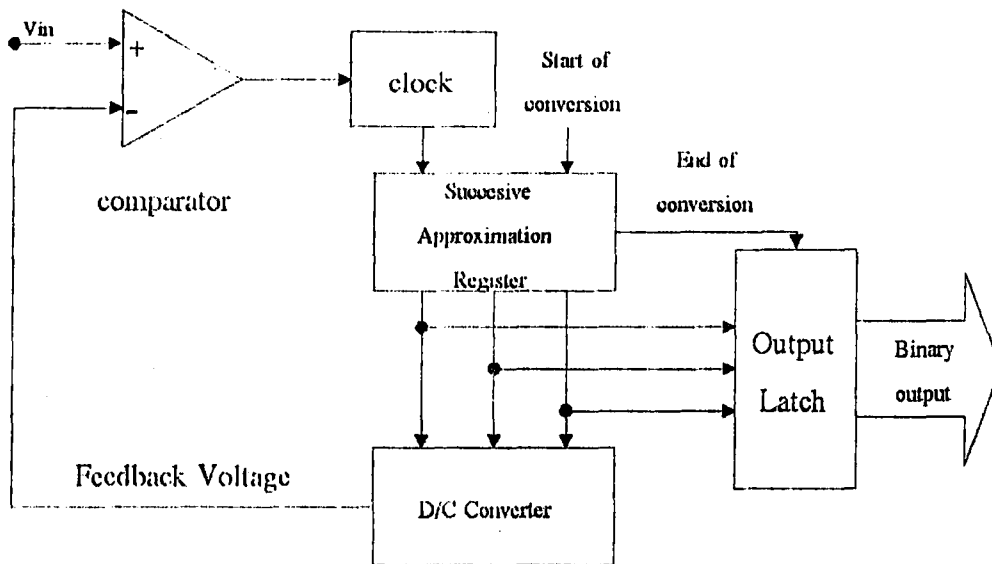
การอินเทอร์รัพต์เป็นการขัดจังหวะการทำงานอย่างใดอย่างหนึ่งซึ่งกำลังดำเนินอยู่ และไปทำงานตามโปรแกรม ณ ตำแหน่งที่ถูกกำหนดไว้ หลังจากนั้นจึงกลับมาทำงานเดิมต่อ สัญญาณอินเทอร์รัพต์ที่อาจมาจากภายนอก 8051 ได้แก่ INTO และ INT1 หรืออาจเกิดจากสวิตต์แวร์ภายใน 8051 เอง ได้แก่อินเทอร์รัพต์ของไทม์เมอร์ และ อินเทอร์รัพต์ของพอร์ตต่อนุกรม เราสามารถควบคุมการอินเทอร์รัพต์ที่ได้โดยการกำหนดค่าในรีจิสเตอร์ IE IP และ ICON

#### 2.6 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital converters)

เป็นวงจรที่ทำหน้าที่เป็นตัวเชื่อมระหว่างวงจรส่วนอนาลอก กับวงจรส่วนดิจิทัลโดยจะทำหน้าที่แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลที่สมมูลกัน วิธีแปลงสัญญาณที่นิยมมากที่สุดวิธีหนึ่งคือการแปลงสัญญาณแบบประมาณค่าหลายครั้ง (Successive approximation) เนื่องจากเป็นวิธีที่มีความเร็วในการแปลงสัญญาณสูง เชื่อมต่อกับระบบไมโครโปรเซสเซอร์ได้ง่าย มีราคาถูก และสามารถสร้างให้มีความละเอียดสูงได้

จากรูปที่ 2.19 เมื่อเริ่มแปลงสัญญาณรีจิสเตอร์จะถูกรีเซ็ต จากนั้นบิตที่มีนัยสำคัญสูงที่สุดจะถูกเซตให้มีค่าเป็นหนึ่ง และ วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกจะทำการแปลงค่าที่อยู่ในรีจิสเตอร์เป็นสัญญาณอนาลอกที่สมมูลกันแล้วนำไปเปรียบเทียบกับแรงดันอินพุท

ถ้าสัญญาณเกาท์พุทของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกมากกว่าสัญญาณอินพุทก็ทำการเคลียร์บิต แต่ถ้าน้อยกว่าก็ตั้งทำให้เป็น 1 เหมือนเดิม จากนั้นก็มาเซตบิตที่อยู่ต่ำลงไปและทำตามขั้นตอนด้านต้นจนถึงบิตที่มีนัยสำคัญต่ำที่สุดจะได้สัญญาณดิจิตอลที่สมมูลกับสัญญาณอนาลอก



รูปที่ 2.19 บล็อกไดอะแกรมของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล.  
แบบประมาณค่าหลายครั้ง

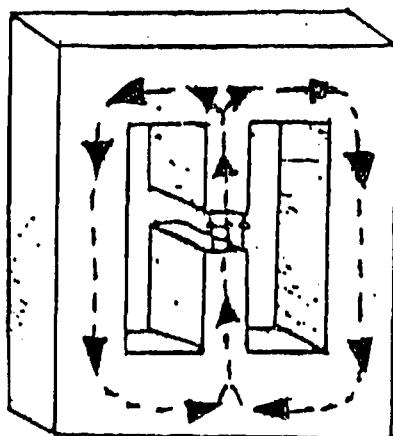
### บทที่ 3

#### การดำเนินงาน

#### 3.1 การพันขดลวดแม่เหล็ก

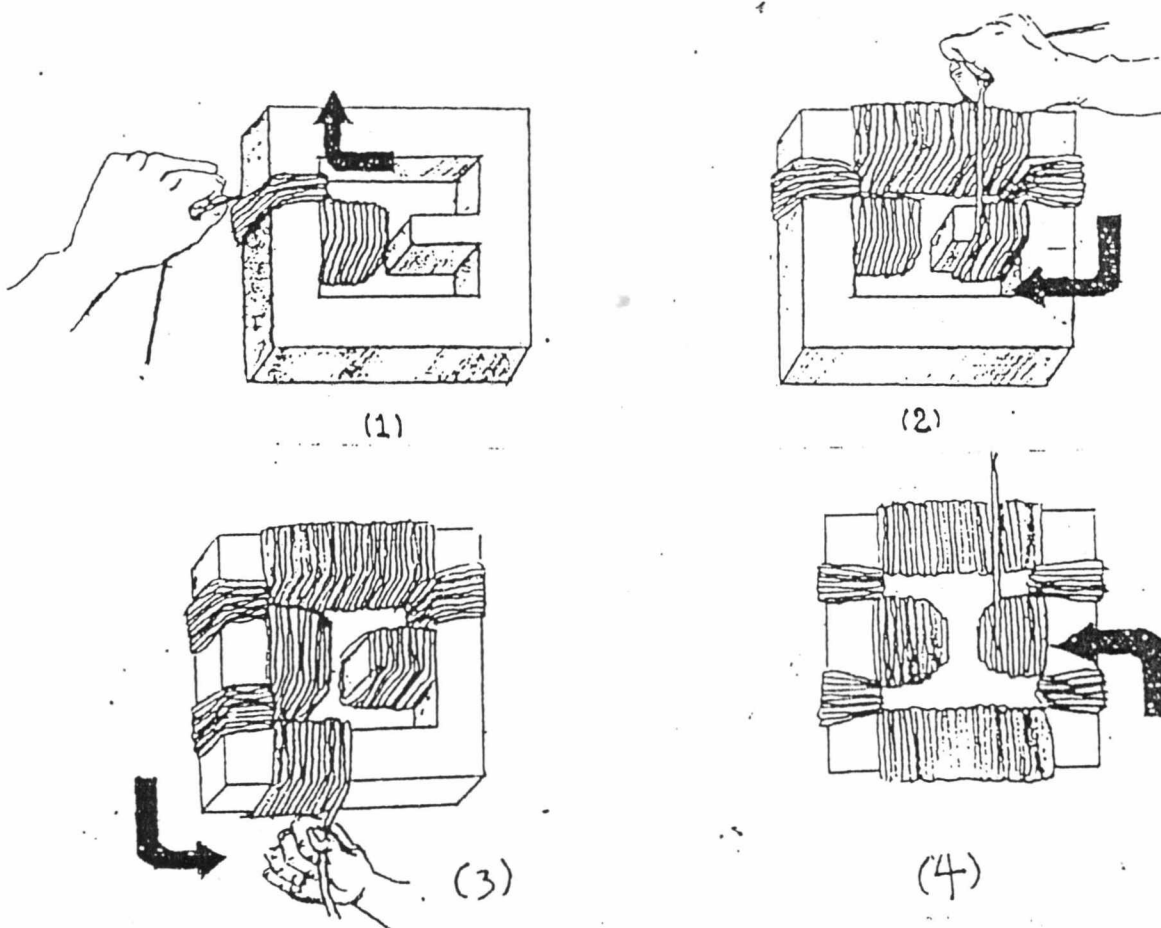
สนามแม่เหล็กที่ใช้ในเครื่องวัดอัตราไหลแบบแม่เหล็กแบ่งออกเป็นสอง ได้แก่ คือ

1. ใช้แม่เหล็กถาวร หรือ DC excitation เหมาะสำหรับการไหลที่เป็นห้วง ๆ หรือ ของไหลที่มีความนำไฟฟ้าสูง เช่น ปรอท น้ำกรด แต่ไม่เหมาะสำหรับของไหลที่มีค่าความนำไฟฟ้าต่ำ เพราะเมื่อมีกระแสไฟฟ้าไหลผ่านของไหลจะทำให้โมเลกุลของของไหลแตกตัวเป็นไอออน ( เกิดการโพลาริซ์ ) ไปจับที่ขั้วอิเล็กโตรดทำให้แรงดันที่วัดได้คลาดเคลื่อน
2. ใช้ไฟกระแสสลับที่ความถี่ต่าง ๆ หรือ พัลส์ ในการสร้างสนามแม่เหล็ก การจ่ายไฟกระแสสลับ หรือ พัลส์ให้กับขดลวดแม่เหล็กจะทำให้เกิดสนามแม่เหล็กที่มีทิศทางสลับไปมาด้วยความถี่เท่ากับไฟกระแสสลับที่ป้อนให้ขดลวด วิธีนี้เหมาะสำหรับของไหลที่มีค่าความนำไฟฟ้าต่ำ หรือ เป็นการไหลแบบต่อเนื่อง เพราะสามารถแก้ไขการเกิดโพลาริซ์ได้ ซึ่งเครื่องมือวัดอัตราการไหลแบบแม่เหล็กในโรงงานพิเศษนี้จะใช้วิธีนี้



รูปที่ 3.1 แกนเหล็กที่ใช้ในการพันขดลวดแม่เหล็ก

การพันขดลวดแม่เหล็กจะพันรอบแกนเหล็กเพื่อจะได้เหนี่ยวนำให้สนามแม่เหล็กรวมกันอยู่ในแกนไม่กระจัดกระจายไปในอากาศ ส่วนวิธีการพันขดลวดจะพันโดยใช้กฎมือขวา โดยให้นิ้วหัวแม่มือชี้ไปตามทิศของสนามแม่เหล็ก นิ้วที่เหลือก็จะชี้ไปตามทิศของกระแสโดยต้องพันลวดไปตามทิศของลูกศร ดังในรูปที่ 3.2

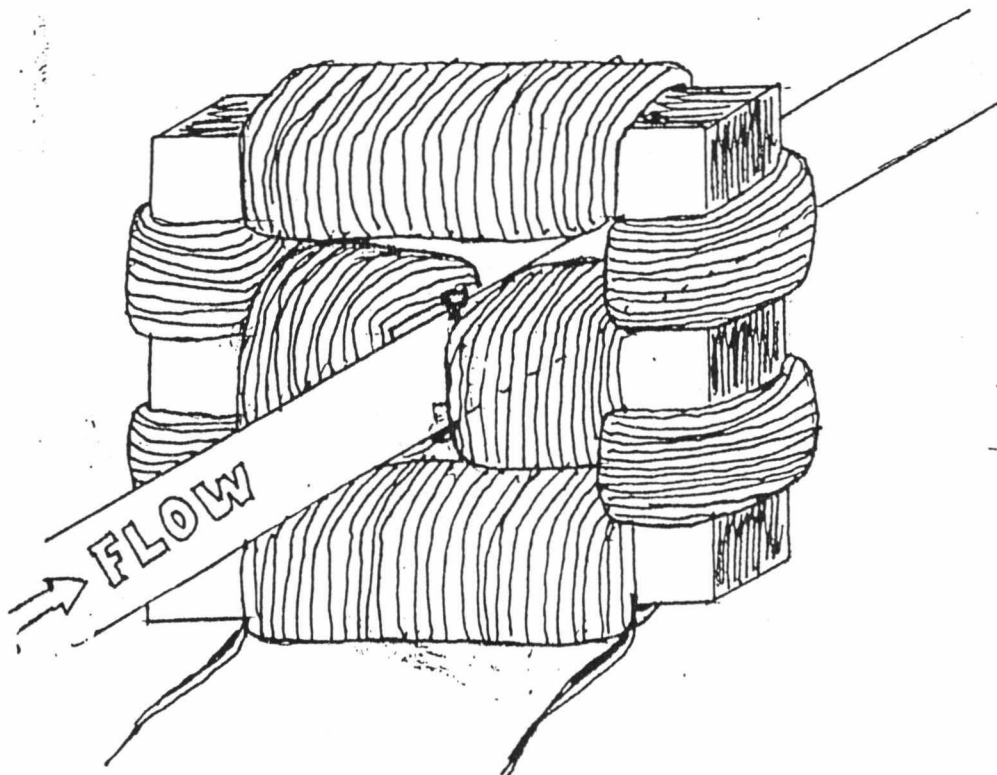


รูปที่ 3.2 วิธีการพันขดลวดแม่เหล็ก

### 3.2 การทำท่อ และ อิเล็กโทรด

วัสดุที่ใช้ทำท่อจะต้องไม่เป็นสารแม่เหล็ก เนื่องจากถ้าท่อทำจากสารแม่เหล็กสนามแม่เหล็กจะไปอยู่ที่ผิวของท่อไม่ตัดผ่านของไหลทำให้ไม่เกิดแรงเคลื่อนไฟฟ้าเหนี่ยวนำซึ่งท่อที่ใช้ในโครงการพิเศษนี้เป็นท่อพลาสติก (ท่อพีวีซี) ที่มีพื้นที่หน้าตัดเป็นรูปวงกลม มีเส้นผ่านศูนย์กลางภายใน 1.7 ซม. และมีควมหนา 2.45 มม.

การวัดค่าแรงดันไฟฟ้าเหนี่ยวนำที่เกิดขึ้นสามารถวัดได้โดยวัดผ่านขั้วอิเล็กโทรด ซึ่งทำจากน็อดสเตนเลส มีขนาดเส้นผ่านศูนย์กลาง 0.6 มม ขัดติดอยู่กับท่อโดยปลายของขั้วอิเล็กโทรดด้านที่ฝังอยู่ในท่อจะสัมผัสกับของเหลวที่ไหลอยู่ภายในท่อ เหตุที่ใช้ น็อดสเตนเลส เนื่องจากไม่เกิดสนิมง่าย และ ถ้าจะนำไปใช้ในของเหลวที่มีความกัดกร่อนสูงก็สามารถนำ น็อดสเตนเลส ไปชุบโลหะที่ทนต่อการกัดกร่อน เช่นทอง ได้



รูปที่ 3.3 ลักษณะการจัดเรียงขดลวดแม่เหล็ก ท่อ และ อิเล็กโตรด

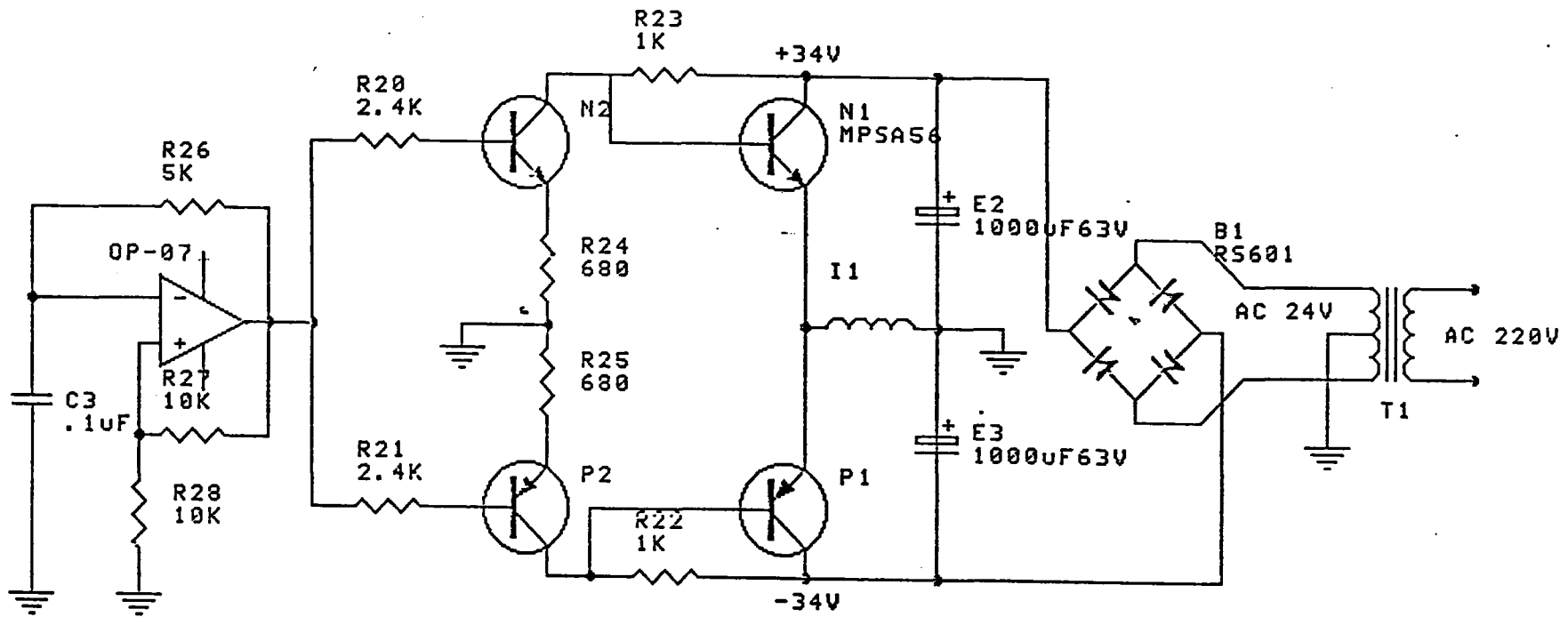
### 3.3 วงจรอิเล็กทรอนิกส์ของเครื่องมือวัดอัตราการไหลแบบแม่เหล็ก

รูปที่ 3.4 เป็นวงจรส่วนจ่ายกระแสให้ขดลวดแม่เหล็ก ความถี่ 1 kHz โดย N1 คือ ทรานซิสเตอร์กำลังชนิด NPN เบอร์ 2N3055 ,P1 คือ ทรานซิสเตอร์กำลังชนิด PNP เบอร์ MJ 2955 , P2 คือ ทรานซิสเตอร์ชนิด PNP เบอร์ MP5A56 ,N2 คือทรานซิสเตอร์ชนิด NPN เบอร์ 3904

#### 3.3.1 วงจรช่วยสร้างสนามแม่เหล็ก ( magnetic driver )

วงจรที่ใช้ในการจ่ายกำลังให้แก่ขดลวดแม่เหล็กแบ่งออกเป็น 3 ส่วน คือ

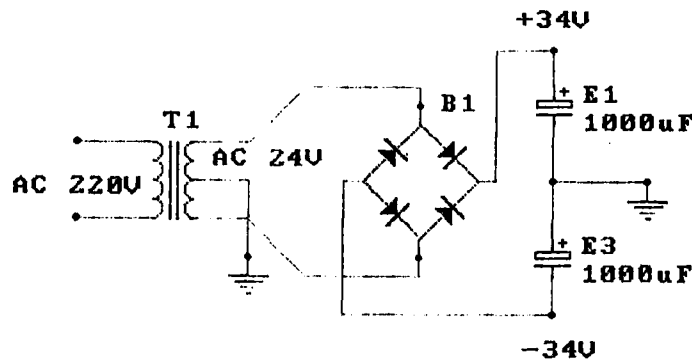
1. วงจรกรองกระแส
2. วงจรที่ใช้ในการเปิดปิดอุปกรณ์ทรานซิสเตอร์กำลัง



รูปที่ 3.4 วงจรช่วยสร้างสนามแม่เหล็ก

### 3. วงจรกำเนิดความถี่ 1 kHz

#### 1. วงจรกรองกระแส



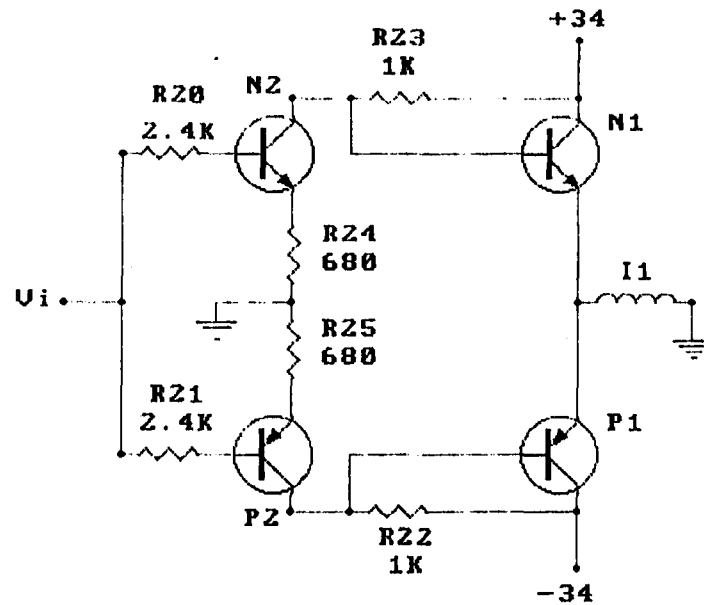
รูปที่ 3.5 วงจรกรองกระแส

ในวงจรนี้ใช้หม้อแปลงที่มีแท็ปกลางซึ่งแปลงแรงดันไฟฟ้ากระแสสลับ 220 โวลต์ เป็นไฟฟ้ากระแสสลับ 24 โวลต์ จากนั้นใช้ตัวเก็บประจุ E1 และ E3 กรองไฟฟ้าจากขดลวด ทดขยภูมิให้เป็นไฟฟ้ากระแสตรง  $\pm 34$  โวลต์เพื่อใช้ไบอัสทรานซิสเตอร์

#### 2. วงจรที่ใช้ในการเปิดปิดอุปกรณ์ทรานซิสเตอร์กำลัง

จากรูปที่ 3.6 เมื่อสัญญาณรูปสี่เหลี่ยมความถี่ 1 kHz ซึ่งมีแอมพลิจูด 15 โวลต์ถูก ป้อนเข้าในวงจร เมื่อแรงดัน +15 โวลต์ เข้ามาทางขาเบสของทรานซิสเตอร์ N2 และ การใช้ ค่าตัวต้านทานตามที่ระบุไว้ในวงจรจะทำให้ทรานซิสเตอร์ตัวนี้จ่ายแรงดัน +18 โวลต์ ป้อนให้ ขาเบสของทรานซิสเตอร์กำลัง N1 ทำให้ทรานซิสเตอร์กำลัง N1 อยู่ในสถานะแซทจูเรท และ ทำงานเป็นสวิตช์ปิด ทำให้กระแสไหลผ่านทรานซิสเตอร์กำลัง N1 ผ่านขดลวดแม่เหล็กกลอง กราวด์ ในขณะเดียวกัน ทรานซิสเตอร์กำลัง P1 จะอยู่ในสถานะคัทออฟ และ ทำงานเป็น สวิตช์เปิด เป็นผลให้ไม่มีกระแสไหลจากขดลวดแม่เหล็กผ่านทรานซิสเตอร์กำลัง P1

เมื่อแรงดัน -15 โวลต์ เข้ามาที่ขาเบสของทรานซิสเตอร์ N2 จะทำให้ทรานซิสเตอร์- กำลัง N1 ทำหน้าที่เป็นสวิตช์เปิดทำให้ไม่มีกระแสไหลผ่านทรานซิสเตอร์กำลัง N1 แต่ ทรานซิสเตอร์กำลัง P1 จะทำหน้าที่เป็นสวิตช์ปิด กระแสจะไหลจากกราวด์ผ่านขดลวดแม่- เหล็กผ่านทรานซิสเตอร์กำลัง P1 สู่อุปกรณ์ -34 โวลต์



รูปที่ 3.6 วงจรที่ใช้ในการเปิดปิดทรานซิสเตอร์กำลัง

ทรานซิสเตอร์กำลัง N1 และ P1 จะสลับกันทำหน้าที่เป็นสวิตช์ปิดด้วยความถี่ 1 kHz ทำให้กระแสที่ไหลผ่านขดลวดแม่เหล็กเป็นไฟกระแสสลับความถี่ 1 kHz

### 3. วงจรกำเนิดความถี่ 1 kHz

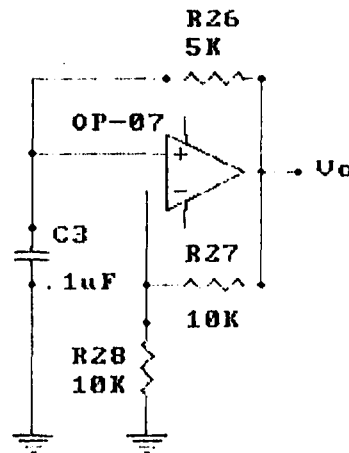
วงจรนี้จะเป็นตัวกำเนิดคลื่นสี่เหลี่ยมความถี่ 1 kHz แอมพลิจูด 15 โวลต์ เพื่อนำไปป้อนให้อินพุตของทรานซิสเตอร์ N2 และ P2 เพื่อนำไปขับทรานซิสเตอร์กำลังให้ทำหน้าที่เป็นสวิตช์ ปิด-เปิด

จากสมการที่ [2.9] จะได้ว่า

$$f_{out} = \frac{1}{2 \times 5k\Omega \times 0.1\mu F}$$

จะได้  $f_{out} = 1kHz$

เมื่อ  $R_1 = 5k\Omega$   $C_1 = 0.1\mu F$



รูป 3.7 วงจรกำเนิดสัญญาณรูปสี่เหลี่ยม ความถี่ 1 kHz

### 3.3.2 วงจรภาครับสัญญาณจากอิลคโตรด ( voltage detector )

วงจรในส่วนนี้มีความสำคัญมากเนื่องจากสัญญาณที่ได้จากขั้วอิลคโตรดทั้งสองจะมีขนาดเล็กมากฉะนั้นจะต้องมีการกำจัดสัญญาณรบกวนให้หมดไป หรือ ให้น้อยจนไม่มีผลต่อการแสดงผล

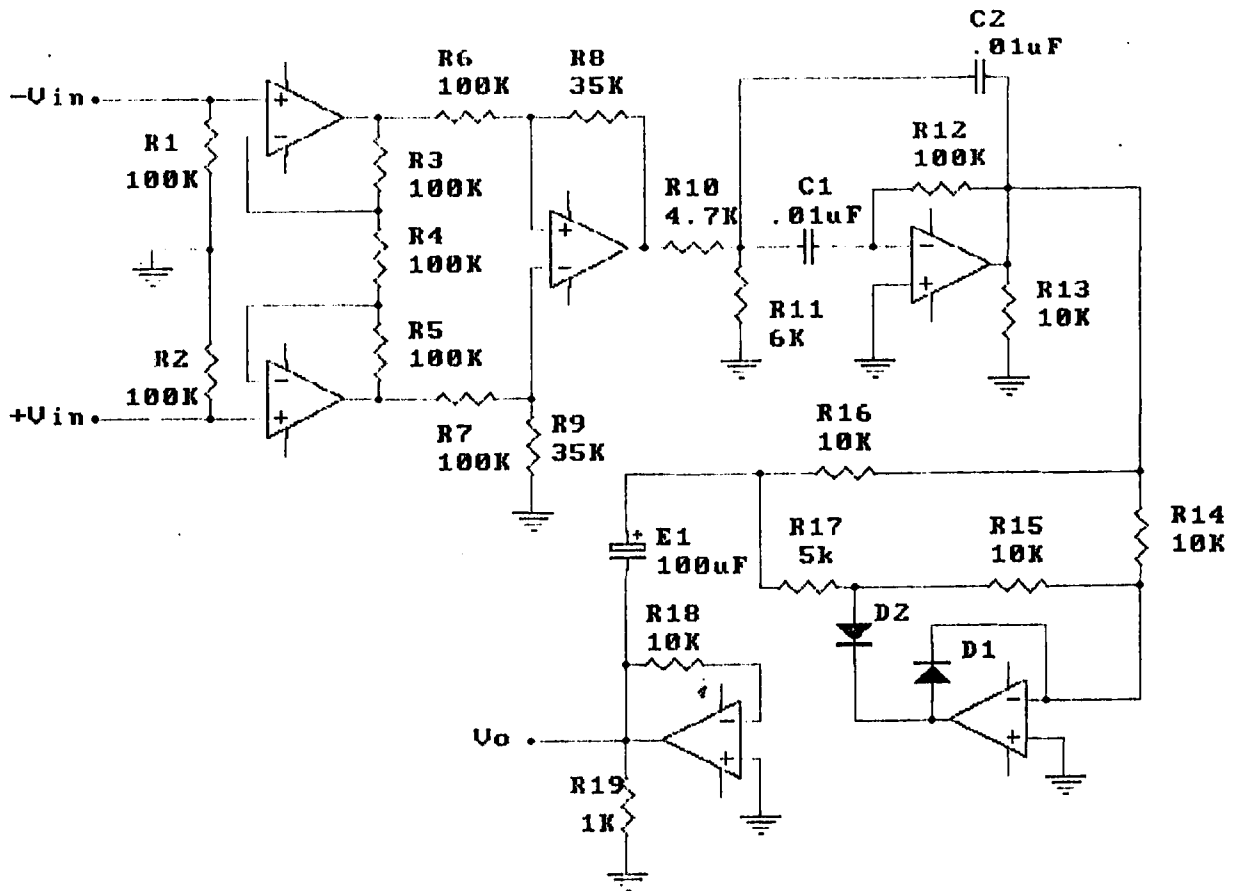
ในการกำจัดสัญญาณรบกวนในวงจรได้มีการนำเอาวงจรแอกทีฟฟิลเตอร์มาใช้ และใช้สายชิลด์ในการนำสัญญาณจากขั้วอิลคโตรดเพื่อป้องกันสัญญาณรบกวนที่อาจถูกเหนี่ยวนำเข้ามาทางสายรับสัญญาณ

วงจรในส่วนนี้แบ่งออกเป็นสามส่วนใหญ่ ๆ ได้แก่

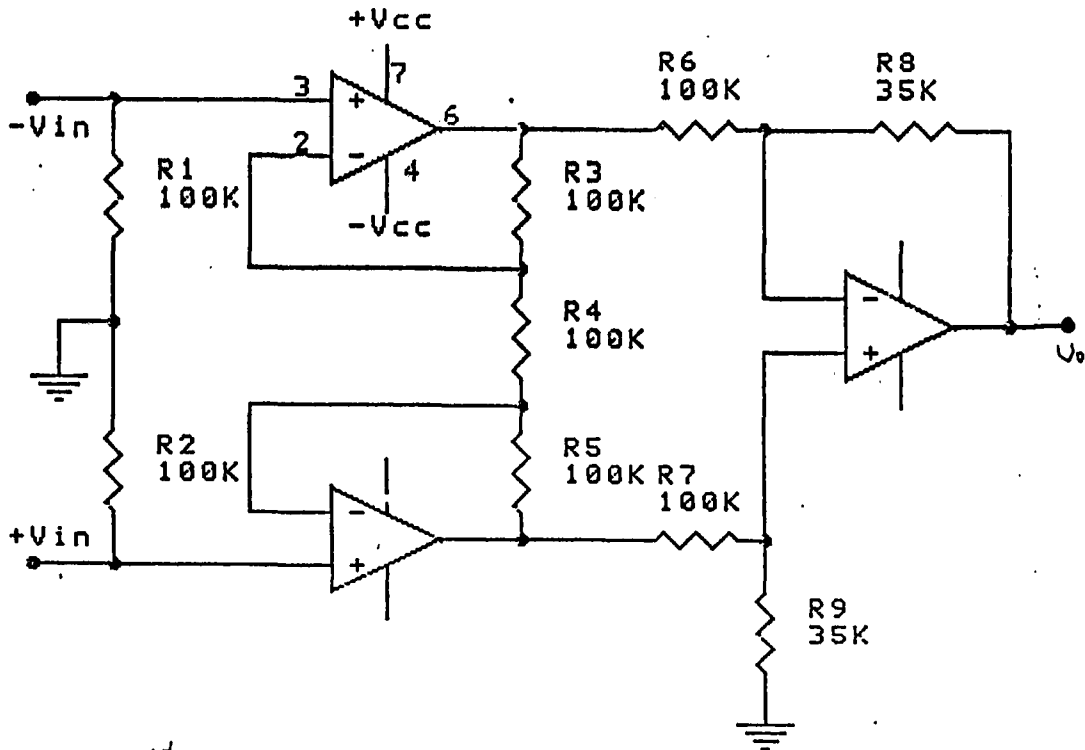
1. วงจร instrument amplifier
2. วงจร bandpass filter
3. วงจร mean-absolute-value (MAV)

#### 1. วงจร instrument amplifier

ในรูปที่ 3.9 นำสัญญาณจากขั้วอิลคโตรดทั้งโดยใช้สายชิลด์ในการนำสัญญาณต่อเข้ากับอินพุทของวงจรเมื่อสัญญาณ และ สัญญาณรบกวนผ่านออปแอมป์ตัวที่ 1 และ 2 เข้าสู่ออปแอมป์ตัวที่ 3 ทางขั้วอินพุททั้งสองที่ออปแอมป์ตัวที่ 3 นี้ จะทำหน้าที่คล้ายวงจรขยายความแตกต่าง การใช้ค่าความต้านทานในรูปจะได้อัตราขยายของวงจรเป็น 1 คุณสมบัติของวงจรขยายความแตกต่างนี้จะขยายความแตกต่างของสัญญาณซึ่ง ได้แก่สัญญาณจากขั้วอิลคโตรด ส่วนสัญญาณรบกวนจะมีขนาดใกล้เคียงกันจะถูกลดทอนลงทำให้สัญญาณรบกวนที่เอาต์พุทของวงจรมีน้อยลง



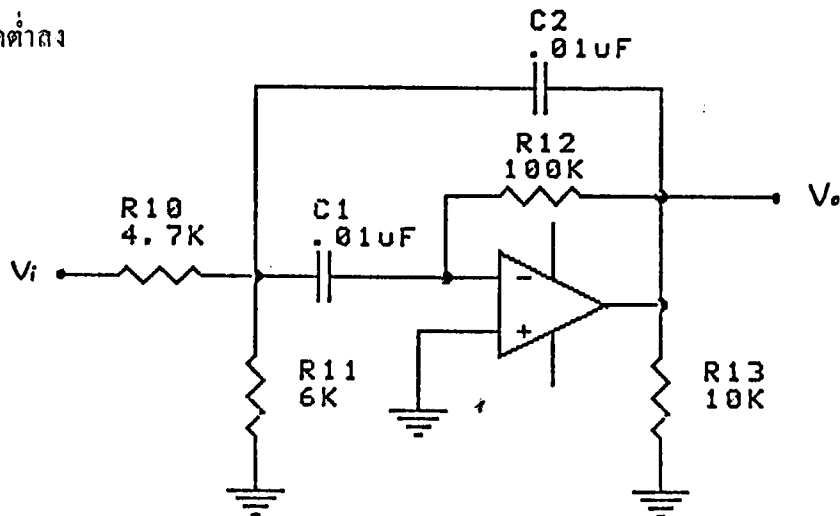
รูปที่ 3.8 วงจรภาคตรวจวัดสัญญาณจากอิเล็กทรอนิกส์



รูปที่ 3.9 วงจร instrument amplifier

## 2. วงจร bandpass filter

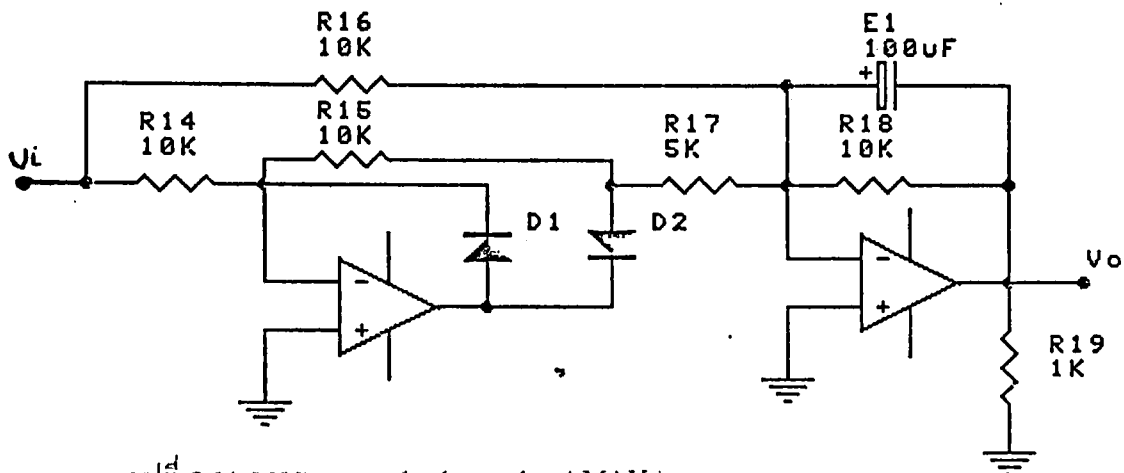
สัญญาณที่ได้จากเอาต์พุทของวงจร instrument amplifier ยังมีสัญญาณรบกวนเหลืออยู่เล็กน้อย ดังนั้นเพื่อกำจัดสัญญาณรบกวนให้หมดไปจึงนำสัญญาณเข้าสู่วงจร bandpass filter ซึ่งวงจรมียอมให้ความถี่ของสัญญาณ 1 kHz ผ่านได้ดี และ ลดระดับสัญญาณที่มีความถี่อื่นให้ลดต่ำลง



รูปที่ 3.10 วงจร bandpass filter

## 3. วงจร mean-absolute-value ( MAV )

วงจรมีใช้ในการเปลี่ยนสัญญาณไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงซึ่งเป็นหลักการของวงจรกรองกระแสทั่วไปแต่เราไม่สามารถใช้วงจรกรองกระแสแบบบริดจ์ได้เนื่องจากจะต้องมีความต่างศักย์ตกคร่อมไดโอดวงจรจึงจะทำงาน แต่สัญญาณที่วัดได้มีขนาดเล็กจึงต้องใช้วงจรกรองกระแสแบบแอกทีฟ โดยใช้ออปแอมป์เข้ามาช่วยในการกลับสัญญาณจากด้านลบมาเป็นด้านบวก แล้วเฉลี่ยสัญญาณจะได้ค่าที่ใกล้เคียงกับค่า  $V_{rms}$



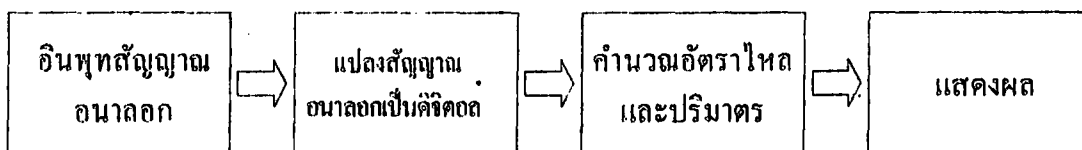
รูปที่ 3.11 วงจร mean-absolute-value ( MAV )

### 3.3.3 ส่วนแสดงผล

วงจรส่วนนี้จะนำสัญญาณไฟตรงที่ได้จากภาครับสัญญาณมาแปลงเป็นสัญญาณดิจิทัลโดยใช้ไอซีเบอร์ 0804 ซึ่งเป็นไอซีที่แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลโดยใช้วิธีประมาณค่าหลายครั้ง (Successive approximation) หลังจากนั้นจึงนำสัญญาณดิจิทัลที่แปลงได้ไปคำนวณค่าอัตราการไหล และ ปริมาตรโดยใช้ไมโครคอนโทรลเลอร์ 8751 และแสดงผลออกทางเซกเมนต์เจ็ดส่วน (Seven segment)

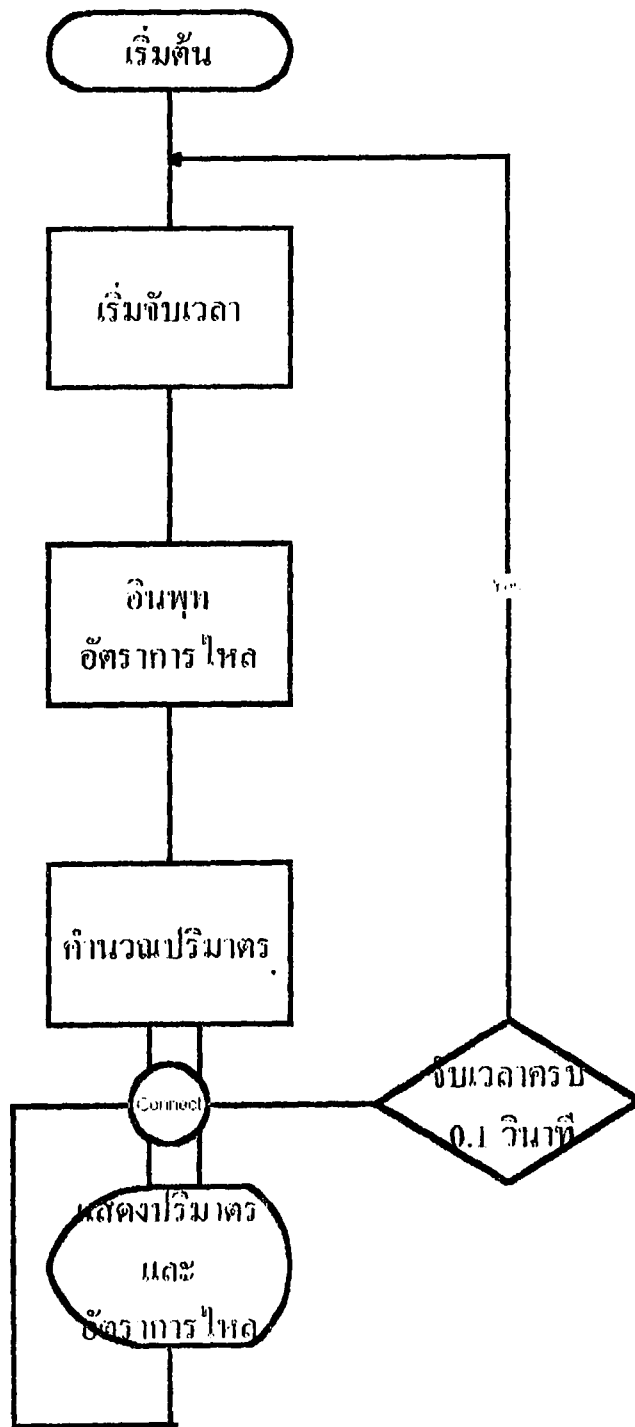
เนื่องจากอัตราการไหลของของเหลวมีหน่วยเป็น ลิตร/นาที่ ถ้าสู่มอัตราการไหลของของเหลวด้วยอัตรา 10 ครั้งต่อ 1 วินาที หรือ 1 ครั้งต่อ 0.1 วินาที และ ประมาณว่าอัตราการไหลมีค่าคงที่ในช่วง 0.1 วินาที ปริมาตรของของไหลในช่วง 0.1 วินาทีจะเท่ากับ ผลคูณระหว่างอัตราการไหลในหน่วย ลิตร/วินาที กับ 0.1 วินาที และเมื่อนำไปบวกเพิ่มกับปริมาตรเดิมที่วัดได้ก็จะได้ปริมาตรของของไหลทั้งหมดที่ไหลผ่านอิเล็กโตรดตั้งแต่เริ่มเปิดเครื่อง

เมื่อคำนวณปริมาตร และ อัตราการไหลแล้ว จะทำการแปลงปริมาตร และ อัตราการไหล ซึ่งเป็นเลขฐานสองให้เป็นเลขปืซิดี (Binary coded decimal) และ ส่งเลขปืซิดีที่แปลงได้ไปยัง ไอซีที่ทำหน้าที่แปลงเลขปืซิดีเป็นรหัสของเซกเมนต์เจ็ดส่วนที่สมมูลกันเพื่อ ไปขับเซกเมนต์เจ็ดส่วนให้แสดงค่าปริมาตร และ อัตราการไหล

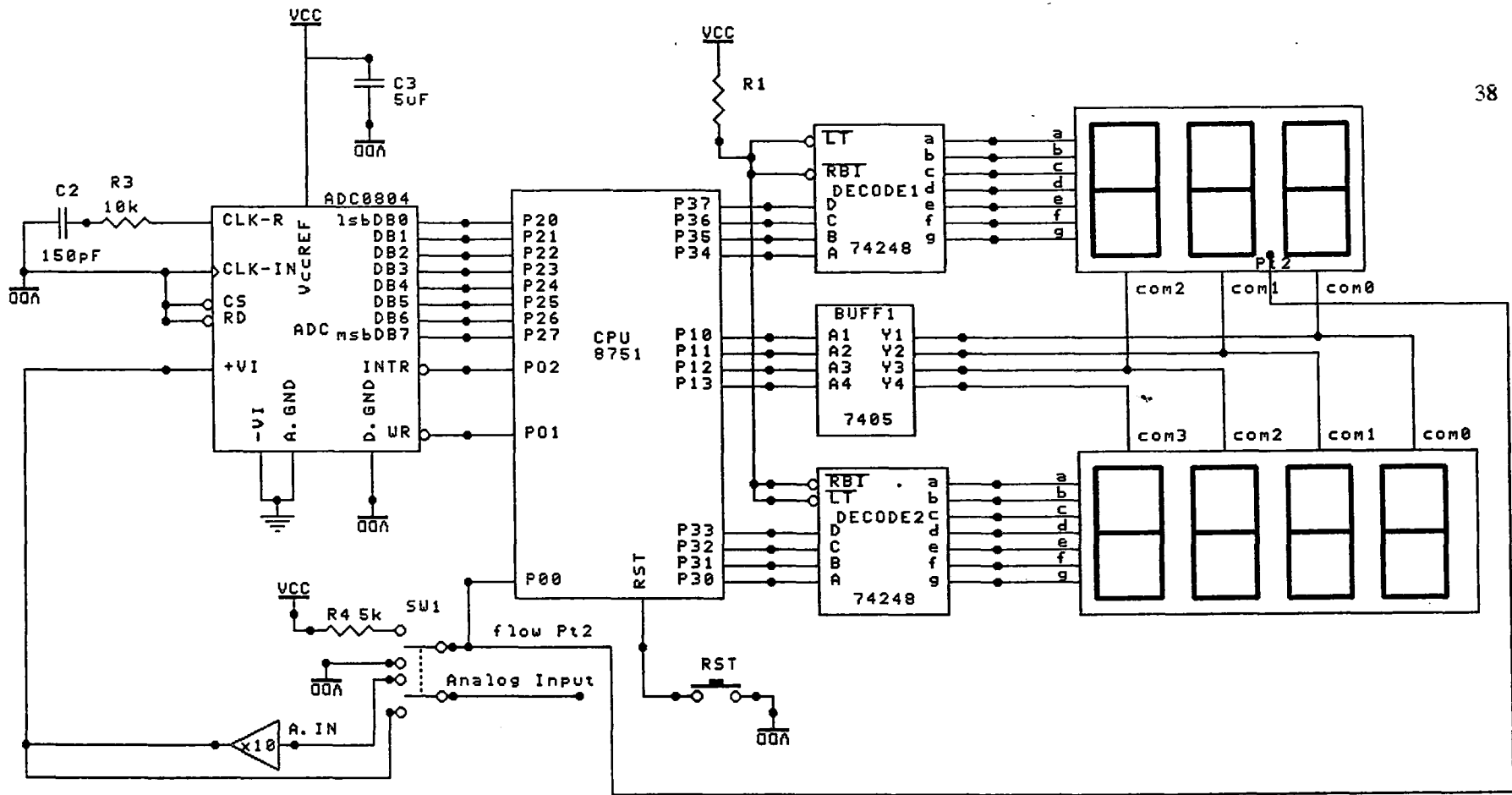


รูปที่ 3.12 บล็อกไดอะแกรมส่วนแสดงผล

ในการสู่มค่าอัตราการไหลเข้ามาเพื่อคำนวณเป็นปริมาตรทุก ๆ 0.1 วินาทีได้ใช้วงจรนับเวลา/จับเวลา (Timer / Counter) ของไมโครคอนโทรลเลอร์ให้ทำหน้าที่เป็นตัวจับเวลาในโหมด 1 ซึ่งจะเพิ่มค่ารีจิสเตอร์ของวงจรมับขึ้นทุก ๆ แมกซ์ซิมัซเคิล และ รีจิสเตอร์ของวงจรมับมีขนาด 16 บิต



รูปที่ 3.13 ฟังก์ชันการทำงานของโปรแกรมควบคุมส่วนแสดงผล



รูปที่ 3.14 วงจรของส่วนแสดงผล

## บทที่ 4

### ผลการทดสอบ และ ข้อเสนอแนะ

เนื่องจากไม่สามารถกำจัดสัญญาณรบกวนในภาคตรวจวัดสัญญาณจากอิเล็กทรอนิกส์ให้หมดไปได้ทำให้เครื่องวัดอัตราการไหลที่สร้างขึ้นไม่สามารถวัดอัตราการไหลได้ อย่างไรก็ตามได้ทำการทดสอบถึงความสามารถในการวัดปริมาณของเครื่องวัดอัตราการไหลโดยสมมติค่าอัตราการไหลให้กับเครื่องวัดอัตราการไหล แล้วอ่านปริมาณที่วัดได้ในเวลาต่างๆ กัน จากนั้นนำปริมาณที่วัดได้ และ เวลามาคำนวณเป็นอัตราการไหลแล้วนำไปเปรียบเทียบค่าอัตราการไหลที่สมมติให้กับเครื่องวัดอัตราการไหลเพื่อหาค่าความผิดพลาด เช่น เมื่อสมมติให้อัตราการไหลเท่ากับ 200 ลิตร/นาที พบว่าเมื่อเครื่องวัดอัตราการไหลวัดปริมาณได้ 2000 ลิตร จะใช้เวลาทั้งสิ้น 10 นาที 4.39 วินาที ดังนั้นจะได้ว่า

$$\begin{aligned}\text{อัตราการไหล} &= \frac{2000}{(10 \times 60) + 4.39} \times 60 \text{ liters/mit} \\ &= 198.55 \text{ liters/mit}\end{aligned}$$

หรือคลาดเคลื่อน 0.73 %

#### 4.1 ผลการทดสอบ

$v = 50 \text{ liters/mit}$

ปริมาณ (liters)	เวลา (mit)	อัตราการไหล (liters/mit)	ความผิดพลาด (%)
200	4:01.80	49.63	0.74
300	6:02.58	49.64	0.72
400	8:03.39	49.65	0.70
500	10:04.36	49.64	0.72
600	12:05.08	49.65	0.70
เฉลี่ย		49.64	0.70

$v = 150$  liters/mit

ปริมาตร (liters)	เวลา (mit)	อัตราการไหล (liters/mit)	ความผิดพลาด (%)
200	1:20.75	148.61	0.93
300	2:00.89	148.90	0.73
500	3:21.58	148.82	0.79
700	4:42.05	148.91	0.73
1000	6:42.92	148.91	0.73
เฉลี่ย		148.83	0.78

$v = 200$  liters/mit

ปริมาตร (liters)	เวลา (mit)	อัตราการไหล (liters/mit)	ความผิดพลาด (%)
500	2:31.14	198.18	0.75
1000	5:02.00	198.68	0.66
1500	7:33.30	198.54	0.73
2000	10:04.39	198.55	0.73
2500	12:35.33	198.59	0.71
เฉลี่ย		198.57	0.72

$v = 255$  liters/mit

ปริมาตร (liters)	เวลา (mit)	อัตราการไหล (liters/mit)	ความผิดพลาด (%)
1000	3:57.15	253.00	0.78
1700	6:42.93	253.15	0.73
2000	7:54.02	253.15	0.73
2500	9:52.17	253.31	0.66
3000	11:50.92	253.19	0.71
เฉลี่ย		253.16	0.72

#### 4.2 วิเคราะห์ผลการทดสอบ

จากผลการทดสอบการวัดปริมาตรของเครื่องวัดอัตราการไหลพบว่าความผิดพลาดของอัตราการไหลที่คำนวณได้ หรืออีกนัยหนึ่งคือ ความผิดพลาดของการวัดปริมาตรจะมีค่าสูงเมื่อปริมาตรที่วัดได้มีค่าน้อย ทั้งนี้เนื่องมาจาก ความผิดพลาดในการจับเวลามีค่าสูงเมื่อเทียบกับเวลาที่เครื่องมือใช้ในการวัดปริมาตร อย่างไรก็ตามเมื่อปริมาตรที่วัดได้สูงขึ้นพบว่าความผิดพลาดของอัตราการไหลที่คำนวณได้ กับอัตราการไหลที่สมมติขึ้นจะมีค่าประมาณ 0.72 % ซึ่งความผิดพลาดนี้มีสาเหตุมาจาก

1.ฐานเวลาที่สร้างขึ้นเพื่อใช้ในการสุ่มอัตราการไหลเพื่อนำมาคำนวณปริมาตรถูกสร้างขึ้นโดยอาศัยตัวจับเวลา/ตัวนับเวลาของไมโครคอนโทรลเลอร์ทำให้ฐานเวลาที่ถูกสร้างขึ้นมีความคลาดเคลื่อนไปจากค่าที่ต้องการ

2. เนื่องจากอัตราการสุ่มอัตราการไหลมากำนวนเป็นปริมาตรเท่ากับ 10 ครั้ง / วินาที หรือเท่ากับ 1 ครั้ง / 0.1วินาที แต่อัตราการไหลที่สุ่มเข้ามามีหน่วยเป็น ลิตร / นาที จึงต้องแปลงอัตราการไหลให้อยู่ในหน่วย ลิตร / วินาที โดยหารด้วย 60 ซึ่งปรากฏว่าการหารนี้มักจะเป็นการหารที่ไม่ลงตัวจึงจำเป็นต้องมีการประมาณค่าทำให้การคำนวณปริมาตรมีความผิดพลาด

3. ไอซีที่ใช้แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมีความละเอียดเพียง 8 บิต ทำให้อัตราการไหลที่วัดได้มีความผิดพลาด และ ทำให้การวัดปริมาตรมีความผิดพลาดตามไปด้วย

ในภาคตรวจวัดสัญญาณจากฮิสเทโรซิสพบว่าสัญญาณที่ได้จากฮิสเทโรซิสมีขนาดเล็ก และ เนื่องจากไม่สามารถกำจัดสัญญาณรบกวนให้หมดไปได้ ทำให้ไม่สามารถวัดอัตราการไหลของของเหลวได้ ซึ่งสาเหตุอาจมาจาก

1.แกนแม่เหล็กที่ใช้พันขดลวดเกิดการอิ่มตัวทำให้สนามแม่เหล็กที่เกิดขึ้นจะขึ้นอยู่กับสนามแม่เหล็กที่เกิดจากขดลวดแม่เหล็กเพียงอย่างเดียว และ ไม่แรงพอที่จะทำให้เกิดแรงเคลื่อนไฟฟ้าเหนี่ยวนำที่มีขนาดใหญ่ได้

2.ของเหลวที่ใช้ในการทดลองอาจจะมีค่าความนำไฟฟ้าไม่สูงพอ

3.เนื่องจากใช้แผ่นวงจรแกนกึ่งประสงค์ในการต่อวงจรทำให้มีการต่อโยงสายไฟมากซึ่งอาจจะเหนี่ยวนำให้มีสัญญาณรบกวนเข้ามาในระบบเป็นเหตุให้ไม่สามารถกำจัดสัญญาณรบกวนให้หมดไปได้

### 4.3 ข้อเสนอแนะ

1. ควรใช้ไอซีที่ทำหน้าที่ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลที่มีความละเอียดสูงขึ้นเพราะจะทำให้การวัดอัตราการไหลมีความละเอียดมากขึ้น และสามารถวัดอัตราการไหลในช่วงที่กว้างขึ้น

2. ควรออกแบบวงจรอิเล็กทรอนิกส์ให้มีความสามารถในการกำจัดสัญญาณรบกวนได้ดีขึ้น ใช้แผ่นพิมพ์วงจรในการต่ออุปกรณ์ และ พยายามลดจุดต่อเชื่อมให้เหลือน้อยที่สุดเพื่อลดสัญญาณรบกวนที่อาจถูกเหนี่ยวนำเข้าระบบ ในกรณีที่ใช้ไฟฟ้ากระแสสลับในการสร้างสนามแม่เหล็กควรเพิ่มวงจรปรับออฟเซตเมื่ออัตราการไหลเป็นศูนย์

3. ควรจะสร้างขดลวดแม่เหล็กใหม่เพื่อแก้ปัญหาการอิ่มตัวของแกนเหล็ก

4. ท่อที่ใช้น้ำของเหลวเข้าสู่เครื่องวัดควรจะเป็นท่อตรงตลอดทั้งระบบเพื่อลดการปั่นป่วนของของเหลวอันจะเป็นผลให้อัตราไหลที่วัดได้มีความถูกต้องมากยิ่งขึ้น

ภาคผนวก ก  
โปรแกรมควบคุมส่วนแสดงผล

```

1   SEGM      EQU      P3
2   DIGIT     EQU      P1
3   Flow      EQU      30h      ;flow rate buffer(bin)
4   FLbuff    EQU      31h      ;flow rate buffer(BCD) LSB
5   FMbuff    EQU      33h      ;flow rate buffer(BCD) MSB
6   Vpt       EQU      35h      ;volume point buffer (bin)
7   VL        EQU      37h      ;volume buffer(bin) LSB
8   VH        EQU      38h      ;volume buffer(bin) MSB
9   Vptbuff   EQU      39h      ;volume point buffer(BCD)
10  VLbuff    EQU      3Ah      ;volume buffer(BCD) LSB
11  VMbuff    EQU      3Dh      ;volume buffer(BCD) MSB
12  CMbuff    EQU      3Fh      ;CMPR buffer LSB
13
14
15  SJMP      begin      ;Jump over interrupt service
16
17  ORG      0Bh      ;Interrupt service subroutine
18
19  INTR:     DJNZ     R5,Retrn
20
21          MOV      R5,#02h      ;Reload R5
22
23          MOV      TH0,#96h      ;Reload Timer0 start-up value
24
25          MOV      TL0,#4Fh
26
27          PUSH    Acc      ;Save accumulator
28
29          ACALL   INPUT      ;In flow rate
30
31          ACALL   VOLUME
32
33          ACALL   BIN2BCD
34
35          POP     ACC      ;Restore accumulator
36
37          MOV      R4,#01h      ;Force to quit delay loop
38
39  Retrn:    RETI

```

```

27  begin:      CLR      RS1      ;Select register bank 0
28              CLR      RS0
29              MOV      SP,#70h    ;Set Stack pointer
30              ACALL   INIT      ;Initialize enviroment
31              SETB    TR0      ;Start Timer0
32              ACALL   INPUT     ;In flow rate
33              ACALL   VOLUME
34              ACALL   BIN2BCD
35
36  main:       ACALL   DSPLY     ;Main program
37              SJMP   main
38
39  BIN2BCD:    SETB    RS0      ;Select register bank 1
40
41  fl:         MOV      R4,#03h    ;R4 is a counter
42              MOV      A,Flow
43              MOV      R0,#FLbuff ;R0 point to flow buffer LSB
44              MOV      R1,#FMbuff ;R1 point to flow buffer MSB
45  loop1:     MOV      B,#0Ah     ;Convert binary to BCD
46              DIV      AB
47              MOV      @R0,B
48              INC      R0
49              DJNZ    R4,loop1
50              MOV      R4,#02h
51              ACALL   CLEAR
52
53  vol:       MOV      R4,#03h    R4 is a counter
54              MOV      TH1,VH

```

```
55          MOV      TL1,VL
56          MOV      R0,#VLbuff
57          MOV      R1,#VMbuff
58 loop2:    MOV      A,TH1
59          MOV      B,#0Ah
60          DIV      AB
61          MOV      TH1,A
62          MOV      A,TL1
63          ANL      A,#0F0h      ;Clear low nibble
64          ORL      A,B
65          SWAP     A
66          MOV      B,#0Ah
67          DIV      AB
68          XCH      A,TL1
69          SWAP     A
70          ANL      A,#0F0h      ;Clear low nibble
71          ORL      A,B
72          SWAP     A
73          MOV      B,#0Ah
74          DIV      AB
75          SWAP     A
76          ORL      A,TL1
77          SWAP     A
78          XCH      A,TL1
79          MOV      @R0,B
80          INC      R0
81          DJNZ     R4,loop2
82          MOV      @R0,TL1
```

```

83          MOV      R0,#Vpt      ;find decimal point
84          MOV      A,@R0
85          MOV      B,#0Ah
86          MUL      AB
87          MOV      TL1,B        ;Save carry
88          INC      R0
89          MOV      A,@R0
90          MOV      B,#0Ah
91          MUL      AB
92          ADD      A,TL1        ;Add lsb with carry
93          MOV      A,B
94          ADDC     A,#00h       ;Add msb with carry
95          MOV      Vptbuff,A    ;Save decimal point
96          MOV      R4,#03h
97          ACALL   CLEAR
98          CLR      RS0         ;Select register bank 0
99          RET
100
101 CLEAR:    MOV      A,@R1
102          JNZ     break        ;If A is not zero then quit loop
103          MOV      @R1,#0Fh     ;If A is zero then fill blank code
104          DEC     R1           ;Prepare for next element
105          DJNZ   R4,CLEAR
106 break:    RET
107
108          MOV      R1,#F1buff    ;R1 point to flow rate buffer
109          MOV      R2,#08h      ;R2 store control word

```

```

110          MOV      R3,#04h      ;R3 store number of digit
111  repeat:  ACALL   SCAN
112          INC      R0           ;Prepare for next segment
113          INC      R1
114          MOV      A,R2
115          RR       A
116          MOV      R2,A         ;Prepare for next digit
117          DJNZ    R3,repeat     ;Display another digits
118          RET
119
120  SCAN:    MOV      A,@R0       ;Get volume
121          SWAP    A
122          ORL     A,@R1        ;Combine flow rate
123          MOV     SEGM,A        ;Send data
124          MOV     DIGIT,R2      ;Active digit
125          MOV     R4,#00h      ;Clear R4
126          DJNZ   R4,$          ;Delay loop
127          MOV     DIGIT,#0FFh  ;Clear digit
128          RET
129
130  INIT:    MOV     R5,#02h      ;Counter in Interrupt service
131          MOV     TMOD,#01h    ;Set Timer mode 0
132          SETB   EA           ;Enable global interrupts
133          SETB   ET0          ;Enable Timer0 interrupts
134          MOV     TH0,#96h     ;Timer0 start-up value
135          MOV     TL0,#417h
136          MOV     3Fh,#0FFh   ;Initialize CMPR buffer
137          MOV     40h,#0FFh

```

```

138          MOV      41h,#0Fh
139          MOV      42h,#27h
140
141          MOV      R0,#VMbuff
142          MOV      R1,#0Dh
143  clr:     MOV      @R0,#00h      ;Clear volume buffer
144          DEC      R0
145          DJNZ    R1,clr
146          RET
147
148  VOLUME:  SETB    RS1          ;Select register bank2
149          MOV      R0,#Vpt
150          MOV      R2,#02h
151          JNB     P0.0,Lflow    ;check for low flow rate
152          MOV      B,#6Dh
153          SJMP   cal
154  Lflow:   MOV      B,#0Bh
155  cal:     MOV      A,Flow
156          MUL     AB
157          ADD     A,@R0
158          MOV     @R0,A
159          INC     R0
160          MOV     A,B
161          ADDC   A,@R0
162          MOV     @R0,A
163  loop3:   INC     R0
164          CLR     A
165          ADDC   A,@R0

```

```

166          MOV      @R0,A
167          DJNZ     R2,loop3
168          ACALL   CMPR
169          JNC     exit
170
171          MOV      R0,#VH
172          MOV      R1,#04h
173  loop4:    MOV      @R0,#00h      ;Clear buffer
174          DEC      R0
175          DJNZ     R1,loop4
176  exit:    CLR      RS0           ;Select register bank0
177          RET
178
179  INPUT:   SETB     P3.0          ;Start conversion*
180          CLR      P3.0
181          SETB     P3.0
182          JB       P3.1,$        ;Wait for data
183          MOV      flow,P1       ;In flow rate
184          RET
185
186          ;Compare @volume buffer with 9999.99d (270F.FFFFh)
187          ;If @volume buffer > 9999.99d then set Carry flag
188  CMPR:    SETB     RS0           ;Select Register bank 3
189          SETB     RS1
190          MOV      R0,#Vpt       ;R0 point to volume buffer
191          MOV      R1,#CMbuff    ;R1 point to CMPR buffer
192          MOV      R2,#04h       ;R2 is a counter
193          CLR      C

```

```
194 loop5:      MOV      A,@R1
195             SUBB     A,@R0
196             INC      R0
197             INC      R1
198             DJNZ     R2,loop5
199             CLR      RS0      ;Select Register bank 0
200             CLR      RS1
201             RET
202
203 end:        HND
```

ภาคผนวก ข

Data Sheet

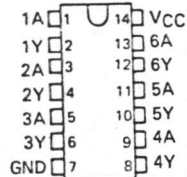
# SN5406, SN5416, SN7406, SN7416 HEX INVERTER BUFFERS/DRIVERS WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS

DECEMBER 1983—REVISED MARCH 1988

- Converts TTL Voltage Levels to MOS Levels
- High Sink-Current Capability
- Input Clamping Diodes Simplify System Design
- Open-Collector Driver for Indicator Lamps and Relays
- Inputs Fully Compatible with Most TTL Circuits

SN5406, SN5416 . . . J OR W PACKAGE  
SN7406, SN7416 . . . N PACKAGE

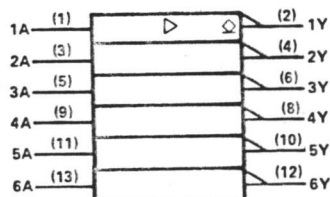
(TOP VIEW)



## description

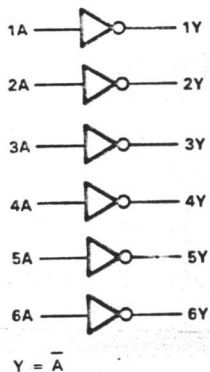
These monolithic TTL hex inverter buffers/drivers feature high-voltage open-collector outputs for interfacing with high-level circuits (such as MOS), or for driving high-current loads (such as lamps or relays), and are also characterized for use as inverter buffers for driving TTL inputs. The SN5406 and SN7406 have minimum breakdown voltages of 30 volts and the SN5416 and SN7416 have minimum breakdown voltages of 15 volts. The maximum sink current is 30 milliamperes for the SN5406 and SN5416, and 40 milliamperes for the SN7406 and SN7416.

## logic symbol†

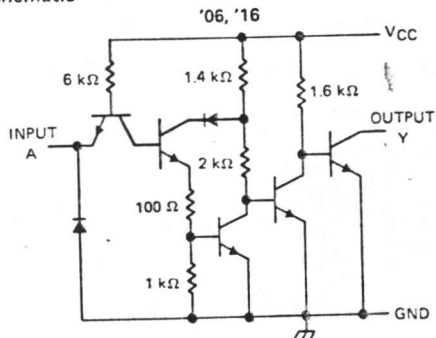


† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

## logic diagram (positive logic)



## schematic



Resistor values shown are nominal

TTL Devices

TEXAS  
INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

# SN5406, SN5416, SN7406, SN7416 HEX INVERTER BUFFERS/DRIVERS WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	7 V
Input voltage (see Note 1)	5.5 V
Output voltage (see Notes 1 and 2): SN5406, SN7406 Circuits	30 V
SN5416, SN7416 Circuits	15 V
Operating free-air temperature range: SN5406, SN5416 Circuits	-55°C to 125°C
SN7406, SN7416 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTES: 1. Voltage values are with respect to network ground terminal.  
2. This is the maximum voltage which should be applied to any output when it is in the off state.

recommended operating conditions

PARAMETER	SN5406 SN5416			SN7406 SN7416			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$ Supply voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$ High-level input voltage	2			2			V
$V_{IL}$ Low-level input voltage	0.8			0.8			V
$V_{OH}$ High-level output voltage	30			30			V
$I_{OL}$ Low-level output current	15			15			mA
	30			40			
$T_A$ Operating free-air temperature	-55	125	0	70			°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN5406 SN5416		SN7406 SN7416		UNIT
		MIN	TYP‡	MAX	MIN	
$V_{IK}$	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$	-1.5		-1.5		V
$I_{OH}$	$V_{CC} = \text{MIN}, V_{IL} = 0.8 \text{ V}, V_{OH} = \S$	0.25		0.25		mA
$V_{OL}$	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}$	$I_{OL} = 16 \text{ mA}$		0.4		V
		$I_{OL} = ¶$		0.7		
$I_I$	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$	1		1		mA
$I_{IH}$	$V_{CC} = \text{MAX}, V_{IH} = 2.4 \text{ V}$	40		40		$\mu\text{A}$
$I_{IL}$	$V_{CC} = \text{MAX}, V_{IL} = 0.4 \text{ V}$	-1.6		-1.6		mA
$I_{CCH}$	$V_{CC} = \text{MAX}$	30	48	30	48	mA
$I_{CCL}$	$V_{CC} = \text{MAX}$	32	51	32	51	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
‡ All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ .  
§  $V_{OH} = 30 \text{ V}$  for '06 and 15 V for '16.  
¶  $I_{OL} = 30 \text{ mA}$  for SN54' and 40 mA for SN74'.

switching characteristics,  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$  (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS			UNIT	
			MIN	TYP	MAX		
$t_{PLH}$	A	Y	$R_L = 110 \Omega$	$C_L = 15 \text{ pF}$	10	15	ns
$t_{PHL}$					15	23	ns

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

- Converts
- High Sink
- Input Clk Design
- Open-Coll and Relay:
- Inputs Fu Circuits

description

These mono (such as MO driving TTL i have minima and 40 millia These circuits facts which nanoseconds. 125°C; the §

logic symbol†

- 1A (1)
- 2A (3)
- 3A (5)
- 4A (9)
- 5A (11)
- 6A (13)

† This symbol is in acc IEC Publication 617.

logic diagram (p

- 1A -
- 2A -
- 3A -
- 4A -
- 5A -
- 6A -
- Y = A

PRODUCTION DATA document current as of publication dat specifications per the terms standard warranty. Product necessarily include testing e

**SN54246, SN54247, SN54LS247, SN54LS248  
SN74246, SN74247, SN74LS247, SN74LS248  
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

MARCH 1974—REVISED MARCH 1988

'246, '247, 'LS247  
feature

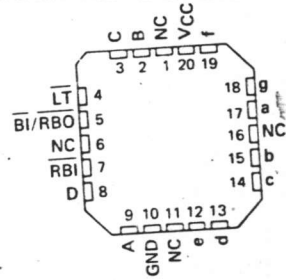
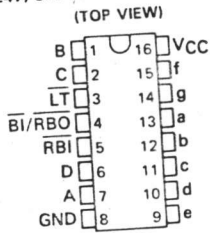
'LS248  
feature

- Open-Collector Outputs Drive Indicators Directly
- Lamp-Test Provision
- Leading/Trailing Zero Suppression
- All Circuit Types Feature Lamp Intensity Modulation Capability
- Internal Pull-Ups Eliminate Need for External Resistors
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

TYPE	DRIVER OUTPUTS				TYPICAL POWER DISSIPATION	PACKAGES
	ACTIVE LEVEL	OUTPUT CONFIGURATION	SINK CURRENT	MAX VOLTAGE		
SN54246	low	open-collector	40 mA	30 V	320 mW	J,W
SN54247	low	open-collector	40 mA	15 V	320 mW	J,W
SN54LS247	low	open-collector	12 mA	15 V	35 mW	J,W
SN54LS248	high	2-k $\Omega$ pull-up	2 mA	5.5 V	125 mW	J,W
SN74246	low	open-collector	40 mA	30 V	320 mW	J,N
SN74247	low	open-collector	40 mA	15 V	320 mW	J,N
SN74LS247	low	open-collector	24 mA	15 V	35 mW	J,N
SN74LS248	high	2-k $\Omega$ pull-up	6 mA	5.5 V	125 mW	J,N

SN54246, SN54247 . . . J PACKAGE  
SN54LS247 THRU SN54LS248 . . . J OR W PACKAGE  
SN74246, SN74247 . . . N PACKAGE  
SN74LS247, SN74LS248 . . . D OR N PACKAGE

SN54LS247, SN54LS248 . . . FK PACKAGE  
(TOP VIEW)



NC - No internal connection

PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS INSTRUMENTS**  
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

TTL Devices 2

**SN54246, SN54247, SN54LS247, SN54LS248  
SN74246, SN74247, SN74LS247, SN74LS248  
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

**description**

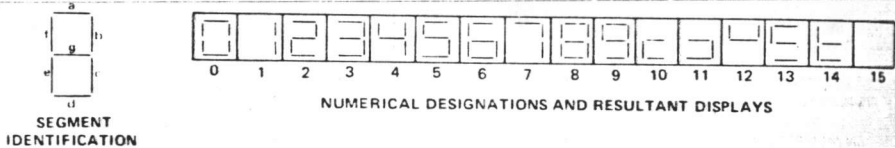
The '246 and '247 are electrically and functionally identical to the SN5446A/SN7446A, and SN5447A/SN7447A respectively, and have the same pin assignments as their equivalents. The 'LS247 and 'LS248 are electrically and functionally identical to the SN54LS47/SN74LS47 and SN54LS48/SN74LS48, respectively, and have the same pin assignments as their equivalents. They can be used interchangeably in present or future designs to offer designers a choice between two indicator fonts. The '46A, '47A, 'LS47, and 'LS48 compose the *b* and the *g* without tails and the '246, '247, 'LS247, and 'LS248 compose the *b* and the *g* with tails. Composition of all other characters, including display patterns for BCD inputs above nine, is identical. The '246, '247, and 'LS247 feature active-low outputs designed for driving indicators directly, and the 'LS248 features active-high outputs for driving lamp buffers. All of the circuits have full ripple-blanking input/output controls and a lamp test input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

All of these circuits incorporate automatic leading and/or trailing-edge zero-blanking control ( $\overline{RBI}$  and  $\overline{RBO}$ ). Lamp test (LT) of these types may be performed at any time when the  $\overline{BI/RBO}$  node is at a high level. All types contain an overriding blanking input (BI) which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

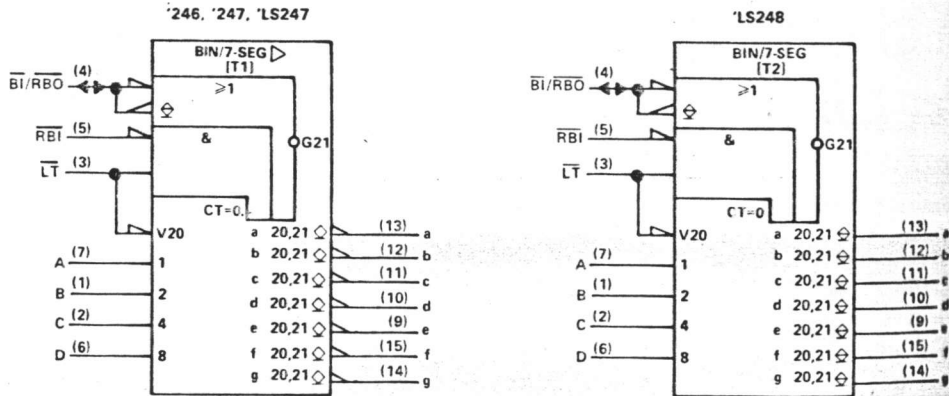
Series 54 and Series 54LS devices are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74 and Series 74LS devices are characterized for operation from 0°C to 70°C.

2

TTL Devices



**logic symbols†**



SN54246, SN54247, SN54LS247, SN54LS248  
 SN74246, SN74247, SN74LS247, SN74LS248  
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

'246, '247, 'LS247 FUNCTION TABLE (T1)

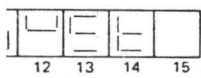
DECIMAL OR FUNCTION	INPUTS						$\overline{\text{BI/RBO}}^{\dagger}$	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	ON	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	ON	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
$\overline{\text{BI}}$	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
$\overline{\text{LT}}$	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	

2  
TTL Devices

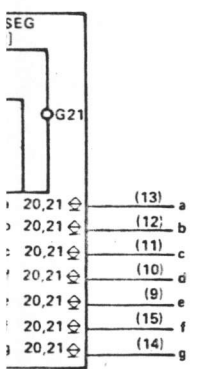
5446A/SN7446A, and equivalents. The 'LS247, 'S47/SN74LS47 and equivalents. They can be between two indicator lights and the '246, '247, 'er characters, including '247 feature active-low high outputs for driving lamp test input. Segment input counts above 9 are

g control ( $\overline{\text{RBI}}$  and  $\overline{\text{RBO}}$ ). mode is at a high level. amp intensity by pulsing h TTL logic outputs.

bitrary temperature range stion from 0°C to 70°C.



DISPLAYS



'LS248 FUNCTION TABLE (T2)

DECIMAL OR FUNCTION	INPUTS						$\overline{\text{BI/RBO}}^{\dagger}$	OUTPUTS							NOTE
	$\overline{\text{LT}}$	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	L		
1	H	X	L	L	L	H	H	L	H	L	L	L	L		
2	H	X	L	L	H	L	H	H	H	L	H	L	H		
3	H	X	L	L	H	H	H	H	H	H	L	L	H		
4	H	X	L	H	L	L	H	L	H	H	L	L	H		
5	H	X	L	H	L	H	H	H	L	H	H	L	H		
6	H	X	L	H	H	L	H	H	L	H	H	H	H		
7	H	X	L	H	H	H	H	H	H	H	L	L	L		
8	H	X	H	L	L	L	H	H	H	H	H	H	H		
9	H	X	H	L	L	H	H	H	H	H	L	H	H		
10	H	X	H	L	H	L	H	L	L	L	H	L	H		
11	H	X	H	L	H	H	H	L	L	H	H	L	H		
12	H	X	H	H	L	L	H	L	H	L	L	L	H		
13	H	X	H	H	L	H	H	H	L	L	L	L	H		
14	H	X	H	H	H	L	H	L	L	L	H	H	H		
15	H	X	H	H	H	H	H	L	L	L	L	L	L		
$\overline{\text{BI}}$	X	X	X	X	X	X	L	L	L	L	L	L	L		
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L		
$\overline{\text{LT}}$	L	X	X	X	X	X	H	H	H	H	H	H	H		

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input ( $\overline{\text{BI}}$ ) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ( $\overline{\text{RBI}}$ ) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input ( $\overline{\text{BI}}$ ), all segment outputs are low regardless of the level of any other input.
3. When ripple-blanking input ( $\overline{\text{RBI}}$ ) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go low and the ripple-blanking output ( $\overline{\text{RBO}}$ ) goes to a low level (response condition).
4. When the blanking input/ripple-blanking output ( $\overline{\text{BI/RBO}}$ ) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.

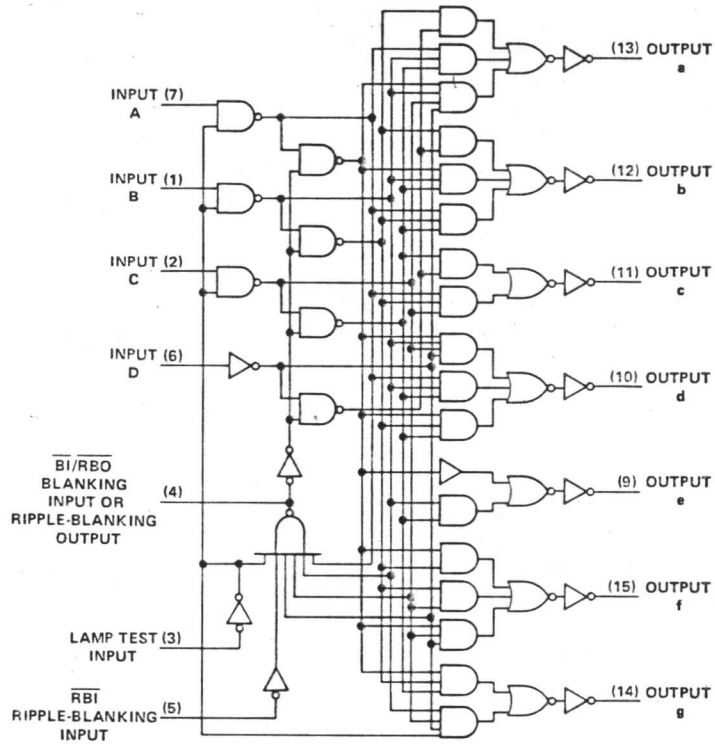
$\dagger \overline{\text{BI/RBO}}$  is wire-AND logic serving as blanking input ( $\overline{\text{BI}}$ ) and/or ripple-blanking output ( $\overline{\text{RBO}}$ ).

**SN54246, SN54247, SN54LS247,  
SN74246, SN74247, SN74LS247  
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

logic diagram (positive logic)

'246, '247, 'LS247

logic



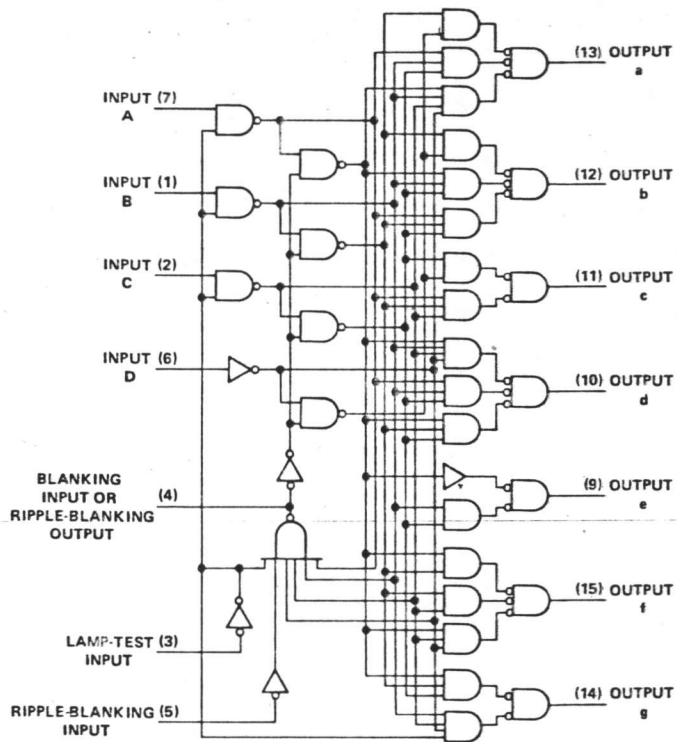
Pin numbers shown are for D, J, N, and W packages.

TTL Devices

**SN54LS248, SN74LS248**  
**BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

logic diagram (positive logic)

'LS248



Pin numbers shown are for D, J, N, and W packages.

2  
TTL Devices

**TEXAS**  
**INSTRUMENTS**

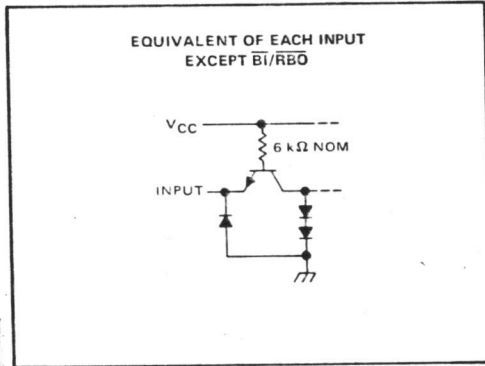
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

2-709

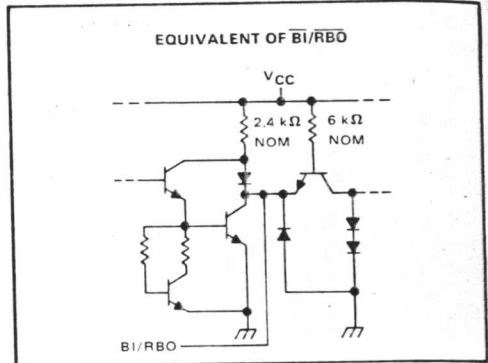
SN54246, SN54247, SN74246, SN74247  
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

schematics of inputs and outputs

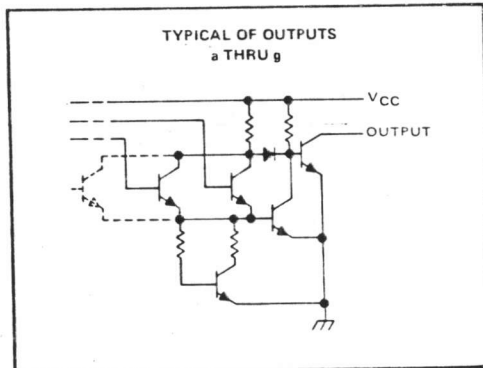
'246, '247



'246, '247



'246, '247

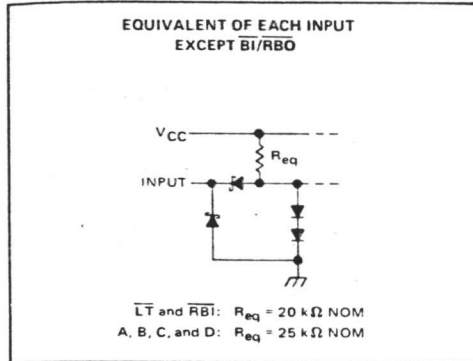


2  
TTL Devices

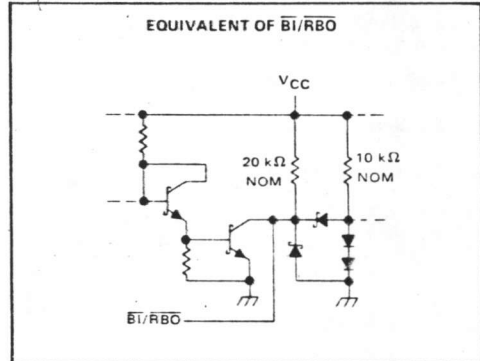
SN54LS247, SN54LS248, SN74LS247, SN74LS248  
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

schematics of inputs and outputs

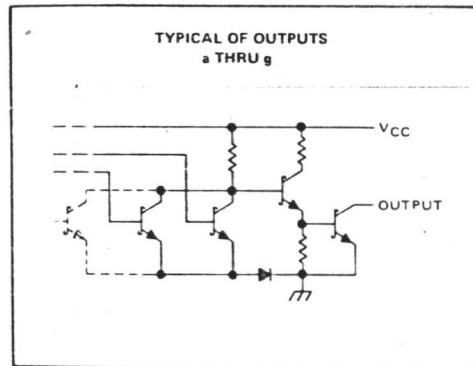
'LS247, 'LS248



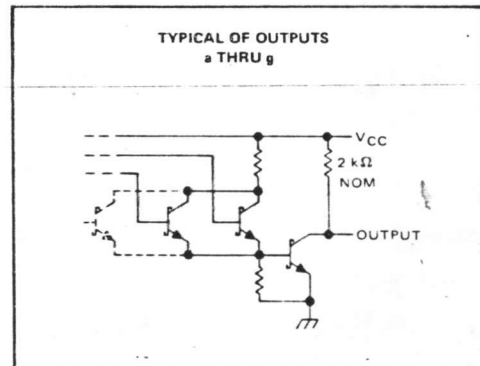
'LS247, 'LS248



'LS247



'LS248



2

TTL Devices



## ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit $\mu$ P Compatible A/D Converters

### General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE<sup>®</sup> output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

### Features

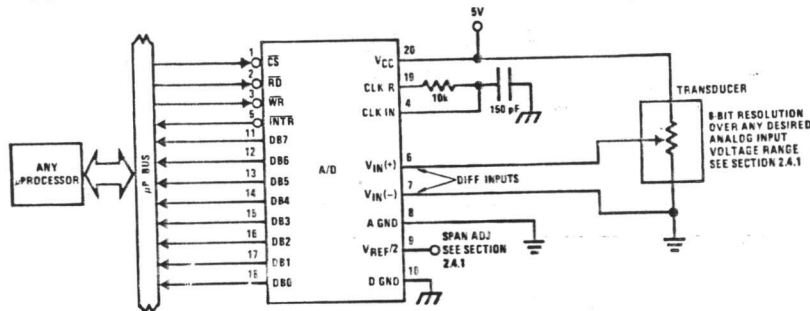
- Compatible with 8080  $\mu$ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5  $V_{DC}$ , 2.5  $V_{DC}$ , or analog span adjusted voltage reference

### Key Specifications

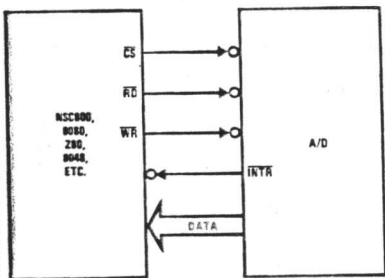
- Resolution: 8 bits
- Total error:  $\pm 1/4$  LSB,  $\pm 1/2$  LSB and  $\pm 1$  LSB
- Conversion time: 100  $\mu$ s

### Typical Applications



TL/H/5671-1

### 8080 Interface



TL/H/5671-31

### Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)

Part Number	Full-Scale Adjusted	$V_{REF}/2 = 2.500 V_{DC}$ (No Adjustments)	$V_{REF}/2 =$ No Connection (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		$\pm 1$ LSB	
ADC0805			$\pm 1$ LSB

### Absolute

If Military, please contact Office/Dis Supply Volt Logic Cor At Other Lead Temp Dual-In-Line Dual-In-Line Surface Mount Vapor F Infrared

### Electric

The following

ADC0801: Tr

ADC0802: Tr

ADC0803: Tr

ADC0804: Tr

ADC0805: Tr

$V_{REF}/2$  Input

Analog Input

DC Common-

Power Supply

### AC Elec

The following

Symbol

$T_C$

$T_C$

$f_{CLK}$

CR

$t_{W(WR)}L$

$t_{ACC}$

$t_{1H}, t_{0H}$

$t_{WI}, t_{RI}$

$C_{IN}$

$C_{OUT}$

CONTROL INF

$V_{IN}(1)$

L

(E)

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

### Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V <sub>CC</sub> ) (Note 3)	6.5V
Voltage	
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to (V <sub>CC</sub> + 0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Storage Temperature Range	-65°C to +150°C
Package Dissipation at T <sub>A</sub> = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

### Operating Ratings (Notes 1 & 2)

Temperature Range	T <sub>MIN</sub> ≤ T <sub>A</sub> ≤ T <sub>MAX</sub>
ADC0801/02LJ	-55°C ≤ T <sub>A</sub> ≤ +125°C
ADC0801/02/03/04LCJ	-40°C ≤ T <sub>A</sub> ≤ +85°C
ADC0801/02/03/05LCN	-40°C ≤ T <sub>A</sub> ≤ +85°C
ADC0804LCN	0°C ≤ T <sub>A</sub> ≤ +70°C
ADC0802/03/04LCV	0°C ≤ T <sub>A</sub> ≤ +70°C
ADC0802/03/04LCWM	0°C ≤ T <sub>A</sub> ≤ +70°C
Range of V <sub>CC</sub>	4.5 V <sub>DC</sub> to 6.3 V <sub>DC</sub>

### Electrical Characteristics

The following specifications apply for V<sub>CC</sub> = 5 V<sub>DC</sub>, T<sub>MIN</sub> ≤ T<sub>A</sub> ≤ T<sub>MAX</sub> and f<sub>CLK</sub> = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			± 1/4	LSB
ADC0802: Total Unadjusted Error (Note 8)	V <sub>REF</sub> /2 = 2.500 V <sub>DC</sub>			± 1/2	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			± 1/2	LSB
ADC0804: Total Unadjusted Error (Note 8)	V <sub>REF</sub> /2 = 2.500 V <sub>DC</sub>			± 1	LSB
ADC0805: Total Unadjusted Error (Note 8)	V <sub>REF</sub> /2-No Connection			± 1	LSB
V <sub>REF</sub> /2 Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(-)	Gnd-0.05		V <sub>CC</sub> + 0.05	V <sub>DC</sub>
DC Common-Mode Error	Over Analog Input Voltage Range		± 1/16	± 1/8	LSB
Power Supply Sensitivity	V <sub>CC</sub> = 5 V <sub>DC</sub> ± 10% Over Allowed V <sub>IN</sub> (+) and V <sub>IN</sub> (-) Voltage Range (Note 4)		± 1/16	± 1/8	LSB

### AC Electrical Characteristics

The following specifications apply for V<sub>CC</sub> = 5 V<sub>DC</sub> and T<sub>A</sub> = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T <sub>C</sub>	Conversion Time	f <sub>CLK</sub> = 640 kHz (Note 6)	103		114	μs
T <sub>C</sub>	Conversion Time	(Note 5, 6)	66		73	1/f <sub>CLK</sub>
f <sub>CLK</sub>	Clock Frequency Clock Duty Cycle	V <sub>CC</sub> = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	INTR tied to $\overline{WR}$ with CS = 0 V <sub>DC</sub> , f <sub>CLK</sub> = 640 kHz	8770		9708	conv/s
t <sub>w(WR)</sub>	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V <sub>DC</sub> (Note 7)	100			ns
t <sub>ACC</sub>	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C <sub>L</sub> = 100 pF		135	200	ns
t <sub>1H, t<sub>0H</sub></sub>	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C <sub>L</sub> = 10 pF, R <sub>L</sub> = 10k (See TRI-STATE Test Circuits)		125	200	ns
t <sub>wI, t<sub>wR</sub></sub>	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of INTR			300	450	ns
C <sub>IN</sub>	Input Capacitance of Logic Control Inputs			5	7.5	pF
C <sub>OUT</sub>	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

**CONTROL INPUTS** [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]

V <sub>IN</sub> (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V <sub>CC</sub> = 5.25 V <sub>DC</sub>	2.0		15	V <sub>DC</sub>
---------------------	---	--	-----	--	----	-----------------

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

### AC Electrical Characteristics (Continued)

The following specifications apply for  $V_{CC} = 5V_{DC}$  and  $T_{MIN} \leq T_A \leq T_{MAX}$ , unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>CONTROL INPUTS</b> [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN(0)}$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75 V_{DC}$			0.8	$V_{DC}$
$I_{IN(1)}$	Logical "1" Input Current (All Inputs)	$V_{IN} = 5 V_{DC}$		0.005	1	$\mu A_{DC}$
$I_{IN(0)}$	Logical "0" Input Current (All Inputs)	$V_{IN} = 0 V_{DC}$	-1	-0.005		$\mu A_{DC}$
<b>CLOCK IN AND CLOCK R</b>						
$V_{T+}$	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	$V_{DC}$
$V_{T-}$	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	$V_{DC}$
$V_H$	CLK IN (Pin 4) Hysteresis ( $V_{T+} - V_{T-}$ )		0.6	1.3	2.0	$V_{DC}$
$V_{OUT(0)}$	Logical "0" CLK R Output Voltage	$I_O = 360 \mu A$ $V_{CC} = 4.75 V_{DC}$			0.4	$V_{DC}$
$V_{OUT(1)}$	Logical "1" CLK R Output Voltage	$I_O = -360 \mu A$ $V_{CC} = 4.75 V_{DC}$	2.4			$V_{DC}$
<b>DATA OUTPUTS AND INTR</b>						
$V_{OUT(0)}$	Logical "0" Output Voltage Data Outputs INTR Output	$I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC}$ $I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}$			0.4 0.4	$V_{DC}$ $V_{DC}$
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360 \mu A, V_{CC} = 4.75 V_{DC}$	2.4			$V_{DC}$
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -10 \mu A, V_{CC} = 4.75 V_{DC}$	4.5			$V_{DC}$
$I_{OUT}$	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0 V_{DC}$ $V_{OUT} = 5 V_{DC}$	-3			$\mu A_{DC}$ $\mu A_{DC}$
$I_{SOURCE}$		$V_{OUT}$ Short to Gnd, $T_A = 25^\circ C$	4.5	6		$m A_{DC}$
$I_{SINK}$		$V_{OUT}$ Short to $V_{CC}$ , $T_A = 25^\circ C$	9.0	16		$m A_{DC}$
<b>POWER SUPPLY</b>						
$I_{CC}$	Supply Current (Includes Ladder Current)  ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640 kHz$ , $V_{REF/2} = NC, T_A = 25^\circ C$ and $\overline{CS} = 5V$				
				1.1 1.9	1.8 2.5	$mA$ $mA$

**Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

**Note 2:** All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

**Note 3:** A zener diode exists, internally, from  $V_{CC}$  to Gnd and has a typical breakdown voltage of  $7 V_{DC}$ .

**Note 4:** For  $V_{IN(-)} \geq V_{IN(+)}$  the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the  $V_{CC}$  supply. Be careful, during testing at low  $V_{CC}$  levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog  $V_{IN}$  does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0  $V_{DC}$  to  $5 V_{DC}$  input voltage range will therefore require a minimum supply voltage of  $4.950 V_{DC}$  over temperature variations, initial tolerance and loading.

**Note 5:** Accuracy is guaranteed at  $f_{CLK} = 640 kHz$ . At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

**Note 6:** With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 2 and section 2.0.

**Note 7:** The  $\overline{CS}$  input is assumed to bracket the WR strobe input and therefore timing is dependent on the WR pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the WR pulse (see timing diagrams).

**Note 8:** None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 5.

**Note 9:** The  $V_{REF/2}$  pin is the center point of a two-resistor divider connected from  $V_{CC}$  to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 k $\Omega$ . In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 k $\Omega$ .

**Note 10:** Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

## Typical Performance Characteristics

pecified.

Typ	Max	Units
pecified separately]		
	0.8	V <sub>DC</sub>
0.005	1	μA <sub>DC</sub>
-0.005		μA <sub>DC</sub>

3.1	3.5	V <sub>DC</sub>
1.8	2.1	V <sub>DC</sub>
1.3	2.0	V <sub>DC</sub>
	0.4	V <sub>DC</sub>
		V <sub>DC</sub>

	0.4	V <sub>DC</sub>
	0.4	V <sub>DC</sub>
		V <sub>DC</sub>
		V <sub>DC</sub>
	3	μA <sub>DC</sub>
		μA <sub>DC</sub>
6		mA <sub>DC</sub>
16		mA <sub>DC</sub>

1.1	1.8	mA
1.9	2.5	mA

ifications do not apply when operating  
ays be wired to the D Gnd.

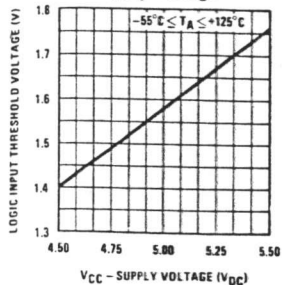
(see block diagram) which will forward  
during testing at low V<sub>CC</sub> levels (4.5V).  
rs for analog inputs near full-scale. The  
oltage by more than 50 mV, the output  
oltage of 4.950 V<sub>DC</sub> over temperature

requencies, the duty cycle limits can be  
er to start the conversion process. The

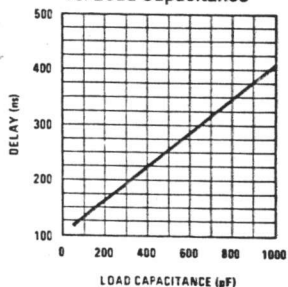
. An arbitrarily wide pulse width will hold  
ming diagrams).

see section 2.5 and Figure 5.  
e ADC0801, ADC0802, ADC0803, and  
ADC0804, each resistor is typically 2.2 kΩ.

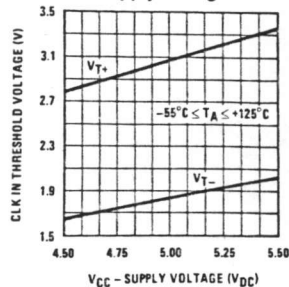
Logic Input Threshold Voltage vs. Supply Voltage



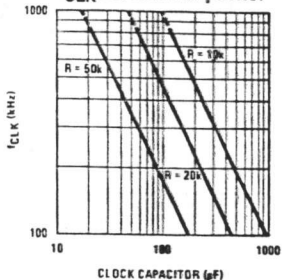
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



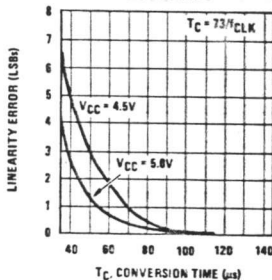
CLK IN Schmitt Trip Levels vs. Supply Voltage



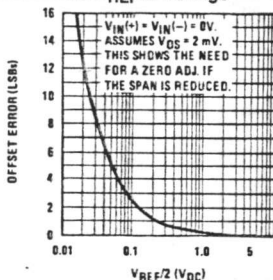
f<sub>CLK</sub> vs. Clock Capacitor



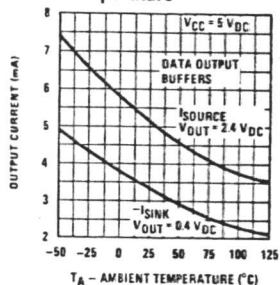
Full-Scale Error vs Conversion Time



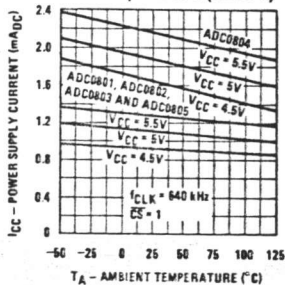
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



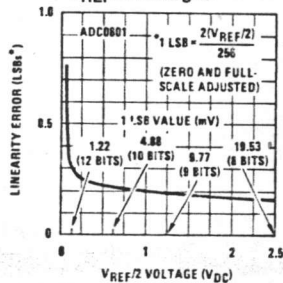
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)

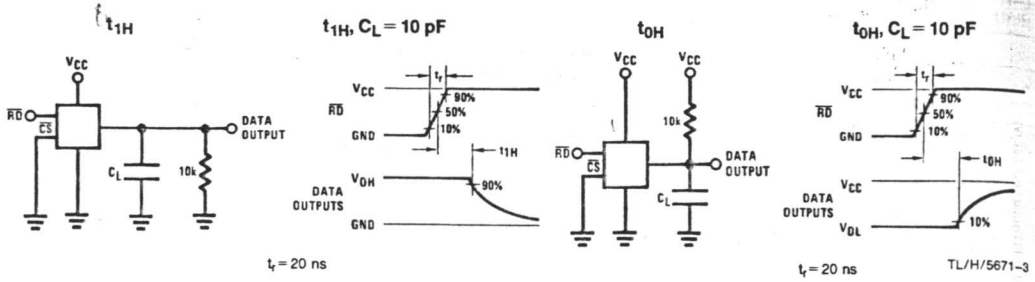


Linearity Error at Low VREF/2 Voltages

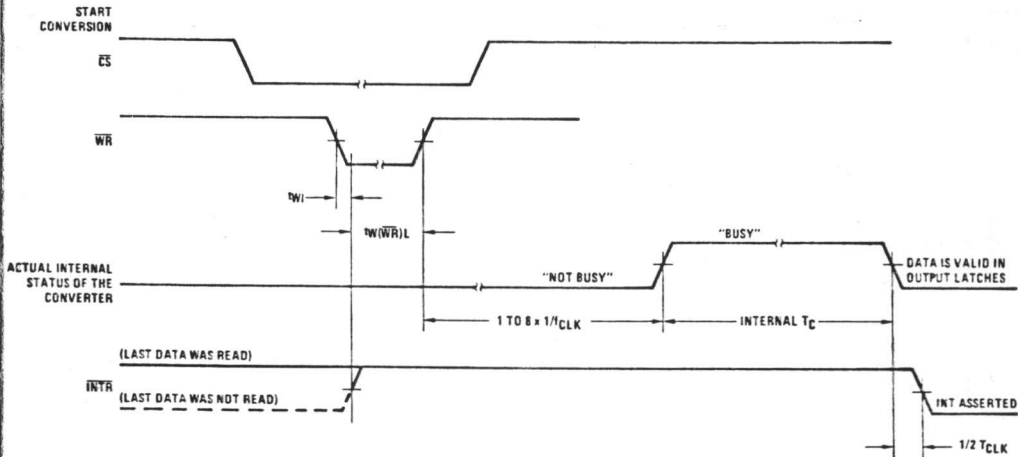


TL/H/5671-2

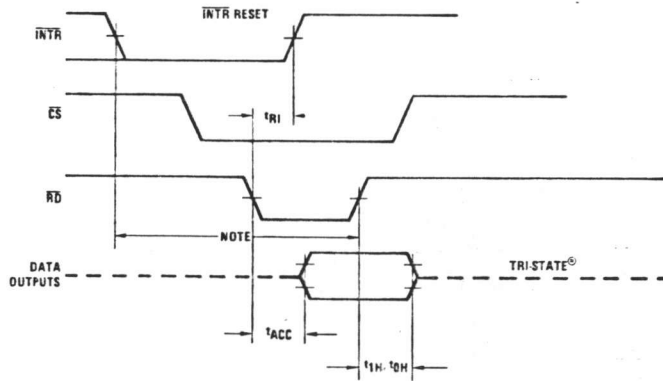
### TRI-STATE Test Circuits and Waveforms



### Timing Diagrams (All timing is measured from the 50% voltage points)



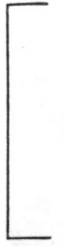
### Output Enable and Reset $\overline{INTR}$



Note: Read strobe must occur 8 clock periods ( $8/f_{CLK}$ ) after assertion of interrupt to guarantee reset of  $\overline{INTR}$ .

TL/H/5671-4

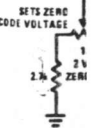
Typic



○  
○

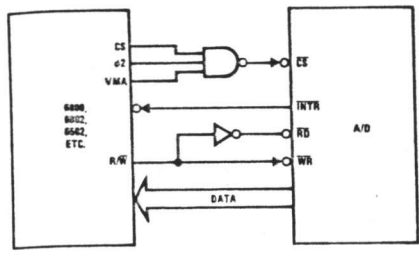
\*For low

Zer

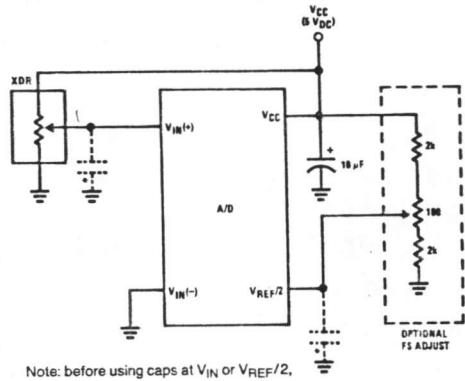


## Typical Applications (Continued)

6800 Interface

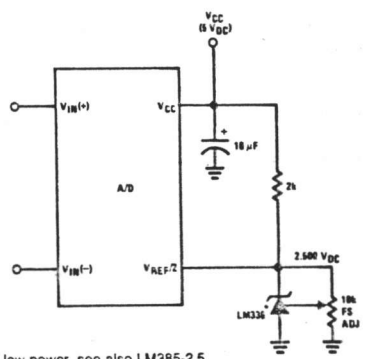


Ratiometric with Full-Scale Adjust



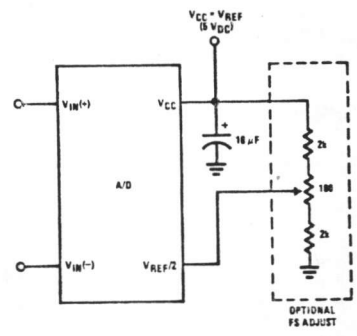
Note: before using caps at  $V_{IN}$  or  $V_{REF}/2$ , see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

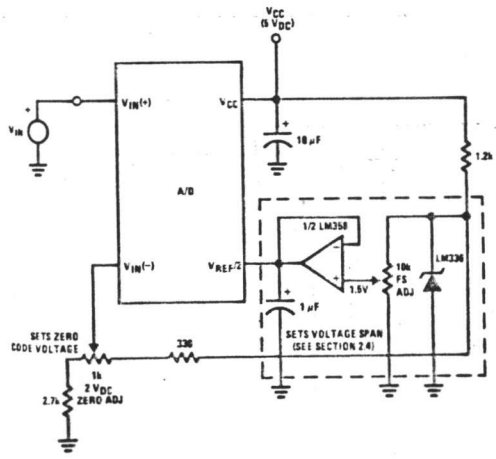


\*For low power, see also LM385-2.5

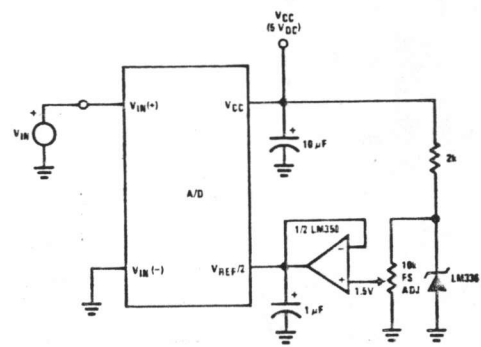
Absolute with a 5V Reference



Zero-Shift and Span Adjust:  $2V \leq V_{IN} \leq 5V$

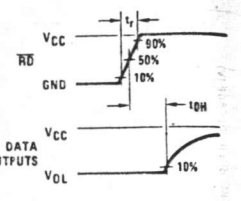


Span Adjust:  $0V \leq V_{IN} \leq 3V$



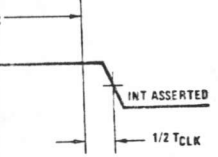
TL/H/5671-5

$t_{OH}, C_L = 10 \text{ pF}$



$t_r = 20 \text{ ns}$  TL/H/5671-3

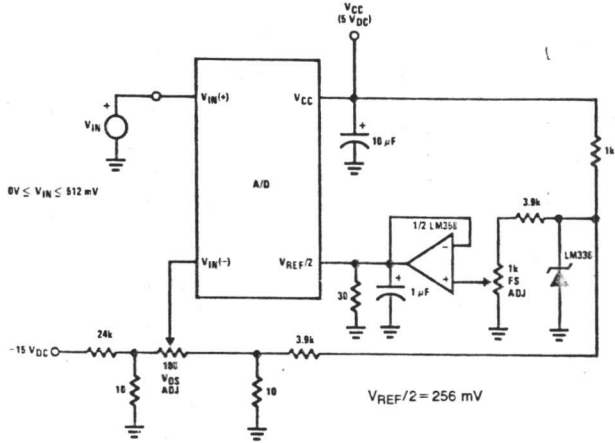
DATA IS VALID IN OUTPUT LATCHES



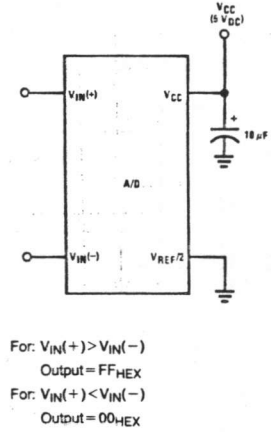
reset of INTN. TL/H/5671-4

Typical Applications (Continued)

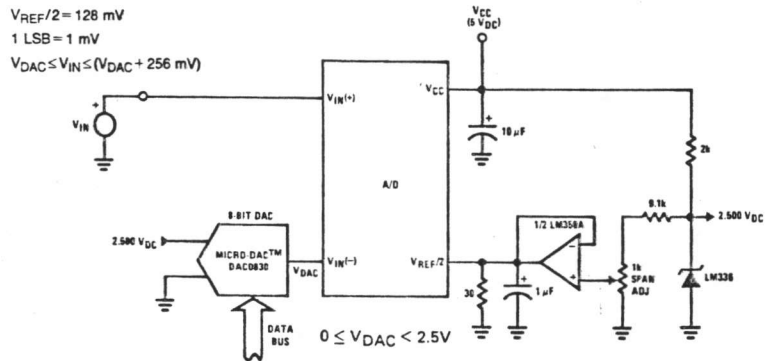
Directly Converting a Low-Level Signal



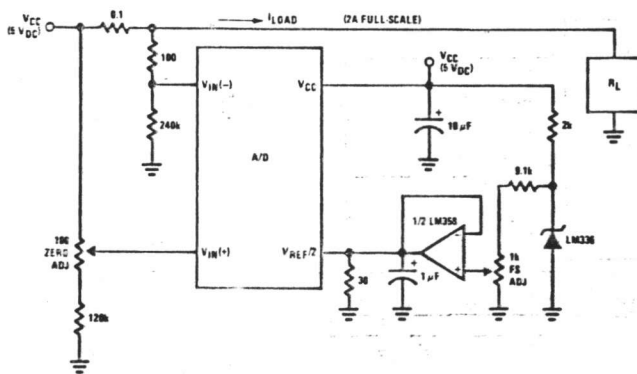
A µP Interfaced Comparator



1 mV Resolution with µP Controlled Range



Digitizing a Current Flow

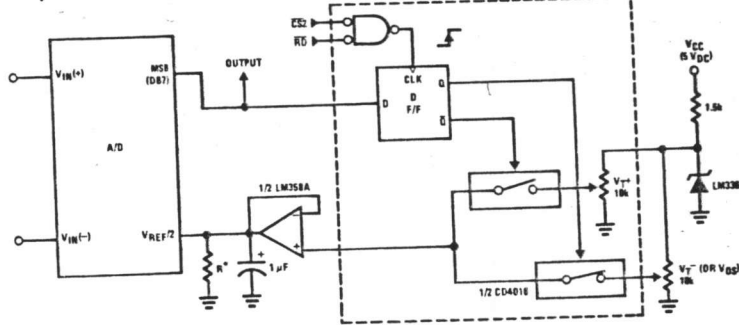


TL/H/5671-8



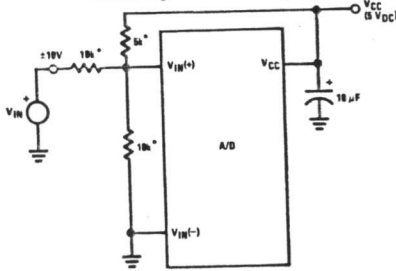
Typical Applications (Continued)

$\mu$ P Compatible Differential-Input Comparator with Pre-Set  $V_{OS}$  (with or without Hysteresis)



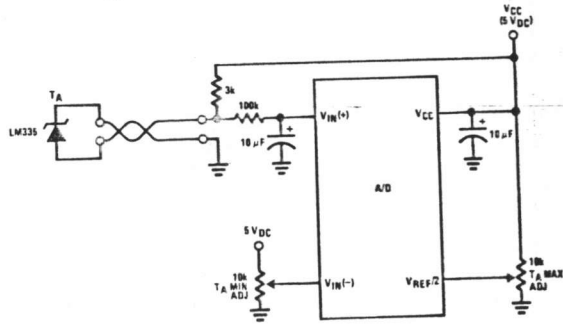
\*See Figure 5 to select R value  
 $DB7 = "1"$  for  $V_{IN(+)} > V_{IN(-)} + (V_{REF}/2)$   
 Omit circuitry within the dotted area if hysteresis is not needed

Handling  $\pm 10V$  Analog Inputs

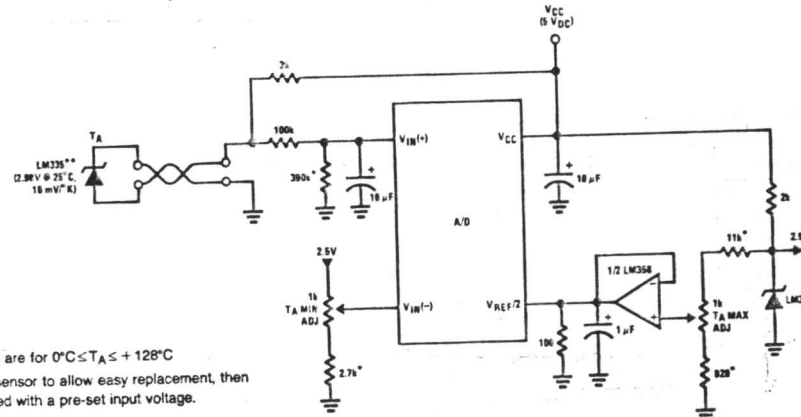


\*Beckman Instruments #694-3-R10K resistor array

Low-Cost,  $\mu$ P Interfaced, Temperature-to-Digital Converter



$\mu$ P Interfaced Temperature-to-Digital Converter



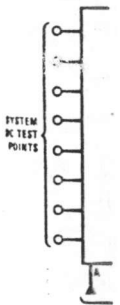
\*Circuit values shown are for  $0^{\circ}C \leq T_A \leq +128^{\circ}C$   
 \*\*Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

TL/H/5671-4



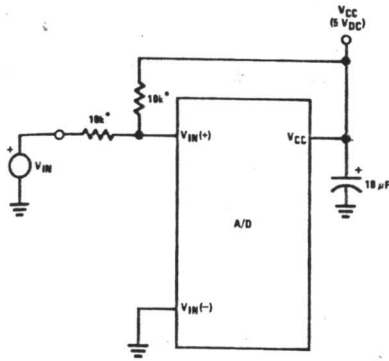
\*Be  
 $\mu$ P In

VIN



Typical Applications (Continued)

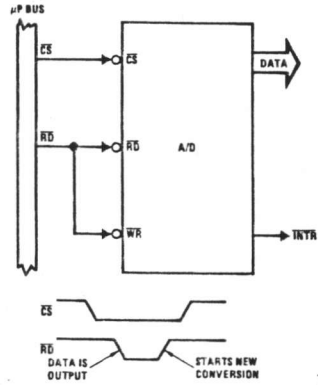
Handling  $\pm 5V$  Analog Inputs



TL/H/5671-33

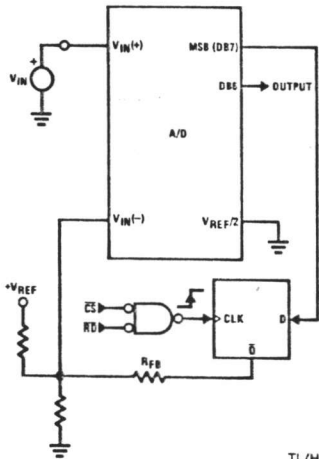
\*Beckman Instruments # 694-3-R10K resistor array

Read-Only Interface



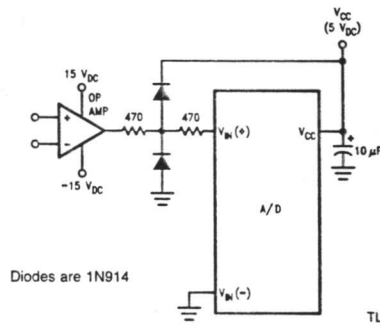
TL/H/5671-34

$\mu P$  Interfaced Comparator with Hysteresis



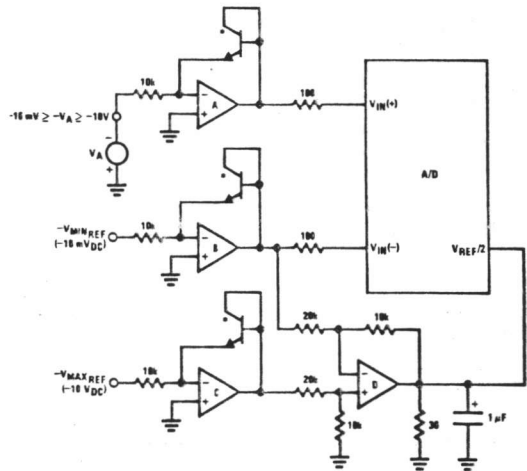
TL/H/5671-35

Protecting the Input



TL/H/5671-9

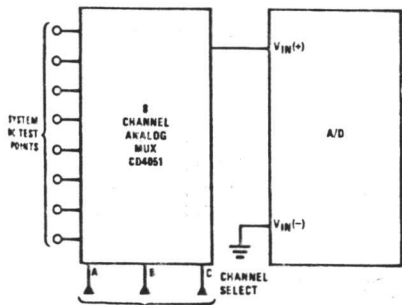
A Low-Cost, 3-Decade Logarithmic Converter



TL/H/5671-37

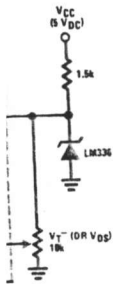
\*LM389 transistors  
A, B, C, D = LM324A quad op amp

Analog Self-Test for a System

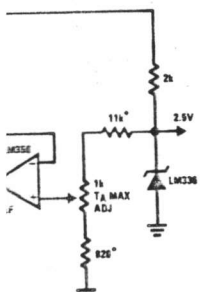
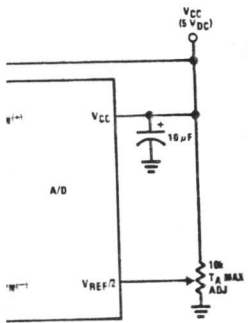


TL/H/5671-36

Output Hysteresis



Analog-to-Digital Converter

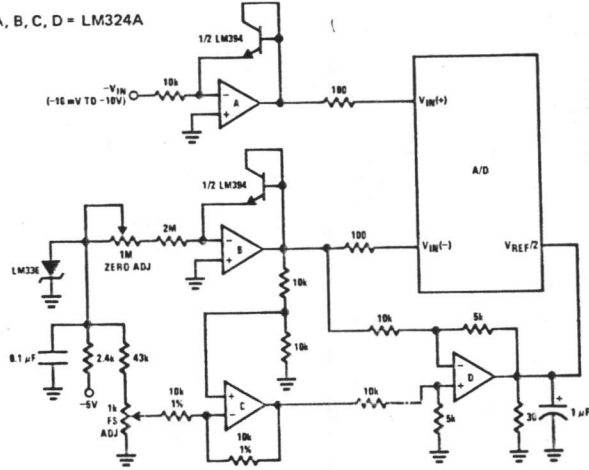


TL/H/5671-4

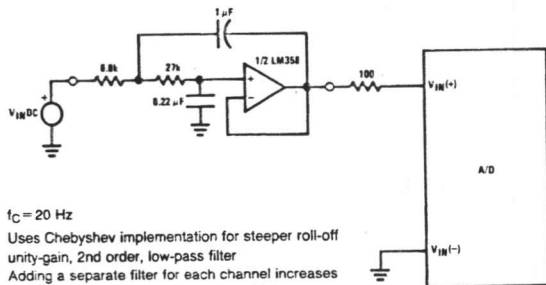
Typical Applications (Continued)

3-Decade Logarithmic A/D Converter

A, B, C, D = LM324A

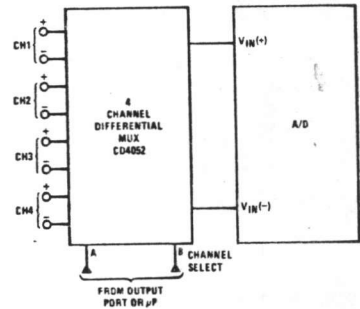


Noise Filtering the Analog Input

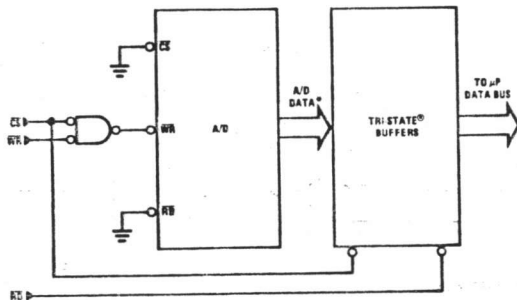


$f_c = 20 \text{ Hz}$   
 Uses Chebyshev implementation for steeper roll-off unity-gain, 2nd order, low-pass filter  
 Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs

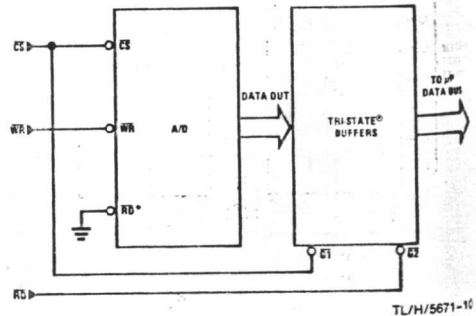


Output Buffers with A/D Data Enabled



\*A/D output data is updated 1 CLK period prior to assertion of INTR

Increasing Bus Drive and/or Reducing Time on Bus

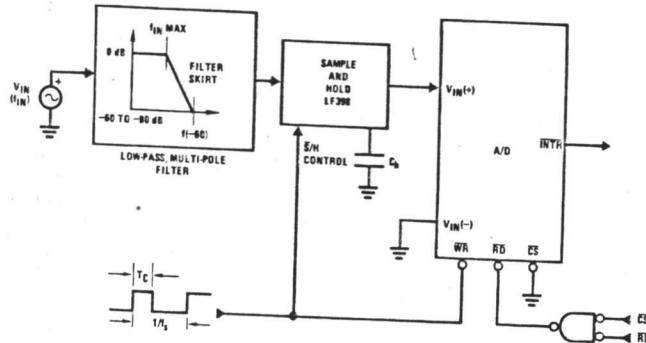


\*Allows output data to set-up at falling edge of CS

TL/H/5671-10

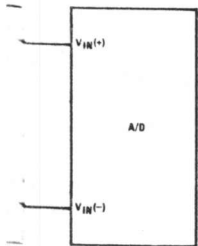
## Typical Applications (Continued)

### Sampling an AC Input Signal

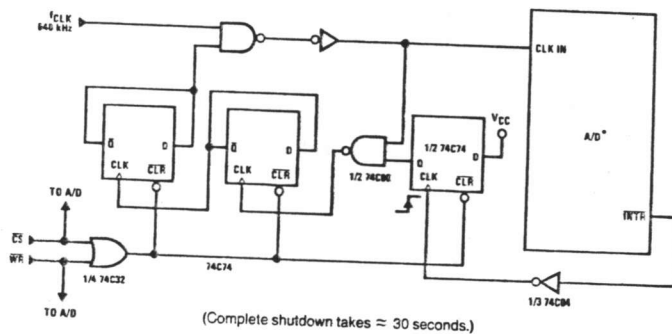


- Note 1:** Oversample whenever possible [keep  $f_s > 2f(-60)$ ] to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.
- Note 2:** Consider the amplitude errors which are introduced within the passband of the filter.

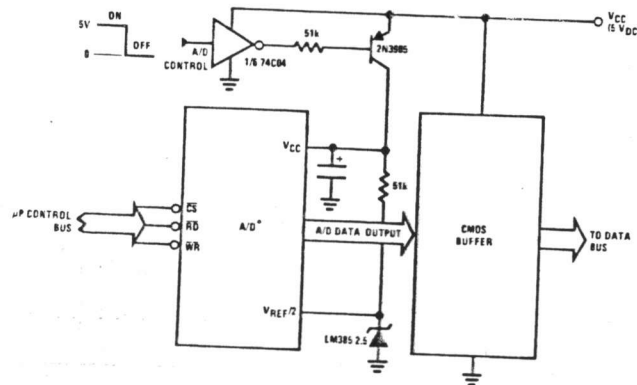
### Differential Inputs



### 70% Power Savings by Clock Gating



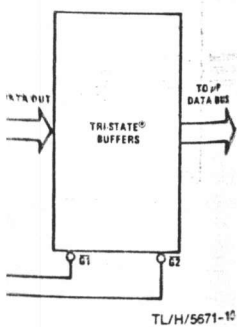
### Power Savings by A/D and V<sub>REF</sub> Shutdown



\*Use ADC0801, 02, 03 or 05 for lowest power consumption.

Note: Logic inputs can be driven to  $V_{CC}$  with A/D supply at zero volts.  
Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

### Reducing Time on Bus



edge of CS

TL/H/5671-11

## Functional Description

### 1.0 UNDERSTANDING A/D ERROR SPECS

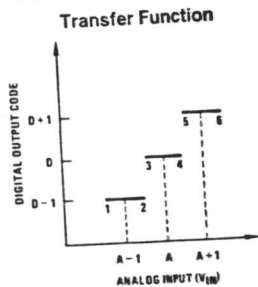
A perfect A/D transfer characteristic (staircase waveform) is shown in Figure 1a. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the  $V_{REF}/2$  pin). The digital output codes that correspond to these inputs are shown as D-1, D, and D+1. For the perfect A/D, not only will center-value (A-1, A, A+1, . . . .) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located  $\pm 1/2$  LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend  $\pm 1/2$  LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than  $\pm 1/4$  LSB. In

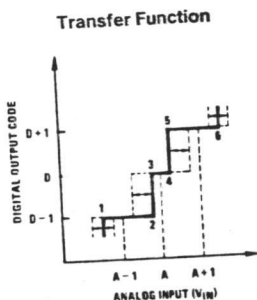
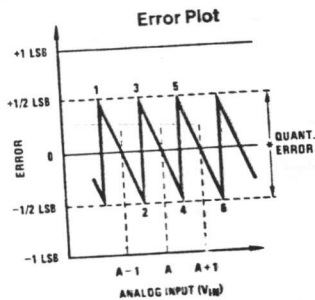
other words, if we apply an analog input equal to the center-value  $\pm 1/4$  LSB, we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than  $1/2$  LSB.

The error curve of Figure 1c shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

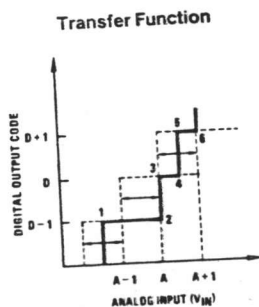
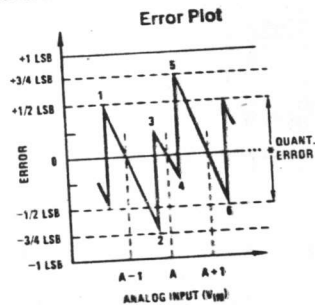
Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of Figure 1a is  $+1/2$  LSB because the digital code appeared  $1/2$  LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.



a) Accuracy =  $\pm 0$  LSB: A Perfect A/D



b) Accuracy =  $\pm 1/4$  LSB



c) Accuracy =  $\pm 1/2$  LSB

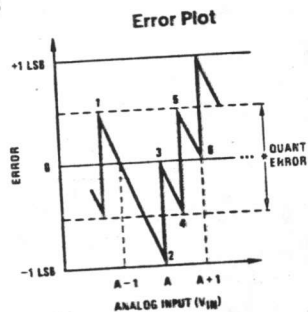


FIGURE 1. Clarifying the Error Specs of an A/D Converter

## Function

### 2.0 FUNCT

The ADC0802/ADC0803/ADC0804/ADC0805 network provides a precise approximation of the R net after 8 clock periods (111) latch and the to-low transition is issued by the WR input. The condition of the first power-on the high SAR latch as the CS main in a period of high transition

V<sub>CC</sub>

CS

Note  
Note

TL/H/5671-11

## Functional Description (Continued)

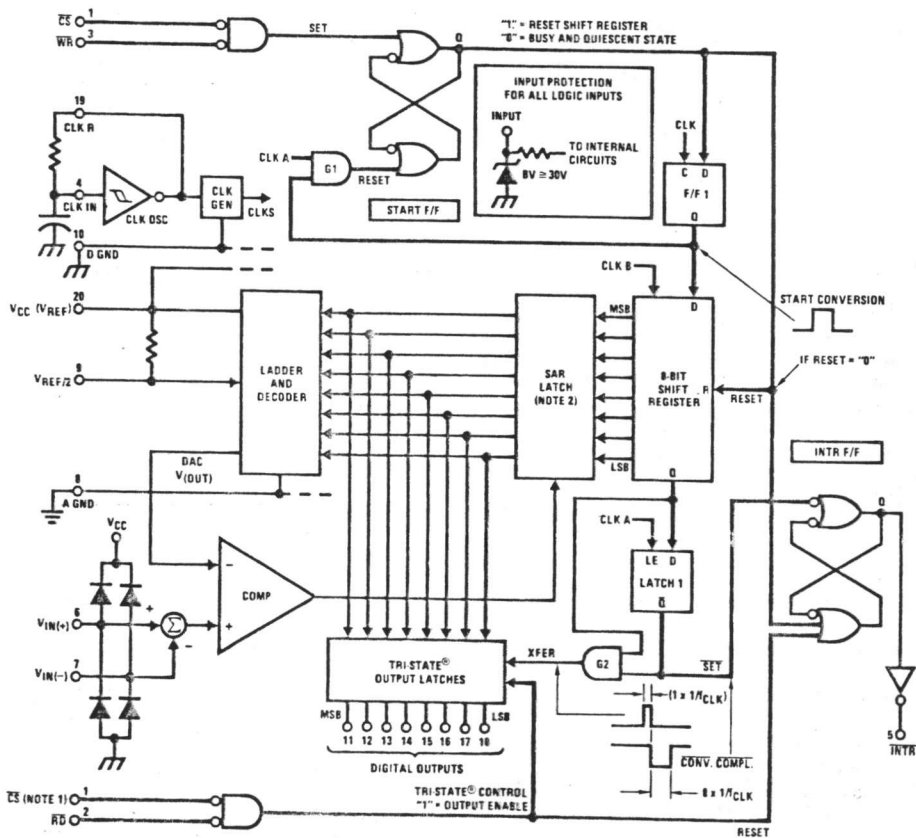
### 2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage  $[V_{IN(+)} - V_{IN(-)}]$  to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted (INTR makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting INTR to the  $\overline{WR}$  input with  $\overline{CS} = 0$ . To ensure start-up under all possible conditions, an external  $\overline{WR}$  pulse is required during the first power-up cycle.

On the high-to-low transition of the  $\overline{WR}$  input the internal SAR latches and the shift register stages are reset. As long as the  $\overline{CS}$  input and  $\overline{WR}$  input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 2. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having  $\overline{CS}$  and  $\overline{WR}$  simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the Interrupt (INTR) F/F and inputs a "1" to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either  $\overline{WR}$  or  $\overline{CS}$  is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide  $\overline{CS}$  and  $\overline{WR}$  signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 1:  $\overline{CS}$  shown twice for clarity.

Note 2: SAR = Successive Approximation Register.

FIGURE 2. Block Diagram

TL/H/5671-13

### Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the INTR input signal.

Note that this  $\overline{\text{SET}}$  control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at  $\frac{1}{6}$  of the frequency of the external clock). If the data output is continuously enabled ( $\overline{\text{CS}}$  and  $\overline{\text{RD}}$  both held low), the  $\overline{\text{INTR}}$  output will still signal the end of conversion (by a high-to-low transition), because the  $\overline{\text{SET}}$  input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This INTR output will therefore stay low for the duration of the  $\overline{\text{SET}}$  signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode (INTR pin tied to  $\overline{\text{WR}}$  and  $\overline{\text{CS}}$  wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the INTR signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the Q output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting INTR output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both  $\overline{\text{CS}}$  and  $\overline{\text{RD}}$  being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

#### 2.1 Digital Control Inputs

The digital control inputs ( $\overline{\text{CS}}$ ,  $\overline{\text{RD}}$ , and  $\overline{\text{WR}}$ ) meet standard TTL logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the  $\overline{\text{CS}}$  input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the  $\overline{\text{WR}}$  input (pin 3) and the Output Enable function is caused by an active low pulse at the  $\overline{\text{RD}}$  input (pin 2).

#### 2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The  $V_{IN(-)}$  input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input. The time interval between sampling  $V_{IN(+)}$  and  $V_{IN(-)}$  is  $4 \cdot \frac{1}{2}$  clock periods. The maximum error voltage due to this

slight time difference between the input voltage samples is given by:

$$\Delta V_e(\text{MAX}) = (V_p) (2\pi f_{cm}) \left( \frac{4.5}{f_{CLK}} \right)$$

where:

$\Delta V_e$  is the error voltage due to sampling delay

$V_p$  is the peak value of the common-mode voltage

$f_{cm}$  is the common-mode frequency

As an example, to keep this error to  $\frac{1}{4}$  LSB ( $\sim 5$  mV) when operating with a 60 Hz common-mode frequency,  $f_{cm}$ , and using a 640 kHz A/D clock,  $f_{CLK}$ , would allow a peak value of the common-mode voltage,  $V_p$ , which is given by:

$$V_p = \frac{[\Delta V_e(\text{MAX}) (f_{CLK})]}{(2\pi f_{cm}) (4.5)}$$

or

$$V_p = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(6.28) (60) (4.5)}$$

which gives

$$V_p \approx 1.9V.$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

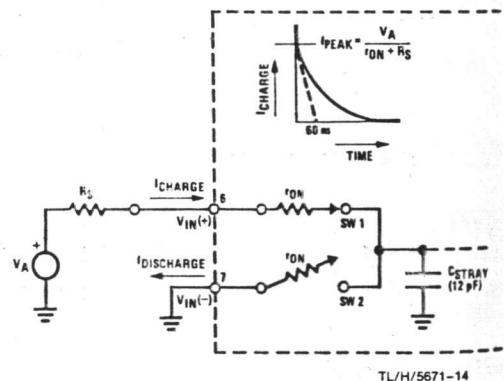
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

#### 2.3 Analog Inputs

##### 2.3.1 Input Current

###### Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 3.



$$r_{ON} \text{ of SW 1 and SW 2} \approx 5 \text{ k}\Omega$$

$$\tau = r_{ON} C_{STRAY} \approx 5 \text{ k}\Omega \times 12 \text{ pF} = 60 \text{ ns}$$

FIGURE 3. Analog Input Impedance

#### Function

The voltage currents on  $V_{IN(-)}$  input voltage leading edge do not cause the end of the

#### Fault Mode

If the voltage exceeds the input current pin. If these spec, an external current through this diode, the  $V_{CC}$  voltage

#### 2.3.2 Input B

Bypass capacitor and cause a noise of the action is wrong input voltage a 640 kHz clock DC current is therefore, bypass inputs or the k $\Omega$ ). If input being and high capacitor size, across this input value of the input adjustment will capacitor are average value of the differential

#### 2.3.3 Input S

Large values capacitor is not filter is required ( $\leq 1 \text{ k}\Omega$ ) for active low portions, ( $\leq 1 \text{ k}\Omega$ ) prevent noise wire. A 100 $\Omega$  capacitor—both loop—from the

#### 2.3.4 Noise

The leads to the as short as possible noise and und can cause system inputs should, input of source resist pickup. Input bus inputs to ground create analog the transient input (section 2.3.1). This

## Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the  $V_{IN}(+)$  input pin and leaving the  $V_{IN}(-)$  input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and do not cause errors as the on-chip comparator is strobed at the end of the clock period.

### Fault Mode

If the voltage source applied to the  $V_{IN}(+)$  or  $V_{IN}(-)$  pin exceeds the allowed operating range of  $V_{CC} + 50$  mV, large input currents can flow through a parasitic diode to the  $V_{CC}$  pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the  $V_{CC}$  pin (with the current bypassed with this diode, the voltage at the  $V_{IN}(+)$  pin can exceed the  $V_{CC}$  voltage by the forward voltage of this diode).

### 2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the  $V_{IN}(+)$  input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the  $V_{IN}(+)$  input at 5V, this DC current is at a maximum of approximately 5  $\mu$ A. Therefore, bypass capacitors should not be used at the analog inputs or the  $V_{REF}/2$  pin for high resistance sources ( $> 1$  k $\Omega$ ). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

### 2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, will not cause errors as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor ( $\leq 1$  k $\Omega$ ) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, ( $\leq 1$  k $\Omega$ ), a 0.1  $\mu$ F bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A 100 $\Omega$  series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

### 2.3.4 Noise

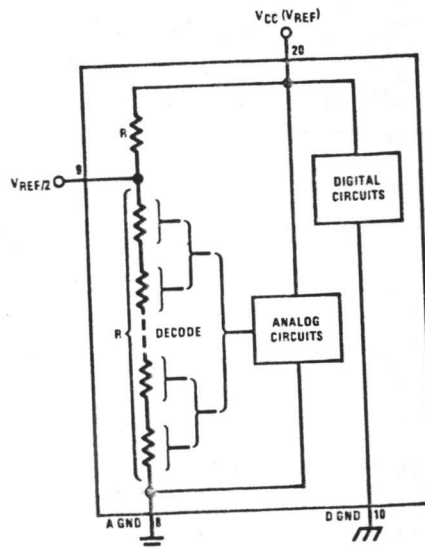
The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 k $\Omega$ . Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source

resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust  $V_{REF}/2$  for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

## 2.4 Reference Voltage

### 2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5  $V_{DC}$ , 2.5  $V_{DC}$  or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 4.



TL/H/5671-15

FIGURE 4. The  $V_{REFERENCE}$  Design on the IC

Notice that the reference voltage for the IC is either  $1/2$  of the voltage applied to the  $V_{CC}$  supply pin, or is equal to the voltage that is externally forced at the  $V_{REF}/2$  pin. This allows for a ratiometric voltage reference using the  $V_{CC}$  supply, a 5  $V_{DC}$  reference voltage can be used for the  $V_{CC}$  supply or a voltage less than 2.5  $V_{DC}$  can be applied to the  $V_{REF}/2$  input for increased application flexibility. The internal gain to the  $V_{REF}/2$  input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5  $V_{DC}$  to 3.5  $V_{DC}$ , instead of 0V to 5  $V_{DC}$ , the span would be 3V as shown in Figure 5. With 0.5  $V_{DC}$  applied to the  $V_{IN}(-)$  pin to absorb the offset, the reference voltage can be made equal to  $1/2$  of the 3V span or 1.5  $V_{DC}$ . The A/D now will encode the  $V_{IN}(+)$  signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5  $V_{DC}$  input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

input voltage samples is

$$\frac{5}{LK}$$

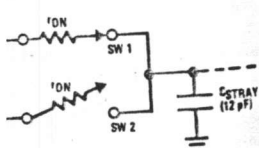
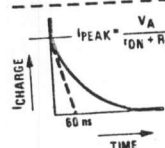
o sampling delay  
ommon-mode voltage  
ency

or  $1/4$  LSB ( $\sim 5$  mV) when  
n-mode frequency,  $f_{cm}$ , and  
K, would allow a peak value  
 $V_p$ , which is given by:

input voltages usually places  
input common-mode noise lev-

a reduced span and a relatively  
led easily by making use of the  
2.4 Reference Voltage).

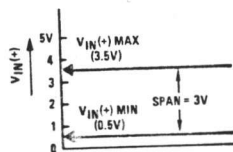
g action, displacement currents  
ts. This is due to on-chip stray  
shown in Figure 3.



TL/H/5671-14

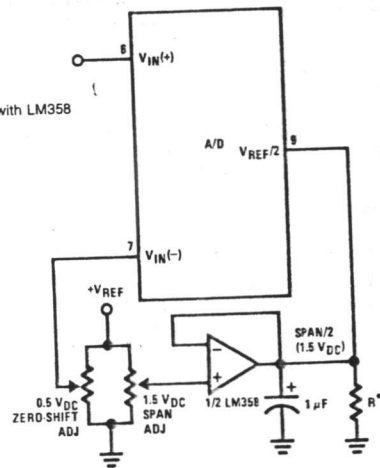
SW 2 = 5 k $\Omega$   
5 k $\Omega$   $\times$  12 pF = 60 ns  
alog Input Impedance

Functional Description (Continued)



a) Analog Input Signal Example

\*Add if  $V_{REF}/2 \leq 1 \text{ V}_{DC}$  with LM358 to draw 3 mA to ground.



b) Accommodating an Analog Input from 0.5V (Digital Out = 00<sub>HEX</sub>) to 3.5V (Digital Out = FF<sub>HEX</sub>)

TL/H/5671-16

FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For  $V_{REF}/2$  voltages of 2.4  $V_{DC}$  nominal value, initial errors of  $\pm 10 \text{ mV}_{DC}$  will cause conversion errors of  $\pm 1 \text{ LSB}$  due to the gain of 2 of the  $V_{REF}/2$  input. In reduced span applications, the initial value and the stability of the  $V_{REF}/2$  input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the  $V_{REF}/2$  input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over  $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ . Other temperature range parts are also available.

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value,  $V_{IN(MIN)}$ , is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D  $V_{IN}(-)$  input at this  $V_{IN(MIN)}$  value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the  $V_{IN}(-)$  input and applying a small magnitude positive voltage to the  $V_{IN}(+)$  input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal  $1/2 \text{ LSB}$  value ( $1/2 \text{ LSB} = 9.8 \text{ mV}$  for  $V_{REF}/2 = 2.500 \text{ V}_{DC}$ ).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is  $1/2 \text{ LSB}$  less than the desired analog full-scale voltage range and then adjusting the magnitude of the  $V_{REF}/2$  input (pin 9 or the  $V_{CC}$  supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

Func

2.5.3 Ac Re

If the an ground (nal that should equals t LSB is c log spa voltage 00<sub>HEX</sub> t The full proper V<sub>IN</sub>(+)

V<sub>IN</sub>(

where:

V<sub>MA</sub>;

and

V<sub>MIN</sub>

(Both  $\epsilon$

The V<sub>i</sub>

code c

justme

2.6 Cl

The cl

an ext

CLK II

Figure



Heav

avoid

Loac

er cl

allow

TTL

the I

buff

2.7 I

If th

duri

vers

## Functional Description (Continued)

### 2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A  $V_{IN(+)}$  voltage that equals this desired zero reference plus  $\frac{1}{2}$  LSB (where the LSB is calculated for the desired analog span,  $1 \text{ LSB} = \text{analog span}/256$ ) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00<sub>HEX</sub> to 01<sub>HEX</sub> code transition.

The full-scale adjustment should then be made (with the proper  $V_{IN(-)}$  voltage applied) by forcing a voltage to the  $V_{IN(+)}$  input which is given by:

$$V_{IN(+)} \text{ fs adj} = V_{MAX} - 1.5 \left[ \frac{V_{MAX} - V_{MIN}}{256} \right],$$

where:

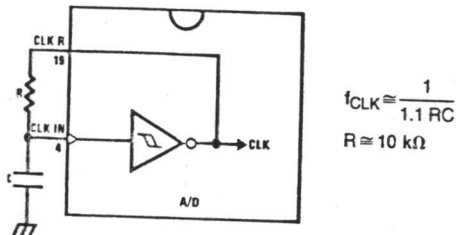
$V_{MAX}$  = The high end of the analog input range and

$V_{MIN}$  = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The  $V_{REF}/2$  (or  $V_{CC}$ ) voltage is then adjusted to provide a code change from FE<sub>HEX</sub> to FF<sub>HEX</sub>. This completes the adjustment procedure.

### 2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 6.



$$f_{CLK} \approx \frac{1}{1.1 RC}$$

$$R \approx 10 \text{ k}\Omega$$

FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

### 2.7 Restart During a Conversion

If the A/D is restarted ( $\overline{CS}$  and  $\overline{WR}$  go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the

conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The  $\overline{INTR}$  output simply remains at the "1" level.

### 2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the  $\overline{CS}$  input is grounded and the  $\overline{WR}$  input is tied to the  $\overline{INTR}$  output. This  $\overline{WR}$  and  $\overline{INTR}$  node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

### 2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

### 2.10 Power Supplies

Noise spikes on the  $V_{CC}$  supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter  $V_{CC}$  pin and values of 1  $\mu\text{F}$  or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the  $V_{CC}$  supply.

### 2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

### Functional Description (Continued)

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any  $V_{REF}/2$  bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of  $1/4$  LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

#### 3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 7.

For ease of testing, the  $V_{REF}/2$  (pin 9) should be supplied with  $2.560 V_{DC}$  and a  $V_{CC}$  supply voltage of  $5.12 V_{DC}$  should be used. This provides an LSB value of  $20 mV$ .

If a full-scale adjustment is to be made, an analog input voltage of  $5.090 V_{DC}$  ( $5.120 - 1/2$  LSB) should be applied to the  $V_{IN}(+)$  pin with the  $V_{IN}(-)$  pin grounded. The value of the  $V_{REF}/2$  input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of  $V_{REF}/2$  should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table I shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table I, the nominal value of the digital display (when

$V_{REF}/2 = 2.560V$ ) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are  $3.520 + 0.120$  or  $3.640 V_{DC}$ . These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in Figure 8. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, "A-C", directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis).

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of Figure 9, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides  $1/4$  LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

#### 4.0 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

##### 4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for  $\overline{CS}$  and the  $\overline{MEMR}$  and  $\overline{MEMW}$  strobes) or it can be controlled as an I/O device by using the  $\overline{I/O R}$  and  $\overline{I/O W}$  strobes and decoding the address bits  $A0 \rightarrow A7$  (or address bits  $A8 \rightarrow A15$  as they will contain the same 8-bit address information) to obtain the  $\overline{CS}$  input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 10.

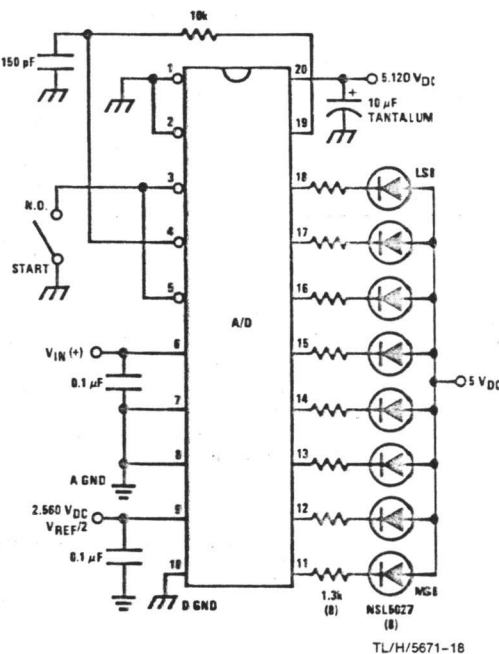


FIGURE 7. Basic A/D Tester

TL/H/5671-18

HEX

F	1
E	1
D	1
C	1
B	1
A	1
9	1
8	1
7	0
6	0
5	0
4	0
3	0
2	0
1	0
0	0

\*Display Outp

Functional Description (Continued)

mined. For example, for an ) or B6 (in hex), the voltage 0 + 0.120 or 3.640 V<sub>DC</sub>, the center-values of a per- of quantization error have to tation of the test results.

or to obtain plotted data, a ed for the test set-up. An as the precision voltage the A/D under test can be ages or differences in 2 digi-

DAC and provides the error shown in Figure 8. The 2 op DVM with a numerical sub- read the difference voltage, put voltage can be supplied ator and an X-Y plotter can (Y axis) versus analog input

essor or a computer-based ent to present the errors digi- circuit of Figure 9, where the detected as the 10-bit DAC is LSB steps for the 8-bit A/D test are automatically plotted axis and the error (in LSB's) r function of the A/D under esting, the plot is not neces- be increased by establishing rror for each code.

RFACING

8080A and 6800 microproces- putine structure is used. The , reads and stores the results s, then returns to the user's are stored in 16 successive d Addresses will be given in nd hardware details are pro- of microprocessor.

rocessor Derivatives (8048,

igned to directly interface with oprocessor. The A/D can be (using standard memory ad- MEMR and MEMW strobes) I/O device by using the I/O R- ding the address bits A0 → A15 as they will contain the on) to obtain the CS input. Use 256 additional addresses and res decoder but the data can- ator. To make use of the add- tructions, the A/D should be An example of an A/D in I/O

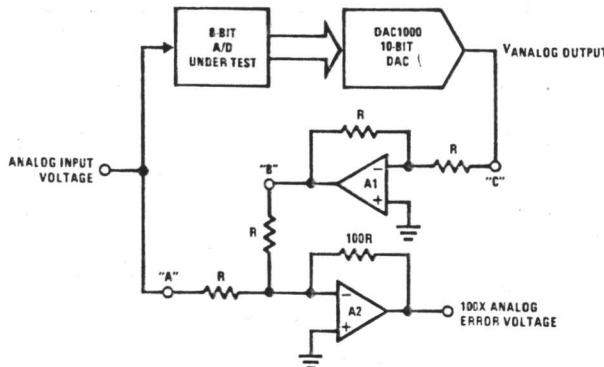


FIGURE 8. A/D Tester with Analog Error Output



FIGURE 9. Basic "Digital" A/D Tester

TL/H/5671-19

TABLE I. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH V <sub>REF/2</sub> = 2.560 V <sub>DC</sub>	
		MS GROUP	LS GROUP	VMS GROUP*	VLS GROUP*
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2/880	0.180
8	1 0 0 0	1/2	1/32	2/560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	2/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1/280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

\*Display Output = VMS Group + VLS Group



## Functional Description (Continued)

The standard control bus signals of the 8080 ( $\overline{CS}$ ,  $\overline{RD}$  and  $\overline{WR}$ ) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

### 4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in Figure 10 may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate  $\overline{CS}$  for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as  $\overline{CS}$  inputs—one for each I/O device.

### 4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see Figure 11) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals  $\overline{RD}$ ,  $\overline{WR}$  and  $\overline{INT}$  of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The  $\overline{RD}$  and  $\overline{WR}$  signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.

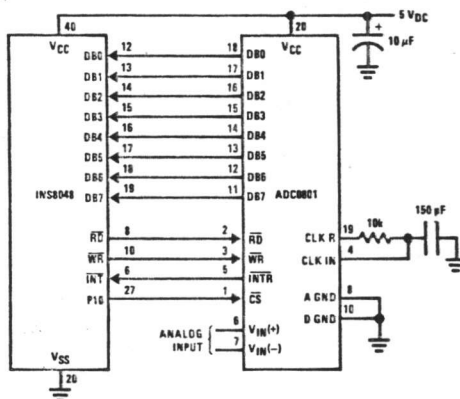


FIGURE 11. INS8048 Interface  
SAMPLE PROGRAM FOR FIGURE 11 INS8048 INTERFACE

```

04 10                JMP      10H          ; Program starts at addr 10
                   ORG      3H
04 50                JMP      50H          ; Interrupt jump vector
                   ORG      10H          ; Main program
99 FE                ANL      P1, #0FEH    ; Chip select
81                   MOVX    A, @R1      ; Read in the 1st data
                   ; to reset the intr
89 01                START:  ORL      P1, #1      ; Set port pin high
B8 20                MOV      R0, #20H    ; Data address
B9 FF                MOV      R1, #0FFH   ; Dummy address
EA 10                MOV      R2, #10H    ; Counter for 16 bytes
23 FF                AGAIN:  MOV      A, #0FFH ; Set ACC for intr loop
99 FE                ANL      P1, #0FEH   ; Send CS (bit 0 of P1)
91                   MOVX    @R1, A      ; Send WR out
05                   EN      I           ; Enable interrupt
96 21                LOOP:   JNZ      LOOP ; Wait for interrupt
EA 1B                DJNZ    R2, AGAIN    ; If 16 bytes are read
00                   NOP
00                   NOP
                   ORG      50H
81                   INDATA: MOVX    A, @R1 ; Input data, CS still low
A0                   MOV      @R0, A     ; Store in memory
18                   INC      R0         ; Increment storage counter
89 01                ORL      P1, #1     ; Reset CS signal
27                   CLR      A         ; Clear ACC to get out of
93                   RETR              ; the interrupt loop
    
```

## Functional Description (Continued)

### 4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General  $\overline{RD}$  and  $\overline{WR}$  strobes are provided and separate memory request,  $\overline{MREQ}$ , and I/O request,  $\overline{IORQ}$ , signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the  $\overline{RD}$  and  $\overline{WR}$  strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 13.

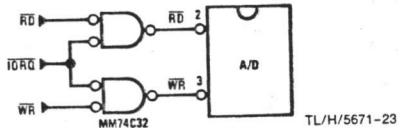


FIGURE 13. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

### 4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the  $\overline{RD}$  and  $\overline{WR}$  strobe signals. Instead it employs a single R/W line and additional timing, if needed, can be derived from the  $\phi_2$  clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. Figure 14 shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the  $\overline{CS}$  decoding is shown using  $\frac{1}{2}$  DM8092. Note that in many 6800 systems, an al-

ready decoded  $\overline{4/5}$  line is brought out to the common bus at pin 21. This can be tied directly to the  $\overline{CS}$  pin of the A/D, provided that no other devices are addressed at HEX ADDR: 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In Figure 15 the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter (PIA). Here the  $\overline{CS}$  pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no  $\overline{CS}$  decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D  $\overline{RD}$  pin can be grounded.

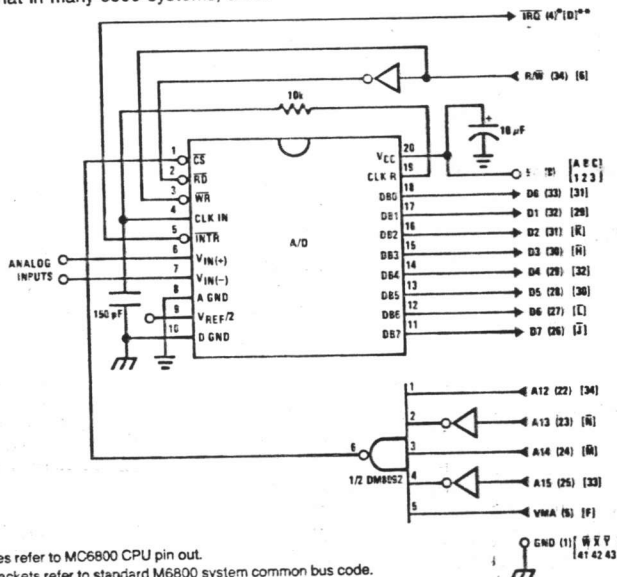
A sample interface program equivalent to the previous one is shown below Figure 15. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

### 5.0 GENERAL APPLICATIONS

The following applications show some interesting uses for the A/D. The fact that one particular microprocessor is used is not meant to be restrictive. Each of these application circuits would have its counterpart using any microprocessor that is desired.

#### 5.1 Multiple ADC0801 Series to MC6800 CPU Interface

To transfer analog data from several channels to a single microprocessor system, a multiple converter scheme presents several advantages over the conventional multiplexer single-converter approach. With the ADC0801 series, the differential inputs allow individual span adjustment for each channel. Furthermore, all analog input channels are sensed simultaneously, which essentially divides the microprocessor's total system servicing time by the number of channels, since all conversions occur simultaneously. This scheme is shown in Figure 16.



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.  
 Note 2: Number or letters in brackets refer to standard M6800 system common bus code.

FIGURE 14. ADC0801-MC6800 CPU Interface

## Function:

- 0010
- 0012
- 0015
- 0018
- 001B
- 001C
- 001D
- 001F
- 0022
- 0024
- 0027
- 0028
- 002A
- 002C
- 002E
- 0031
- 0033
- 0034
- 0036
- 0038
- 003B
- 003D
- 003F

Note

Functional Description (Continued)

SAMPLE PROGRAM FOR FIGURE 14 ADC0801-MC6800 CPU INTERFACE

0010	DF 36	DATAIN	STX	TEMP2	; Save contents of X
0012	CE 00 2C		LDX	#\$002C	; Upon IRQ low CPU
0015	FF FF F8		STX	\$\$\$F8	; jumps to 002C
0018	B7 50 00		STAA	\$5000	; Start ADC0801
001B	0E		CLI		
001C	3E	CONVRT	WAI		; Wait for interrupt
001D	DE 34		LDX	TEMP1	
001F	8C 02 0F		CPX	#\$020F	; Is final data stored?
0022	27 14		BEQ	ENDP	
0024	B7 50 00		STAA	\$5000	; Restarts ADC0801
0027	08		INX		
0028	DF 34		STX	TEMP1	
002A	20 F0		BRA	CONVRT	
002C	DE 34	INTRPT	LDX	TEMP1	
002E	B6 50 00		LDAA	\$5000	; Read data
0031	A7 00		STAA	X	; Store it at X
0033	3B		RTI		
0034	02 00	TEMP1	FDB	\$0200	; Starting address for ; data storage
0036	00 00	TEMP2	FDB	\$0000	
0038	CE 02 00	ENDP	LDX	#\$0200	; Reinitialize TEMP1
003B	DF 34		STX	TEMP1	
003D	DE 36		LDX	TEMP2	
003F	39		RTS		; Return from subroutine ; To user's program

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

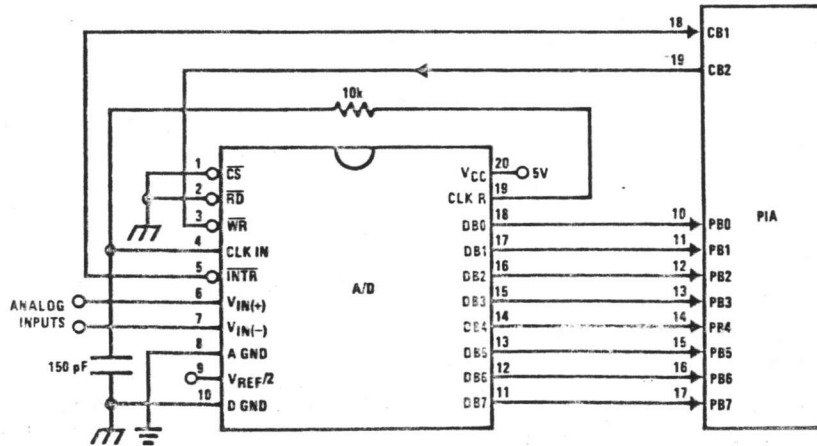


FIGURE 15. ADC0801-MC6820 PIA Interface

TL/H/5671-25

## Functional Description (Continued)

## SAMPLE PROGRAM FOR FIGURE 15 ADC0801-MC6820 PIA INTERFACE

0010	CE 00 38	DATAIN	LDX	#\$0038	; Upon $\overline{IRQ}$ low CPU
0013	FF FF F8		STX	\$\$\$F8	; jumps to 0038
0016	B6 80 06		LDAA	PIAORB	; Clear possible $\overline{IRQ}$ flags
0019	4F		CLRA		
001A	B7 80 07		STAA	PIACRB	
001D	B7 80 06		STAA	PIAORB	; Set Port B as input
0020	0E		CLI		
0021	C6 34		LDAB	#\$34	
0023	86 3D		LDAA	#\$3D	
0025	F7 80 07	CONVRT	STAB	PIACRB	; Starts ADC0801
0028	B7 80 07		STAA	PIACRB	
002B	3E		WAI		; Wait for interrupt
002C	DE 40		LDX	TEMP1	
002E	8C 02 0F		CPX	#\$020F	; Is final data stored?
0031	27 0F		BEQ	ENDP	
0033	08		INX		
0034	DF 40		STX	TEMP1	
0036	20 ED		BR	CONVRT	
0038	DE 40	INTRPT	LDX	TEMP1	
003A	B6 80 06		LDAA	PIAORB	; Read data in
003D	A7 00		STAA	X	; Store it at X
003F	3B		RTI		
0040	02 00	TEMP1	FDB	\$0200	; Starting address for ; data storage
0042	CE 02 00	ENDP	LDX	#\$0200	; Reinitialize TEMP1
0045	DF 40		STX	TEMP1	
0047	39		RTS		; Return from subroutine
		PIAORB	EQU	\$8006	; To user's program
		PIACRB	EQU	\$8007	

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components, the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit, pulling all the  $\overline{CS}$  inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

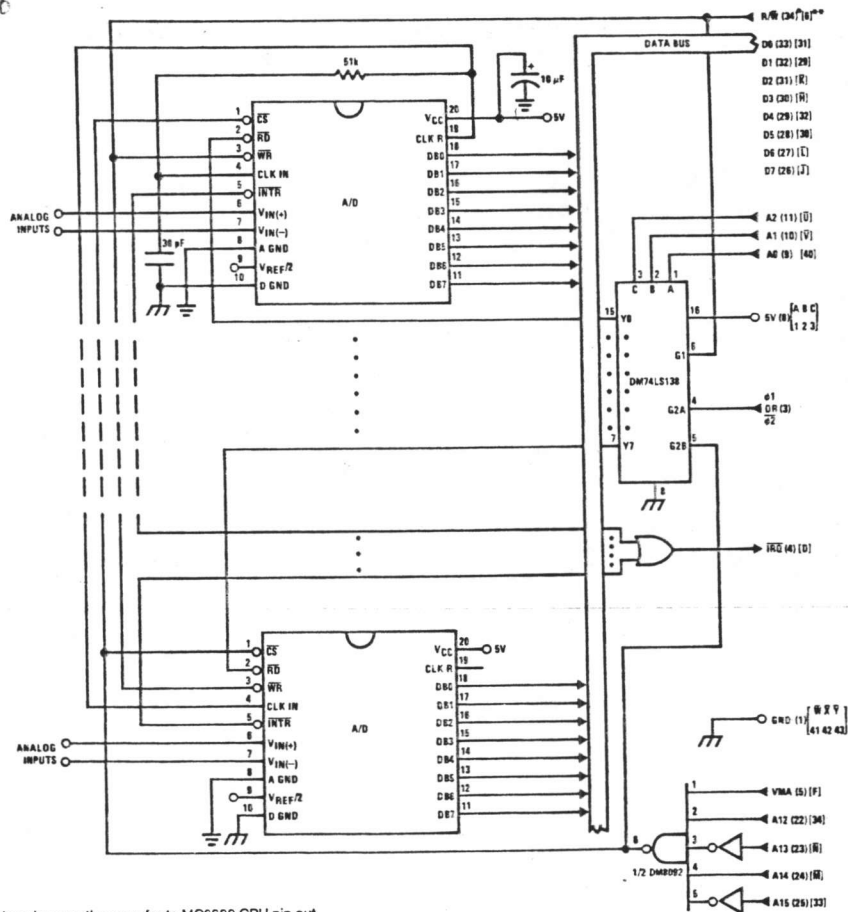
The subroutine, DATA IN, may be called from anywhere in the user's program. Once called, this routine initializes the

CPU, starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt, it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207, before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

## 5.2 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single ended conversion for a differential transducer. Thus, one op amp can be eliminated since the differential to single ended conversion is provided by the differential input of the ADC0801 series. In general, a transducer preamp is required to take advantage of the full A/D converter input dynamic range.

## Functional Description (Continued)



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.

Note 2: Numbers of letters in brackets refer to standard M6800 system common bus code.

TL/H/5671-26

FIGURE 16. Interfacing Multiple A/Ds in an MC6800 System

### SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0010	DF 44	DATAIN STX	; Save Contents of X
0012	CE 00 2A	LDX #002A	; Upon $\overline{IRQ}$ LOW CPU
0015	FF FF F8	STX \$FFF8	; Jumps to 002A
0018	B7 50 00	STAA \$5000	; Starts all A/D's
001B	0E	CLI	
001C	3E	WAI	; Wait for interrupt
001D	CE 50 00	LDX #5000	
0020	DF 40	STX INDEX1	; Reset both INDEX
0022	CE 02 00	LDX #0200	; 1 and 2 to starting
0025	DF 42	STX INDEX2	; addresses
0027	DE 44	LDX TEMP	
0029	39	RTS	; Return from subroutine
002A	DE 40	LDX INDEX1	; INDEX1 $\rightarrow$ X
002C	A6 00	LDAA X	; Read data in from A/D at X
002E	08	INX	; Increment X by one
002F	DF 40	STX INDEX1	; X $\rightarrow$ INDEX1
0031	DE 42	LDX INDEX2	; INDEX2 $\rightarrow$ X

## Functional Description (Continued)

SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0033	A7 00	STAA X	; Store data at X
0035	8C 02 07	CFX #0207	; Have all A/D's been read?
0038	27 05	BEQ RETURN	; Yes: branch to RETURN
003A	08	INX	; No: increment X by one
003B	DF 42	STX INDEX2	; X → INDEX2
003D	20 EB	BRA INTRPT	; Branch to 002A
003F	3B	RETURN RTI	
0040	50 00	INDEX1 FDB \$5000	; Starting address for A/D
0042	02 00	INDEX2 FDB \$0200	; Starting address for data storage
0044	00 00	TEMP FDB \$0000	

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

For amplification of DC input signals, a major system error is the input offset voltage of the amplifiers used for the preamp. Figure 17 is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50 μV for 1/4 LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

$$V_O = \underbrace{[V_{IN(+)} - V_{IN(-)}]}_{\text{SIGNAL}} \underbrace{\left[1 + \frac{2R_2}{R_1}\right]}_{\text{GAIN}} + \underbrace{(V_{OS2} - V_{OS1} - V_{OS3} \pm I_X R_X)}_{\text{DC ERROR TERM}} \underbrace{\left(1 + \frac{2R_2}{R_1}\right)}_{\text{GAIN}}$$

where  $I_X$  is the current through resistor  $R_X$ . All of the offset error terms can be cancelled by making  $\pm I_X R_X = V_{OS1} + V_{OS3} - V_{OS2}$ . This is the principle of this auto-zeroing scheme.

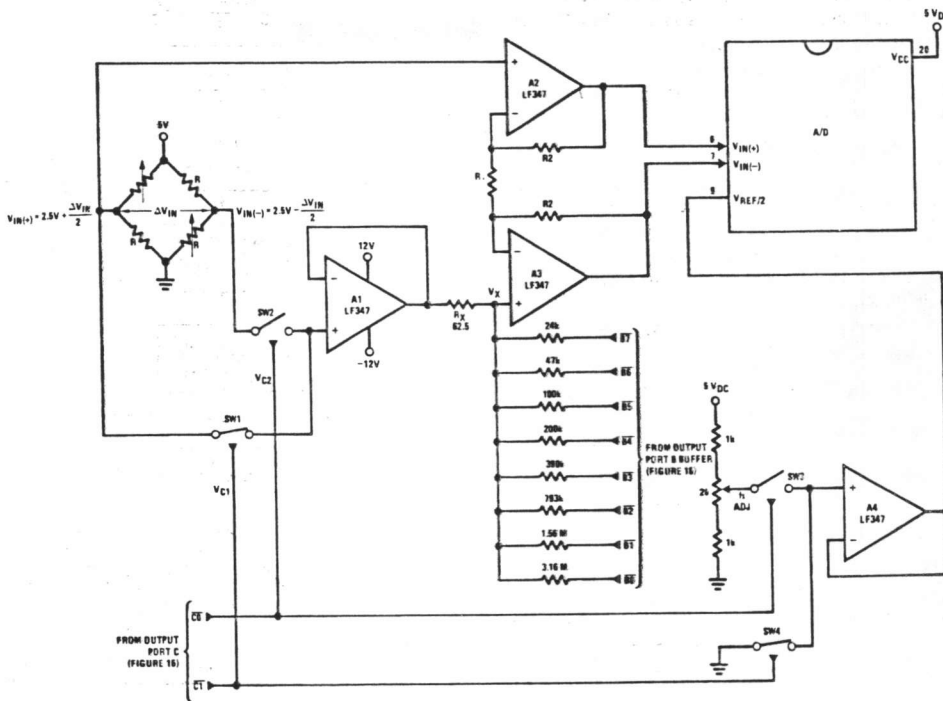
The INS8080A uses the 3 I/O ports of an INS8255 Programmable Peripheral Interface (PPI) to control the auto zeroing and input data from the ADC0801 as shown in Figure 18. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close the 2 switches at the input of the preamp. Switch

SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers.

Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine, the voltage at  $V_X$  increases or decreases as required to make the differential output voltage equal to zero. This is accomplished by ensuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on any output of Port B will source current into node  $V_X$  thus raising the voltage at  $V_X$  and making the output differential more negative. Conversely, a logic "0" (0V) will pull current out of node  $V_X$  and decrease the voltage, causing the differential output to become more positive. For the resistor values shown,  $V_X$  can move  $\pm 12$  mV with a resolution of 50 μV, which will null the offset error term to 1/4 LSB of full-scale for the ADC0801. It is important that the voltage levels that drive the auto-zero resistors be constant. Also, for symmetry, a logic swing of 0V to 5V is convenient. To achieve this, a CMOS buffer is used for the logic output signals of Port B and this CMOS package is powered with a stable 5V source. Buffer amplifier A1 is necessary so that it can source or sink the D/A output current.

Note 1:  
Note 2:  
Note 3:

## Functional Description (Continued)



Note 1:  $R2 = 49.5 R1$

Note 2: Switches are LMC13334 CMOS analog switches.

Note 3: The 9 resistors used in the auto-zero section can be  $\pm 5\%$  tolerance.

FIGURE 17. Gain of 100 Differential Transducer Preamp

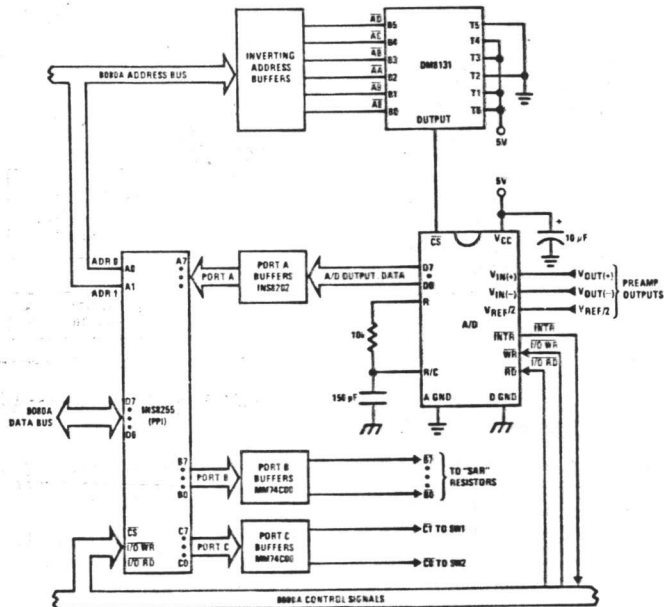


FIGURE 18. Microprocessor Interface Circuitry for Differential Preamp

TL/H/5671-27

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

A flow chart for the zeroing subroutine is shown in Figure 19. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input [ $V_{IN(-)} \geq V_{IN(+)}$ ]. Also, a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically, if the data read is zero, the differential output voltage is negative, so a bit in Port B is cleared to pull  $V_X$  more negative which will make the output more positive for the next conversion. If the data read is not zero, the output voltage is positive so a bit in Port B is set to make  $V_X$  more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in Figure 20. All addresses used are compatible with the BLC 80/10 microcomputer system. In particular:

- Port A and the ADC0801 are at port address E4
- Port B is at port address E5
- Port C is at port address E6
- PPI control word port is at port address E7
- Program Counter automatically goes to ADDR:3C3D upon acknowledgement of an interrupt from the ADC0801

### 5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor, there is obviously a need for the CPU to determine which device requires servicing. Figure 21 and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion (INTR asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence, but will input and store valid data from the converters with a priority sequence of A/D 1 being read first, A/D 2 second, etc., through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373, 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt, the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the INTR outputs of all the converters. Each converter which initiates an interrupt will place a logic "0" in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.

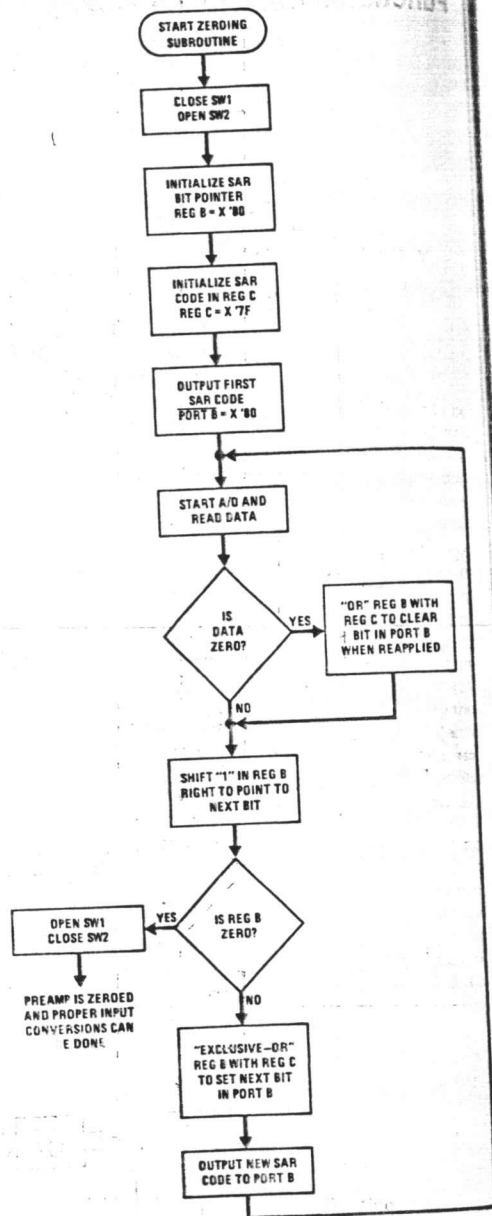


FIGURE 19. Flow Chart for Auto-Zero Routine

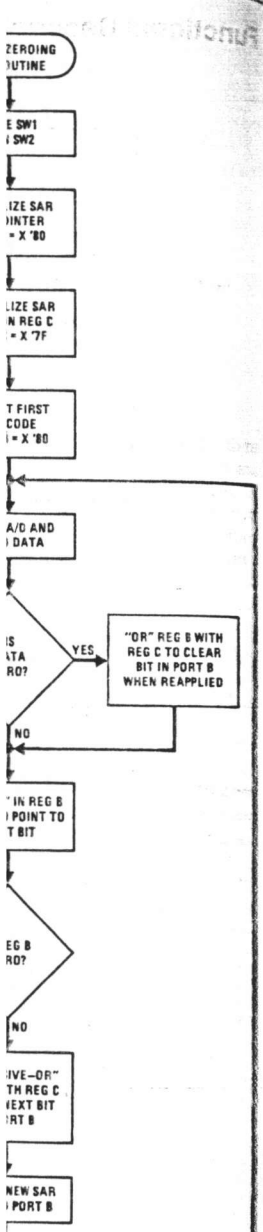
3D00 3F  
3D02 D:  
3D04 2:  
3D06 7:  
3D07 D:  
3D09 0:  
3D0B 3:  
3D0D 4:  
3D0E D:  
3D10 3:  
3D13 I:  
3D15 I:  
3D16 C:  
3D17 C:  
3D1A  
3D1B  
3D1D  
3D20  
3D21  
3D23  
3D24  
3D26  
3D29  
3D2A  
3D2D  
3D2E  
3D2F  
3D30  
3D33  
3D34  
3D37  
3D38  
3D39  
3D3B  
3D3D

3C3D  
3C3F  
3C41  
3C42  
3C43  
3C45  
3C48  
Note: All nu

### 5.3 Multi Mode

The follo

- 1) It is as 7 instr is in ir dress
- 2) The a 80 ar
- 3) A/D ( tial m dress
- 4) The : gram PC o 6 sta



TL/H/5671-38

Flowchart for Auto-Zero Routine

```

3D00 3E90 MVI 90
3D02 D3E7 Out Control Port ; Program PPI
3D04 2601 MVI H 01 Auto-Zero Subroutine
3D06 7C MOV A, H
3D07 D3E6 OUT C ; Close SW1 open SW2
3D09 0680 MVI B 80 ; Initialize SAR bit pointer
3D0B 3E7F MVI A 7F ; Initialize SAR code
3D0D 4F MOV C, A Return
3D0E D3E5 OUT B ; Port B = SAR code
3D10 31AA3D LXI SP 3DAA Start ; Dimension stack pointer
3D13 D3E4 OUT A ; Start A/D
3D15 FB IE Loop ; Loop until INT asserted
3D16 00 NOP
3D17 C3163D JMP Loop Auto-Zero
3D1A 7A MOV A, D
3D1B C600 ADI 00
3D1D CA2D3D JZ Set C ; Test A/D output data for zero
3D20 78 MOV A, B Shift B
3D21 F600 ORI 00 ; Clear carry
3D23 1F RAR ; Shift "1" in B right one place
3D24 FE00 CFI 00 ; Is B zero? If yes last
3D26 CA373D JZ Done ; approximation has been made
3D29 47 MOV B, A
3D2A C3333D JMP New C Set C
3D2D 79 MOV A, C ; Set bit in C that is in same
3D2E B0 ORA B ; position as "1" in B
3D2F 4F MOV C, A
3D30 C3203D JMP Shift B New C
3D33 A9 XRA C ; Clear bit in C that is in
3D34 C30D3D JMP Return ; same position as "1" in B
3D37 47 MOV B, A Done ; then output new SAR code.
3D38 7C MOV A, H ; Open SW1, close SW2 then
3D39 EE03 XRI 03 ; proceed with program. Preamp
3D3B D3E6 OUT C ; is now zeroed.
3D3D .
.
.
Program for processing
proper data values
3C3D DBE4 IN A Read A/D Subroutine ; Read A/D data
3C3F EEFF XRI FF ; Invert data
3C41 57 MOV D, A
3C42 78 MOV A, B ; Is B Reg = 0? If not stay
3C43 E6FF ANI FF ; in auto zero subroutine
3C45 C21A3D JNZ Auto-Zero
3C48 C33D3D JMP Normal
    
```

Note: All numerical values are hexadecimal representations.

FIGURE 20. Software for Auto-Zeroed Differential A/D

5.3 Multiple A/D Converters in a Z-80<sup>®</sup> Interrupt Driven Mode (Continued)

The following notes apply:

- 1) It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPU is in interrupt mode 1). Hence, the subroutine starting address of X0038.
- 2) The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.
- 3) A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.
- 4) The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.

5) The peripherals of concern are mapped into I/O space with the following port assignments:

HEX PORT ADDRESS	PERIPHERAL
00	MM74C374 8-bit flip-flop
01	A/D 1
02	A/D 2
03	A/D 3
04	A/D 4
05	A/D 5
06	A/D 6
07	A/D 7

This port address also serves as the A/D identifying word in the program.



ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

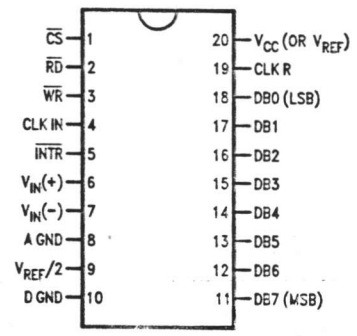
### Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	± 1/4 Bit Adjusted				ADC0801LCN
	± 1/2 Bit Unadjusted	ADC0802LCWM	ADC0802LCV		ADC0802LCN
	± 1/2 Bit Adjusted	ADC0803LCWM	ADC0803LCV		ADC0803LCN
	± 1 Bit Unadjusted	ADC0804LCWM	ADC0804LCV	ADC0804LCN	ADC0805LCN
PACKAGE OUTLINE		M20B—Small Outline	V20A—Chip Carrier	N20A—Molded DIP	

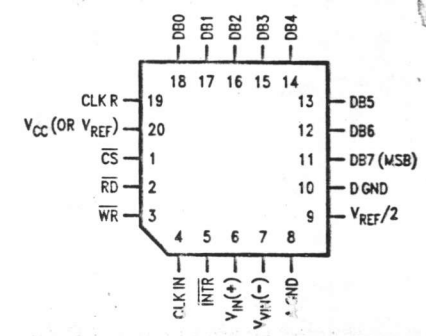
TEMP RANGE		-40°C TO +85°C	-55°C TO +125°C
ERROR	± 1/4 Bit Adjusted	ADC0801LCJ	ADC0801LJ
	± 1/2 Bit Unadjusted	ADC0802LCJ	ADC0802LJ
	± 1/2 Bit Adjusted	ADC0803LCJ	
	± 1 Bit Unadjusted	ADC0804LCJ	
PACKAGE OUTLINE		J20A—Cavity DIP	J20A—Cavity DIP

### Connection Diagrams

**ADC080X**  
Dual-In-Line and Small Outline (SO) Packages



**ADC080X**  
Molded Chip Carrier (PCC) Package



TL/H/5671-30

TL/H/5671-32

See Ordering Information

## ບັນດາບັນທຶກ

- Bartelt , Terry L.M. *Digital electronics : concepts and application* pp. 316 - 320 ,  
Prentice - Hall , Englewood Clif : New Jersey , 1991.
- Bogart , Theodore G. *Electronic device and circuits* 2nd. ed. , pp. 117-118 ,  
Macmillan . New York . 1991.
- Bradner , Mead and Emerson , Lewis P. " Flow measurement " *Mcgraw - Hill  
Encyclopedia of Science & Technology* 6th. ed. , 7(1987) , 159 -170
- Coughlin , Robert F. *Operational amplifiers and linear integrated circuits* pp. 178 - 181  
. Prentice - Hall , Englewood Cliff : New Jersey , 1917.
- Evvett , Jack B. *Fundamental of fluid mechanics* pp. 5-7 , McGraw - Hill , Singapore .  
1917.
- " Flow measurement " *Van Nostrand's Scientific Encyclopedia* 7th. ed. (1988) .  
1183 - 1189
- Gilmore , Charles Minot *Microprocessors : principle and applications* pp. 187 - 223 .  
Mc - GrawHill , Singapore , 1989.
- Hayward , Alan T.J. *Flowmeters* pp. 68 - 72 , Mcmillan Education , Great Britain , 1989
- Ismails , Amin and Rooney , Vitor M. *Digital concepts applications* pp. 248 -255 .  
Saunders College Publishing , United State of America , 1990.
- Kennedy , E.J. *Operational amplifier circuits* pp. 155 - 153 . Rinehart and Winston ,  
New York : Holt , 1988.
- Kleitz , William *Digital and microprocesor fundamentals* pp. 385 - 388 . Prentice -  
Hall , United State of America , 1990.
- Lide , David R. *CRC Handbook of Chemistry and Physics* 73rd. ed. (1992) , 6 - 10
- Tokheim , Robery L. *Digital electronics* 3rd. ed. , pp. 107 - 113 , McGraw - Hill , United  
State of America , 1989.
- Yong , Haugh D. *Physics* 8th. ed. , pp. 816 - 821 , Addison - Wesley , United State of  
America , 1992.