

วงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูง
รูปแบบกระแสโดยใช้ซีมอสไบควอดฟังก์ชัน

CMOS-BASED CURRENT-MODE HIGH-ORDER LOW-PASS
AND BAND-PASS FILTERS USING BIQUAD FUNCTIONS

เอกพงษ์ สายสิงห์
EKKAPONG SAISING

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2561

KMITL-2018-EN-D-018-051

วงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูง
รูปแบบกระแสโดยใช้ซีมอสไบควอตฟังก์ชัน

CMOS-BASED CURRENT-MODE HIGH-ORDER LOW-PASS
AND BAND-PASS FILTERS USING BIQUAD FUNCTIONS

เอกพงษ์ สายสิงห์
EKKAPONG SAISING

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2561

KMITL-2018-EN-D-018-051

**CMOS-BASED CURRENT-MODE HIGH-ORDER LOW-PASS
AND BAND-PASS FILTERS USING BIQUAD FUNCTIONS**

EKKAPONG SAISING

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2018
KMITL-2018-EN-D-018-051**

**COPYRIGHT 2018
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

หัวข้อวิทยานิพนธ์	วงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูง รูปแบบกระแสโดยใช้ซีมอสไบควอตฟังก์ชัน
นักศึกษา	นาย เอกพงษ์ สายสิงห์
รหัสประจำตัว	56601363
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2561
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. พิพัฒน์ พรหมมี

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้ซีมอสไบควอตฟังก์ชัน ซึ่งใช้วงจรรองแบบแพสซีฟเป็นวงจรต้นแบบและใช้วิธีการสังเคราะห์วงจรรองแบบเมชและโหนดเพื่อให้ได้ไบควอตฟังก์ชัน จากนั้นจึงใช้งานฟังก์ชันดังกล่าวเพื่อสร้างวงจรรองความถี่ไบควอตโดยใช้มอสทรานซิสเตอร์ และนำวงจรดังกล่าวมาทำการสังเคราะห์วงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงแบบแอกทีฟ รวมทั้งนำเสนอผลการจำลองการทำงานของวงจรเพื่อยืนยันประสิทธิภาพและฟังก์ชันการใช้งาน ซึ่งจากผลลัพธ์แสดงให้เห็นว่าวงจรรองที่นำเสนอสามารถทำงานในย่านความถี่สูงและสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ รวมทั้งใช้พลังงานต่ำ กล่าวคือ ใช้ไฟเลี้ยงเพียง 1V ตลอดทั้งวงจร ผลตอบสนองทางความถี่ของวงจรรองความถี่ต่ำผ่านที่นำเสนออยู่นั้นอยู่ในช่วง 300kHz ถึง 30MHz และวงจรรองแถบความถี่ผ่านมีความถี่กลางอยู่ในช่วง 200kHz ถึง 20MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ $1\mu A$ ถึง $100\mu A$ นอกจากนี้ การจำลองการทำงานแบบมัลติโตนยังแสดงให้เห็นถึงประสิทธิภาพของวงจร ซึ่งผลลัพธ์ที่ได้มีความสอดคล้องกับความต้องการในการออกแบบ

Thesis	CMOS-based Current-mode High-order Low-pass and Band-pass Filters using Biquad functions
Student	Mr. Ekkapong Saising
Student ID.	56601363
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2018
Thesis Advisor	Assoc. Prof. Dr. Pipat Prommee

ABSTRACT

This thesis proposes the CMOS-based current-mode high-order active low-pass (LP) and band-pass (BP) filters using biquad functions. The passive RLC Chebyshev ladder filters were used as the prototype, and the mesh and nodal analysis methods to derive the biquad functions. The CMOS-based transistor-level biquad circuits were subsequently realized from the biquad functions. The high-order active LP and BP ladder filters were then synthesized from an amalgamation of the biquad circuits. Simulations were carried out to verify the performance and functionality of the LP and BP ladder filters. The results revealed that the proposed ladder filters were operable in the high frequency range and electronically tunable, given a low voltage supply of $1V$ for the entire circuit. The proposed filters could also achieve the LP frequency response of $300kHz$ and $30 MHz$ BP center frequency of $200kHz-20MHz$ by means of the bias current (I_B) manipulation from 1 to $100\mu A$. Moreover, the multi-tone simulations were undertaken to assess the filtering performance of the proposed filters and the results are agreeable with the design specifications.

กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณ รศ.ดร. พิพัฒน์ พรหมมี อาจารย์ผู้ควบคุมวิทยานิพนธ์เป็นอย่างสูง ที่ช่วยกรุณาให้คำปรึกษา แนะนำความรู้ที่พึงมีเพื่อเป็นประโยชน์แก่ผู้เขียน รวมทั้งช่วยขัดเกลาและทำให้นเนื้อหาภายในวิทยานิพนธ์นี้ มีความสมบูรณ์ เหมาะสม และมีประสิทธิภาพ รวมถึงให้คำปรึกษาในทางหน้าที่การงานต่างๆ และการประพฤติปฏิบัติตัวให้เป็นผู้ที่มีความรู้ความสามารถและพยายามทำประโยชน์ให้แก่สังคมอีกด้วย

ขอกราบขอบพระคุณ บิดา มารดา ที่ให้กำเนิดชีวิตและเลี้ยงดูให้ผู้เขียนเติบโตขึ้นมา ทั้งยังสนับสนุนการศึกษาทั้งด้านกำลังทรัพย์และกำลังใจให้กับผู้เขียน รวมถึงให้ความสนับสนุนในส่วนอื่น ๆ ตลอดมา

ขอขอบคุณเพื่อน ๆ พี่ ๆ น้อง ๆ ที่คอยให้คำปรึกษา รวมถึงแลกเปลี่ยนความคิดเห็นทางวิชาการ ตลอดระยะเวลาที่ผู้เขียนได้ศึกษาอยู่ โดยเฉพาะอย่างยิ่ง ดร. ณัฐพงศ์ วงศ์พร้อมมูล นายอภิสิทธิ์ เทียมสุพัต นายปรีชา ทองดิษฐ์ นายณรงค์ศักดิ์ มโนสิทธิชัย นายเทิดศักดิ์ กันโต นายพชร ยิ่งเจริญรัตน์ และนายพันธกานต์ แสงแก้ว ที่ได้ช่วยเหลือ แลกเปลี่ยนประสบการณ์และร่วมแสดงความคิดเห็นตลอดมา

ขอขอบคุณภรรยาที่คอยสนับสนุนและส่งเสริม คอยเป็นกำลังใจและเป็นแรงผลักดันตลอดมา

สุดท้ายนี้ผู้เขียนหวังว่าวิทยานิพนธ์ฉบับนี้จะเป็นประโยชน์ต่อผู้อ่านไม่มากนักน้อย หากมีข้อผิดพลาดประการใดผู้เขียนต้องขออภัยมา ณ ที่นี้ด้วย

เอกพงษ์ สายสิงห์

สารบัญ

บทคัดย่อภาษาไทย	I
บทคัดย่ออังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VI
สารบัญรูป	VII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์	3
1.3 หลักการใหม่ที่น่าเสนอในวิทยานิพนธ์	3
1.4 ขอบเขตของวิทยานิพนธ์	4
1.5 รายละเอียดในวิทยานิพนธ์	4
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	6
2.1 มอสมิทธานซิสเตอร์	6
2.1.1 โครงสร้างและการทำงานของมอสมิทธานซิสเตอร์	6
2.1.2 ทฤษฎีการทำงานของมอสมิทธานซิสเตอร์	9
2.1.3 สัญลักษณ์ของมอสมิทธานซิสเตอร์	16
2.1.4 วงจรเสมือนสัญญาณขนาดเล็กของมอสมิทธานซิสเตอร์	17
2.1.5 เทคโนโลยีของซีมอส	21
2.2 อินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสีย	22
2.2.1 อินทิเกรเตอร์ชนิดสูญเสีย(วงจรรองความถี่ต่ำผ่าน)	22
2.2.2 การสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียจากอินทิเกรเตอร์ชนิดสูญเสีย	25
2.2.3 การสร้างอินทิเกรเตอร์โดยใช้ซีมอส	27
2.3 สมการไปควอดเตรติก	29
2.3.1 ทฤษฎีสมการไปควอดเตรติก	29
2.3.2 การประยุกต์ใช้สมการไปควอดเตรติกในการสร้างวงจร	31
2.4 หลักการสังเคราะห์ตัวแปรแบบกระแสเมชและโหนด	35
2.4.1 หลักการสังเคราะห์ตัวแปรแบบกระแสเมช	35
2.4.2 หลักการสังเคราะห์ตัวแปรแบบโหนด	37
2.5 การประมาณค่าฟังก์ชันวงจรรองความถี่	38
2.5.1 การประมาณค่าแบบเชบีเชฟ (Chebyshev Approximation)	38

2.6 บทสรุป	43
บทที่ 3 งานวิจัยที่เกี่ยวข้อง.....	44
3.1 บทนำ.....	44
3.2 วงจรกรองรูปแบบกระแสชนิดชั้นบันไดโดยใช้วงจรสายพานกระแสหลายเอาต์พุต	45
3.3 วงจรกรองความถี่ต่ำผ่านและวงจรกรองแถบความถี่ผ่านชนิดชั้นบันไดโดยใช้วงจรคู่ไบควอดบนพื้นฐานอุปกรณ์บล็อกแอกทีฟ OTA	50
3.4 วงจรกรองความถี่อันดับสูงโดยใช้ OTA หลายเอาต์พุต.....	57
3.5 วงจรกรองความถี่ Leapfrog รูปแบบกระแสโดยใช้อุปกรณ์แอกทีฟแบบใหม่	59
3.6 บทสรุป	63
บทที่ 4 วงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูง โดยใช้ซิมอสไบควอดฟังก์ชัน	65
4.1 บทนำ.....	65
4.2 การวิเคราะห์วงจรกรองชั้นบันได.....	66
4.2.1 วงจรกรองความถี่ต่ำผ่านชั้นบันได.....	66
4.2.2 วงจรกรองแถบความถี่ผ่านชั้นบันได.....	67
4.3 การสร้างวงจรกรองโดยใช้ซิมอสไบควอดฟังก์ชัน.....	68
4.3.1 วงจรกรองซิมอสไบควอดฟังก์ชันชนิดที่ 1	68
4.3.2 วงจรกรองซิมอสไบควอดฟังก์ชันชนิดที่ 2	69
4.3.3 วงจรกรองซิมอสไบควอดฟังก์ชันชนิดที่ 3	70
4.4 การสร้างวงจรกรองชนิดชั้นบันไดโดยใช้ซิมอสไบควอดฟังก์ชัน.....	71
4.5 การวิเคราะห์ความไม่เป็นอุดมคติ	72
4.5.1 ค่าประจุแฝง (C_{gd} และ C_{gs}).....	73
4.5.2 ค่าเหนี่ยวนำแฝง (L_{ds}).....	75
4.5.3 ความไม่สมพ้องกันของทรานซิสเตอร์ (Transistor Mismatches).....	77
4.6 ผลการจำลองการทำงาน.....	78
4.7 บทสรุป	88
บทที่ 5 บทสรุปและข้อเสนอแนะ	90
5.1 บทสรุปการวิจัย.....	90
5.2 ข้อเสนอแนะ	93
เอกสารอ้างอิง	94
ภาคผนวก.....	97
ภาคผนวก ก. โปรแกรม PSpice ที่ใช้ในการวิเคราะห์.....	98
ภาคผนวก ข. ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา.....	105

สารบัญตาราง

ตาราง 2.1 ค่าอุปกรณ์สำหรับวงจรรองความถี่ต่ำผ่านเซปีเซฟ มีค่าการกระเพื่อมเท่ากับ $0.1dB$	42
ตาราง 2.2 ค่าอุปกรณ์สำหรับวงจรรองความถี่ต่ำผ่านเซปีเซฟที่มีค่าการกระเพื่อมเท่ากับ $0.5dB$	42
ตาราง 2.3 ค่าอุปกรณ์สำหรับวงจรรองความถี่ต่ำผ่านเซปีเซฟ มีค่าการกระเพื่อมเท่ากับ $1dB$	42
ตาราง 3.1 ขนาดของทรานซิสเตอร์ที่ใช้งานในวงจร MOCC	46
ตาราง 3.2 รายละเอียดงานวิจัยที่เกี่ยวข้อง	63
ตาราง 5.1 การเปรียบเทียบวงจรที่นำเสนอกับวงจรที่เคยถูกนำเสนอก่อนหน้านี้	91

สารบัญรูป

รูปที่ 2.1 (ก) อุปกรณ์เซมิคอนดักเตอร์สมมุติฐาน (ข) การทำหน้าที่เป็นตัวเก็บประจุไฟฟ้า (ค) กระแสที่ไหลผ่านเนื่องจากความผลของความต่างศักย์ [4]	7
รูปที่ 2.2 (ก) ลักษณะโครงสร้างของมอสทรานซิสเตอร์ (ข) ภาพตัดขวาง (ค) สัญลักษณ์ทางไฟฟ้า [4]	8
รูปที่ 2.3 มอสทรานซิสเตอร์ชนิด NMOS [4]	9
รูปที่ 2.4 มอสทรานซิสเตอร์ชนิด PMOS [4]	9
รูปที่ 2.5 MOSFET ที่มีความต่างศักย์ที่ขากเกต	10
รูปที่ 2.6 (ก) บริเวณปลอดพาหะ (Depletion region) (ข) แชนแนลของ MOSFET	11
รูปที่ 2.7 (ก) MOSFET ที่มีความต่างศักย์ที่ขากเกตและเดรน (ข) ความสัมพันธ์ของกระแสเดรนกับแรงดันที่ขากเกต [4]	11
รูปที่ 2.8 (ก) ความสัมพันธ์ของกระแสกับแรงดันที่ขาเดรน (ข) ความสัมพันธ์ของกระแสกับแรงดันที่ขาเดรนเมื่อมีการเปลี่ยนแปลงแรงดันที่ขากเกต	12
รูปที่ 2.9 มอสทรานซิสเตอร์ในกรณีที่มีขั้ว [25]	14
รูปที่ 2.10 ความสัมพันธ์ของกระแสเดรนและแรงดันเดรนกับขาซอร์ส [25]	15
รูปที่ 2.11 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ [25]	17
รูปที่ 2.12 วงจรสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ [25]	17
รูปที่ 2.13 กราฟแสดงความสัมพันธ์ระหว่าง i_D และ V_{gs} [7]	18
รูปที่ 2.14 รูปวงจรสัญญาณขนาดเล็กของวงจรขยาย [26]	19
รูปที่ 2.15 (ก) ชุดแหล่งจ่ายกระแส โดยใช้ PMOS (ข) วงจรเสมือนขนาดเล็ก [25]	20
รูปที่ 2.16 วงจรรวมซีมอสสร้างบนฐานรองชนิดเอ็น [25]	21
รูปที่ 2.17 วงจรรวมซีมอสสร้างบนฐานรองชนิดพี [25]	21
รูปที่ 2.18 พล็อตขนาดของ $\frac{\alpha}{s + \alpha}$	24
รูปที่ 2.19 พล็อตเฟสของ $\frac{\alpha}{s + \alpha}$	24
รูปที่ 2.20 คุณสมบัติของอินทิเกรเตอร์ชนิดสูญเสีย	24
รูปที่ 2.21 บล็อกของอินทิเกรเตอร์แบบสูญเสีย	25
รูปที่ 2.22 การสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียจากอินทิเกรเตอร์ชนิดสูญเสีย	25
รูปที่ 2.23 พล็อตขนาดของ $\frac{\alpha}{s}$	26
รูปที่ 2.24 พล็อตเฟสของ $\frac{\alpha}{s}$	26
รูปที่ 2.25 วงจรอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอส	27
รูปที่ 2.26 แบบจำลองสัญญาณขนาดเล็ก และบล็อกไดอะแกรมของวงจรในรูปที่ 2.25	27

รูปที่ 2.27	วงจรรินทีเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอส.....	28
รูปที่ 2.28	แบบจำลองสัญญาณขนาดเล็ก และบล็อกไดอะแกรมของวงจรรูปที่ 2.27.....	28
รูปที่ 2.29	บล็อกพื้นฐานของสมการ (2.53)	32
รูปที่ 2.30	วงจรถูกได้จากบล็อกพื้นฐานในรูปที่ 2.29.....	32
รูปที่ 2.31	วงจรถูกให้ผลลัพธ์เป็นความต่างศักย์ที่ต่างกันของความต่างศักย์ที่เป็นอินพุต 2 อัน.....	33
รูปที่ 2.32	วงจรถูก KHN biquad	33
รูปที่ 2.33	โครงข่าย RLC ชนิดชั้นบันไดต่อกัน n เมฆ.....	35
รูปที่ 2.34	บล็อกไดอะแกรมหลักการสังเคราะห์ตัวแปรแบบกระแสเมฆ.....	36
รูปที่ 2.35	โครงข่าย RLC ชนิดชั้นบันไดต่อกันจำนวน $2n + 1$ โหนด.....	37
รูปที่ 2.36	บล็อกไดอะแกรมหลักการสังเคราะห์ตัวแปรแบบโหนด	38
รูปที่ 2.37	ค่าของ $C_n^2(\omega)$ เมื่อ $n = 1, 2, 3, 4$	39
รูปที่ 2.38	ผลตอบสนองทางขนาดแบบเชบีเชฟ เมื่อ $\varepsilon = 1, H_{\max} = 1$ และ $n = 2, 5, 10$	39
รูปที่ 2.39	วงจรรองความถี่ต่ำผ่านพาสซีฟแบบเชบีเชฟ.....	42
รูปที่ 2.40	ผลตอบสนองทางความถี่ของวงจรรองแถบความถี่ต่ำผ่านอันดับห้า.....	43
รูปที่ 3.1	สัญลักษณ์ทางไฟฟ้าของ MOCC	45
รูปที่ 3.2	โครงสร้างของ MOCC	46
รูปที่ 3.3	บล็อกแอกทิฟอันดับที่หนึ่งรูปแบบกระแสโดยใช้ MOCC.....	47
รูปที่ 3.4	ตัวต้านทานต่อลงกราวด์สร้างโดย MOS ทรานซิสเตอร์.....	48
รูปที่ 3.5	วงจรรองความถี่ต่ำผ่าน RLC Chebyshev อันดับห้าที่ห้าชนิดชั้นบันไดต้นแบบ.....	48
รูปที่ 3.6	กราฟการไหลของสัญญาณรูปแบบกระแส ของวงจรถับแบบที่ทำงานด้วยอุปกรณ์พาสซีฟ	48
รูปที่ 3.7	การสร้างวงจรรองความถี่ต่ำผ่านรูปแบบกระแสอันดับที่ห้าโดยใช้ MOCC	49
รูปที่ 3.8	ผลตอบสนองทางความถี่วงจรรองความถี่ต่ำผ่านรูปแบบกระแสอันดับที่ห้าโดยใช้ MOCC.....	50
รูปที่ 3.9	วงจรรองความถี่ต่ำผ่านเชบีเชฟชนิดชั้นบันได RLC แบบปลายปิดคู่ต้นแบบ	51
รูปที่ 3.10	วงจรรองแถบความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดต้นแบบ.....	51
รูปที่ 3.11 (ก)	สัญลักษณ์ OTA ที่มีค่าความนำหลายเอาต์พุต (ข) สัญลักษณ์วงจรรกระแสบัฟเฟอร์.....	53
รูปที่ 3.12	วงจรถูก CMOS OTA รูปแบบกระแสอันดับหนึ่งของวงจรถูกแบบที่ 1	53
รูปที่ 3.13	วงจรถูก CMOS OTA รูปแบบกระแสอันดับสองของวงจรถูกแบบที่ 2.....	54
รูปที่ 3.14	วงจรถูก CMOS OTA รูปแบบกระแสอันดับสองของวงจรถูกแบบที่ 3.....	54
รูปที่ 3.15	การออกแบบวงจรรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดสร้างโดย OTA	55
รูปที่ 3.16	การออกแบบวงจรรองแถบความถี่ต่ำผ่านอันดับหกชนิดชั้นบันไดสร้างโดย OTA.....	55
รูปที่ 3.17	ผลตอบสนองทางความถี่วงจรรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดสร้างโดย OTA.....	56
รูปที่ 3.18	ผลตอบสนองทางความถี่วงจรรองแถบความถี่ต่ำผ่านอันดับหกชนิดชั้นบันไดสร้างโดย OTA	56
รูปที่ 3.19	โครงข่ายสองพอร์ตต้นแบบ	57

รูปที่ 3.20 การแปลงโครงข่ายสองพอร์ต	57
รูปที่ 3.21 วงจรกรองความถี่ Chebychev ที่นำเสนอ	58
รูปที่ 3.22 วงจรกรองความถี่ Elliptic ที่นำเสนอ	58
รูปที่ 3.23 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ Elliptic ที่นำเสนอเทียบต้นแบบ	59
รูปที่ 3.24 (ก) บล็อกไดอะแกรม (ข) วงจรขยายกระแสทรานคอนดักแตนซ์กลับทิศทาง (CBTA)	60
รูปที่ 3.25 กราฟการไหลของสัญญาณวงจรกรองความถี่ขั้นบันได Leapfrog รูปแบบกระแสต้นแบบ.....	60
รูปที่ 3.26 (ก) กราฟย่อยของรูปที่ 3.21 (ข) วงจรย่อยของ CBTA ที่นำเสนอ	61
รูปที่ 3.27 (ก) วงจรกรองความถี่ขั้นบันได Leapfrog รูปแบบกระแส (ข) วงจรแบบที่ปรับค่าแล้ว.....	61
รูปที่ 3.28 (ก) ผลตอบสนองทางความถี่ (ข) ผลตอบสนองทางความเฟส.....	62
รูปที่ 4.1 วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดขั้นบันได RLC แบบปลายปิดคู่ต้นแบบ	66
รูปที่ 4.2 วงจรกรองแถบความถี่ต่ำผ่าน Chebyshev ชนิดขั้นบันไดต้นแบบ.....	67
รูปที่ 4.3 บล็อกไดอะแกรมวงจรกรองไบควอดฟังก์ชันชนิดที่ 1 (BQ_1)	68
รูปที่ 4.4 วงจรกรองไบควอดฟังก์ชันชนิดที่ 1 (BQ_1) ที่นำเสนอ.....	68
รูปที่ 4.5 บล็อกไดอะแกรมวงจรกรองไบควอดฟังก์ชันชนิดที่ 2 (BQ_2)	69
รูปที่ 4.6 วงจรกรองไบควอดฟังก์ชันชนิดที่ 2 (BQ_2) ที่นำเสนอ	70
รูปที่ 4.7 บล็อกไดอะแกรมวงจรกรองไบควอดฟังก์ชันชนิดที่ 3 (BQ_3).....	70
รูปที่ 4.8 วงจรกรองไบควอดฟังก์ชันชนิดที่ 3 (BQ_3) ที่นำเสนอ	71
รูปที่ 4.9 วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดขั้นบันไดที่สร้างขึ้นจากวงจรกรองโดยใช้ซีมอสไบควอดฟังก์ชัน	72
รูปที่ 4.10 วงจรกรองแถบความถี่ผ่านอันดับหกชนิดขั้นบันไดที่สร้างขึ้นจากวงจรกรองโดยใช้ซีมอสไบควอดฟังก์ชัน.....	72
รูปที่ 4.11 ผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอดฟังก์ชันชนิดที่ 1 เมื่อปรับค่ากระแสไบอัส (I_B) (ก) วงจรกรองความถี่ต่ำผ่าน (ข) วงจรกรองแถบความถี่ผ่าน	79
รูปที่ 4.12 ผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอดฟังก์ชันชนิดที่ 2 เมื่อปรับค่ากระแสไบอัส (I_B)	80
รูปที่ 4.13 ผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอดฟังก์ชันชนิดที่ 3 เมื่อปรับค่ากระแสไบอัส (I_B)	81
รูปที่ 4.14 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน ($I_B = 20\mu A$) และวงจร RLC ต้นแบบ.....	81
รูปที่ 4.15 คุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรกรองความถี่ต่ำที่นำเสนอ.....	82
รูปที่ 4.16 รูปแบบของคลื่นเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน ($I_B = 100\mu A$).....	82
รูปที่ 4.17 อินเตอร์มอดูเลชันของวงจรกรองความถี่ต่ำผ่านที่นำเสนอเมื่อค่ากระแสไบอัสเท่ากับ $100\mu A$	83
รูปที่ 4.18 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบจำลองมอนติคาร์โล ($I_B = 100\mu A$).....	84
รูปที่ 4.19 ค่าความถี่ตัดวงจรกรองความถี่ต่ำผ่านของแบบจำลองมอนติคาร์โล ($I_B = 100\mu A$).....	84

รูปที่ 4.20	ผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านและวงจร RLC ต้นแบบ.....	85
รูปที่ 4.21	คุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรกรองแถบความถี่ผ่านที่นำเสนอ.....	85
รูปที่ 4.22	รูปแบบของคลื่นเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน ($I_B = 100\mu A$).....	86
รูปที่ 4.23	อินเตอร์มอดูเลชันของวงจรกรองแถบความถี่ผ่านเมื่อค่ากระแสไบอัสเท่ากับ $100\mu A$	87
รูปที่ 4.24	ผลตอบสนองทางความถี่วงจรกรองแถบความถี่ผ่านแบบจำลองมอนตีคาร์โล ($I_B = 100\mu A$)	87
รูปที่ 4.25	ค่าความถี่กลางวงจรกรองแถบความถี่ผ่านของแบบจำลองมอนตีคาร์โล ($I_B = 100\mu A$).....	88

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรรองสัญญาณแบบต่อเนื่องทางเวลาเป็นหนึ่งในบล็อกพื้นฐานที่สำคัญในการประมวลผลสัญญาณอนาล็อก ซึ่งวงจรรองข้างต้นหลากหลายชนิดนั้นถูกนำไปใช้ในระบบโทรคมนาคม โดยเฉพาะอย่างยิ่งอุปกรณ์ที่เรียกว่า โมเด็ม (Modem: Modulator Demodulator) ในด้านประสิทธิภาพของวงจรรองนั้นจะถูกควบคุมโดยจำนวนอันดับของฟังก์ชันที่ใช้งาน และในอดีตนั้นมักถูกสร้างขึ้นมาจากอุปกรณ์ประเภทแพสซีฟ เช่น วงจรรองอันดับที่หนึ่ง ซึ่งถูกสังเคราะห์ขึ้นมาจากตัวต้านทาน ตัวเก็บประจุ หรือขดลวดเหนี่ยวนำ เป็นต้น แต่วงจรรองที่ถูกสร้างขึ้นจากอุปกรณ์ประเภทแพสซีฟนั้น จะทำให้สูญเสียความโดดเด่นเมื่อเทียบกับวงจรรวมสมัยใหม่ เนื่องจากการออกแบบวงจรที่ซับซ้อนและพื้นที่ที่ใช้งานของวงจรมีขนาดใหญ่

ในภายหลัง ได้มีการนำเสนอวงจรรองแบบแอคทีฟอันดับที่หนึ่ง [1,2] โดยถูกสังเคราะห์ขึ้นมาจากออปแอมป์ (Operational Amplifiers: OAs) และโอทีเอ (Operational Transconductance Amplifiers: OTAs) ตามลำดับ จากนั้น วงจรรองความถี่ใต้อันดับที่สองก็ได้ถูกนำเสนอโดยสร้างขึ้นจากบล็อกพื้นฐานแบบแอคทีฟ (Active Building Blocks: ABBs) ที่แตกต่างกันและมีการใช้งานอุปกรณ์แอคทีฟที่แตกต่างกันออกไป เช่น วงจรสายพานกระแสรุ่นที่ 2 (The Second-Generation Current-Conveyor: CCII) [3] วงจรสายพานกระแสดิฟเฟอเรนเชียลความต่างศักย์ (Differential Voltage Current-Conveyor: DVCC) [4] วงจรสายพานกระแสผลต่างแรงดันแบบดิฟเฟอเรนเชียลทรานสคอนดักแตนซ์ (Differential Difference Current Conveyor Trans-conductance Amplifier: DDCCTA) [5] แต่อย่างไรก็ตามบล็อกพื้นฐานแบบแอคทีฟที่กล่าวมาข้างต้นก็ยังประสบปัญหาเกี่ยวกับแบนด์วิธที่แคบ รวมทั้งวงจรรองแบบแอคทีฟยังคงมีอันดับที่ต่ำซึ่งยังไม่เหมาะสมกับการใช้งานของแอปพลิเคชันที่ต้องการประสิทธิภาพสูง โดยเฉพาะอย่างยิ่งในการวางการสื่อสารโทรคมนาคม และวงจรรองความถี่อันดับที่สองที่เคยถูกนำเสนอมาก็ยังให้ผลการทำงานที่มีประสิทธิภาพไม่เป็นที่น่าพอใจ

จากนั้นได้มีการศึกษาและนำเสนอวงจรรองขั้นบันไดแบบแพสซีฟอันดับสูงซึ่งสามารถให้ผลการทำงานที่มีประสิทธิภาพโดยมีความไวต่ำ แต่ก็ยังประสบปัญหาจากการรวมกันเพื่อใช้งานวงจรเข้าด้วยกัน รวมทั้งวงจรแบบแพสซีฟเองก็ยังคงไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ได้ ซึ่งส่งผลให้มีการนำเสนอบล็อกพื้นฐานแบบแอคทีฟของวงจรรองความถี่อันดับสูงโดยใช้วิธีการที่แตกต่างกันเพื่อฟันฝ่าปัญหาต่างๆ ที่เคยเกิดขึ้น เช่น กราฟการไหลสัญญาณ (Signal Flow Graph: SFG) การสังเคราะห์วงจรรองแบบ

เมซและโหนดโดยใช้วงจรสายพานกระแสรุ่นที่ 2 [6] ใช้โอทีเอ [7] และออปแอมป์ที่ใช้งานกับ R-MOSFET [8] เพื่อทำการสร้างวงจรกรองความถี่ต่ำผ่านอันดับที่สี่แบบเชบีเชฟ ซึ่งโครงสร้างของวงจรที่กล่าวมาข้างต้นนั้น สามารถทำการปรับค่าได้ทางอิเล็กทรอนิกส์ได้แต่กลับประสบถึงปัญหาการออกแบบลักษณะวงจรเพื่อใช้งานที่ซับซ้อน และยังคงมีความต้องการทางด้านพื้นที่ของวงจรในขนาดที่ใหญ่ รวมถึงการทำงานได้ในย่านความถี่ที่ต่ำกว่าย่าน High Frequency (HF)

นอกจากการวิเคราะห์และใช้งานอุปกรณ์ข้างต้นนี้ ก็ยังมีการวิเคราะห์โดยการจำลองความต้านทานโดยใช้ CCII [9] CCCII [10] และ CA [11] ซึ่งนำไปใช้ในการสร้างวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงจากวงจรกรองแบบแพสซีฟต้นแบบ และได้มีการนำเสนอการออกแบบบล็อกพื้นฐานแบบแอกทิฟที่มีความซับซ้อนน้อยลง เช่น การออกแบบและใช้งานวงจรโอทีเอหลายเอาต์พุต (Multiple Output Operational Transconductance Amplifier: MOOTA) [12] และ โอทีเอที่ปรับค่าขาบัล็กได้ bulk-tuned OTA [13] ซึ่งถูกนำไปใช้ในการสร้างวงจรกรองความถี่ต่ำผ่านอันดับสูง วงจรที่ใช้การป้อนกลับร่วมกันบนอุปกรณ์ MOOTA [14] ซึ่งนำไปใช้ในการสร้างวงจรกรองอันดับสูง แต่กระนั้นแล้วก็ยังประสบปัญหาเกี่ยวกับเอาต์พุตที่มากเกินไปกว่า OTA จะสามารถทำงานได้ซึ่งส่งผลมาจากคุณสมบัติทางด้านค่าประจุแฝงของอุปกรณ์ OTA เอง ซึ่งหลังจากนั้นก็ได้มีการนำเสนอวงจรผลต่างกระแสขยายบัฟเฟอร์ (Current Differencing Buffer Amplifier: CDBA) [15] วงจรบัฟเฟอร์กระแสทรานสดักคอนดัคแทนซ์ (Current Buffering Transconductance Amplifier: CBTA) [16] แบบ leapfrog และวงจรขยายแบบมีกระแสป้อนกลับ (Current Feedback Operational Amplifier: CFOA) [17] ที่ใช้วิธีการแปลงแบบเชิงเส้นซึ่งนำไปใช้ในการสร้างบล็อกพื้นฐานแบบแอกทิฟของวงจรกรองขั้นบันไดแบบแพสซีฟอันดับสูง แต่อย่างไรก็ตาม บล็อกพื้นฐานข้างต้นที่กล่าวมานั้น ก็ยังคงมีข้อบกพร่องเกิดขึ้นหลายอย่าง เช่น โครงสร้างของวงจรที่ซับซ้อน การที่ไม่สามารถทำการปรับแต่งค่าได้ทางอิเล็กทรอนิกส์ได้ รวมถึงแบนด์วิธที่ต่ำ และพื้นที่ของวงจรซึ่งมีขนาดใหญ่

ซึ่งจากปัญหาดังกล่าว ก็ได้มีการนำเสนอวงจรกรองอันดับที่สองโดยใช้ซีมอสซึ่งสามารถใช้งานในย่านความถี่สูงและใช้ความต่างศักย์ต่ำ [18] เพื่อขจัดข้อบกพร่องที่เกิดขึ้นมาข้างต้น แต่ถึงกระนั้น ประโยชน์ของวงจรมีก็ยังถูกจำกัดในการประยุกต์ใช้งาน ซึ่งในเวลาเดียวกันนั้น วงจรกรองความถี่ต่ำผ่าน [19] และแถบความถี่ผ่าน [20,21] อันดับสูงโดยใช้ซีมอสซึ่งใช้กราฟการไหลสัญญาณได้ถูกนำเสนอ ซึ่งมีลักษณะเด่นที่น่าสนใจมากมาย เช่น การทำงานในย่านความถี่สูง ความต้องการทางด้านความต่างศักย์ที่ต่ำ การปรับแต่งได้ย่านที่กว้าง และโครงสร้างที่ซับซ้อนน้อย

1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

จากการศึกษาถึงลักษณะและผลลัพธ์การทำงานของวงจรที่ถูกนำเสนอมาในอดีตแล้ว พบว่าบางวงจรใช้พื้นที่บนชิปมาก ซึ่งไม่เหมาะสมในการสร้างเป็นไอซี บางวงจรมีการปรับค่าเงื่อนไขและความถี่การออสซิลเลตที่ไม่แยกจากกันอย่างอิสระ บางวงจรไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ ทั้งยังมีจำนวนอุปกรณ์ที่ใช้งานในวงจรในจำนวนมากเกินไป

วิทยานิพนธ์นี้จึงได้นำเสนอวิธีการอีกแบบ เพื่อให้ก้าวผ่านข้อจำกัดที่เคยเกิดขึ้นในวงจรที่ถูกกล่าวมาในข้างต้น และได้มาซึ่งวงจรกรองที่มีประสิทธิภาพการทำงานที่สูงขึ้นรวมถึงการออกแบบที่ง่ายกว่าที่เคยถูกนำเสนอมาก่อนหน้า โดยในวิทยานิพนธ์นี้จะนำเสนอตัวอย่างวงจรความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงรูปแบบกระแสโดยใช้ชิมอสบนพื้นฐานไบควอตฟังก์ชันที่แตกต่างกัน 3 แบบ ซึ่งมีการใช้วงจรต้นแบบเป็นวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านเซปีเซฟแบบแพสซีฟ จากนั้นจึงใช้วิธีการวิเคราะห์กระแสเมฆและโหนดตามลำดับเพื่อให้ได้มาซึ่งฟังก์ชันไบควอตที่ใช้งาน ซึ่งเมื่อได้ผลลัพธ์เป็นฟังก์ชันส่งผ่านแล้วจึงนำฟังก์ชันมาเพื่อออกแบบวงจรแบบไบควอตทั้ง 3 แบบโดยใช้งานอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียซึ่งสร้างจากชิมอส โดยที่วงจรกรองความถี่ต่ำผ่านจะถูกสร้างโดยใช้วงจรไบควอตแบบที่ 1 และ 2 และวงจรกรองแถบความถี่ผ่านจะถูกสร้างโดยใช้วงจรไบควอตแบบที่ 3 ซึ่งวงจรที่นำเสนอประกอบด้วยทรานซิสเตอร์ 40 และ 39 ตัวตามลำดับโดยใช้งานตัวเก็บประจุต่อลงกราวด์จำนวน 6 ตัวทั้งสองวงจร ซึ่งในการศึกษานั้น จะเริ่มจากการจำลองการทำงานอินทิเกรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสียเพื่อทดสอบประสิทธิภาพ จากนั้นจึงใช้งานร่วมกันเพื่อสร้างเป็นวงจรไบควอต สุดท้ายจึงนำวงจรไบควอตชนิดต่างๆ ที่ทำการสร้างขึ้นมาใช้งานร่วมกันเพื่อให้เกิดผลลัพธ์ขั้นสุดท้ายเป็นวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงรูปแบบกระแสโดยใช้ชิมอสไบควอตฟังก์ชันจากนั้นจึงทำการพิสูจน์ความสามารถในการปรับค่าได้ทางอิเล็กทรอนิกส์และคุณสมบัติด้านสมรรถนะต่างๆของวงจรถูกนำเสนอ

1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์

หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์นี้นั้นมีพื้นฐานมาจากการวิเคราะห์วงจร RLC ต้นแบบด้วยวิธีการแบบเมฆและโหนด และจากฟังก์ชันถ่ายโอนที่ได้มาจากการวิเคราะห์นั้นจะอยู่ในรูปแบบสมการไบควอตเดเรติกซึ่งง่ายต่อการออกแบบและสร้างเป็นวงจรกรองอันดับที่สองโดยใช้ชิมอสระดับทรานซิสเตอร์ ซึ่งสามารถทำงานในย่านความถี่สูงได้ดี การปรับแต่งได้ย่านที่กว้าง และ เมื่อนำมาประกอบกันเป็นวงจรกรองอันดับสูง ก็จะทำให้วงจรที่นำเสนอมีโครงสร้างไม่ซับซ้อน และ ปรับค่าได้กว้าง

โดยในการศึกษานั้น มีการจำลองการทำงานอินทิเกรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสีย จากนั้นจึงใช้งานร่วมกันเป็นวงจรไบควอต สุดท้ายจึงใช้งานวงจรไบควอตข้างต้นร่วมกันเพื่อทำการสังเคราะห์วงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูง โดยมีการอธิบายความสามารถในการปรับค่าได้ทางอิเล็กทรอนิกส์ ซึ่งได้มาจากการปรับค่ากระแสไบอัสตั้งแต่ $1\mu A$ ถึง $100\mu A$ รวมทั้งมีการจำลองการทำงานแบบมัลติโตน และความเพี้ยนอันดับสามจากการมอดูเลตระหว่างกัน เพื่อประเมินประสิทธิภาพการทำงานของวงจรกรองความถี่ต่ำผ่าน และ แถบความถี่ผ่านอันดับสูงซึ่งเป็นที่น่าสนใจว่า วงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงที่น่าเสนอนั้น มีลักษณะเด่นที่น่าสนใจมากมาย กล่าวคือ มีการใช้อุปกรณ์แบบแอกทีฟและพาสซีฟในจำนวนที่น้อย สามารถทำงานที่ย่านความถี่ได้สูง และสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ได้ในช่วงที่กว้าง

1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้มุ่งศึกษาถึงการนำอุปกรณ์แอกทีฟมาประยุกต์ใช้งานเพื่อสร้างวงจรกรองความถี่ต่ำผ่านอันดับสูงโดยใช้ซีมอสไบควอตฟังก์ชัน ซึ่งใช้วงจรกรองแบบพาสซีฟเป็นวงจรต้นแบบและใช้วิธีการวิเคราะห์กระแสเมฆเพื่อให้ได้ไบควอตฟังก์ชัน จากนั้นจึงใช้งานฟังก์ชันดังกล่าวเพื่อสร้างวงจรกรองความถี่ไบควอตโดยใช้มอสทรานซิสเตอร์ และนำวงจรดังกล่าวมาทำการสังเคราะห์วงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงแบบแอกทีฟ รวมทั้งนำเสนอผลการจำลองการทำงานของวงจรเพื่อยืนยันประสิทธิภาพและฟังก์ชันการใช้งาน ซึ่งจากผลลัพธ์แสดงให้เห็นว่าวงจรกรองที่น่าเสนอสามารถทำงานในย่านความถี่สูงและสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ รวมทั้งใช้พลังงานต่ำ

1.5 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บท ดังต่อไปนี้

บทที่ 1 กล่าวถึง ความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ ของวิทยานิพนธ์ หลักการใหม่ที่น่าเสนอในวิทยานิพนธ์ ขอบเขตของวิทยานิพนธ์

บทที่ 2 กล่าวถึง ทฤษฎีที่เกี่ยวข้อง ประกอบด้วย สมการไบควอตตราดิก ซึ่งครอบคลุมตั้งแต่ทฤษฎีไปจนถึงการประยุกต์ใช้ในการสร้างวงจร รายละเอียดเกี่ยวกับมอสทรานซิสเตอร์ ประเภทของอินทิเกรเตอร์ทั้งแบบที่เป็นอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสีย จากนั้นจึงนำมาสู่หลักการสังเคราะห์ตัวแปรแบบกระแสเมฆและโหนดโดยใช้ไบควอตฟังก์ชัน และสุดท้ายเป็นการประมาณค่าฟังก์ชันวงจรกรองความถี่

บทที่ 3 กล่าวถึง หลักการและงานวิจัยที่เคยถูกนำเสนอแล้วในอดีต ซึ่งจะบอกถึงหลักการ อุปกรณ์ที่ถูกใช้ในการนำเสนอ ผลการทำงานของวงจรถูกนำเสนอ และสุดท้ายจะกล่าวถึงการสรุปประเด็น ข้อดีข้อเสียของแต่ละวงจรถูกนำเสนอในอดีต เพื่อให้เห็นถึงจุดบกพร่องหรือจุดที่ควรนำไปต่อยอดเพิ่มเติม

บทที่ 4 กล่าวถึง วงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้ซีมอสไบควอต ฟังก์ชันประกอบด้วย บทนำ การวิเคราะห์วงจรชั้นบันไดแบบกระแสผสมและโหนด การวิเคราะห์วงจรกรองชั้นบันได ทั้งแบบที่เป็นวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่าน จากนั้นเมื่อได้ผลการวิเคราะห์แล้วจึงนำมาสู่การการสร้างวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดต่างๆ เพื่อรองรับการวิเคราะห์ที่เกิดขึ้น จากนั้นจึงนำมาสร้างวงจรกรองชนิดชั้นบันไดโดยใช้ซีมอสไบควอตฟังก์ชัน การวิเคราะห์ความไม่ เป็นอุดมคติของวงจรถูกนำเสนอ และสุดท้ายเป็นผลการจำลองการทำงานของวงจรถูกนำเสนอ

บทที่ 5 กล่าวถึง บทสรุปและข้อเสนอแนะ ประกอบด้วย บทสรุปการวิจัย และข้อเสนอแนะ ซึ่งเป็นการกล่าวถึงข้อดี ข้อเสีย จุดเด่น และจุดด้อยของวงจรถูกนำเสนอ เพื่อให้ผู้อ่านสามารถนำไปวิเคราะห์ และต่อยอด เพื่อพัฒนาให้วงจรถูกนำเสนอในอนาคตร มีความสมบูรณ์มากยิ่งขึ้น

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

ในบทนี้จะเป็นการกล่าวถึงทฤษฎีที่เกี่ยวข้องกับการศึกษาและออกแบบวงจรที่นำเสนอของวิทยานิพนธ์นี้ โดยจะเริ่มจากคุณสมบัติและลักษณะทั่วไปของมอสทรานซิสเตอร์และการทำงานในโหมดต่างๆกัน จากนั้นจึงศึกษาเกี่ยวกับอินทิเกรเตอร์ชนิดสูญเสีย(วงจรรองความถี่ต่ำผ่าน) เพื่อที่จะได้นำมาใช้งานร่วมกันเป็นวงจร เมื่อได้ผลลัพธ์แล้วจึงนำไปเทียบเคียงกับทฤษฎีสมการไปควอดตราติก และสุดท้ายจึงสามารถนำทฤษฎีที่ได้กล่าวถึงในบทนี้ไปทำการสังเคราะห์เป็นวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงต่อไป

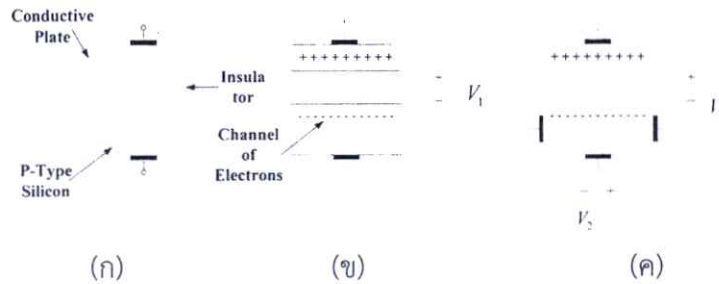
2.1 มอสทรานซิสเตอร์

ในปัจจุบันวงการไมโครอิเล็กทรอนิกส์นั้นมีการใช้งานอุปกรณ์ที่ถูกเรียกว่ามอสเฟท (Metal oxide Semiconductor Field Effect Transistor : MOSFET) หรือเรียกว่ามอสทรานซิสเตอร์ (MOS Transistor) ซึ่งในทางทฤษฎีแล้วเกิดขึ้นมาตั้งแต่ปี 1930 แต่ถูกสร้างขึ้นเป็นครั้งแรกในปี 1960 โดยที่มอสเฟทนั้นได้นำเสนอคุณสมบัติที่ไม่มีใครเหมือน ซึ่งเป็นผลให้เกิดการปฏิวัติของอุตสาหกรรมสารกึ่งตัวนำ ซึ่งการปฏิวัติครั้งนี้ส่งผลให้เกิดไมโครโปรเซสเซอร์ซึ่งมีทรานซิสเตอร์ภายในถึง 100 ล้านตัว วงจรรวมหน่วยความจำที่ประกอบไปด้วยทรานซิสเตอร์หนึ่งพันล้านตัว รวมถึงวงจรรีเลย์ที่ยุ่งยากซับซ้อนที่ให้ความสามารถในการประมวลสัญญาณที่ดีเยี่ยม [25]

ในหัวข้อถัดไปนั้นจะเป็นการวิเคราะห์โครงสร้างและทฤษฎีการทำงานของมอสเฟท รวมทั้งแบบจำลองที่พิสูจน์แล้วว่ามีความประโยชน์ในการออกแบบวงจร

2.1.1 โครงสร้างและการทำงานของมอสทรานซิสเตอร์

เพื่อที่จะกล่าวถึงลักษณะโครงสร้างของมอสทรานซิสเตอร์ต่างๆไป เราจะเริ่มด้วยรูปทรงพื้นฐาน ซึ่งประกอบด้วย แผ่นตัวนำไฟฟ้า (conductive) เช่น แผ่นโลหะ ฉนวนไฟฟ้า (insulator) และส่วนที่เป็นซิลิกอนประเภท P (P-Type Silicon) ดังแสดงในรูปที่ 2.1 (ก) ซึ่งโครงสร้างดังกล่าวจะประกอบด้วยตัวเก็บประจุ (capacitor) เนื่องจากส่วนที่เป็นซิลิกอนจะทำการ “mirroring” ประจุซึ่งอยู่บนแผ่นด้านบน



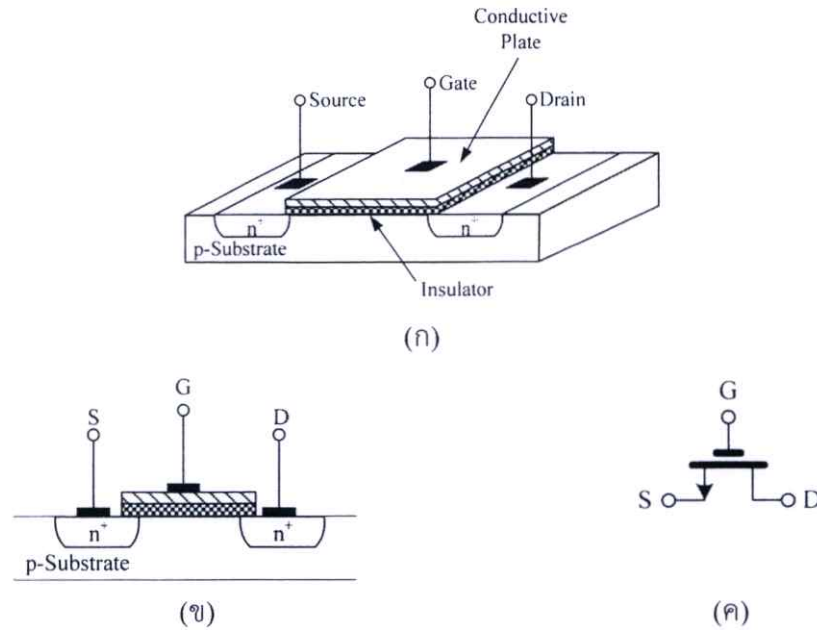
รูปที่ 2.1 (ก) อุปกรณ์เซมิคอนดักเตอร์สมมุติฐาน (ข) การทำหน้าที่เป็นตัวเก็บประจุไฟฟ้า (ค) กระแสที่ไหลผ่านเนื่องจากความผลของความต่างศักย์ [4]

จากนั้นเมื่อเราทำการต่อความต่างศักย์ (V_1) เข้าไปยังโครงสร้างดังแสดงในรูปที่ 2.1 (ข) แล้วประจุไฟฟ้าที่เป็นบวกจะไปยังส่วนที่เป็นแผ่นตัวนำไฟฟ้า และดึงดูดประจุที่เป็นลบ เช่น อิเล็กตรอน ไปยังส่วนที่เป็นซิลิกอน และส่วนที่เป็นแชนแนลของอิเล็กตรอน (Channel of Electrons) จะถูกสร้างระหว่างผิวหน้าของแผ่นตัวนำและซิลิกอน และทำหน้าที่เป็นตัวเก็บประจุอย่างดีในกรณีที่ความหนาแน่นของอิเล็กตรอนสูงพอสมควร โดยจุดสำคัญของส่วนนี้ คือ ความหนาแน่นของอิเล็กตรอน (Q) นั้นจะขึ้นอยู่กับ V_1 ดังสมการ $Q = CV$ โดยที่ C คือ ความจุไฟฟ้า (Capacitance) ระหว่างแผ่นทั้งสอง

ความสัมพันธ์ระหว่างความหนาแน่นของอิเล็กตรอนซึ่งขึ้นอยู่กับ V_1 นั้นนำไปสู่คุณสมบัติที่น่าสนใจ โดยในรูปที่ 2.1 (ค) ถ้าให้กระแสไหลจากซ้ายไปขวาผ่านส่วนที่เป็นซิลิกอนแล้ว V_1 สามารถควบคุมกระแสที่ไหลผ่านได้โดยการปรับความต้านทานของแชนแนล ซึ่งเมื่อเป็นเช่นนี้แล้วจะทำให้รองรับกับจุดประสงค์ในการสร้างอุปกรณ์ที่เป็นแหล่งจ่ายกระแสควบคุมด้วยแรงดัน (Voltage-Controlled Current Source : VCCS)

จากสมการ $Q = CV$ แสดงให้เห็นว่า เมื่อต้องการให้ Q สามารถควบคุมได้โดย V แล้ว ค่าของ C จะต้องมีค่าสูงที่สุด ซึ่งโดยความสามารถของเทคโนโลยีการผลิตซิลิกอนแล้วสามารถทำการลดความหนาของชั้นฉนวนไฟฟ้าระหว่างแผ่นทั้งสองลงได้ แต่ในปัจจุบันนั้นชั้นฉนวนไฟฟ้าที่มีความหนา 20 นาโนเมตร (20 Å) นั้นได้รับการพิสูจน์แล้วว่ามีความจำเป็นต่อความก้าวหน้าอย่างรวดเร็วของอุปกรณ์ไมโครอิเล็กทรอนิกส์

จากแนวคิดข้างต้นจะนำไปสู่ลักษณะโครงสร้างของมอสทรานซิสเตอร์ต่างๆไป ซึ่งประกอบด้วย เดรน (Drain region: D) เกท (Gate region: G) และซอร์ส (Source region: S) ดังรูปที่ 2.2 (ก)

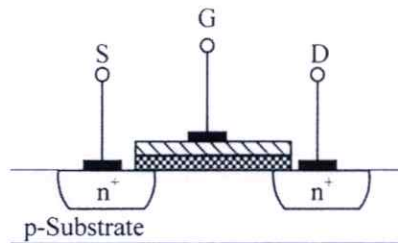


รูปที่ 2.2 (ก) ลักษณะโครงสร้างของมอสทรานซิสเตอร์ (ข) ภาพตัดขวาง (ค) สัญลักษณ์ทางไฟฟ้า [4]

ส่วนที่เป็นเกต (Gate) นั้นจะเป็นบริเวณที่เชื่อมระหว่างเดรนกับซอร์ส โดยประกอบด้วยแผ่นตัวนำชั้นบนสุด (Conductive Plate) ซึ่งอยู่ถูกวางบนชั้นถัดมาที่เป็นฉนวน (Insulator) เช่น ออกไซด์ (Oxide) ของสารกึ่งตัวนำที่ใช้ ซึ่งส่วนประกอบทั้งหมดนั้น จะถูกวางบนชั้นล่างสุดที่เป็นซิลิกอนประเภท P ที่ถูกใช้เป็นฐานรอง และเพื่อให้กระแสสามารถไหลผ่านส่วนที่เป็นซิลิกอนจะต้องทำการเพิ่มส่วนต่อเชื่อม 2 อันซึ่งเป็นสารเจือประเภท N ไปยังซิลิกอนเนื่องจาก ถ้าทำการเชื่อมต่อแผ่นตัวนำโดยตรงไปยังซิลิกอนแล้ว จะไม่สามารถสร้างรอยต่อโอห์มมิก (Ohmic contact) ที่ดีได้ โดยส่วนเชื่อมต่อทั้งสองนี้เรียกว่า ซอร์ส (Source) และเดรน (Drain) โดยที่ ซอร์ส (Source) ทำหน้าที่เป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไฟฟ้าของมอส และเดรน (Drain) ทำหน้าที่เป็นทางขาออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากซอร์ส ซึ่งภาพหน้าตัดของมอสทรานซิสเตอร์นั้น สามารถแสดงได้ดังรูปที่ 2.2 (ข) และสัญลักษณ์ทางวงจรของมอสทรานซิสเตอร์แสดงดังรูปที่ 2.2 (ค) โดยที่ลูกศรแสดงถึงเทอร์มินัลของซอร์ส

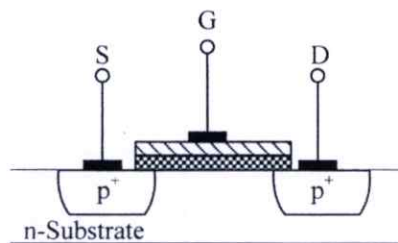
ลักษณะโครงสร้างของมอสทรานซิสเตอร์ที่บริเวณเกตประกอบไปด้วย Metal-Oxide-Semiconductor ดังนั้นมอสทรานซิสเตอร์จึงมีกระแสไหลได้น้อยมากเนื่องจากมีชั้นของฉนวนกันอยู่ ดังนั้นในการใช้งานมอสทรานซิสเตอร์ต้องการเพียงแหล่งจ่ายความต่างศักย์ที่เกตเท่านั้น ไม่ต้องการแหล่งจ่ายกระแส จึงทำให้มอสทรานซิสเตอร์มีการสูญเสียพลังงาน (Power Consumption) ต่ำนั่นเอง สำหรับเดรนและซอร์สนั้น ปกติจะมีโครงสร้างเหมือนกันทุกประการจึงสามารถใช้สลับกันได้อันเป็นคุณสมบัติพิเศษอีกประการ

ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแส สามารถแบ่งเป็น 2 ชนิด คือ เอ็นแชนเนล มอสทรานซิสเตอร์ (N-Channel MOS Transistor: NMOS) และพีแชนเนลมอสทรานซิสเตอร์ (P-Channel MOS Transistor: PMOS) ดังแสดงในรูปที่ 2.3 และรูปที่ 2.4 ตามลำดับ



รูปที่ 2.3 มอสทรานซิสเตอร์ชนิด NMOS [4]

NMOS เป็นการนำประจุลบ หรืออิเล็กตรอน (Electron) ในการนำกระแส จึงทำให้ Drain และ Source เป็นสารกึ่งตัวนำชนิดเอ็น (n-type Semiconductor) ดังนั้นกระแสจะสามารถเคลื่อนที่ระหว่าง Drain และ Source ได้ บริเวณช่องทางเดินกระแสต้องเป็นสารกึ่งตัวนำชนิด P (p-type Semiconductor)



รูปที่ 2.4 มอสทรานซิสเตอร์ชนิด PMOS [4]

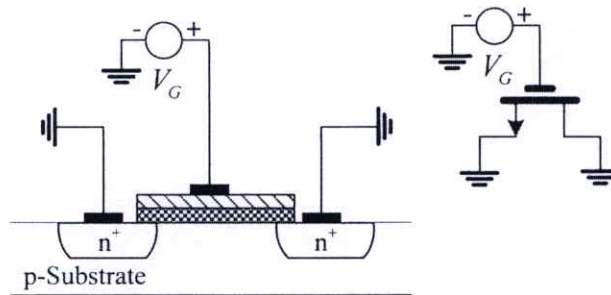
PMOS เป็นการนำประจุบวก หรือโฮล (Hole) ในการนำกระแส จึงทำให้ Drain และ Source เป็นสารกึ่งตัวนำชนิดพี (p-type Semiconductor) ดังนั้นกระแสจะสามารถเคลื่อนที่ระหว่าง Drain และ Source ได้ บริเวณช่องทางเดินกระแสต้องเป็นสารกึ่งตัวนำชนิด N (n-type Semiconductor)

2.1.2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์

จากการศึกษาโครงสร้างอย่างง่ายจากรูปที่ 2.1 และรูปที่ 2.2 ทำให้เราทราบว่า MOSFET นั้นจะเป็นสื่อไฟฟ้าระหว่างซอร์สและเดรนเมื่อแชนเนลของอิเล็กตรอนถูกสร้างขึ้นโดยการทำให้ความต่างศักย์ในส่วนของเกตมีค่าเป็นบวกที่เพียงพอ และนอกจากนั้น เรายังต้องการให้ขนาดของกระแสสามารถควบคุมผ่านทางความต่างศักย์ของขาเกตอีกด้วย

เนื่องจาก MOSFET ประกอบด้วย 3 เทอร์มินัล เราจะพบความสัมพันธ์ที่หลากหลายของความต่างศักย์และกระแสของแต่ละเทอร์มินัล โดยเมื่อกระแสที่ขาเกตเข้าใกล้ศูนย์ กระแสที่เราสนใจจะเป็น

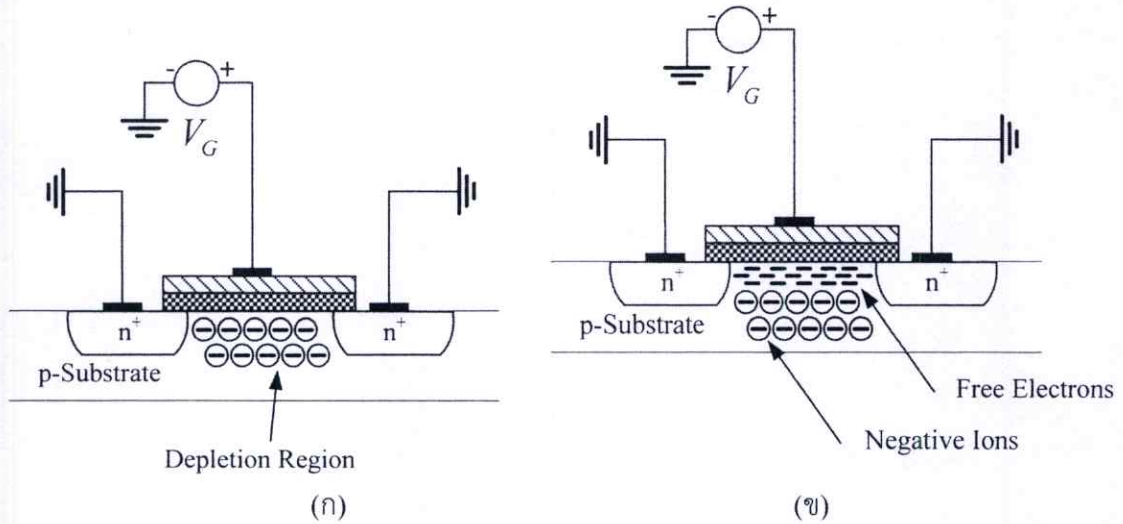
กระแสที่ไหลผ่านระหว่างชาซอร์สและเดรน ซึ่งเราจะทำการศึกษาความสัมพันธ์ของกระแสในสองลักษณะ คือ ความสัมพันธ์ของกระแสซึ่งแปรผันกับความต่างศักย์ของชาเกตเมื่อความต่างศักย์ที่ชาเดรนมีค่าคงที่ และความสัมพันธ์ของกระแสซึ่งแปรผันกับความต่างศักย์ของชาเดรนเมื่อความต่างศักย์ที่ชาเกตมีค่าคงที่ โดยเริ่มพิจารณาจากรูปที่ 2.5 เมื่อชาซอร์สและเดรนลงกราวด์และมีความต่างศักย์ของชาเกต



รูปที่ 2.5 MOSFET ที่มีความต่างศักย์ที่ชาเกต

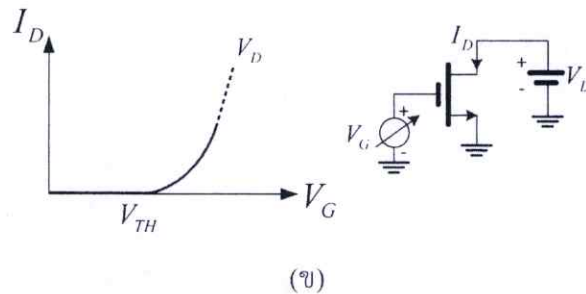
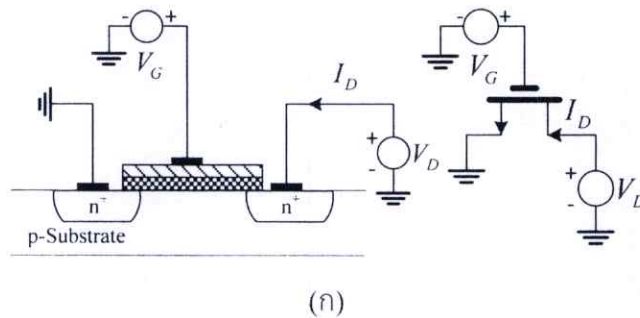
จากนั้นเมื่อค่า V_G เพิ่มขึ้นดังรูปที่ 2.6 (ก) ประจุบวกที่เกตจะถูก mirrored โดยประจุลบที่ฐานรองของสารกึ่งตัวนำ (p-Substrate) และจากที่ได้กล่าวในหัวข้อข้างต้นว่าอิเล็กตรอนจะถูกดึงดูดไปยังส่วนที่เป็นผิวสัมผัส ซึ่งในความเป็นจริงแล้ว จะเกิดปรากฏการณ์ซึ่งเป็นขั้นตอนก่อนที่จะเกิดแชลแนลขึ้น โดยเมื่อค่า V_G เพิ่มขึ้นจากศูนย์ ประจุบวกที่เกตจะทำการผลักโฮลซึ่งอยู่ในฐานรอง ดังนั้นจึงก่อให้เกิดไอออนลบภายในฐานรองและมีการสร้างบริเวณปลอดพาหะ (Depletion region) ขึ้นดังรูป ซึ่งในสภาวะนี้อุปกรณ์จะประพฤติตัวเป็นตัวเก็บประจุ และในสภาวะนี้แชลแนลจะยังไม่ถูกสร้างขึ้น ดังนั้นกระแสจะไม่สามารถไหลผ่านจากซอร์สไปยังเดรนได้ และกล่าวได้ว่า MOSFET อยู่ในสถานะ OFF

เมื่อค่า V_G เพิ่มขึ้น ไอออนลบจะเพิ่มมากขึ้นและบริเวณปลอดพาหะจะมีความลึกลงไป ซึ่งถ้าค่า V_G นั้นเป็นบวกมากเพียงพอแล้ว อิเล็กตรอนที่วางอยู่จะถูกดึงดูดไปยังผิวสัมผัสและก่อให้เกิดแชลแนลที่นำไฟฟ้า (Conductive channel) ขึ้นดังรูปที่ 2.6 (ข) ซึ่งกล่าวได้ว่า MOSFET ในขณะนี้อยู่ในสถานะ ON โดยความต่างศักย์ที่เกตซึ่งก่อให้เกิดแชลแนลนี้จะถูกเรียกว่า แรงดันเทรชโฮลด์ (Threshold Voltage, V_{TH}) ซึ่งค่านี้จะอยู่ระหว่าง $300mV$ ถึง $500mV$



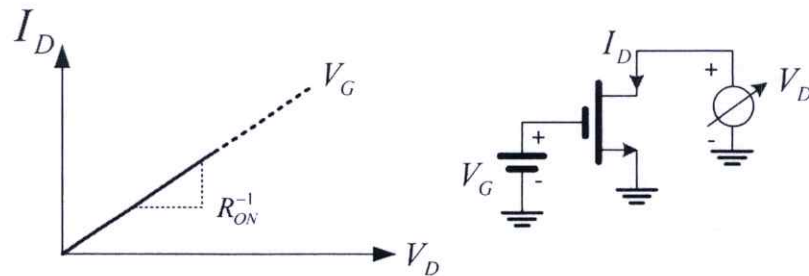
รูปที่ 2.6 (ก) บริเวณปลอดพาหะ (Depletion region) (ข) แชนแนลของ MOSFET

จากรูปที่ 2.6 (ข) จะเห็นได้ว่ายังไม่มีกระแสไหลระหว่างชาซอร์สและเดรนเนื่องจากเทอร์มินัลทั้งสองมีค่าเท่ากัน แต่เมื่อทำการเพิ่มความต่างศักย์ที่ชาเดรนดังรูปที่ 2.7 (ก) และทำการวิเคราะห์กระแสที่เดรน(หรือซอร์ส) โดยถ้า $V_G < V_{TH}$ แล้วจะไม่มีแชนแนลเกิดขึ้น รวมถึงอุปกรณ์จะอยู่ในสถานะ OFF และค่า $I_D = 0$ โดยไม่ขึ้นอยู่กับค่าของ V_D ในทางกลับกันถ้า $V_G > V_{TH}$ แล้วค่า $I_D > 0$ ดังรูปที่ 2.7 (ข)

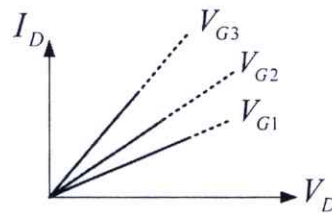


รูปที่ 2.7 (ก) MOSFET ที่มีความต่างศักย์ที่ชาเกตและเดรน (ข) ความสัมพันธ์ของกระแสเดรนกับแรงดันที่ชาเกต [4]

ในความเป็นจริงแล้ว เส้นทางระหว่างขาเดรนและซอร์สจะประพฤติตัวเป็นความต้านทาน โดยจะมีลักษณะเป็นดังรูปที่ 2.8 (ก) โดยที่ความชันของคุณลักษณะเฉพาะของกระแสและแรงดันนั้นจะมีค่าเท่ากับ $1/R_{ON}$ โดยที่ R_{ON} แสดงถึงค่า “on-resistance” ของทรานซิสเตอร์



(ก)



(ข)

รูปที่ 2.8 (ก) ความสัมพันธ์ของกระแสกับแรงดันที่ขาเดรน (ข) ความสัมพันธ์ของกระแสกับแรงดันที่ขาเดรนเมื่อมีการเปลี่ยนแปลงแรงดันที่ขาเกต

ในรูปที่ 2.8 (ข) แสดงถึงกรณีที่ว่า V_G เพิ่มขึ้น ซึ่งโดยเมื่อความหนาแน่นของอิเล็กตรอนในแชนแนลที่เพิ่มมากขึ้นทำให้ค่าของ R_{ON} มีค่าลดลง และส่งผลให้ความชันของคุณลักษณะเฉพาะของกระแสและแรงดันมีค่ามากขึ้น โดยรูปที่ 2.8 (ข) นั้นยังช่วยเสริมแนวคิดของความต้านทานที่ขึ้นอยู่กับแรงดันไฟฟ้า (voltage-dependent resistance) อีกด้วย

เมื่อเกิดความต่างศักย์ขึ้นระหว่างปลายทั้งสองข้างของแชนแนลอิเล็กตรอนในแชนแนลจะถูกดึงดูดไปที่ขาเดรน จึงทำให้เป็นการเพิ่มอิเล็กตรอนความร้อนเคลื่อนที่แบบไม่มีทิศทาง โดยการเคลื่อนที่อย่างไม่สม่ำเสมอเป็นเหตุมาจากกระแสไหลเมื่อค่า V_G น้อยๆ ทำให้แชนแนล แสดงตัวเป็นความต้านทาน ดังสมการที่ (2.1)

$$I_D \approx \frac{V_D}{R} \quad (2.1)$$

โดยที่ความต้านทานของแชนแนลมีค่า ดังสมการที่ (2.2)

$$R = \frac{L}{W \mu_n |Q_n|} \quad (2.2)$$

โดยที่ μ_n คือ ค่าความคล่องของอิเล็กตรอน, Q_n คือ ความเข้มข้นของประจุอิเล็กตรอนในแชนแนล และ V_G เป็นแรงดันที่ขาเกต มีสองเทอมเป็น $(V_G - V_{TH})$ ได้เป็น

$$Q = -C_{ox}(V_G - V_{TH}) \quad (2.3)$$

โดยที่ $C_{ox} = \frac{\epsilon_{ox}}{l}$ คือ ค่าความจุ (ต่อหนึ่งหน่วยพื้นที่) ของชั้นออกไซด์ที่กั้นระหว่างเกตกับแชนแนล ซึ่งใช้ในกรณีของ V_D มีค่าน้อยๆ ($V_D \ll (V_G - V_{TH})$) ได้เป็น

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_{TH}) V_D \quad (2.4)$$

ซึ่งมอสทรานซิสเตอร์แสดงตัวเป็นความต้านทาน ซึ่งควบคุมโดย V_G มีสมการเป็น

$$R = \left(\mu_n C_{ox} \frac{W}{L} (V_G - V_{TH}) \right)^{-1} \quad (2.5)$$

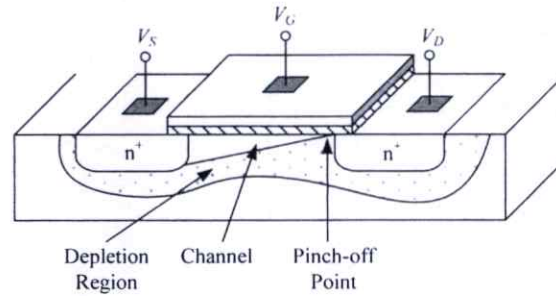
เมื่อ V_D เพิ่มขึ้น และไม่พิจารณา V_G เพียงอย่างเดียวได้ ดังนั้นสมการที่ได้จึงไม่สามารถใช้ได้ โดยศักดิ์ของแชนแนลที่ชาซอร์สมีค่าเป็น 0 ในขณะที่เดียวกันที่ชาเดรนมีค่าเป็น V_D โดยสามารถสมมติค่าแรงดันเฉลี่ยในแชนแนลมีค่าเท่ากับ $V_D/2$ จึงเป็นผลให้ค่าแรงดันเฉลี่ยระหว่างเกตกับแชนแนลมีค่าเป็น $(V_G - V_D/2)$ แล้วนำไปแทน V_G ในสมการที่ (2.4) ได้เป็น

$$I_D = \mu_n C_{ox} \frac{W}{L} \left(V_G - V_{TH} - \frac{V_D}{2} \right) V_D \quad (2.6)$$

ซึ่งในสมการที่ (2.6) เป็นการประมาณที่ใช้ได้ดีในกรณีที่ $V_D < (V_G - V_{TH})$ ซึ่งเรียกช่วงการทำงานของมอสทรานซิสเตอร์นี้ว่าช่วง Linear Region หรือ Ohmic Region หรือ Triode Region

เมื่อ $V_D > (V_G - V_{TH})$ จะก่อให้เกิดปรากฏการณ์อีกอย่างหนึ่งขึ้น โดยพิจารณาจากรูปที่ 2.9 แสดงถึงความต่างศักย์ที่แปรเปลี่ยนไปภายในแชนแนล และปริมาณความเข้มข้นของประจุที่ Q_n ที่ค่อยๆ ลดลงเมื่อใกล้กับชาเดรน ถ้าชาเดรนมีแรงดันเท่ากับ $V_D = (V_G - V_{TH})$ ทำให้แรงดันระหว่างขาเกตกับแชนแนลมีค่าไม่เพียงพอที่จะรักษาสภาพของแชนแนล Depletion Region จะแผ่ไปรอบๆ ชาซอส แชนแนล และชาเดรน ซึ่งเรียกปรากฏการณ์นี้ว่า Pinch-off ดังแสดงในรูปที่ 2.9 จะเห็นจุด Pinch-off เคลื่อนที่ไปทาง

ชาซอร์สเมื่อแรงดันที่ชาเดรนเพิ่มขึ้น ซึ่งในขณะนี้แขนแนลได้แผ่จากชาซอร์สไปถึงจุด Pinch-off ได้ซาเกท โดยช่วงระหว่างจุด Pinch-off จะเป็น Depletion Region อิเล็กตรอนจากแขนแนลจะถูกดึงดูดจากจุด Pinch-off ไปที่ Depletion Region และไปยังที่ชาเดรน โดยสนามไฟฟ้าที่เกิดจากความต่างศักย์ที่ชาเดรนกับจุด Pinch-off



รูปที่ 2.9 โมสทรานซิสเตอร์ในกรณีที่มีมัตว [25]

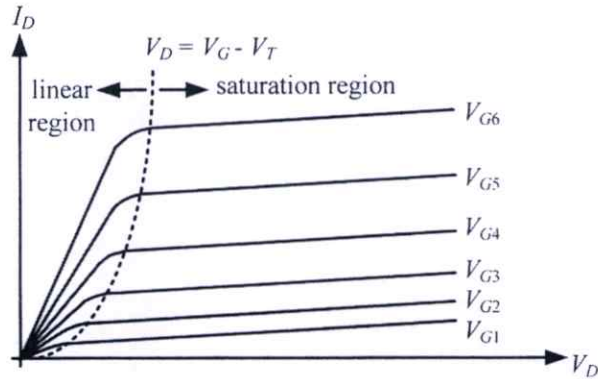
โดยที่แรงดัน $V_{DS} \triangleq (V_D - V_S)$ จะถูกแบ่งเป็นสองส่วน คือ ส่วนที่เป็นแขนแนลระหว่างชาซอร์สกับจุด Pinch-off และส่วนที่ Depletion Region ระหว่างจุด Pinch-off กับชาเดรน ซึ่งจุดนี้มีค่าความต้านทานสูงกว่า และค่า V_{DS} ส่วนใหญ่จะอยู่ในส่วนนี้ เมื่อทำการเพิ่มค่า I_D ขึ้นไปก็เป็นการประมาณค่าที่ใช้ได้ดี ผลที่ได้เมื่อแรงดันที่ Depletion Region เพิ่มขึ้นจะทำให้กระแส I_D เมื่อ $V_D > (V_G - V_{TH})$ ดังสมการที่ (2.7)

$$I_D(V_D) \approx I_{D,sat} \triangleq I_D(V_{D,sat}) \quad (2.7)$$

โดยที่

$$I_{D,max} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_G - V_{TH})^2 \quad (2.8)$$

จากสมการที่ (2.8) เห็นได้ว่ากระแส I_D จะเพิ่มขึ้นเมื่อ L ลดลง ทำให้มีผลกระทบอีกอย่างหนึ่งของค่า L ที่เกิดขึ้นเรียกว่า Channel Length Modulation โดยทำการคูณสมการที่ (2.8) ด้วย $(1 + \lambda V_D)$ ซึ่งค่าของ λ จะเป็นค่าคงที่ซึ่งแปรผกผันกับค่า L โดยทั่วไป เช่น ถ้า $L = 10 \mu m$ แล้วค่า λ จะมีค่าเท่ากับ $0.03 V^{-1}$ หรือก็คือ $\lambda \propto 1/L$



รูปที่ 2.10 ความสัมพันธ์ของกระแสเดรนและแรงดันเดรนกับชาซอร์ส [25]

ซึ่งความสัมพันธ์ของแรงดัน V_G กับกระแส I_D ในกรณีที่แรงดันที่ขาเกตคงที่ และ มอสทรานซิสเตอร์ทำงานในย่านอิมิตัว สามารถเขียนเป็นกราฟได้ดังรูปที่ 2.7 (ข) และรูปที่ 2.10 แสดง ความสัมพันธ์ระหว่างกระแสเดรน และแรงดันที่ขาเดรนกับซอร์ส โดยเปลี่ยนค่า V_G โดยที่ $V_{G1} < V_{G2} < V_{G3} < V_{G4} \dots$

การทำงานของมอสทรานซิสเตอร์เป็นลักษณะของการใช้แรงดันไฟฟ้าควบคุมปริมาณของกระแส โดย สมการกระแสเดรนของมอสทรานซิสเตอร์ถูกคิดขึ้น โดย S. Shichman และ D. Hodges [5], [6] ดังสมการที่ (2.9) แสดงคุณสมบัติการทำงานของมอสทรานซิสเตอร์

$$I_D = K' \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS}; V_{GS} > V_{TH} \quad (2.9)$$

โดยที่ K' = ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_o C_{ox}$

μ_o = ค่าความคล่องของโฮล หรืออิเล็กตรอน (Surface Mobility of Carrier)

C_{ox} = ค่าความจุต่อพื้นที่เกตออกไซด์ (Capacitance per Unit Area of The Gate Oxide)

W = ความกว้างของแชนแนล (Channel Width)

L = ความยาวของแชนแนล (Channel Length)

V_{GS} = แรงดันระหว่างขาเกตกับชาซอร์ส

V_{TH} = แรงดันขีดเริ่ม (Threshold Voltage)

V_{DS} = แรงดันระหว่างขาเดรนกับชาซอร์ส

I_D = กระแสเดรน

มอสทรานซิสเตอร์มีการทำงานแบ่งเป็น 3 ช่วง ซึ่งแต่ละช่วงการทำงานขึ้นอยู่กับค่า $V_{GS} - V_{TH}$ และค่า V_{DS} โดยในกรณีที่ค่า $V_{GS} - V_{TH}$ เป็นศูนย์ หรือเป็นค่าลบ มอสทรานซิสเตอร์จะอยู่ในช่วงไม่นำกระแส (Cut-Off Region) หรือ

$$I_D = 0; |V_{GS}| - |V_{TH}| < 0 \quad (2.10)$$

ในช่วงไม่นำกระแสนี้ ช่องนำกระแสจะทำตัวเหมือนวงจรเปิด ถ้าค่า $|V_{GS}| - |V_{TH}| > 0$ และ $0 < |V_{DS}| < |V_{GS}| - |V_{TH}|$ แล้วมอสทรานซิสเตอร์จะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Triode Region)

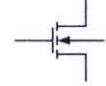
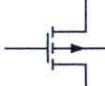
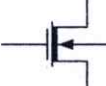
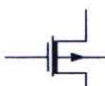
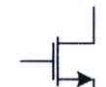



$$I_D = K' \frac{W}{L} \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS} \quad (2.11)$$

ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $|V_{DS}| > |V_{GS}| - |V_T|$ มอสทรานซิสเตอร์จะทำงานอยู่ในช่วงของการนำกระแสอิ่มตัว (Saturation Region)

$$I_D = K' \frac{W}{2L} (V_{GS} - V_{TH})^2 \quad (2.12)$$

2.1.3 สัญลักษณ์ของมอสทรานซิสเตอร์

สัญลักษณ์ของมอสทรานซิสเตอร์สามารถบอกได้ว่าเป็นมอสทรานซิสเตอร์ชนิด N หรือ P โดยดูที่หัวลูกศรที่ขาซอร์ส ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น PMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี้ (Body) หรือฐานรอง (Substrate) หรือบางที่อาจเรียกว่า Bulk โดยถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น NMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น PMOS อีกทั้งสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด หรือมอสทรานซิสเตอร์แบบดีพลีชันโหมด ดังแสดงในรูปที่ 2.11

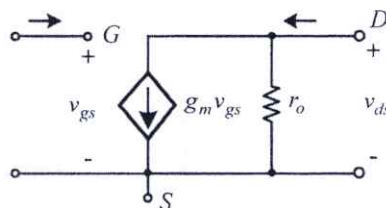
NMOS	PMOS	MODE
		Enhancement
		Depletion
		Enhancement
		Depletion

รูปที่ 2.11 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ [25]

2.1.4 วงจรเสมือนสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

วงจรเสมือนสัญญาณขนาดเล็ก (Small-Signal Equivalent Circuit) [26] ของมอสทรานซิสเตอร์นำไปใช้ในการวิเคราะห์ผลตอบสนองของสัญญาณ มอสทรานซิสเตอร์จะมีพฤติกรรมเป็นแรงดันควบคุมแหล่งกำเนิดกระแส (Voltage-Controlled Current Source) โดยให้สัญญาณ v_{gs} ทำให้เกิดกระแส $g_m v_{gs}$ ทางด้านขาเดรน ความต้านทานที่อินพุตจะมีค่าสูงมากและเป็นอนันต์ในทางอุดมคติ โดยมีตัวต้านทาน r_o ต่ออยู่ระหว่างขาเดรนและขาซอส ดังแสดงในรูปที่ 2.12 เมื่อกระแสที่ขาเกตจะมีค่าน้อยมากจนเกือบจะเป็นศูนย์ทำให้ที่ขาเกตมีลักษณะเหมือนเปิดวงจร สามารถหาค่าแรงดัน v_{ds} ได้ดังนี้

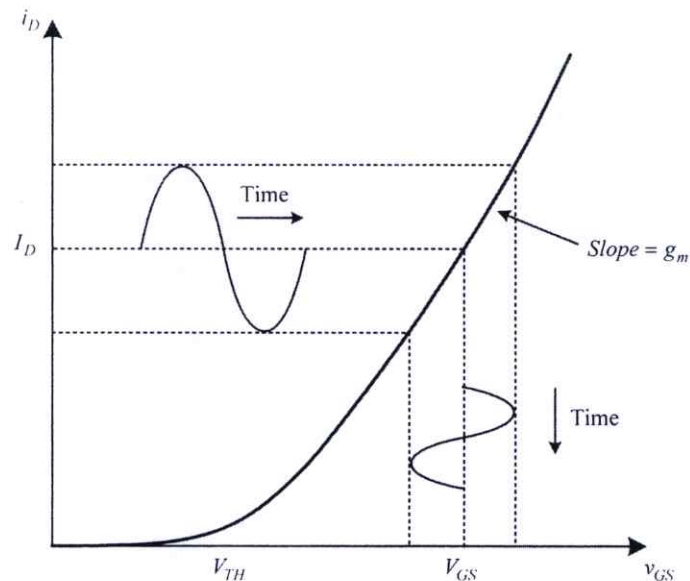
$$v_{ds} = i_d r_o - r_o g_m v_{gs} \quad (2.13)$$



รูปที่ 2.12 วงจรสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ [25]

ค่าความต้านทานทางด้านเอาต์พุตคือส่วนกลับค่าความชันของกราฟความสัมพันธ์ระหว่าง I_{DS} และ V_{DS} สามารถหาค่าได้ดังนี้

$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\lambda I_D} \quad (2.14)$$



รูปที่ 2.13 กราฟแสดงความสัมพันธ์ระหว่าง i_D และ v_{GS} [7]

ค่าทรานส์คอนดักแตนซ์ (g_m) คือค่าความชันของกราฟดังรูปที่ 2.13 และถูกกำหนดด้วยค่าของกระแสเดรนและแรงดันระหว่างขาเกตและซอร์สซึ่งเขียนได้ดังนี้

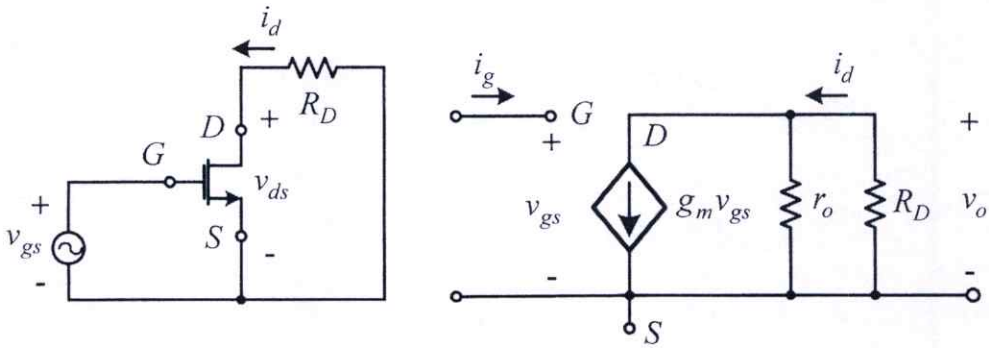
$$g_m = \frac{\partial i_D}{\partial v_{GS}} \quad (2.15)$$

กำหนดให้ $i_D \approx I_D$, $v_{GS} \approx V_{GS}$ และ $v_{DS} \approx V_{DS}$ ดังนั้นค่าทรานส์คอนดักแตนซ์สามารถหาค่าได้ดังนี้

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = 2K(V_{GS} - V_{TH}) \quad (2.16)$$

$$= \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (2.17)$$

โดยที่ $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$



รูปที่ 2.14 รูปวงจรสัญญาณขนาดเล็ของวงจรขยาย [26]

จากรูปที่ 2.14 ค่าความต้านทานอินพุตของวงจรสัญญาณขนาดเล็สามารถหาได้ดังนี้

$$R_i = \frac{v_{gs}}{i_g} = \infty \quad (2.18)$$

ความต้านทานทางด้านเอาต์พุตหาได้โดยใช้หลักการ Thevenin's equivalent พิจารณาทางด้านเอาต์พุตโดยที่ $v_{gs} = 0$ สามารถหาได้ดังนี้

$$R_o = r_o \parallel R_D \quad (2.19)$$

เขียนแรงดันเอาต์พุตของสัญญาณขนาดเล็ (V_o) ได้ดังนี้

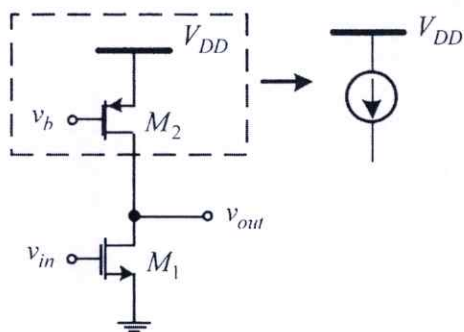
$$v_o = -g_m (r_o \parallel R_D) v_{gs} \quad (2.20)$$

และอัตราขยายของสัญญาณขนาดเล็คือ

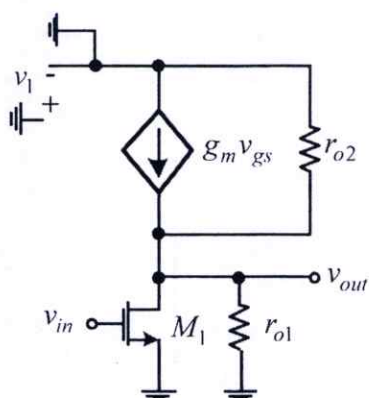
$$A_{vo} = \frac{v_o}{v_{gs}} = -g_m (r_o \parallel R_D) v_{gs} \quad (2.21)$$

ถ้าแทนค่า $r_o = V_M / I_D$ จะได้ว่า

$$A_{vo} = -g_m \left(\frac{V_M R_D}{V_M + I_D R_D} \right) \quad (2.22)$$



(ก)



(ข)

รูปที่ 2.15 (ก) ชุดแหล่งจ่ายกระแส โดยใช้ PMOS (ข) วงจรเสมือนขนาดเล็ก [25]

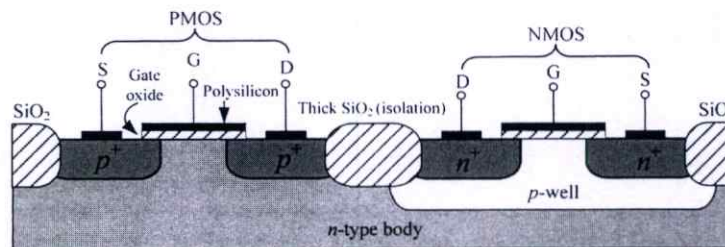
จากรูปที่ 2.15 (ก) เป็นการใช้นิยาม PMOS แทนการใช้แหล่งจ่ายกระแสให้กับ NMOS พิจารณารูปที่ 2.15 (ข) เพื่อหาอัตราขยายของสัญญาณขนาดเล็กและความต้านทานทางด้านเอาต์พุต กำหนดให้แรงดันเกตและซอส มีค่าคงที่ทำให้มอสทรานซิสเตอร์ M_2 ทำงานเป็นตัวต้านทานเพราะ $v_1 = 0$ และ $g_{m2}v_1 = 0$ ทำให้สามารถหาสมการได้ดังนี้

$$A_{vo} = -g_{m1}(r_{o1} \parallel r_{o2}) \quad (2.23)$$

$$R_{out} = r_{o1} \parallel r_{o2} \quad (2.24)$$

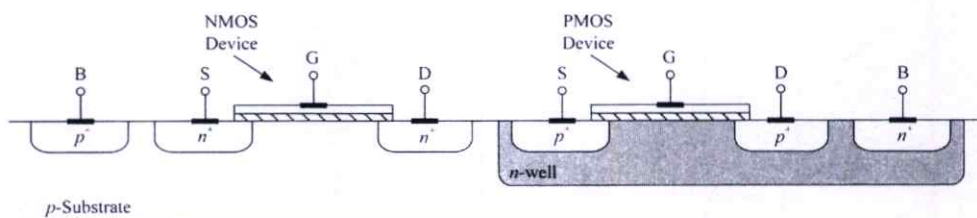
2.1.5 เทคโนโลยีของซีมอส

ซีมอส (Complementary MOS: CMOS) [25] เรียกได้ว่าเป็นการสร้างโดยใช้เทคโนโลยี มอสทรานซิสเตอร์ทั้ง NMOS และ PMOS บนแผ่นฐานรองเดียวกัน ถึงแม้ว่าการสร้างวงจรโดยใช้ เทคโนโลยีซีมอสนั้นค่อนข้างซับซ้อนกว่าทรานซิสเตอร์ NMOS หรือ PMOS แต่ถือได้ว่าเป็นประโยชน์ อย่างมากในการออกแบบวงจรเป็นเทคโนโลยีวงจรรวม โดยสามารถประยุกต์ใช้ได้ทั้งวงจรรวมแบบ อนุาลอกและแบบดิจิทัล



รูปที่ 2.16 วงจรรวมซีมอสสร้างบนฐานรองชนิดเอ็น [25]

จากรูปที่ 2.16 แสดงให้เห็นในส่วนของการสร้างชิปซีมอสโดยใช้ทรานซิสเตอร์ PMOS และ NMOS โดยสังเกตได้ว่าทรานซิสเตอร์ PMOS สร้างได้บนฐานรองชนิดเอ็น (*n*-type body) ในขณะที่ ทรานซิสเตอร์ NMOS ต้องสร้างบ่อพี (*p*-well)



รูปที่ 2.17 วงจรรวมซีมอสสร้างบนฐานรองชนิดพี [25]

จากรูปที่ 2.17 เป็นการสร้างชิปซีมอสโดยใช้ทรานซิสเตอร์ PMOS ที่ล้อมรอบด้วยบ่อเอ็น (*n*-well) ในขณะที่ทรานซิสเตอร์ NMOS อยู่ในฐานรองชนิดพี (*p*-substrate)

เมื่อพิจารณาโมสทรานซิสเตอร์แบบเอ็นฮาซันเมนท์โหมดทางกายภาพในรูปที่ 2.16 และรูปที่ 2.17 เห็นได้ว่าวงจรรวมซีมอสประกอบไปด้วยช่องทางเดินกระแสชนิดเอ็นและช่องทางเดินกระแสชนิดพี ซึ่งจำเป็นอย่างมากในการทำให้ฐานรองชนิดเอ็นและชนิดพีในวงจรรวมซีมอสแยกจากกันทางไฟฟ้า ดังเช่นรูปที่ 2.16 ดังนั้นกระบวนการสร้างบ่อพีแยก (*p*-well) ถูกใช้เป็นเทคนิคการสร้างวงจรรวมซีมอส โดย

เริ่มต้นจากการโอบสารซิลิคอนชนิดเอ็นต่ำๆ ซึ่งช่องทางเดินกระแสชนิดพีของมอสทรานซิสเตอร์ถูกสร้างขึ้น ต่อมาเป็นกระบวนการสร้างบ่อพีแยก โดยมีช่องทางเดินกระแสเป็นชนิดเอ็นของมอสทรานซิสเตอร์

2.2 อินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสีย

2.2.1 อินทิเกรเตอร์ชนิดสูญเสีย(วงจรรองความถี่ต่ำผ่าน)

ในการออกแบบวงจรรองความถี่ชนิดต่างๆ ข้างต้นนั้น เราจำเป็นที่จะต้องใช้งานวงจรย่อยซึ่งเป็นวงจรอันดับที่หนึ่ง ซึ่งก็คือ วงจรอินทิเกรเตอร์ และดิฟเฟอเรนเชียลเอเตอร์ ซึ่งจากวงจรที่กล่าวมานั้น วงจรย่อยที่นิยมนำมาออกแบบอย่างแพร่หลายในปัจจุบัน คือ อินทิเกรเตอร์ ซึ่งเราจะทำการกล่าวถึงในที่นี้

ในการวิเคราะห์โครงข่ายส่วนที่ต้องให้ความสำคัญในการวิเคราะห์ คือ เฟส (Phase) และ ขนาด (Magnitude) เทียบกับความถี่ที่ถูวิเคราะห์ [27] ซึ่งทำได้โดยการพล็อตกราฟ โดยฟังก์ชันโครงข่ายสามารถเขียนได้ดังสมการ

$$H(s) = \frac{N(s)}{D(s)} = k \frac{\prod_{i=1}^n (s - z_i)}{\prod_{i=1}^m (s - p_i)} \quad (2.25)$$

โดยที่ค่าของโพลและซีโรสามารถเป็นได้ทั้งค่าจำนวนจริงหรือเชิงซ้อนจึงต้องเขียนสมการให้อยู่ในรูปของขนาด $H(j\omega)$ ในรูปของเดซิเบล (Decibel) ได้เป็น

$$\text{Magnitude} = 20 \log_{10} |H(j\omega)| \quad (2.26)$$

$$\text{Magnitude} = 20 \log_{10} |k| + \sum_{i=1}^n 20 \log_{10} |j\omega - z_i| - \sum_{i=1}^m 20 \log_{10} |j\omega - p_i| \quad (2.27)$$

และเฟสในรูปขององศาหรือเรเดียน (Radians) สามารถเขียนได้เป็น

$$\text{Phase} = \tan^{-1} \frac{I_m H(j\omega)}{R_e H(j\omega)} \quad (2.28)$$

$$\text{Phase} = \sum_{i=1}^n \tan^{-1} \left(\frac{I_m(j\omega - z_i)}{R_e(j\omega - z_i)} \right) - \sum_{i=1}^m \tan^{-1} \left(\frac{I_m(j\omega - p_i)}{R_e(j\omega - p_i)} \right) \quad (2.29)$$

การคำนวณแบบละเอียดทำให้เห็นว่ามีความยุ่งยาก ซึ่งโดยส่วนมากแล้วใช้การประมาณการเพื่อนำมาพล็อตกราฟซึ่งสามารถใช้ได้เช่นกัน ในการประมาณการพล็อตกราฟในลักษณะของฟังก์ชันขนาดและเฟสจะเรียกกันว่ากราฟพล็อต Bode (Bode Plot) ซึ่งเป็นวิธีการที่ไม่ยุ่งยากมากนัก

ในส่วนของตัวประกอบในรูปแบบ $N(s)$ หรือ $D(s)$ ของอินทิเกรเตอร์ชนิดสูญเสียจะอยู่ในรูปของ $\frac{\alpha}{s+\alpha}$ เป็นหลักเนื่องจากใช้โครงข่ายการส่งผ่านอันดับที่หนึ่ง โดยวิเคราะห์ตัวประกอบของฟังก์ชันในกรณีนี้ที่ $H(s) = s + \alpha$ สามารถนำมาหาค่าขนาดและเฟสได้โดยมีค่าเท่ากับ

$$\text{Magnitude} = 20 \log_{10} |j\omega + \alpha| = 20 \log_{10} (\omega^2 + \alpha^2)^{\frac{1}{2}} \quad (2.30)$$

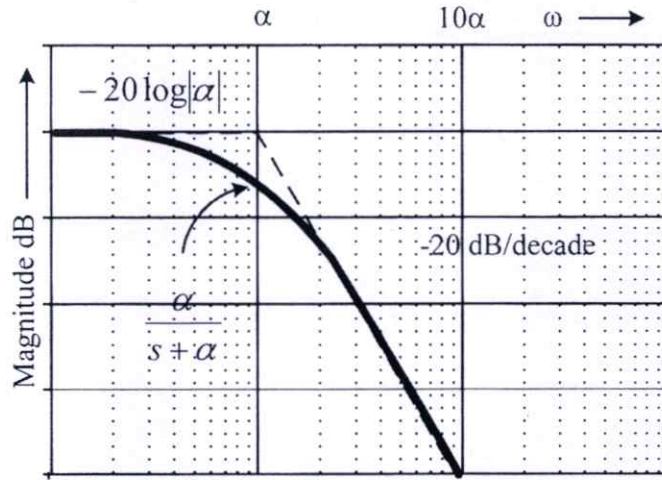
$$\text{Phase} = \tan^{-1} \left(\frac{\omega}{\alpha} \right) \quad (2.31)$$

จากนั้น ทำการวิเคราะห์ด้วยส่วนกลับของตัวประกอบซึ่งตรงกับสมการส่งผ่านของวงจรองความถี่ต่ำผ่านอันดับที่หนึ่งโดยพล็อตขนาดและเฟสของ $\frac{\alpha}{s+\alpha}$

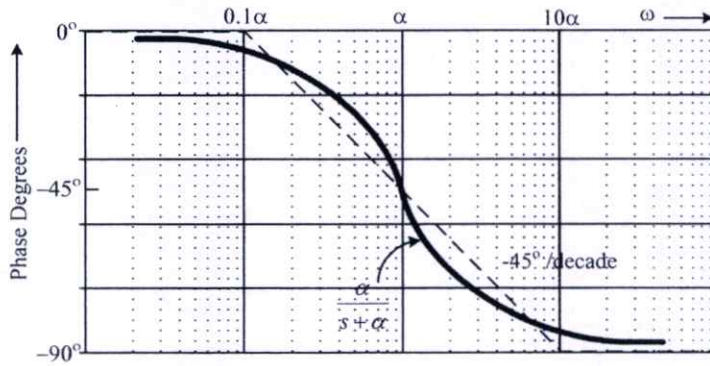
จากสมการที่ (2.31) สามารถแสดงเฟสได้เป็นเส้นกราฟดังรูปที่ 2.19 โดยที่เฟสจากความถี่ 0° ไปจนถึงความถี่สูงสุดที่ 90° ที่เป็นจริงถูกแสดงเป็นเส้นทึบ และเส้นที่ประมาณค่าซึ่งประมาณ $45^\circ/\text{decade}$ ถูกแสดงเป็นเส้นประ ปรากฏว่าที่ความถี่ $\omega = \alpha$ นั้น เฟสมีการเลื่อนไป 45°

ขนาดและเฟสของกรณีโพลเป็น $s = -\alpha$ สามารถแทนด้วยสมการ $\frac{\alpha}{s+\alpha}$ ซึ่งแสดงไว้ดังรูปที่ 2.18 และรูปที่ 2.19 ตามลำดับ

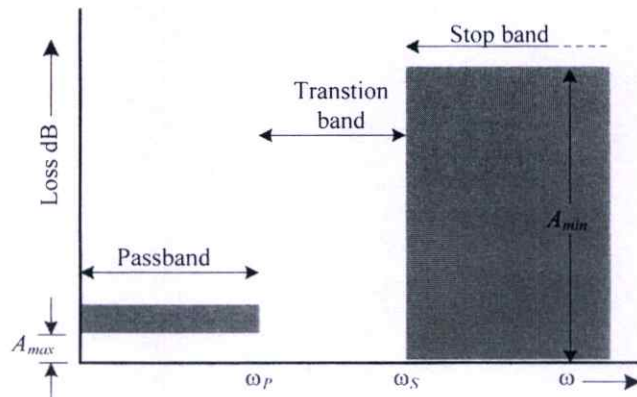
ฟังก์ชันพื้นฐานของวงจรองความถี่ต่ำผ่าน ยอมให้ความถี่ต่ำผ่านได้โดยมีค่าการสูญเสีย (Loss) ต่ำมาก แต่ที่ความถี่สูงนั้นทำหน้าที่เป็นตัวลดทอนสัญญาณ (Attenuator) คุณสมบัติทั่วไปของวงจรองความถี่ต่ำผ่านถูกแสดงในรูปที่ 2.20 วงจรองความถี่ต่ำผ่านทำหน้าที่ผ่านสัญญาณ ตั้งแต่ย่าน DC ไปจนถึงจุดความถี่คัตออฟ (Cut-Off) (ω_p) มีการลดทอนเท่ากับ $\max A(\text{dB})$ ถูกเรียกว่าแถบความถี่ผ่าน (Pass Band) และ เมื่อความถี่สูงกว่า ω_s มีการลดทอนเท่ากับ $\max A(\text{dB})$ ย่านความถี่จาก ω_s ไปจนถึงความถี่อนันต์ถูกเรียกว่าแถบความถี่หยุด (Stop Band) และ ω_s เรียกว่าขอบความถี่หยุด ช่วงความถี่ระหว่าง ω_p ไปจนถึง ω_s ถูกเรียกว่าแถบเปลี่ยนผ่านความถี่ (Transition Band)



รูปที่ 2.18 พล็อตขนาดของ $\frac{\alpha}{s + \alpha}$

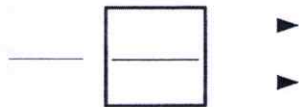


รูปที่ 2.19 พล็อตเฟสของ $\frac{\alpha}{s + \alpha}$



รูปที่ 2.20 คุณสมบัติของอินทิเกรเตอร์ชนิดสูญเสีย

บล็อกของอินทิเกรเตอร์ชนิดสูญเสีย (Lossy Integrator) ซึ่งประกอบด้วยอินทิเกรเตอร์และเอาต์พุต 2 พอร์ต คือ และสามารถแสดงได้ดังรูปที่ 2.21



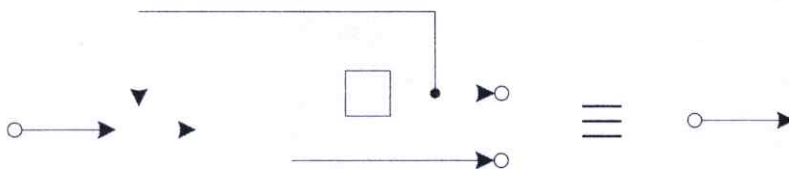
รูปที่ 2.21 บล็อกของอินทิเกรเตอร์แบบสูญเสีย

ฟังก์ชันถ่ายโอนสามารถเขียนได้ดังสมการ

$$H(s) = \frac{1}{s} \left(1 + \frac{1}{s} \right)$$

2.2.2 การสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียจากอินทิเกรเตอร์ชนิดสูญเสีย

การสร้างวงจรอินทิเกรเตอร์แบบไม่สูญเสีย (Lossless integrator) สามารถขยายแบบกลับเฟสที่เอาต์พุต แล้วป้อนกลับมายังอินพุตดังในรูปที่ 2.22 จากวิธีการสร้างอินทิเกรเตอร์แบบไม่สูญเสียที่มีเอาต์พุตเป็น และ โดยมีเฟสต่างกัน



รูปที่ 2.22 การสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียจากอินทิเกรเตอร์ชนิดสูญเสีย

จากรูปที่ 2.22 สามารถเขียนฟังก์ชันการถ่ายโอนได้ดังสมการ

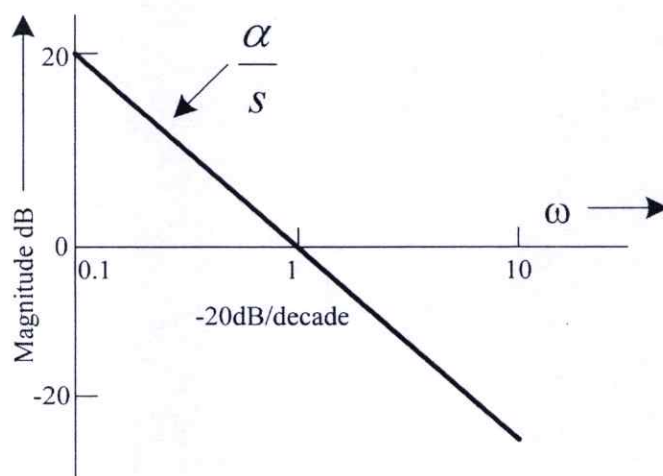
$$H(s) = \frac{1}{s} \left(1 - \frac{1}{s} \right)$$

ในกรณีเดียวกัน เมื่อพิจารณาเมื่อบริการที่จุดกำเนิดตัวประกอบ s คือ ค่าขนาดจุดกำเนิด แทนที่ด้วยฟังก์ชัน สามารถนำมาหาค่าได้โดยมีค่าเท่ากับ

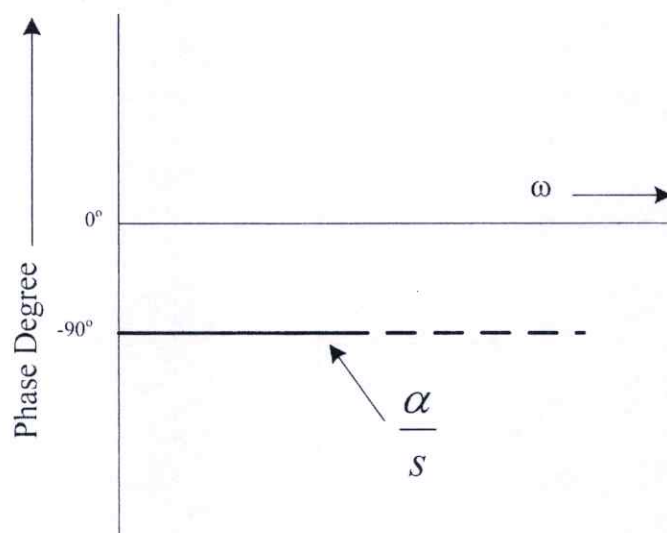
$$\text{Magnitude} = 20 \log_{10} \left| \frac{1}{j\omega} \right| = -20 \log_{10} \omega \quad (2.35)$$

$$\text{Phase} = \tan^{-1}(0) - \tan^{-1}\left(\frac{\omega}{0}\right) = -90^\circ \quad (2.36)$$

จากขนาด และ เฟสที่ได้จากสมการ (2.35) และ (2.36) สามารถนำไปพล็อตได้เป็นดังรูปที่ 2.23 และ รูปที่ 2.24 ตามลำดับ โดยจะเห็นได้ว่าค่าของขนาดจะลดลง 20 dB เมื่อความถี่นั้นเพิ่มขึ้น 10 เท่า และค่าของความชันดังกล่าวนี้ มีค่าเท่ากับ -20dB/decade นั้นเอง



รูปที่ 2.23 พล็อตขนาดของ $\frac{\alpha}{s}$

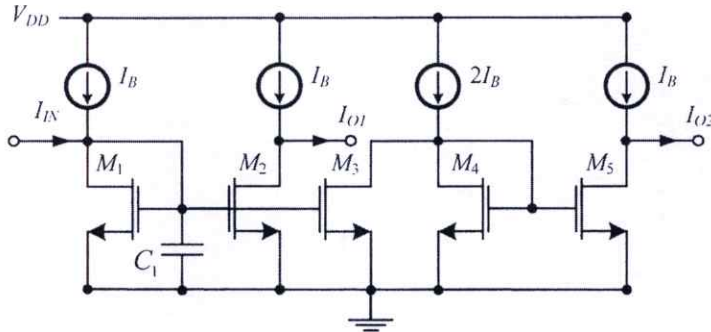


รูปที่ 2.24 พล็อตเฟสของ $\frac{\alpha}{s}$

2.2.3 การสร้างอินทิเกรเตอร์โดยใช้ซีมอส

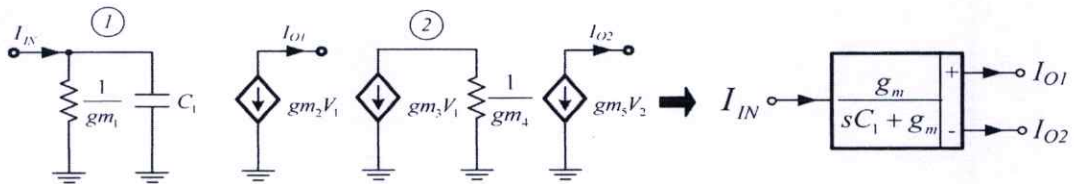
ในการสร้างอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอสจากบล็อกในรูปที่ 2.21 สามารถแสดงได้ดังรูปที่

2.25



รูปที่ 2.25 วงจรอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอส

โดยแบบจำลองสัญญาณขนาดเล็ก (Small signal model) และบล็อกไดอะแกรมของวงจรในรูปที่ 2.25 สามารถแสดงได้ดังรูปที่ 2.26

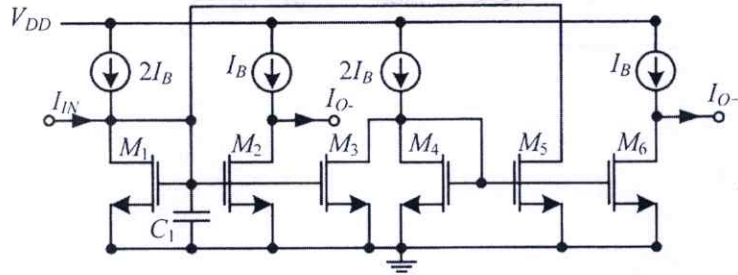


รูปที่ 2.26 แบบจำลองสัญญาณขนาดเล็ก และบล็อกไดอะแกรมของวงจรในรูปที่ 2.25

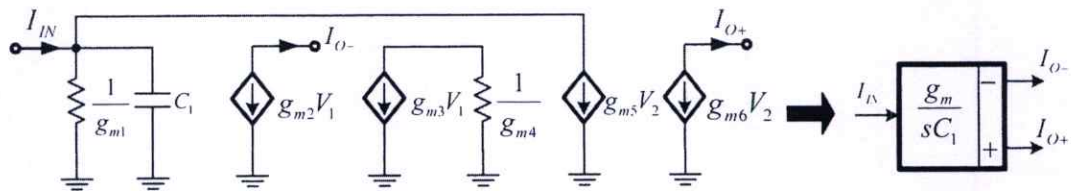
เมื่อใช้กฎของเคอร์ชอฟฟ์ทำการวิเคราะห์ห้วงจรในรูปที่ 2.26 โดยสมมติให้ค่าทรานสคอนดักแตนซ์ (g_m) เป็นค่าคงที่ ฟังก์ชันการถ่ายโอนกระแสสามารถเขียนได้ดังสมการ

$$\frac{I_{O1}}{I_{IN}} = \frac{-I_{O2}}{I_{IN}} = \frac{-g_m}{sC_1 + g_m} \tag{2.37}$$

การสร้างอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอสจากบล็อกในรูปที่ 2.22 สามารถแสดงได้ดังรูปที่ 2.27 โดยนำอินทิเกรเตอร์ชนิดสูญเสีย (M_1, M_2 และ M_3) ในรูปที่ 2.25 ต่อกับวงจรขยายกลับเฟส (M_4 และ M_5) จากนั้นทำการป้อนกลับไปยังกระแสอินพุต เอادتพุตที่ได้มี 2 พอร์ต คือ กระแสเอาต์พุตบวก (I_{O+}) ที่ M_6 และกระแสเอาต์พุตลบ (I_{O-}) ที่ M_2 ตามลำดับ



รูปที่ 2.27 วงจรอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอส



รูปที่ 2.28 แบบจำลองสัญญาณขนาดเล็ก และบล็อกไดอะแกรมของวงจรในรูปที่ 2.27

เมื่อทำการวิเคราะห์ที่ใช้กฎของเคอร์ชอฟฟ์ ฟังก์ชันการถ่ายโอนกระแสของแบบจำลองสัญญาณขนาดเล็กในรูปที่ 6 สามารถเขียนได้ดังสมการ

$$\frac{I_{O-}}{I_{IN}} = -\frac{g_{m2}g_{m4}}{sC_1g_{m4} + g_{m3}g_{m5} - g_{m1}g_{m4}} \quad (2.38)$$

$$\frac{I_{O+}}{I_{IN}} = \frac{g_{m3}g_{m6}}{sC_1g_{m4} - g_{m3}g_{m5} + g_{m1}g_{m4}} \quad (2.39)$$

สมมติให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัว ($M_1 - M_6$) มีค่าเท่ากัน ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$) ฟังก์ชันการถ่ายโอนกระแสของรูปที่ 2.27 สามารถเขียนใหม่ได้ดังสมการ

$$\frac{I_{O-}}{I_{IN}} = -\frac{g_m}{sC_1} \quad (2.40)$$

$$\frac{I_{O+}}{I_{IN}} = \frac{g_m}{sC_1} \quad (2.41)$$

2.3 สมการไบควอดเรติก

2.3.1 ทฤษฎีสมการไบควอดเรติก

เราจะเริ่มต้นด้วยพิจารณาโดยใช้ฟังก์ชันอันดับที่สอง (second-order function) [24] ดังนี้

$$H(s) = K \frac{(s+z_1)(s+z_2)}{(s+p_1)(s+p_2)} \quad (2.42)$$

ซึ่งฟังก์ชันดังกล่าวนั้นเป็นที่รู้จักกันว่าเป็นสมการไบควอดเรติก (biquadratic) และยังเป็นบล็อกพื้นฐานที่ใช้งานสำหรับการสังเคราะห์วงจรกรองประเภทแอดทีฟขนาดใหญ่ ซึ่งจากสมการข้างต้นสามารถเขียนได้เป็น

$$H(s) = K \frac{s^2 + (z_1 + z_2)s + z_1 z_2}{s^2 + (p_1 + p_2)s + p_1 p_2} \quad (2.43)$$

โดยที่โพลและซีโรในสมการข้างต้นมีค่าเท่ากับ

$$\begin{aligned} z_1 &= \text{Re } z_1 + j \text{Im } z_1 \\ z_2 &= \text{Re } z_1 + j \text{Im } z_1 \\ p_1 &= \text{Re } p_1 + j \text{Im } p_1 \\ p_2 &= \text{Re } p_1 + j \text{Im } p_1 \end{aligned}$$

ดังนั้น

$$H(s) = K \frac{s^2 + (2 \text{Re } z_1)s + (\text{Re } z_1)^2 + \text{Im}(z_1)^2}{s^2 + (2 \text{Re } p_1)s + (\text{Re } p_1)^2 + \text{Im}(p_1)^2} \quad (2.44)$$

คู่ของโพลสามารถเขียนแทนได้ในรูปของ ω_p (ความถี่โพล) และ Q_p (โพล Q) และในทางเดียวกันคู่ของซีโรสามารถอธิบายโดย ω_z และ Q_z เช่นกัน ดังนั้น สมการข้างต้นสามารถเขียนได้ในรูปของตัวแปรดังนี้

$$H(s) = K \frac{s^2 + \frac{\omega_z}{Q_z} s + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \quad (2.45)$$

รูปแบบของสมการไบควอดเตรติกนั้นมียุทธวิธีอย่างง่ายในการวาด (sketching) ของฟังก์ชัน ดังแสดงด้านล่าง โดยที่ DC gain จะมีค่า

$$20 \log_{10} \left| K \frac{\omega_z^2}{\omega_p^2} \right| \quad (2.46)$$

และความถี่ของเกนเมื่อเป็นอนันต์จะเป็น

$$20 \log_{10} |K| \quad (2.47)$$

โดยค่าสูงสุดของโพลจะเกิดขึ้นเมื่อค่านั้นเป็น ω_p และสำหรับสมการไบควอดเตรติกซึ่งซีโรนั้นห่างจากโพล โดยประมาณ $\omega_z/\omega_p \gg 1$ หรือ $\omega_p/\omega_z \gg 1$ แล้ว ตำแหน่งของค่าสูงสุดนั้นจะไม่ถูกผลกระทบจากซีโร ซึ่งจากสมการข้างต้น ค่าความถี่โพลจะเกี่ยวข้องกับตำแหน่งของโพลใน s plane ดังสมการ

$$\omega_p = \sqrt{(\text{Re } p_1)^2 + (\text{Im } p_1)^2} \quad (2.48)$$

ซึ่งค่าดังกล่าวจะเป็นค่ารัศมีจากจุดเริ่มต้นไปยังตำแหน่งของโพล และในทางเดียวกัน สมการไบควอดเตรติกจะมีค่าต่ำสุดเมื่อตัวเลขเศษของเศษส่วนมีค่าน้อยที่สุด ซึ่งค่าต่ำสุดนี้จะเกิดขึ้นเมื่อ $s = j\omega \cong j\omega_z$ สำหรับ $Q_z \gg 1$ และความถี่ซีโร ω_z จะเกี่ยวข้องกับตำแหน่งของซีโรโดย

$$\omega_z = \sqrt{(\text{Re } z_1)^2 + (\text{Im } z_1)^2} \quad (2.49)$$

โพล Q ซึ่งอธิบายความแหลม (sharpness) ของ bump ที่ ω_p สามารถหาได้จากสมการ (2.44) และ (2.45) ดังนี้

$$Q_p = \frac{\omega_p}{(bw)_p} = \frac{\sqrt{(\text{Re } p_1)^2 + (\text{Im } p_1)^2}}{2 \text{Re } p_1} \quad (2.50)$$

และซีโร Q สามารถหาได้จาก

$$Q_z = \frac{\omega_z}{(bw)_z} = \frac{\sqrt{(\text{Re } z_1)^2 + (\text{Im } z_1)^2}}{2 \text{Re } z_1} \quad (2.51)$$

โดยที่ซีโรนั้นมักจะอยู่บนแกน $j\omega$ ในกรณีที่ $Q_z = \infty$ ซึ่งสามารถสรุปสมการไบควอดเตรติกที่ผ่านมาได้ดังนี้

- ค่าสูงสุดที่เกิดขึ้นจะอยู่ประมาณที่ ω_p
- ค่าต่ำสุดที่เกิดขึ้นจะอยู่ประมาณที่ ω_z
- Q_p คือตัวชี้วัดความแหลมของค่าสูงสุด
- Q_z คือตัวชี้วัดความแหลมของค่าต่ำสุด
- ขนาดของ DC มีค่าเท่ากับ $20 \log_{10} |K \omega_z^2 / \omega_p^2|$
- ความถี่เมื่อขนาดมีค่านันต์ มีค่าเท่ากับ $20 \log_{10} |K|$

2.3.2 การประยุกต์ใช้สมการไบควอดเตรติกในการสร้างวงจร

ตัวอย่างการประยุกต์ใช้งานสมการไบควอดเตรติกในการสร้างวงจรมัน คือ การใช้งานออปแอมป์จำนวน 3 ตัวเพื่อทำการสร้างวงจรกรองความถี่อันดับที่สองซึ่งมีเอาต์พุตหลายอันโดยมีคุณสมบัติเพิ่มเติมในการใช้งาน คือ ค่า ω_o , Q , และค่าเกนของตัวกรองสามารถปรับแต่งได้แบบอิสระ [2]

โพลของวงจรที่นำเสนอจะได้อาจมาจากค่าเฉลี่ยของอินทิเกรเตอร์สองตัวในวงจรป้อนกลับ (feedback loop) ซึ่งนี่เป็นเหตุผลที่วงจรนี้จะถูกเรียกว่า วงจรไบควอดแบบป้อนกลับโดยใช้อินทิเกรเตอร์สองตัว

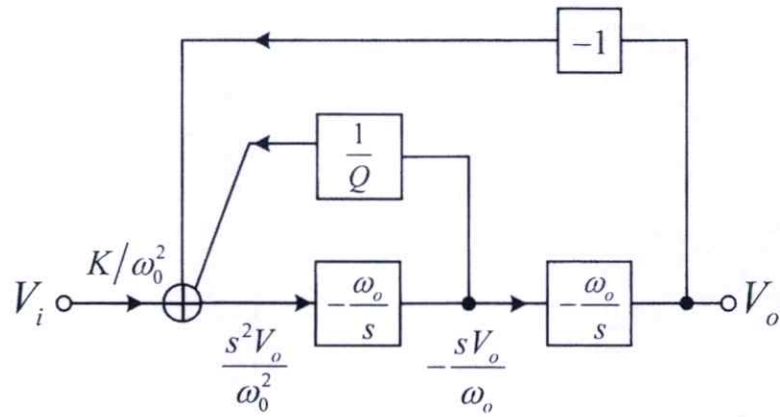
ในการพัฒนานั้น เราจะเริ่มด้วยการคำนวณเพื่อหาค่าของสมการเชิงอนุพันธ์ (Differential Equations) โดยพิจารณาอัตราส่วนของความต่างศักย์ V_o และ V_i ของฟังก์ชันวงจรกรองความถี่ต่ำผ่านอันดับที่สองดังนี้

$$\frac{V_o}{V_i} = \frac{K}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2} \quad (2.52)$$

ซึ่งสามารถเขียนได้เป็น

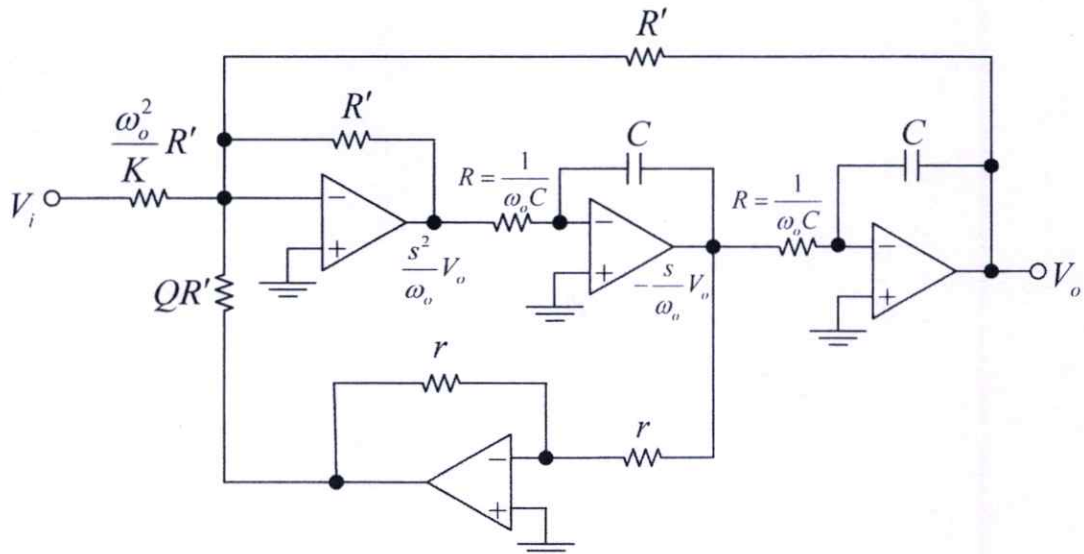
$$\frac{s^2}{\omega_o^2} V_o = \frac{K}{\omega_o^2} V_i - \frac{1}{Q} \frac{s}{\omega_o} V_o - V_o \quad (2.53)$$

จะเห็นได้ว่า V_o นั้นสามารถหาได้จาก $(s^2/\omega_o^2)V_o$ หรือในทางกลับกัน พจน์ที่เป็น $(s^2/\omega_o^2)V_o$ สามารถหาได้จากค่าผลรวมของพจน์ทั้งสามทางด้านขวามือในสมการ (2.53) โดยเราสามารถเขียนสมการ (2.53) ให้อยู่ในรูปแบบของบล็อกพื้นฐานดังรูปที่ 2.29



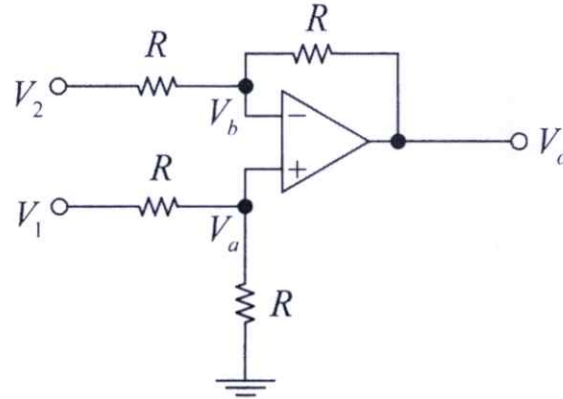
รูปที่ 2.29 บล็อกพื้นฐานของสมการ (2.53)

จากนั้นเมื่อทำการใช้งาน Op-Amp เพื่อทำกระบวนการรวมและอินทิเกรต (summing and integration operation) แล้ว เราจะได้วงจรดังรูปที่ 2.30



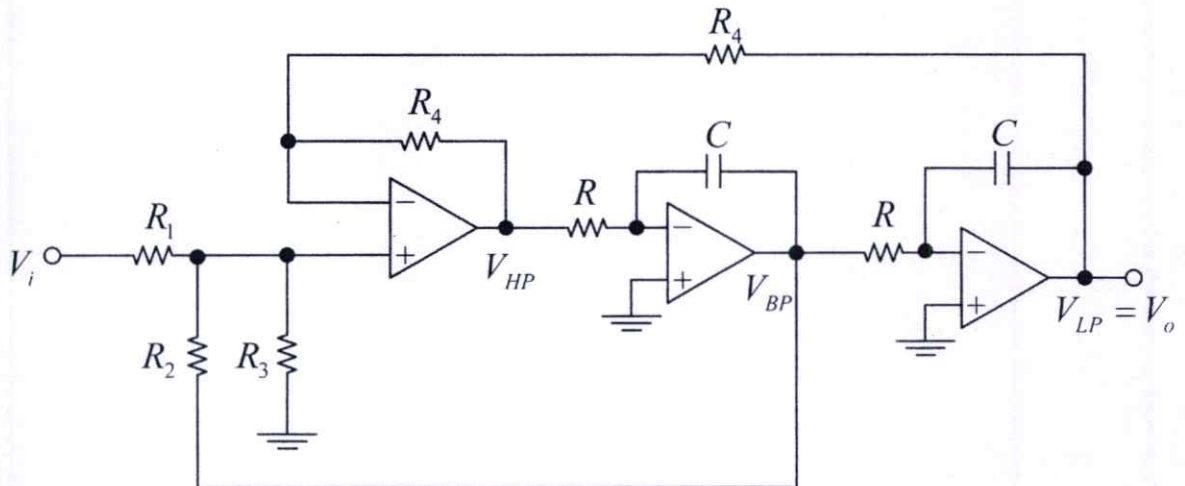
รูปที่ 2.30 วงจรที่ได้จากบล็อกพื้นฐานในรูปที่ 2.29

และเมื่อทำการวิเคราะห์วงจรดังรูปที่ 2.30 จะพบว่าฟังก์ชันในสมการ (2.52) จะอยู่ในรูปที่เป็น เครื่องหมายลบ ดังนั้นเพื่อหลีกเลี่ยงปัญหานี้ และยังคงใช้งาน Op-Amp ทั้ง 4 ตัว เราจะทำการใช้งานวงจร ในรูปที่ 2.31 ที่ให้ผลลัพธ์ของวงจรเป็นความต่างศักย์ที่ต่างกันของความต่างศักย์ที่เป็นอินพุต 2 อัน



รูปที่ 2.31 วงจรที่ให้ผลลัพธ์เป็นความต่างศักย์ที่ต่างกันของความต่างศักย์ที่เป็นอินพุต 2 อัน

ซึ่งจะทำให้วงจรในรูปที่ 2.30 จะถูกแปลงเป็นวงจรดังแสดงในรูปที่ 2.32



รูปที่ 2.32 วงจร KHN biquad

และเมื่อทำการวิเคราะห์ห้วงจรในรูปที่ 2.27 แล้ว จะได้

$$\frac{V_o}{V_i} = \frac{V_{LP}}{V_i} = \frac{K'/(RC)^2}{s^2 + \frac{1}{RC} \frac{1}{Q} s + \frac{1}{R^2 C^2}} \quad (2.54)$$

$$\frac{V_{BP}}{V_i} = \frac{(K'/RC)s}{s^2 + \frac{1}{RC} \frac{1}{Q} s + \frac{1}{R^2 C^2}} \quad (2.55)$$

$$\frac{V_{HP}}{V_i} = \frac{K's^2}{s^2 + \frac{1}{RC} \frac{1}{Q}s + \frac{1}{R^2C^2}} \quad (2.56)$$

โดยที่

$$K' = \frac{2R_2R_3}{R_1R_2 + R_1R_3 + R_2R_3} \quad (2.57)$$

$$1/Q = \frac{2R_1R_3}{R_1R_2 + R_1R_3 + R_2R_3} \quad (2.58)$$

และ

$$\frac{K'}{R^2C^2} = K \quad (2.59)$$

จากสมการข้างต้น จะทำให้เราสามารถได้สมการที่ใช้สำหรับการออกแบบวงจรดังนี้

$$RC = \frac{1}{\omega_o} \quad (2.60)$$

$$R_2 = R_1 \frac{KQ}{\omega_o^2} \quad (2.61)$$

$$R_3 = \frac{R_1}{\frac{2\omega_o^2}{K} - 1 - \frac{\omega_o^2}{KQ}} \quad (2.62)$$

โดยที่ค่าของ R_1 และ R_1 นั้นต้องทำการเลือกค่าที่เหมาะสม

วงจรที่แสดงดังรูปที่ 2.32 นั้นถูกเรียกว่า KHN (Kerwin, Huelsman, Newcomb) biquad โดยวงจรดังกล่าวนี้สามารถให้ผลลัพธ์ทั้งที่เป็นความถี่ต่ำผ่าน (lowpass) แถบความถี่ผ่าน (bandpass) และความถี่สูงผ่าน (highpass) ในเวลาเดียวกัน ซึ่งวงจรกรองทั้งสามชนิดนั้นมีค่าโพลที่เหมือนกัน

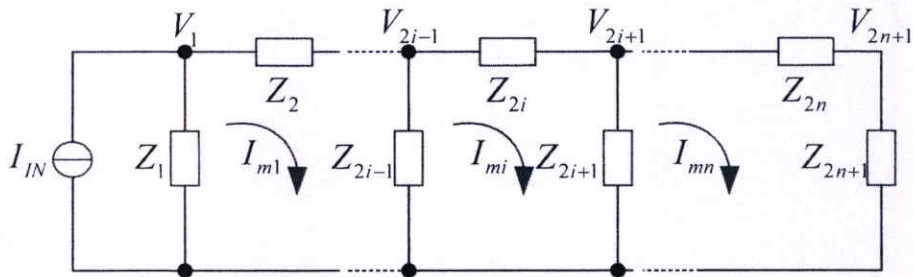
เมื่อต้องการผลลัพธ์ที่เป็นวงจรกรองผ่านทุกความถี่ เราก็สามารถทำได้โดยการเพิ่มเอาต์พุตของความถี่ต่ำผ่านและความถี่สูงผ่านจากการใช้งาน Op-Amp เพิ่มเติม โดยที่ค่าของความไวของวงจรแบบแพลซีฟ คือ ω_o และ Q นั้นมีค่าน้อยมาก แต่อย่างไรก็ตามจะเกิด Phase Shift ขึ้นจากกระบวนการรวมและอินทิเกรตขึ้น และเนื่องจาก Gain Bandwidth Product ของ Op-Amp นั้นจะก่อให้เกิดการเอินฮานซ์เม้นท์ของค่า Q ขึ้น และทำให้เกิดผลที่ไม่พึงประสงค์ในการตอบสนองของวงจรกรองขึ้น

2.4 หลักการสังเคราะห์ตัวแปรแบบกระแสเมชและโหนด

2.4.1 หลักการสังเคราะห์ตัวแปรแบบกระแสเมช

วงจรกรองความถี่ RLC ชนิดชั้นบันไดแบบพาสซีฟในทั่วไป ถูกใช้เป็นตัวแบบในการสร้างเป็นวงจรกรองความถี่แบบแอกทีฟเนื่องจากมีค่าความไวต่ำ วงจรกรองความถี่รูปแบบกระแสสามารถสร้างขึ้นได้โดยการใช้กระแสเป็นตัวแปรที่ในการเลียนแบบการทำงานของวงจรกรองความถี่ RLC ชนิดชั้นบันไดตัวแบบ สำหรับวิธีการที่นำเสนอคือ การสังเคราะห์ตัวแปรแบบกระแสเมช (Mesh Current) [7]

พิจารณาโครงข่าย RLC ชนิดชั้นบันไดต่อกัน n เมช ดังแสดงในรูปที่ 2.33



รูปที่ 2.33 โครงข่าย RLC ชนิดชั้นบันไดต่อกัน n เมช

สมมติว่า $(i = 2, 3, \dots, 2n)$ เป็นแขนงอิมพีแดนซ์ที่ประกอบไปด้วยตัวเก็บประจุและตัวเหนี่ยวนำตามลำดับ โดยทั่วไปไม่มีการสูญเสีย อิมพีแดนซ์ Z_1 และ Z_{2n+1} เป็นตัวต้านทานปลายปิดคู่ซอร์สและโหลด ตามลำดับ โดยเลือกกระแสเมช $I_{m1}, I_{m2}, \dots, I_{mn}$ เป็นตัวแปรใช้งาน ดังสมการต่อไปนี้

$$I_{m1} = T_{01}I_{in} + T_{21}I_{m2} \quad (2.63)$$

$$I_{m2} = T_{12}I_{m1} + T_{32}I_{m3} \quad (2.64)$$

$$I_{mi} = T_{i-1,i}I_{m,i-1} + T_{i+1,i}I_{m,i+1} \quad (2.65)$$

และ

$$I_{mn} = T_{n-1,n}I_{m,n-1} \quad (2.66)$$

โดยกำหนดฟังก์ชันถ่ายโอน (T_{ij}) ดังต่อไปนี้

$$T_{10} = \frac{I_{m1}}{I_{in}} \Big|_{I_{m2}=0} = \frac{Z_1}{Z_{11}} \quad (2.67)$$

$$T_{12} = \left. \frac{T_{m1}}{I_{m2}} \right|_{I_{in}=0} = \frac{Z_3}{Z_{11}} \quad (2.68)$$

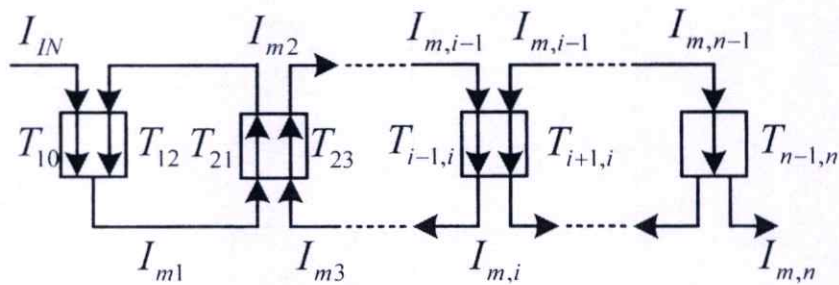
$$T_{i-1,j} = \left. \frac{I_{mi}}{I_{m,i-1}} \right|_{I_{m,j-1}=0} = \frac{Z_{2j-1}}{Z_{ii}} \quad (2.69)$$

$$T_{i+1,j} = \left. \frac{I_{mi}}{I_{m,i+1}} \right|_{I_{m,j+1}=0} = \frac{Z_{2i+1}}{Z_{ii}} \quad (2.70)$$

และ

$$T_{n-1,n} = \frac{I_{mn}}{I_{m,n-1}} = \frac{Z_{in-1}}{Z_{nn}} \quad (2.71)$$

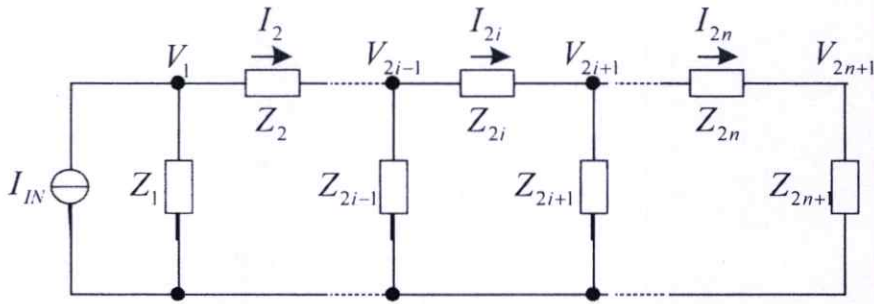
เมื่อ $Z_1 = R_1, Z_n = R_2$ และ Z_{ij} คือผลรวมอิมพีแดนซ์ของเมช จากสมการที่ (2.68)-(2.71) จะเห็นได้ว่าถ้ามีตัวเก็บประจุและตัวเหนี่ยวนำในแต่ละเมชฟังก์ชันถ่ายโอนที่ได้จะเป็นสมการไบควอดเรติก แต่ถ้ามีตัวเก็บประจุหรือตัวเหนี่ยวนำในแต่ละเมชออก ฟังก์ชันการถ่ายโอนที่ได้จะเป็นเพียงแค่การรวมและปรับขนาดเท่านั้น เนื่องจากฟังก์ชันถ่ายโอนในแต่ละขุดมีโพลเหมือนกันแต่มีซีโรต่างกัน ซึ่งสามารถสร้างได้ด้วยบล็อกเดียว ดังแสดงบล็อกไดอะแกรมในรูปที่ 2.34



รูปที่ 2.34 บล็อกไดอะแกรมหลักการสังเคราะห์ตัวแปรแบบกระแสเมช

2.4.2 หลักการสังเคราะห์ตัวแปรแบบโหนด

หลักการสังเคราะห์อีกรูปแบบหนึ่งเพื่อให้ได้สมการที่แทนวงจรของความถี่รูปแบบกระแส คือ หลักการสังเคราะห์ตัวแปรแบบโหนด ดังแสดงในรูปที่ 2.35



รูปที่ 2.35 โครงข่าย RLC ชนิดขั้นบันไดต่อกันจำนวน $2n+1$ โหนด

โครงข่าย RLC ชนิดขั้นบันไดดังแสดงในรูปที่ 2.35 สามารถแสดงในรูปของสมการได้ดังนี้

$$I_1^* = T_1(I_{in} - I_2) = \frac{Z_1}{Z_0}(I_{in} - I_2) \quad (2.72)$$

$$I_2 = T_2(I_1^* - I_3^*) = \frac{Z_0}{Z_2}(I_1^* - I_3^*) \quad (2.73)$$

$$I_{2i} = T_{2i}(I_{2i-1}^* - I_{2i+1}^*) = \frac{Z_0}{Z_{2i}}(I_{2i-1}^* - I_{2i+1}^*) \quad (2.74)$$

$$I_{2i+1}^* = T_{2i+1}(I_{2i} - I_{2i+2}) = \frac{Z_{2i+1}}{Z_0}(I_{2i} - I_{2i+2}) \quad (2.75)$$

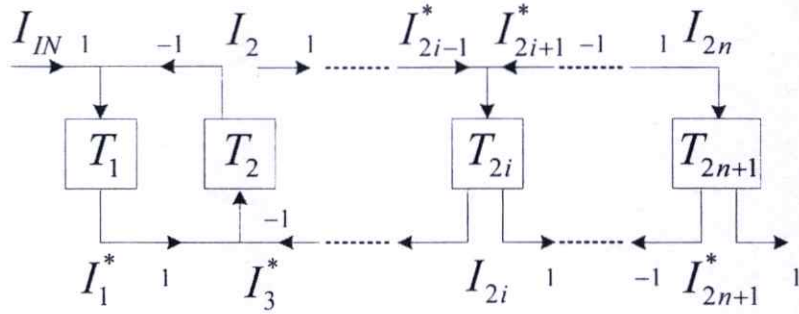
$$I_{2n} = T_{2n}(I_{2n-1}^* - I_{2n+1}^*) = \frac{Z_0}{Z_{2n}}(I_{2n-1}^* - I_{2n+1}^*) \quad (2.76)$$

และ

$$I_{2n+1}^* = T_{2n+1}I_{2n} = \frac{Z_{2n+1}}{Z_0}I_{2n} \quad (2.77)$$

โดยที่ $I_i^* = V_i/Z_0$ นั้นถือว่าเป็นตัวแปรกระแสซึ่งถูกปรับขนาดโดย Z_0 ซึ่งจะเห็นได้ว่าไม่เหมือนกับวิธีแบบ signal flow-graph โดยทั่วไปที่ค่า Z_0 นั้นจะหมายถึงตัวต้านทาน และค่า Z_i จะ

หมายถึงตัวเก็บประจุและตัวเหนี่ยวนำ ซึ่งในที่นี้ $Z_0(s)$ จะสามารถเป็นค่าฟังก์ชันความต้านทานใดๆ และ $Z_i(s)$ จะเป็นค่าฟังก์ชันความต้านทานของตัวเก็บประจุและตัวเหนี่ยวนำซึ่งถูกต่อกันแบบอนุกรม ซึ่งค่าของ Z_0 นั้นควรใช้ความระมัดระวังในการเลือกฟังก์ชันอิมพีแดนซ์เพื่อปรับขนาด ซึ่งผลลัพธ์ฟังก์ชันถ่ายโอนที่ได้จากการสังเคราะห์แบบโหนดนี้จะเป็นแบบสมการไบควอดตราติก และจากจากสมการที่ (2.72)-(2.77) สามารถแสดงได้ในรูปแบบบล็อกไดอะแกรมดังรูปที่ 2.36



รูปที่ 2.36 บล็อกไดอะแกรมหลักการสังเคราะห์ตัวแปรแบบโหนด

2.5 การประมาณค่าฟังก์ชันวงจรรองความถี่

2.5.1 การประมาณค่าแบบเชบีเชฟ (Chebyshev Approximation)

การประมาณค่าแบบเชบีเชฟ (Chebyshev) [1] เป็นการประมาณค่าทางขนาด ผลตอบสนองทางความถี่ไม่เป็นโมโนโทนิคตลอดย่านความถี่ แต่จะมีความคมในการลดทอนสัญญาณในย่านความถี่เปลี่ยน (Transition band) ถ้ากำหนดให้ $C_n(\omega)$ คือฟังก์ชันทางคณิตศาสตร์ที่เรียกว่าโพลีโนเมียลแบบเชบีเชฟอันดับที่ n นิยามทางคณิตศาสตร์ของ $C_n(\omega)$ คือ

$$C_n(\omega) = \begin{cases} \cos(n \cos^{-1} \omega), & 0 \leq \omega \leq 1 \\ \cosh(n \cosh^{-1} \omega), & \omega > 1 \end{cases} \quad (2.78)$$

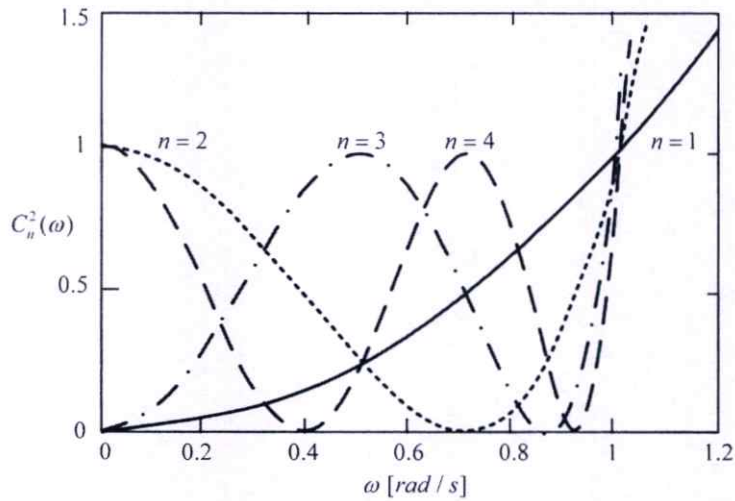
นอกเหนือจากการแสดง $C_n(\omega)$ ในรูปของฟังก์ชันข้างบนนี้แล้วยังสามารถแสดงได้ด้วยว่า

$$C_1(\omega) = \omega$$

$$C_2(\omega) = 2\omega^2 - 1$$

$$C_3(\omega) = 4\omega^3 - 3\omega$$

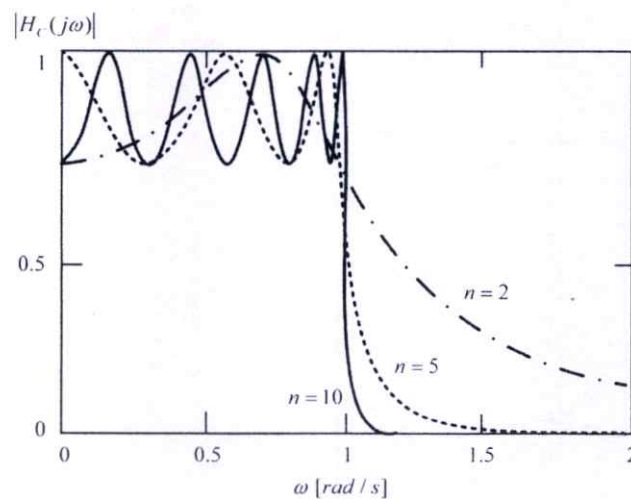
$$C_{n+1}(\omega) = 2\omega C_n(\omega) - C_{n-1}(\omega) \quad (2.79)$$



รูปที่ 2.37 ค่าของ $C_n^2(\omega)$ เมื่อ $n=1,2,3,4$

รูปที่ 2.37 แสดงถึงผลตอบสนองทางขนาดที่อยู่ในรูปของฟังก์ชันเชบีเชฟ ดังแสดงในสมการที่ (2.79) ซึ่งเป็นผลตอบสนองทางขนาดแบบความถี่ต่ำผ่านที่มีลักษณะของการกระเพื่อมแบบเท่าเทียม (Equal ripple) ในย่านความถี่ผ่านและมีการลดลงแบบโมโนโทนิก (Monotonic) ในย่านความถี่หยุด

$$|H_c(j\omega)| = \frac{H_{\max}}{\sqrt{1 + \varepsilon^2 C_n^2(\omega)}} \quad (2.80)$$



รูปที่ 2.38 ผลตอบสนองทางขนาดแบบเชบีเชฟ เมื่อ $\varepsilon=1, H_{\max}=1$ และ $n=2,5,10$

รูปที่ 2.38 แสดงผลตอบสนองทางขนาดแบบเชบีเชฟในสมการที่ (2.80) ซึ่งเป็นผลตอบสนองทางขนาดที่ถูกนอร์มาไลซ์ (Normalized magnitude response) [28] ให้มีย่านความถี่ผ่านอยู่ในช่วง $0 \leq \omega \leq 1$ rad/s โดยเราสามารถสรุปคุณสมบัติในด้านต่างๆของผลตอบสนอง ดังกล่าวได้ดังนี้

- ในกรณีที่ n เป็นจำนวนคี่ อัตราขยายไฟตรงเท่ากับ $H_0 = H_{\max}$
- และในกรณีที่ n เป็นจำนวนคู่ อัตราขยายไฟตรงเท่ากับ $H_0 = H_{\max} / \sqrt{1 + \epsilon^2}$
- ย่านความถี่ $0 \leq \omega \leq 1$ rad/s เรียกว่าย่านความถี่ผ่าน
- ผลตอบสนองทางขนาดในย่านความถี่ผ่านจะมีลักษณะของการกระเพื่อมอย่างเท่าเทียม
- ในย่านความถี่ผ่าน ผลตอบสนองทางขนาดจะกระเพื่อมอยู่ระหว่างค่า $H_{\max} / \sqrt{1 + \epsilon^2}$ และ H_{\max} โดย
 - ในกรณีที่ n เป็นจำนวนคู่ ผลตอบสนองทางขนาดจะมีค่าเท่ากับ H_{\max} ที่ความถี่ $\omega = \cos(k\pi / 2n)$ เมื่อ $k = 1, 3, \dots, n-1$ และ
 - ในกรณีที่ n เป็นจำนวนคี่ ผลตอบสนองทางขนาดจะมีค่าเท่ากับ H_{\max} ที่ความถี่ $\omega = \cos(k\pi / 2n)$ เมื่อ $k = 1, 3, \dots, n$
- ความถี่ $\omega = 1$ rad/s เรียกว่าความถี่ตัดและผลตอบสนองทางขนาดจะเท่ากับ $H_{\max} / \sqrt{1 + \epsilon^2}$ ไม่ว่าอันดับ n จะเป็นเท่าไรก็ตาม
- ย่านความถี่ $1 \text{ rad/s} \leq \omega \leq \omega_s$ เรียกว่าย่านความถี่เปลี่ยน
- ย่านความถี่ $\omega \leq \omega_s$ เรียกว่าย่านความถี่หยุด
- ผลตอบสนองทางขนาดในย่านความถี่หยุดจะมีการลดลงอย่างโมโนโทนิค

เมื่อพิจารณาจะเห็นได้ว่าสำหรับ n ใดๆ ผลตอบสนองทางขนาดแบบเชบีเชฟจะทำให้เกิดความคมของการลดทอนสัญญาณในย่านความถี่เปลี่ยนมากกว่าแบบบัตเตอร์เวิร์ธ (Butterworth)

สามารถแสดงได้ว่าโพลของฟังก์ชันโครงข่ายที่ทำให้เกิดผลตอบสนองทางความถี่ดังแสดงในสมการที่ (2.75) คือรากที่อยู่ทางซ้ายมือในระนาบเชิงซ้อนของสมการ

$$C_n^2 \left(\frac{s}{j} \right) + \frac{1}{\epsilon^2} = 0 \quad (2.81)$$

เมื่อแทนสมการที่ (2.78) ลงในสมการที่ (2.81) จะได้สมการ

$$C_n \left(\frac{s}{j} \right) = \cos \left(n \cos^{-1} \frac{s}{j} \right) = \pm \frac{j}{\epsilon^2} \quad (2.82)$$

ดังนั้นถ้ากำหนดให้

$$w = u + jv = \cos^{-1} \frac{s}{j} \quad (2.83)$$

จะได้ว่า

$$\cos n(u + jv) = \cos nu \cosh nv - j \sin nu \sinh nv = \pm \frac{j}{\varepsilon} \quad (2.84)$$

แทนความสัมพันธ์ $\cos(jx) = \cosh(x)$ ลงในสมการที่ (2.84) จะได้

$$\cos nu \cos jnv = 0 \quad (2.85)$$

และ

$$-\sin nu \sinh nv = \pm \frac{j}{\varepsilon^2} \quad (2.86)$$

จากสมการที่ (2.85) เนื่องจาก $\cosh nv > 0$ เสมอ ดังนั้น $\cos nu = 0$ หรือ

$$u_k = \frac{2k-1}{2n} \pi, k = 1, 2, 3, \dots, n \quad (2.87)$$

ซึ่งจะทำให้ $\sin nu = \pm 1$ ดังนั้นจากสมการที่ (2.86) เราจะพบว่า $\sinh nv = \frac{1}{\varepsilon^2}$ หรือ

$$v = \frac{1}{n} \sinh^{-1} \frac{1}{\varepsilon} \quad (2.88)$$

ซึ่งจากสมการที่ (2.83), (2.87) และ (2.88) เราพบว่าโพลของฟังก์ชันโครงข่ายคือ

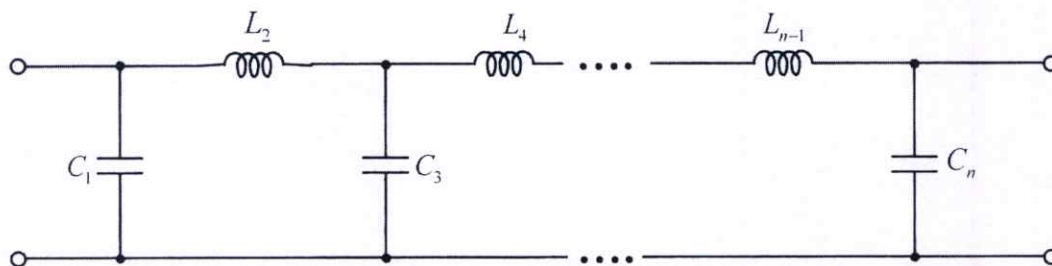
$$s = j \cos(u_k + jv) = \sin u_k \sinh v + j \cos u_k \cosh v \quad (2.89)$$

จากสมการที่ (2.87)-(2.89) สามารถสรุปได้ว่าตำแหน่งโพลของฟังก์ชันโครงข่ายแบบเชบีเชฟ คือ

$$p_k = \sigma_k + j\omega_k \quad (2.90)$$

โดย $\sigma_k = -\sin u_k \sinh v$ และ $\omega_k = \cos u_k \cosh v$

ในส่วนของวงจรรองความถี่ต่ำผ่านพาสซีฟแบบเชบีเชฟนั้น แสดงได้ดังรูปที่ 2.39



รูปที่ 2.39 วงจรกรองความถี่ต่ำผ่านพาสซีฟแบบเชบีเชฟ

ทั้งนี้ค่าของอุปกรณ์พาสซีฟในวงจรกรองความถี่ต่ำผ่านพาสซีฟแบบเชบีเชฟเมื่อกำหนดให้การกระเพื่อมเท่ากับ 0.1dB 0.5dB และ 1dB แสดงดังตาราง 2.1 ตาราง 2.2 และตาราง 2.3 ตามลำดับ

ตาราง 2.1 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านเชบีเชฟ มีค่าการกระเพื่อมเท่ากับ 0.1dB

ORDER	Rl/Rs	C1	L2	C3	L4	C5	L6	C7
2	0.5	1.5715	0.2880					
3	1.0	1.0316	1.1474	1.0316				
4	0.5	2.2345	0.7976	2.6600	0.3626			
5	1.0	1.1468	1.3712	1.9750	1.3712	1.1468		
6	0.5	2.5561	0.8962	3.3962	0.8761	2.8071	0.3785	
7	1.0	1.1812	1.4228	2.0967	1.5734	2.0967	1.4228	1.1812
ORDER	Rs/Rl	L1	C2	L3	C4	L5	C6	L7

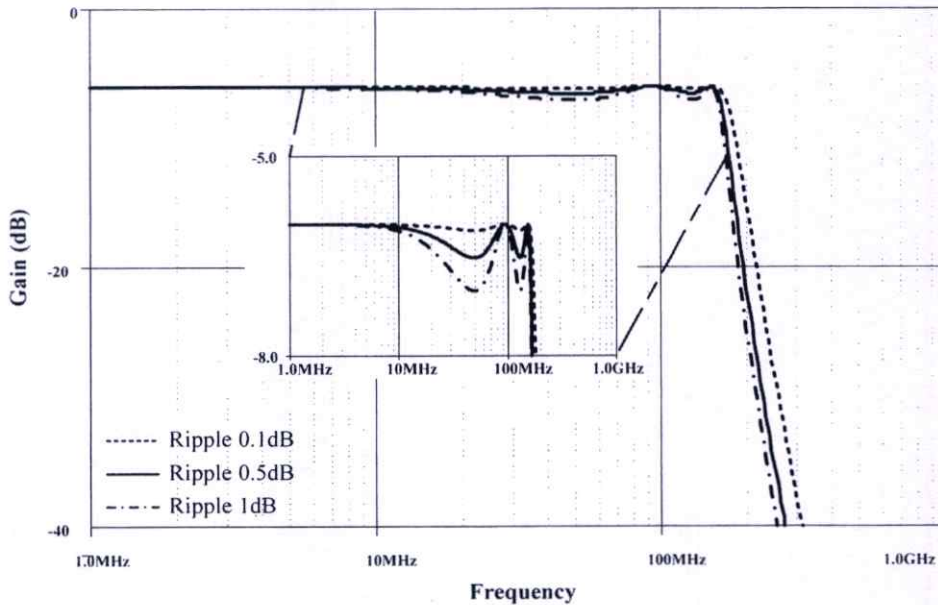
ตาราง 2.2 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านเชบีเชฟที่มีค่าการกระเพื่อมเท่ากับ 0.5dB

ORDER	Rl/Rs	C1	L2	C3	L4	C5	L6	C7
2	0.5	1.5132	0.6538					
3	1.0	1.5963	1.0967	1.5963				
4	0.5	1.8158	1.1328	2.4882	0.7732			
5	1.0	1.7058	1.2296	2.5408	1.2296	1.7058		
6	0.5	1.8786	1.1884	2.7589	1.2404	2.5976	0.7976	
7	1.0	1.7373	1.2582	2.6383	1.3443	2.6383	1.2582	1.7373
ORDER	Rs/Rl	L1	C2	L3	C4	L5	C6	L7

ตาราง 2.3 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านเชบีเชฟ มีค่าการกระเพื่อมเท่ากับ 1dB

ORDER	Rl/Rs	C1	L2	C3	L4	C5	L6	C7
2	0.25	3.7779	0.3001					
3	1.0	2.0236	0.9941	2.0236				
4	0.25	4.5699	0.5428	5.3680	0.3406			
5	1.0	2.1349	1.0911	3.0009	1.0911	2.1349		
6	0.25	4.7366	0.5716	6.0240	0.5764	5.5353	0.3486	
7	1.0	2.1666	1.1115	3.0936	1.1735	3.0936	1.1115	2.1666
ORDER	Rs/Rl	L1	C2	L3	C4	L5	C6	L7

ซึ่งค่าที่อยู่ภายในตารางที่ 2.1-2.3 [28] สามารถนำไปสร้างเป็นวงจรกรองแถบความถี่ต่ำผ่านได้ถึงอันดับเจ็ด โดยตัวอย่างการจำลองผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ต่ำผ่านอันดับห้าที่มีการกระเพื่อมเท่ากับ 0.1dB 0.5dB และ 1dB ตามลำดับ สามารถแสดงได้ดังรูปที่ 2.40



รูปที่ 2.40 ผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ต่ำผ่านอันดับห้า

2.6 บทสรุป

ในบทที่ 2 นี้กล่าวถึง ทฤษฎีที่เกี่ยวข้อง ประกอบด้วย มอสมิทธานซิสเตอร์ ซึ่งทำให้ทราบและเข้าใจถึงโครงสร้างและลักษณะการทำงานในโหมดต่างๆ จากนั้นจึงศึกษาถึงอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสีย และสมการไบควอดเรติก เพื่อให้เข้าใจถึงคุณลักษณะของสมการที่เกิดขึ้นในแต่ละส่วน โดยที่เมื่อสมการเป็นแบบไบควอดเรติกแล้ว จะส่งผลให้การออกแบบวงจรที่ใช้งานนั้นมีความง่ายขึ้นเนื่องจากเป็นสมการในรูปแบบอันดับสอง จากนั้นจึงกล่าวถึงหลักการสังเคราะห์ตัวแปรแบบกระแสเมฆและโหนด เพื่อให้สามารถวิเคราะห์วงจรที่ศึกษาและนำเสนอและสุดท้ายจึงกล่าวถึงการประมาณค่าฟังก์ชันวงจรกรองความถี่ ซึ่งนำไปสู่การออกแบบซึ่งจะถูกกล่าวถึงในบทที่ 4 ต่อไป

บทที่ 3

งานวิจัยที่เกี่ยวข้อง

3.1 บทนำ

ในบทนี้จะกล่าวถึงหลักการของวงจรที่เคยถูกนำเสนอเอาไว้ในวารสารตั้งแต่อดีต และยังคงรวมไปจนถึงการประยุกต์ใช้งานวงจรต่าง ๆ ที่เกี่ยวข้องดังต่อไปนี้ เริ่มจากการนำบล็อกแอกทีฟมาสร้างเป็นวงจรกรองความถี่รูปแบบกระแสชนิดชั้นบันได จากนั้นจึงนำมาทำการสร้างวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านชนิดชั้นบันไดโดยใช้อุปกรณ์แอกทีฟประเภทต่างๆ เพื่อเปรียบเทียบข้อดีและข้อเสียของการประยุกต์ใช้อุปกรณ์แอกทีฟในแต่ละประเภท

โดยเป็นที่ทราบกันดีอยู่แล้วว่าการประมวลผลสัญญาณรูปแบบกระแสในปัจจุบันนั้นได้รับความสนใจเป็นอย่างมาก เนื่องจากมีประสิทธิภาพในการทำงานสูงกว่ารูปแบบแรงดัน เช่น ทำงานได้เร็วกว่า มีแบนด์วิธกว้างกว่า และมีความเที่ยงตรงกว่า มีความเป็นเชิงเส้นสูง มีค่าพิสัยพลวัตกว้าง วงจรไม่ซับซ้อน และใช้พลังงานต่ำเมื่อเปรียบเทียบกับวงจรที่ทำงานในแบบแรงดัน

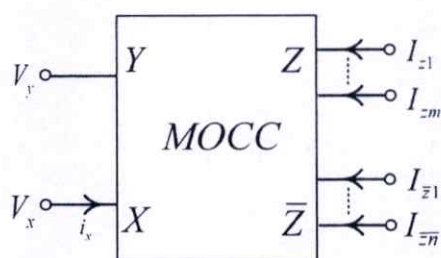
ในอดีตได้มีการนำเสนอหลักการออกแบบวงจรกรองแถบความถี่ผ่านและแถบความถี่ผ่านอยู่ด้วยกันหลายวงจร โดยวงจรสายพานกระแสแบบหลายเอาต์พุต (Multiple Output Current Conveyor: MOCC) ที่มีเอาต์พุตเป็นบวกและลบเพื่อออกแบบวงจรกรองแถบความถี่ผ่าน วงจรโอทีเอ (Operational Transconductance Amplifiers: OTAs) ต่อกับตัวเก็บประจุต่อลงกราวด์ถูกนำเสนอเพื่อออกแบบวงจรกรองแถบความถี่ผ่านและแถบความถี่ผ่าน และวงจรกรองอันดับที่สองโดยใช้ซีมอสซึ่งสามารถใช้งานในย่านความถี่สูงและใช้ความต่างศักย์ต่ำได้ถูกนำเสนอเพื่อขจัดข้อบกพร่องที่เกิดขึ้นมาข้างต้น แต่ถึงกระนั้นประโยชน์ของวงจรมีก็ยังคงถูกจำกัดในการประยุกต์ใช้งานทั่วไป ในเวลาเดียวกันวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้ซีมอสซึ่งใช้กราฟการไหลสัญญาณได้ถูกนำเสนอ ซึ่งมีลักษณะเด่นที่น่าสนใจมากมาย เช่น การทำงานในย่านความถี่สูง ความต้องการทางด้านความต่างศักย์ที่ต่ำ การปรับแต่งได้ย่านที่กว้าง และโครงสร้างที่ซับซ้อนน้อย

นอกจากนี้ บล็อกแอกทีฟเป็นอุปกรณ์ที่สามารถนำไปสร้างเป็นวงจรเพื่อทำหน้าที่ได้อย่างหลากหลายและเป็นอุปกรณ์ที่มีขายในท้องตลาดทั่วไปเช่น OTAs, CCII ฯลฯ ดังนั้นการนำบล็อกแอกทีฟมาสร้างเป็นวงจรเพื่อใช้งานตามฟังก์ชันที่ต้องการจึงเป็นที่นิยมโดยทั่วไป ส่วนในหัวข้อนี้เป็นการกล่าวถึงงานวิจัยในอดีตที่มีการนำบล็อกแอกทีฟมาสร้างเพื่อใช้งานเป็นวงจรกรองความถี่รูปแบบกระแสชนิดชั้นบันไดเพื่อศึกษาข้อดีและข้อด้อยของแต่ละงานวิจัยต่อไป

3.2 วงจรกรองรูปแบบกระแสชนิดชั้นบันไดโดยใช้วงจรสายพานกระแสหลายเอาต์พุต

ในปี 1996 งานวิจัยของ Jie Wu และ Ezz I. El-Masry [6] นั้นนำเสนอหลักการในการออกแบบวงจรกรองความถี่ที่มีความต่อเนื่องทางเวลารูปแบบกระแส โดยใช้วงจรสายพานกระแสแบบหลายเอาต์พุต (Multiple Output Current Conveyor: MOCC) ที่มีเอาต์พุตเป็นบวกและลบ โดยใช้หลักการจำลองการทำงานของวงจรต้นแบบ RLC ชนิดชั้นบันได

โดยวงจรสายพานกระแสหลายเอาต์พุต (MOCC) ที่มีเอาต์พุตบวกและลบหลายเอาต์พุตด้วยกัน โดย MOCC ถูกนำไปใช้งานเป็นอินทิเกรเตอร์ชนิดที่มีตัวป้อนกลับรูปแบบกระแส และ MOCC นั้นยังคงมีเอาต์พุตอิมพีแดนซ์สูง และสัญลักษณ์ทางไฟฟ้าของ MOCC แสดงดังรูปที่ 3.1

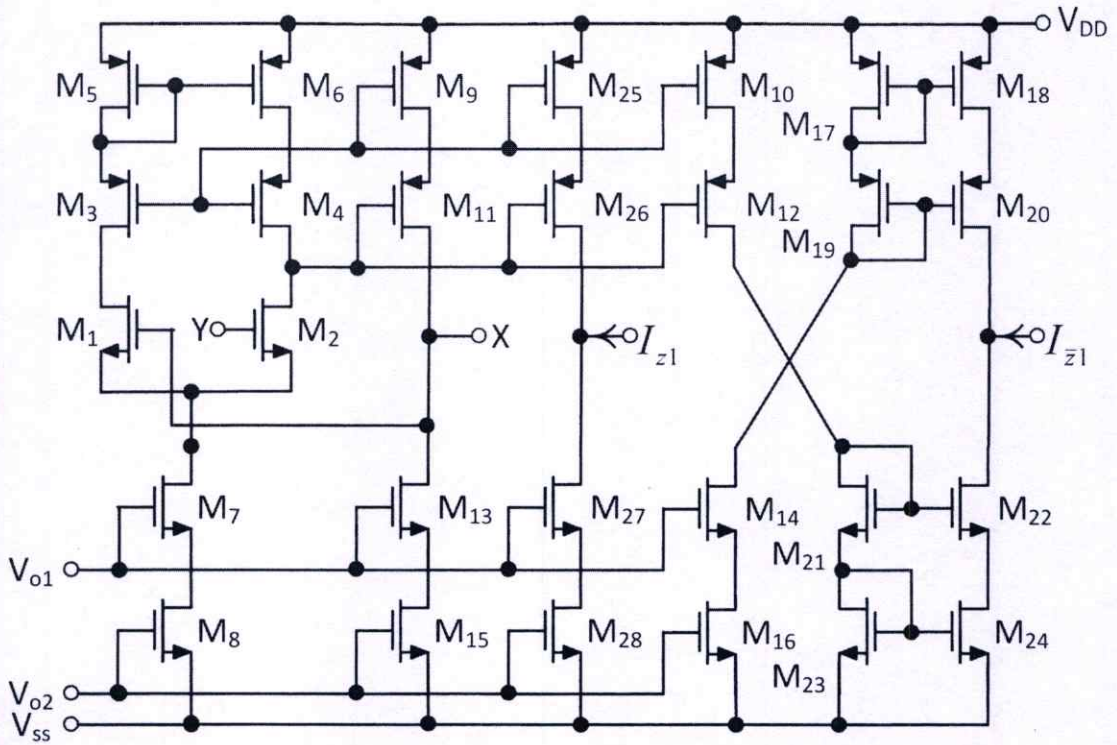


รูปที่ 3.1 สัญลักษณ์ทางไฟฟ้าของ MOCC

โดยมีเอาต์พุตสองประเภท ซึ่งเอาต์พุตบวกอยู่ที่พอร์ต Z และลบอยู่ที่พอร์ต \bar{Z} คุณสมบัติในแต่ละพอร์ตของ MOCC สามารถอธิบายได้ด้วยเมทริกซ์ต่อไปนี้

$$\begin{bmatrix} i_y \\ V_x \\ i_{z1} \\ \vdots \\ i_{zm} \\ i_{\bar{z}1} \\ \vdots \\ i_{\bar{z}n} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ \vdots & \vdots & \vdots & \vdots \\ 0 & 1 & 0 & 0 \\ 0 & -1 & 0 & 0 \\ \vdots & \vdots & \vdots & \vdots \\ 0 & -1 & 0 & 0 \end{bmatrix} \times \begin{bmatrix} V_y \\ i_x \\ V_z \\ Z_{\bar{z}} \end{bmatrix} \quad (3.1)$$

วิธีการสร้าง MOCC โดยใช้เทคโนโลยี CMOS แสดงใน ซึ่งเป็นวงจรที่รวม CMOS CCII+ และ CCII- เข้าด้วยกันถูกนำเสนอโดย Liu et al. [29] สามารถสร้างกระแสเอาต์พุตได้หลายตัวโดยง่าย ด้วยการเพิ่มขา (Branch) เอาต์พุต ซึ่งหลักการการทำงานนี้เหมือนกันกับการทำงานของ CCII+ หรือ CCII- ตัวเดียว



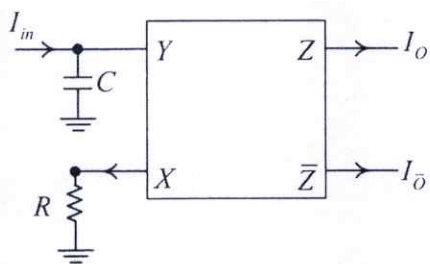
รูปที่ 3.2 โครงสร้างของ MOCC

โดยที่ขนาดของทรานซิสเตอร์ที่ใช้งานนั้น เป็นไปดังตาราง 3.1

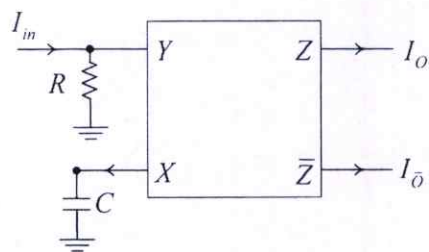
ตาราง 3.1 ขนาดของทรานซิสเตอร์ที่ใช้งานในวงจร MOCC

Transistor	W(μm)	L(μm)
M1-M4	40	3
M5-M6	65	3
M7-M8	60	3
M9-M12	130	3
M13-M20	60	3
M21-M26	130	3
M27-M28	60	3

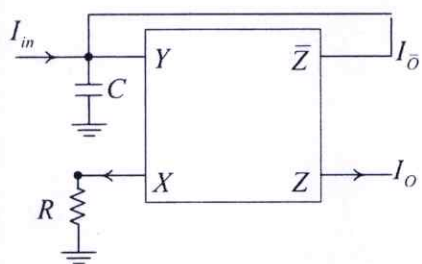
จากนั้นทำการสร้างวงจรอันดับที่หนึ่งจาก MOCC ดังแสดงในรูปที่ 3.3 โดยเอาต์พุตหลายตัวของ MOCC สามารถเชื่อมต่อไปยังวงจรอื่นได้



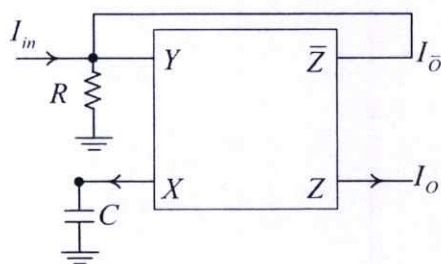
(ก)



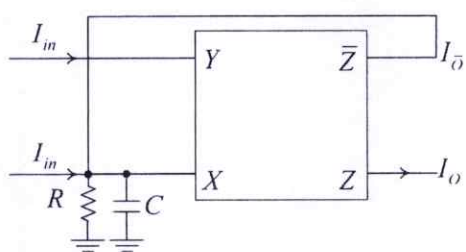
(ข)



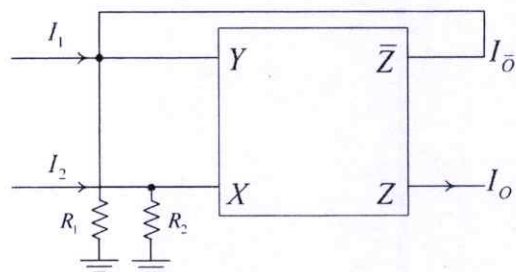
(ค)



(ง)



(จ)



(ฉ)

รูปที่ 3.3 บล็อกแอกทีฟอันดับที่หนึ่งรูปแบบกระแสโดยใช้ MOCC

(ก) อินทิเกรเตอร์แบบอนุกรมคิต : $1/sRC$

(ข) ดิฟเฟอเรนติเอเตอร์แบบอนุกรมคิต : sRC

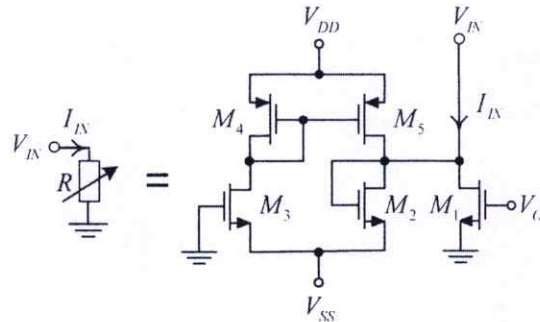
(ค) วงจรกรองความถี่ต่ำผ่านอันดับที่หนึ่ง : $1/(1+sRC)$

(ง) วงจรกรองความถี่สูงผ่านอันดับที่หนึ่ง : $sRC/(1+sRC)$

(จ) วงจรกรองผ่านทุกความถี่อันดับที่หนึ่ง : $(sRC-1)/(sRC+1)$

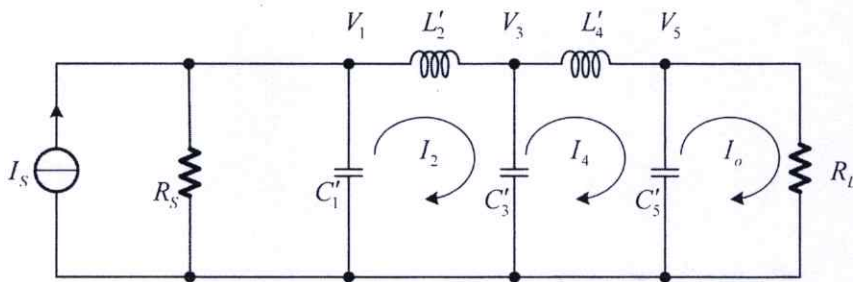
(ฉ) วงจรลบสัญญาณ : $I_o = K_1 I_1 - K_2 I_2, K_i = R_i/(R_1 + R_2), i=1,2$

ตัวต้านทานต่อลงกราวด์ในรูปที่ 3.3 สามารถสร้างได้จาก MOS ทรานซิสเตอร์ โดยในรูปที่ 3.4 แสดงตัวต้านทานที่สามารถควบคุมได้โดยแรงดันสร้างโดย MOS ทรานซิสเตอร์



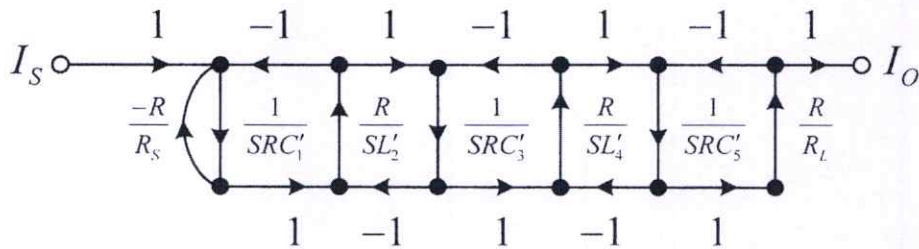
รูปที่ 3.4 ตัวต้านทานต่อลงกราวด์สร้างโดย MOS ทรานซิสเตอร์

จากนั้นทำการพิจารณาวงจรกรองความถี่ต่ำผ่าน RLC Chebyshev ชนิดขั้นบันไดอันดับที่ห้า ต้นแบบในรูปที่ 3.5



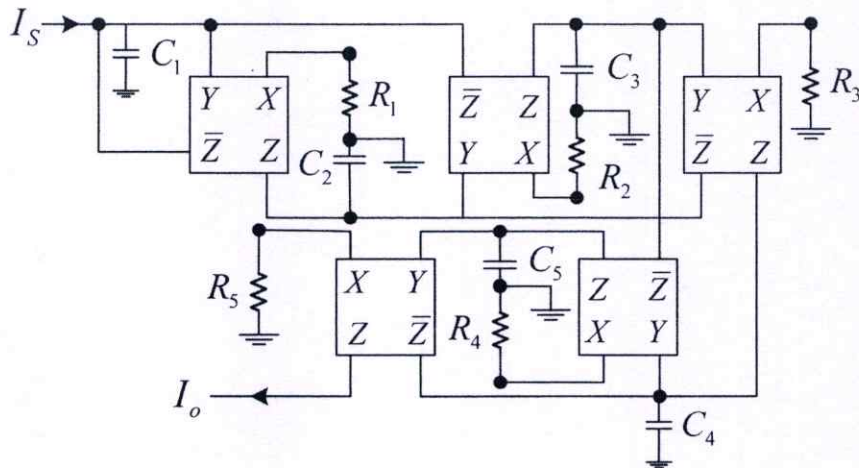
รูปที่ 3.5 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับห้าชนิดขั้นบันไดต้นแบบ

การสร้างวงจรกรองความถี่คือการแปลงสมการให้อยู่ในรูปแบบของกราฟการไหลของสัญญาณ (Signal Flow Graph : SFG) ซึ่งมีส่วนประกอบได้แก่ การอินทิเกรต การรวมและการขยายสัญญาณ โดยมีผลลัพธ์ดังรูปที่ 3.6



รูปที่ 3.6 กราฟการไหลของสัญญาณรูปแบบกระแส ของวงจรต้นแบบที่ทำงานด้วยอุปกรณ์แพสซีฟ

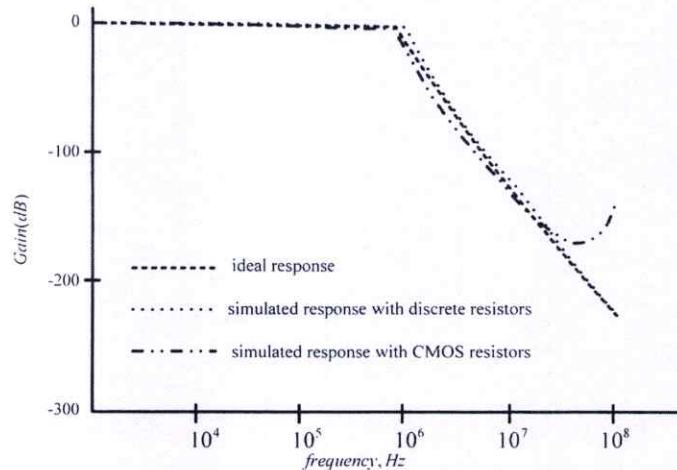
อินทิเกรเตอร์ที่สร้างจาก MOCC จะถูกออกแบบให้มีเอาต์พุตมากกว่า 1 ตัวโดยใช้วิธีสร้างกระแสซ้ำ (Multiple Current Replicas) ดังนั้น MOCC ที่มีหลายเอาต์พุตสามารถป้อนกระแสกลับให้อินทิเกรเตอร์สามารถทำงานได้โดยไม่ต้องใช้วงจรสายพานกระแสเพิ่มเติมดังแสดงในรูปที่ 3.7 โดยสมมติให้ตัวต้านทาน $R_S = R_L$ เพื่อง่ายต่อการอธิบาย



รูปที่ 3.7 การสร้างวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสอันดับที่ห้าโดยใช้ MOCC

ผลการจำลองการทำงานของวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสอันดับที่ห้าโดยใช้ MOCC มีการกำหนดช่วงความถี่ผ่าน (Passband Ripple) $A_p = 0.3\text{dB}$ ช่วงความถี่หยุด (Stopband Attenuation) $A_s = 25\text{dB}$ ความถี่ (Passband Frequency) $f_p = 1\text{MHz}$ ความถี่หยุด (Stopband Frequency) $f_s = 1.5\text{MHz}$ ซึ่งวงจรที่ออกแบบแสดงดังรูปที่ 3.7 มีการกำหนดค่าของส่วนประกอบ คือ $R_1 = R_2 = R_3 = R_4 = R = 10\text{ k}\Omega$ และ $C_1 = C_5 = 28.73\text{ pF}, C_2 = C_4 = 20.71\text{ pF}, C_3 = 42.8\text{ pF}$

เมื่อเปรียบเทียบกับผลการจำลองของผลตอบสนองทางอุดมคติ และผลตอบสนองด้วยการต่อตัวต้านทานแบบดิสครีต (Discrete) นั้น สามารถแสดงได้ดังรูปที่ 3.8 ซึ่งจะเห็นได้ว่าผลตอบสนองทางความถี่ที่เทียบเคียงกันได้กับวงจรกรองความถี่ต่ำผ่านทั้งสอง



รูปที่ 3.8 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสอันดับที่ห้าโดยใช้ MOCC

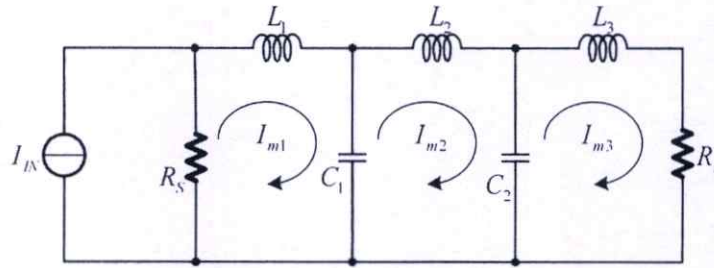
- ผลตอบสนองทางอุดมคติ
- ผลตอบสนองด้วยการต่อตัวต้านทานแบบ Discrete
- ผลตอบสนองด้วยการต่อตัวต้านทานที่สร้างจาก CMOS

นอกจากนี้ยังสังเกตได้ว่า วงจรนั้นใช้งาน MOCC 5 ตัวในการสร้างเป็นวงจรกรองความถี่ Chebyshev อันดับห้า ซึ่งโดยทั่วไปแล้วจำนวน MOCC ที่ใช้งานต้องเท่ากับอันดับของวงจรกรองที่ต้องการออกแบบ วงจรนี้ยังมีข้อจำกัดอยู่มาก โดยเฉพาะยังต้องใช้งานตัวต้านทานในวงจร และยังมีตัวเก็บประจุต่อลอยซึ่งส่งผลทำให้วงจรที่ได้นั้นมีขนาดใหญ่ ทั้งยังไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ และยังทำงานได้ที่ความถี่ต่ำด้วยข้อจำกัดของบล็อกแอกทีฟที่สร้างขึ้น นอกจากนี้ เมื่อพิจารณาถึงอุปกรณ์ที่ใช้งาน จะพบว่าค่า W/L ของ MOS ที่ใช้งานนั้น มีหลากหลาย ทำให้เกิดความยุ่งยากซับซ้อนในส่วนของการสร้างอุปกรณ์ MOCC

3.3 วงจรกรองความถี่ต่ำผ่านและวงจรกรองแถบความถี่ผ่านชนิดชั้นบันไดโดยใช้วงจรคูโบควอตบนพื้นฐานอุปกรณ์บล็อกแอกทีฟ OTA

ในปี 1998 งานวิจัยของ Jie Wu และ Ezz I. El-Masry [7] นั้นนำเสนอการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับห้าและวงจรกรองแถบความถี่ผ่านอันดับหกชนิดชั้นบันได

เริ่มต้นจากวงจรกรองความถี่ต่ำผ่านเซปีเชฟชนิดชั้นบันได RLC แบบปลายปิดคู่ต้นแบบ (Doubly Terminated) ซึ่งประกอบด้วยกระแสเมช 3 กระแสดังแสดงในรูปที่ 3.9



รูปที่ 3.9 วงจรกรองความถี่ต่ำผ่านเซบีเชฟชนิดชั้นบันได RLC แบบปลายปิดคู่ต้นแบบ

เมื่อทำการวิเคราะห์ห้วงจรจากรูปที่ 3.9 โดยใช้วิธีการสังเคราะห์แบบกระแสเมช ฟังก์ชันถ่ายโอน ตัวแปรกระแสของวงจรสามารถเขียนได้เป็น

$$T_{10} = \left. \frac{I_{m1}}{I_{in}} \right|_{I_{m2}=0} = \frac{sR_s/L_1}{s^2 + sR_s/L_1 + 1/(L_1C_1)} \quad (3.2)$$

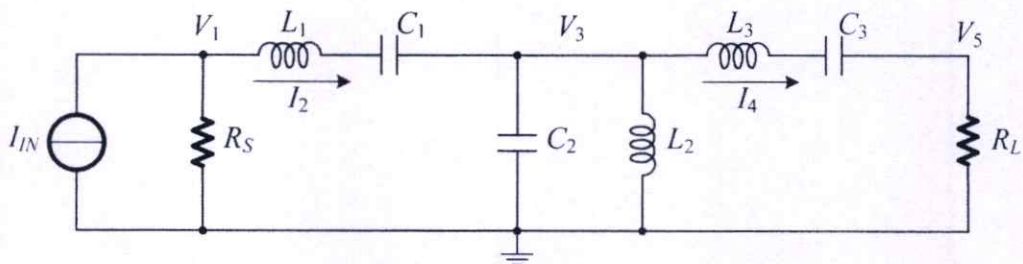
$$T_{12} = \left. \frac{I_{m1}}{I_{m2}} \right|_{I_{in}=0} = \frac{1/(L_1C_1)}{s^2 + sR_s/L_1 + 1/(L_1C_1)} \quad (3.3)$$

$$T_{21} = \left. \frac{I_{m2}}{I_{m1}} \right|_{I_{m3}=0} = \frac{1/(L_2C_1)}{s^2 + (C_1 + C_2)/(L_2C_1C_2)} \quad (3.4)$$

$$T_{23} = \left. \frac{I_{m2}}{I_{m3}} \right|_{I_{m1}=0} = \frac{1/(L_2C_2)}{s^2 + (C_1 + C_2)/(L_2C_1C_2)} \quad (3.5)$$

$$T_{32} = \left. \frac{I_{m3}}{I_{m2}} \right|_{I_{m1}=0} = \frac{1/(L_3C_2)}{s^2 + sR_L/L_3 + 1/(L_3C_2)} \quad (3.6)$$

และวงจรกรองแถบความถี่ผ่าน Chebyshev อันดับหกชนิดชั้นบันได สร้างโดยใช้วิธีการวิเคราะห์ที่ กระแสไหลออกจากวงจรกรองแถบความถี่ผ่าน Chebyshev ชนิดชั้นบันได RLC ดังแสดงในรูปที่ 3.10



รูปที่ 3.10 วงจรกรองแถบความถี่ผ่าน Chebyshev ชนิดชั้นบันไดต้นแบบ

วงจรจากรูปที่ 3.10 สามารถเขียนฟังก์ชันถ่ายโอนตัวแปรกระแสของวงจรในรูปของกระแสแกน และไบควอดฟังก์ชันได้เป็นได้ดังนี้

$$T_1 = \frac{R_1}{Z_0} \quad (3.7)$$

$$T_2 = \frac{Z_0}{sL_2 + 1/(sC_2)} \quad (3.8)$$

$$T_3 = \frac{1/Z_0}{sC_3 + 1/(sL_3)} \quad (3.9)$$

$$T_4 = \frac{Z_0}{sL_4 + 1/(sC_4)} \quad (3.10)$$

และ

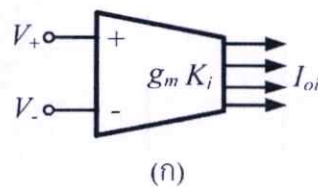
$$T_5 = \frac{R_2}{Z_0} \quad (3.11)$$

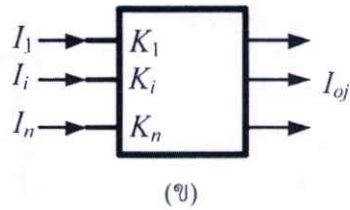
โดยกำหนดให้ $Z_0 = R_0 = R_1 = R_2$ และ $\omega_i^2 = 1/(L_i C_i)$

จากสมการที่ (3.2)-(3.11) สามารถนำไปสร้างเป็นวงจรกรองแถบความถี่ต่ำผ่านและวงจรกรองแถบความถี่ผ่านอันดับหกแบบกระแสชนิดชั้นบันได โดยใช้วงจร OTA หลายเอาต์พุต โดยกระแสเอาต์พุตของ OTA สามารถเขียนได้เป็น

$$I_{oi} = K_i g_m (V_+ - V_-) \quad \text{และ} \quad I_{oj} = \sum_{i=1}^n K_i I_i \quad (3.12)$$

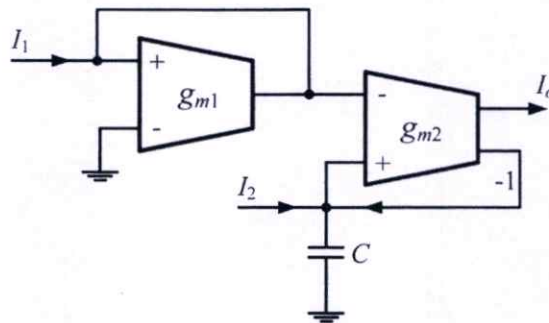
เมื่อ g_m คือ ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์อินพุตคูตีเฟอร์เรนเชียลของ OTA และ K_i เป็นอัตราขยายที่สะท้อนกระแสเอาต์พุตของ OTA สำหรับซีมอส OTA ทั้งสองชุดที่มีสี่เอาต์พุตโดยเป็นบวกสองเอาต์พุตและลบสองเอาต์พุต ดังแสดงในรูปที่ 3.11 อัตราขยายค่าทรานคอนดักแตนซ์โดยรวมของ OTA เป็นการกำหนด g_m และ K_i





รูปที่ 3.11 (ก) สัญลักษณ์ OTA ที่มีค่าความนำหลายเอาต์พุต (ข) สัญลักษณ์วงจรรกระแสบัฟเฟอร์

จากนั้นจึงนำมาสร้างวงจร OTA รูปแบบกระแสอันดับต่างๆ จำนวน 3 แบบ โดยที่วงจรรองรับรูปแบบกระแสอันดับหนึ่งของวงจรไบควอดฟังก์ชันแบบที่ 1 แสดงในรูปที่ 3.12



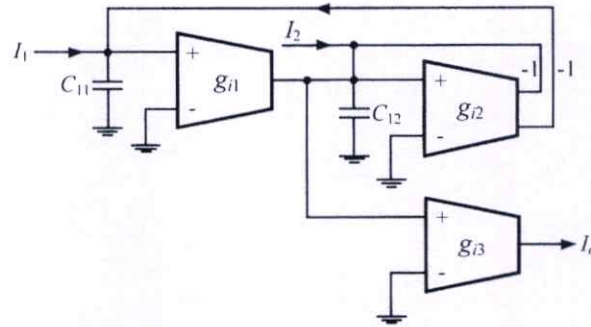
รูปที่ 3.12 วงจร CMOS OTA รูปแบบกระแสอันดับหนึ่งของวงจรไบควอดแบบที่ 1

ฟังก์ชันถ่ายโอน สามารถเขียนได้เป็น

$$I_o = \frac{s(g_{m2}/g_{m1})I_1 + (g_{m2}/C)I_2}{s + g_{m2}/C} \quad (3.13)$$

วงจรนี้สามารถสร้างเป็นวงจรกรองความถี่สูงผ่านอันดับหนึ่งทำได้โดยกำหนด $I_2 = 0$ และวงจรกรองความถี่ต่ำผ่านทำได้โดยการกำหนด $I_1 = 0$ ซึ่งเมื่อต้องการใช้งานเป็นวงจรกรองความถี่ต่ำผ่านเพียงอย่างเดียวแล้ว อุปกรณ์ OTA ตัวแรกก็ไม่จำเป็น โดยให้ขั้วบวก (Non-inverting) ของ OTA ตัวที่สองต่อลงไปยังกราวด์

วงจรกรองรูปแบบกระแสอันดับสองของไบควอดฟังก์ชันแบบที่ 2 แสดงในรูปที่ 3.13



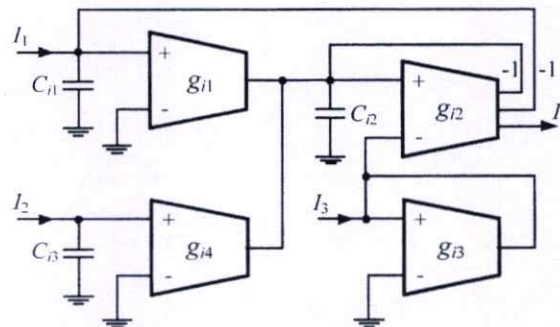
รูปที่ 3.13 วงจร CMOS OTA รูปแบบกระแสอันดับสองของวงจรโบริคอตแบบที่ 2

ฟังก์ชันถ่ายโอน สามารถเขียนได้เป็น

$$I_o = \frac{I_1 g_{11} g_{13} / C_{11} C_{12} + I_2 g_{13} s / C_{12}}{s^2 + s g_{12} / C_{12} + g_{11} g_{12} / C_{11} C_{12}} \quad (3.14)$$

วงจรมีสามารถสร้างเป็นวงจรกรองความถี่ต่ำผ่านอันดับสองทำได้โดยกำหนด $I_2 = 0$ และวงจรกรองแถบความถี่ผ่านทำได้โดยการกำหนด $I_1 = 0$

และสุดท้ายวงจรกรองรูปแบบกระแสอันดับสองของโบริคอตฟังก์ชันแบบที่ 3 แสดงในรูปที่ 3.14



รูปที่ 3.14 วงจร CMOS OTA รูปแบบกระแสอันดับสองของวงจรโบริคอตแบบที่ 3

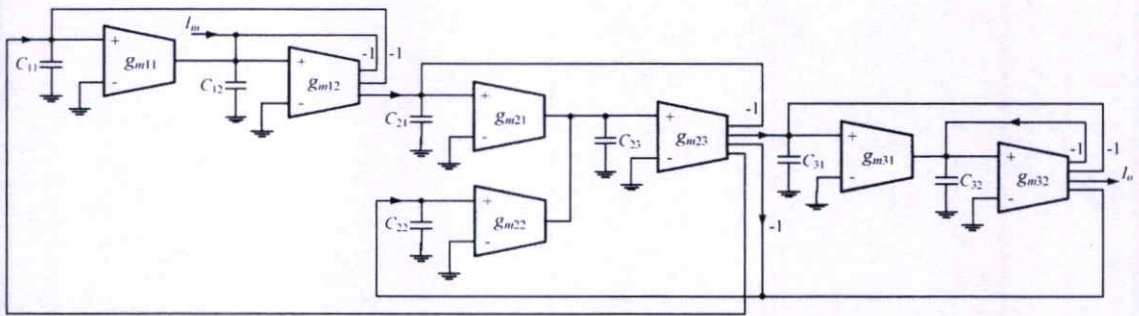
ฟังก์ชันถ่ายโอนของวงจร สามารถเขียนได้เป็น

$$i_o = \frac{I_1 g_{11} g_{12} / (C_{11} C_{12}) + I_2 g_{12} g_{14} / (C_{12} C_{13}) + I_3 s^2 g_{12} / g_{13}}{s^2 + s g_{12} / C_{12} + g_{11} g_{12} / (C_{11} C_{12})} \quad (3.15)$$

ซึ่งจะเห็นได้ว่าเป็นสามารถสร้างเป็นวงจรกรองความถี่สูงผ่านทำได้โดยการกำหนด $I_1 = I_2 = 0$ วงจรกรองความถี่ต่ำผ่านทำได้โดยการกำหนด $I_3 = 0$ และวงจรกรองความถี่ต้องการออกทำได้โดยการกำหนด $I_1 = I_3$ และ $I_2 = 0$ หรือ $I_2 = I_3$ และ $I_1 = 0$ สำหรับวงจรมีโบริคอตที่นำเสนอเป็นวงจรอันดับ

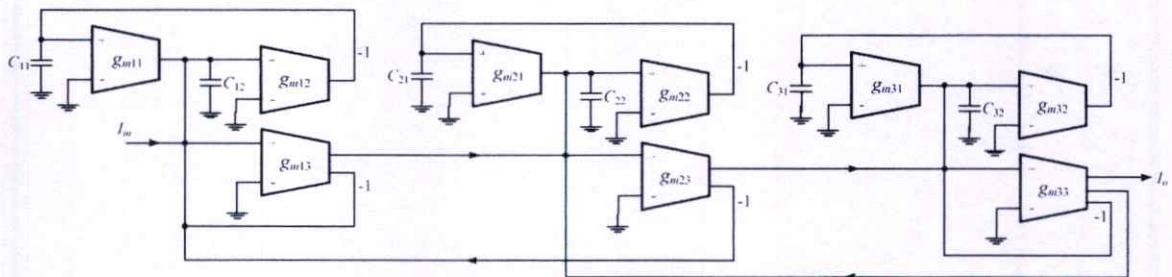
สองที่มีค่า Q เป็นอนันต์โดย OTA ตัวที่สองมีการป้อนกลับเป็นลบ สังเกตได้ว่าเป็น OTA ตัวที่สามสามารถละเว้นได้ในกรณีที่ป็นวงจรกรองความถี่ต่ำผ่าน

จากวงจรไบควอดทั้ง 3 แบบ สามารถจำลองการทำงานไปเป็นวงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดสร้างโดย OTA ได้ดังรูปที่ 3.15 โดยที่สมการ (3.2) (3.3) และ (3.6) สามารถสร้างได้โดยใช้วงจรไบควอดแบบที่ 1 โดยการนำ OTA ตัวที่สามออก ในขณะที่สมการ (3.4) และ (3.5) สามารถสร้างได้โดยใช้วงจรไบควอดแบบที่ 2 โดยการนำ OTA ตัวที่สี่ออก



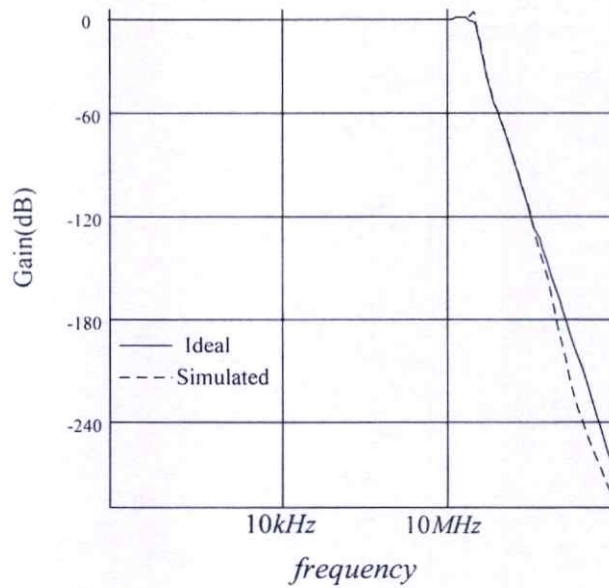
รูปที่ 3.15 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดสร้างโดย OTA

วงจรจากรูปที่ 3.10 สามารถจำลองการทำงานไปเป็นวงจรกรองแถบความถี่ผ่าน RLC ต้นแบบดังแสดงได้ดังรูปที่ 3.16



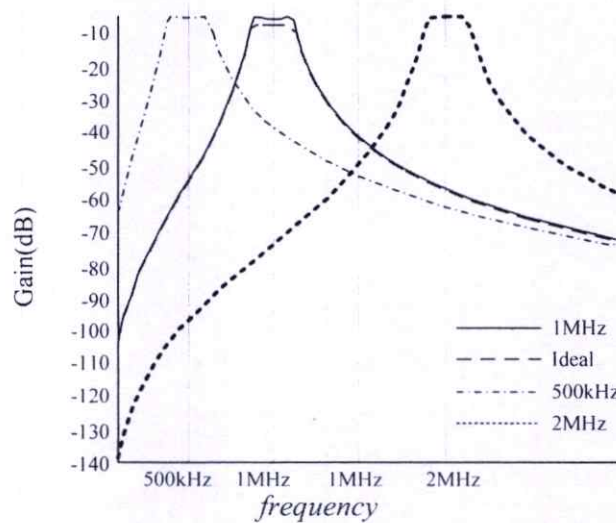
รูปที่ 3.16 การออกแบบวงจรกรองแถบความถี่ผ่านอันดับห้าชนิดชั้นบันไดสร้างโดย OTA

ผลการจำลองการทำงานของผลตอบสนองทางความถี่วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดสร้างโดย OTA เมื่อเทียบกับวงจรต้นแบบนั้นจะเห็นได้ว่าการกระเพื่อมที่ความถี่ตัด ดังแสดงในรูปที่ 3.17



รูปที่ 3.17 ผลตอบสนองทางความถี่วงจรรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดสร้างโดย OTA

นอกจากนี้ เรายังสามารถแสดงถึงผลตอบสนองทางความถี่วงจรรองแถบความถี่ผ่านอันดับหกชนิดชั้นบันไดสร้างโดย OTA ได้ดังรูป โดยจะเห็นได้ว่าตัววงจรมัน สามารถทำการปรับแต่งทางอิเล็กทรอนิกส์ได้



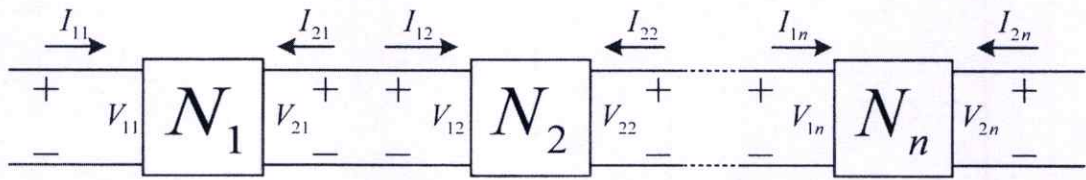
รูปที่ 3.18 ผลตอบสนองทางความถี่วงจรรองแถบความถี่ผ่านอันดับหกชนิดชั้นบันไดสร้างโดย OTA

จะเห็นได้ว่าวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับห้าและวงจรรองแถบความถี่ผ่านอันดับหกแบบกระแสวิกซ์ชนิดชั้นบันไดโดยใช้วงจรคู่ไขว้สามารถปรับความถี่กลางและปรับช่วงความถี่ใช้งานของวงจรมันได้ แต่ก็ยังมีข้อเสียคือ การใช้ OTA มากถึง 7 และ 9 ตัวตามลำดับ ซึ่งเมื่อนำมาสร้างเป็น

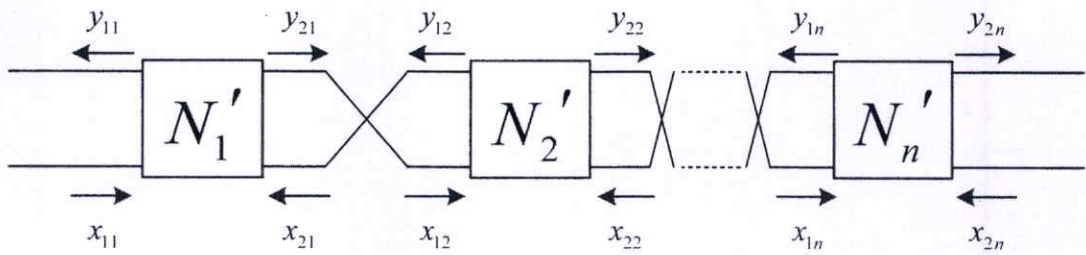
วงจรรวมจะมีขนาดใหญ่ และมีผลตอบสนองทางแมกนิจูดต่ำกว่า 2.5 MHz เนื่องจากค่าประจุแฝงของ OTA เอง ซึ่งทำให้ไม่สามารถใช้งานในด้านโทรคมนาคมได้

3.4 วงจรกรองความถี่อันดับสูงโดยใช้ OTA หลายเอาต์พุต

ในปี 2008 Yuh-Shyan Hwang, Dong-Shiuh Wub, Jiann-Jong Chen, Wen-Shou Chou [12] ได้นำเสนอ วิธีการสร้างวงจรกรองความถี่อันดับสูงโดยใช้ OTA หลายเอาต์พุต วงจรกรองความถี่รูปแบบกระแสได้ถูกนำเสนอขึ้นด้วยจำนวน OTA หลายเอาต์พุตที่น้อยที่สุด โดยสร้างจากหลักการของวงจรแปลงกระแสเชิงเส้น (Current Mode Linear Transform: CMLT)



รูปที่ 3.19 โครงข่ายสองพอร์ตต้นแบบ

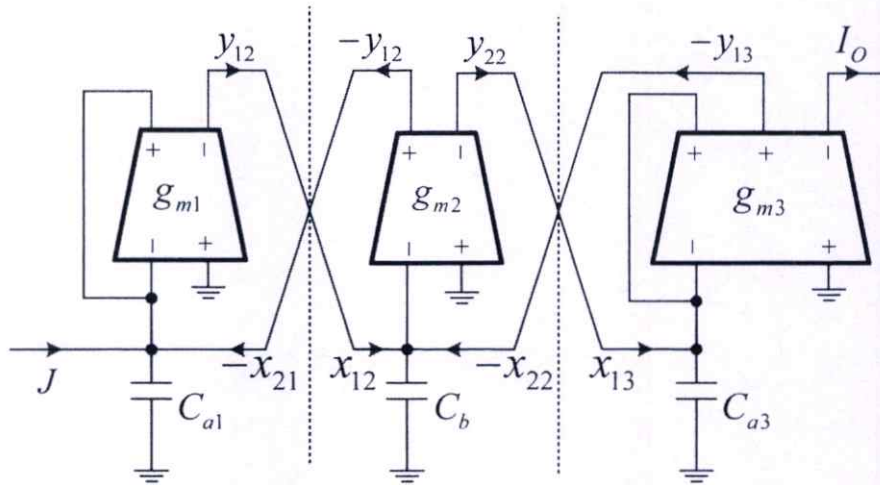


รูปที่ 3.20 การแปลงโครงข่ายสองพอร์ต

พิจารณา โครงข่ายสองพอร์ตในรูปที่ 3.19 และการแปลงโครงข่ายสองพอร์ตในรูปที่ 3.20 จะได้สมการ

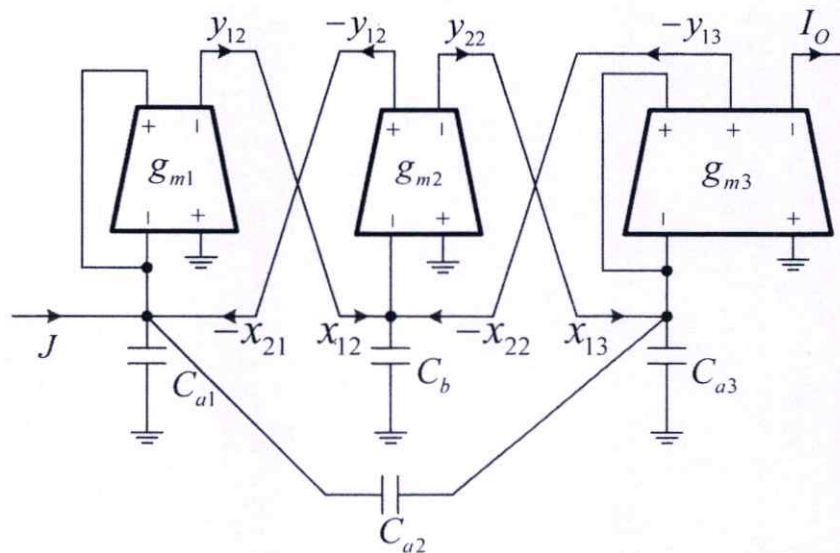
$$\begin{bmatrix} x_{1,j+1} \\ y_{1,j+1} \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} x_{2i} \\ y_{2i} \end{bmatrix} \quad (3.16)$$

งานวิจัยนี้ใช้วงจรกรองความถี่แบบขั้นบันได RLC ต้นแบบในการสร้างวงจรที่นำเสนอ โดยใช้วงจรแปลงกระแสเชิงเส้น และ OTA หลายเอาต์พุตต่อกับตัวเก็บประจุต่อลงกราวด์เพื่อสร้างเป็นวงจรกรองความถี่ที่นำเสนอ



รูปที่ 3.21 วงจรกรองความถี่ Chebyshev ที่นำเสนอ

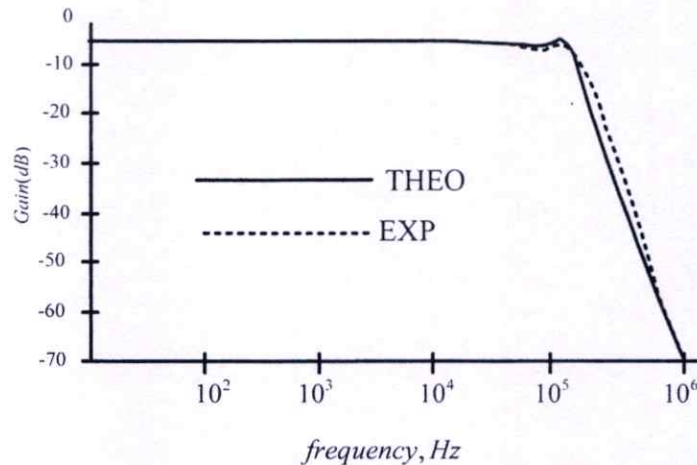
วงจรกรองความถี่ Chebyshev ที่นำเสนอแสดงในรูปที่ 3.21 ประกอบไปด้วย OTA หลายเอาต์พุตจำนวน 3 ตัว และตัวเก็บประจุต่อลงกราวด์จำนวน 3 ตัว



รูปที่ 3.22 วงจรกรองความถี่ Elliptic ที่นำเสนอ

วงจรกรองความถี่ Elliptic ที่นำเสนอแสดงในรูปที่ 3.22 ประกอบไปด้วย OTA หลายเอาต์พุตจำนวน 3 ตัว และตัวเก็บประจุต่อลงกราวด์จำนวน 3 ตัว และตัวเก็บประจุต่อลอยจำนวน 1 ตัว และมีโครงสร้างที่ซับซ้อนกว่าแบบ Chebyshev

วงจรรองความถี่ Elliptic ที่นำเสนอ นั้น ถูกทดสอบโดยใช้งาน OTAs LM13600 และมีค่า $g_{m1} = g_{m3} = 6910 \mu A/V$ $g_{m2} = 6320 \mu A/V$ $C_{a1} = C_{a3} = 20 nF$ และ $C_b = 20 nF$ ซึ่งผลการจำลองการทำงานของวงจรเป็นดังรูปที่ 3.23



รูปที่ 3.23 ผลตอบสนองทางความถี่วงจรรองความถี่ Elliptic ที่นำเสนอเทียบต้นแบบ

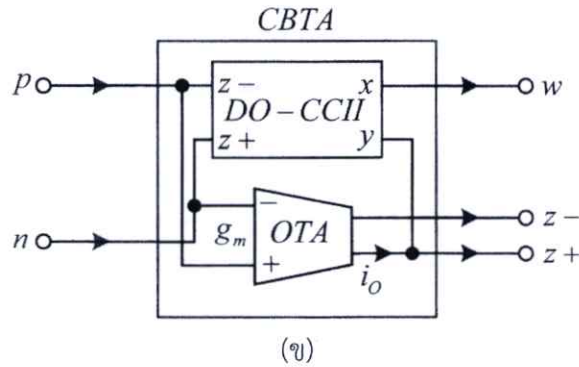
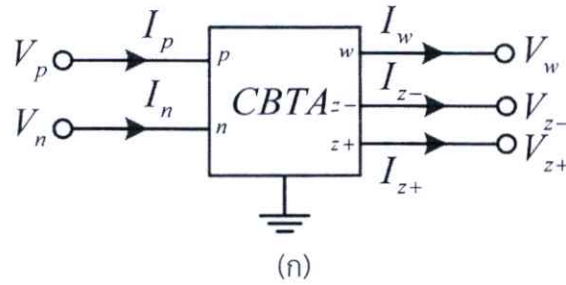
วงจรที่นำเสนอมีโครงสร้างที่ง่าย แต่ยังสามารถทำงานได้ที่ย่านความถี่ 100KHz ซึ่งถือว่าเป็นย่านความถี่ต่ำไม่เหมาะในงานโทรคมนาคม เพราะตัวอุปกรณ์ที่ใช้งานนั้น คือ OTA ซึ่งทำให้ไม่สามารถทำงานในย่านความถี่ที่สูงกว่าที่นำเสนอด้วยข้อจำกัดทางด้านค่าประจุแฝงของตัวอุปกรณ์เอง นอกจากนี้ วงจรรองในรูปแบบ Elliptic ยังคงมีตัวเก็บประจุต่อลรอยทำให้ไม่เหมาะในการสร้างเป็นวงจรรวม และไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ในย่านที่กว้าง

3.5 วงจรรองความถี่ Leapfrog รูปแบบกระแสโดยใช้อุปกรณ์แอกทีฟแบบใหม่

ในปี 2010 Umut E. Ayten, Mehmet Sagbas, Herman Sedef [16] ได้นำเสนอวงจรจรรองความถี่ Leap Frog รูปแบบกระแสโดยใช้อุปกรณ์แอกทีฟแบบใหม่ โดยอุปกรณ์นี้มีชื่อว่า วงจรขยายกระแสทรานคอนดักแตนซ์กลับทิศทาง (current backward transconductance amplifier: CBTA) ซึ่งสามารถแสดงรูปที่ 3.20 (ก) โดยสาธิตการทำงาน CBTA ด้วยการสร้างเป็นวงจรรองความถี่แบบขั้นบันได Leapfrog และสร้างเป็นวงจรรองความถี่ต่ำผ่าน Butterworth อันดับห้า ที่ใช้อุปกรณ์แอกทีฟที่จำนวนน้อยที่สุด

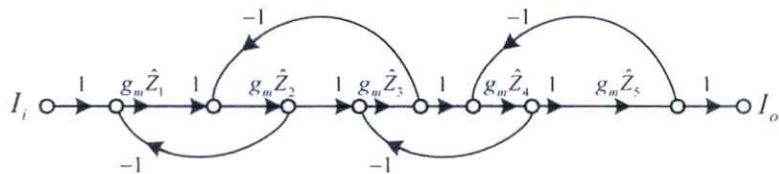
การสร้าง CBTA สามารถทำได้จากการต่อวงจรสายพานกระแสสองเอาต์พุต (Dual Output second generation Current Conveyor: DO-CCII) ร่วมกับ OTA ดังรูปที่ 3.24 (ข) สามารถเขียนเมทริกซ์ของ CBTA ได้ดังสมการ

$$\begin{bmatrix} i_{z+} \\ i_{z-} \\ v_w \\ i_p \\ i_n \end{bmatrix} = \begin{bmatrix} g_m & -g_m & 0 & 0 & 0 \\ -g_m & g_m & 0 & 0 & 0 \\ 0 & 0 & \mu_w & 0 & 0 \\ 0 & 0 & 0 & 0 & \alpha_p \\ 0 & 0 & 0 & 0 & -\alpha_n \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_{z+} \\ v_{z-} \\ i_w \end{bmatrix} \quad (3.17)$$



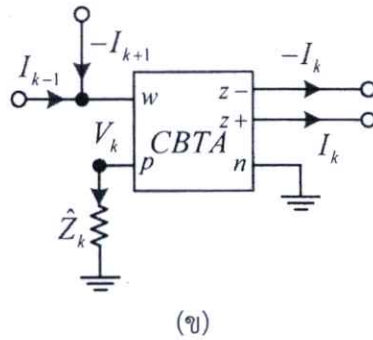
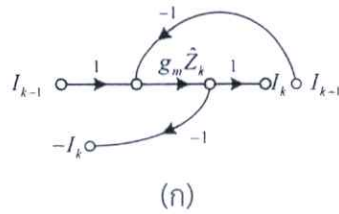
รูปที่ 3.24 (ก) บล็อกไดอะแกรม (ข) วงจรขยายกระแสทรานคอนดักต์กลับทิศทาง (CBTA)

หลังจากนั้นจึงนำวงจรรองความถี่ขั้นบันได Leapfrog รูปแบบกระแสต้นแบบ มาเขียนกราฟการไหลของสัญญาณดังรูปที่ 3.25

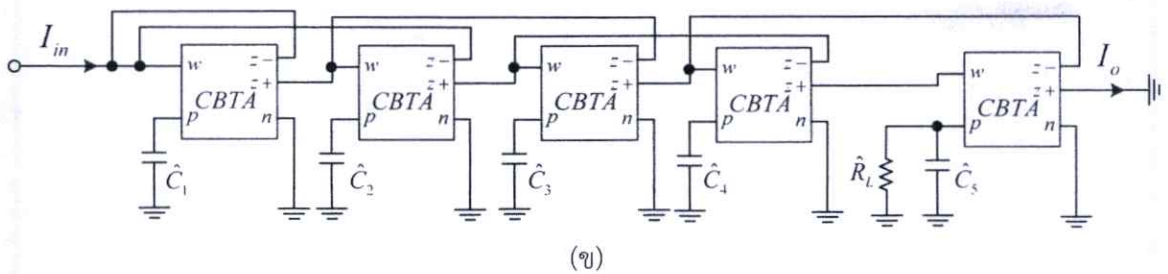
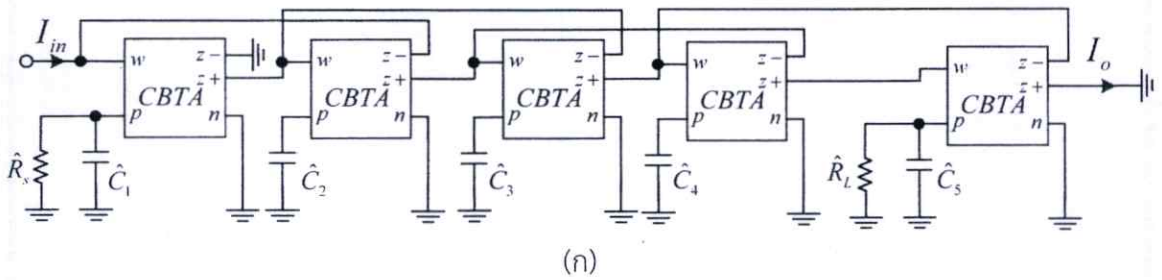


รูปที่ 3.25 กราฟการไหลของสัญญาณวงจรรองความถี่ขั้นบันได Leapfrog รูปแบบกระแสต้นแบบ

นำ CBTA ที่ได้นำเสนอมาต่อแทนที่รูปกราฟในแต่ละเฟสดังรูปที่ 3.26

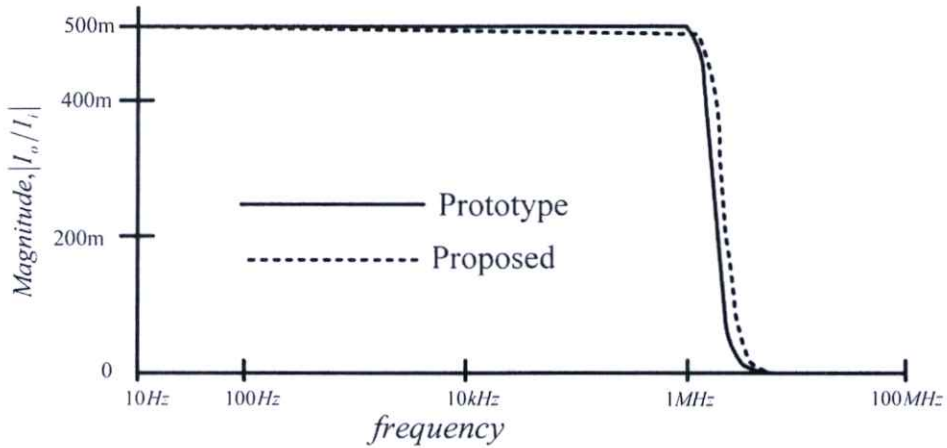


รูปที่ 3.26 (ก) กราฟย่อยของรูปที่ 3.21 (ข) วงจรย่อยของ CBTA ที่ได้นำเสนอ

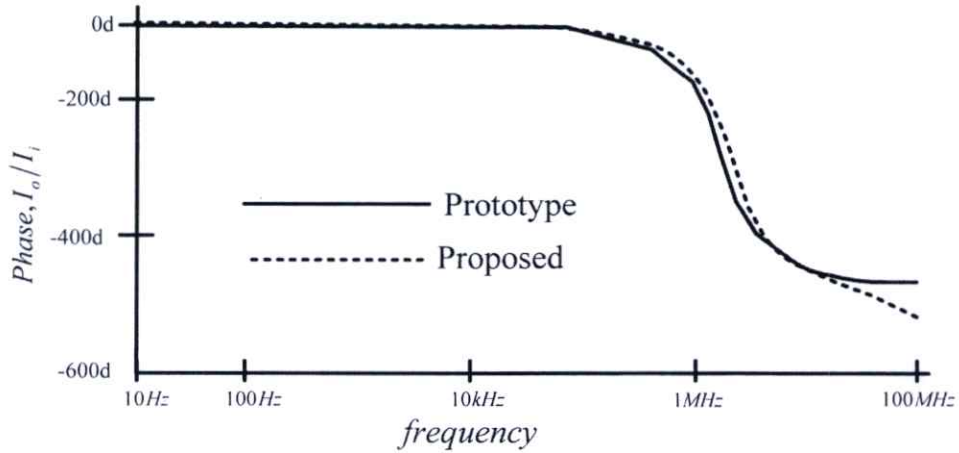


รูปที่ 3.27 (ก) วงจรกรองความถี่ขั้นบันได Leapfrog รูปแบบกระแสด (ข) วงจรแบบที่ปรับค่าแล้ว

หลังจากนั้นจึงนำ CBTA แทนที่ในทุกเฟสแล้วจะได้วงจรกรองความถี่ขั้นบันได Leapfrog รูปแบบกระแสดในรูปที่ 3.27(ก) และแบบปรับค่าแล้วในรูปที่ 3.27(ข)



(ก)



(ข)

รูปที่ 3.28 (ก) ผลตอบสนองทางความถี่ (ข) ผลตอบสนองทางความเฟส

วงจรกรองความถี่ขั้นบันได Leapfrog รูปแบบกระแสที่นำเสนอสามารถทำงานได้ใกล้เคียงกับวงจรต้นแบบในย่านความถี่ 1MHz แต่ไม่สามารถให้ผลตอบสนองที่มากกว่านี้ได้เนื่องจากค่าประจุแฝงของอุปกรณ์ที่ใช้งานในบิวต์บล็อกรวม (OTA) และต้องมีการใช้ CBTA และตัวเก็บประจุต่อลงกราวด์ตามจำนวนอันดับของวงจรกรองความถี่ แต่ก็ยังต้องใช้ตัวต้านทานต่อในอันดับสุดท้าย 1 ตัวอยู่ดี โดยวงจรที่ได้ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ ทำให้ใช้งานได้ค่อนข้างจำกัดบนย่านการทำงานที่ความถี่ต่ำและไม่เหมาะสำหรับการสร้างเป็นวงจรรวม

3.6 บทสรุป

ในบทนี้กล่าวถึงงานวิจัยในอดีตที่ถูกพัฒนามาอย่างต่อเนื่อง โดยงานวิจัยที่กล่าวถึงส่วนมากเป็นการนำบล็อกแอกทิฟมาสร้างเป็นวงจรกรองความถี่รูปแบบต่างๆ โดยแนวคิดในการสร้างวงจรส่วนมากจะทำการเลียนแบบวงจรกรองที่ใช้ RLC เป็นต้นแบบในการพัฒนา โดยในบทนี้ได้ชี้ให้เห็นถึงการพัฒนาอย่างต่อเนื่องของการนำบล็อกแอกทิฟมาสร้างเป็นวงจรกรองความถี่รูปแบบต่างๆ รวมทั้งวิเคราะห์ถึงข้อดีและข้อเสียของแต่ละวงจрдังแสดงในตาราง 3.2

ตาราง 3.2 รายละเอียดงานวิจัยที่เกี่ยวข้อง

หัวข้อ	ชื่องานวิจัย	อุปกรณ์ที่ใช้ในงานวิจัย	ข้อเสีย
3.2	วงจรกรองรูปแบบกระแสชนิดชั้นบันไดโดยใช้วงจรสายพานกระแสหลายเอาต์พุต	วงจรสายพานกระแสหลายเอาต์พุต (MOCC)	<ul style="list-style-type: none"> • ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ • ทำงานได้ที่ความถี่ต่ำด้วยข้อจำกัดของบล็อกแอกทิฟที่สร้างขึ้น • มีความซับซ้อนทางด้านโครงสร้างของอุปกรณ์ MOCC เนื่องจากค่า W/L ของ MOS ที่ใช้งานนั้นมีหลากหลาย
3.3	วงจรกรองความถี่ต่ำผ่านและวงจรกรองแถบความถี่ผ่านชนิดชั้นบันไดโดยใช้วงจรคูโบควอตบนพื้นฐานอุปกรณ์บล็อกแอกทิฟ OTA	OTA	<ul style="list-style-type: none"> • เมื่อนำมาสร้างเป็นวงจรรวมจะมีขนาดใหญ่ • ผลตอบสนองทางแอมพลิจูดต่ำกว่า 2.5 MHz

ตาราง 3.2 รายละเอียดงานวิจัยที่เกี่ยวข้อง (ต่อ)

หัวข้อ	ชื่องานวิจัย	อุปกรณ์ที่ใช้ในงานวิจัย	ข้อเสีย
3.4	วงจรกรองความถี่อันดับสูงโดยใช้ OTA หลายเอาต์พุต	OTA หลายเอาต์พุต	<ul style="list-style-type: none"> • ยังทำงานได้ที่ย่าน 100KHz ซึ่งไม่เหมาะในงานโทรคมนาคม • ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ในย่านกว้าง
3.5	วงจรกรองความถี่รูปแบบกระแสโดยใช้อุปกรณ์แอกทีฟแบบใหม่	วงจรขยายกระแสทรานคอนดักแตนท์กลับทิศทาง	<ul style="list-style-type: none"> • ยังทำงานได้ที่ย่าน 1 MHz ซึ่งไม่เหมาะในงานโทรคมนาคม • ต้องใช้ตัวต้านทานต่อในอันดับสุดท้าย • ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้

โดยส่วนมากวงจรในอดีตสามารถทำงานได้ดีที่ความถี่ต่ำด้วยข้อจำกัดของบล็อกแอกทีฟวิทยานิพนธ์ฉบับนี้จึงสังเกตเห็นข้อจำกัดนี้ และในอดีตยังไม่เคยมีการนำเสนอวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้ซิมอสไบควอตฟังก์ชัน โดยวงจรทำงานที่ระดับทรานซิสเตอร์ทำให้กำจัดข้อจำกัดของบล็อกแอกทีฟดังกล่าวออกไปได้ ดังนั้นแล้ววิทยานิพนธ์นี้จึงนำเสนอวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้ซิมอสไบควอตฟังก์ชัน เพื่อยืนยันการทำงานของวงจรกับทฤษฎี

บทที่ 4

วงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูง โดยใช้ซิมอสไบควอตฟังก์ชัน

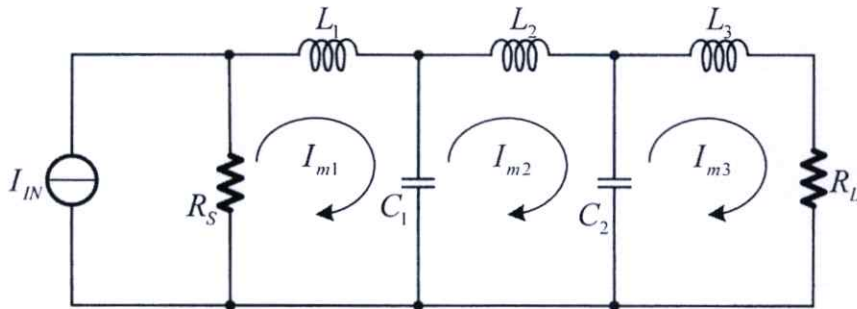
4.1 บทนำ

วิทยานิพนธ์ฉบับนี้นำเสนอวิธีการอีกแบบเพื่อให้ได้มาซึ่งวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้ซิมอสบนพื้นฐานไบควอตฟังก์ชันที่แตกต่างกันสามแบบ โดยมีวงจรต้นแบบเป็นวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านเซปีเซฟแบบแพสซีฟ และใช้วิธีการวิเคราะห์แบบเมชและโหนดเพื่อให้ได้มาซึ่งฟังก์ชันไบควอตที่ใช้งาน จากนั้นจึงนำฟังก์ชันมาเพื่อออกวงจรแบบไบควอตทั้งสามแบบผ่านทางอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียโดยใช้ซิมอส โดยที่วงจรรองความถี่ต่ำผ่านชั้นบันไดจะถูกสร้างโดยใช้งานวงจรไบควอตแบบที่ 1 และ 2 ในขณะที่วงจรรองแถบความถี่ผ่านชั้นบันไดจะถูกสร้างโดยใช้งานวงจรไบควอตแบบที่ 3 โดยวงจรรองความถี่ต่ำผ่านที่นำเสนอประกอบด้วยทรานซิสเตอร์ 40 ตัวและตัวเก็บประจุต่อลงกราวด์จำนวน 6 ตัว ในขณะที่วงจรรองแถบความถี่ผ่านจะประกอบด้วยทรานซิสเตอร์ 39 ตัวและตัวเก็บประจุต่อลงกราวด์จำนวน 6 ตัว โดยในการศึกษานั้น มีการจำลองการทำงานโดยดำเนินการบนอินทิเกรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสีย วงจรไบควอต และวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านเพื่ออธิบายความสามารถในการปรับค่าได้ทางอิเล็กทรอนิกส์ด้วยการปรับค่ากระแสไบอัสตั้งแต่ $1\mu A$ ถึง $100\mu A$ รวมทั้งมีการจำลองการทำงานแบบมัลติโตนเพื่อประเมินประสิทธิภาพการทำงานของวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่าน ซึ่งเป็นที่น่าสนใจว่า วงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านที่นำเสนอ นั้น มีลักษณะเด่นที่น่าสนใจมากมาย กล่าวคือ มีการใช้อุปกรณ์แบบแอคทีฟและแพสซีฟจำนวนน้อย มีการใช้พลังงานต่ำ ใช้ความต่างศักย์ในการทำงานน้อย รวมถึงสามารถทำงานที่ย่านความถี่ได้สูงและสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ได้กว้าง

4.2 การวิเคราะห์ห้วงจรกรองชั้นบันได

4.2.1 วงจรกรองความถี่ต่ำผ่านชั้นบันได

วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับห้าชนิดชั้นบันได ถูกสร้างโดยใช้วิธีการแปลงจากวงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันได RLC แบบปลายปิดคู่ต้นแบบ (Doubly Terminated) ซึ่งประกอบด้วยกระแสเมช 3 กระแสดังแสดงในรูปที่ 4.1



รูปที่ 4.1 วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันได RLC แบบปลายปิดคู่ต้นแบบ

เมื่อทำการอ้างอิงสมการที่ (2.61)-(2.65) และบล็อกไดอะแกรมในรูปที่ 2.29 ในบทที่ 2 แล้วฟังก์ชันถ่ายโอนตัวแปรกระแสของวงจรกรองในรูปที่ 4.1 สามารถเขียนได้เป็น

$$T_{10} = \frac{I_{m1}}{I_{in}} \Big|_{I_{m2}=0} = \frac{sR_s/L_1}{s^2 + sR_s/L_1 + 1/(L_1C_1)} \quad (4.1)$$

$$T_{12} = \frac{I_{m1}}{I_{m2}} \Big|_{I_{in}=0} = \frac{1/(L_1C_1)}{s^2 + sR_s/L_1 + 1/(L_1C_1)} \quad (4.2)$$

$$T_{21} = \frac{I_{m2}}{I_{m1}} \Big|_{I_{m3}=0} = \frac{1/(L_2C_1)}{s^2 + (C_1 + C_2)/(L_2C_1C_2)} \quad (4.3)$$

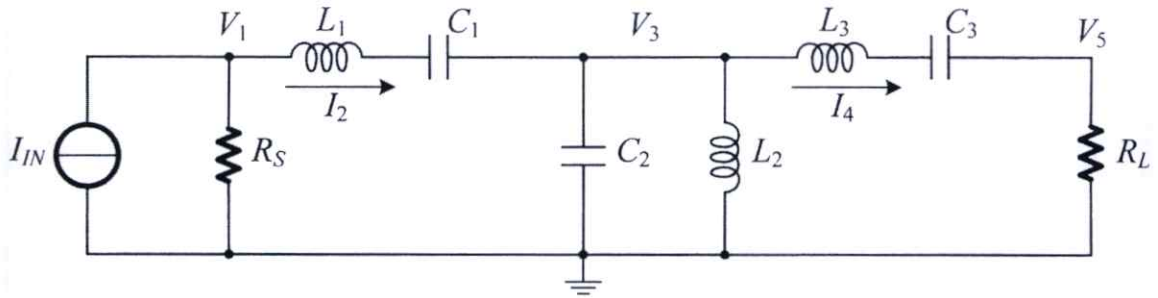
$$T_{23} = \frac{I_{m2}}{I_{m3}} \Big|_{I_{m1}=0} = \frac{1/(L_2C_2)}{s^2 + (C_1 + C_2)/(L_2C_1C_2)} \quad (4.4)$$

$$T_{32} = \frac{I_{m3}}{I_{m2}} = \frac{1/(L_3C_2)}{s^2 + sR_L/L_3 + 1/(L_3C_2)} \quad (4.5)$$

เมื่อพิจารณาสมการที่เกิดขึ้น จะเห็นได้ว่าสมการที่ (4.1) และ (4.2),(4.5) นั้นเป็นฟังก์ชันทั่วไปในรูปแบบไบควอดฟังก์ชันของวงจรกรองแถบความถี่ผ่านและความถี่ต่ำผ่านตามลำดับ และสมการที่ (4.3),(4.4) แสดงถึงไบควอดฟังก์ชันของวงจรกรองความถี่ต่ำผ่านซึ่งมีความคมของสัญญาณสูงและมีเกนน้อยกว่าหนึ่ง (high-Q, below-unity-gain (<1)) ซึ่งฟังก์ชันที่เกิดขึ้นข้างต้นนี้จะถูกสร้างขึ้นในหัวข้อถัดไป

4.2.2 วงจรกรองแถบความถี่ผ่านชั้นบันได

วงจรกรองแถบความถี่ผ่าน Chebyshev อันดับหกชนิดชั้นบันได สร้างโดยใช้วิธีการวิเคราะห์กระแสไหลออกจากวงจรกรองแถบความถี่ผ่าน Chebyshev ชนิดชั้นบันได RLC ดังแสดงในรูปที่ 4.2



รูปที่ 4.2 วงจรกรองแถบความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดต้นแบบ

เมื่อทำการอ้างอิงถึงสมการที่ (2.66)-(2.71) และบล็อกไดอะแกรมในรูปที่ 2.31 ในบทที่ 2 แล้วฟังก์ชันถ่ายโอนตัวแปรกระแสของวงจรกรองในรูปที่ 4.2 สามารถเขียนในรูปของกระแสแกนและไบควอดฟังก์ชันได้เป็น

$$T_1 = \frac{R_S}{Z_0} \quad (4.6)$$

$$T_2 = \frac{Z_0}{sL_1 + 1/(sC_1)} = \frac{sZ_0/L_1}{s^2 + 1/L_1C_1} \quad (4.7)$$

$$T_3 = \frac{1/Z_0}{sC_2 + 1/(sL_2)} = \frac{s/Z_0C_2}{s^2 + 1/L_2C_2} \quad (4.8)$$

$$T_4 = \frac{Z_0}{sL_3 + 1/(sC_3)} = \frac{sZ_0/L_3}{s^2 + 1/L_3C_3} \quad (4.9)$$

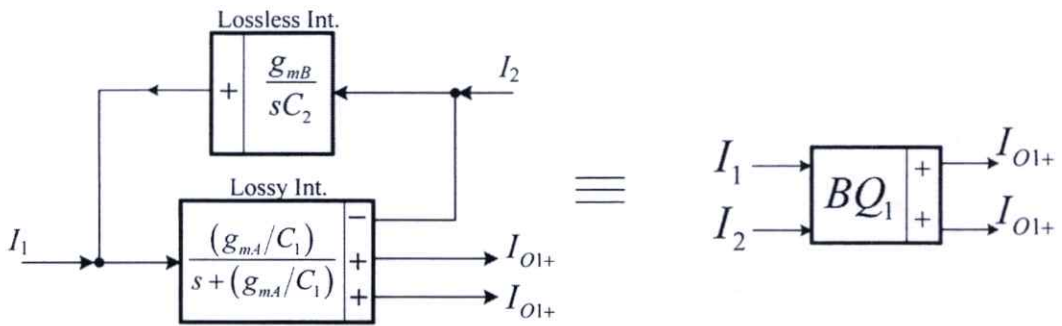
$$T_5 = \frac{R_L}{Z_0} \quad (4.10)$$

โดยจะเห็นได้ว่าสมการที่ (4.6) และ (4.10) นั้นจะอยู่ในรูปแบบกระแสแกนและสมการที่ (4.7) ถึง (4.9) แสดงถึงไบควอดฟังก์ชันของวงจรกรองแถบความถี่ผ่านซึ่งมีความคมของสัญญาณสูงซึ่งฟังก์ชันที่เกิดขึ้นข้างต้นนี้จะถูกสร้างขึ้นในหัวข้อถัดไป

4.3 การสร้างวงจรกรองโดยใช้ซีมอสไปควอตฟังก์ชัน

4.3.1 วงจรกรองซีมอสไปควอตฟังก์ชันชนิดที่ 1

วงจรกรองไปควอตฟังก์ชันชนิดที่ 1 (BQ_1) นั้นมีลักษณะที่เป็นฟังก์ชันที่มีอินพุตคู่และเอาต์พุตเดี่ยวซึ่งสามารถสร้างขึ้นจากอินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสียอย่างละ 1 ตัว ซึ่งสามารถแสดงดังรูปที่ 4.3

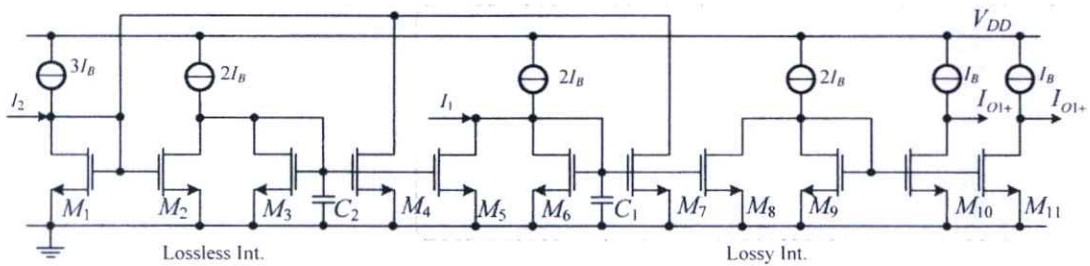


รูปที่ 4.3 บล็อกไดอะแกรมวงจรกรองไปควอตฟังก์ชันชนิดที่ 1 (BQ_1)

เมื่อทำการวิเคราะห์ห้วงจรข้างต้น กระแสเอาต์พุตของวงจรสามารถเขียนได้เป็น

$$I_{O1+} = \frac{s(g_{mA}/C_1)I_1 + (g_{mA}g_{mB}/C_1C_2)I_2}{s^2 + s(g_{mA}/C_1) + (g_{mA}g_{mB}/C_1C_2)} \quad (4.11)$$

ซึ่งจากรูปที่ 4.3 และสมการที่ (4.11) กระแสเอาต์พุตของวงจรจะอยู่ในรูปของวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงไปควอตฟังก์ชัน และการสร้างวงจรกรองไปควอตฟังก์ชันชนิดที่ 1 บนพื้นฐานอินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอส [19-21] ทำได้โดยแทนที่บล็อกไดอะแกรมในรูปที่ 4.3 ดังรูปที่ 4.4



รูปที่ 4.4 วงจรกรองไปควอตฟังก์ชันชนิดที่ 1 (BQ_1) ที่นำเสนอ

โดยโครงสร้างในระดับทรานซิสเตอร์ข้างต้นนี้ให้ผลลัพธ์ที่ดี กล่าวคือ ใช้พลังงานต่ำ ปรับค่าได้ทางอิเล็กทรอนิกส์ จำนวนอุปกรณ์ที่น้อยรวมทั้งสามารถทำงานในย่านความถี่สูง จากนั้นพิจารณาวงจรในรูปที่ 4.8 โดยให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวมีความสมพงค์กัน ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_{m7} = g_{m8} = g_m$) จะได้ฟังก์ชันถ่ายโอนดังนี้

$$I_{O1+} = \frac{s(g_m/C_1)I_1 + (g_m^2/C_1C_2)I_2}{s^2 + s(g_m/C_1) + (g_m^2/C_1C_2)} \tag{4.12}$$

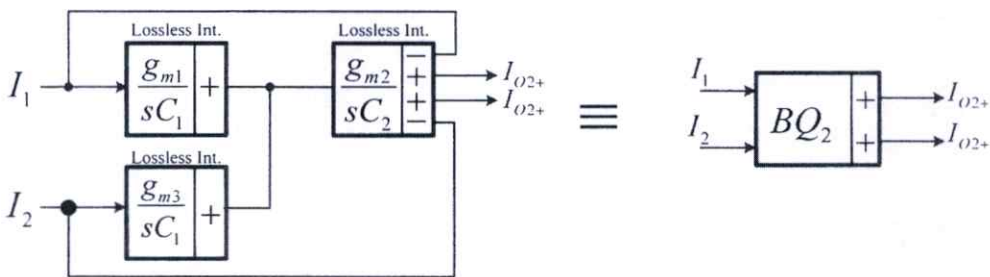
เมื่อพิจารณาสมการที่ (4.12) วงจรกรองโดยใช้ซิมอสไบควอตฟังก์ชันทั้งสองประเภทสามารถได้มาภายใต้พื้นฐานดังนี้ คือ

- วงจรกรองความถี่ต่ำผ่าน เมื่อให้ $I_1 = I_{in}$ และ $I_2 = 0$ และ
- วงจรกรองแถบความถี่ผ่าน เมื่อให้ $I_1 = 0$ และ $I_2 = I_{in}$

ซึ่งจะเห็นได้ว่าสมการที่ (4.12) ยังสอดคล้องกับสมการที่ (4.1) และ (4.2),(4.5) ซึ่งผ่านการวิเคราะห์แบบกระแสเมซอีกด้วย

4.3.2 วงจรกรองซิมอสไบควอตฟังก์ชันชนิดที่ 2

วงจรกรองไบควอตฟังก์ชันชนิดที่ 2 (BQ_2) นั้นสามารถสร้างขึ้นจากอินทิเกรเตอร์ชนิดไม่สูญเสียจำนวน 3 ตัว และยิ่งไปกว่านั้นวงจรกรองนี้ยังประกอบด้วยวงจรกรองความถี่ต่ำผ่านไบควอตฟังก์ชันซึ่งมีความคมของสัญญาณสูงจำนวน 2 ฟังก์ชันอีกด้วย โดยบล็อกไดอะแกรมสามารถแสดงดังรูปที่ 4.5

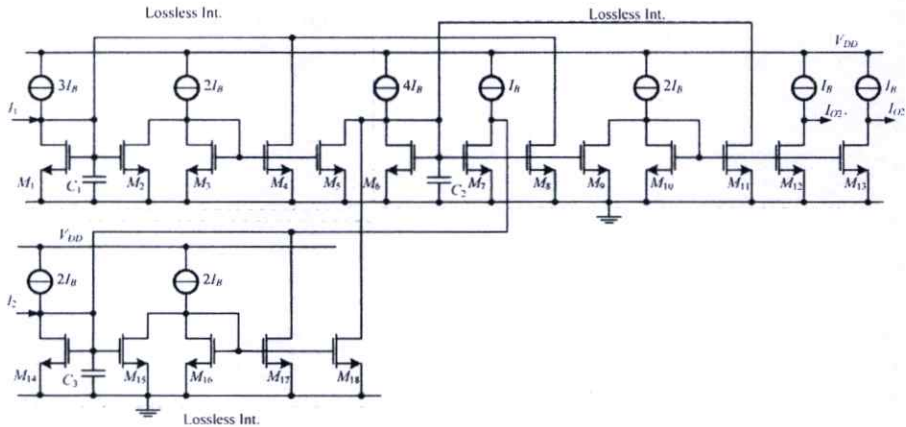


รูปที่ 4.5 บล็อกไดอะแกรมวงจรกรองไบควอตฟังก์ชันชนิดที่ 2 (BQ_2)

เมื่อทำการวิเคราะห์วงจรข้างต้นโดยให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวมีความสมพงค์กัน ($g_{m1} = g_{m2} = g_{m3} = g_m$) กระแสเอาต์พุตของวงจรสามารถเขียนได้เป็น

$$I_{O2+} = \frac{I_1(g_m^2/C_1C_2) + I_2(g_m^2/C_1C_2)}{s^2 + (2g_m^2/C_1C_2)} \tag{4.13}$$

เมื่อพิจารณาสมการที่ (4.13) จะเห็นได้ว่าเราจะได้วงจรกรองความถี่ต่ำผ่านไบควอดฟังก์ชันซึ่งมีความคมของสัญญาณสูงและมีค่าเกนครึ่งหนึ่ง นอกจากนี้ยังสามารถสร้างวงจรกรองไบควอดฟังก์ชันชนิดที่ 2 ในโหมดกระแสโดยใช้งานอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอส [19-21] ได้ดังแสดงในรูปที่ 4.6

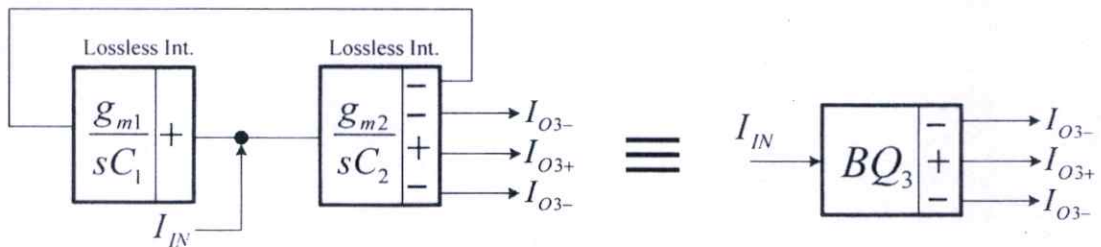


รูปที่ 4.6 วงจรกรองไบควอดฟังก์ชันชนิดที่ 2 (BQ_2) ที่นำเสนอ

นอกจากนี้ยังเห็นได้ว่าสมการที่ (4.13) ยังสอดคล้องกับสมการที่ (4.3) และ (4.4) ซึ่งผ่านการวิเคราะห์แบบกระแสเมชอีกด้วย

4.3.3 วงจรกรองซีมอสไบควอดฟังก์ชันชนิดที่ 3

วงจรกรองไบควอดฟังก์ชันชนิดที่ 3 (BQ_3) นั้นสามารถสร้างขึ้นจากอินทิเกรเตอร์ชนิดไม่สูญเสียจำนวน 2 ตัว และยิ่งไปกว่านั้นวงจรกรองนี้ยังให้เอาต์พุตถึง 3 เอาต์พุตของวงจรกรองแถบความถี่ต่ำผ่านไบควอดฟังก์ชันซึ่งมีความคมของสัญญาณสูงอีกด้วย โดยบล็อกไดอะแกรมสามารถแสดงดังรูปที่ 4.7

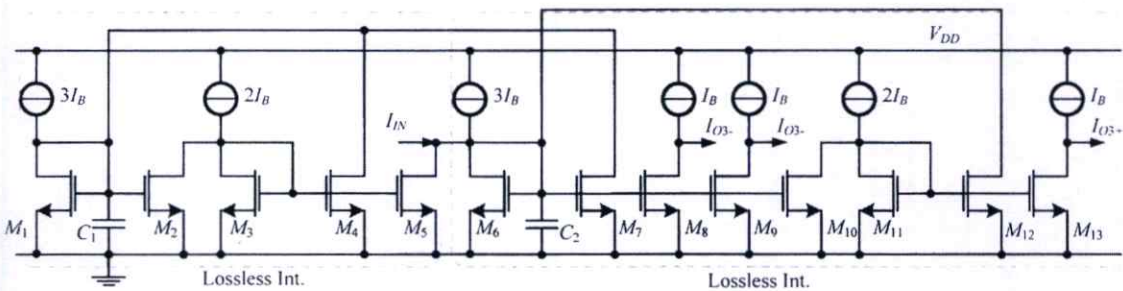


รูปที่ 4.7 บล็อกไดอะแกรมวงจรกรองไบควอดฟังก์ชันชนิดที่ 3 (BQ_3)

เมื่อทำการวิเคราะห์ห้วงจรข้างต้นโดยให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวมีความสมพียงกัน ($g_{m1} = g_{m2} = g_m$) กระแสเอาต์พุตของวงจรสามารถเขียนได้เป็น

$$I_{O3+} = -I_{O3-} = \frac{I_{IN} (sg_m / C_2)}{s^2 + g_m^2 / C_1 C_2} \quad (4.14)$$

เมื่อพิจารณาสมการที่ (4.14) จะเห็นได้ว่าเราจะได้วงจรกรองแถบความถี่ผ่านไบควอดฟังก์ชันซึ่งมีความคมของสัญญาณสูง นอกจากนี้ยังสามารถสร้างวงจรกรองไบควอดฟังก์ชันชนิดที่ 3 ในโหมดกระแสโดยใช้งานอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ซิมอส [19-21] ได้ดังแสดงในรูปที่ 4.8



รูปที่ 4.8 วงจรกรองไบควอดฟังก์ชันชนิดที่ 3 (BQ_3) ที่นำเสนอ

นอกจากนี้ยังเห็นได้ว่าสมการที่ (4.14) ยังสอดคล้องกับสมการที่ (4.7) ถึง (4.9) ซึ่งผ่านการวิเคราะห์แบบกระแสไหลย้อนอีกด้วย ในทางตรงกันข้าม สมการที่ (4.6) และ (4.10) สามารถได้มาโดยการป้อนกลับเอาต์พุตที่เป็นลบไปยังอินพุตของวงจร

โดยจากสมการที่ (4.11)-(4.14) ค่าของ g_m สามารถเขียนได้เป็น

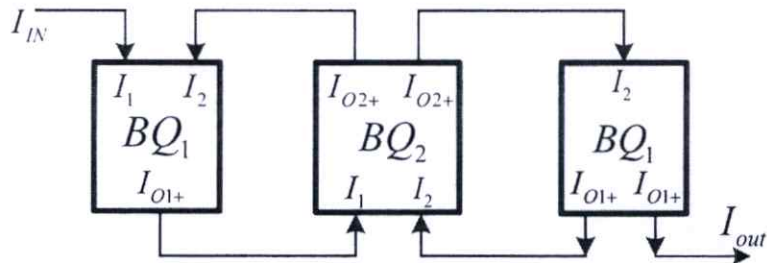
$$g_m = \sqrt{2\mu C_{OX} \frac{W}{L} I_B} \quad (4.15)$$

เมื่อ μ , C_{OX} , W และ L คือค่าความคล่องของอิเล็กตรอน, ประจุที่เกิดจากความหนาของออกไซด์, ความกว้าง และความยาวของแขนแนลของมอสทรานซิสเตอร์ตามลำดับ จากสมการที่ (4.15) จะพบว่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์สามารถปรับค่าได้จากการปรับกระแสไบอัส (I_B)

4.4 การสร้างวงจรกรองชนิดขั้นบันไดโดยใช้ซิมอสไบควอดฟังก์ชัน

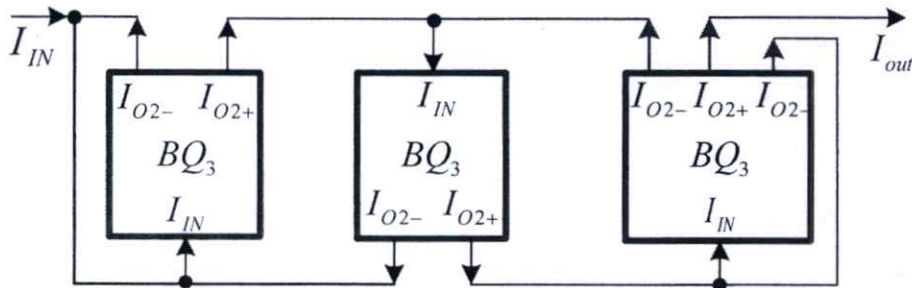
ในแง่ของการวิเคราะห์กระแสเมฆวงจรกรองชนิดขั้นบันไดในหัวข้อที่ 4.2.1 วงจรไบควอดฟังก์ชันโดยใช้ซิมอสนั้นถูกสร้างขึ้นให้สอดคล้องกับไบควอดฟังก์ชัน โดยที่วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิด

ชั้นบันไดนั้นสามารถสร้างได้ขึ้นจากวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 และชนิดที่ 2 ดังแสดงในรูปที่ 4.9



รูปที่ 4.9 วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดที่สร้างขึ้นจากวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชัน

และในทางเดียวกัน การวิเคราะห์กระแสไหลของวงจรกรองชนิดชั้นบันไดในหัวข้อที่ 4.2.2 วงจรกรองแถบความถี่ผ่านอันดับหกชนิดชั้นบันไดนั้นสามารถสร้างได้ขึ้นจากวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 ดังแสดงในรูปที่ 4.10



รูปที่ 4.10 วงจรกรองแถบความถี่ผ่านอันดับหกชนิดชั้นบันไดที่สร้างขึ้นจากวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชัน

4.5 การวิเคราะห์ความไม่เป็นอุดมคติ

ในหัวข้อนี้จะกล่าวถึงอิทธิพลขององค์ประกอบแฝงในทรานซิสเตอร์ชนิด NMOS ที่มีผลต่อวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้ซีมอสที่นำเสนอ โดยเฉพาะอย่างยิ่งการทำงานในย่านความถี่สูง การวิเคราะห์ความไม่เป็นอุดมคติของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันทั้ง 3 ชนิด รวมถึงผลกระทบจากองค์ประกอบแฝงของทรานซิสเตอร์สามารถทำได้โดยใช้แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ [21] ซึ่งประกอบด้วย ค่าทรานสคอนดักแตนซ์ (g_m) ค่าเหนี่ยวนำแฝงระหว่างขาเดรนและซอร์ส (g_{ds}) ค่าประจุแฝงเกต-ซอร์ส (C_{gs}) และค่าประจุแฝงเกต-เดรน (C_{gd}) เพื่อให้ง่ายต่อ

การคำนวณ กำหนดให้ค่าทรานสคอนดักแตนซ์ (g_m) และค่าประจุแฝง (C_{gd} และ C_{gs}) ของทรานซิสเตอร์ ทุกตัวมีค่าเท่ากัน

4.5.1 ค่าประจุแฝง (C_{gd} และ C_{gs})

ในหัวข้อนี้จะพิจารณาผลกระทบของค่าประจุแฝง (C_{gd} และ C_{gs}) ที่สำคัญต่อการกำหนด ประสิทธิภาพของวงจร โดยเฉพาะการทำงานในย่านความถี่สูงดังนี้

(ก) วงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1

พิจารณาเฉพาะค่าประจุแฝงเกต-เดรน (C_{gd}) กำหนดให้ค่าทรานสคอนดักแตนซ์ (g_m) ของ ทรานซิสเตอร์ทุกตัว และค่า C_1 C_2 มีค่าเท่ากัน ผลกระทบของค่าประจุแฝงเกต-เดรน (C_{gd}) ต่อฟังก์ชัน ถ่ายโอนของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 สามารถประมาณได้ดังสมการที่ (4.16) และ สมการที่ (4.17) ตามลำดับ

$$\frac{I'_{O1}}{I_1} = \frac{sg_m(2C_{gd} + C) - s^2(2C_{gd}^2 + C_{gd}C)}{g_m^2 + s(g_m C) + s^2(3C_{gd}^2 + 3C_{gd}C + C^2)} \quad (4.16)$$

$$\frac{I'_{O1}}{I_2} = \frac{g_m^2 - s(2g_m C_{gd}) + s^2 C_{gd}^2}{g_m^2 + s(g_m C) + s^2(3C_{gd}^2 + 3C_{gd}C + C^2)} \quad (4.17)$$

เช่นเดียวกัน เมื่อพิจารณาเฉพาะค่าประจุแฝงเกต-ซอร์ส (C_{gs}) กำหนดให้ค่าทรานสคอนดักแตนซ์ (g_m) ของทรานซิสเตอร์ทุกตัว และค่า C_1 C_2 มีค่าเท่ากัน ผลกระทบของค่าประจุแฝงเกต-ซอร์ส (C_{gs}) ต่อฟังก์ชันถ่ายโอนของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 สามารถประมาณได้ดัง สมการที่ (4.18) และสมการที่ (4.19) ตามลำดับ

$$\frac{I''_{O1}}{I_1} = \frac{g_m^2}{g_m^2 + s(2C_{gs} + C)g_m + s^2(4C_{gs}^2 + 2C_{gs}C + C^2)} \quad (4.18)$$

$$\frac{I''_{O1}}{I_2} = \frac{sg_m(2C_{gs} + C)}{g_m^2 + sg_m(2C_{gs} + C) + s^2(4C_{gs}^2 + 4C_{gs}C + C^2)} \quad (4.19)$$

สมการที่ (4.16)-(4.19) แสดงถึงผลกระทบของค่าประจุแฝงเกต-ซอร์ส (C_{gd} และ C_{gs}) ต่อ ประสิทธิภาพของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 ที่การทำงานบริเวณอิมิตัว ค่าประจุแฝง เกต-เดรน (C_{gd}) และ ค่าประจุแฝงเกต-ซอร์ส (C_{gs}) จะเปลี่ยนไปตามกระแสไบอัส กำหนดให้ ค่าประจุ

แฝง $C_{gd} = C_{gd}$ $C_{gs} = C_{gs}$ โดยที่ $C_{gd} = WL_D C_{OX}$ และ $C_{gs} = W((2/3)(L) + (L_D))C_{OX}$ ทำให้เห็นว่าค่าประจุแฝง C_{gd} และ C_{gs} ทำให้เกิดการเบี่ยงเบนเล็กน้อยของผลตอบสนองทางความถี่ในวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 เพื่อป้องกันข้อผิดพลาด ค่า C_1 และ C_2 ควรมีค่า

$$C_1, C_2 \gg (4C_{gd} + 3C_{gs}) \quad (4.20)$$

(ข) วงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2

ผลกระทบของค่าประจุแฝงเกต-เดรนและค่าประจุแฝง (C_{gd} และ C_{gs}) ต่ วงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 สามารถประมาณได้โดยใช้ลักษณะเดียวกัน โดยกำหนดให้ค่าทรานสคอนดักแตนซ์ (g_m) ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน ผลกระทบของค่าประจุแฝงเกต-เดรน (C_{gd}) ต่อฟังก์ชันถ่ายโอนของวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 สามารถประมาณได้ดังสมการที่ (4.21)

$$\frac{I'_{O2}}{I_1} = \frac{I'_{O2}}{I_2} \approx \frac{g_m^2 - s(2g_m C_{gd}) + s^2 C_{gd}^2}{2g_m^2 - s(4g_m C_{gd}) + s^2 (6C_{gd} C + C^2)} \quad (4.21)$$

เช่นเดียวกัน เมื่อพิจารณาผลกระทบของค่าประจุแฝงเกต-ซอร์ส (C_{gs}) ต่อฟังก์ชันถ่ายโอนของวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 สามารถประมาณได้ดังสมการที่ (4.22)

$$\frac{I''_{O2}}{I_1} = \frac{I''_{O2}}{I_2} \approx \frac{g_m^2}{2g_m^2 + s^2 (6C_{gs} C + C^2)} \quad (4.22)$$

สมการที่ (4.21)-(4.22) แสดงถึงผลกระทบของค่าประจุแฝง (C_{gd} และ C_{gs}) ต่อประสิทธิภาพของวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 ที่การทำงานบริเวณอิมิตัว ค่าประจุแฝงเกต-เดรน (C_{gd}) และ ค่าประจุแฝงเกต-ซอร์ส (C_{gs}) จะเปลี่ยนไปตามกระแสไบอัส เพื่อป้องกันข้อผิดพลาด ค่า C_1 , C_2 และ C_3 ควรมีค่า

$$C_1, C_2, C_3 \gg 6(C_{gd} + C_{gs}) \quad (4.23)$$

(ค) วงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3

ผลกระทบของค่าประจุแฝงเกต-เดรนและค่าประจุแฝง (C_{gd} และ C_{gs}) ต่อวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 สามารถประมาณได้โดยใช้วิธีเดียวกัน โดยกำหนดให้ค่าทรานสคอนดักแตนซ์ (g_m) ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน ผลกระทบของค่าประจุแฝงเกต-เดรน (C_{gd}) ต่อฟังก์ชันถ่ายโอนของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 สามารถประมาณได้ดังสมการที่ (4.24)

$$\frac{I'_{O3}}{I_{IN}} \approx \frac{s(g_m C) - s^2(C_{gd} C)}{g_m^2 - s(2g_m C_{gd}) + s^2(4C_{gd} C + C^2)} \quad (4.24)$$

เช่นเดียวกัน เมื่อพิจารณาผลกระทบของค่าประจุแฝงเกต-ซอร์ส (C_{gs}) ต่อฟังก์ชันถ่ายโอนของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 สามารถประมาณได้ดังสมการที่ (4.25)

$$\frac{I''_{O3}}{I_{IN}} \approx \frac{sg_m(2C_{gs} + C)}{g_m^2 + s^2(4C_{gs} C + C^2)} \quad (4.25)$$

สมการที่ (4.24)-(4.25) แสดงถึงผลกระทบของค่าประจุแฝง (C_{gd} และ C_{gs}) ต่อประสิทธิภาพของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 ที่การทำงานบริเวณอิมิตัวค่าประจุแฝงเกต-เดรน (C_{gd}) และ ค่าประจุแฝงเกต-ซอร์ส (C_{gs}) จะเปลี่ยนไปตามกระแสไบอัส เพื่อป้องกันข้อผิดพลาด ค่า C_1 และ C_2 ควรมีค่า

$$C_1, C_2 \gg 4(C_{gd} + C_{gs}) \quad (4.26)$$

4.5.2 ค่าเหนี่ยวนำแฝง (g_{ds})

จากแบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ แหล่งจ่ายกระแสควบคุมด้วยแรงดัน $g_m v_{gs}$ เป็นองค์ประกอบสำคัญของแบบจำลอง จากความสัมพันธ์ของกระแส-แรงดันของทรานซิสเตอร์คือ

$$i_{DS} = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \quad (4.27)$$

ในสมการที่ (4.27) λ แทนผลกระทบ Channel-Length Modulation โดยที่ $\lambda < 1(V^{-1})$ ทำให้เกิดความชันของกระแสเดรน ดังฟังก์ชันของแรงดันเดรน-ซอร์ส (V_{DS}) [23] ซึ่ง Channel Conductance จะขึ้นอยู่กับ L ถึง λ ที่เป็นส่วนกลับของ L ($\lambda \propto 1/L$) แบบจำลองสัญญาณขนาดเล็กค่าเหนี่ยวนำแฝง

(g_{ds}) จะมีค่า

$$g_{ds} = \frac{\partial i_{DS}}{\partial v_{DS}} = \frac{\lambda i_{DS}}{1 + \lambda v_{DS}} \approx \lambda i_{DS} \quad (4.28)$$

(ก) วงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1

พิจารณาแบบจำลองสัญญาณขนาดเล็ก กำหนดให้ $g_{dsi} = g_{ds}$ สำหรับทรานซิสเตอร์ทุกตัว โดยที่ $g_{ds} \ll g_m$ และค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน ผลกระทบของค่าเหนี่ยวนำแฝง (g_{ds}) ต่อฟังก์ชันถ่ายโอนของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 สามารถประมาณได้ดังสมการที่ (4.29) และสมการที่ (4.30) ตามลำดับ

$$\frac{I''_{O1}}{I_1} \approx \frac{g_m g_{ds} + s(g_m C)}{g_m^2 + sC(g_m + 2g_{ds}) + s^2 C^2} \quad (4.29)$$

$$\frac{I''_{O1}}{I_2} \approx \frac{g_m^2}{g_m^2 + sC(g_m + 2g_{ds}) + s^2 C^2} \quad (4.30)$$

สมการที่ (4.29)-(4.30) แสดงให้เห็นว่า pole-Q นั้นได้รับผลกระทบจาก g_{ds} เพื่อที่จะหลีกเลี่ยงข้อผิดพลาด ค่าทรานสคอนดักแตนซ์ (g_m) ควรมีค่า

$$g_m \gg 2g_{ds} \quad (4.31)$$

ทั้งนี้ข้อผิดพลาดสามารถหลีกเลี่ยงให้น้อยที่สุดได้ถ้าความกว้างของแบนด์พาสทรานซิสเตอร์มีขนาดใหญ่พอสมควร

(ข) วงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2

พิจารณาเฉพาะผลกระทบของค่าเหนี่ยวนำแฝงเดรน-ซอร์ส (g_{ds}) โดยกำหนดให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน ฟังก์ชันถ่ายโอนของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 สามารถประมาณได้ดังสมการที่ (4.32)

$$\frac{I''_{O2}}{I_1} = \frac{I''_{O2}}{I_2} \approx \frac{g_m^2}{(2g_m^2 + 3g_{ds}^2) + s(3g_{ds}C) + s^2 C^2} \quad (4.32)$$

ในสมการที่ (32) อินพุตทั้งสอง (I_1 และ I_2) ของวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 นั้นดูเหมือนว่าเกิดความเบี่ยงเบนเล็กน้อยของความถี่โพลและ pole-Q ซึ่งถูกควบคุมโดยค่าเหนี่ยวนำแผง (g_{ds}) ซึ่งในแง่ของการทำงานในย่านความถี่สูงของวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 นั้น ผลกระทบของค่าเหนี่ยวนำแผง (g_{ds}) สามารถลดให้น้อยลงได้โดยลดค่า Channel-Length Modulation (λ) หรือเพิ่มความยาวของแชนแนล (L) มอสทรานซิสเตอร์

(ค) วงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3

พิจารณาเฉพาะผลกระทบของค่าเหนี่ยวนำแผงเดรน-ซอร์ส (g_{ds}) โดยกำหนดให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน ฟังก์ชันถ่ายโอนของวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 สามารถประมาณได้ดังสมการที่ (4.33)

$$\frac{I_{O3}''}{I_{IN}} \approx \frac{s(g_m C)}{g_m^2 + s(2g_{ds} C) + s^2 C^2} \quad (4.33)$$

ในสมการที่ (4.46) เอาต์พุตของวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 นั้นดูเหมือนว่าเกิดความเบี่ยงเบนเล็กน้อยขึ้นที่ pole-Q ซึ่งถูกควบคุมโดยค่าเหนี่ยวนำแผง (g_{ds}) ซึ่งในแง่ของการทำงานในย่านความถี่สูงของวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 นั้น ผลกระทบของค่าเหนี่ยวนำแผง (g_{ds}) สามารถลดให้น้อยลงได้โดยลดค่า Channel-Length Modulation (λ) หรือเพิ่มความยาวของแชนแนล (L) มอสทรานซิสเตอร์

4.5.3 ความไม่สมพงค์กันของทรานซิสเตอร์ (Transistor Mismatches)

ในส่วนนี้จะเป็นการพิจารณาเกี่ยวกับผลกระทบความไม่สมพงค์กันของทรานซิสเตอร์ซึ่งส่งผลต่อประสิทธิภาพของวงจรรองอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียซึ่งสร้างจากซีมอส

(ก) วงจรรองอินทิเกรเตอร์ชนิดสูญเสีย

เมื่อทำการพิจารณาวงจรรองอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ซีมอสในรูปที่ 2.25 โดยอ้างอิงวงจรรูปร่างขนาดเล็กของมอสทรานซิสเตอร์ในรูปที่ 2.12 และไม่สนใจค่าความนำแผงระหว่างขาเดรนและซอร์ส (g_{ds}) ค่าประจุแผงเกต-ซอร์ส (C_{gs}) จากนั้นกำหนดให้ค่าทรานสคอนดักแตนซ์ (g_m) เป็น g_{m1} และ g_{m2} สำหรับมอสทรานซิสเตอร์ M_1, M_2 ตามลำดับ ซึ่งทำให้ฟังก์ชันการถ่ายโอนกระแสจากสมการ (2.37) สามารถเขียนได้ดังสมการ

$$\frac{I_{O1}}{I_{IN}} = \frac{-I_{O2}}{I_{IN}} = \left(\frac{-g_{m2}}{g_{m1}} \right) \left(\frac{g_{m1}}{sC_1 + g_{m1}} \right) \quad (4.34)$$

จากนั้นเมื่อทำการตรวจสอบสมการที่ (4.34) แล้วจะเห็นได้ว่าความไม่สมพงศ์กันของทรานซิสเตอร์ที่เกิดขึ้นนั้นทำให้ค่าความถี่ที่ออกมาเบี่ยงเบนไปจากความถี่ที่ทำให้อัตราขยายกระแสมีค่าเป็นหนึ่งดังที่ทำนายไว้โดยสมการที่ (2.37) ซึ่งผลกระทบที่เกิดขึ้นนี้ไม่มีนัยสำคัญและสามารถทดแทนถ้าต้องการได้อย่างง่ายดายโดยเพิ่ม Current Amplifier หรือ Attenuator เข้าไป

(ข) วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย

ผลกระทบที่เกิดขึ้นของวงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย สามารถพิจารณาได้ในลักษณะเดียวกันกับการพิจารณาผลกระทบความไม่สมพงศ์กันของทรานซิสเตอร์ ในวงจรอินทิเกรเตอร์ชนิดสูญเสีย โดยกำหนดให้ค่าทรานสคอนดักแตนซ์ (g_m) เป็น g_{m1} สำหรับมอสทรานซิสเตอร์ M_1 และ g_{m2} สำหรับมอสทรานซิสเตอร์ M_2, M_3 ตามลำดับ ซึ่งทำให้ฟังก์ชันการถ่ายโอนกระแสจากสมการ (2.40) และ (2.41) สามารถเขียนได้ดังสมการ

$$\frac{I_{O-}}{I_{IN}} = \frac{-I_{O+}}{I_{IN}} = \frac{-g_{m2}}{sC_1 + g_{m1} - g_{m2}} \quad (4.35)$$

จากนั้นเมื่อทำการตรวจสอบสมการที่ (4.35) แล้วจะเห็นได้ว่าผลกระทบจากความไม่สมพงศ์กันของทรานซิสเตอร์ที่เกิดขึ้นนั้นทำให้วงจรอินทิเกรเตอร์ชนิดไม่สูญเสียกลายเป็นวงจรอินทิเกรเตอร์ชนิดสูญเสียที่มีความถี่โพล (ω_p) ต่ำสุดเป็น

$$\omega_p = \frac{g_{m1} - g_{m2}}{C_1} \quad (4.36)$$

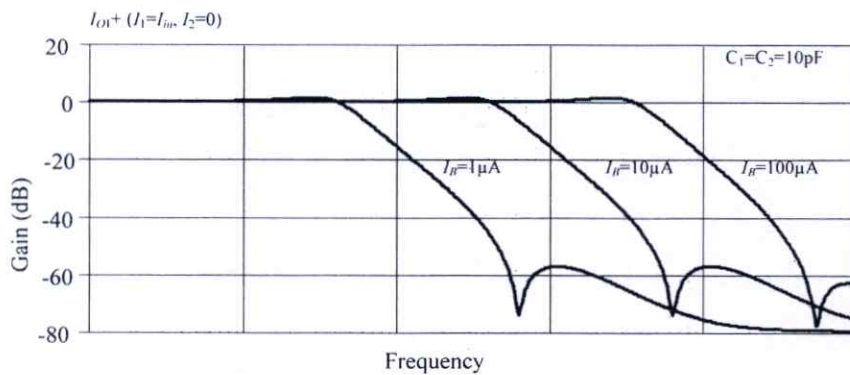
และค่านี้จะกลายเป็นศูนย์ เมื่อค่า $g_{m1} = g_{m2}$ ซึ่งเป็นผลลัพธ์ของวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียแบบอุดมคติ แต่จะมีการเลื่อนตำแหน่งของโพลใน s-plane ไปยังระนาบทางด้านขวาเล็กน้อยถ้า $g_{m1} > g_{m2}$ หรือมีการเลื่อนไปยังระนาบทางด้านซ้ายเล็กน้อยถ้า $g_{m1} < g_{m2}$ ดังนั้น เพื่อหลีกเลี่ยงความผิดพลาดที่จะเกิดขึ้นได้ต้องทำให้มั่นใจได้ว่าค่าของ $g_{m1} \geq g_{m2}$ เสมอ ซึ่งสามารถทำได้ง่ายโดยการปรับค่ากระแสไบอัสของทรานซิสเตอร์ให้ต่างกันเล็กน้อย

4.6 ผลการจำลองการทำงาน

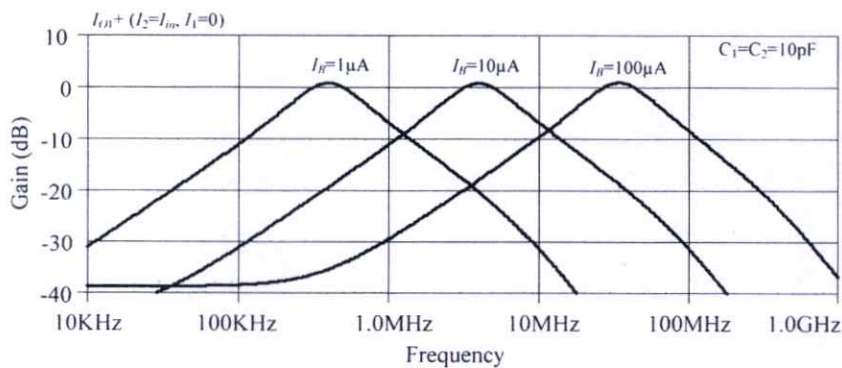
ในวิทยานิพนธ์นี้ การสร้างวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้ซีมอสไบควอตฟังก์ชันโหมดกระแสซึ่งประกอบด้วยอินทิเกรเตอร์ที่หลากหลายนั้นใช้เทคโนโลยีซีมอส TSMC $0.25\mu\text{m}$ [23] ค่า W/L ของมอสทรานซิสเตอร์ทุกตัวนั้นมีขนาดเท่ากันที่ $70\mu\text{m}/1\mu\text{m}$ และไฟเลี้ยง 1V ตลอด

ทั้งวงจร กระแสไบอัส (I_B) ทั้งหมดถูกแทนที่ด้วยวงจรสะท้อนกระแส และมีการจำลองการทำงานโดย PSpice สำหรับวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันทั้ง 3 ชนิดดังแสดงในรูปที่ 4.11 ถึงรูปที่ 4.13 ถูกกำหนดค่าตัวเก็บประจุโดย $C_1 = C_2 = 10\text{pF}$ และกระแสไบอัสอยู่ระหว่าง $1\mu\text{A}$ ถึง $100\mu\text{A}$ โดยเฉพาะอย่างยิ่งวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 นั้นให้ผลเป็นไบควอตฟังก์ชันถึง 2 ฟังก์ชัน คือ วงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับที่สอง

ผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 ซึ่งมีลักษณะเป็นวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านแสดงดังรูปที่ 4.11(ก) และ (ข) ตามลำดับโดยที่ผลตอบสนองทางความถี่ที่เกิดขึ้นสามารถปรับค่าได้ในช่วง 400kHz ถึง 40MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ $1\mu\text{A}$ ถึง $100\mu\text{A}$



(ก)

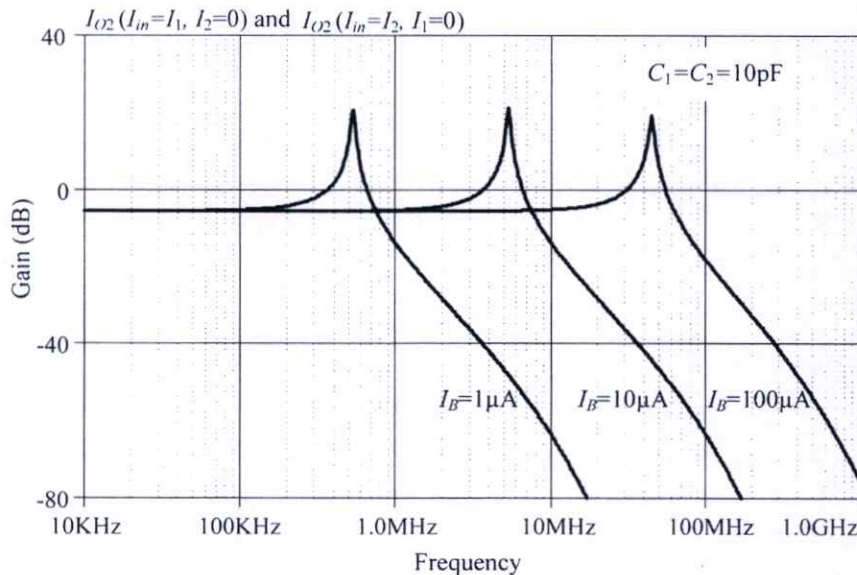


(ข)

รูปที่ 4.11 ผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 เมื่อปรับค่ากระแส

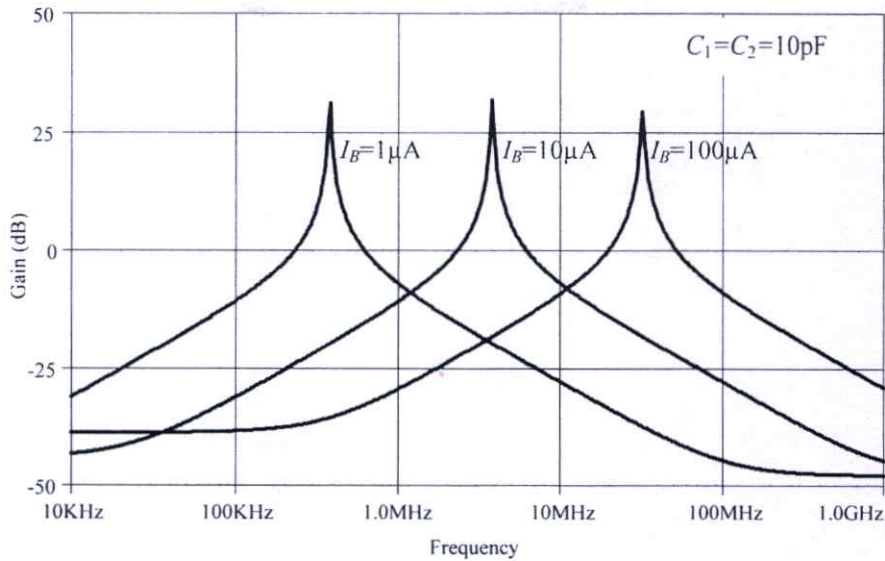
ไบอัส (I_B) (ก) $I_1 = I_{in}$ และ $I_2 = 0$ (ข) $I_1 = 0$ และ $I_2 = I_{in}$

ผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 ซึ่งมีลักษณะเป็นวงจรกรองความถี่ต่ำผ่านที่เป็นฟังก์ชันไบควอตที่เหมือนกัน 2 ฟังก์ชันโดยมีอินพุตคู่ และเอาต์พุตที่มีความคมของสัญญาณสูงแสดงดังรูปที่ 4.12 โดยผลตอบสนองทางความถี่ของวงจรกรองนั้นสามารถให้เอาต์พุตที่มีความคมของสัญญาณสูงไม่ว่าเงื่อนไขจะเป็น $I_1 = I_m$ หรือ $I_2 = I_m$ โดยที่ผลตอบสนองทางความถี่ที่เกิดขึ้นสามารถปรับค่าได้ในช่วง 500kHz ถึง 50MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ $1\mu\text{A}$ ถึง $100\mu\text{A}$ นอกจากนี้ยังเห็นได้ว่าที่อัตราการขยายเป็นครึ่งหนึ่ง (-6dB) นั้นสามารถสังเกตเห็น passband ได้



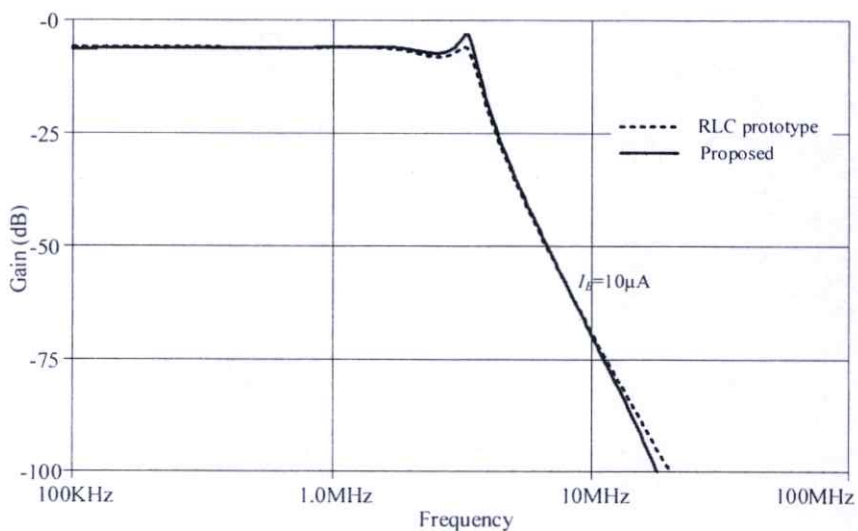
รูปที่ 4.12 ผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 2 เมื่อปรับค่ากระแสไบอัส (I_B)

ในลักษณะเดียวกันผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 ซึ่งมีลักษณะเป็นวงจรกรองแถบความถี่ผ่านที่มีอินพุตเดี่ยวแต่มีหลายเอาต์พุตที่มีความคมของสัญญาณสูงแสดงดังรูปที่ 4.13 โดยผลตอบสนองทางความถี่ของวงจรกรองนั้นสามารถให้เอาต์พุตที่มีความคมของสัญญาณสูงไม่ว่าเงื่อนไขจะเป็น $I_1 = I_m$ หรือ $I_2 = I_m$ โดยที่ผลตอบสนองทางความถี่ที่เกิดขึ้นสามารถปรับค่าได้ในช่วง 400kHz ถึง 40MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ $1\mu\text{A}$ ถึง $100\mu\text{A}$



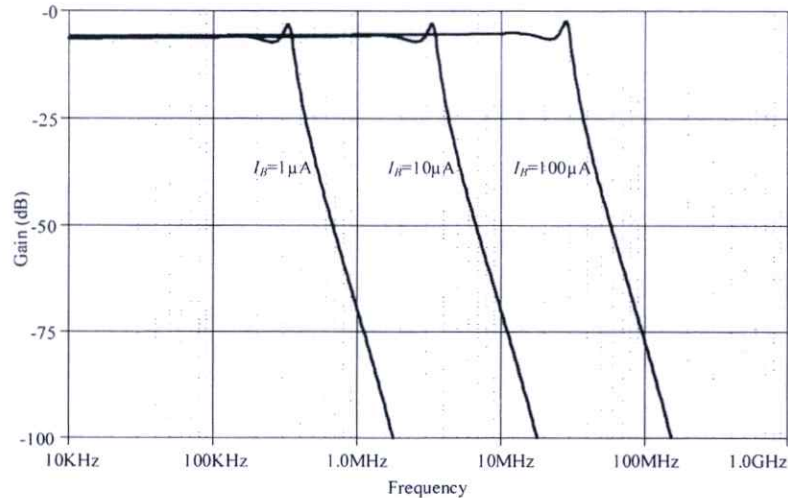
รูปที่ 4.13 ผลตอบสนองทางความถี่ของวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 เมื่อปรับค่ากระแสไบอัส (I_B)

วงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดชั้นบันไดจากรูปที่ 4.9 สามารถสร้างได้จากวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 และชนิดที่ 2 โดยกำหนดให้วงจร RLC ต้นแบบและวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสชนิดชั้นบันไดอันดับห้าที่นำเสนอจำลองการทำงานโดยใช้ $L_1 = L_2 = L_3 = 80\text{ nH}$, $C_1 = C_2 = 80\text{ nF}$, $R_s = R_L = 1\Omega$ กระแสไบอัส (I_B) วงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 1 และชนิดที่ 2 เท่ากับ $10\mu\text{A}$ และตัวเก็บประจุเท่ากับ 20 pF โดยผลการจำลองการทำงานแสดงในรูปที่ 4.14 ซึ่งเห็นได้ว่าวงจรกรองทั้งสองให้ผลลัพธ์เป็นที่น่าพอใจ โดยวงจรกรองความถี่ต่ำที่นำเสนอมีเพียงการกระเพื่อมเล็กน้อยที่ความถี่ตัด



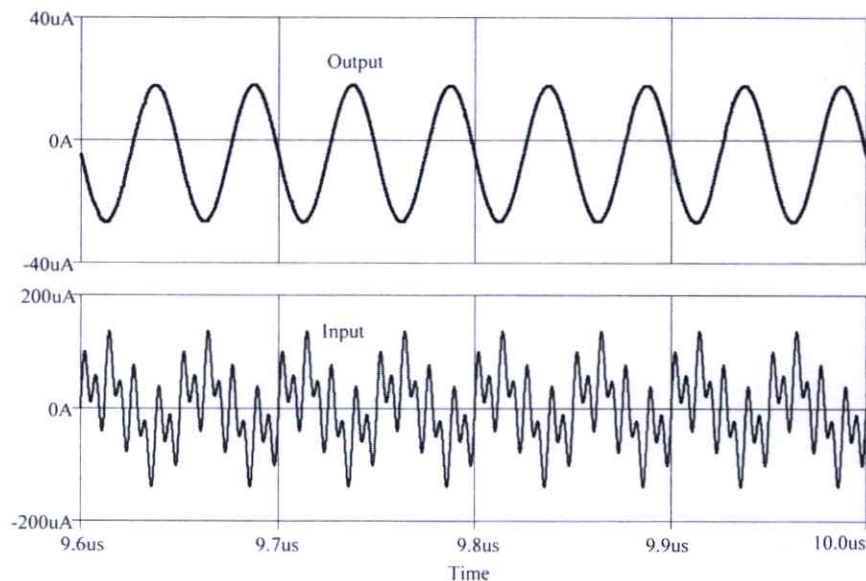
รูปที่ 4.14 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน ($I_B = 20\mu\text{A}$) และวงจร RLC ต้นแบบ

คุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรรองความถี่ต่ำที่นำเสนอยังสามารถตรวจสอบได้โดยการปรับค่ากระแสไบอัสตั้งแต่ $1\mu A$ ถึง $100\mu A$ ซึ่งผลตอบสนองทางความถี่ของวงจรรองความถี่ต่ำผ่านที่นำเสนออยู่นั้นอยู่ในช่วง $300kHz$ ถึง $30MHz$ ดังแสดงในรูปที่ 4.15



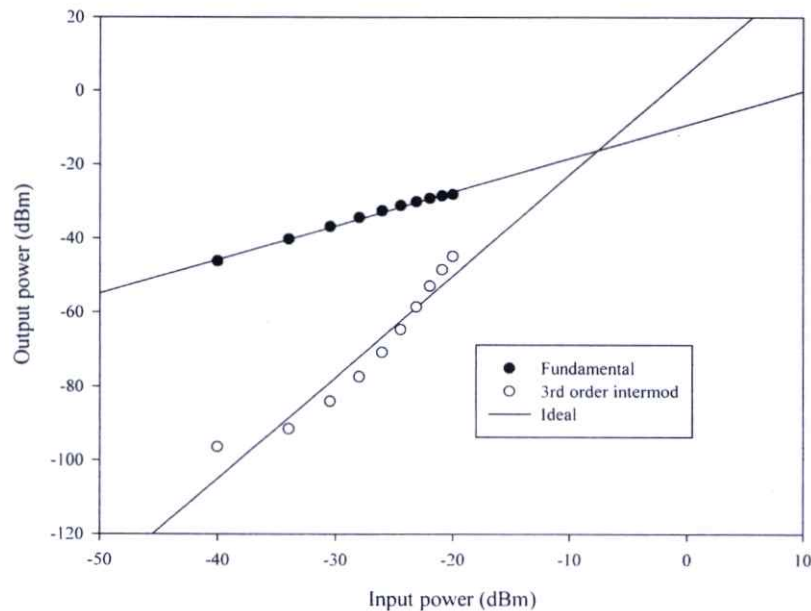
รูปที่ 4.15 คุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรรองความถี่ต่ำที่นำเสนอ

ในแง่ของประสิทธิภาพของวงจรรองความถี่ต่ำที่นำเสนอ นั้นสามารถยืนยันโดยการป้อนความถี่สัญญาณไซน์ที่แตกต่างกัน 3 ความถี่ ($20MHz$ $80MHz$ และ $160MHz$) ไปยังอินพุตของวงจรรองที่นำเสนอ โดยผลลัพธ์นั้นแสดงให้เห็นว่ามีเพียงความถี่ที่ $20MHz$ เท่านั้นที่ออกมาถึงเอาต์พุตดังแสดงในรูปที่ 4.16



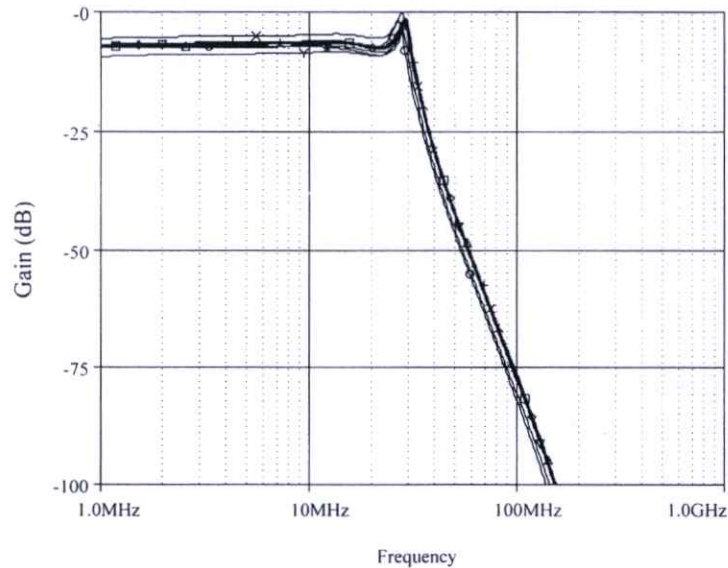
รูปที่ 4.16 รูปแบบของคลื่นเอาต์พุตของวงจรรองความถี่ต่ำผ่าน ($I_B = 100\mu A$)

นอกจากนี้ยังสามารถใช้การทดสอบอินเตอร์มอดูเลชัน (Intermodulation distortion : IMD) เพื่อยืนยันประสิทธิภาพของวงจรรองความถี่ต่ำที่นำเสนอได้อีกวิธีหนึ่ง โดยความถี่ตั้งต้นที่จะมาสร้างอินเตอร์มอดูเลชันไม่ได้มีเงื่อนไขแต่อย่างใด เป็นสองความถี่ใดๆ ก็ได้ที่ไม่เท่ากัน ในที่นี้เพื่อความสะดวก จะขอยกตัวอย่างสองความถี่ที่ 14MHz และ 16MHz ที่มีขนาดที่อยู่ในช่วง $10\mu\text{A}$ ถึง $100\mu\text{A}$ หรือ -40dBm ถึง -20dBm ซึ่งถูกป้อนไปยังอินพุตของวงจรรองที่นำเสนอโดยค่ากระแสไบอัสเท่ากับ $100\mu\text{A}$ ($I_B = 100\mu\text{A}$) และความถี่ตัดที่ 20MHz จากนั้นพิจารณาที่อินเตอร์มอดูเลชันอันดับที่ 3 (third-order intermodulation distortion : IM3) โดยสังเกตสเปกตรัมของความถี่ที่ 18MHz ซึ่งเห็นได้ว่าจุดตัดนั้นจะอยู่ประมาณ -10dBm หรือที่อินพุต $30\mu\text{A}$ ดังแสดงในรูปที่ 4.17 ซึ่งจากผลลัพธ์ที่เกิดขึ้นแสดงให้เห็นว่าค่าซีวีดีอินเตอร์มอดูเลชันอันดับที่ 3 ที่ดีที่สุดของวงจรรองความถี่ต่ำที่นำเสนออยู่นั้นจะอยู่ที่ -40dBm หรือที่อินพุต $10\mu\text{A}$ เมื่อค่ากระแสไบอัสเท่ากับ $100\mu\text{A}$



รูปที่ 4.17 อินเตอร์มอดูเลชันของวงจรรองความถี่ต่ำผ่านที่นำเสนอเมื่อค่ากระแสไบอัสเท่ากับ $100\mu\text{A}$

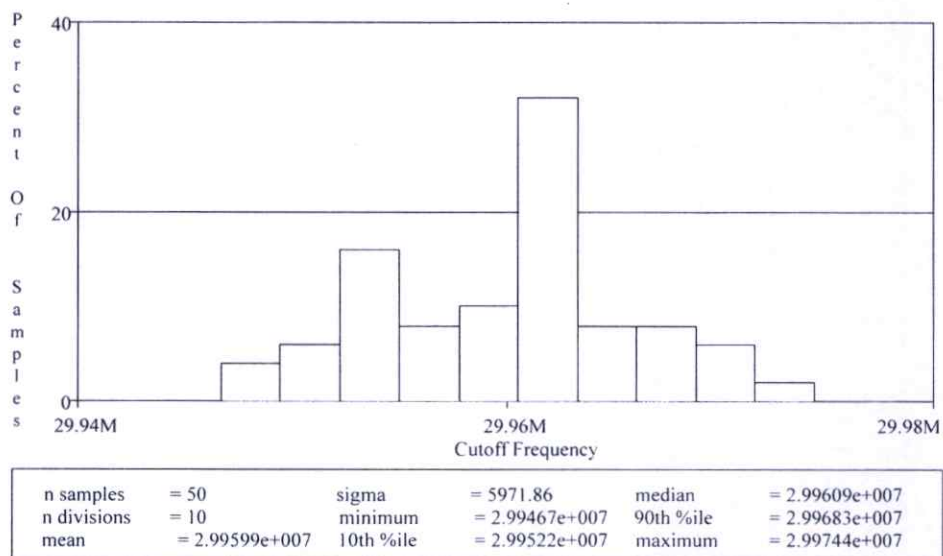
จากนั้นทำการทดสอบผลกระทบที่เกิดขึ้นจากความไม่สมพ้องกันของทรานซิสเตอร์ด้วยการวิเคราะห์แบบจำลองมอนติคาร์โลเพื่อยืนยันประสิทธิภาพ โดยกำหนดให้ค่าเบี่ยงเบนของความหนาของออกไซด์ (T_{ox}) ในกระบวนการมีเท่ากับ 5% ที่กระแสไบอัส (I_B) เท่ากับ $100\mu\text{A}$ และทำการทดสอบผลตอบแทนของทางความถี่ของกรองความถี่ต่ำผ่านที่นำเสนอจำนวนทั้งสิ้น 50 ครั้ง ซึ่งผลตอบแทนทางความถี่นั้นสามารถแสดงได้ดังรูปที่ 4.18



รูปที่ 4.18 ผลตอบสนองทางความถี่วงจรรองความถี่ต่ำผ่านของแบบจำลองมอนตีคาร์โล ($I_B = 100\mu A$)

จากผลตอบสนองทางความถี่วงจรรองความถี่ต่ำผ่านที่เกิดขึ้น จะเห็นได้ว่ามีความคลาดเคลื่อนที่เกิดขึ้นอยู่บ้าง แต่ก็ยังอยู่ในช่วงที่ใกล้เคียงกัน

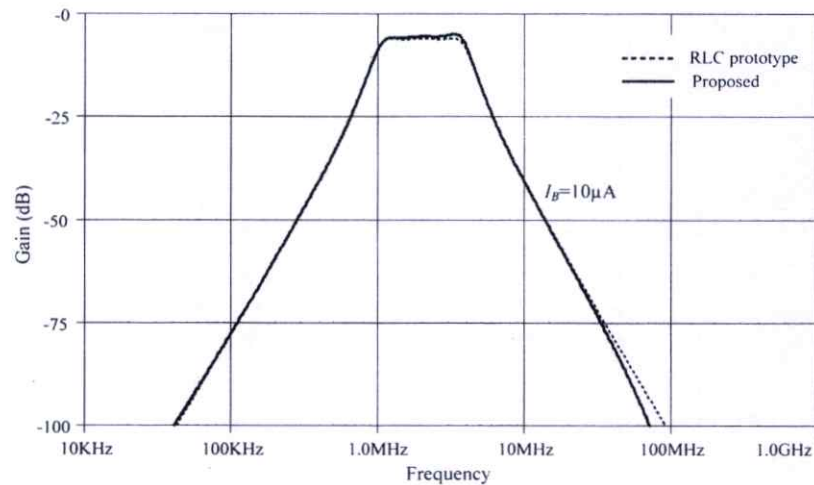
ในส่วนของค่าความถี่ตัดวงจรรองความถี่ต่ำผ่านของแบบจำลองมอนตีคาร์โล มีความคลาดเคลื่อนของความถี่ตัดของวงจรรองอยู่ที่ $\pm 200kHz$ โดยสามารถแสดงดังรูปที่ 4.19



รูปที่ 4.19 ค่าความถี่ตัดวงจรรองความถี่ต่ำผ่านแบบจำลองมอนตีคาร์โล ($I_B = 100\mu A$)

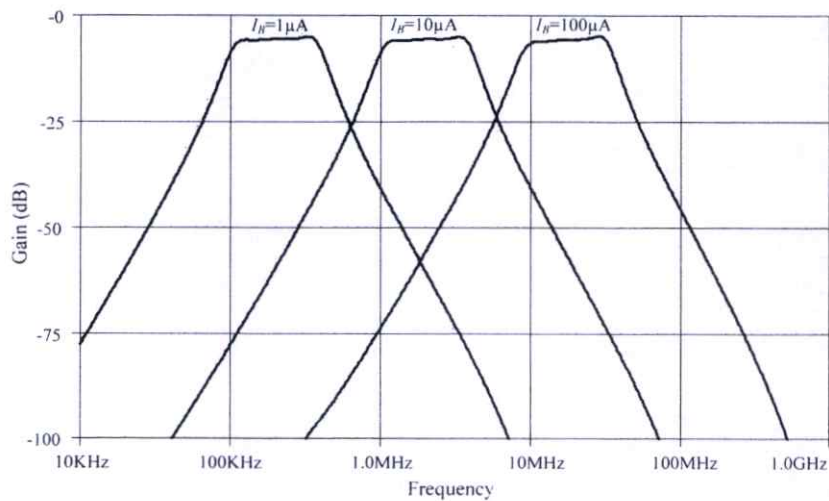
วงจรรองแถบความถี่ผ่านอันดับสูงชนิดขึ้นบันไดจากรูปที่ 4.10 สามารถสร้างได้จากวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชันชนิดที่ 3 และจำลองผลการทำงานในลักษณะเดียวกันกับวงจรรองความถี่ต่ำ

ที่นำเสนอ โดยกำหนดให้วงจร RLC ต้นแบบและวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสนิดชั้นบันได อันดับห้าที่นำเสนอจำลองการทำงานโดยใช้ $L_1 = L_2 = L_3 = 80nH$, $C_1 = C_2 = 80nF$, $R_s = R_l = 1\Omega$ กระแสไบอัส (I_B) วงจรกรองโดยใช้ซิมอสไบควอตฟังก์ชันชนิดที่ 3 เท่ากับ $10\mu A$ และตัวเก็บประจุเท่ากับ $20pF$ โดยผลการจำลองการทำงานแสดงในรูปที่ 4.20 ซึ่งเห็นได้ว่าวงจรกรองทั้งสองให้ผลลัพธ์เป็นที่น่าพอใจ โดยวงจรกรองแถบความถี่ผ่านที่นำเสนอมีเพียงการกระเพื่อมเล็กน้อยที่ด้านขวาของความถี่ passband วงจรที่นำเสนอ



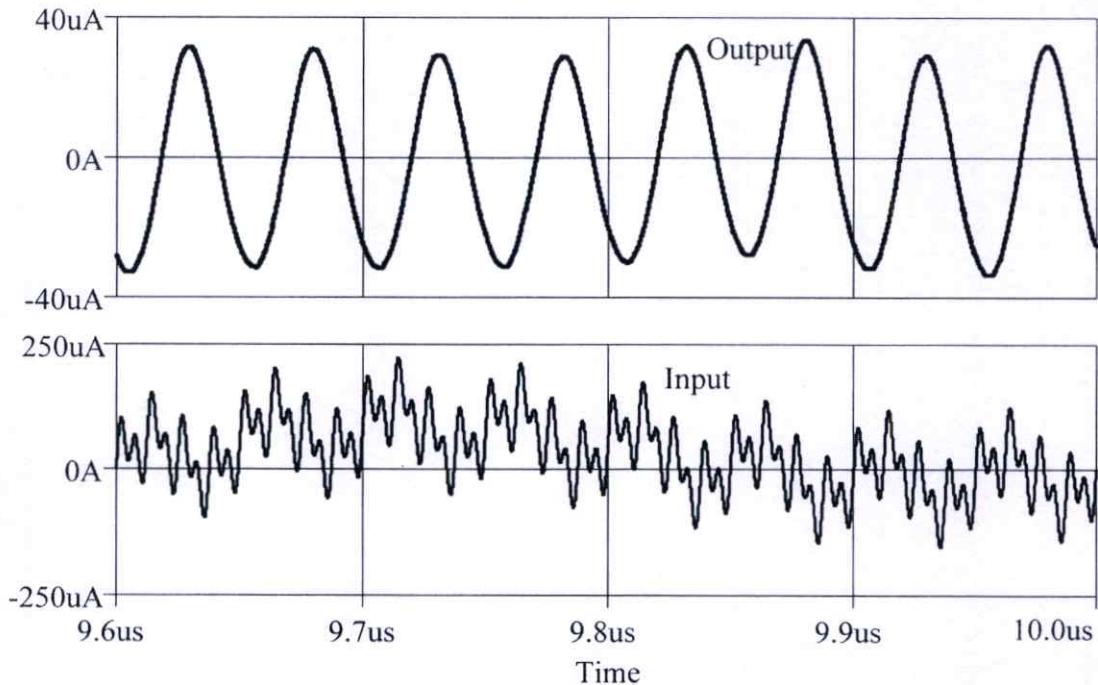
รูปที่ 4.20 ผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านและวงจร RLC ต้นแบบ

คุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรกรองความถี่ต่ำที่นำเสนอยังสามารถตรวจสอบได้โดยการปรับค่ากระแสไบอัสตั้งแต่ $1\mu A$ ถึง $100\mu A$ ซึ่งผลตอบสนองทางความถี่กลางของวงจรกรองแถบความถี่ผ่านที่นำเสนอขึ้นอยู่กับช่วง $300kHz$ ถึง $30MHz$ ดังแสดงในรูปที่ 4.21



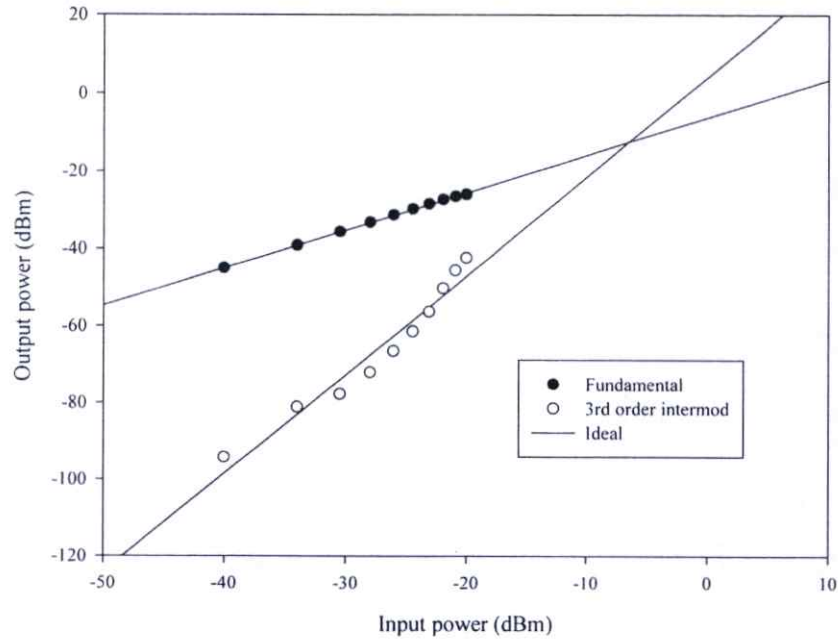
รูปที่ 4.21 คุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรกรองแถบความถี่ผ่านที่นำเสนอ

ในแง่ของประสิทธิภาพของวงจรกรองความถี่ต่ำที่นำเสนอนั้นสามารถยืนยันโดยการป้อนความถี่สัญญาณไซน์ที่แตกต่างกัน (1.2MHz 2.5MHz 20MHz 80MHz และ 160MHz) ไปยังอินพุตของวงจรกรองที่นำเสนอ โดยผลลัพธ์นั้นแสดงให้เห็นว่ามีเพียงความถี่ที่ 20MHz เท่านั้นที่ออกมายังเอาต์พุตดังแสดงในรูปที่ 4.22



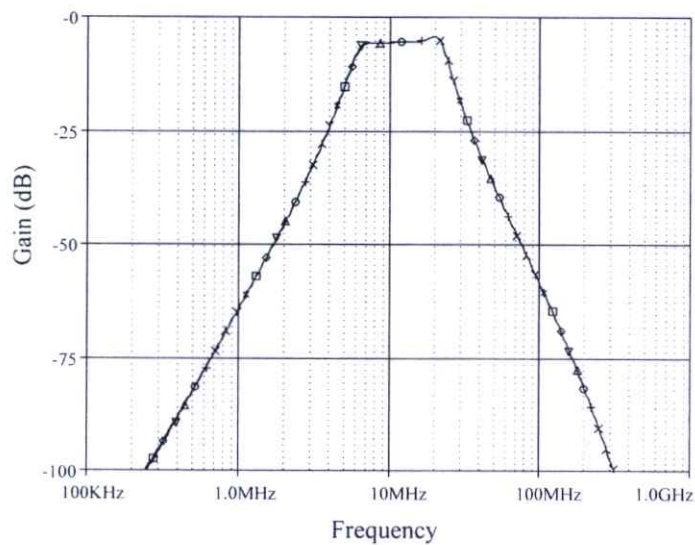
รูปที่ 4.22 รูปแบบของคลื่นเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน ($I_B = 100 \mu A$)

นอกจากนี้ยังใช้การทดสอบอินเตอร์มอดูเลชัน (Intermodulation distortion : IMD) เพื่อยืนยันประสิทธิภาพของวงจรกรองแถบความถี่ผ่านที่นำเสนอ โดยความถี่ตั้งต้นที่ยกตัวอย่างสองความถี่ คือ 14MHz และ 16MHz ที่มีขนาดที่อยู่ในช่วง $10 \mu A$ ถึง $100 \mu A$ หรือ $-40 dBm$ ถึง $-20 dBm$ ซึ่งถูกป้อนไปยังอินพุตของวงจรกรองที่นำเสนอโดยค่ากระแสไบอัสเท่ากับ $100 \mu A$ ($I_B = 100 \mu A$) และความถี่ตัดที่ 20MHz จากนั้นพิจารณาที่อินเตอร์มอดูเลชันอันดับที่ 3 (third-order intermodulation distortion : IM3) โดยสังเกตสเปกตรัมของความถี่ที่ 18MHz ซึ่งเห็นได้ว่าจุดตัดนั้นจะอยู่ประมาณ $-10 dBm$ หรือที่อินพุต $30 \mu A$ ดังแสดงในรูปที่ 4.23 ซึ่งจากผลลัพธ์ที่เกิดขึ้นแสดงให้เห็นว่าค่าซีวีดีอินเตอร์มอดูเลชันอันดับที่ 3 ที่ดีที่สุดของวงจรกรองแถบความถี่ผ่านที่นำเสนอนั้นจะอยู่ที่ $-40 dBm$ หรือที่อินพุต $10 \mu A$ เมื่อค่ากระแสไบอัสเท่ากับ $100 \mu A$



รูปที่ 4.23 อินเตอร์มอดูเลชันของวงจรกรองแถบความถี่ผ่านเมื่อค่ากระแสไบอัสเท่ากับ $100\mu A$

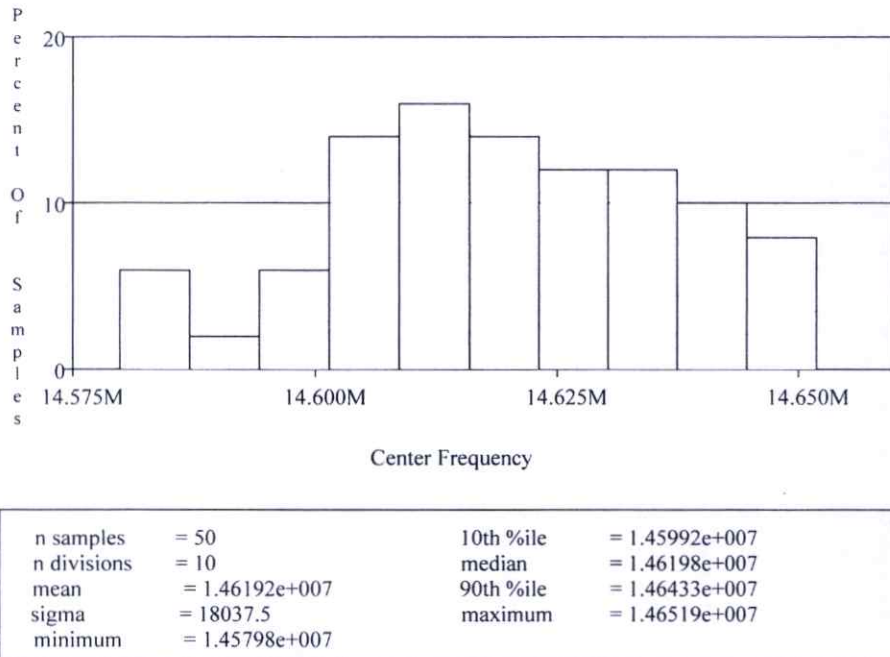
เมื่อทำการวิเคราะห์แบบจำลองมอนติคาร์โลเพื่อยืนยันประสิทธิภาพในส่วนของความไม่สมพงค์กันของทรานซิสเตอร์ โดยกำหนดให้ค่าเบี่ยงเบนของความหนาของออกไซด์ (T_{ox}) ในกระบวนการมีเท่ากับ 5% ที่กำหนดกระแสไบอัส (I_B) เท่ากับ $100\mu A$ จากนั้นทำการทดสอบผลตอบแทนทางความถี่ของกรองแถบความถี่ผ่านที่นำเสนอจำนวนทั้งสิ้น 50 ครั้ง ซึ่งผลตอบแทนทางความถี่นั้นสามารถแสดงได้ดังรูปที่ 4.24



รูปที่ 4.24 ผลตอบแทนทางความถี่วงจรกรองแถบความถี่ผ่านของแบบจำลองมอนติคาร์โล ($I_B = 100\mu A$)

จะเห็นได้ว่าผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านนั้นมีความคลาดเคลื่อนที่น้อยมากจนแทบจะไม่เห็นความแตกต่าง

ในส่วนของค่าความถี่กลางวงจรกรองแถบความถี่ผ่านจากแบบจำลองมอนติคาร์โลมีความคลาดเคลื่อนของความถี่กลางของวงจรอยู่ที่ $\pm 300\text{kHz}$ ดังแสดงในรูปที่ 4.25



รูปที่ 4.25 ค่าความถี่กลางวงจรกรองแถบความถี่ผ่านแบบจำลองมอนติคาร์โล ($I_B = 100\mu A$)

4.7 บทสรุป

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้วงจรกรองซิมอสไบควอตฟังก์ชัน 3 ชนิด โดยใช้การวิเคราะห์กระแสเมชและกระแสโหนดเพื่อให้ได้ไบควอตฟังก์ชันจากวงจรกรองความถี่ Chebyshev ต้นแบบ จากนั้นจึงสร้างอินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสียขึ้นจากไบควอตฟังก์ชันดังกล่าวโดยโครงสร้างในระดับทรานซิสเตอร์บนพื้นฐานเทคโนโลยีซิมอส และสุดท้ายจึงทำการสร้างวงจรกรองความถี่ต่ำผ่านโดยใช้วงจรกรองซิมอสไบควอตฟังก์ชันชนิดที่ 1 และ 2 ในขณะที่วงจรกรองแถบความถี่ผ่านอันดับสูงถูกสร้างโดยใช้วงจรกรองซิมอสไบควอตฟังก์ชันชนิดที่ 3

ผลการจำลองการทำงานของวงจรกรองแสดงให้เห็นว่าวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงที่นำเสนอสามารถทำงานในย่านความถี่สูง คือ ความถี่ต่ำผ่านในช่วง 300kHz ถึง 30MHz และแถบความถี่ผ่านในช่วง 200kHz ถึง 20MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ $1\mu A$ ถึง $100\mu A$

ในส่วนของประสิทธิภาพของวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงนั้น สามารถทำการยืนยันได้ผ่านทาง การทดสอบโดยการป้อนความถี่สัญญาณไซน์ที่แตกต่างกันไปยังอินพุตของวงจรกรองที่นำเสนอ ซึ่งผลการจำลองนั้นให้ผลเป็นที่น่าพอใจ กล่าวคือ ความถี่ที่ไม่ต้องการสามารถกำจัดออกได้อย่างมีประสิทธิภาพ นอกจากนี้ยังมีการทดสอบอินเตอร์มอดูเลชัน (Intermodulation distortion : IMD) และการทดสอบผลกระทบที่เกิดขึ้นจากความไม่สมพงค์กันของทรานซิสเตอร์ด้วยการวิเคราะห์แบบจำลองมอนติคาร์โลเพื่อให้แน่ใจได้ว่า วงจรกรองที่นำเสนอ นั้น มีประสิทธิภาพที่ดี

บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทสรุปการวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้งานวงจรรองซิมอสไบควอตฟังก์ชัน 3 ชนิด โดยใช้การวิเคราะห์กระแสเมชและกระแสโหนดเพื่อให้ได้ไบควอตฟังก์ชันจากวงจรรองความถี่ Chebyshev ดันแบบ ซึ่งในอดีตนั้นได้มีงานวิจัยที่ใช้โครงสร้างของวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงโดยใช้งานวงจรรองซิมอส โดยในงานวิจัยดังกล่าวทั้งหลาย นั้น มีทั้งข้อดีและข้อเสียแตกต่างกันไป แต่ก็ยังไม่มีการนำเสนอวงจรรองความถี่โดยใช้ไบควอตฟังก์ชันซึ่งสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ได้ง่ายและเหมาะสมสำหรับประยุกต์ใช้กับระบบโทรคมนาคมในย่านความถี่สูงมาก (VHF) จากการวิเคราะห์งานวิจัยที่ผ่านมาในอดีตสามารถสรุปคุณลักษณะของวงจรรำเนิดสัญญาณเปรียบเทียบกับวงจรรำเนิดสัญญาณที่นำเสนอได้ดังตารางที่ 5.1

ตาราง 5.1 การเปรียบเทียบวงจรที่นำเสนอกับวงจรที่เคยถูกนำเสนอก่อนหน้านี้

งานวิจัย	ประเภทและจำนวนอุปกรณ์แอคทีฟ	วิธีการวิเคราะห์วงจรต้นแบบ	การปรับค่าได้ทางอิเล็กทรอนิกส์	ความถี่ตัด/ความถี่กลาง	เทคโนโลยีที่ใช้ใช้งาน	การใช้งานตัวต้านทาน	ประเภทและอันดับของวงจรกรอง
[6]	วงจรสายพานกระแสหลายเอาต์พุต 5 ตัว (ทรานซิสเตอร์ 140 ตัว (28x5))	กราฟการไหลสัญญาณ	ไม่ได้	1MHz	ซีมอส 1.2 μ m	ใช้งาน	วงจรกรองความถี่ต่ำผ่านอันดับที่ 5
[7]	OTA 7 ตัว (ทรานซิสเตอร์ 196 ตัว (28x7)) และ OTA 9 ตัว (ทรานซิสเตอร์ 252 ตัว (28x9))	ฟังก์ชันโบควอต	ได้	2.5MHz	ซีมอส 0.35 μ m	ไม่ใช้งาน	วงจรกรองความถี่ต่ำผ่านอันดับที่ 5 และวงจรกรองแถบความถี่ผ่านอันดับ 6
[12]	MOOTA-C 3 ตัว (ทรานซิสเตอร์ 78 ตัว (26x3))	หลักการของวงจรแปลงกระแสเชิงเส้น	ได้	100kHz	OTAs LM13600	ไม่ใช้งาน	วงจรกรองความถี่ต่ำผ่านอันดับ 3 แบบ Chebychev

ตาราง 5.1 การเปรียบเทียบวงจรที่นำเสนอกับวงจรที่เคยถูกนำเสนอก่อนหน้านี้(ต่อ)

งานวิจัย	ประเภทและจำนวน อุปกรณ์แอคทีฟ	วิธีการ วิเคราะห์วงจร ต้นแบบ	การปรับค่าได้ ทาง อิเล็กทรอนิกส์	ความถี่ตัด/ ความถี่ กลาง	เทคโนโลยีที่ ใช้งาน	การใช้ งานตัว ต้านทาน	ประเภทและอันดับของวงจรกรอง
[16]	CBTA 5 ตัว (ทรานซิสเตอร์ 130 ตัว (26x3))	กราฟการไหล สัญญาณ	ได้	1MHz	ซีมอส 0.35 μ m	ใช้งาน	วงจรกรองความถี่ต่ำผ่านชั้นบันได Leapfrog อันดับที่ 5
[19]	ทรานซิสเตอร์ 31 ตัว	กราฟการไหล สัญญาณ	ได้	100MHz	ซีมอส 0.18 μ m	ไม่ใช้งาน	วงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบ Chebyshev
[21]	ทรานซิสเตอร์ 33 ตัว	กราฟการไหล สัญญาณ	ได้	100MHz	ซีมอส 0.25 μ m	ไม่ใช้งาน	วงจรกรองแถบความถี่ผ่านอันดับที่ 6 แบบ Chebyshev
วงจรที่ นำเสนอ#1	ทรานซิสเตอร์ 40 ตัว	ฟังก์ชันโบควอต	ได้	30MHz	ซีมอส 0.25 μ m	ไม่ใช้งาน	วงจรกรองความถี่ต่ำผ่านอันดับที่ 5 แบบ Chebyshev
วงจรที่ นำเสนอ#2	ทรานซิสเตอร์ 39 ตัว	ฟังก์ชันโบควอต	ได้	20MHz	ซีมอส 0.25 μ m	ไม่ใช้งาน	วงจรกรองแถบความถี่ผ่านอันดับที่ 6 แบบ Chebyshev

จากตารางเปรียบเทียบงานวิจัยที่นำเสนอกับงานวิจัยที่ผ่านมาในวงจรรองความถี่ต่ำผ่านและแถบความถี่ผ่านปรับค่าทางอิเล็กทรอนิกส์ได้แบบ Chebyshev นั้น สามารถทำงานได้จริงตามทฤษฎีและมีข้อได้เปรียบหลายอย่างเช่น ใช้ทรานซิสเตอร์จำนวนน้อยกว่า ตัวเก็บประจุจำนวนน้อยกว่า ใช้ตัวเก็บประจุต่อลงกราวด์ซึ่งเหมาะสำหรับการนำไปสร้างวงจรรวม สามารถทำงานได้ที่ความถี่สูงกว่าและปรับค่าความถี่ได้ความถี่สูงกว่า เป็นต้น

5.2 ข้อเสนอแนะ

จากการศึกษา ออกแบบ และวิจัยวิทยานิพนธ์ฉบับนี้นั้น พบว่าหลักการที่นำเสนอสามารถนำไปสร้างเป็นวงจรรองชนิดอื่นๆ ได้ต่อไป โดยหากเปรียบเทียบกันระหว่างวงจรรองความถี่ต่ำผ่านและวงจรรองแถบความถี่ต่ำผ่านที่นำเสนอกับงานวิจัยที่เคยถูกนำเสนอก่อนหน้านี้ [6],[7],[12],[16] จะพบว่าวงจรรองความถี่ต่ำผ่านอันดับที่ 5 และวงจรรองแถบความถี่ผ่านอันดับที่ 6 แบบ Chebyshev ที่นำเสนอ นั้นมีการใช้มอสทรานซิสเตอร์จำนวนที่น้อยกว่าอย่างมีนัยสำคัญ และยังให้ผลตอบสนองทางความถี่สูงที่ดีกว่าประมาณ 10 เท่าเป็นอย่างน้อย แต่เมื่อเทียบกับงานวิจัยที่ [19],[21] แล้ว จะพบว่ามีการใช้มอสทรานซิสเตอร์จำนวนที่มากขึ้นเล็กน้อย แต่งานวิจัยที่เคยถูกนำเสนอ นั้นมีความยุ่งยากและซับซ้อนทางด้านโครงสร้างมากกว่าวงจรที่นำเสนอ และจากการที่วงจรที่นำเสนอในวิทยานิพนธ์นี้อยู่บนหลักการของฟังก์ชันไบควอดตที่เกิดจากการสังเคราะห์กระแสเมฆและโหนด ทำให้สามารถสร้างเป็นบล็อกแอกทีฟได้ง่ายเนื่องจากฟังก์ชันถ่ายโอนของบล็อกนั้นอยู่ในรูปแบบอันดับที่สอง รวมทั้งสามารถนำมาออกแบบและใช้งานร่วมกันเป็นวงจรรองอันดับสูงชนิดอื่นๆ ตามที่ต้องการได้ง่าย

เอกสารอ้างอิง

- [1] L.P .Huelsman, *Active and passive analog filter design*. McGraw-Hill Inc., International ed. 1993
- [2] T. Deliyannis, Yichuang Sun, and J.K. Fidler, *Continuous-time active filter design*. CRC Press London (UK), 1999.
- [3] W. Tangsrirat, and W. Surakamponorn, "Electronically Tunable Current-Mode Universal Filter Employing Only Plus-Type Current-Controlled Conveyors and Grounded Capacitors," *Circuits, Systems and Signal Processing*, 2006, 25, (6), pp.701-713.
- [4] M.A .Ibrahim, S. Minaei, and H. Kuntman, "A 22.5MHz current-mode KHN-biquad using differential voltage current conveyor and grounded passive elements," *AEU - International Journal of Electronics and Communications*, 2005, 59, (5), pp.311-318.
- [5] H.P. Chen, Y. Hwang, Y. Ku, and T. Lin, "Voltage-mode biquadratic filters using single DDCCTA," *AEU - International Journal of Electronics and Communications*, 2016, 70, (10), pp.1403-1411.
- [6] J. Wu, and E. El-Masry, "Current-mode ladder filters using multiple output current conveyors," *IEE Circuits, Devices and Systems*, 1996, 143, (4), pp.218-222.
- [7] J. Wu, and E.I. El-Masry, "Design of current-mode ladder filters using coupled-biquads," *IEEE Transactions on Circuits and Systems II*, 1998, 45, (11), pp .1445-1454 .
- [8] J. Jiang, and Y. Wang, "Design of a tunable frequency CMOS fully differential fourth-order Chebyshev filter," *Microelectronics Journal*, 2006, 37, (1), pp.84-90.
- [9] H. Sedef, and C. Acar, "Simulation of resistively terminated LC ladder filters using a new basic cell involving current conveyors," *Microelectronics Journal*, 1999, 30, (1), pp.63-68.
- [10] A. Jiraseree-amornkun, and W. Surakamponorn, "Efficient implementation of tunable ladder filters using multi-output current controlled conveyors," *AEU - International Journal of Electronics and Communications*, 2008, 62, (1), pp.11-23.
- [11] C. Psychalinos, and A. Spanidou, "Current amplifier based grounded and floating inductance simulators," *AEU - International Journal of Electronics and Communications*, 2006, 60, (2), pp.168-171.
- [12] Y.S. Hwang, D.S. Wu, J.J. Chen, and W.S. Chou, "Realization of current-mode high-order filters employing multiple output OTAs," *AEU - International Journal of Electronics and Communications*, 2008, 62, (4), pp.299-303.
- [13] R.F.L. Moreno, F.A.P. Barúqui, and A. Petraglia, "Bulk-tuned Gm-C filter using current cancellation," *Microelectronics Journal*, 2015, 46, (8), pp.777-782.

- [14] C.N. Lee, and C.M. Chang, "High-order mixed-mode OTA-C universal filter," *AEU - International Journal of Electronics and Communications*, 2009, 63, (6), pp.517-521.
- [15] W. Tangsrirat, W. Surakamponorn, and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 2003. E86-A, (2), pp.318-326.
- [16] U.E. Ayten, M. Sagbas, and H. Sedef, "Current mode leapfrog ladder filters using a new active block," *AEU - International Journal of Electronics and Communications*, 2010, 64, (6), pp.503-511.
- [17] L.A. Said, A.H. Madian, H.H. Ismail, and A.M. Soliman, "Active realization of doubly terminated LC ladder filters using current feedback operational amplifier (CFOA) via linear transformation," *AEU - International Journal of Electronics and Communications*, 2011, 65, (9), pp.753-762.
- [18] L. Safari, S. Minaei, and B. Metin, "A low power current controllable single-input three-output current-mode filter using MOS transistors only," *AEU - International Journal of Electronics and Communications*, 2014, 68, (12), pp.1205-1213.
- [19] T. Kunto, P. Prommee, and M.T. Abuelma'atti, "Electronically tunable current-mode high-order ladder low-pass filters based on CMOS technology," *Radioengineering*, 2015, 24, (4), pp.974-987.
- [20] A. Tiamsuphat and P. Prommee, "CMOS-based Chebyshev current-mode ladder band-pass filter," *2015 2nd International Conference on Signal Processing and Integrated Networks (SPIN)*, Noida, 2015, pp. 876-880.
- [21] P. Prommee, A. Tiamsuphat, and M.T. Abuelma'atti, "Electronically tunable MOS-only current-mode high-order band-pass filters," *Turk J Elec Eng & Comp Sci*, 2017, 25, (2), pp.1116-1136.
- [22] D. Biolek, and V. Biolkova, "Signal Flow Graphs Suitable for Teaching Circuit Analysis," *Pro of the Inter Conf Radioelektronika*, 2001, pp.310-313.
- [23] R. Sotner, B. Sevcik, L. Brancik, and T. Dostal, "Multifunctional adjustable biquadratic active RC filters: design approach by modification of corresponding signal flow graphs," *Przeglad Elektrotechniczny*, 2011, 87, (2), pp.225-229.
- [24] G. Daryanani, *Principles of Active Network Synthesis and Design*. John Wiley and Sons, Inc., 1976.
- [25] B. Razavi, *Fundamentals of Microelectronics*. John Wiley and Sons, Inc., 2008.
- [26] M. H. Rashid, *Microelectronic Circuits Analysis and Design*. University of West Florida, 2011.
- [27] H. Shichman and D. A. Hodges, "Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits," *IEEE J. Solid State Circuits*, 1968, 3, (3), pp.285-289.

- [28] S. Niewiadomski, *Filter Handbook: A Practical Design Guide*. Courier International Ltd, 1989.
- [29] S. I. Liu, H. W. Tsao and J. Wu, "CCII-based continuous-time filters with reduced gain-bandwidth sensitivity," *IEE Proceedings G - Circuits, Devices and Systems*, 1991, 138, (2), pp. 210-216

ภาคผนวก

ภาคผนวก ก.

โปรแกรม PSpice ที่ใช้ในการวิเคราะห์

วงจรรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบนได้ที่สร้างขึ้นจากวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชัน

```

*****T14Y MOSIS 0.25um *****
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.4317311
+PHI=0.7 VTO=0.4238252 DELTA=0 UO=425.6466519 ETA=0 THETA=0.1754054
+KP=2.501048E-4 VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ= 1.81211E-3 PB=0.5
+MJ=0.3282553 CJSW= 5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.6348369
+PHI=0.7 VTO=-0.5536085 DELTA=0 UO=250 ETA=0 THETA=0.1573195
+KP=5.194153E-5 VMAX=2.295325E5 KAPPA= 0.7448494 RSH = 30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD= 5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ= 1.893569E-3 PB=0.9906013
+MJ=0.4664287 CJSW= 3.625544E-10 MJSW=0.5)
*****T14Y MOSIS 0.25um *****
.subckt BQ1A 3 2 5 7 10
** 3=I2, 2=I1, 5=Iout1+, 7=Iout2+, 10=bias
M1 1 1 0 0 NMOS1 W=70U L=.5U
M2 3 1 0 0 NMOS1 W=70U L=.5U
M3 2 1 0 0 NMOS1 W=70U L=.5U
M4 2 2 0 0 NMOS1 W=70U L=.5U
M5 1 2 0 0 NMOS1 W=70U L=.5U
M6 3 3 0 0 NMOS1 W=70U L=.5U
M7 4 3 0 0 NMOS1 W=70U L=.5U
M8 4 4 0 0 NMOS1 W=70U L=.5U
M9 1 4 0 0 NMOS1 W=70U L=.5U
M10 5 4 0 0 NMOS1 W=70U L=.5U
M11 7 4 0 0 NMOS1 W=70U L=.5U
Vdd 6 0 dc 1
Vb 10 0 dc 0
F1 6 1 Vb 3
F2 6 2 Vb 2
F3 6 3 Vb 2
F4 6 4 Vb 2
F5 6 5 Vb 1
F6 6 7 Vb 1
C1 1 0 20p
C2 3 0 20p
.ENDS BQ1A
.subckt BQ1B 3 2 5 7 10
** 3=I1, 2=I2, 5=Iout1+, 7=Iout2+, 10=bias
M1 1 1 0 0 NMOS1 W=70U L=.5U
M2 3 1 0 0 NMOS1 W=70U L=.5U
M3 2 1 0 0 NMOS1 W=70U L=.5U
M4 2 2 0 0 NMOS1 W=70U L=.5U
M5 1 2 0 0 NMOS1 W=70U L=.5U
M6 3 3 0 0 NMOS1 W=70U L=.5U
M7 4 3 0 0 NMOS1 W=70U L=.5U
M8 4 4 0 0 NMOS1 W=70U L=.5U
M9 1 4 0 0 NMOS1 W=70U L=.5U
M10 5 4 0 0 NMOS1 W=70U L=.5U
M11 7 4 0 0 NMOS1 W=70U L=.5U
Vdd 6 0 dc 1
Vb 10 0 dc 0
F1 6 1 Vb 3
F2 6 2 Vb 2
F3 6 3 Vb 2
F4 6 4 Vb 2
F5 6 5 Vb 1

```

วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดที่สร้างขึ้นจากวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชัน

```

F6 6 7 Vb 1
C1 1 0 20p
C2 3 0 20p
.ENDS BQ1B
.subckt BQ2 1 8 6 7 11
** 1=I1, 8=I2, 6=Iout2+, 7=Iout3+, 11=bias
M1 1 1 0 0 NMOS1 W=70U L=.5U
M2 2 1 0 0 NMOS1 W=70U L=.5U
M3 2 2 0 0 NMOS1 W=70U L=.5U
M4 1 2 0 0 NMOS1 W=70U L=.5U
M5 3 2 0 0 NMOS1 W=70U L=.5U
M6 3 3 0 0 NMOS1 W=70U L=.5U
M7 8 3 0 0 NMOS1 W=70U L=.5U
M8 1 3 0 0 NMOS1 W=70U L=.5U
M9 5 3 0 0 NMOS1 W=70U L=.5U
M10 5 5 0 0 NMOS1 W=70U L=.5U
M11 3 5 0 0 NMOS1 W=70U L=.5U
M12 6 5 0 0 NMOS1 W=70U L=.5U
M13 7 5 0 0 NMOS1 W=70U L=.5U
M14 8 8 0 0 NMOS1 W=70U L=.5U
M15 9 8 0 0 NMOS1 W=70U L=.5U
M16 9 9 0 0 NMOS1 W=70U L=.5U
M17 8 9 0 0 NMOS1 W=70U L=.5U
M18 3 9 0 0 NMOS1 W=70U L=.5U
Vdd 10 0 dc 1.5
Vb 11 0 dc 0
F1 10 1 Vb 3
F2 10 2 Vb 2
F3 10 3 Vb 4
F4 10 5 Vb 2
F5 10 6 Vb 1
F6 10 7 Vb 1
F7 10 8 Vb 3
F8 10 9 Vb 2
C1 1 0 20p
C2 3 0 20p
C3 8 0 20p
.ENDS BQ2
* Full Circuit
I1 0 1 ac 1
x1 1 2 3 0 10 BQ1A
x2 3 4 2 5 11 BQ2
x3 9 5 4 6 12 BQ1A
RL 6 100 1
VDD 100 0 dc 1
Vbias 200 0 dc 0
Ibias 0 200 dc 12u
F4 100 10 Vbias 1
F5 100 11 Vbias 1
F6 100 12 Vbias 1
*Prototype
L1 10000 11000 80n
L2 11000 12000 80n
L3 12000 13000 80n
R4 10000 0 1
C8 11000 0 80n
C9 12000 0 80n
RPtt 13000 0 1
Iin2 0 10000 ac 1
*.step Ibias LIST 1u 10u 100u
.AC DEC 100 1k 1000Meg

```

วงจรรองความถี่ต่ำผ่านอันดับห้าชนิดชั้นบันไดที่สร้างขึ้นจากวงจรรองโดยใช้ซีมอสไบควอตฟังก์ชัน

```
*.four 3Meg i(RL)  
*.tran 0.01n 10u 0.5u 1n  
.PROBE  
.END
```

วงจรกรองแถบความถี่ผ่านอันดับหกชนิดชั้นบันไดที่สร้างขึ้นจากวงจรกรองโดยใช้ซีมอสไบควอตฟังก์ชัน

```
*****T14Y MOSIS 0.25um *****
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.4317311
+PHI=0.7 VTO=0.4238252 DELTA=0 UO=425.6466519 ETA=0 THETA=0.1754054
+KP=2.501048E-4 VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ= 1.81211E-3 PB=0.5
+MJ=0.3282553 CJSW= 5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.6348369
+PHI=0.7 VTO=-0.5536085 DELTA=0 UO=250 ETA=0 THETA=0.1573195
+KP=5.194153E-5 VMAX=2.295325E5 KAPPA= 0.7448494 RSH = 30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD= 5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ= 1.893569E-3 PB=0.9906013
+MJ=0.4664287 CJSW= 3.625544E-10 MJSW=0.5)
*****T14Y MOSIS 0.25um *****

.subckt BQ3A 3 1 6 8 9 11
** 3=I1-C2, 1=C1, 6=Iout1-, 8=Iout2-, 9=Iout3+, 11=bias
M1 1 1 0 0 NMOS1 W=70U L=1U
M2 2 1 0 0 NMOS1 W=70U L=1U
M3 2 2 0 0 NMOS1 W=70U L=1U
M4 1 2 0 0 NMOS1 W=70U L=1U
M5 3 2 0 0 NMOS1 W=70U L=1U
M6 3 3 0 0 NMOS1 W=70U L=1U
M7 1 3 0 0 NMOS1 W=70U L=1U
M8 4 3 0 0 NMOS1 W=70U L=1U
M9 4 4 0 0 NMOS1 W=70U L=1U
M10 3 4 0 0 NMOS1 W=70U L=1U
M11 6 3 0 0 NMOS1 W=70U L=1U
M12 8 3 0 0 NMOS1 W=70U L=1U
M13 9 4 0 0 NMOS1 W=70U L=1U

Vdd 10 0 dc 1.5
Vb 11 0 dc 0

F1 10 1 Vb 3
F2 10 2 Vb 2
F3 10 3 Vb 3
F4 10 4 Vb 2
F5 10 6 Vb 1
F6 10 8 Vb 1
F7 10 9 Vb 1

.ENDS BQ3A

.subckt BQ3B 3 1 6 8 9 11
** 3=I1-C2, 1=C1, 6=Iout1-, 8=Iout2-, 9=Iout3+, 11=bias
M1 1 1 0 0 NMOS1 W=30U L=.5U
M2 2 1 0 0 NMOS1 W=30U L=.5U
M3 2 2 0 0 NMOS1 W=30U L=.5U
M4 1 2 0 0 NMOS1 W=30U L=.5U
M5 3 2 0 0 NMOS1 W=30U L=.5U
M6 3 3 0 0 NMOS1 W=30U L=.5U
M7 1 3 0 0 NMOS1 W=30U L=.5U
M8 4 3 0 0 NMOS1 W=30U L=.5U
M9 4 4 0 0 NMOS1 W=30U L=.5U
M10 3 4 0 0 NMOS1 W=30U L=.5U
M11 6 3 0 0 NMOS1 W=30U L=.5U
M12 8 3 0 0 NMOS1 W=30U L=.5U
M13 9 4 0 0 NMOS1 W=30U L=.5U

Vdd 10 0 dc 1.5
```

วงจรรองแถบความถี่ผ่านอันดับหกชนิดขั้นบันไดที่สร้างขึ้นจากวงจรรองโดยใช้ซีมอสไปควอตฟังก์ชัน

```
Vb 11 0 dc 0
Fb 12 0 Vb 1
MB1 12 12 10 10 PMOS1 W=10u L=.5u
MB2 1 12 10 10 PMOS1 W=30u L=.5u
MB3 2 12 10 10 PMOS1 W=20u L=.5u
MB4 3 12 10 10 PMOS1 W=30u L=.5u
MB5 4 12 10 10 PMOS1 W=20u L=.5u
MB6 6 12 10 10 PMOS1 W=10u L=.5u
MB7 8 12 10 10 PMOS1 W=10u L=.5u
MB8 9 12 10 10 PMOS1 W=10u L=.5u
```

```
*F1 10 1 Vb 3
*F2 10 2 Vb 2
*F3 10 3 Vb 3
*F4 10 4 Vb 2
*F5 10 6 Vb 1
*F6 10 8 Vb 1
*F7 10 9 Vb 1
```

```
.ENDS BQ3B
```

```
Iin 0 1 ac 1
*I1a 0 1 sin(0 50u 1.25Meg)
*I1b 0 1 sin(0 50u 2.5Meg)
*I1c 0 1 sin(0 50u 5Meg)
*I1d 0 1 sin(0 100u 14Meg)
*I1e 0 1 sin(0 100u 16Meg)
*I1f 0 1 sin(0 50u 40Meg)
*I1g 0 1 sin(0 50u 80Meg)
*I1h 0 1 sin(0 50u 160Meg)
*I1i 0 1 sin(0 50u 25.6Meg)
*I1j 0 1 sin(0 50u 51.2Meg)
```

```
x1 1 13 1 0 2 10 BQ3A
x2 2 14 1 0 3 11 BQ3A
x3 3 15 3 2 4 12 BQ3A
```

```
VB 100 0 dc 0
IB 0 100 dc 100u
F1 50 10 VB 1
F2 50 11 VB 1
F3 50 12 VB 1
```

```
*C1a 13 0 3p
*C2a 1 0 12p
*C1b 14 0 16p
*C2b 2 0 16p
*C1c 15 0 12p
*C2c 3 0 3p
```

```
C1a 13 0 20p
C2a 1 0 20p
C1b 14 0 20p
C2b 2 0 20p
C1c 15 0 20p
C2c 3 0 20p
RL 4 50 1
```

```
VDD 50 0 dc 1.5
```

```
***** PROTOTYPE *****
```

วงจรกรองแถบความถี่ผ่านอันดับหกชนิดชั้นบันไดที่สร้างขึ้นจากวงจรกรองโดยใช้ซิมอสไบควอดฟังก์ชัน

```
RPtts 10000 0 1
L2 10000 11000 80n
C2 11000 12000 80n
L3 12000 0 80n
C3 12000 0 80n
L4 12000 13000 80n
C4 13000 14000 80n
RPttL 14000 0 1
```

```
Iin2 0 10000 ac 1
```

```
*****
```

```
.ac dec 100 1k 1g
.step IB list 1u 10u 100u
*.tran 0.01n 10u 0.5u 1n
.probe
.end
```

ภาคผนวก ข.

ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

CMOS-based high-order LP and BP filters using biquad functions

 ISSN 1751-858X
 Received on 14th November 2017
 Revised 20th December 2017
 Accepted on 11th January 2018
 doi: 10.1049/iet-cds.2017.0493
 www.ietdl.org

 Pipat Prommee¹ ✉, Ekkapong Saising¹
¹Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

✉ E-mail: pipat@telecom.kmitl.ac.th

Abstract: This study proposes the complementary metal–oxide–semiconductor (CMOS)-based current-mode high-order active low-pass (LP) and band-pass (BP) filters using biquad functions. The passive RLC Chebyshev ladder filters were used as the prototype, and the mesh- and nodal-analysis methods to derive the biquad functions. The CMOS-based transistor-level biquad circuits were subsequently realised from the biquad functions. The high-order active LP and BP ladder filters were then synthesised from an amalgamation of the biquad circuits. Simulations were carried out to verify the performance and functionality of the LP and BP ladder filters. The results revealed that the proposed ladder filters were operable in the high-frequency range and electronically tunable, given a low-voltage supply of 1 V for the entire circuit. The proposed filters could also achieve the LP frequency response of 300 kHz–30 MHz and BP centre frequency of 200 kHz–20 MHz by means of the bias current (I_b) manipulation from 1 to 100 μ A. Moreover, the multi-tone simulations were undertaken to assess the filtering performance of the proposed filters and the results are agreeable with the design specifications.

1 Introduction

Continuous-time filters are an essential building block in analogue signal processing. Several types of continuous-time filters are utilised in the communications systems, especially in the modulators and demodulators. Typically, the performance of a filter is governed by order of the filter function. Traditionally, various types of filters were realised from passive RLC components such as the first-order filter which is the basic building block that could be synthesised from the passive elements, i.e. RC or RL. Nevertheless, the passive RLC filter has lost its prominence in the modern integrated circuit due to the former's complex design and large chip area requirement.

In [1, 2], the first-order active filters were synthesised from the operational amplifiers (OAs) and operational transconductance amplifiers (OTAs). In addition, the second-order biquad filters were realised from diverse active building blocks (ABBs) including the current-controlled current conveyor (CCII) [3], differential voltage current conveyor (CC) [4] and differential difference CCIIA [5]. The ABBs, however, suffer from the narrow bandwidth, rendering the low-order active filters unsuitable for use in high-performance applications, particularly in

telecommunications. The second-order biquad filters also exhibit the unsatisfactory filtering performance.

Meanwhile, the high-order passive ladder filter could achieve better filtering performance with low sensitivity but suffer from the integration challenge without the electronic tunability feature. The group of previous works compared with the proposed filters is listed in Table 1. To overcome, the ABB-based high-order filters using various methods were proposed including the signal-flow-graph (SFG), mesh- and nodal-analysis methods using MOCC [6] and OTA [7]; moreover, operational amplifier with R-metal–oxide–semiconductor field-effect transistor [8] to implement the fourth-order Chebyshev low-pass (LP) filter. The ABB-based high-order filters could achieve the electronic tunability feature but suffer from the complex structure, large chip size and low operable frequency range.

Furthermore, the straightforward synthesis of simulating impedance based on CCII [9], MCCCII [10] and current amplifier (CA) [11] was utilised to construct the high-order LP and band-pass (BP) filters from the RLC prototype. The low-complexity ABBs including the multiple-output OTA (MOOTA) [12] and bulk-tuned OTA [13] were used to realise the high-order LP filters. A combination of feedbacks using MOOTA [14] was utilised to

Table 1 Comparison of the proposed high-order filter with previous works

	Active device	Synth. method	E-tunability	Cut-off /centre frequency	Technology	Use of resistor	Order type
[6]	five MOCC	SFG	no	1 MHz	CMOS 1.2 μ m	yes	fifth LP
[8]	four OA	NA	yes	420 kHz	CMOS 0.35 μ m	yes	fourth LP
[9]	eight CCII	simulating LC	no	3 MHz	NA	yes	fourth BP
[10]	three MCCCII	SFG	yes	5 MHz	CMOS 0.5 μ m	no	third LP
	six MCCCII						sixth BP
[12]	three MOOTA	CMLT	yes	100 kHz	LM13600	no	third LP
[16]	five CBTA	SFG	yes	1 MHz	CMOS 0.35 μ m	no	fifth LP
[17]	three CFOA	element transformation	no	1 MHz	CMOS 0.18 μ m	yes	third LP
[19]	31 transistors	SFG	yes	100 MHz	CMOS 0.18 μ m	no	third LP
[21]	54 transistors	SFG	yes	50 MHz	CMOS 0.25 μ m	no	sixth BP
proposed #1	59 transistors	biquad function	yes	30 MHz	CMOS 0.25 μ m	no	fifth LP
proposed #2	56 transistors	biquad function	yes	20 MHz	CMOS 0.25 μ m	no	sixth BP

MOCC: Multiple-output current conveyor; OA: Operational amplifier; CCII: Second generation current conveyor; MCCCII: multi-output current controlled conveyor; MOOTA: multiple-output OTA; CMLT: Current-mode linear transformation

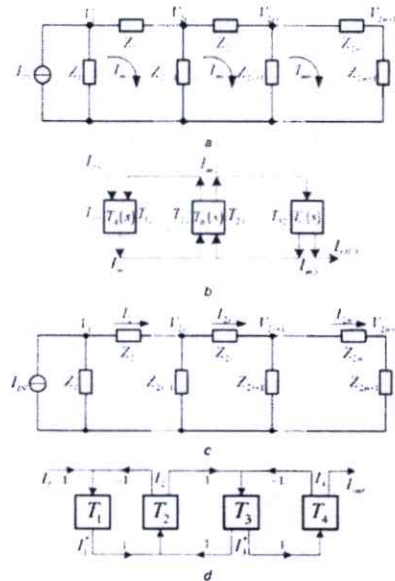


Fig. 1 Ladder networks (a) Generic network with n mesh currents (b) Block diagram associated with the mesh current (c) Generic network with n branch currents (d) Block diagram associated with the branch current

realise the high-order filter but the filter suffered from the excessive outputs of the core OTA. Moreover, the current differencing buffer amplifier [15] and the current buffering TA (CBTA) [16] with the leapfrog method; moreover, the current feedback OA (CFOA) [17] with the linear transformation method were utilised to realise the ABB-based high-order ladder filters. Nevertheless, these ABB-based high-order filters are afflicted with various drawbacks including the high-complexity structure, absence of tunability feature, low bandwidth and large chip area.

In [18], a complementary MOS (CMOS) transistor-level second-order filter operable in the high-frequency and low-voltage settings was proposed to overcome the aforementioned drawbacks; nonetheless, its utility is restricted to general applications. Meanwhile, the CMOS transistor-level high-order LP [19] and BP [20, 21] filters using the SFG realisation method were proposed with a number of interesting features including the high-frequency operational range, low-voltage requirement, wide-range tunability and low-complexity structure.

Specifically, this research proposes an alternate approach to achieve two simulating high-order LP and BP active filters by using CMOS-based three types of biquad functions. The passive RLC Chebyshev ladder LP and BP filters were used as the prototype, and the mesh- and nodal-analysis methods were used for deriving the biquad functions. Three types of biquad circuits were subsequently realised by the biquad functions by using lossy and lossless integrators based on the CMOS technology. The high-order LP ladder filter was then realised from the type-1 and type-2 biquad circuits, and the BP ladder filter from the type-3 biquad circuit. The proposed ladder LP filter requires 40 MOS transistors and 6 grounded capacitors while the ladder BP filter 39 MOS transistors and 6 grounded capacitors. In this paper, simulations were carried out on the lossy and lossless integrators, the biquad circuits and the proposed LP and BP ladder filters to examine the tunability feature by varying the bias current (I_{BI}) between 1 and 100 μ A. In addition, the multi-tone simulations were undertaken to assess the filtering performance of the LP and BP ladder filters. Interestingly, the proposed LP and BP ladder filters enjoy many advantages including relatively low numbers of active and passive components, low power consumption, low-voltage supply,

relatively high operable frequency range and wide electronic tunability.

2 Ladder network analysis

There are many methods which can be used to analyse the RLC ladder circuit. Recently, the SFG method was used to realise the second-order filters and ladder filters [19–23]. As the generic second-order filters are governed by biquad functions. Interestingly, the other methods (mesh current and branch current) can be used to analyse the ladder filter and resulting in the efficiently biquad functions [7]. This method leads to achieve a simple realisation of high-order filters.

2.1 Mesh analysis

In this research, the ladder network was first analysed using mesh analysis. The mesh analysis is principally based on the flowing of mesh currents through a series of transfer functions which serve as the biquad functions. In Fig. 1a, the biquad transfer functions can be derived from a generic ladder network using the mesh-analysis theorem.

Specifically, Fig. 1a illustrates the generic ladder network with n mesh currents, assuming that Z_{2i-1} to Z_{2i} ($i=2, 3, \dots, n$) is the branch impedances with a capacitor and an inductor in series, and the impedances Z_1 and Z_{2n-1} are the source and load terminated resistors, respectively. The variables $I_{m1}, I_{m2}, \dots, I_{mn}$ are the mesh currents and can be written as

$$I_{m1} = T_1 I_{in} + T_2 I_{m2} \quad (1)$$

$$I_{m2} = T_2 I_{m1} + T_3 I_{m3} \quad (2)$$

$$I_{mi} = T_{i-1} I_{i-1} + T_i I_{i+1} \quad (3)$$

$$I_{mn} = T_n I_{in} \quad (4)$$

where T_{ij} is a current transfer function between the output (i) and input (j) ports. Given the generic ladder network (Fig. 1a) and three

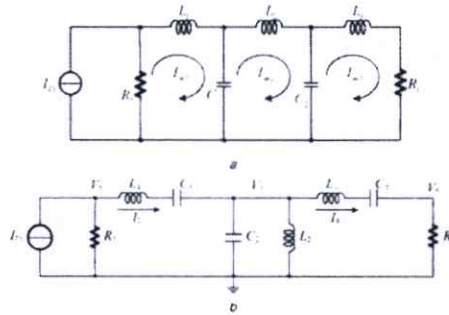


Fig. 2 Chebyshev RLC ladder prototype (a) Fifth-order LP filter, (b) Sixth-order RLC BP filter

mesh currents ($n-3$), the current transfer functions can be expressed as

$$T_{10} = \frac{I_{m1}}{I_{in}} \Big|_{I_{m2}, \dots, I_{m3} = 0} = \frac{Z_{10}}{Z_{11}} \quad (5)$$

$$T_{11} = \frac{I_{m1}}{I_{m2}} \Big|_{I_{m3}, \dots, I_{m3} = 0} = \frac{Z_{11}}{Z_{12}} \quad (6)$$

$$T_{12} = \frac{I_{m1}}{I_{m3}} \Big|_{I_{m2}, \dots, I_{m3} = 0} = \frac{Z_{12}}{Z_{13}} \quad (7)$$

$$T_{13} = \frac{I_{m1}}{I_{m3}} \Big|_{I_{m2}, \dots, I_{m3} = 0} = \frac{Z_{13}}{Z_{14}} \quad (8)$$

$$T_{14} = \frac{I_{m1}}{I_{m3}} = \frac{Z_{14}}{Z_{15}} \quad (9)$$

where $Z_{11} = R_1$, $Z_{12} = R_1$, and Z_{1i} is the total impedance of the i th mesh. In (5)–(9), the transfer functions are biquadratic if each transfer function contains at least one inductor and one capacitor. On the other hand, they become either the summing or the gain functions if only the capacitors or inductors are present. Fig. 1b illustrates the block diagram using the mesh-analysis method, given three mesh currents (I_{m1} – I_{m3}).

2.2 Nodal analysis

The ladder network was subsequently analysed using nodal analysis. The nodal analysis is summing branch currents flowing through a series of transfer functions which serve as the biquad functions. In Fig. 1c, the biquad transfer functions can be derived from a generic ladder network using the nodal-analysis theorem.

Owing to the requirement of current-mode transfer functions, all variables would be in current form. In Fig. 1c, the voltage variables ($V_1, V_2, V_3, \dots, V_{2n-1}$) were transformed into the current form by replacing them with the pseudo-current variables ($I_1, I_2, I_3, \dots, I_{2n-1}$), where the pseudo-current variables are denoted by the node voltage divided by the normalised impedance Z_0 , i.e. $I_i = V_i/Z_0$. Given the generic ladder (Fig. 1c) and four branch currents ($n-4$), the current variables are obtained by the following equations:

$$I = T_1(I_{n-1} - I) = \frac{Z_1}{Z_2}(I_{n-1} - I) \quad (10)$$

$$I = T_2(I - I) = \frac{Z_2}{Z_3}(I - I) \quad (11)$$

$$I = T_3(I - I_1) = \frac{Z_3}{Z_4}(I - I_1) \quad (12)$$

$$I_s = T_4 I = \frac{Z_4}{Z_5} I \quad (13)$$

Equations (10)–(13) can be depicted by the block diagram in Fig. 1d.

3 Ladder-filter analysis

3.1 LP ladder filter

In this research, the proposed fifth-order Chebyshev active ladder LP filter was realised from the doubly terminated fifth-order Chebyshev RLC passive ladder LP filter prototype with three mesh currents, as shown in Fig. 2a. Referring to (5)–(9) and the block diagram (Fig. 1b), the current transfer functions of the RLC network (Fig. 2a) can, respectively, be expressed as

$$T_{10} = \frac{I_{m1}}{I_{in}} \Big|_{I_{m2}, \dots, I_{m3} = 0} = \frac{sR_1/L_1}{s^2 + sR_1/L_1 + 1/(L_1C_1)} \quad (14)$$

$$T_{11} = \frac{I_{m1}}{I_{m2}} \Big|_{I_{m3}, \dots, I_{m3} = 0} = \frac{1/sC_1}{R_1 + sL_1 + 1/sC_1} = \frac{1}{s^2L_1C_1 + sR_1C_1 + 1} = \frac{1/(L_1C_1)}{s^2 + sR_1/L_1 + 1/(L_1C_1)} \quad (15)$$

$$T_{12} = \frac{I_{m1}}{I_{m3}} \Big|_{I_{m2}, \dots, I_{m3} = 0} = \frac{1/sC_1}{1/sC_1 + sL_1 + 1/sC_1} = \frac{1/C_1}{sL_1 + 1/C_1 + 1/C_1} = \frac{1/(L_1C_1)}{s^2 + (C_1 + C_2)/(L_1C_1C_2)} \quad (16)$$

$$T_{13} = \frac{I_{m1}}{I_{m3}} \Big|_{I_{m2}, \dots, I_{m3} = 0} = \frac{1/sC_1}{1/sC_1 + sL_1 + 1/sC_1} = \frac{1/C_1}{sL_1 + 1/C_1 + 1/C_1} = \frac{1/(L_1C_1)}{s^2 + (C_1 + C_2)/(L_1C_1C_2)} \quad (17)$$

$$T_{14} = \frac{I_{m1}}{I_{m3}} = \frac{1/sC_1}{R_1 + sL_1 + 1/sC_1} = \frac{1}{s^2L_1C_1 + sR_1C_1 + 1} = \frac{1/(L_1C_1)}{s^2 + sR_1/L_1 + 1/(L_1C_1)} \quad (18)$$

Specifically, (14), (15) and (18) are, respectively, the general BP and LP biquad functions, and (16) and (17) are the high- Q , below-unity-gain (<1) LP biquad functions. These biquad functions are subsequently realised in Section 4.

3.2 BP ladder filter

The proposed sixth-order Chebyshev active ladder BP filter was realised from the 1-type sixth-order Chebyshev RLC passive ladder BP filter prototype using the nodal analysis, as shown in Fig. 2b. Referring to (10)–(13) and the block diagram (Fig. 1d), the current

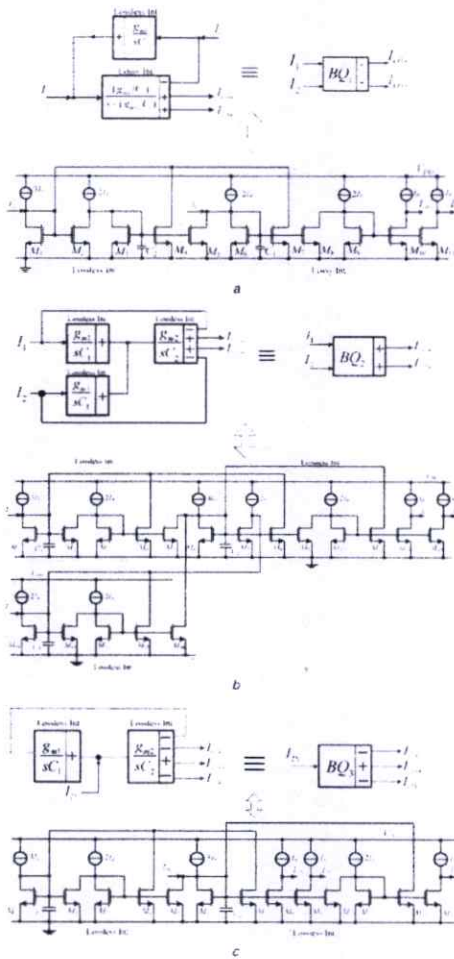


Fig. 3 Block diagram and CMOS-based structure of (a) Bi-quad function type-1, (b) Bi-quad function type-2, (c) Bi-quad function type-3

transfer functions of the RLC network (Fig. 2b) can be expressed in current-gain and bi-quad functions as

$$T = \frac{R_3}{Z_0} \quad (19)$$

$$T_2 = \frac{Z_0}{sL_1 + 1/(sC)} = \frac{sZ_0L_1}{s^2 + 1/L_1C} \quad (20)$$

$$T_1 = \frac{1/Z_0}{sC_2 + 1/(sL_2)} = \frac{sZ_0C_2}{s^2 + 1/L_2C_2} \quad (21)$$

$$T_3 = \frac{Z_0}{sL_3 + 1/(sC_3)} = \frac{sZ_0L_3}{s^2 + 1/L_3C_3} \quad (22)$$

$$T_4 = \frac{R_1}{Z_0} \quad (23)$$

Equations (19) and (23) are the current gains, and specifically (20)–(22) are the high-Q BP bi-quad functions. These current-gain and BP bi-quad functions are realised in the subsequent section.

4 CMOS-based bi-quad realisation

4.1 CMOS-based bi-quad function type-1

The bi-quad function type-1 (BQ₁) is a dual-input single-output bi-quad function which was realised using one lossy and one lossless integrators, as shown in Fig. 3a. Using the straightforward analysis, the output current can be written as

$$I_{O1} = \frac{s(g_{m1}/C_1)I_1 + (g_{m4}g_{m8}/C_1C_2)I_2}{s^2 + s(g_{m4}/C_1) + (g_{m4}g_{m8}/C_1C_2)} \quad (24)$$

In Fig. 3a and (24), the output of the bi-quad function type-1 is the general positive bi-quad LP and BP filters. Specifically, the transistor-level type-1 bi-quad circuit could be realised with the CMOS-based lossy and lossless integrators [19–21], as shown below Fig. 3a. The transistor-level structure offers the benefits of low voltage, wide-range electronic tunability, low component count and high-frequency operation. Using routine analysis and given that the transistors are matched ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_{m7} = g_{m8} = g_{m9}$), the output current can be expressed as

$$I_{O1} = \frac{s(g_{m1}/C_1)I_1 + (g_{m4}^2/C_1C_2)I_2}{s^2 + s(g_{m4}/C_1) + (g_{m4}^2/C_1C_2)} \quad (25)$$

In (25), two types of standard bi-quad filters could be obtained under the following conditions: the LP response is realised given $I_1 = 0$ and $I_2 = I_{in}$; moreover, the BP response given $I_2 = 0$ and $I_1 = I_{in}$. Importantly, (25) agrees with the mesh analysis (14), (15) and (18).

4.2 CMOS-based bi-quad function type-2

The CMOS-based bi-quad function type-2 was realised using three lossless integrators. Specifically, the bi-quad function type-2 contains two high-Q LP bi-quad functions, whose block diagram consists of three lossless integrators (Fig. 3b). Assuming that the transistors are matched ($g_{m1} = g_{m2} = g_{m3} = g_{m4}$), the current output function can be expressed as

$$I_{O2} = \frac{I_1(g_{m1}^2/C_1C_2) + I_2(g_{m1}^2/C_1C_2)}{s^2 + (2g_{m1}^2/C_1C_2)} \quad (26)$$

In (26), two high-Q, half-unity-gain LP bi-quad functions are achieved. In addition, the current-mode type-2 bi-quad circuit could be constructed using the current-mode CMOS-based lossless integrators [19–21], as shown below Fig. 3b. Interestingly, (26) is agreeable with the mesh analysis (16) and (17).

4.3 CMOS-based bi-quad function type-3

The CMOS-based bi-quad function type-3 was realised using two lossless integrators. Specifically, the bi-quad function type-3 yields three outputs of high-Q BP function whose block diagram consists of two lossless integrators, as shown in Fig. 3c. Assuming that the transistors are matched ($g_{m1} = g_{m2} = g_{m3}$), the current output function, using straightforward analysis, can be expressed as in the equation below:

$$I_{O3} = -I_{O3} = \frac{I_{IN}(2g_{m1}/C_1)}{s^2 + g_{m1}^2/C_1C_2} \quad (27)$$

In (27), the high-Q BP bi-quad function is achieved. Furthermore, the current-mode type-3 bi-quad circuit could be constructed by the CMOS-based lossless integrators [19–21], as shown below Fig. 3c. Moreover, (27) corresponds to the nodal-analysis equations (20)–(22), whereas the functions in (19) and (23) could be achieved by

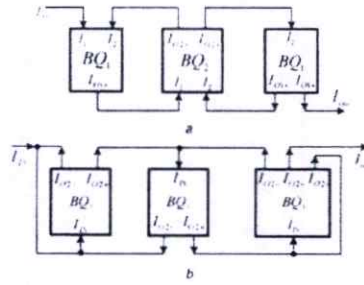


Fig. 4 Ladder filter using biquad circuits (a) Fifth-order LP filter. (b) Sixth-order BP ladder filter

loop backing the negative output to the original input. Note from (24)–(27) that the transconductance (g_m) can be expressed as

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L}} I_B \quad (28)$$

where μ , C_{ox} , W and L are the surface mobility, channel oxide capacitance, channel width and channel length of the MOS transistor. In (28), it is evident that the transconductance could be manipulated through bias current (I_B).

5 CMOS-based ladder filters using biquad circuits

In light of the ladder-filter mesh analysis (Section 3.1), the CMOS biquad circuits were realised corresponding to the biquad functions. Specifically, the fifth-order ladder LP filter could be constructed using the type-1 and type-2 biquad circuits, as shown in Fig. 4a.

Given the ladder-filter nodal analysis (Section 3.2), the CMOS biquad circuits were realised corresponding to the biquad functions. Specifically, the sixth-order ladder BP filter could be constructed using only type-3 biquad circuits, as shown in Fig. 4b.

6 Non-ideality analysis

This section describes the effects of the parasitic elements of the N-channel MOS transistors on the proposed high-order active ladder LP and BP filters, particularly in the high-frequency operation. Specifically, the parasitic effects of the three-type biquad circuits were investigated using the MOS small-signal model [21], consisting of the transconductance (g_m), parasitic drain-source conductance (g_{ds}), parasitic gate-source capacitance (C_{gs}) and parasitic gate-drain capacitance (C_{gd}). For ease of investigation, the transconductance (g_m) and the parasitic capacitances (C_{gs} and C_{gd}) of all the transistors were assumed identical.

6.1 Parasitic capacitance (C_{gs} and C_{gd})

(a) *Biquad circuit type-1*: Considering the parasitic gate-drain capacitance (C_{gd}), given the MOS small-signal model and that the transconductances (g_m) of the transistors and C_1 , C_2 are identical, the effects of C_{gd} on the transfer functions of the biquad circuit type-1 can, respectively, be approximated by below equations:

$$\frac{F_{O1}}{I} = \frac{s g_m (2C_{gd} + C) - s^2 (2C_{gs} + C_{gd}C)}{g_m + s(R_m C) + s^2 (3C_{gs} + 3C_{gd}C + C)} \quad (29)$$

$$\frac{F_{O2}}{I} = \frac{g_m - s(2g_m C_{gd}) + s C_{gd}}{g_m + s(R_m C) + s^2 (3C_{gs} + 3C_{gd}C + C)} \quad (30)$$

Meanwhile, considering the parasitic gate-source capacitance (C_{gs}), assuming that the transconductances of the transistors (g_m) and C_1 , C_2 are identical, the effects of C_{gs} on the transfer functions

of the biquad circuit type-1 can, respectively, be approximated by below equations:

$$\frac{F_{O1}}{I} = \frac{g_m}{g_m + s(2C_{gs} + C)g_m + s^2 (4C_{gs} + 2C_{gs}C + C)} \quad (31)$$

$$\frac{F_{O2}}{I} = \frac{s g_m (2C_{gs} + C)}{g_m + s g_m (2C_{gs} + C) + s^2 (4C_{gs} + 4C_{gs}C + C)} \quad (32)$$

Equations (29)–(32) portray the effects of the parasitic capacitances (C_{gd} and C_{gs}) on the lossy integrator performance. In the saturation region, the parasitic gate-drain capacitance (C_{gd}) and gate-source capacitance (C_{gs}) vary with the transistors' bias current. Assuming $C_{gd} = C_{gd}$ and $C_{gs} = C_{gs}$ where $C_{gd} = W L_D C_{ox}$ and $C_{gs} = W [(2/3)(L) + (L_D)] C_{ox}$, the parasitic capacitances C_{gd} and C_{gs} contribute to a small deviation in the frequency response of the biquad circuit type-1. To mitigate the significant errors, the capacitances C_1 and C_2 should be selected such that

$$C_1, C_2 \gg (4C_{gd} + 3C_{gs}) \quad (33)$$

(b) *Biquad circuit type-2*: The effects of the parasitic gate-drain and gate-source capacitances (C_{gd} and C_{gs}) on the biquad circuit type-2 could be approximated in a similar fashion. Specifically, assuming that the transconductances (g_m) of the transistors are identical, the effects of C_{gd} on the transfer function of the biquad circuit type-2 can be approximated by below equation:

$$\frac{F_{O1}}{I} = \frac{F_{O2}}{I} = \frac{g_m - s(2g_m C_{gd}) + s C_{gd}}{2g_m - s(4g_m C_{gd}) + s^2 (6C_{gs}C + C)} \quad (34)$$

Meanwhile, the effects of C_{gs} on the transfer function of the biquad circuit type-2 can be approximated by below equation:

$$\frac{F_{O1}}{I} = \frac{F_{O2}}{I} = \frac{g_m}{2g_m + s(6C_{gs}C + C)} \quad (35)$$

Equations (34) and (35) demonstrate the effects of the parasitic capacitances (C_{gd} and C_{gs}) on the biquad circuit type-2 performances. In the saturation region, the parasitic gate-drain and gate-source capacitances (C_{gd} and C_{gs}) vary with the transistors' bias current. To mitigate the significant errors, the capacitances C_1 , C_2 and C_3 should be selected such that

$$C_1, C_2, C_3 \gg 6(C_{gd} + C_{gs}) \quad (36)$$

In (36), the errors could be minimised by adopting a relatively large C_1 , C_2 and C_3 .

(c) *Biquad circuit type-3*: The effects of the parasitic gate-drain and gate-source capacitances (C_{gd} and C_{gs}) on the biquad circuit type-3 could be approximated in a similar approach. Specifically, assuming that the transconductances (g_m) of the transistors are

identical, the effects of C_{gd} on the transfer function of the biquad circuit type-3 can be approximated by below equation:

$$\frac{I''_{O1}}{I_{B1}} \approx \frac{s(g_{m1}C) - s^2(C_{gs}C)}{g_{m1} - s(2g_{m1}C_{gs}) + s^2(4C_{gs}C + C^2)} \quad (37)$$

Similarly, the effects of C_{gs} on the transfer function of the biquad circuit type-3 can be approximated by (38)

$$\frac{I''_{O2}}{I_{B2}} \approx \frac{s g_{m2}(2C_{gs} + C)}{g_{m2} + s^2(4C_{gs}C + C^2)} \quad (38)$$

Equations (37) and (38) demonstrate the effects of the parasitic capacitances (C_{gd} and C_{gs}) on the biquad circuit type-3 performances. In the saturation region, the parasitic gate-drain and gate-source capacitances (C_{gd} and C_{gs}) vary with the transistors' bias current. To mitigate the significant errors, the capacitances C_1 and C_2 should be selected such that

$$C_1, C_2 \gg 4(C_{gd} + C_{gs}) \quad (39)$$

In (39), the errors could be minimised by adopting a relatively large C_1 and C_2

6.2 Parasitic conductance (g_{ds})

From the small-signal model, the voltage-controlled current source (g_m, v_{gs}) is the most important component of the model, with the transistor current-voltage relationship given by

$$i_{DS} = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \quad (40)$$

In (40), λ is the channel-length modulation effect [$\lambda < 1$ (V^{-1})]. It produces the slope of the drain current as a function of the drain-to-source voltage (v_{DS}) [23]. The channel conductance will be dependent on channel length (L) through λ which is inversely proportional to L ($\lambda \propto 1/L$). The small-signal channel conductance (g_{ds}) can be written as

$$g_{ds} = \frac{\partial i_{DS}}{\partial v_{DS}} = \frac{\lambda i_{DS}}{1 + \lambda v_{DS}} \approx \lambda i_{DS} \quad (41)$$

(a) *Biquad circuit type-1*: Given the small-signal model, that $g_{ds} = g_{ds}$ for all the transistors where $g_{ds} = g_{ds}$ and that the transconductances of the transistors are identical, the effects of the parasitic conductance (g_{ds}) on the transfer functions of the biquad circuit type-1 can be approximated by

$$\frac{I''_{O1}}{I_1} \approx \frac{g_{m1}g_{ds} + s(g_{m1}C)}{g_{m1} + sC(g_{m1} + 2g_{ds}) + s^2C^2} \quad (42)$$

$$\frac{I''_{O2}}{I_2} \approx \frac{g_{m2}}{g_{m2} + sC(g_{m2} + 2g_{ds}) + s^2C^2} \quad (43)$$

Equations (42) and (43) indicate that the pole Q has significantly received the effects from g_{ds} , to lessen the significant errors, the transconductance (g_{m1}) must satisfy the condition that

$$g_{m1} \gg 2v_{ds} \quad (44)$$

Specifically, the significant errors could be minimised if the transistor width (W) is sufficiently large.

(b) *Biquad circuit type-2*: Taking only the effect of the parasitic drain-source conductance (g_{ds}) into account and assuming that the transconductances of the transistors are identical, the biquad circuit type-2 transfer functions can be approximated as

$$\frac{I''_{O1}}{I_1} = \frac{I''_{O2}}{I_2} \approx \frac{g_{m1}^2}{(2g_{m1}^2 + 3g_{ds}^2) + s(3g_{ds}C) + s^2C^2} \quad (45)$$

In (45), both inputs (I_1 and I_2) of the biquad circuit type-2 appear to be that of a same slight deviation of pole frequency and pole Q were governed by g_{ds} . In light of the high-frequency operational range of the biquad circuit type-2, the effect of g_{ds} could be reduced by decreasing the channel-length modulation (λ) or by increasing the channel length (L) of MOS transistors.

(c) *Biquad circuit type-3*: Taking only the effect of the parasitic drain-source conductance (g_{ds}) into account and assuming that the transconductances of the transistors are identical, the biquad circuit type-3 transfer functions can be approximated as

$$\frac{I''_{O3}}{I_{B3}} \approx \frac{s(g_{m1}C)}{g_{m1} + s(2g_{ds}C) + s^2C^2} \quad (46)$$

In (46), the output of the biquad circuit type-3 appears to be that of slight deviation only pole Q was governed by g_{ds} . In light of the high-frequency operational range of the biquad circuit type-3, the effect of g_{ds} could be reduced by decreasing the channel-length modulation (λ) or by increasing the channel length (L) of MOS transistors.

7 Simulation results

In this research, the realisation of the current-mode high-order active LP and BP ladder filters comprising numerous integrators were undertaken using the CMOS Taiwan Semiconductor Manufacturing Company 0.25 μm technology [23]. The dimensions of all transistors (W/L) were equally $70 \mu\text{m}/1 \mu\text{m}$, with a 1 V power supply to all sub-circuits. All bias currents (I_B) were replaced by the current mirrors. The simulations were carried out using the PSpice program. For the type-1, type-2 and type-3 biquad circuits, corresponding to Figs. 3a-c, were configured with $C_1 = C_2 = 10 \text{ pF}$ and the bias current varied between 1 and 100 μA . Specifically, the type-1 biquad circuit facilitates two biquad functions as the generic second-order positive LP and positive BP filters. Fig. 5a illustrates the simulated frequency responses of the type-1 biquad circuit in which the positive LP and BP characteristics were achieved at the output under either $I_1 = I_{in}$ or $I_2 = I_{in}$, with the frequency response tunable between 400 kHz and 40 MHz, by varying the bias current between 1 and 100 μA . The type-2 biquad circuit accommodates two identical biquad functions as the positive dual-input, single-output high- Q LP filter. Fig. 5b illustrates the simulated frequency responses of the type-2 biquad circuit in which the positive high- Q LP could be achieved at the output under either $I_1 = I_{in}$ or $I_2 = I_{in}$, with the frequency response tunable between 500 kHz and 50 MHz, by varying the bias current between 1 and 100 μA . Note that the half-unity-gain (-6 dB) along the pass band can be observed. Meanwhile, the type-3 biquad circuit accommodates a biquad function as the positive single-input-multiple-output high- Q BP filter. Fig. 5c illustrates the simulated frequency responses of the type-3 biquad circuit in which the positive high- Q BP can be achieved at the output, with the frequency response tunable between 400 kHz and 40 MHz, given the variation in the bias current between 1 and 100 μA .

Furthermore, the high-order active LP ladder filter (Fig. 4a) was constructed using the type-1 and type-2 biquad circuits. Given the RLC prototype's initial parameters of $L_1 = L_2 = L_3 = 80 \text{ nH}$, $C_1 = C_2 = 80 \text{ nF}$ and $R_5 = R_L = 1 \Omega$, moreover, the BQ_1 and BQ_2 with bias current (I_B) of 10 μA and capacitors of 20 pF, the frequency responses associated with the proposed active LP ladder filter were compared against those of the passive RLC prototype. In Fig. 6a, the frequency responses of both filters are agreeable, with an only small overshoot at the cut-off frequency of the proposed LP ladder filter. In addition, the tunable feature of the active LP ladder-filter was investigated by varying the bias current between 1 and 100 μA , with the simulated frequency response tunable from 300 kHz to 30 MHz, as shown in Fig. 6b. Moreover, the filtering

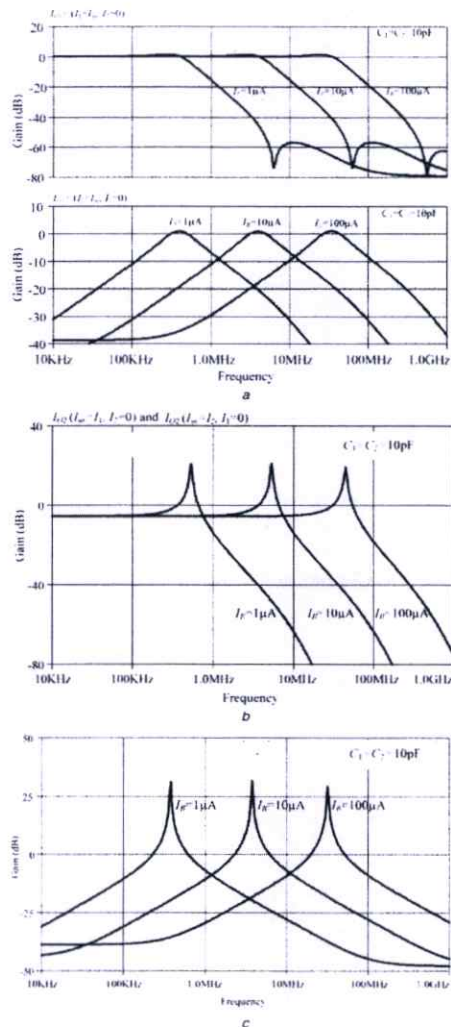


Fig. 5 Frequency responses of biquad circuits under various bias currents (a) Biquad type-1. (b) Biquad type-2. (c) Biquad type-3

performance was verified by applying three different sinusoidal-signal frequencies (20, 80 and 160 MHz) to the input of the LP ladder filter. The results revealed that the 20 MHz frequency was the only allowed output (Fig. 6c). The performance of the proposed LP filter was verified by testing the intermodulation distortion (IMD). The 2-tone stimulus signal inputs of 14 and 16 MHz with varying amplitudes (from 10 to 100 μ A or -40 to -20 dBm) were applied to the input of the proposed LP filter based on 100 μ A of bias current (cut-off = 20 MHz). Considering the third-order IMD (IM3) by using the magnitude spectrum of the frequency of 18 MHz, the third-order intercept point around -10 dBm (around 300 μ A input) is exhibited in Fig. 6d. The best third-order IMD measure for LP filter was -40 dBm (10 μ A input) when using 100 μ A of bias current.

The active high-order BP ladder filter (Fig. 4b) could be constructed using three type-3 biquad circuits and simulated in a similar fashion to the ladder LP filter. Given the RLC prototype's

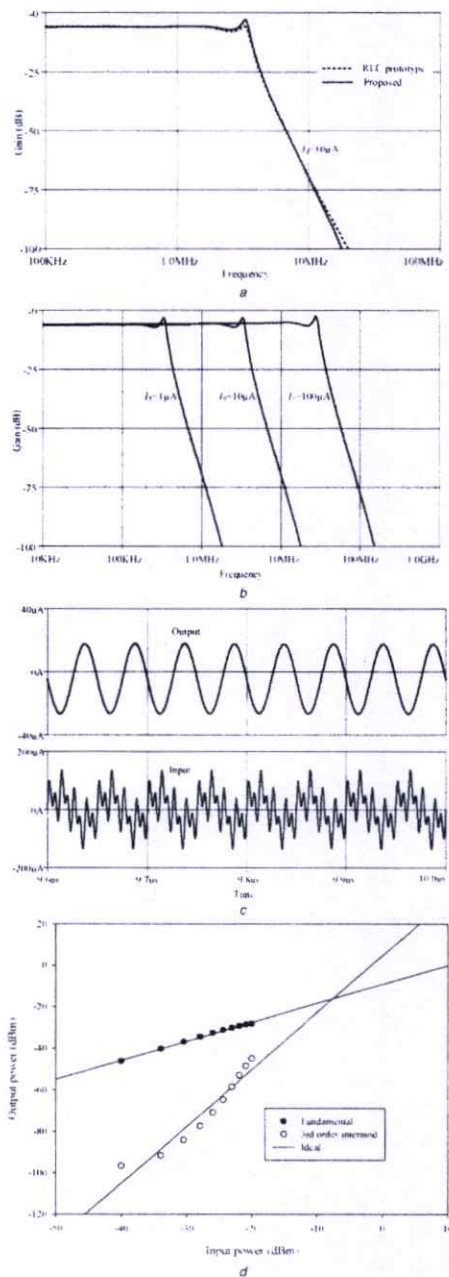


Fig. 6 Result of fifth-order LP filter (a) Frequency response relative to the RLC prototype. (b) Frequency responses by given various I_B . (c) Filtered output waveform based on $I_B = 100 \mu$ A. (d) IMD based on $I_B = 100 \mu$ A

initial parameters of $L_1 = L_2 = L_3 = 80$ nH, $C_1 = C_2 = 80$ nF and $R_S = R_L = 1 \Omega$; and the BQ₃ with bias current (I_B) of 10 μ A and capacitors of 20 pF, the frequency responses associated with the

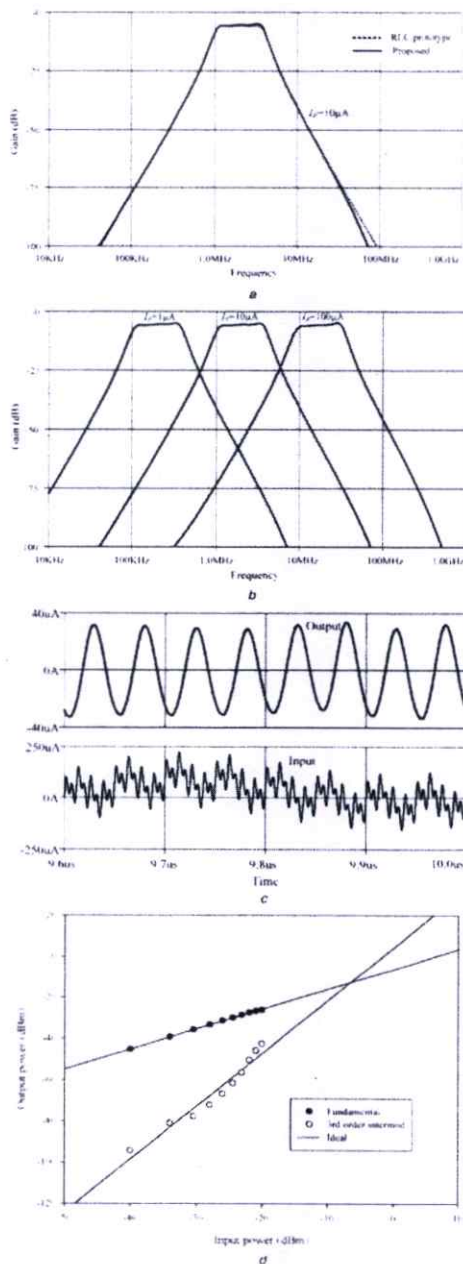


Fig. 7 Result of sixth-order BP filter (a) Frequency response relative to the RLC prototype (b) Frequency responses by given various I_B (c) Filtered output waveform based on $I_B = 100 \mu A$ (d) IMD based on $I_B = 100 \mu A$

proposed active BP ladder filter were compared against those of the passive RLC prototype. In Fig. 7a, the frequency responses of

both filters are agreeable, with a small overshoot on the right-hand side of the passband frequency of the BP filter. In addition, its tunable feature was determined by varying the bias current between 1 and 100 μA , and the simulation results showed that the centre frequency of the BP filter was tunable between 300 kHz and 30 MHz, as shown in Fig. 7b.

Moreover, the filtering performance was further verified by deliberately inputting various sinusoidal-signal frequencies (1, 2, 80, 20, 5.2 and 160 MHz) to the BP filter. The results revealed that the 20 MHz frequency was the only allowed output, as shown in Fig. 7c. Furthermore, the multi-tone simulations were carried out independently with the high-order active ladder LP and BP filters with the bias current (I_B) of 100 μA to further verify the performance of the filters. The performance of the proposed BP filter was verified by testing the IMD. The 2-tone stimulus signal inputs of 14 and 16 MHz with varying amplitudes (from 10 to 100 μA or -40 to -20 dBm) were applied to the input of the proposed LP filter based on 100 μA of bias current (cut-off = 20 MHz). Considering the third-order IMD (IM3) by using the magnitude spectrum of the frequency of 18 MHz, the third-order intercept point around -10 dBm (around 300 μA input) is exhibited in Fig. 7d. The best third-order IMD measure for BP filter was -40 dBm (10 μA input) when using 100 μA of bias current.

8 Conclusions

This research has proposed the CMOS-based high-order active LP and BP filters using three types of biquad functions: types 1, 2 and 3. The mesh- and nodal-analysis methods were utilised to derive the biquad functions from the passive RLC Chebyshev prototype. The lossy and lossless integrators were subsequently realised from the biquad functions based on the transistor level in CMOS technology. The high-order LP ladder filter was then realised from the type-1 and type-2 biquad circuits while the BP ladder filter from the type-3 biquad circuits. The simulation results revealed that the proposed high-order active LP and BP ladder filters are operable in the high-frequency range of 300 kHz–30 MHz by manipulating the bias current (I_B) between 1 and 100 μA , given the 1 V power supply. Moreover, the unwanted frequencies could be efficiently removed by tuning the bias current.

9 References

- [1] Huelsman, L.P. *Active and passive analog filter design* (McGraw-Hill Inc., New York, 1993)
- [2] Deliyannis, T., Sun, Y., Fidler, J.K. *Continuous-time active filter design* (CRC Press, USA, 1999)
- [3] Tangsrat, W., Surakampornom, W. 'Electronically tunable current-mode universal filter employing only plus-type current-controlled conveyors and grounded capacitors'. *Circuits Syst. Signal Process.* 2006, **25** (6), pp. 701–715
- [4] Ibrahim, M.A., Minaei, S., Kuntman, H. 'A 22.5 MHz current-mode KHN-biquad using differential voltage current conveyor and grounded passive elements'. *AEU - Int. J. Electron. Commun.* 2005, **59** (5), pp. 311–318
- [5] Chen, H.P., Hwang, Y., Ku, Y. et al. 'Voltage-mode biquadratic filters using single DDCTA'. *AEU - Int. J. Electron. Commun.* 2016, **70** (10), pp. 1403–1411
- [6] Wu, J., El-Masry, E. 'Current-mode ladder filters using multiple output current conveyors'. *IEE Trans. Circuits Syst.* 1996, **43** (4), pp. 218–222
- [7] Wu, J., El-Masry, E. 'Design of current-mode ladder filters using coupled-biquads'. *IEE Trans. Circuits Syst. II* 1998, **45** (11), pp. 1445–1454
- [8] Jiang, J., Wang, Y. 'Design of a tunable frequency CMOS fully differential fourth-order Chebyshev filter'. *Microelectron. J.* 2006, **37** (1), pp. 84–90
- [9] Sedel, H., Acar, C. 'Simulation of resistively terminated LC ladder filters using a new basic cell involving current conveyors'. *Microelectron. J.* 1999, **30** (1), pp. 63–68
- [10] Jirasree-amornkum, A., Surakampornom, W. 'Efficient implementation of tunable ladder filters using multi-output current-controlled conveyors'. *AEU - Int. J. Electron. Commun.* 2008, **62** (3), pp. 11–23
- [11] Psychalinos, C., Spandidou, A. 'Current amplifiers based grounded and floating inductance simulators'. *AEU - Int. J. Electron. Commun.* 2006, **60** (12), pp. 168–171
- [12] Hwang, Y.S., Wu, D.S., Chen, J.J. et al. 'Realization of current-mode high-order filters employing multiple output OIAs'. *AEU - Int. J. Electron. Commun.* 2008, **62** (4), pp. 299–307
- [13] Moreno, R.F.L., Bararou, F.A.P., Petraglia, A. 'Bulk-tuned GM-C filter using current cancellation'. *Microelectron. J.* 2015, **46** (8), pp. 777–782
- [14] Lee, C.N., Chang, C.M. 'High-order mixed-mode OIA-C universal filter'. *AEU - Int. J. Electron. Commun.* 2009, **63** (6), pp. 517–521

- [15] Tangsriat, W., Suakamponon, W., Fujii, N.: 'Realization of leapfrog filters using current differential buffered amplifiers'. *IEICE Trans. Fundam. Electron. Commun. Comput. Sci.*, 2003, **E86-A**, (2), pp. 318–326
- [16] Ayten, U.E., Sagbas, M., Sedef, H.: 'Current mode leapfrog ladder filters using a new active block'. *AEU – Int. J. Electron. Commun.*, 2010, **64**, (6), pp. 503–511
- [17] Said, L.A., Madian, A.H., Ismail, M.H., et al.: 'Active realization of doubly terminated LC ladder filters using current feedback operational amplifier (CFOA) via linear transformation'. *AEU – Int. J. Electron. Commun.*, 2011, **65**, (9), pp. 753–762
- [18] Safavi, L., Minaei, S., Mehri, B.: 'A low power current controllable single-input three-output current-mode filter using MOS transistors only'. *AEU – Int. J. Electron. Commun.*, 2014, **68**, (12), pp. 1205–1213
- [19] Kunto, T., Prommee, P., Abuchun'att, M.T.: 'Electronically tunable current-mode high-order ladder low-pass filters based on CMOS technology'. *Rasayanasatrasa*, 2015, **24**, (4), pp. 974–987
- [20] Thamsuphat, A., Prommee, P.: 'CMOS-based Chebyshev current-mode ladder band-pass filter'. *Proc. Second Int. Conf. Signal Processing and Integrated Networks (SPIN2015)*, New Delhi, India, 2015, pp. 876–880
- [21] Prommee, P., Thamsuphat, A., Abuchun'att, M.T.: 'Electronically tunable MOS-only current-mode high-order band-pass filters'. *Arab. J. Electr. Eng. Comput. Sci.*, 2011, **25**, (2), pp. 1116–1136
- [22] Birolek, D., Birolekova, V.: 'Signal flow graphs suitable for teaching circuit analysis'. *Proc. Int. Conf. Radioelektronika*, 2001, pp. 310–313
- [23] Solner, R., Sevcik, B., Brancik, L., et al.: 'Multifunctional adjustable biquadratic active RC filters: design approach by modification of corresponding signal flow graphs'. *Proc. Elektronika*, 2011, **87**, (2), pp. 225–229

Advanced Engineering Research



Edited by
Apirat Siritaratiwat and Anan Kruesubthaworn

TTP TRANS TECH PUBLICATIONS

CMOS-based Current-mode Elliptic Ladder Band-pass Filter

Ekkapong Saising^a, Thanate Pattanathadapong^b, Pipat Prommee^c*

Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

^aekkapong.sai@gmail.com, ^bthanate@telecom.kmitl.ac.th ^cpipat@telecom.kmitl.ac.th

Keywords: High-order, High frequency, Elliptic, Band-pass, CMOS

Abstract. This paper presents the realization of CMOS-based current-mode Elliptic ladder band-pass filter by using doubly terminated Elliptic RLC ladder band-pass filter prototype [1], [2]. The proposed circuit contains lossless integrators, lossy integrators and multiple outputs current gains. The frequency response of the proposed circuit can be electronically tuned between 1 MHz and 100 MHz by adjusting bias current between 1 μ A and 1,000 μ A. The proposed circuit uses 1.5 V power supply and 0.1 W power consumption. The passive elements that contained in the proposed filter are only grounded capacitors without using other passive elements that can make this filter suitable for integrated circuit. PSPICE simulation results are carried out by using TSMC 0.18 μ m technology and agreed well with the theory.

Introduction

Recently, Multiple Output Current Conveyor (MOCC) [1] with resistances was presented as a band-pass filter, but the circuit contained a large number of passive elements and could not be used in high frequency operation. OTAs [2-4] were presented, but their frequency responses are lower than CMOS [5-6] technology at the same bias current. It is well known that the less passive elements can lead to the less die area, hence this paper uses the compensation of the passive to active elements. Doubly terminated Elliptic RLC ladder band-pass filter prototype [7], [8] are used to realize high-order band-pass ladder filters. A CMOS transistor approach was introduced to realize a current-mode Elliptic ladder low-pass filter [9], but band-pass filter has never been presented.

Due to the disadvantages of the previous circuits, CMOS-based current-mode Elliptic ladder band-pass filter is presented in this paper. The circuit consists of 2 lossy, 5 lossless integrators and 7 grounded capacitors. The proposed circuit has many advantages, for example, low component counts, low-voltage supply, low-power, high frequency operation and wide-range electronic tuning features. The simulation results are in agreement well with the theory.

CMOS-based lossy and lossless integrators

Lossless integrator can be also easily realized by adding inverting current gain ($-k$) to output Y_1 of lossy integrator then feedback to the input as shown in Fig.1. The transfer functions of Z_1 and Z_2 can be expressed as

$$\frac{Z_1}{X} = \frac{-Z_2}{X} = \frac{-A}{s} \quad (1)$$

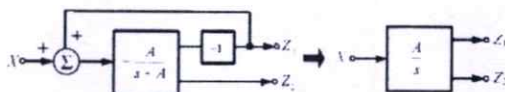


Figure 1 Realization of lossless integrator using lossy integrator

The realization of CMOS-based lossy and lossless integrators by using the building block in Fig.1 is shown in Fig.2 by using lossy integrator (M_1 , M_2 and M_3) and inverting gain (M_4 and M_5), then feedback the output to the input current. There are two current outputs I_{O1} (port Z_2) and I_{O2} (port Z_1) at M_2 and M_6 , respectively.

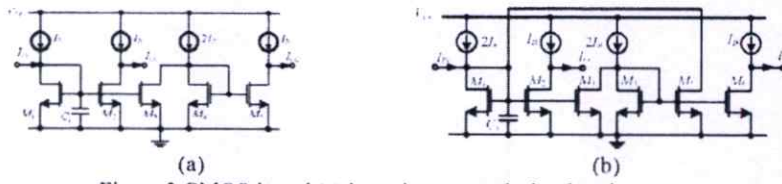


Figure 2 CMOS-based (a) lossy integrator (b) lossless integrator

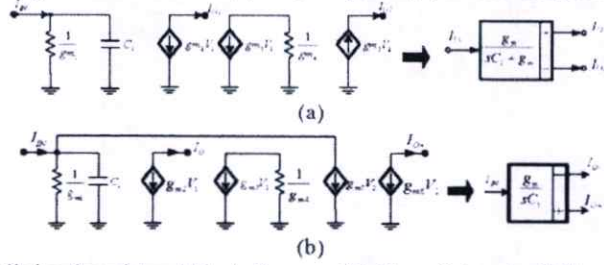


Figure 3 Small signal model and block diagram of (a) lossy integrator (b) lossless integrator

Supposed that the transconductance of transistors are matched ($g_{mi} = g_m$). Using KCL routine analysis, the current transfer functions of small signal model of lossy and lossless integrators in Fig.3 can, respectively, be written as

$$\frac{I_{O1}}{I_{IN}} = -\frac{g_m}{sC_1 + g_m}, \quad \frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1 + g_m} \tag{2}$$

$$\frac{I_{O3}}{I_{IN}} = \frac{-I_{O1}}{I_{IN}} = \frac{g_m}{sC_1} \tag{3}$$

where $g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_B}$ with μ , C_{ox} , W and L are surface mobility, channel oxide capacitance, channel width and channel length of MOS transistor, respectively. It can be seen that transconductance can be tuned by adjusting the bias current I_B .

High-order Elliptic ladder band-pass filter realization

Firstly, we use a doubly terminated RLC Elliptic ladder LPF prototype [7] in Fig.4(a).

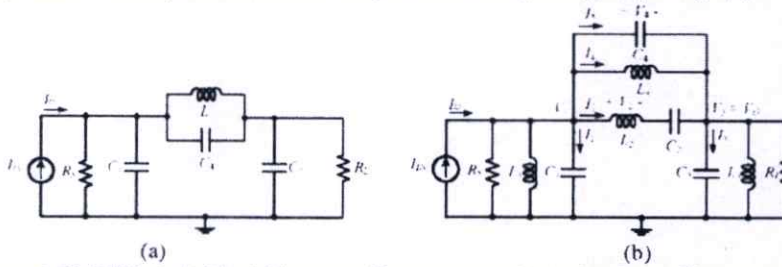


Figure 4 RLC Elliptic ladder (a) low-pass filter prototype (b) (a) band-pass filter prototype

The transformation method between LP and BP [10] is used to transform LP to BP network. The resulting Elliptic ladder band-pass prototype can be illustrated in Fig.4(b). By using KCL, currents and voltages of the high-order ladder band-pass filter can be written as

$$I_1 = I_{IN} - I_2 - I_4 - I_6 - I_8 - V_1 - sL_1 - V_1/R_1; \quad I_2 = \frac{V_1}{sL_1}; \quad I_3 = I_2 + I_4 + I_6 - \frac{V_1}{sL_1} - \frac{V_1}{R_2}; \quad I_4 = \frac{V_1}{sL_2} \tag{5}$$

$$\begin{aligned}
 V_1 &= I_4 - I_2 - I_4 - V_1 / sL_3 - V_1 / R_3 + V_3 \frac{C_4}{C_3 + C_4} & V_2 &= V_1 - V_3 - \frac{I_2}{sC_2} \\
 V_3 &= \frac{I_2 + I_4 - V_3 / sL_2 - V_3 / R_2}{s(C_3 + C_4)} + V_1 \frac{C_4}{C_3 + C_4} & V_4 &= V_1 - V_3 = V_2 + \frac{I_2}{sC_2}
 \end{aligned}
 \tag{6}$$

From equations (5)-(6), C_4 can be rewritten to C_1+C_4 and C_3+C_4 which connecting to the dependent sources, then the prototype can be rewritten as Fig.5(a).

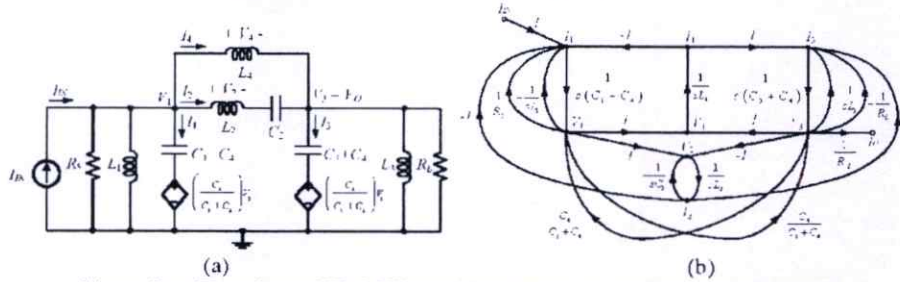


Figure 5 (a) Transformed RLC Elliptic ladder band-pass filter prototype (b) SFG

Signal flow graph (SFG) method is applied in current and voltage terms as shown in Fig.5(b). All voltage terms need to normalize into the current terms by applying the transconductance (g_m) in the SFG and set $R_S, R_L, 1/g_m$. Final current-mode SFG can be written in Fig.6(a).

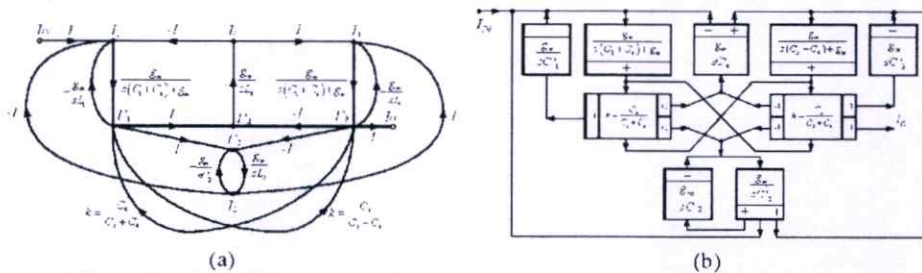


Figure 6 (a) Signal flow graph of Fig.5 in current terms (b) Elliptic BPF realization

According to SFG in Fig.6(a), it is found that there are the feedbacks loop between two nodes (I_1 and I_3) through the current gains (k). The proposed current-mode band-pass Elliptic filter can be realized step-by-step as shown in Fig.6(b). High-order Elliptic ladder band-pass filter is realized from the proposed CMOS-based lossless, lossy integrators and current gains (k).

Simulation Results

SPICE simulation results are carried out by using RLC Elliptic ladder band-pass filter prototype in Fig.5(a) by setting $C_1=11\text{nF}$, $C_2=10\text{nF}$, $C_3=11\text{nF}$, $L_1=10\text{nH}$, $L_2=10\text{nH}$, $L_3=10\text{nH}$, $L_4=100\text{nH}$ where $R_S=R_L=1\Omega$, respectively compared with the proposed Elliptic high-order ladder band-pass filter. Lossy and lossless integrators in Fig. 2(a) and (b) are realized by using NMOS by setting W/L to $10\mu\text{m}/0.25\mu\text{m}$ except the 2 transistors in the special current gain blocks by setting W/L to $0.67\mu\text{m}/0.25\mu\text{m}$ and its bias current of $0.67I_B$ for achieving $k=0.67$. Figure 6(b) is realized from lossy and lossless integrators in Fig.2 by using $C_1=10\text{pF}$, $C_2=12\text{pF}$, $C_3=100\text{nF}$, $C_4=12\text{nF}$, $C_5=10\text{pF}$, $C_6=10\text{pF}$, $C_7=10\text{pF}$ and set $I_B=25\mu\text{A}$. The comparison result between the proposed filter and its prototype is shown in Fig.7(a). Moreover, Fig.7(b) shows the electronic tunability feature of proposed Elliptic BPF which can be tuned from 1MHz to 100MHz by adjusting the bias currents.

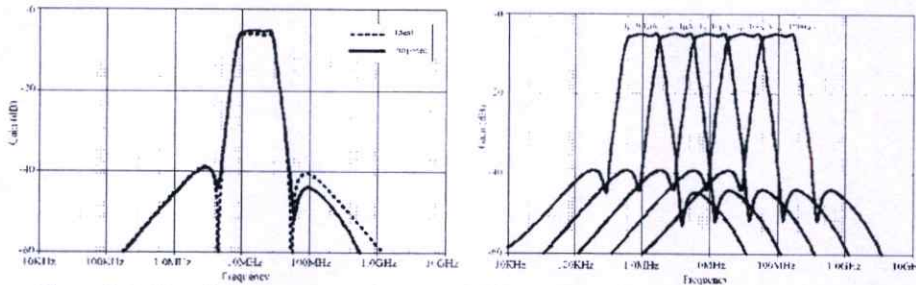


Figure 7 (a) Magnitude responses of proposed Elliptic ladder band-pass filter in Fig.6 compared with prototype in Fig.4 (b) Magnitude response of proposed BPF by varying I_B

It can be seen that magnitude response of the proposed filter has a slightly error in stop-band, but its pass-band is close to prototype.

Conclusion

This paper presents CMOS-based current-mode Elliptic ladder band-pass filter which realized from a transformed RLC Elliptic ladder low-pass filter prototype. The proposed filter contains 2 lossy integrators, 5 lossless integrators and 2 multiple outputs current gain by using different aspect ratio of MOS transistors. Frequency responses can be electronically tuned between 1MHz and 100MHz by adjusting I_B between 0.1 μ A and 1,000 μ A within 0.1W of dynamic power consumption along tuning the bias current.

References

- [1] K. Martin, Improved circuits for the realization of switched-capacitor filters, IEEE Transactions on currents and systems, 27 (1980) 237 – 244.
- [2] A.C.M. de Queiroz, J.P. Caloba, and E. Sanchez-Sinencio, Signal flow graph OTA-C integrated Filters, Proc. ISCAS, (1988), 2165- 2168.
- [3] M.A. Tan and R. Schaumann, Simulating General Parameter LC-ladder filters for monolithic realizations with only transconductance elements and grounded capacitors, IEEE Trans. Circuits and Syst., 36, (1989), 299-307.
- [4] J. Ramirez-Angulo, and E. Sánchez-Sinencio. Active compensation of operational transconductance amplifier filters using partial positive feedback, IEEE J. Solid State Circ. 25, (1990), 1024-1028.
- [5] G. Jacobs, D. Allstot, R. Brodersen, P. Gray, Design techniques for MOS switched capacitor ladder filters. IEEE Transactions on circuits and systems, 25 (1978), 1014-1021.
- [6] T.S. Fiez, D.J. Allstot, CMOS switched-current ladder filters, IEEE Journal of Solid-State Circuits, 25, (1990), 1360-1367.
- [7] I.P. Huelsman, Active and Analog Filter Design, McGraw-Hill, Inc., 1993. International Edition.
- [8] A.S. Sedra and P.O. Bracket, Filter Theory and Design: Active and Passive, Matrix Publishers, (1978), Beaverton Oregon.
- [9] S.S. Lee, D.J. Allstot, CMOS Continuous-Time Current-Mode Filters for High-Frequency Applications, Proc. IEEE Journal of Solid-State Circuits, 28, (1993), 323 – 329.
- [10] T. Deliyannis, Y. Sun, J.K. Fidler, Continuous-Time Active Filter Design, CRC Press (1999), London.



2016

**39th International Conference on
Telecommunications and Signal Processing**

TSP

**June 27-29, 2016
Vienna, Austria**

IEEE Catalog Number: CFP1688P-ART
ISBN 978-1-5090-1288-6
<http://tsp.vutbr.cz>

Fully Tunable All-Pass Filter Using OTA and its Application

Ekkapong Saising and Pipat Prommee
Department of Telecommunications Engineering
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Bangkok 10520, Thailand
Email: ekkapong.sai@gmail.com, pipat@telecom.kmitl.ac.th

Abstract—This paper proposes a realization of fully tunable all-pass (AP) filter and its application. Three Multiple Outputs Operational Transconductance Amplifiers (MOOTAs) and a grounded capacitor are used for realizing an all-pass filter which is able to tune in both of the frequency response and gain. The frequency response and gain are independently tuned through particular bias current. The advantage of independent tunable gain is of AP filter that can be widely used in many applications as well as the sinusoidal oscillator. A multiphase sinusoidal oscillator (MSO) using loop-back of three cascaded all-pass sections is raised as an application. Three MOOTAs and a grounded capacitor are constructed as current-mode APN. The PSpice simulations results are described in two parts, AP filter and MSO. It shows the magnitude and phase responses can be independently tuned. The MSO current and voltage outputs are equally spaced in phase of $360/n$ degree. The harmonic distortion of the sinusoidal output is less than 0.64%.

Keywords—OTA, All-pass Filter, MSO, Tunability

I. INTRODUCTION

All-pass (AP) filters, is an essential building block which are provided constant gain along the frequencies while phase has been shifted which defined by its parameters. The parameters of AP filter can be tuned by adjusting the passive elements. In modern analog signal processing, electronic tunability feature is considerable attention. The AP filters are preferred in many applications, for example, the frequency determining elements in electronic-controlled oscillator, phase modulators in communication systems. At last two decade years, there were many all-pass circuits based on several active devices. The active devices were used to realize by using one or more CCII [1], [2], FTFN [3], CDBA [4] and CCIII [5] with passive RC elements without electronic adjustable. Regarding to the electronic controlled devices, second-generation current-controlled conveyors (CCCII) [6] has been established and considerable attentions to use as main active device. Electronically tunable transfer functions of all-pass filter employing one or more CCCII have been proposed in [7], but these reported required the floating capacitors, therefore it not suitable for IC implementation [8]. Recently, CCCII [9-10], DVCC [11] and OTA [12], [13] based AP filters without resistor connection have been introduced. Unfortunately, they are lacked of gain adjustability which is an important in specific case as well as oscillator application. Owing to the AP network based MSO, CDTA [15] with floating capacitor was realized. The outputs are unequally spaced in phase and floating capacitors are the weak points for IC production. The

improved version of MSO using and CCCDTA [16] is also introduced with only grounded passive element. Although, the grounded capacitors are used but it grounded resistors are required.

In this paper, a simple first-order current-mode AP filter using 3 MO-OTAs and a grounded capacitor is presented. The proposed AP filter can be independently tuned the frequency response and its gain by particular bias current. The use of grounded capacitor is beneficial to IC production [8]. Furthermore, the application to multiphase sinusoidal oscillator (MSO) is raised for confirming the realistic application. The condition of oscillation and frequency of oscillation can be independently tuned for obtaining the sinusoidal signal output. The multiphase outputs are equally spaced in phase and amplitude.

II. PRINCIPLE OF APN AND OSCILLATOR

A. CMOS Multiple Output Operational Transconductance Amplifier (MOOTA)

A simple version of CMOS MOOTA is shown in Fig. 2. It is a versatile device that provides multiple plus and minus output currents I_O by applying a differential input voltage V_{in} . The transconductance g_m is given by

$$g_m = \frac{I_D}{V_{in}} = g_m = \sqrt{\mu_n C_{ox} I_D (W/L)} \quad (1)$$

where μ_n , C_{ox} , W and L are surface mobility, oxide capacitance, channel width and length of MOS transistor, respectively.

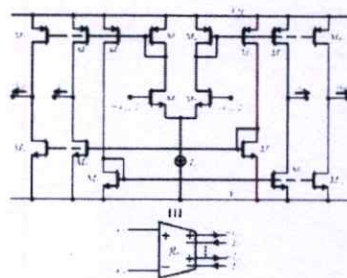


Fig. 1. Basic CMOS MO-OTA circuit

Consequently, g_m can be electronically tuned by adjusting OTA bias current I_b .

B. OTA-based current-mode all-pass network

All-pass filter characteristic provides a constant of magnitude, but its phase is shifted at natural frequency. All-pass filter realizations with the same structure were introduced by using dual inputs without stage gain tunability. Oscillator is unable to provide in practical realization. In oscillator purposes, loop-gain plays an important role for achieving the oscillation condition. Tunable stage gain in all-pass filter is necessary in oscillator realization. The current-to-voltage (IV) converter is constructed by 2 OTAs which is shown in Fig.3(a). The first-order high-pass and the low-pass filter functions are obtained from the main building block which realized by MOOTA as shown in Fig.3(b).

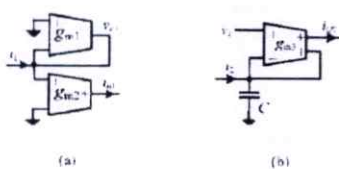


Fig. 2. (a) IV with current gain (b) high-pass and low-pass network

Eq.(2) and Eq.(3) show the transfer functions of Fig.2(a) and Fig.2(b), respectively.

$$V_{O1} = \frac{i_1}{g_{m1}} \text{ and } i_{O1} = i_1 \frac{g_{m1}}{g_{m1}} \quad (2)$$

$$i_{O2} = \frac{sV_{O1} - i_1 g_{m1}/C}{s - g_{m1}/C} \quad (3)$$

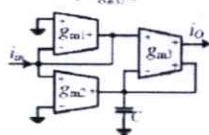


Fig. 3. Current-mode OTA-based first-order APN

Connecting the subcircuits in Fig.2(a) and Fig.2(b), the completed single-input single-output OTA-based APN is shown in Fig.3. The current transfer function of APN can be expressed as

$$\frac{i_{O2}}{i_{O1}} = \frac{g_{m1} \cdot g_{m2}/g_{m1} - s(C/g_{m1})}{1 - s(C/g_{m1})} \quad (4)$$

Assuming that $g_{m1} = g_{m2} = g_m$, current transfer function of APN can be simplified to

$$\frac{i_{O2}}{i_{O1}} = \frac{g_m}{g_m} \frac{1 - s(C/g_m)}{1 - s(C/g_m)} \quad (5)$$

Note for the completed APN that matching condition of OTA_2 and OTA_3 is required for controlling the frequency response. The rest OTA_1 is used for control only the gain of APN without disturbing the frequency response. This is a very important feature for the oscillator application.

III. APN-BASED MULTI-PHASE SINUSOIDAL OSCILLATOR

The generalized structure of n -phase sinusoidal oscillator is shown in Fig.4. It consists of n -cascaded first-order inverting all-pass transfer functions named APN. The current output of the last stage is fed back to the input of the first stage. Each section provides the following transfer function.

$$H(s) = \frac{I_2}{I_1} = k \frac{(1-sT)}{(1+sT)} \quad (6)$$

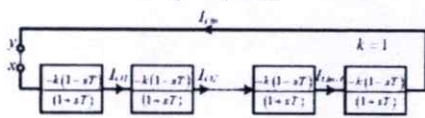


Fig. 4. Oscillator based on n -cascaded all-pass sections (n -odd)

where k denotes the low-frequency stage gain and T denotes the system time constant which determines the natural frequency. The system loop-gain can be expressed as

$$H(s) = \left[k \frac{1-sT}{1+sT} \right]^n = 1 \quad (7)$$

From the Barkhausen's condition, the transfer function of APN can be written as

$$H(j\omega) = \left[k \frac{1 - j\omega T}{1 + j\omega T} \right]^n = 1 \quad (8)$$

Phase is equal to 360 degrees at the oscillation frequency. Assume each n -stages with phase shift (ϕ), the total of phase $2n$ for 1 cycle can be expressed as

$$\angle H(j\omega_c) = 2n\phi - 2n(2 \tan^{-1} \omega_c T) = -2\pi \quad (9)$$

It is seen that Eq.(9) can be used only if the value of n is odd number ($n \geq 3$). Each output is shifted in phase by $360^\circ/n$. The oscillation frequency ω_c is given by

$$\omega_c = \frac{1}{T} \tan(\pi/2n) \quad (10)$$

Eq.(10) provides oscillation frequency (ω_c) when $n = 2, 3, 4, 5, \dots$ based on the oscillation condition ($k=1$).

A three-phase sinusoidal oscillator based on Fig.4 is realized and shown in Fig.5. The OTA_1 , OTA_2 and OTA_3 have been configured for achieving the tunable stage gain by setting $g_{m1} = g_{m2} = g_m$ and $g_m/g_{m1} = 1$. Loop-gain of the circuit is around unity for obtaining the oscillation condition. APN-based MSO always provides a unity loop-gain in theory, but not unity in realistic implementation. For obtaining the real unity gain, it can be done by adjusting the bias current of OTA for achieving the oscillation condition. Each inverting APN stage provides high output impedance that drives to the succeeding

stage. This result of three cascaded inverting first-order APN can be expressed as

$$\frac{I_o}{I_i} = \frac{g_m (1 - sC/R_m)}{g_m (1 + sC/R_m)} \quad (11)$$

Then the oscillation frequency becomes

$$\omega = \frac{g_m}{\sqrt{3C}} \quad (12)$$

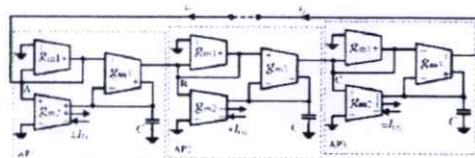


Fig. 5. Current-mode MSO based on all-pass section ($n=3$)

For utilize the output of MOOTA in specific case of MSO, the outputs of each APN can be moved to OTA₂. Using the proposed configuration in Fig.5, the positive and negative current outputs can be provided simultaneously. The output can be obtained without changing the circuit topology.

IV. SIMULATION RESULTS

The NMOS and PMOS transistors are assumed by using the parameters of the TSMC MOSIS 0.25 μ m [16]. OTA in Fig.2 is simulated with the aspect ratios in Table.1 based on ± 1.5 volts power supplies.

Transistor	W (μ m)	L (μ m)
M_1, M_2, M_3, M_{12}	3	0.5
M_4, M_6	5	0.5

The proposed APN magnitude and phase response can be independently tuned. Magnitude and phase responses of the proposed APN are illustrated in Fig.6 by varying the bias current. The bias currents of OTA₁-OTA₂ are equally set as I_B with $C=10$ pF. It is evident that the phase response has been change but the magnitude response is still unity.

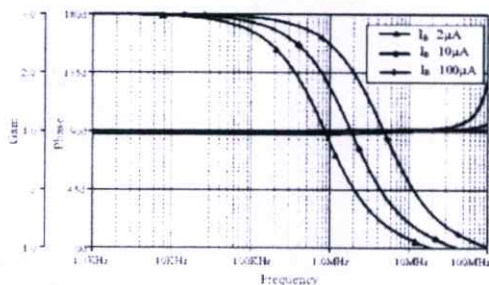


Fig. 6. Phase response of OTA-based APN with varying I_B

Tunable stage gain can be proved by setting $I_{B2}=I_{B1}=100$ μ A and decreasing I_{B1} [100, 50, 25, 12.5] μ A with $C=10$ pF. It can be obviously seen that the magnitude response is increased between 1 and 2.25 without affecting the phase response (around 5MHz).

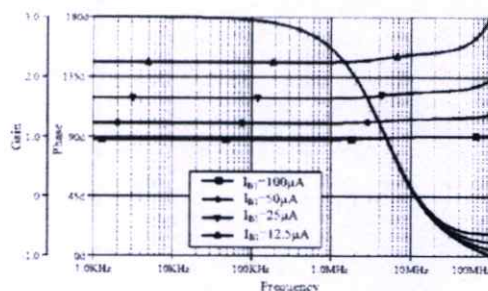


Fig. 7. Gain adjustment against phase response of OTA-based APN

The tunability feature of proposed APN can be also confirmed by applying 7MHz sinusoidal input signal with 20 μ A p-p. The proposed APN uses the following conditions: $C=10$ pF, $I_{B2}=I_{B1}=100$ μ A and decreasing I_{B1} [100, 50, 25, 12.5] μ A. The Fig. 8 is evident that the signal outputs are increasing based on the decreasing of I_{B1} with 90 degree constant phase different (lead).

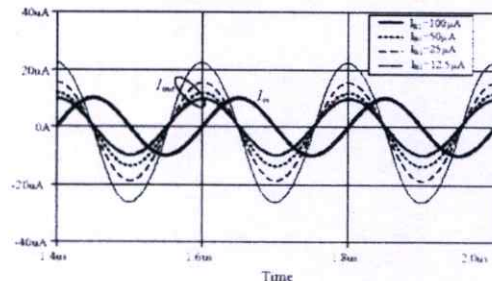


Fig. 8. Tunable gain feature of proposed APN by applying 7MHz input

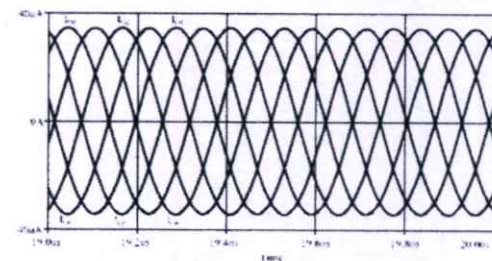


Fig. 9. Sinusoidal signal at 2.73MHz six-phase current-mode oscillator with $C=10$ pF and $I_B=100$ μ A

In application of APN, the odd structure MSO, $n = 3$ is supposed based on cascading the three stages of negative APN. To prevent the input/output parasitic capacitances effects of MOOTA, capacitors $C=10\text{pF}$ are selected. The six phases current output as shown in Fig.9 can be obtained from negative and positive outputs of each APN by setting $C=10\text{pF}$, $I_B=88.13\mu\text{A}$ and $I_{B2}=I_{B1}=100\mu\text{A}$ (k slightly higher than 1). The oscillation frequency six phase outputs are around 2.73MHz and equally spaced 60° . Note that the MSO application can be also provided voltage signal outputs at node A, B, C with 120° degree equally phase different.

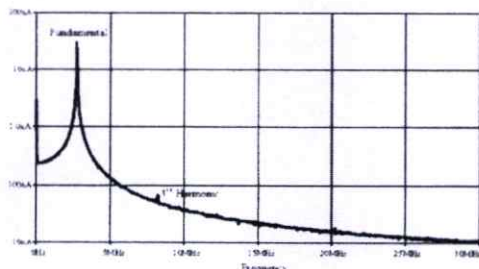


Fig. 10. Current output spectrum of Fig. 8

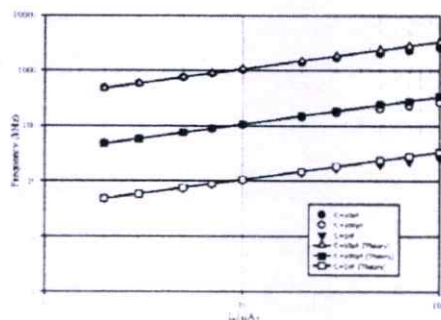


Fig. 11. Oscillation frequency while varying OTA bias current and changing capacitor

Sinusoidal output in Fig.9 based on bias current $I_B=100\mu\text{A}$ is also used to verify the THD characteristic. It is found that only the 3rd harmonic frequency is appeared in Fig.10 which is around 66.15nA, while fundamental amplitude is around 28.38uA. Hence THD is around 0.23%. Finally, the frequency outputs by varying bias current of OTA and different capacitors are plotted in Fig.11.

V. CONCLUSION

A new fully tunable current-mode all-pass (AP) filter and its application for multiphase sinusoidal oscillator (MSO) are presented. Proposed AP circuit is realized by three simple

multiple outputs OTAs and a grounded capacitor. Note that two of OTAs require matching condition. Gain and natural frequency can be independently tuned through the bias current. It is an interesting features which suitable for oscillator applications. The MSO based on cascading of AP networks is verified for the proposed AP filter. From the results, it can be seen that the oscillator can be easily implemented with good results. Moreover, the current and voltage outputs can be achieved by this topology. The oscillation frequency and oscillation condition can be independently tuned by varying the relevant bias current of OTAs. Oscillation frequency output can be tuned around two decade ranges up to 2.7MHz (100uA bias current) and expenses 13mW of power consumptions.

REFERENCES

- [1] M. Higashimura, and Y. Fukui, "Realization of current mode all-pass networks using a current conveyor," *IEEE Trans. Circuits Syst.*, vol. 37, pp. 660-661, May 1990.
- [2] A. M. Soliman, "Generation of current conveyor based all-pass filters from op-amp based circuits," *IEEE Trans. Circuits Syst.*, vol. 44, pp. 324-330, April 1997.
- [3] M. Higashimura, "Current-mode allpass filter using FTFN with grounded capacitor," *Electron. Lett.*, vol. 27, pp. 1182-1183, June 1991.
- [4] A. Toker, S. Ozoguz, O. Cicekoglu, and C. Acar, "Current-mode all-pass filters using current differencing buffered amplifier and a new high-Q bandpass filter configuration," *IEEE Trans. Circuits Syst.*, vol. 47, pp. 949-954, September 2000.
- [5] S. Maheshwari, and I. A. Khan, "Novel first order all-pass sections using a single CCHII," *Int. J. Electronics*, vol. 88, pp. 773-778, 2001.
- [6] A. Fabre, O. Wiest, and C. Boucheron, "Current controlled bandpass filter based on translinear conveyors," *Electron. Lett.*, vol. 31, pp. 1727-1728, September 1995.
- [7] S. Maheshwari, and I. A. Khan, "Simple first-order translinear-C current-mode all-pass sections," *Int. J. Electronics*, vol. 90, pp. 79-85, 2003.
- [8] M. Bhusan, and R. W. Newcomb, "Grounding of capacitors in integrated circuits," *Electron. Lett.*, vol. 3, pp. 148-149, 1967.
- [9] Maheshwari S., 2007, A new current mode current controlled all-pass section, *Journal of Circuits, Systems, and Computers*, Vol 16(2), 181-189.
- [10] K. Dejhan, M. Kunngern, P. Sangpattavanach, P. Prommee, "A Capacitor-Grounded Current-Tunable Current Mode All-Pass Network," *Proc. of IEEE TENCON 2004*, Chiang Mai, Thailand, Nov. 21-24, 2004.
- [11] Maheshwari, S., 2008, High output impedance current-mode all-pass sections with two grounded passive components, *IFT Circuits Devices Syst.*, Vol.2(2), 234-242.
- [12] P. Prommee, K. Angkeaw, J. Charwittum, and K. Dejhan, "Dual Input All-Pass Networks Using MO-OTA and its Application," *Proc. of ECTI-CON 2007*, Chiang Rai, Thailand, May 9-12, 2007.
- [13] B. Metru, K. Pal, S. Miran, O. Cicekoglu, "Trade-off in the OTA Based Analog filter Design," *Analog Integrated Circuits and Signal Processing*, Vol. 60, No. 3, pp. 205-213, 2009.
- [14] S. J. G. Gilb, "The application of all-pass filter in the design of multiphase sinusoidal systems," *Microelectron. J.*, Vol. 31, pp. 9-13, 2000.
- [15] W. Tangsrat, W. Tanjaroen, T. Pukkalanun, "Current-mode multiphase sinusoidal oscillator using CDTA-based allpass sections," *Int. J. Electron Commun (AET)*, Vol. 63, pp. 616-622, 2009.
- [16] W. Jaikla and P. Prommee, "Electronically tunable current-mode multiphase sinusoidal oscillator employing CCCTA-based allpass filters with only grounded passive elements," *Radioengineering*, Vol. 20, No.3, pp. 594-599, Sep. 2011.
- [17] P. Prommee, K. Angkeaw, M. Somjaiyakanok and K. Dejhan, "CMOS-based near zero-offset multiple inputs max-min circuits and its applications," *Analog Integrated Circuits and Signal Processing*, vol. 61, No. 1, pp. 93-105, Oct. 2009.

ประวัติผู้เขียน

ชื่อ-นามสกุล นาย เอกพงษ์ สายสิงห์

วัน เดือน ปีเกิด 4 สิงหาคม พ.ศ.2528 ที่จังหวัดกรุงเทพมหานคร

ที่อยู่ 50/257 ลาดพร้าว 51 แขวงสะพานสอง เขตวังทองหลาง กรุงเทพมหานคร 10310

ประวัติการศึกษา สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขา วิศวกรรมคอมพิวเตอร์

คณะ วิศวกรรมศาสตร์, มหาวิทยาลัยมหิดล, ประเทศไทย, พ.ศ. 2550

สำเร็จการศึกษาปริญญาวิทยาศาสตรมหาบัณฑิต สาขา บริหารเทคโนโลยีสารสนเทศ

คณะ สถิติประยุกต์, สถาบันบัณฑิตพัฒนบริหารศาสตร์, ประเทศไทย, พ.ศ. 2556

ประสบการณ์การทำงาน

พ.ศ.2550-2555 ตำแหน่ง วิศวกรฐานข้อมูล บริษัท จีเอเบิล จำกัด