การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวงจรเชิงเส้นแบบช่วง โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส

A CMOS PIECEWISE-LINEAR CIRCUIT FOR NONLINEAR FUNCTION SYNTHESES

วรรณดี เพชรมณีล้ำค่า
WANDEE PETCHMANEELUMKA

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมระบบควบคุม
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2546

ISBN 974-324-206-6

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวงจรเชิงเส้นแบบช่วง โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส

A CMOS PIECEWISE-LINEAR CIRCUIT FOR NONLINEAR FUNCTION SYNTHESES

วรรณดี เพชรมณีล้ำค่า

WANDEE PETCHMANEELUMKA

เลขหมู่.....
เลขทะเบียน 45882
วัน, เดือน, ปี 19 ก.พ. 2546

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมระบบควบคุม
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2546

ISBN 974-324-206-6

A CMOS PIECEWISE-LINEAR CIRCUIT FOR NONLINEAR FUNCTION SYNTHESES

WANDEE PETCHMANEELUMKA

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF ENGINEERING IN CONTROL ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT 'S INSTITUTE OF TECHNOLOGY LADKRABANG

2003

ISBN 974-324-206-6

COPY RIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวงจรเชิงเส้นแบบช่วงโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส

A CMOS PIECEWISE-LINEAR CIRCUIT FOR NONLINEAR FUNCTION SYNTHESES

ชื่อนักศึกษา นางสาววรรณดี เพชรมณีล้ำค่า

รหัสประจำตัว 43061525

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมระบบควบคุม

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.วันชัย ริ้วรุจา

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.สมยศ	จุณณะปิยะ	
ผศ.วรพงศ์	ตั้งศรีรัตน์	
ผศ.ดร.เกียรติศักดิ์	คมวัชระ	
ผศ.ประสิทธิ์	จุลเสรีวงศ์	
รศ.ดร.วันชัย	ริ้วรุจา	

วัน/เดือน/ปี ที่สอบ 23 ธันวาคม 2545 เวลา 10.00-12.00 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-404)

บัณฑิตวิทยาลัยรับรองแล้ว

(รศ.ดร.บุญวัฒน์ อัตชู)

คณบดีบัณฑิตวิทยาลัย

วันที่ 23 **เดือน** ธันวาคม **พ.ศ.** 2545

หัวข้อวิทยานิพนธ์	การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวงจรเชิงเส้นแบบช่วง โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส
นักศึกษา	นางสาววรรณดี เพชรมณีล้ำค่า
รหัสประจำตัว	43061525
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมระบบควบคุม)
สาขาวิชา	วิศวกรรมระบบควบคุม
พ.ศ.	2546
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. วันชัย ริ้วรุจา

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรเชิงเส้นแบบช่วงโดยใช้วงจรจำกัดกระแสเพื่อทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นบนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซีมอส ที่มีการทำงานในช่วงอิ่มตัวเป็นหลัก ซึ่งวงจรที่ได้ออกแบบมีความเรียบง่าย มีโครงสร้างของวงจรขยายคลาส B และวงจรสะท้อนกระแสเป็นหลัก จุดเริ่มต้นและจุดสิ้นสุดของฟังก์ชันเชิงเส้นสามารถปรับเปลี่ยนได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ซึ่งเป็นวิธีที่สามารถสังเคราะห์ฟังก์ชันที่ไม่เป็นเชิงเส้นโดยใช้ความเป็นเชิงเส้นแบบช่วงได้อย่างมีประสิทธิภาพ วงจรที่นำเสนอนี้ใช้งานกับอินพุทที่เป็นสัญญาณกระแสและให้เอาท์พุทเป็นสัญญาณกระแสเช่นกัน จากจุดเด่นของวงจรที่ได้ทำการออกแบบ ประกอบกับคุณสมบัติที่ดีของการสร้างวงจรด้วยทรานซิสเตอร์แบบมอสทำให้มีความเหมาะสมอย่างยิ่งที่จะนำวงจรเชิงเส้นแบบช่วงที่ทำการออกแบบนี้นำไปพัฒนาสร้างเป็นวงจรรวม และเพื่อเป็นการทดสอบสมรรถนะการทำงานของวงจรที่ได้ทำการออกแบบขึ้น โดยการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ผลการเลียนแบบการทำงานของวงจรสามารถยืนยันถึงช่วงปฏิบัติการ ความแม่นยำ และความเที่ยงตรงของฟังก์ชันที่สังเคราะห์ขึ้น ตลอดจนความเป็นเชิงเส้นของวงจรสอดคล้องตามหลักการที่ได้เสนอขึ้น

Thesis Title	A CMOS piecewise-linear circuit for nonlinear function syntheses
Student	Miss Wandee Petchmaneelumka
Student ID.	43061525
Degree	Master of Engineering (Control Engineering)
Programme	Control Engineering
Year	2003
Thesis Advisor	Assoc. Prof. Dr. Vanchai Riewruja

ABSTRACT

A piecewise-linear circuit elements for nonlinear function syntheses, termed a current limiter, is presented in this thesis. The realization method makes use of the CMOS transistor operating in the saturation region which has the small configuration. The proposed circuit comprises the class B CMOS configuration and the current mirrors. The limit-point and break-point of the current limiter can be electronically varied that employed to synthesize accurately a large class of nonlinear function circuit. The proposed circuit can be applicability current input signals and current output signals. From this feature of designing technique and a good performance of MOS transistors, it have suited with integrable circuit forms. Simulation results showing the accuracy and linearity of the proposed circuits are also included.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี ผู้วิจัยขอกราบขอบพระคุณ รองศาสตราจารย์ ดร. วันชัย ริ้วรุจา อาจารย์ที่ปรึกษา ที่ได้ให้ความรู้ ความคิดริเริ่ม คำปรึกษาและคำชี้แนะแนวทางในการแก้ไขปัญหาต่างๆ อย่างทุ่มเท ตลอดจนการฝึกฝนให้ผู้วิจัยมีความสามารถในการทำวิจัยและพัฒนาได้อย่างมีประสิทธิภาพมาโดยตลอดระยะเวลาการศึกษา

ขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร. เกียรติศักดิ์ คมวัชระ ที่ได้ให้คำปรึกษาและชี้แนะแนวทางในการทำวิทยานิพนธ์นี้

ขอขอบคุณพี่ๆ เพื่อนๆ นักศึกษาทุกคนรวมทั้งทีมงานห้อง B418 ที่ช่วยเหลือและให้คำแนะนำต่างๆ รวมทั้งเอื้อเฟื้ออุปกรณ์เครื่องมือและสถานที่ในการทำวิจัยและการเรียบเรียงวิทยานิพนธ์ฉบับนี้ให้มีความสมบูรณ์มากยิ่งขึ้น

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่รัก ห่วงใย และให้การสนับสนุนในการศึกษา รวมทั้งขอขอบคุณญาติสนิท และพี่ๆ ทุกคน ที่เป็นกำลังใจ พร้อมทั้งให้ความช่วยเหลือในด้านต่างๆ แก่ผู้วิจัยมาโดยตลอด

สุดท้ายนี้ขอขอบคุณ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติภายใต้โครงการทุนส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติภายใต้โครงการสนับสนุนการออกแบบวงจรรวมในสถาบันศึกษา ที่ให้ทุนและเครื่องมือสนับสนุนในการทำวิทยานิพนธ์นี้ และขอขอบคุณทบวงมหาวิทยาลัยสำหรับทุนสนับสนุนในการจัดทำวิทยานิพนธ์มา ณ โอกาสนี้ด้วย

วรรณดี เพชรมณีล้ำค่า

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VII

สารบัญรูป.....VIII

บทที่ 1 บทนำ.....1

1.1 กล่าวนำ.....1

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์.....1

1.3 หลักการใหม่ในวิทยานิพนธ์.....2

1.4 รายละเอียดของวิทยานิพนธ์.....2

บทที่ 2 การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น.....4

2.1 กล่าวนำ.....4

2.2 การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวิธีประมาณค่าด้วยฟังก์ชันตรรกยะ.....4

2.3 การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยการประมาณค่าความเป็นเชิงเส้นแบบช่วง.....8

2.4 สรุป.....10

บทที่ 3 ทฤษฎีการทำงานของมอสเฟท.....12

3.1 กล่าวนำ.....12

3.2 โครงสร้างของมอสเฟท.....12

3.3 สัญลักษณ์ของมอสทรานซิสเตอร์..... 15

3.4 คุณสมบัติการทำงาน.....16

3.5 สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่.....20

3.6 ค่าความจุไฟฟ้าในมอสเฟท.....21

3.7 วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก.....23

3.8 เปรียบเทียบข้อดีและข้อเสียระหว่างมอสเฟทกับไบโพลาร์ทรานซิสเตอร์.....25

3.9 สรุป.....26

สารบัญ(ต่อ)

หน้า

บทที่ 4 กลุ่มวงจรที่ใช้ในวิทยานิพนธ์นี้.....27

4.1 กล่าวนำ.....27

4.2 กลุ่มวงจรย่อย.....27

4.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....27

4.2.2 วงจรขยายคลาส B.....29

4.3 วงจรตามกระแส.....30

4.4 วงจรคูณกระแส.....31

4.5 สรุป.....37

บทที่ 5 การออกแบบวงจรเชิงเส้นแบบช่วงเพื่อใช้ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น.....38

5.1 กล่าวนำ.....38

5.2 หลักการทำงานของวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น.....38

5.2.1 วงจรเชิงเส้นแบบช่วงที่ให้กระแสเอาท์พุทในควอดแดรนท์ที่ 1 และ 4..... 38

5.2.2 วงจรเชิงเส้นแบบช่วงที่ให้กระแสเอาท์พุทในควอดแดรนท์ที่ 2 และ 3..... 40

5.3 การวิเคราะห์คุณสมบัติการทำงานของวงจร.....42

5.3.1 การวิเคราะห์ค่าความต้านทานที่เอาท์พุทและที่อินพุท.....42

5.3.1.1 ค่าความต้านทานที่อินพุท 42

5.3.1.2 ค่าความต้านทานที่เอาท์พุท (out1).....44

5.3.1.3 ค่าความต้านทานที่เอาท์พุท (out2).....45

5.3.2 การวิเคราะห์ช่วงปฏิบัติการทางขนาด.....45

5.3.2.1 ช่วงกระแสปฏิบัติการของวงจรในรูปที่ 5.1.....45

5.3.2.2 ช่วงกระแสปฏิบัติการของวงจรในรูปที่ 5.3.....47

5.3.3 การวิเคราะห์แรงดันไฟเลี้ยงต่ำสุด.....49

5.3.4 การวิเคราะห์ค่าความผิดพลาดของวงจร.....49

5.3.4.1 กรณีที่ $I_{in} \leq I_{ref1}$.....50

5.3.4.2 กรณีที่ $I_{ref1} < I_{in} < (I_{ref1} + I_{ref2})$ 50

5.3.4.3 กรณีที่ $I_{in} \geq (I_{ref1} + I_{ref2})$.....52

สารบัญ(ต่อ)

หน้า

5.3.5 การวิเคราะห์ผลตอบสนองทางความถี่.....53
5.4 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE.....55
5.5 การประยุกต์ใช้งาน.....57
5.6 สรุป.....62

บทที่ 6 บทสรุปและวิจารณ์
6.1 บทสรุปและวิจารณ์.....63
6.2 ข้อเสนอแนะและแนวทางในการทำวิจัยและพัฒนาต่อ 63

เอกสารอ้างอิง 65

ภาคผนวก ก. การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน.....67
ภาคผนวก ข. บทความวิจัยเกี่ยวข้องที่ได้รับการตีพิมพ์ลงในวารสาร.....70

ประวัติผู้เขียน.....94

สารบัญตาราง

ตารางที่ หน้า

3.1 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ.....15

5.1 อัตราส่วนความกว้างต่อความยาวแชลแนล(W/L)ของมอสเฟทในรูปที่ 5.1 และ 5.3.....55

5.2 อัตราส่วนความกว้างต่อความยาวแชลแนล(W/L)ของมอสเฟทในรูปที่ 4.3.....58

5.3 อัตราส่วนความกว้างต่อความยาวแชลแนล(W/L)ของมอสเฟทในรูปที่ 4.7.....58

สารบัญรูป

รูปที่ หน้า

2.1 วงจรโพลิโนเมียลที่มีคุณสมบัติแบบส่งผ่าน.....5

2.2 วงจรสังเคราะห์ฟังก์ชันตรรกยะโดยใช้วงจรโพลิโนเมียลแบบส่งผ่าน.....6

2.3 วงจรโพลิโนเมียลที่มีลักษณะแบบจุดขับ.....6

2.4 วงจรสังเคราะห์ฟังก์ชันตรรกยะโดยใช้วงจรโพลิโนเมียลแบบจุดขับ.....8

2.5 การประมาณค่าฟังก์ชันไม่เป็นเชิงเส้นด้วยวิธีความเป็นเชิงเส้นแบบช่วง.....9

2.6 ตัวอย่างการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยความเป็นเชิงเส้นแบบช่วง.....10

3.1 มอสเฟทแบบดีเพลทชั่นโหมด(Depletion-mode).....13

3.2 มอสเฟทแบบเอ็นฮานซ์เมนท์โหมด(Enhancement-mode).....14

3.3 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์โหมดชนิดเอ็นแชลแนล.....17

3.4 กราฟคุณสมบัติการทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์โหมด.....20

3.5 ค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟท.....21

3.6 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟท.....24

4.1 วงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสเฟท.....27

4.2 วงจรขยายคลาส B แบบพื้นฐาน.....29

4.3 วงจรตามกระแส.....31

4.4 วงจรยกกำลังสอง.....33

4.5 วงจรคูณกระแสในรูปที่ 4.4 ที่นำวงจรสะท้อนกระแสมาต่อเพื่อเป็นการไบอัสให้กับวงจร....35

4.6 หลักการคูณกระแสแบบ 4 ควอทแดนซ์ที่นำมาใช้ในวิทยานิพนธ์นี้.....35

4.7 วงจรสมบูรณ์ของวงจรคูณกระแสแบบ 4 ควอตแดรนท์.....37

5.1 วงจรเชิงเส้นแบบช่วงที่ให้กระแสเอาท์พุท $I_{out}^{(1)}$ หรือ CL1 และ $I_{out}^{(4)}$ หรือ CL4.....39

5.2 คุณสมบัติของวงจรในรูปที่ 5.1.....39

5.3 วงจรเชิงเส้นแบบช่วงที่ให้กระแสเอาท์พุท $I_{out}^{(2)}$ หรือ CL2 และ $I_{out}^{(3)}$ หรือ CL3.....41

5.4 คุณสมบัติของวงจรในรูปที่ 5.3.....41

5.5 วงจรสมมูลสำหรับการคำนวณหาค่าความต้านทานที่อินพุทและที่เอาท์พุท.....43

5.6 สำหรับการวิเคราะห์ช่วงกระแสปฏิบัติการของวงจรในรูปที่ 5.1.....46

สารบัญรูป(ต่อ)

รูปที่ หน้า

5.7 สำหรับการวิเคราะห์ช่วงกระแสปฏิบัติการของวงจรในรูปที่ 5.3.....48

5.8 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่.....53

5.9 เส้นคุณสมบัติของวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น.....56

5.10 ผลตอบสนองทางความถี่ของวงจร.....57

5.11 บล็อคไดอะแกรมการต่อวงจรเชิงเส้นแบบช่วง CLi(I_{ref1}, I_{ref2}) เพื่อใช้ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นใดๆ.....58

5.12 การสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซตในรูปสามเหลี่ยม.....59

5.13 การสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซตในรูปสี่เหลี่ยมคางหมู.....59

5.14 การสังเคราะห์ฟังก์ชันเรียงกระแสแบบเต็มคลื่น.....60

5.15 ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE สำหรับวงจร CL1(20μA, 30μA) และ CL4(50μA, 30μA) ในรูปที่ 5.12.....60

5.16 ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE สำหรับวงจร CL1(10μA, 30μA) และ CL4(60μA, 15μA) ในรูปที่ 5.13.....61

5.17 ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE สำหรับวงจร CL1(0μA, 50μA) และ CL2(0μA, 50μA) ในรูปที่ 5.14.....61

ก.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....67

ก.2 วงจรสมมูลสำหรับการวิเคราะห์ค่าความต้านทานที่อินพุทและเอาท์พุทของวงจรสะท้อนกระแสแบบพื้นฐาน.....68

ก.3 วงจรสมมูลหรับการวิเคราะห์ค่าอัตราขยายสำหรับสัญญาณขนาดเล็ก.....69

บทที่ 1
บทนำ

1.1 กล่าวนำ

โดยทั่วไปการสังเคราะห์วงจรอิเล็กทรอนิกส์แบบอนาลอกที่มีคุณสมบัติไม่เป็นเชิงเส้นจะสามารถนำไปใช้ในงานต่างๆ อย่างมาก เช่น การวัดคุมทางอุตสาหกรรม การสื่อสาร และการควบคุมขบวนการ เป็นต้น ตัวอย่างการประยุกต์การใช้งาน เช่น negative-resistance oscillator [1] วงจรทวีความถี่ (frequency doubler), วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบความเร็วสูง (high-speed A/D converter) [2, 3] และการสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซต เป็นต้น ในวงจรอนาลอก ฟังก์ชันแบบพื้นฐานจะมีฟังก์ชันที่แน่นอนสำหรับแต่ละวงจร ทำให้การเปลี่ยนแปลงฟังก์ชันของวงจรกระทำได้ยากหรือไม่สามารถทำได้ จึงได้มีการพัฒนาทางด้านวงจรเพื่อใช้ในการสังเคราะห์ฟังก์ชันที่ต้องการโดยเฉพาะฟังก์ชันไม่เป็นเชิงเส้น และเป็นที่ทราบกันดีว่าในปัจจุบันการออกแบบและสร้างวงจรรวมบนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซีมอสกำลังได้รับความนิยมและความสนใจเป็นอย่างมาก สำหรับการจัดการและการประมวลผลสัญญาณทั้งทางด้านดิจิตอลและทางด้านอนาลอก เนื่องจากเหตุผลสำคัญคือ ความประหยัดพลังงานในการนำไปใช้งาน นอกจากนี้ยังประหยัดพื้นที่และขั้นตอนในการสร้างก็น้อยกว่าเทคโนโลยีทรานซิสเตอร์แบบไบโพลาร์ จึงเป็นที่น่าสนใจในการนำมาออกแบบและสร้างวงจรเพื่อทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นในรูปแบบของวงจรรวมบนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซีมอส

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

จากการศึกษาค้นคว้าและวิจัย การออกแบบวงจรเชิงเส้นแบบช่วงเพื่อทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น โดยการใช้วงจรขยายความนำ (Operational Transconductance Amplifier) ซึ่งใช้เทคโนโลยีทรานซิสเตอร์แบบไบโพลาร์ จะพบว่าวงจรเชิงเส้นแบบช่วงที่ออกแบบมานั้น จะมีขนาดใหญ่ และการใช้เทคโนโลยีทรานซิสเตอร์แบบไบโพลาร์นั้น จะใช้พื้นที่มากกว่าและมีขั้นตอนในการสร้างที่ยุ่งยากกว่าการใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส ดังนั้นในการทำวิทยานิพนธ์ เรื่อง การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวงจรเชิงเส้นแบบช่วงโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส จึงได้กำหนดวัตถุประสงค์ในการทำวิทยานิพนธ์เอาไว้ได้ ดังนี้คือ

1. เพื่อศึกษาค้นคว้า วิจัยและพัฒนาการออกแบบวงจรเชิงเส้นแบบช่วงโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส เพื่อใช้ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น

2. สามารถปรับเปลี่ยนฟังก์ชันที่ต้องการสังเคราะห์ได้ด้วยวิธีการทางอิเล็กทรอนิกส์
3. วงจรที่ออกแบบใช้กับสัญญาณกระแสทั้งอินพุทและเอาท์พุท
4. สามารถนำมาสร้างเป็นวงจรรวมได้

1.3 หลักการใหม่ในวิทยานิพนธ์

ในการทำวิทยานิพนธ์ฉบับนี้ได้มีการเสนอแนวความคิดในการออกแบบวงจรเชิงเส้นแบบช่วงเพื่อทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นบนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซีมอส ที่มีการทำงานในช่วงอิ่มตัวเป็นหลัก ซึ่งวงจรที่ได้ออกแบบมีจุดเด่นคือ วงจรมีความเรียบง่าย มีโครงสร้างของวงจรขยายคลาส B และวงจรสะท้อนกระแสเป็นหลัก สามารถปรับเปลี่ยนจุดเริ่มต้นและจุดสิ้นสุดของฟังก์ชันเชิงเส้นได้ด้วยวิธีการทางอิเล็กทรอนิกส์ วงจรถูกออกแบบมาเพื่อใช้กับอินพุทที่เป็นสัญญาณกระแสและให้เอาท์พุทเป็นกระแสเช่นกัน ซึ่งผลจากการจัดการกับสัญญาณในรูปแบบของสัญญาณกระแสนี้ทำให้วงจรมีช่วงปฏิบัติการ ความแม่นยำ และความเที่ยงตรง ตลอดจนความเป็นเชิงเส้นของวงจรสอดคล้องตามหลักการที่ได้นำเสนอ

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 6 บทและภาคผนวก 2 ภาค ซึ่งมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำ ซึ่งเป็นการกล่าวนำถึงวัตถุประสงค์ หลักการใหม่ในวิทยานิพนธ์และรายละเอียดของวิทยานิพนธ์ในแต่ละบท

บทที่ 2 กล่าวถึงหลักการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวิธีของฟังก์ชันตรรกยะ (rational function) และความเป็นเชิงเส้นแบบช่วง (piecewise linear) รวมถึงข้อดีและข้อเสียของหลักการทั้งสอง

บทที่ 3 กล่าวถึงทฤษฎีการทำงานและสมการแสดงความสัมพันธ์ของมอสเฟท โดยจะเน้นที่การทำงานในช่วงอิ่มตัว

บทที่ 4 กล่าวถึงวงจรที่ใช้ประกอบร่วมกับการออกแบบวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น ได้แก่วงจรตามกระแส (current follower circuit) และวงจรคูณกระแส (multiplier circuit) รวมถึงวงจรย่อยที่ใช้ประกอบร่วมสำหรับการออกแบบ

บทที่ 5 กล่าวถึงการออกแบบวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น โดยจะกล่าวถึงหลักการออกแบบและสมรรถนะของวงจร และการประยุกต์ใช้งานของวงจรเชิงเส้นแบบช่วงในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น พร้อมทั้งยืนยันผลการทำงานที่ได้จากผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE เพื่อทดสอบคุณสมบัติดังกล่าวของวงจร

บทที่ 6 เป็นการสรุปผลงานที่ได้ทำการนำเสนอภายในวิทยานิพนธ์นี้และแนวทางในการทำวิจัยต่อ

ภาคผนวก ก. แสดงการวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน

ภาคผนวก ข. แสดงผลงานวิจัยที่ได้รับการตีพิมพ์

ประวัติผู้เขียน

บทที่ 2
การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น

2.1 กล่าวนำ

การสังเคราะห์ฟังก์ชันของวงจรอนาลอกใดๆ จะได้ฟังก์ชันที่มีลักษณะแน่นอนสำหรับแต่ละวงจร ซึ่งทำให้การเปลี่ยนแปลงฟังก์ชันของวงจรทำได้ยากหรือไม่สามารถทำได้ จึงได้มีการพัฒนาทางด้านวงจรเพื่อใช้ในการสังเคราะห์ฟังก์ชันที่ต้องการโดยเฉพาะฟังก์ชันไม่เป็นเชิงเส้น วิธีการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นทางด้านวงจรจะแบ่งเป็น 3 วิธีใหญ่ ๆ คือ วิธีแรกจะอาศัยคุณสมบัติทางกายภาพของอุปกรณ์อิเล็กทรอนิกส์จำพวกสารกึ่งตัวนำ เช่น ทัลเนลไดโอด (tunnel diode), FET หรือ UJT [4, 5] ฟังก์ชันไม่เป็นเชิงเส้นที่สังเคราะห์ได้ด้วยวิธีนี้จะเป็นฟังก์ชันที่มีความผิดพลาดค่อนข้างสูง ช่วงปฏิบัติการของวงจรถูกจำกัด และมีความยุ่งยากในการออกแบบวงจร เนื่องจากคุณสมบัติทางกายภาพของอุปกรณ์จะมีรูปแบบที่แน่นอน และอุปกรณ์ที่ใช้งานแต่ละตัวไม่สมพงษ์กันหรือไม่สามารถที่จะหาอุปกรณ์ที่มีค่าพารามิเตอร์ต่าง ๆ ตามที่ต้องการได้ วิธีการที่สองคือ การประมาณค่าด้วยฟังก์ชันตรรกยะ [6, 7] และวิธีการที่สามคือ การประมาณค่าด้วยความเป็นเชิงเส้นแบบช่วง [8, 9] วิธีการที่สองและสามจะเป็นวิธีที่สามารถสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นได้อย่างมีประสิทธิภาพ ซึ่งเนื้อหาในบทนี้จะกล่าวถึงวิธีการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น 2 วิธีหลังที่ได้กล่าวไว้ข้างต้น

2.2 การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวิธีประมาณค่าด้วยฟังก์ชันตรรกยะ

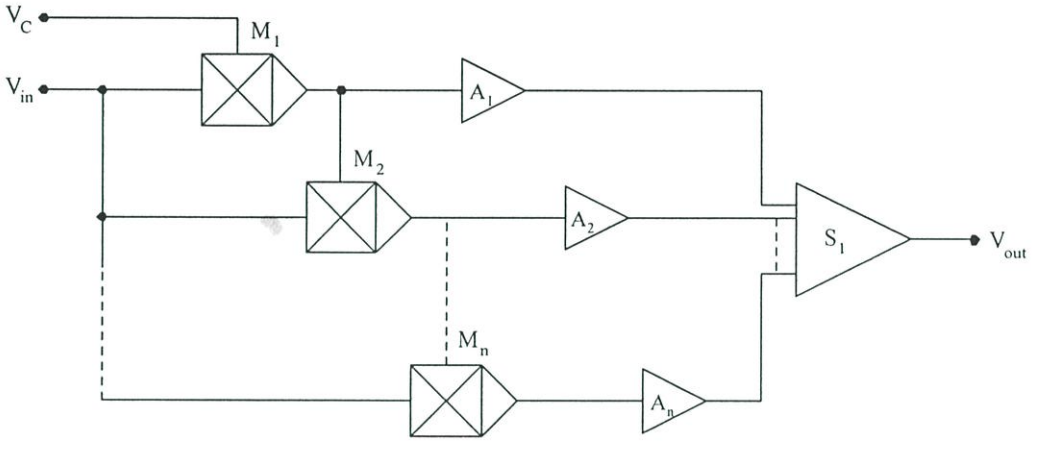
ในทางคณิตศาสตร์ฟังก์ชันต่อเนื่องใด ๆ สามารถที่จะหาได้จากอัตราส่วนของสองโพลิโนเมียล (polynomial) ซึ่งเขียนได้ดังนี้

$$w = \frac{p(z)}{q(z)} \tag{2.1}$$

โดยที่ p(z) และ q(z) เป็นโพลิโนเมียลใด ๆ และสมการที่ (2.1) จะเป็นจริงได้ก็ต่อเมื่อ q(z) จะต้องมีค่าไม่เท่ากับศูนย์ ซึ่งสมการที่ (2.1) จะเรียกว่า ฟังก์ชันตรรกยะ

การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นใด ๆ ด้วยฟังก์ชันตรรกยะในด้านการออกแบบวงจรที่สะดวกที่สุด โดยการออกแบบให้วงจรมีคุณสมบัติเป็นโพลิโนเมียลขึ้น 2 วงจร จากนั้นจึงนำเอาสัญญาณจุดออกของวงจรทั้งสองมาผ่านวงจรหาร ในกรณีที่วงจรโพลิโนเมียลที่มีคุณสมบัติแบบส่ง

ผ่าน (transfer characteristic) [10] หรือใช้หลักการของวงจรขยายแบบลบของออปแอมป์ (inverting amplifier) [8] ในกรณีที่วงจรโพลิโนเมียลที่มีลักษณะแบบจุดขับ (driving point) [10] การออกแบบวงจรที่มีคุณสมบัติเป็นโพลิโนเมียลจะใช้วงจรคูณและวงจรรวมสัญญาณดังแสดงในรูปที่ 2.1 โดยที่ M_i คือวงจรคูณ, A_i คือวงจรขยายสัญญาณ, S_i คือวงจรรวมสัญญาณ, V_{in} เป็นสัญญาณจุดเข้าและ V_C เป็นศักดาควบคุม สำหรับรูปที่ 2.1 จะเป็นวงจรโพลิโนเมียลที่มีคุณสมบัติแบบส่งผ่าน



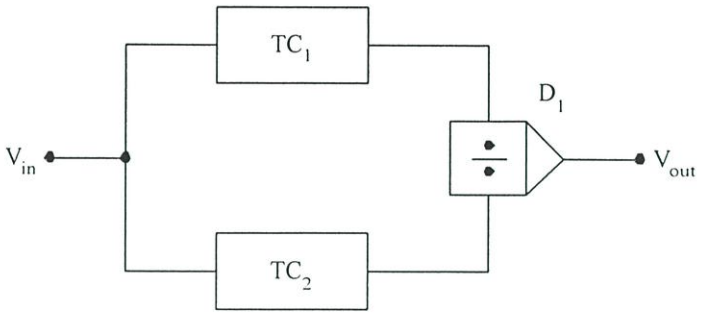
รูปที่ 2.1 วงจรโพลิโนเมียลที่มีคุณสมบัติแบบส่งผ่าน

เนื่องจากศักดาจุดเข้าและศักดาจุดออกอยู่คนละจุดกัน ดังนั้นสมการโพลิโนเมียลของวงจรในรูปที่ 2.1 จะเขียนได้คือ

$$V_{out} = V_C \sum_{i=1}^{n} A_i V_{in}^{i} \tag{2.2}$$

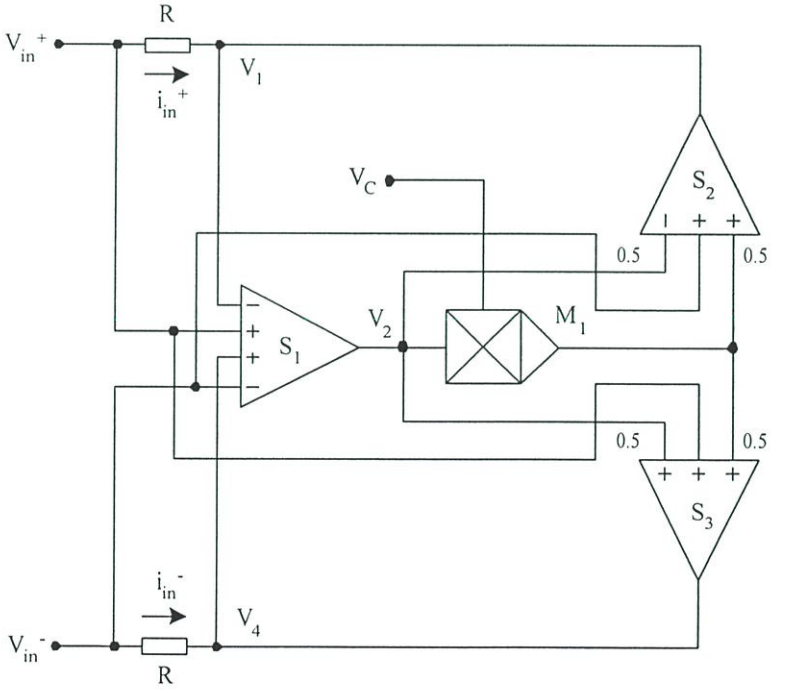
โดยที่ n คือ จำนวนวงจรคูณและวงจรขยาย

ในรูปที่ 2.2 แสดงถึงหลักการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยฟังก์ชันตรรกยะที่มีคุณสมบัติแบบส่งผ่าน โดยที่ TC_1 และ TC_2 คือวงจรโพลิโนเมียลที่มีคุณสมบัติแบบส่งผ่าน และ D_1 คือวงจรหาร ซึ่งจะได้ค่าศักดา V_{out} เป็นฟังก์ชันตรรกยะ



รูปที่ 2.2 วงจรสังเคราะห์ฟังก์ชันตรรกยะโดยใช้วงจรโพลิโนเมียลแบบส่งผ่าน

สำหรับกรณีของวงจรโพลิโนเมียลที่มีลักษณะแบบจุดขับจะมีความยุ่งยากในการออกแบบวงจรมากกว่าวงจรโพลิโนเมียลที่มีคุณสมบัติแบบส่งผ่าน โครงสร้างของวงจรโพลิโนเมียลที่มีลักษณะแบบจุดขับ แสดงในรูปที่ 2.3 โดยที่ R คือค่าความต้านทานใดๆ V_{in}^{+} และ V_{in}^{-} คือศักดาจุดเข้า i_{in}^{+} และ i_{in}^{-} คือกระแสจุดเข้า S_i คือวงจรรวมสัญญาณที่พัฒนาขึ้นจากออปแอมป์ และสำหรับตัวเลข 0.5 กำกับไว้ที่ขาของ S_2 และ S_3 คืออัตราขยายของสัญญาณจุดนั้นจะมีค่าเท่ากับ 0.5 สำหรับขาอื่นๆ ที่ไม่ได้กำกับไว้จะมีอัตราขยายเท่ากับ 1



รูปที่ 2.3 วงจรโพลิโนเมียลที่มีลักษณะแบบจุดขับ

และ M_1 คือวงจรคูณแบบอนาลอก กำหนดให้ศักดาจุดเข้า $V_{in} = V_{in}^{+} - V_{in}^{-}$ จากรูปที่ 2.3 จะได้ศักดา V_1 และ V_4 ดังนี้

ที่จุด V_1

$$V_1 = V_{in}^{-} + \frac{V_C}{2}\left(i_{in}^{+} - i_{in}^{-}\right)R - \frac{\left(i_{in}^{+} - i_{in}^{-}\right)}{2}R \tag{2.3}$$

ที่จุด V_4

$$V_4 = V_{in}^{+} + \frac{V_C}{2}\left(i_{in}^{+} - i_{in}^{-}\right)R - \frac{\left(i_{in}^{+} - i_{in}^{-}\right)}{2}R \tag{2.4}$$

และเนื่องจาก $i_{in}^{+}R = V_{in}^{+} - V_1$ และ $i_{in}^{-}R = V_{in}^{-} - V_4$ ดังนั้นจากสมการที่ (2.3) และ (2.4) จะได้ว่า

$$i_{in}^{+}R = V_{in} - \frac{V_C}{2}\left(i_{in}^{+} - i_{in}^{-}\right)R + \frac{\left(i_{in}^{+} - i_{in}^{-}\right)}{2}R \tag{2.5}$$

และ

$$i_{in}^{-}R = -V_{in} + \frac{V_C}{2}\left(i_{in}^{+} - i_{in}^{-}\right)R - \frac{\left(i_{in}^{+} - i_{in}^{-}\right)}{2}R \tag{2.6}$$

กำหนดให้ $i_{in}^{+} = -i_{in}^{-}$ แทนค่าลงในสมการที่ (2.5) หรือ (2.6) จะได้ว่า

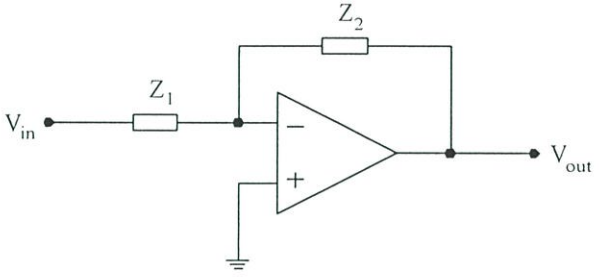
$$V_{in} = RV_C i_{in}^{+} \tag{2.7}$$

จากรูปที่ 2.3 ถ้าแทนวงจรคูณด้วย M_1 ด้วยวงจรโพลิโนเมียลที่มีคุณสมบัติแบบส่งผ่านในรูปที่ 2.1 จะสามารถเขียนสมการที่ (2.7) ได้ใหม่ดังนี้

$$V_{in} = RV_C i_{in}^{+} \sum_{i=1}^{n} A_i V_{in}^{i} \tag{2.8}$$

โดยที่ n คือจำนวนวงจรคูณและวงจรขยาย

จากสมการที่ (2.8) จะได้ว่าวงจรโพลิโนเมียลที่มีลักษณะแบบจุดขับและมีสมการที่เหมือนกับสมการของความต้านทาน ดังนั้นวงจรในรูปที่ 2.3 จะสามารถเรียกอีกอย่างหนึ่งว่าวงจรสังเคราะห์ความต้านทานแบบโพลิโนเมียล สำหรับการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยฟังก์ชันตรรกยะจะสามารถกระทำได้ดังแสดงในรูปที่ 2.4



รูปที่ 2.4 วงจรสังเคราะห์ฟังก์ชันตรรกยะโดยใช้วงจรโพลิโนเมียลแบบจุดขับ

โดยที่ Z_1 และ Z_2 คือวงจรโพลิโนเมียลแบบจุดขับ ในทำนองเดียวกัน การสังเคราะห์ความต้านทานไม่เป็นเชิงเส้นโดยใช้ฟังก์ชันตรรกยะแบบจุดขับก็สามารถกระทำได้เช่นกัน โดยการแทนวงจรคูณ M_1 ในรูปที่ 2.3 ด้วยวงจรในรูปที่ 2.4

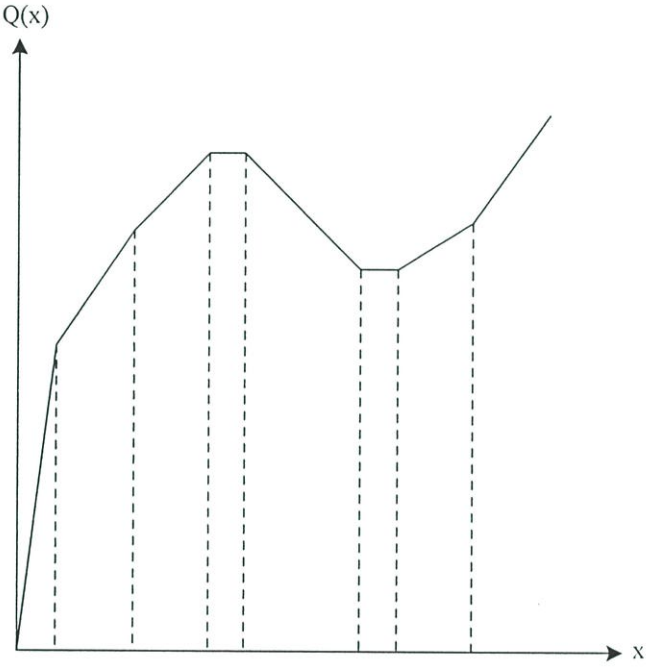
การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นโดยฟังก์ชันตรรกยะที่ได้กล่าวผ่านมาแล้วนั้น จะมีวิธีการที่ยุ่งยากและวงจรจะมีขนาดใหญ่ไม่ว่าจะเป็น การออกแบบโดยใช้การออกแบบวงจรแบบดีสครีท (discrete) หรือโดยใช้หลักการของวงจรรวม โดยเฉพาะในทางปฏิบัติฟังก์ชันที่ต้องการสังเคราะห์โดยมากจะอยู่ในรูปของเส้นกราฟ ในการแปลงเส้นกราฟออกมาเป็นสมการจะมีความลำบากและยุ่งยากมาก ดังนั้นวิธีการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นโดยใช้หลักการประมาณค่าด้วยฟังก์ชันตรรกยะจึงไม่เป็นที่นิยม

2.3 การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยการประมาณค่าความเป็นเชิงเส้นแบบช่วง

การประมาณค่าของฟังก์ชันใดๆ ด้วยวิธีของความเป็นเชิงเส้นแบบช่วง จะใช้เส้นกราฟของฟังก์ชันที่ต้องการสังเคราะห์เป็นหลัก [11, 12] โดยจะแบ่งฟังก์ชันรูปแบบใดๆ ที่ต้องการออกเป็นช่วงๆ และในแต่ละช่วงจะสามารถแทนได้ด้วยเส้นตรง ดังแสดงในรูปที่ 2.5 ซึ่งเส้นตรงที่เป็นช่วงๆ นี้จะเรียกว่าความเป็นเชิงเส้นแบบช่วง ดังนั้นในการสังเคราะห์ฟังก์ชันใดๆ จึงสามารถทำได้โดยการนำเอาวงจรที่มีคุณสมบัติความเป็นเชิงเส้นแบบช่วงที่กำหนดให้มีจุดเริ่มของความเป็นเชิงเส้น

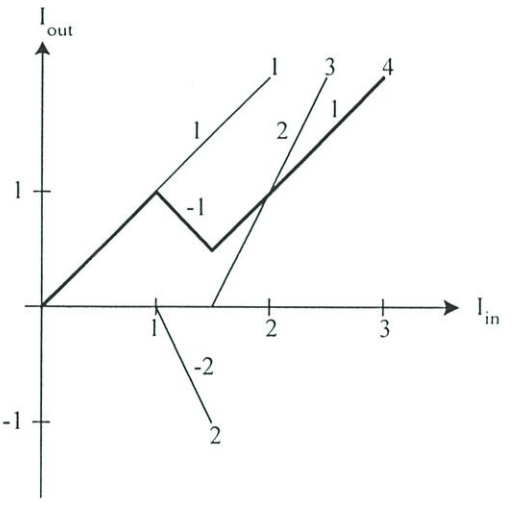
และค่าความชันในแต่ละช่วงตามที่ได้ออกแบบไว้หลายชุดๆ มาต่อรวมกัน ซึ่งสามารถที่จะเขียนเป็นสมการได้ดังนี้

$$Q(x)=\sum_{n=1}^{m} a_n x + b_n \qquad (2.9)$$

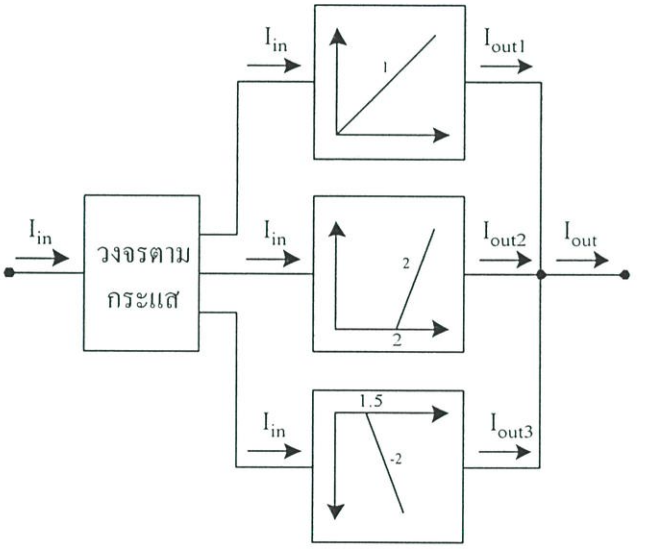


รูปที่ 2.5 การประมาณค่าฟังก์ชันไม่เป็นเชิงเส้นด้วยวิธีความเป็นเชิงเส้นแบบช่วง

โดยที่ Q(x) เป็นฟังก์ชันใดๆ ที่ต้องการสังเคราะห์ a_n คือค่าคงที่ใดๆ หรือค่าความชันของเส้นตรงในช่วงที่ n และ b_n คือค่าคงที่ใดๆ ส่วน m คือจำนวนช่วงทั้งหมด ในรูปที่ 2.6 เป็นตัวอย่างการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวิธีความเป็นเชิงเส้นแบบช่วง ซึ่งจะเห็นว่าเส้นกราฟที่ 4 ในรูปที่ 2.6 (ก) จะถูกประมาณค่าออกมาเป็นเส้นตรงทั้งหมด 3 ช่วง และในรูปที่ 2.6 (ข) จะเป็นหลักการของวงจรในการสังเคราะห์ฟังก์ชันในรูปที่ 2.6 (ก)



(ก)



(ข)

รูปที่ 2.6 ตัวอย่างการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยความเป็นเชิงเส้นแบบช่วง

2.4 สรุป

ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นโดยใช้วิธีประมาณค่าด้วยฟังก์ชันตรรกยะจะมีความยุ่งยากในการออกแบบวงจรเป็นอย่างมาก เนื่องจากฟังก์ชันที่เปลี่ยนไปจะต้องทำการออกแบบวงจรโพลิโนเมียลใหม่ทั้งหมด ในขณะที่วิธีการประมาณค่าฟังก์ชันไม่เป็นเชิงเส้นด้วยความเป็นเชิง

เส้นแบบช่วง เมื่อมีการเปลี่ยนแปลงฟังก์ชันที่ต้องการสังเคราะห์ในส่วนของวงจรจะทำการเปลี่ยนเพียงค่าความชันและจุดเริ่มต้นของความเป็นเชิงเส้นเท่านั้น ซึ่งเป็นวิธีที่สะดวกกว่าและยังเป็นวิธีที่มีการใช้งานกันอย่างแพร่หลาย

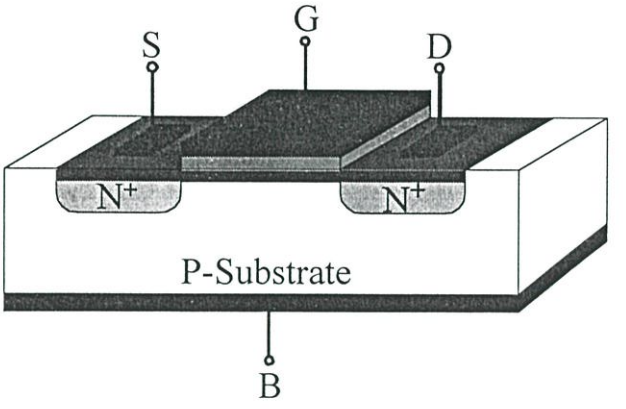
บทที่ 3
ทฤษฎีการทำงานของมอสเฟท

3.1 กล่าวนำ

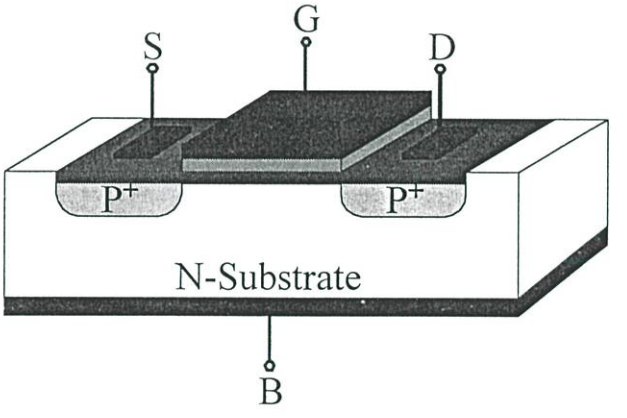
ในวิทยานิพนธ์นี้เป็นการวิจัยและพัฒนาการออกแบบวงจรเชิงเส้นแบบช่วงสำหรับสัญญาณอนาลอก โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่มีการทำงานในช่วงอิ่มตัว (saturation region) เป็นหลัก ดังนั้นเนื้อหาในบทนี้จะขออ้างอิงและกล่าวถึงทฤษฎีการทำงานวงจรสมมูล และสมการสำคัญๆของมอสเฟท โดยเฉพาะอย่างยิ่ง มอสเฟทชนิดเอ็นฮานซ์เมนต์ (enhancement-mode) ที่ทำงานในช่วงอิ่มตัว เพื่อใช้เป็นแนวทางในการออกแบบวงจรซึ่งจะนำไปสู่ผลที่ได้คาดหมายไว้ รวมถึงใช้เป็นข้ออ้างอิงกับผลที่ได้จากการเลียนแบบการทำงานด้วยโปรแกรม PSPICE ซึ่งจะใช้เป็นข้อแสดงถึงสมรรถนะของวงจรว่ามีคุณสมบัติเป็นไปตามหลักการที่ได้ออกแบบและนำเสนออย่างไร สำหรับสมการและทฤษฎีการทำงานโดยละเอียดของมอสเฟทนั้นได้มีการนำเสนอไว้แล้วในเอกสารและตำราต่างๆ [11], [13]-[25]

3.2 โครงสร้างของมอสเฟท [11], [13]-[25]

มอสเฟท (Metal Oxide Semiconductor Field Effect Transistor; MOSFET) หรือมอสทรานซิสเตอร์ หรือทรานซิสเตอร์แบบมอส เป็นทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้า สามารถแบ่งเป็นประเภทต่างๆ ได้หลายแบบ ขึ้นอยู่กับเกณฑ์ที่ใช้ในการแบ่ง เช่น ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแสจะสามารถแบ่งได้เป็นสองชนิด คือ มอสเฟทแบบช่องทางเดินกระแสชนิดเอ็น (N-channel MOSFET) ซึ่งเป็นมอสเฟทที่ใช้อิเล็กตรอนเป็นพาหะในการนำกระแส และมอสเฟทแบบช่องทางเดินกระแสชนิดพี (P-channel MOSFET) ซึ่งเป็นมอสเฟทที่ใช้โฮล (hole) เป็นพาหะในการนำกระแส ถ้าแบ่งมอสเฟทตามลักษณะโครงสร้างและการเกิดแชลแนลในขณะที่มีการไบอัสเป็นศูนย์จะสามารถแบ่งออกได้เป็นสองลักษณะคือมอสเฟทแบบดีเพลทชั่นโหมด (depletion-mode) และแบบเอ็นฮานซ์เมนท์โหมด (enhancement-mode) สำหรับมอสเฟทแบบดีเพลทชั่นโหมดชนิดเอ็นโครงสร้างจะประกอบไปด้วยปลายอิเล็กโทรดเดรนและซอสที่มีปลายทั้งสองข้างต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกันซึ่งเป็นชนิดเอ็นบางๆ ที่ต่อกันในลักษณะของแชลแนล ซึ่งวางอยู่บนผิวหน้าของฐานรอง (substrate) ชนิดพี จากนั้นจึงวางอิเล็กโทรดเกทซึ่งเป็นโลหะเหนือย่านของแชลแนลชนิดเอ็นซึ่งกั้นด้วยฉนวนบางๆ ของซิลิกอนออกไซด์ (SiO_2) โดยมีค่าพิกัด



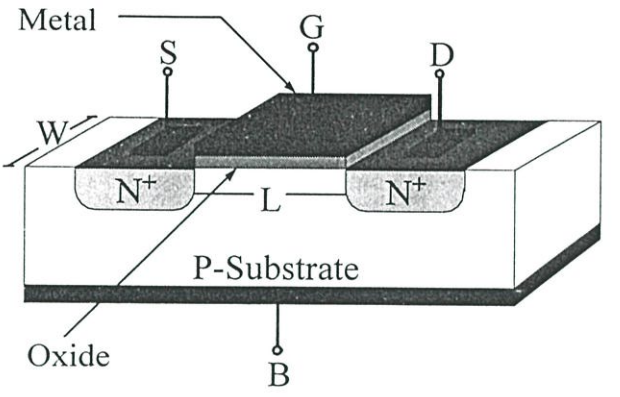
(ก) แบบช่องทางเดินกระแสชนิดเอ็น (N-channel)



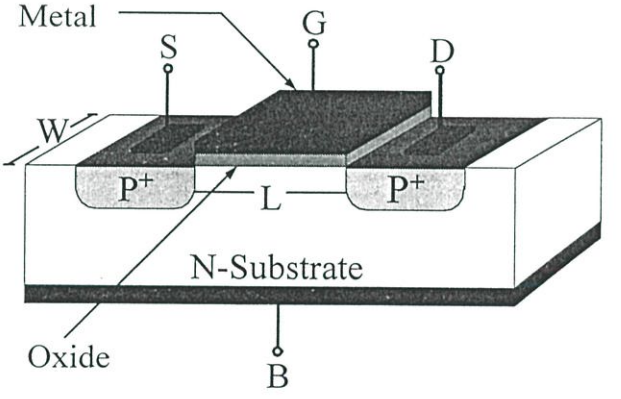
(ข) แบบช่องทางเดินกระแสชนิดพี (P-channel)

รูปที่ 3.1 มอสเฟทแบบดีเพลทชั่นโหมด (Depletion-mode)

ความต้านทาน (resistivity) ประมาณ 10^{15} โอห์ม (ณ อุณหภูมิห้อง) [15]-[17] ทำนองเดียวกันถ้าเปลี่ยนไปใช้ฐานรองที่เป็นชนิดเอ็นและมีแชลแนลที่วางอยู่บนผิวหน้าของฐานรองเป็นชนิดพี เราเรียก มอสเฟท ชนิดนี้ว่าเป็นมอสเฟทแบบดีเพลทชั่นโหมดชนิดพีแชลแนล ดังแสดงในรูปที่ 3.1 ในการทำงานของมอสเฟทแบบดีเพลทชั่นโหมดนี้ สามารถทำงานในย่านดีเพลทชั่นด้วยไบอัสย้อนกลับและยังทำงานในย่านเอ็นฮานซ์เมนท์ด้วยไบอัสตรง โดยมีแรงดันไบอัสเกทซอส (V_{GS}) ควบคุมการไหลของกระแสเดรน (I_D) ที่เกิดขึ้น สำหรับมอสเฟทแบบเอ็นฮานซ์เมนท์โหมดชนิดเอ็นและชนิดพีมีขบวนการสร้างเช่นเดียวกับการสร้างมอสเฟทแบบดีเพลทชั่นโหมดชนิดเอ็นและชนิดพี



(ก) แบบช่องทางเดินกระแสชนิดเอ็น (N-channel)



(ข) แบบช่องทางเดินกระแสชนิดพี (P-channel)

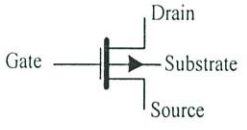
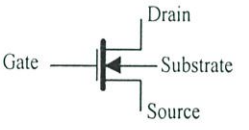
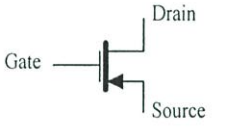
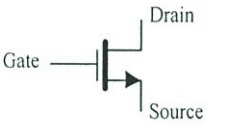
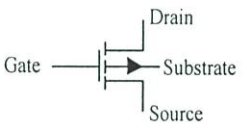
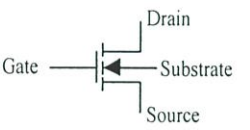
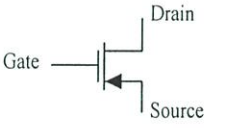
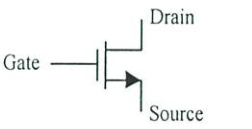
รูปที่ 3.2 มอสเฟทแบบแบบเอ็นฮานซ์เมนท์โหมด (Enhancement-mode)

ตามลำดับทุกประการแต่จะมีความแตกต่างกันเฉพาะในส่วนของการสร้างแชลแนลเท่านั้น ซึ่งมอส-เฟทแบบเอ็นฮานซ์เมนท์โหมดนี้จะมีส่วนปลายอิเล็กโทรดเดรนและซอสทั้งสองข้างต่ออยู่กับสาร กึ่งตัวนำชนิดเดียวกันในลักษณะของแชลแนลซึ่งวางอยู่บนผิวหน้าของฐานรอง แต่แชลแนลดังกล่าว จะไม่ต่อถึงกันโดยที่มีระยะห่างหรือความยาวของแชลแนล (channel length) เกิดขึ้นเป็น L และมีความกว้างของแชลแนล (channel width) เป็น W ดังรูปที่ 3.2 ในการทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์โหมดสามารถทำงานได้เฉพาะย่านเอ็นฮานซ์เมนท์ด้วยไบอัสตรงเท่านั้น ไม่สามารถทำงานในย่านของดีเพลทชั่นด้วยไบอัสย้อนกลับได้

3.3 สัญลักษณ์ของมอสทรานซิสเตอร์

ในตารางที่ 3.1 แสดงสัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ โดยเริ่มจากมอสทรานซิสเตอร์แบบดีพลีชั่นชนิด พีแชลแนล และเอ็นแชลแนล เมื่อแรงดันระหว่างฐานรองและซอสไม่เป็นศูนย์ ($V_{BS} \neq 0$) และเป็นศูนย์ ($V_{BS} = 0$) จากนั้นจะเป็นสัญลักษณ์ของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิด พีแชลแนล และเอ็นแชลแนล เมื่อแรงดันระหว่างฐานรองและซอส ไม่เป็นศูนย์ ($V_{BS} \neq 0$) และเป็นศูนย์ ($V_{BS} = 0$)

ตารางที่ 3.1 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ

ชนิดของมอสทรานซิสเตอร์		โหมดการทำงาน (Mode)
PMOS	NMOS	
		Depletion
		Depletion
		Enhancement
		Enhancement

เนื่องจากมอสเฟทแบบเอ็นฮานซ์เมนท์โหมด เป็นแบบที่นิยมใช้กันอย่างแพร่หลายมากกว่าแบบดีพลีชั่นโหมด และเป็นแบบที่ใช้ภายในวิทยานิพนธ์นี้ ดังนั้นหัวข้อที่จะกล่าวดังต่อไปนี้เป็นรายละเอียดซึ่งอธิบายถึงทฤษฎีการทำงานของมอสเฟทชนิดเอ็นฮานซ์เมนท์โหมด โดยจะพิจารณาที่มอสเฟทในช่วงทางเดินกระแสชนิดเอ็นเป็นหลัก สำหรับชนิดพีจะมีค่าศักดา V_{GS} และทิศทางของกระแสเดรนเป็นไปในทิศทางตรงข้าม และเพื่อความกระชับในการกล่าวอ้าง คำว่า "มอสเฟท" ภายในวิทยานิพนธ์นี้จะหมายถึง "มอสเฟทชนิดเอ็นฮานซ์เมนท์"

3.4 คุณสมบัติการทำงาน

ในการอธิบายคุณสมบัติการทำงานของมอสเฟทชนิดเอ็นสามารถที่จะอธิบายการทำงานได้ตามโครงสร้างในรูปที่ 3.3 ซึ่งแสดงถึงการทำงานในช่วงต่างๆ ของ V_{GS} และ V_{DS} จากรูปที่ 3.3 (ก) ซอส เดรน และฐานรองต่อลงกราวนด์ ในกรณีนี้มีผลให้ทรานซิสเตอร์ทำงานคล้ายกับตัวเก็บประจุ โดยเกทและผิวของซิลิกอนใต้ฉนวนซิลิกอนไดออกไซด์ทำหน้าที่เสมือนแผ่นระนาบ (plate) ของตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นระหว่างกลาง ถ้า V_{GS} มีค่าเป็นลบประจุพาหะชนิดบวกหรือโฮลจะถูกดึงดูดเข้ามาสะสมบริเวณแชลแนล มีผลให้บริเวณแชลแนลกลายเป็น p^+ และเรียกว่า แชลแนลสะสม (accumulated channel) บริเวณซอสและเดรนที่เป็น n^+ ถูกแยกกันด้วยแชลแนล p^+ เมื่อมองในลักษณะวงจรสมมูลแล้ว จะพบว่ามีลักษณะของไดโอดสองตัวต่อหันหลังชนกัน (back-to-back diodes) ดังนั้นถ้าจะเกิดกระแสไหลได้ แรงดันที่ซอสและเดรนจะต้องมีค่ามากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหล (leakage current) หรือกรณีที่แรงดัน เดรน ซอสมีค่ามากจนทำให้ทรานซิสเตอร์เบรคดาวน์ [18]

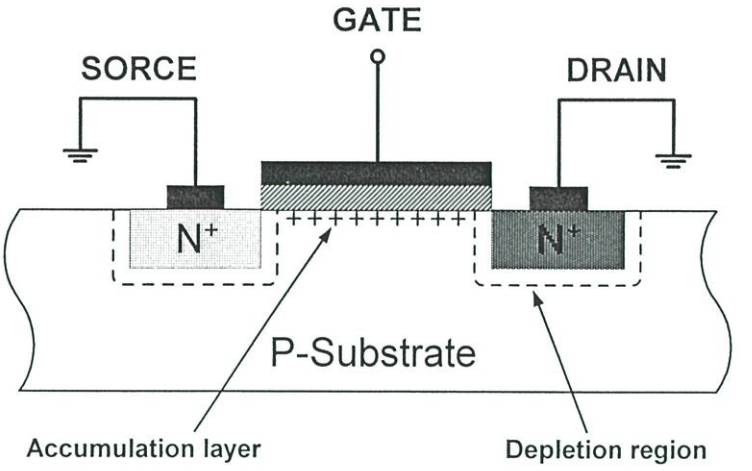
ในกรณีที่แรงดันเกทมีค่าเป็นบวกไม่มาก ประจุข้างใต้เกทจะถูกผลักออกไป ทำให้แชลแนลเปลี่ยนไปเป็น p^+ และเป็นบริเวณปลอดพาหะ (depletion region) ในที่สุด เมื่อแรงดันที่เกทเพิ่มมากขึ้น ประจุลบหรืออิเล็กตรอนจะถูกดึงดูดเข้ามาที่บริเวณแชลแนล และแชลแนลจะแปรสภาพเป็นบริเวณ n ตามรูปที่ 3.3(ข) ซึ่งเชื่อมต่อบริเวณซอสและเดรนเข้าด้วยกัน และเรียกว่าแชลแนลกลับ (inverted channel) แรงดันเกทที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกทมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรอง เป็นนิยามของแรงดันขีดเริ่มของทรานซิสเตอร์ (transistor threshold voltage) ใช้สัญลักษณ์ V_{TH} สำหรับค่าแรงดันเกทซอสมากกว่า V_{TH} จะมีแชลแนลชนิดเอ็นเกิดขึ้น และสามารถเกิดการนำไฟฟ้าระหว่างเดรนและซอสได้ สำหรับกรณีค่าแรงดันที่เกท-ซอสน้อยกว่า V_{TH} จะไม่มีกระแสไหลระหว่างซอสและเดรน ซึ่งจะถือว่าทรานซิสเตอร์ไม่ทำงานหรือไม่นำกระแส (ตามความเป็นจริงแล้วจะมีกระแสไหลเล็กน้อยเมื่อศักดาเกท-ซอสมีค่าเข้าใกล้ V_{TH})

เมื่อแรงดันเกท-ซอส V_{GS} มีค่ามากกว่า V_{TH} ทำให้แชลแนลเกิดขึ้น ดังนั้นเมื่อ V_{GS} เพิ่มขึ้น ความหนาแน่นของอิเล็กตรอนในแชลแนลก็จะเพิ่มขึ้นด้วย และสรุปได้ว่าค่าความหนาแน่นของประจุพาหะจะแปรผันตาม $V_{GS} - V_{TH}$ ซึ่งนิยามเป็น "แรงดันเกท-ซอสประสิทธิผล" (effective gate-source voltage) ใช้สัญลักษณ์ V_{eff} ดังนั้นค่าความหนาแน่นของประจุอิเล็กตรอน แสดงได้โดย [19]

$$Q = C_{ox}(V_{GS} - V_{TH}) = C_{ox} V_{eff} \tag{3.1}$$

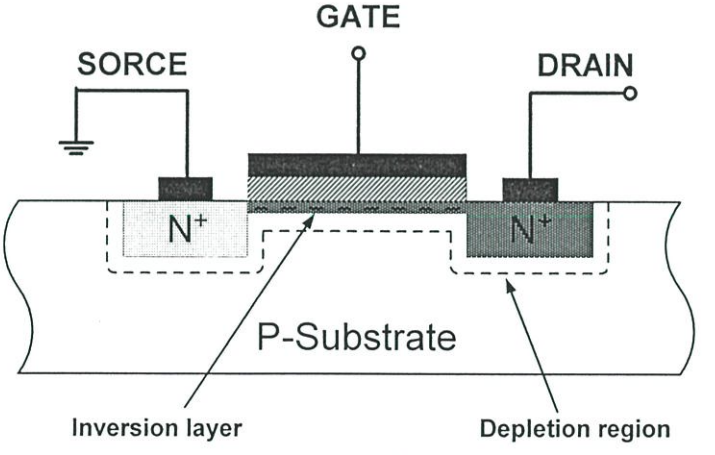
โดยที่ C_{ox} เป็นค่าความจุไฟฟ้าที่เกทต่อหนึ่งหน่วยพื้นที่

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



$V_{GS} < 0$

3.3 (ก)

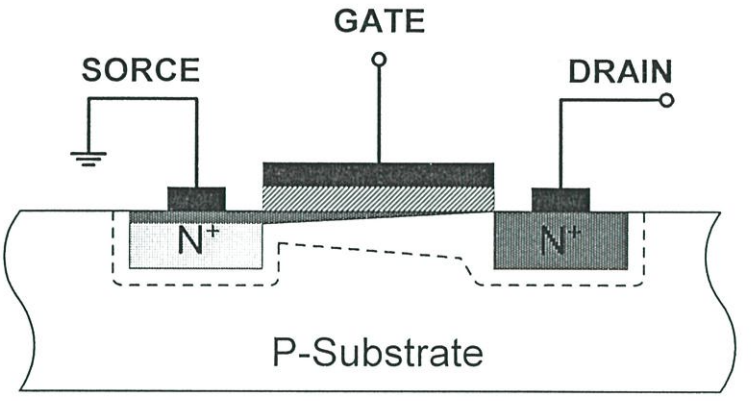


$V_{GS} > V_{TH}$

$V_{DS} < V_{GS} - V_{TH}$

3.3 (ข)

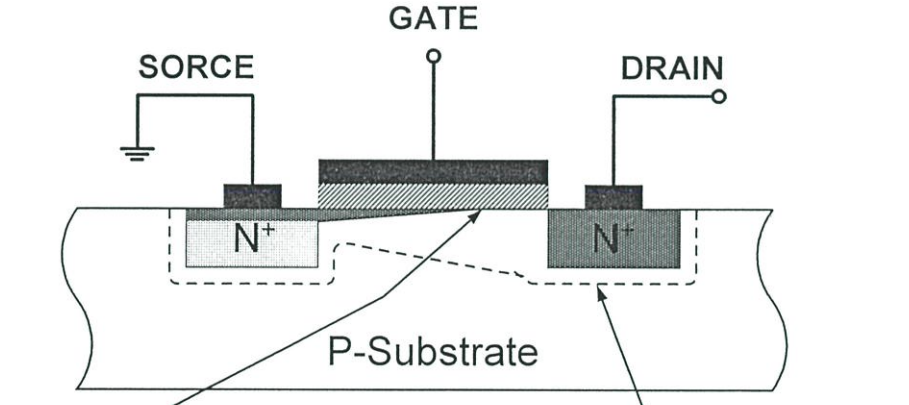
45882



$V_{GS} > V_{TH}$

$V_{DS} = V_{GS} - V_{TH}$

3.3 (ค)



$V_{GS} > V_{TH}$

$V_{DS} > V_{GS} - V_{TH}$

3.3 (ง)

รูปที่ 3.3 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์โหมดชนิดเอ็นแชลแนล

เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์โวลต์เล็กน้อย ทำให้เกิดความต่างศักย์ที่ซอสและเดรน มีผลให้เกิดกระแสไหลจากเดรนไปซอส ความสัมพันธ์ระหว่าง V_{DS} และกระแส I_D จะเหมือนกับกรณีของความต้านทาน โดยมีความสัมพันธ์ดังนี้

$$I_D = \mu_n Q \frac{W}{L} V_{DS} \tag{3.2}$$

ขณะที่ μ_n เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอน และ Q เป็นค่าความหนาแน่นของประจุในแชลแนลต่อหนึ่งหน่วยพื้นที่ จากสมการ (3.1) และ (3.2) จะได้

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \tag{3.3}$$

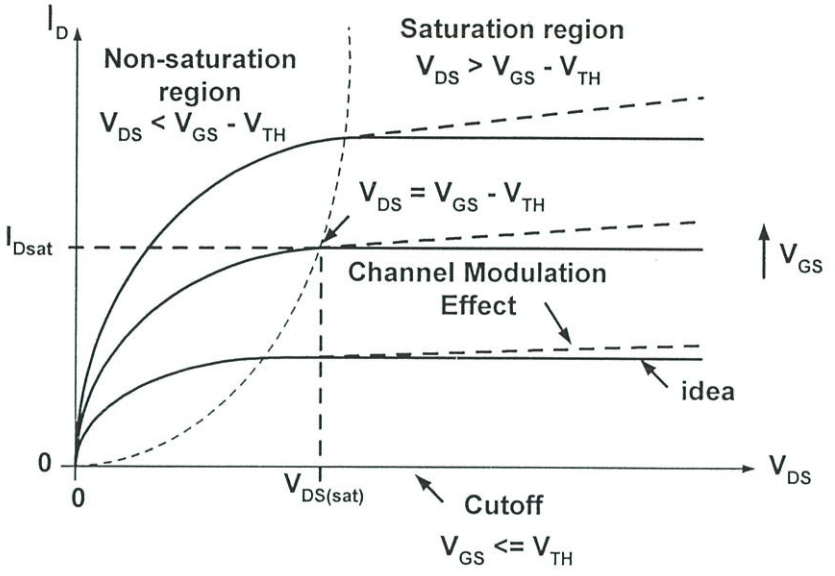
สมการที่ (3.3) นี้เป็นความสัมพันธ์ที่สามารถใช้ได้เพียงกรณีแรงดันเดรน-ซอสมีค่าเข้าใกล้ศูนย์

การทำงานของทรานซิสเตอร์ในเชิงโครงสร้างอธิบายได้ตามรูปที่ 3.3 (ข) โดยเมื่อ V_{GS} มากกว่า V_{TH} และ V_{DS} = 0V ซึ่งขณะนี้แชลแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหล เนื่องจากแรงดันระหว่างซอสและเดรนมีค่าเป็นศูนย์โวลต์ และเมื่อให้แรงดัน V_{DS} ค่าน้อยๆ ค่าหนึ่งจะทำให้เกิดมีกระแสไหลผ่านแชลแนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้ เสมือนเป็นตัวต้านทานมีความสัมพันธ์เป็นไปตามสมการที่ (3.3)

เมื่อแรงดันเดรน-ซอสเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แชลแนลจะลดลงตามแนวแชลแนลจากซอสไปเดรน ตามรูปที่ 3.3 (ค) การลดลงของประจุพาหะในแชลแนลนี้มีผลให้เกิดแรงดันตกคร่อมแชลแนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือ สมมุติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ซอส จะมีการเพิ่มขึ้นของแรงดันจากซอสไปเดรนอย่างต่อเนื่องภายในแชลแนลมีผลให้แรงดันตกคร่อมระหว่างเกทและแชลแนลจะมีค่าสูงสุดเท่ากับ V_{GS} ที่ตำแหน่งด้านซอสและแรงดันเกทแชลแนลมีค่าต่ำสุดที่ตำแหน่งปลายด้านเดรน และแรงดันเกทที่ทำให้เกิดแชลแนลคือ $V_G = V_{GS}-V_{TH}$ (เมื่อ $V_{GS}<V_{TH}$ กระแสจะไม่ไหลและไม่มีแชลแนลเกิดขึ้น) เพื่อที่จะทำให้แชลแนลจะต้องมีศักย์เป็นบวก จึงจะทำให้เกิดแชลแนล โดยในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ในช่วงไม่อิ่มตัว กระแสเดรน I_D จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน V_{DS} อย่างไม่เป็นเชิงเส้นตามกราฟในรูป 3.3 (ค) การทำงานของทรานซิสเตอร์ในย่านนี้ ($V_{DS}<V_{GS}-V_{TH}$) เรียกว่า ช่วงไม่อิ่มตัว (nonsaturation region) เมื่อ V_{DS} มีค่ามากขึ้น จนกระทั่งมีค่า $V_{DS} = V_{GS}-V_{TH}$ ทรานซิสเตอร์เริ่มเข้าสู่สภาวะอิ่มตัว และลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูปที่ 3.3 (ค)

และเมื่อค่าของแรงดัน V_{DS} เพิ่มขึ้นไปอีกจนกระทั่งมีค่า $V_{DS} > V_{GS}-V_{TH}$ ในกรณีนี้แรงดันที่ตกคร่อมแชลแนลที่ปลายด้านเดรนมีค่าสูงกว่า $V_{GS}-V_{TH}$ ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (pinch off) กล่าวคือ แชลแนลซึ่งเป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านเดรนทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมาเหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นแชลแนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกัน แสดงดังรูปที่ 3.3 (ง) และจะมีกระแสแพร่ (diffusion

current) จากส่วนของซอสไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูง และคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (constant current source) กระแสเดรนในภาวะนี้จึงมีค่าคงที่ แม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นก็ตามแสดงในกราฟตามรูปที่ 3.3 (ง) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่าช่วงอิ่มตัว (saturation region)



รูปที่ 3.4 กราฟคุณสมบัติการทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์โหมด

3.5 สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ [11], [13], [14], [20]

จากคุณสมบัติของมอสเฟทชนิดเอ็นที่ได้กล่าวมาแล้วสามารถที่จะสรุปโดยแบ่งการทำงานออกได้เป็น 3 ช่วงโดยพิจารณาจากค่า V_{GS}-V_{TH} และค่า V_{DS} ซึ่งจะสามารถเขียนสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (large -signal model) ได้ดังต่อไปนี้

1. ช่วงที่มอสเฟทไม่นำกระแส (cutoff region) จะได้

$$I_D = 0 \qquad \text{เมื่อ } V_{GS} \leq V_{TH} \tag{3.4}$$

2. ช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น (non-saturation region or triode region) จะได้

$$I_D = \frac{\mu_n C_{ox} W}{L}\left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2}\right] \qquad \text{เมื่อ } V_{GS}\text{-}V_{TH} > V_{DS} \tag{3.5}$$

3. ช่วงนำกระแสอิ่มตัว (saturation region) จะได้

$$I_D = \frac{\mu_n C_{ox} W}{2L}(V_{GS} - V_{TH})^2 \qquad \text{เมื่อ } V_{GS}\text{-}V_{TH} \leq V_{DS} \qquad (3.6)$$

โดยที่ I_D คือ ค่ากระแสเดรน (drain current)

V_{GS} คือ ค่าศักดาตกคร่อมขาเกท-ซอส (gate-source voltage)

V_{DS} คือ ค่าศักดาตกคร่อมขาเดรน-ซอส (drain-source voltage)

μ_n คือ ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (surface mobility of carrier)

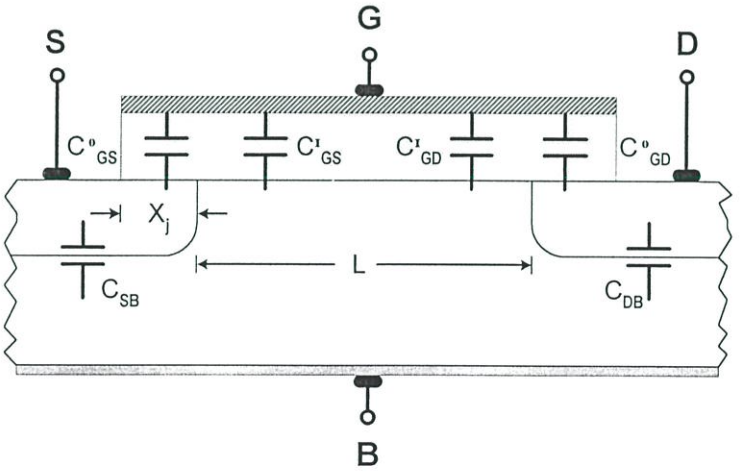
C_{OX} คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกทออกไซด์ (capacitance per unit area of the gate oxide)

W คือ ความกว้างประสิทธิผลของแชลแนล (effective channel width)

L คือ ความยาวประสิทธิผลของแชลแนล (effective channel length)

V_{TH} คือ ค่าศักดาไฟฟ้าขีดเริ่ม (threshold voltage)

3.6 ค่าความจุไฟฟ้าในมอสเฟท [13], [14], [21], [22]



รูปที่ 3.5 ค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟท

สำหรับค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างภายในของมอสเฟท สามารถพิจารณาได้ตามโครงสร้างในรูปที่ 3.5 โดยมีค่าดังต่อไปนี้

1. C_{GS} คือ ค่าความจุไฟฟ้ารวมระหว่าง เกทและซอส ซึ่งมีค่าเท่ากับ

$$C_{GS} = C_{GS}^{I} + C_{GS}^{O} \tag{3.7}$$

เมื่อ C_{GS}^{I} คือ gate-oxide capacitance associated with the source region of the intrinsic transistot strure

C_{GS}^{O} คือ parasitic capacitance resulting from the overlap of the gate and source

$$\text{โดยที่ } C_{GS}^{I} = \begin{cases} C_{OX}WL\left(1 - \left[\dfrac{V_{GS} - V_{TH} - V_{DS}}{2\left(V_{GS} - V_{TH}\right)_m V_{DS}}\right]\right) & \text{non – saturation region} \\ \dfrac{2}{3}C_{OX}WL & \text{saturation region} \end{cases} \tag{3.8}$$

และ $C_{GS}^{O} = C_{OX}WX_j$ (3.9)

2. C_{GD} คือ ค่าความจุไฟฟ้ารวมระหว่างเกทและเดรน ซึ่งมีค่าเท่ากับ

$$C_{GD} = C_{GD}^{I} + C_{GD}^{O} \tag{3.10}$$

เมื่อ C_{GD}^{I} คือ gate-oxide capacitance associated with the drain region of the intrinsic transistot strure

C_{GD}^{O} คือ parasitic capacitance resulting from the overlap of the gate and drain

$$\text{โดยที่ } C_{GD}^{I} = \begin{cases} C_{OX}WL\left(1 - \left[\dfrac{V_{GS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}}\right]^2\right) & \text{non – saturation region} \\ \approx 0 & \text{saturation region} \end{cases} \tag{3.11}$$

$$C_{GD}^{O} = C_{OX}WX_j \tag{3.12}$$

3. C_{SB} คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างซอสกับซับสเตท ซึ่งมีค่าเท่ากับ

$$C_{SB}(V_{SB}) = \frac{C_{SB}(0)}{\sqrt{(1 + V_{SB}/\phi_o)}} \tag{3.13}$$

เมื่อ $C_{SB}(0)$ คือ the zero-bias capacitance of the source-body pn junctions

ϕ_o คือ the barrier potential

4. C_{DB} คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างเดรนกับซับสเตท ซึ่งมีค่าเท่ากับ

$$C_{DB}(V_{DB}) = \frac{C_{DB}(0)}{\sqrt{(1 + V_{DB}/\phi_o)}} \tag{3.14}$$

เมื่อ $C_{DB}(0)$ คือ the zero-bias capacitance of the drain-body pn junctions

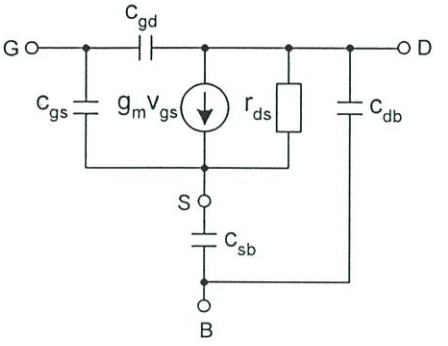
3.7 วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก [20]-[22]

ในรูปที่ 3.6 แสดงวงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟทที่ซึ่งทำงานในช่วงอิ่มตัวและไม่อิ่มตัว โดยที่มีค่าของตัวเก็บประจุแต่ละตัวจะมีค่าเป็นไปตามสมการที่ (3.7)- (3.14) และค่าความนำ (transconductance) ของวงจรสามารถคำนวณหาได้จากสมการที่ (3.5) และสมการที่ (3.6) ซึ่งจะได้

$$g_m = \left.\frac{dI_d}{dV_{gs}}\right|_{V_{GS}=0} = \begin{cases} \dfrac{\mu_n C_{OX} W V_{DS}}{L} & \text{non} - \text{saturation region} \\ \dfrac{\mu_n C_{OX} W}{L}(V_{GS} - V_{TH}) & \text{saturation region} \end{cases} \tag{3.15}$$

จากสมการที่ (3.15) สำหรับการทำงานในช่วงอิ่มตัว ค่าความนำของวงจรสามารถเขียนความสัมพันธ์ให้อยู่ในรูปของกระแสได้เป็น

$$g_m = \sqrt{\frac{2\mu_n C_{OX} W I_O}{L}} \tag{3.16}$$



รูปที่ 3.6 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟท

สำหรับค่าความต้านทานที่จุดออกของวงจรสามารถคำนวณหาได้ตามความสัมพันธ์ดังนี้คือ

$$\frac{1}{r_{ds}} = g_{ds} = \left.\frac{dI_d}{dV_{DS}}\right|_{V_{GS}=0} = \begin{cases} \dfrac{\mu_n C_{OX}(V_{GS} - V_{TH} - V_{DS})}{L} & \text{non-saturation region} \\ \lambda I_D & \text{saturation region} \end{cases} \qquad (3.17)$$

เมื่อ λ คือ channel length moduration parameter (volts^{-1})

จากวงจรในรูปที่ 3.6 ได้รวมถึงตัวเก็บประจุจำนวน 4 ตัวคือ C_{gs}, C_{gd}, C_{sb} และ C_{db} ซึ่งค่อนข้างยุ่งยากและซับซ้อนสำหรับการวิเคราะห์ด้วยมือและมักถูกใช้สำหรับในการวิเคราะห์โดยใช้การจำลองการทำงานด้วยโปรแกรมคอมพิวเตอร์เท่านั้น [11], [21] เนื่องจากในวิทยานิพนธ์เป็นการออกแบบวงจรเชิงเส้นแบบช่วงสำหรับสัญญาณอนาลอกโดยใช้มอสเฟทที่มีการทำงานอยู่ในช่วงอิ่มตัวเป็นหลักซึ่งจะเป็นผลให้เกิดสภาวะพินช์ออฟ กล่าวคือแชลแนลซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านเดรนขาดออกหรือแคบมาก และศักดาที่ขาเดรนจะรบกวนแต่แชลแนลหรือประจุที่ขาเกทน้อยมาก ซึ่งสามารถกล่าวได้ว่าค่าความจุระหว่างเกทกับเดรน (C_{gd}) มีค่าน้อยมาก ส่วนค่าความจุระหว่างซอสกับซับสเตท (C_{sb}) และเดรนกับซับสเตท (C_{db}) นั้น ถือว่ามีค่าน้อยมากโดยเฉพาะเมื่อซอสถูกเชื่อมต่อกับฐานรอง ซึ่งจะพิจารณาเฉพาะค่าความจุระหว่างเกทกับซอส (C_{gs}) ซึ่งจะมีค่าประมาณ $2/3C_{OX}WL$ และสำหรับค่าความต้านทานเนื่องจากที่ขาเกทของมอสเฟทถูกคั่นด้วยฉนวน ดังนั้นค่าความต้านทานที่เกิดขึ้นระหว่างขาเกทกับซอส (R_{gs}) และขาเกทกับ เดรน (R_{gd}) จึงมีค่าสูงมาก จะมีเฉพาะค่าความต้านทานระหว่างขาเดรนกับซอส (R_{ds}) เท่านั้น ดังนั้นเพื่อความสะดวกสำหรับการวิเคราะห์ด้วยมือ จะใช้วงจรสมมูลของมอสเฟทโดยที่กำหนดให้ C_{gd}, C_{sb} และ C_{db} มีค่าเท่ากับศูนย์ ซึ่งเป็นวงจรสมมูลที่เสนอโดย Gray และ Meyer [21]

3.8 เปรียบเทียบข้อดีและข้อเสียระหว่างมอสเฟทกับไบโพลาร์ทรานซิสเตอร์ [23]-[24]

ก. ข้อดี ของมอสเฟทเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

- ต้องการขั้นตอนการผลิตประมาณ 25% เมื่อเทียบกับกระบวนการสร้างไบโพลาร์ทรานซิสเตอร์ ก็เนื่องจากว่าการออกแบบสร้างมอสเฟทมีโครงสร้างและกระบวนการที่ง่าย ทำให้ใช้ต้นทุนในการผลิตต่ำ
- สิ่งประดิษฐ์ถูกสร้างขึ้นได้มากกว่าและสามารถบรรจุหรือถูกใส่ไปในพื้นที่ที่จำกัดได้ในปริมาณมาก และปัจจุบันเหมาะสมที่จะทำเป็นวงจร VLSI
- ขาเดรน (drain) และขาซอส (source) ของมอสเฟทสามารถสลับแทนที่กันได้ ซึ่งการทำงานยังคงไม่เปลี่ยนแปลงมากนัก เพราะเนื่องจากว่ามอสเฟทมีความสมมาตร (bilaterally symmetric) ซึ่งแตกต่างกับไบโพลาร์ทรานซิสเตอร์ที่ไม่สามารถจะสลับระหว่างขาอิมิตเตอร์ (emitter) กับขาคอลเลคเตอร์ (collector) ได้ เพราะปริมาณการโดปสารกึ่งตัวนำที่อิมิตเตอร์กับคอลเลคเตอร์จะไม่เท่ากัน โดยสารกึ่งตัวนำที่อิมิตเตอร์จะมีปริมาณการโดปที่สูงกว่า ซึ่งถ้าทำการสลับขาจะทำให้อัตราการขยาย (gain) ลดลงอย่างมาก
- จำนวนชนิดพาหะในการนำกระแส โดยมอสเฟทจะใช้ในการนำกระแสเพียงชนิดเดียว คือ โฮล (hole) ใน PMOS หรืออิเล็กตรอน (electron) ใน NMOS ดังนั้นจึงเรียกสิ่งประดิษฐ์สารกึ่งตัวนำชนิดนี้ว่า ยูนิโพลาร์ทรานซิสเตอร์ (unipolar transistor) ซึ่งต่างจากกรณีไบโพลาร์ทรานซิสเตอร์ (bipolar transistor) จะใช้จำนวนพาหะในการนำกระแส 2 ชนิด แบ่งเป็นกระแสของพาหะส่วนใหญ่ (majority carrier) ซึ่งเป็นอิเล็กตรอนสำหรับกรณี npn และเป็นโฮล สำหรับกรณี pnp และกระแสของพาหะส่วนน้อย (minority carrier) ซึ่งเป็นโฮลสำหรับ npn และเป็นอิเล็กตรอนสำหรับกรณี pnp
- การทำงาน มอสทรานซิสเตอร์ทำงานโดยใช้แรงดันไปควบคุมกระแสที่ทางออก และค่าความต้านทานที่อินพุท (input impedance) ของมอสเฟทมีค่ามากๆ เนื่องจากที่อินพุทขาเกทต่ออยู่กับฉนวน (ซิลิกอนไดออกไซด์) ทำให้มีอัตราการสูญเสียกำลังต่ำมาก และสามารถนำไปขับมอสเฟทตัวอื่นๆ ได้จำนวนมาก ขณะที่ไบโพลาร์ทรานซิสเตอร์ทำงาน โดยใช้กระแสทางเข้าควบคุมกระแสทางออก และความต้านทานที่ทางเข้าก็มีค่าน้อยกว่ากรณีของมอสเฟท ทำให้มีอัตราในการสูญเสียกำลังมากกว่า

- เนื่องจากมอสเฟทมีการทำงานโดยการใช้แรงดันควบคุม จึงทำให้สามารถขับ (drive) มอสเฟทตัวอื่นๆ ได้มีจำนวนมาก ซึ่งมีค่าแฟนเอาท์สูง (high fan-out) และมีอัตราสูญเสียกำลังอินพุทที่เกิดขึ้นมีค่าต่ำมาก
- ผลกระทบของอุณหภูมิต่อกระแส (thermal runaway) ภายในมอสเฟทมีค่าน้อยมาก นั่นคือ ถ้าอุณหภูมิมีค่าเพิ่มขึ้นกระแสที่ไหลผ่านมอสเฟทจะมีค่าค่อนข้างคงที่ จึงไม่เกิดการเสียหาย เนื่องจากผลทางความร้อน ต่างจากไบโพลาร์ทรานซิสเตอร์ ซึ่งเมื่ออุณหภูมิเพิ่มขึ้นจะทำให้มีกระแสไหลเพิ่มขึ้น ผลอันนี้เองจะทำลายทรานซิสเตอร์ที่ใช้งานที่กระแสสูงๆ จึงต้องมีฟิวส์คอยป้องกันการไหลเกินของกระแสเพื่อไม่ให้ทรานซิสเตอร์เสียหาย ซึ่งในมอสเฟทไม่จำเป็นต้องมีวงจรป้องกัน
- การใช้งานมอสเฟทใช้กำลังต่ำ ซึ่งเป็นผลให้การถูกรบกวนทางไฟฟ้าที่เกิดขึ้นต่ำไปด้วย

ข. ข้อเสีย ของมอสเฟทเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

- ไม่สามารถทำงานโดยการใช้กระแสควบคุมได้
- มีความเร็วในการทำงานที่ต่ำกว่าไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีค่าของคาปาซิแตนท์ ทางด้านอินพุทที่สูง ซึ่งเป็นข้อจำกัดการใช้งานทางด้านความถี่สูง แต่ปัจจุบันได้มีการใช้โพลีลิกอนเกทเทคโนโลยี จึงช่วยลดค่าคาปาซิแตนท์ที่เกททำให้มีการทำงานเร็วขึ้น
- ค่าของทรานส์คอนดัคแตนท์ (transconductance) หรือ g_m มีค่าต่ำ

สมการที่ใช้วิเคราะห์การทำงานของมอสเฟททรานซิสเตอร์มีความยุ่งยากมากกว่า สมการของไบโพลาร์ทรานซิสเตอร์ อีกทั้งการพิจารณาการทำงานของ MOSFET ยังมีหลายระดับ (LEVEL) อีกด้วย ดังเช่น ในโปรแกรมสำเร็จรูป SPICE 2G.6 แบ่งการทำงานของ MOSFET เป็น 3 ระดับ คือ LEVEL1, LEVEL2 และ LEVEL3

3.9 สรุป

ในบทนี้ได้กล่าวถึงทฤษฎีการทำงานและสมการสำคัญๆ ของมอสเฟทโดยจะเน้นที่มอสเฟทแบบเอ็นฮานซ์เมนท์โหมดที่มีการทำงานในช่วงอิ่มตัวเป็นหลัก เพื่อใช้เป็นแนวทางในการออกแบบและวิเคราะห์วงจรเชิงเส้นแบบช่วงที่พัฒนาขึ้นสำหรับสัญญาณอนาลอกในรูปของวงจรรวมภายในวิทยานิพนธ์

บทที่ 4
กลุ่มวงจรที่ใช้ในวิทยานิพนธ์นี้

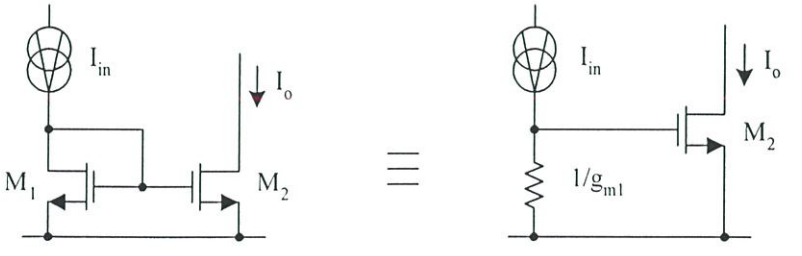
4.1 กล่าวนำ

การออกแบบวงจรเชิงเส้นแบบช่วงสำหรับสัญญาณอนาลอกในวิทยานิพนธ์นี้ จะประกอบไปด้วยกลุ่มวงจรย่อยขนาดเล็กที่ทำหน้าที่ร่วมกันสำหรับการสังเคราะห์ฟังก์ชันเชิงเส้นแบบช่วงของสัญญาณอินพุท เนื้อหาในบทนี้จะกล่าวถึงคุณสมบัติของวงจรย่อย ซึ่งได้แก่ วงจรสะท้อนกระแสแบบพื้นฐาน (current mirror circuit) และวงจรขยายคลาส B (class B) รวมถึงการวิเคราะห์คุณสมบัติของวงจรย่อย ในวิทยานิพนธ์นี้จะใช้วงจรตามกระแส (current follower circuit) และวงจรคูณกระแส (current multiplier circuit) ต่อร่วมกับวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้นเพื่อที่จะทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นตามที่ต้องการ ดังนั้นเนื้อหาในบทนี้จะกล่าวถึงการทำงานของวงจรตามกระแสและวงจรคูณกระแส ซึ่งใช้เป็นวงจรที่ต่อรวมกับวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้นในวิทยานิพนธ์นี้ด้วย

4.2 กลุ่มวงจรย่อย

4.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน [11], [18], [22], [25]

วงจรสะท้อนกระแสเป็นวงจรย่อยที่มีคุณสมบัติทางไฟฟ้า คือ มีความต้านทานอินพุทของสัญญาณต่ำและมีความต้านทานเอาท์พุทสูง ซึ่งจากคุณสมบัตินี้ทำให้วงจรสะท้อนกระแสได้ถูกนำมาประยุกต์ใช้ในการออกแบบวงจรอิเล็กทรอนิกส์เป็นจำนวนมาก ในวิทยานิพนธ์นี้ได้ใช้วงจรสะท้อนกระแสแบบพื้นฐาน สำหรับการสำเนาและส่งผ่านสัญญาณกระแสเป็นส่วนประกอบของวงจรที่ได้พัฒนาขึ้น



รูปที่ 4.1 วงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสเฟท

ในรูปที่ 4.1 แสดงวงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสเฟทชนิดเอ็นแชลแนล ซึ่งสามารถอธิบายการทำงานได้ดังนี้ คือ ทรานซิสเตอร์ M_1 ทำหน้าที่เสมือนเป็นตัวต้านทานค่าต่ำที่ทำให้กระแสอินพุท I_{in} ไหลเข้าสู่วงจรและเกิดเป็นศักดาไบอัส $V_{gs2} = V_{gs1}$ ให้กับ M_2 เกิดมีค่ากระแสเอาท์พุท $I_o = I_{dM2} = I_{in}$ จากการวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน (ภาคผนวก ก.) จะได้คุณสมบัติต่างๆ ดังนี้คือ

อัตราการสะท้อนกระแส

$$\beta = \frac{I_o}{I_{in}} = \left(\frac{W_2 L_1}{W_1 L_2} \right) \tag{4.1}$$

ค่าความต้านทานที่อินพุท

$$r_{in} = \frac{1}{g_{m1}} = \sqrt{\frac{L_1}{2\mu_n C_{ox} W_1 I_{in}}} \tag{4.2}$$

ค่าความต้านทานที่เอาท์พุท

$$r_0 = \frac{1}{\lambda I_{D2}} = \frac{1}{\lambda I_0} \tag{4.3}$$

อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก

$$\beta(s) = \frac{i_0(s)}{i_1(s)} = \frac{g_{m2}}{g_{m1}} \left(\frac{1}{1 + \frac{s(C_{gs1} + C_{gs2})}{g_{m1}}} \right) \tag{4.4}$$

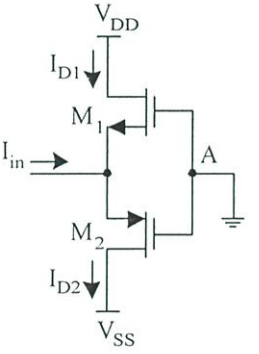
เมื่อ g_{mi} คือค่าความนำของทรานซิสเตอร์ตัวที่ i

จากคุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐานในสมการที่ (4.1) ถึง (4.4) จะเห็นได้ว่าการควบคุมอัตราขยายของวงจรสะท้อนกระแสสามารถทำได้โดยการกำหนดอัตราส่วนความกว้าง (W) ต่อความยาว (L) ของแชลแนลของทรานซิสเตอร์แต่ละตัวดังสมการที่ (4.1) การปรับปรุงให้ค่า

ความต้านทานที่จุดเข้ามีค่าต่ำสามารถทำได้โดย ลดขนาดของ L_1 หรือเพิ่มขนาดของ W_1 ดังสมการที่ (4.2) การปรับปรุงค่าความต้านทานที่จุดออกให้มีค่าสูงทำได้โดยการออกแบบให้ λ มีค่าต่ำๆ หรือควบคุมกระแสเอาท์พุท I_o ให้มีค่าน้อย และหากต้องการให้วงจรสะท้อนกระแสแบบพื้นฐานมีผลตอบสนองทางความถี่ที่สูง ควรออกแบบให้ C_{gs} ของทรานซิสเตอร์แต่ละตัวมีค่าต่ำ หรือเพิ่ม g_{m1} ให้มีค่าสูง

4.2.2 วงจรขยายคลาส B

วงจรขยายคลาส B เป็นวงจรย่อยซึ่งในวงจรอิเล็กทรอนิกส์โดยมากจะนำไปใช้เป็นอุปกรณ์สวิตซ์สัญญาณกระแส และในวิทยานิพนธ์นี้ก็ได้นำวงจรขยายคลาส B มาเป็นสวิตซ์สัญญาณกระแสของวงจรที่ได้พัฒนาขึ้นเช่นกัน ในรูปที่ 4.2 แสดงวงจรขยายคลาส B แบบพื้นฐาน เป็นการนำมอสเฟทชนิดเอ็นแชลแนล M_1 มาต่ออนุกรมกับมอสเฟทชนิดพีแชลแนล M_2 โดยขาเกทของทั้ง 2 ตัวต่อลงกราวนด์ ซึ่งสามารถอธิบายการทำงานได้ดังนี้



รูปที่ 4.2 วงจรขยายคลาส B แบบพื้นฐาน

ในกรณีที่กระแสอินพุท I_{in} มีค่าเท่ากับศูนย์ ($I_{in} = 0$) แรงดันที่ขาเกทกับขาซอสของ V_{GS1} และ V_{GS2} ของทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ มีค่าน้อยมาก ทำให้ทรานซิสเตอร์ทั้ง 2 ตัวอยู่ในสภาวะไม่นำกระแส ซึ่งจะได้

$$I_{D1} = 0 \quad \text{และ} \quad I_{D2} = 0 \qquad \text{เมื่อ } I_{in} = 0 \tag{4.5}$$

ในกรณีที่กระแสอินพุท I_{in} มีค่ามากกว่าศูนย์ ($I_{in} > 0$) กระแสอินพุท I_{in} จะไหลผ่านทรานซิสเตอร์ M_2 เป็นผลให้แรงดันที่ขาเกทกับขาซอสของ V_{GS2} มีค่าเพิ่มขึ้น และเนื่องจากแรงดันที่จุด A เป็นกราวนด์ ทำให้แรงดันที่ขาเกทกับขาซอสของ V_{GS1} มีค่าลดลง เป็นผลให้ทรานซิสเตอร์ M_1 อยู่ในสภาวะไม่นำกระแส ซึ่งนำมาเขียนเป็นสมการได้ดังนี้

$$I_{D1} = 0 \quad \text{และ} \quad I_{D2} = I_{in} \qquad \text{เมื่อ } I_{in} > 0 \tag{4.6}$$

ในทำนองเดียวกันในกรณีที่กระแสอินพุท I_{in} มีค่าน้อยกว่าศูนย์ ($I_{in} < 0$) กระแสอินพุท I_{in} จะไหลผ่านทรานซิสเตอร์ M_1 เป็นผลให้แรงดันที่ขาเกทกับขาซอสของ V_{GS1} มีค่าเพิ่มขึ้น ทำให้แรงดันที่ขาเกทกับขาซอสของ V_{GS2} มีค่าลดลง เป็นผลให้ทรานซิสเตอร์ M_2 อยู่ในสภาวะไม่นำกระแส ซึ่งนำมาเขียนเป็นสมการได้ว่า

$$I_{D1} = I_{in} \quad \text{และ} \quad I_{D2} = 0 \qquad \text{เมื่อ } I_{in} < 0 \tag{4.7}$$

4.3 วงจรตามกระแส

วงจรตามกระแสเป็นวงจรที่ใช้ในการสำเนาสัญญาณกระแสเพื่อนำไปใช้ตามที่ต้องการ ซึ่งในวิทยานิพนธ์นี้ต้องการสำเนาสัญญาณกระแสอินพุท เพื่อนำไปใช้เป็นอินพุทสำหรับวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น ในรูปที่ 4.3 แสดงวงจรตามกระแส ซึ่งอธิบายการทำงานได้ดังนี้ คือ ทรานซิสเตอร์ M_1 และทรานซิสเตอร์ M_2 ทำหน้าที่เป็นวงจรสะท้อนกระแสซึ่งอธิบายไว้ในหัวข้อที่ 4.2.1 กระแส I_{D1} มีค่าเท่ากับ I_{D2} ซึ่งมีค่าเท่ากับ I_{D3} และ I_{D4} เขียนเป็นสมการได้

$$I_{D1} = I_{D2} = I_{D3} = I_{D4} \tag{4.8}$$

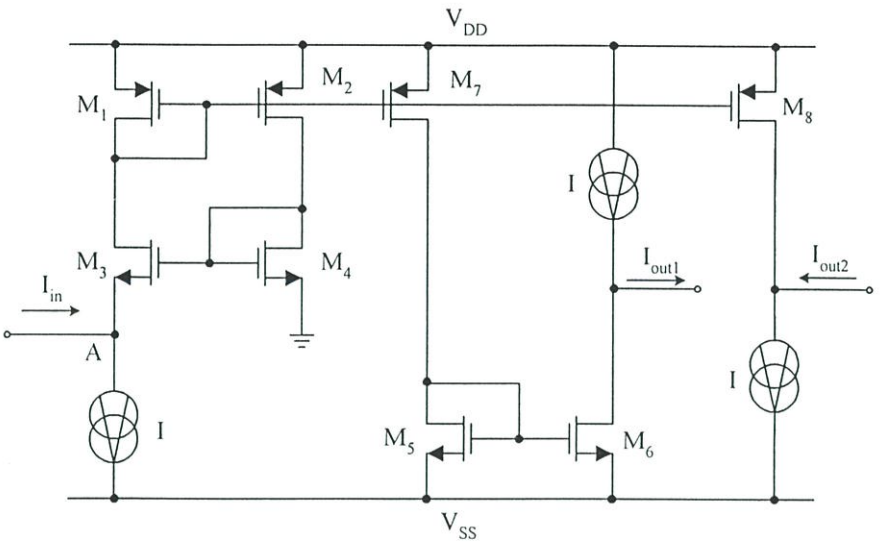
จากสมการที่ (3.6)

$$I_D = \frac{\mu_n C_{OX} W}{2L}\left(V_{GS} - V_{TH}\right)^2$$

$$V_{GS} = \sqrt{\frac{2I_D L}{\mu_n C_{OX} W}} + V_T \tag{4.9}$$

โดยที่ μ_n, C_{OX}, W, L และ V_T เป็นค่าคงที่ เมื่อ $I_{D3} = I_{D4}$ ดังนั้น

$$V_{GS3} = V_{GS4} \tag{4.10}$$



รูปที่ 4.3 วงจรตามกระแส

แรงดันที่ขาเกทของทรานซิสเตอร์ M_3 และ M_4 มีค่าเท่ากัน ดังนั้นแรงดันที่จุด A จึงมีค่าเสมือนกราวนด์ ทำให้กระแสอินพุทสามารถที่จะสวิงได้ทั้งซีกบวกและซีกลบ และกระแสที่ไหลผ่านทรานซิสเตอร์ M_1 จะถูกสำเนาและส่งผ่านไปยังทรานซิสเตอร์ M_2, M_7 และ M_8 ซึ่งมีค่าเท่ากับ

$$I_{D1} = I_{D2} = I_{D7} = I_{D8} = I - I_{in} \tag{4.11}$$

กระแส I_{D7} จะมีค่าเท่ากับ I_{D5} ซึ่งถูกสำเนาและส่งผ่านไปยังทรานซิสเตอร์ M_6 ทำให้กระแส I_{out1} มีค่าเท่ากับ

$$I_{out1} = I - (I_{in} + I) = -I_{in} \tag{4.12}$$

กระแส I_{D8} หักล้างกับแหล่งจ่ายกระแส I จะได้

$$I_{out2} = I - (I - I_{in}) = I_{in} \tag{4.13}$$

4.4 วงจรคูณกระแส

วงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้นในวิทยานิพนธ์นี้ จะให้กระแสเอาท์พุทที่มีค่าความชันเป็น 1 ซึ่งในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นต้องการความเป็นเชิงเส้นแบบช่วงที่มีค่าความชัน

ต่างกันออกไป ดังนั้นจึงได้นำเอาวงจรคูณกระแสมาประกอบกับส่วนเอาท์พุทของวงจรที่ได้พัฒนาขึ้น เพื่อทำให้สามารถปรับเปลี่ยนค่าความชันได้ตามที่ต้องการด้วยวิธีการทางอิเล็กทรอนิกส์ โดยวงจรคูณกระแสที่นำมาใช้เป็นวงจรคูณกระแสแบบ 4 ควอตแดรนท์โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส [26], [27]

หลักการทำงานของวงจรคูณกระแสคือ การใช้หลักการควอเตอร์สแควร์ (quarter-square principle) ซึ่งเป็นสมการทางคณิตศาสตร์ แสดงได้ดังนี้

$$I_o = (I_x + I_y)^2 - (I_x - I_y)^2 = 4I_xI_y \tag{4.14}$$

รูปที่ 4.4 แสดงวงจรยกกำลังสอง (squaring circuit) ทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันและทำงานอยู่ในช่วงอิ่มตัว กระแสเดรน I_D ของทรานซิสเตอร์ที่ทำงานในช่วงอิ่มตัวแสดงในสมการที่ (3.6)

$$I_D = k\left(V_{GS} - V_{TH}\right)^2$$

$$V_{GS} = \sqrt{\frac{I_D}{k}} + V_T$$

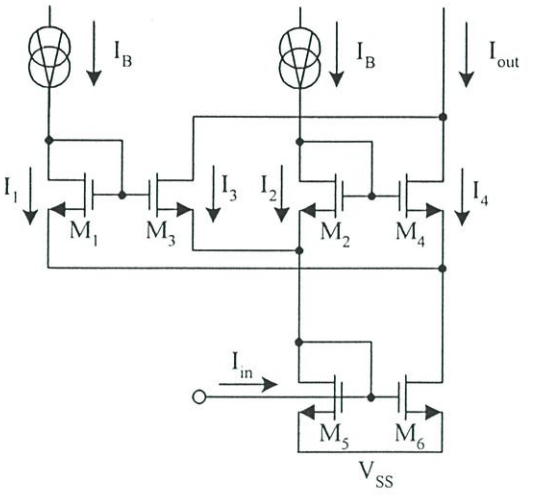
เมื่อ $k = \dfrac{\mu C_{OX} W}{2L}$

ทรานซิสเตอร์ M_1, M_2, M_3 และ M_4 ต่อกันเป็นทรานส์ลิเนียร์ลูป (translinear loop) จะได้ว่า

$$V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4} \tag{4.15}$$

แทนค่า V_{GS} ลงในสมการที่ 4.15 จะได้

$$V_{T1} + \sqrt{\frac{I_1}{k_1}} + V_{T2} + \sqrt{\frac{I_2}{k_2}} = V_{T3} + \sqrt{\frac{I_3}{k_3}} + V_{T4} + \sqrt{\frac{I_4}{k_4}} \tag{4.16}$$



รูปที่ 4.4 วงจรยกกำลังสอง

จากผลของบอดี้แอฟเฟค (body effect) ค่าแรงดันขีดเริ่ม (threshold voltage) ของทรานซิสเตอร์ M_1 กับ M_4 และ M_2 กับ M_3 มีค่าเท่ากัน ทำให้สามารถหักล้าง V_{T1} กับ V_{T4} และ V_{T2} กับ V_{T3} ในสมการที่ 4.16 ได้ และจากการกำหนดให้ทรานซิสเตอร์ทุกตัวสมพงษ์กันทำให้ค่า k_1, k_2, k_3 และ k_4 มีค่าเท่ากัน ดังนั้นสามารถเขียนสมการที่ 4.16 ใหม่ได้ว่า

$$\sqrt{I_1} + \sqrt{I_2} = \sqrt{I_3} + \sqrt{I_4} \tag{4.17}$$

กระแส I_1 และ I_2 มีค่าเท่ากับ I_B ดังนั้นจะได้

$$\sqrt{I_3} + \sqrt{I_4} = \sqrt{4I_B} \tag{4.18}$$

จากสมการที่ 4.18 สามารถนำมาหาค่ากระแสเอาท์พุท I_{out} ของวงจรซึ่งมีค่าเท่ากับ $I_3 + I_4$ ได้ดังนี้

$$\sqrt{I_3} + \sqrt{I_4} = \sqrt{4I_B}$$

$$\rightarrow \quad I_3 + I_4 + 2\sqrt{I_3 I_4} = 4I_B$$

$$\rightarrow \quad (I_3 + I_4 - 4I_B)^2 = 4I_3 I_4$$

$$\rightarrow \quad I_3^2 + 2I_3 I_4 + I_4^2 - 8I_B(I_3 + I_4) + 16I_B^2 = 4I_3 I_4$$

$$\rightarrow \quad (I_3 - I_4)^2 + 16I_B^2 = 8I_B(I_3 + I_4)$$

$$\rightarrow \quad I_3 + I_4 = 2I_B + \frac{(I_3 - I_4)^2}{8I_B} = I_{out} \tag{4.19}$$

จากวงจรสะท้อนกระแสของทรานซิสเตอร์ M_5 และ M_6 จะได้ความสัมพันธ์

$$I_{in} + I_2 + I_3 = I_1 + I_4 \tag{4.20}$$

I_1 และ I_2 มีค่าเท่ากับ I_B ดังนั้นสามารถลดรูปได้เป็น

$$I_{in} = I_4 - I_3 \tag{4.21}$$

แทนค่าจากสมการที่ 4.21 ลงในสมการที่ 4.19 จะได้

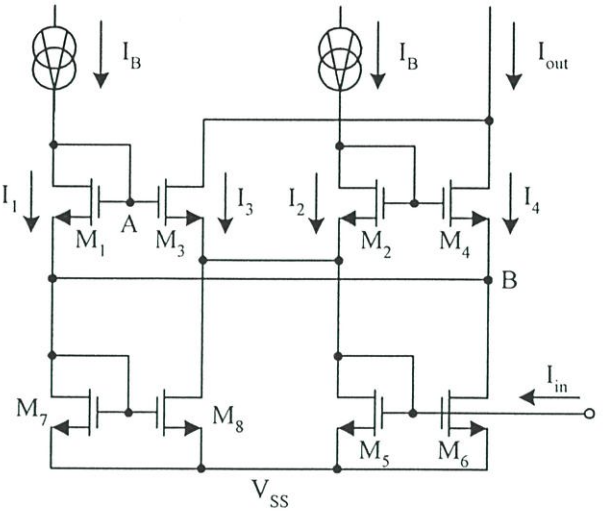
$$I_{out} = 2I_B + \frac{I_{in}^2}{8I_B} \tag{4.22}$$

จากความสัมพันธ์ในสมการที่ 4.22 มอสเฟททำงานในช่วงอิ่มตัว ถ้ากระแสอินพุท $I_{in} = 0$ กระแสเดรนของทรานซิสเตอร์ M_1, M_2, M_3 และ M_4 จะเท่ากับ I_B ถ้ากระแสอินพุท I_{in} เพิ่มขึ้น กระแสที่ไหลผ่านทรานซิสเตอร์ M_1 และ M_2 เป็นค่าคงที่ ดังนั้นกระแสที่ไหลผ่านทรานซิสเตอร์ M_3 และ M_4 ตัวใดตัวหนึ่งจะมีค่าเพิ่มขึ้นในขณะที่ตัวที่เหลือจะมีค่าลดลง ค่ากระแสอินพุทจะมีค่าสูงสุดเมื่อกระแส I_3 หรือ I_4 มีค่าเท่ากับ 0 จากสมการที่ 4.19 และ 4.21 สามารถนำมาเขียนเป็นสมการของ I_3 และ I_4 ได้ดังนี้

$$I_3 = I_B - \frac{I_{in}}{2} + \frac{I_{in}^2}{16I_B} \quad , \quad I_4 = I_B + \frac{I_{in}}{2} + \frac{I_{in}^2}{16I_B} \tag{4.23}$$

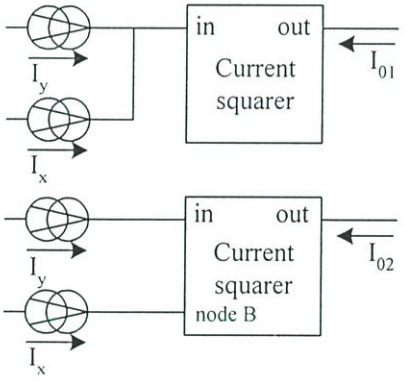
ค่ากระแสอินพุท I_{in} จะมีค่าอยู่ในช่วง

$$-4I_B \leq I_{in} \leq 4I_B \tag{4.24}$$



รูปที่ 4.5 วงจรคูณกระแสในรูปที่ 4.4 ที่นำวงจรสะท้อนกระแสมาต่อเพื่อเป็นการไบอัสให้กับวงจร

ในรูปที่ 4.5 เป็นการนำวงจรสะท้อนกระแสมาต่อเข้ากับวงจรในรูปที่ 4.4 ทำให้แรงดันที่โหนด A และโหนด B เป็นค่าคงที่ และที่โหนด B สามารถที่จะใช้อินพุท 2 ตัวได้ซึ่งผลของกระแสอินพุทใหม่เท่ากับกระแสอินพุทปกติลบด้วยกระแสอินพุทที่โหนด B



รูปที่ 4.6 หลักการคูณกระแสแบบ 4 ควอดแดรนท์นำมาใช้ในวิทยานิพนธ์นี้

ในรูปที่ 4.6 แสดงหลักการคูณกระแสแบบ 4 ควอดแดรนท์ โดยใช้กระแสยกกำลังสอง 2 ตัว ซึ่งกระแสอินพุทของวงจรยกกำลังสองมีค่าเป็น $(I_y + I_x)$ และ $(I_y - I_x)$ จากสมการที่ 4.22 จะได้กระแสเอาท์พุท I_{01} และ I_{02} มีค่าเป็น

$$I_{01} = 2I_B + \frac{(I_y + I_x)^2}{8I_B} \tag{4.25}$$

และ $$I_{02} = 2I_B + \frac{(I_y - I_x)^2}{8I_B} \quad (4.26)$$

จากนั้นนำเอาท์พุททั้ง 2 มาลบกันจะได้

$$I_{out} = I_{01} - I_{02} = \frac{I_x I_y}{2I_B} \quad (4.27)$$

โดยกระแสไบอัส I_B สามารถใช้ปรับฟังก์ชันในการคูณหรือหารได้ ช่วงกระแสอินพุทของการคูณซึ่งสืบเนื่องมาจากสมการที่ 4.24 จะได้

$$|I_x| + |I_y| \leq 4I_B \quad (4.28)$$

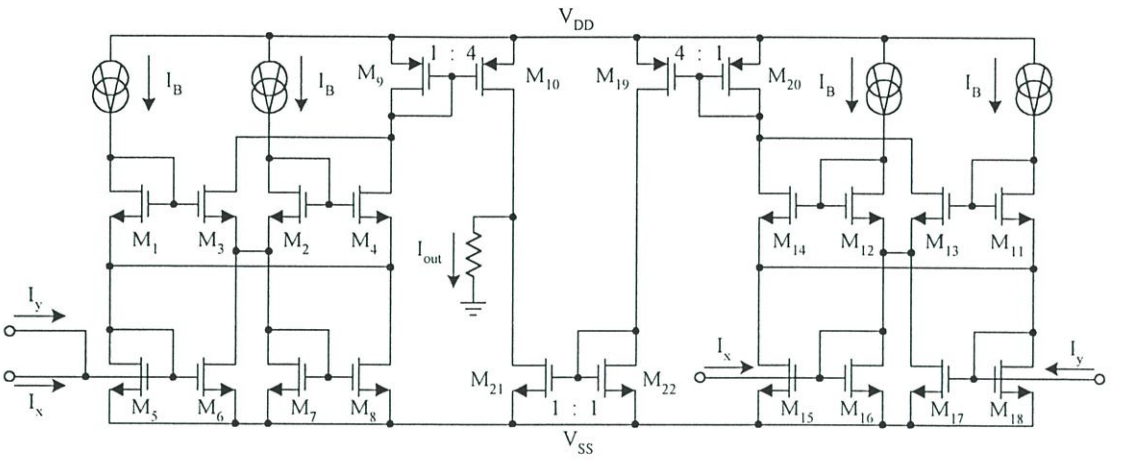
และเพื่อให้สามารถปรับเปลี่ยนค่ากระแส I_{out} ได้ง่ายขึ้นโดยคงเงื่อนไขของช่วงกระแสอินพุทเดิม จะทำการสะท้อนกระแส I_{01} และ I_{02} ในอัตราการส่งผ่านเป็น 1 ต่อ 4 ก่อนนำมาทำการหักล้างกัน ซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$I_{01} = 4\left(2I_B + \frac{(I_y + I_x)^2}{8I_B}\right) \quad (4.29)$$

$$I_{02} = 4\left(2I_B + \frac{(I_y - I_x)^2}{8I_B}\right) \quad (4.30)$$

$$I_{out} = I_{01} - I_{02} = \frac{2I_x I_y}{I_B} \quad (4.31)$$

โดยช่วงกระแสอินพุทของการคูณยังคงเป็นไปตามสมการที่ 4.28 ในรูปที่ 4.7 แสดงวงจรคูณกระแสแบบ 4 ควอดแดรนท์ที่ทำการปรับค่ากระแส I_{01} และ I_{02} เพื่อให้ได้กระแสเอาท์พุท I_{out} ที่สามารถปรับเปลี่ยนค่าได้ง่ายตามที่ต้องการ



รูปที่ 4.7 วงจรสมบูรณ์ของวงจรคูณกระแสแบบ 4 ควอดแดรนท์

4.5 สรุป

ในบทนี้ได้กล่าวถึงคุณสมบัติและหลักการทำงานของวงจรสะท้อนกระแสแบบพื้นฐาน และวงจรคลาส B ที่เป็นวงจรย่อยสำหรับใช้ในการออกแบบวงจรเชิงเส้นแบบช่วง และกล่าวถึงคุณสมบัติและหลักการทำงานของวงจรตามกระแสและวงจรคูณกระแสที่นำมาต่อร่วมกับวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น เพื่อใช้ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น ซึ่งวงจรที่ได้กล่าวไว้ข้างต้นเป็นวงจรที่นำมาประกอบร่วมกับวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น จึงไม่ได้ทำการวิเคราะห์วงจรอย่างละเอียด

บทที่ 5
การออกแบบวงจรเชิงเส้นแบบช่วง เพื่อใช้ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น

5.1 กล่าวนำ

ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นให้มีประสิทธิภาพ และความแม่นยำสูงจะใช้วิธีการประมาณค่าความไม่เป็นเชิงเส้นด้วยความเป็นเชิงเส้นแบบช่วงดังที่ได้กล่าวมาแล้วในบทที่ 2 ดังนั้นในวิทยานิพนธ์นี้จึงได้นำเสนอวงจรเชิงเส้นแบบช่วงโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส ซึ่งคุณสมบัติของวงจรจะมีสัญญาณอินพุทและสัญญาณเอาท์พุทเป็นกระแส สามารถปรับเปลี่ยนฟังก์ชันที่ต้องการสังเคราะห์ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ซึ่งเป็นวิธีที่สามารถสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นได้อย่างมีประสิทธิภาพ และเนื่องจากวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้นใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส ทำให้สามารถนำมาสร้างเป็นวงจรรวมได้ซึ่งจะทำให้วงจรมีขนาดเล็กและง่ายในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น

5.2 หลักการทำงานของวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น

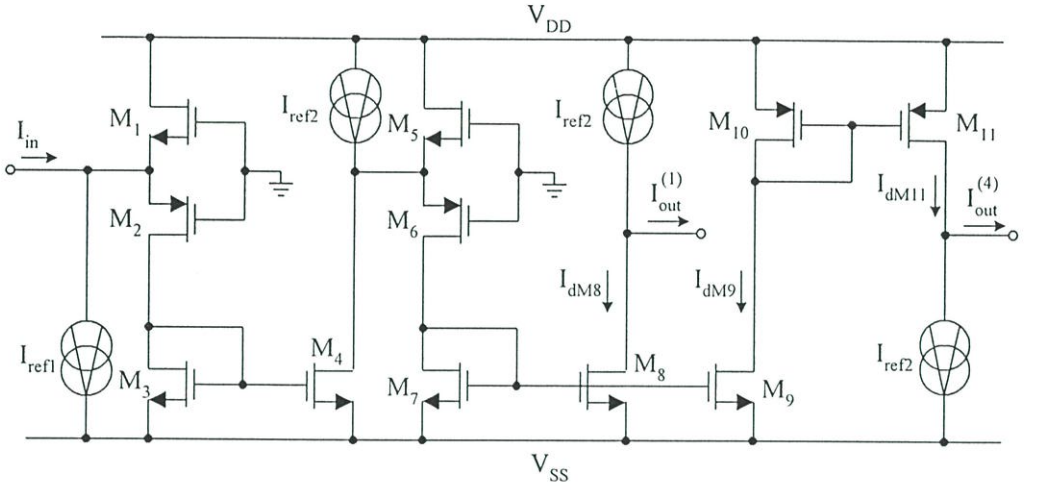
5.2.1 วงจรเชิงเส้นแบบช่วงที่ให้กระแสเอาท์พุทในควอดแดรนท์ที่ 1 และ 4

หลักการทำงานของวงจรเชิงเส้นแบบช่วงที่ออกแบบในวิทยานิพนธ์นี้ใช้หลักการของวงจรจำกัดกระแส (current limiter) ซึ่งจะใช้ตัวย่อเป็น CL แสดงในรูปที่ 5.1 สามารถอธิบายการทำงานของวงจรได้ดังนี้ คือ ทรานซิสเตอร์ $M_1 - M_2$ และ $M_5 - M_6$ ทำงานเป็นสวิตซ์กระแสในวงจรคลาส B ทรานซิสเตอร์ $M_3 - M_4$, $M_7 - M_9$ และ $M_{10} - M_{11}$ ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง ซึ่งการทำงานของวงจรสามารถแบ่งได้เป็น 3 กรณีด้วยกันคือ

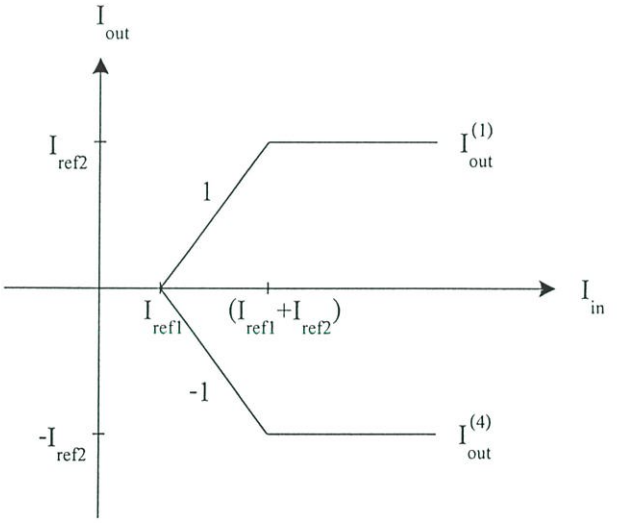
กรณีที่ 1 เมื่อ $I_{in} < I_{ref1}$ กระแส $(I_{in} - I_{ref1})$ จะไหลผ่านทรานซิสเตอร์ M_1 ส่วนทรานซิสเตอร์ M_2 จะไม่มีกระแสไหล ทำให้ทรานซิสเตอร์ M_3 และ M_4 ไม่ทำงาน ดังนั้นกระแส I_{ref2} จึงไหลผ่านทรานซิสเตอร์ M_6 ทำให้ทรานซิสเตอร์ M_5 ไม่มีกระแสไหล จากนั้นกระแส I_{DM6} ไหลผ่านทรานซิสเตอร์ M_7 และสะท้อนผ่านไปยังทรานซิสเตอร์ M_8 กระแสเอาท์พุท $I_{out}^{(1)}$ จะมีค่าเท่ากับ $(I_{ref2} - I_{DM8})$ ซึ่งเมื่อแทนค่า I_{DM8} จะได้ $I_{out}^{(1)}$ มีค่าเท่ากับศูนย์

กรณีที่ 2 เมื่อ $I_{ref1} < I_{in} < (I_{ref1} + I_{ref2})$ กระแส $(I_{in} - I_{ref1})$ จะไหลผ่านทรานซิสเตอร์ M_2 และ M_3 จากนั้นจะถูกสะท้อนไปยังทรานซิสเตอร์ M_4 ดังนั้นกระแส $(I_{ref2} - (I_{in} - I_{ref1}))$ จะไหลผ่าน

ทรานซิสเตอร์ M_6 และสะท้อนไปยังทรานซิสเตอร์ M_8 กระแสเอาท์พุท $I_{out}^{(1)}$ จะมีค่าเท่ากับ $I_{ref2} - I_{DM8}$ ซึ่งเมื่อแทนค่า I_{DM8} จะได้กระแสเอาท์พุท $I_{out}^{(1)}$ มีค่าเท่ากับ $(I_{in} - I_{ref1})$



รูปที่ 5.1 วงจรเชิงเส้นแบบช่วงที่ให้กระแสเอาท์พุท $I_{out}^{(1)}$ หรือ CL1 และ $I_{out}^{(4)}$ หรือ CL4



รูปที่ 5.2 คุณสมบัติของวงจรในรูปที่ 5.1

กรณีที่ 3 เมื่อ $I_{in} > (I_{ref1} + I_{ref2})$ กระแส $(I_{in} - I_{ref1})$ จะไหลผ่านทรานซิสเตอร์ M_2, M_3 และสะท้อนไปยังทรานซิสเตอร์ M_4 กระแส $((I_{in} - I_{ref1}) - I_{ref2})$ จะไหลผ่านทรานซิสเตอร์ M_5 ดังนั้น ทรานซิสเตอร์ M_6 จะไม่มีกระแสไหล ทำให้ทรานซิสเตอร์ M_7 และ M_8 ไม่ทำงาน ดังนั้น $I_{out}^{(1)}$ จะมี

ค่าเท่ากับ I_{ref2} ส่วนกระแสเอาท์พุท $I_{out}^{(4)}$ จะเป็นการกลับทิศกระแส $I_{out}^{(1)}$ ซึ่งจะมี 3 กรณีเช่นเดียวกัน สมการของกระแสเอาท์พุท $I_{out}^{(1)}$ และ $I_{out}^{(4)}$ สามารถเขียนได้ดังนี้

$$I_{out}^{(1)} = \begin{cases} 0 & \text{เมื่อ} \quad I_{in} \leq I_{ref1} \\ I_{in} - I_{ref1} & \text{เมื่อ} \quad I_{ref1} < I_{in} < (I_{ref1} + I_{ref2}) \\ I_{ref2} & \text{เมื่อ} \quad I_{in} \geq (I_{ref1} + I_{ref2}) \end{cases} \tag{5.1}$$

และ

$$I_{out}^{(4)} = \begin{cases} 0 & \text{เมื่อ} \quad I_{in} \leq I_{ref1} \\ -(I_{in} - I_{ref1}) & \text{เมื่อ} \quad I_{ref1} < I_{in} < (I_{ref1} + I_{ref2}) \\ -I_{ref2} & \text{เมื่อ} \quad I_{in} \geq (I_{ref1} + I_{ref2}) \end{cases} \tag{5.2}$$

เมื่อ $I_{out}^{(1)}$ และ $I_{out}^{(4)}$ เป็นกระแสเอาท์พุทในควอดแดรนท์ที่ 1 และ 4 ตามลำดับ รูปที่ 5.1 แสดงวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้นซึ่งให้กระแสเอาท์พุทในควอดแดรนท์ที่ 1 และ 4 หรือเรียกย่อว่า CL1 และ CL4 ตามลำดับ รูปที่ 5.2 แสดงคุณสมบัติของวงจรในรูปที่ 5.1 ซึ่งจะเห็นว่าจุดเริ่มต้นของเส้นคุณสมบัติมีค่าเท่ากับ I_{ref1} และจุดสิ้นสุดของเส้นคุณสมบัติมีค่าเท่ากับ $(I_{ref1} + I_{ref2})$

5.2.2 วงจรเชิงเส้นแบบช่วงที่ให้กระแสเอาท์พุทในควอดแดรนท์ที่ 2 และ 3

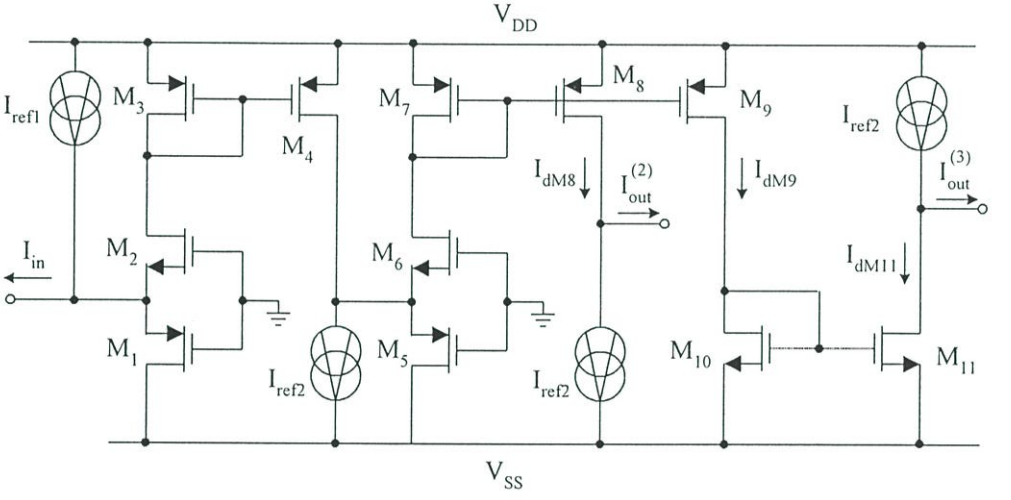
อาศัยหลักการเดียวกัน จะได้วงจรในรูปที่ 5.3 ซึ่งให้ค่ากระแสเอาท์พุทในควอดแดรนท์ที่ 2 และ 3 โดยยังคงแบ่งการทำงานของวงจรได้ 3 กรณีเช่นเดียวกับวงจรในรูปที่ 5.1 สมการของกระแสเอาท์พุท $I_{out}^{(2)}$ และ $I_{out}^{(3)}$ สามารถแสดงได้ดังนี้

$$I_{out}^{(2)} = \begin{cases} 0 & \text{เมื่อ} \quad I_{in} \geq -I_{ref1} \\ \left| I_{in} + I_{ref1} \right| & \text{เมื่อ} \quad -I_{ref1} > I_{in} > -(I_{ref1} + I_{ref2}) \\ I_{ref2} & \text{เมื่อ} \quad I_{in} \leq -(I_{ref1} + I_{ref2}) \end{cases} \tag{5.3}$$

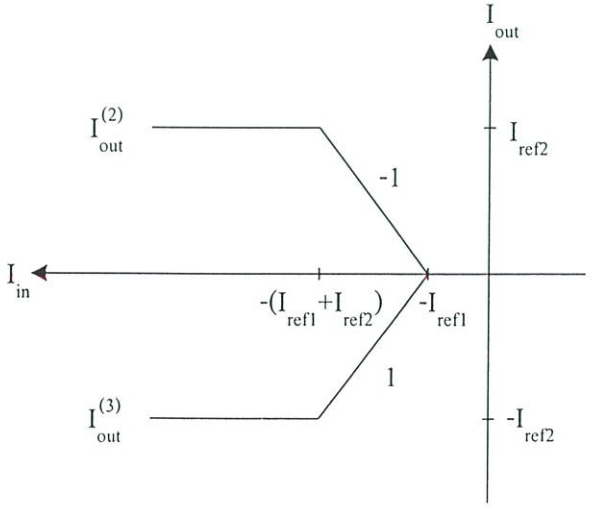
และ

$$I_{out}^{(3)} = \begin{cases} 0 & \text{เมื่อ} \quad I_{in} \geq -I_{ref1} \\ I_{in} + I_{ref1} & \text{เมื่อ} \quad -I_{ref1} > I_{in} > -(I_{ref1} + I_{ref2}) \\ -I_{ref2} & \text{เมื่อ} \quad I_{in} \leq -(I_{ref1} + I_{ref2}) \end{cases} \qquad (5.4)$$

เมื่อ $I_{out}^{(2)}$ และ $I_{out}^{(3)}$ เป็นค่ากระแสเอาท์พุทในควอดแดรนท์ที่ 2 และ 3 ตามลำดับ รูปที่ 5.3 แสดงวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้นซึ่งให้กระแสเอาท์พุทในควอดแดรนท์ที่ 2 และ 3 หรือเรียกย่อว่า CL2 และ CL3 ตามลำดับ รูปที่ 5.4 แสดงคุณสมบัติของวงจรในรูปที่ 5.3 ซึ่งมีจุดเริ่มต้นของเส้นคุณสมบัติอยู่ที่ค่า I_{ref1} และจุดสิ้นสุดของเส้นคุณสมบัติอยู่ที่ $(I_{ref1} + I_{ref2})$



รูปที่ 5.3 วงจรเชิงเส้นแบบช่วงที่ให้กระแสเอาท์พุท $I_{out}^{(2)}$ หรือ CL2 และ $I_{out}^{(3)}$ หรือ CL3



รูปที่ 5.4 คุณสมบัติของวงจรในรูปที่ 5.3

จะเห็นว่าความชันของกราฟแสดงคุณสมบัติของวงจรในรูปที่ 5.2 และ 5.4 มีค่าเป็น 1 ซึ่งเป็นข้อจำกัดของวงจรจำกัดกระแส เราสามารถปรับค่าความชันของกราฟได้หลายวิธีด้วยกัน แต่ในวิทยานิพนธ์นี้จะใช้วงจรคูณกระแสมาต่อกับเอาท์พุทของวงจรจำกัดกระแสที่ได้พัฒนาขึ้น เพื่อสามารถปรับค่าความชันได้ตามที่ต้องการ ซึ่งจะกล่าวถึงในหัวข้อการประยุกต์ใช้งาน

5.3 การวิเคราะห์คุณสมบัติการทำงานของวงจร

การทำงานของวงจรเชิงเส้นแบบช่วงสำหรับสัญญาณกระแสอนาลอกที่ได้พัฒนาออกแบบในหัวข้อที่ 5.2 เป็นการสมมติให้ทรานซิสเตอร์แต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติ สำหรับในทางปฏิบัติ ค่าความนำ (g_m) ของทรานซิสเตอร์แต่ละตัวจะมีค่าไม่เป็นอนันต์ และทรานซิสเตอร์แต่ละตัวไม่สมพงษ์กัน เป็นผลให้สมรรถนะของวงจรไม่เป็นไปตามต้องการ ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรดังกล่าว ซึ่งได้แก่ ค่าความต้านทานที่อินพุทและที่เอาท์พุท, ค่าช่วงปฏิบัติการทางขนาดของสัญญาณอินพุท, แรงดันไฟเลี้ยงต่ำสุด, ค่าความผิดพลาด และผลตอบสนองทางความถี่ของวงจร

5.3.1 การวิเคราะห์ค่าความต้านทานที่อินพุทและที่เอาท์พุท

เนื่องจากวงจรเชิงเส้นแบบช่วงในรูปที่ 5.1 และ รูปที่ 5.3 มีหลักการทำงานเหมือนกัน ดังนั้นจึงทำการวิเคราะห์หาค่าความต้านทานที่อินพุทและที่เอาท์พุทของวงจรในรูปที่ 5.1 อย่างเดียว และการวิเคราะห์ค่าความต้านทานที่เอาท์พุทของวงจรจะแบ่งออกเป็น 2 จุดซึ่งให้กระแสเอาท์พุทที่อยู่ในควอดแดรนท์ต่างกัน

5.3.1.1 ค่าความต้านทานที่อินพุท

จากวงจรในรูปที่ 5.1 ในการวิเคราะห์ค่าความต้านทานที่อินพุทและที่เอาท์พุทของวงจรสามารถทำได้โดยการแทนวงจรในรูปที่ 5.1 ด้วยวงจรเสมือนสำหรับสัญญาณขนาดเล็กโดยไม่พิจารณาผลของตัวเก็บประจุดังแสดงในรูปที่ 5.5 และสำหรับการวิเคราะห์ค่าความต้านทานที่อินพุท a สามารถทำได้โดยป้อนศักดาทดสอบ v(a) ที่อินพุท a โดยไม่พิจารณาผลอันเนื่องมาจากศักดาที่เอาท์พุท e(out1) และ g(out2) คือ v(e) = v(g) = 0 จากนั้นพิจารณาหาค่าของกระแสที่ไหลเข้าไปยังอินพุท a

จากวงจรในรูปที่ 5.5 กำหนดให้ v(e) = v(g) = 0 พิจารณาที่จุดต่างๆ ซึ่งสามารถใช้กฎกระแสของเคอร์ชอฟ (Kirchhoff's Current Law) สร้างเป็นสมการได้ดังนี้

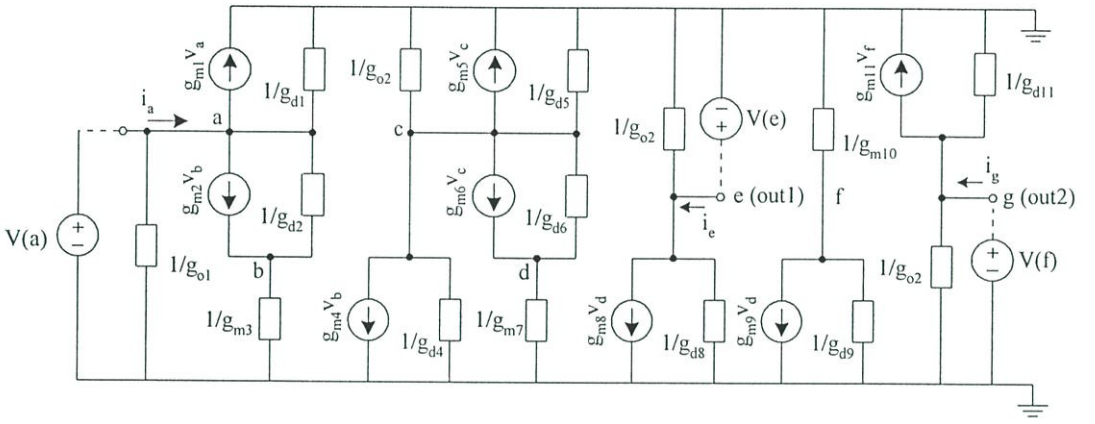
พิจารณาที่จุด a จะได้

$$i_a = g_{m1}v_a + g_{m2}v_a + g_{o1}v_a + g_{d1}v_a + g_{d2}(v_a - v_b)$$

$$i_a = (g_{o1} + g_{d1} + g_{d2} + g_{m1} + g_{m2})\, v_a - g_{d2}v_b$$

g_{o1}, g_{d1}, g_{m1} มีค่าน้อยมากเมื่อเทียบกับ g_{m2} ดังนั้นจะสามารถเขียนสมการใหม่เป็น

$$i_a = (g_{d2} + g_{m2})\, v_a - g_{d2}v_b \tag{5.5}$$



รูปที่ 5.5 วงจรสมมูลสำหรับการคำนวณหาค่าความต้านทานที่อินพุทและที่เอาท์พุท

พิจารณาที่จุด b จะได้

$$-g_{m2}v_a + g_{d2}(v_b - v_a) + g_{m3}v_b = 0$$

$$-(g_{m2} + g_{d2})v_a + (g_{d2} + g_{m3})v_b = 0$$

$$(g_{d2} + g_{m3})v_b = (g_{m2} + g_{d2})v_a$$

$$v_b = \frac{(g_{m2} + g_{d2})}{(g_{d2} + g_{m3})} v_a \tag{5.6}$$

แทนสมการที่ (5.6) ลงในสมการที่ (5.5)

$$i_a = (g_{d2} + g_{m2})\, v_a - g_{d2} \frac{(g_{m2}+g_{d2})}{(g_{d2} + g_{m3})} v_a$$

$$i_a = \frac{(g_{d2}g_{m3}+g_{m2}g_{m3})}{(g_{d2} + g_{m3})} v_a \qquad (5.7)$$

เมื่อ g_{oi} คือค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาท์พุทของแหล่งจ่ายกระแสที่ I_{rcfi}

g_{di} คือค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทาเอาท์พุทของทรานซิสเตอร์ M_i

g_{mi} คือค่าความนำสำหรับสัญญาณขนาดเล็กของทรานซิสเตอร์ M_i

จากสมการที่ (5.7) จะได้ค่าความต้านทานที่อินพุท a มีค่าเป็น

$$r_a = \frac{v_a}{i_a} = \frac{(g_{d2} + g_{m3})}{(g_{d2}g_{m3} + g_{m2}g_{m3})} \qquad (5.8)$$

จากสมการที่ (5.8) จะเห็นว่าการปรับปรุงให้ค่าความต้านทานอินพุทที่อินพุท a มีค่าต่ำสามารถทำได้โดยการออกแบบให้ g_{m2} มีค่าสูงๆ

5.3.1.2 ค่าความต้านทานที่เอาท์พุท (out1)

จากวงจรสมมูลในรูปที่ 5.5 ในทำนองเดียวกันกับการวิเคราะห์หาค่าความต้านทานที่อินพุท a ในการวิเคราะห์ค่าความต้านทานที่เอาท์พุท e(out1) ของวงจรจะสามารถทำได้โดยป้อนศักดาทดสอบ v(e) ที่เอาท์พุท e โดยไม่พิจารณาผลอันเนื่องมาจากศักดาที่อินพุทและศักดาที่เอาท์พุท g หรือ v(a) = v(g) = 0 จากนั้นพิจารณาหาค่ากระแสที่ไหลเข้า i_e ซึ่งจะได้ความสัมพันธ์ดังนี้

$$i_e = g_{o2}v_e + g_{d8}v_e \qquad (5.9)$$

จะได้ค่าความต้านทานที่เอาท์พุทเป็น

$$r_e = \frac{v_e}{i_e} = \frac{1}{(g_{o2} + g_{d8})} \qquad (5.10)$$

จากสมการที่ (5.10) การปรับปรุงวงจรที่ได้ทำการออกแบบให้ค่าความต้านทานที่เอาท์พุท e มีค่าสูง ควรออกแบบให้ g_{o2} และ g_{d8} มีค่าต่ำ

5.3.1.3 ค่าความต้านทานที่เอาท์พุท (out2)

ในทำนองเดียวกับการวิเคราะห์หาค่าความต้านทานที่เอาท์พุท e(out1) จากวงจรสมมูลในรูปที่ 5.5 สามารถทำได้โดยป้อนศักดาทดสอบ v(g) ที่เอาท์พุท g โดยไม่พิจารณาผลอันเนื่องมาจากศักดาที่อินพุทและศักดาที่เอาท์พุท e หรือ v(a) = v(e) = 0 จากนั้นพิจารณาหาค่ากระแสที่ไหลเข้า i_g ซึ่งจะได้ความสัมพันธ์ดังนี้

$$i_g = g_{o2}v_g + g_{d11}v_g \tag{5.11}$$

จะได้ค่าความต้านทานที่เอาท์พุทเป็น

$$r_g = \frac{v_g}{i_g} = \frac{1}{(g_{o2} + g_{d11})} \tag{5.12}$$

จากสมการที่ (5.12) การปรับปรุงวงจรที่ได้ทำการออกแบบให้ค่าความต้านทานที่เอาท์พุท g ค่าสูง ควรออกแบบให้ g_{o2} และ g_{d11} ค่าต่ำ

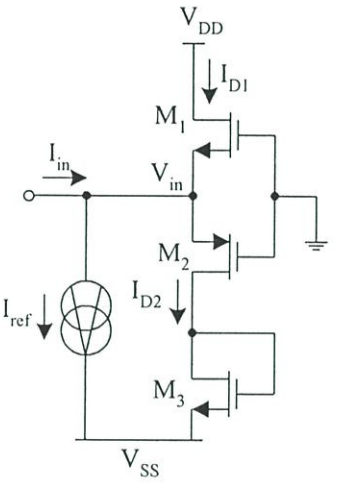
5.3.2 การวิเคราะห์ช่วงปฏิบัติการทางขนาด

ในการวิเคราะห์ช่วงปฏิบัติการทางขนาดของวงจรเชิงเส้นแบบช่วงในรูปที่ 5.1 และ 5.3 จะทำการวิเคราะห์ช่วงกระแสปฏิบัติการของทั้ง 2 วงจรเท่านั้น เนื่องจากวงจรเชิงเส้นแบบช่วงที่ออกแบบมานั้นทำงานในโหมดกระแส

5.3.2.1 ช่วงกระแสปฏิบัติการของวงจรในรูปที่ 5.1

จากวงจรในรูปที่ 5.6 จะเห็นว่าวงจรจะทำงานเมื่อกระแส I_{in} ทำให้ทรานซิสเตอร์ M_2 สามารถนำกระแส ซึ่งทำให้ทรานซิสเตอร์ M_1 ไม่นำกระแส ดังนั้นศักดาอินพุท V_{in} สามารถมีค่าสูงสุดได้เท่ากับ V_{DD} กำหนดให้ $I_{in(max)}$ และ $I_{in(min)}$ คือกระแสอินพุทสูงสุดและต่ำสุดตามลำดับ ซึ่งยังคงทำให้วงจรสามารถทำงานได้อย่างถูกต้อง และ V_{in} คือค่าศักดาอินพุท จากวงจรในรูปที่ 5.6 แรงดัน V_{DS2} ของทรานซิสเตอร์ M_2 จะมีค่าเท่ากับ

$$V_{DS2} = V_{in} - V_{DS3} - V_{SS} \tag{5.13}$$



รูปที่ 5.6 สำหรับการวิเคราะห์ช่วงกระแสปฏิบัติการของวงจรในรูปที่ 5.1

กระแส I_{D2} ของทรานซิสเตอร์ M_2 มีค่าเท่ากับ

$$I_{DS2} = I_{DS3} = I_{in} - I_{ref1} \tag{5.14}$$

แรงดันที่ขาเกท-ซอสของทรานซิสเตอร์ M_3 มีค่าเท่ากับ

$$V_{GS3} = V_{DS3} = \frac{I_{D3}}{g_{m3}} \tag{5.15}$$

แทนค่าสมการที่ (5.14) และ (5.15) ลงในสมการที่ (5.13) จะได้

$$V_{DS2} = V_{in} - V_{SS} - \frac{(I_{in} - I_{ref1})}{g_{m3}} \tag{5.16}$$

ดังนั้นกระแสอินพุท I_{in} จะมีค่าสูงสุดเมื่อ V_{in} มีค่าสูงสุดเท่ากับ V_{DD}

$$V_{DS2} = V_{DD} - V_{SS} - \frac{(I_{in(max)} - I_{ref1})}{g_{m3}} \tag{5.17}$$

$$I_{in(max)} = g_{m3}(V_{DD} - V_{SS} - V_{DS2}) + I_{refl} \quad (5.18)$$

จากสมการที่ (5.18) จะเห็นว่า เมื่อต้องการให้ $I_{in(max)}$ มีค่าสูงสามารถทำได้โดยการออกแบบให้ g_{m3} มีค่าสูง ซึ่งค่า g_m จากสมการที่ (3.15) จะขึ้นอยู่กับค่าความกว้างและความยาว (W/L) ของมอสเฟท ดังนั้นจะต้องออกแบบให้ค่า W มีค่ามากหรือออกแบบให้ค่า L มีค่าน้อย ตัวอย่างเช่นถ้ากำหนดให้ $V_{DD} = -V_{SS} = 3V$, $V_{DS2} = 3.01V$, $I_{refl} = 10\ \mu A$ และ $g_{m3} = 1.61 \times 10^{-4}\ AV^{-1}$ จะได้ค่ากระแสอินพุทสูงสุด $I_{in(max)}$ โดยประมาณคือ 480 μA

สำหรับการวิเคราะห์หาค่ากระแสอินพุทต่ำสุด $I_{in(min)}$ คือ V_{DS2} มีค่าประมาณเท่ากับศูนย์ ทำให้ไม่มีกระแสไหลผ่านทรานซิสเตอร์ M_2 ดังนั้น $I_{in(min)}$ จะมีค่าเท่ากับ

$$V_{DS2} = V_{in} - V_{SS} - \frac{(I_{in(min)} - I_{refl})}{g_{m3}} = 0$$

$$I_{in(min)} = g_{m3}(V_{in} - V_{SS}) + I_{refl} \quad (5.19)$$

5.3.2.2 ช่วงกระแสปฏิบัติของวงจรในรูปที่ 5.3

วงจรในรูปที่ 5.7 อาศัยหลักการวิเคราะห์เดียวกันกับหัวข้อย่อยที่ 5.3.2.1 คือ วงจรจะทำงานเมื่อกระแสอินพุท I_{in} ทำให้ทรานซิสเตอร์ M_2 นำกระแส ซึ่งจะทำให้ทรานซิสเตอร์ M_3 ไม่นำกระแส จากรูปที่ 5.7 แรงดัน V_{DS2} ของทรานซิสเตอร์ M_2 มีค่าเท่ากับ

$$V_{DS2} = V_{DD} - V_{DS3} - V_{in} \quad (5.20)$$

กระแส I_{D2} ของทรานซิสเตอร์ M_2 และค่าแรงดันที่ขาเกท-ซอสของทรานซิสเตอร์ M_3 มีค่าเท่ากับ

$$I_{DS2} = I_{DS3} = I_{in} - I_{refl}$$

$$V_{GS3} = V_{DS3} = \frac{I_{D3}}{g_{m3}}$$

เมื่อแทนค่า V_{DS3} และ I_{DS2} ลงในสมการที่ (5.20) จะได้

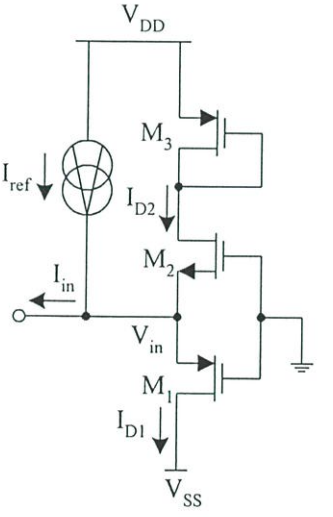
$$V_{DS2} = V_{DD} - V_{in} - \frac{(I_{in} - I_{ref1})}{g_{m3}} \tag{5.21}$$

ดังนั้นกระแสอินพุท I_{in} จะมีค่าสูงสุดเมื่อ V_{in} มีค่าสูงสุดเท่ากับ V_{SS}

$$V_{DS2} = V_{DD} - V_{SS} - \frac{(I_{in(max)} - I_{ref1})}{g_{m3}} \tag{5.22}$$

$$I_{in(max)} = g_{m3}(V_{DD} - V_{SS} - V_{DS2}) + I_{ref1} \tag{5.23}$$

จะเห็นว่าค่ากระแสอินพุทสูงสุด $I_{in(max)}$ นั้นยังคงขึ้นอยู่กับค่า g_{m3} ซึ่งค่า g_{m3} นั้นขึ้นอยู่กับค่าความกว้างและความยาว (W/L) แชลแนลของมอสเฟท ดังนั้นจะต้องออกแบบให้ค่า W มีค่ามากหรือออกแบบให้ค่า L มีค่าน้อยเช่นเดียวกับค่ากระแสสูงสุดในวงจรรูปที่ 5.1



รูปที่ 5.7 สำหรับการวิเคราะห์ช่วงกระแสปฏิบัติการของวงจรในรูปที่ 5.3

สำหรับการวิเคราะห์หาค่ากระแสอินพุทต่ำสุด $I_{in(min)}$ คือ V_{DS2} มีค่าประมาณเท่ากับศูนย์ ทำให้ไม่มีกระแสไหลผ่านทรานซิสเตอร์ M_2 ดังนั้น $I_{in(min)}$ จะมีค่าเท่ากับ

$$V_{DS2} = V_{DD} - V_{in} - \frac{(I_{in(min)} - I_{ref1})}{g_{m3}} = 0$$

$$I_{in(min)} = g_{m3}(V_{DD} - V_{in}) + I_{ref1} \tag{5.24}$$

5.3.3 การวิเคราะห์แรงดันไฟเลี้ยงต่ำสุด

จากการวิเคราะห์หาช่วงกระแสปฏิบัติการของวงจรในรูปที่ 5.6 และรูปที่ 5.7 จะได้ค่ากระแสสูงสุด $I_{in(max)}$ มีค่าเท่ากันดังสมการที่ (5.18) และสมการที่ (5.23) ซึ่งสามารถนำมาจัดรูปสมการได้ใหม่ดังนี้

$$V_{DD} - V_{SS} = V_{DS2} + \frac{(I_{in(max)} - I_{ref1})}{g_{m3}} \tag{5.25}$$

และจากการออกแบบวงจรในรูปที่ 5.1 และรูปที่ 5.3 ออกแบบให้ $V_{DD} = -V_{SS}$ ดังนั้นสมการที่ (5.25) สามารถเขียนได้เป็น

$$2V_{DD} = -2V_{SS} = V_{DS2} + \frac{(I_{in(max)} - I_{ref1})}{g_{m3}} \tag{5.26}$$

จากสมการที่ (5.26) จะเห็นว่าค่าแรงดันไฟเลี้ยงต่ำสุดของวงจรจะขึ้นอยู่กับกระแสอินพุทสูงสุดที่ใช้ ตัวอย่างเช่น กำหนดให้ $I_{in(max)} = 100\ \mu A$, $I_{ref1} = 10\ \mu A$, $g_{m3} = 1.14 \times 10^{-4}\ AV^{-1}$, $V_{DS2} = 2.9\ V$ จะได้ค่าแรงดันไฟเลี้ยงต่ำสุดมีค่าเท่ากับ $V_{DD} = -V_{SS} = 1.84\ V$

5.3.4 การวิเคราะห์ค่าความผิดพลาดของวงจร

จากหลักการทำงานของวงจรจำกัดกระแสที่ให้กระแสเอาท์พุทในควอดแดรนท์ที่ 1 และ 4 ในรูปที่ 5.1 และที่ให้กระแสเอาท์พุทในควอดแดรนท์ที่ 2 และ 3 ในรูปที่ 5.3 จะหาค่าผิดพลาดของวงจรโดยแบ่งเป็น 3 กรณีด้วยกัน ซึ่งทั้ง 3 กรณีนี้การทำงานของวงจรขยายคลาส B ของทรานซิสเตอร์ M_1 กับ M_2 และ M_5 กับ M_6 จะทำงานตามเงื่อนไขของกระแสอินพุท I_{in}

ความผิดพลาดของวงจรที่ออกแบบเกิดจากวงจรสะท้อนกระแสเป็นหลัก โดยที่วงจรสะท้อนกระแสที่ใช้ในการออกแบบจะเป็นวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราการส่งผ่านกระแสเท่ากับ 1 โดยพิจารณาจากสมการดังต่อไปนี้

$$i_{out} = (1-\varepsilon_a)i_{in} \tag{5.27}$$

โดยที่ i_{out} คือ กระแสเอาท์พุทของวงจรสะท้อนกระแส

i_{in} คือ กระแสอินพุทของวงจรสะท้อนกระแส

ε_a คือ ค่าความผิดพลาดที่เกิดจากวงจรสะท้อนกระแส

วงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราการส่งผ่านเท่ากับหนึ่งซึ่งแสดงในรูปที่ 4.1 ซึ่งความสัมพันธ์ระหว่างกระแสเอาท์พุท i_{out} กับกระแสอินพุท i_{in} สำหรับสัญญาณขนาดเล็กแสดงได้ดังนี้ (ภาคผนวก ก.)

$$i_{out} = \frac{g_{m2}}{g_{m1}} i_{in}$$

หรือ

$$i_{in} = \frac{g_{m1}}{g_{m2}} i_{out} \tag{5.28}$$

โดยที่ g_{mi} คือค่าอัตราขยายความนำของสัญญาณขนาดเล็กในทรานซิสเตอร์ M_i

ถ้าแทนค่ากระแสอินพุทของวงจรสะท้อนกระแส จากสมการที่ (5.28) ลงในสมการที่ (5.27) จะได้ค่าความผิดพลาด ε_a ที่เกิดจากวงจรสะท้อนกระแสแบบพื้นฐานมีค่าเท่ากับ

$$\varepsilon_a = 1 - \frac{g_{m2}}{g_{m1}} \tag{5.29}$$

5.3.4.1 กรณีที่ $I_{in} \leq I_{ref1}$

กระแส ($I_{in} - I_{ref1}$) จะไม่ไหลผ่านทรานซิสเตอร์ M_2 และวงจรสะท้อนกระแส M_3 และ M_4 ทำให้กระแส I_{ref2} ไหลผ่าน M_6 และ M_7 จากนั้นสะท้อนไปยัง M_8 และทำการหักล้างกับกระแส I_{ref2} ที่จุดเอาท์พุททำให้กระแสเอาท์พุท $I_{out}^{(1)}$ และ $I_{out}^{(4)}$ ที่ได้จะมีค่าเท่ากับศูนย์ ดังนั้นค่าความผิดพลาด (ε_τ) ของกระแสเอาท์พุท $I_{out}^{(1)}$ และ $I_{out}^{(4)}$ ในกรณีแรกจะมีค่าเท่ากับ

$$\varepsilon_\tau = 0 \tag{5.30}$$

5.3.4.2 กรณีที่ $I_{ref1} < I_{in} < (I_{ref1} + I_{ref2})$

กระแส $(I_{in} - I_{ref1})$ จะไหลผ่านทรานซิสเตอร์ M_2 และผ่านวงจรสะท้อนกระแส $M_3 - M_4$ ซึ่งกระแส I_{D2}, I_{D3} และ I_{D4} มีค่าเท่ากับ

$$I_{D2} = I_{D3} = I_{in} - I_{ref1} \tag{5.31}$$

$$I_{D4} = \frac{g_{m4}}{g_{m3}} I_{D3} \tag{5.32}$$

จากนั้นกระแส $(I_{ref2} - (I_{in} - I_{ref1}))$ ไหลผ่านทรานซิสเตอร์ M_6 และผ่านวงจรสะท้อนกระแส $M_7 - M_8$ ดังนั้นกระแส I_{D6}, I_{D7} และ I_{D8} มีค่าเท่ากับ

$$I_{D6} = I_{D7} = (I_{ref2} - (I_{in} - I_{ref1})) \tag{5.33}$$

$$I_{D8} = \frac{g_{m8}}{g_{m7}} I_{D7} \tag{5.34}$$

ที่เอาท์พุทค่ากระแสเอาท์พุท $I_{out}^{(1)}$ จะได้

$$I_{out}^{(1)} = I_{ref2} - I_{D8} \tag{5.35}$$

แทนค่าสมการที่ (5.31) – (5.34) ลงในสมการที่ (5.35) จะได้

$$I_{out}^{(1)} = \frac{g_{m3} g_{m8}}{g_{m4} g_{m7}} I_{in} \tag{5.36}$$

ดังนั้นค่าความผิดพลาด ε_τ ของวงจรเชิงเส้นแบบช่วงที่เอาท์พุทกระแสเอาท์พุท $I_{out}^{(1)}$ กรณีที่ $I_{ref1} < I_{in} < (I_{ref1} + I_{ref2})$ มีค่าเท่ากับ

$$\varepsilon_\tau = 1 - \frac{g_{m3} g_{m8}}{g_{m4} g_{m7}} \tag{5.37}$$

พิจารณาที่เอาท์พุทกระแสเอาท์พุท $I_{out}^{(4)}$ วงจรสะท้อนกระแสแบบบวก $M_7 - M_9$ จะสะท้อนกระแส $(I_{ref2} - (I_{in} - I_{ref1}))$ ไปยังวงจรสะท้อนกระแสแบบลบ $M_{10} - M_{11}$ เพื่อกลับทิศกระแสเอาท์พุทจะได้ I_{D9} และ I_{D10} มีค่าเท่ากับ

$$I_{D7} = \frac{g_{m7}}{g_{m9}} I_{D9} \tag{5.38}$$

$$I_{D10} = I_{D9} \tag{5.39}$$

$$I_{D10} = \frac{g_{m10}}{g_{m11}} I_{D11} \tag{5.40}$$

ที่เอาท์พุทกระแสเอาท์พุท $I_{out}^{(4)}$ จะได้

$$I_{out}^{(4)} = I_{ref2} - I_{D11} \tag{5.41}$$

แทนค่าสมการที่ (5.32), (5.33), (5.38) – (5.40) ลงในสมการที่ (5.41) จะได้

$$I_{out}^{(4)} = \frac{g_{m3} g_{m9} g_{m11}}{g_{m4} g_{m7} g_{m10}} I_{in} \tag{5.42}$$

ดังนั้นค่าความผิดพลาด (ε_τ) ของวงจรเชิงเส้นแบบช่วงที่เอาท์พุทกระแสเอาท์พุท $I_{out}^{(4)}$ กรณีที่ $I_{ref1} < I_{in} < (I_{ref1} + I_{ref2})$ มีค่าเท่ากับ

$$\varepsilon_\tau = 1 - \frac{g_{m3} g_{m9} g_{m11}}{g_{m4} g_{m7} g_{m10}} \tag{5.43}$$

5.3.4.3 กรณีที่ $I_{in} \geq (I_{ref1} + I_{ref2})$

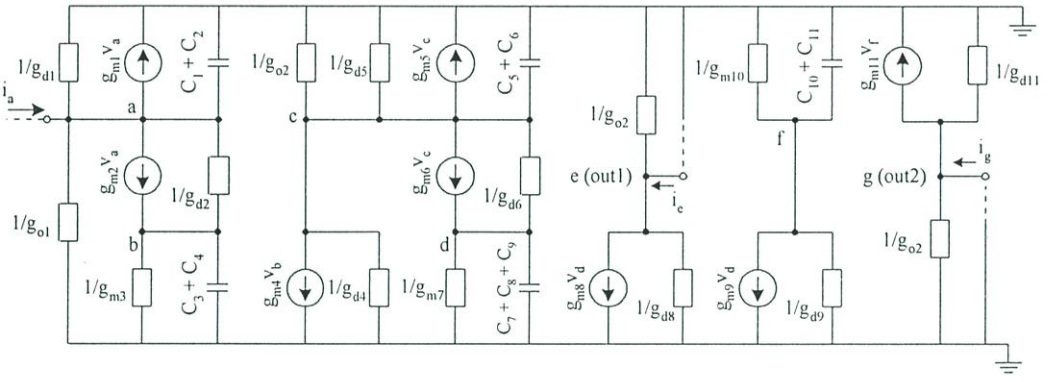
กระแสเอาท์พุท $I_{out}^{(1)}$ และ $I_{out}^{(4)}$ ที่ได้จะมีค่าเท่ากับ I_{ref2} แต่จะมีทิศตรงกันข้าม ซึ่งเอาท์พุทที่ได้นั้นไม่ผ่านวงจรสะท้อนกระแส ดังนั้นค่าความผิดพลาด (ε_τ) ของวงจรที่ออกแบบของกระแสเอาท์พุท $I_{out}^{(1)}$ และ $I_{out}^{(4)}$ ที่เกิดจากวงจรสะท้อนกระแส ในกรณีนี้จะมีค่าเท่ากับ

$$\varepsilon_\tau = 0 \tag{5.44}$$

สำหรับวงจรเชิงเส้นแบบช่วงในรูปที่ 5.3 จะมีค่าความผิดพลาดที่เกิดจากวงจรสะท้อนกระแสที่แบ่งเป็น 3 กรณีเช่นเดียวกับวงจรเชิงเส้นแบบช่วงในรูปที่ 5.1

5.3.5 การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรที่ออกแบบในวิทยานิพนธ์นี้จะทำการวิเคราะห์วงจรในรูปที่ 5.1 อย่างเดียว เนื่องจากใช้หลักการเดียวกันกับวงจรในรูปที่ 5.3 และจะทำการวิเคราะห์หาค่าอัตราส่วนระหว่างค่ากระแสเอาท์พุท i_{out} กับค่ากระแสอินพุท i_{in} ซึ่งการวิเคราะห์ผลตอบสนองทางถี่จะใช้วงจรเสมือนสำหรับสัญญาณขนาดเล็กดังแสดงในรูปที่ 5.8 ซึ่งจากรูปอาศัยกฎของ KCL พิจารณาที่จุดต่างๆ ซึ่งจะได้ความสัมพันธ์ดังต่อไปนี้



รูปที่ 5.8 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่

ที่จุด a จะได้

$$g_{m1}V_a + (g_{d1} + s(C_1 + C_2))V_a + g_{d2}(V_a - V_b) + g_{m2}V_a = i_a \tag{5.45}$$

ที่จุด b จะได้

$$(g_{m3} + s(C_3 + C_4))V_b + g_{d2}(V_b - V_a) - g_{m2}V_a = 0 \tag{5.46}$$

ที่จุด c จะได้

$$(g_{o2} + g_{d5} + g_{d4} + g_{d6} + s(C_5 + C_6) + g_{m5} + g_{m6})V_c + g_{m4}V_b - g_{d6}V_d = 0 \tag{5.47}$$

ที่จุด d จะได้

$$(g_{m7} + g_{d6} + s(C_7 + C_8 + C_9))V_d - (g_{m6} + g_{d6})V_c = 0 \quad (5.48)$$

ที่จุด e จะได้

$$g_{m8}V_d + g_{d8}V_e = i_e \quad (5.49)$$

ที่จุด f จะได้

$$(g_{m10} + s(C_{10} + C_{11}) + g_{d9})V_f + g_{m9}V_d = 0 \quad (5.50)$$

ที่จุด g จะได้

$$g_{m11}V_f + (g_{d11} + g_{o2})V_g = i_g \quad (5.51)$$

ประมาณค่าสมการโดยกำหนดให้ค่าของ $g_m >> g_d$ และ g_{oi} เสมอ จากรูปที่ 5.8 จะเห็นว่าวงจรมีเอาท์พุทอยู่ 2 จุด เพื่อให้ง่ายต่อการอธิบายจะทำการวิเคราะห์ที่จุดเอาท์พุท g ซึ่งเป็นเอาท์พุทสุดท้าย ดังนั้นจากสมการที่ (5.45) ถึง (5.51) สามารถคำนวณหาค่าของอัตราส่วน i_g/i_a ของวงจรได้เป็น

$$\frac{i_g}{i_a} = \frac{g_{m2}g_{m4}g_{m6}g_{m10}g_{m11}}{(sP_1 + 1)(sP_2 + 1)(sP_3 + 1)(sP_4 + 1)(sP_5 + 1)} \quad (5.52)$$

เมื่อ $$P_1 = \frac{C_1 + C_2}{g_{m2}} \quad (5.53)$$

$$P_2 = \frac{C_3 + C_4}{g_{m3}} \quad (5.54)$$

$$P_3 = \frac{C_5 + C_6}{g_{m6}} \quad (5.55)$$

$$P_4 = \frac{C_7 + C_8 + C_9}{g_{m7}} \tag{5.56}$$

$$P_5 = \frac{C_{10} + C_{11}}{g_{m10}} \tag{5.57}$$

จากสมการที่ (5.52) ค่าตำแหน่งของโพลมีอยู่ 5 ตัวซึ่งแสดงในสมการที่ (5.53) ถึง (5.57) เมื่อกำหนดให้ $C_i = C_{gsi}$ และถ้ากำหนดให้ในการออกแบบวงจรมีค่า $g_{m2} = 3.89 \times 10^{-5}$ AV^{-1}, $g_{m3} = 3.58 \times 10^{-5}$ AV^{-1}, $g_{m6} = 4.61 \times 10^{-5}$ AV^{-1}, $g_{m7} = 4.4 \times 10^{-5}$ AV^{-1}, $g_{m10} = 3 \times 10^{-5}$ AV^{-1}, $C_1 = C_5 = 0.00272$ pF, $C_2 = C_6 = 0.01295$ pF, $C_3 = C_4 = 0.03396$ pF, $C_7 = C_8 = C_9 = 0.00543$ pF, $C_{10} = C_{11} = 0.02248$ pF เมื่อแทนค่าลงในสมการที่ (5.53) ถึง (5.57) จะได้ค่าจำกัดสถานะทางความถี่คือ ความถี่ที่เกิดจากโพลตัวที่สอง ซึ่งมีค่า $f_{P2} = 83$ MHz ดังนั้นผลตอบสนองทางความถี่ของวงจรที่ออกแบบมีค่าเท่ากับ 83 MHz

5.4 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

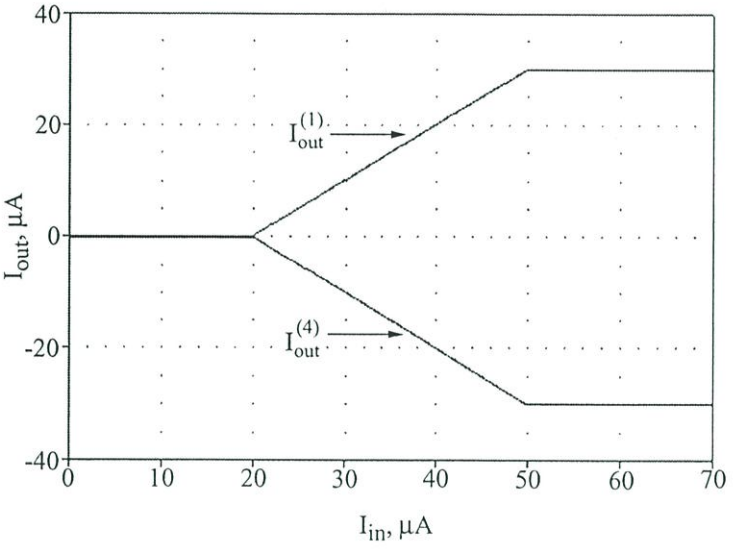
จากการออกแบบวงจรเชิงเส้นแบบช่วงตามหลักการที่ได้นำเสนอมาแล้วนั้น เพื่อเป็นการทดสอบสมรรถนะของวงจรที่ได้ทำการออกแบบว่าทำงานได้เป็นไปตามที่คาดหมายไว้เพียงใด ในวิทยานิพนธ์นี้ได้ทำการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ซึ่งใช้พารามิเตอร์ของเทคโนโลยีมอส BSIM 0.7 ไมครอน โดยได้กำหนดค่าอัตราส่วนความกว้างต่อความยาว (W/L) ของทรานซิสเตอร์แต่ละตัวของวงจรที่ออกแบบไว้ในรูปที่ 5.1 และ 5.3 ดังแสดงในตารางที่ 5.1 และได้กำหนดค่า $V_{DD} = -V_{SS} = 3$V

ตารางที่ 5.1 อัตราส่วนความกว้างต่อความยาว (W/L) ของมอสเฟทในรูปที่ 5.1 และ 5.3

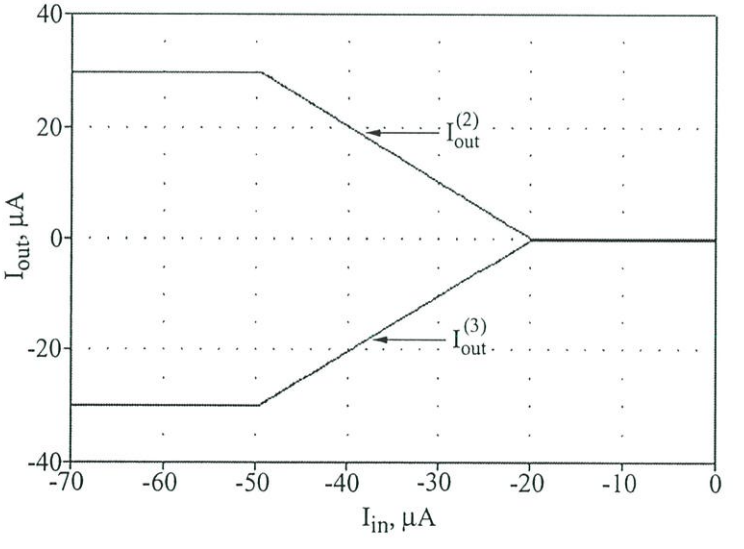
ทรานซิสเตอร์	ค่า W/L(μm/μm)
M_1, M_5	2/1
M_2, M_6	8/1
M_3-M_4, M_7-M_9, M_{10}-M_{11}	4/4

ในรูปที่ 5.9 (ก) และ (ข) แสดงเส้นคุณสมบัติ (transfer characteristic) ของวงจรที่ได้พัฒนาขึ้นในรูปที่ 5.1 และ 5.3 ตามลำดับ กำหนดให้ $I_{ref1} = 20$ μA และ $I_{ref2} = 30$ μA จะเห็นว่ารูปที่ 5.9 (ก) จะได้กระแสเอาท์พุท $I_{out}^{(1)}$ อยู่ในควอดแดรนท์ที่ 1 หรือ CL1(20μA, 30μA) และกระแสเอาท์พุท

$I_{out}^{(4)}$ อยู่ในควอดแดรนท์ที่ 4 หรือ CL4(20μA, 30μA) โดยมีจุดเริ่มต้นอยู่ที่ 20 μA ซึ่งมีค่าเท่ากับ I_{ref1} และมีจุดสิ้นสุดอยู่ที่ 50 μA ซึ่งมีค่าเท่ากับ $(I_{ref1} + I_{ref2})$ เป็นไปตามสมการที่ 5.1 และ 5.2 และ



(ก)



(ข)

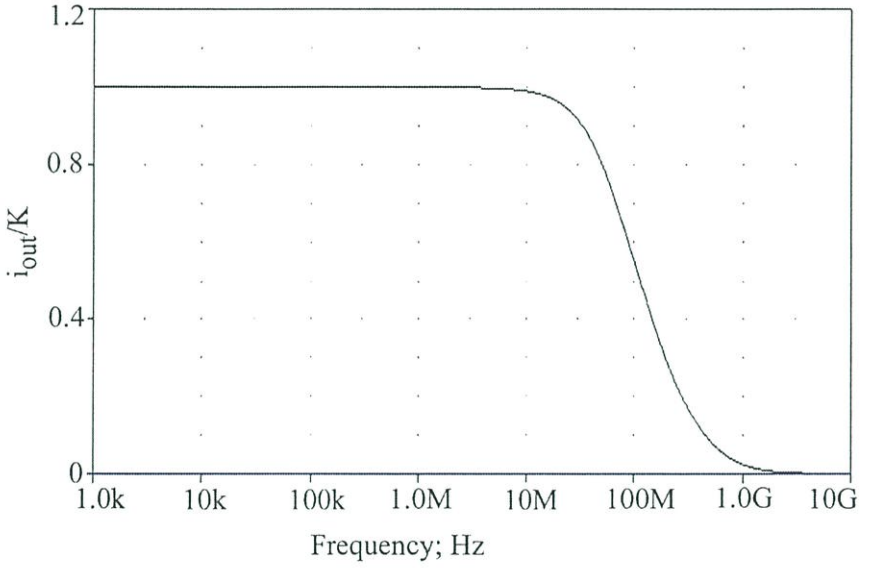
รูปที่ 5.9 เส้นคุณสมบัติของวงจรเชิงเส้นแบบช่วงที่ได้พัฒนาขึ้น

(ก) วงจรเชิงเส้นแบบช่วง CL1(20μA, 30μA) และ CL4(20μA, 30μA)

(ข) วงจรเชิงเส้นแบบช่วง CL2(20μA, 30μA) และ CL3(20μA, 30μA)

รูปที่ 5.9 (ข) จะได้กระแสเอาท์พุท $I_{out}^{(2)}$ อยู่ในควอดแดรนท์ที่ 2 หรือ CL2(20μA, 30μA) และกระแสเอาท์พุท $I_{out}^{(3)}$ อยู่ในควอดแดรนท์ที่ 3 หรือ CL3(20μA, 30μA) โดยมีจุดเริ่มต้นอยู่ที่ –20 μA ซึ่งมีค่าเท่ากับ $-I_{ref1}$ และมีจุดสิ้นสุดอยู่ที่ –50 μA ซึ่งมีค่าเท่ากับ $-(I_{ref1} + I_{ref2})$ ซึ่งเป็นไปตามสมการที่ 5.3 และ 5.4 แต่จะเห็นว่ากระแสเอาท์พุทที่ได้จะมีค่าความชันของกราฟเท่ากับ 1 ดังนั้นในหัวข้อการประยุกต์ใช้งานซึ่งเป็นหัวข้อถัดไปจะทำการปรับค่าความชันในส่วนความเป็นเชิงเส้นให้มีค่าตามที่ต้องการ

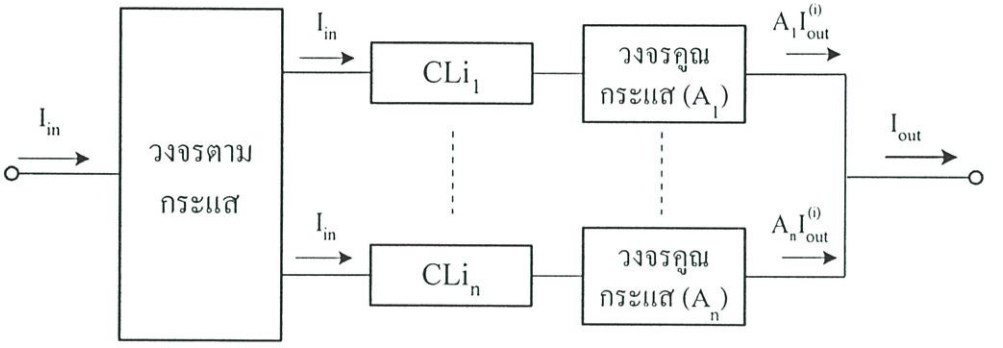
ในรูปที่ 5.10 แสดงผลตอบสนองทางความถี่ของวงจร จะเห็นว่าความถี่ที่ได้อยู่ที่ประมาณ 78 MHz ซึ่งค่อนข้างใกล้เคียงกับผลการวิเคราะห์



รูปที่ 5.10 ผลตอบสนองทางความถี่ของวงจร

5.5 การประยุกต์ใช้งาน

ตัวอย่างในการประยุกต์ใช้งานวงจรเชิงเส้นแบบช่วงโดยใช้วงจรจำกัดกระแสที่ได้ออกแบบพัฒนาขึ้น เพื่อนำมาทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นใดๆ สามารถทำได้โดยการนำวงจรเชิงเส้นแบบช่วงหลายๆ วงจรมาต่อร่วมกันดังรูปที่ 5.11 แต่เนื่องจากอินพุทของวงจรเชิงเส้นแบบช่วงที่ออกแบบมานั้นทำงานในโหมดกระแส ดังนั้นจึงต้องนำวงจรตามกระแสมาต่อที่อินพุทของวงจรที่ออกแบบ เพื่อเป็นกระแสอินพุทให้กับวงจรเชิงเส้นแบบช่วงที่นำมาทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น และนำวงจรคูณกระแสมาต่อที่ส่วนเอาท์พุทของวงจรเชิงเส้นแบบช่วงที่ออกแบบเพื่อทำการปรับค่าความชันของส่วนที่เป็นเชิงเส้นตามที่ต้องการ โดยมี n คือ จำนวนของวงจรเชิงเส้นแบบช่วง CLi(I_{ref1}, I_{ref2}) และ i คือ ตำแหน่งของกระแสเอาท์พุทในแต่ละควอดแดรนท์



รูปที่ 5.11 บล็อคไดอะแกรมการต่อวงจรเชิงเส้นแบบช่วง $CLi(I_{ref1}, I_{ref2})$ เพื่อใช้ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นใดๆ

โดยกำหนดอัตราส่วนความกว้างต่อความยาว (W/L) ของทรานซิสเตอร์แต่ละตัวของวงจรตามกระแสดังแสดงในตารางที่ 5.2 และวงจรคูณกระแสดังแสดงในตารางที่ 5.3

ตารางที่ 5.2 อัตราส่วนความกว้างต่อความยาว (W/L) ของมอสเฟทในรูปที่ 4.3

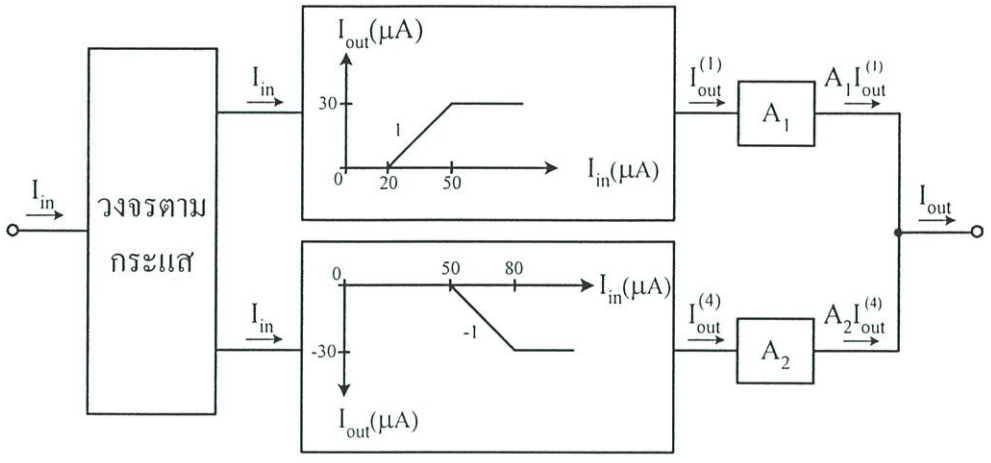
ทรานซิสเตอร์	ค่า W/L(μm/μm)
M_1-M_2, M_7-M_8	20/2
M_3-M_4, M_5-M_6	2/1

ตารางที่ 5.3 อัตราส่วนความกว้างต่อความยาว (W/L) ของมอสเฟทในรูปที่ 4.7

ทรานซิสเตอร์	ค่า W/L(μm/μm)
M_1-M_4, M_{11}-M_{14}, M_9, M_{20}	4/1.5
M_5-M_8, M_{15}-M_{18}	4.5/1.5
M_{10}, M_{19}	16/1.5
M_{21}, M_{22}	10/1.5

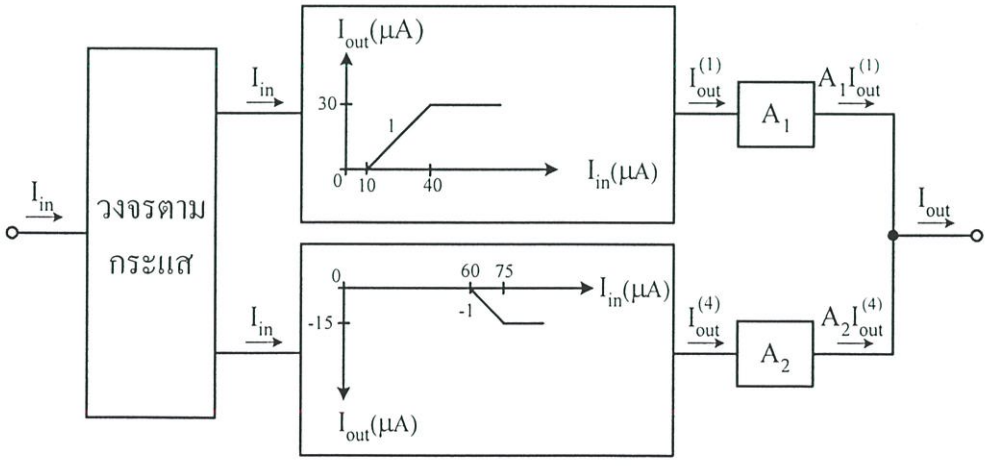
รูปที่ 5.12 เป็นการสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซตในรูปสามเหลี่ยม โดยใช้กระแสอินพุทเป็นสัญญาณแรมป์ (ramp signal) ซึ่งประกอบด้วยวงจรเชิงเส้นแบบช่วง CL1(20μA, 30μA) และ CL4(50μA, 30μA) อย่างละ 1 วงจร โดยในวงจรเชิงเส้นแบบช่วง CL1(20μA,30μA) กำหนดให้จุดเริ่มต้นของความเป็นเชิงเส้นอยู่ที่ 20μA และจุดสิ้นสุดความเป็นเชิงเส้นอยู่ที่ 50μA ซึ่งจุดสิ้นสุดความเป็นเชิงเส้นมีค่าเท่ากับ (I_{ref1} + I_{ref2}) โดยมีอัตราการขยาย A_1 = 1 และวงจรเชิงเส้น

แบบช่วง CL4(50μA,30μA) โดยกำหนดให้จุดเริ่มต้นของความเป็นเชิงเส้นอยู่ที่ 50μA และจุดสิ้นสุดความเป็นเชิงเส้นอยู่ที่ 80μA โดยมีอัตราการขยาย $A_2 = 1$

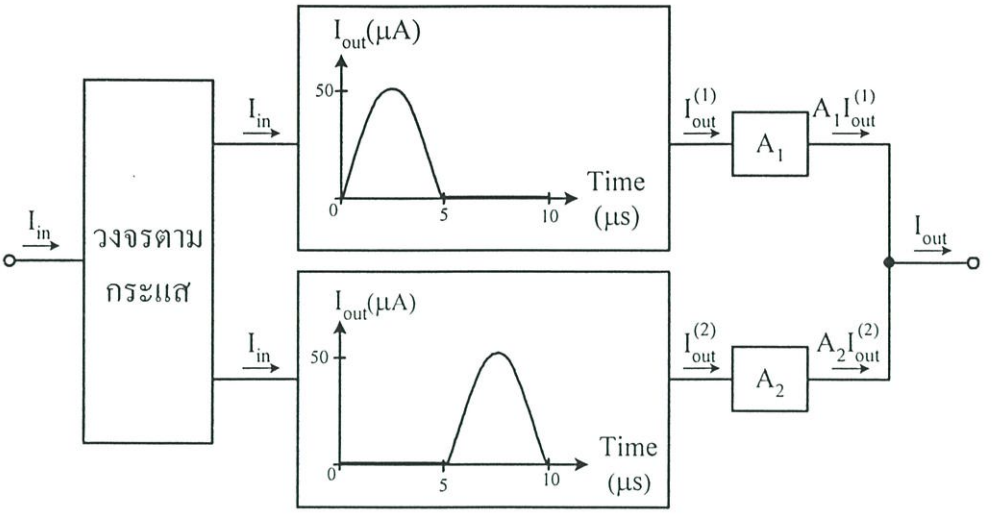


รูปที่ 5.12 การสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซตในรูปสามเหลี่ยม

รูปที่ 5.13 เป็นการสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีในรูปสี่เหลี่ยมคางหมูโดยใช้กระแสอินพุทเป็นสัญญาณแรมป์ ซึ่งประกอบด้วยวงจรเชิงเส้นแบบช่วง CL1(10μA, 30μA) และ CL4(60μA, 30μA) อย่างละ 1 วงจร โดยในวงจรเชิงเส้นแบบช่วง CL1(10μA, 30μA) กำหนดให้จุดเริ่มต้นของความเป็นเชิงเส้นอยู่ที่ 10μA และจุดสิ้นสุดความเป็นเชิงเส้นอยู่ที่ 40μA ซึ่งจุดสิ้นสุดความเป็นเชิงเส้นมีค่าเท่ากับ $(I_{ref1} + I_{ref2})$



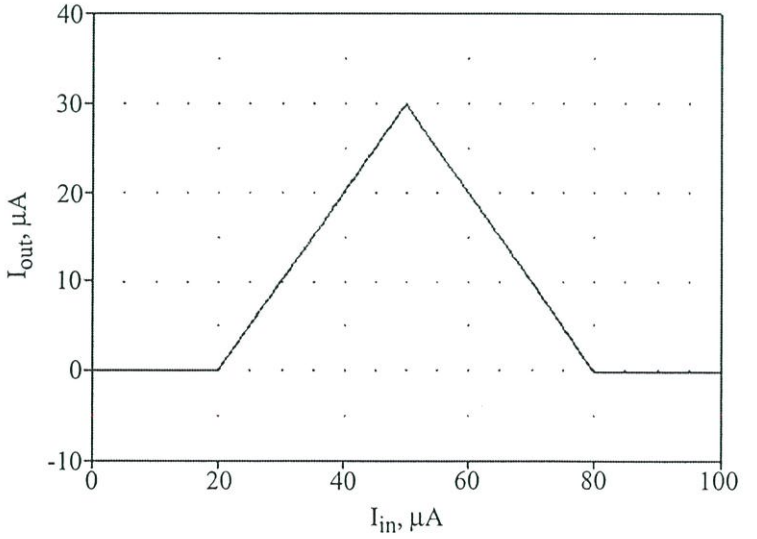
รูปที่ 5.13 การสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซตในรูปสี่เหลี่ยมคางหมู



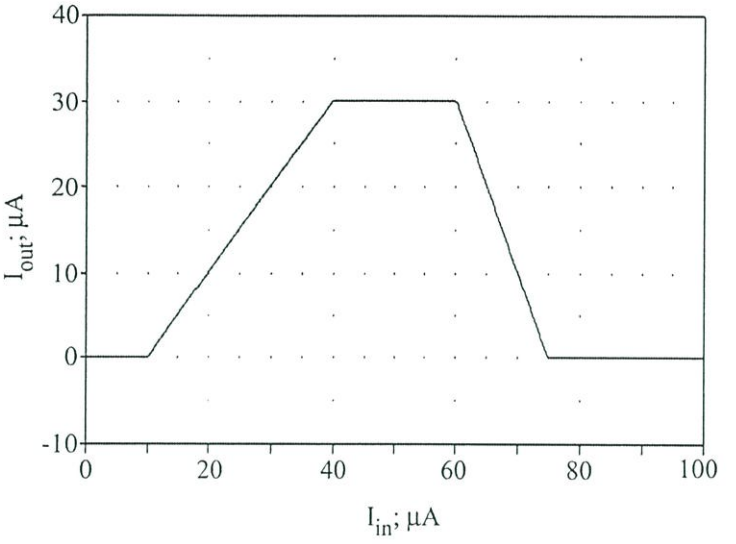
รูปที่ 5.14 การสังเคราะห์ฟังก์ชันเรียงกระแสแบบเต็มคลื่น

โดยมีอัตราการขยาย $A_1 = 1$ และวงจรเชิงเส้นแบบช่วง CL4(60μA, 15μA) โดยกำหนดให้จุดเริ่มต้นของความเป็นเชิงเส้นอยู่ที่ 60μA และจุดสิ้นสุดความเป็นเชิงเส้นอยู่ที่ 75μA โดยมีอัตราการขยาย $A_2 = 2$

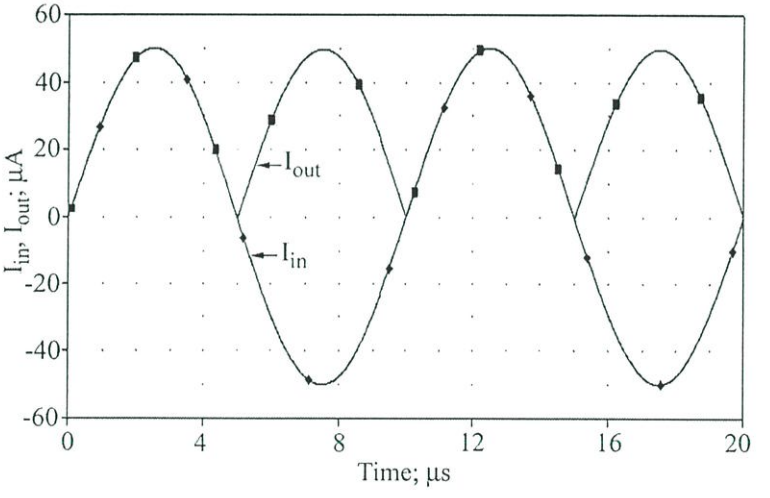
รูปที่ 5.14 เป็นการสังเคราะห์ฟังก์ชันเรียงกระแสแบบเต็มคลื่น (fullwave rectifier) โดยใช้กระแสอินพุทเป็นสัญญาณซายน์ที่มีความถี่ 100 kHz แอมปลิจูด 50μA ซึ่งประกอบด้วยวงจรเชิงเส้นแบบช่วง CL1(0μA, 50μA) และ CL2(0μA, 50μA) อย่างละ 1 วงจร โดยมีค่าอัตราการขยายของแต่ละวงจร $A_1 = A_2 = 1$ ตามลำดับ



รูปที่ 5.15 ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE
สำหรับวงจร CL1(20μA, 30μA) และ CL4(50μA, 30μA) ในรูปที่ 5.12



รูปที่ 5.16 ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE
สำหรับวงจร CL1(10µA, 30µA) และ CL4(60µA, 15µA) ในรูปที่ 5.13



รูปที่ 5.17 ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE
สำหรับวงจร CL1(0µA, 50µA) และ CL2(0µA, 50µA) ในรูปที่ 5.14

รูปที่ 5.15 เป็นผลการเลียนแบบการทำงานของวงจรในรูปที่ 5.12 ด้วยโปรแกรม PSPICE สำหรับการสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซตในรูปสามเหลี่ยม

รูปที่ 5.16 เป็นผลการเลียนแบบการทำงานของวงจรในรูปที่ 5.13 ด้วยโปรแกรม PSPICE สำหรับการสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซตรูปสี่เหลี่ยมคางหมู

รูปที่ 5.17 เป็นผลการเลียนแบบการทำงานของวงจรในรูปที่ 5.14 ด้วยโปรแกรม PSPICE สำหรับการสังเคราะห์ฟังก์ชันเรียงกระแสแบบเต็มคลื่น ซึ่งจากผลการเลียนแบบการทำงานของวง

จรแสดงให้เห็นว่าเมื่อต้องการปรับเปลี่ยนฟังก์ชันที่ต้องการสังเคราะห์ สามารถทำได้โดยการปรับจุดเริ่มต้นและจุดสิ้นสุดของความเป็นเชิงเส้นที่วงจรเชิงเส้นแบบช่วง ส่วนค่าความชันของความเป็นเชิงเส้นสามารถทำการปรับได้ที่วงจรคูณกระแส ดังนั้นจึงมีความสะดวกในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นใดๆ วิธีหนึ่ง

5.6 สรุป

วงจรเชิงเส้นแบบช่วงที่ได้เสนอขึ้นในวิทยานิพนธ์นี้เป็นวงจรที่ได้พัฒนาขึ้นโดยใช้วงจรจำกัดกระแสซึ่งประกอบด้วยวงจรสะท้อนกระแสและวงจรขยายคลาส B เท่านั้นที่ใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส เพื่อใช้ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นที่สามารถปรับเปลี่ยนฟังก์ชันที่ต้องการสังเคราะห์โดยการเปลี่ยนค่าจุดเริ่มต้นและจุดสิ้นสุดของวงจรเชิงเส้นแบบช่วงที่พัฒนาขึ้นและปรับค่าความชันของเส้นคุณสมบัติที่วงจรคูณกระแสด้วยวิธีการทางอิเล็กทรอนิกส์ทำให้เป็นวิธีการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นที่มีประสิทธิภาพ สมรรถนะของวงจรจะมีความเที่ยงตรงและแม่นยำสูงโดยยืนยันได้ด้วยผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE

บทที่ 6
บทสรุปและวิจารณ์

6.1 บทสรุปและวิจารณ์

ในการนำเสนอหลักการและวิธีการออกแบบวงจรเชิงเส้นแบบช่วงโดยใช้วงจรจำกัดกระแสที่ใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส เพื่อใช้ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นแบบปรับเปลี่ยนฟังก์ชันที่ต้องการสังเคราะห์ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ที่เสนอขึ้นในวิทยานิพนธ์นี้ เป็นอีกแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาขึ้น การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวงจรเชิงเส้นแบบช่วง สามารถยืนยันหลักการได้ด้วยผลการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี และผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE โดยการทำงานของวงจรจะทำงานในโหมดกระแสและการออกแบบวงจรจะอาศัยหลักการของวงจรรวม ในการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นใดๆ ในวิทยานิพนธ์นี้สามารถได้โดยการนำเอาวงจรแบบช่วงที่ได้พัฒนาขึ้นที่กำหนดให้มีจุดเริ่มต้น จุดสิ้นสุดและค่าความชันของความเป็นเชิงเส้นในแต่ละช่วงตามที่ได้ออกแบบไว้มาต่อขนานร่วมกัน เมื่อมีการเปลี่ยนแปลงฟังก์ชันไม่เป็นเชิงเส้นที่ต้องการสังเคราะห์ จะสามารถทำได้โดยการปรับค่าจุดเริ่มต้นและจุดสิ้นสุดของวงจรเชิงเส้นแบบช่วงที่พัฒนาขึ้น ส่วนการปรับค่าความชันของความเป็นเชิงเส้นทำได้โดยการปรับที่วงจรคูณกระแส เนื่องจากว่าวงจรเชิงเส้นแบบช่วงที่พัฒนาขึ้นมีค่าความชันเป็น ± 1 เท่านั้น และเนื่องจากวงจรเชิงเส้นแบบช่วงทำงานในโหมดกระแส ดังนั้นในส่วนของอินพุทจึงต้องมีวงจรตามกระแสมาต่อเพื่อเป็นแหล่งจ่ายกระแสอินพุทให้กับวงจรเชิงเส้นแบบช่วงทุกวงจรที่นำมาทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น จะเห็นว่าการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยวิธีการปรับเปลียนฟังก์ชันที่ต้องการสังเคราะห์ได้ด้วยวิธีการทางอิเล็กทรอนิกส์นี้มีความยุ่งยากน้อย ทำให้สามารถสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นใดๆ ได้อย่างมีประสิทธิภาพ

6.2 ข้อเสนอแนะและแนวทางในการทำวิจัยและพัฒนาต่อ

วงจรเชิงเส้นแบบช่วงที่นำเสนอในวิทยานิพนธ์นี้ เป็นการนำวงจรจำกัดกระแสมาทำการออกแบบซึ่งประกอบด้วยวงจรย่อย 2 วงจรด้วยกันคือ วงจรสะท้อนกระแสและวงจรขยายคลาส B โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส ซึ่งวงจรเชิงเส้นแบบช่วงที่นำเสนอทำงานในโหมดกระแส ดังนั้นในส่วนอินพุทของวงจรที่พัฒนาขึ้นจึงนำวงจรตามกระแสต่อเพื่อเป็นแหล่งจ่ายกระแสให้กับวงจรเชิงเส้นแบบช่วงที่นำไปทำการสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้น และวงจรที่

พัฒนาขึ้นสามารถให้กระแสเอาท์พุทได้ทั้ง 4 ควอดแดนซ์ แต่ค่าความชันของเส้นคุณสมบัตินั้นมีค่าเป็น ± 1 เท่านั้น ทำให้ในวิทยานิพนธ์นี้นำวงจรคูณกระแสมาต่อที่เอาท์พุทเพื่อทำให้สามารถปรับเปลี่ยนค่าความชันของเส้นคุณสมบัติได้ตามที่ต้องการ สำหรับแนวทางในการทำวิจัยและพัฒนาต่อควรทำการปรับปรุงแก้ไขปัญหาดังกล่าวต่อไป

เอกสารอ้างอิง

[1] Strauss L. **Wave generation and shaping.** : McGraw-hill. 1970.

[2] Van De Plassche R. J., Van Der Grift E. J. "A high-speed 7 bit A/D converter." IEEE J., vol. SC-14, 1979. pp. 938-943.

[3] Nuntahirunrat K., Surakampontorn W. and Riewruja V. "One-bit algorithmic A/D based on nonlinear circuits." Proc. RESTECS' 96 KMITL., 1996. pp. E81-E87.

[4] Takagi H., Kano G. "Complementary JFET negative resistance devices." IEEE J., vol. SC-10, 1975. pp. 509-515.

[5] Genin R., Brazel P. "The generation of negative resistance by three-pole circuits" Int. J. Electronics., vol. 42, 1977. pp. 589-600 .

[6] Norbert R. Malik, G. L. Jackson and Young Soo Kim "Theory and applications of resistor, linear controlled resistor, linear controlled conductor networks." IEEE Trans., vol. CAS-23, 1976. pp. 222-228.

[7] Jose L. Huertas, Jose I. Acha and A. GAGO "Design of general voltage or current controlled resistive elements and their applications to the synthesis of nonlinear networks." IEEE trans., vol. CAS-27. 1980. pp. 92-103.

[8] Chua L. O., Desier C. A., Kuh E. S. **Linear and nonlinear circuits.** : McGraw-hill. 1987.

[9] Chua L. O., Wong S. "Synthesis of piecewise linear networks." IEEE Trans., Circuit & Syst., vol. 2, 1978. pp. 102-108.

[10] Gobind Daryanani. **Principles of active network synthesis and design.** : John Wiley & Sons. 1976.

[11] วันชัย ริ้วรุจา. "การออกแบบและสังเคราะห์วงจรอนาลอกฟังก์ชันโดยหลักการวงจรรวม." วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเหล้าเจ้าคุณทหารลาดกระบัง, 2535.

[12] อัมพวัน ใจกล้า. "การสังเคราะห์ฟังก์ชันไม่เป็นเชิงเส้นด้วยความเป็นเชิงเส้นแบบช่วงโดยใช้วงจรขยายความนำ." วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2543.

[13] Toumazou C., Lidgey F.J. and Haigh D.G. **Analogue IC Design: The Current Mode Approach.** : London: Peter Peregrinus, 1990.

[14] Greeneich E.W. **Analog Integrated Circuits.** : Chapman & Hall., 1997.

[15] Richard S. Muller, Theodore I. Kamins. **Device Electronics for Integrated Circuits.** : 2nd Ed., John Wiley & Sons, Inc. 1986.

[16] Allen P. E. and Holberg D.R. **CMOS Analog Circuit Design.** : Holt Rinehart and Winston, 1987. pp. 119 – 124.

[17] Tsividis Y.P. **Operation and Modelling of The MOS Transistor.** : Mc Graw-Hill, 1989. pp. 168 – 175.

[18] David A. John and Ken Martin **Analog Integrated Circuit Design.** : John Wiley & Sons, Inc. 1997.

[19] Sze S.M. **Physics of Semiconductor Devices.** : 2nd Ed. John Wiley & Sons, Inc. 1981.

[20] Sah C.T., "Characteristics of the Metal-Oxide-Semiconductor transistor", IEEE Trans. Electron Devices, Vol. ED-11, July 1964. pp. 324 – 325.

[21] Paul R. Gray and Robert G. Meyer **Analysis and Design of Analog Integrated Circuits.** : 3rd Ed. John Wiley & Sons, Inc. 1993.

[22] Allen P.E. and Holberg D.R. **CMOS Analog Circuit Design.** : Holt Rinehart and Winston, 1987. pp. 119 – 124.

[23] Coughlin R.F. **Principle and Application of Semiconductors and Circuits.** : Prentice-Hall, 1971.

[24] Ong D.G. **Modern MOS Technology.** : Mc Graw-Hill Book Co., Inc. New York, 1986. pp. 1-9.

[25] อนุชา แก้วพูลสุข. "การออกแบบวงจรถอดรากที่สองแบบเที่ยงตรงบนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซีมอส." วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2544.

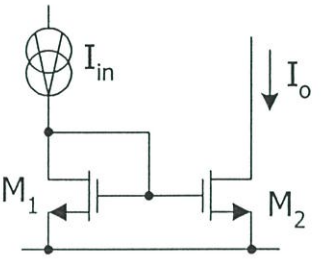
[26] Wiegerink. R. J. "A CMOS four-quadrant analog current multiplier", IEEE International Symposium on, Circuit & Syst, vol. 4, 1991. pp. 2244-2247.

[27] Wiegerink. R. J. **Analysis and Synthesis of MOS Translinear Circuits.** : Boston MA, Kluwer Academic Publisher, 1993.

ภาคผนวก ก.

การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน

ก.1 อัตราการสะท้อนกระแส



รูปที่ ก.1 วงจรสะท้อนกระแสแบบพื้นฐาน

ในรูปที่ ก.1 แสดงวงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชลแนล โดยมี I_{in} เป็นค่ากระแสอินพุท และ I_o เป็นค่ากระแสเอาท์พุทของวงจร เมื่อกำหนดให้ M_1 และ M_2 มีความสมพงษ์กันและทำงานอยู่ในช่วงอิ่มตัวโดยไม่พิจารณาผลของพารามิเตอร์ λ ของมอสเฟท ซึ่งเมื่อพิจารณาจะเห็นว่า ทรานซิสเตอร์ M_1 และ M_2 ต่อกันอยู่ในลักษณะของวงจรทรานส์ลิเนียร์ลูปแบบมอสเฟท ทำให้ได้ความสัมพันธ์ คือ

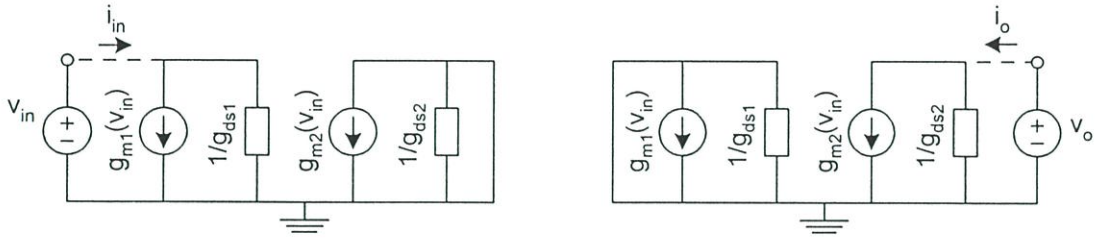
$$V_{gsM1} = V_{gsM2} \tag{ก.1}$$

ซึ่ง
$$V_{gsMi} = V_{TH} + \sqrt{\left(\frac{I_d}{\mu_n C_{ox} \, W/2L}\right)_{Mi}} \tag{ก.2}$$

เมื่อ $I_{dM1} = I_{in}$ และ $I_{dM2} = I_o$ แทนค่าลงในสมการที่ (ก.1) และ (ก.2) จะได้

$$\frac{I_o}{I_{in}} = \left(\frac{W}{L}\right)_{M2}\left(\frac{L}{W}\right)_{M1} \tag{ก.3}$$

ก.2 ค่าความต้านทานที่อินพุทและเอาท์พุท



(ก) สำหรับความต้านทานที่อินพุท (ข) สำหรับความต้านทานที่เอาท์พุท

รูปที่ ก.2 วงจรเสมือนสำหรับการวิเคราะห์ค่าความต้านทานที่อินพุทและเอาท์พุท ของวงจรสะท้อนกระแสแบบพื้นฐาน

จากวงจรในรูปที่ ก.2(ก) การวิเคราะห์หาค่าความต้านทานที่อินพุทของวงจรสามารถทำได้โดยป้อนศักดาทดสอบ v_{in} ที่อินพุทของวงจรโดยไม่พิจารณาผลอันเนื่องมาจากค่าศักดาที่เอาท์พุท จากนั้นพิจารณาหาค่ากระแส i_{in} ที่ไหลเข้าไปในวงจร โดยใช้กฎของ KCL ที่อินพุท ซึ่งจะได้

$$i_{in} = g_{m1}(v_{in}) + g_{ds1} v_{in} \qquad (ก.4)$$

$$i_{in} = (g_{m1} + g_{ds1}) v_{in} \qquad (ก.5)$$

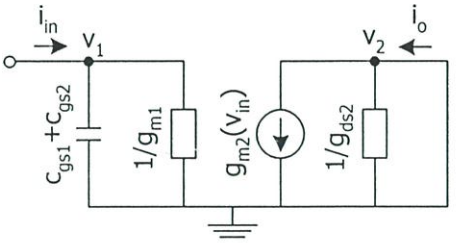
$$\therefore \text{ จะได้ } \quad r_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{2\mu_n C_{ox} W}\right)_{M1} \frac{1}{I_{in}}} \quad \text{เมื่อ } g_{m1} >> g_{ds1} \qquad (ก.6)$$

จากวงจรในรูปที่ ก.2(ข) การวิเคราะห์หาค่าความต้านทานที่เอาท์พุทของวงจรสามารถทำได้โดยป้อนศักดาทดสอบ v_o ที่เอาท์พุทของวงจรโดยไม่พิจารณาผลอันเนื่องมาจากศักดาอินพุท ซึ่งจะได้ความสัมพันธ์ดังนี้

$$i_o = g_{ds2} v_o \qquad (ก.7)$$

$$\therefore \quad r_o = \frac{v_o}{i_o} = \frac{1}{g_{ds2}} = \frac{1}{\lambda I_{d2}} \qquad (ก.8)$$

ก.3 อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก



รูปที่ ก.3 วงจรเสมือนสำหรับวิเคราะห์ค่าอัตราขยายสำหรับสัญญาณขนาดเล็ก

จากวงจรในรูปที่ ก.3 พิจารณาที่จุดต่างๆ โดยใช้กฎของ KCL จะได้ความสัมพันธ์ดังต่อไปนี้

ที่จุด v_1 จะได้

$$i_{in}(s) = (g_{m1} + s(C_{gs1} + C_{gs2}))v_{in}(s) \qquad (ก.9)$$

ที่จุด v_2 จะได้

$$i_{out}(s) = g_{m2} v_{in}(s) \qquad (ก.10)$$

แทนค่าสมการที่ (ก.10) ลงในสมการที่ (ก.9) จะได้

$$\frac{i_o(s)}{i_{in}(s)} = \frac{g_{m2}}{g_{m1}}\left(\frac{1}{1+\frac{s(C_{gs1}+C_{gs2})}{g_{m1}}}\right) \qquad (ก.11)$$

พิจารณาที่ความถี่ต่ำๆ หรือ s มีค่าน้อยมากๆ สมการที่ (ก.11) จะมีค่าเท่ากับ

$$\frac{i_o(s)}{i_{in}(s)} = \frac{g_{m2}}{g_{m1}} \qquad (ก.12)$$

ภาคผนวก ข.

บทความวิจัยเกี่ยวข้องที่ได้รับการตีพิมพ์ลงในวารสาร

[1] **W. Petchmaneelumka**, A. Chaikla, P. Pannil, A. Julprapa and V. Riewruja. "A CMOS piecewise-linear circuit for nonlinear function syntheses", Proceeding of ISIC-2001 9th, International Symposium on Integrated Circuits, Devices & Systems, 2001, pp. 90-93.

[2] A.Chaikla, P. Julsereewong, **W. Petchmaneelumka**,T. Kamsri and V. Riewruja. "Temperature compensation of CMOS translinear current conveyor and OTA", Proceeding of ISIC-2001 9th, International Symposium on Integrated Circuits, Devices & Systems, 2001, pp. 94-97.

[3] ธวัชชัย ฉิมภาลี, วันชัย ริ้วรุจา, สมชาย สุภาพ และ **วรรณดี เพชรมณีล้ำค่า** "วงจรเลือกค่าสูงสุด ต่ำสุดความเร็วสูง" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 23, 2543, หน้า 617-620.

[4] อานนท์ ชาติชะนา, **วรรณดี เพชรมณีล้ำค่า**, พรชัย หลายพสุ และ วันชัย ริ้วรุจา "วงจรหาค่าสูงสุดและต่ำสุดชนิด 2 อินพุทสำหรับสัญญาณกระแส" การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 40, 2545, หน้า 295-302.

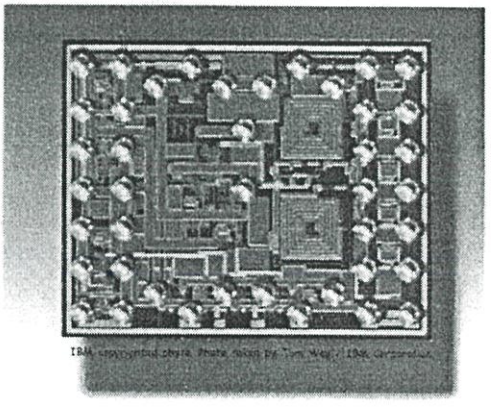
ISIC-2001

9th International Symposium on
Integrated Circuits, Devices & Systems

3 -5 September 2001
Marina Mandarin, Singapore

PROCEEDINGS

Low Power and Low Voltage Integrated Systems



Organised by:
Nanyang Technological University
School of Electrical and Electronic Engineering

Supported by:
IEEE Singapore Section
IEE Singapore Centre
Singapore Exhibition & Convention Bureau

Sponsored by:
Celestry Design Technologies (former BTA-Ultima)

Nanyang Technological University

IEEE Singapore Section

IEE Singapore Centre

celestry

A CMOS PIECEWISE-LINEAR CIRCUIT FOR NONLINEAR FUNCTION SYNTHESES

Wandee Petchmaneelumka, Amphawan Chaikla, Pittaya Pannil,
Attaya Julprapa and Vanchai Riewruja

The Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.
(Tel: 66-2-739-0757; Fax: 66-2-739-0757; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract: A piecewise-linear circuit element, termed a current limiter, is proposed in this paper. The limit-point and break-point of the current limiter can be electronically varied. The proposed circuits can be employed to synthesize accurately a large class of nonlinear function circuit. The proposed principle is suitable for implementation in a standard CMOS process. Simulation results showing the accuracy and linearity of the proposed circuits are also included.

1. INTRODUCTION

A nonlinear function circuit is a basic active element in communication, instrumentation, fuzzy and neural computation. It can be found in many applications such as a negative-resistance oscillator [1], a frequency doubler, a high-speed ADC [2]-[3] and a membership function in fuzzy inference system. One fundamental approach that can usually be employed to realize a nonlinear circuit is through the use of an inherently nonlinear characteristic of semiconductor devices such as the tunnel diode, FET or UJT [4]-[5]. However, the dynamic range achieved by this technique is limited to a small size, since the component characteristics are dependent on the device parameters. Alternatively, the approach based on a piecewise-linear approximation, where precision piecewise-linear networks are combined and proportioned to produce a desired function, has been shown to give a dependable nonlinear circuit [6]-[7]. These approaches are based on the use of operational amplifiers (op-amps), transistors and diodes as circuit building blocks. However, the high frequency performances achieved by these approaches are limited by the narrow bandwidth of op-amps. Recently, OTA-based piecewise-linear circuit has been proposed [8]. This approach is laid on bipolar technology. The purpose of this paper is to propose a method for realizing a piecewise-linear circuit, which is suitable for implementing in CMOS technology. A CMOS piecewise-linear circuit element, named a current limiter, is introduced. The current limiter can be employed to generate a large class of nonlinear function circuit.

2. CIRCUIT DESCRIPTION

The basic principle of the proposed current limiter (abbreviated as CL) circuit is shown in figure 1(a). Transistors M_1-M_2 and M_5-M_6 is a class B configuration to form a current switch. Transistors M_3-M_4, M_7-M_9 and M_{10}-M_{11} form a unity gain current mirror. If $I_{in}<I_{ref1}$, the current (I_{in}-I_{ref1}) flows through transistor M_1 and transistor M_2 is forced to cutoff. On the other hand, if $I_{ref1}<I_{in}<(I_{ref1}+I_{ref2})$, the current ($I_{in}$-$I_{ref1}$) flows through transistor M_2 and transfer to the output node. Then the output current can be written as

$$I_{out}^{(1)} = \begin{cases} 0 & \text{for } I_{in} \le I_{ref1} \\ I_{in} - I_{ref1} & \text{for } I_{ref1} < I_{in} < (I_{ref1} + I_{ref2}) \\ I_{ref2} & \text{for } I_{in} \ge (I_{ref1} + I_{ref2}) \end{cases} \quad (1)$$

and

$$I_{out}^{(4)} = \begin{cases} 0 & \text{for } I_{in} \le I_{ref1} \\ -(I_{in} - I_{ref1}) & \text{for } I_{ref1} < I_{in} < (I_{ref1} + I_{ref2}) \\ -I_{ref2} & \text{for } I_{in} \ge (I_{ref1} + I_{ref2}) \end{cases} \quad (2)$$

where $I_{out}^{(1)}$ and $I_{out}^{(4)}$ are the output current in the first and fourth quadrant of the transfer curve, respectively, in figure 1(b). By using the same principle, the circuit in figure 2(a) gives the output current in the second and third quadrant as shown in figure 2(b), which can be stated as

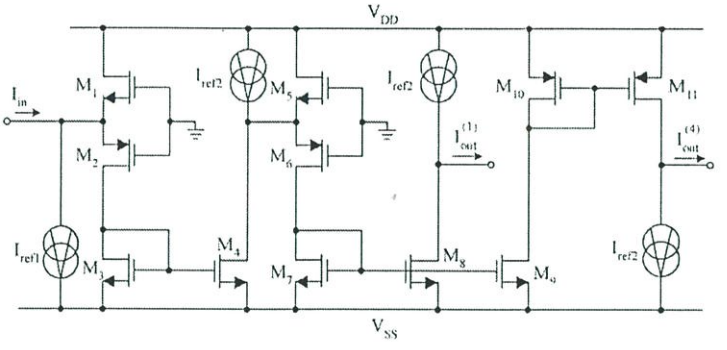


Figure 1(a). The proposed circuit for $I_{out}^{(1)}$ and $I_{out}^{(4)}$

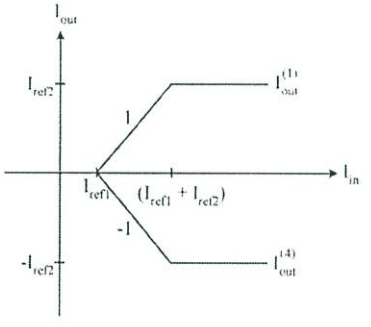


Figure 1(b). Transfer characteristic of Fig. 1(a)

$$I_{out}^{(2)} = \begin{cases} 0 & \text{for } |I_{in}| \le I_{ref1} \\ |I_{in}| - I_{ref1} & \text{for } I_{ref1} < |I_{in}| < (I_{ref1} + I_{ref2}) \\ I_{ref2} & \text{for } |I_{in}| \ge (I_{ref1} + I_{ref2}) \end{cases} \quad (3)$$

and

$$I_{out}^{(3)} = \begin{cases} 0 & \text{for } |I_{in}| \le I_{ref1} \\ -(|I_{in}| - I_{ref1}) & \text{for } I_{ref1} < |I_{in}| < (I_{ref1} + I_{ref2}) \\ -I_{ref2} & \text{for } |I_{in}| \ge (I_{ref1} + I_{ref2}) \end{cases} \quad (4)$$

where $I_{out}^{(2)}$ and $I_{out}^{(3)}$ are the output current in the second and third quadrant of the transfer curve, respectively, in figure 2(b). It should be noted that the slopes of the transfer characteristics of both circuits in figure 1 and 2 are restricted to 1. In practice, this is the limitation on the current limiter. This restriction can be alleviated by varying the ratio of channel width and length (W/L) of transistors M_7-M_9 in the figure 1(a) and 2(a). The slopes of the transfer characteristics are now determined by the value of the current gain of the current mirror M_7-M_9. In addition, the circuit providing two output currents that flow in the opposite direction of each other can be implemented a floating nonlinear elements.

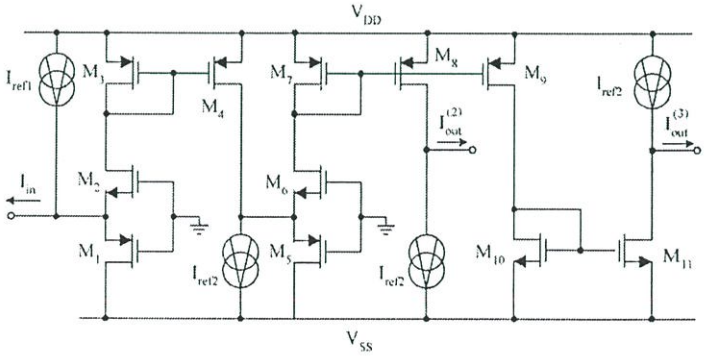


Figure 2(a). The proposed circuit for $I_{out}^{(2)}$ and $I_{out}^{(3)}$

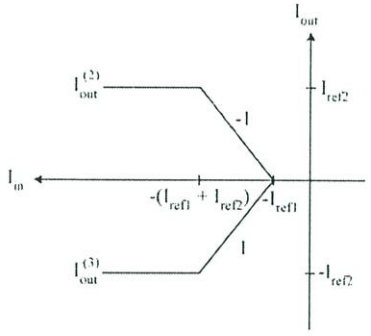


Figure 2(b). Transfer characteristic of Fig. 2(a)

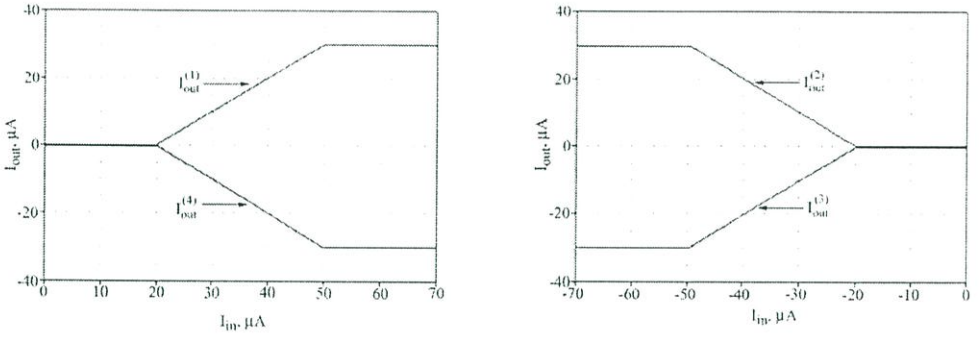


Figure 3 Transfer characteristic of the propose circuit

(a) for circuit in Fig. 1(a), I_{ref1} = 20μA and I_{ref2} = 30μA

(b) for circuit in Fig. 2(a), I_{ref1} = -20μA and I_{ref2} = -30μA

3. SIMULATION RESULTS AND APPLICATION EXAMPLES.

The circuit performances were studied by the use of PSPICE analogue simulation program. The simulation was carried out using BSIM 0.7μm CMOS process parameter. The reference current I_{ref1} and I_{ref2} of the circuit in Fig. 1(a) and 2(a) are set to 20μA and 30μA, respectively, V_{DD} = -V_{SS} = 3V. The ratio of channel widths and lengths (W/L) of the devices used are as follow: W_1/L_1=W_5/L_5=4.3μm/1.2μm, W_2/L_2 = W_6/L_6 = 3μm/1.2μm, W_3/L_3=W_4/L_4=5μm/5μm, W_7/L_7= W_8/L_8= W_9/L_9 = 2μm/2μm, W_{10}/L_{10}=W_{11}/L_{11}=1.2μm/1.2μm for the circuit in Fig. 1(a) and W_1/L_1=W_5/L_5=3μm/1.2μm, W_2/L_2=W_6/L_6=4.3μm/1.2μm,W_3/L_3=W_4/L_4=8μm/2μm, W_7/L_7 = W_8/L_8 = W_9/L_9 = 5μm/5μm, W_{10}/L_{10}=W_{11}/L_{11}= 2μm/2μm for the circuit in Fig. 2(a). The simulation results of the transfer characteristic are shown in Fig. 3(a) and 3(b).

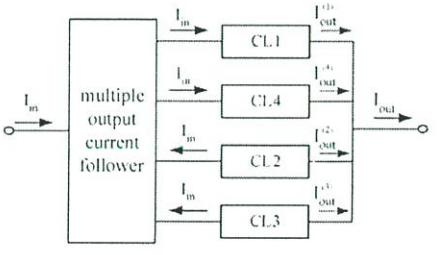


Figure 4. Block diagram of nonlinear current generator

The application of current limiters for realization of nonlinear functions can be depicted as in figure 4. The multiple output current follower is shown in figure 5. The nonlinear function synthesis example is shown in figure 6(a) and 6(b). In this case, it can be synthesized from the proposed circuits, where the input current of each circuit is generated from the input current I_{in} using a multiple output current follower. It is apparent that the proposed circuits exhibit high accuracy and linearity.

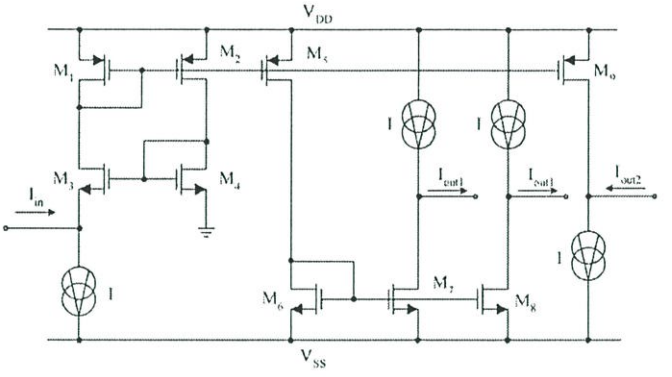
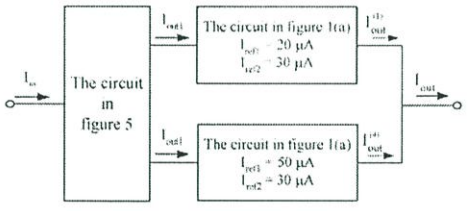
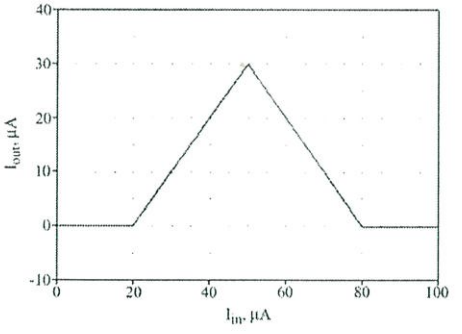


Figure 5. Current-follower circuit



(a)



(b)

Figure 6. Synthesis example
(a) block diagram
(b) simulation result

4. CONCLUSION

A CMOS piecewise-linear circuit has been introduced. The proposed circuit was employed as circuit building block to synthesize a nonlinear function circuit. The break-point and limit-point can be electronically tunable by an external current. The simulation results confirm that the circuit performance is agreed with theoretical results.

Acknowledgments

The authors would like to express sincere gratitude to the National Science and Technology Development Agency (NASTDA) and National Electronics and Computer Technology Center (NECTEC) Thailand, for the financial support of this work.

References

[1] Strauss, L.: 'Wave generation and shaping' (McGraw-hill, 1970)

[2] Van De Plassche, R. J., and Van Der Grift, E.J.: 'A high-speed 7 bit A/D converter', IEEE J., 1979, Vol. SC-14, pp. 938-943

[3] Anuntahirunrat K., Surakampontorn W., and Reiwruja V.: 'One-bit algorithmic A/D based on nonlinear circuits', Proc. RESTECS'96 KMITL, 1996, pp. E81-E87

[4] Takagi H. and Kano G.: 'Complementary JFET negative resistance devices', IEEE J., 1975, Vol. SC-10, pp. 509-515

[5] Genin R. and Brezel P.: 'The generation of negative resistance by three-pole circuits', int. J. Electron., 1977, Vol. 42, pp. 589-600

[6] Chua L. O., Desoer C. A. and Kuh E. S.: 'linear and nonlinear circuits' (MaGraw-hill, 1987)

[7] Chua L. O.: 'Synthesis of new nonlinear network elements', Proc. IEEE, 1968, Vol. 56, pp. 1325-1340

[8] Chaikla A., Riewruja V., Surakampontorn W. and Julsereewong P.: 'OTA-based piecewise-linear circuit for nonlinear function syntheses', Proc. ISIC'99, 1999, pp.16-18

TEMPERATURE COMPENSATION OF CMOS TRANSLINEAR CURRENT CONVEYOR AND OTA

Amphawan Chaikla, Prasit Julsereewong, Wandee Petchmaneelumka, Thawatchai Kamsri and Vanchai Riewruja

The Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand.
(Tel: 66-2-739-0757; Fax: 66-2-739-0757; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract: In this article, an integrable temperature compensation scheme for CMOS translinear second generation current conveyor (TCCII) and OTA is presented. The proposed scheme makes use of the new bias circuit, which has a current that is inversely proportional to the absolute temperature. The transconductance of both TCCII and OTA can also be linearly varied with the bias current. Performance of the proposed scheme is confirmed through PSPICE simulation program.

1. INTRODUCTION

An operational transconductance amplifier (OTA) and a translinear second generation current conveyor (TCCII) have been received much attention in the design and implementation of current mode function circuits with electronically tunable characteristic. It can be found in many applications such as oscillator, converter, multiplier and filter [1]-[4]. In the past, most of OTA and TCCII applications were based on bipolar technology. However, the characteristic of OTA and TCCII is rather strongly dependent on the absolute temperature. The temperature compensation scheme can be found in [5]-[6]. For CMOS-based OTA and TCCII [7], the transconductance gain ,g_m, of OTA can be controlled by an external bias current or

$$g_m = \sqrt{\frac{K_P W I_B}{L}} \qquad (1)$$

Where K_P is a transconductance parameter, which is dependent on an absolute temperature and I_B is a bias current, W and L are the channel width and length of the input stage transistor, respectively. The major disadvantage of OTA is the fact that the transconductance gain g_m is directly proportional to the absolute temperature. Therefore, the temperature compensation is required for the OTA-based circuit. Consequently, the transconductance gain g_m is the square-root function of the current I_B. In the case of TCCII, the parasitic resistance r_x, which appears at port x of TCCII, can be varied by an external bias current, or

$$r_x = \frac{1}{2g_m} = \frac{1}{2}\sqrt{\frac{L_{AB}}{K_P W_{AB} I_B}} \qquad (2)$$

Where W_{AB} and L_{AB} are the channel width and length of MOS transistor in a class AB stage. Many applications using TCCII employ an advantage of this parasitic resistance. However the parasitic resistance r_x is inversely proportional to the absolute temperature. Therefore, the temperature compensation schemes also need for TCCII-based circuit. It should be noted that the variation of both g_m and r_x are the square-root function of the controlled current I_B. The purposed of this article is to proposed a method to realize a temperature compensation scheme, which the bias current of OTA and TCCII are inversely proportional to the absolute temperature.

2. CIRCUIT DESCRIPTION

The proposed circuit is shown in figure 1. The transistors M_1-M_4, resistor R and current source I_1 function as a reference current generator. It is required that W_1/L_1 and W_2/L_2 are equal to $4W_3/L_3$, where W_i/L_i is the ratio of channel width and length (W/L) of transistor M_i. The drain current of transistor M_4 ,I_{D4}, can be expressed as

$$I_{D4} = K_p (I_1 R)^2 \frac{W_4}{2L_4} \qquad (3)$$

If the ratio of W_4/L_4 is set to 8, then a current I_{D4} becomes $4Kp(I_1R)^2$. Transistors M_5-M_{11} and the current source I_B form a squaring function circuit [8] and transistors M_{12}-M_{13} function as a unity gain current mirror. If W_8/L_8 is equal to W_9/L_9, then the current I_{D9} becomes the same magnitude of the current I_{D8}. The current mirror M_{12}-M_{13} reflects the current I_{D9} to the output current I_{D13}. It should be noted that the transconductance parameter K_p is dependent on the absolute temperature. Therefore, the current I_{D13} is inversely proportional to the absolute temperature. The current I_{D13} can be stated as

$$I_{D13} = I_{D9} = I_{D8} = \frac{I_B^2}{4I_{D1}} = \frac{I_B^2}{16Kp(I_1R)^2} \qquad (4)$$

Where I_B is the external bias current and I_1 is fixed to a constant value.

Figure 2 shows the OTA bias current, which is replaced by the proposed circuit in figure 1. From equation (1) and (4), the transconductance gain g_m of OTA can be expressed as

$$g_m = \frac{I_B}{4I_1R}\sqrt{\left(\frac{W_{16}}{L_{16}}\right)} \qquad (5)$$

where W_{16}/L_{16} is the ratio of width and length of the transistor M_{16}.

Figure 3 shows the circuit diagram of TCCII, which the bias current uses the proposed circuit in figure 1. From equation (2) and (4), the resistance r_x is given by

$$r_x = \frac{2I_1R}{I_B}\sqrt{\left(\frac{L_{21}}{W_{21}}\right)} \qquad (6)$$

where L_{21}/W_{21} is the ratio of length and width of the transistor M_{21}. It is clearly seen that the transconductance gain g_m and the resistance r_x which the temperature-dependent are compensated and can be linearly controlled by an external bias current.

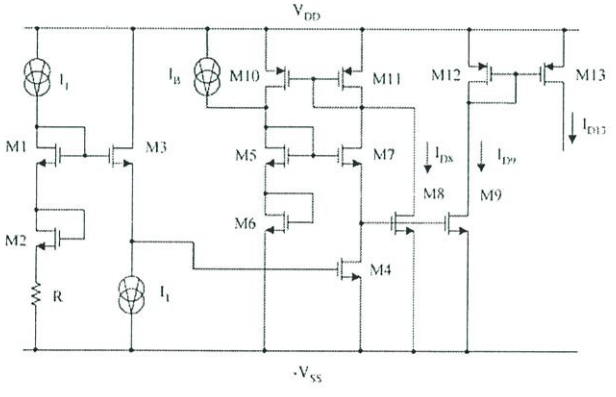


Figure 1. The proposed circuit

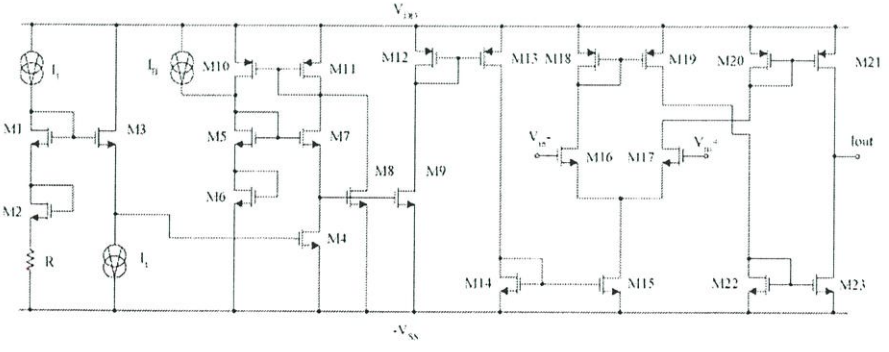


Figure 2. Temperature compensated CMOS OTA

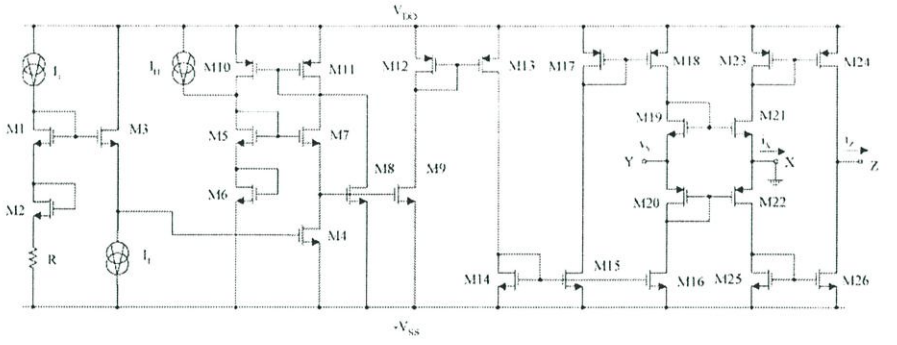


Figure 3. Temperature compensated CMOS TCCII+

3. SIMULATION RESULTS

The performance of the proposed scheme is verified by the use of PSPICE analogue simulation program. The simulation was carried out using BSIM 0.7μm CMOS process. The current I_B and I_1 of the circuit in figure 1 are set to 50μA and 25μA, respectively, R=10kΩ and V_{DD}=-V_{SS} = 3V. The ratio of channel width and length ,W/L, of the circuit in figure 1 was shown in table 1. Figure 4 shows the simulation result for the current I_{D13} against temperature. To compare the performance of the temperature compensation OTA in figure 2 with the conventional OTA, both OTAs were used to realize a controlled resistance [9]. The ratio of W/L of OTA was shown in table 2. Figure 5 shows the simulated resistance against temperature, where the simulated resistance is set to 10kΩ at 27°C. In figure 3, the circuit was simulated by using the ratio of W/L as shown in table 3 and the simulated results of the output current at port Z ,i_Z, against temperature are shown in figure 5. In this case, the current v_y is set to 100mV. It is clearly seen that the temperature performance of the proposed circuit is much better than the conventional circuit.

Table 1. The ratio of W/L of circuit in figure 1

name	W/L , μm/μm
M_3	6/6
M_2, M_8, M_9, M_{10}, M_{11}, M_{12}, M_{13}	12/6
M_1, M_7	24/6
M_4, M_5, M_6	48/6

Table 2. The ratio of W/L of OTA.

name	W/L , μm/μm
M_{11}, M_{15}, M_{18}, M_{19}, M_{20}, M_{21}, M_{22}, M_{23}	12/6
M_{16}, M_{17}	24/6

Table 3. The ratio of W/L of TCCII.

name	W/L , μm/μm
M_{11}, M_{13}, M_{16}, M_{17}, M_{18}, M_{23}, M_{24}, M_{25}, M_{26}	12/6
M_{19}, M_{20}, M_{21}, M_{22}	24/6

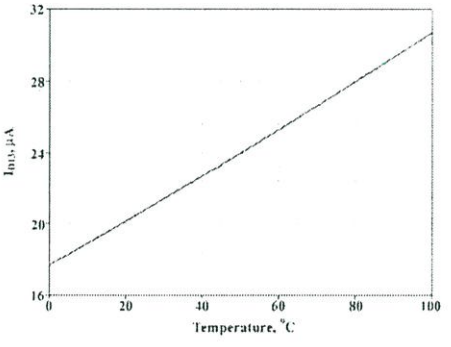


Figure 4. The current I_{D13} against temperature

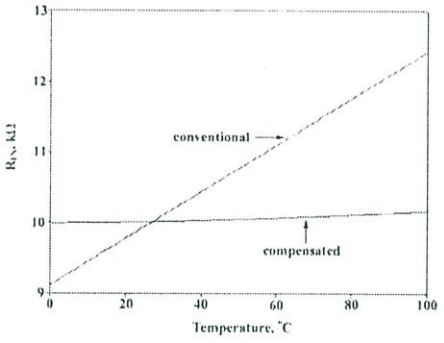


Figure 5. Variation of controlled resistance against temperature

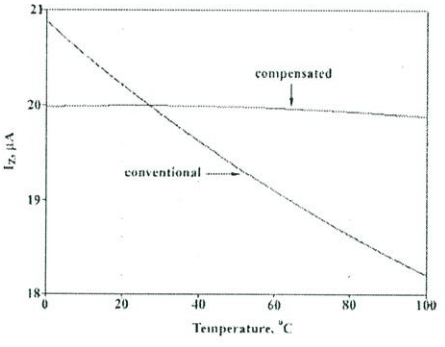


Figure 6. Variation of output current I_Z against temperature

4. CONCLUSION

A method to realize a temperature compensation scheme for CMOS-based OTA and translinear CCII is presented in this article. Both the transconductance gain g_m and parasitic resistance r_x can also be linearly controlled by an external current. The simulation results confirm that the performances of the proposed scheme are agreed with the theoretical results.

Acknowledgments

The authors would like to express sincere gratitude to the National Science and Technology Development Agency (NASTDA) and National Electronics and Computer Technology Center (NECTEC) Thailand, for the financial support of this work.

References

[1] FABRE, A., SAAID, O., WEIST, F., and BOUCHERON, C.: 'High frequency applications based on a new current controlled conveyor', *IEEE Trans. Circuits Syst. I.*, Vol. 43, pp. 82-91, 1996.
[2] KIRANON, W., KESORN, J., and WARDKEIN, P.: 'Current controlled oscillators based on translinear conveyors', *Electron. Lett.*, Vol. 32, pp. 1330-1331, 1996.
[3] SILVA-MARTINEZ, J., and SANCHEZ-SINENCIO, E.: 'Analogue OTA multiplier without input voltage swing restrictions and temperature-compensated', *Electron. Lett.*, Vol. 22, pp. 599-600, 1986.
[4] SENANI, R.: 'New electronically tunable OTA-C sinusoidal oscillator', *Electron. Lett.*, Vol. 25, pp. 286-287, 1689.
[5] VAN KESSEL, TH.J., and VAN DE PLASSCHE, R.J.: 'Integrated linear basic circuits', *Philips Tech. Rev.*, Vol. 32, pp. 1-12, 1971.
[6] KARYBAKAS, C.A., KOSMATOPOULOS, C., and LAOPOULOS TH.: 'Improved temperature compensation of OTAs', *Electron. Lett.*, Vol. 28, pp. 763-764, 1992.
[7] BATTERSBY, N. C. and TOUMAZOU, C.:'Class AB Switched-Current memory for anlogue sampled-data systems', *Electron. Lett.*, Vol 27, pp.873-875, 1991.
[8] WEIXIN GAI, HONGYI CHEN and SEEVINCK E.: 'Quadratic-translinear CMOS multiplier-divider circuit', *Electron. Lett.*, Vol. 33, pp. 860-861, 1997.
[9] SURAKAMPONTORN W., RIEWRUJA V., KUMWACHARA K. and FONGSAMUT C.: 'Temperature compensation of translinear current conveyor and OTA', Electron. Lett., Vol. 34, pp. 707-709, 1998.

การประชุมวิชาการ ทางวิศวกรรมไฟฟ้า ครั้งที่ 23

23rd Electrical Engineering Conference (EECON-23)

วันที่ 23-24 พฤศจิกายน 2543 โรงแรมดิเอ็มเพรส เชียงใหม่

ดำเนินการจัดประชุมโดย

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

มหาวิทยาลัยเชียงใหม่

วงจรเลือกค่าสูงสุดต่ำสุดความเร็วสูง

A High-speed Max/Min circuit

วัชชัย นิมภาลี วันชัย ริ้วรุจา สมชาย สุภาพ และวรรณศิ เพชรมณีล้ำค่า
ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ และสำนักวิจัยเพื่อการสื่อสารและเทคโนโลยีสารสนเทศ
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520 โทร.(02) 739-1362, E-mail: vanchai@mvlsi.eng.kmitl.ac.th

บทคัดย่อ

บทความนี้ได้นำเสนอการออกแบบวงจรเลือกค่าสูงสุดหรือต่ำสุดความเร็วสูงสำหรับสัญญาณกระแสโดยใช้เทคโนโลยีซีมอสวงจรที่ได้พัฒนาขึ้นนี้ประกอบด้วย วงจรสะท้อนกระแส,วงจรสวิทช์อิเล็กทรอนิกส์ต่อร่วมกับวงจรหาค่าต่ำสุด วงจรที่ได้นำเสนอนี้สามารถจะทำการเลือกค่าสูงสุดหรือต่ำสุดได้ โดยการควบคุมสายสัญญาณแรงดันจากภายนอกและมีช่วงปฏิบัติการที่กว้างมีผลตอบสนองความถี่ได้ถึง 10MHz และการทำงานที่ไฟเลี้ยงต่ำคือ 3โวลต์ สมรรถนะของวงจรสามารถยืนยันได้ด้วยการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE

คำสำคัญ : วงจรหาค่าสูงสุดต่ำสุด, มอสทรานซิสเตอร์

Abstract

A High-speed Max/Min circuit, using CMOS technology, is proposed in this article. The proposed circuit comprises current mirror and switch electronic circuit connected with current minimum circuit. The circuit can be select maximum or minimum value. This circuit achieves wide dynamic range that is frequency response can be up to 10 MHz and uses to low voltage supply 3 Volts. The performance of circuit have been demonstrated by PSPICE simulation.

Keywords : A Max/Min circuit , Mos Transistor

1. บทนำ

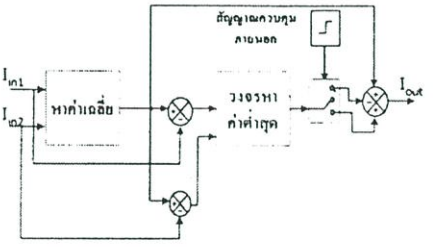
วงจรที่มีหลักการทำงานในลักษณะของการหาค่าสูงสุดหรือต่ำสุดของสัญญาณกระแส มีการประยุกต์ใช้งานอย่างกว้างขวางในด้านของการประมวลผลสัญญาณทางอนาลอก , การประมวลผลสัญญาณภาพและการควบคุมแบบฟัซซี วงจรหาค่าสูงสุดและหาค่าต่ำสุดของสัญญาณกระแสได้มีการพัฒนาอย่างต่อเนื่องมาโดยตลอด[1]-[3] แต่วงจรที่มีการพัฒนามานี้สามารถทำงานได้เฉพาะการหาค่าสูงสุดหรือค่าต่ำสุดเพียงอย่างใดอย่างหนึ่งเท่านั้น ในการประยุกต์ใช้งานทางด้านวงจรในกรณีที่มีการตัดสินใจในการสั่งการให้วงจรหาค่าสูงสุดหรือต่ำสุดจะสามารถทำได้โดยการนำวงจรหาค่าสูงสุดและหาค่าต่ำสุดมาผ่านวงจรสวิทช์แบบอิเล็กทรอนิกส์ เพื่อเลือกค่าสูงสุดหรือต่ำสุดตามต้องการแต่วิธีดังกล่าวเกิดปัญหาทางด้านความเร็วในการทำงานและค่าผิดพลาดที่เกิดขึ้นในช่วงสวิทช์อิเล็กทรอนิกส์ทำงาน , ค่าผิดพลาดที่เกิดจากวงจรหาค่าสูงสุดและต่ำสุดเองและเกิดจากการทำงานของมอสทรานซิสเตอร์ทางด้านขุดออกของวงจรหาค่าสูงสุดและต่ำสุดจะมีการเปลี่ยนสถานะการทำงานจากช่วงอิ่มตัวเป็นช่วงไม่อิ่มตัวชั่วขณะ ที่ผ่านมาได้มีการนำเสนอวงจรหาค่าสูงสุดและต่ำสุดสำหรับสัญญาณแรงดัน[5] ซึ่งประกอบด้วยวงจรขยายความแตกต่าง , วงจรจ่ายกระแสคงที่และวงจรขยายสัญญาณ เนื่องจากวงจรมีการทำงานในรูปของแรงดันเป็นผลให้ความเร็วในการทำงานและผลตอบสนองทางความถี่ถูกจำกัดโดยตัววงจรขยายสัญญาณและวงจรขยายความต่าง[5] ทำให้การประยุกต์ใช้งานได้ในช่วงแคบ ในปัจจุบันได้มีการพัฒนาวงจรที่มีการทำงานในรูปกระแสอย่างกว้างขวางทั้งนี้ก็เนื่องมาจากวงจรที่มีการทำงานในรูปของกระแสจะมีช่วงปฏิบัติการทางความถี่ที่กว้างและยังสามารถพัฒนาให้ใช้กับแหล่งจ่ายไฟแรงดันต่ำลงได้

ในบทความนี้จึงเป็นการนำเสนอวงจรหาค่าสูงสุดและต่ำสุดสำหรับสัญญาณกระแสโดยสามารถเลือกได้ด้วยสัญญาณควบคุมจากภายนอก โดยจากหลักการที่นำเสนอวงจรจะมีความแม่นยำและเที่ยงตรงสูง มีความเร็วในช่วงสลับเปลี่ยนจากการหาค่าสูงสุดและค่าต่ำสุดที่สูงและมีผลตอบสนองทางความถี่ที่กว้าง

2. หลักการทำงาน

แผนผังการทำงานของวงจรหาค่าสูงสุดและต่ำสุดสำหรับสัญญาณกระแส 2 อินพุทโดยสามารถควบคุมได้จากสัญญาณภายนอกแสดงดังรูปที่ 1 ซึ่งสามารถอธิบายหลักการทำงานได้ดังนี้สัญญาณกระแสอินพุท I_{in1} และ I_{in2} จะถูกนำมาหาค่าเฉลี่ยซึ่งจะได้ $I_{avg} = (I_{in1} + I_{in2}) / 2$ จากนั้นกระแสเฉลี่ยจะถูกนำมาลบด้วยกระแสอินพุทแต่ละตัวและป้อนให้กับวงจรหาค่าต่ำสุด เนื่องจากผลต่างระหว่างกระแสเฉลี่ยกับกระแส

อินพุททั้งสองจะมีขนาดเท่ากันแต่เครื่องหมายตรงข้าม $|(I_{avg} - I_{in1})| = |-(I_{avg} - I_{in2})|$ ดังนั้นจะได้กระแสที่ไหลออกจากวงจรหาค่าต่ำสุดเป็น $\Delta I = |I_{avg} - I_{in1}| = |I_{avg} - I_{in2}|$ พิจารณาที่จุดออกหากต้องการค่ากระแสเอาท์พุทของวงจร(I_{out}) เป็นค่าสูงสุดก็สามารถทำได้โดยนำค่ากระแสเฉลี่ย(I_{avg}) บวกกับกระแสที่ออกจากวงจรหาค่าต่ำสุด(ΔI) ในทางตรงกันข้ามหากต้องการกระแสเอาท์พุทเป็นค่าต่ำสุดก็สามารถทำได้โดยนำกระแสเฉลี่ยมาลบด้วย ΔI



รูปที่ 1 แผนผังการทำงานของวงจร

ในรูปที่ 2 แสดงวงจรหาค่าต่ำสุดและสูงสุดตามแผนผังและหลักการที่ได้นำเสนอในรูปที่ 1 โดยสามารถอธิบายรายละเอียดการทำงานได้ดังนี้ทรานซิสเตอร์ M_1 - M_4 ทำหน้าที่เป็นวงจรค่าเฉลี่ยระหว่างกระแสอินพุท I_{in1} และ I_{in2} [4] โดยมีวงจรสะท้อนกระแส M_6 - M_8 และ M_9 - M_{11} ทำหน้าที่สะท้อนกระแส I_{in1} และ I_{in2} มารวมกันไหลผ่านขาเดรนของ M_1 และ M_2 ถ้ากำหนดให้ทรานซิสเตอร์แต่ละคู่(M_1 - M_{11}) มีความสมพงษ์กันทุกประการจะได้กระแสเดรนของ M_3 , M_4 และ M_5 ซึ่งเป็นค่ากระแสเฉลี่ยดังนี้คือ

$$I_{avg} = I_{d3} = I_{d4} = I_{d5} = \frac{I_{in1} + I_{in2}}{2} \qquad (1)$$

สำหรับวงจรหาค่าต่ำสุด[4] ประกอบขึ้นมาจากแหล่งจ่ายกระแสคงที่ I_b สามชุด ทำงานร่วมกับวงจรหาค่าสูงสุดแบบกระแส 2 อินพุท ซึ่งจะได้กระแสเดรนของ M_{25} เป็นค่าสูงสุดระหว่างกระแสเดรนของ M_{12} และ M_{13} ดังนั้นถ้ากำหนดให้ $|I_b| \geq |I_{in1}|, |I_{in2}|$ จะได้กระแสจุดออกของวงจรหาค่าสูงสุด $\Delta I = I_b - I_{d26}$ เป็นกระแสซึ่งเป็นค่าต่ำสุดระหว่างกระแส I_{in1} และ I_{in2} พิจารณาที่จุดเข้าของวงจรหาค่าต่ำสุด (A และ B) กระแสอินพุทของวงจรหาค่าต่ำสุด (I_{in1} และ I_{in2}) ทั้งสองเกิดจากกระแสเฉลี่ยลบด้วยกระแสอินพุททั้งสองตามลำดับซึ่งผลต่างจะมีขนาดเท่ากันแต่มีเครื่องหมายต่างกัน ดังนั้นจะได้กระแสจุดออกของวงจรหาค่าต่ำสุดดังนี้

$$\Delta I = \left|I_{avg} - I_{in1}\right| = \left|I_{avg} - I_{in2}\right| \qquad (2)$$

จากรูปที่ 2 และสมการที่ 2 กระแส ΔI จะไหลเข้าจุด C เสมอ และจะไหลผ่าน M_{23} หรือ M_{24} อย่างใดอย่างหนึ่งโดยมีสัญญาณควบคุมจากภายนอก ($V_{con} = \pm V_{DD}$) เป็นตัวตัดสินใจเมื่อศักดา V_{con} เป็นสัญญาณซีกบวก($-V_{DD}$)ทำให้ศักดาที่ขาเกทของM_{23} เป็นบวกไดโอดที่ทรานซิสเตอร์ M_{21} และ M_{22} ต่อร่วมกันเป็นอินเวอร์เตอร์ทำให้ศักดาที่ขาเกทของ M_{24} มีค่าตรงกันข้ามกล่าวคือเป็นสัญญาณซีกลบ($-V_{DD}$) ซึ่งจะทำให้เกิดกระแสไหลผ่าน M_{24} และมีค่าอิมพีแดนซ์เท่ากับกระแส ΔI และจะถูกวงจรสะท้อนกระแส M_{27} - M_{28} และ M_{29} - M_{30} ส่งผ่านไปยังจุดออก D ในทางตรงกันข้ามหากสัญญาณควบคุมจากภายนอก V_{con} เป็นสัญญาณซีกลบ ($-V_{DD}$) จะทำให้ศักดาที่ขาเกทของ M_{23} และ M_{24} เป็นสัญญาณซีกลบและซีกบวกตามลำดับกระแส ΔI จะถูกส่งผ่านไปยังวงจรสะท้อนกระแส M_{25}- M_{26} เพื่อดึงกระแสออกจากจุด D เมื่อพิจารณาที่จุดออก D กระแสเอาท์พุทของวงจรที่ได้คือ

$$I_{out} = I_{d30} + I_{avg} - I_{d26} \qquad (3)$$

และเนื่องจาก

$$I_{d30} = \begin{cases} 0 & \text{เมื่อ } V_{con} = -V_{DD} \\ \Delta I & \text{เมื่อ } V_{con} = +V_{DD} \end{cases} \qquad (4.1)$$

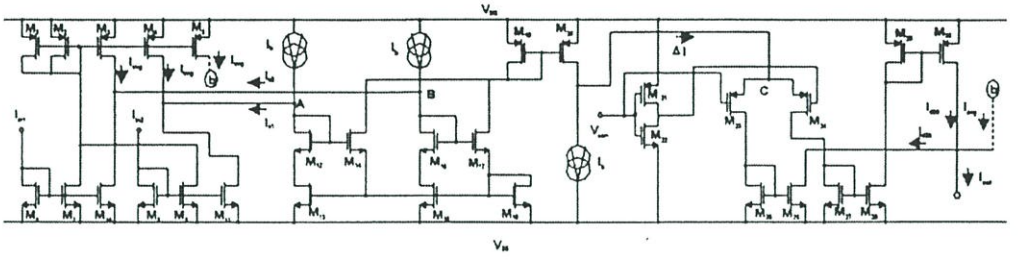
$$I_{d26} = \begin{cases} \Delta I & \text{เมื่อ } V_{con} = -V_{DD} \\ 0 & \text{เมื่อ } V_{con} = +V_{DD} \end{cases} \qquad (4.2)$$

แทนค่าสมการที่ (4.1) และ (4.2) ลงในสมการที่ (3) จะได้

$$I_{out} = \begin{cases} I_{avg} + \Delta I & \text{เมื่อ } V_{con} = +V_{DD} \\ I_{avg} - \Delta I & \text{เมื่อ } V_{con} = -V_{DD} \end{cases} \qquad (5)$$

จากสมการที่ (1) - (5) เนื่องจาก I_{avg} คือค่าที่อยู่ตรงกลางระหว่างค่าสูงสุด ($I_{in\,Max}$) และค่าต่ำสุด ($I_{in\,Min}$) จากกระแสอินพุททั้งสอง (I_{in1} และ I_{in2}) ส่วน ΔI คือขนาดความแตกต่างของ I_{avg} กับค่ากระแสสูงสุดหรือต่ำสุดดังนั้นสมการที่ (5) จะสามารถเขียนใหม่ได้เป็น

$$I_{out} = \begin{cases} I_{in\,Max} & \text{เมื่อ } V_{con} = +V_{DD} \\ I_{in\,Min} & \text{เมื่อ } V_{con} = -V_{DD} \end{cases} \qquad (6)$$



รูปที่ 2 วงจรเลือกค่าสูงสุดต่ำสุดความเร็วสูง

จากสมการที่ (6) นั้นคือวงจรในรูปที่ 2 ประพฤติตัวเป็นวงจรหาค่าต่ำสุดและสูงสุดสำหรับสัญญาณกระแสสองอินพุทซึ่งสามารถควบคุมได้จากสัญญาณควบคุมภายนอก (V_{cm})

เมื่อพิจารณาที่จุดออกของวงจรหาค่าต่ำสุดที่ใช้เป็นส่วนประกอบในรูปที่ 2 จะเห็นได้ว่าทรานซิสเตอร์ M_{30} จะมีการทำงานอยู่ในช่วงอิ่มตัวตลอดเวลาทำงานซึ่งจะส่งผลให้ประสิทธิภาพด้านความเร็วในการทำงานของวงจรโดยรวมเร็วกว่าวิธีการใช้สวิทช์อิเล็กทรอนิกส์เลือกการทำงานระหว่างวงจรหาค่าสูงสุดและต่ำสุดที่ล่อร่วมกัน อันเนื่องมาจากมีการเปลี่ยนสถานะการทำงานจากอิ่มตัวและไม่อิ่มตัวชั่วขณะระหว่างสวิทช์อิเล็กทรอนิกส์ทำงาน

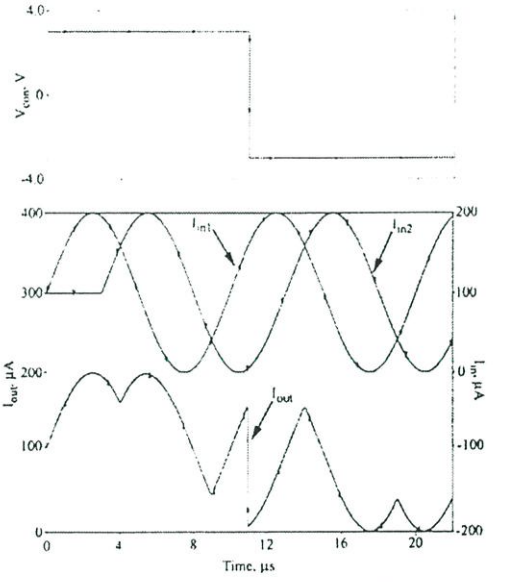
3. ผลการเลียนแบบการทำงานของวงจร

จากวงจรในรูปที่ 2 ได้ใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจรโดยใช้ $V_{DD} = -V_{ss} = 3V$, $I_b = 100\mu A$ และมอสทรานซิสเตอร์เทคโนโลยี $0.5\mu m$ ซึ่งกำหนดอัตราส่วนความกว้างต่อความยาวของแชลแนลของทรานซิสเตอร์ดังนี้

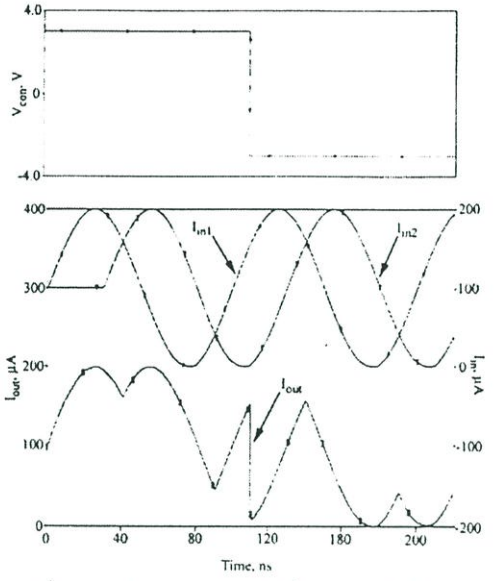
ทรานซิสเตอร์	W/L(μm)
M_1- M_5	2.9/1.7
M_6- M_{11}	2.5/1.7
M_{12}- M_{20}	2/0.5
M_{21}- M_{30}	0.8/0.5

ตารางที่ 1 อัตราส่วนความกว้างต่อความยาวของแชลแนล

ในรูปที่ 3 แสดงผลการเลียนแบบการทำงานของวงจรเมื่อป้อนสัญญาณกระแสอินพุท I_{in1} และ I_{in2} เป็นสัญญาณรูปซายน์ขนาด 100μA ความถี่ 100 kHz เฟสต่างกัน $3\pi/4$ เรเดียน รูปที่ 4 แสดงผลการเลียนแบบการทำงานของวงจรเมื่อป้อนสัญญาณกระแสอินพุท I_{in1} และ I_{in2} เป็นสัญญาณรูปซายน์ขนาด 100μA ความถี่ 10 MHz เฟสต่างกัน $3\pi/4$ เรเดียน จากผลการเลียนแบบการทำงานในรูปที่ 3 และ 4 แสดงให้เห็นว่าวงจรที่ได้นำเสนอมีช่วงปฏิบัติการที่กว้างมีความถูกต้องแม่นยำในการทำงานสูงและมีความเร็วในการทำงานในขณะเปลี่ยนการเลือกค่าระหว่างค่าสูงสุดหรือต่ำสุดสูง



รูปที่ 3 ผลการเลียนแบบการทำงานโดยที่ I_{in1} และ I_{in2} เป็นสัญญาณกระแสรูปคลื่นซายน์ ความถี่ 100 kHz



รูปที่ 4 ผลการเลียนแบบการทำงานโดยที่ I_{in1} และ I_{in2} เป็นสัญญาณกระแสรูปคลื่นซายน์ ความถี่ 10 MHz

4. สรุป

บทความนี้ได้นำเสนอเทคนิคการออกแบบวงจรหาค่าต่ำสุดและค่าสูงสุดซึ่งสามารถควบคุมได้จากสัญญาณภายนอกโดยอาศัยวงจรสวิทช์อิเล็กทรอนิกส์ทำงานร่วมกับวงจรหาค่าเฉลี่ยและวงจรหาค่าต่ำสุด จากเทคนิคที่นำเสนอวงจรจะมีช่วงปฏิบัติการทางความถี่ที่กว้างมีความถูกต้องแม่นยำในการทำงานและมีความเร็วสูงในขณะเปลี่ยนการเลือกค่าระหว่างค่าสูงสุดหรือค่าต่ำสุด

5. กิตติกรรมประกาศ

ขอขอบคุณสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช) ภายใต้โครงการส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ ภายใต้โครงการการออกแบบวงจรรวมขนาดใหญ่มาก และ Japan International Cooperation Agency (JICA) ที่ได้ให้ทุนและเครื่องมือสนับสนุนในการทำวิจัย

เอกสารอ้างอิง

[1] BATURONE I., HUERTAS J. L., BARRIGA A. and SANCHEZ-SOLANO S. : "Current-mode multiple-input Max circuit" , Electron. Lett., 1994, 30, (9), pp. 678-680.

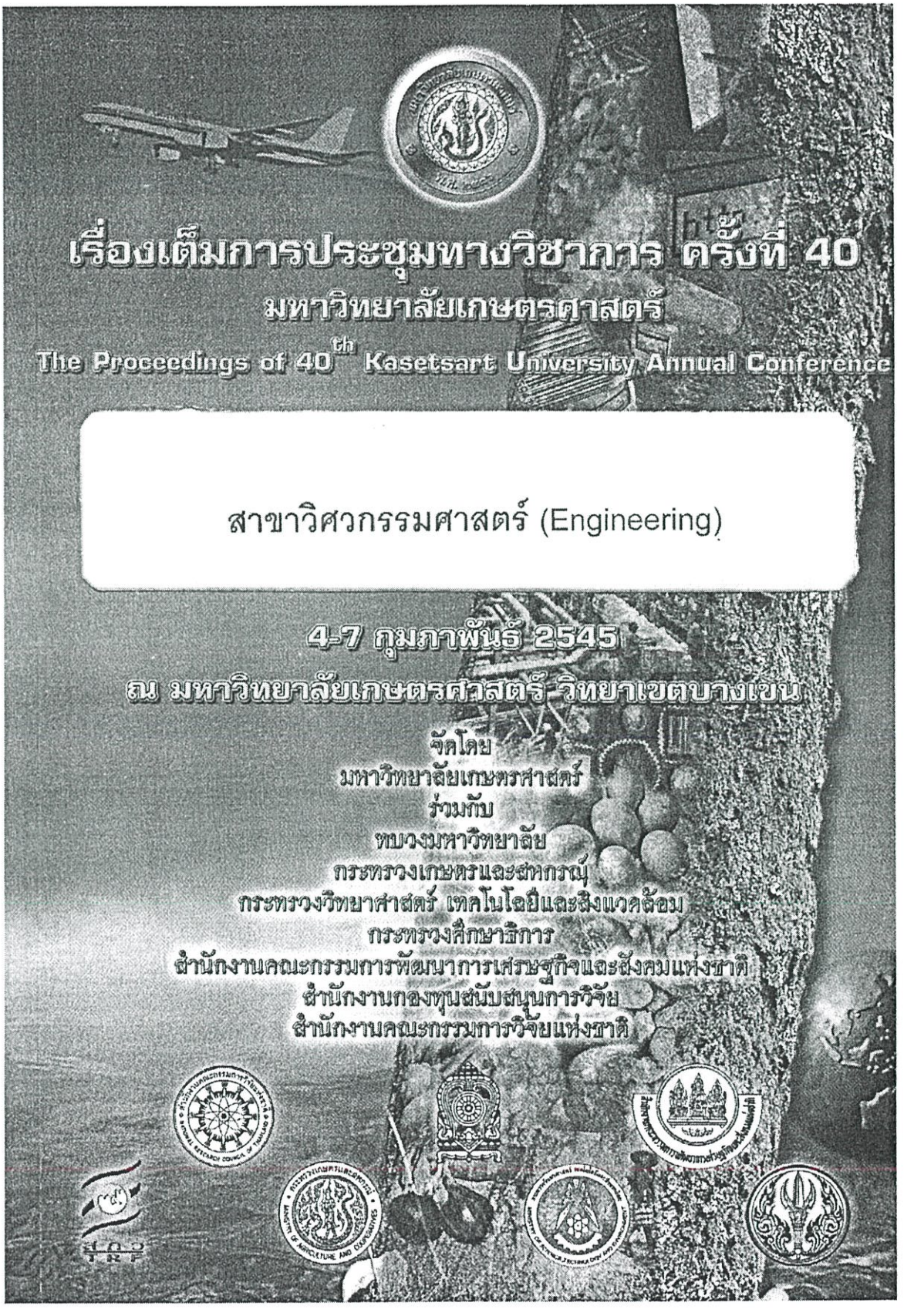
[2] SASAKI. M., INOUE. T., SHIRAI. Y., and UENO, F.: "Fuzzy multiple-input maximum and minimum circuits in current mode and their analyses using bounded-difference equations", IEEE Trans., 1990, C-39, (6), pp. 768-774.

[3] BATURONE, I., BARRIGA, A., and HUERTAS, J.L.: "Multi-input voltage and current-mode min/max circuits", Proc. 3rd Int. Conf. OnFuzzy Logic, Neural Sets and Soft Computing, 1994. (Iizuka,Japan), pp.649-650.

[4] VLASSIS S. and SISKOS S.: "CMOS analogue median circuit", Electron. Lett., 1999, 35, (13), pp. 1038-1040.

[5] SHEN-IUAN LIU, POKI CHEN, CHIN-YANG CHEN and JENN-GWO HWU.: "Analog Maximum, Median and Minimum circuit", IEEE International Symposium on Circuit and Systems', June 9-12, 1997, Hong Kong.

[6] C. Toumazou, F.J. Lidgey, and D.G. Haigh, Analogue IC Design : the current-mode approach, Peter Peregrinus Ltd., Apirl, 1990.


เรื่องเต็มการประชุมทางวิชาการ ครั้งที่ 40
มหาวิทยาลัยเกษตรศาสตร์
The Proceedings of 40th Kasetsart University Annual Conference
สาขาวิศวกรรมศาสตร์ (Engineering)
4-7 กุมภาพันธ์ 2545
ณ มหาวิทยาลัยเกษตรศาสตร์ วิทยาเขตบางเขน
จัดโดย
มหาวิทยาลัยเกษตรศาสตร์
ร่วมกับ
ทบวงมหาวิทยาลัย
กระทรวงเกษตรและสหกรณ์
กระทรวงวิทยาศาสตร์ เทคโนโลยีและสิ่งแวดล้อม
กระทรวงศึกษาธิการ
สำนักงานคณะกรรมการพัฒนาการเศรษฐกิจและสังคมแห่งชาติ
สำนักงานกองทุนสนับสนุนการวิจัย
สำนักงานคณะกรรมการวิจัยแห่งชาติ

การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 40
สาขาวิศวกรรมศาสตร์
295

วงจรหาค่าสูงสุดและต่ำสุดชนิด 2 อินพุทสำหรับสัญญาณกระแส

Current mode two-input Max/Min circuit

อานนท์ ชาติชะนา[1] วรรณดี เพชรมณีล้ำค่า[2] พรชัย หลายพสุ[2] และ วันชัย ริ้วรุจา[1]

Anon Chatchana[1] Wandee Petchmaneelumka[2] Pounchai Laipasu[2] and Vanchai Riewruja[1]

บทคัดย่อ

บทความนี้ได้นำเสนอวงจรหาค่าสูงสุดและต่ำสุดชนิด 2 อินพุทสำหรับสัญญาณกระแสโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่มีโครงสร้างเป็นวงจรขยายคลาส AB/B และวงจรสะท้อนกระแสเป็นหลัก โดยวงจรหาค่าสูงสุดและต่ำสุดที่ได้นำเสนอนี้มีโครงสร้างที่ง่ายเหมาะสมที่จะนำมาสร้างเป็นวงจรรวม สามารถนำไปประยุกต์ใช้ในระบบที่เป็นเวลาจริงได้ มีประสิทธิภาพและความเร็วในการทำงานสูงตลอดจนให้ค่าความแม่นยำในการทำงานที่ดี การทดสอบสมรรถนะของวงจรหาค่าสูงสุดและต่ำสุดที่ได้พัฒนาขึ้นจะทำการเลียนแบบการทำงานด้วยโปรแกรม PSPICE ผลการทดสอบของวงจรสามารถยืนยันได้ว่าวงจรที่ออกแบบสอดคล้องเป็นไปตามหลักการที่ได้นำเสนอ

ABSTRACT

A current mode two-input maximum (Max) and minimum (Min) circuit, using CMOS technology, is proposed in this paper. The proposed circuit, which comprises a MOS class AB/B configuration and current mirrors, is simple and suitable for monolithic integrated circuit. The performance of the circuit exhibits very sharp transfer characteristic and high accuracy. The proposed circuit achieves a high-speed operation and is suitable for real-time systems. The simulation results verified the performances of the circuit are agreed with the expected values.

คำนำ

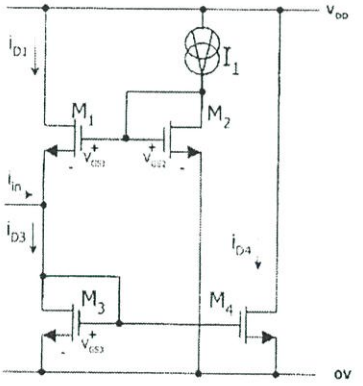
วงจรหาค่าสูงสุดและต่ำสุดของสัญญาณกระแสมีการประยุกต์ใช้งานอย่างกว้างขวางในด้านการประมวลผลสัญญาณทางอนาลอกรวมถึงการควบคุมแบบฟัซซี ซึ่งนำวงจรหาค่าสูงสุดและต่ำสุดของสัญญาณมาใช้ในขั้นตอนการอินเฟอร์เรนท์แบบฟัซซี ซึ่งเป็นขั้นตอนที่ค่อนข้างยุ่งยากและซับซ้อน (M. J. Patter และ J. E. Long, 1994) ระบบควบคุมแบบฟัซซีมีการประยุกต์ใช้งานอย่างกว้างขวางในด้านอุตสาหกรรม การประมวลผลสัญญาณภาพ และอื่นๆ เป็นจำนวนมาก (H. J. Zimmermann, 1991) ในการประมวลผลสัญญาณทางด้านดิจิตอลมีข้อจำกัดอยู่หลายประการ อาทิเช่น ความเร็วในการประมวลผล การสูญเสียค่ากำลังงาน และระเบียบวิธีการออกแบบ ซึ่งข้อจำกัดดังกล่าวจะเกิดขึ้นน้อยมากสำหรับการประมวลผลสัญญาณโดยใช้อนาลอกฟัซซีสำหรับสัญญาณกระแส (B. Wilson, 1990)

1 อาจารย์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

2 นักศึกษาปริญญาโท Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang.

ดังนั้นวงจรหาค่าสูงสุดและต่ำสุดของสัญญาณกระแสจึงเป็นวงจรหนึ่งที่มีความสำคัญและได้มีการพัฒนาอย่างต่อเนื่องมาโดยตลอด ตัวอย่างหลักการที่สำคัญที่ได้มีการนำเสนอไว้ได้แก่ การใช้วงจรขยายโอทีเอ (T. Inoue และคณะ, 1991) หรือวงจรลายพานกระแสรุ่นที่สอง (S. –I. Liu และคณะ, 1993) หรือใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส (I. Baturone และคณะ, 1994, C.-Y. Huang และคณะ, 1996) ซึ่งวงจรที่มีการพัฒนาขึ้นมานี้สามารถทำงานได้เฉพาะการหาค่าสูงสุดหรือต่ำสุดเพียงอย่างใดอย่างหนึ่งเท่านั้น ในบทความนี้จึงได้นำเสนอวงจรที่สามารถหาได้ทั้งค่าสูงสุดและค่าต่ำสุดของสัญญาณกระแสชนิด 2 อินพุท ในเวลาเดียวกัน ซึ่งเป็นวงจรที่มีโครงสร้างของวงจรขยายคลาส AB/B และวงจรสะท้อนกระแสเป็นหลัก โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสซึ่งเหมาะที่จะนำมาทำเป็นวงจรรวม โดยจากหลักการที่นำเสนอจะเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ซึ่งผลจากการเลียนแบบการทำงานยืนยันได้ว่าวงจรจะมีความแม่นยำและความเร็วในการทำงานสูง

ทฤษฎีและหลักการทำงานของวงจร



รูปที่ 1 โครงสร้างพื้นฐานของวงจรขยายคลาส AB/B โดยใช้มอสทรานซิสเตอร์

วงจรที่นำเสนอออกแบบโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่ทำงานอยู่ในช่วงกระแสอิ่มตัวเป็นหลัก และกำหนดให้ทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันทุกประการ ในรูปที่ 1 เป็นโครงสร้างพื้นฐานของวงจรขยายคลาส AB/B ประกอบด้วยทรานซิสเตอร์ M_1, M_2, M_3 และ M_4 และแหล่งจ่ายกระแสไบอัส I_1 การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อกระแสไบอัส I_1 ไหลผ่านทรานซิสเตอร์ M_2 จะทำให้เกิดแรงดันตกคร่อมระหว่างขาเกทกับขาซอสของทรานซิสเตอร์ M_2 หรือ V_{GS2} เป็นค่าคงที่ค่าหนึ่ง สามารถเขียนเป็นสมการได้ดังนี้

$$V_{GS2}=V_{GS1}+V_{GS3} \quad (1)$$

เมื่อ V_{GS1} และ V_{GS3} เป็นแรงดันตกคร่อมระหว่างขาเกทกับขาซอสของ M_1 และ M_3 ตามลำดับ

ในกรณีที่ กระแสอินพุท i_{in} มีค่าเท่ากับศูนย์ วงจรจะทำงานในคลาส AB โดยที่แรงดันระหว่างขาเกทกับขาซอส V_{GS2} จะทำให้ทรานซิสเตอร์ M_1 และ M_3 ทำงานอยู่ในช่วงขอบนำกระแส ซึ่งจะทำให้เกิดกระแสเดรน i_{D1} และ i_{D3} ของทรานซิสเตอร์ M_1 และ M_3 ตามลำดับ เป็นกระแสขนาดเล็กมีค่าเท่ากัน ดังนี้

$$I_{D1} = I_{D2} = \frac{I_1}{4} - \frac{V_t\sqrt{\beta I_1}}{2} + \frac{\beta V_t^2}{4} \qquad (2)$$

เมื่อ V_t คือค่าแรงดันไฟฟ้าวิกฤต

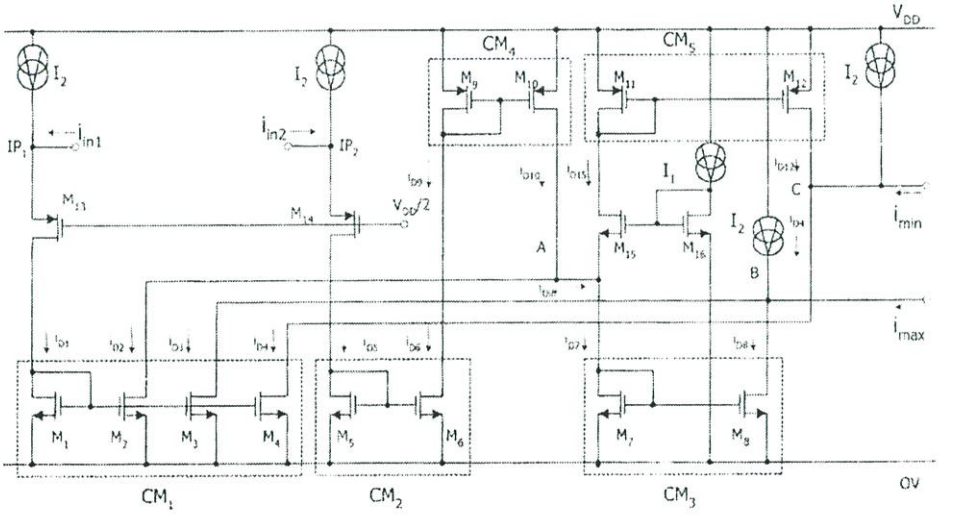
$\beta = KW / 2L$ (ค่าพารามิเตอร์ของค่าความนำกระแสของมอสเฟท)

ในกรณีที่กระแสอินพุท i_{in} มีค่ามากกว่าศูนย์($i_{in} > 0$) หรือกระแสอินพุท i_{in} มีค่าเป็นบวก วงจรจะทำงานเป็นวงจรขยายคลาส B โดยกระแสอินพุท i_{in} จะไหลผ่านทรานซิสเตอร์ M_3 มีผลทำให้แรงดันที่ขาเกทกับขาซอส V_{GS3} มีค่าเพิ่มมากขึ้น จากสมการที่ (1) เนื่องจากแรงดันที่เกทกับซอส V_{GS2} เป็นค่าคงที่ผลของแรงดัน V_{GS3} ที่เพิ่มขึ้นนี้จะทำให้ปริมาณของแรงดัน V_{GS1}ที่ลดลง เมื่อV_{GS1}ลดลง จะเป็นผลให้มอสเฟท M_1 อยู่ในสภาวะไม่นำกระแส ดังนั้นกระแสเดรน i_{D1} ของทรานซิสเตอร์ M_1 จะมีค่าเท่ากับศูนย์ และกระแสเดรน i_{D3} ของทรานซิสเตอร์ M_3 จะมีค่าเท่ากับกระแส i_{in} เขียนเป็นสมการได้ดังนี้

$$i_{D1} = 0 \quad \text{และ} \quad i_{D3} = i_{in} \qquad \text{เมื่อ } i_{in} > 0 \qquad (3)$$

ในทำนองเดียวกันถ้ากระแสอินพุท i_{in} น้อยกว่าศูนย์ ($i_{in} < 0$) หรือกระแสอินพุท i_{in} มีค่าเป็นลบ วงจรจะทำงานเป็นวงจรขยายคลาส B เช่นเดียวกัน แต่กระแสอินพุท i_{in} จะไหลผ่านทรานซิสเตอร์ M_1 และเป็นผลทำให้ทรานซิสเตอร์ M_3 อยู่ในสภาวะไม่นำกระแส ดังนั้นกระแสเดรน i_{D3} ของทรานซิสเตอร์ M_3 จะมีค่าเท่ากับศูนย์ และกระแสเดรน i_{D1} ของทรานซิสเตอร์ M_1 จะมีค่าเท่ากับกระแสอินพุท i_{in} เขียนเป็นสมการได้ดังนี้

$$i_{D1} = i_{in} \text{ และ } i_{D2} = 0 \qquad \text{เมื่อ } i_{in} < 0 \qquad (4)$$



รูปที่ 2 วงจรหาค่าสูงสุดและต่ำสุดชนิด 2 อินพุทสำหรับสัญญาณกระแส

รูปที่ 2 แสดงวงจรหาค่าสูงสุดและต่ำสุดชนิด 2 อินพุทสำหรับกระแสซึ่งประกอบไปด้วยทรานซิสเตอร์ M_1-M_4(CM_1), M_5-M_6(CM_2), M_7-M_8(CM_3), M_9-M_{12}(CM_4) และ M_{13}-M_{16}(CM_5)ที่ต่อเป็นวงจรสะท้อนกระแสมีอัตราการลงผ่านกระแสเท่ากับหนึ่ง ส่วนทรานซิสเตอร์ M_{13} และ M_{14} จะทำหน้าที่ส่งผ่านกระแสจากขาเดรนไปยังขาซอส และยังทำหน้าที่กำหนดศักดาที่จุด IP_1 และ IP_2 ให้มีค่าใกล้เคียง $V_{DD}/2$ ทรานซิสเตอร์ M_1, M_5 และ M_7, M_8

ต่อร่วมกันเป็นวงจรขยายคลาส AB/B ทำหน้าที่เป็นอิเล็กทรอนิกส์สวิทช์ การทำงานของวงจรหาค่าสูงสุดและต่ำสุดที่ได้ออกแบบสามารถอธิบายได้ดังนี้

พิจารณาที่โหนด IP_1, IP_2 และ A จะได้

$$I_{D13} = i_{in1} + I_2 \tag{5}$$

$$i_{D14} = i_{in2} + I_2 \tag{6}$$

$$i_{diff} = i_{D10} - i_{D2} = i_{in2} - i_{in1} \tag{7}$$

จากสมการที่ (7) ถ้ากระแส $i_{in2} > i_{in1}$ กระแส i_{diff} จะไหลผ่านทรานซิสเตอร์ M_7 ทำให้เกิดกระแส i_{D7} ขึ้นในวงจร ในขณะที่ทรานซิสเตอร์ M_{15} อยู่ในสภาวะไม่นำกระแส ในทำนองเดียวกันถ้าผลต่างระหว่างกระแสอินพุททั้งสองมีค่าเป็นลบ ($i_{diff}<0$) ผลต่างกระแสอินพุทดังกล่าว จะไหลผ่านทรานซิสเตอร์ M_{15} เป็นผลทำให้เกิดกระแส i_{D15} ในขณะที่ทรานซิสเตอร์ M_7 อยู่ในสภาวะไม่นำกระแส ดังนั้นสามารถเขียนสมการของกระแส i_{D7} และ i_{D15} ได้ดังนี้

$$i_{D7} = \begin{cases} i_{diff} & ;i_{in2} > i_{in1} \\ 0 & ;i_{in1} > i_{in2} \end{cases} \tag{8}$$

$$i_{D15} = \begin{cases} 0 & ;i_{in2} > i_{in1} \\ i_{diff} & ;i_{in1} > i_{in2} \end{cases} \tag{9}$$

วงจรสะท้อนกระแสแบบบวก CM_3 และวงจรสะท้อนกระแสแบบลบ CM_5 จะสะท้อนกระแส i_{D7} และ i_{D15} ไปยังโหนดที่ให้ค่าสูงสุด (B) และโหนดที่ให้ค่าต่ำสุด (C) ตามลำดับ โดยจะได้กระแสเอาต์พุทสูงสุด i_{max} และต่ำสุด i_{min} ดังนี้

$$i_{max} = i_{D7} + i_{in1} \tag{10}$$

$$i_{min} = i_{in1} - i_{D15} \tag{11}$$

ถ้าแทนค่าจากสมการที่ (9) และ (10) ลงสมการที่ (10) และ (11) ตามลำดับ จะสามารถจัดรูปสมการของค่ากระแส i_{max} และ i_{min} ได้ว่า

$$i_{max} = \begin{cases} i_{in2} & ;i_{in2} > i_{in1} \\ i_{in1} & ;i_{in1} > i_{in2} \end{cases} \tag{12}$$

$$i_{min} = \begin{cases} i_{in1} & ;i_{in2} > i_{in1} \\ i_{in2} & ;i_{in1} > i_{in2} \end{cases} \tag{13}$$

ถ้ากระแส $i_{in2} = i_{in1}$ จะได้ $i_{max} = i_{min} = i_{in1}$

ความผิดพลาดของวงจรที่ได้พัฒนาขึ้นสามารถพิจารณาได้จากวงจรสะท้อนกระแสเป็นหลัก โดยที่วงจรสะท้อนกระแสที่ใช้ในการออกแบบจะเป็นวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราการส่งผ่านเท่ากับหนึ่งโดยสามารถแยกพิจารณาเป็น 2 กรณีได้ดังนี้

1.กรณีที่กระแส $i_{in2} > i_{in1}$ จะได้ค่าผิดพลาดของ $I_{out}(\varepsilon_{min})$ และ $I_{out}(\varepsilon_{max})$ ดังนี้

$$\varepsilon_{min} = \left(\frac{|g_{m1} - g_{m4}|}{g_{m1}} \right) (i_{in1} + I_2) \tag{16}$$

และ
$$\varepsilon_{max} = \left[\left(\frac{\Delta g_{m5}}{g_{m5}} - \frac{\Delta g_{m9}}{g_{m9}} \right) (i_{in2} + I_2) \right] - \left[\left(\frac{|g_{m1} - g_{m3}|}{g_{m1}} \right) - \left(\frac{g_{m1} - g_{m2}}{g_{m1}} \right) \right] (i_{in1} + I_2) \tag{17}$$

2. กรณีที่กระแส $i_{in2} < i_{in1}$ จะได้ ค่าผิดพลาดของ ε_{min} และ ε_{max} ดังนี้

$$\varepsilon_{min} = \left[\left(\frac{\Delta g_{m5}}{g_{m5}} - \frac{\Delta g_{m9}}{g_{m9}} \right) (i_{in2} + I_2) \right] + \left[\left(\frac{|g_{m1} - g_{m2}|}{g_{m1}} \right) - \left(\frac{g_{m1} - g_{m4}}{g_{m1}} \right) \right] (i_{in1} + I_2) \tag{18}$$

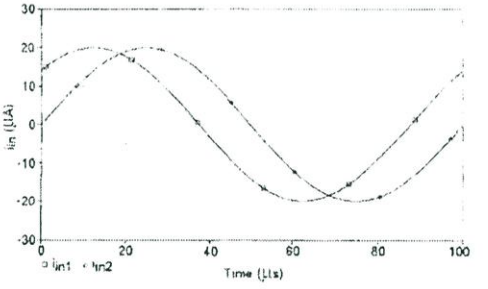
และ

$$\varepsilon_{max} = \left(\frac{|g_{m1} - g_{m3}|}{g_{m1}} \right) (i_{in1} + I_2) \tag{19}$$

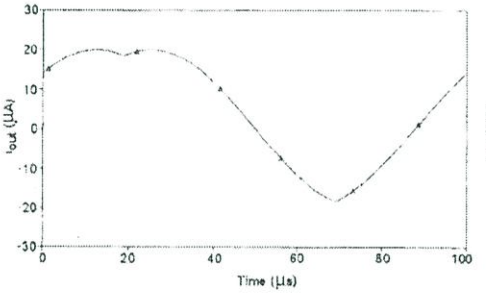
เมื่อ g_m คืออัตราขยายความนำของทรานซิสเตอร์ M_1 , Δg_mคือค่าความแตกต่างระหว่างอัตราขยายความนำของทรานซิสเตอร์ M และ $M_{1,2}$ ซึ่งค่า Δg_m จะมีค่าที่น้อยมากเป็นผลให้ค่าผิดพลาดนี้มีค่าที่น้อยด้วยเช่นกัน

การทดสอบสมรรถนะของวงจร

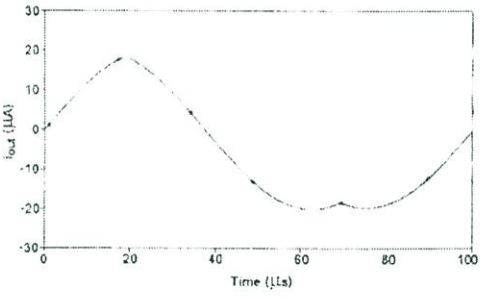
การทดสอบสมรรถนะของวงจรหาค่าสูงสุดและต่ำสุดชนิด 2 อินพุทที่ได้นำเสนอในบทความนี้ ได้ทำการเลียนแบบการทำงานด้วยโปรแกรม PSPICE โดยใช้เทคโนโลยี BSIM 0.7 ไมครอน เพื่อให้ได้ค่าความนำ g_m ที่มีค่าสูงและประสิทธิภาพการทำงานของวงจรถูกต้องตามหลักการที่กล่าวไว้ข้างต้น จึงกำหนดให้อัตราส่วนระหว่างความกว้างต่อความยาวของแชลแนลของตัวอุปกรณ์ หรือ W/L เป็น 20μm/1μm ส่วนกระแสไบอัส I_1 และ I_2 มีค่าเป็น 50μA และนอกจากนั้นกำหนดให้ V_{DD}=5V ผลการเลียนแบบการทำงานของวงจรดังแสดงใน รูปที่ 3 เป็นผลที่ได้จากการป้อนกระแสอินพุท i_{in1} และ i_{in2} เป็นสัญญาณไซน์ที่มีความถี่ 10kHz และแอมปลิจูดขนาด 20μA โดยสัญญาณอินพุททั้งสองมีมุมเฟสต่างกัน 45° รูปที่ 4 เป็นผลตอบสนองทางความถี่ของวงจร ส่วนในรูปที่ 5 เป็นผลที่ได้จากการป้อนกระแสอินพุท i_{in1} และ i_{in2} เป็นสัญญาณรูปสามเหลี่ยม ที่มีแอมปลิจูดขนาด 20μA และช่วงคาบของสัญญาณเป็น 1ms



(ก)



(ข)



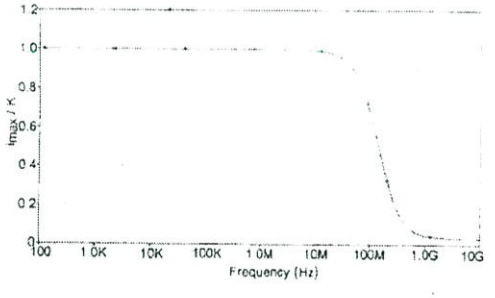
(ค)

รูปที่ 3 ผลการเลียนแบบการทำงานของวงจรที่ได้พัฒนาขึ้น

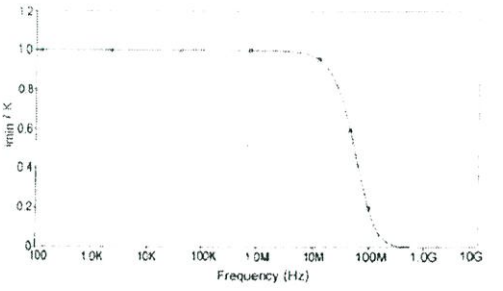
(ก) สัญญาณอินพุทที่เป็นสัญญาณไซน์ ความถี่ 10kHz แอมปลิจูดขนาด 20μA

(ข) ค่ากระแสเอาท์พุทที่มีค่าสูงสุด

(ค) ค่ากระแสเอาท์พุทที่มีค่าต่ำสุด



(ก)

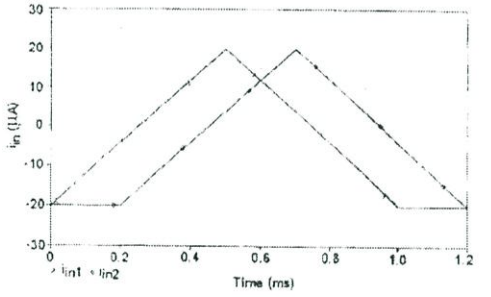


(ข)

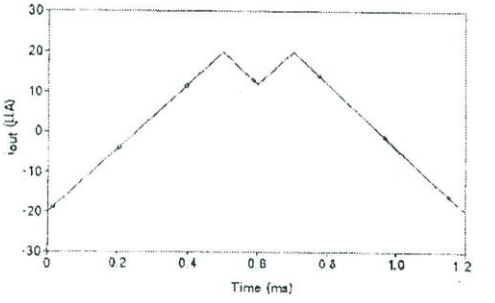
รูปที่ 4 ผลตอบสนองทางความถี่ของวงจร

(ก) กระแสเอาท์พุทที่มีค่าสูงสุด

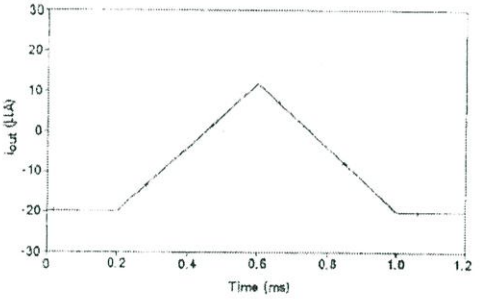
(ข) กระแสเอาท์พุทที่มีค่าต่ำสุด



(ก)



(ข)



(ค)

รูปที่ 5 ผลการเลียนแบบการทำงานของวงจรที่ได้พัฒนาขึ้น

(ก) สัญญาณอินพุทที่เป็นรูปสามเหลี่ยมแอมปลิจูด 20μA และช่วงคาบของสัญญาณ 1ms

(ข) ค่ากระแสเอาท์พุทที่มีค่าสูงสุด

(ค) ค่ากระแสเอาท์พุทที่มีค่าต่ำสุด

สรุป

วงจรหาค่าสูงสุดและต่ำสุดชนิด 2 อินพุทสำหรับสัญญาณกระแสที่ได้นำเสนอในบทความนี้ ออกแบบโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่มีโครงสร้างของวงจรขยายคลาส AB/B และวงจรสะท้อนกระแสเป็นหลัก โดยวงจรที่นำเสนอนี้สามารถให้ค่าความแม่นยำในการทำงานที่ดี มีความเร็วในการทำงานสูง จากการทดสอบสมรรถนะของวงจรที่ได้พัฒนาขึ้นโดยการเลียนแบบการทำงานด้วยโปรแกรม PSPICE สามารถยืนยันได้ว่าวงจรที่ออกแบบสอดคล้องตามหลักการที่ได้นำเสนอ

กิตติกรรมประกาศ

ขอขอบคุณสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช) ภายใต้โครงการส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติภายใต้โครงการการออกแบบวงจรรวมขนาดใหญ่มาก ที่ได้ให้ทุนและเครื่องมือสนับสนุนในการทำวิจัย

เอกสารอ้างอิง

M. J. Patter and J. E. Long. 1994. Synthesis of current mode building blocks for fuzzy logic control circuit. Proceedings of the ISCAS'94 International Symposium on Circuit and Systems. 283-286.

H. J. Zimmermann. 1991. Fuzzy Set Theory and to applications. Kluwer Academic Publishes.

B. Wilson. 1990. Recent developments in current conveyors and current-mode circuits. IEE Proc. G. 137 : 63-67.

T. Inoue, F. Ueno, T. Motomura, O. Setoguchi, and R. Matosuo. 1991. New High-speedanalogue max and min circuits using OTA-based bounded-difference operations. Electronics Letter. 27 : 1034-1035.

S. -I. Liu, Y. -S. Hwang, and J. -H. Tsay. 1993. CCII-based fuzzy membership function and max/min circuits. Electronics Letter. 29 : 116-118.

I. Baturone, J. L. Huertas, A. Barriga, and S. Sanchez-Solano. 1994. Current-mode multiple-input Max circuit. Electronics Letter. 30 : 678-680.

C. -Y. Huang, C. -J. Wang, and B. -D. Liu. 1996. Modular current-mode multiple input minimum circuit for fuzzy logic controllers. Electronics Letter. 32 : 1067-1069.

ประวัติผู้เขียน

นางสาววรรณดี เพชรมณีล้ำค่า เกิดเมื่อวันที่ 25 สิงหาคม พ.ศ. 2520 ที่จังหวัดระยอง สำเร็จการศึกษาในระดับปริญญาตรี หลักสูตรวิทยาศาสตรบัณฑิต สาขาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังในปีการศึกษา 2542 และในปีการศึกษา 2543 ได้เข้าศึกษาต่อในระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จนถึงปัจจุบัน