การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลาง ขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

THE DEVELOPMENT OF FPGA BASED 8 BITS 16 INSTRUCTIONS CENTRAL PROCESSING UNIT FOR DESIGN TRAINING SET

มั่นคง มณีรัตน์รุ่งโรจน์
MANKONG MANEERATTANARUNGROJN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาครุศาสตร์อุตสาหกรรมมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2546

ISBN 974-324-377-1

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลาง ขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

THE DEVELOPMENT OF FPGA BASED 8 BITS 16 INSTRUCTIONS CENTRAL PROCESSING UNIT FOR DESIGN TRAINING SET

มั่นคง มณีรัตนรุ่งโรจน์

MANKONG MANEERATTANARUNGROJN

เลขหมู่.....
เลขทะเบียน 47920
วัน, เดือน, ปี 27 ส.ค. 2546

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาครุศาสตร์อุตสาหกรรมมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2546

ISBN 974-324-377-1

THE DEVELOPMENT OF FPGA BASED 8 BITS 16 INSTRUCTIONS CENTRAL PROCESSING UNIT DESIGN TRAINING SET

MANKONG MANEERATTANARUNGROJN

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF SCIENCE IN INDUSTRIAL EDUCATION
IN ELECTRICAL COMMUNICATIONS ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2003

ISBN 974-324-377-1

COPYRIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

THE DEVELOPMENT OF FPGA BASED 8 BITS 16 INSTRUCTIONS CENTRAL PROCESSING UNIT FOR DESIGN TRAINING SET

ชื่อนักศึกษา นายมั่นคง มณีรัตนรุ่งโรจน์

รหัสประจำตัว 43064628

ปริญญา ครุศาสตร์อุตสาหกรรมมหาบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้าสื่อสาร

อาจารย์ผู้ควบคุมวิทยานิพนธ์ ดร.สุรสิทธิ์ ราตรี

อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม ผศ.กิติพงค์ มะโน

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ดร.สุรสิทธิ์	ราตรี	
ผศ.กิติพงค์	มะโน	
ผศ.อุดมศักดิ์	สาริบุตร	
ดร.มาลัย	จีรวัฒนเกษตร์	
ผศ.ดร.ธีระพล	เทพหัสดิน ณ อยุธยา	

วัน/เดือน/ปี ที่สอบ 2 เมษายน 2546 เวลา 9.30 น. เป็นต้นไป

สถานที่สอบ ณ ห้องเรียนปริญญาเอก คณะครุศาสตร์อุตสาหกรรม

บัณฑิตวิทยาลัยรับรองแล้ว

(รศ.ดร.บุญวัฒน์ อัตชู)

คณบดีบัณฑิตวิทยาลัย

วันที่ 19 **เดือน** เมษายน **พ.ศ.** 2546

หัวข้อวิทยานิพนธ์	การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA
นักศึกษา	มั่นคง มณีรัตนรุ่งโรจน์
รหัสประจำตัว	43064628
ปริญญา	ครุศาสตร์อุตสาหกรรมมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้าสื่อสาร
พ.ศ.	2546
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ดร. สุรสิทธ์ ราตรี
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	ผศ. กิติพงค์ มะโน

บทคัดย่อ

การวิจัยนี้มีวัตถุประสงค์เพื่อเป็นการพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA และเพื่อหาความพึงพอใจของผู้ใช้ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

กลุ่มตัวอย่างที่ใช้ในการวิจัยเป็นผู้ที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์และสถาบันการศึกษาที่เปิดสอนสาขาวิชาอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้ว จำนวน 12 คน เครื่องมือที่ใช้ในการวิจัยเป็นชุดฝึกทดลองและใบงานการทดลอง โดยแบ่งกลุ่มตัวอย่างออกได้เป็น 3 กลุ่ม กลุ่มละ 4 ท่าน คือ กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์ กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ โดยมีค่าเฉลี่ยเท่ากับ 4.13, 4.03 และ 3.90 ตามลำดับ

ผลการวิจัยสรุปว่า ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA มีการทำงานที่ถูกต้องโดยกลุ่มตัวอย่างที่ทดลองใช้งานชุดฝึกทดลอง และใบงานการทดลองมีความพึงพอใจต่อการใช้ชุดฝึกทดลองอยู่ในระดับมาก

Thesis Title	The Development of FPGA Based 8 Bits 16 Instructions Central Processing Unit for Design Training Set
Student	Mr. Mankong Maneerattanarungrojn
Student ID	43064628
Degree	Master of Science in Industrial Education
Programme	Electrical Communications Engineering
Year	2003
Thesis Advisor	Dr. Surasit Ratee
Thesis Co-Advisor	Assistant Professor Kitipong Mano

ABSTRACT

The purposes of this study were to develop and find the satisfied Users of FPGA Base 8 Bits 16 Instructions Central Processing Unit Design Training Set.

The sample of the study were 12 persons who have finished in bachelor degree that have knowledge the digital and computer architecture in electronics industrial and institute of electronics have used FPGA before.

The research is the questionnaire design by asking satisfied of experimenters into training set and Experiment Sheets. By dividing the sample of this study into 3 groups each group has 4 persons. The sample who have knowledge in digital. The sample who have knowledge in computer. The sample who have knowledge in digital and computer. This 3 groups have average 4.13, 4.03 and 3.90.

The results of this research were the sample of experimenters into training set and testing report have satisfied in the high level.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จได้ด้วยความอนุเคราะห์จาก ดร.สุรสิทธ์ ราตรี และ ผศ.กิติพงค์ มะโน อาจารย์ที่ปรึกษาวิทยานิพนธ์ ได้กรุณาให้คำแนะนำ ให้ความช่วยเหลือให้กำลังใจ และช่วยตรวจสอบแก้ไขเครื่องมือที่ใช้ในการวิจัย ตลอดจนให้ใช้อุปกรณ์ที่เกี่ยวข้องกับการวิจัยต่างๆ จนวิทยานิพนธ์นี้สำเร็จได้อย่างสมบูรณ์ ผู้วิจัยรู้สึกซาบซึ้งในความกรุณา และขอขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ ดร.มาลัย จีรวัฒนเกษตร์ ที่ให้คำแนะนำให้การวิเคราะห์ข้อมูลการวิจัย ผศ.ดร.ธีรพล เทพหัสดิน ณ อยุธยา และ ผศ.อุดมศักดิ์ สาริบุตร คณะกรรมการสอบวิทยานิพนธ์ที่ให้คำแนะนำในการแก้ไขข้อบกพร่องเพื่อให้วิทยานิพนธ์นี้สมบูรณ์ยิ่งขึ้น

ขอขอบพระคุณ อาจารย์ทุกท่าน ที่ได้ประสิทธิ์ประสาทความรู้ ตลอดจนข้อคิดต่างๆอันก่อให้เกิดประโยชน์ต่อการศึกษาค้นคว้า และเป็นแนวทางในการจัดทำวิทยานิพนธ์จนประสบความสำเร็จ

ขอขอบพระคุณ อาจารย์ชำนาญ ปัญญาใส อาจารย์วัชรากรณ์ หนูทอง อาจารย์ยุทธนา เจวจินดา ซึ่งเป็นผู้ทรงคุณวุฒิ ที่กรุณาให้ความช่วยเหลือ ให้คำแนะนำและตรวจสอบแก้ไข เพื่อปรับปรุงให้เครื่องมือที่ใช้ในการวิจัยมีคุณภาพสูงสุด

ขอขอบพระคุณ คุณสุทธิชัย มณีรัตนรุ่งโรจน์ พี่ชาย ที่ให้คำปรึกษาในการสร้างเครื่องมือการวิจัยมาโดยตลอด

ขอขอบพระคุณ คุณพ่อ และคุณแม่ ผู้เป็นที่เคารพรักยิ่ง รวมทั้งพี่-น้อง ทุกคน ที่ได้ให้ความรัก ให้กำลังใจ ให้การสนับสนุน และช่วยเหลือทุกด้านตลอดมา

ขอขอบคุณเพื่อนๆ และบุคคลที่ผู้วิจัยไม่ได้กล่าวมาในที่นี้ ที่ให้การสนับสนุน ตลอดจนให้ความช่วยเหลือในด้านต่างๆ และเป็นกำลังใจแก่ผู้วิจัยมาโดยตลอด

คุณค่า และประโยชน์ใดๆ ที่เป็นผลจากวิทยานิพนธ์นี้ ผู้วิจัยขอมอบแด่ คุณพ่อคุณแม่ และครู – อาจารย์ ทุกท่าน ด้วยความเคารพยิ่ง

มั่นคง มณีรัตนรุ่งโรจน์

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VI

สารบัญภาพ.....VII

บทที่ 1 บทนำ.....1

1.1 ความเป็นมาและความสำคัญของปัญหา.....1

1.2 วัตถุประสงค์การวิจัย.....2

1.3 สมมุติฐานการวิจัย.....2

1.4 กรอบแนวคิดที่ใช้ในการวิจัย.....2

1.5 ขอบเขตของการวิจัย.....3

1.6 ข้อตกลงเบื้องต้น.....4

1.7 นิยามศัพท์เฉพาะ.....4

บทที่ 2 เอกสารและงานวิจัยที่เกี่ยวข้อง.....6

2.1 การวิจัยเชิงทดลอง.....6

2.2 การออกแบบและสร้างชุดฝึกทดลอง.....8

2.3 ความรู้เกี่ยวกับหน่วยประมวลผลกลาง (Central Processing Unit).....10

2.4 FPGAตระกูล XC4000.....20

2.5 ภาษา VHDL.....22

2.6 งานวิจัยที่เกี่ยวข้อง.....25

บทที่ 3 วิธีดำเนินการวิจัย.....28

3.1 ประชากรและกลุ่มตัวอย่าง.....28

3.2 เครื่องมือที่ใช้ในการวิจัย.....28

3.3 การตรวจสอบคุณภาพของเครื่องมือ.....31

3.4 การดำเนินการทดลอง.....35

สารบัญ (ต่อ)

หน้า

3.5 การวิเคราะห์ข้อมูล.....36
3.6 สถิติที่ใช้ในการวิจัย.....37

บทที่ 4 ผลการวิเคราะห์ข้อมูล.....38
4.1 การวิเคราะห์ข้อมูล.....38
4.2 การวิเคราะห์หาค่าความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลอง.....39
4.3 การวิเคราะห์หาค่าความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อใบงานการทดลอง.....40

บทที่ 5 สรุปผลการวิจัย อภิปรายผลและข้อเสนอแนะ.....44
5.1 วัตถุประสงค์ของการวิจัย.....44
5.2 สมมุติฐานการวิจัย.....44
5.3 ประชากรและกลุ่มตัวอย่าง.....44
5.4 เครื่องมือที่ใช้ในการวิจัย.....45
5.5 การเก็บรวบรวมข้อมูล.....46
5.6 สรุปผลการวิจัย.....47
5.7 อภิปรายผล.....47
5.8 ข้อเสนอแนะในการวิจัย.....50

บรรณานุกรม.....52

ภาคผนวก.....54
ภาคผนวก ก หนังสือราชการ.....55
ภาคผนวก ข แบบประเมินคุณภาพชุดฝึกทดลอง.....62
ภาคผนวก ค การวิเคราะห์ข้อมูล.....93
ภาคผนวก ง ตัวอย่างใบงานการทดลองและคู่มือชุดฝึกทดลอง.....106

ประวัติผู้เขียน.....216

สารบัญตาราง

ตารางที่ หน้า

2.1 แสดงคุณสมบัติของ FPGA เบอร์ต่างๆในตระกูล XC4000.....20

2.2 แสดงความหนาแน่นและแสดงจำนวนจุดต่อร่วมต่างๆในวงจรของ FPGA XC4000.....21

4.1 แสดงผลการวิเคราะห์จากการทดลองเพื่อหาความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลอง.....39

4.2 แสดงความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง.....40

4.3 แสดงความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีความรู้ทางด้านดิจิตอลที่มีต่อใบงานการทดลอง.....41

4.4 แสดงความพึงพอใจของผู้ทดลองที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์ที่มีต่อใบงานการทดลอง.....42

4.5 แสดงความพึงพอใจของผู้ทดลองที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่มีต่อใบงานการทดลอง.....43

สารบัญภาพ

ภาพที่ หน้า

2.1 โครงสร้างภายในของหน่วยประมวลผลกลาง.....11
2.2 วงจรพื้นฐานของหน่วยประมวลผลกลาง.....12
2.3 วงจร ALU.....14
2.4 วงจรDecoder.....15
2.5 ภาค Microsequenser.....16
2.6 การเชื่อมโยงภาคต่างๆของหน่วยควบคุม.....17
2.7 แสดงถึงวงจรของหน่วยประมวลผลกลางขนาด 8 บิต.....18
2.8 โครงสร้างของโปรแกรมโครงร่างทางลอจิก CLB ใน XC4000.....21
2.9 ขอบเขตเส้นทั้งสี่ด้านของ XC4000EX.....22
3.1 ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA และใบงานการทดลองที่ผู้วิจัยสร้างขึ้น.....29
3.2 ขั้นตอนการสร้างใบงานการทดลองและชุดฝึกทดลองการออกแบบหน่วยประมวลผล กลาง ขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA.....32
3.3 ขั้นตอนการสร้างแบบสอบถามความพึงพอใจของกลุ่มตัวอย่าง.....33
3.4 ผู้ใช้ชุดฝึกทดลองกำลังทำการทดลองใช้ชุดฝึกทดลอง.....35
3.5 การต่อใช้งานชุดฝึกทดลองกับเครื่องไมโครคอมพิวเตอร์.....35

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันระบบควบคุมอัตโนมัติทั้งที่ใช้ในชีวิตประจำวัน ระบบควบคุมที่ใช้ในโรงงานอุตสาหกรรมและเครื่องมืออำนวยความสะดวกต่างๆ เช่น เครื่องคิดเลข คอมพิวเตอร์ส่วนบุคคล เครื่องจักรขนาดใหญ่ ระบบอัตโนมัติดังกล่าวล้วนแล้วแต่ใช้การควบคุมด้วยตัวประมวลผลกลาง และจากการศึกษาข้อมูลทางด้านการเรียนการสอนที่เกี่ยวกับอิเล็กทรอนิกส์และคอมพิวเตอร์พบว่า ความรู้ทางด้านการออกแบบหน่วยประมวลผลกลางมีบทบาทที่สำคัญอย่างมากในการปฏิบัติงานหลายแขนง เช่น ระบบคอมพิวเตอร์ ไมโครโปรเซสเซอร์ จึงจำเป็นต้องทำการศึกษาถึงการออกแบบหน่วยประมวลผลกลางเพื่อนำความรู้ไปประยุกต์ใช้ในการออกแบบหน่วยประมวลผลกลางให้เหมาะสมกับงานต่อไป ผู้วิจัยได้ศึกษาข้อมูลทางด้านวิศวกรรมอิเล็กทรอนิกส์ของสถานศึกษาและบริษัทต่างๆพบว่า โรงงานอุตสาหกรรมทั้งขนาดเล็กและขนาดใหญ่ในประเทศไทยได้ให้ความสนใจในด้านการวิจัยและพัฒนาทางด้านตัวประมวลผลมากขึ้น ประกอบกับสถาบันที่สอนทางด้านวิทยาศาสตร์และเทคโนโลยี เช่น สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังและมหาวิทยาลัยเกษตรศาสตร์เป็นต้น ได้พัฒนาหลักสูตรเพื่อให้ผู้เรียนสามารถออกแบบตัวประมวลผลกลางได้ อย่างไรก็ตามในปัจจุบันยังพบว่ายังไม่มีชุดฝึกสำหรับฝึกหัดออกแบบตัวประมวลผลอย่างเป็นรูปธรรมที่ชัดเจนซึ่งส่วนใหญ่จะมีแต่ชุดฝึกการออกแบบระบบที่มีตัวประมวลผลกลางของบริษัทต่างๆและชุดฝึกดังกล่าว เน้นเฉพาะการประยุกต์ใช้งานมากกว่าการฝึกหัดออกแบบตัวประมวลผลกลาง ซึ่งจะมีชุดฝึกแบ่งออกเป็นหลาย โมดูลยากต่อการเข้าใจอีกทั้งราคาค่อนข้างแพง เช่น ชุดทดลอง FPGA Starter Kit ของบริษัท KANDA System (Semiconductors Integrated Circuits.2000)[Internet] มีราคาแพงมาก อีกทั้งยังต้องนำเข้าจากต่างประเทศ และยังไม่เน้นกระบวนการออกแบบที่เป็นระบบอย่างแท้จริง ชุดฝึกทดลองมีการออกแบบหน่วยประมวลผลกลางที่ยังไม่สมบูรณ์ ทั้งนี้หน่วยต่างๆของตัวประมวลผลกลางนั้นยังแยกกัน หรือไม่รวมอยู่ในชุดเดียวกัน ซึ่งจะใช้ระยะเวลามากในการทำความเข้าใจ ในปัจจุบันการออกแบบวงจร และระบบดิจิตอลมีการนำอุปกรณ์โปรแกรมได้ (Field Programmable Gate Array :FPGA) มาเป็นอุปกรณ์ที่จะพัฒนาเครื่องต้นแบบหรือเพื่อทดสอบการทำงานของระบบที่ต้องการการออกแบบโดยอุปกรณ์ FPGA ที่ได้รับความนิยมมากตระกูลหนึ่งคือของบริษัท Xilinx อุปกรณ์ดังกล่าวสามารถออกแบบและโปรแกรมได้ไม่จำกัดจำนวนครั้งซึ่งมีประโยชน์มากโดยเฉพาะเมื่อนำมาสร้างเป็นอุปกรณ์หลักในการทดลองออกแบบวงจรและระบบดิจิตอล

จากคุณสมบัติของอุปกรณ์ FPGA ดังกล่าวหากมีการนำ FPGA มาเป็นอุปกรณ์หลักในการสร้างชุดฝึกทดลองซึ่งมีการเปลี่ยนแปลงได้หลายๆหน้าที่แล้วจะมีความเหมาะสมอย่างยิ่ง จากเหตุผลดังกล่าวผู้วิจัยจึงมีความสนใจที่จะทำการพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA เพื่อช่วยให้ผู้ที่มีความสนใจในด้านการออกแบบหน่วยประมวลผลกลางได้รับประโยชน์จากการเรียนรู้วิธีการออกแบบหน่วยประมวลผลกลางเพื่อใช้ในงานควบคุมต่างๆและการเขียนโปรแกรมควบคุมการทำงานของตัวประมวลผลกลาง ข้อดีของการพัฒนาชุดฝึกทดลองโดยใช้อุปกรณ์ FPGA คือทำให้ชุดฝึกทดลองมีขนาดเล็กใช้งานได้ง่าย สะดวกต่อการเคลื่อนย้าย นอกจากนี้ยังสามารถปรับปรุงเทคนิคการออกแบบได้ตลอดเวลา

1.2 วัตถุประสงค์การวิจัย

1. เพื่อพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

2. เพื่อหาความพึงพอใจของผู้ใช้ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA

1.3 สมมุติฐานการวิจัย

1. ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA มีการทำงานที่ถูกต้อง

2. ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลาง ขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ที่สร้างขึ้นมานั้นมีค่าระดับความพึงพอใจมาก

1.4 กรอบแนวคิดที่ใช้ในการวิจัย

การสร้างชุดทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ผู้วิจัยได้กำหนดขั้นตอนการออกแบบชุดฝึกทดลองจากกระบวนการเรียนการสอนของ การ์เย่ (Gagne') ซึ่งมี 9 ขั้นตอน อ้างใน [ถนอมพร (ตันพิพัฒน์) เลาหจรัสแสง. 2541 :41-48] ดังนี้

1. ดึงดูดความสนใจ
2. บอกวัตถุประสงค์
3. ทวนความรู้เดิม
4. การเสนอเนื้อหาใหม่
5. ชี้แนวทางการเรียนรู้

6. กระตุ้นการตอบสนอง
7. ให้ผลป้อนกลับ
8. ทดสอบความรู้
9. การจำและนำไปใช้

จากกระบวนการทฤษฎีการเรียนรู้ของ Gagne ดังกล่าวผู้วิจัยได้ดัดแปลงนำมาใช้เป็นกรอบในการสร้างชุดฝึกทดลอง จำนวน 6 ขั้นตอนคือ

1. ดึงดูดความสนใจ เพื่อกระตุ้น และจูงใจผู้ทดลอง
2. บอกวัตถุประสงค์ในการเรียนรู้ของชุดฝึกทดลองให้ผู้ทดลองได้ทราบล่วงหน้า
3. การเสนอเนื้อหาใหม่ เพื่อให้ผู้ทดลองได้ฝึกทดลองนอกเหนือจากที่เคยทำมาแล้ว
4. ชี้แนวทางการเรียนรู้ เพื่อให้ผู้ทดลองมีทักษะ และประสบการณ์เดิมรวมกันเกิดเป็นทักษะใหม่
5. กระตุ้นการตอบสนอง เพื่อให้ผู้ทดลองได้ร่วมกระทำกิจกรรมขั้นตอนต่างๆ
6. การจำและนำไปใช้งาน เป็นการสรุปเฉพาะประเด็นสำคัญ เพื่อให้ผู้ทดลองได้มีโอกาสทบทวน และสามารถนำความรู้ไปใช้ใหม่ได้

1.5 ขอบเขตของการวิจัย

1. พัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA

2. เนื้อหาการทดลองประกอบชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ซึ่งประกอบด้วยใบงานการทดลองมีเนื้อหาในการฝึกทดลองดังนี้

2.1. การใช้งาน Software Xilinx Foundation 2.1I
2.2. การสร้าง Input / Output Buffer ขนาด 8 บิต
2.3. การออกแบบวงจรคอมไบเนชั่น (Combinational Circuit Design)
2.4. การสร้างวงจร ALU
2.5. 8 Bit CPU
2.6. Control Unit
2.7. วงจร Decoder
2.8. Microsequenser2
2.9. Final Control Unit
2.10. CPU Design

3. ประชากร และกลุ่มตัวอย่าง

3.1 ประชากรที่ใช้ในการวิจัยเป็นผู้ที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้ว

3.2 กลุ่มตัวอย่างที่ใช้ในการวิจัยเป็นผู้ใช้ชุดฝึกทดลองที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้ว จำนวน 12 ท่าน โดยแบ่งกลุ่มตัวอย่างออกได้เป็น 3 กลุ่ม กลุ่มละ 4 ท่าน คือ

1. กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล
2. กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์
3.กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์

4. ตัวแปรที่ศึกษา คือ ความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

1.6 ข้อตกลงเบื้องต้น

กลุ่มตัวอย่างในการวิจัยครั้งนี้ เป็นผู้จบการศึกษาระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอล และสถาปัตยกรรมคอมพิวเตอร์มาก่อน ดังนั้นกลุ่มตัวอย่างทั้งหมดจึงมีพื้นฐานความรู้ทางด้านทฤษฎีทางด้านการออกแบบหน่วยประมวลผลกลางใกล้เคียงกัน อนึ่งการวิเคราะห์ผลการวิจัยครั้งนี้ จะไม่คำนึงถึงความแตกต่าง ระหว่าง ช่วงเวลาในการทดลอง เชาว์ปัญญา เพศ วัย แรงจูงใจ พื้นฐานทางเศรษฐกิจ สังคม และอารมณ์ของกลุ่มตัวอย่าง ตลอดจนการตอบแบบสอบถามเพื่อทราบความคิดเห็นของผู้ทรงคุณวุฒิ ถือว่าได้กระทำด้วยดุลยพินิจจากความจริงใจ ซึ่งแสดงถึงความรู้สึกอันแท้จริงของกลุ่มผู้ทรงคุณวุฒิ

1.7 นิยามศัพท์เฉพาะที่ใช้ในการวิจัย

1. ชุดฝึกทดลอง หมายถึง เครื่องมือที่ใช้ในการเรียนรู้โดยการปฏิบัติทดลองและสังเกตุปรากฏการณ์ที่เปลี่ยนแปลงบนชุดฝึกทดลองตามคำแนะนำของคู่มือการทดลองในที่นี้หมายถึง ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ซึ่งเป็นเครื่องมือที่ใช้ในการเรียนรู้วิธีการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยสามารถออกแบบโครงสร้างและคำสั่งให้หน่วยประมวลผลกลางทำงานจากนั้นนำข้อมูลที่ได้ออกแบบ มาโปรแกรมให้กับ FPGA เพื่อให้ชุดฝึกทดลอง สามารถทำงานได้ตามข้อกำหนด

2. ใบงานการทดลอง หมายถึง เอกสารอธิบายวิธีการปฏิบัติตามลำดับขั้นตอนตั้งแต่เริ่มต้นจนเสร็จสิ้นกระบวนการปฏิบัติ พร้อมทั้งมีแบบฝึกหัดเพื่อให้ผู้ปฏิบัติได้ฝึกหัดปฏิบัตินอกเหนือจากเนื้อหาในเอกสาร ที่ใช้ร่วมกับชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA

3. คู่มือการใช้งานชุดฝึกทดลอง หมายถึง เอกสารอธิบายการใช้งาน ลักษณะของการต่อวงจรภายใน อุปกรณ์ที่เกี่ยวข้องภายในชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA

4. FPGA (Field Programmable Gate Array) หมายถึง เป็นอุปกรณ์ที่สามารถโปรแกรมโครงร่างทางลอจิกได้หลายครั้ง สามารถรองรับวงจรดิจิตอลที่มีความสลับซับซ้อนได้เป็นอย่างดี มีความจุเกทภายในตั้งแต่หนึ่งพันตัวจนถึงระดับล้านตัว โดยมีขนาด 8 บิต 16 คำสั่ง ตระกูล XC4000

5. ความพึงพอใจ หมายถึง ความรู้สึกชอบหรือพอใจของผู้ที่ทดลองในการใช้งานชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

6. ผู้ทรงคุณวุฒิ หมายถึง ผู้ที่มีความรู้ความสามารถทางด้านดิจิตอล และสถาปัตยกรรมคอมพิวเตอร์โดยสามารถที่จะตรวจสอบการทำงานของชุดฝึกทดลองได้อย่างมีประสิทธิภาพ ซึ่งผู้วิจัยจะต้องนำผลงานที่สร้างขึ้นมาเสนอให้ผู้ทรงคุณวุฒิตรวจสอบก่อนนำไปใช้งานจริงกับกลุ่มผู้ใช้งานโดยแบ่งออกเป็น 3 กลุ่ม คือ กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์ และกลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์

บทที่ 2
เอกสารและงานวิจัยที่เกี่ยวข้อง

ในการวิจัยครั้งนี้ เป็นการวิจัยเชิงทดลอง ผู้วิจัยมุ่งที่จะให้บุคคลที่มีความรู้และสนใจในการออกแบบหน่วยประมวลผลกลางได้ลงมือปฏิบัติด้วยตนเองโดยใช้ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลาง ขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ที่ผู้วิจัยสร้างขึ้น เพราะการทดลองด้วยการปฏิบัติจะทำให้ได้รับประสบการณ์ตรง ฉะนั้นจึงขอกล่าวถึงการศึกษาเอกสารและงานวิจัยที่เกี่ยวข้องดังนี้

2.1 การวิจัยเชิงทดลอง

2.2 การสร้างชุดฝึกทดลอง

2.3 ความรู้เกี่ยวกับหน่วยประมวลผลกลาง (Central Processing Unit)

2.4 FPGA ตระกูล XC4000

2.5 ภาษา VHDL

2.6 งานวิจัยที่เกี่ยวข้อง

2.1 การวิจัยเชิงทดลอง

การวิจัยเชิงทดลอง เป็นวิธีการแสวงหาความรู้อย่างมีระบบ และ มีเหตุมีผล การทดลองเป็นวิธีการทดสอบสมมุติฐานอย่างหนึ่ง คือ เมื่อผู้วิจัยนิยามปัญหาที่จะวิจัยแล้วก็ตั้งสมมุติฐาน ซึ่งสมมุติฐานนี้อาจถูกหรือผิดก็ได้ การที่สมมุติฐานจะได้รับการยืนยัน หรือไม่ได้รับการยืนยันจากข้อมูล ขึ้นอยู่กับการควบคุมความสัมพันธ์ระหว่างตัวแปร ว่ามีความถูกต้องเพียงใด จุดมุ่งหมายของการวิจัยเชิงทดลอง ก็เพื่อพยากรณ์เหตุการณ์ที่ได้ผลจากผลการทดลอง และหาผลสรุปเกี่ยวกับความสัมพันธ์ระหว่างตัวแปรต่างๆ (ประกาศิต ตันติอลงการ , 2535 :3)

วิธีการดำเนินการวิจัยเชิงทดลอง ประกอบด้วยขั้นตอนต่างๆ ดังนี้

1. การศึกษางานวิจัย หนังสือ บทความต่างๆ ที่เกี่ยวกับปัญหาที่จะทำการวิจัย
2. กำหนดจุดมุ่งหมาย และนิยามปัญหาที่จะทำให้ชัดเจน
3. ตั้งสมมุติฐาน นิยามคำศัพท์เฉพาะ และตัวแปรให้ชัดเจน
4. สร้างแบบแผนการฝึกทดลองให้เป็นตัวแทนของข้อมูลทั้งหมด ระบุตัวแปรที่ไม่เกี่ยวข้องทั้งหมด เลือกแผนการวิจัยที่เกี่ยวข้องกับปัญหา เลือกกลุ่มตัวอย่างที่เป็นตัวแทนของประชากรทั้งหมด คัดเลือกเครื่องมือในการวิจัย โดยพิจารณาถึงความเที่ยงตรงของเครื่องมือ แปลงสมมุติฐานให้เป็นข้อมูลทางสถิติ

5. ดำเนินการทดลอง และต้องควบคุมสิ่งต่างๆ ให้คงที่

6. กำจัดลักษณะการกระทำต่างๆ ที่อาจทำให้ได้ข้อมูลที่ผิด และมีอิทธิพลต่อการทดลอง

7. นำวิธีทางสถิติมาทดสอบสมมุติฐาน และพิจารณาประสิทธิภาพของผลการวิจัยที่ได้ (ประกาศิต ตันติอลงการ, 2535 : 9)

ศักรินทร์ โสนันทะ (2542 : 8) ได้เขียนขั้นตอนการวิจัยเชิงทดลองดังนี้

1. ในการสอนด้วยวิธีทดลองนั้น ต้องกำหนดวัตถุประสงค์เชิงพฤติกรรมของผู้ทดลองไว้ให้ชัดเจนเพื่อให้มีทักษะอะไร หรือเพื่อพิสูจน์อะไร การสอนโดยวิธีทดลองนี้ครูจะต้องวิเคราะห์กิจกรรมการสอนประกอบไปด้วยขั้นตอนอะไรบ้าง และกิจกรรมการเรียนจะมีลำดับขั้นตอนอย่างไร มีวัสดุอุปกรณ์และเครื่องมืออะไร และจะใช้เมื่อไหร่

2. วิธีสอนแบบทดลอง เป็นวิธีการที่ส่งเสริมให้นักเรียนเกิดการเรียนรู้จาการค้นพบ โดยวิธีปฏิบัติการในห้องทดลอง นักเรียนจะได้รับความรู้จากประสบการณ์ตรงโดยสังเกตุจากการทดลอง และการดำเนินการสอนมีดังนี้

2.1 ขั้นนำให้เกิดความเข้าใจและแรงจูงใจ ครูจะแนะนำสิ่งที่จะทำการทดลอง อธิบายวิธีการทดลอง และแจกคำแนะนำในการทดลอง

2.2 ขั้นทำการทดลอง นักเรียนทุกคนจะทำการทดลองในปัญหาเดียวกัน หรืออาจแตกต่างกันก็ได้

2.3 ขั้นเสนอผลการทดลองนักเรียนรายงานข้อมูล หรือสิ่งที่ค้นพบนั้นรวบรวมเป็นแบบรายงานหรือจัดแสดงนิทรรศการผลงานด้านต่างๆ พร้อมทั้งอธิบายประกอบ

2.4 ขั้นสรุปและวัดผล ครูและนักเรียนร่วมกันสรุปผลการทดลอง และความคิดรวบยอดที่ต้องการ

3. การสอนแบบปฏิบัติการ เป็นการสอนที่ให้ผู้เรียนกระทำกิจกรรมการเรียนการสอนภายใต้การแนนำจากครู และการทดลองปฏิบัติ ฝึกการใช้ทฤษฎีโดยผ่านการสังเกต การทดลองภายใต้สภาพที่ควบคุมไว้

ข้อดีของการสอนแบบปฏิบัติมีดังนี้

3.1 การกระทำกิจกรรมการเรียนโดยการทดลองอาจดำเนินโดยผู้เรียนเป็นรายบุคคล หรือเป็นกลุ่มเล็กๆ ก็ได้

3.2 ผู้เรียนอาจศึกษากิจกรรม วิธีปฏิบัติ จากสื่อที่สามารถเรียนได้ด้วยตนเอง

3.3 เป็นเทคนิคที่เป็นรากฐานการแก้ปัญหาผู้เรียนได้เรียนรู้ การสรุปครอบคลุมในสถานการณ์ใหม่ๆ

3.4 เป็นวิธีการเรียนรู้ที่ผู้เรียนจะทำการสืบเสาะหาความรู้และค้นพบความรู้ เพื่อเพิ่มความสามารถในการทำงานอย่างมีประสิทธิภาพ และมีทักษะมากขึ้น

สถาพร จำรัสเลิศลักษณ์ (2542 : 17) กล่าวไว้ว่า วิธีการสอนถือว่าเป็นส่วนสำคัญอย่างยิ่งส่วนหนึ่งของการศึกษา ถ้าผู้สอนรู้จักวิธีการสอนที่ดีที่เหมาะสมแล้วย่อมจะทำให้ผู้เรียนได้ประโยชน์ดังนี้

1. ได้รับความรู้และความเข้าใจในบทเรียนที่ครูสอน
2. มีทัศนคติที่ดีต่อสิ่งที่เรียนรู้
3. มีความสามารถนำสิ่งต่างๆที่เรียนรู้ไปใช้ประโยชน์
4. มีทักษะและความชำนาญในวิชาการที่เรียนรู้
5. นำความรู้ที่เกิดขึ้นไปใช้แก้ปัญหาต่างๆ
6. นำความรู้ที่เกิดขึ้นไปพัฒนา เพื่อให้เกิดความรู้ที่กว้างขวางมากขึ้น
7. ก่อให้เกิดความคิดใหม่ๆ

ประโยชน์ดังกล่าวจึงถือว่า วิธีการสอนมีความหมายและมีความสำคัญอย่างยิ่งต่อผู้เรียนที่จะส่งผลให้ผู้เรียนได้รับประโยชน์กลับไปมากน้อยเพียงไร

2.2 การออกแบบและสร้างชุดฝึกทดลอง

ในการออกแบบและสร้างชุดฝึกทดลองผู้วิจัยได้นำแนวคิดของ Gagne ซึ่งมี 9 ขั้น [ถนอมพร (ตันพิพัฒน์) เลาหจรัสแสง. 2541 :41-48] มีดังนี้

1. ดึงดูดความสนใจ เป็นการกระตุ้นและจูงใจให้ผู้เรียนมีความต้องการที่จะเรียน ผู้เรียนที่มีแรงจูงใจในการเรียนสูงย่อมจะเรียนได้ดีกว่าผู้ที่มีแรงจูงใจน้อยหรือไม่มีแรงจูงใจเลย ตามหลักจิตวิทยาแล้วการจูงใจถือเป็นกระบวนการที่นำไปสู่พฤติกรรมที่มีเป้าหมาย(Motivated Behavior) และเป้าหมาย(Goal) ในที่สุด

2. บอกวัตถุประสงค์ เป็นการบอกวัตถุประสงค์แก่ผู้เรียน ทั้งนี้เพื่อเป็นการให้ผู้เรียนได้ทราบถึงเป้าหมายในการเรียนโดยรวมหรือสิ่งต่างๆที่ผู้เรียนจะสามารถทำได้หลังจากที่เรียนจบบทเรียน การบอกวัตถุประสงค์นี้อาจอยู่ในรูปวัตถุประสงค์กว้างๆจนถึงวัตถุประสงค์เชิงพฤติกรรม การบอกวัตถุประสงค์แก่ผู้เรียนเป็นสิ่งสำคัญซึ่งจะช่วยให้ผู้เรียนทำความเข้าใจเนื้อหาได้ดีขึ้น

3. ทวนความรู้เดิม การทวนความรู้เดิมของผู้เรียนตามทฤษฎีโครงสร้างความรู้(Schema Theory) การรับรู้ (Perception) เป็นสิ่งสำคัญที่ทำให้เกิดการเรียนรู้เนื่องจากไม่มีการเรียนรู้ใดเกิดขึ้นได้โดยปราศจากการรับรู้ นอกจากนี้การรับรู้ข้อมูลนั้นเป็นการสร้างความหมายโดยการเชื่อมโยงความรู้ใหม่เข้ากับความรู้เดิม ภายในกรอบความรู้เดิมที่มีอยู่และจากการกระตุ้นให้เกิดการเชื่อมโยงความรู้นั้นเข้าด้วยกัน ดังนั้นการปูความรู้พื้นฐานที่จำเป็นในการรับรู้ความรู้ใหม่ให้แก่ผู้เรียนจึงเป็นสิ่งจำเป็น

4. การเสนอเนื้อหาใหม่ เป็นการนำเสนอโดยใช้ตัวกระตุ้น(Stimuli) ที่เหมาะสมในการเสนอเนื้อหาใหม่เป็นสิ่งสำคัญสำหรับการสอน ทั้งนี้เพื่อช่วยให้การรับรู้เป็นไปอย่างมีประสิทธิภาพ

5. ชี้แนวทางการเรียนรู้ ในการเรียนการสอนตามปกตินั้น บ่อยครั้งที่เราสังเกตว่า ครูผู้สอนไม่บอกคำตอบหรือนำเสนอแนวคิดหรือเนื้อหาโดยตรงแก่ผู้เรียน แต่ในทางตรงกันข้ามครูผู้สอนจะใช้การสอนแบบค้นพบหรือสอนแบบอุปมาน เช่นยกตัวอย่าง การยกตัวอย่างหรือตั้งคำถามชี้แนะกว้างๆ และแคบลงไปเรื่อยๆ เพื่อให้ผู้เรียนพยายามคิดวิเคราะห์เพื่อหาคำตอบหรือค้นพบแนวคิดหรือเนื้อหาใหม่นั้นด้วยตนเอง

6. กระตุ้นการตอบสนอง การกระตุ้นให้เกิดการตอบสนองจากผู้เรียน กล่าวคือหลังจากที่ผู้เรียนได้รับการชี้แนวทางการเรียนรู้แล้วขั้นต่อไปคือการอนุญาตให้ผู้สอนหรือครูได้มีโอกาสทดสอบว่าผู้เรียนเข้าใจในสิ่งที่ตนกำลังสอนอยู่หรือไม่และผู้เรียนก็ได้มีโอกาสได้ทดสอบความเข้าใจของตนเองในเนื้อหาที่กำลังศึกษาอยู่

7. ให้ผลป้อนกลับ การให้ผลป้อนกลับถือว่าเป็นการเสริมแรงอย่างหนึ่งซึ่งทำให้เกิดการเรียนรู้ในตัวผู้เรียน การให้ผลป้อนกลับนอกจากจะทำให้ผู้เรียนทราบสิ่งที่ตนเข้าใจนั้นถูกต้องมากน้อยเพียงใดแล้ว ยังทำให้เกิดแรงจูงใจในการเรียนอีกด้วย

8. ทดสอบความรู้ เป็นการประเมินว่าผู้เรียนนั้นได้เกิดการเรียนรู้ตามที่ได้ตั้งเป้าหมายเอาไว้อย่างไร การทดลสอบความรู้นั้นอาจเป็นการทดสอบหลังจากผู้เรียนได้เรียนจบวัตถุประสงค์หนึ่งซึ่งอาจเป็นช่วงระหว่างบทเรียนหรืออาจเป็นการทดสอบหลังจากผู้เรียนได้เรียนจบทั้งบทแล้วโดยการทดสอบความรู้นั้นนอกจากจะเป็นการเปิดโอกาสให้ผู้เรียนได้ประเมินตนเองแล้วผู้สอนก็ยังสามารถนำประโยชน์ของการทดสอบความรู้ไปใช้ในการประเมินว่าผู้เรียนนั้นได้รับความรู้และความเข้าใจเพียงพอที่จะผ่านไปศึกษาบทเรียนต่อไปหรือไม่ อย่างไร

9. การจำและนำไปใช้ สิ่งที่สำคัญที่จะช่วยให้ผู้เรียนมีความคงทนในการจำข้อมูลความรู้ใดข้อมูลความรู้หนึ่งนั้น ก็คือการทำให้เกิดบริบทที่มีความหมายต่อผู้เรียน การทำให้เกิดบริบทที่มีความหมายต่อผู้เรียนนั้นหมายถึงการทำให้ผู้เรียนตระหนักว่าข้อมูลความรู้ใหม่ที่ได้เรียนรู้ไปนั้นมีส่วนสัมพันธ์กับความรู้เดิมหรือประสบการณ์ที่ผู้เรียนมีความคุ้นเคยอย่างไร สำหรับขั้นตอนการสอนในส่วนของการนำไปใช้นั้นผู้สอนก็จะต้องมีการจัดหากิจกรรมใหม่ๆและหลากหลายไว้สำหรับผู้เรียน โดยกิจกรรมที่จัดหามานี้จะต้องเป็นกิจกรรมที่เปิดโอกาสให้ผู้เรียนได้ประยุกต์ใช้ความรู้ที่เพิ่งเรียนรู้มาแตกต่างไปจากตัวอย่างในบทเรียน

จากทฤษฎีการเรียนรู้ของการ์เย่ ดังกล่าวผู้วิจัยได้ดัดแปลงนำมาใช้เป็นกรอบในการสร้างชุดฝึกทดลอง จำนวน 6 ขั้นตอนคือ

1. ดึงดูดความสนใจ เพื่อกระตุ้น และจูงใจผู้ทดลองในการทดลองนั้นมีความจำเป็นอย่างยิ่งที่จะได้รับแรงกระตุ้นและแรงจูงใจที่อยากจะทดลอง ดังนั้นชุดฝึกทดลองจะของมีลักษณะที่เหมาะสม ใบงานการทดลองและคู่มือการทดลองมีเนื้อหาน่าสนใจ ซึ่งจะมีผลต่อความสนใจจากผู้ทดลอง

2. บอกวัตถุประสงค์ในการเรียนรู้ของชุดฝึกทดลองให้ผู้ทดลองได้ทราบล่วงหน้า การบอกวัตถุประสงค์ของการเรียนรู้ ผู้ที่ทดลองจะได้ทราบล่วงหน้าถึงประเด็นสำคัญของเนื้อหา และยังเป็นการบอกเค้าโครงของเนื้อหาด้วย การที่ผู้ทดลองทราบถึงเนื้อหาอย่างกว้างๆจะทำให้ผู้ทดลองได้ผสมผสานแนวความคิด และทำให้การเรียนรู้มีประสิทธิภาพมากขึ้น

3. การเสนอเนื้อหาใหม่ เพื่อให้ผู้ทดลองได้ฝึกทดลองนอกเหนือจากที่เคยทำมาแล้ว การเสนอเนื้อหาต่างๆ เช่น ภาพที่เกี่ยวข้องกับการทดลองประกอบคำอธิบายง่ายๆได้ใจความ จะทำให้ผู้ทดลองมีความเข้าใจมากยิ่งขึ้น

4. ชี้แนวทางการเรียนรู้ เพื่อให้ผู้ทดลองมีทักษะและประสบการณ์เดิม รวมกันเกิดเป็นทักษะใหม่ ผู้ทดลองจะจำได้ดีหากมีการจัดระบบการเสนอให้มีความสัมพันธ์กับประสบการณ์เดิมของผู้ทดลอง

5. กระตุ้นการตอบสนอง เพื่อให้ผู้ทดลองได้ร่วมกระทำกิจกรรมขั้นตอนต่างๆที่เกี่ยวกับเนื้อหา เช่น การถามการตอบ ซึ่งจะดีกว่าการเรียนโดยใช้การอ่านเพียงอย่างเดียว โดยการเรียนโดยใช้ชุดฝึกทดลองจะมีข้อดีกว่าการเรียนแบบใช้ เทป วีดีทัศน์ สไลด์ คือ ผู้ทดลองสามรถมีกิจกรรมร่วมได้ เช่นทดสอบการทำงานในวงจรต่างๆ จะทำให้ผู้ทดลองมีการจำที่ดีขึ้น

6. การจำและนำไปใช้งาน เป็นการสรุปเฉพาะประเด็นสำคัญ เพื่อให้ผู้ทดลองได้มีโอกาสทบทวน และสามารถนำความรู้ไปใช้ใหม่ได้

2.3 ความรู้เกี่ยวกับหน่วยประมวลผลกลาง (Central Processing Unit)

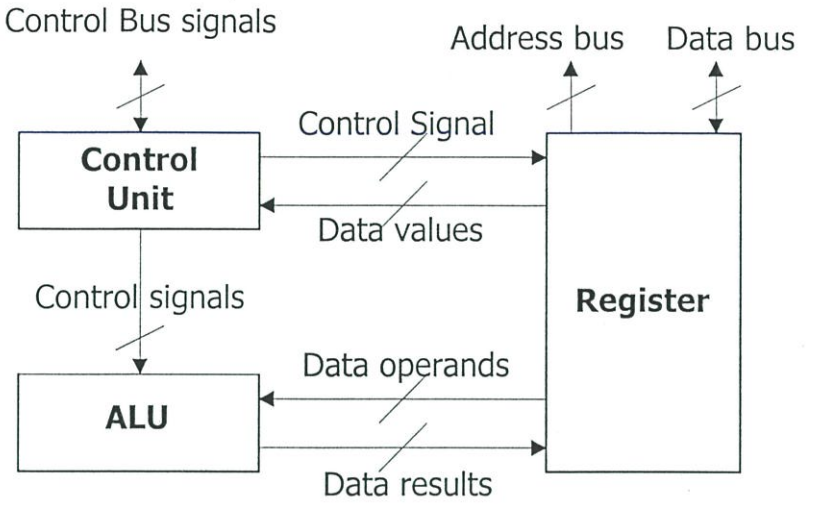
2.3.1 ความหมายของหน่วยประมวลผลกลาง (Central Processing Unit)

มธุรส ชื่นยง (2536 : 8) ได้ให้ความหมายของหน่วยประมวลผลกลางว่า คือ หน่วยที่ทำหน้าที่ควบคุมการทำงานและจัดการข้อมูลให้กับระบบคอมพิวเตอร์ โดยนำคำสั่งจากหน่วยความจำเข้ามาถอดรหัส แล้วทำงานตามที่คำสั่งแต่ละคำสั่งระบุไว้

2.3.2 โครงสร้างของหน่วยประมวลผลกลาง

John Carpinelli (2001 : 147) หน่วยประมวลผลกลางจะทำหน้าที่ควบคุมการทำงานของคอมพิวเตอร์ คำสั่งที่รับเข้ามาจากหน่วยความจำ การส่งสัญญาณ แอดเดรส(Address) และสัญญาณควบคุม จะต้องการหน่วยความจำที่สามารถเข้าถึงข้อมูลได้โดยตรง หน่วยประมวลผลกลางจะแปลงสัญญาณคำสั่ง และสัญญาณควบคุม โดยใช้หน่วยความจำ และอุปกรณ์ Input และ Output จะทำตามคำสั่งนั้นๆ ภายในหน่วยประมวลผลกลางจะมี 3 ภาคใหญ่ๆด้วยกันดังภาพที่ 2.1 ภาครีจิสเตอร์ จะเซ็ตบัสสัญญาณหรือโครงสร้าง โดยบัสจะจะงานสลับกับหน่วยประมวลผลกลาง

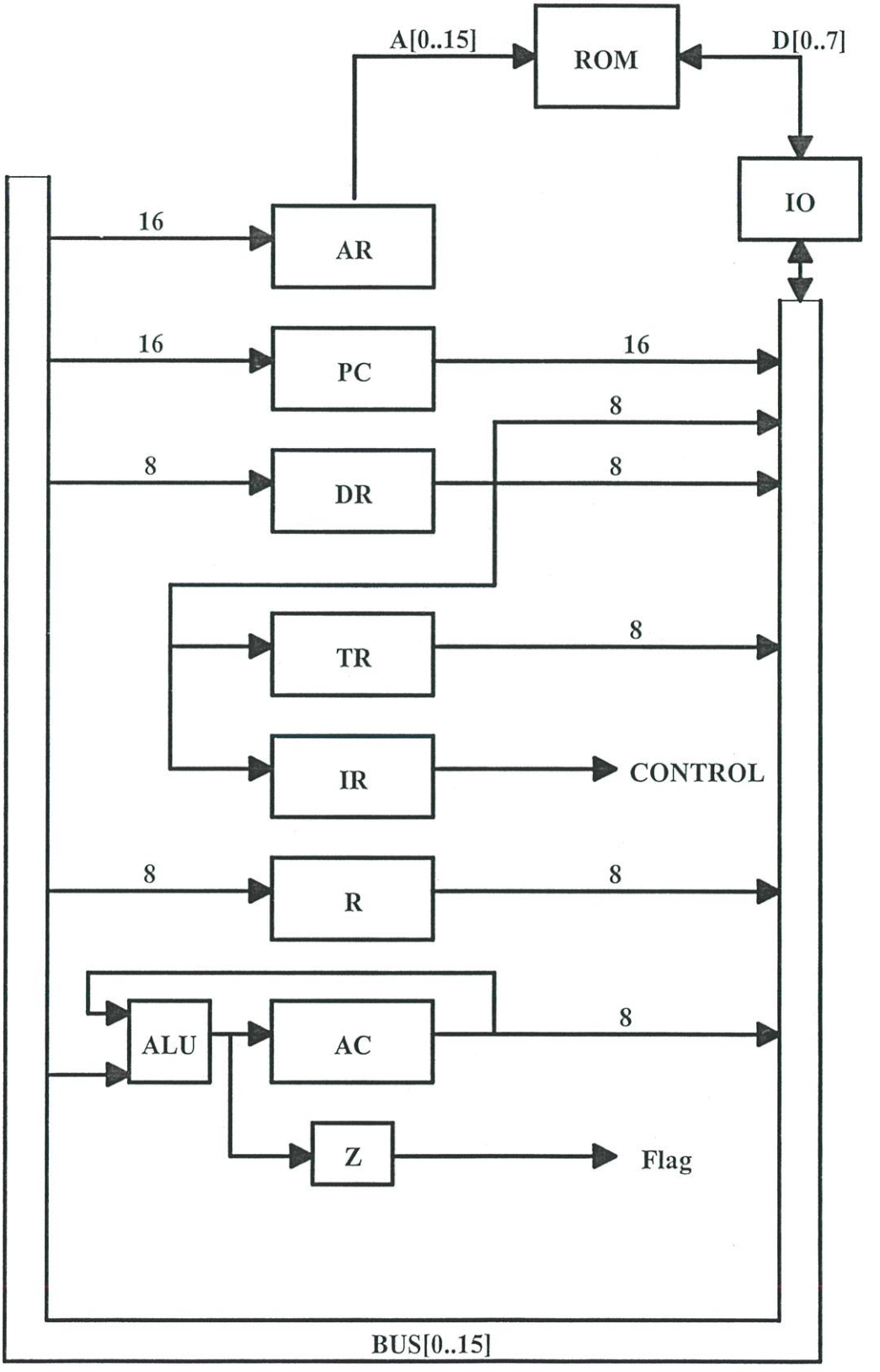
ในภาครีจีสเตอร์จะทำงานแลตซ์ข้อมูลแอดเดรส แล้วส่งผ่านไปยังหน่วยความจำและที่เก็บรีจิสเตอร์ชั่วคราว



ภาพที่ 2.1 โครงสร้างภายในของหน่วยประมวลผลกลาง

หลังจากมีการเฟ็ตคำสั่งในรอบคำสั่ง ตัวประมวลผลจะให้ Address เก็บคำสั่ง ส่งไปยัง Address bus ตัวประมวลผลจะมีรีจิสเตอร์เรียกว่า Program Counter หน่วยประมวลผลกลางจะเก็บค่าของ Address ของคำสั่งถัดไปซึ่งจะถูกเก็บไว้ในรีจิสเตอร์นี้ ก่อนที่ Output Address ของหน่วยประมวลผลกลางจะไปยัง แอดเดรส หลัก จะทำการรับข้อมูล Address จาก Program Counter จึงจะสิ้นสุดในการรับคำสั่งนั้น หน่วยประมวลผลกลางจะอ่านระหัสคำสั่งจาก System Bus ซึ่งจะเก็บข้อมูลนี้เอาไว้ภายในรีจิสเตอร์ด้วยและเรียกว่า รีจิสเตอร์คำสั่ง

John Carpinelli (2001 : 148) ALU หรือ Arithmetic Logic Unit จะทำกระบวนการทางด้านคณิตศาสตร์และลอจิก เช่น การบวก ลบ คูณ หาร ค่าต่างๆ ภาคนี้จะรับค่าจากจากภาค Register ของหน่วยประมวลผลกลาง และกระทำผลลัพธ์ส่งกลับมายัง Register ซึ่งภาค ALU จะจำเป็นที่จะต้องรับสัญญาณควบคุมที่ถูกต้องในแต่ละรอบคำสั่ง เมื่อหน่วยประมวลผลกลางมีการควบคุมการทำงานในส่วนของ หน่วยควบคุม (Control Unit) ซึ่งจะทำการควบคุมหน่วยประมวลผลกลาง ในหน่วยนี้จะผลิตสัญญาณควบคุมภายใน และจะทำการโหลดข้อมูลจากรีจิสเตอร์ไปควบคุมหน่วยประมวลผลทางคณิตศาสตร์ หน่วยควบคุมจะรับข้อมูลบางค่าจาก Register Unit ซึ่งประกอบไปด้วยรหัสคำสั่ง และค่าของแฟลกซ์บางตัว หน่วยควบคุมจะกำเนิดสัญญาณที่จะไปควบคุมบัส เช่น สัญญาณ READ, WRITE และ IO/M หน่วยประมวลผลกลางจะทำงานอย่างเป็นลำดับในกระบวนการรับการถอดรหัสและการทำให้สมบูรณ์ของคำสั่ง โดยสัญญาณควบคุมจากภายในและภายนอกตามลำดับที่ถูกต้อง



ภาพที่ 2.2 วงจรพื้นฐานของหน่วยประมวลผลกลาง

2.3.3 การทำงานของหน่วยประมวลผลกลาง

ภายในหน่วยประมวลผลกลางจะประกอบไปด้วย บัสขนาด 16 บิต, บัสข้อมูล ขนาด 8 บิต, 16 บิต Address Register (AR), 16 Bit Program Counter (PC), 8 Bit Data Register (DR), 8 Bit Temporary Register (TR), 8 Bit Instruction Register, 8 Bit Register, 8 Bit Arithmetic and Logic Unit (ALU), 8 Bit Accumulator และ 1 Bit Zero Flag การทำงานของแต่ละภาคจะเป็นดังนี้

- บัสขนาด 16 บิต ทำหน้าที่เป็นสายนำสัญญาณข้อมูลที่อยู่ภายในตัว CPU มีจำนวน 16 เส้น ในที่นี้จะกำหนดเป็น BUS[0..15] สายนำสัญญาณนี้จะต่ออยู่กับทุกภาคของวงจร

- บัสข้อมูล ขนาด 8 บิต เป็นสายนำสัญญาณข้อมูลจาก ROM เข้ามายังตัวของหน่วยประมวลผลกลางมีสายนำสัญญาณจำนวน 8 เส้น ในที่นี้จะกำหนดเป็น D[0..7]

- Address Register (AR) ขนาด 16 บิต ทำหน้าที่ชี้ตำแหน่งของข้อมูลในหน่วยความจำ (ROM)

- Program Counter (PC) ขนาด 16 บิต ทำหน้าที่นับจำนวนการทำคำสั่งของ CPU เมื่อ CPU ทำคำสั่งใดๆเสร็จสิ้นลง PC จะเพิ่มค่าตัวมันเองขึ้นอีก 1ค่า แล้วโหลดข้อมูลไปให้ AR เพื่อทำการอ้างตำแหน่งในหน่วยความจำต่อไป

- Data Register (DR) ขนาด 8 บิต เป็นรีจิสเตอร์ที่เก็บข้อมูลเพื่อให้ CPU ทำงานตามคำสั่งที่ได้รับเข้ามา ข้อมูลใน DR จะมีการโหลดไปยัง 8 บิตบน BUS[8..15] และ 8 บิตล่าง BUS[0..7] ของสายสัญญาณ BUS เพื่อไปยัง Address Register หรือ I/O Buffer

- Temporary Register (TR) ขนาด 8 บิต ทำหน้าที่เป็นข้อมูลชั่วคราวเพื่อรอที่จะส่งไปยัง Address Register เพื่ออ้างตำแหน่งข้อมูลต่อไปในหน่วยความจำ

- Instruction Register (IR) ขนาด 8 บิต ทำหน้าที่รับคำสั่งจาก DRเพื่อส่งไปยังหน่วยควบคุมให้ทำงานตามรหัสคำสั่งที่ส่งให้

- Register (R) ขนาด 8 บิต ทำหน้าที่เก็บข้อมูลเพื่อรอการประมวลผลทางคณิตศาสตร์และลอจิก นอกจากนี้มันยังรอรับข้อมูลจากการประมวลผลของ ALU ที่จะนำไปแสดงผลต่อไป

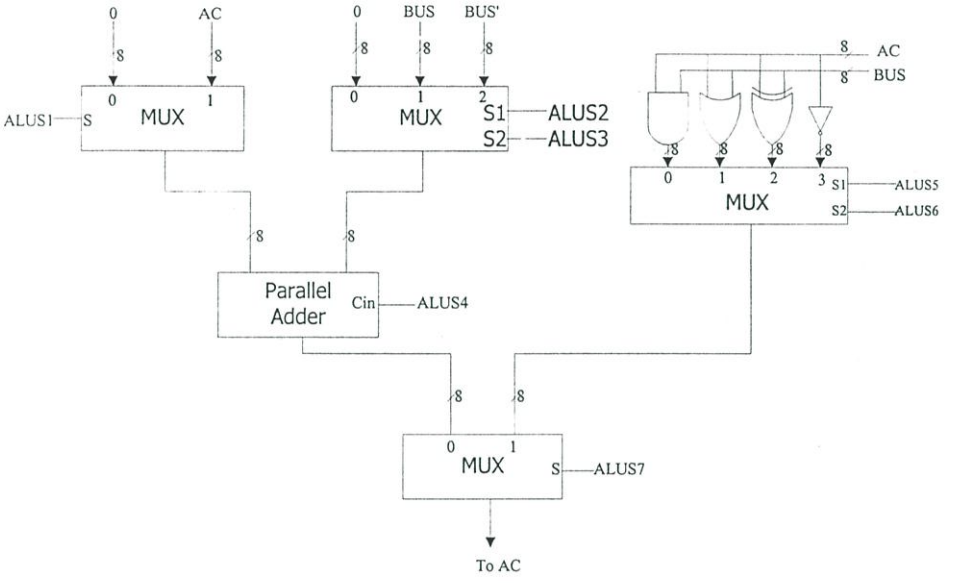
- Arithmetic and Logic Unit (ALU) ขนาด 8 บิต เป็นภาคที่ทำหน้าที่ประมวลผลทางด้านคณิตศาสตร์ และลอจิก จะรับข้อมูลจาก BUS เพื่อเปรียบเทียบกับ AC แล้วได้ค่าผลลัพธ์เป็นเลขฐาน 2

- Accumulator (AC) ขนาด 8 บิต ทำหน้าที่เก็บค่าที่คำนวณได้จาก ALU เพื่อรอการประมวลผล หรือรอการแสดงผลต่อไป

- Zero Flag (Z) ขนาด 1 บิต ทำหน้าที่เก็บค่า flag 0 ที่ได้จากการคำนวณในภาค ALU โดยที่ค่าของ ALU มีค่า 00 ค่าของแฟลกซ์ที่แสดงจะเป็น HIGH

- Input / Output Buffer (IOBUFF) เป็นInput Output ขนาด 8 บิต ทำหน้าที่รับและส่งข้อมูลในตัวเดียวกัน โดยจะรับข้อมูลจาก ROM เข้ามาให้หน่วยประมวลผลกลางเพื่อทำการประมวลผลและส่งข้อมูลออกไปยังส่วนแสดงผลเพื่อแสดงผลการทำงานของหน่วยประมวลผลกลาง

2.3.4 การทำงานของ ALU



ภาพที่ 2.3 วงจร ALU

วงจร ALU ดังภาพที่ 2.3 มีหน้าที่ประมวลผลทางคณิตศาสตร์และลอจิก เช่นการบวก ลบ และ AND, OR, NOR, NOT การทำงานของวงจรเมื่อให้ ALUS1 – 7 เป็น LOW ทางด้านOutput Y จะมีค่าเป็น 0 Function การทำงานทางคณิตศาสตร์มีดังนี้

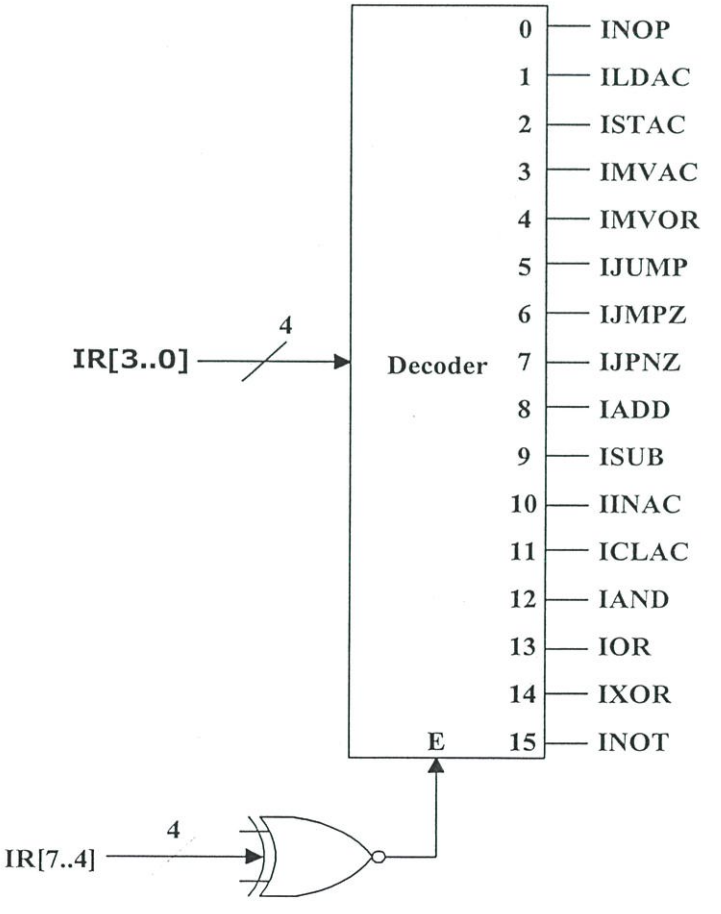
1. คำสั่ง ADD เป็นคำสั่งในการบวกเลขฐานสองโดยจะต้องกำหนดให้ขา ALUS1 –2 เป็น HIGH
2. คำสั่ง SUB เป็นคำสั่งในการลบเลขฐานสองโดยจะต้องกำหนดให้ขา ALUS1,3,4 เป็น HIGH
3. คำสั่ง Increment AC เป็นคำสั่งในการเพิ่มค่าใน Accumulator ขึ้นหนึ่งค่า ต้องกำหนดให้ขา ALUS1 และ 4 เป็น HIGH
4. คำสั่ง Clear AC เป็นคำสั่งที่ทำการ Reset ข้อมูลใน Accumulator ให้มีค่าเป็น 0
5. คำสั่ง AND เป็นคำสั่งที่ทำการ AND ข้อมูลกันระหว่าง AC กับ BUS ต้องกำหนดให้ ALUS7 เป็น HIGH
6. คำสั่ง OR เป็นคำสั่งที่ทำการ OR ข้อมูลกันระหว่าง AC กับ BUS ต้องกำหนดให้ ALUS7 และ 5 เป็น HIGH

7. คำสั่ง XOR เป็นคำสั่งที่ทำการ XOR ข้อมูลกันระหว่าง AC กับ BUS ต้องกำหนดให้ ALUS7 และ 6 เป็น HIGH
8. คำสั่ง OR เป็นคำสั่งที่ทำการ Invert ข้อมูลจาก 0 เป็น 1 หรือจาก 1 เป็น 0 ต้องกำหนดให้ ALUS7,6 และ 5 เป็น HIGH

2.3.5 การทำงานของภาคหน่วยควบคุม

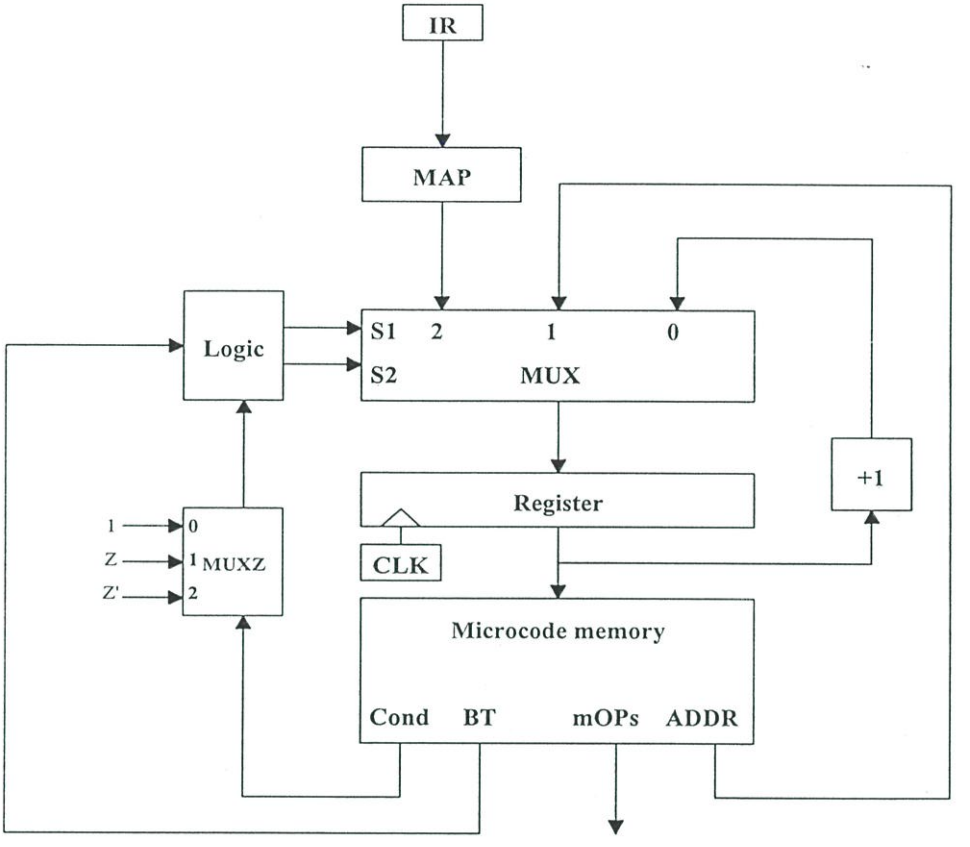
ภาคหน่วยควบคุมนี้ทำหน้าที่ควบคุมการทำงานของหน่วยประมวลผลกลาง โดย หน่วยควบคุมจะควบคุมสัญญาณต่างๆที่ป้อนให้กับหน่วยประมวลผลกลางโดยควบคุมขาต่างๆของรีจิสเตอร์ภายใน วงจรALU และ Input /Outputและสามารถแบ่งวงจรทางหน่วยควบคุมดังนี้

1. วงจร Decoder ทำหน้าที่ถอดรหัสคำสั่งของ หน่วยประมวลผลกลาง และได้สัญญาณลอจิกต่างๆที่กำหนดไว้ทางด้าน Output ดังภาพที่ 2.4



ภาพที่ 2.4 วงจรDecoder

2. Microsequenser ทำหน้าที่ จัดการกับระบบการทำงานให้กับหน่วยประมวลผลกลางโดยมีรูปแบบของการต่อวงจรดังภาพที่ 2.5



ภาพที่ 2.5 ภาค Microsequenser

จากภาพที่ 2.5 การทำงานของ Microsequenser มีรายละเอียดดังนี้ดังนี้

MAP เมื่อสัญญาณจาก IR เข้ามา จะเข้าสู่วงจร MAP ซึ่งจะทำหน้าที่แปลงระหัสคำสั่งจาก IR ให้เป็นระหัสคำสั่งที่ส่งเข้าไปให้กับ Multiplexer เพื่อเลือกการทำงานต่อไป

MUXZ ทำหน้าที่เป็นตัว Multiplex เลือกการทำงานของวงจร ภายในจะมี 3 Input เพื่อที่จะส่งออกไปควบคุมการทำงานยังภาค Logic

LOGIC ทำหน้าที่เลือกเส้นทางการเดินของข้อมูล หรือทำหน้าที่คล้ายกับ Switch เลือกการทำงานให้กับวงจร Multiplex ให้วงจรทำงานตามต้องการ

MUX ทำหน้าที่เลือกสัญญาณจากขาต่างๆซึ่งมีขนาด 3 Input โดยการเลือกจะให้ S0, S1 เป็นตัวเลือกรับข้อมูลต่างๆ

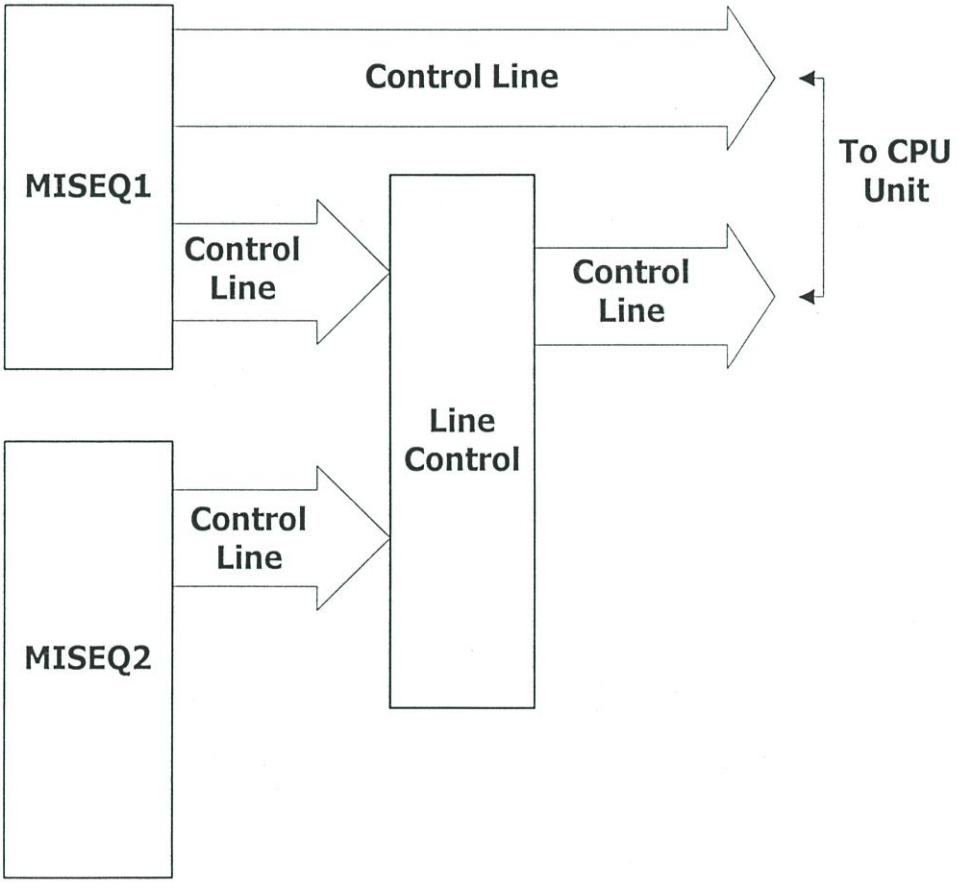
REG ทำหน้าที่เป็น Register ใช้เก็บข้อมูล เมื่อมีสัญญาณนาฬิกาเข้ามา ข้อมูลจะเลื่อนมายังที่ Output

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

INC ทำหน้าที่เพิ่มค่าของข้อมูลที่เข้ามาขึ้นอีก 1 เช่น ข้อมูล 0000 เมื่อผ่านวงจรนี้แล้วจะได้ 0001

Micro code ทำหน้าที่ นำสัญญาณที่ได้มาประมวลผลเพื่อสั่งให้หน่วยต่างๆของ CPU ทำงานได้ตามคำสั่งที่รับเข้ามา

2.3.6 การเชื่อมโยงวงจรภายในหน่วยควบคุม



ภาพที่ 2.6 การเชื่อมโยงภาคต่างๆของหน่วยควบคุม

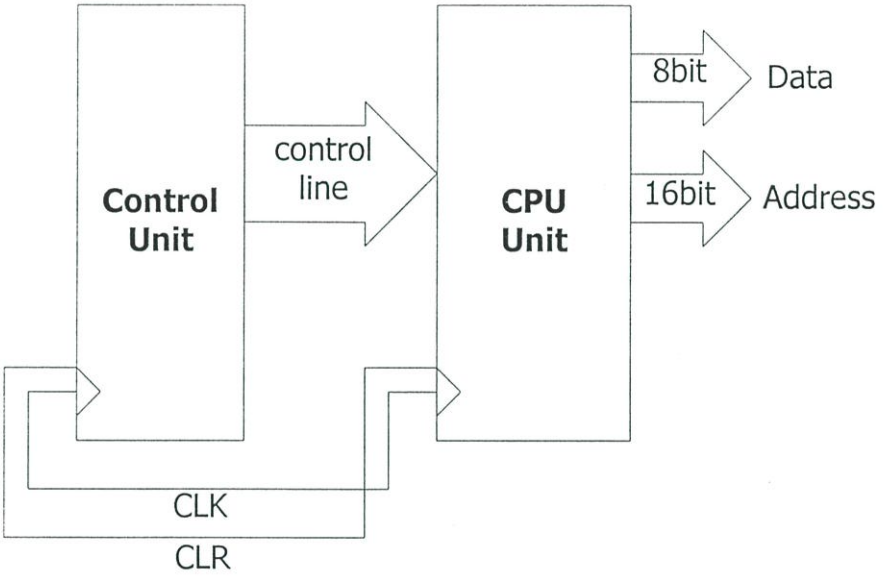
จากภาพที่ 2.6 เป็นการต่อวงจรของหน่วยควบคุมเพื่อเตรียมที่จะต่อเข้ากับภาคของหน่วยประมวลผลเพื่อที่จะทำให้การทำงานของ หน่วยประมวลผลกลางมีการทำงานที่สมบูรณ์มากขึ้นการทำงานนั้นจะเป็นไปในลักษณะที่สัมพันธ์กันตาม Input และสัญญาณนาฬิกาที่เข้ามา ในส่วนของภาค MISEQ1 และ 2 จะทำหน้าที่รับ Micro Code จาก Instruction Register มาประมวลผลและส่งไปควบคุมในส่วนของหน่วยประมวลผลอีกที ส่วนภาค Line Control นั้นจะทำหน้าที่รับ

47920

สัญญาณบางส่วนจากภาค MISEQ 1 และ 2 มาประมวลผลร่วมกันเพื่อส่งออกมาให้กับหน่วยประมวลผลเพื่อควบคุมการทำงานให้เป็นระบบ

2.3.7 การเชื่อมต่อหน่วยควบคุมเข้ากับหน่วยประมวลผล

การเชื่อมต่อระหว่างหน่วยควบคุมกับหน่วยประมวลผล สามารถเชื่อมต่อกันได้โดยดูลักษณะการต่อแสดงได้ดังภาพที่ 2.7 แสดงจำนวนเส้นของสายสัญญาณ และสายควบคุมต่างๆ โดยรายละเอียดมีดังนี้



ภาพที่ 2.7 แสดงถึงวงจรของหน่วยประมวลผลกลางขนาด 8 บิต

จากภาพที่ 2.7 แสดงการต่อวงจรของหน่วยประมวลผลกลางขนาด 8 บิต โดยกำหนดให้หน่วยประมวลผลกลางทำงานโดยมีคำสั่ง 16 คำสั่ง โดยแต่ละคำสั่งมีดังนี้

LDAC เป็นคำสั่งที่โหลดข้อมูลจากหน่วยความจำตำแหน่งต่างๆที่กำหนดมาเก็บไว้ที่ Accumulator โดยความยาวของรหัสคำสั่งมีขนาด 3 ไบต์ ตัวอย่างเช่น 010203

01 หมายถึง คำสั่งให้ LDAC ทำงาน

02 หมายถึง Addressที่ต้องการโหลดข้อมูลในที่นี้โหลดข้อมูลจาก Address ที่ 2

03 หมายถึง เป็นจำนวนอะไรก็ได้โปรแกรมไม่สนใจในไบต์นี้

STAC เป็นคำสั่งที่นำเอาข้อมูลจาก Accumulator มาแสดงผลออกทางจอแสดงผลโดยมีความยาวขนาด 3 ไบต์ ใช้คำสั่ง 020000

MVAC1 เป็นคำสั่งที่โหลดข้อมูลจาก Accumulator ไปเก็บไว้ที่ Register คำสั่งมีขนาด 1 ไบต์ คือ 03

MOVR1 เป็นคำสั่งที่โหลดข้อมูลจาก Register ไปเก็บไว้ที่ Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 04

JUMP เป็นคำสั่งในการกระโดดไปทำคำสั่งที่ Address ต่างๆตามต้องการ คำสั่งมีขนาด 2 ไบต์ คือ 05XX

XX หมายถึงตำแหน่ง Address ที่ต้องการให้โปรแกรมกระโดดไปทำคำสั่ง

JMPZY เป็นคำสั่งในการกระโดดไปทำคำสั่งที่ Address ต่างๆตามต้องการ โดยมีเงื่อนไขว่าถ้า Flag Z เป็น 0 จะกระโดดไปทำตาม Address ที่ต้องการ แต่ถ้า Flag Z เป็น 1 จะทำการบวกค่าของ Program Counter ขึ้นอีก 2 แล้วชี้ตำแหน่งต่อไป คำสั่งมีขนาด 2 ไบต์ คือ 06XX

JPNZY เป็นคำสั่งในการกระโดดไปทำคำสั่งที่ Address ต่างๆตามต้องการ โดยมีเงื่อนไขว่าถ้า Flag Z เป็น 1 จะกระโดดไปทำตาม Addressที่ต้องการ แต่ถ้า Flag Z เป็น 0 จะทำการบวกค่าของ Program Counter ขึ้นอีก 2 แล้วชี้ตำแหน่งต่อไป คำสั่งมีขนาด 2 ไบต์ คือ 07XX

ADD1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการบวกเลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 08

SUB1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการลบเลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 09

INAC1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการเพิ่มค่าของ Accumulator ที่ละ 1 คำสั่งมีขนาด 1 ไบต์ คือ 0A

CLAC1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ Reset ค่าของ Accumulator ให้เป็น 0 คำสั่งมีขนาด 1 ไบต์ คือ 0B

AND1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ AND เลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 0C

OR1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ OR เลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 0D

XOR1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ XOR เลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 0E

NOT1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ NOT เลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 0F

2.4 FPGA ตระกูล XC4000

FPGA ตระกูล XC 4000 จะมีความจุสูงในการโปรแกรม สามารถบรรจุเกตอาร์เรย์ต่างๆได้ตามหลักการทางการออกแบบ CMOS และ VLSI จากประสบการณ์ทางการออกแบบ FPGA มาเป็นเวลานาน ผลที่ได้รับจากการออกแบบนั้นผู้ที่นำ FPGA ไปใช้งานนับพันรายยอมรับว่า FPGA เป็นสถาปัตยกรรมการออกแบบบนชิป สามารถเลือกหน่วยความจำ RAM ด้วยการทริกที่ขา และทางพล็อตขนาน มีการเพิ่มความเร็ว มีเส้นทางเดินของข้อมูลเป็นจำนวนมาก มีโปรแกรมที่สามารถช่วยในการออกแบบวงจรต่างๆได้เป็นอย่างดี มีความหนาแน่นสูง และมีประสิทธิภาพสูงมากในการออกแบบวงจรต่างๆทางลอจิก (Xilinx Data Book. 1996:241)

ลักษณะโดยทั่วไปอุปกรณ์ FPGA ตระกูล XC4000 นี้เป็นอุปกรณ์ที่ใช้ในการออกแบบวงจรดิจิตอลที่อาศัยโปรแกรมโครงร่างทางลอจิกบล็อค (CLBs) ดังแสดงในภาพที่ 2.8 ซึ่งมีการติดต่อกันโดยแบบลำดับจาก Input ที่มีความหลากหลาย และมีการกระจายทั่วทั้งตัวของมันซึ่งมีการโปรแกรม Input, Output (IOBs) ซึ่งเป็นการติดต่อข้อมูลจากแหล่งต่างๆในรูปแบบเชิงซ้อน

ตารางที่ 2.1 แสดงคุณสมบัติของ FPGA เบอร์ต่างๆในตระกูล XC4000

Device	Max Logic Gates (No RAM)	Max. RAM Bits (No Logic)	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total Logic Blocks	Number of Flip-Flops	Max. Decode Inputs per side	Max. User I/O
XC4003E	3,000	3,200	2,000 - 5,000	10 x 10	100	360	30	80
XC4005E/L	5,000	6,272	3,000 - 9,000	14 x 14	196	616	42	112
XC4006E	6,000	8,192	4,000 - 12,000	16 x 16	256	768	48	128
XC4008E	8,000	10,368	6,000 - 15,000	18 x 18	324	936	54	144
XC4010E/L	10,000	12,800	7,000 - 20,000	20 x 20	400	1,120	60	160
XC4013E/L	13,000	18,432	10,000 - 30,000	24 x 24	576	1,536	72	192
XC4020E	20,000	25,088	13,000 - 40,000	28 x 28	784	2,016	84	224
XC4025E	25,000	32,768	15,000 - 45,000	32 x 32	1,024	2,560	96	256
XC4028EX/XL	28,000	32,768	18,000 - 50,000	32 x 32	1,024	2,560	96	256
XC4036EX/XL	36,000	41,472	22,000 - 65,000	36 x 36	1,296	3,168	108	288
XC4044EX/XL	44,000	51,200	27,000 - 80,000	40 x 40	1,600	3,840	120	320
XC4052XL	52,000	61,952	33,000 - 100,000	44 x 44	1,936	4,576	132	352
XC4062XL	62,000	73,728	40,000 - 130,000	48 x 48	2,304	5,376	144	384
	Larger Devices Available in the First Half of 1997							

* Max values of Typical Gate Range include 20-30% of CLBs used as RAM.

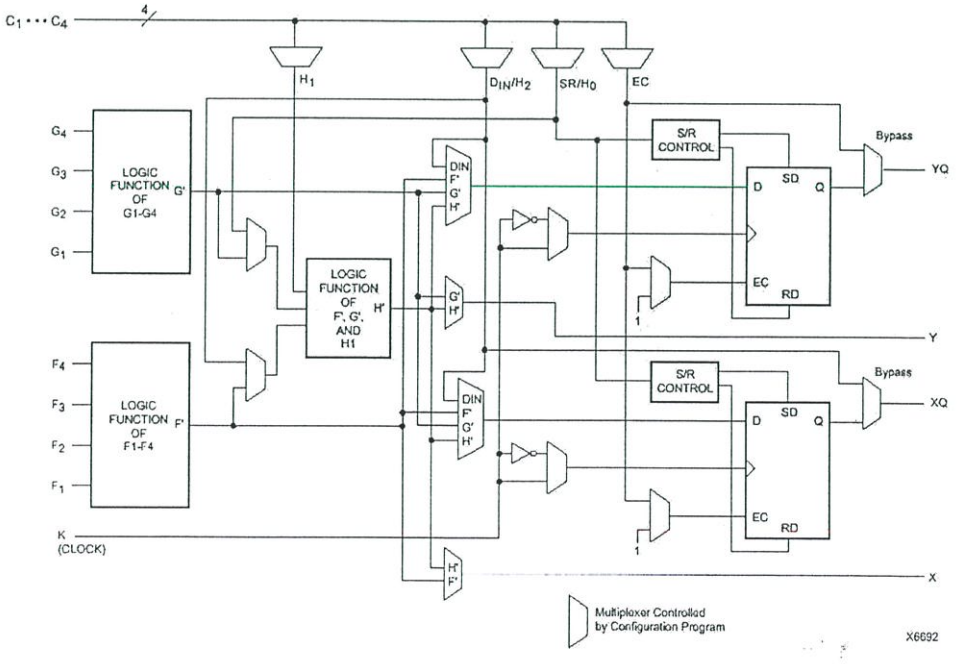
FPGA ตระ XC4000 จะรองรับกำลังงานและโปรแกรม ครอบคลุมถึงการออกแบบต่างๆจากแผนผังแบบแปลนการแสดงผลเป็นระบบอัตโนมัติในการวางบล็อก CLBs และมีเส้นทางในการติดต่อหลายทาง สามารถสร้างสรรค์ได้หลายรูปแบบดังแสดงในภาพที่ 2.9 มีการดาวโหลดโปรแกรมและอ่านข้อมูลแบบ Bit Stream เนื่องจาก Xilinx FPGA สามารถที่จะนำกลับมาโปรแกรมได้ใหม่โดยไม่จำกัดจำนวนครั้ง โดยที่เราสามารถใช้เทคโนโลยีใหม่ๆในการออกแบบฮาร์ดแวร์โดยการเปลี่ยนแปลงได้เสมอ หรือประยุกต์ใช้ฮาร์ดแวร์ตามการใช้งานที่ต่างๆกันตามที่เราต้องการ FPGA

เป็นแนวคิดสำหรับการออกแบบที่ประหยัดเวลา และสามารถพัฒนาได้ตลอดสำหรับคุณสมบัติของ FPGA แสดงไว้ในตารางที่ 2.1 และ 2.2

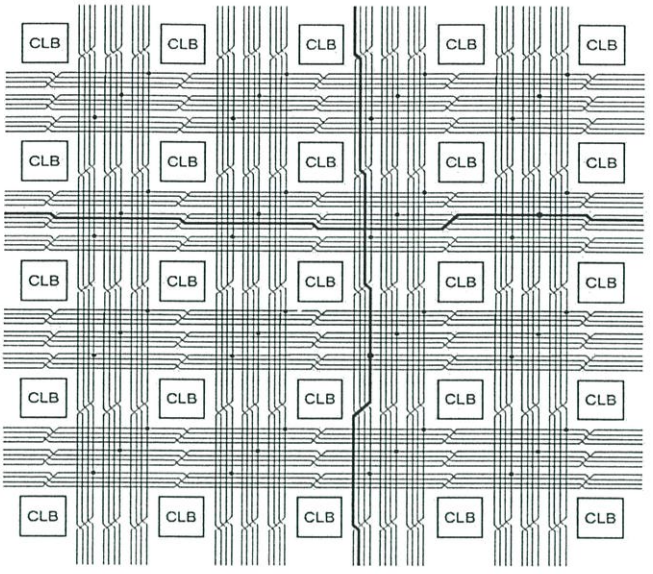
ตารางที่ 2.2 แสดงความหนาแน่น และแสดงจำนวนจุดต่อร่วมต่างๆในวงจรของ FPGA XC4000

Design Class	Function	CLBs Used	XC4000E-3	XC4000E-2	Units
Memory	256 x 8 Single Port (read/modify/write)	72	63	80	MHz
	32 x 16 bit FIFO				
	simultaneous read/write	48	63	80	MHz
	MUXed read/write	32	63	80	MHz
Logic	9 bit Shift Register (with enable)	5	170	200	MHz
	16 bit Pre-Scaled Counter	8	142	170	MHz
	16 bit Loadable Counter	8	65	76	MHz
	16 bit Accumulator	9	65	76	MHz
	8 bit, 16 tap FIR Filter sample rate				
	parallel	400	55	65	MHz
	serial	68	8.1	10	MHz
	8 x 8 Parallel Multiplier				
	single stage, register to register	73	37	30	ns
	16 bit Address Decoder (internal decode)	3	4.7	3.9	ns
	9 bit Parity Checker	1	4.3	2.7	ns

อุปกรณ์ FPGA สามารถปรับปรุงโครงสร้างภายในใหม่โดยการเปลี่ยนฟังชั่นทางลอจิกภายในตัวของ FPGA และความจุในตัวของมันนี้สามารถเก็บตัวลอจิกต่างๆได้มากมาย ซึ่งโครงสร้างต่างๆนั้นสามารถเปลี่ยนได้ด้วยโปรแกรม การโปรแกรมข้อมูลใหม่หรือการดัดแปลงข้อมูล FPGA จะทำได้โดยง่ายโดยโปรแกรมทับข้อมูลที่มอยู่เดิมได้เลย และยังสามารถเปลี่ยนฟังชั่นการทำงานได้



ภาพที่ 2.8 โครงสร้างของโปรแกรมโครงร่างทางลอจิก CLB ใน XC4000



ภาพที่ 2.9 ขอบเขตเส้นทั้งสี่ด้านของ XC4000EX

2.5 ภาษา VHDL

VHDL ย่อมาจากคำว่า VHSIC Hardware Description Language (VHSIC : Very High Speed Integrated Circuit) ซึ่งเป็นภาษาโปรแกรมในระดับสูงที่สามารถพัฒนาการออกแบบระบบดิจิตอล ภาษา VHDL สามารถบรรยายพฤติกรรมการทำงานของลอจิก หรือระบบดิจิตอลได้โดยภาษา VHDL เป็นภาษาโครงสร้างซึ่งจะมุ่งบรรยายพฤติกรรมของวงจร สำหรับการออกแบบวงจรและระบบดิจิตอล สามารถออกแบบได้ทั้งบนลงล่าง (TN) หรือจากล่างขึ้นบน(BU) สำหรับขั้นตอนการออกแบบระบบดิจิตอลด้วยภาษา VHDL มีขั้นตอนดังนี้(Douglas Perry. 1998: 2)

1. สร้างข้อกำหนดตามความต้องการ วิเคราะห์ระบบเพื่อหาหลักการในการแก้ปัญหา
2. เขียนรูปแบบของระบบที่ต้องการโดยใช้ VHDL เพื่อจำลองการทำงาน
3. สังเคราะห์วงจรจากภาษา VHDL ให้อยู่ในระดับGate และ Netlist เพื่อการประยุกต์ได้
4. จำลองการทำงาน ตรวจสอบความถูกต้องโดยพิจารณาในเรื่องของเวลา
5. สร้างวงจรจริง
6. ตรวจสอบการทำงานและความถูกต้องครั้งสุดท้าย
7. นำวงจรที่ออกแบบไว้ไปประกอบเข้ากับวงจรอื่นๆให้เป็นระบบที่สมบูรณ์

2.5.1 โครงสร้างของภาษา VHDL

ภาษา VHDL ประกอบด้วยส่วนสำคัญดังนี้

1. Entity เป็นส่วนที่กำหนดการเชื่อมต่อของPortต่างๆกับภายนอกซึ่งภายใน Entity จะกำหนดตัวแปร พร้อมทั้งบอกชนิดของ Port
2. Architecture เป็นส่วนที่บรรยายพฤติกรรมต่างๆของวงจรหรือระบบที่มีการเชื่อมต่อภายนอกตามการกำหนดของ Entity
3. Process เป็นส่วนของขั้นตอนเพื่อกำหนดลำดับการทำงาน
4. Configuration ประกาศเพื่อเลือกในการเชื่อมต่อ Architecture กับ Entity
5. Package เป็นที่เก็บข้อมูลที่มีการใช้เป็นประจำ
6. Library เป็นส่วนที่ทำการเก็บค่ามาตรฐานต่างๆ

โครงสร้างของภาษา VHDL ที่สำคัญมีสองส่วน ส่วนแรกคือ Entity และ Architecture

โครงสร้างของ Entity

```
entity identifier is
[generic (generic_list)][port (port_list);]
[begin
        {passive_concurrent_Statement}]
end [entity][entity_simple_name];
```

โครงสร้างของ Architecture

```
Architecture identifier of entity_name is
Architecture_declarative_part
                        Begin
All_Concurrent_statement
End [Architecture][ Architecture_simple_name];
```

2.5.2 ตัวอย่างการเขียน VHDL

```
library IEEE
use IEEE. Std_logic_1164.all;
entity andgate is
    port(
        a, b : in std_logic;
        y : out std_logic );
```

```
end andgate;
Architecture andgate_arch of andgate is
Begin
        Y <= a and b;
End andgate_arch;
```

จากตัวอย่างโปรแกรมด้านบนเป็นการเขียนโปแกรมการสร้าง And Gate ขนาด 2 อินพุต จะเห็นว่าส่วนหัวของโปรแกรมมีการประกาศ Library เป็นมาตรฐาน IEEE เนื่องจากต้องการใช้ Type ชนิด Std_logic จากนั้นจึงตามด้วยส่วนของ Entity และ Architecture ตามที่ได้กล่าวไว้ในตอนต้น

2.5.3 สไตล์การเขียนโครงสร้าง VHDL

การเขียนภาษา VHDL สามารถเขียนได้หลายสไตล์ดังนี้

1. Behavioural Style architecture เป็นโครงสร้างที่มองเป็นอัลกอลิทึ่ม

```
Architecture behavioural of Function is
Begin
    Process (A, B, C) begin
            If (A = '0' and B = '0') then
                    Y <= '1';
            Elsif C = '1'then
                    Y <= '1';
            Else
                    Y <= '0';
            End if;
    End Process;
End behavioral;
```

2. Dataflow เป็นการเขียนแบบการทำงานโดยใช้คำสั่งการทำงานครั้งเดียวแล้วได้ผลลัพธ์ออกมาเลย

```
architecture dataflow of Function is
begin
        Y <= '1' when(A ='0' AND B = '0') OR (C = '1');
        Else '0';
```

```
End dataflow;
```

3. Structure Style เป็นการเขียนแบบเป็นโครงสร้าง

```
architecture structure of function is
Signal notA, notB, andSignal : Std_logic;
Begin
        I1 : inverter port map (I => A, 0 => notA);
        I2 : inverter port map (I => B, 0 => notB);
        A1 :and 2 port map (I => not A , I2 => not B,Y => and Signal);
        O1 : or 2 port map (I1 => and Signal, I2 => C, y = Y);
End structure;
```

2.6 งานวิจัยที่เกี่ยวข้อง

ดารารัตน์ แซ่ลี่ (2534 : 3) ได้ทำการวิจัยเรื่องการจำลองอิงกรรมวิธีในการศึกษาสมรรถนะของหน่วยประมวลผล กล่าวว่า การศึกษาการทำงานของระบบคอมพิวเตอร์ด้วยวิธีการจำลองนี้ ทำได้โดยการสร้างแบบจำลองขึ้นมา เพื่อศึกษาพฤติกรรมการทำงานของส่วนประกอบภายในระบบคอมพิวเตอร์ที่ต้องการ ซึ่งจะทำให้ได้ข้อมูลการทำงานของส่วนประกอบเหล่านั้นสำหรับผู้ที่จำลองระบบใช้พิจารณาปรับแบบให้ทำงานได้ตรงตามข้อกำหนดรายละเอียดที่วางไว้ และในการศึกษาผลกระทบต่อระบบคอมพิวเตอร์เมื่อมีการเปลี่ยนแปลงอุปกรณ์บางส่วนหรือเพิ่มอุปกรณ์ใหม่ภายในระบบ หรือมีการแก้ไขข้อกำหนดรายละเอียดเดิมของระบบนั้น สามารถทำการศึกษาผลกระทบจากการเปลี่ยนแปลงดังกล่าวได้ด้วยแบบจำลองที่สร้างนี้ โดยที่ยังไม่ต้องทำการสร้างหรือแก้ไขอุปกรณ์ฮาร์ดแวร์ใดๆ เพราะเป็นการพิจารณาทางด้านซอฟต์แวร์แทนการพิจารณาอุปกรณ์ฮาร์ดแวร์ ทำให้การศึกษาการทำงานของระบบคอมพิวเตอร์นี้เป็นไปได้ง่ายขึ้นและมีค่าใช้จ่ายน้อยลง

มธุรส ชื่นยง (2536 : 1) ได้ทำการวิจัยเรื่องโปรแกรมจำลองซีพียู 8 บิตทั่วไป กล่าวว่า โปรแกรมจำลองซีพียูนี้ ทำการจำลองการทำงานตามข้อมูลที่ป้อนให้ และแสดงการทำงานของซีพียูโดยการแสดงผล ข้อมูลภายในรีจิสเตอร์ แฟล็ก และหน่วยความจำ นอกจากจะจำลองการทำงานของส่วนประกอบของซีพียูแล้ว โปรแกรมยังสามารถแปลภาษาแอสแซมบลีที่มีรูปแบบขึ้นกับซีพียูที่จำลองด้วย ผู้ใช้ ศึกษา หรือทดสอบการทำงานของซีพียูที่จำลองขึ้น โดยเขียนคำสั่งแอสแซมบลีสั่งงานซีพียู โปรแกรมจะแปรคำสั่งแอสแซมบลี และจำลองการทำงานให้ตามคำสั่ง

สุภนันท์ หิรัญยพิสุทธิกุล (2534 : 4) ได้ทำการวิจัยเรื่องระบบพัฒนาไมโครโปรเซสเซอร์ระดับบอร์ด กล่าวว่า ระบบพัฒนาไมโครโปรเซสเซอร์ หรือ Microprocessor Development System เป็นระบบที่จำเป็นในการออกแบบและพัฒนาระบบที่ใช้ไมโครโปรเซสเซอร์ ยิ่งระบบไมโครโปรเซสเซอร์ที่จะออกแบบยุ่งยากมากเท่าไร ความจำเป็นที่ต้องมีระบบช่วยในการพัฒนาซอฟต์แวร์และเทคนิคในการดีบักฮาร์ดแวร์ก็ยิ่งมากขึ้นเท่านั้น

ทวีชัย เจริญเศรษฐศิลป์ (2538 : 2) ได้ทำการวิจัยเรื่องการออกแบบและพัฒนาชุดฝึกทดลองไมโครคอมพิวเตอร์โดยใช้ไอบีเอ็มพีซี กล่าวว่า ชุดทดลองเป็นการนำเครื่องมือที่ใช้ในการเรียนรู้วิธีการนำระบบไมโครโปรเซสเซอร์มาใช้ในการควบคุม ซึ่งประกอบด้วย 2 ส่วนหลักๆ ส่วนแรกคือระบบไมโครโปรเซสเซอร์หรือระบบไมโครคอมพิวเตอร์ ที่ทำหน้าที่ในการควบคุม ซึ่งจะมีส่วนของการป้อนข้อมูลเข้า เพื่อรับโปรแกรมในการควบคุม ส่วนที่สองเป็นอุปกรณ์ต่างๆ ที่ต่อเข้ากับระบบไมโครโปรเซสเซอร์ เพื่อเป็นเป้าหมายของการควบคุมเพื่อใช้ในการเรียนรู้วิธีการควบคุมแบบต่างๆ

สีหชาติ สดับธรรมารักษ์ (2539 : 7) กล่าวว่า คุณสมบัติทั่วไปที่มีอยู่ในตัวอุปกรณ์ FPGA ซึ่งได้อ้างอิงกับอุปกรณ์ที่เป็นผลิตภัณฑ์ของ Xilinx ตระกูล XC3000 เนื่องจากในการวิจัยนี้อาศัยอุปกรณ์ตระกูลนี้มาใช้งาน จัดเป็นตระกูลในประเภท Logic Cell Array ที่มีประสิทธิภาพและความจุสูง สถาปัตยกรรมโครงสร้างภายในอุปกรณ์ประกอบด้วยส่วนโครงสร้างสำคัญ 3 ส่วนด้วนกันคือ I/O Block, Configurable Logic Bock และ Resources สำหรับการเชื่อมระหว่างกัน

ประกาศิต ตันติอลงการ (2535 : 5-46) ได้ทำการวิจัยเรื่อง การสร้างและหาประสิทธิภาพชุดประลองวงจรไฟฟ้ากระแสสลับ กลุ่มตัวอย่างการวิจัยคือนักศึกษาระดับประกาศนียบัตรวิชาชีพชั้นปีที่ 2 แผนกช่างไฟฟ้า วิทยาลัยเทคนิคระยอง ปีกาศึกษา 2535 กลุ่มตัวอย่างย่อย 6 คน กลุ่มทดลองภาคสนาม 26 คน รวม 32 คน โดยวิธีเลือกกลุ่มตัวอย่างแบบเจาะจง ผลการวิจัยพบว่าทางด้านใบประลอง ด้านการออกแบบ ด้านประสิทธิภาพทางการสอน มีความสะดวกในการนำมาใช้งาน และดำเนินการประลองมาก ก่อให้เกิดแรงจูงใจในการเรียน และต้องการทราบผลการประลองจึงส่งผลให้บรรลุจุดประสงค์ที่กำหนดไว้

ศักรินทร์ โสนันทะ (2542 : 4-57) ได้ทำการวิจัยเรื่องการสร้างและหาประสิทธิภาพชุดประลองวิชา 111-363 ปฏิบัติการไฟฟ้าสื่อสาร กลุ่มตัวอย่างการวิจัยคือนักศึกษาระดับปริญญาตรีหลักสูตรวิศวกรรมศาสตร์บัณฑิต สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเอเชียอาคเนย์ ในภาคเรียนที่ 2/2541 จำนวน 20 คน ผลการวิจัยพบว่าจากการหาประสิทธิภาพของชุดทดลองได้คะแนนเฉลี่ยของกลุ่มตัวอย่างด้วยแบบทดสอบหลังการประลองได้เท่ากับ 84.93%

ทรงชัย จันทร์ประเสริฐ (2536 : 19) ได้ศึกษาหลักสูตรระดับประกาศนียบัตรวิชาชีพชั้นสูง สาขาวิชาเครื่องมือวัดทางอุตสาหกรรม แผนกช่างไฟฟ้า สังกัดกรมอาชีวะศึกษา วิชาเครื่องมือวัด

อุตสาหกรรมและการควบคุม 2 ซึ่งเป็นวิชาบังคับเฉพาะ เพื่อวางแนวทางในรายละเอียดต่างๆ ศึกษาเอกสารเกี่ยวกับการสร้างสื่อการเรียนการสอน ค้นคว้ารายละเอียดเกี่ยวกับการทำงานของระบบงานต่างๆในเนื้อหาเหล่านั้น โดยศึกษาเพิ่มเติมจากตำรา และเอกสารต่างๆ จนได้แนวคิดที่จะออกแบบการทำงานของแต่ละระบบงาน เพื่อสร้างชุดประลองเหล่านั้นให้เหมาะสมกับวัสดุที่หาง่ายภายในประเทศ และนำแนวคิดพร้อมข้อมูลที่ได้ปรึกษากับอาจารย์ที่ปรึกษา เพื่อหาข้อสรุปในการออกแบบชุดประลอง เรื่องการวัดอุตสาหกรรมและการควบคุมระบบ

วัชรากร หนูทอง (2542 : 2) ได้ทำการวิจัยในเรื่องการออกแบบและสร้างไมโครคอลโทรลเลอร์โดยใช้เอฟพีจีเอ จากการวิจัยนี้ผู้วิจัยจะได้ศึกษาสถาปัตยกรรมภายในของไมโครคอลโทรลเลอร์ PIC 16C84 ที่นำมาเป็นสถาปัตยกรรมหลักในการออกแบบไมโครคอลโทรลเลอร์ต้นแบบและข้อจำกัดในการออกแบบต่างๆ และได้ศึกษาคุณสมบัติและการใช้อุปกรณ์เอฟพีจีเอมาสร้างไมโครคอลโทรลเลอร์ต้นแบบและข้อจำกัดของอุปกรณ์เอฟพีจีเอในการสร้างไมโครคอลโทรลเลอร์ต้นแบบ

บทที่ 3
วิธีดำเนินการวิจัย

การวิจัยครั้งนี้เป็นการวิจัยเชิงทดลอง (Experimental Research) เพื่อใช้ในการสร้างชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ผู้วิจัยได้ดำเนินการวิจัยตามหัวข้อต่อไปนี้

3.1 ประชากรและกลุ่มตัวอย่าง

3.2 เครื่องมือที่ใช้ในการวิจัย

3.3 การตรวจสอบคุณภาพของเครื่องมือ

3.4 การดำเนินการทดลอง

3.5 การวิเคราะห์ข้อมูล

3.1 ประชากรและกลุ่มตัวอย่าง

3.1.1 ประชากร

ประชากรที่ใช้ในการวิจัยเป็นผู้ที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอล และสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้ว

3.1.2 กลุ่มตัวอย่าง

กลุ่มตัวอย่างที่ใช้ในการวิจัยเป็นผู้ใช้ชุดฝึกทดลองที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอล และสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้ว จำนวน 12 ท่าน โดยแบ่งออกได้เป็น 3 กลุ่มคือ

1. กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล จำนวน 4 ท่าน
2. กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์ จำนวน 4 ท่าน
3. กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ จำนวน 4 ท่าน

3.2 เครื่องมือที่ใช้ในการวิจัย

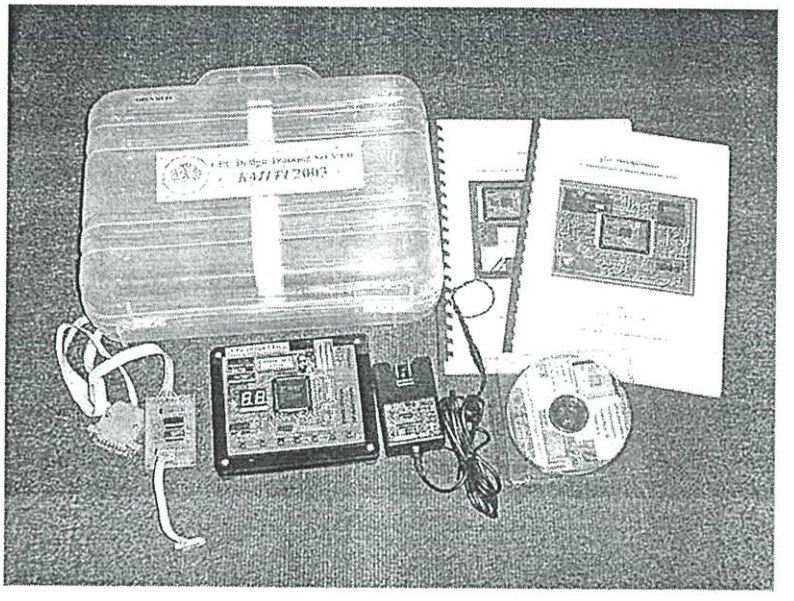
ในการสร้างเครื่องมือที่ใช้ในการวิจัย ผู้วิจัยได้แบ่งการสร้างออกเป็น 2 ขั้นตอนดังนี้

3.2.1 การสร้างชุดฝึกทดลอง และใบงานการทดลอง

3.2.2 การสร้างแบบสอบถามความพึงพอใจของผู้ใช้งานที่มีต่อชุดฝึกทดลองและใบงานการทดลอง

3.2.1 การสร้างชุดฝึกทดลองและใบงานการทดลอง

เครื่องมือที่ใช้ในการวิจัยเป็นชุดฝึกทดลองประกอบด้วยส่วนต่างๆดังนี้



รูปที่ 3.1 ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA และใบงานการทดลองที่ผู้วิจัยสร้างขึ้น

1. ส่วนที่เป็นชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA เป็นบอร์ดการทดลองที่ใช้งานรวมกับเครื่องไมโครคอมพิวเตอร์

2 . ส่วนที่เป็นใบงานการทดลองประกอบด้วย

ใบงานการทดลองประกอบชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ซึ่งประกอบด้วยใบงานการทดลองมีเนื้อหาในการฝึกทดลองดังนี้

2.1. ใบงานที่ 1 การใช้งาน Software Xilinx Foundation 2.1I

2.1.1. การทดลองที่ 1 การต่อวงจร

2.1.2. การทดลองที่ 2 การเดินสายระบบบัส

2.1.3. การทดลองที่ 3 การสร้างวงจรดิจิตอลโดยใช้ VHDL

2.2. ใบงานที่ 2 การสร้าง Input / Output Buffer ขนาด 8 บิต

2.2.1. การทดลองที่ 1 การต่อวงจร Input / Output Buffer

2.3. ใบงานที่ 3 การออกแบบวงจรคอมไบเนชั่น (Combinational Circuit Design)

2.3.1. การทดลองที่ 1วงจร Multiplex ขนาด 16 To 8

2.4. ใบงานที่ 4 การสร้างวงจร ALU

2.4.1. การทดลองที่ 1 การสร้าง ALU

2.5. ใบงานที่ 5 8 Bit CPU

2.5.1. การทดลองที่ 1 การสร้าง CPU โดยใช้ Schematic

2.6. ใบงานที่ 6 Control Unit

2.6.1. การทดลองที่ 1 การสร้างวงจร Time Decoder โดยใช้ VHDL

2.7. ใบงานที่ 7 วงจร Decoder

2.7.1. การทดลองที่ 1 วงจร Decoder

2.7.2. การทดลองที่ 2 วงจร State Generator

2.7.3. การทดลองที่ 3 การสร้างภาค Microsequenser1

2.8. ใบงานที่ 8 Microsequenser2

2.8.1. การทดลองที่ 1 MAP

2.8.2. การทดลองที่ 2 MUXZ

2.8.3. การทดลองที่ 3 LOGIC

2.8.4. การทดลองที่ 4 MUX 18 To 6

2.8.5. การทดลองที่ 5 REG

2.8.6. การทดลองที่ 6 INC

2.8.7. การทดลองที่ 7 Micro Code

2.8.8. การทดลองที่ 8 วงจรMicrosequenser

2.9. ใบงานที่ 9 Final Control Unit

2.9.1. การทดลองที่ 1 Line Control

2.10. ใบงานที่ 10 CPU Design

2.10.1. การทดลองที่ 1 การเชื่อมต่อ Control Unit เข้ากับ CPU Unit

2.10.2. การทดลองที่ 2 ทดลองโดยใช้ EPROM EMULATOR

ผู้วิจัยได้ศึกษาทฤษฎีที่เกี่ยวข้องกับการสร้างชุดฝึกทดลอง การออกแบบ และการสร้างชุดฝึกทดลอง ดังนี้

1. ผู้วิจัยได้ทำการค้นคว้ารายละเอียดเกี่ยวกับระบบทำงานของระบบต่างๆของหน่วยประมวลผลกลาง โดยศึกษาเพิ่มเติมจากตำรา และเอกสารต่างๆ จนได้แนวคิดที่ใช้ในการออกแบบการทำงานของแต่ละระบบงานเพื่อสร้างชุดฝึกทดลองให้เหมาะสมกับวัสดุที่หาได้ง่ายภายในประเทศ และนำแนวคิดพร้อมข้อมูลที่ได้ปรึกษากับอาจารย์ผู้ควบคุมวิทยานิพนธ์และผู้ควบคุมวิทยานิพนธ์ร่วมเพื่อหาข้อสรุปในการออกแบบชุดฝึกทดลอง เรื่องการออกแบบหน่วยประมวลผลกลางขนาด

8 บิต 16 คำสั่ง โดยใช้ FPGA เมื่อสร้างชุดทดลองเสร็จผู้วิจัยนำไปทดลองทำคำสั่งต่างๆที่มีในชุดทดลองให้ได้ผลที่มีความถูกต้องมากที่สุดจึงนำไปให้อาจารย์ผู้ควบคุมวิทยานิพนธ์และผู้ควบคุมวิทยานิพนธ์ร่วมตรวจสอบก่อนนำไปให้ผู้ทรงคุณวุฒิตรวจสอบ

2. ชุดฝึกทดลองที่สร้างขึ้นมีการออกแบบรูปร่างและขนาดให้เหมาะสมกับการนำไปใช้เป็นอุปกรณ์ฝึกทดลองการออกแบบหน่วยประมวลผลกลางโดยพิจารณาเกณฑ์ที่กำหนด เรื่องประสิทธิภาพในการทำงาน ขนาด รูปร่าง ความคงทน การบำรุงรักษา ราคา และต้องพิจารณาถึงหลักการทางด้านวิศวกรรมเชิงปฏิบัติมาประยุกต์กับชุดทดลองและคัดเลือกจัดหาอุปกรณ์ที่มีคุณภาพโดยออกแบบการทำงานของแต่ละระบบการทดลองให้เหมาะสมกับระบบการทำงานทางด้านการออกแบบที่ต้องการ

3.2.2 การสร้างแบบสอบถามความพึงพอใจของผู้ใช้งานที่มีต่อชุดฝึกทดลองและใบงานการทดลอง

ผู้วิจัยได้ศึกษาทฤษฎีที่เกี่ยวข้องกับการสร้างแบบสอบถามความพึงพอใจของผู้ใช้งานชุดฝึกทดลองและใบงานการทดลองดังนี้

1. ผู้วิจัยได้ทำการค้นคว้ารายละเอียดเกี่ยวกับการสร้างแบบสอบถามความพึงพอใจของผู้ใช้งานชุดฝึกทดลอง โดยศึกษาเพิ่มเติมจากตำรา และเอกสารต่างๆที่เกี่ยวข้อง จนกระทั่งได้แนวความคิดที่ใช้สร้างแบบสอบถามความพึงพอใจโดยยึดกรอบแนวความคิดที่ใช้ในการวิจัยเป็นพื้นฐานในการสร้างคำถามในแบบสอบถาม และนำแบบสอบถามที่สร้างขึ้นมาให้อาจารย์ผู้ควบคุมวิทยานิพนธ์ และผู้ควบคุมวิทยานิพนธ์ร่วมตรวจสอบความถูกต้องและความสมบูรณ์ของแบบสอบถาม

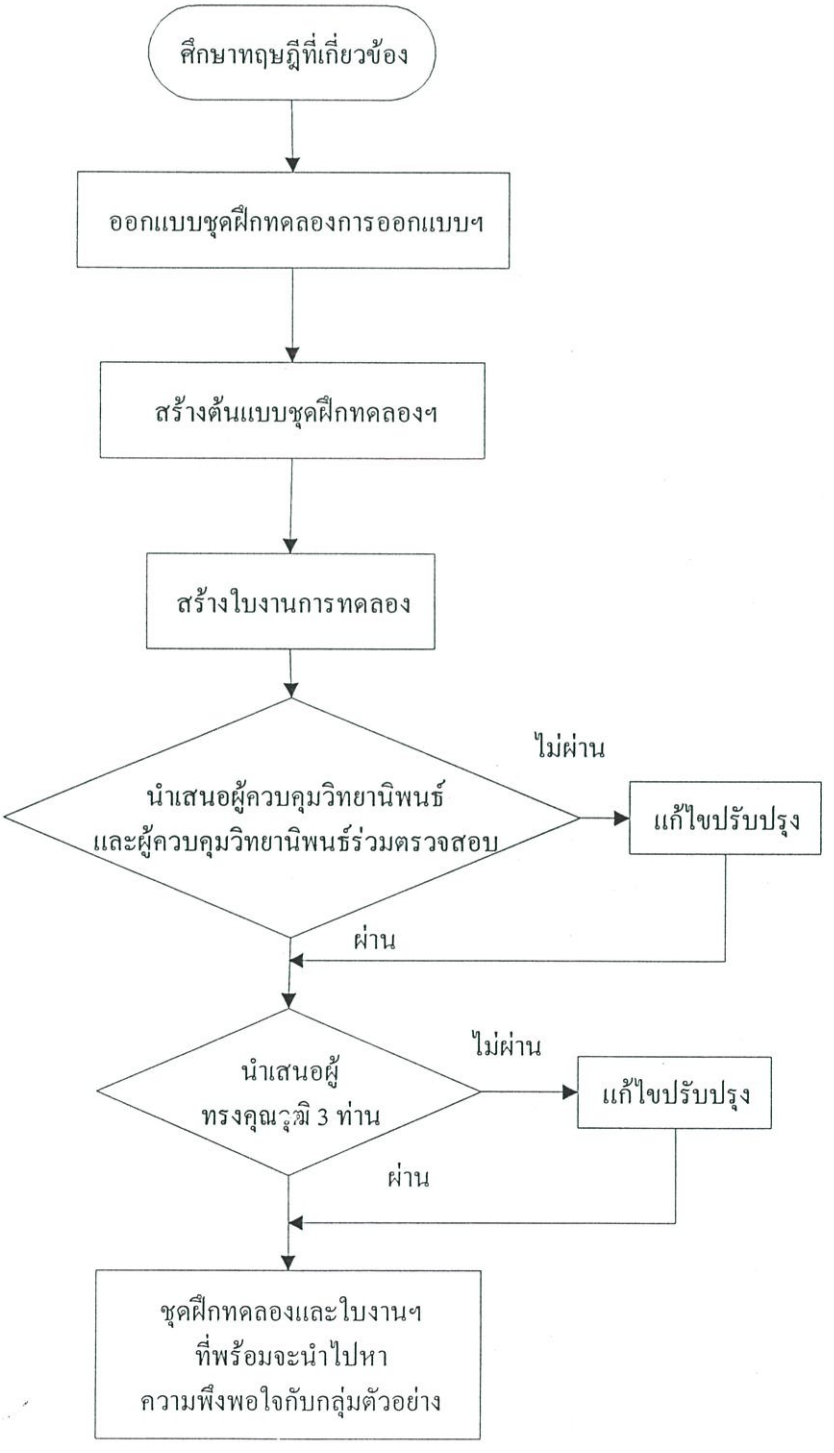
2. เมื่ออาจารย์ผู้ควบคุมวิทยานิพนธ์ และผู้ควบคุมวิทยานิพนธ์ร่วมตรวจสอบเสร็จ ผู้วิจัยจึงนำแบบสอบถามความพึงพอใจที่สร้างขึ้นมาให้กับผู้ทรงคุณวุฒิตรวจสอบเพื่อให้ได้แบบสอบถามความพึงพอใจของผู้ทดลองใช้งานชุดฝึกทดลองและใบงานการทดลองที่มีคุณภาพก่อนที่จะนำไปสอบถามความพึงพอใจกับผู้ทดลองใช้ชุดฝึกทดลอง

3.3 การตรวจสอบคุณภาพของเครื่องมือ

เมื่อสร้างชุดทดลองเสร็จ นำอุปกรณ์ที่ผ่านการคัดเลือกแล้วประกอบเป็นชุดฝึกทดลองและสร้างคู่มือการทดลองประกอบชุดฝึกทดลองแล้วนำชุดฝึกทดลองและคู่มือการทดลองที่สร้างขึ้นมาให้ผู้ควบคุมวิทยานิพนธ์และผู้ควบคุมวิทยานิพนธ์ร่วมตรวจสอบจากนั้นนำชุดฝึกทดลองและใบงานการทดลองมาให้ผู้ทรงคุณวุฒิ ซึ่งเป็นผู้ที่มีประสบการณ์และความชำนาญ ในด้านการสร้างชุดฝึกทดลองและใบงานการทดลอง โดยตอบแบบสอบถามเพื่อทราบความพึงพอใจเกี่ยวกับชุดฝึกทดลองที่ผู้วิจัยสร้างขึ้น

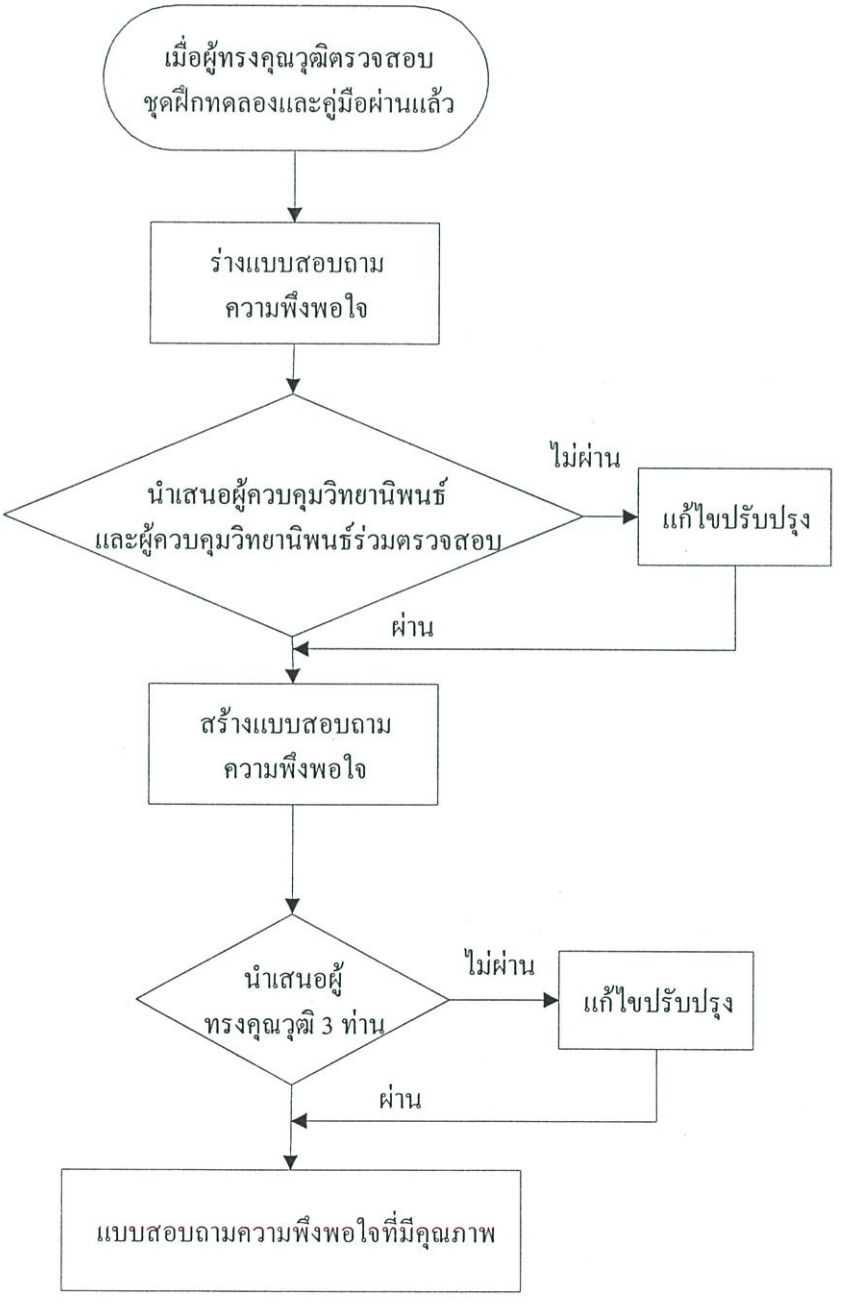
นำชุดฝึกทดลองไปใช้ทดลองร่วมกับใบงานการทดลองกับกลุ่มผู้ใช้ชุดฝึกทดลองเพื่อหาความพึงพอใจ

สรุปขั้นตอนการออกแบบสร้างชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA ได้แสดงในภาพที่ 3.2



ภาพที่ 3.2 ขั้นตอนการสร้างใบงานการทดลองและชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA

เมื่อผู้ทรงคุณวุฒิตรวจสอบชุดฝึกทดลองและคู่มือผ่านแล้ว ผู้วิจัยทำการสร้างแบบสอบถามความพึงพอใจของกลุ่มตัวอย่างโดยให้อาจารย์ผู้ควบคุมวิทยานิพนธ์ ผู้ควบคุมวิทยานิพนธ์ร่วมและผู้ทรงคุณวุฒิตรวจสอบ จากนั้นจึงนำแบบสอบถามไปใช้กับกลุ่มตัวอย่างดังภาพที่ 3.3



ภาพที่ 3.3 ขั้นตอนการสร้างแบบสอบถามความพึงพอใจของกลุ่มตัวอย่าง

3.3.1 นำคู่มือการทดลองและชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA ให้ผู้ทรงคุณวุฒิจำนวน 3 ท่านตรวจสอบโดยมีรายนามดังนี้

1. นาย ชำนาญ ปัญญาใส หัวหน้างานวิจัยออกแบบวงจรรวม ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ

2. นาย วัชรากร หนูทอง ผู้ช่วยหัวหน้างานวิจัยออกแบบวงจรรวม ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ และกรรมการผู้จัดการ บริษัท Silicon Soft จำกัด

3. นาย ยุทธนา เจวจินดา ผู้ช่วยหัวหน้างานวิจัยออกแบบวงจรรวม ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ

3.3.2 นำแบบแสดงความคิดเห็นของผู้ทรงคุณวุฒิทั้งแบบแสดงความคิดเห็นที่มีต่อชุดฝึกทดลองและแบบแสดงความคิดเห็นที่มีต่อใบงานการทดลองให้กับผู้ทรงคุณวุฒิเพื่อแสดงความคิดเห็นโดยกำหนดมาตราการประมาณค่าไว้ดังนี้ (ล้วน สายยศ 2538 : 167-169)

5	หมายถึง	เห็นด้วยกับข้อคำถามมากที่สุด
4	หมายถึง	เห็นด้วยกับข้อคำถามมาก
3	หมายถึง	เห็นด้วยกับข้อคำถามปานกลาง
2	หมายถึง	เห็นด้วยกับข้อคำถามน้อย
1	หมายถึง	เห็นด้วยกับข้อคำถามน้อยที่สุด

3.3.3 หาค่าความเหมาะสมโดยให้ผู้ทรงคุณวุฒิตรวจสอบชุดฝึกทดลองและคู่มือที่สร้างขึ้นโดยใช้แบบสอบถามความคิดเห็นจากผู้ทรงคุณวุฒิ ซึ่งมีทั้งแบบสอบถามความพึงพอใจที่มีต่อชุดทดลองและแบบสอบถามความพึงพอใจที่มีต่อใบงานการทดลอง โดยมีเกณฑ์ในการแปลความหมายดังนี้ ล้วน สายยศ (2538 : 167-169)

4.50 - 5.00	หมายถึง	เห็นด้วยกับข้อคำถามอยู่ในระดับมากที่สุด
3.50 - 4.49	หมายถึง	เห็นด้วยกับข้อคำถามอยู่ในระดับมาก
2.50 - 3.49	หมายถึง	เห็นด้วยกับข้อคำถามอยู่ในระดับปานกลาง
1.50 - 2.49	หมายถึง	เห็นด้วยกับข้อคำถามอยู่ในระดับน้อย
1.00 - 1.49	หมายถึง	เห็นด้วยกับข้อคำถามอยู่ในระดับน้อยที่สุด

โดยค่าความเหมาะสมที่ได้จากความคิดเห็นของผู้ทรงคุณวุฒิทั้งชุดฝึกทดลองและใบงานการทดลองจะต้องมีค่าเฉลี่ย $\geq$ 3.5 จึงถือว่าชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้ทดลองกับกลุ่มตัวอย่างได้

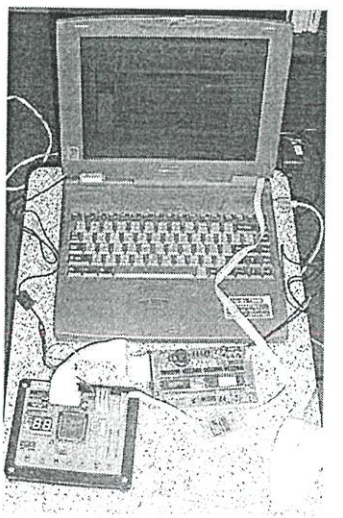
ทั้งนี้ ผลของการตรวจสอบคุณภาพของเครื่องมือที่เป็นแบบสอบถามความพึงพอใจ โดยผู้ทรงคุณวุฒิแสดงความคิดเห็นต่อชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA ได้ค่าเฉลี่ย 4.19 และใบงานการทดลองการออกแบบหน่วยประมวลผลกลาง ได้ค่าเฉลี่ย 4.16 ซึ่งมากกว่าค่าที่กำหนดไว้โดยมีความเห็นด้วยกับข้อคำถามในระดับมากสามารถนำเอาไปใช้งานกับกลุ่มตัวอย่างได้

จากแบบสอบถามความพึงพอใจของผู้ทรงคุณวุฒิในหัวข้อความคิดเห็นเพิ่มเติมของผู้ทรงคุณวุฒิที่แสดงความคิดเห็นว่าใบงานการทดลองควรมีเนื้อหาเกี่ยวกับชุดฝึกทดลองให้มาก การอธิบายถึงการต่อวงจรต่างๆ ควรมีรูปภาพแสดงให้สมบูรณ์ ซึ่งผู้วิจัยได้ทำการเพิ่มตามที่ผู้ทรงคุณวุฒิได้แนะนำมาแล้ว

3.4 การดำเนินการทดลอง

ในการดำเนินการวิจัย และเก็บรวบรวมข้อมูลผู้วิจัยได้ดำเนินการดังนี้

ภาพที่ 3.4 ผู้ใช้ชุดฝึกทดลองกำลังทำการทดลองใช้ชุดฝึกทดลอง



ภาพที่ 3.5 การต่อใช้งานชุดฝึกทดลองกับเครื่องไมโครคอมพิวเตอร์

3.4.1 แนะนำชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA ที่สร้างขึ้นแก่ผู้ใช้ชุดฝึกทดลอง โดยให้ทราบถึงขอบเขตเนื้อหาวัตถุประสงค์และคำชี้แจงในใบงานการทดลอง

3.4.2 นำชุดฝึกทดลองและใบงานการทดลอง มาดำเนินการทดลองกับกลุ่มตัวอย่างผู้ใช้งานเพื่อนำข้อมูลมาหาค่าความพึงพอใจของชุดฝึกทดลอง

3.4.3 นำแบบแสดงความพึงพอใจของกลุ่มตัวอย่างผู้ใช้งานทั้งแบบแสดงความคิดเห็นที่มีต่อชุดฝึกทดลองและแบบแสดงความคิดเห็นที่มีต่อใบงานการทดลองให้กับกลุ่มตัวอย่างเพื่อแสดงความพึงพอใจ โดยกำหนดมาตราส่วนประมาณค่าไว้ดังนี้ (ล้วน สายยศ 2538 : 167-169)

5	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองมากที่สุด
4	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองมาก
3	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองปานกลาง
2	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองน้อย
1	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองน้อยที่สุด

3.5 การวิเคราะห์ข้อมูล

การวิเคราะห์ข้อมูลนั้นผู้วิจัยได้ทำการวิเคราะห์ข้อมูลโดยใช้โปรแกรม SPSS for Window ซึ่งมีการวิเคราะห์ดังนี้

3.5.1 วิเคราะห์ชุดฝึกทดลองและใบงานการทดลองที่สร้างขึ้นด้วยตนเอง โดยผู้วิจัยทดลองใช้งานและตรวจสอบความบกพร่องต่างๆของชุดทดลองและใบงานการทดลอง จากนั้นให้อาจารย์ผู้ควบคุมวิทยานิพนธ์และผู้ควบคุมวิทยานิพนธ์ร่วมตรวจสอบอีกครั้งก่อนนำไปให้ผู้ทรงคุณวุฒิและกลุ่มตัวอย่างผู้ใช้เพื่อแสดงความคิดเห็นและค่าความพึงพอใจต่อไป

3.5.2 นำชุดฝึกทดลองและใบงานการทดลองไปให้ผู้ทดลองใช้ชุดฝึกทดลองใช้งานเพื่อหาค่าความพึงพอใจโดยใช้แบบสอบถามความพึงพอใจจากกลุ่มตัวอย่างซึ่งมีทั้งแบบสอบถามความพึงพอใจที่มีต่อชุดทดลองและแบบสอบถามความพึงพอใจที่มีต่อใบงานการทดลอง โดยมีเกณฑ์ในการพิจารณาดังนี้ (ล้วน สายยศ 2538 : 167-169)

4.50 - 5.00	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับมากที่สุด
3.50 - 4.49	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับมาก
2.50 - 3.49	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับปานกลาง
1.50 - 2.49	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับน้อย

1.00 - 1.49 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับน้อยที่สุด

โดยค่าความพึงพอใจที่ได้จากความคิดเห็นของกลุ่มตัวอย่างทั้งชุดฝึกทดลองและใบงานการทดลองต้องมีค่าเฉลี่ย ≥ 3.5 จึงถือว่าชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

3.6 สถิติที่ใช้ในการวิจัย

จากการวิเคราะห์ข้อมูลข้างต้นนำแบบสอบถามความพึงพอใจของผู้ทรงคุณวุฒิและแบบสอบถามความพึงพอใจของกลุ่มตัวอย่างผู้ใช้มาประเมินหาค่าเฉลี่ย และค่าเบี่ยงเบนมาตรฐานโดยใช้โปรแกรมสำเร็จรูป SPSS FW(Statistical Package for The Social Sciences for Window)

3.6.1 การหาค่าเฉลี่ย หาได้โดย คะแนนของข้อมูลทั้งหมดรวมกันหารด้วยจำนวนคะแนนของข้อมูล (สมหวัง พิริยานุวัฒน์ 2541 : 32)

$$\bar{X} = \frac{\sum X}{N}$$

$\bar{X}$ = ค่าเฉลี่ย

$\sum X$ = ผลรวมของคะแนนทุกตัว

N = จำนวนคะแนนทั้งหมด

3.6.2 ความเบี่ยงเบนมาตรฐาน (ผศ.ดร. สุมาลี จันทร์ชลอ 2542 : 50)

$$S = \sqrt{\frac{\sum (X - \bar{X})^2}{N}}$$

S = ความเบี่ยงเบนมาตรฐาน

X = คะแนนแต่ละจำนวน

$\bar{X}$ = ค่าเฉลี่ยของคะแนนชุดนั้น

N = จำนวนคะแนน

บทที่ 4
ผลการวิเคราะห์ข้อมูล

การวิจัยครั้งนี้มีวัตถุประสงค์เพื่อการพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ซึ่งผู้วิจัยได้ทำการวิเคราะห์หาความพึงพอใจของผู้ใช้ชุดฝึกทดลองโดยมีการวิเคราะห์ดังนี้

4.1 การวิเคราะห์ข้อมูล

4.2 การวิเคราะห์หาค่าความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลอง

4.3 การวิเคราะห์หาค่าความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อใบงานการทดลอง

4.1 การวิเคราะห์ข้อมูล

นำข้อมูลที่ได้จากการทดลองมาวิเคราะห์ทางสถิติดังนี้

4.1.1 วิเคราะห์หาค่าความพึงพอใจของชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

4.1.1.1 การประเมินความพึงพอใจของชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA จากผู้ทรงคุณวุฒิจำนวน 3 ท่าน มีค่าเฉลี่ยเท่ากับ 4.19 ซึ่งอยู่ในเกณฑ์เห็นด้วยกับข้อคำถามในระดับมาก

4.1.1.2 การประเมินความพึงพอใจของชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA จากกลุ่มตัวอย่างจำนวน 12 ท่านโดยแบ่งออกเป็น 3 กลุ่มดังนี้

1.กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลมีค่าเฉลี่ยเท่ากับ 4.13 ซึ่งอยู่ในเกณฑ์มีความพึงพอใจต่อชุดฝึกทดลองมาก

2.กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์มีค่าเฉลี่ยเท่ากับ 4.03 ซึ่งอยู่ในเกณฑ์มีความพึงพอใจต่อชุดฝึกทดลองมาก

3.กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์มีค่าเฉลี่ยเท่ากับ 3.90 ซึ่งอยู่ในเกณฑ์มีความพึงพอใจต่อชุดฝึกทดลองมาก

4.1.2 วิเคราะห์หาค่าความพึงพอใจของชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA

4.1.2.2 การประเมินความพึงพอใจของใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA จากผู้ทรงคุณวุฒิจำนวน 3 ท่าน มีค่าเฉลี่ยเท่ากับ 4.16 ซึ่งอยู่ในเกณฑ์เห็นด้วยกับข้อคำถามในระดับมาก

4.1.2.3 การประเมินความพึงพอใจของใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA จากกลุ่มตัวอย่างจำนวน 12 ท่านโดยแบ่งออกเป็น 3 กลุ่มดังนี้

1. กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลมีค่าเฉลี่ยเท่ากับ 4.08 ซึ่งอยู่ในเกณฑ์มีความพึงพอใจมาก
2. กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์มีค่าเฉลี่ยเท่ากับ 4.18 ซึ่งอยู่ในเกณฑ์มีความพึงพอใจมาก
3. กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์มีค่าเฉลี่ยเท่ากับ 4.00 ซึ่งอยู่ในเกณฑ์มีความพึงพอใจมาก

4.2 การวิเคราะห์หาค่าความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลอง

ผู้วิจัยได้ทำการทดสอบชุดฝึกทดลองที่สร้างขึ้นมากับผู้ใช้ชุดฝึกทดลองซึ่งเป็นผู้ที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้วจำนวน 12 ท่าน โดยแบ่งเป็น 3 กลุ่ม คือ กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์ และ กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ จากกลุ่มดังกล่าวนำผลที่ได้มาวิเคราะห์หาค่าความพึงพอใจที่มีต่อชุดฝึกทดลอง โดยเสนอผลของการทดลองชุดฝึกทดลองจากการศึกษาความพึงพอใจที่มีต่อชุดฝึกทดลองจากผู้ทดลองใช้ชุดฝึกทดลอง ดังตารางที่ 4.1

ตารางที่ 4.1 แสดงผลการวิเคราะห์จากการทดลองเพื่อหาความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลองจำนวน 12 ท่าน

กลุ่มของผู้ทดลอง (N=12)	$\overline{X}$	SD
กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล	4.13	0.18
กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์	4.03	0.18
กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	3.88	0.17
รวม	4.02	0.18

จากตารางที่ 4.1 พบว่าผู้ใช้ชุดฝึกทดลองโดยภาพรวมมีความพึงพอใจต่อชุดฝึกทดลองอยู่ในระดับมากมีค่าเฉลี่ย 4.02 เมื่อพิจารณาแยกตามกลุ่มตัวอย่างพบว่า มีความพึงพอใจอยู่ในระดับมากทุกกลุ่มเช่นกันโดยมีค่าเฉลี่ย 4.13, 4.03, และ 3.88 ตามลำดับซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.50 ขึ้นไปแสดงว่าชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

4.3 การวิเคราะห์หาค่าความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อใบงานการทดลอง

ผู้วิจัยได้ทำการทดสอบใบงานการทดลองที่สร้างขึ้นมากับผู้ทดลองซึ่งเป็นผู้ที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้วจำนวน 12 ท่าน โดยแบ่งเป็น 3 กลุ่ม ดังนี้

1. กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล จำนวน 4 ท่าน
2. กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์ จำนวน 4 ท่าน
3. กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ จำนวน 4 ท่าน

จากกลุ่มดังกล่าวนำผลที่ได้มาวิเคราะห์หาค่าความพึงพอใจที่มีต่อใบงานการทดลอง ดังตารางที่ 4.2

ตารางที่ 4.2 แสดงความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อใบงานการทดลองจำนวน 12 ท่าน

กลุ่มของผู้ทดลอง (N=12)	$\overline{X}$	SD
กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล	4.08	0.30
กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์	4.18	0.18
กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	3.98	0.26
รวม	4.08	0.24

จากตารางที่ 4.2 พบว่าผู้ใช้ใบงานการทดลองโดยภาพรวมมีความพึงพอใจต่อใบงานการทดลองอยู่ในระดับมากมีค่าเฉลี่ย 4.08 เมื่อพิจารณาแยกตามกลุ่มตัวอย่างพบว่า มีความพึงพอใจอยู่ในระดับมากทุกกลุ่มเช่นกันโดยมีค่าเฉลี่ย 4.08, 4.18, และ 3.98 ตามลำดับซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.50 ขึ้นไปแสดงว่าใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

ตารางที่ 4.3 แสดงความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีความรู้ทางด้านดิจิตอลที่มีต่อใบงานการทดลองจำนวน 4 ท่าน

ใบงานที่	$\overline{X}$	SD	พอใจ	ลำดับที่
ใบงานที่ 1 การใช้งาน Software Xilinx Foundation 2.1I	3.93	0.25	มาก	9
ใบงานที่ 2 การสร้าง Input / Output Buffer ขนาด 8 บิต	4.04	0.39	มาก	7
ใบงานที่ 3 การออกแบบวงจรคอมไบเนชั่น	4.06	0.28	มาก	6
ใบงานที่ 4 การสร้างวงจร ALU	3.93	0.29	มาก	10
ใบงานที่ 5 8 Bit CPU	4.24	0.36	มาก	2
ใบงานที่ 6 Control Unit	4.31	0.36	มาก	1
ใบงานที่ 7 วงจร Decoder	3.94	0.08	มาก	8
ใบงานที่ 8 Microsequenser2	4.06	0.24	มาก	5
ใบงานที่ 9 Final Control Unit	4.19	0.39	มาก	3
ใบงานที่ 10 CPU Design	4.07	0.34	มาก	4
รวม	**4.08**	**0.30**	**มาก**	

จากตารางที่ 4.3 พบว่าผู้ทดลองใบงานการทดลองโดยภาพรวมมีความพึงพอใจอยู่ในระดับมากมีค่าเฉลี่ย 4.08 เมื่อพิจารณาแยกตามใบงานพบว่ามีความพึงพอใจอยู่ในระดับมากทุกใบงานเช่นกัน เรียงลำดับความพึงพอใจในใบงานจากลำดับแรกถึงลำดับสุดท้าย โดยมีค่าเฉลี่ย 4.31, 4.24, 4.19, 4.07, 4.06, 4.04, 3.94 และ 3.93 ตามลำดับ ใบงานที่มีความพึงพอใจมากที่สุดคือใบงานที่ 6 รองลงมาคือใบงานที่ 5 ซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.50 ขึ้นไปแสดงว่าใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

ตารางที่ 4.4 แสดงความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์ที่มีต่อใบงานการทดลองจำนวน 4 ท่าน

ใบงานที่	$\overline{X}$	SD	พอใจ	ลำดับที่
ใบงานที่ 1 การใช้งาน Software Xilinx Foundation 2.1I	4.16	0.15	มาก	7
ใบงานที่ 2 การสร้าง Input / Output Buffer ขนาด 8 บิต	4.19	0.19	มาก	5
ใบงานที่ 3 การออกแบบวงจรคอมไบเนชั่น	4.12	0.31	มาก	9
ใบงานที่ 4 การสร้างวงจร ALU	4.18	0.15	มาก	6
ใบงานที่ 5 8 Bit CPU	4.19	0.14	มาก	4
ใบงานที่ 6 Control Unit	3.96	0.23	มาก	10
ใบงานที่ 7 วงจร Decoder	4.19	0.07	มาก	3
ใบงานที่ 8 Microsequenser2	4.16	0.11	มาก	8
ใบงานที่ 9 Final Control Unit	4.29	0.28	มาก	2
ใบงานที่ 10 CPU Design	4.32	0.16	มาก	1
รวม	**4.18**	**0.18**	**มาก**	

จากตารางที่ 4.4 พบว่าผู้ทดลองใบงานการทดลองโดยภาพรวมมีความพึงพอใจอยู่ในระดับมากมีค่าเฉลี่ย 4.18 เมื่อพิจารณาแยกตามใบงานพบว่ามีความพึงพอใจอยู่ในระดับมากทุกใบงานเช่นกัน เรียงลำดับความพึงพอใจในใบงานจากลำดับแรกถึงลำดับสุดท้ายโดยมีค่าเฉลี่ย 4.32, 4.29, 4.19, 4.18, 4.16, 4.12 และ 3.96 ตามลำดับ ใบงานที่มีความพึงพอใจมากที่สุดคือใบงานที่ 10 รองลงมาคือใบงานที่ 9 ดูได้จากตารางซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.5 ขึ้นไปแสดงว่าใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

ตารางที่ 4.5 แสดงความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่มีต่อใบงานการทดลองจำนวน 4 ท่าน

ใบงานที่	$\overline{X}$	SD	พอใจ	ลำดับที่
ใบงานที่ 1 การใช้งาน Software Xilinx Foundation 2.1I	4.04	0.18	มาก	3
ใบงานที่ 2 การสร้าง Input / Output Buffer ขนาด 8 บิต	4.02	0.25	มาก	4
ใบงานที่ 3 การออกแบบวงจรคอมไบเนชั่น	4.06	0.25	มาก	2
ใบงานที่ 4 การสร้างวงจร ALU	4.09	0.15	มาก	1
ใบงานที่ 5 8 Bit CPU	3.75	0.30	มาก	10
ใบงานที่ 6 Control Unit	3.96	0.30	มาก	8
ใบงานที่ 7 วงจร Decoder	4.02	0.37	มาก	5
ใบงานที่ 8 Microsequenser2	3.99	0.34	มาก	7
ใบงานที่ 9 Final Control Unit	3.93	0.19	มาก	9
ใบงานที่ 10 CPU Design	4.00	0.24	มาก	6
รวม	**3.98**	**0.26**	**มาก**	

จากตารางที่ 4.5 พบว่าผู้ทดลองใบงานการทดลองโดยภาพรวมมีความพึงพอใจอยู่ในระดับมากมีค่าเฉลี่ย 3.98 เมื่อพิจารณาแยกตามใบงานพบว่ามีความพึงพอใจอยู่ในระดับมากทุกใบงานเช่นกันเรียงลำดับความพึงพอใจในใบงานจากลำดับแรกถึงลำดับสุดท้ายโดยมีค่าเฉลี่ย 4.09, 4.06, 4.04, 4.02, 4.00, 3.99, 3.96, 3.96 และ 3.75 ตามลำดับ ใบงานที่มีความพึงพอใจมากที่สุดคือใบงานที่ 4 รองลงมาคือใบงานที่ 3 ดูได้จากตารางซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.5 ขึ้นไปแสดงว่าใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

บทที่ 5
สรุปผลการวิจัย อภิปรายผลและข้อเสนอแนะ

การวิจัยครั้งนี้เป็นการพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA โดยมีการสรุปผลการวิจัยอภิปรายผลและข้อเสนอแนะดังต่อไปนี้

5.1 วัตถุประสงค์ของการวิจัย

1. เพื่อพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA
2. เพื่อหาความพึงพอใจของผู้ใช้ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA

5.2 สมมุติฐานการวิจัย

1. ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA มีการทำงานที่ถูกต้อง
2. ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลาง ขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ที่สร้างขึ้นมานั้นมีค่าระดับความพึงพอใจมาก

5.3 ประชากรและกลุ่มตัวอย่าง

5.3.1 ประชากร

ประชากรที่ใช้ในการวิจัยเป็นผู้ที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอล และสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้ว

5.3.2 กลุ่มตัวอย่าง

กลุ่มตัวอย่างที่ใช้ในการวิจัยเป็นผู้ใช้ชุดฝึกทดลองที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่อยู่ในภาคอุตสาหกรรม

อิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้ว จำนวน 12 คน โดยแบ่งออกเป็น 3 กลุ่ม กลุ่มละ 4 ท่าน คือ

1. กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล
2. กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์
3. กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์

5.4 เครื่องมือที่ใช้ในการวิจัย

เครื่องมือที่ใช้ในการวิจัยครั้งนี้ ประกอบไปด้วย

5.4.1 ชุดฝึกทดลอง

ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA เป็นชุดฝึกทดลองที่สร้างขึ้นตามลักษณะของการใช้งานจริงของหน่วยประมวลผลกลาง สามารถจำลองการทำงานของหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งได้อย่างครอบคลุม และสามารถนำความรู้ไปพัฒนาการออกแบบให้มีประสิทธิภาพสูงขึ้นได้

5.4.2 ใบงานการทดลอง

ใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA นี้ เป็นใบงานเพื่อการเรียนรู้อย่างเป็นขั้นตอน จากง่ายไปหายาก ในใบงานจะมีการทดลองออกเป็น 10 ใบงาน แต่ละใบงานจะแยกย่อยออกเป็นการทดลองต่างๆ ขึ้นอยู่กับความยากง่ายของใบงาน

5.4.3 แบบสอบถามความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลอง

แบบสอบถามความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลอง เป็นแบบสอบถามความรู้สึกในการใช้งานชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA โดยแบ่งระดับคะแนนดังนี้

5	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองมากที่สุด
4	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองมาก
3	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองปานกลาง
2	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองน้อย
1	หมายถึง	มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองน้อยที่สุด

5.4.4 แบบสอบถามความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง

แบบสอบถามความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อใบงานการทดลอง เป็นแบบสอบถามความรู้สึกในการใช้ใบงานการทดลองการออกแบบหน่วยประมวลผลกลาง ขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA โดยแบ่งระดับคะแนนดังนี้

5 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองมากที่สุด

4 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองมาก

3 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองปานกลาง

2 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองน้อย

1 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองน้อยที่สุด

5.4.5 เกณฑ์การแปลความหมายแบบสอบถามความพึงพอใจของผู้ทดลองที่มีต่อชุดฝึกทดลองและใบงานการทดลอง

นำชุดฝึกทดลอง และใบงานการทดลองไปให้ผู้ทดลองใช้ชุดฝึกทดลองใช้งานเพื่อหาค่าความพึงพอใจโดยใช้แบบสอบถามความพึงพอใจจากกลุ่มตัวอย่างซึ่งจะมีทั้งแบบสอบถามความพึงพอใจที่มีต่อชุดทดลองและแบบสอบถามความพึงพอใจที่มีต่อใบงานการทดลอง โดยจะมีเกณฑ์ในการพิจารณาดังนี้ ล้วน สายยศ (2538 : 167-169)

4.50 - 5.00 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับมากที่สุด

3.50 - 4.49 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับมากมาก

2.50 - 3.49 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง /ใบงานการทดลองอยู่ในระดับมากปานกลาง

1.50 - 2.49 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับมากน้อย

1.00 - 1.49 หมายถึง มีความพึงพอใจต่อชุดฝึกทดลอง / ใบงานการทดลองอยู่ในระดับมากน้อยที่สุด

โดยค่าความพึงพอใจที่ได้จากความคิดเห็นของกลุ่มตัวอย่างทั้งชุดฝึกทดลองและใบงานการทดลองจะต้องมีค่าเฉลี่ย $\geq$ 3.5 จึงถือว่ากลุ่มตัวอย่างมีความพึงพอใจต่อชุดทดลองและใบงานการทดลองที่สร้างขึ้นและถือว่าชุดฝึกทดลองและใบงานการทดลองมีคุณภาพสามารถนำไปใช้งานได้

5.5 การเก็บรวบรวมข้อมูล

การเก็บรวบรวมข้อมูลผู้วิจัยได้ทำการทดลองกับผู้ใช้ชุดฝึกทดลองที่ใช้ในการวิจัยเป็นผู้ที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ที่

อยู่ในภาคอุตสาหกรรมอิเล็กทรอนิกส์ และสถาบันการศึกษาที่เปิดสอนด้านอิเล็กทรอนิกส์ที่เคยใช้งาน FPGA มาแล้ว จำนวน 12 คนโดยแบ่งเป็น 3 กลุ่ม กลุ่มละ 4 คนโดยแบ่งกลุ่มออกได้ดังนี้

1. กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล
2. กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์
3. กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์

เมื่อผู้ใช้ชุดฝึกทดลองทดลองเสร็จในแต่ละใบงานการทดลอง ผู้ใช้ชุดฝึกทดลองจะต้องกรอกแบบสอบถามความพึงพอใจ เพื่อที่จะนำคะแนนที่ได้ไปวิเคราะห์หาค่าความพึงพอใจ

5.6 สรุปผลการวิจัย

5.7.1 ความพึงพอใจของผู้ใช้ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA

ความพึงพอใจของผู้ใช้ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ที่สร้างขึ้นมีค่าความพึงพอใจมากมีค่าเฉลี่ย 4.02 ซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.50 ขึ้นไปแสดงว่าชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

5.7.2 ความพึงพอใจของผู้ทดลองใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA

ความพึงพอใจของผู้ทดลองใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ที่สร้างขึ้นมีค่าความพึงพอใจมากมีค่าเฉลี่ย 4.08 ซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.50 ขึ้นไปแสดงว่าใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

5.7 อภิปรายผลการวิจัย

ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA ที่ผู้วิจัยสร้างขึ้นมีระดับค่าความพึงพอใจของผู้ทดลองตรงตามเกณฑ์ที่กำหนดไว้ สามารถให้ความรู้เรื่อง การออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA แก่ผู้ทดลองทั้งนี้อาจเป็นเพราะเครื่องมือที่สร้างขึ้นมานั้นบางส่วนสร้างวงจรโดยใช้ภาษา VHDL ซึ่งสอดคล้องกับงานวิจัยของ วัชรากร หนูทอง (2542 : บทคัดย่อ) วิจัยเรื่องการสร้างไมโครคอลโทรลเลอร์ต้นแบบ

โดยใช้ FPGA โดยเสนอขั้นตอนการออกแบบทางโครงสร้างซึ่งมีขนาด 8 บิตโดยใช้ภาษา VHDL ในการเขียนรูปแบบ จำลองการทำงานและแก้ไขตรวจสอบแล้วนำมาทำการสังเคราะห์ให้อยู่ในรูปของผังวงจรระดับเกต แล้วนำไปสร้างบน FPGA เพื่อทดสอบการทำงานจริง ชุดฝึกทดลองที่สร้างขึ้นมาผู้ทดลองสามารถเรียนรู้การต่อวงจร และการนำไปใช้งานได้อย่างมีประสิทธิภาพซึ่งมีความสอดคล้องกับงานวิจัยของ ประกาศิต ตันติอลงการ (2535 : บทคัดย่อ) ได้วิจัยและหาค่าประสิทธิภาพชุดทดลองวงจรไฟฟ้ากระแสสลับ โดยได้สร้างเครื่องมือการวิจัยเป็นชุดฝึกทดลองวงจรไฟฟ้ากระแสสลับ และใบงานการทดลองวงจรไฟฟ้ากระแสสลับ ซึ่งมีการหาค่าประสิทธิภาพจากการทดลองใช้จากกลุ่มตัวอย่างที่กำหนดเป็นนักศึกษาช่างไฟฟ้าพบว่าผลการวิจัยมีประสิทธิภาพตามเกณฑ์ที่กำหนด และ ศักรินทร์ โสนันทะ (2542 : บทคัดย่อ) ได้วิจัยและหาประสิทธิภาพชุดฝึกทดลองปฏิบัติการไฟฟ้าสื่อสาร โดยกลุ่มตัวอย่างเป็นนักศึกษาระดับปริญญาตรี สาขาวิศวกรรมอิเล็กทรอนิกส์ ซึ่งนำคะแนนที่ทดสอบหลังจากการทดลองมาวิเคราะห์เพื่อเปรียบเทียบหาประสิทธิภาพของชุดทดลองโดยมีผลสัมฤทธิ์ทางการเรียนสูงกว่าเกณฑ์ที่กำหนดไว้

5.7.1 การวิเคราะห์จากการทดลองเพื่อหาความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลอง

การวิเคราะห์จากการทดลอง เพื่อหาความพึงพอใจของผู้ใช้ชุดฝึกทดลองที่มีต่อชุดฝึกทดลองพบว่าความพึงพอใจของผู้ใช้ชุดฝึกทดลองทั้งสามกลุ่มมีค่าเฉลี่ย 4.02 ซึ่งมากกว่าค่าที่กำหนดไว้โดยมีมีความพึงพอใจต่อชุดฝึกทดลองมาก ซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.5 ขึ้นไปแสดงว่าชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

โดยกลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลจะมีความพึงพอใจมากที่สุดโดยมีค่าเฉลี่ย 4.13 รองลงมาคือกลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์มีค่าเฉลี่ย 4.03 และ กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์มีค่าเฉลี่ย 3.88

จากกลุ่มตัวอย่างดังกล่าว กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลจะมีความพึงพอใจมากที่สุดเนื่องจากในการต่อวงจรส่วนใหญ่วงจรที่ออกแบบบนชุดทดลองจะใช้อุปกรณ์ทางด้านดิจิตอลพื้นฐานทำให้กลุ่มตัวอย่างนี้มีความพึงพอใจมากที่สุด ส่วนกลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์เป็นกลุ่มตัวอย่างที่มีความรู้ทั้งสองด้านซึ่งความสามารถในการทดลองอาจมีน้อยกว่ากลุ่มที่มีความรู้อย่างใดอย่างหนึ่งจึงทำให้มีค่าความพึงพอใจน้อยที่สุด

5.7.2 การวิเคราะห์จากการทดลองเพื่อหาความพึงพอใจของผู้ทดลองใบงานการทดลอง

การวิเคราะห์จากการทดลองเพื่อหาความพึงพอใจของผู้ทดลองใบงานการทดลองพบว่าความพึงพอใจของผู้ทดลองทั้งสามกลุ่มมีค่าเฉลี่ย 4.08 ซึ่งมากกว่าเกณฑ์ที่กำหนดไว้โดยมีความพึงพอใจต่อใบงานการทดลองมากซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูง

กว่า 3.5 ขึ้นไปแสดงว่าใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง ที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้ สามารถแยกอภิปรายในแต่ละกลุ่มดังนี้

1. กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล

การวิเคราะห์จากการทดลองเพื่อหาความพึงพอใจของผู้ทดลองใบงานการทดลองพบว่า ความพึงพอใจของผู้ทดลองทั้งสามกลุ่มมีค่าเฉลี่ย 4.08 ซึ่งตรงตามเกณฑ์ที่กำหนดไว้โดยมีความพึงพอใจต่อใบงานการทดลองมาก ใบงานที่มีความพึงพอใจมากที่สุดคือใบงานที่ 6 โดยมีค่าเฉลี่ย 4.31

2. กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์

การวิเคราะห์จากการทดลองเพื่อหาความพึงพอใจของผู้ทดลองใบงานการทดลองพบว่า ความพึงพอใจของผู้ทดลองทั้งสามกลุ่มมีค่าเฉลี่ย 4.18 ซึ่งตรงตามเกณฑ์ที่กำหนดไว้โดยมีความพึงพอใจต่อใบงานการทดลองมาก ใบงานที่มีความพึงพอใจมากที่สุดคือใบงานที่ 10 โดยมีค่าเฉลี่ย 4.32

3. กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์

การวิเคราะห์จากการทดลองเพื่อหาความพึงพอใจของผู้ทดลองใบงานการทดลองพบว่า ความพึงพอใจของผู้ทดลองทั้งสามกลุ่มมีค่าเฉลี่ย 3.98 ซึ่งตรงตามเกณฑ์ที่กำหนดไว้โดยมีความพึงพอใจต่อใบงานการทดลองมาก ใบงานที่มีความพึงพอใจมากที่สุดคือใบงานที่ 4 โดยมีค่าเฉลี่ย 4.09

จากกลุ่มตัวอย่างทั้งสามกลุ่มข้างบนกลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์มีความพอใจต่อใบงานมากที่สุด เนื่องจากกลุ่มนี้จะมีความเชี่ยวชาญทางด้านการออกแบบวงจรทางด้านสถาปัตยกรรมคอมพิวเตอร์ ซึ่งในใบงานการทดลองมีการออกแบบหน่วยประมวลผลกลางซึ่งเกี่ยวข้องกับสถาปัตยกรรมคอมพิวเตอร์โดยตรงดังนั้นจึงมีความพึงพอใจต่อใบงานมากที่สุด ส่วนกลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์มีความพึงพอใจน้อยที่สุดนั้น เนื่องจากเป็นกลุ่มตัวอย่างที่มีความรู้ทั้งสองด้านซึ่งความสามารถในการทดลองใบงานอาจมีน้อยกว่ากลุ่มที่มีความรู้อย่างใดอย่างหนึ่งจึงทำให้มีค่าความพึงพอใจน้อยที่สุด

เมื่อผู้วิจัยได้ทำการวิเคราะห์เพื่อหาความพึงพอใจทั้งชุดฝึกทดลอง และใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA สรุปว่า ทั้ง 3 กลุ่มมีความพึงพอใจมากในการใช้งานชุดฝึกทดลอง และใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ซึ่งจะเห็นได้ว่าค่าเฉลี่ยทั้งหมดรวมและจำแนกตามกลุ่มมีค่าเฉลี่ยสูงกว่า 3.5 ขึ้นไปแสดงว่าชุดฝึกทดลองและใบงานการทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งที่สร้างขึ้นมีคุณภาพสามารถนำไปใช้งานได้

5.8 ข้อเสนอแนะในการวิจัย

5.8.1 ข้อเสนอแนะทั่วไป

1. กลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์เมื่อทำการทดลองชุดฝึกทดลองแล้วมีค่าเฉลี่ยต่ำกว่ากลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอล และกลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านสถาปัตยกรรมคอมพิวเตอร์เพียงอย่างเดียว เนื่องจากกลุ่มตัวอย่างกลุ่มนี้มีความรู้ทั้งสองด้านจึงมีความชำนาญ และความสามารถน้อยกว่ามีความรู้ด้านใดด้านหนึ่งเพียงอย่างเดียว ดังนั้นค่าเฉลี่ยของกลุ่มนี้จึงมีค่าที่ต่ำกว่าทุกกลุ่ม ในการทดลองกับกลุ่มตัวอย่างที่มีพื้นฐานความรู้กว้างนั้นควรที่จะสร้างเครื่องมือให้ครอบคลุมกับเนื้อหาการทดลอง เพื่อให้ผู้ทดลองได้ทดลองได้อย่างมีประสิทธิภาพ

2. การทดลองกับกลุ่มตัวอย่างทั้งสามกลุ่ม พบว่าข้อคำถามบางข้อมีค่าเฉลี่ยต่ำกว่าเกณฑ์ที่กำหนดไว้ซึ่งดูได้จากภาคผนวก ง. การวิเคราะห์ข้อมูล จะเห็นได้ว่าข้อคำถามที่ 11, 13, 14, 16 จะมีค่าเฉลี่ยต่ำกว่าเกณฑ์ที่กำหนดไว้คือน้อยกว่า 3.50 ผู้วิจัยได้ทำการตรวจสอบพบว่าผู้ทดลองส่วนใหญ่ยังสับสนต่อขั้นตอนการทดลอง การอ่านข้อมูลจากตาราง การจำเพื่อนำไปใช้งาน และคำถามท้ายการทดลอง โดยผู้ทดลองส่วนใหญ่จะมีความคิดเห็นเพิ่มเติมมาให้ในส่วนนี้แล้ว

3. ได้ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลาง ขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA ที่มีระดับความพึงพอใจมาก

4. ได้เครื่องมือช่วยในการพัฒนาระบบของหน่วยประมวลผลกลาง ขนาด 8 บิต

5. ได้รับความรู้เกี่ยวกับสถาปัตยกรรมคอมพิวเตอร์และการทำงานของชุดคำสั่งภายในหน่วยประมวลผล ที่กำหนดใช้เป็นกรณีศึกษา

6. ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA เป็นการเรียนรู้โดยการปฏิบัติจริง ซึ่งเป็นวิธีการเรียนรู้จากประสบการณ์ตรงที่ผู้ทดลองได้รับความรู้ ดังนั้นจึงควรมีการหาค่าความพึงพอใจของผู้ใช้ชุดฝึกทดลองก่อนทุกครั้งเพื่อให้ได้ทราบว่าชุดฝึกทดลองมีความเหมาะสมกับระดับความรู้ของผู้ทดลองหรือไม่

5.8.2 ข้อเสนอแนะเพื่อการวิจัยครั้งต่อไป

1. เนื่องจากชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA มีการวางอุปกรณ์ต่างๆบนชุดฝึกทดลองจำนวนมาก ดังนั้นจึงควรกำหนดระยะห่างของอุปกรณ์ต่างๆให้มีความเหมาะสม

2. ในการออกแบบหน่วยประมวลผลกลางควรออกแบบคำสั่งการทำงานให้มากกว่านี้ เพื่อให้ได้หน่วยประมวลผลกลางสามารถทำงานได้ซับซ้อนมากยิ่งขึ้น

3. การทดสอบกับกลุ่มตัวอย่างควรกำหนดจำนวน และระดับความรู้ความสามารถของกลุ่มตัวอย่างให้เหมาะสมชุดฝึกทดลอง

4. ต้องประสานงานกับกลุ่มตัวอย่างโดยเฉพาะกลุ่มตัวอย่างที่ทำงานในบริษัทเอกชน ข้าราชการ เพื่อไม่ให้ได้รับความเดือดร้อนเนื่องจากใช้เวลาในการทำงานปกติมาทดลองชุดฝึกทดลองที่สร้างขึ้น

5. เป็นแนวทางในการศึกษาการออกแบบหน่วยประมวลผลกลาง ขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA ซึ่งจะขยายขนาดของซีพียูออกไปเป็น 16 , 32 , หรือ 64 บิตต่อไป

6. ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA เป็นเครื่องมือในการเรียนรู้อย่างหนึ่งเพื่อช่วยให้ผู้ที่ต้องการทราบถึงการออกแบบ และหลักการทำงานเบื้องต้นของหน่วยประมวลผลกลางได้ ในการทดลองออกแบบ สร้าง ตลอดจนสามารถพัฒนาให้มีประสิทธิภาพสูงขึ้นนั้นจะต้องมีวงจรที่ซับซ้อน วัสดุการใช้งานเช่น LED, Switch และจอแสดงผล มีให้เพียงพอต่อการใช้งาน และสามารถออกแบบวงจรที่นอกเหนือจากหน่วยประมวลผลกลางได้ด้วย

7. ใบงานการทดลองควรมีการทดลองที่สอดคล้องกับชุดฝึกทดลองและมีการอธิบายขั้นตอนการทำงานอย่างละเอียดเพื่อความสะดวกในการทดลอง และภาษาการเขียนอ่านแล้วสามารถเข้าใจง่าย

8. ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางที่สร้างขึ้นเมื่อทำการทดสอบกับกลุ่มตัวอย่างแล้ว เมื่อแก้ไขข้อผิดพลาดต่างๆเสร็จควรที่จะสร้างออกมาเป็นเชิงพาณิชยกรรมคือเพื่อให้บุคคลทั่วไปที่สนใจได้มีโอกาสได้ทดลองใช้งาน

บรรณานุกรม

ดารารัตน์ แซ่ลี้. 2534. “การจำลองอิงกรรมวิธีในการศึกษาสมรรถนะของหน่วยประมวลผล.” วิทยานิพนธ์ วิทยาศาสตร์มหาบัณฑิต. สาขาวิชาวิทยาศาสตร์คอมพิวเตอร์ บัณฑิตวิทยาลัย, จุฬาลงกรณ์มหาวิทยาลัย.

ถนอมพร (ตันพิพัฒน์) เลาหจรัสแสง. 2541. **คอมพิวเตอร์ช่วยสอน.** กรุงเทพมหานคร : บริษัท วงกมล โพรดักชั่น จำกัด.

ทรงชัย จันทร์ประเสริฐ. 2536. “การสร้างและหาประสิทธิภาพชุดประลองการวัดอุตสาหกรรมและการควบคุมระบบ.” วิทยานิพนธ์ ครุศาสตร์อุตสาหกรรมมหาบัณฑิต. สาขาวิชาไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ.

ทวีชัย เจริญเศรษฐศิลป์. 2538. “การออกแบบและพัฒนาชุดฝึกทดลองไมโครคอมพิวเตอร์โดยใช้ไอบีเอ็มพีซี.” วิทยานิพนธ์ วิศวกรรมศาสตร์มหาบัณฑิต. สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, จุฬาลงกรณ์มหาวิทยาลัย.

นารีนาถ รักสุนทร และกรกฎ วัฒนวิเชียร. 2540. “การออกแบบไมโครโปรเซสเซอร์โดยใช้ FPGA.” การประชุมวิชาการทางวิศวกรรมไฟฟ้า. 20 : 283-288.

ประกาศิต ตันติอลงการ. 2535. “การสร้างและหาประสิทธิภาพชุดประลองวงจรไฟฟ้ากระแสสลับ.” วิทยานิพนธ์ ครุศาสตร์อุตสาหกรรมมหาบัณฑิต. สาขาวิชาไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ.

มธุรส ชื่นยง. 2536. “โปรแกรมจำลองซีพียู 8 บิตทั่วไป.” วิทยานิพนธ์ วิศวกรรมศาสตร์มหาบัณฑิต. สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, จุฬาลงกรณ์มหาวิทยาลัย.

ล้วน สายยศ. 2538. **เทคนิคการวิจัยทางการศึกษา.**พิมพ์ครั้งที่ 4. กรุงเทพฯ: สุริยาสาส์น.

วัชรากร หนูทอง. 2542. “การออกแบบและสร้างไมโครคอลโทรลเลอร์โดยใช้เอฟพีจีเอ.” วิทยานิพนธ์ วิศวกรรมศาสตร์มหาบัณฑิต. สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.

ศักรินทร์ โสนันทะ. 2542. “การสร้างและหาประสิทธิภาพชุดประลองวิชา 111-363 ปฏิบัติการไฟฟ้าสื่อสาร.” วิทยานิพนธ์ ครุศาสตร์อุตสาหกรรมมหาบัณฑิต. สาขาวิชาไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ.

สถาพร จำรัสเลิศลักษณ์. 2542. “การสร้างและหาประสิทธิภาพชุดประลองประกอบการฝึกอบรมเรื่องวงจรชุดอุปกรณ์แฮนด์ฟรี.” วิทยานิพนธ์ ครุศาสตร์อุตสาหกรรมมหาบัณฑิต. สาขาวิชาไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ.

สุภนันท์ หิรัญยพิสุทธิกุล. 2534. "ระบบพัฒนาไมโครโปรเซสเซอร์ระดับบอร์ด." วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต. สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, จุฬาลงกรณ์มหาวิทยาลัย.

สุมาลี จันทร์ชลอ. 2542 .**การวัดและการประเมิน**. กรุงเทพฯ : บริษัทพิมพ์ดีจำกัด.

สมหวัง พิริยานุวัฒน์.2541. **วิธีการประเมินทางการศึกษา**. กรุงเทพฯ : จุฬาลงกรณ์มหาวิทยาลัย.

สีหชาติ สดับธรรมารักษ์. 2539. "การประยุกต์ใช้ FPGA ในการออกแบบอินเตอร์เฟสของฮาร์ดดิสคอนโทรลเลอร์สำหรับเครื่องเอ็กซ์เรย์." วิทยานิพนธ์ วิศวกรรมศาสตร์มหาบัณฑิต. สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.

เอกวิทย์ แก้วประดิษฐ์.2537. **การวิจัยเทคโนโลยีการศึกษา** .พิมพ์ครั้งที่ 3.กรุงเทพฯ :โรงพิมพ์สุวีริยาสาส์น.

Chandra and Rafiquzzaman. 1988. Modern Computer Architecture. New York: West Publishing Company.

Douglas L. Perry. 1999. VHDL. Third Edition. Singapore: Mcgraw Hill Company.

Geoff Bostoct. 1996. FPGAs and Programmable LSI: A Desingner's handbook. Oxford: Clays Ltd.

John, D. 2001. Computer System Organization and Architecture. New York: Addison Wesley Longman.

Semiconductors Integrated Circuits. 2000. FPGA Starter Kit. [Internet]. Available: http\\www.Farnell.com.

Xilinx. 1996. XC 4000 Series Field Programmable Gate Arrays. [Internet]. Available: http\\www. Xilinx.com.

ภาคผนวก

ภาคผนวก ก หนังสือราชการ

ภาคผนวก ข แบบประเมินคุณภาพชุดฝึกทดลอง

ภาคผนวก ค การวิเคราะห์ข้อมูล

ภาคผนวก ง ตัวอย่างใบงานการทดลองและคู่มือชุดฝึกทดลอง

ภาคผนวก ก

หนังสือราชการ

คำสั่งคณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ที่ 155 /2545
เรื่อง แต่งตั้งคณะกรรมการควบคุมและคณะกรรมการพิจารณาหัวข้อและ
เค้าโครงวิทยานิพนธ์ ของ นายมั่นคง มณีรัตนรุ่งโรจน์

เพื่อให้การเรียบเรียงวิทยานิพนธ์ของ นายมั่นคง มณีรัตนรุ่งโรจน์ เป็นไปด้วยความเรียบร้อยและมีประสิทธิภาพจึงแต่งตั้งคณะกรรมการเพื่อควบคุมและพิจารณาหัวข้อและเค้าโครงวิทยานิพนธ์ ดังต่อไปนี้

1. คณะกรรมการควบคุมวิทยานิพนธ์

ดร.สุรสิทธิ์	ราตรี	ผู้ควบคุมวิทยานิพนธ์
อาจารย์กิติพงศ์	มะโน	ผู้ควบคุมวิทยานิพนธ์ร่วม

2. คณะกรรมการพิจารณาหัวข้อและเค้าโครงวิทยานิพนธ์

ผศ.ดร.ธีระพล	เทพหัสดิน ณ อยุธยา	ประธานกรรมการ
ดร.สุรสิทธิ์	ราตรี	กรรมการ
อาจารย์กิติพงศ์	มะโน	กรรมการ
ดร.เมาลัย	จีรวัฒนเกษตร์	กรรมการ
ผศ.อุดมศักดิ์	สาริบุตร	กรรมการ

ทั้งนี้ ตั้งแต่บัดนี้เป็นต้นไป

สั่ง ณ วันที่ 24 พฤษภาคม พ.ศ. 2545

(ผู้ช่วยศาสตราจารย์ ดร.ประยูร)
คณบดี

ประกาศบัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง ผลการพิจารณาหัวข้อและเค้าโครงวิทยานิพนธ์

บัณฑิตวิทยาลัย โดยความเห็นชอบของคณะกรรมการพิจารณาหัวข้อและเค้าโครงวิทยานิพนธ์ คณะครุศาสตร์อุตสาหกรรม ขอประกาศรายชื่อหัวข้อและเค้าโครงวิทยานิพนธ์ หลักสูตรครุศาสตร์อุตสาหกรรมมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร ที่ได้รับอนุมัติให้ดำเนินการดังนี้

นายมั่นคง มณีรัตนรุ่งโรจน์ รหัสประจำตัว 43064628 ให้ทำวิทยานิพนธ์เรื่อง "การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA (DEVELOPE OF FPGA BASED 8 BITS 16 INSTRUCTIONS CENTRAL PROCESSING UNIT DESIGN TRAINING SET) โดยมี ดร.สุรสิทธิ์ ราตรี เป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ อ.กิติพงศ์ มะโน เป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม

ซึ่งได้รับอนุมัติเมื่อวันที่ 20 มิถุนายน 2545

ทั้งนี้ให้นักศึกษาค้นคว้าและเขียนวิทยานิพนธ์ โดยปรึกษากับอาจารย์ผู้ควบคุมวิทยานิพนธ์ ให้เสร็จสิ้นภายในเวลาที่กำหนดในระเบียบของบัณฑิตวิทยาลัย

ประกาศ ณ วันที่ ๒ กรกฎาคม พ.ศ.2545

(ผู้ช่วยศาสตราจารย์ ร้อยเอก วีระเชษฐ์ ขันเงิน)
รองคณบดีฝ่ายวิชาการ
ปฏิบัติราชการแทนคณบดีบัณฑิตวิทยาลัย

ที่ ทม 1504 / 0249

คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520

๒๔ มกราคม 2546

เรื่อง ขอเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย

เรียน คุณชำนาญ ปัญญาใส

สิ่งที่ส่งมาด้วย แบบสอบถามเพื่อการวิจัย จำนวน 1 ชุด

ด้วย นายมั่นคง มณีรัตนรุ่งโรจน์ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA"

คณะครุศาสตร์อุตสาหกรรมพิจารณาแล้วเห็นว่าท่านเป็นผู้มีความรู้ความสามารถเกี่ยวกับเรื่องดังกล่าวเป็นอย่างดียิ่ง จึงขอเชิญท่านเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัยดังที่แนบมาพร้อมนี้ ว่ามีเนื้อหาถูกต้องและเหมาะสมมากน้อยเพียงใด ซึ่งผลการตรวจของท่านจะช่วยให้การเก็บรวบรวมข้อมูลของ นายมั่นคง มณีรัตนรุ่งโรจน์ มีความสมบูรณ์ยิ่งขึ้น

จึงเรียนมาเพื่อโปรดทราบและหวังว่าจะได้รับความอนุเคราะห์จากท่านด้วยดีและขอขอบคุณเป็นอย่างยิ่งมา ณ โอกาสนี้ด้วย

ขอแสดงความนับถือ

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

หน่วยบัณฑิตศึกษา
โทร. 737-3000 ต่อ 3692
โทรสาร. 3264325

ที่ ทม 1504 / 0249

คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520

24 มกราคม 2546

เรื่อง ขอเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย

เรียน คุณวัชรากร หนูทอง

สิ่งที่ส่งมาด้วย แบบสอบถามเพื่อการวิจัย จำนวน 1 ชุด

ด้วย นายมั่นคง มณีรัตนรุ่งโรจน์ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA"

คณะครุศาสตร์อุตสาหกรรมพิจารณาแล้วเห็นว่าท่านเป็นผู้มีความรู้ความสามารถเกี่ยวกับเรื่องดังกล่าวเป็นอย่างดียิ่ง จึงขอเชิญท่านเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัยดังที่แนบมาพร้อมนี้ ในเนื้อหาถูกต้องและเหมาะสมมากน้อยเพียงใด ซึ่งผลการตรวจของท่านจะช่วยให้การเก็บรวบรวมข้อมูลของ นายมั่นคง มณีรัตนรุ่งโรจน์ มีความสมบูรณ์ยิ่งขึ้น

จึงเรียนมาเพื่อโปรดทราบและหวังว่าจะได้รับความอนุเคราะห์จากท่านด้วยดีและขอขอบคุณเป็นอย่างยิ่งมา ณ โอกาสนี้ด้วย

ขอแสดงความนับถือ

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

หน่วยบัณฑิตศึกษา
โทร. 737-3000 ต่อ 3692
โทรสาร. 3264325

ที่ ทม 1504/ 0243

คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520

๑๙ มกราคม 2546

เรื่อง ขอเชิญเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัย

เรียน คุณยุทธนา เจวจินดา

สิ่งที่ส่งมาด้วย แบบสอบถามเพื่อการวิจัย จำนวน 1 ชุด

ด้วย นายมั่นคง มณีรัตนรุ่งโรจน์ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA"

คณะครุศาสตร์อุตสาหกรรมพิจารณาแล้วเห็นว่าท่านเป็นผู้มีความรู้ความสามารถเกี่ยวกับเรื่องดังกล่าวเป็นอย่างดียิ่ง จึงขอเชิญท่านเป็นผู้ทรงคุณวุฒิตรวจเครื่องมือการวิจัยดังที่แนบมาพร้อมนี้ว่ามีเนื้อหาถูกต้องและเหมาะสมมากน้อยเพียงใด ซึ่งผลการตรวจของท่านจะช่วยให้การเก็บรวบรวมข้อมูลของ นายมั่นคง มณีรัตนรุ่งโรจน์ มีความสมบูรณ์ยิ่งขึ้น

จึงเรียนมาเพื่อโปรดทราบและหวังว่าจะได้รับความอนุเคราะห์จากท่านด้วยดีและขอขอบคุณเป็นอย่างยิ่งมา ณ โอกาสนี้ด้วย

ขอแสดงความนับถือ

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

หน่วยบัณฑิตศึกษา
โทร. 737-3000 ต่อ 3692
โทรสาร. 3264325

ที่ ทม 1504 / 0408

คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520

31 มกราคม 2546

เรื่อง ขอความอนุเคราะห์ให้นักศึกษาทดลองเครื่องมือเพื่อการวิจัย

เรียน คุณขจี บุญประเสริฐ

สิ่งที่ส่งมาด้วย แบบสอบถาม เพื่อการวิจัย จำนวน 1 ชุด

ด้วย นายมั่นคง มณีรัตนรุ่งโรจน์ นักศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร จะทำวิทยานิพนธ์ เรื่อง "การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่ง โดยใช้ FPGA" คณะครุศาสตร์อุตสาหกรรมจึงขอความอนุเคราะห์ท่านได้โปรดอนุญาตให้ นายมั่นคง มณีรัตนรุ่งโรจน์ ทดลองเครื่องมือเพื่อการวิจัยกับท่านได้

จึงเรียนมาเพื่อโปรดพิจารณาอนุญาตและขอขอบคุณในความอนุเคราะห์ของท่าน มา ณ โอกาสนี้ด้วย

ขอแสดงความนับถือ

(นายณรงค์ พิมสาร)
รองคณบดีฝ่ายบัณฑิตศึกษา
ปฏิบัติราชการแทนคณบดี

หน่วยบัณฑิตศึกษา
โทร. 7373000 ต่อ 3692
โทรสาร. 3264325

ภาคผนวก ข

แบบประเมินคุณภาพชุดฝึกทดลอง

แบบสอบถามความพึงพอใจของผู้ทรงคุณวุฒิที่มีต่อชุดฝึกทดลอง

<u>คำชี้แจง</u>

แบบสอบถามชุดนี้แบ่งออกเป็น 2 ตอน

<u>ตอนที่ 1</u> ถามความพึงพอใจ เกี่ยวกับชุดฝึกทดลอง

<u>ตอนที่ 2</u> ถามความคิดเห็นและข้อเสนอแนะอื่น ๆ

<u>การประเมิน</u>

<u>ตอนที่ 1</u> กรุณาใส่เครื่องหมาย √ ลงในช่องระดับการประเมินเพียงช่องเดียว โดยระดับคะแนนจะแสดงความหมายดังนี้

5	มีค่าเท่ากับ	เห็นด้วยมากที่สุด
4	มีค่าเท่ากับ	เห็นด้วยมาก
3	มีค่าเท่ากับ	เห็นด้วยปานกลาง
2	มีค่าเท่ากับ	เห็นด้วยน้อย
1	มีค่าเท่ากับ	เห็นด้วยน้อยที่สุด

<u>ตอนที่ 2</u> โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะ เพื่อให้เป็นข้อมูลในการปรับปรุงต่อไป

ตรวจสอบเรียบร้อยแล้ว

ลงนามชื่อ .....

(.....)

ผู้ทรงคุณวุฒิ

ตอนที่ 1 ความพึงพอใจของผู้ทรงคุณวุฒิที่มีต่อชุดฝึกทดลอง

คำชี้แจง :- กรุณาใส่เครื่องหมาย √ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ดึงดูดความสนใจในการทดลองใช้ชุดฝึกทดลอง.....	.....	.....	.....	.....	.....
2.	รูปแบบของชุดฝึกทดลองกระตุ้นและจูงใจผู้ทดลอง.....	.....	.....	.....	.....	.....
3.	มีความเหมาะสมกับระดับความรู้ของผู้ทดลอง.....	.....	.....	.....	.....	.....
4.	ชุดฝึกทดลองสามารถทำให้ผู้ทดลองบรรลุตาม วัตถุประสงค์ที่กำหนด	.....	.....	.....	.....	.....
5.	ไว้..... สามารถนำความรู้เดิมที่มีอยู่มาประยุกต์ใช้งานกับชุดฝึก	.....	.....	.....	.....	.....
6.	ทดลอง..... ชุดฝึกทดลองที่สร้างขึ้นมานี้สามารถพัฒนาการเรียนรู้ได้	.....	.....	.....	.....	.....
7.	เป็นอย่างดี..... ชุดฝึกทดลองสร้างเสริมประสบการณ์ในการฝึกทักษะ	.....	.....	.....	.....	.....
8.	ความรู้ใหม่ๆ.....	.....	.....	.....	.....	.....
9.	ชุดฝึกทดลองใช้งานได้สะดวก และเป็นไปตามขั้นตอน.. ชุดฝึกทดลองมีลำดับขั้นตอนการทดลองสัมพันธ์กับคู่มือ	.....	.....	.....	.....	.....
10.	การทดลอง.....	.....	.....	.....	.....	.....
11.	มีความสะดวกในการเตรียมอุปกรณ์.....	.....	.....	.....	.....	.....
12.	มีความปลอดภัยในขณะทำการทดลอง.....	.....	.....	.....	.....	.....
13.	การจัดตำแหน่งติดตั้งอุปกรณ์มีความเหมาะสม.....	.....	.....	.....	.....	.....
14.	รูปร่างและขนาดของชุดฝึกทดลองมีความเหมาะสม..... ปุ่มกด และ Switch ต่างๆเหมาะสมกับชุดทดลอง.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
15.	จอแสดงผล หลอดไฟแสดงผลมีความชัดเจน.....	.....	.....	.....	.....	.....
16.	สะดวกในการต่อสายนำสัญญาณ และอุปกรณ์ข้างเคียง...	.....	.....	.....	.....	.....
17.	การบำรุงรักษาสามารถทำได้ง่าย.....	.....	.....	.....	.....	.....
18.	ผู้ทดลองสามารถนำความรู้ไปใช้ประโยชน์ได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

1. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

แบบสอบถามความพึงพอใจของผู้ทรงคุณวุฒิที่มีต่อใบงานการทดลอง

<u>คำชี้แจง</u>

แบบสอบถามชุดนี้แบ่งออกเป็น 2 ตอน

<u>ตอนที่ 1</u> ถามความพึงพอใจ เกี่ยวกับใบงานการทดลองที่สร้างขึ้น

<u>ตอนที่ 2</u> ถามความคิดเห็นและข้อเสนอแนะอื่นๆ

<u>การประเมิน</u>

<u>ตอนที่ 1</u> กรุณาใส่เครื่องหมาย 4 ลงในช่องระดับการประเมินเพียงช่องเดียว โดยระดับคะแนนจะแสดงความหมายดังนี้

5	มีค่าเท่ากับ	เห็นด้วยมากที่สุด
4	มีค่าเท่ากับ	เห็นด้วยมาก
3	มีค่าเท่ากับ	เห็นด้วยปานกลาง
2	มีค่าเท่ากับ	เห็นด้วยน้อย
1	มีค่าเท่ากับ	เห็นด้วยน้อยที่สุด

<u>ตอนที่ 2</u> โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะเพื่อใช้เป็นข้อมูลในการปรับปรุงต่อไป

ตรวจสอบเรียบร้อยแล้ว

ลงนามชื่อ .....

(.....)

ผู้ทรงคุณวุฒิ

ตอนที่ 1 ความพึงพอใจของผู้เชี่ยวชาญที่มีต่อใบงานการทดลอง

คำชี้แจง :- กรุณาใส่เครื่องหมาย 4 ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

1. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

แบบสอบถามความพึงพอใจของผู้ทดลองที่มีต่อชุดฝึกทดลอง

ชื่อ.....นามสกุล.....วุฒิการศึกษา.....

สาขาวิชา.....สถาบัน.....

ปีการศึกษาที่จบ.....

ใส่เครื่องหมาย ✓ ลงในข้อที่ท่านคิดว่ามีความเชี่ยวชาญมากที่สุด

.....1. มีความรู้ทางด้านดิจิตอล

.....2. มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์

.....3. มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์

<u>คำชี้แจง</u>

แบบสอบถามชุดนี้แบ่งออกเป็น 2 ตอน

<u>ตอนที่ 1</u> ถามความพึงพอใจ เกี่ยวกับชุดฝึกทดลอง

<u>ตอนที่ 2</u> ถามความคิดเห็นและข้อเสนอแนะอื่น ๆ

<u>การประเมิน</u>

<u>ตอนที่ 1</u> กรุณาใส่เครื่องหมาย ✓ ลงในช่องระดับการประเมินเพียงช่องเดียว โดยระดับคะแนนจะแสดงความหมายดังนี้

5	มีค่าเท่ากับ	เห็นด้วยมากที่สุด
4	มีค่าเท่ากับ	เห็นด้วยมาก
3	มีค่าเท่ากับ	เห็นด้วยปานกลาง
2	มีค่าเท่ากับ	เห็นด้วยน้อย
1	มีค่าเท่ากับ	เห็นด้วยน้อยที่สุด

<u>ตอนที่ 2</u> โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะ เพื่อให้เป็นข้อมูลในการปรับปรุงต่อไป

ตรวจสอบเรียบร้อยแล้ว

ลงนามชื่อ .....

(.....)

ผู้ทดลอง

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อชุดฝึกทดลอง

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ดึงดูดความสนใจในการทดลองใช้ชุดฝึกทดลอง.....	.....	.....	.....	.....	.....
2.	รูปแบบของชุดฝึกทดลองกระตุ้นและจูงใจผู้ทดลอง.....	.....	.....	.....	.....	.....
3.	มีความเหมาะสมกับระดับความรู้ของผู้ทดลอง.....	.....	.....	.....	.....	.....
4.	ชุดฝึกทดลองสามารถทำให้ผู้ทดลองบรรลุตามวัตถุประสงค์ที่กำหนดไว้.....	.....	.....	.....	.....	.....
5.	สามารถนำความรู้เดิมที่มีอยู่มาประยุกต์ใช้งานกับชุดฝึกทดลอง.....	.....	.....	.....	.....	.....
6.	ชุดฝึกทดลองที่สร้างขึ้นมานี้สามารถพัฒนาการเรียนรู้ได้เป็นอย่างดี.....	.....	.....	.....	.....	.....
7.	ชุดฝึกทดลองสร้างเสริมประสบการณ์ในการฝึกทักษะความรู้ใหม่ๆ.....	.....	.....	.....	.....	.....
8.	ชุดฝึกทดลองใช้งานได้สะดวก และเป็นไปตามขั้นตอน..	.....	.....	.....	.....	.....
9.	ชุดฝึกทดลองมีลำดับขั้นตอนการทดลองสัมพันธ์กับคู่มือการทดลอง.....	.....	.....	.....	.....	.....
10.	มีความสะดวกในการเตรียมอุปกรณ์.....	.....	.....	.....	.....	.....
11.	มีความปลอดภัยในขณะทำการทดลอง.....	.....	.....	.....	.....	.....
12.	การจัดตำแหน่งติดตั้งอุปกรณ์มีความเหมาะสม.....	.....	.....	.....	.....	.....
13.	รูปร่างและขนาดของชุดฝึกทดลองมีความเหมาะสม.....	.....	.....	.....	.....	.....
14.	ปุ่มกด และ Switch ต่างๆเหมาะสมกับชุดทดลอง.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
15.	จอแสดงผล หลอดไฟแสดงผลมีความชัดเจน.....	.....	.....	.....	.....	.....
16.	สะดวกในการต่อสายนำสัญญาณ และอุปกรณ์ข้างเคียง...	.....	.....	.....	.....	.....
17.	การบำรุงรักษาสามารถทำได้ง่าย.....	.....	.....	.....	.....	.....
18.	ผู้ทดลองสามารถนำความรู้ไปใช้ประโยชน์ได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

1. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

แบบสอบถามความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง

ชื่อ.....**นามสกุล**.....**วุฒิการศึกษา**.....

สาขาวิชา.....**สถาบัน**.....

ปีการศึกษาที่จบ.....

ใส่เครื่องหมาย ✓ ลงในข้อที่ท่านคิดว่ามีความเชี่ยวชาญมากที่สุด

.....1. มีความรู้ทางด้านดิจิตอล

.....2. มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์

.....3. มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์

คำชี้แจง

แบบสอบถามชุดนี้แบ่งออกเป็นการประเมินในแต่ละใบงาน 10 ใบงานในแต่ละใบงานจะแบ่งออกเป็น 2 ตอน

ตอนที่ 1 ถามความพึงพอใจเกี่ยวกับใบงานการทดลองที่สร้างขึ้น

ตอนที่ 2 ถามความคิดเห็นและข้อเสนอแนะอื่นๆ

การประเมิน

ตอนที่ 1 กรุณาใส่เครื่องหมาย ✓ ลงในช่องระดับการประเมินเพียงช่องเดียว โดยระดับคะแนนจะแสดงความหมายดังนี้

5	มีค่าเท่ากับ	เห็นด้วยมากที่สุด
4	มีค่าเท่ากับ	เห็นด้วยมาก
3	มีค่าเท่ากับ	เห็นด้วยปานกลาง
2	มีค่าเท่ากับ	เห็นด้วยน้อย
1	มีค่าเท่ากับ	เห็นด้วยน้อยที่สุด

ตอนที่ 2 โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะเพื่อใช้เป็นข้อมูลในการปรับปรุงต่อไป

ตรวจสอบเรียบร้อยแล้ว

ลงนามชื่อ .....

(.....)

ผู้ทดลอง

ใบงานที่ 1 เรื่องการใช้งาน **Software Xilinx Foundation 2.11**

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่1

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

1. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 2 เรื่องการสร้าง **Input / Output Buffer ขนาด 8 บิต**

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่2

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

2. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 3 เรื่องการออกแบบวงจรคอมไบเนชั่น (Combinationnal Circuit Design)

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่3

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

3. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 4 เรื่องการสร้างวงจร ALU

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่4

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

4. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 5 เรื่อง 8 Bit CPU

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่5

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

5. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 6 เรื่อง **Control Unit**

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่6

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

6. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 7 เรื่องวงจร Decoder

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่7

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

7. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 8 เรื่อง Microsequenser2

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่8

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

8. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 9 เรื่อง Final Control Unit

ตอนที่ 1 ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่9

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

9. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ใบงานที่ 10 เรื่อง CPU Design

<u>ตอนที่ 1</u> ความพึงพอใจของผู้ทดลองที่มีต่อใบงานที่10

คำชี้แจง :- กรุณาใส่เครื่องหมาย ✓ ลงในช่องว่างที่ตรงกับความคิดเห็นของท่าน

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
1.	ใบงานมีความน่าสนใจ.....	.....	.....	.....	.....	.....
2.	การทดลองในใบงานดึงดูดความสนใจในการทดลอง.....	.....	.....	.....	.....	.....
3.	บอกวัตถุประสงค์ของการทดลองในใบงาน...	.....	.....	.....	.....	.....
4.	สามารถนำความรู้ที่มีอยู่เดิมกลับมาใช้ได้ใหม่	.....	.....	.....	.....	.....
5.	ใบงานการทดลองมีการนำความรู้ใหม่เข้ามาใช้ในการทดลอง.....	.....	.....	.....	.....	.....
6.	ใบงานมีการทดลองเรียงตามลำดับจากง่ายไปหายาก.....	.....	.....	.....	.....	.....
7.	ใบงานมีลำดับการทดลองที่เหมาะสม.....	.....	.....	.....	.....	.....
8.	มีความเหมาะสมกับผู้ทดลอง.....	.....	.....	.....	.....	.....
9.	การทดลองในใบงานมีการทดลองเพื่อให้ผู้ทดลองได้ทดลองตามขั้นตอน.....	.....	.....	.....	.....	.....
10.	มีความชัดเจนในการอธิบายลำดับขั้นการทดลองในแต่ละขั้นตอน.....	.....	.....	.....	.....	.....
11.	คำอธิบายลำดับขั้นการทดลองสามารถเข้าใจง่าย.....	.....	.....	.....	.....	.....
12.	รูปวงจรมีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....
13.	ตาราง มีความถูกต้องเหมาะสม.....	.....	.....	.....	.....	.....

ข้อที่	ข้อความ	ระดับความพึงพอใจ				
		5 มากที่สุด	4 มาก	3 ปานกลาง	2 น้อย	1 น้อยที่สุด
14.	การทดลองง่ายต่อการจดจำ.....	.....	.....	.....	.....	.....
15.	ผู้ทดลองสามารถทบทวนความรู้ที่ได้จากการทดลอง.....	.....	.....	.....	.....	.....
16.	ใบงานมีคำถามที่เหมาะสมกับการทดลอง.....	.....	.....	.....	.....	.....
17.	สามารถนำความรู้ไปพัฒนาการออกแบบที่ซับซ้อนขึ้นได้.....	.....	.....	.....	.....	.....

ตอนที่ 2 ความคิดเห็นและข้อเสนอแนะเพิ่มเติม

โปรดเขียนแสดงความคิดเห็นและข้อเสนอแนะอื่นๆ

10. ความคิดเห็นอื่นๆ และข้อเสนอแนะโดยทั่วไป

.....

.....

.....

.....

.....

.....

ภาคผนวก ค

การวิเคราะห์ข้อมูล

แบบสอบถามความพึงพอใจของผู้ทรงคุณวุฒิ

ความพึงพอใจของผู้ทรงคุณวุฒิที่มีต่อชุดฝึกทดลอง		
ข้อที่	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.00	0.000
2	4.00	0.000
3	4.00	0.000
4	4.33	1.155
5	4.00	0.000
6	4.33	1.155
7	4.67	0.577
8	4.33	0.577
9	5.00	0.000
10	4.00	0.000
11	5.00	0.000
12	3.33	0.577
13	4.33	0.577
14	4.00	0.000
15	4.00	0.000
16	3.67	0.577
17	4.00	0.000
18	4.33	0.577
ผลรวม	4.1852	0.25660

ความพึงพอใจของผู้ทรงคุณวุฒิที่มีต่อใบงานการทดลอง		
ข้อที่	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.67	0.000
2	4.33	0.000
3	4.67	0.000
4	4.67	1.155
5	4.33	0.000
6	4.67	1.155
7	4.67	0.577
8	4.00	0.577
9	4.33	0.000
10	4.33	0.000
11	3.67	0.000
12	3.67	0.577
13	4.00	0.577
14	3.33	0.000
15	3.33	0.000
16	4.33	0.577
17	3.67	0.000
ผลรวม	4.1569	0.50029

ความพึงพอใจของผู้ทดลองที่มีต่อชุดฝึกทดลอง

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.00	0.000	4.00	0.000	4.25	0.500
2	4.00	0.000	4.00	0.000	3.75	0.500
3	3.75	0.500	3.75	0.500	3.50	0.577
4	4.50	0.577	3.75	0.500	3.50	0.577
5	4.25	0.957	4.00	0.816	3.50	1.291
6	3.75	0.500	4.50	0.577	3.75	0.500
7	4.25	0.500	4.00	0.816	4.00	0.816
8	4.00	0.000	3.75	0.500	4.00	0.000
9	3.75	0.500	4.25	0.500	4.75	0.500
10	3.50	0.577	4.00	0.816	4.25	0.500
11	3.75	0.500	4.00	0.816	3.50	0.577
12	4.25	0.957	4.25	0.500	4.00	0.000
13	4.50	0.577	3.75	0.500	4.00	0.816
14	4.75	0.500	3.75	0.957	3.25	0.500
15	4.50	0.577	4.75	0.500	3.75	0.500
16	4.50	1.000	4.00	0.816	4.00	0.816
17	4.00	0.500	4.00	0.816	4.25	0.500
ผลรวม	4.1324	0.18210	4.0294	0.18289	3.8824	0.16638

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่1

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	3.75	0.500	3.50	0.577	4.25	0.957
2	3.75	0.500	3.50	0.577	4.25	0.957
3	4.00	0.816	4.25	0.500	3.75	0.500
4	4.00	0.816	4.25	0.500	4.00	0.000
5	4.25	0.500	4.25	0.500	4.00	0.816
6	3.75	0.500	4.25	0.500	4.00	0.000
7	4.50	0.577	4.25	0.957	4.25	0.500
8	4.25	0.500	4.00	0.816	4.00	0.816
9	4.00	0.816	4.00	0.816	4.50	0.577
10	4.25	0.500	4.50	0.577	4.25	0.500
11	3.75	0.957	4.50	0.577	4.25	0.957
12	3.50	0.577	3.75	0.500	4.25	0.500
13	3.25	0.500	3.75	0.500	3.75	0.500
14	4.25	0.957	4.25	0.500	3.75	0.500
15	4.00	0.000	4.50	0.577	3.50	0.577
16	3.50	0.577	4.50	0.577	4.00	0.000
17	4.00	0.816	4.75	0.500	4.00	0.000
ผลรวม	3.9265	0.24666	4.1618	0.14706	4.0441	0.18210

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่2

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.25	0.957	4.75	0.500	4.25	0.957
2	4.75	0.500	4.50	0.577	4.25	0.500
3	4.25	0.957	4.50	0.577	4.00	0.000
4	4.25	0.957	4.50	0.577	4.25	0.957
5	4.25	0.957	4.75	0.500	4.00	0.816
6	4.00	0.000	3.75	0.500	4.00	0.000
7	3.50	0.577	3.50	0.577	4.50	0.577
8	3.50	0.577	3.50	0.577	4.25	0.500
9	3.50	0.577	4.25	0.500	4.00	0.816
10	4.00	0.000	4.25	0.500	3.50	0.577
11	3.75	0.966	4.25	0.957	4.00	0.816
12	4.50	1.000	4.00	0.000	3.50	0.577
13	3.75	0.957	4.25	0.500	3.75	0.500
14	4.75	0.500	4.75	0.500	4.50	0.577
15	4.25	0.500	4.50	0.577	3.75	0.500
16	3.75	0.500	3.75	0.500	3.75	0.500
17	3.75	0.500	3.50	0.577	4.00	0.816
ผลรวม	4.0441	0.39130	4.1912	0.19436	4.0147	0.24666

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่3

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.00	0.816	4.25	0.957	4.75	0.500
2	4.25	0.500	4.50	0.577	4.25	0.500
3	4.00	0.000	4.50	0.577	4.25	0.500
4	3.75	0.500	4.50	0.577	4.25	0.500
5	4.00	0.816	4.50	0.577	4.25	0.500
6	4.25	0.500	4.25	0.500	4.75	0.500
7	4.00	0.816	4.00	0.000	4.25	0.500
8	4.00	0.816	4.00	0.000	4.00	0.000
9	4.00	0.000	4.00	0.816	4.00	0.816
10	4.50	0.577	4.50	0.577	3.50	0.577
11	4.75	0.500	3.50	0.577	3.50	0.577
12	3.75	0.500	3.25	0.500	4.00	0.816
13	4.50	1.000	3.25	0.500	3.75	0.500
14	3.25	0.500	4.25	0.957	3.75	0.500
15	4.00	0.000	4.25	0.957	4.00	0.816
16	4.25	0.500	4.25	0.500	4.25	0.957
17	3.75	0.500	4.25	0.957	3.50	0.577
ผลรวม	4.0588	0.28006	4.1176	0.31126	4.0588	0.24957

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่ 4

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.00	0.816	4.00	0.816	4.00	0.000
2	4.00	0.816	4.25	0.957	4.25	0.500
3	4.25	0.500	4.25	0.957	4.50	0.577
4	4.00	0.816	4.50	0.577	4.25	0.500
5	4.25	0.957	4.75	0.500	4.00	0.000
6	3.75	0.957	4.25	0.500	4.25	0.500
7	3.50	0.577	3.75	0.500	4.00	0.000
8	3.75	0.500	4.00	0.000	4.00	0.000
9	3.25	0.957	4.00	0.000	4.00	0.816
10	3.75	0.500	4.00	0.000	3.75	0.957
11	4.00	0.816	4.00	0.816	4.00	0.816
12	4.00	0.816	4.25	0.500	3.75	0.957
13	4.25	0.957	4.25	0.500	3.75	0.500
14	4.00	0.816	4.00	0.816	4.50	0.577
15	3.75	0.500	4.00	0.816	4.50	0.577
16	3.75	0.500	4.50	0.577	4.25	0.500
17	4.50	0.577	4.25	0.500	3.75	0.500
ผลรวม	3.9265	0.29363	4.1765	0.15188	4.0882	0.14804

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่ 5

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.50	0.577	4.25	0.500	4.25	0.500
2	4.50	0.577	4.50	0.577	3.75	0.500
3	4.00	0.816	4.50	0.577	3.50	0.577
4	4.50	0.577	4.25	0.500	3.75	0.500
5	4.00	0.000	4.00	0.000	3.25	0.500
6	4.25	0.500	4.25	0.500	3.75	0.957
7	4.00	0.000	4.00	0.000	3.75	0.500
8	4.25	0.500	4.00	0.000	4.00	0.816
9	4.25	0.500	4.25	0.500	3.75	0.957
10	4.50	0.577	4.50	0.577	3.75	0.500
11	4.25	0.957	4.00	0.000	4.00	0.000
12	4.25	0.500	3.75	0.500	3.75	0.500
13	4.25	0.500	4.00	0.000	3.50	0.577
14	4.00	1.155	4.00	0.816	4.25	0.957
15	4.25	0.500	4.50	0.577	4.00	0.816
16	4.25	0.957	4.25	0.500	3.25	0.500
17	4.00	0.816	4.25	0.500	3.50	0.577
ผลรวม	4.2353	0.35619	4.1912	0.13899	3.7500	0.30138

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่ 6

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.50	1.000	4.25	0.957	4.00	0.000
2	4.25	0.500	3.50	0.577	4.00	0.816
3	4.25	0.500	3.50	0.577	4.00	0.816
4	4.00	0.816	3.75	0.500	4.00	0.816
5	4.00	0.816	3.75	0.500	4.25	0.500
6	4.25	0.500	3.75	0.500	4.00	0.816
7	3.75	0.500	3.75	0.500	4.00	0.816
8	4.00	0.816	3.50	0.577	3.75	0.500
9	4.25	0.500	4.25	0.500	4.25	0.500
10	4.25	0.957	4.50	0.577	4.50	0.577
11	4.25	0.957	4.50	0.577	4.00	0.816
12	4.75	0.500	4.00	0.816	3.75	0.500
13	4.50	0.577	4.25	0.500	3.50	0.577
14	4.75	0.500	3.75	0.500	3.50	0.577
15	4.75	0.500	3.75	0.500	3.75	0.500
16	4.25	0.500	4.00	0.000	4.00	0.000
17	4.50	0.577	4.50	0.577	4.00	0.000
ผลรวม	4.3088	0.35741	3.9559	0.22719	3.9559	0.30138

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่ 7

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.00	0.816	5.00	0.000	4.00	0.816
2	3.50	1.000	4.50	1.000	4.25	0.957
3	3.75	0.500	4.50	1.000	3.75	0.957
4	4.00	0.816	4.50	0.577	3.75	0.957
5	4.00	0.000	4.25	0.500	4.00	0.000
6	4.25	0.500	4.00	0.000	4.00	0.816
7	4.00	0.816	4.25	0.500	4.25	0.500
8	3.75	0.500	4.50	0.577	3.75	0.500
9	4.25	0.957	4.25	0.957	4.00	0.816
10	4.00	0.816	4.50	1.000	4.25	0.957
11	3.75	0.500	4.25	0.957	3.75	0.500
12	3.50	0.577	3.75	0.500	4.25	0.957
13	3.75	0.957	3.75	0.500	3.75	0.957
14	4.50	0.577	4.00	0.816	4.50	0.577
15	4.00	0.000	3.50	0.577	4.00	0.000
16	4.00	0.816	3.50	0.577	4.25	0.500
17	4.00	0.816	4.25	0.957	3.75	0.957
ผลรวม	3.9412	0.08319	4.1912	0.07402	4.0147	0.37009

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่ 8

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.25	0.500	4.00	0.816	4.25	0.957
2	4.00	0.000	4.50	0.577	3.50	0.577
3	4.00	0.000	4.50	0.577	3.75	0.500
4	4.00	0.816	4.50	0.577	4.00	0.816
5	4.50	0.577	4.75	0.500	4.00	0.000
6	4.00	0.000	4.00	0.000	3.75	0.500
7	4.00	0.816	4.25	0.500	3.75	0.500
8	4.50	0.577	4.00	0.000	4.25	0.957
9	4.25	0.500	4.25	0.500	4.00	0.000
10	3.75	0.500	4.25	0.957	4.25	0.500
11	3.75	0.500	3.75	0.957	3.25	0.500
12	4.00	0.816	4.25	0.500	3.75	0.957
13	3.50	0.577	4.50	0.577	4.50	0.577
14	4.00	1.155	4.00	0.816	4.50	0.577
15	4.00	0.816	3.50	1.000	4.25	0.500
16	4.25	0.500	3.75	0.500	4.25	0.957
17	4.25	0.500	4.00	0.816	3.75	0.957
ผลรวม	4.0588	0.24015	4.1618	0.11135	3.9853	0.33749

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่ 9

ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.50	0.577	4.75	0.500	4.25	0.957
2	4.00	0.816	4.25	0.500	4.25	0.957
3	4.25	0.500	4.50	0.577	4.25	0.500
4	4.50	0.577	4.50	0.577	4.00	0.000
5	4.00	0.816	3.75	0.500	4.25	0.500
6	4.25	0.500	4.25	0.500	4.50	0.577
7	4.50	0.577	4.25	0.500	4.00	0.816
8	3.75	0.957	4.75	0.500	4.00	0.816
9	4.25	0.957	4.50	0.577	4.50	0.577
10	4.25	0.957	4.50	0.577	3.75	0.957
11	3.75	0.500	4.25	0.500	3.25	0.500
12	4.25	0.957	4.00	0.000	3.75	0.500
13	3.75	0.957	4.25	0.500	3.50	1.000
14	5.00	0.000	4.25	0.957	3.25	0.500
15	4.25	0.500	4.25	0.957	3.50	0.577
16	3.75	0.500	4.00	0.816	3.75	0.500
17	4.25	0.500	4.00	0.816	4.00	0.000
ผลรวม	4.1912	0.38834	4.2941	0.27591	3.9265	0.19436

ความพึงพอใจของผู้ทดลองที่มีต่อใบงานการทดลอง ใบงานที่ 10

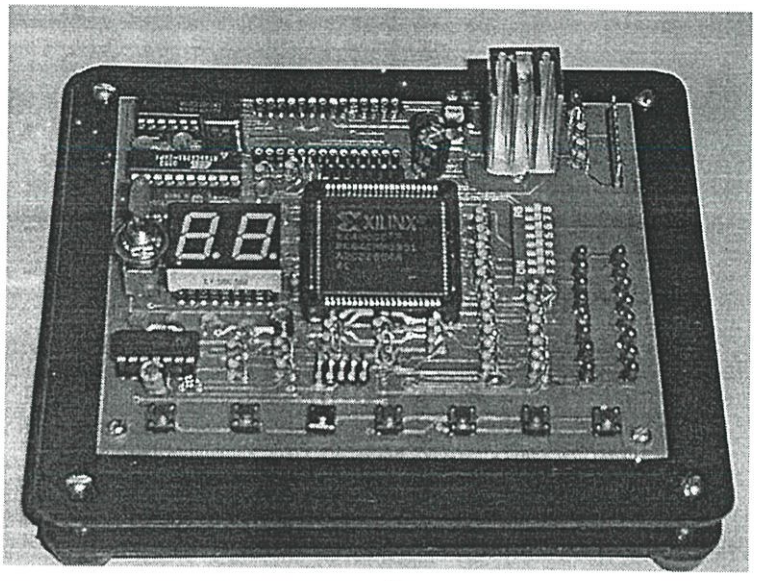
ข้อที่	กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล		กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์		กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์	
	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD	ค่าเฉลี่ย $\bar{x}$	ค่าเบี่ยงเบนมาตรฐาน SD
1	4.25	0.957	4.75	0.500	4.25	0.500
2	4.25	0.957	5.00	0.000	4.00	0.816
3	3.50	1.000	4.50	0.577	4.00	0.816
4	3.75	0.500	4.50	0.577	4.25	0.957
5	3.75	0.500	4.25	0.500	4.00	0.816
6	4.00	0.816	4.50	0.577	3.75	0.500
7	4.50	0.577	4.50	0.577	4.25	0.500
8	4.50	0.577	4.00	0.000	4.25	0.500
9	4.25	0.500	3.75	0.500	4.00	0.000
10	4.50	0.577	4.25	0.500	3.50	0.577
11	4.25	0.500	4.75	0.500	4.00	0.816
12	4.25	0.500	4.50	0.577	4.75	0.500
13	4.00	0.816	4.25	0.500	4.00	0.816
14	3.75	0.957	4.00	0.816	3.50	0.577
15	4.00	0.816	4.00	0.816	3.75	0.957
16	3.50	0.957	4.00	0.000	3.75	0.500
17	4.25	0.500	4.00	0.816	4.00	0.000
ผลรวม	4.0735	0.34426	4.3235	0.15563	4.0000	0.24015

ภาคผนวก ง

ตัวอย่างใบงานการทดลองและคู่มือชุดฝึกทดลอง

คู่มือการใช้งาน

ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต



ภาพที่ 1 ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต

รายละเอียดของการต่อวงจรในชุดฝึกทดลอง

ในชุดทดลองการออกแบบ CPU ขนาด 8 บิตนั้นประกอบไปด้วย

ในส่วนของ IC

U1 FPGA ตระกูล XC4000 จำนวนหนึ่งตัว ซึ่งทำหน้าที่เป็นหัวใจหลักในการออกแบบ CPU เลยทีเดียว สามารถรองรับ FPGA ตระกูล XC4000 ได้ทุกเบอร์

ภาพที่ 2 FPGA XC4005

U2 ROM 27C256 ทำหน้าที่เป็นหน่วยความจำให้กับ CPU โดยในการทดลองจะใช้ EPROM EMULATOR แทนการใช้ ROM เพื่อความสะดวกโดยกำหนดขาที่ต่อกับ FPGA มีการต่อวงจรดังนี้

- **ADDRESS**

A0	=	P61
A1	=	P60
A2	=	P59

A3 = P58

A4 = P57

A5 = P56

A6 = P51

A7 = P50

A8-14 = GND

DATA

D0 = P49

D1 = P48

D2 = P47

D3 = P46

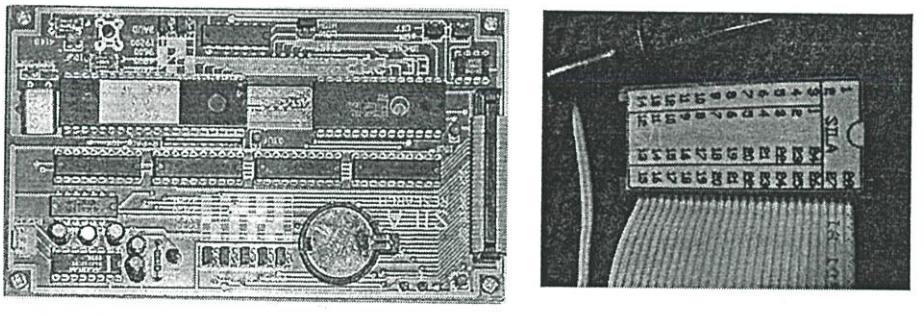
D4 = P45

D5 = P44

D6 = P40

D7 = P39

E',G' = P14



ภาพที่ 3 Eprom Emulator

U3, U4 และ U5 ทำหน้าที่เป็น Decoder แปลงข้อมูลเลขฐาน 2 เป็นฐาน 16 เพื่อแสดงผลออกทาง 7 Segment(DS1) การที่จะแสดงผลออกทางจอแสดงผลได้นั้น จะต้องที่สัญญาณนาฬิกาไปกระตุ้นให้กับขา 11 (สัญญาณออกจาก FPGA ขาที่ 37)ของ 74LS374 เพื่อทำหน้าที่รับข้อมูลเข้าไปแสดงผลออกที่จอแสดงผล ในวงจรมีการต่อขาดังนี้

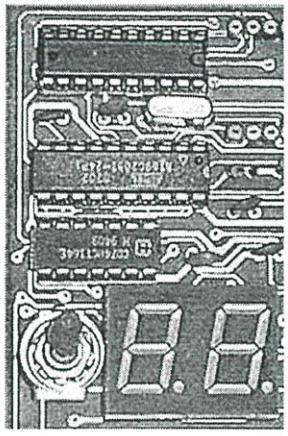
1D = ROM D0 = P49

2D = ROM D1 = P48

3D = ROM D2 = P47

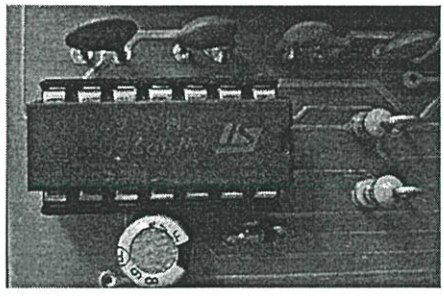
4D = ROM D3 = P46

5D	=	ROM D4	=	P45
6D	=	ROM D5	=	P44
7D	=	ROM D6	=	P40
8D	=	ROM D7	=	P39



ภาพที่ 4 ภาค Decoder 7 Segment

U6 Timer NE556 ทำหน้าที่กำเนิดสัญญาณนาฬิกาให้กับ FPGA ทางขาที่ 13 NE556 เป็น IC Dual Timer โดยจะมีวงจรกำเนิดสัญญาณนาฬิกา 2 วงจร โดยกำหนดให้วงจรแรกเป็น Mono Stableความถี่ 5HZ วงจรที่ 2 เป็น A Stable ความถี่ 20 HZ การเลือกรับสัญญาณนาฬิกาจะใช้สวิตซ์ S8 ในส่วนของสวิตซ์กดของวงจร Mono Stable จะใช้สวิตซ์ S9



ภาพที่ 5 วงจรกำเนิดสัญญาณนาฬิกา

U7 Regulator LM7805 ทำหน้าที่ เป็นวงจรกรองไฟ DC ให้คงที่ที่ 5 Vdc

ภาพที่ 6 แสดงวงจร Regulator

ในส่วนของ **Switch**

S1 DIP Switch ขนาด 8 ช่อง โดยปกติจะต่อเป็น Common คาโถด ถ้า Switch ON วงจรจะถูกต่อลง Ground (LOW) ถ้า Switch OFF จะมีค่า VCC (HIGH) โดยมี R 10K Pull up อยู่

การต่อ Switch S1 ในวงจรมีดังนี้

S11 = P72

S12 = P70

S13 = P69

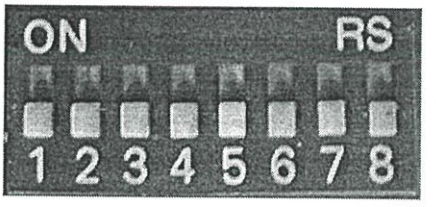
S14 = P68

S15 = P67

S16 = P66

S17 = P65

S18 = P62



ภาพที่ 7 Switch S1

S2 เป็น Push Button Switch มีการต่อเหมือนกับ S1 Switch S2 ต่อกับ FPGA ที่ขา P36

S3 เป็น Push Button Switch มีการต่อเหมือนกับ S1 Switch S2 ต่อกับ FPGA ที่ขา P16

S4 เป็น Push Button Switch มีการต่อเหมือนกับ S1 Switch S2 ต่อกับ FPGA ที่ขา P17

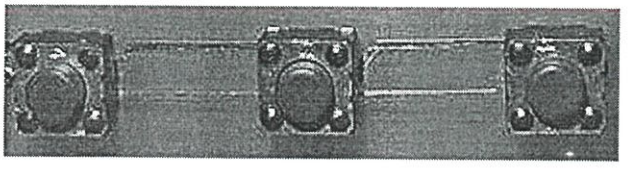
S5 เป็น Push Button Switch มีการต่อเหมือนกับ S1 Switch S2 ต่อกับ FPGA ที่ขา P28

S6 เป็น Push Button Switch มีการต่อเหมือนกับ S1 Switch S2 ต่อกับ FPGA ที่ขา P29

S7 เป็น Push Button Switch มีการต่อเหมือนกับ S1 Switch S2 ต่อกับ FPGA ที่ขา P38

S8 เป็น Switch โยก 2 ทิศทาง ทำหน้าที่เลือกให้ FPGA รับสัญญาณนาฬิกาแบบ Mono stable หรือแบบ A stable โดยขาที่ 2 (Common) ของ S3 จะต่ออยู่กับขาที่ P13

S9 เป็น Push Button Switch ทำหน้าที่กำหนดสัญญาณนาฬิกาให้กับวงจร Mono stable



ภาพที่ 8 ลักษณะของ Switch S2-S9

ในส่วนของตัวแสดงผล

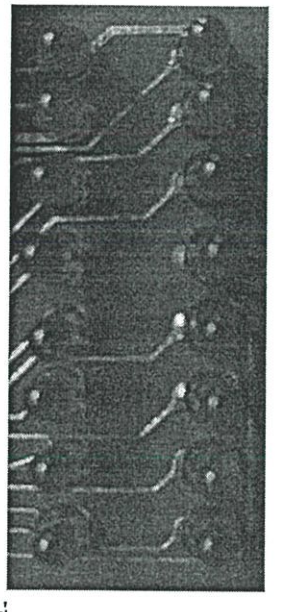
DS1 เป็น 7 Segment ตัวแสดงผลขนาด 2 หลัก การต่อวงจรเป็นแบบ Common แคโถด ในส่วนของจุดทศนิยมจะแสดงออกเป็นค่าแฟลกของวงจร ซึ่งมีขา O1,O2 ต่อกับ FPGA ที่ขา P35

ภาพที่ 9 7 Segment Display

D1-D16 เป็น LED มีการต่อเป็นแบบ Common แคโถด ใช้แสดงค่า Address และค่า Data ของวงจร มีขาต่อกับ FPGA ดังนี้

D1	=	P61
D2	=	P60
D3	=	P59
D4	=	P58
D5	=	P57
D6	=	P56
D7	=	P51
D8	=	P50
D9	=	P49
D10	=	P48
D11	=	P47
D12	=	P46
D13	=	P45
D14	=	P44
D15	=	P40
D16	=	P39

D1-D9

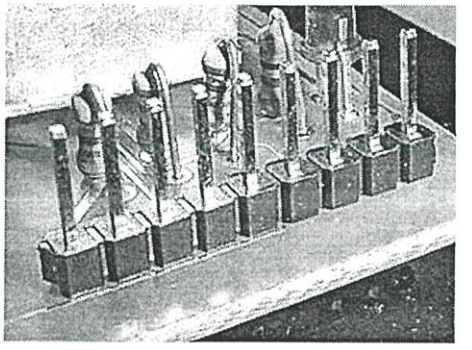


D8-D16

ภาพที่ 10 LED Display(D1-D16)

ในส่วนของ CONNECTOR

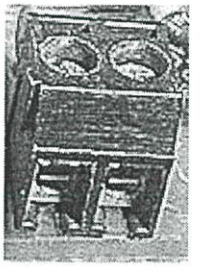
J1 เป็น Connector ขนาด 9 พินที่ใช้ต่อกับสาย Down Load



P1

ภาพที่ 11 Connector J1

J2 เป็นขั้วที่ใช้ต่อแรงดันไฟ DC เข้าวงจรเพื่อเลี้ยงวงจรโดยมีแรงดันขนาด 9 โวลท์

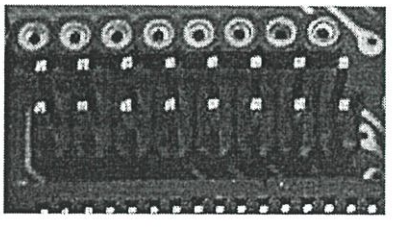


ภาพที่ 12 Connector J2

J3 เป็น Connector ขนาด 16 พิน สามารถเชื่อมต่อวงจรจากภายนอกได้ โดยมีการเชื่อมต่อกับขาของ FPGA ดังนี้

Pin 1	=	P77
Pin 2	=	P78
Pin 3	=	P79
Pin 4	=	P80
Pin 5	=	P81
Pin 6	=	P82
Pin 7	=	P83
Pin 8	=	P84
Pin 9	=	P3
Pin 10	=	P4
Pin 11	=	P5

P1



ภาพที่ 13 Connector J3

Pin 12 = P6

Pin 13 = P7

Pin 14 = P8

Pin 15 = P9

Pin 16 = NC

J4 เป็น Connector ขนาด 10 พิน สามารถเชื่อมต่อวงจรจากภายนอกได้ โดยมีการเชื่อมต่อกับขาของ FPGA ดังนี้

Pin 1 = P18

Pin 2 = P19

Pin 3 = P20

Pin 4 = P23

Pin 5 = P24

Pin 6 = P25

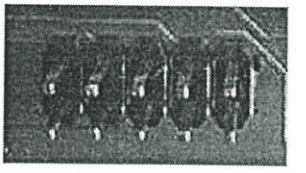
Pin 7 = P26

Pin 8 = P27

Pin 9 = NC

Pin 10 = NC

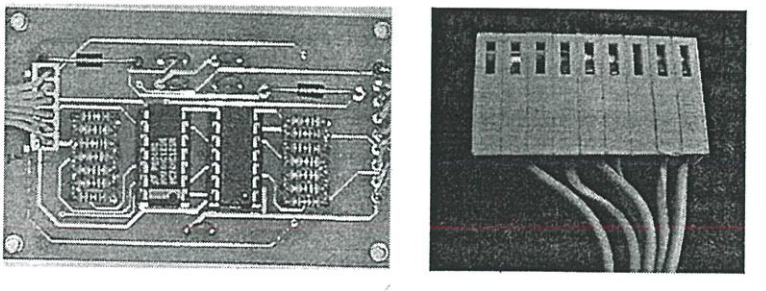
P1



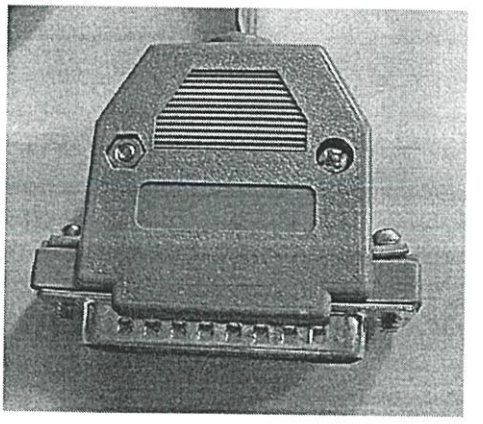
ภาพที่ 14 Connector J4

การใช้งานชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต

ในการใช้งานชุดทดลองนี้เราจะต้องมีสาย Down load (JTAG) ชุดทดลองจึงจะทำงานได้สมบูรณ์ ในการต่อสาย Down load นั้นเราจะต่อที่ Parallel Port ที่คอมพิวเตอร์ และเสียบสาย Connector เข้ากับ Connector J1

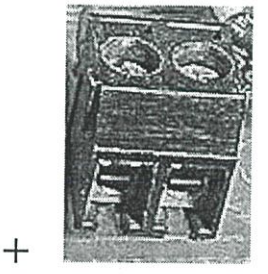


ภาพที่ 15 วงจรสาย Down load และ Connector J1



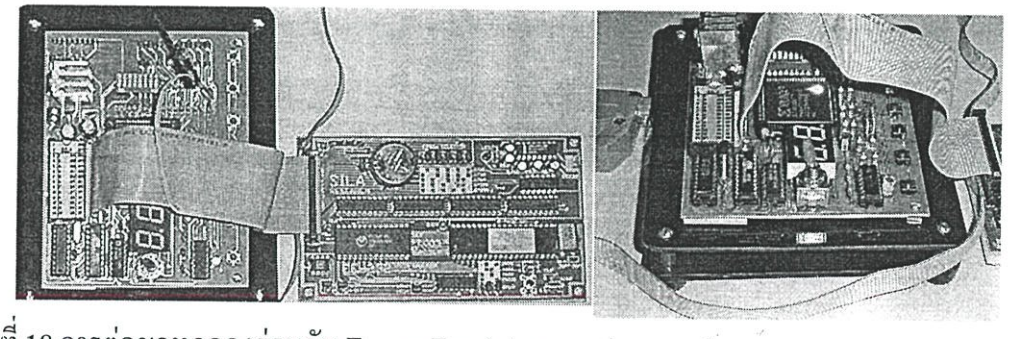
ภาพที่ 16 DB25 Parallel Port

การป้อนแรงดันจะให้แรงดัน DC ขนาด 9 V กับวงจรโดยต่อที่ Connector J2 ตามเครื่องหมายดังรูป เมื่อแรงดันถูกต้องวงจรจะมี LED แสดงการทำงาน



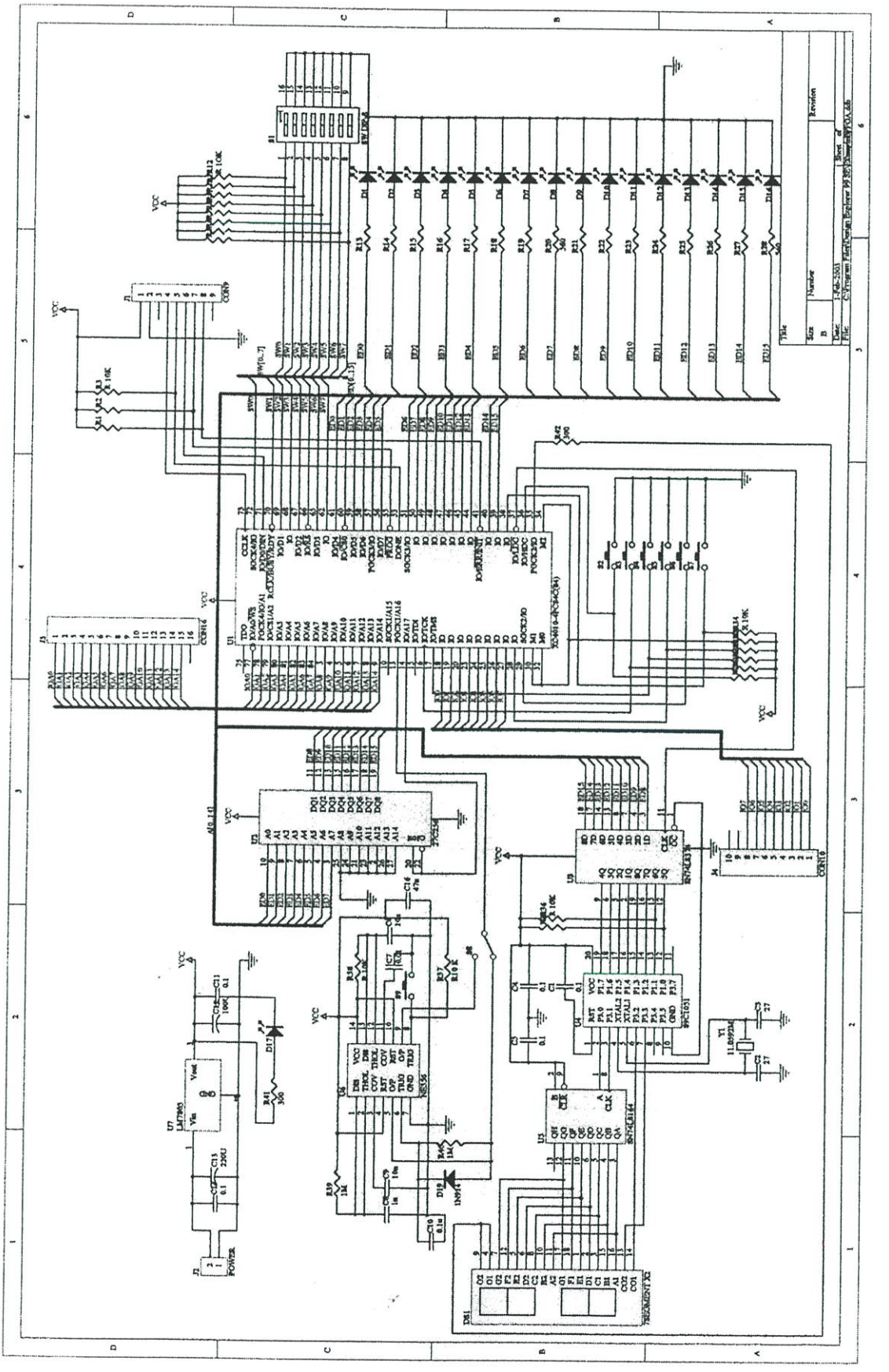
ภาพที่ 17 การป้อนแรงดันให้กับชุดทดลอง

ในการใช้งานร่วมกับ EPROM EMULATOR นั้นเรามีวิธีการต่อได้ดังรูป

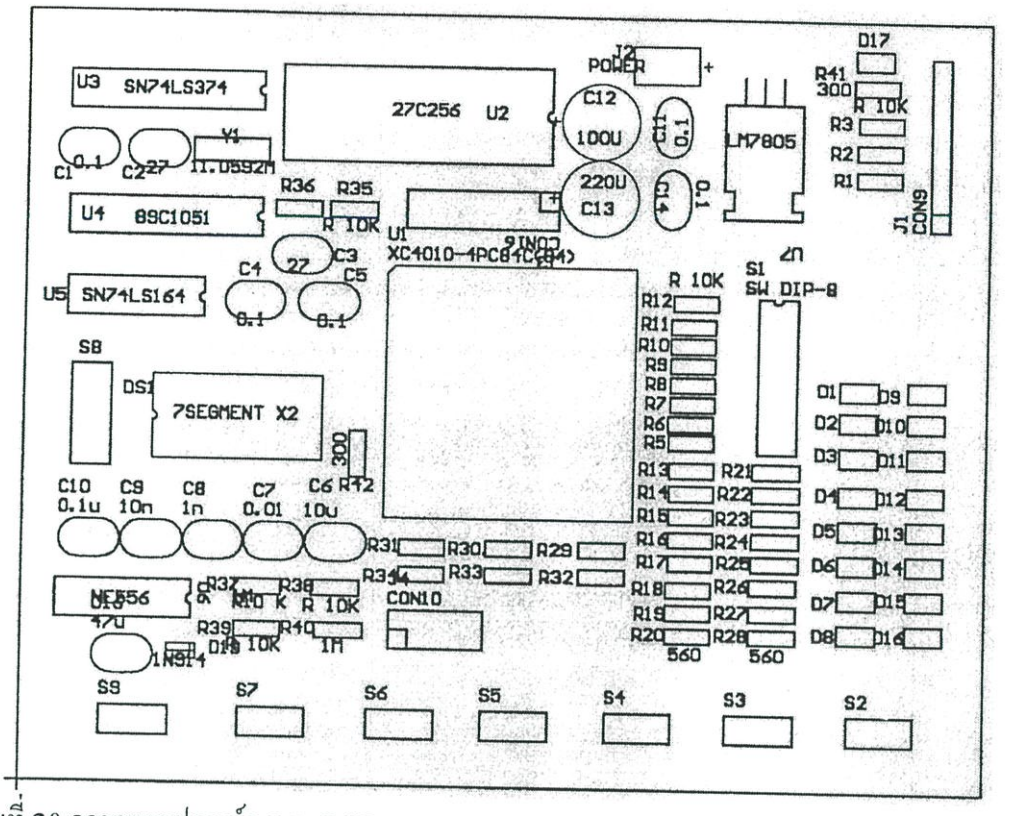


ภาพที่ 18 การต่อชุดทดลองร่วมกับ Eprom Emulator

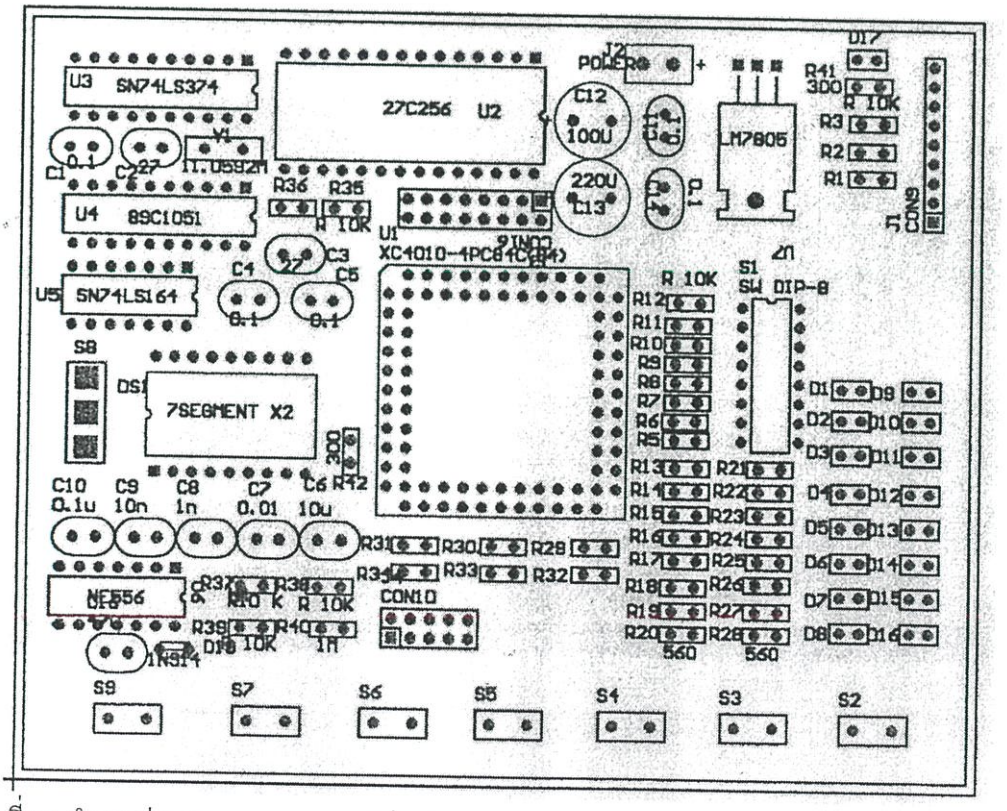
ในการต่อ EPROM EMULATOR นั้นไม่จำเป็นต้องจ่ายแรงดันให้กับ EPROM EMULATOR เพราะ ในวงจรผู้ออกแบบได้ออกแบบขา ROM ให้จ่ายแรงดันไว้แล้ว



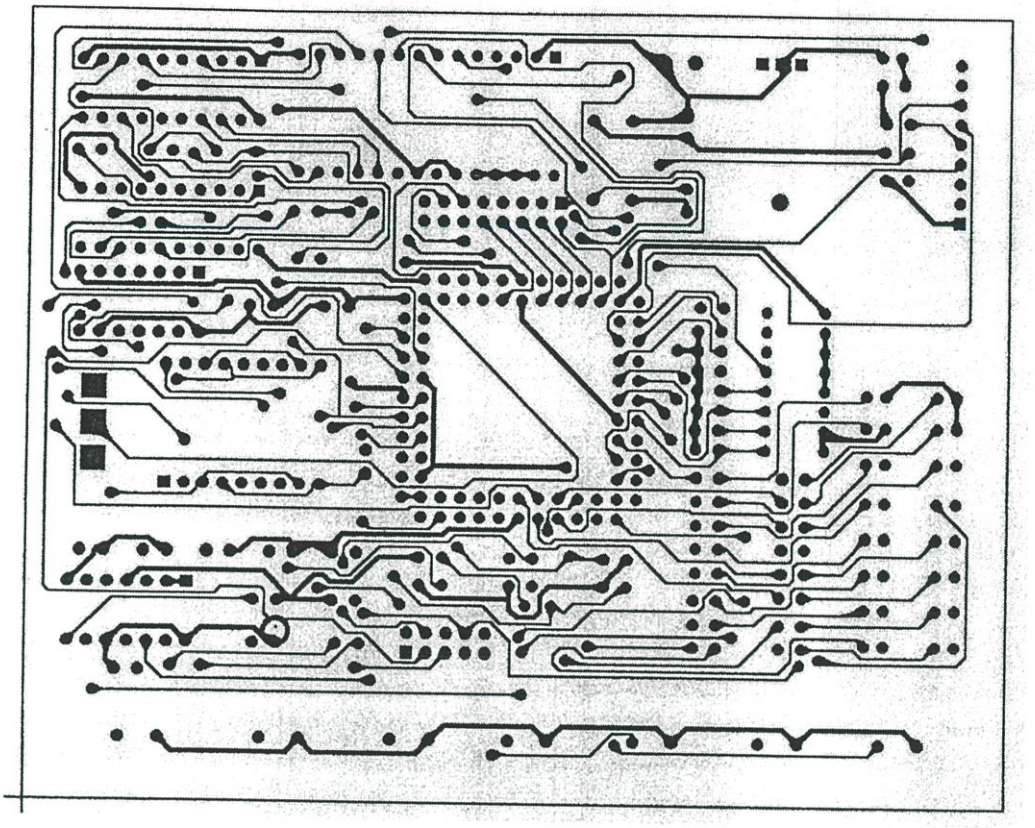
ภาพที่ 19 การต่อวงจรของชุดฝึกทดลองการออกแบบ CPU



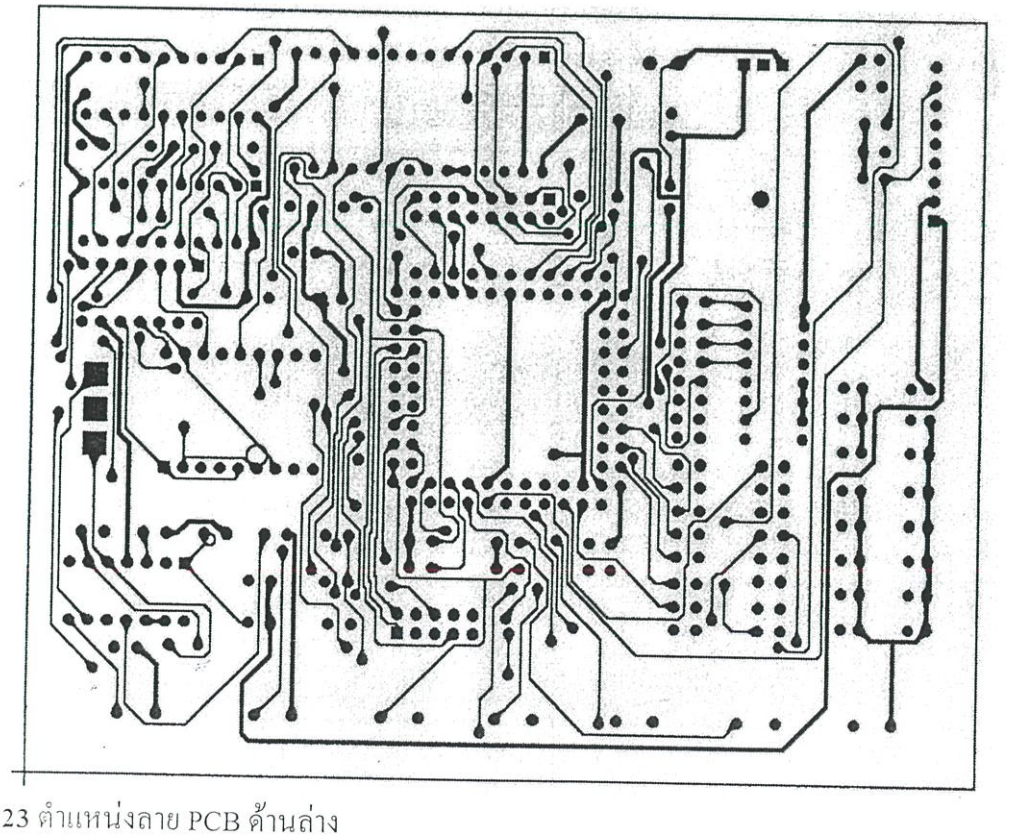
ภาพที่ 20 การวางอุปกรณ์ลงบน PCB



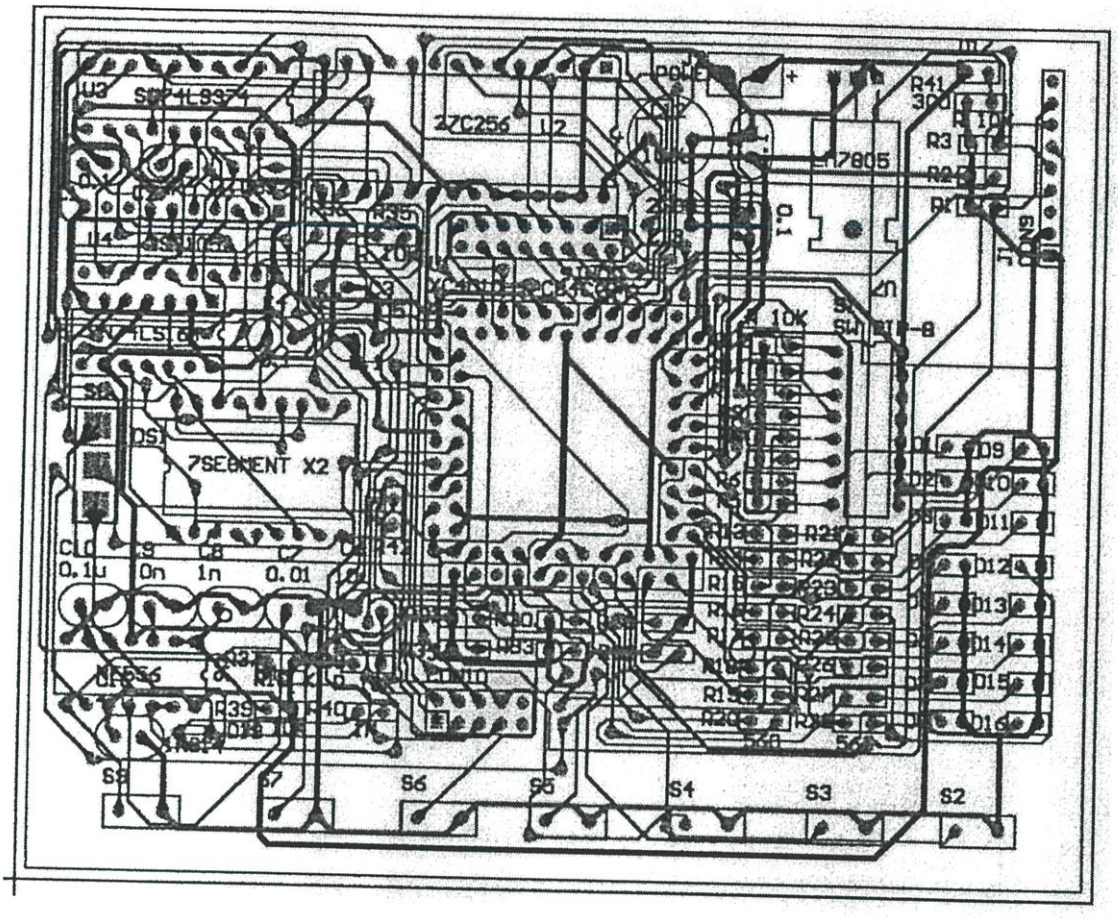
ภาพที่ 21 ตำแหน่งของการเจาะรูบนแผ่นPCB



ภาพที่ 22 ตำแหน่งลาย PCB ด้านบน



ภาพที่ 23 ตำแหน่งลาย PCB ด้านล่าง



ภาพที่ 24 แสดงตำแหน่งการวางอุปกรณ์และลายวงจรทั้งด้านบนและล่าง

ใบงานที่ 1

การใช้งาน Software Xilinx Foundation 2.1I

วัตถุประสงค์การทดลอง

1. เพื่อให้ผู้ที่ทดลองเริ่มต้นในการใช้โปรแกรมได้อย่างถูกต้อง
2. เพื่อให้ผู้ทดลองทราบถึงกระบวนการต่างๆในการสร้างวงจรโดยใช้ Schematic
3. เพื่อให้ผู้ทดลองทราบถึงกระบวนการต่างๆในการสร้างวงจรโดยการเขียน VHDL
4. เพื่อให้ผู้ทดลองสามารถโปรแกรมข้อมูลลงใน FPGA ได้

วัสดุอุปกรณ์ที่ใช้งาน

1. โปรแกรม Xilinx Foundation2.1I
2. ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows

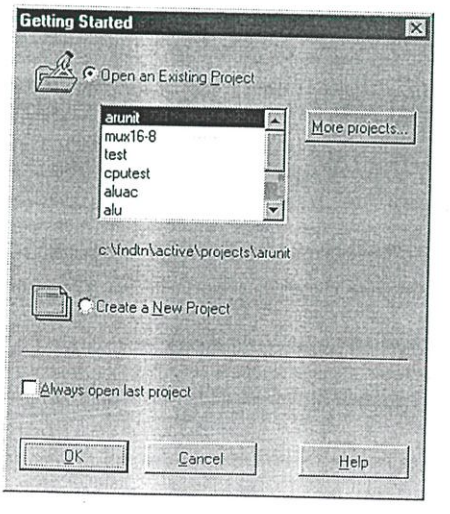
โปรแกรม Xilinx Foundation 2.1I เป็นโปรแกรมที่ช่วยในการพัฒนาการออกแบบวงจรต่างๆทาง ดิจิตอล โดยสามารถโปรแกรมลงบน FPGA ได้ โดยการใช้งานจะบอกตามขั้นตอนดังนี้

1. การเข้าสู่โปรแกรมเบื้องต้นให้ปฏิบัติตามขั้นตอนดังนี้

1.1 ดับเบิ้ลคลิ๊กที่ไอค่อน

ภาพที่ 1.1 Project Manager

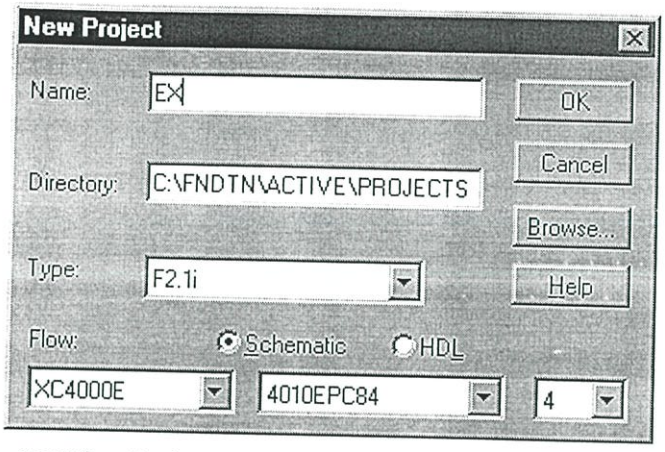
1.2 จากนั้นโปรแกรมจะเข้าสู่หน้าจอหลักของโปรแกรมเข้าสู่ Getting Started



ภาพที่ 1.2 Getting Started

ให้คลิ๊กที่ Create a New Project เพื่อที่จะสร้าง Project ใหม่ จากนั้นคลิ๊กปุ่ม OK

1.3 โปรแกรมก็จะเข้าสู่หน้าต่าง New Project เพื่อตั้งชื่อของ Project ที่จะสร้าง



ภาพที่ 1.3 Dialog box ของ New Project

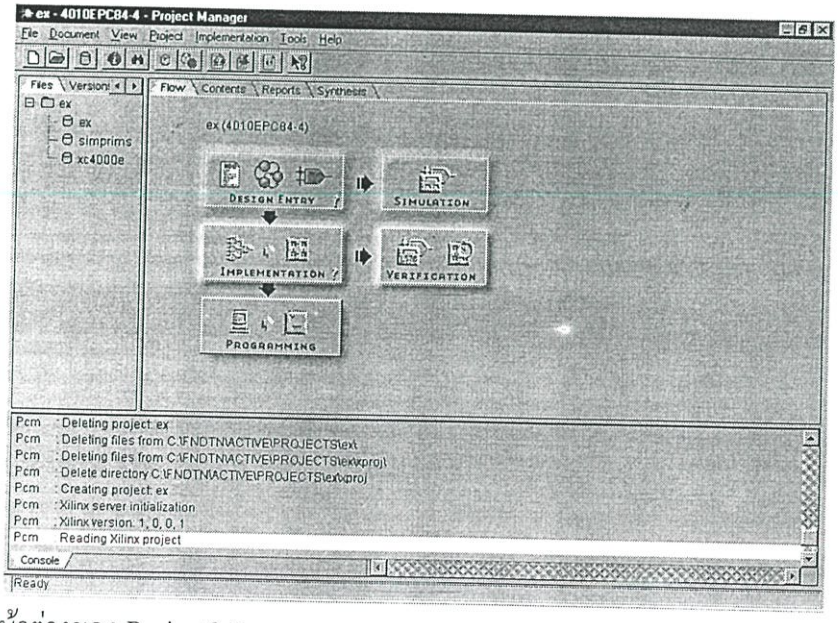
Name ให้ตั้งชื่อของ Project ที่จะสร้างขึ้นใหม่ในที่นี้ตั้งชื่อว่า EX

Directory บอกถึง Directory ของโปรแกรม

Type บอกถึง Version ของโปรแกรมเราจะใช้ F2.1I

Flow ให้เลือกที่ Schematic เบอร์ของ FPGA XC4000E 4010EPC84 ตามรูป จากนั้นคลิ๊กที่ปุ่ม OK

1.4 โปรแกรมจะเข้าสู่หน้าจอหลักของโปแกรม Project Manager ซึ่งจะมีเมนูการทำงานหลักๆมีดังนี้



ภาพที่ 1.4 หน้าต่างของ Project Manager

จากรูปที่ 1.4 ส่วนบนสุดเราเรียกว่า Title bar จะแสดงชื่อของ Project EX และชิป FPGA เบอร์ที่ผู้ทดลองกำหนดไว้ ถัดลงมาจะมีเมนูบาร์ของคำสั่งต่างๆ ซึ่งจะทำงานครอบคุมการทำงาน

ของปุ่มToolbar ที่มีอยู่ในหน้าต่างนี้ทั้งหมด โดยมีการทำงานหลักของโปรแกรมจะอยู่ในกรอบแนวของปุ่มToolbar 5 ปุ่มคือ

1. Design Entry ทำหน้าเป็นจุดเริ่มต้นในการออกแบบวงจร ภายในปุ่มนี้จะมีรายการให้เลือกการออกแบบได้ 3 วิธี คือ

- วิธีการเขียน Schematic Diagram
- วิธีการเขียนโปรแกรมภาษา HDL หรือ Hardware Description Language
- วิธีการเขียนเป็น FSM หรือ Finite State Diagram Machine

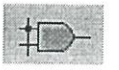
2. Simulation ปุ่มนี้จะใช้ได้ก็ต่อเมื่อผู้ทดลองทำการออกแบบ Design Entry มาแล้ว ปุ่มนี้จะทำหน้าที่วิเคราะห์และทดสอบการทำงานของวงจรที่ได้ออกแบบไว้แล้ว ในการทำงานประกอบด้วย Logic probe สำหรับใช้วางเพื่อตรวจสถานะทางลอจิกในส่วนต่างๆของวงจร และ Logic analyzer เพื่อใช้วิเคราะ Function การทำงาน ตลอดจนคาบเวลาตามส่วนต่างๆของวงจร

3. Implementation ปุ่มนี้ใช้ในการนำเอาวงจรที่ออกแบบ และทดสอบการทำงานมาแล้วมาสร้างจำลองเป็นตัวชิป FPGA ซึ่งเป็น Hardware ขึ้นมา การทำงานในส่วนนี้เป็นการทำงานในลักษณะเบ็ดเสร็จ โดยเริ่มจากการนำเอาวงจรที่ได้ออกแบบไว้มาแปลความหมาย แล้วสร้างเป็น Code เพื่อจำลองเป็นHardware ตามเบอร์ชิปที่กำหนดไว้ และทำการวิเคราะห์ตรวจสอบ เมื่อผ่านจะนำไปสร้าง Code ในลักษณะ Bit stream ที่พร้อมจะนำไปโปรแกรม Config ลงบนตัวชิพ FPGA จริงต่อไป

4. Programming ปุ่มนี้จะทำหน้าที่โปรแกรม Config ลงบนตัวชิป FPGA โดยจะนำเอาข้อมูลใน Bit steeam File โปรแกรมลงบนชิป FPGA จริง และจะทำหน้าที่อื่นๆที่เกี่ยวข้องกับตัวชิป FPGA ได้แก่ ล้างข้อมูลและตรวจสอบข้อมูลในตัวชิปด้วย

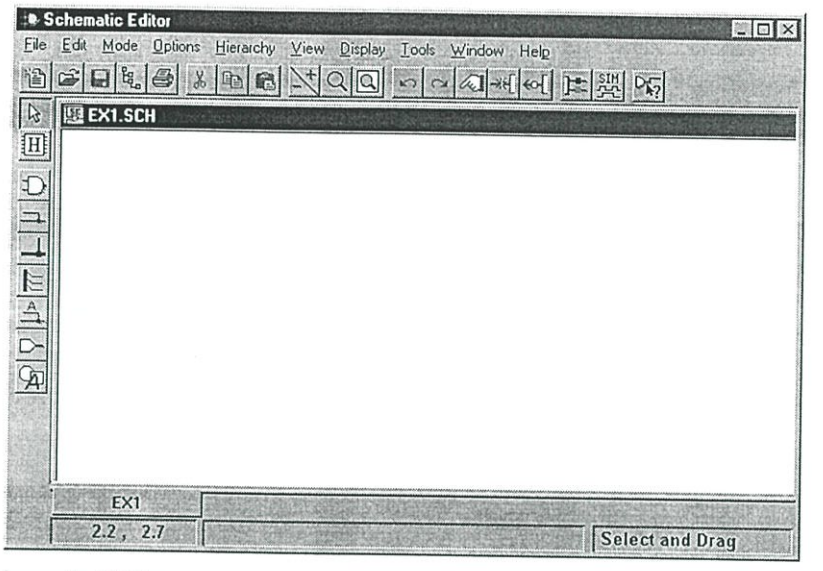
5. Verification ปุ่มนี้ทำหน้าที่ตรวจสอบและวิเคราะห์ Timing ในเชิง Hardware หลังจากผ่านขั้นตอนของการ Implementation แล้ว

2. การออกแบบวงจรด้วยวิธีการเขียน Schematic Diagram



ภาพที่ 1.5 สัญลักษณ์ของปุ่ม Schematic

ในหน้าต่างของ Project manager ให้คลิกที่สัญลักษณ์ดังรูปที่ 1.5 เพื่อทำการออกแบบวงจรด้วยวิธีการเขียนโดยใช้ Schematic จะแสดงหน้าต่างของ Schematic Editor เพื่อทำการออกแบบวงจรตามรูปในหน้าถัดไป



ภาพที่ 1.6 แสดง Schematic Editor

จากรูปที่ 1.6 แสดงหน้าต่างของ Schematic Editor ซึ่งมีรายละเอียดของปุ่มต่างๆต่อไปนี้

Projectsใช้สำหรับคลิกเพื่อที่จะกลับไปยังหน้าต่างของ Project Manager

Point ใช้สำหรับเลือกสัญลักษณ์และสายบัส เพื่อเปลี่ยนตำแหน่ง หรือกำหนดค่าต่างๆ

Hierarchy Push/Popใช้สำหรับดูรายละเอียดต่างๆภายในตัวอุปกรณ์

Symbols Toolboxใช้สำหรับคลิกเพื่อเปิด Symbol toolbox

Draw wiresใช้สำหรับคลิกเพื่อลากเดินสายวงจร

Draw Busesใช้สำหรับคลิกเพื่อเดินสายของระบบบัส

Draw Bus Tabsใช้สำหรับคลิกเพื่อกำหนด Tap ของสายเข้า-ออก จากบัส

Add Net or Bus Nameใช้สำหรับกำหนดชื่อของสายวงจร

Hierarchy Connectorใช้สำหรับคลิกเพื่อกำหนดจุดต่อสาย Terminal เข้า ออก ของบล็อกวงจร

ใช้สำหรับแต่งเติมคำอธิบายและรูปภาพกราฟฟิกที่ไม่มีผลต่อการทำงานของวงจร

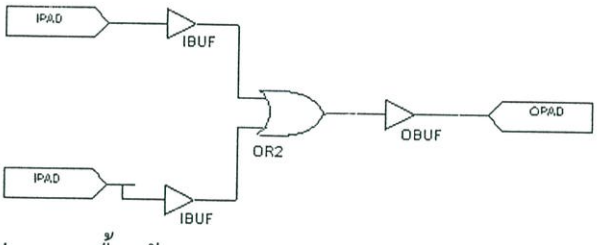
ใช้สำหรับคลิกเพื่อย่อ-ขยายขนาดของวงจร

Simulation Toolbox ใช้สำหรับคลิกเพื่อเปิด Simulation Toolbox เพื่อทำการวาง Logic Probe ในวงจร

Simulator ใช้สำหรับคลิกเพื่อเข้าสู่การทำงานของ Logic analyzer

การทดลองที่ 1 การต่อวงจร

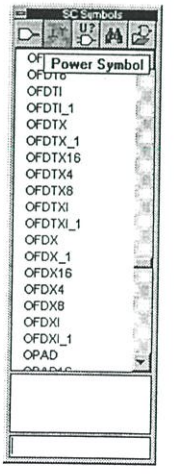
1. ตัววงจรที่จะใช้ในการออกแบบเบื้องต้น



ภาพที่ 1.7 การต่อวงจรเบื้องต้น

2.ขั้นตอนในการออกแบบในหน้าต่าง Schematic Editor ให้ทำตามดังนี้

คลิกที่ปุ่ม Symbols toolbox จะแสดงตาราง SC Symbols ขึ้นมาให้เลือกดังนี้



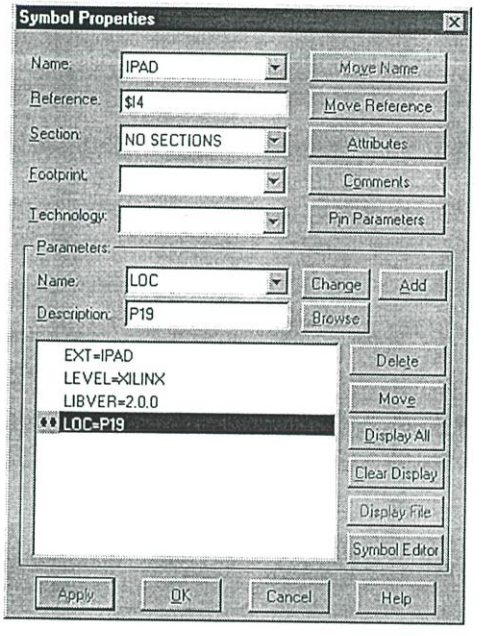
ภาพที่ 1.8 Symbols Toolbox

-OR2 เป็น OR Gate ขนาด 2 Input

-IBUF , OBUF เป็น Input Buffer และ Output Buffer

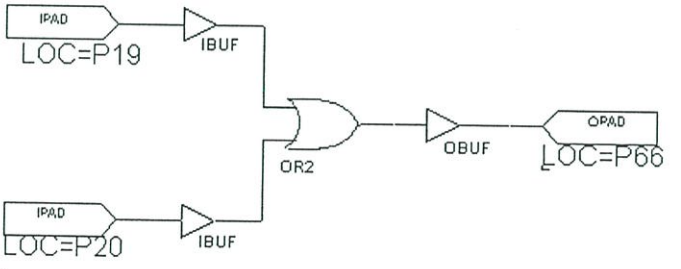
-IPAD, OPAD เป็น Input Pad และ Output Pad

เมื่อกำหนด และวาดรูปเสร็จ จะได้รูปตามตัวอย่างในข้อที่ 1 จากนั้นก็จะทำการกำหนดขา (Assinged pin) ของตัว FPGA ซึ่งได้แก่ IPAD และ OPAD จะกำหนดให้เป็นขา IPAD บนเป็นขาที่ 19 ขาล่างเป็นขาที่ 20 และ OPAD จะเป็นขาที่ 66 โดยที่การกำหนด pin จะทำโดยดับเบิ้ลคลิกที่ IPAD และ OPAD ทีละตัว เพื่อเปิดหน้าต่าง Symbols Properties ตามรูปดังนี้



ภาพที่ 1.9 Symbols Properties

ในช่อง Parameter ที่ Name ให้พิมพ์ LOC ที่ Description ให้พิมพ์ P19 จากนั้นคลิก ปุ่ม Add Apply และ OK จากนั้นกำหนดขาใหม่เหมือนที่กล่าวมาข้างต้นโดย เปลี่ยนจาก P19 เป็น P20 และ P66 ตามลำดับ



ภาพที่ 1.10 วงจรเบื้องต้น

เมื่อทำครบทุก Pin แล้ว จะได้วงจรพร้อมทั้งตำแหน่งของขา I/O ของ FPGA ตามวงจรในรูปข้างบน

* หมายเหตุ

-ข้อความบนตำแหน่ง Pin สามารถย้ายที่ได้โดยใช้ Mouse จิกแล้วลากพาไปยังตำแหน่งที่ต้องการ

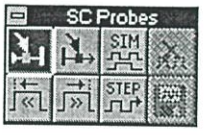
-หากมีข้อความหรือรูปเก่าค้างอยู่ให้ใช้คำสั่ง Redraw โดยกดคีย์ F10

- ขาของ FPGA สามารถกำหนดเป็นขา I/O ได้ทุกขายกเว้นขาที่ต่อไฟบวก และขาGround และขาที่ไว้ใช้สำหรับลงโปรแกรม

3. การทดสอบการทำงานของวงจร (Circuit Simulation)

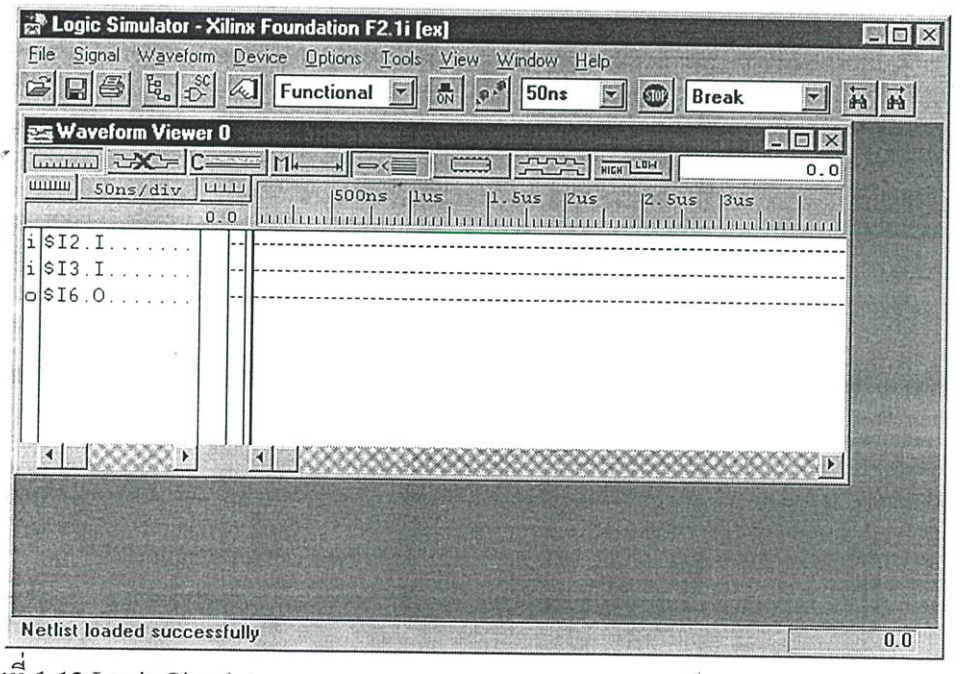
เมื่อได้ออกแบบวงจรเสร็จเรียบร้อยแล้ว เพื่อที่จะให้แน่ใจได้ว่าวงจรที่ออกแบบนั้นมีการทำงานที่ถูกต้องหรือไม่ ดังนั้นจึงจำเป็นที่จะต้องทดสอบการทำงานของวงจร หลักการคือจะวาง Logic probe ตามตำแหน่งที่สนใจ จากนั้นจะเรียกโปรแกรมที่เรียกว่า Simulation ซึ่งจะทำงานในลักษณะเดียวกันกับ Logic Analyzer โดยการกำหนดแหล่งของสัญญาณ Input แล้วป้อนสัญญาณเข้าไป เพื่อดูผลทางด้าน Output เป็นรูปคลื่นตามคาบเวลา การทดสอบสัญญาณทำได้ดังนี้

1. คลิกปุ่ม Simulation Toolbox จะปรากฏปุ่มต่างๆดังนี้

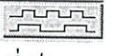


ภาพที่ 1.11 ปุ่ม Simulation

2. นำเม้าท์คลิกที่ขั้ว Input ของ IBUF ทั้ง 2 ตัวที่ต้องการจะป้อนสัญญาณInputเข้าไป และที่ขั้ว Outputของ OBUF ที่ต้องการจะดูผลการทำงาน
3. คลิกปุ่ม Simulator เพื่อที่จะเข้าสู่โปรแกรม Simulator มีหน้าต่างแสดงดังนี้

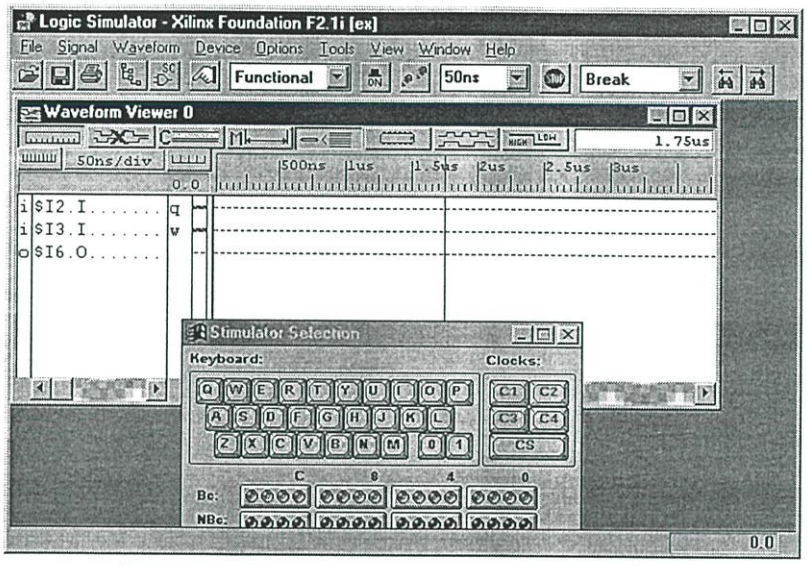


ภาพที่ 1.12 Logic Simulator

1. คลิกปุ่ม  เพื่อแสดง Simulator Selection
2. คลิกชื่อ Tag ที่เป็นInput I 12,I 13 คลิกทีละชื่อ

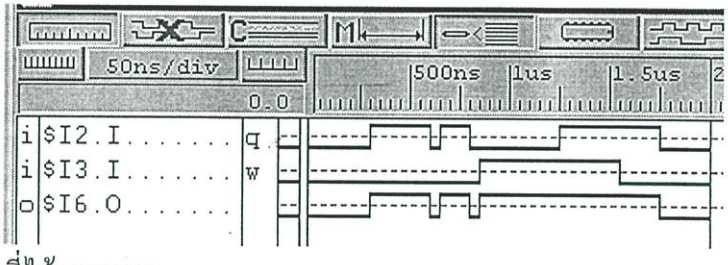
3. คลิกที่ คีย์ Q เพื่อกำหนดให้แป้นคีย์ Qเป็นตัวป้อนสัญญาณลอจิกให้กับInputตัวที่ 1 คือ I12

เสร็จแล้วย้อนกลับไปคลิกที่ชื่อ I13 แล้วคลิกที่ W เพื่อป้อนสัญญาณInputดังรูป



ภาพที่ 1.13 แสดงการกำหนดปุ่ม Key board

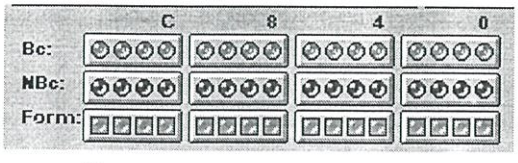
4. เมื่อกำหนดแป้นคีย์ที่จะป้อนสัญญาณInputให้กับวงจรได้แล้ว ให้ทดลองเคาะแป้นคีย์ทั้งสองดังกล่าว จะเห็นว่าที่Inputทั้งสองจะมีสถานะลอจิกเป็น Low และ High สลับกันไป จากนั้นถ้าต้องการที่จะดูผลที่Outputของสัญญาณจะทำการกด ที่ปุ่ม Simulation Step เพื่อดูผลของการทำงานแสดงได้ดังรูป



ภาพที่ 1.14 รูปคลื่นที่ได้จากวงจร

การกดปุ่ม Simulation Step ตามรูปข้างบนแต่ละครั้ง ก็จะได้Outputของการกดแต่ละครั้งไป โดยจะสังเกตุได้จากรูปคลื่น

ในการทำ Simulation ที่ต้องใช้ Clock เป็นสัญญาณInput ทำได้โดยการคลิกที่ชื่อ Tag name เป็นลักษณะของ LED ดังรูปข้างล่างนี้

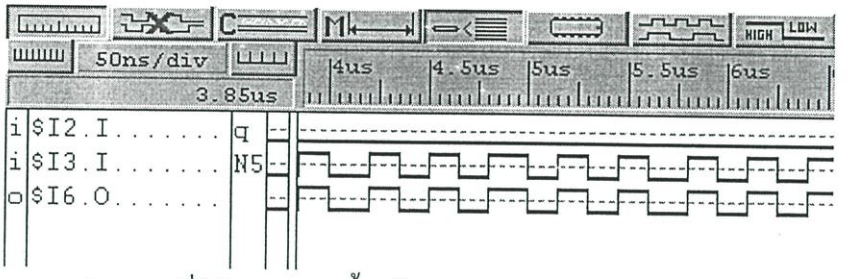


ภาพที่ 1.15 การกำหนดสัญญาณนาฬิกา

Bc หมายถึง Binary Counter , NBc หมายถึง Negative Binary Counter

ถ้าคลิกที่ LED หลักที่ 0 จะได้ความถี่ 100 MHz ถ้าหลักที่ 1 จะได้ความถี่ 100 MHz / 2 และ 100 MHz / 4 ลดลงไปหลักละ 2^2 ไปเรื่อยๆแล้วแต่จะเลือกใช้

ถ้าต้องการเปลี่ยนสัญญาณInputที่ขา IBUF ขาใดขาหนึ่งเป็นสัญญาณ Clock แล้ว ในการทำ Simulation Step จะได้Outputของสัญญาณดังรูป

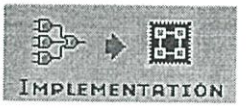


ภาพที่ 1.16 แสดงสัญญาณที่ได้จากวงจรเบื้องต้น

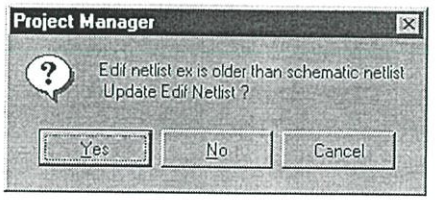
4. การนำวงจรที่ออกแบบเสร็จแล้วมาโปรแกรม Configuration ลงใน FPGA (Implementation)

ที่ผ่านมานั้นผู้ทดลองได้ทำการออกแบบวงจรลอจิกและทดสอบการทำงานมาแล้ว ขั้นตอนต่อไปนี้เป็นการนำวงจรที่ออกแบบได้มาโปรแกรม Configuration ลงใน FPGA โดยการ Implementation ดังนี้

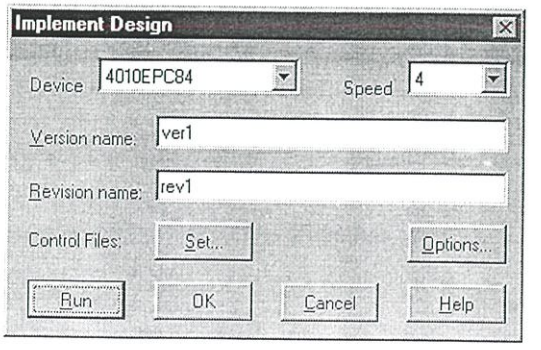
4.1 คลิกปุ่ม จะเปิดหน้าต่าง Project Manager ขึ้นมา

4.2 คลิกปุ่ม Implementation 

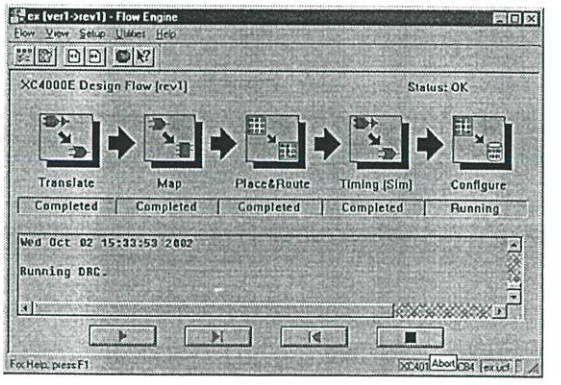
4.3 จะมีคำถามคลิก Yes



4.4 จะแสดงช่องให้เติมค่า Implement Design ให้เติมเบอร์ของ FPGA ,Speed 4 คลิก Run



จากนั้นรอจนกว่าโปรแกรมจะเข้าสู่ Flow Engine ของการทำ Implementation จนเสร็จสมบูรณ์ดังรูปข้างล่าง



ภาพที่ 1.17 แสดง Design Flow

โปรแกรมจะทำงานผ่านกระบวนการ 4 ขั้นตอนอย่างไม่มีติดขัดโปรแกรมจะมีข้อความบอกว่าเสร็จเรียบร้อยแล้ว จากนั้นคลิก OK

5. การโปรแกรมข้อมูลวงจรที่ออกแบบลงในตัว FPGA

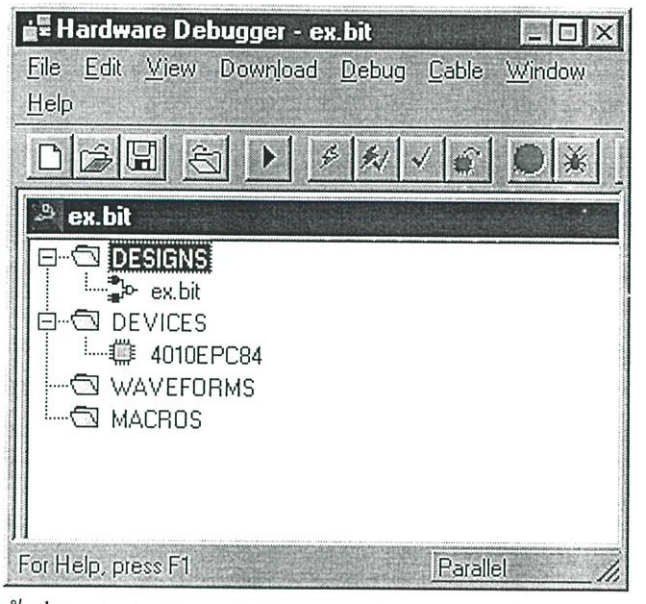
ขั้นตอนนี้เป็นขั้นตอนสุดท้ายของกระบวนการออกแบบ ในการโปรแกรมมีขั้นตอนดังนี้คือ

ที่หน้าต่าง Project Manager คลิก

เพื่อเข้าสู่การทำงานในส่วนของการโปรแกรม Configuration ตัวชิป FPGA ดังรูปข้างล่าง แสดง Hardware Debugger

ภาพที่ 1.18 เลือกที่ Hardware Debugger

ในหน้าต่างของ Hardware Debugger นั้น เราคลิกที่ Download จากนั้นเลือก Download Design

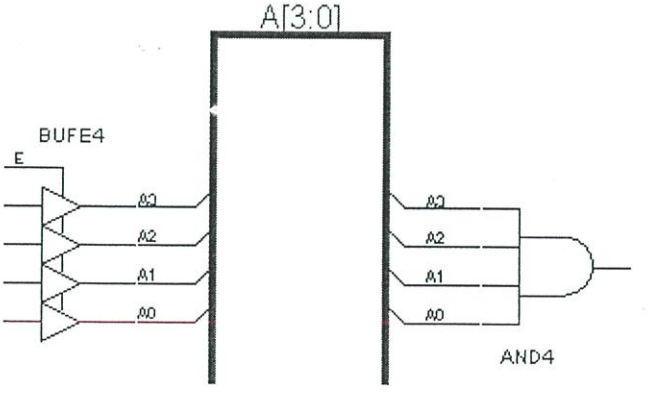


ภาพที่ 1.19 แสดงหน้าต่าง Hardware Debugger

โปรแกรมก็จะทำการ Download วงจรที่สร้างขึ้นลงบนตัว FPGA เป็นอันเสร็จกระบวนการทดลอง

การทดลองที่ 2 การเดินสายระบบบัส

ในการเดินสายวงจร ระบบบัสจะช่วยในการต่อวงจรดูง่ายขึ้นในกรณีที่มีการต่อสายจำนวนมากๆ เช่น Address Bus, Data Bus เป็นต้นโดยหลักที่สำคัญของการเดินสายระบบบัสคือจะต้องกำหนดชื่อของสายบัส และกำหนดจำนวนว่าบัสนั้นมีจำนวนสายกี่เส้น โดยกำหนดเส้นสัญญาณเข้าออกของบัสให้ตรงกัน หรือกำหนดให้เส้นสัญญาณใดต่อกับอะไรควรกำหนดให้ตรงกันด้วย

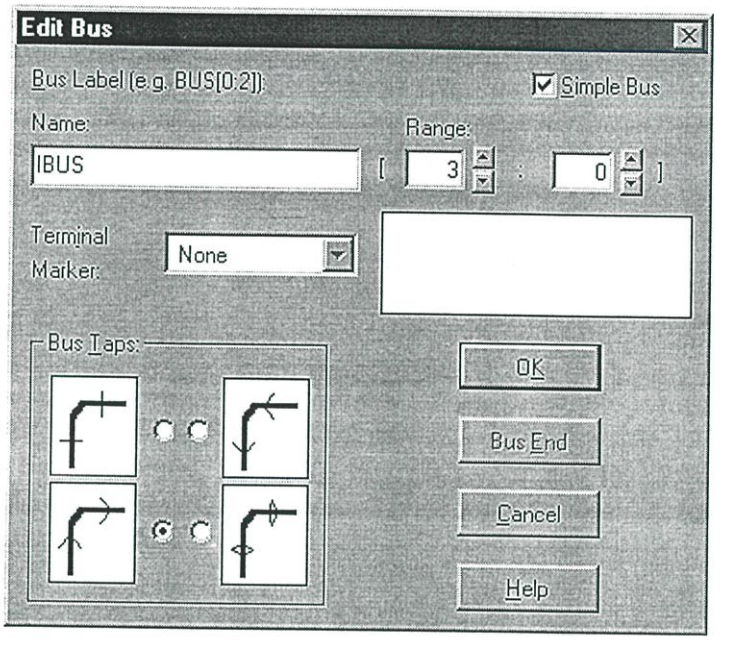


ภาพที่ 1.20 การเดินสายบัส

1. ขั้นตอนแรกจะต้องวางอุปกรณ์ดังรูปข้างบน ควรวางอุปกรณ์ให้ห่างกันพอประมาณ จากนั้นใช้ เม๊าท์คลิกที่ เพื่อใช้สำหรับเดินสายบัส

2. นำเม้าท์ไปคลิกที่จุดเริ่มต้นของสายบัสลากบัสได้ตามแบบรูปข้างบน จะได้เส้นบัสที่หนาทึบดังรูป

3. กำหนดชื่อ จำนวนเส้น และลักษณะการแยกออกจากสายบัส โดยใช้เม้าท์ดับเบิลคลิกที่เส้นบัสจะปรากฏหน้าต่าง Edit Bus ขึ้นมากำหนดชื่อเป็น IBUS จำนวนเส้น 0-3 Terminal Marker



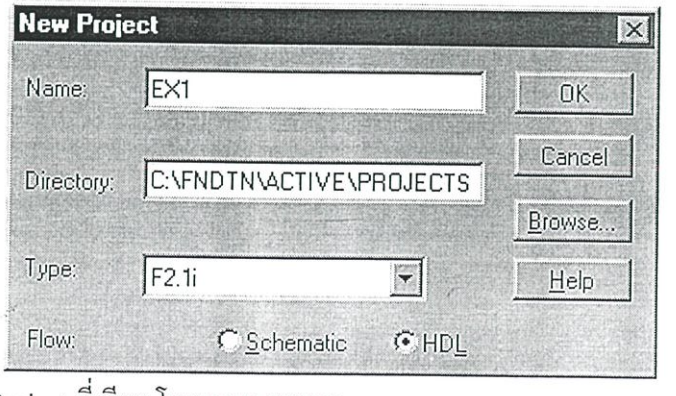
ใช้กำหนดว่า

ภาพที่ 1.21 การกำหนดจุดต่อ Bus taps

บัสที่ใช้นั้นมีสถานะเป็นอะไร Bus Taps เป็นการเลือกสายที่แยกเข้า-ออกจากบัส จากนั้นคลิกปุ่ม OK จากนั้นเราจะได้บัสที่มีขนาด 4 เส้นชื่อ IBUS

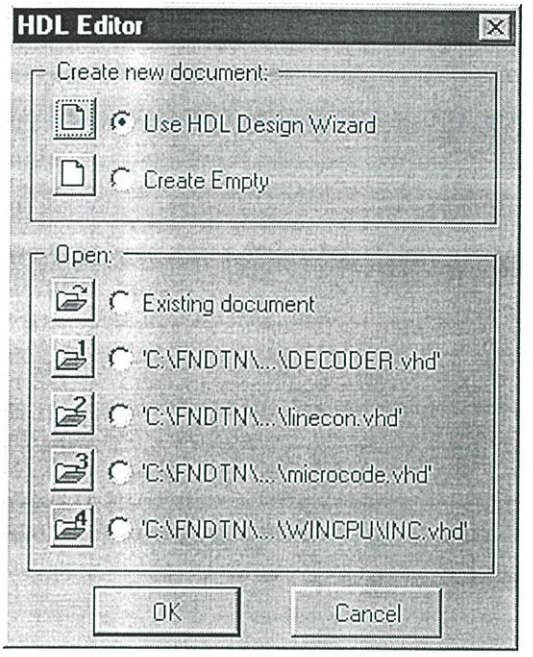
4. ทำการแยกสายที่เข้าออกจากบัสโดยการคลิกปุ่ม แล้วคลิกที่เส้นบัสคลิกที่ขั้วต่อของ IBUF และ AND4 ทีละขาตามลำดับ เมื่อคลิกครบทุกขาแล้วก็จะได้เส้นบัส และสายแยกเข้า-ออกบัสตามรูปตัวอย่างข้างบน

การทดลองที่ 3 การสร้างวงจรดิจิตอลโดยใช้ VHDL

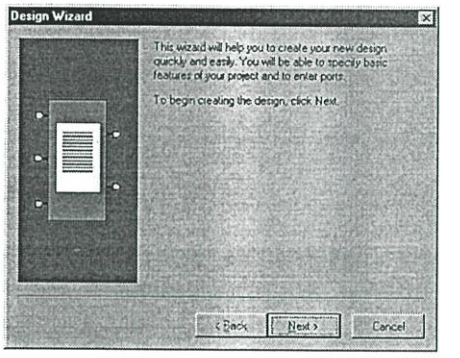


ภาพที่ 1.22 การสร้าง Project ที่เขียนโดยภาษา VHDL

จากหน้าต่างแรกให้เลือกที่ HDL ตั้งชื่อว่า EX กด OK โปรแกรมจะขึ้นที่หน้าจอหลักให้คลิกปุ่ม HDL โปรแกรมก็จะเข้าสู่หน้าต่างกระบวนการเขียนด้วยภาษา HDL

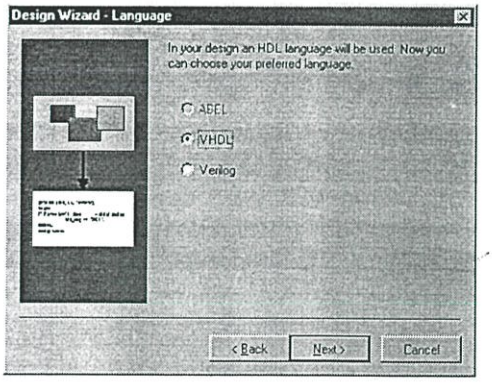


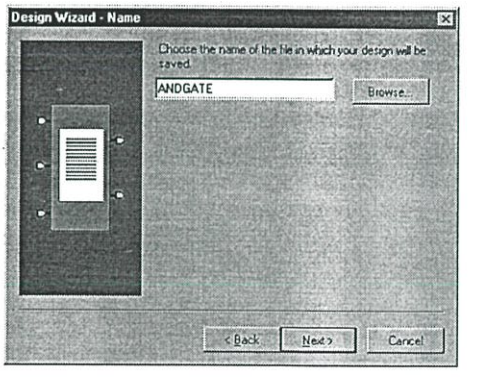
เลือกปุ่ม Use HDL Design Wizard เพื่อทำการสร้างโครงสร้างของ VHDL อย่างอัตโนมัติ โปรแกรมจะถามเป็นขั้นตอนดังนี้



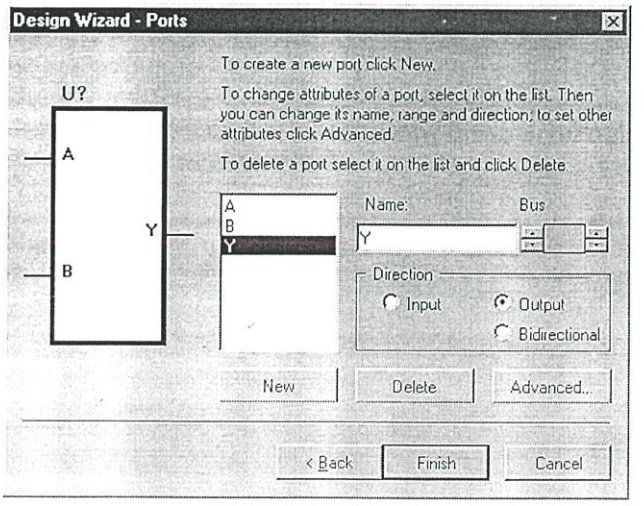
ภาพที่ 1.23 การกำหนด Wizard

ที่หน้าจอ Design Wizard กด NEXT แล้วเลือก VHDL กด NEXT ตั้งชื่ออุปกรณ์ที่เราจะสร้าง กด



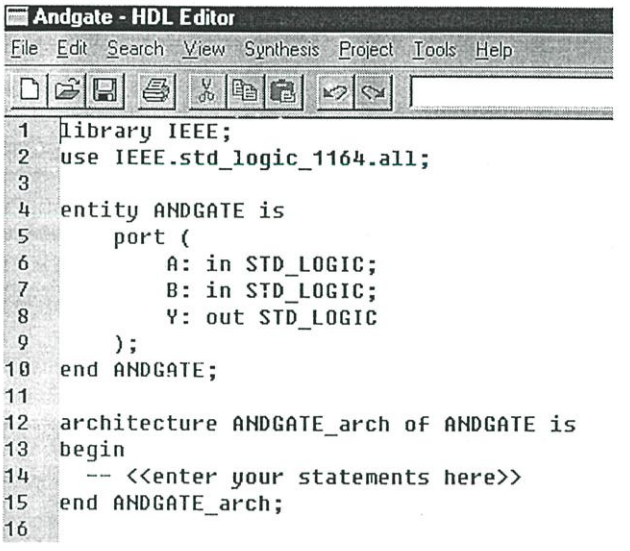


NEXT



จากนั้นทำการตั้งชื่อขาอุปกรณ์โดยเราสามารถกำหนดInput Output ได้เลย จากรูปกำหนดให้ A,B เป็นInput Y เป็นOutput กดปุ่ม Finish

จากนั้นโปรแกรมจะสร้าง โครงสร้างของภาษา VHDL มาให้เพื่อความสะดวกในการเขียนโปรแกรม



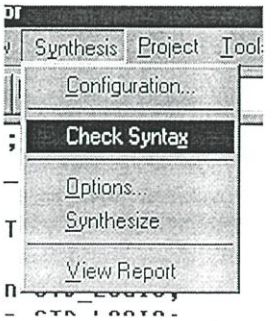
ภาพที่ 1.24 การเขียนภาษา VHDL

จากรูปใน VHDL Code นั้นเราจะเห็นว่ามีการประกาศ Port ทั้งInputและ Outputในการเขียนการทำงานเราควรจะเขียนคำสั่งในบริเวณ enter your statements here ในที่นี้ต้องการสร้าง AND Gate เขียนได้ดังนี้

Y <= A and B

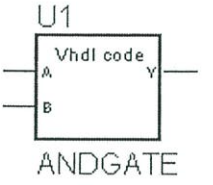
```
architecture ANDGATE_arch of ANDGATE is
begin

  Y <= A and B;

end ANDGATE_arch;
```

จากนั้นทำการบันทึก แล้วทำการเช็ค Check Syntax ว่ามีข้อผิดพลาดหรือไม่ โดยการกด Synthesis และ Check Syntax โปรแกรมจะทำการตรวจสอบความถูกต้องจนกว่าจะแสดง Check Successful แสดงว่าการตรวจสอบถูกต้องแล้ว จากนั้นก็จะมาถึงการสร้างสัญลักษณ์ของวงจรที่เราสร้างขึ้นมาดังนี้



คลิกเลือกที่ Project เลือก Create Macro โปรแกรมจะถามว่าให้เลือกเบอร์ FPGA ที่ต้องการแล้ว ตอบ OK จากนั้นโปรแกรมจะทำการสร้าง Macro ขึ้นมาตามที่เรากำหนด ได้ดังรูปข้างล่าง

ภาพที่ 1.25 การสร้างสัญลักษณ์



ภาพที่ 1.26 สัญลักษณ์ AND gate ที่ได้จากภาษา VHDL

คำถาม

1. ทดสอบการต่อวงจรอื่นๆที่นอกเหนือจากในการทดลองแล้วโปรแกรม Configuration ลง FPGA ให้ทำงานตามต้องการ
2. ทดลองต่อสายBusพร้อมกำหนดขาแล้วโปแกรม Configuration ลงบน FPGA
3. เขียนภาษา VHDL โดยกำหนดให้เป็น OR Gate แล้วโปรแกรม Configuration ลงบน FPGA

ใบงานที่ 2

การสร้าง Input / Output Buffer ขนาด 8 บิต

วัตถุประสงค์การทดลอง

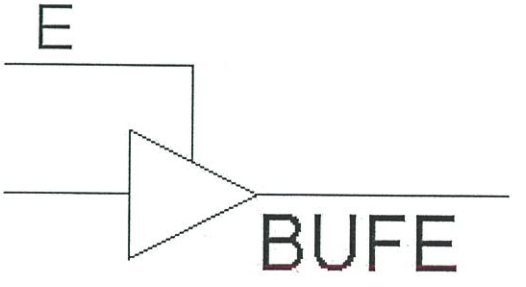
1. เพื่อให้ผู้ทดลองสามารถทราบถึงการทำงานของ 3 State Buffers
2. เพื่อให้ผู้ทดลองทราบถึงโครงสร้างของ Input / Output Buffer
3. เพื่อให้ผู้ทดลองสามารถทราบถึงการทำงานของ Input / Output Buffer
4. เพื่อให้ผู้ทดลองสามารถต่อวงจร Input / Output Buffer ได้

วัสดุอุปกรณ์ที่ใช้งาน

1. โปรแกรม Xilinx Foundation2.1I
2. ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. Input Buffer ขนาด 8 บิต 1 ตัว (IBUF8)
5. Tristate Buffer ขนาด 8 บิต 2 ตัว (BUFF8)

<u>การทำงาน</u>

Input Output ของวงจรมีผลสำคัญมากกับการทำงานของวงจรหลัก Input ทำหน้าที่รับข้อมูลเข้ามาประมวลผล Output ทำหน้าที่ส่งข้อมูลที่ประมวลผลได้นั้นกลับออกไปแสดงผลที่จอแสดงผล Buffer ที่ใช้จะใช้เป็น 3-State Buffers ดังรูป



ภาพที่ 2.1 3-State Buffers

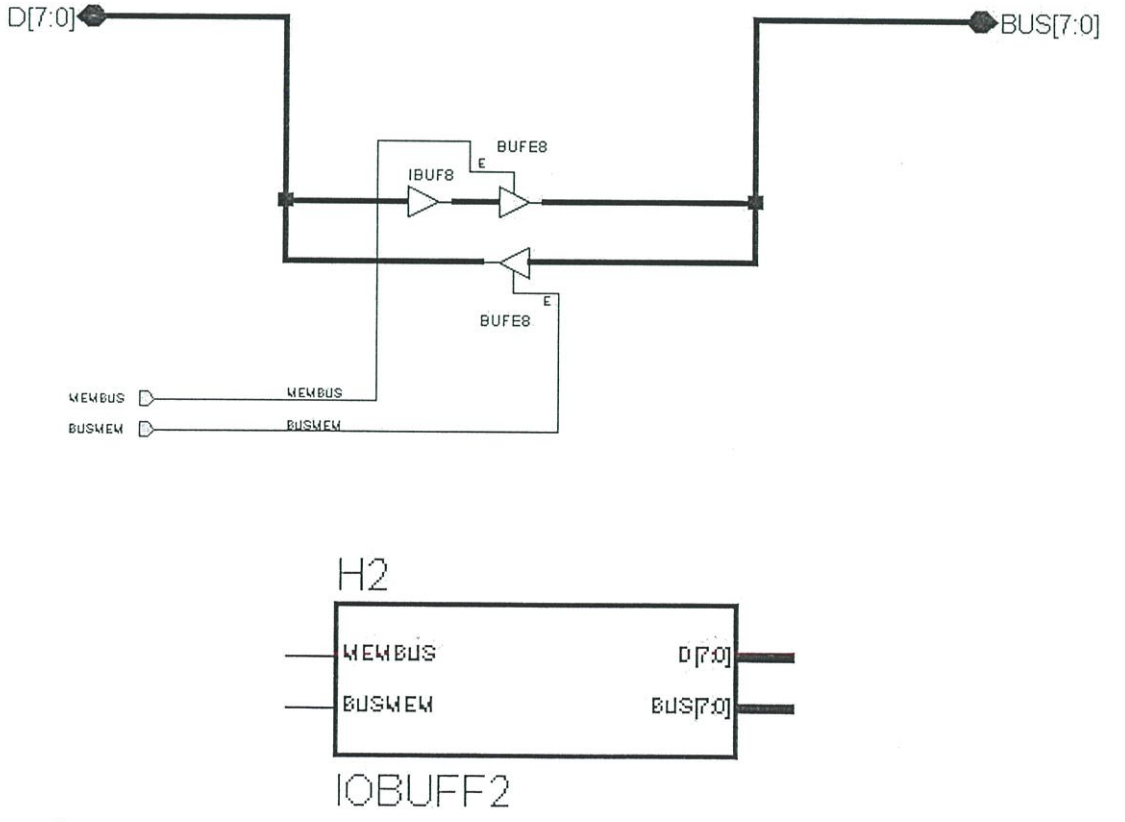
การทำงานจะแสดงดังตารางที่ 2.1

INPUT		OUTPUT
E	**I**	**O**
0	X	Z
1	1	1
1	0	0

ตารางที่ 2.1 แสดงการทำงานของ 3 State Buffers

การทดลองที่ 1 การต่อวงจร Input / Output Buffer

การทำงานในวงจรจริงของ CPU I/O Buffers นี้จะทำหน้าที่คล้ายกับ Switch เลือกเอาระหว่างจะให้ข้อมูลเข้าหรือออกภายในตัว CPU ซึ่ง Switch นี้จะมีขนาด 8 บิต โดยการต่อในวงจร I/O Buffers นี้จะต่ออยู่กับหน่วยความจำภายนอก หรือ ROM (Read only Memory) ที่ขาข้อมูล (D0-D7)เพื่อที่จะรับข้อมูลเข้ามาได้โดยตรง ในกรณีที่ต้องการนำข้อมูลออก CPU จะต้องส่งสัญญาณ Disable ROM ก่อนจึงจะสามารถนำข้อมูลออกแสดงที่จอแสดงผลได้ การต่อวงจรจะแสดงวงจรดังรูปที่2.2

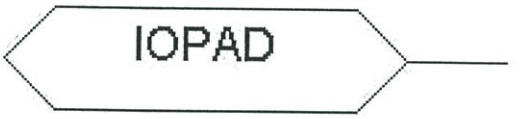


ภาพที่ 2.2 แสดงการต่อวงจร I/O Buffers ขนาด 8 บิต

ภาพที่ 2.3 สัญลักษณ์ที่สร้างจากโปรแกรม

การทำงานของวงจรเมื่อป้อน High ให้กับขา MEMBUS ข้อมูลรับเข้ามาจากขา D[7..0] ส่งไปยังขา BUS[7..0]ในทากลับกันถ้าให้ขา BUSMEM เป็น High ข้อมูลจากขา BUS[7..0] จะส่งไปยังขา D[7..0]

ในการสร้างนั้นควรที่จะใช้ IOPAD ในการเชื่อมต่อสายสัญญาณเพื่อทำหน้าที่เป็นInput และ Outputในตัวเดียวกัน



ภาพที่ 2.4 IOPAD

คำถาม

1. ทดลองต่อวงจรแล้วโปรแกรมลง FPGA สดสอบการทำงานเหมือนหรือต่างกับทฤษฎีอย่างไร
2. ในการเชื่อมต่ออุปกรณ์ต่างๆ IOPAD มีความสำคัญต่อวงจรอย่างไร

ใบงานที่ 3

การออกแบบวงจรคอมไบเนชั่น (Combinationnal Circuit Design)

วัตถุประสงค์การทดลอง

1. เพื่อให้ผู้ทดลองทราบถึงหลักการของมัลติเพล็กเซอร์
2. เพื่อให้ผู้ทดลองได้ต่อวงจรมัลติเพล็กเซอร์ได้

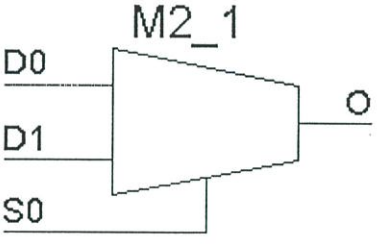
วัสดุอุปกรณ์ที่ใช้งาน

1. โปรแกรม Xilinx Foundation2.1I
2. ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. Multiplex 2-1 จำนวน 8 ตัว (M2_1)

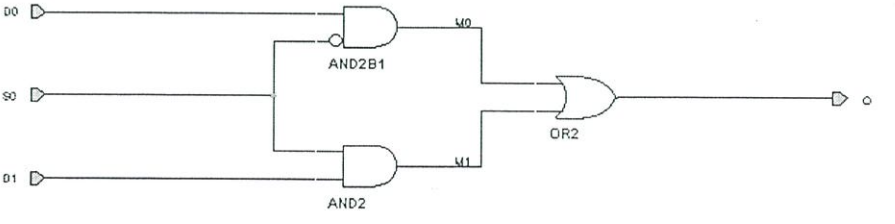
การทำงาน

วงจร Multiplex 16 to 8

ในใบงานนี้จะได้ทำการทดลองต่อวงจร Multiplex ขนาด 16 to 8 โดยใช้ Schematic ที่มีให้ในโปรแกรมโดยเราจะใช้สัญลักษณ์โดยเลือกที่ Symbol Toolbox เลือกอุปกรณ์ M2_1 ซึ่งเป็น Multiplex 2 to 1 มีการทำงานคือสามารถเลือกInputได้ระหว่าง D0 และ D1 โดยสามารถควบคุมผ่านขา S0 โดยที่ Output จะมีสถานะเหมือนInputที่เลือกเข้ามา เมื่อ S0 มีสถานะเป็น 0 จะเลือกInput D0 และเมื่อ S0 เป็น 1 จะเลือกInput S1



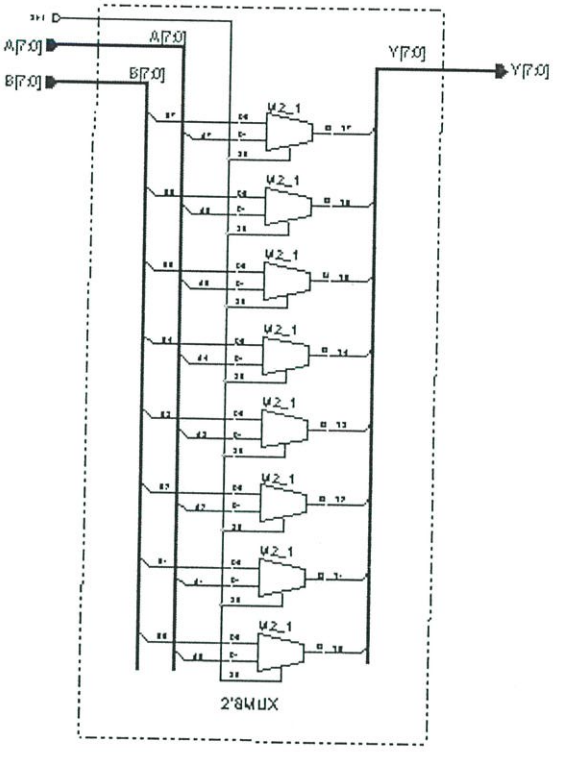
ภาพที่ 3.1 2 to 1 Mulitplexer



ภาพที่ 3.2 วงจรภายในของ 2 to 1 Multiplex

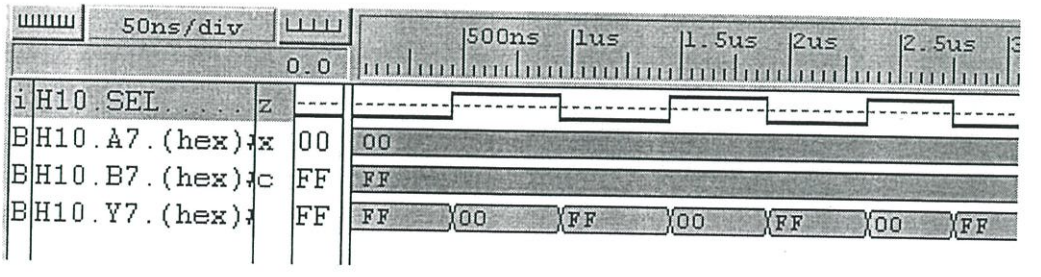
การทดลองที่ 1 วงจร Multiplex ขนาด 16 To 8

ในใบงานนี้จะเป็นการต่อวงจรโดยการนำเอา M2_1 มาต่อกันให้เป็น 16 to 8 Multiplexer โดยต่อวงจรดังรูป



ภาพที่ 3.3 วงจร 16 to 8 Multiplex

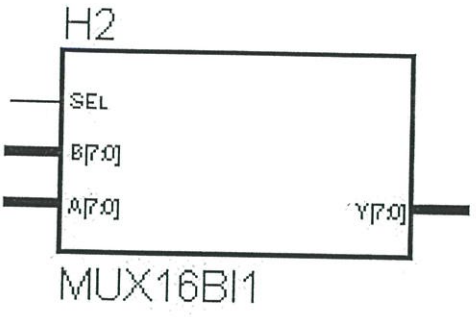
เมื่อต่อวงจร Mux16-8 ได้ตามรูปแล้ว ก็ทำการทดสอบความถูกต้องของวงจรโดยใช้การ Simulate สัญญาณที่ได้ออกมาถูกต้องหรือไม่ ลักษณะของสัญญาณที่ได้ออกมามีลักษณะดังนี้



ภาพที่ 3.4 สัญญาณทาง I /O

เมื่อขา SEL เป็น HIGH Output Y ที่ออกมามีค่าเท่ากับ A ถ้า SEL เป็นLOW Output Y ที่ออกมามีค่าเท่ากับ B

เมื่อทดสอบความถูกต้องแล้ว ก็ทำการสร้างสัญลักษณ์ขึ้นมาแทนวงจรที่สร้างขึ้นซึ่งมีขนาดใหญ่มาก ได้สัญลักษณ์ดังนี้



ภาพที่ 3.5 สัญลักษณ์ของ Multiplexที่สร้างขึ้นจากโปรแกรม

การทดสอบโดยการโปรแกรม Config ลง Chip FPGA นั้นสามารถทำได้เลยโดยเติม buff ipad obff และ opad แล้วกำหนดขาตามที่ต้องการทดสอบ

คำถาม

1. ทดลองต่อวงจร 32 To 8 Multiplex โดยใช้อุปกรณ์ที่มีในใบงานมีการทำงานเป็นอย่างไร จงอธิบาย
2. วงจร Multiplex ที่สร้างขึ้นนี้มีการทำงานอย่างไร จงอธิบาย

ใบงานที่ 4

การสร้างวงจร ALU

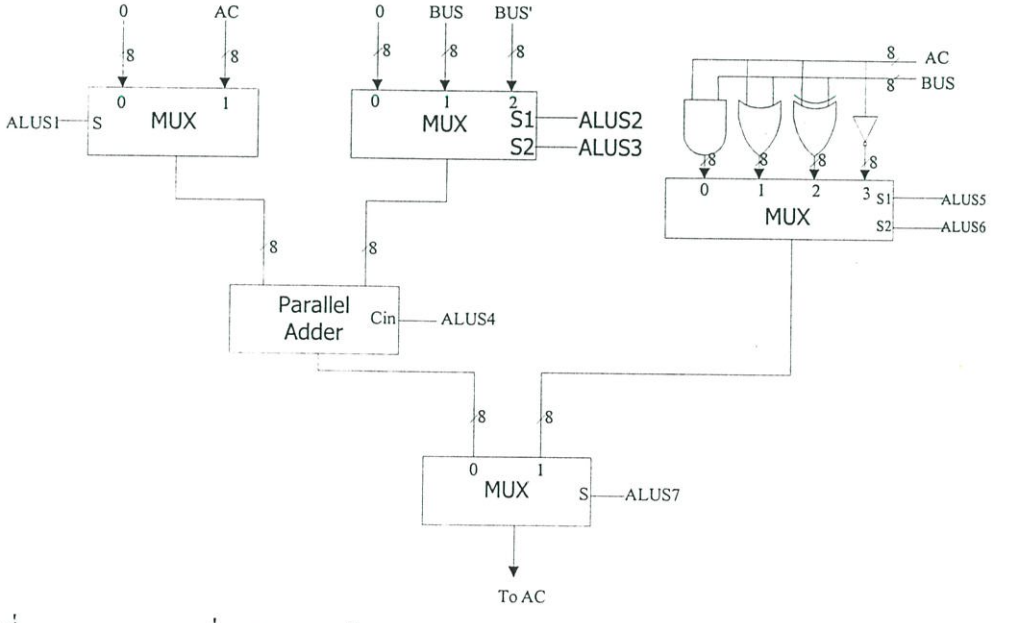
วัตถุประสงค์การทดลอง

1. เพื่อทราบถึงการทำงานของวงจร ALU
2. เพื่อให้ผู้ทดลองได้ฝึกการต่อวงจร ALU
3. เพื่อให้ผู้ทดลองได้ฝึกการออกแบบวงจรโดยนำอุปกรณ์ที่มีอยู่ในวงจรมาต่อเป็นวงจรที่ต้องการ

วัสดุอุปกรณ์ที่ใช้งาน

1. โปรแกรม Xilinx Foundation2.1I
2. ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. AND Gate 8 ตัว (AND2)
5. OR Gate 8 ตัว (OR2)
6. XOR Gate 8 ตัว (XOR2)
7. NOT Gate 16 ตัว (INV)
8. Multiplex ขนาด 16 –8 บิต 7 ตัว (MUX16B)
9. วงจรบวกเลข Binary ขนาด 8 บิต 1 ตัว (ADD8)

การทำงาน



ภาพที่ 4.1 วงจร ALU ที่จะทำการสร้าง

<u>การทำงานของวงจร</u>

ALU (Arithmetic and Logic Unit)เป็นวงจรที่มีหน้าที่ประมวลผลทางคณิตศาสตร์และลอจิก ทำหน้าที่บวก ลบ คูณ หาร ข้อมูลที่เข้ามา การทำงาน เมื่อให้ ALUS1 – 7 เป็น LOW ทางด้าน Output Y จะมีค่าเป็น 0 Function การทำงานทางคณิตศาสตร์มีดังนี้

1. คำสั่ง ADD เป็นคำสั่งในการบวกเลขฐานสองโดยจะต้องกำหนดให้ขา ALUS1 –2 เป็น HIGH
2. คำสั่ง SUB เป็นคำสั่งในการลบเลขฐานสองโดยจะต้องกำหนดให้ขา ALUS1,3,4 เป็น HIGH
3. คำสั่ง Increment AC เป็นคำสั่งในการเพิ่มค่าใน Accumulator ขึ้นหนึ่งค่า ต้องกำหนดให้ขา ALUS1 และ 4 เป็น HIGH
4. คำสั่ง Clear AC เป็นคำสั่งที่ทำการ Reset ข้อมูลใน Accumulator ให้มีค่าเป็น 0
5. คำสั่ง AND เป็นคำสั่งที่ทำการ AND ข้อมูลกันระหว่าง AC กับ BUS ต้องกำหนดให้ ALUS7 เป็น HIGH
6. คำสั่ง OR เป็นคำสั่งที่ทำการ OR ข้อมูลกันระหว่าง AC กับ BUS ต้องกำหนดให้ ALUS7 และ 5 เป็น HIGH
7. คำสั่ง XOR เป็นคำสั่งที่ทำการ XOR ข้อมูลกันระหว่าง AC กับ BUS ต้องกำหนดให้ ALUS7 และ 6 เป็น HIGH
8. คำสั่ง OR เป็นคำสั่งที่ทำการ Invert ข้อมูลจาก 0 เป็น 1 หรือจาก 1 เป็น 0 ต้องกำหนดให้ ALUS7,6 และ 5 เป็น HIGH

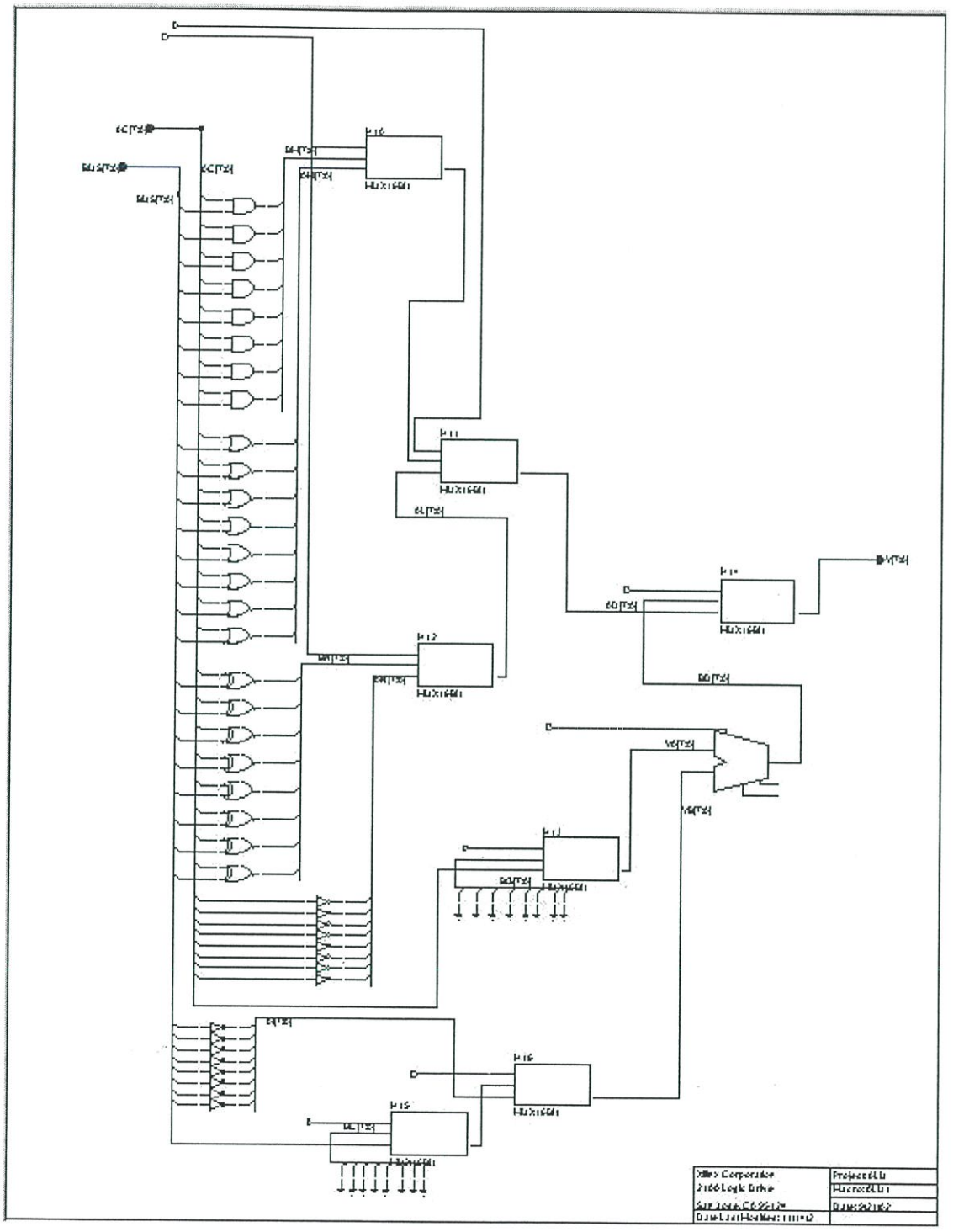
การทำงานของวงจร ALU ซึ่งเป็นหน่วยที่ทำหน้าที่ประมวลผลทางคณิตศาสตร์และลอจิกมีหน้าที่การทำงานดังตารางที่ 4.1

ALUS1	ALUS2	ALUS3	ALUS4	ALUS5	ALUS6	ALUS7	Y
0	0	0	0	X	X	0	0
1	0	0	0	X	X	0	AC
0	1	0	0	X	X	0	BUS
1	1	0	0	X	X	0	AC +BUS
0	0	1	0	X	X	0	$\overline{\text{BUS}}$
1	X	1	0	X	X	0	$\overline{\text{BUS}}$ + AC
0	1	1	0	X	X	0	$\overline{\text{BUS}}$
X	X	X	1	X	X	0	(XX) + 1
X	X	X	X	0	0	1	AC and BUS
X	X	X	X	1	0	1	AC or BUS
X	X	X	X	0	1	1	AC xor BUS
X	X	X	X	1	1	1	$\overline{\text{AC}}$

ตารางที่ 4.1 การทำงานของ ALU

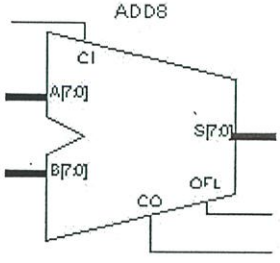
การทดลองที่ 1 การสร้าง ALU

จากการสร้าง Multiplex ในใบงานที่ 3 จะเป็นวงจรพื้นฐานในการสร้างวงจรประมวลผลทางคณิตศาสตร์หรือเรียกว่า ALU (Arithmetic and Logic Unit) จากรูปวงจรข้างบนจะเป็นวงจรทางคณิตศาสตร์และลอจิก ผู้ทดลองสามารถนำวงจรMultiplexที่สร้างขึ้นมาสร้างเป็นวงจร ALU สามารถสร้างได้ดังนี้



ภาพที่ 4.2 วงจร ALU ทั้งหมดที่สร้างขึ้น

อุปกรณ์ที่สำคัญในการสร้างสร้าง ALU ที่จะขาดไม่ได้เลยคือวงจรบวก ซึ่งจะทำหน้าที่บวกเลขฐานสองที่เข้ามา ในที่นี้เราจะใช้ ADD8 จาก Tool ที่มีมาให้ในวงจรได้เลย



ภาพที่ 4.3 วงจร Full Adder ขนาด 8 บิต

เป็นวงจรบวกเลขฐาน 2 ขนาด 8 บิต มีการบวกเลขเป็นแบบ 2 Complement ถ้ามี CI เป็น 1 การบวกถ้ามีค่าเกินจะเกิด Overflow การบวกโดยทั่วไปจะบวกกันเป็นเลขฐาน 2 ขนาด 8 บิต โดยสามารถบวกได้ตั้งแต่ 0 ถึง 255 ค่าของ CO ก็จะเป็น 1

เมื่อได้วงจร Multiplex และวงจร ADD8 แล้วก็มาทำการสร้างวงจร ALU ตามรูปที่ 4.1 โดยต่อวงจรตามรูปหรือสร้างตามแบบในรูปที่ 4.2 ก็ได้ ทดลองสร้างวงจรทำแบบตามใบงานที่ 1

คำถาม

1. ทดลองวงจรโดยการป้อนจำนวนค่าต่างๆเข้าไปเพื่อให้ ALU ประมวลผลออกมาได้ตามจริงหรือไม่
2. ลองเพิ่มความซับซ้อนของฟังค์ชั่นการคำนวณทางคณิตศาสตร์ให้มากขึ้น

ใบงานที่ 5

8 Bit CPU

วัตถุประสงค์การทดลอง

1. เพื่อให้ผู้ทดลองทราบถึงการทำงานของ CPU
2. ผู้ทดลองสามารถออกแบบโครงสร้างของ CPU ได้
3. ทราบถึงการทำงานในส่วนย่อยของ CPU
4. ต่อวงจร CPU พื้นฐานได้

วัสดุอุปกรณ์ที่ใช้งาน

1. โปรแกรม Xilinx Foundation 2.1I
2. ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. CB16CLE จำนวน 2 ตัว
5. FD8CE จำนวน 5 ตัว
6. FDCE จำนวน 1 ตัว
7. ALU จำนวน 1 ตัว
8. IOBUFF จำนวน 1 ตัว
9. BUFE16 จำนวน 1 ตัว
10. BUFE8 จำนวน 5 ตัว
11. NOR8 จำนวน 1 ตัว

การทำงาน

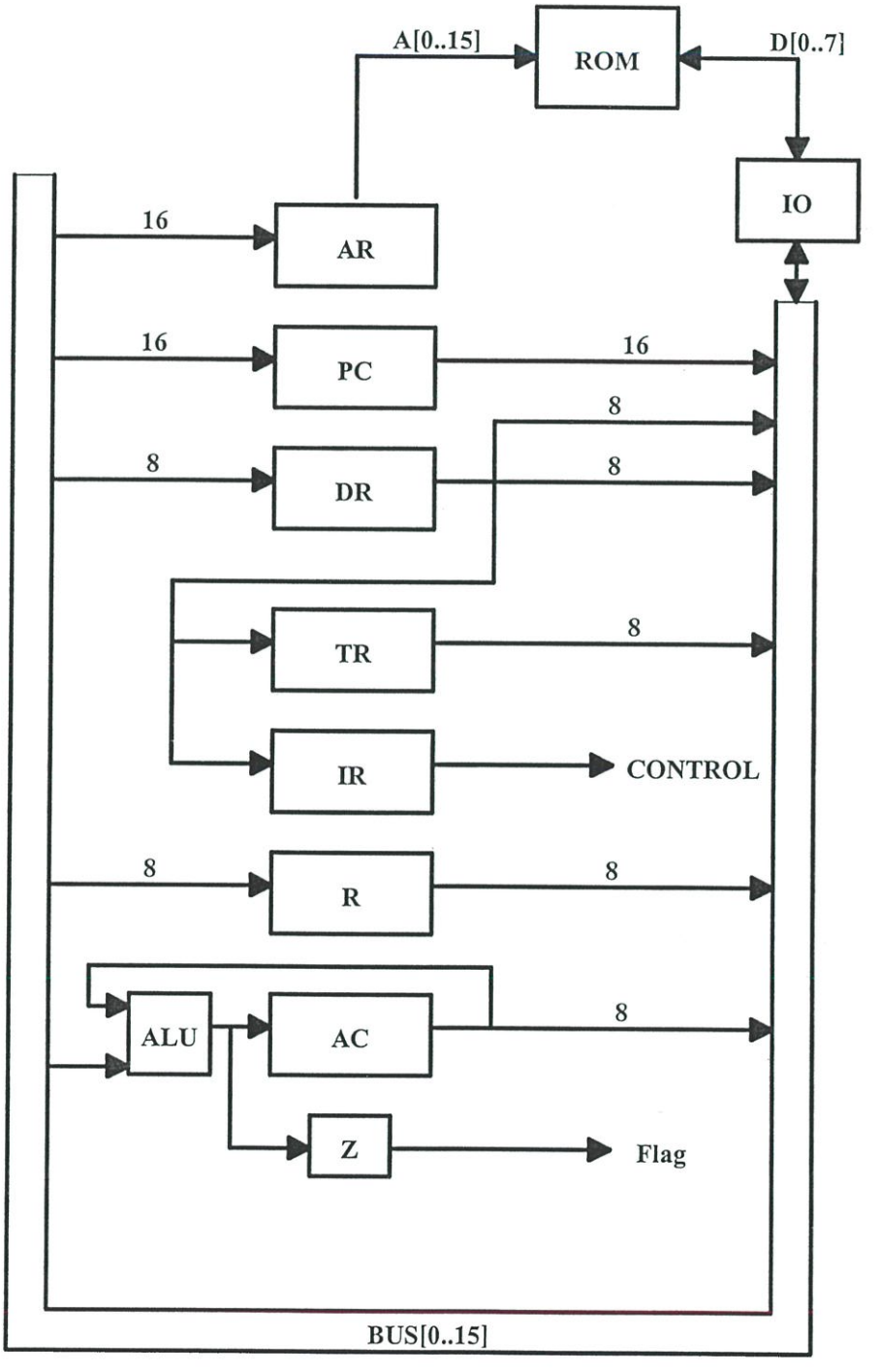
ในใบงานการทดลองนี้จะเป็นการทดสอบการออกแบบ CPU ขนาด 8 บิต ภายใน CPU จะประกอบไปด้วย BUS ขนาด 16 บิต, Data BUS ขนาด 8 บิต, 16บิต Address Register (AR), 16 Bit Program Counter (PC), 8 Bit Data Register (DR), 8 Bit Temporary Register (TR), 8 Bit Instruction Register, 8 Bit Register, 8 Bit Arithmetic and Logic Unit (ALU), 8 Bit Accumulator และ 1 Bit Zero Flag การทำงานของแต่ละภาคจะเป็นดังนี้

- BUS ขนาด 16 บิต ทำหน้าที่เป็นสายนำสัญญาณข้อมูลที่อยู่ภายในตัว CPU มีจำนวน 16 เส้น ในที่นี้จะกำหนดเป็น BUS[0..15] สายนำสัญญาณนี้จะต่ออยู่กับทุกภาคของวงจร

- Data BUS ขนาด 8 บิต เป็นสายนำสัญญาณข้อมูลจาก ROM เข้ามายังตัวของ CPU มีสายนำสัญญาณจำนวน 8 เส้น ในที่นี้จะกำหนดเป็น D[0..7]

- Address Register (AR) ขนาด 16 บิต ทำหน้าที่ชี้ตำแหน่งของข้อมูลในหน่วยความจำ (ROM)

- Program Counter (PC) ขนาด 16 บิต ทำหน้าที่นับจำนวนการทำคำสั่งของ CPU เมื่อ CPU ทำคำสั่งใดๆเสร็จสิ้นลง PC จะทำการนับเพิ่มค่าตัวมันเองขึ้นอีก 1 แล้วโหลดข้อมูลไปให้ AR เพื่อทำการอ้างตำแหน่งในหน่วยความจำต่อไป



ภาพที่ 5.1 โครงสร้างของ CPU ขนาด 8 บิต

- Data Register (DR) ขนาด 8 บิต เป็นรีจิสเตอร์ที่เก็บข้อมูลเพื่อให้ CPU ทำงานตามคำสั่งที่ได้รับเข้ามา ข้อมูลใน DR จะมีการโหลดไปยัง 8 บิตบน BUS[8..15] และ 8 บิตล่าง BUS[0..7] ของสายสัญญาณ BUS เพื่อไปยัง Address Register หรือ I/O Buffer

- Temporary Register (TR) ขนาด 8 บิต ทำหน้าที่เป็นที่เก็บข้อมูลรีจิสเตอร์ชั่วคราวเพื่อรอทำการส่งไปยัง Address Register เพื่ออ้างตำแหน่งข้อมูลต่อไปในหน่วยความจำ

- Instruction Register (IR) ขนาด 8 บิต ทำหน้าที่รับคำสั่งจาก DRเพื่อส่งไปยังภาค Control Unit ทำงานตาม code คำสั่งที่ส่งให้

- Register (R) ขนาด 8 บิต ทำหน้าที่เก็บค่าที่จะส่งมาเก็บไว้เพื่อรอทำการประมวลผลทางคณิตศาสตร์ และลอจิก เพื่อรอการรับข้อมูลจาก ALU ที่จะทำการประมวลผลหรือแสดงผลต่อไป

- Arithmetic and Logic Unit (ALU) ขนาด 8 บิต เป็นภาคที่ทำหน้าที่ประมวลผลทางด้านคณิตศาสตร์ และลอจิก จะรับข้อมูลจาก BUS เพื่อเปรียบเทียบกับ AC แล้วได้ค่าผลลัพธ์เป็นเลขฐาน 2

- Accumulator (AC) ขนาด 8 บิต ทำหน้าที่เก็บค่าที่คำนวณได้จาก ALU เพื่อรอการประมวลผล หรือรอการแสดงผลต่อไป

- Zero Flag (Z) ขนาด 1 บิต ทำหน้าที่เก็บค่า flag 0 ที่ได้จากการคำนวณในภาค ALU โดยที่ค่าของ ALU มีค่า 00 ค่าของแฟ็ลกที่แสดงจะเป็น HIGH

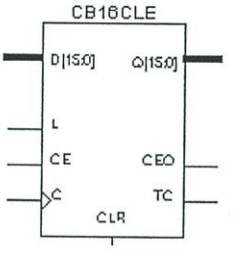
- Input / Output Buffer (IOBUFF) เป็นInput Output ขนาด 8 บิต ทำหน้าที่รับและส่งข้อมูลในตัวเดียวกัน โดยจะรับข้อมูลจาก ROM เข้ามาให้ CPU เพื่อทำการประมวลผล และส่งข้อมูลออกไปยังตัวแสดงผลเพื่อแสดงผลการทำงานของตัว CPU

การทดลองที่ 1 การสร้าง CPU โดยใช้ Schematic

16 bit Loadable Caseadable Binary Counter with Clock Enable and Asynchronous Clear (CB16CLE) เป็นอุปกรณ์ขนาด 16 บิต สามารถโหลดข้อมูล นับข้อมูลเลขฐานสองแบบซิงโครนัส ที่ขา CLR จะทำการResetข้อมูลแบบอะซิงโครนัสจะต้องการ HIGH ข้อมูลที่รับเข้ามาจะถูกReset ทันที และที่ขา TC (Terminal Count) ทางOutputจะเป็นลอจิก 0 เมื่อมีสัญญาณนาฬิกาเข้ามาข้อมูลที่ขาInput D[15..0] จะโหลดมายังวงจรภายใน เมื่อสัญญาณนาฬิกาเปลี่ยนแปลงจาก LOW – HIGH และให้Input L เป็น HIGH ข้อมูลจะถูกโหลดออกมายังOutput Q[15..0] ถ้า CE เป็น HIGH และสัญญาณนาฬิกาเปลี่ยนจาก LOW เป็น HIGH ค่าของOutput Q[15..0]จะเพิ่มขึ้น 1 การทำงานของภาคนี้แสดงดังตารางที่ 5.1

Inputs					Outputs		
CLR	**L**	**CE**	**C**	**D15 – D0**	**Q15 – Q0**	**TC**	**CEO**
1	X	X	X	X	0	0	0
0	1	X	↑	D	D15 – D0	TC	CEO
0	0	0	X	X	NO CHG	NO CHG	0
0	0	1	↑	X	INC	TC	CEO

ตารางที่ 5.1 แสดงการทำงานของ CB16CLE



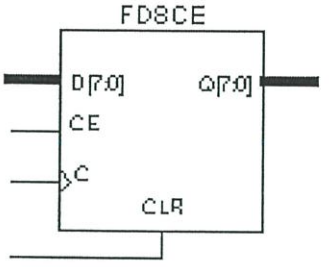
ภาพที่ 5.2 CB16CLE

8 Bit Data Register with Clock Enable and Asynchronous Clear (FD8CE) เป็น register ขนาด 8 บิต เมื่อขา Clock Enable (CE) เป็น High และขา Asynchronous Clear (CLR) เป็น LOW ข้อมูลทางInput D[7..0] จะโหลดเข้ามายัง Q[7..0] เมื่อสัญญาณนาฬิกาเปลี่ยนจาก LOW – HIGH เมื่อขา CLR เป็น HIGH จะไม่สนใจทางInputขาต่างๆ และจะทำการOutput Reset Q[7..0] เป็น 0 การทำงานของวงจรนี้แสดงได้ดังตารางที่ 5.2

Input				Output
CLR	**CE**	**D7 – D0**	**C**	**Q7 – Q0**
1	X	X	X	0
0	0	X	X	No Chg
0	1	Dn	↑	Dn

Dn = Input Data

ตารางที่ 5.2 แสดงการทำงานของ FD8CE

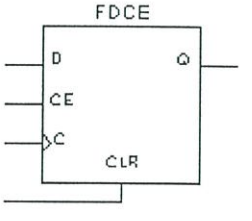


ภาพที่ 5.3 FD8CE

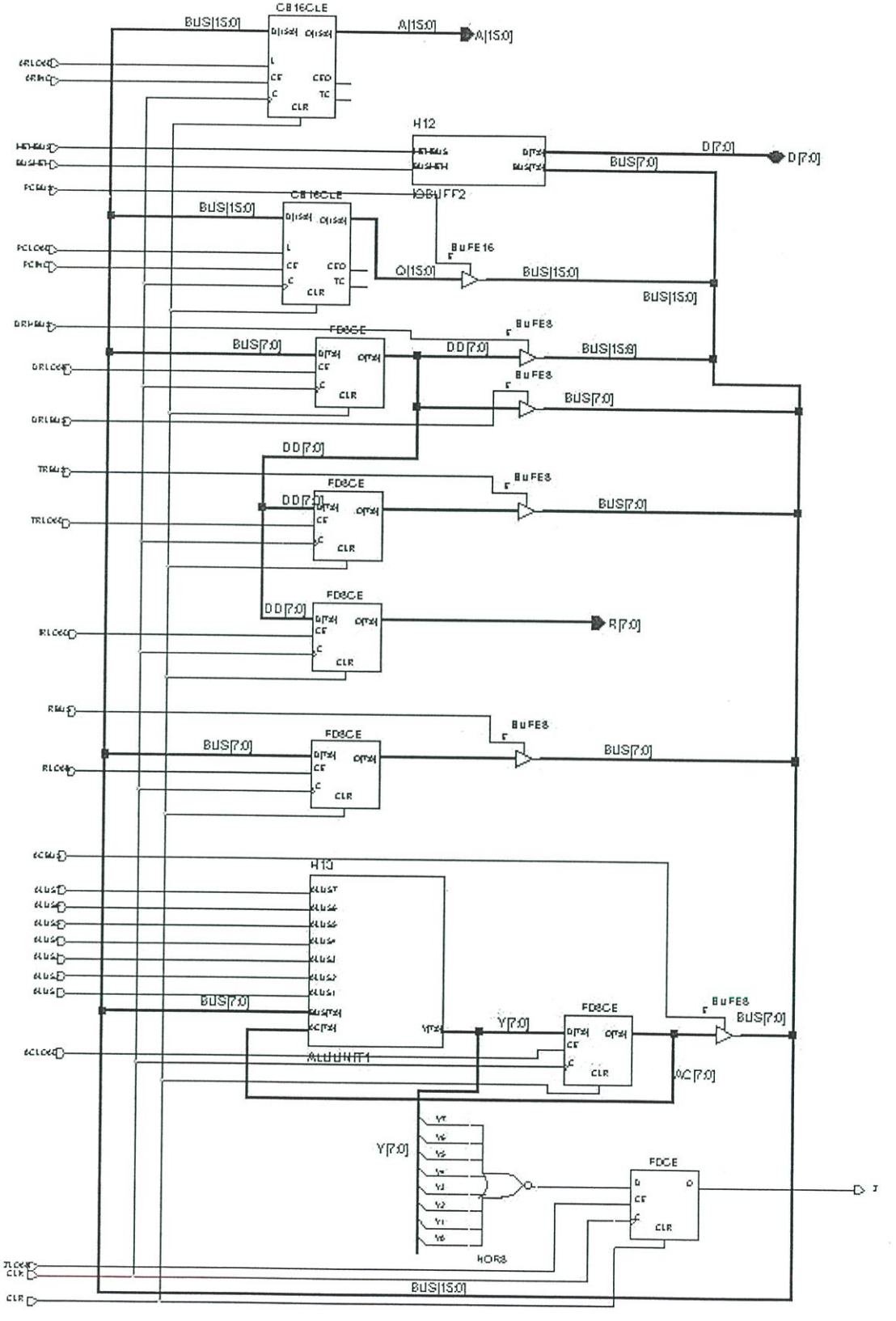
D Flip – Flop with Clock Enable and Asynchronous Clear (FDCE) เป็น D Flip - Flop เมื่อขา Asynchronous Clear (CLR) เป็น LOW ข้อมูลทางอินพุท D จะโหลดมายัง Q เมื่อสัญญาณนาฬิกาเปลี่ยนจาก LOW- HIGH เมื่อขา CLR เป็น HIGH จะไม่สนใจขาต่างๆทางInput และจะทำการOutput Reset Q ให้เป็น 0 การทำงานแสดงได้ดังตารางที่ 5.3

Input				**Output**
CLR	**CE**	**D**	**C**	**Q**
1	X	X	X	0
0	0	X	X	No Chg
0	1	1	↑	1
0	1	0	↑	0

ตารางที่ 5.3 แสดงการทำงานของ FDCE



ภาพที่ 5.4 FDCE



ภาพที่ 5.5 โครงสร้างของ CPU

หมายเหตุ

จากทฤษฎีที่กล่าวมาข้างต้นของใบงานจะกำหนดให้ภาคต่างๆของ CPU จะใช้อุปกรณ์ดังนี้

- Address Register (AR) ใช้ CB16CLE
- Program Counter (PC) ใช้ CB16CLE
- Data Register (DR) ใช้ FD8CE
- Temporary Register (TR) ใช้ FD8CE
- Instruction Register (IR) ใช้ FD8CE
- Register (R) ใช้ FD8CE
- Accumulator (AC) ใช้ FD8CE
- Zero Flag (Z) ใช้ FDCE

หมายเหตุ ภาค ALU และ IOBUFF ให้ใช้อุปกรณ์จากใบงานที่ผ่านมา

ทดลองต่อวงจรตามรูปที่ 5.4

คำถาม

1. ทดลองต่อวงจรแล้วโปรแกรม Configuration ลง FPGA ทดสอบการทำงาน
2. การทำงานของภาคต่างๆในวงจรทำงานอย่างไรบ้าง
3. ภาคใดใน CPU ทำหน้าที่ส่งMicro code ไปให้หน่วยของ Control Unit

ใบงานที่ 6

Control Unit

วัตถุประสงค์การทดลอง

1. เพื่อเรียนรู้การออกแบบวงจรโดยใช้ VHDL
2. ทราบถึงการทำงานของหน่วย Control Unit
3. เรียนรู้การทำงานของวงจร Timer
4. ออกแบบวงจร Time Decoder ได้

วัสดุอุปกรณ์ที่ใช้งาน

1. โปรแกรม Xilinx Foundation 2.1I
2. ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. ORGATE 1 ตัว (OR2)
5. ANDGATE 1 ตัว (AND2)
6. INVERTER 1 ตัว (INV)
7. D-Flip flop 1 ตัว (FDC_1)

การทำงาน

CPU จะทำงานได้นั้น จะต้องมีการควบคุมการทำงานให้เป็นไปตามขั้นตอนต่างๆ การควบคุมการทำงานนั้นจำเป็นที่จะต้องใช้หน่วยสำคัญๆอีกหน่วยคือ Control Unit ซึ่งทำหน้าที่รับระหัสคำสั่งจาก CPU Unit มาประมวลผลและทำตามระหัสคำสั่งนั้นจนเสร็จสิ้นกระบวนการทำงาน ในภาค Control Unit นี้เราจะใช้ภาษา VHDL ในการเขียน ซึ่ง VHDL ย่อมาจากคำว่า VHSIC Hardware Description Language (VHSIC : Very High Speed Integrated Circuit) ซึ่งเป็นภาษาโปรแกรมในระดับสูงที่ใช้ในการออกแบบอุปกรณ์ต่างๆทางระบบดิจิตอล ตัวของภาษาเองสามารถบรรยายถึงพฤติกรรมในการทำงานในรูปแบบของลำดับขั้นตอนต่างๆจากบนลงล่าง มีดังนี้

1. สร้างข้อกำหนดตามความต้องการ วิเคราะห์ระบบเพื่อหาหลักการในการแก้ปัญหา
2. เขียนรูปแบบของระบบที่ต้องการโดยใช้ VHDL เพื่อจำลองการทำงาน
3. สังเคราะห์วงจรจากภาษา VHDL ให้อยู่ในระดับGate และ Netlist เพื่อการประยุกต์ได้
4. จำลองการทำงาน ตรวจสอบความถูกต้องโดยพิจารณาในเรื่องของเวลา
5. สร้างวงจรจริง
6. ตรวจสอบการทำงานและความถูกต้องครั้งสุดท้าย

7. นำวงจรที่ออกแบบไว้ไปประกอบเข้ากับวงจรอื่นๆให้เป็นระบบที่สมบูรณ์

โครงสร้างของภาษา VHDL

ภาษา VHDL ประกอบด้วยส่วนสำคัญดังนี้

1. Entity บอกถึงการเชื่อมต่อPortต่างๆพร้อมทั้งบอกชนิด
2. Architecture บอกถึงสถาปัตยกรรมที่อยู่ภายใน Entity
3. Process ขั้นตอนการทำงาน
4. Configuration ประกาศเพื่อเลือกในการเชื่อมต่อ Architecture กับ Entity
5. Package เป็นที่เก็บข้อมูลที่มีการใช้เป็นประจำ
6. Library เป็นส่วนที่ทำการเก็บค่ามาตรฐานต่างๆ

โครงสร้างของภาษา VHDL ที่สำคัญมีสองส่วน ส่วนแรกคือ Entity และ Architecture

โครงสร้างของ Entity

```
entity identifier is
[generic (generic_list)][port (port_list);]
[begin
        {passive_concurrent_Statement}]
end [entity][entity_simple_name];
```

โครงสร้างของ Architecture

```
Architecture identifier of entity_name is
Architecture_declarative_part
Begin
All_Concurrent_statement
End [Architecture][ Architecture_simple_name];
```

ตัวอย่างการเขียน VHDL

```
library IEEE
use IEEE. Std_logic_1164.all;
entity andgate is
        port(
                a, b : in std_logic;
```

```
        y : out std_logic );
    end andgate;
    Architecture andgate_arch of andgate is
    Begin
        Y <= a and b;
    End andgate_arch;
```

จากตัวอย่างโปรแกรมด้านบนเป็นการเขียนโปแกรมการสร้าง And Gate ขึ้นมา 1 ตัว โครงสร้างนั้นจะต้องประกาศ Library เป็นมาตรฐาน IEEE จากนั้นโครงสร้างจะเขียนได้แบบโครงสร้างโปรแกรมในตอนต้น

สไตล์การเขียนโครงสร้าง VHDL

1. Behavioural Style architecture เป็นโครงสร้างที่มองเป็นอัลกอลิทึ่ม

```
Architecture behavioural of Function is
Begin
    Process (A, B, C) begin
        If (A = '0' and B = '0') then
            Y <= '1';
        Elsif C = '1'then
            Y <= '1';
        Else
            Y <= '0';
        End if;
    End Process;
End behavioral;
```

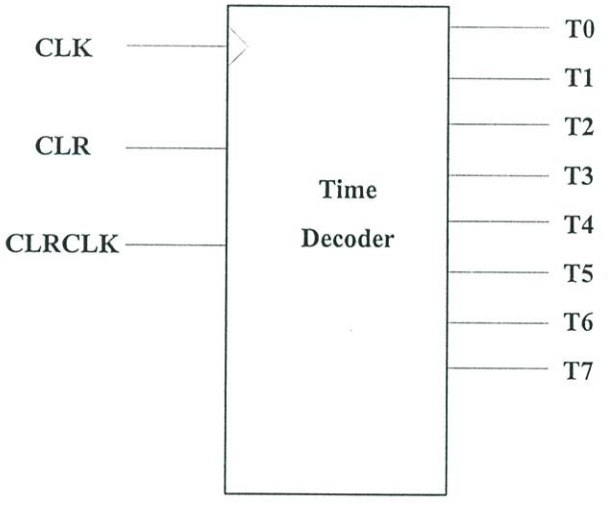
2. Dataflow เป็นการเขียนแบบการทำงานโดยใช้คำสั่งการทำงานครั้งเดียวแล้วได้ผลลัพธ์ออกมาเลย

```
    architecture dataflow of Function is
    begin
        Y <= '1' when(A ='0' AND B = '0') OR (C = '1');
        Else '0';
    End dataflow;
```

3. Structure Style เป็นการเขียนแบบเป็นโครงสร้าง

```
architecture structure of function is
Signal notA, notB, andSignal : Std_logic;
Begin
        I1 : inverter port map (I => A, 0 => notA);
        I2 : inverter port map (I => B, 0 => notB);
        A1 :and 2 port map (I => not A , I2 => not B,Y => and Signal);
        O1 : or 2 port map (I1 => and Signal, I2 => C, y = Y);
End structure;
```

การทดลองที่ 1 การสร้างวงจร Time Decoder โดยใช้ VHDL



ภาพที่ 6.1 Time Decoder

การทำงานของวงจร วงจรนี้เป็นวงจร Decode สัญญาณนาฬิกา เมื่อสัญญาณนาฬิกาเข้ามาลูกแรก T0 จะมีสถานะเป็น High สัญญาณนาฬิกาลูกที่ 2 เข้ามา T1 = High ลูกต่อมา T3 = High และต่อๆไปจนถึง T7 จากนั้นก็วนกลับมาเป็น T0 อีกครั้ง จะวนอย่างนี้เรื่อยๆไปจนกว่าจะมีการ Reset ที่ขา CLR และ CLRCLK ที่ขา T0 จะเป็น High หรือกลับสู่สภาวะเริ่มต้น

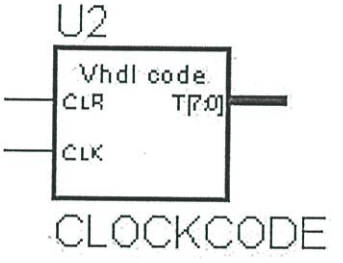
VHDL ที่ใช้ในการเขียนมีดังนี้

```
library IEEE;
use IEEE.std_logic_1164.all;
```

```
entity CLOCK is
        port (
                CLK: in STD_LOGIC;
                CLR: in STD_LOGIC;
                T: out STD_LOGIC_VECTOR (7 downto 0)
                );
        end CLOCK;
architecture CLOCK_arch of CLOCK is
signal Q,count :integer range  0 to  9;
begin
        process(CLR,CLK)
        begin
                if(CLR='1')then
                Q<=0;
                elsif(CLK'event and CLK='1')then
                        if(Q=7)then
                        Q<=0;
                        else
                        Q  <=Q+1;
                        end if;
                end  if;
        end process;

process(Q)
begin
        if(Q=0)then
        T<="00000001";
        elsif(Q=1)then
        T<="00000010";
        elsif(Q=2)then
        T<="00000100";
```

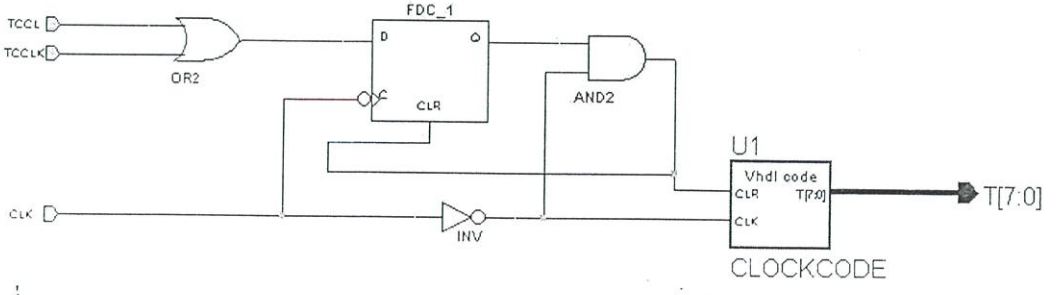
```
            elsif(Q=3)then
            T<="00001000";
            elsif(Q=4)then
            T<="00010000";
            elsif(Q=5)then
            T<="00100000";
            elsif(Q=6)then
            T<="01000000";
            else
            T<="10000000";
            end if;
        end process;
end CLOCK_arch;
```

ทำการสร้างสัญลักษณ์จะได้ดังรูปที่ 6.2



ภาพที่ 6.2 Clock Code

จากนั้นทำการต่อวงจรดังรูปที่ 6.3



ภาพที่ 6.3 Time Code

การทำงานของวงจรจะแสดงได้ดังตารางที่ 6.1

TCCL	TCCLK	CLK	T0	T1	T2	T3	T4	T5	T6	T7
0	0	↓00	1	0	0	0	0	0	0	0
0	0	↓T0	0	1	0	0	0	0	0	0
0	0	↓T1	0	0	1	0	0	0	0	0
0	0	↓T2	0	0	0	1	0	0	0	0
0	0	↓T3	0	0	0	0	1	0	0	0
0	0	↓T4	0	0	0	0	0	1	0	0
0	0	↓T5	0	0	0	0	0	0	1	0
0	0	↓T6	0	0	0	0	0	0	0	1
0	0	↓T7	1	0	0	0	0	0	0	0
0	0	↓T8	0	1	0	0	0	0	0	0
1	0	↓T9	1	0	0	0	0	0	0	0
0	1	↓T9	1	0	0	0	0	0	0	0
1	1	↓T9	1	0	0	0	0	0	0	0

จากตารางการทำงานของวงจรจะได้วงจร Time Decoder เพื่อทำการ Decode สัญญาณนาฬิกามาทำการควบคุมการทำงานให้กับภาค Control Unit การทำงานนั้นเมื่อไม่มีสัญญาณนาฬิกาเข้ามา T0 จะเป็น High เมื่อมีสัญญาณนาฬิกาเข้ามาจาก High – Low ค่าของ T1 เป็น High ถ้าสัญญาณนาฬิกาเข้ามาเป็นPuleไปเรื่อยๆ T2 , T3, T4 จนถึง T7 จะเป็น High เรียงกันตามลำดับและจะวนไปเริ่มต้นที่ T0 ใหม่เป็นเช่นนี้เรื่อยไป เมื่อขา CLR และ TCCLK เป็น High จะเป็นการResetการทำงานใหม่โดยที่ T0 จะกลับมาเป็น High อีก ซึ่ง T0 จะเป็นค่าเริ่มต้นของการทำงานทุกครั้งในการทำงานแต่ละ 1 รอบคำสั่ง

คำถาม

1. จงสร้างวงจร Counter ขนาด 8 บิต
2. ทดสอบการทำงานลองป้อนสัญญาณนาฬิกาเข้าไปแล้วอธิบายการทำงาน

ใบงานที่ 7

วงจร Decoder

วัตถุประสงค์การทดลอง

1. เพื่อทราบถึงการทำงานของภาควงจร Decoder
2. ผู้ทดลองจะได้รับความรู้ในการเขียน VHDL
3. สามารถออกแบบวงจร Decoder ได้
4. เพื่อสามารถประยุกต์ไปใช้ในงานต่างๆได้
5. เพื่อที่จะพัฒนาการออกแบบวงจรโดยใช้ VHDL

วัสดุอุปกรณ์ที่จะใช้งาน

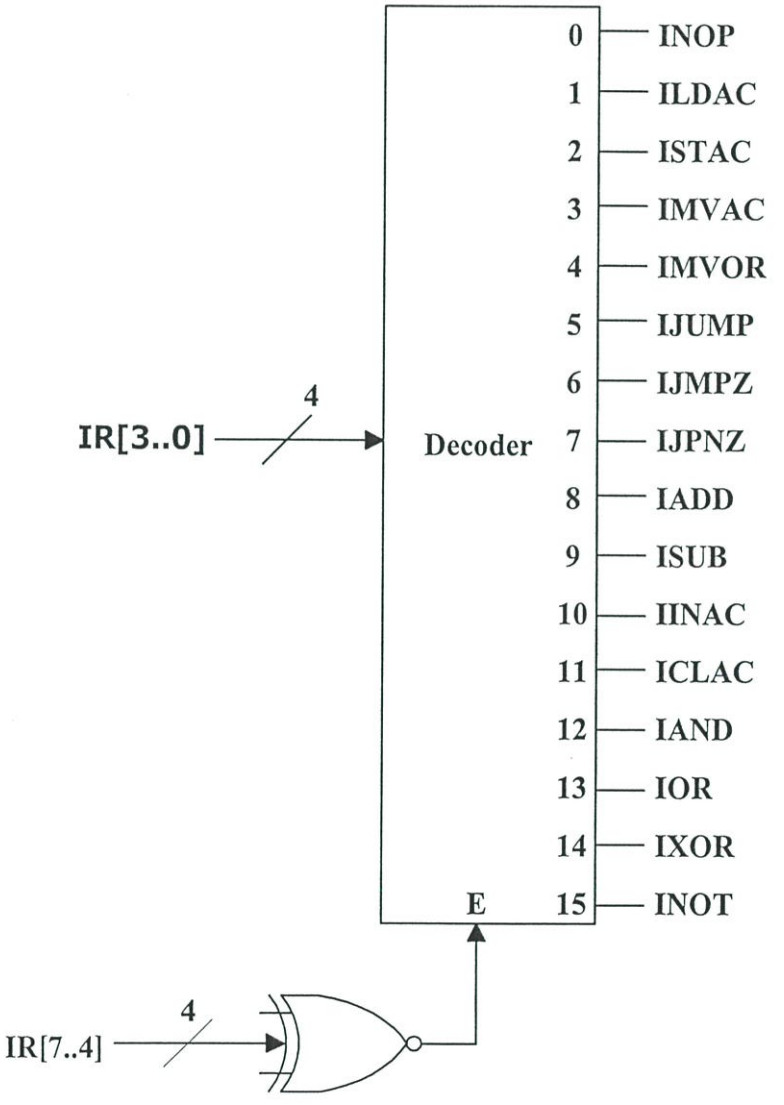
1. โปรแกรม Xilinx Foundation 2.1I
2. ชุดทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. Decoder 1 ตัว
5. Time Code 1 ตัว(จากใบงานที่ 6)
6. Stategen 1 ตัว
7. XNOR 1 ตัว

การทำงาน

ภาค Decoder นี้มีหน้าที่แปลงสัญญาณจากสัญญาณนาฬิกา ร่วมกับสัญญาณควบคุมที่ส่งออกมาจากภาค CPU Unit เพื่อทำการควบคุมการทำงานของ CPU ทั้งหมด โดยที่ ภาค Decoder นี้จะแบ่งออกได้หลายวงจรซึ่งการทำงานในแต้ละวงจรก็จะแตกต่างกันไปด้วย ขึ้นอยู่กับหน้าที่การทำงานในแต่ละวงจร ซึ่งการทำงานนั้นมีรายละเอียดดังนี้

การทดลองที่ 1 วงจร Decoder

วงจร Decoder ทำหน้าที่ถอดระหัสคำสั่งของ CPU ออกมาเพื่อแปลงเป็นสัญญาณลอจิกทางขา Output ที่ออกมาดังรูป



ภาพที่ 7.1 Decoder

การทำงานจะแสดงได้ดังตารางที่ 7.1

INPUT		OUTPUT							
IR	E	INOP	ILDAC	ISTAC	IMVAC	IMVOR	IJUMP	IJMPZ	IJPNZ
0000	1	1	0	0	0	0	0	0	0
0001	1	0	1	0	0	0	0	0	0
0010	1	0	0	1	0	0	0	0	0
0011	1	0	0	0	1	0	0	0	0
0100	1	0	0	0	0	1	0	0	0
0101	1	0	0	0	0	0	1	0	0
0110	1	0	0	0	0	0	0	1	0
0111	1	0	0	0	0	0	0	0	1
1000	1	0	0	0	0	0	0	0	0
1001	1	0	0	0	0	0	0	0	0
1010	1	0	0	0	0	0	0	0	0
1011	1	0	0	0	0	0	0	0	0
1100	1	0	0	0	0	0	0	0	0
1101	1	0	0	0	0	0	0	0	0
1110	1	0	0	0	0	0	0	0	0
1111	1	0	0	0	0	0	0	0	0
XXXX	0	0	0	0	0	0	0	0	0

ตารางที่ 7.1 (ก) การทำงานของภาค Decoder

INPUT		OUTPUT							
IR	E	IADD	ISUB	IINAC	ICLAC	IAND	IOR	IXOR	INOT
0000	1	0	0	0	0	0	0	0	0
0001	1	0	0	0	0	0	0	0	0
0010	1	0	0	0	0	0	0	0	0
0011	1	0	0	0	0	0	0	0	0
0100	1	0	0	0	0	0	0	0	0
0101	1	0	0	0	0	0	0	0	0
0110	1	0	0	0	0	0	0	0	0
0111	1	0	0	0	0	0	0	0	0
1000	1	1	0	0	0	0	0	0	0
1001	1	0	1	0	0	0	0	0	0
1010	1	0	0	1	0	0	0	0	0
1011	1	0	0	0	1	0	0	0	0
1100	1	0	0	0	0	1	0	0	0
1101	1	0	0	0	0	0	1	0	0
1110	1	0	0	0	0	0	0	1	0
1111	1	0	0	0	0	0	0	0	1
XXXX	0	0	0	0	0	0	0	0	0

ตารางที่ 7.1 (ข) การทำงานของภาค Decoder

จากตารางการทำงานของภาค Decoder จะเห็นว่าวงจรจะรับสัญญาณจาก IR มาประมวลผล เพื่อแสดงออกทาง Output ให้ CPU ทำงานตามคำสั่งที่ออกมา เช่น

ILDAC เป็นคำสั่งที่สั่งให้ CPU โหลดข้อมูลเข้ามาไว้ใน Accumulator

IADD เป็นคำสั่งที่สั่งให้ CPU บวกข้อมูลทางคณิตศาสตร์

วงจร Decoder มีการเขียนดังนี้

```
library IEEE;
use IEEE.std_logic_1164.all;
entity DECODER is
  port (
        IR: in STD_LOGIC_VECTOR (3 downto 0);
```

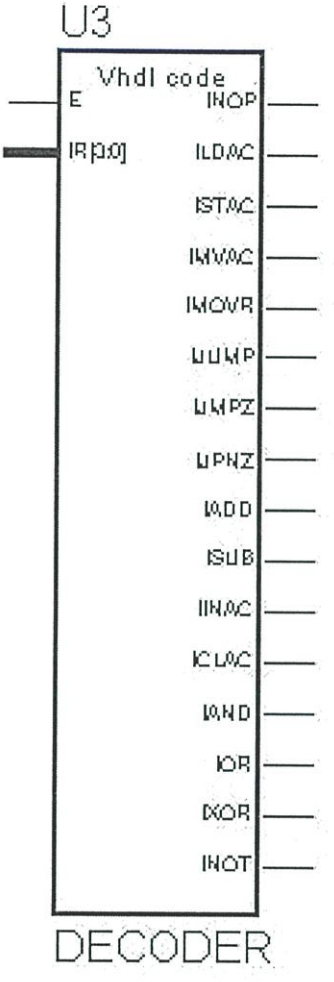
```
        E: in STD_LOGIC;
        INOP: out STD_LOGIC;
        ILDAC: out STD_LOGIC;
        ISTAC: out STD_LOGIC;
        IMVAC: out STD_LOGIC;
        IMOVR: out STD_LOGIC;
        IJUMP: out STD_LOGIC;
        IJMPZ: out STD_LOGIC;
        IJPNZ: out STD_LOGIC;
        IADD: out STD_LOGIC;
        ISUB: out STD_LOGIC;
        IINAC: out STD_LOGIC;
        ICLAC: out STD_LOGIC;
        IAND: out STD_LOGIC;
        IOR: out STD_LOGIC;
        IXOR: out STD_LOGIC;
        INOT: out STD_LOGIC
        );
end DECODER;
architecture DECODER_arch of DECODER is
begin
 process(IR,E)
begin
if(E='1')then
case IR is
--0
when"0000"=>INOP<='1';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--1
when"0001"=>INOP<='0';ILDAC<='1';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
```

```
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--2
when"0010"=>INOP<='0';ILDAC<='0';ISTAC<='1';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--3
when"0011"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='1';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--4
when"0100"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='1';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--5
when"0101"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='1';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--6
when"0110"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='1';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--7
when"0111"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='1';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--8
when"1000"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='1';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--9
when"1001"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='1';IINAC<='0';
```

```
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--10
when"1010"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='1';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--11
when"1011"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='1';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
--12
when"1100"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='1';IOR<='0';IXOR<='0';INOT<='0';
--13
when"1101"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='1';IXOR<='0';INOT<='0';
--14
when"1110"=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='1';INOT<='0';
--others 15
when others=>INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='1';
end case;
 else
INOP<='0';ILDAC<='0';ISTAC<='0';IMVAC<='0';IMOVR<='0';
IJUMP<='0';IJMPZ<='0';IJPNZ<='0';IADD<='0';ISUB<='0';IINAC<='0';
ICLAC<='0';IAND<='0';IOR<='0';IXOR<='0';INOT<='0';
end  if;
end  process;
```

end DECODER_arch;

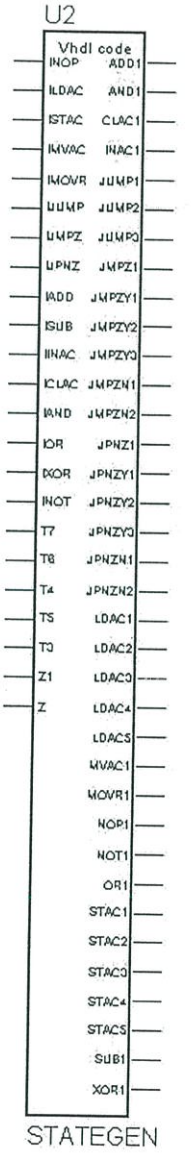
เมื่อแปลง Code แล้วจะได้สัญลักษณ์ดังรูป



ภาพที่ 7.2 Decoder

การทดลองที่ 2 วงจร State Generator

เป็นวงจรที่ทำหน้าที่แปลงสัญญาณจากภาค Decoder และภาค Time decoder มาแปลงสัญญาณให้เป็นคำสั่งต่างๆที่จะควบคุม CPU ให้ทำงาน ตามสัญญาณที่รับเข้ามา และทำงานให้ถูกต้องตามสัญญาณนาฬิกาที่ได้



ภาพที่ 7.3 State Generator

จากรูปที่ 7.3 แสดง State Generator ที่ผ่านการแปลงจาก VHDL มาแล้วซึ่งการทำงานนั้นจะแสดงได้ดังตารางที่ 7.2

OUTPUT	INPUT
NOP1	INOP ^ T3
LDAC1	ILDAC ^ T3
LDAC2	ILDAC ^ T4
LDAC3	ILDAC ^ T5
LDAC4	ILDAC ^ T6
LDAC5	ILDAC ^ T7
STAC1	ISTAC ^ T3
STAC2	ISTAC ^ T4
STAC3	ISTAC ^ T5
STAC4	ISTAC ^ T6
STAC5	ISTAC ^ T7
MVAC1	IMVAC ^ T3
MOVR1	IMVOR ^ T3
JUMP1	IJUMP ^ T3
JUMP2	IJUMP ^ T4
JUMP3	IJUMP ^ T5
JMPZ1	IJMPZ ^ T3
JMPZY1	IJMPZ ^ Z ^ T4
JMPZY2	IJMPZ ^ Z ^ T5
JMPZY3	IJMPZ ^ Z ^ T6
JMPZN1	IJMPZ ^ Z1 ^ T4
JMPZN2	IJMPZ ^ Z1 ^ T5
JPNZ1	IJPNZ ^ T3
JPNZY1	IJPNZ ^ Z1 ^ T4
JPNZY2	IJPNZ ^ Z1 ^ T5
ADD1	IADD ^ T3
SUB1	ISUB ^ T3
INAC1	IINAC ^ T3
CLAC1	ICLAC ^ T3
AND1	IAND ^ T3
OR1	IOR ^ T3

OUTPUT	INPUT
XOR1	IXOR ^ T3
NOT1	INOT ^ T3

**หมายเหตุ สัญลักษณ์ '^' แทนลอจิก AND

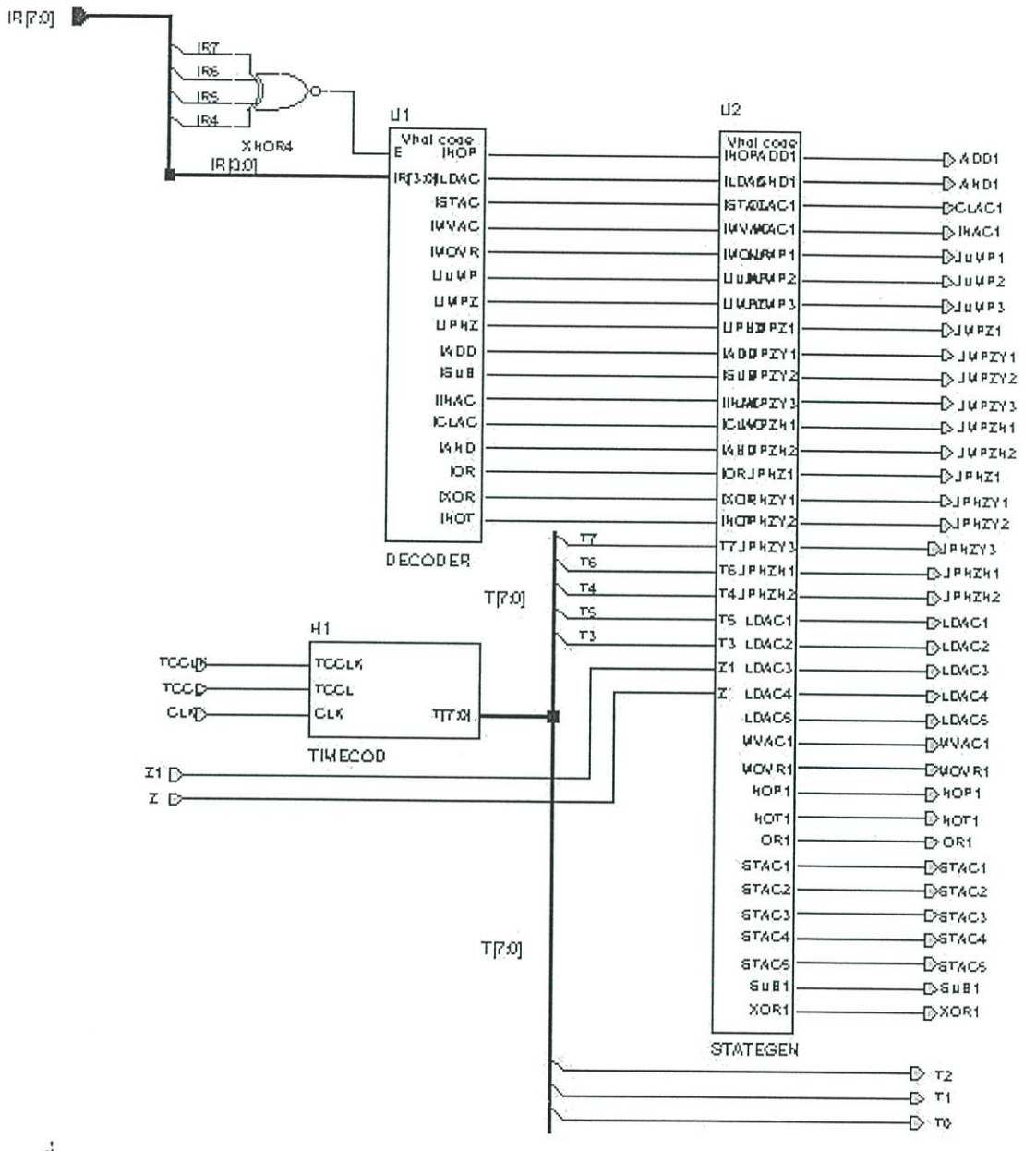
เขียน Code VHDL ตามตัวอย่าง

```
entity STATEGEN is
   port (
      T3,T4,T5,T6,T7,INOP,ILDAC,ISTAC,IMVAC,IMOVR,IJUMP,IJMPZ,
      IJPNZ,IADD,ISUB,IINAC,ICLAC,IAND,IOR,IXOR,INOT,Z,Z1: in BIT;
      NOP1,LDAC1,LDAC2,LDAC3,LDAC4,LDAC5,STAC1,STAC2,STAC3,
      STAC4,STAC5,MVAC1,MOVR1,JUMP1,JUMP2,JUMP3,JMPZ1,JMPZY1,JMPZY2,
      JMPZY3,JMPZN1,JMPZN2,JPNZ1,JPNZY1,JPNZY2,JPNZY3,JPNZN1,JPNZN2,
      ADD1,SUB1,INAC1,CLAC1,AND1,OR1,XOR1,NOT1: out BIT
   );
end STATEGEN;
architecture STATEGEN_arch of STATEGEN is
begin
        NOP1<=INOP  AND  T3;
        LDAC1<= ILDAC AND T3;
        LDAC2<=ILDAC AND  T4;
        LDAC3<=ILDAC AND T5;
        LDAC4<=ILDAC AND T6;
        LDAC5<=ILDAC AND T7;
        STAC1<=ISTAC AND T3;
        STAC2<=ISTAC AND T4;
        STAC3<=ISTAC AND T5;
        STAC4<=ISTAC AND T6;
        STAC5<=ISTAC AND T7;
        MVAC1<=IMVAC  AND T3;
        MOVR1<=IMOVR AND T3;
```

```
        JUMP1<=IJUMP AND T3;
        JUMP2<=IJUMP AND T4;
        JUMP3<=IJUMP AND T5;
        JMPZ1<=IJMPZ AND T3;
        JMPZY1<=IJMPZ  AND Z AND T4;
        JMPZY2<=IJMPZ AND Z AND T5;
        JMPZY3<=IJMPZ AND Z AND T6;
        JMPZN1<=IJMPZ AND Z1 AND T4;
        JMPZN2<=IJMPZ AND Z1 AND T5;
        JPNZ1<=IJPNZ AND T3;
        JPNZY1<=IJPNZ AND Z1 AND T4;
        JPNZY2<=IJPNZ AND Z1  AND T5;
        JPNZY3<=IJPNZ AND Z1  AND T6;
        JPNZN1<=IJPNZ  AND Z AND T4;
        JPNZN2<=IJPNZ  AND Z AND T5;
        ADD1<=IADD  AND T3;
        SUB1 <=ISUB  AND T3;
        INAC1<=IINAC AND T3;
        CLAC1<=ICLAC AND T3;
        AND1<=IAND AND  T3;
        OR1<=IOR  AND  T3;
        XOR1<=IXOR AND T3;
        NOT1<=INOT  AND  T3;
end STATEGEN_arch;
```

การทดลองที่ 3 การสร้างภาค Microsequenser1

ภาค Microsequenser1 ทำหน้าที่คอยควบคุมการทำงานในการทำคำสั่งของ CPU ซึ่งมีการต่อวงจรดังนี้



ภาพที่ 7.4 วงจรของภาค Microsequenser1

ต่อวงจรตามรูปที่ 7.4

คำถาม

1. จากวงจรในรูปที่ 7.4 ทดลองกำหนดขาแล้วโปรแกรม Configuration ลงบน FPGA เพื่อทดสอบการทำงาน
2. อธิบายการทำงานของวงจรในการทดลองที่ 3

3. วงจร Decoder ในการทดลองที่ 1 เมื่อเราตองการให้ Reset แล้ว Output ที่ออกมามีค่าเป็น 0 จะแก้ไข VHDL อย่างไร
4. จากใบงานนี้ผู้ทดลองคิดว่าสามารถนำความรู้ไปสร้างวงจร Decode แบบไหนได้อีก

ใบงานที่ 8

Microsequenser2

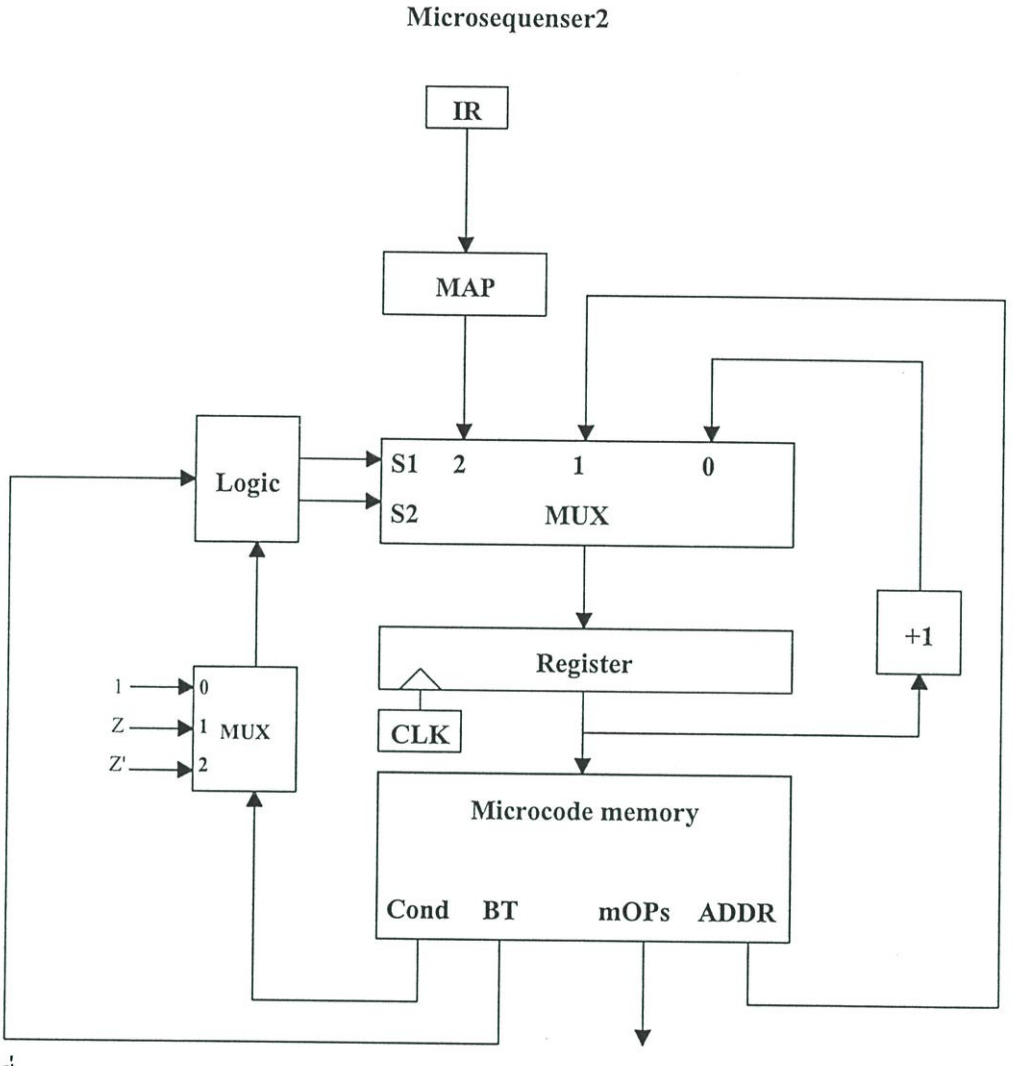
วัตถุประสงค์การทดลอง

1. เพื่อให้ผู้ทดลองได้ทราบถึงโครงสร้างการทำงานของภาค Microsequenser
2. เพื่อให้เข้าใจถึงภาคต่างๆภายใน Microsequenser
3. เพื่อให้สามารถออกแบบวงจรโดยใช้ภาษา VHDL ได้
4. สามารถต่อวงจรที่เกี่ยวข้องได้
5. สามารถนำความรู้ไปพัฒนาระบบให้มีความซับซ้อนขึ้นได้

วัสดุอุปกรณ์ที่ใช้งาน

1. โปแกรม Xilinx Foundation2.1I
2. ชุดทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. Microcode 1 ตัว
5. INC 1 ตัว
6. REG 1 ตัว
7. MUX 18 To 6 1 ตัว
8. LOGIC 1 ตัว
9. MAP 1 ตัว
10. MUXZ 1 ตัว

การทำงาน



ภาพที่ 8.1 ภาค Microsequenser

วงจรนี้จะทำหนาที่สร้าง Micro Operation สำหรับควบคุมการทำงานของ CPU ซึ่งจะประกอบไปด้วยภาคต่างๆดังนี้

การทดลองที่ 1 MAP ทำหน้าที่แปลงระหัสคำสั่งที่มาจาก IR ให้เป็นระหัสคำสั่งที่ส่งเข้าไปให้กับ Multiplexer เพื่อเลือกการทำงานต่อไป ซึ่งมี Code การทำงานดังตารางที่ 8.1

INPUT(IR)	OUTPUT
0000	000000
0001	000100
0010	001000
0011	001100
INPUT(IR)	OUTPUT

0100	010000
0101	010100
0110	011000
0111	011100
1000	100000
1001	100100
1010	101000
1011	101100
1100	110000
1101	110100
1110	111000
1111	111100

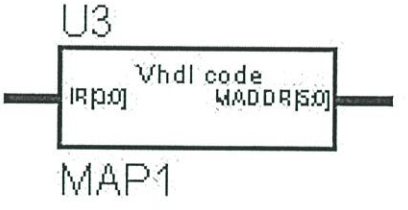
ตารางที่ 8.1 การทำงานของภาค MAP

จากตารางเขียนเป็น VHDL CODE จะได้

```
library IEEE;
use IEEE.std_logic_1164.all;
entity MAP1 is
   port (
      IR: in STD_LOGIC_VECTOR (3 downto 0);
      MADDR: out STD_LOGIC_VECTOR (5 downto 0)
   );
end MAP1;
architecture MAP1_arch of MAP1 is
begin
 PROCESS(IR)
 begin
         case IR  is
          when"0000"=>MADDR<="000000";--0--0
          when"0001"=>MADDR<="000100";--1--4
          when"0010"=>MADDR<="001000";--2--8
```

```
when"0011"=>MADDR<="001100";--3--12
when"0100"=>MADDR<="010000";--4--16
when"0101"=>MADDR<="010100";--5--20
when"0110"=>MADDR<="011000";--6--24
when"0111"=>MADDR<="011100";--7--28
when"1000"=>MADDR<="100000";--8--32
when"1001"=>MADDR<="100100";--9--36
when"1010"=>MADDR<="101000";--10--40
when"1011"=>MADDR<="101100";--11--44
when"1100"=>MADDR<="110000";--12--48
when"1101"=>MADDR<="110100";--13--52
when"1110"=>MADDR<="111000";--14--56
when others=>MADDR<="111100";--15--60
    end case;
 end process;
end MAP1_arch;
```

จาก Code VHDL จะได้สัญลักษณ์ออกมาดังรูป



ภาพที่ 8.2 MAP

การทดลองที่ 2 MUXZ ทำหน้าที่เป็นตัว Multiplex เลือกการทำงานมีการทำงานดังตารางที่ 8.2

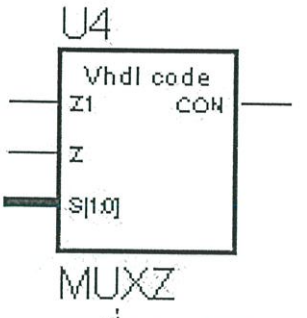
S	Z	Z1	CON
00	Z	Z1	1
01	Z	Z1	Z
10	Z	Z1	Z1
11	Z	Z1	Z1

ตารางที่ 8.2 การทำงานของภาค MUXZ

นำข้อมูลจากตารางมาเขียนเป็นภาษา VHDL จะได้

```
library IEEE;
use IEEE.std_logic_1164.all;

entity MUXZ is
   port (
      Z: in STD_LOGIC;
      Z1: in STD_LOGIC;
      S: in STD_LOGIC_VECTOR (1 downto 0);
      CON: out STD_LOGIC
   );
end MUXZ;

architecture MUXZ_arch of MUXZ is
begin
  Process (Z,Z1,S)
  begin
   if(S="00")then
    CON<='1';
   elsif(S="01")then
    CON<=Z;
   else
    CON<=Z1;
   end if;
 end process;
end MUXZ_arch;
```

จาก Code ของภาษา VHDL ข้างบนสามารถสร้างสัญลักษณ์ได้ดังรูป



ภาพที่ 8.3 MUXZ

การทดลองที่ 3 LOGIC ทำหน้าที่เลือกเส้นทางการเดินของข้อมูล หรือทำหน้าที่คล้ายกับ Switch เลือกการทำงานให้กับวงจร Multiplex ให้วงจรทำงานตามต้องการ มีการทำงานดังตารางที่ 8.3

BT	CON	S0	S1
0	0	0	0
0	1	1	0
1	X	0	1

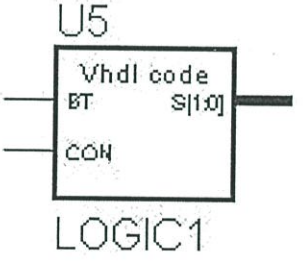
ตารางที่ 8.3 การทำงานของภาค LOGIC

จากตารางเขียนเป็น VHDL จะได้

```
library IEEE;
use IEEE.std_logic_1164.all;
entity logic is
  port (
    BT: in STD_LOGIC;
    CON: in STD_LOGIC;
    S: out STD_LOGIC_VECTOR (1 downto 0)
  );
end logic;
architecture logic_arch of logic is
begin
 Process (BT,CON)
```

```
begin
  if(BT='0')then
    if(CON='0')then
      S<="00";
    else
      S<="01";
    end  if;
  else
    S<="10";
  end if;
 end process;
end logic_arch;
```

จากภาษา VHDL ข้างบนสามารถสร้างสัญลักษณ์ได้ดังรูป



ภาพที่ 8.4 LOGIC

การทดลองที่ 4 MUX 18 To 6 ทำหน้าที่เลือกสัญญาณจากขาต่างๆซึ่งมีขนาด 3 Input โดยการเลือกจะให้ S0, S1 เป็นตัวเลือกรับข้อมูลต่างๆซึ่งมีการทำงานดังตารางที่ 8.4

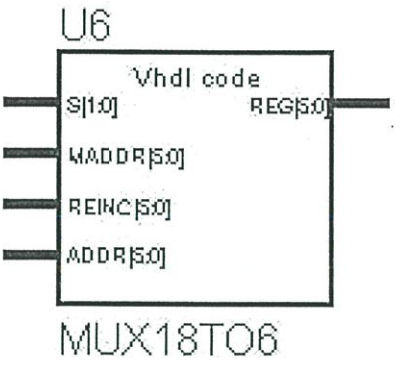
S[1:0]	MADDR(I/P)	REINC(I/P)	ADDR(I/P)	REG(O/P)
00	Maddr	Reinc	Addr	Reinc
01	Maddr	Reinc	Addr	Addr
10	Maddr	Reinc	Addr	Mddr
11	maddr	Reinc	Addr	Mddr

ตารางที่ 8.4 การทำงานของภาค MUX 18 To 6

จากตารางที่ 8.4 สามารถนำการทำงานมาเขียนเป็นภาษา VHDL จะได้

```
library IEEE;
use IEEE.std_logic_1164.all;

entity MUX18to6 is
   port (
      ADDR: in STD_LOGIC_VECTOR (5 downto 0);
      MADDR: in STD_LOGIC_VECTOR (5 downto 0);
      REINC: in STD_LOGIC_VECTOR (5 downto 0);
      S: in STD_LOGIC_VECTOR (1 downto 0);
      REG: out STD_LOGIC_VECTOR(5 downto 0)
   );
end MUX18to6;

architecture MUX18to6_arch of MUX18to6 is
begin
 Process(S,ADDR,MADDR,REINC)
 begin
    if(S="00")then
     REG<=REINC;
    elsif(S="01")then
     REG<=ADDR;
    else
     REG<=MADDR;
    end if;
 end process;
end MUX18to6_arch;
```

จากภาษา VHDL ข้างบนสร้างสัญลักษณ์ออกมาได้ดังรูป



ภาพที่ 8.5 MUX 18 to 6

การทดลองที่ 5 REG ทำหน้าที่เป็น Register ใช้เก็บข้อมูล เมื่อมีสัญญาณนาฬิกาเข้ามา ข้อมูลจะเลื่อนมายังที่ Output การทำงานแสดงได้ดังตารางที่ 8.5

REG(I/P)	CLK	CLR	AR(O/P)
Reg	-	0	X
Reg	↑	0	Reg
Reg	↑	1	0

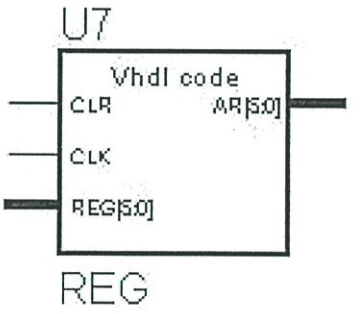
ตารางที่ 8.5 การทำงานของภาค REG

จากตารางที่ 8.5 สามารถเขียนการทำงานโดยใช้ภาษา VHDL ได้ดังนี้

```
library IEEE;
use IEEE.std_logic_1164.all;

entity reg is
  port (
    REG: in STD_LOGIC_VECTOR (5 downto 0);
    CLK: in STD_LOGIC;
    CLR: in STD_LOGIC;
    AR: out STD_LOGIC_VECTOR (5 downto 0)
  );
end reg;
```

```
architecture reg_arch of reg is
begin
 process(CLK,CLR)
 begin
   if(CLR='1')then
    AR<="000000";
    ELSE
    if(CLK'event and CLK='1')then
      AR<=REG;
     END IF;
  end if;
 end process;
end reg_arch;
```

จากภาษา VHDL ข้างบนสามารถสร้างสัญลักษณ์ได้ดังนี้



ภาพที่ 8.6 REG

การทดลองที่ 6 INC ทำหน้าที่เพิ่มค่าของข้อมูลที่เข้ามาขึ้นอีก 1 เช่น ข้อมูล 0000 เมื่อผ่านวงจรนี้แล้วจะได้ 0001 ดังการทำงานในตารางที่ 8.6

DIN	DOUT
Din	Din + 1

ตารางที่ 8.6 การทำงานของภาค INC

จากตารางที่ 8.6 สามารถจะเขียนภาษา VHDL ได้ดังนี้

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_UNSIGNED.all;
use IEEE.std_logic_ARITH.all;

entity INC is
   port (
      DIN: in STD_LOGIC_VECTOR (5 downto 0);
     -- LOAD: in STD_LOGIC;
      DOUT: out STD_LOGIC_VECTOR (5 downto 0)
   );
end INC;
architecture RTL of INC is
--signal  COUNT:STD_LOGIC_VECTOR(5 DOWNTO  0);
--signal  COUNT1:STD_LOGIC_VECTOR(5 DOWNTO  0);
begin
 DOUT<=DIN+1;
end RTL;
```

จากภาษา VHDL ข้างบนจะได้สัญลักษณ์ออกมาดังรูป

ภาพที่ 8.7 INC

การทดลองที่ 7 Micro code ทำหน้าที่ นำสัญญาณที่ได้มาประมวลผลเพื่อสั่งให้หน่วยต่างๆของ CPU ทำงานได้ตามคำสั่งที่รับเข้ามา การทำงานของภาคนี้ดูได้จากตารางที่ 8.7

State	Address	Condition	BT	ARPC	ARIN	ARDT	PCIN	PCDT	DRM	DRAC	IRDR	RAC	ZALU	TRDR	ACDR	ACR	PLUS	MINU	ACIN	ACZO	AND	OR	XOR	NOT	MDR	ADDR
FETCH1	1	1	J	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	2
FETCH2	2	1	J	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	3
FETCH3	3	X	M	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X
NOP1	0	1	J	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
LDAC1	4	1	J	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	5
LDAC2	5	1	J	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	6
LDAC3	6	1	J	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	7
LDAC4	7	1	J	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	33
LDAC5	33	1	J	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1
STAC1	8	1	J	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	9
STAC2	9	1	J	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	10
STAC3	10	1	J	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	11
STAC4	11	1	J	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	34
STAC5	34	1	J	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
MVAC1	12	1	J	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
MVOR1	16	1	J	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
JUMP1	20	1	J	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	21
JUMP2	21	1	J	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	22
JUMP3	22	1	J	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
JMPZ1	24	Z'	J	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	41
JMPZY1	25	1	J	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	26
JMPZY2	26	1	J	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	27
JMPZY3	27	1	J	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
JMPZN1	41	1	J	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	42
JMPZN2	42	1	J	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
JPNZ1	28	Z	J	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	45

State	Address	Condition	BT	ARPC	ARIN	ARDT	PCIN	PCDT	DRM	DRAC	IRDR	RAC	ZALU	TRDR	ACDR	ACR	PLUS	MINU	ACIN	ACZO	AND	OR	XOR	NOT	MDR	ADDR
JPNZY1	29	1	J	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	30
JPNZY2	30	1	J	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	31
JPNZY3	31	1	J	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
JPNZN1	45	1	J	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	46
JPNZN2	46	1	J	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
ADD1	32	1	J	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	1
SUB1	36	1	J	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	1
INAC1	40	1	J	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	1
CLAC1	44	1	J	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	1
AND1	48	1	J	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	1
OR1	52	1	J	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	1
XOR1	56	1	J	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	1
NOT1	60	1	J	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1

ตารางที่ 8.7 Micro Code สำหรับภาค Microsequencer

จากตารางข้างบนสามารถนำมาเขียนเป็นภาษา VHDL ได้ดังนี้

```
library IEEE;
use IEEE.std_logic_1164.all;
entity microcode is
  port (
    Ad: in STD_LOGIC_VECTOR (5 downto 0);
    S0: out STD_LOGIC;
    S1: out STD_LOGIC;
    BT: out STD_LOGIC;
```

```
      ARPC: out STD_LOGIC;
      ARIN: out STD_LOGIC;
      ARDT: out STD_LOGIC;
      PCIN: out STD_LOGIC;
      PCDT: out STD_LOGIC;
      DRM: out STD_LOGIC;
      DRAC: out STD_LOGIC;
      IRDR: out STD_LOGIC;
      RAC: out STD_LOGIC;
      ZALU: out STD_LOGIC;
      TRDR: out STD_LOGIC;
      ACDR: out STD_LOGIC;
      ACR: out STD_LOGIC;
      PLUS: out STD_LOGIC;
      MINU: out STD_LOGIC;
      ACIN: out STD_LOGIC;
      ACZO: out STD_LOGIC;
      AND1: out STD_LOGIC;
      OR1: out STD_LOGIC;
      XOR1: out STD_LOGIC;
      NOT1: out STD_LOGIC;
      MDR: out STD_LOGIC;
      TCCLR:out STD_LOGIC;
      ADDR: out STD_LOGIC_VECTOR (5 downto 0)
   );
end microcode;
architecture microcode_arch of microcode is
begin
 process (Ad)
  begin
   case Ad is
```

```
--0
  when"000000"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';
       PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
       TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
       ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
       TCCLR<='1';
    ADDR<="000001";
--1
  when"000001"=>S0<='0';S1<='0';BT<='0';ARPC<='1';ARIN<='0';ARDT<='0';--1
       PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
       TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
       ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
       TCCLR<='0';ADDR<="000010";
--2
  when"000010"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--2
       PCIN<='1';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
       TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
       ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
       TCCLR<='0';ADDR<="000011";
--3
  when"000011"=>S0<='0';S1<='0';BT<='1';ARPC<='1';ARIN<='0';ARDT<='0';--3
       PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='1';RAC<='0';ZALU<='0';
       TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
       ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
       TCCLR<='0';ADDR<="000000";
--4
  when"000100"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='1';ARDT<='0';--4
       PCIN<='1';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
       TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
       ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
       TCCLR<='0';ADDR<="000101";
```

```
--5
  when"000101"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--5
      PCIN<='1';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='1';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='0';ADDR<="000110";
--6
  when"000110"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='1';--6
      PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='0';ADDR<="000111";
--7
  when"000111"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--7
      PCIN<='0';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='0';ADDR<="100001";
--8
  when"001000"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='1';ARDT<='0';--8
      PCIN<='1';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='0';ADDR<="001001";
--9
  when"001001"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--9
      PCIN<='1';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='1';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='0';ADDR<="001010";
--10
```

```
  when"001010"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='1';--10
      PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='0';ADDR<="001011";
--11
  when"001011"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--11
      PCIN<='0';PCDT<='0';DRM<='0';DRAC<='1';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='0';ADDR<="100010";
--12
  when"001100"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--12
      PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='1';ZALU<='0';
      TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='1';ADDR<="000001";
--16
  when"010000"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--16
      PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='0';ACDR<='0';ACR<='1';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='1';ADDR<="000001";
--20
  when"010100"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='1';ARDT<='0';--20
      PCIN<='0';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
      TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
      ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
      TCCLR<='0';ADDR<="010101";
--21
  when"010101"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--21
```

```
        PCIN<='0';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='1';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="010110";
--22
   when"010110"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--22
        PCIN<='0';PCDT<='1';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--24
   when"011000"=>S0<='0';S1<='1';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--24
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="101001";
--25
   when"011001"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='1';ARDT<='0';--25
        PCIN<='0';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="011010";
--26
   when"011010"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--26
        PCIN<='0';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='1';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="011011";
--27
   when"011011"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--27
        PCIN<='0';PCDT<='1';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
```

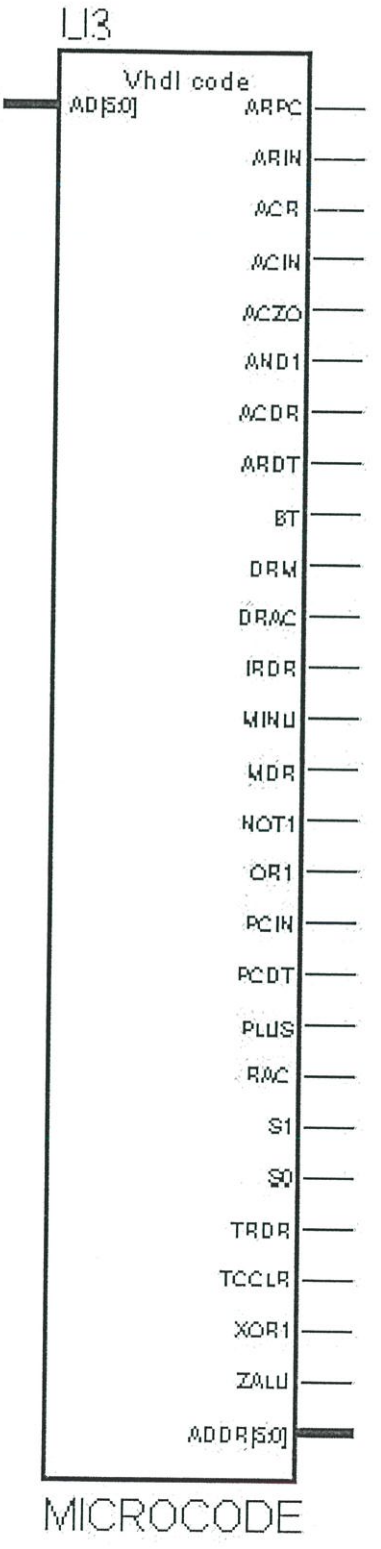
```
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--28
   when"011100"=>S0<='1';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--28
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="101101";
--29
   when"011101"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='1';ARDT<='0';--29
        PCIN<='0';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="011110";
--30
   when"011110"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--30
        PCIN<='0';PCDT<='0';DRM<='1';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='1';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="011111";
--31
   when"011111"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--31
        PCIN<='0';PCDT<='1';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--32
   when"100000"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--32
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='1';
```

```
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='1';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--33
   when"100001"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--33
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='1';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="000001";
--34
   when"100010"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--34
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='1';
        TCCLR<='0';ADDR<="000001";
--36
   when"100100"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--36
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='1';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='1';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--40
   when"101000"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--40
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='1';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='1';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--41
   when"101001"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--41
        PCIN<='1';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
```

```
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="101010";
--42
   when"101010"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--42
        PCIN<='1';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--44
   when"101100"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--44
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='1';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='1';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--45
   when"101101"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--45
        PCIN<='1';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="101110";
--46
   when"101110"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--46
        PCIN<='1';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
--48
   when"110000"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--48
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='1';
```

```
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='1';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
  --52
    when"110100"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--52
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='1';
         TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='1';XOR1<='0';NOT1<='0';MDR<='0';TCCLR<='1
        ';ADDR<="000001";
  --56
    when"111000"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--56
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='1';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='1';NOT1<='0';MDR<='0';
        TCCLR<='1';ADDR<="000001";
  --60
    when"111100"=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';--60
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='1';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='1';MDR<='0';
        TCCLR<='1';ADDR<="000001";
  --others
    when others=>S0<='0';S1<='0';BT<='0';ARPC<='0';ARIN<='0';ARDT<='0';
        PCIN<='0';PCDT<='0';DRM<='0';DRAC<='0';IRDR<='0';RAC<='0';ZALU<='0';
        TRDR<='0';ACDR<='0';ACR<='0';PLUS<='0';MINU<='0';ACIN<='0';
        ACZO<='0';AND1<='0';OR1<='0';XOR1<='0';NOT1<='0';MDR<='0';
        TCCLR<='0';ADDR<="000000";
    end case;
  end process;
end microcode_arch;
```

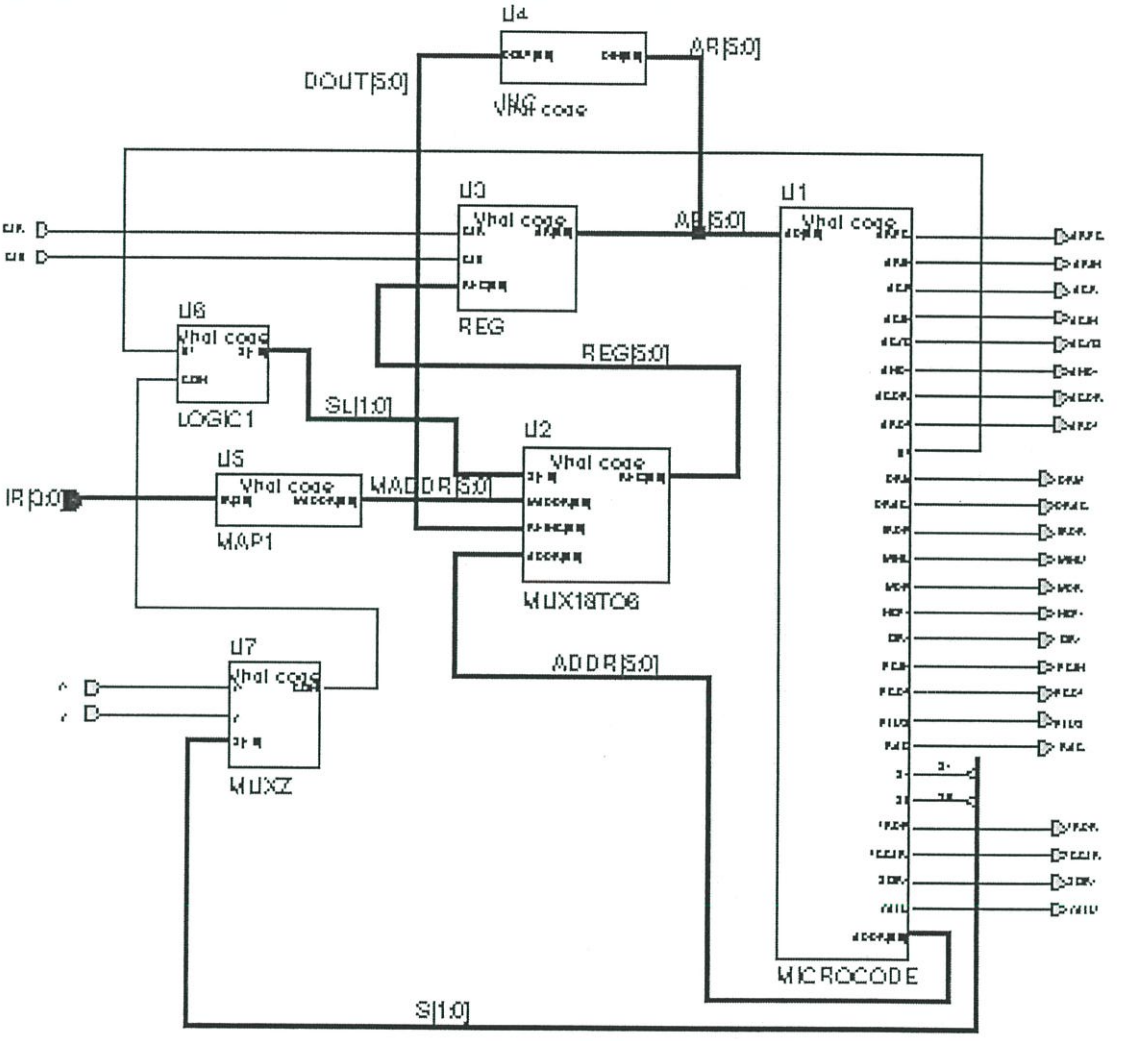
นำภาษา VHDL มาแปลงได้สัญลักษณ์ดังรูป



ภาพที่ 8.8 Microcode

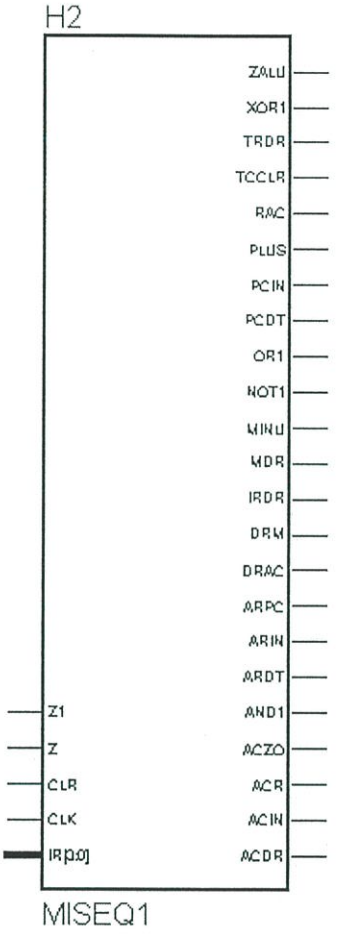
การทดลองที่ 8 วงจร Microsequenser

เมื่อได้ส่วนต่างๆของวงจร Microsequenser ครบทุกภาคแล้วก็จะมาทำการต่อวงจรใหม่ตามรูปที่ 8.9



ภาพที่ 8.9 วงจร Microsequenser

เมื่อต่อตามรูปแล้วทำการสร้างสัญลักษณ์ขึ้นมาจะได้ดังรูป



ภาพที่ 8.10 Miseq1(สัญลักษณ์ของภาค Microsequenser)

คำถาม

1. จากรูปที่ 8.10 จงเขียนแสดงการทำงานของภาคนี้ออกมาโดยละเอียด
2. จงอธิบายถึงการทำงานของภาคต่างๆพร้อมทั้งบอกการใช้งานมาด้วย
3. ในใบงานที่ 8 นี้ผู้ทดลองได้อะไรบ้างจากการทดลอง

ใบงานที่ 9

Final Control Unit

วัตถุประสงค์ของการทดลอง

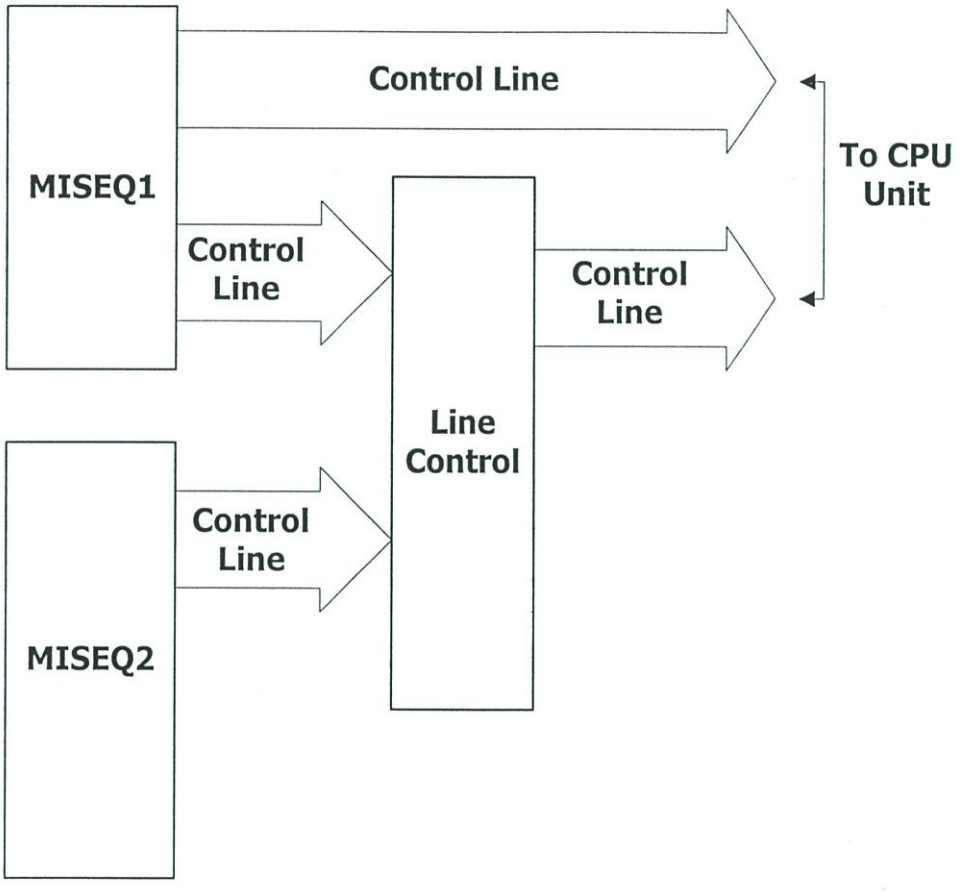
1. เพื่อให้ผู้ทดลองได้มีความรู้ในการสร้างภาค Control Unit
2. เพื่อให้ผู้ทดลองได้ทราบถึงการเชื่อมโยงกันระหว่างภาคต่างๆ ใน Control Unit และการเชื่อมต่อกับหน่วย CPU Unit
3. เพื่อให้ผู้ทดลองได้มีความรู้ในการเขียนภาษา VHDL
4. เพื่อนำความรู้ที่ได้ไปพัฒนาระบบที่ซับซ้อนต่อไป

วัสดุอุปกรณ์ที่ใช้งาน

1. โปรแกรม Xilinx Foundation 2.1I
2. ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. MISEQ1 1 ตัว
5. MISEQ2 1 ตัว
6. LINECON 1 ตัว
7. INV 1 ตัว

การทำงาน

ใบงานนี้ จะเป็นใบงานที่บอกถึงการนำภาคต่างๆในหน่วยของ Control Unit มารวมกันเป็นภาคๆเดียว เพื่อที่จะนำไปควบคุมร่วมกับหน่วยของ CPU UNIT ต่อไป ภาคที่จำเป็นในใบงานนี้ที่จะสร้างคือภาค Line Control ซึ่งจะทำหน้าที่ควบคุมหน่วยของ Control Unit ทั้งสองภาคที่ผ่านมามีการต่อวงจรดังรูป



ภาพที่ 9.1 วงจรของหน่วย Control Unit

การทดลองที่ 1 Line Control

เป็นวงจรที่ทำหน้าที่จัดการขาสัญญาณที่ส่งออกมาจากภาค Control Unit ในส่วนของ Microsequenser ให้มีการทำงานที่สอดคล้องกันเพื่อส่งสัญญาณไปให้หน่วยของ CPU Unit ทำงานตามคำสั่งได้ การทำงานแสดงได้ดังตารางที่ 9.1

INPUT	OUTPUT
TRBUS	LDAC+STAC3+JMPZY3+JPNZY3+JUMP3
RBUS	MOVR1+ADD1+SUB1+AND1+XOR1+OR1
PCBUS	T0+T2
MEMBUS	T1+LDAC1+LDAC2+LDAC4+STAC1+STAC2+JUMP1+ JUMP+JMPZY1+JMPZY2+JPNZY1+JPNZY2
DRLOAD	DRM+DRAC
DRHBUS	LDAC3+STAC3+JUMP3+JMPZY3+JPNZY3
ARLOAD	ARPC+ARDT
ALUS7	AND1+OR1+XOR1+NOT1
ALUS6	XOR1+NOT1
ALUS5	OR1+NOT1
ALUS4	SUB1+INAC1
ALUS2	LDAC5+ADD1+MOVR1
ALUS1	ADD1+SUB1+INAC1
ACLOAD	ACDR+ACR+PLUS+MINU+ACIN+ACZO+AND11+OR11 XOR11+NOT11
ACBUS	STAC4+MVAC1

ตารางที่ 9.1 แสดงการทำงานของภาค Line Control

จากการทำงานในตารางที่ 9.1 ทำการเขียนภาษา VHDL จะได้

```
library IEEE;
use IEEE.std_logic_1164.all;
entity linecon is
  port (
    ARPC: in STD_LOGIC;
```

STAC3: in STD_LOGIC;

JUMP3: in STD_LOGIC;

JMPZY3: in STD_LOGIC;

JPNZY3: in STD_LOGIC;

MOVR1: in STD_LOGIC;

ADD1: in STD_LOGIC;

INAC1: in STD_LOGIC;

NOT1: in STD_LOGIC;

XOR1: in STD_LOGIC;

XOR11: in STD_LOGIC;

OR1: in STD_LOGIC;

T0: in STD_LOGIC;

T2: in STD_LOGIC;

T1: in STD_LOGIC;

LDAC1: in STD_LOGIC;

LDAC2: in STD_LOGIC;

LDAC4: in STD_LOGIC;

STAC1: in STD_LOGIC;

STAC2: in STD_LOGIC;

DRM: in STD_LOGIC;

DRAC: in STD_LOGIC;

LDAC3: in STD_LOGIC;

ARDT: in STD_LOGIC;

AND1: in STD_LOGIC;

LDAC5: in STD_LOGIC;

SUB1: in STD_LOGIC;

ACDR: in STD_LOGIC;

ACR: in STD_LOGIC;

PLUS: in STD_LOGIC;

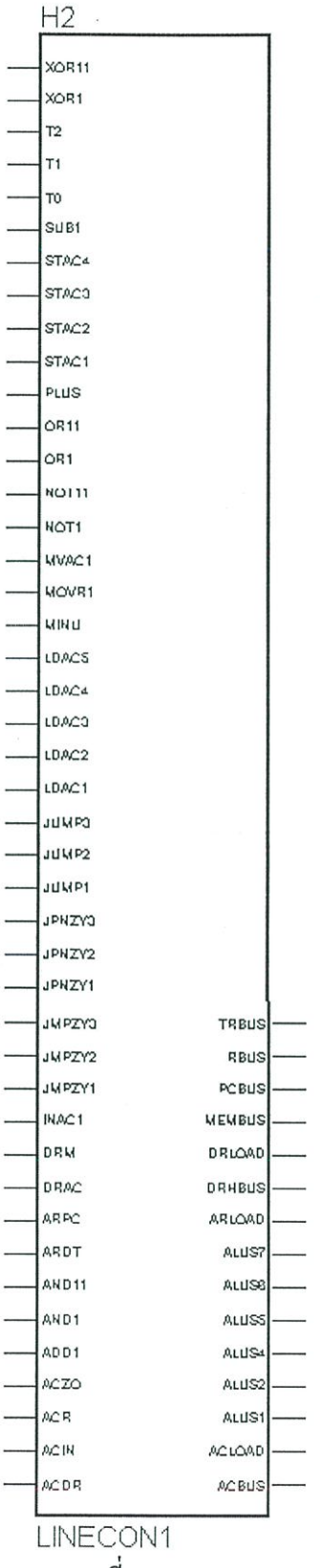
MINU: in STD_LOGIC;

ACIN: in STD_LOGIC;

```
    ACZO: in STD_LOGIC;
    AND11: in STD_LOGIC;
    OR11: in STD_LOGIC;
    STAC4: in STD_LOGIC;
    MVAC1: in STD_LOGIC;
    NOT11: in STD_LOGIC;
    JUMP1: in STD_LOGIC;
    JUMP2: in STD_LOGIC;
    JMPZY1: in STD_LOGIC;
    JMPZY2: in STD_LOGIC;
    JPNZY1: in STD_LOGIC;
    JPNZY2: in STD_LOGIC;
    RBUS: out STD_LOGIC;
    PCBUS: out STD_LOGIC;
    MEMBUS: out STD_LOGIC;
    DRLOAD: out STD_LOGIC;
    DRHBUS: out STD_LOGIC;
    ARLOAD: out STD_LOGIC;
    ALUS7: out STD_LOGIC;
    ALUS6: out STD_LOGIC;
    ALUS5: out STD_LOGIC;
    ALUS4: out STD_LOGIC;
    ALUS2: out STD_LOGIC;
    ALUS1: out STD_LOGIC;
    ACLOAD: out STD_LOGIC;
    ACBUS: out STD_LOGIC
  );
end linecon;
architecture linecon_arch of linecon is
begin
        TRBUS<=(LDAC3 OR STAC3)OR(JMPZY3 OR JPNZY3)OR JUMP3;
```

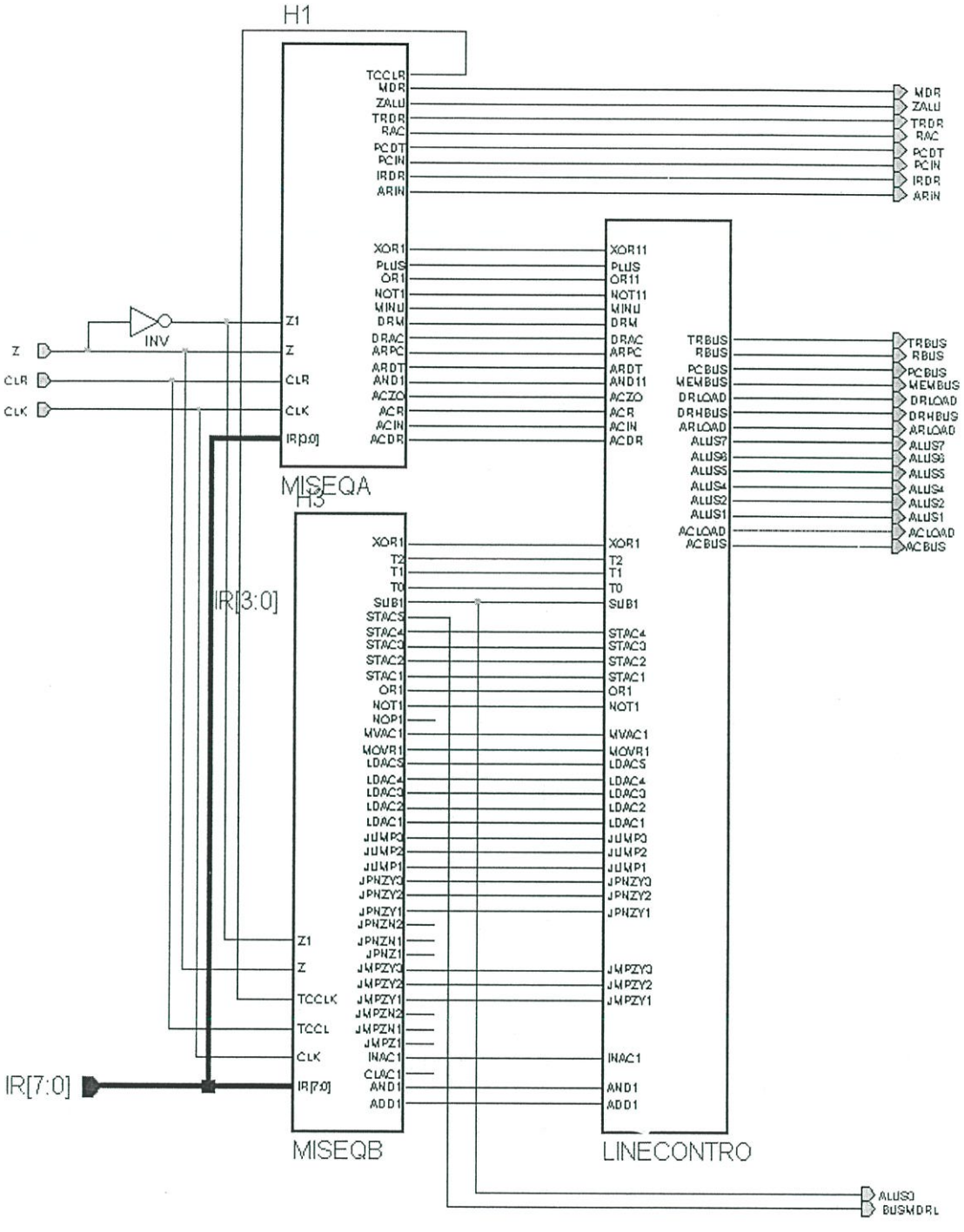
```
RBUS<=(MOVR1 OR ADD1)OR(SUB1 OR AND1)OR(XOR1 OR OR1);
PCBUS<=T0 OR T2;
MEMBUS<=(T1 OR LDAC1)OR(LDAC2 OR LDAC4)OR(STAC1 OR
STAC2)OR(JUMP1 OR JUMP2)OR (JMPZY1 OR JMPZY2)OR(JPNZY1 OR
JPNZY2);
DRLOAD<=DRM OR DRAC;
DRHBUS<=(LDAC3 OR STAC3)OR(JUMP3 OR JMPZY3)OR JPNZY3;
ARLOAD<=ARPC OR ARDT;
ALUS7<=(AND1 OR OR1)OR(XOR1 OR NOT1);
ALUS6<=(XOR1 OR NOT1);
ALUS5<=OR1 OR NOT1;
ALUS4<=SUB1 OR INAC1;
ALUS2<=(LDAC5 OR ADD1)OR MOVR1;
ALUS1<=(ADD1 OR SUB1)OR INAC1;
ACLOAD<=(ACDR OR ACR)OR(PLUS OR MINU)OR(ACIN OR ACZO)OR
(AND11 OR OR11)OR(XOR11 OR NOT11);
ACBUS<=STAC4 OR MVAC1;
end linecon_arch;
```

จาก VHDL Code ข้างต้นผู้ทดลองสามารถสร้างสัญลักษณ์ได้ดังนี้



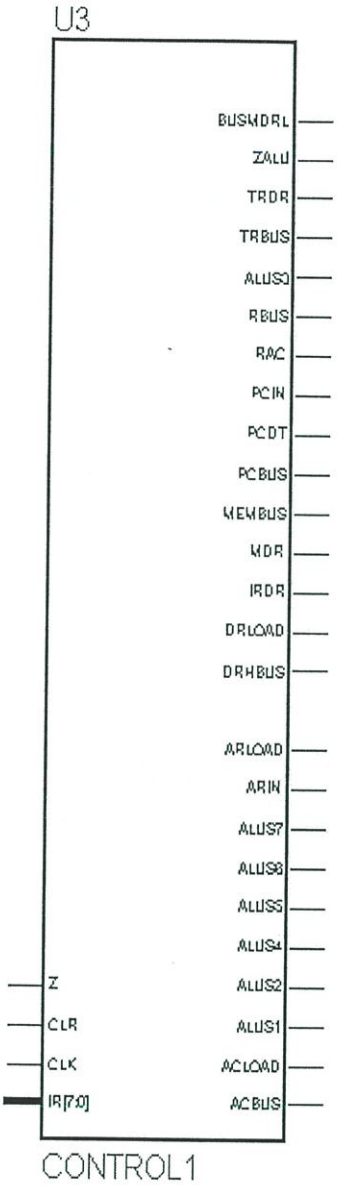
ภาพที่ 9.2 Line Control

จากใบงานที่ 7 และ 8 ให้นำวงจรมาต่อกันดังรูป



ภาพที่ 9.3 Control Unit

เมื่อต่อวงจรในรูปที่ 9.3 เสร็จแล้วก็ ทำการสร้างสัญลักษณ์ขึ้นมาเพื่อสะดวกในการต่อวงจร จะได้สัญลักษณ์ดังรูปที่ 9.4



ภาพที่ 9.4 สัญลักษณ์ของ Control Unit

คำถาม

1. จากใบงานให้ทดลองการทำงานของวงจรในรูปที่ 9.4 พร้อมอธิบายการทำงานมาอย่างละเอียด
2. ผู้ทดลองสามารถนำความรู้ในการสร้าง Control Unit ไปสร้างวงจรอะไรได้บ้างจงยกตัว

   อย่างวงจรพร้อมอธิบาย

ใบงานที่ 10

CPU Design

วัตถุประสงค์การทดลอง

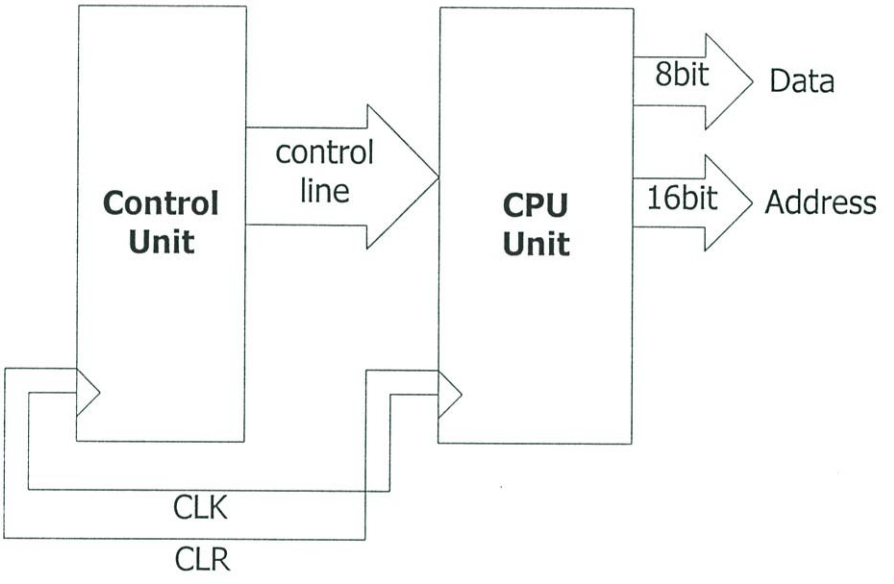
1. ได้ความรู้เกี่ยวกับการออกแบบ CPU ขนาด 8 บิต
2. ได้ทราบถึงการต่อวงจร Control Unit กับ CPU Unit เข้าด้วยกัน
3. ได้ทราบถึงการทำงานของคำสั่งต่างๆที่กำหนดให้ CPU ทำงาน
4. สามารถพัฒนาการออกแบบ CPU ให้มี การทำงานที่ซับซ้อนขึ้นอีก

วัสดุอุปกรณ์ที่ใช้งาน

1. โปรแกรม Xilinx Foundation 2.1I
2. ชุดฝึกทดลองการออกแบบ CPU ขนาด 8 บิต
3. เครื่องคอมพิวเตอร์ และระบบปฏิบัติการ Windows
4. EPROM EMULATOR 1 เครื่อง
5. Control Unit 1 ตัว(จากใบงานที่ 9)
6. CPU Unit 1 ตัว
7. INV 2 ตัว

การทดลองที่ 1 การเชื่อมต่อ Control Unit เข้ากับ CPU Unit

การเชื่อมต่อระหว่าง Control Unit กับ CPU Unit ผู้ทดลองสามารถเชื่อมต่อกันได้โดยดูลักษณะการต่อได้ดังรูปที่ 10.1 แสดงจำนวนเส้นของสายสัญญาณ และสาย Control ต่างๆ โดย รายละเอียดมีดังนี้



ภาพที่ 10.1 แสดงถึงวงจรของ CPU ขนาด 8 บิต

จากรูปที่ 10.1 แสดงการต่อวงจรของ CPU ขนาด 8 บิต โดยกำหนดให้ CPU ทำงานโดยมีคำสั่ง 16 คำสั่ง โดยแต่ละคำสั่งมีดังนี้

LDAC เป็นคำสั่งที่โหลดข้อมูลจากหน่วยความจำตำแหน่งต่างๆที่กำหนดมาเก็บไว้ที่ Accumulator โดยความยาวของรหัสคำสั่งมีขนาด 3 ไบต์ ตัวอย่างเช่น 010203

01 หมายถึง คำสั่งให้ LDAC ทำงาน

02 หมายถึง Addressที่ต้องการโหลดข้อมูลในที่นี้โหลดข้อมูลจาก Address ที่ 2

03 หมายถึง เป็นจำนวนอะไรก็ได้โปรแกรมไม่สนใจในไบต์นี้

STAC เป็นคำสั่งที่นำเอาข้อมูลจาก Accumulator มาแสดงผลออกทางจอแสดงผลโดยมีความยาวขนาด 3 ไบต์ ใช้คำสั่ง 020000

MVAC1 เป็นคำสั่งที่โหลดข้อมูลจาก Accumulator ไปเก็บไว้ที่ Register คำสั่งมีขนาด 1 ไบต์ คือ 03

MOVR1 เป็นคำสั่งที่โหลดข้อมูลจาก Register ไปเก็บไว้ที่ Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 04

JUMP เป็นคำสั่งในการกระโดดไปทำคำสั่งที่ Address ต่างๆตามต้องการ คำสั่งมีขนาด 2 ไบต์ คือ 05XX

XX หมายถึงตำแหน่ง Address ที่ต้องการให้โปรแกรมกระโดดไปทำคำสั่ง

JMPZY เป็นคำสั่งในการกระโดดไปทำคำสั่งที่ Address ต่างๆตามต้องการ โดยมีเงื่อนไขว่าถ้า Flag Z เป็น 0 จะกระโดดไปทำตาม Addressที่ต้องการ แต่ถ้า Flag Z เป็น 1 จะทำการบวกค่าของ Program Counter ขึ้นอีก 2 แล้วชี้ตำแหน่งต่อไป คำสั่งมีขนาด 2 ไบต์ คือ 06XX

JPNZY เป็นคำสั่งในการกระโดดไปทำคำสั่งที่ Address ต่างๆตามต้องการ โดยมีเงื่อนไขว่าถ้า Flag Z เป็น 1 จะกระโดดไปทำตาม Addressที่ต้องการ แต่ถ้า Flag Z เป็น 0 จะทำการบวกค่าของ Program Counter ขึ้นอีก 2 แล้วชี้ตำแหน่งต่อไป คำสั่งมีขนาด 2 ไบต์ คือ 07XX

ADD1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการบวกเลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 08

SUB1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการลบเลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 09

INAC1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการเพิ่มค่าของ Accumulator ที่ละ 1 คำสั่งมีขนาด 1 ไบต์ คือ 0A

CLAC1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ Reset ค่าของ Accumulator ให้เป็น 0 คำสั่งมีขนาด 1 ไบต์ คือ 0B

AND1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ AND เลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 0C

OR1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ OR เลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 0D

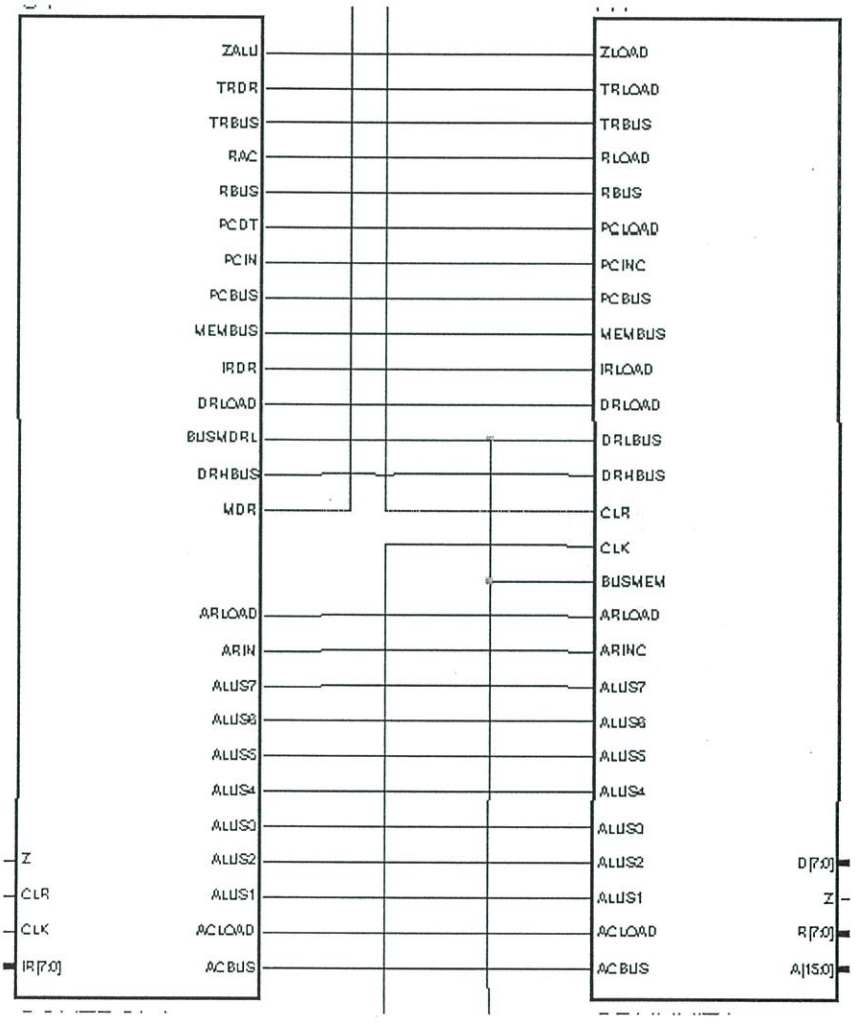
XOR1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ XOR เลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 0E

NOT1 เป็นคำสั่งทางคณิตศาสตร์ให้มีการ NOT เลขกันระหว่าง Accumulator และ Register แล้วเก็บข้อมูลไว้ใน Accumulator คำสั่งมีขนาด 1 ไบต์ คือ 0F

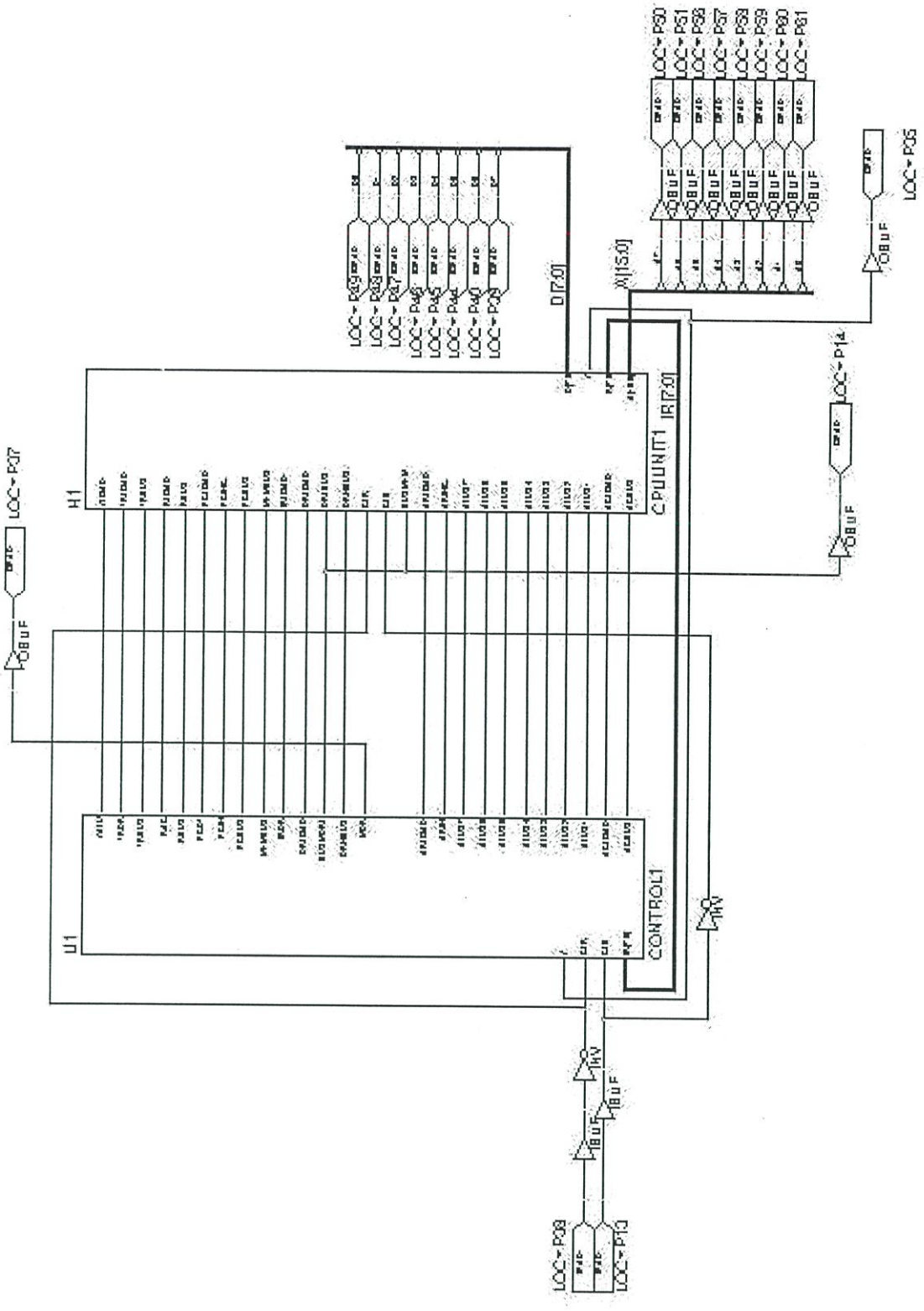
จากคำสั่งข้างต้นสามารถสั่งงานให้ CPU ที่เราออกแบบมาทำงานได้ตามคำสั่งเหล่านี้ดังนั้นในใบงานนี้จะเรียกใช้ภาคต่างๆในใบงานที่แล้วมาทำการต่อวงจรใหม่ และได้ CPU ขนาด 8 บิต 16 คำสั่งที่สมบูรณ์

ใบงานที่ใช้ในการทดลองจะใช้ใบงานที่ 5 **8 Bit CPU** ซึ่งเป็นหน่วยของ CPU Unit ที่ทำหน้าที่เก็บค่าตัวแปรหรือMicrocodeต่างๆเพื่อควบคุมหน่วย Control Unit และประมวลผลทางคณิตศาสตร์

ใบงานที่ใช้ในการทดลองอีกใบงานคือใบงานที่ 9 **Final Control Unit** ซึ่งเป็นหน่วยที่นำ Microcodeจาก CPU Unit มาถอดระหัสเพื่อสามารถที่จะควบคุมหน่วยของ CPU Unit ให้ทำงานได้อย่างมีประสิทธิภาพ



ภาพที่ 10.2 การต่อวงจรระหว่างตัว CPU กับ Control Unit



ภาพที่ 10.3 การต่อวงจรของ CPU 8 บิต 16 คำสั่ง

การกำหนดขาอุปกรณ์ จะกำหนดให้ ดังนี้

ขา Data D[7..0]

D0 = P49

D1 = P48

D2 = P47

D3 = P46

D4 = P45

D5 = P44

D6 = P40

D7 = P39

ขา Address A[7..0]_ในที่นี้เรากำหนดเพียง 8 เส้น

A0 = P61

A1 = P60

A2 = P59

A3 = P58

A4 = P57

A5 = P56

A6 = P51

A7 = P50

ขา Z = P35

ขา BUSMEM = P14

ขา MDR = P37

ขา CLR = P38

ขา CLK = P13

ทดลองโปรแกรม Configuration ลงบน FPGA ทดสอบการทำงาน

การทดลองที่ 2 ทดลองโดยใช้ EPROM EMULATOR

การทดลองที่ 2 นี้จะใช้ Eprom Emulator ช่วยในการทำงานโดยจะกำหนด Address และ Data ที่ตัว Eprom CPU จึงจะทำงานได้ตามต้องการ และสะดวกในการทดลอง ในการป้อนนั้นทดลองจะใช้เป็นระหัส Intel Hex File โดยมีรายละเอียดดังนี้

Intel Hex File เป็น File มาตรฐานอันหนึ่งที่นิยมใช้กันมากซึ่งจะสังเกตได้จากพวกคอมไพลเลอร์ต่างๆ มักจะกำหนดOutputที่ต้องการให้เป็น Intel Hex File ทั้งนี้เนื่องจาก Intel Hex File มีรูปแบบที่เหมาะสมหลายประการกล่าวคือมีระบบ Checksum ซึ่งสามารถตรวจสอบความถูกต้องในแต่ละบรรทัด รวมทั้งมีการกำหนด Address ของข้อมูลได้ และที่สำคัญคือเป็น File แบบ ASCII คือสามารถส่งออกทาง Portสื่อสารต่างๆได้ และยังสามารถใช้กับโปรแกรม Editor ทั่วไปเพื่อการแก้ไขได้รายละเอียดมีดังนี้

:BYAAAABBCC……..CCDD

: หมายถึง ค่า Start Character(Colon)

BY หมายถึง จำนวน byte ของข้อมูลในแต่ละบรรทัด มีค่าเป็นเลขฐาน 16 ถ้า BY เท่ากับ 0 จะเป็น End of file record

AAAA หมายถึง Address ของข้อมูลใน Byte แรก

BB หมายถึง ชนิดของข้อมูลในบรรทัดนั้นๆ ถ้า TT= 0 เป็น Data Record ถ้า TT=1 เป็น End of file record

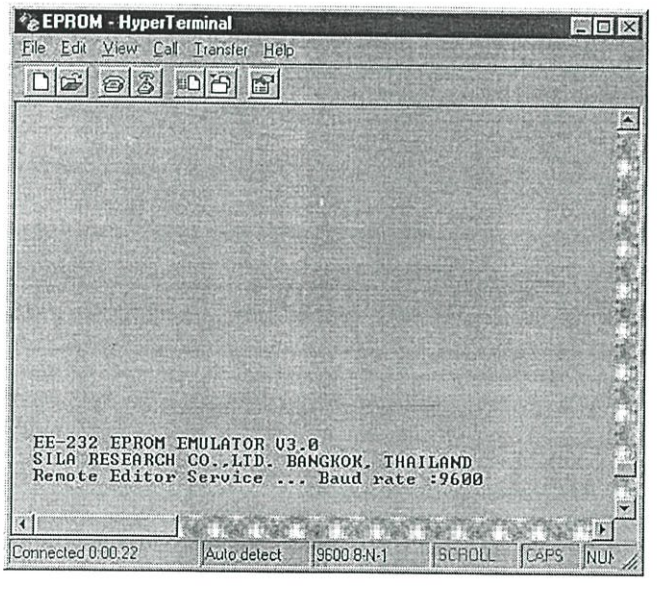
HH หมายถึง ข้อมูลแต่ละ Byte

CC หมายถึง ค่า Checksum ของบรรทัดนั้นๆ โดยจะเป็นค่า 2'Complement ของผลบวกของข้อมูลทุก Byte ในบรรทัด ซึ่งรวมทั้ง BY, AAAA, และ CC ด้วย

การใช้งานดังนี้

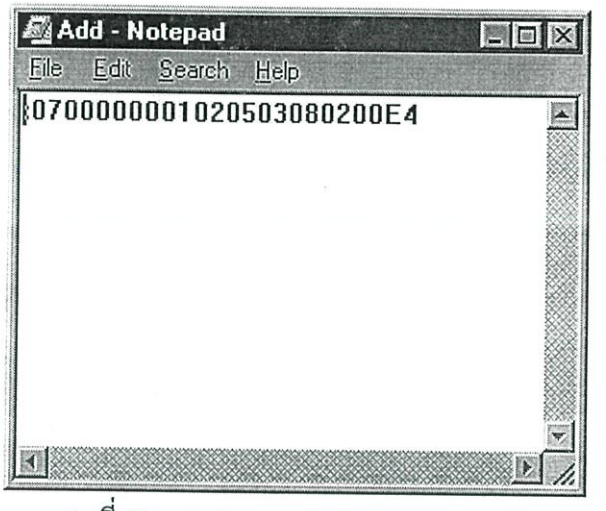
เสียบสาย Serial Port (DB9) เข้ากับ Computer

เปิดโปรแกรม HyPer Terminal แล้วกด สเปดบาร์จะปรากฏหน้าจะดังนี้



ภาพที่ 10.4 Hyper Terminal

จากนั้น โหลดข้อมูลลงบน Eprom Emulator โดยผู้ทดลองต้องกำหนด Microcode เป็น Intel Hex File ที่ Notepad ดังรูป



ภาพที่ 10.5 การเขียน Microcode ที่ Notepad

การโหลดข้อมูลหรือเรียกดู Address ที่ Eprom Emulator ทุกครั้งผู้ทดลองจะต้องกดปุ่ม RESET ทุกครั้งที่ตัว Eprom Emulator Broad จะทำให้การทำงานเข้าสู่สภาวะปกติ

คำถาม

1. ทดลองป้อน Code คำสั่งต่างๆ เช่น ADD, INC, CLR, AND, OR ,NOR, NOT และสังเกตการทำงานเป็นอย่างไรบ้าง
2. ทดลองทำคำสั่ง MOV เพื่อให้ค่าที่กำหนดไปเก็บใน Register ต่างใน CPU อธิบายการทำงาน
3. ทดลองทำคำสั่ง JUMP เพื่อให้ CPU ทำการกระโดดไปยัง Address ต่างๆ อธิบายการทำงาน

ประวัติผู้เขียน

นายมั่นคง มณีรัตนรุ่งโรจน์ เกิดเมื่อวันที่ 29 เมษายน 2521 ที่จังหวัด ชัยภูมิ สำเร็จการศึกษาอุตสาหกรรมศาสตร์บัณฑิต (เทคโนโลยีอิเล็กทรอนิกส์โทรคมนาคม) จากสถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ ปีการศึกษา 2542 ประกาศนียบัตรวิชาชีพชั้นสูงสาขาอิเล็กทรอนิกส์ จากสถาบันเทคโนโลยีราชมงคลวิทยาเขตขอนแก่น ปีการศึกษา 2540