

การสร้างวงจรประมวลสัญญาณอนาลอกด้วยมอสทรานซิสเตอร์
REALIZATION OF MOS ANALOG SIGNAL PROCESSING CIRCUITS

ปิพนัน พรหมมี
PIPAT PROMMEE

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2545

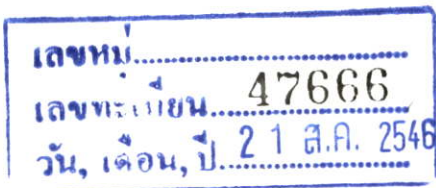
ISBN 974-648-791-4

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสร้างวงจรประมวลสัญญาณอนาลอกด้วยมอสทรานซิสเตอร์

REALIZATION OF MOS ANALOG SIGNAL PROCESSING CIRCUITS

พิพัฒน์ พรหมมี
PIPAT PROMMEE



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2545

ISBN 974-648-791-4

REALIZATION OF MOS ANALOG SIGNAL PROCESSING CIRCUITS

PIPAT PROMMEE

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2002

ISBN 974-648-791-4

COPYRIGHT 2002

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การสร้างวงจรประมวลสัญญาณอนาลอกด้วยมอสทรานซิสเตอร์
นักศึกษา	นาย พิพัฒน์ พรหมมี
รหัสประจำตัว	38061002
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2545
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์นี้เสนอหลักการใหม่ ในการออกแบบวงจรประมวลผลสัญญาณอนาลอกโดยใช้ ซีมอส วงจรแรกคือ คุณสัญญาณอนาลอก 4 ควอดแดรนต์แบบซีมอสโดยใช้ไฟเลี้ยงเดี่ยว ใช้ทรานซิสเตอร์ทั้งหมด 16 ตัว ใช้หลักการให้มอสทรานซิสเตอร์ทำงานในย่านอิ่มตัว และ เลื่อนจุดการทำงานของมอสทรานซิสเตอร์ให้ทำงานเร็วขึ้น ซึ่งก็จะทำให้สามารถรับอินพุตที่เป็นโพลบได้แม้ว่าแรงดันไฟเลี้ยงจะมีเพียง + 5 โวลท์เท่านั้น วงจรที่สองคือ วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน ใช้ทรานซิสเตอร์ 3 ตัว โดยใช้หลักการยกระดับแรงดันอินพุตและป้อนกลับมายังมอสทรานซิสเตอร์ เพื่อให้มอสทรานซิสเตอร์ทำงานในย่านไม่อิ่มตัวอย่างสมบูรณ์ วงจรที่สามคือวงจรถอดรอกที่สอง ใช้ทรานซิสเตอร์ 5 ตัว ใช้กฎกำลังสองของมอสทรานซิสเตอร์ โดยมีอินพุตเป็นกระแส เอาท์พุทเป็นแรงดันแบบดิฟเฟอเรนเชียล เพื่อหักล้างเทอมแรงดันไฟตรงออกไป ใช้ไฟเลี้ยง + 5 โวลท์ วงจรที่สี่คือ วงจรกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์ โดยใช้วงจรซีมอสโอทีเอ ใช้หลักการของโพลีโนเมียลกำลังสาม เพื่อให้ผลของเอาท์พุทมีความบริสุทธิ์ และ เทียงตรงเนื่องจากคุณสมบัติของตัวกรองอันดับสูงจะมีความเที่ยงตรงของสัญญาณมากกว่าอันดับต่ำ ไม่ว่าจะเป็นการออกแบบโดยหลักการใหม่ใดๆ ในวิทยานิพนธ์นี้โดยภาพรวมแล้วก็จะมุ่งเน้นเป็นการนำคุณสมบัติต่างๆ ของวงจรร่วมมาประกอบกันขึ้นเป็นวงจรต่างๆ ซึ่งแนวทางที่วิทยานิพนธ์นี้ยึดเป็นแนวทางหลัก คือ ต้องใช้ทรานซิสเตอร์และอุปกรณ์ให้น้อยที่สุด ประหยัด มีสมรรถนะสูง และสามารถนำไปสร้างเป็นวงจรรวมได้ โดยการทดลองสามารถยืนยันได้โดยการต่อเป็นวงจรจริง และ การเลียนแบบการทำงานด้วย PSpice

Thesis Title	Realization of MOS Analog Signal Processing Circuits
Student	Mr.Pipat Prommee
Student ID	38061002
Degree	Doctor of Engineering
Programme	Electrical Engineering
Year	2002
Thesis Advisor	Assoc.Prof.Dr. Kobchai Dejhan

ABSTRACT

This thesis presents the new various approaches to realize the analog-signal processing circuits based on CMOS technology. The first of the proposed circuit is a "Single-supply CMOS 4-quadrant Analog Multiplier" with 16 transistors. This circuit exploits the saturation region of MOS transistor with operation point-shifting of some transistors for input applied although only with a single +5 volts power supply. The second circuit proposes a "Voltage-controlled grounded resistance" with 3 transistors. The principal, controlled voltage is applied in the first transistor and shift-up input feedback to each other that has been acquired for perfect ohmic region operation. The main 2 transistors are used for resistor implemented and other used for level-shifter. The third circuit presents a "Square-rooting Circuit" with 5 transistors. The MOS square-law has been used in this circuit. The single current is used for input and differential voltage as output, causing the DC components eliminated. This circuit has used only +5 volts power supply. The fourth circuit describes a "Electronical-controlled Sinusoidal Oscillator" with simple OTAs. The high-order polynomial is assured for high quality-factor, and accuracy for any applications. The third-order function can be used to implement the filters and oscillators as well. The third-order polynomial has been acquired for this circuit since the purity waveform reason. This thesis has taken most of the advantages from any sub-circuits for the implementations with the realization of the following goals; reduce components, economy, high-performance and further integrable that interesting in this thesis. The results of all circuits are confirmed by both of PSpice simulation and experiment.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงได้ ผู้เขียนขอกราบขอบพระคุณ บุคคล และ องค์กรที่มีรายนามดังต่อไปนี้

พ่อ และ แม่ ผู้ให้กำเนิด อบรมเลี้ยงดู ให้การศึกษา อดทน ให้อภัยแม้ว่าลูกจะกระทำผิดมากเท่าไรก็ตาม และ ให้โอกาสกับลูกเสมอมา และยังเป็นตัวอย่างที่ดีแก่ผู้เขียน

รศ.ดร. กอบชัย เดชหาญ ผู้ให้คำปรึกษา ส่งเสริม ให้แนวคิดใหม่ในการทำวิจัยกับผู้เขียนตั้งแต่ปริญญาโทจนถึงปริญญาเอกทั้งในทางตรง และ ทางอ้อม เป็นผลให้ผู้เขียนมีความมั่นใจ และสามารถนำมาใช้ในการดำเนินชีวิตแก่ผู้เขียนได้เป็นอย่างดี

คุณ อิทธิพงศ์ ชัยสายัณห์ และ สาขาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเอเชียอาคเนย์ ที่เอื้อเฟื้อห้องทดลอง และ อุปกรณ์ห้องทดลอง ให้ผู้เขียนเป็นอย่างดี

คุณ อัฐ เครือพัก ที่ช่วยตรวจทานบทความ และ เพื่อน ๆ ที่แผนกวิเคราะห์ และ ติดตามผล กองโทรศัพท์ระหว่างประเทศทุกท่าน (ไม่สามารถเอ่ยนามได้หมด) ที่ช่วยแบ่งเบาภาระในการทำงาน ในยามที่ผู้เขียนไม่มีเวลาเนื่องจากต้องค้นคว้า วิจัย จนสามารถทำวิทยานิพนธ์จนสำเร็จลุล่วงได้ด้วยดี

กองโทรศัพท์ระหว่างประเทศ การสื่อสารแห่งประเทศไทย เป็นสถานที่ทำงานของผู้เขียน เป็นที่ให้ประสบการณ์อันทรงคุณค่าหลายสิ่งหลายอย่างกับผู้เขียน และ รายได้ในชีวิตประจำวันของผู้เขียน รวมถึงท่านผู้อำนวยการกองโทรศัพท์ระหว่างประเทศ (คุณ พิชัย ศรีรัตนกุล) และ หัวหน้าแผนกวิเคราะห์และติดตามผล (คุณสมชาย บุญนิธิกร) ที่ส่งเสริมผู้เขียนเป็นอย่างดี

คุณสุนิสา พรหมมี ภรรยาผู้ที่คอยดูแล เอาใจใส่ผู้เขียนอย่างดีตลอดมา

พิพัฒน์ พรหมมี

29 เมษายน 2545

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญรูป.....	VIII
สารบัญตาราง.....	XIII
บทที่ 1 บทนำ.....	1
1.1 กล่าวนำ.....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์.....	1
1.3 รายละเอียดในวิทยานิพนธ์.....	2
บทที่ 2 หลักการที่ใช้ในวิทยานิพนธ์.....	4
2.1 บทนำ.....	4
2.2 หลักการของวงจรคุณสมบัติ.....	5
2.2.1 วงจรคุณสมบัติโดยใช้หลักการของกิลเบิร์ต (Gilbert Cell).....	5
2.2.2 วงจรคุณสมบัติโดยใช้หลักการของวงจรทรานสลิเนียร์.....	8
2.2.3 วงจรคุณสมบัติโดยใช้หลักการของวงจรโอทีเอ.....	9
2.3 หลักการของวงจรถอดรอกที่สอง.....	11
2.4 หลักการของวงจรความต้านทานปรับค่าได้ทางอิเล็กทรอนิกส์.....	11
2.4.1 วงจรความต้านทานแบบลอยตัว.....	11
2.4.2 วงจรความต้านทานแบบต่อกราวด์.....	13
2.5 หลักการของการกำเนิดสัญญาณรูปไซน์.....	14
2.5.1 หลักการกำเนิดสัญญาณโดยใช้โพลีโนเมียลอันดับสอง.....	15
2.5.2 หลักการกำเนิดสัญญาณโดยใช้โพลีโนเมียลอันดับสาม.....	16
2.6 บทสรุป.....	18
บทที่ 3 กลุ่มวงจรร้อยที่ใช้ในวิทยานิพนธ์.....	20
3.1 บทนำ.....	20
3.2 วงจรสะท้อนกระแส (Current Mirror)	20
3.3 วงจรเลื่อนระดับแรงดัน (Voltage Level-Shifter).....	21

สารบัญ (ต่อ)

	หน้า
3.4 วงจรขยายความแตกต่าง (Differential Amplifier)	23
3.5 วงจรอินเวอร์เตอร์จากมอสทรานซิสเตอร์ชนิด N (NMOS Inverter Circuit).....	24
3.6 วงจรผลต่างกำลังสอง (Differential Squaring Circuit)	26
3.7 วงจรส่งผ่านความต้านทานอิเล็กทรอนิกส์ (Transresistor).....	28
3.8 บทสรุป.....	29
บทที่ 4 วงจรคุณสมบัติสัญญาณนอก 4 ควอดแดรนต์แบบซีมอส โดยใช้ไฟเลี้ยงเดียว.....	30
4.1 บทนำ.....	30
4.2 การคูณโดยใช้พีชคณิตกำลังสองส่วนสี่ (Quarter-Square Algebraic Identity Multiplier).....	30
4.3 วงจรอินเวอร์เตอร์จากทรานซิสเตอร์ชนิด N (NMOS Inverter Circuit).....	31
4.4 วงจรเลือกระดับแรงดัน (Voltage-Level Detector)	32
4.5 วงจรผลต่างกำลังสอง (Differential Squaring Circuit)	33
4.6 วงจรคุณสมบัติสัญญาณ 4 ควอดแดรนต์.....	35
4.7 ผลการทดลอง และ ผลการเลียนแบบการทำงานด้วย PSpice.....	37
4.8 บทสรุป.....	45
บทที่ 5 วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน.....	46
5.1 บทนำ.....	46
5.2 หลักการของวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน.....	46
5.3 การวิเคราะห์ประสิทธิภาพของวงจร.....	49
5.3.1 การวิเคราะห์อินพุตปฏิบัติงานด้านบวก.....	49
5.3.2 การวิเคราะห์อินพุตปฏิบัติงานด้านลบ.....	50
5.3.3 การวิเคราะห์การตอบสนองทางความถี่.....	50
5.4 ผลการทดลอง และ ผลการเลียนแบบการทำงานด้วย PSpice.....	51
5.5 การประยุกต์ใช้งาน.....	53
5.6 บทสรุป.....	54
บทที่ 6 วงจรรากที่สองโดยใช้ซีมอส.....	55
6.1 บทนำ.....	55

สารบัญ (ต่อ)

	หน้า
6.2 หลักการและการออกแบบวงจรถอดราก็สอง.....	55
6.3 วงจรถอดราก็สอง.....	56
6.4 การวิเคราะห์ย่านอินพุตปฏิบัติงาน.....	58
6.5 ผลการทดลอง และ ผลการเลียนแบบการทำงานด้วย PSpice.....	58
6.6 บทสรุป.....	62
บทที่ 7 วงจรกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์.....	63
7.1 บทนำ.....	63
7.2 วงจรกำเนิดสัญญาณรูปไซน์แบบใหม่โดยใช้ OTA แบบที่หนึ่ง.....	63
7.3 วงจรกำเนิดสัญญาณรูปไซน์แบบใหม่โดยใช้ OTA แบบที่สอง.....	68
7.3.1 วงจรขยายแรงดันโดยใช้ OTA.....	69
7.4 การวิเคราะห์หาค่าความไว (Sensitivity)	72
7.4.1 การวิเคราะห์หาค่าความไวของวงจรถอดราก็สองแบบที่ 1.....	72
7.4.2 การวิเคราะห์หาค่าความไวของวงจรถอดราก็สองแบบที่ 2.....	74
7.5 ผลการทดลอง และ ผลการเลียนแบบการทำงานด้วย PSpice.....	74
7.6 บทสรุป.....	82
บทที่ 8 บทส่งท้าย และ แนวทางการพัฒนาต่อ.....	83
8.1 บทส่งท้าย.....	83
8.2 แนวทางการพัฒนาต่อของวงจรคุณสมบัติอนาล็อก 4 ควอดแดรนต์แบบซีมอส โดยใช้ไฟเลี้ยงเดี่ยว.....	84
8.3 แนวทางการพัฒนาต่อของวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน	84
8.4 แนวทางการพัฒนาต่อของวงจรถอดราก็สอง.....	85
8.5 แนวทางการพัฒนาต่อของวงจรถอดราก็สองปรับค่าได้ทาง อิเล็กทรอนิกส์.....	85
เอกสารอ้างอิง.....	86
ภาคผนวก	
ก. การวิเคราะห์หาคุณสมบัติทางไฟสลัป ของวงจรถอดราก็สอง.....	89
ข. การวิเคราะห์สมรรถนะของวงจรถอดราก็สองอนาล็อก 4 ควอดแดรนต์แบบซีมอส โดยใช้ ไฟเลี้ยงเดี่ยว.....	102

สารบัญ (ต่อ)

	หน้า
ค. การวิเคราะห์สมรรถนะของวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน....	112
ง. การวิเคราะห์สมรรถนะของวงจรถอดรอกที่สอง.....	117
จ. การวิเคราะห์สมรรถนะของวงจรวงจรถูกกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทาง อิเล็กทรอนิกส์.....	120
ฉ. แสดงบทความที่ได้รับการตีพิมพ์ในวารสารต่างประเทศ.....	125
ประวัติผู้เขียน.....	170

สารบัญญรูป

รูปที่	หน้า
2.1 วงจรคุณสมบัติสัญญาณแบบ Gilbert.....	5
2.2 วงจรทรานสลิเนียร์พื้นฐาน.....	8
2.3 วงจรคุณสมบัติสัญญาณด้วยวงจรโอทีเอโดยใช้มอสทรานซิสเตอร์ย่านอิมิตัว.....	9
2.4 วงจรสร้างแรงดันลอยตัวแบบคู่.....	10
2.5 หลักการวงจรถอดรอกที่ 2 โดยใช้วงจรคูณ.....	11
2.6 วงจรความต้านทานแบบลอยตัวปรับค่าได้ด้วยแรงดัน.....	12
2.7 วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน.....	13
2.8 ระบบป้อนกลับแบบบวก.....	14
2.9 วงจรกำเนิดสัญญาณรูปไซน์แบบ Wein-Bridge.....	16
2.10 วงจรกำเนิดสัญญาณรูปไซน์แบบ Phase-Shift.....	17
3.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	20
3.2 วงจรเลื่อนระดับแรงดัน (ก) แบบบวก (ข) แบบลบ.....	22
3.3 วงจรขยายความแตกต่าง.....	23
3.4 วงจร NMOS อินเวอร์เตอร์.....	25
3.5 วงจรกำลังสอง (Squaring Circuit).....	27
3.6 วงจรผลต่างกำลังสอง (Differential Squaring circuit).....	27
3.7 วงจรส่งผ่านความต้านทาน.....	29
4.1 หลักการคูณโดยใช้พีชคณิตกำลังสองส่วนสี่.....	30
4.2 วงจร NMOS อินเวอร์เตอร์.....	31
4.3 วงจรเลื่อนระดับแรงดัน (Voltage-Level Detector).....	32
4.4 วงจรผลต่างรวมสัญญาณ (Differential Summing Circuit).....	33
4.5 วงจรกำลังสอง (Squaring Circuit)	34
4.6 วงจรผลต่างกำลังสอง (Differential Squaring circuit).....	34
4.7 วงจรคุณสมบัติสัญญาณ 4 ควอดแดรนต์ที่สมบูรณ์.....	35
4.8 วงจรสะท้อนกระแสที่ใช้แทนแหล่งจ่ายกระแสคงที่ I_{B1} และ I_{B2}	36
4.9 กราฟแสดงคุณสมบัติของวงจรคุณสมบัติสัญญาณแบบ 4 ควอดแดรนต์จากการคำนวณ.....	36
4.10 กราฟแสดงคุณสมบัติของวงจรคุณสมบัติสัญญาณแบบ 4 ควอดแดรนต์.....	38
4.11 รูปสัญญาณจากการมอดดูเลทแบบ AM ความถี่ที่อินพุทเป็นสัญญาณรูปไซน์ความถี่ 5 kHz ผสมกับสัญญาณความถี่ 100 kHz โดยแรงดันอินพุททั้งสองมีค่าเท่ากับ $2 V_{p-p}$	38

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.12 รูปสัญญาณจากการมอดดูเลทแบบ AM ความถี่ที่อินพุทเป็นสัญญาณรูปสามเหลี่ยม ความถี่ 5 kHz ผสมกับสัญญาณไซน์ความถี่ 100 kHz โดยแรงดันอินพุททั้งสองมีค่าเท่ากับ $2 V_{p-p}$	39
4.13 ความเพี้ยนรวมทางฮาร์โมนิคของวงจรถอดรูป.....	40
4.14 ค่าความผิดพลาดของเอาต์พุทเมื่ออินพุทเป็น (ก) V_A และ (ข) V_B	41
4.15 การตอบสนองทางความถี่ของวงจรถอดรูปสัญญาณ.....	41
4.16 วงจรถอดรูปสัญญาณ 4 ควอดแดรนต์ที่ใช้ IC MC14007.....	42
4.17 กราฟแสดงคุณสมบัติของวงจรถอดรูปสัญญาณแบบ 4 ควอดแดรนต์ของวงจรถอดรูปที่ 4.15 (ก) แรงดัน V_O กับ V_A (ข) แรงดัน V_O กับ V_B	43
4.18 รูปสัญญาณจากการมอดดูเลทแบบ AM ความถี่ที่อินพุทเป็นสัญญาณรูปไซน์ความถี่ 0.5 kHz ผสมกับสัญญาณไซน์ความถี่ 10 kHz โดยแกน $x = 0.5 \text{ v/div}$ และ แกน $y = 0.5 \text{ ms/div}$	44
4.19 รูปสัญญาณจากการมอดดูเลทแบบ AM ความถี่ที่อินพุทเป็นสัญญาณรูปสามเหลี่ยม ความถี่ 0.5 kHz ผสมกับสัญญาณไซน์ความถี่ 10 kHz โดยแกน $x = 0.5 \text{ v/div}$ และ แกน $y = 0.5 \text{ ms/div}$	44
5.1 วงจรความต้านทานของ Han และ Park [14]	46
5.2 วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน.....	48
5.3 คุณสมบัติทางไฟตรงของวงจรความต้านทานแบบต่อกราวด์จากการคำนวณ.....	49
5.4 คุณสมบัติทางไฟตรงของวงจรความต้านทานแบบต่อกราวด์จากการเลียนแบบการทำงานด้วย PSpice.....	51
5.5 วงจรความต้านทานแบบต่อกราวด์ที่ใช้ IC MC14007.....	52
5.6 คุณสมบัติทางไฟตรงของวงจรความต้านทานแบบต่อกราวด์จากการเลียนแบบการต่อวงจรจริงตามรูปที่ 5.5.....	52
5.7 วงจรกรองความถี่สูงผ่านปรับค่าได้ด้วยแรงดัน.....	53
5.8 คุณสมบัติทางความถี่ของวงจรถอดรูปที่ 5.7.....	53
6.1 หลักการวงจรถอดรูปที่สอง.....	55
6.2 วงจรสะท้อนกระแสเพื่อเป็นอินพุทให้กับวงจรถอดรูปที่ 6.1.....	57
6.3 วงจรสมบรูณ์ของวงจรถอดรูปที่สอง.....	57
6.4 คุณสมบัติทางไฟตรงของวงจรถอดรูปที่สองจากการคำนวณ.....	57
6.5 คุณสมบัติทางไฟตรงของวงจรถอดรูปที่สอง.....	59
6.6 เอาต์พุทของวงจรถอดรูปที่สองเมื่ออินพุทเป็นสัญญาณไซน์.....	59

สารบัญรูป (ต่อ)

รูปที่	หน้า
6.7 เอาท์พุทของวงจรถอดราก็สองเมื่ออินพุทเป็นสัญญาณสามเหลี่ยม.....	60
6.8 การตอบสนองทางความถี่ของวงจรถอดราก็สอง.....	60
6.9 วงจรถอดราก็สอง โดยใช้ IC MC14007.....	61
6.10 รูปสัญญาณอินพุท และ เอาท์พุท เมื่ออินพุทเป็นสัญญาณไซน์ 1kHz โดยใช้วงจรรูปที่ 6.9 โดยที่แกน $x = 0.5 \text{ ms/div}$ และ แกน $y = 0.5 \text{ V/div}$	61
6.11 รูปสัญญาณอินพุท และ เอาท์พุท เมื่ออินพุทเป็นสัญญาณสามเหลี่ยม 1kHz โดยใช้วงจรรูปที่ 6.9 โดยที่แกน $x = 0.5 \text{ ms/div}$ และ แกน $y = 0.5 \text{ V/div}$	62
7.1 ตัวกรองความถี่ต่ำผ่านอันดับ 3.....	63
7.2 หลักการของวงจรถอดสัญญาณรูปไซน์แบบที่หนึ่ง.....	64
7.3 รูปแสดงวงจรมินิเกรเตอร์แบบมีการสูญเสีย.....	64
7.4 วงจรถอดความถี่ต่ำผ่านอันดับสอง.....	65
7.5 รูปแสดงวงจรมินิเกรเตอร์แบบไม่มีการสูญเสีย.....	65
7.6 (ก)วงจรถอดสัญญาณอันดับสาม และ (ข)วงจรถอดสัญญาณรูปไซน์แบบที่1.....	66
7.7 ค่าความถี่ที่กำเนิดได้เมื่อเปลี่ยนค่ากระแสไบอัส I ของวงจรถอดแบบที่หนึ่งจากการคำนวณ.....	67
7.8 หลักการของวงจรถอดสัญญาณอันดับ 3 โดยใช้วงจรถอด Lossy Integrator.....	68
7.9 หลักการของวงจรถอดสัญญาณรูปไซน์โดยใช้วงจรถอด Lossy Integrator.....	68
7.10(ก) วงจรขยายแรงดันโดยใช้ OTA (ข) วงจรความต้านทานอิเล็กทรอนิกส์.....	69
7.11 วงจรถอดความถี่อันดับสาม.....	70
7.12 วงจรถอดสัญญาณรูปไซน์โดยใช้ OTA แบบที่สอง.....	70
7.13 ค่าความถี่ที่กำเนิดได้เมื่อเปลี่ยนค่ากระแสไบอัส I ของวงจรถอดแบบที่สองจากการคำนวณ.....	72
7.14 วงจรโอทีเออย่างง่าย.....	75
7.15 วงจรถอดสัญญาณแบบที่หนึ่งที่สมบูรณ์.....	75
7.16 วงจรถอดสัญญาณแบบที่สองที่สมบูรณ์.....	76
7.17 ค่าความถี่ที่กำเนิดได้เมื่อเปลี่ยนค่ากระแสไบอัส I ของวงจรถอดแบบที่หนึ่ง.....	77
7.18 ค่าความถี่ที่กำเนิดได้เมื่อเปลี่ยนค่ากระแสไบอัส I ของวงจรถอดแบบที่สอง.....	77
7.19 รูปสัญญาณที่กำเนิดได้ ณ จุดต่าง ๆ ทั้งสามจุดของวงจรถอดแบบที่หนึ่ง.....	78
7.20 รูปสัญญาณที่กำเนิดได้ ณ จุดต่าง ๆ ทั้งสามจุดของวงจรถอดแบบที่สอง.....	78
7.21 รูปของ Frequency Spectrum วงจรถอดแบบที่หนึ่ง.....	79
7.22 รูปของ Frequency Spectrum วงจรถอดแบบที่สอง.....	79

สารบัญรูป (ต่อ)

รูปที่	หน้า
7.23 วงจรกำเนิดสัญญาณ (ก)แบบที่ 1 และ (ข) แบบที่ 2 โดยใช้ไอซี MC14007.....	80
7.24 สัญญาณที่กำเนิดได้จากวงจรรูปที่ 7.23 (ก) แบบที่ 1 โดยที่แกน $x = 20 \mu\text{ms}/\text{div}$ และ แกน $y = 2 \text{ V}/\text{div}$ และ (ข) แบบที่ 2 โดยที่แกน $x = 1 \mu\text{s}/\text{div}$ และ แกน $y = 0.5$ V/div	81
7.25 รูปของ Frequency Spectrum ของสัญญาณรูปที่ 7.24 (ก) แบบที่1 (ข) แบบที่2.....	82
ก1(ก) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ (ข) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ย่านอิมพัลส์.....	89
ก2 แบบจำลองสำหรับการเลียนแบบการทำงานด้วย PSpice.....	89
ก3 วงจรสะท้อนกระแสแบบพื้นฐาน.....	90
ก4 แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบพื้นฐาน.....	91
ก5 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์หิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐาน.....	92
ก6 วงจรโอทีเอแบบพื้นฐาน.....	93
ก7 แบบจำลองสัญญาณขนาดเล็กของวงจรโอทีเอแบบพื้นฐาน.....	93
ก8 แบบจำลองสัญญาณขนาดเล็กของวงจรโอทีเอแบบพื้นฐานกรณีพิจารณาหาความถี่ตอบสนอง.....	95
ก9 วงจรเลื่อนระดับแรงดัน (ก) แบบบวก (ข) แบบลบ.....	96
ก10 แบบจำลองสัญญาณขนาดเล็กของวงจรเลื่อนระดับแรงดัน.....	97
ก11 วงจรอินเวอร์เตอร์แบบมอสทรานซิสเตอร์ชนิด N.....	98
ก12 แบบจำลองสัญญาณขนาดเล็กวงจรรูปที่ ก11 เมื่ออินพุตเป็น เป็น V_A	98
ก13 แบบจำลองสัญญาณขนาดเล็กวงจรรูปที่ ก11 เมื่ออินพุตเป็น เป็น V_B	99
ก14 วงจรผลต่างกำลังสองครึ่งวงจร.....	99
ก15 วงจรผลต่างกำลังสองครึ่งวงจรรูปที่ ก14.....	100
ก16 แบบจำลองสัญญาณขนาดเล็กวงจรรูปที่ ก15.....	100
ก17 วงจรส่งผ่านความต้านทาน.....	101
ก18 แบบจำลองสัญญาณขนาดเล็กจากรูปที่ ก17.....	101
ข1 วงจรอินเวอร์เตอร์แบบมอสทรานซิสเตอร์ชนิด N.....	102
ข2 วงจรคุณสมบัติที่ได้จากทำกระบวนการแบ่งครึ่ง (Half Circuit).....	108
ข3 วงจรคุณสมบัติที่ใช้ในการวิเคราะห์โดยแบบจำลองสัญญาณขนาดเล็ก.....	108

สารบัญญรูป (ต่อ)

รูปที่	หน้า
ข4 แบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ข3.....	109
ข5 แบบจำลองสัญญาณขนาดเล็กของรูป ข3 แบบลดรูป.....	109
ข6 แบบจำลองสัญญาณขนาดเล็กที่ใช้สำหรับหาค่าความต้านทานจุดขั้วศูนย์.....	110
ข7 ความต้านทานที่จุดขั้วต่างๆ ทั้ง 3 จุด.....	110
ข8 ค่าตัวแปรต่างๆ ของวงจรรูณสัญญาณ.....	110
ค1 วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน.....	112
ค2 แบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ค1.1.....	112
ค3 ค่าตัวแปรต่างๆ ของวงจรรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน.....	114
ค4 วงจรเลื่อนระดับแรงดันที่ใช้ในการวิเคราะห์ย่านอินพุตปฏิบัติงาน.....	115
ง1 วงจรถอดรอกที่สอง.....	117
ง2 แบบจำลองสัญญาณขนาดเล็กของวงจรถอดรอกที่2.....	117
ง3 การหาค่าความต้านทานจุดขั้วศูนย์.....	118
ง4 ค่าตัวแปรต่างๆ ของวงจรถอดรอกที่สอง.....	118
จ1 วงจรขยายความแตกต่างแบบมอสทรานซิสเตอร์.....	120
จ2 ตัวแปรต่างๆของวงจรกำเนิดสัญญาณ.....	124

สารบัญตาราง

ตารางที่	หน้า
7.1 ตารางแสดงค่าความเพี้ยนรวมทางความถี่ (THD) ของวงจรแบบที่หนึ่ง.....	80
7.2 ตารางแสดงค่าความเพี้ยนรวมทางความถี่ (THD) ของวงจรแบบที่สอง.....	80

บทที่ 1

กล่าวนำ

1.1 บทนำ

การทำงานของวงจรรวมอิเล็กทรอนิกส์ในปัจจุบัน เป็นที่ทราบดีอยู่แล้วว่าไม่ว่าจะเป็นการทำงานในด้านของ อนาล็อก หรือ ดิจิตอล ล้วนแล้วแต่มุ่งเน้นการออกแบบไปในแนวทางของวงจรรวม (Integrated Circuit) ซึ่งมีข้อดีว่าการออกแบบเป็นวงจรรวมแบบดิสครีท (Discrete Circuit) กล่าวคือ จะมีผลดีในด้านการตอบสนองทางความถี่สูงกว่า และ เสถียรภาพของวงจรมากกว่าเนื่องจากผลกระทบของความร้อน (Thermal Effect) จะเกิดขึ้นในปริมาณที่เท่ากัน สามารถหักล้างกันออกไปได้ ถ้าออกแบบให้วงจรทำงานแบบดิฟเฟอเรนเชียล ทำให้อุปกรณ์มีความเที่ยงตรง และ มีความผิดพลาดของสัญญาณต่ำ โดยหลักการออกแบบวงจรรวมจะเน้นหนักกว่าจะไม่มีอุปกรณ์แบบพาสซีฟ (Passive) จะมีเพียงอุปกรณ์ประเภทแอคทีฟ (active) เท่านั้น เช่น ทรานซิสเตอร์ และ ไดโอด เป็นต้น เป็นผลให้วงจรที่ออกแบบใช้พื้นที่ (Die Area) น้อยลงมากทำให้อุปกรณ์มีขนาดเล็ก ซึ่งก็จะสามารถลดปัญหาของการมีการเชื่อมต่อของอุปกรณ์ที่ในวงจรรวมแบบดิสครีทมีความเหนียวแน่น และ ค่าประจุแอบแฝงจำนวนมากลงได้ อีกทั้งยังสามารถให้ความเที่ยงตรงของเอาต์พุตที่สูงเนื่องจากมีผลกระทบของความร้อนในอัตราที่เท่ากันทั้งวงจร ทำให้การนำกระแสของอุปกรณ์แอคทีฟประเภทสารกึ่งตัวนำมีค่าเท่ากัน ในวงจรรวมอนาล็อกนั้นก็มีการพัฒนาขึ้นมาอย่างต่อเนื่อง ไม่ว่าจะเป็นในโหมดแรงดัน และ โหมดกระแส โดยเฉพาะในโหมดกระแสยังมีข้อดีเพิ่มขึ้นอีก คือสามารถทำให้อุปกรณ์เล็กลง ใช้ไฟเลี้ยงต่ำกว่า มีผลตอบสนองต่อความถี่สูงกว่า ทำให้ในปัจจุบันการออกแบบวงจรรวมจึงมีแนวโน้มว่าจะเป็นที่ยอมรับ ที่จะให้อุปกรณ์อนาล็อกทำงานในโหมดของกระแสเพื่อรองรับการทำงานในย่านความถี่สูง และ ประหยัดพลังงาน แต่อย่างไรก็ดีการพัฒนาของวงจรรวมอนาล็อกก็มีการพัฒนาขึ้นมาอย่างต่อเนื่องทั้งในโหมดกระแส และ แรงดัน อาทิ เช่น วงจรขยาย วงจรกรองสัญญาณ วงจรกำเนิดสัญญาณ และ วงจรอนาล็อกฟังก์ชันต่างๆ ฯลฯ

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

วิทยานิพนธ์มีวัตถุประสงค์ และ เป้าหมายในการวิจัย และ พัฒนา โดยเน้นหนักในการออกแบบวงจรรวมอนาล็อกในรูปแบบใหม่ที่มีหน้าที่ต่างๆ ทั้งในโหมดแรงดัน และ โหมดกระแส ที่มีความเที่ยงตรงสูง มีสมรรถนะสูง แต่มีวงจรที่ไม่ซับซ้อน และ มีขนาดเล็กโดยใช้มอสทรานซิสเตอร์เป็นหลัก โดยวงจรที่ออกแบบใหม่ทั้งหมดนั้นมีทั้งหมด 4 วงจร ในวงจรแรกคือวงจรคูณสัญญาณแบบซีมอสโดยใช้ไฟเลี้ยงเดี่ยว วงจรนี้ทำงานในโหมดแรงดัน โดยใช้หลักการพีชคณิตกำลังสองส่วนสี่ (Quarter-Square Algebraic Identity) โดยมีจุดเด่นคือใช้แรงดันไฟเลี้ยงเดี่ยว (Single Supply) คือ +5 โวลต์ เท่านั้น โดยหลักในการออกแบบให้วงจรสามารถทำงานโดยใช้ไฟเลี้ยงเดี่ยวได้นั้นจะใช้การเลื่อนจุดทำงานของมอสทรานซิสเตอร์ วงจรที่สองคือ วงจรความต้านทานแบบต่อกราวด์ปรับ

ค่าได้ด้วยแรงดัน โดยอาศัยหลักการของการเลื่อนระดับสัญญาณบังคับให้มอสทรานซิสเตอร์ทำงานให้ทำงานในย่านไม่อิ่มตัว โดยวงจรที่ออกแบบนั้นใช้ทรานซิสเตอร์แบบมอสเพียง 3 ตัวเท่านั้น มีโครงสร้างง่าย ย่านการควบคุมกว้าง และ มีความเป็นเชิงเส้นของความต้านทานสูง วงจรที่สาม คือ วงจรถอดรอกที่สองโดยใช้ซีมอส วงจรนี้ใช้หลักการทำงานของมอสทรานซิสเตอร์ในย่านอิ่มตัว ทั้งนี้ วงจรที่ออกแบบขึ้นจะมีหลักการที่ง่าย โดยด้านอินพุททำงานในโหมดกระแส ส่วนเอาต์พุทจะทำงานในโหมดแรงดัน โดยเอาต์พุทที่ได้จากวงจรจะใช้หลักการหักล้างแรงดันไฟตรงที่ปะปนมาจากเอาต์พุทด้วยทรานซิสเตอร์ ที่ขนาดของอัตราการสะท้อนของวงจกระแสไม่เท่ากัน และ วงจรที่สี่คือ วงจรกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์ วงจรกำเนิดสัญญาณในวิทยานิพนธ์นี้ใช้ วงจรโอทีเอ (Operational Transconductance Amplifier : OTA) อย่างง่ายเป็นอุปกรณ์แอกทีฟ วงจรกำเนิดสัญญาณนี้เป็นวงจรที่สร้างขึ้นมาโดยอาศัยหลักการของโพลีโนเมียลกำลังสาม ซึ่งจะช่วยให้เอาต์พุทที่เป็นสัญญาณไซน์มีความเที่ยงตรง และ มีความบริสุทธิ์ของสัญญาณสูงกว่าแบบที่ใช้โพลีโนเมียลกำลังสอง อีกทั้งยังสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยไม่ทำให้เงื่อนไขของการกำเนิดสัญญาณเปลี่ยนแปลง ในหลักการของวงจรทั้งสี่เป็นหลักการใหม่ที่ได้ทำการวิจัย และ พัฒนาขึ้นมา และ สามารถนำหลักการของวงจรที่เสนอไว้ทั้งสี่สร้างเป็นวงจรรวมได้

1.3 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้ มีรายละเอียดของเนื้อหาทั้งหมด 8 บท และ ภาคผนวก 6 ภาคผนวก ซึ่งมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นการกล่าวนำทั่วไป และ วัตถุประสงค์ในการทำวิทยานิพนธ์ รวมทั้งรายละเอียดของวิทยานิพนธ์

บทที่ 2 กล่าวถึง หลักการและทฤษฎีที่เกี่ยวข้องในวิทยานิพนธ์ อาทิ หลักการของกำเนิดความถี่รูปไซน์ (Sinusoidal Oscillation), หลักการของวงจรคุณสมบัติอนาล็อกในงานวิจัยก่อนๆ, หลักการของวงจรถอดรอกที่สอง อนาล็อกในวิจัยก่อนๆ และ หลักการของวงจรความต้านทานปรับค่าได้ด้วยแรงดันในงานวิจัยก่อนๆ

บทที่ 3 กล่าวถึง วงจรย่อย (Subcircuit) ต่างๆ ที่มีความสำคัญ และ ถูกนำมาใช้กับวิทยานิพนธ์นี้ อาทิ วงจรสะท้อนกระแส (Current Mirror), วงจรเลื่อนระดับแรงดัน (Voltage Level-Shifter), วงจรคู่ดิฟเฟอเรนเชียล (Differential Pairs), วงจรกำลังสองสัญญาณ (Squaring Circuit), วงจรรวมสัญญาณ (Summing Circuit) เป็นต้น

บทที่ 4 กล่าวถึง วงจรคุณสมบัติแบบซีมอสโดยใช้ไฟเลี้ยงเดี่ยว วงจรนี้ทำงานในโหมดแรงดัน โดยใช้หลักการพีชคณิตกำลังสองส่วนสี่ (Quarter-Square Algebraic Identity) โดยมีจุดเด่นคือใช้แรงดันไฟเลี้ยงเดี่ยว (Single Supply) คือ +5 โวลต์ เท่านั้น

บทที่ 5 กล่าวถึง วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน โดยอาศัยหลักการของการเลื่อนระดับสัญญาณบังคับให้มอสทรานซิสเตอร์ทำงานให้ทำงานในย่านไม่อิ่มตัว โดยวง

จรที่ออกแบบนั้นใช้ทรานซิสเตอร์แบบมอสเพียง 3 ตัวเท่านั้น มีโครงสร้างง่าย ย่นการควบคุม กว้าง และ มีความเป็นเชิงเส้นของความต้านทานสูง

บทที่ 6 กล่าวถึง วงจรถอดรอกที่สองโดยใช้ซีมอส วงจรนี้ใช้หลักการทำงานของมอสทรานซิสเตอร์ในย่านอิ่มตัว ทั้งนี้วงจรที่ออกแบบขึ้นจะมีหลักการที่ง่าย โดยด้านอินพุททำงานในโหมด กระแส ส่วนเอาต์พุทจะทำงานในโหมดแรงดัน โดยเอาต์พุทที่ได้จากวงจรจะใช้หลักการหักล้างค่าคงที่ด้วยทรานซิสเตอร์ที่ขนาดของ Channel ไม่สมมาตรกัน

บทที่ 7 กล่าวถึง วงจรกำเนิดสัญญาณรูปไซน์แบบใหม่ โดยอาศัยหลักการของโพลีโนเมียลอันดับสาม โดยใช้วงจรคู่ดิฟเฟอเรนเชียลแบบพื้นฐาน ประยุกต์ให้ทำหน้าที่เป็นวงจรโอทีเอ ซึ่งสามารถปรับค่าความถี่ได้โดยมีความเป็นเชิงเส้น และ มีความบริสุทธิ์ของสัญญาณไซน์ค่อนข้างสูง

บทที่ 8 กล่าวถึง การสรุปผลงานวิจัยในวิทยานิพนธ์ทั้งหมด รวมทั้งแนวทางการพัฒนาต่อ

กรณีของการวิเคราะห์คุณสมบัติของวงจรที่ใช้ในงานวิจัยในวิทยานิพนธ์ ซึ่งเป็นส่วนที่มีความสำคัญ เพื่อวิเคราะห์หาประสิทธิภาพตลอดจนค่าความผิดพลาดของวงจรที่อาจเกิดขึ้น ได้เสนอไว้เป็นภาคผนวกของวิทยานิพนธ์ดังมีรายละเอียดดังต่อไปนี้

ภาคผนวก ก แสดงรายละเอียดของแบบจำลองสัญญาณขนาดเล็ก ของมอสทรานซิสเตอร์ที่ใช้ในวิทยานิพนธ์ และ MOS Transistor Model ที่ใช้ในการวิเคราะห์ในด้วยโปรแกรม PSpice ในวิทยานิพนธ์ การวิเคราะห์หาประสิทธิภาพ ในด้านไฟตรง และ ไฟสลับต่าง ๆ ของวงจรถุ่มย่อยที่ใช้ในวิทยานิพนธ์ เช่น วงจรสะท้อนกระแส, วงจรขยายความแตกต่าง วงจรเลื่อนระดับแรงดัน วงจรอินเวอร์เตอร์จากมอสทรานซิสเตอร์ชนิด N และ วงจรผลต่างกำลังสอง

ภาคผนวก ข แสดงการวิเคราะห์ส่วนของประสิทธิภาพของวงจรคุณสัญญาณโดยใช้ไฟเลี้ยงเดี่ยว

ภาคผนวก ค แสดงการวิเคราะห์ส่วนของประสิทธิภาพของวงจรวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน

ภาคผนวก ง แสดงการวิเคราะห์ส่วนของประสิทธิภาพของวงจรถอดรอกที่สอง

ภาคผนวก จ แสดงการวิเคราะห์หาประสิทธิภาพของวงจรถูกกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์

ภาคผนวก ฉ แสดงบทความที่ได้รับการพิจารณาตีพิมพ์ในวารสารต่างประเทศ

บทที่ 2

หลักการที่ใช้ในวิทยานิพนธ์

2.1 บทนำ

ในหลักการและทฤษฎีที่ใช้ในวิทยานิพนธ์นี้ ประกอบไปด้วยหลายส่วน ส่วนแรกเป็นหลัก การของวงจรคุณสมบัติสัญญาณ หลักการของวงจรถอดรหัสดูที่สอง หลักการของวงจรความต้านทานปรับค่าได้ด้วยแรงดัน และ หลักการของการกำเนิดสัญญาณรูปไซน์

หลักการของวงจรคุณสมบัติสัญญาณ ในงานวิจัยที่ผ่านมาโดยทั่วไปวงจรคุณสมบัติสัญญาณ มีด้วยกันหลายหลักการ เช่น หลักการของกิลเบิร์ต (Gilbert Cell) [1] การใช้หลักการของวงจรทรานสลิเนียร์ (Translinear Circuit) [47] และ หลักการของวงจรโอทีเอ (Operation Transconductance Amplifier : OTA) ซึ่งแบ่งเป็นสองแบบคือ แบบให้มอสทรานซิสเตอร์ทำงานในย่านไม่อิ่มตัว (Ohmic Region) [11] และ แบบให้มอสทรานซิสเตอร์ทำงานในย่านอิ่มตัว (Saturation Region) [2]-[8] โดยวงจรที่ใช้หลักการแบบทรานสลิเนียร์นั้น จะเหมาะสมกับการออกแบบด้วยทรานซิสเตอร์ชนิดไบโพลาร์ (BJT) ส่วนการคุณสมบัติสัญญาณโดยใช้วงจรโอทีเอ จะนิยมออกแบบโดยใช้มอสทรานซิสเตอร์ แต่ก็จะมีข้อเสียคือจะต้องใช้แรงดันไฟเลี้ยงคู่ (Dual Supply) ทำให้การประยุกต์ใช้ร่วมกับวงจรอื่นๆ จะต้องมีการดัดแปลงค่อนข้างยุ่งยากด้วย

หลักการของวงจรถอดรหัสดูที่สอง วงจรถอดรหัสดูที่สอง (Square-Rooting Circuit) โดยทั่วไปมักจะใช้วงจรคุณสมบัติสัญญาณมาประยุกต์ โดยอาจจะนำมาต่อร่วมกับออปแอมป์ (OPAMP) [26] หรือ อุปกรณ์ขยายสัญญาณอื่นๆ เช่น วงจรโอทีเอ (Operational Transconductance Amplifier : OTA) หรือ วงจรสายพานกระแส (Current Conveyor : CCII) [27]-[29] เป็นต้น แต่ก็มีบางหลักการที่ใช้มอสทรานซิสเตอร์มาออกแบบ ซึ่งก็จะมีข้อเสียบ้างเช่น วงจรค่อนข้างซับซ้อน ใช้ไฟเลี้ยงคู่ ต้องปรับแต่งแรงดันหรือกระแสในวงจร เป็นต้น

หลักการของวงจรความต้านทานปรับค่าได้ด้วยแรงดัน วงจรความต้านทานปรับค่าได้ด้วยแรงดันนั้นมีการวิจัยกันมาอย่างต่อเนื่องโดยเฉพาะการใช้มอสทรานซิสเตอร์ในการออกแบบ ซึ่งจะมีอยู่ 2 ประเภทใหญ่ๆ คือวงจรความต้านทานแบบลอยตัว และ วงจรความต้านทานแบบต่อกราวด์ [13]-[25] ซึ่งการใช้งานนั้นจะมีการใช้งานที่แตกต่างกัน ซึ่งจะสามารถนำมาประยุกต์ในวงจรอื่นๆ ได้อย่างกว้างขวาง เช่น วงจรกรองสัญญาณปรับค่าได้ วงจรกำเนิดสัญญาณปรับค่าได้ ฯลฯ

หลักการของการกำเนิดสัญญาณรูปไซน์ โดยทั่วไปนั้นวงจรถูกกำเนิดสัญญาณรูปไซน์จะสามารถกำเนิดสัญญาณได้ต้องอาศัยการป้อนกลับแบบบวก [32]-[39] และ วงจรจะสามารถกำเนิดสัญญาณได้นั้นจะต้องเป็นระบบหรือตัวกรองสัญญาณที่มีอันดับสองขึ้นไป ซึ่งสัญญาณที่กำเนิดออกมาจะมีความเที่ยงตรง บริสุทธิ์ของรูปสัญญาณนั้นก็ขึ้นอยู่กับความเที่ยงตรง และความแม่นยำของตัวกรองสัญญาณนั่นเอง

$$\frac{I_{C3}}{I_{C4}} = \exp\left(\frac{V_1}{V_T}\right) \quad (2.3)$$

โดยที่ $I_{C1} \approx I_{C3} + I_{C4}$ ดังนั้น

$$I_{C3} = \frac{I_{C3} + I_{C4}}{1 + \frac{I_{C4}}{I_{C3}}} \quad \text{หรือ} \quad I_{C3} = \frac{I_{C1}}{1 + \exp\left(\frac{-V_1}{V_T}\right)} \quad (2.4)$$

ทำนองเดียวกัน
$$I_{C4} = \frac{I_{C1}}{1 + \exp\left(\frac{V_1}{V_T}\right)} \quad (2.5)$$

คูณสมการที่ (2.4) ด้วย $\exp\left(\frac{V_1}{2V_T}\right)$ ทั้งเศษ และ ส่วนได้เป็น

$$I_{C3} = \frac{I_{C1} \exp\left(\frac{V_1}{2V_T}\right)}{\exp\left(\frac{V_1}{2V_T}\right) + \exp\left(\frac{-V_1}{2V_T}\right)} \quad (2.6)$$

ในทำนองเดียวกัน คูณสมการที่ (2.5) ด้วย $\exp\left(\frac{-V_1}{2V_T}\right)$ ทั้งเศษ และ ส่วนได้เป็น

$$I_{C4} = \frac{I_{C1} \exp\left(\frac{-V_1}{2V_T}\right)}{\exp\left(\frac{-V_1}{2V_T}\right) + \exp\left(\frac{V_1}{2V_T}\right)} \quad (2.7)$$

ในทำนองเดียวกันกระแสคอลเลคเตอร์ ของทรานซิสเตอร์ Q_5 และ Q_6 มีค่าเท่ากับ

$$I_{C5} = \frac{I_{C2} \exp\left(\frac{-V_1}{2V_T}\right)}{\exp\left(\frac{-V_1}{2V_T}\right) + \exp\left(\frac{V_1}{2V_T}\right)} \quad (2.8)$$

$$I_{C6} = \frac{I_{C2} \exp\left(\frac{V_1}{2V_T}\right)}{\exp\left(\frac{V_1}{2V_T}\right) + \exp\left(\frac{-V_1}{2V_T}\right)} \quad (2.9)$$

$$\Delta I = I_{C3-5} - I_{C4-6} = I_{C3} + I_{C5} - (I_{C4} + I_{C6}) \quad (2.10)$$

$$\Delta I = (I_{C1} - I_{C2}) \frac{\exp\left(\frac{V_1}{2V_T}\right) - \exp\left(\frac{-V_1}{2V_T}\right)}{\exp\left(\frac{V_1}{2V_T}\right) + \exp\left(\frac{-V_1}{2V_T}\right)} \quad (2.11)$$

ส่วนกระแสคอลเลคเตอร์ ของทรานซิสเตอร์ Q_1 และ Q_2 ก็จะมีค่าเท่ากับ

$$I_{C1} = \frac{I_{EE} \exp\left(\frac{V_2}{2V_T}\right)}{\exp\left(\frac{V_2}{2V_T}\right) + \exp\left(\frac{-V_2}{2V_T}\right)} \quad (2.12)$$

$$I_{C2} = \frac{I_{EE} \exp\left(\frac{-V_2}{2V_T}\right)}{\exp\left(\frac{-V_2}{2V_T}\right) + \exp\left(\frac{V_2}{2V_T}\right)} \quad (2.13)$$

แทนค่าสมการที่ (2.12) และ (2.13) ลงในสมการที่ (2.11) จะได้กระแสเอาต์พุตเท่ากับ

$$\Delta I = I_{EE} \left[\frac{\exp\left(\frac{V_2}{2V_T}\right) - \exp\left(\frac{-V_2}{2V_T}\right)}{\exp\left(\frac{V_2}{2V_T}\right) + \exp\left(\frac{-V_2}{2V_T}\right)} \right] \left[\frac{\exp\left(\frac{V_1}{2V_T}\right) - \exp\left(\frac{-V_1}{2V_T}\right)}{\exp\left(\frac{V_1}{2V_T}\right) + \exp\left(\frac{-V_1}{2V_T}\right)} \right] \quad (2.14)$$

โดยที่ $\sinh x = \frac{e^x - e^{-x}}{2}$, $\cosh x = \frac{e^x + e^{-x}}{2}$ และ $\tanh x = \frac{e^x - e^{-x}}{e^x + e^{-x}}$

ดังนั้นกระแสเอาต์พุตในรูปของดิฟเฟอเรนเชียลจะได้เป็น

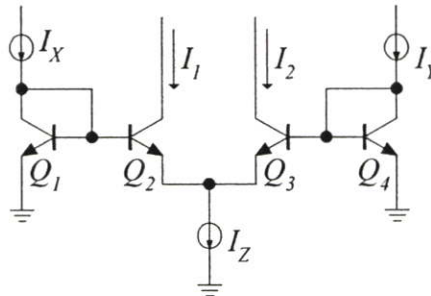
$$\Delta I = I_{EE} \left[\tanh\left(\frac{V_1}{2V_T}\right) \right] \left[\tanh\left(\frac{V_2}{2V_T}\right) \right] \quad (2.15)$$

โดยที่สมการ Hyperbolic ในรูปของ \tanh สามารถเขียนในรูปอนุกรมได้เป็น $\tanh x = x - \frac{x^3}{3} \dots\dots$ และ ค่าของ $\tanh x \approx x$ เมื่อ $x \ll 1$ ดังนั้น

$$\Delta I \approx I_{EE} \left(\frac{V_1}{2V_T} \right) \left(\frac{V_2}{2V_T} \right) \quad ; V_1, V_2 \ll 2V_T \quad (2.16)$$

ซึ่งหมายถึงอินพุตจะต้องมีค่าน้อยกว่า $2V_T$ ซึ่ง V_T คือ Thermal Voltage $\approx 26mV$

2.2.2 วงจรคุณสมบัติโดยใช้หลักการของวงจรถานสลีเนียร์ วงจรถานสลีเนียร์เป็นวงจรที่มีคุณสมบัติส่งผ่านอินพุตมายังเอาต์พุตเป็นเชิงเส้นทั้งนี้อุปกรณ์ที่ทำหน้าที่ดังกล่าว เช่น ไบโพลารทรานซิสเตอร์ ซึ่งจะเป็นการใช้คุณสมบัติทาง Exponential และ Logarithmic ของกระแสคอลเลคเตอร์กับแรงดันที่ขาเบสกับอีมีตเตอร์ โดยที่วงจรถานสลีเนียร์โดยมากมักจะมีอินพุต และ เอาต์พุตในรูปแบบของกระแส [47] โดยมีรูปแบบหลักการดังรูปที่ 2.2



รูปที่ 2.2 วงจรถานสลีเนียร์พื้นฐาน [47]

จากรูปที่ 2.2 ในการออกแบบเราสามารถทำได้ทั้งกระแสคอลเลคเตอร์ และ อีมีตเตอร์ ซึ่งมันจะอยู่ในรูปของ Current Ratio จากรูป 2.2 เมื่อพิจารณาโดยใช้ KVL จะได้

$$V_{BE1} - V_{BE2} + V_{BE3} - V_{BE4} = 0 \quad (2.17)$$

ถ้าเราสมมุติให้กระแสเบสมีค่าน้อยมาก และ ทรานซิสเตอร์ Q_1-Q_4 มีความสมพงษ์กันทุกประการทั้งขนาด และ อุณหภูมิ จึงสามารถใช้สมการที่ (2.1) แทนที่ในสมการที่ (2.17) ได้เป็น

$$I_X I_2 = I_Y I_1 \quad (2.18)$$

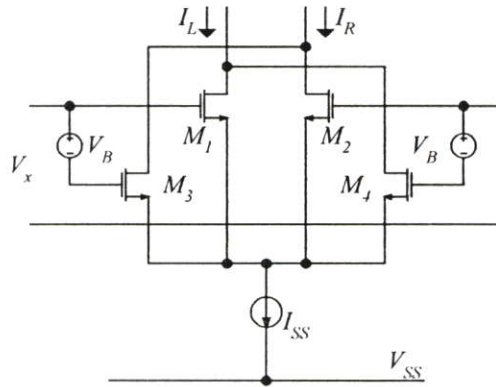
จากรูปที่ 2.2 เมื่อพิจารณาสมการที่ (2.17) และ กระแสคอลเลคเตอร์ของ Q_2 และ Q_3 เป็นกระแสรวม $I_Z = I_1 + I_2$ เราจึงสามารถเขียนสมการใหม่ได้เป็น

$$I_1 - I_2 = \frac{I_Z (I_X - I_Y)}{I_X + I_Y} \quad (2.19)$$

ถ้าเราต้องการให้วงจรรูปที่ 2.2 ทำตัวเป็นวงจรคูณสัญญาณ โดยกำหนดให้ $I_X = I_C + I_A$, $I_Y = I_C - I_A$ และ $I_Z = I_B$ โดยที่ $I_Y = |I_A| < I_C$ เราก็จะได้วงจรคูณสัญญาณ 2 ควอดแดรนท์เท่ากับ

$$I_1 - I_2 = \frac{I_A I_B}{I_C} \quad (2.20)$$

2.2.3 วงจรคูณสัญญาณโดยใช้หลักการของวงจโรทีเอ หลักการนี้จะเป็นหลักการที่ค่อนข้างนิยม และเป็นหลักการที่สามารถให้เอาต์พุตของวงจรคูณสัญญาณมีคุณสมบัติเป็นสี่ควอดแดรนท์โดยง่าย ซึ่งวงจโรทีเอ ที่ออกแบบเป็นวงจรคูณนั้นมักจะนิยมใช้มอสทรานซิสเตอร์ [11]-[17] โดยแบ่งเป็น 2 หลักการคือให้มอสทรานซิสเตอร์ทำงานในย่านอิมิตัว [3] และ ในย่านไมอิมิตัว [11] หลักการตัวอย่างของวงจรถ่ายที่มอสทำงานในย่านอิมิตัวแสดงไว้ดังรูปที่ 2.3



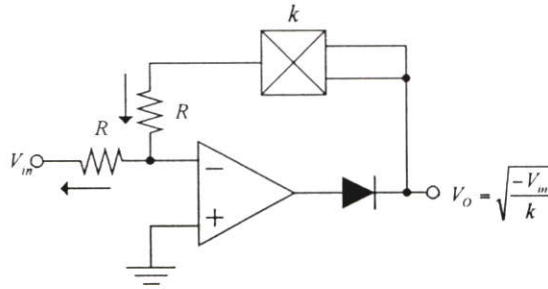
รูปที่ 2.3 วงจรคูณสัญญาณด้วยวงจโรทีเอโดยใช้มอสทรานซิสเตอร์ย่านอิมิตัว [3]

จากรูปที่ 2.3 ให้ทรานซิสเตอร์ทุกตัวมีความสมพียงกันทุกประการ และทำงานในย่านอิมิตัวจะได้กระแสเดรนของทรานซิสเตอร์ M1 และ M2 เท่ากับ

$$I_L = I_{D1} + I_{D4} = \frac{\mu C_{OX} W}{2L} \left[(V_X - V_T)^2 + (-V_X - V_B - V_T)^2 \right] \quad (2.21)$$

2.3 หลักการของวงจรถอดรากที่สอง

การออกแบบวงจรถอดรากที่สอง ที่มีเห็นกันอยู่ก็เห็นจะเป็นการใช้วงจรถอดสัญญาณป้อนกลับร่วมกับ ออปแอมป์ ซึ่งต่างมีข้อดี และ ข้อเสีย เช่น มีโครงสร้างง่ายแต่ในภาพรวมแล้วจะค่อนข้างใหญ่ไม่เหมาะกับการออกแบบเป็นวงจรรวม ตัวอย่างหลักการของวงจรถอดรากที่สองแสดงไว้ดังรูปที่ 2.5



รูปที่ 2.5 หลักการวงจรถอดรากที่สอง โดยใช้วงจรถอด [44]

จากรูปที่ 2.5 เราสามารถเขียนสมการโดยใช้ KCL ได้เป็น

$$kV_o^2 = -V_{in} \quad (2.24)$$

ดังนั้น

$$V_o = \sqrt{\frac{-V_{in}}{k}} \quad (2.25)$$

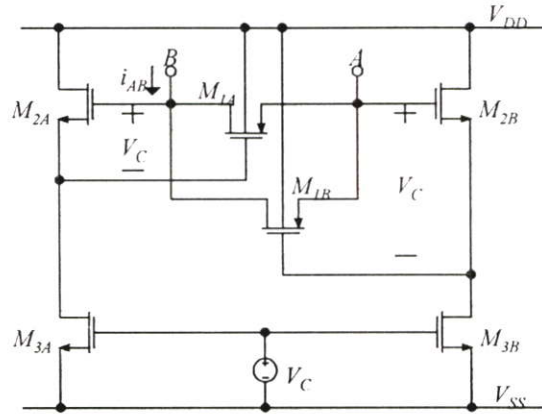
ด้วยหลักการนี้จะเห็นว่าจะต้องใช้ความต้านทาน ออปแอมป์ และ วงจรถอดสัญญาณ เพื่อให้ได้เอาท์พุทที่มีคุณสมบัติเป็นถอดรากที่สอง และ จะมีไดโอด เพื่อป้องกันแรงดันไฟลบบอกมาที่เอาท์พุท โดยอินพุทจะต้องเป็นด้านลบเท่านั้น

2.4 หลักการของวงจรถอดความต้านทานปรับค่าได้ทางอิเล็กทรอนิกส์

ในการประมวลสัญญาณอนาล็อกที่มีการทำวิจัยอย่างยาวนาน และ มีการพัฒนาอย่างต่อเนื่องวงจรถอดหนึ่งก็เห็นจะเป็นวงจรถอดความต้านทานปรับค่าได้ทางอิเล็กทรอนิกส์ โดยหลักการที่ใช้ในอดีตจะใช้ทรานซิสเตอร์ต่อร่วมกับออปแอมป์ จนกลายเป็นใช้ JFET และ ปัจจุบันนิยมใช้มอสทรานซิสเตอร์เป็นหลัก โดยที่วงจรถอดความต้านทานที่ออกแบบมานั้น สามารถแบ่งเป็น 2 พวกใหญ่ๆ คือ ความต้านทานแบบลอยตัว และ ความต้านทานแบบต่อกราวด์ หัวใจสำคัญของวงจรถอดความต้านทาน คือ ความเป็นเชิงเส้น และ ปรับค่าได้กว้าง

2.4.1 วงจรถอดความต้านทานแบบลอยตัว วงจรถอดความต้านทานแบบลอยตัวเป็นวงจรถอดที่มีประโยชน์มากในทางอิเล็กทรอนิกส์ และ สามารถใช้งานได้อย่างกว้างขวาง ซึ่งในหลักการการออก

แบบจะมีด้วยกันหลายหลักการเช่นการใช้วงจรวอร์ทีเอ หรือ การใช้ทรานซิสเตอร์ทำงานแบบไม้อิมิตัว [13] ตัวอย่างของหลักการนี้ที่น่าสนใจแสดงไว้ดังรูปที่ 2.6



รูปที่ 2.6 วงจรความต้านทานแบบลอยตัวปรับค่าได้ด้วยแรงดัน [13]

จากรูปที่ 2.6 การทำงานจะแบ่งเป็น 2 ส่วนคือส่วนของวงจรส่งถ่ายแรงดัน (M2-M3) และ ส่วนของวงจรรวมต้านทาน (M1) ในส่วนของวงจรส่งถ่ายแรงดันทรานซิสเตอร์ M2-M3 จะทำงานในย่านอิมิตัว ซึ่งจะทำให้ที่ขาเกต-ซอส ของ M2 และ M3 จะมีแรงดัน V_C ปรากฏอยู่เท่ากันดังสมการ

$$I_{D3A} = I_{D3B} = \frac{\mu C_{OX} W}{2L} (V_C - V_T)^2 \quad (2.26)$$

ส่วนวงจรรวมต้านทานจะมีการทำงานโดยอธิบายได้ดังสมการดังต่อไปนี้

$$i_{D1A} = \mu C_{OX} \frac{W}{L} \left[(V_{AB} + V_C - |V_T|) V_{AB} - \frac{V_{AB}^2}{2} \right] \quad (2.27)$$

และ

$$i_{D1B} = \mu C_{OX} \frac{W}{L} \left[(V_C - |V_T|) V_{AB} - \frac{V_{AB}^2}{2} \right] \quad (2.28)$$

นำสมการที่ (2.27) รวมกับ (2.28) ได้เป็นกระแส i_{AB} จะได้เป็น

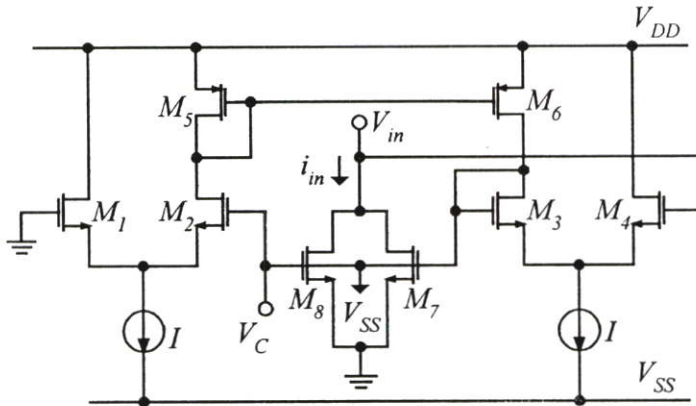
$$i_{AB} = i_{D1A} + i_{D1B} = \mu C_{OX} \frac{W}{L} \left[V_{AB}^2 + (V_C - |V_T|) V_{AB} - \frac{V_{AB}^2}{2} + (V_C - |V_T|) V_{AB} - \frac{V_{AB}^2}{2} \right]$$

$$i_{AB} = 2\mu C_{OX} \frac{W}{L} (V_C - |V_T|) V_{AB} \quad (2.29)$$

หรือ

$$R_{eq} = \frac{1}{2\mu C_{OX} \frac{W}{L} (V_C - |V_T|)} \quad (2.30)$$

2.4.2 วงจรความต้านทานแบบต่อกราวด์ เป็นวงจรที่ทำหน้าที่คล้ายกับวงจรความต้านทานแบบลอยตัวซึ่งในแง่การใช้งานจะต้องต่ออยู่กับกราวด์ขาหนึ่งเสมอ การใช้งานค่อนข้างแคบกว่าแบบลอยตัว แต่อย่างไรก็ตามยังมีการพัฒนากันอย่างต่อเนื่องเช่นเดียวกันกับแบบลอยตัวตัวอย่างของหลักการนี้ที่น่าสนใจได้แสดงไว้ดังรูปที่ 2.7 [24]



รูปที่ 2.7 วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน [24]

จากรูปที่ 2.7 ทรานซิสเตอร์ M7 ทำหน้าที่เป็นความต้านทาน โดยทำงานในย่านไม่อิ่มตัว สมการกระแสเดรนมีค่าเท่ากับ

$$I_{in} = I_{D7} + I_{D8} = \mu C_{OX} \frac{W}{L} \left[(V_{G7} - V_T) V_m - \frac{V_{in}^2}{2} + (V_{G8} - V_T) V_m - \frac{V_m^2}{2} \right] \quad (2.31)$$

ส่วนของหน่วยควบคุมสร้างขึ้นจากวงจรเดียวกับวงจรรูปที่ 2.4 โดยจะต่างกันที่วงจรมีใช้ขนาด (W/L) ของทรานซิสเตอร์ M1-M6 สมพงษ์กันทุกประการ เพื่อที่จะทำให้แรงดันที่ขาเกตของ M7 มีค่าเท่ากับ

$$V_{G7} = V_C + V_m \quad (2.32)$$

โดยที่ $V_{G8} = V_C$ ดังนั้นค่าของกระแสอินพุตจะมีค่าเท่ากับ

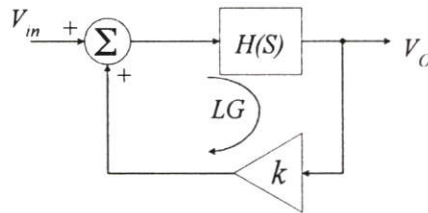
$$I_m = 2\mu C_{OX} \frac{W}{L} (V_C - V_T) V_m \quad (2.33)$$

ดังนั้นค่าความต้านทานจะมีค่าเท่ากับ

$$R_{eq} = \frac{1}{2\mu C_{OX} \frac{W}{L} (V_C - V_T)} \quad (2.34)$$

2.5 หลักการของการกำเนิดสัญญาณรูปไซน์

จากหลักการของตัวกรองสัญญาณที่สามารถนำมาสร้างเป็นวงจรกำเนิดสัญญาณรูปไซน์ได้นั้นต้องมีอันดับสองขึ้นไป โดยวงจรที่ใช้เป็นการป้อนกลับแบบบวก ดังรูปที่ 2.8 ซึ่งจะกล่าวถึงการกำเนิดสัญญาณรูปไซน์เฉพาะอันดับ 2 และ อันดับ 3 เท่านั้น



รูปที่ 2.8 ระบบป้อนกลับแบบบวก

จากระบบการป้อนกลับแบบบวกรูปที่ 2.8 สามารถเขียนสมการถ่ายโอนได้ดังสมการที่ (2.35)

$$\frac{V_o}{V_m} = \frac{H(s)}{1 - kH(s)} \quad (2.35)$$

ในการพิจารณาเงื่อนไขของการกำเนิดสัญญาณของที่ระบบป้อนกลับแบบบวกนั้น จะพิจารณาโดยระบบจะไม่มีสัญญาณอินพุตแต่มีสัญญาณเอาต์พุต สามารถอธิบายได้ว่าระบบจะเกิดการกำเนิดสัญญาณได้จะต้องมีเกณฑ์การขยายลูปปิด (Loop Gain : LG) เท่ากับ

$$LG = kH(s) = 1 \quad (2.36)$$

2.5.1 หลักการกำเนิดสัญญาณโดยใช้โพลีโนเมียลอันดับสอง

การกำเนิดสัญญาณแบบใช้โพลีโนเมียลอันดับสองนั้นเป็นหลักการกำเนิดสัญญาณรูปไซน์แบบพื้นฐานที่สุด และ ออกแบบได้โดยง่ายที่สุด โดยสมการของโพลีโนเมียลอันดับสองที่ใช้ในการออกแบบวงจรกำเนิดสัญญาณสามารถเขียนในรูปของสมการเชิงลาปลาซได้ตั้งสมการที่ (2.37)

$$\frac{N(s)}{D(s)} = 0 = \frac{a_0 s^2 + a_1 s + a_2}{b_0 s^2 + b_1 s + b_2} \quad (2.37)$$

โดยที่ $N(s)$ และ $D(s)$ คือ โพลีโนเมียลเศษ (Numerator Polynomial) และ โพลีโนเมียลส่วน (Denominator Polynomial) ตามลำดับ

เนื่องจากสมการ (2.37) เป็นสมการโพลีโนเมียลอันดับสอง ซึ่งมีนัยสำคัญที่ $N(s)$ เมื่อแทนค่าตัวแปร $s = j\omega$ สมการที่ (2.37) จึงสามารถเขียนใหม่ได้เป็น

$$N(s) = 0 = -a_0 \omega^2 + j\omega a_1 + a_2 \quad (2.38ก)$$

$$\text{หรือ} \quad 0 = -\omega^2 + \frac{j\omega a_1}{a_0} + \frac{a_2}{a_0} \quad (2.38ข)$$

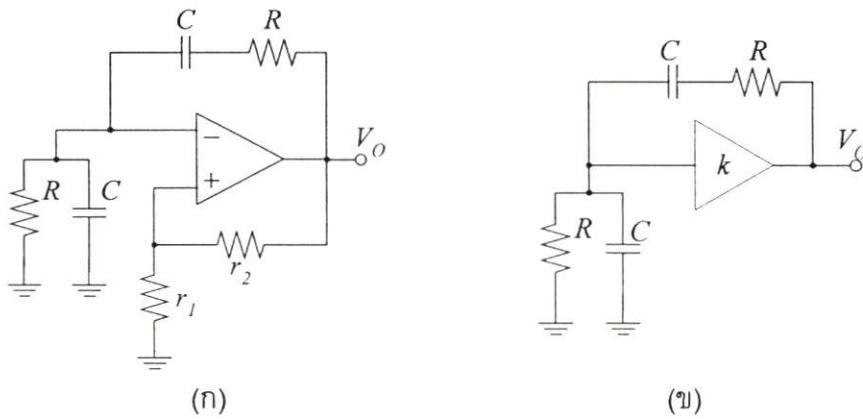
จากสมการ (2.38) สามารถบอกได้ว่าวงจรจะสามารถกำเนิดสัญญาณได้นั้นจะต้องมีเงื่อนไขดังนี้

$$a_1 = 0 \quad (2.39)$$

$$\text{และ ความถี่ที่กำเนิดได้มีค่าเท่ากับ} \quad \omega^2 = \frac{a_2}{a_0} \quad (2.40)$$

หลักการนี้สามารถออกแบบได้ง่ายเป็นที่พบเห็นทั่วไป แต่เนื่องวงจรถูกกำเนิดสัญญาณแบบโพลีโนเมียลอันดับสองนั้นต้องใช้ตัวกรองสัญญาณอันดับสองนั่นเอง วงจรที่ออกแบบได้ก็จะมีคามเที่ยงตรง และ ความบริสุทธิ์ของสัญญาณความถี่เอาท์พุทนั้นจะน้อยลงไปเพราะอันดับของตัวกรองนั่นเอง

ตัวอย่างของหลักการนี้สามารถพบเห็นได้ง่าย วงจรที่จะนำมาเป็นตัวอย่างจะใช้วงจร Wein-Bridge Oscillator [42] ดังรูปที่ 2.9 ซึ่งวงจรจะทำหน้าที่เป็นการกำเนิดสัญญาณรูปไซน์ได้โดยการกำหนดค่าอุปกรณ์ภายในวงจร ซึ่งสามารถอธิบายได้จากหลักการข้างต้น



รูปที่ 2.9 วงจรกำเนิดสัญญาณรูปไซน์แบบ Wein-Bridge [42]

จากรูปที่ 2.9 (ก) สามารถเขียนแทนได้รูปที่ 2.9(ข) เพื่อใช้ในการวิเคราะห์ จากรูปที่ 2.9 สามารถเขียนเป็นสมการของตัวกรองสัญญาณอันดับสอง เมื่อเปิดลูบที่ป้อนกลับออก สมการดังกล่าวจะมีค่าดังสมการที่ (2.41)

$$H(s) = \frac{ks/RC}{s^2 + s3/RC + 1/(RC)^2} \quad (2.41)$$

เมื่อนำมาพิจารณาแบบลูบปิดดังเดิมวงจรที่จะกำเนิดสัญญาณได้จะต้องมีค่าลูบเกน (LG) เท่ากับ 1 หรือเขียนเป็นสมการได้ดังสมการที่ (2.42)

$$1 - LG = 1 - \frac{ks/RC}{s^2 + s3/RC + 1/(RC)^2} = \frac{s^2 + s(3-k)/RC + 1/(RC)^2}{s^2 + s3/RC + 1/(RC)^2} = \frac{N(s)}{D(s)} \quad (2.42)$$

เมื่อพิจารณาสมการที่ (2.42) ด้วยเงื่อนไขสมการที่ (2.38) และ (2.39) เห็นได้ทันทีว่าวงจรจะสามารถสัญญาณได้ถ้ากำหนดให้ $k=3$ และ จะมีความถี่เท่ากับ $1/2\pi RC$

2.5.2 หลักการกำเนิดสัญญาณโดยใช้โพลีโนเมียลอันดับสาม

การกำเนิดสัญญาณแบบใช้โพลีโนเมียลอันดับสามนั้นเป็นหลักการกำเนิดสัญญาณรูปไซน์แบบที่มีประสิทธิภาพเพิ่มขึ้นกว่าแบบโพลีโนเมียลอันดับสอง ซึ่งจากที่ทราบอยู่แล้วว่าตัวกรองสัญญาณอันดับสูงนั้นจะมีความเที่ยงตรงของความถี่มากกว่าตัวกรองสัญญาณอันดับต่ำ ซึ่งสัญญาณความถี่ข้างเคียงที่ปะปนเข้ามาในวงจรนั้นจะเป็นตัวทำให้สัญญาณมีความเพี้ยนไป หรือ มีความบริสุทธิ์ของสัญญาณไซน์ลดลงไป โดยสมการของโพลีโนเมียลอันดับสามที่ใช้ในการออกแบบวงจรกำเนิดสัญญาณ สามารถเขียนในรูปของสมการเชิงลาปลาซได้ดังสมการที่ (2.43)

$$N(s) = 0 = a_0 s^3 + a_1 s^2 + a_2 s + a_3 \quad (2.43)$$

เนื่องจากสมการ (2.43) เป็นสมการโพลิโนเมียลอันดับสาม และ ตัวแปร $s = j\omega$ สมการที่ (2.43) จึงสามารถเขียนใหม่ได้เป็น

$$0 = -j\omega^3 a_0 - a_1 \omega^2 + j\omega a_2 + a_3 \quad (2.44ก)$$

หรือ
$$0 = (a_3 - a_1 \omega^2) + j\omega(a_2 - a_0 \omega^2) \quad (2.44ข)$$

จากสมการ (2.44) สามารถบอกได้ว่าวงจรจะสามารถกำเนิดสัญญาณได้นั้นจะต้องมีเงื่อนไขดังนี้

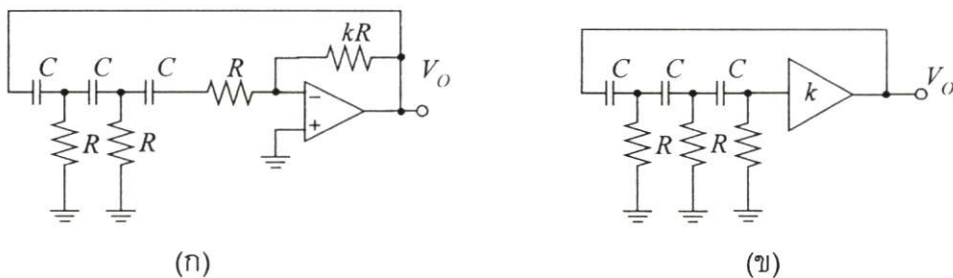
$$\frac{a_2}{a_0} = \omega^2 \quad (2.45)$$

และ
$$\frac{a_3}{a_1} = \omega^2 \quad (2.46)$$

หรือสามารถเขียนอีกแบบหนึ่งคือ
$$a_1 a_2 - a_0 a_3 = 0 \quad (2.47)$$

หลักการนี้สามารถออกแบบเป็นวงจรกำเนิดสัญญาณได้เช่นเดียวกัน แต่เนื่องวงจรถูกกำเนิดสัญญาณแบบโพลิโนเมียลอันดับสามนั้นต้องใช้ตัวกรองสัญญาณอันดับสามด้วย วงจรที่ออกแบบได้จึงค่อนข้างมีความซับซ้อน แต่ในทางตรงกันข้ามก็จะมีคามเที่ยงตรง และความบริสุทธิ์ของสัญญาณความถี่เอาต์พุตจะสูงเพราะอันดับของตัวกรองที่สูงนั่นเอง

ตัวอย่างของหลักการนี้เป็นวงจรที่สามารถพบเห็นได้ง่ายเช่นเดียวกับชนิดโพลิโนเมียลอันดับสอง วงจรที่จะนำมาเป็นตัวอย่างจะใช้วงจร Phase-Shift Oscillator [45] ดังรูปที่ 2.10 ซึ่งวงจรจะทำหน้าที่เป็นการกำเนิดสัญญาณรูปไซน์ได้โดยการกำหนดค่าอุปกรณ์ภายในวงจร ซึ่งสามารถอธิบายได้จากหลักการข้างต้น



รูปที่ 2.10 วงจรกำเนิดสัญญาณรูปไซน์แบบ Phase-Shift [45]

จากรูปที่ 2.10(ก) สามารถเขียนแทนได้รูปที่ 2.10(ข) เพื่อใช้ในการวิเคราะห์ ดังนั้นจากรูปที่ 2.10 จะสามารถเขียนเป็นสมการของตัวกรองสัญญาณอันดับสาม เมื่อเปิดลูบที่ป้อนกลับออก สมการดังกล่าวจะมีค่าดังสมการที่ (2.48)

$$H(s) = \frac{k(sRC)^3}{(sRC)^3 + 6(sRC)^2 + 5sRC + 1} \quad (2.48)$$

เมื่อนำมาพิจารณาแบบรูปปิดดั้งเดิมวงจรที่จะกำเนิดสัญญาณได้จะต้องมีค่าลูบเกินเท่ากับ 1 หรือเขียนเป็นสมการได้ดังสมการที่ (2.49)

$$1 - LG = 1 - \frac{(sRC)^3}{(sRC)^3 + 6(sRC)^2 + 5sRC + 1} = \frac{N(s)}{D(s)} \quad (2.49ก)$$

หรือ

$$\frac{N(s)}{D(s)} = \frac{(1-k)(sRC)^3 + 6(sRC)^2 + 5sRC + 1}{(sRC)^3 + 6(sRC)^2 + 5sRC + 1} \quad (2.49ข)$$

เมื่อพิจารณาสมการที่ (2.49) ด้วยเงื่อนไขสมการที่ (2.45) ถึง (2.47) เห็นได้ทันทีว่าวงจรจะสามารถสัญญาณได้ถ้ากำหนดให้ $k=-29$ และ จะมีความถี่เท่ากับ $1/2\pi\sqrt{6RC}$

2.6 บทสรุป

หลักการของวงจรคุณสัญญาณ โดยทั่วไปหลักการของวงจรวงจรคุณสัญญาณ มีด้วยกันหลายหลักการ เช่น หลักการของกิลเบิร์ต (Gilbert Cell) การใช้หลักการของวงจรถานสลินีเยร์ (Translinear Circuit) และ หลักการของวงจรอทีเอ (Operational Transconductance Amplifier : OTA) แต่ก็จะมีข้อเสียคือจะต้องใช้แรงดันไฟเลี้ยงคู่ (Dual Supply) ทำให้การประยุกต์ใช้ร่วมกับวงจรอื่นๆ จะต้องมีการดัดแปลงค่อนข้างยุ่งยากด้วย

หลักการของวงจรถอดรากที่สอง การถอดรากที่สอง (Square-Rooting Circuit) โดยทั่วไปมักจะใช้วงจรคุณสัญญาณมาประยุกต์ โดยอาจจะนำมาต่อร่วมกับออปแอมป์ (OPAMP) หรืออุปกรณ์ขยายสัญญาณอื่นๆ เช่น วงจรอทีเอ (Operational Transconductance Amplifier : OTA) หรือ วงจรสายพานกระแส (Current Conveyor : CCII) เป็นต้น

หลักการของวงจรรวมความต้านทานปรับค่าได้ทางอิเล็กทรอนิกส์ เป็นวงจรที่มีการวิจัยกันมาอย่างต่อเนื่องโดยเฉพาะการใช้มอสทรานซิสเตอร์ในการออกแบบ ซึ่งจะมีอยู่ 2 ประเภทใหญ่ๆ คือ วงจรความต้านทานแบบลอยตัว และ วงจรความต้านทานแบบต่อกราวด์ ซึ่งการใช้งานนั้นจะมีการใช้งานที่แตกต่างกัน ซึ่งจะสามารถนำมาประยุกต์ในวงจรอื่นๆ ได้อย่างกว้างขวาง

หลักการของการสร้างวงจรถ้าเกิดสัญญาณ ในหลักการที่พบเห็นทั่วไปนั้นจะเป็นการใช้หลักการของโพลีโนเมียลอันดับสอง เป็นส่วนใหญ่ ซึ่งการกำเนิดความถี่ที่ได้ยังมีความไม่บริสุทธิ์ของสัญญาณ และ ความไม่เที่ยงตรงของความถี่เนื่องจากอันดับของตัวกรองสัญญาณ

บทที่ 3

วงจรที่ใช้ในวิทยานิพนธ์

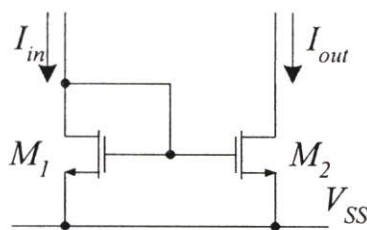
3.1 บทนำ

วงจรทั้งหมดที่นำเสนอในวิทยานิพนธ์ทั้งหมดนี้ จะประกอบขึ้นจากวงจรต่างๆ โดยจะกล่าวถึงในเฉพาะวงจรที่สร้างจากมอสทรานซิสเตอร์ ซึ่งอาจจะเป็นวงจรรย่อย (subcircuit) ที่มีใช้ร่วมกันอย่างแพร่หลาย เช่น วงจรสะท้อนกระแส (Current Mirror) วงจรขยายความแตกต่าง (Differential Amplifier) วงจรเลื่อนระดับแรงดัน (Voltage Level-Shifter) วงจรอินเวอร์เตอร์จากมอสทรานซิสเตอร์ชนิด N (NMOS Inverter Circuit) วงจรผลต่างกำลังสอง (Differential Squaring Circuit) ซึ่งจะได้กล่าวถึงดังต่อไปนี้

3.2 วงจรสะท้อนกระแส (Current Mirror)

วงจรสะท้อนกระแสเป็นวงจรรย่อยที่มีการใช้งานกันอย่างกว้างขวาง ไม่ว่าจะเป็นในวงจรรวมต่างๆ หรือ วงจรดิสครีทก็ตาม โดยมีคุณสมบัติคือ กระแสเอาต์พุตจะสะท้อนกระแสมาจากอินพุต และมีอิมพีแดนซ์ด้านอินพุตต่ำ และมีอิมพีแดนซ์ด้านเอาต์พุตสูงเนื่องจากทางเอาต์พุตจะมีคุณสมบัติเช่นเดียวกับวงจรจ่ายกระแสคงที่ (Current Source) นั่นเอง

วงจรสะท้อนกระแสที่นำมาใช้งานในวิทยานิพนธ์นี้จะใช้วงจรสะท้อนกระแสแบบพื้นฐาน ดังแสดงในรูปที่ 3.1 โดยทรานซิสเตอร์ M1 และ M2 จะสมพงษ์กันทุกประการ และ ทำงานในย่านอิมิตัว ซึ่งวงจรที่แสดงไว้เป็นวงจรรสะท้อนกระแสแบบลบ



รูปที่ 3.1 วงจรสะท้อนกระแสแบบพื้นฐาน

ในกรณีของอัตราส่วนของการสะท้อนกระแสอินพุต และ เอาต์พุตของวงจรรูปที่ 3.1 [42] นั้นแสดงไว้ดังสมการที่ (3.1)

$$\frac{I_{out}}{I_{in}} = \frac{(W/L)_2}{(W/L)_1} \quad (3.1)$$

ในกรณีของความต้านทานอินพุท และ เอาท์พุทของวงจรถนนจะมีค่าดังสมการที่ (3.2) และ (3.3) ตามลำดับ

$$Z_{in} = \frac{1}{g_{m1}} \quad (3.2)$$

$$Z_{out} = r_{d2} = \frac{1}{g_{d2}} \quad (3.3)$$

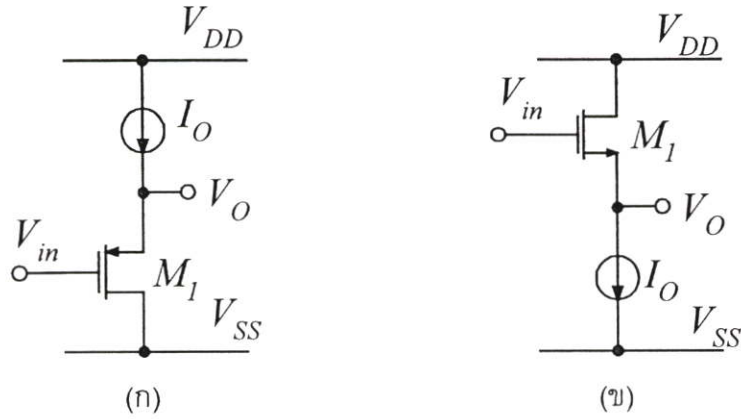
โดยที่ r_{d2} คือ ความต้านทานระหว่างขาเดรนและซอส ของมอสทรานซิสเตอร์ M_2 ในส่วน ผลการตอบสนองทางความถี่ของวงจรถนนกระแสดโดยใช้มอสทรานซิสเตอร์ จะขึ้นอยู่กับค่าตัวเก็บประจุระหว่างขาเกตและซอสเป็นหลัก ผลการตอบสนองทางความถี่ของวงจรถนนกระแสดโดย ใช้มอสทรานซิสเตอร์สามารถหาได้จากการใช้แบบจำลองสัญญาณขนาดเล็ก (Small Signal Model) ซึ่งผลการตอบสนองทางความถี่ของวงจรถนนรูปที่ 3.1 จะมีค่าเท่ากับ (ภาคผนวก ก)

$$\frac{I_{out}(s)}{I_{in}(s)} = \frac{g_{m2}}{g_{m1}} \left[\frac{1}{1 + s \frac{(C_{gs1} + C_{gs2})}{g_{m1}}} \right] \quad (3.4)$$

โดยที่ g_{mi} คือค่าความนำ (Transconductance) ของทรานซิสเตอร์ M_i , C_{gsi} คือ ค่าประจุระหว่างขาเกตและซอสของทรานซิสเตอร์ M_i , g_{di} คือ ค่าความนำ (Conductance) ระหว่างขาเดรน และ ซอสของทรานซิสเตอร์ M_i

3.3 วงจรเลื่อนระดับแรงดัน (Voltage Level-Shifter)

วงจรถนนระดับแรงดันที่ใช้ในวิทยานิพนธ์นี้เป็นวงจรถนนที่ใช้อุปกรณ์เพียง 2 ตัว [9] คือ ทรานซิสเตอร์ และ แหล่งจ่ายกระแสคงที่อย่างละตัว และ ยังสามารถสร้างเป็นวงจรถนนระดับทาง ด้านบวก และ ลบ เพียงแต่เปลี่ยนชนิดของทรานซิสเตอร์ และ แหล่งจ่ายกระแสคงที่ ดังแสดงไว้ดัง รูปที่ 3.2



รูปที่ 3.2 วงจรเลื่อนระดับแรงดัน (ก) แบบบวก (ข) แบบลบ [9]

ทรานซิสเตอร์ทั้งรูป 3.2(ก) และ (ข) จะทำงานในย่านอิมิตัว จากวงจรรูป 3.2(ก) นั้นสามารถเขียนเป็นสมการแสดงความสัมพันธ์ระหว่างอินพุต และ เอาท์พุทได้ดังสมการที่ (3.5)

$$V_O = V_m + V_{kp} \quad (3.5)$$

โดยที่ $V_{kp} = \sqrt{\frac{I_O}{\beta_P}} + V_{TP}$, $\beta_P = \frac{\mu_P C_{OX}}{2} \left(\frac{W}{L}\right)$, และ V_{TP} คือ แรงดันเทรชโฮลด์ของ ทรานซิสเตอร์ PMOS ส่วนรูปที่ 3.2(ข) นั้นสามารถเขียนเป็นสมการแสดงความสัมพันธ์ระหว่างอินพุต และ เอาท์พุทได้ดังสมการที่ (3.6)

$$V_O = V_m - V_{kn} \quad (3.6)$$

โดยที่ $V_{kn} = \sqrt{\frac{I_O}{\beta_N}} + V_{TN}$ และ $\beta_N = \frac{\mu_N C_{OX}}{2} \left(\frac{W}{L}\right)$ และ V_{TN} คือ แรงดันเทรชโฮลด์ของ ทรานซิสเตอร์ NMOS ส่วนผลการตอบสนองทางความถี่ของวงจรเลื่อนระดับสัญญาณ ก็จะขึ้นอยู่กับค่าตัวเก็บประจุระหว่างขาเกตและซอสเป็นหลักเช่นกัน ผลการตอบสนองทางความถี่ของวงจรเลื่อนระดับสัญญาณโดยใช้มอสทรานซิสเตอร์สามารถหาได้จากการใช้แบบจำลองสัญญาณขนาดเล็ก (Small Signal Model) ซึ่งผลการตอบสนองทางความถี่ของวงจรรูปที่ 3.2 จะมีค่าเท่ากับ (ภาคผนวก ก)

$$\frac{V_o(s)}{V_m(s)} = \frac{g_{d1} + g_o + g_{m1} + sC_{gs1}}{g_{m1} + sC_{gs1}} \quad (3.7)$$

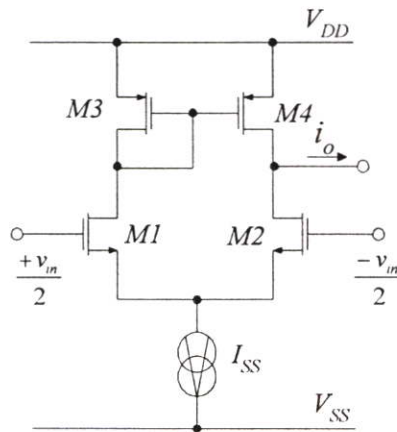
ซึ่งโดยปกติแล้ว $g_{d1}, g_o \ll g_{m1}$ ดังนั้น

$$\frac{V_o(s)}{V_m(s)} \approx 1 \quad (3.8)$$

ซึ่งก็หมายความว่าในส่วนของวงจรเลื่อนระดับสัญญาณโดยใช้มอสทรานซิสเตอร์ จะมีการตอบสนองทางความถี่สูงมากนั่นเอง โดยที่ g_{mi} คือค่าความนำ (Transconductance) ของทรานซิสเตอร์ M_i , C_{gsi} คือ ค่าประจุระหว่างขาคาทและซอสของทรานซิสเตอร์ M_i , g_{di} คือ ค่าความนำ (Conductance) ระหว่างขาเดรน และ ซอสของทรานซิสเตอร์ M_i

3.4 วงจรขยายความแตกต่าง (Differential Amplifier)

วงจรขยายความแตกต่างที่ใช้ในวิทยานิพนธ์นี้เป็นวงจรแบบพื้นฐาน ใช้ทรานซิสเตอร์ 4 ตัว และ แหล่งจ่ายกระแสคงที่ 1 ตัว [41] ดังรูปที่ 3.3 ซึ่งทรานซิสเตอร์ทำงานในย่านอิมิตัว โดยทรานซิสเตอร์ M1 และ M2 มีหน้าที่เป็นวงจรขยายความแตกต่างซึ่งจะได้ความแตกต่างของกระแสมาเข้าวงจรสะท้อนกระแส M3 และ M4 ซึ่งเป็นทรานซิสเตอร์ชนิด P โดยวงจรขยายความแตกต่างในรูปที่ 3.3 นี้จะให้เอาท์พุทเป็นกระแส โดยจากคุณสมบัติของวงจรจะมีอินพุทเป็นแรงดัน อาจจะเรียกวงจรนี้ว่าวงจรโอทีเอ (Operational Transconductance Amplifier : OTA) แบบพื้นฐานก็ได้



รูปที่ 3.3 วงจรขยายความแตกต่าง [41]

วงจรขยายความแตกต่างจากรูปที่ 3.3 นั้น จะมีคุณสมบัติให้เอาท์พุทเป็นกระแส และมีอินพุทเป็นแรงดัน ซึ่งสามารถเขียนเป็นสมการแสดงความสัมพันธ์ระหว่างอินพุทและเอาท์พุท ได้ดังสมการที่ (3.9)

$$\frac{i_o}{v_m} = g_m = \sqrt{(I_{SS}) (\mu_o C_{ox} W/L)} \quad (3.9)$$

จากสมการที่ (3.9) ค่าทรานสคอนดักแตนซ์ (g_m) นั้นสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยการปรับกระแสหาง (Tail Current : I_{SS}) การประมาณค่าของการตอบสนองทางความถี่นั้นจะสามารถทำได้โดยการประมาณค่าได้จากค่าของเกนความแตกต่าง (Differential Mode Gain : A_{dm}) มีค่าเท่ากับ (ภาคผนวก ก)

$$A_{dm} = \frac{v_s}{(v_1 - v_2)} \cong \frac{g_{mN}}{(g_{dN} + g_{dP})} \quad (3.10)$$

การประมาณค่า Zero-Value Time Constant [41] ที่มากที่สุดของวงจรจะมีค่าเท่ากับ

$$t_{01} \cong \frac{2C_P}{g_{mP}} \quad (3.11)$$

หรืออีกนัยหนึ่งคือโพลที่น้อยที่สุด (Dominant Pole) กรณีไม่มีโพลที่เอาท์พุท เท่ากับ

$$p_1 \cong \frac{g_{mP}}{2C_P} \quad (3.12)$$

กรณีที่ทั่วไปวงจรขยายความแตกต่างจะมีโพลเป็นตัวเก็บประจุ C_L ที่เอาท์พุท ค่าของโพลที่น้อยที่สุด (Dominant Pole) คือ

$$p_2 \cong \frac{(g_{dN} + g_{dP})}{C_L} \quad (3.13)$$

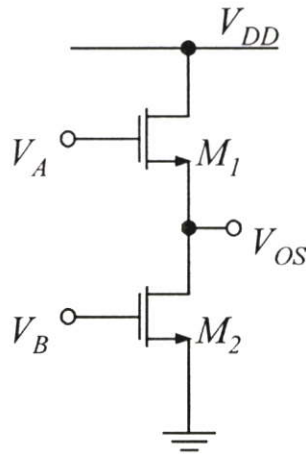
โดยที่ g_{mN} , g_{mP} คือค่าความนำ (Transconductance) ของทรานซิสเตอร์ชนิด N และ P ตามลำดับ C_N , C_P คือ ค่าประจุระหว่างขาเกตและซอสของทรานซิสเตอร์ชนิด N และ P ตามลำดับ, ส่วน g_{dN} , g_{dP} คือ ค่าความนำ (Conductance) ระหว่างขาเดรน และ ซอสของทรานซิสเตอร์ชนิด N และ P ตามลำดับ

3.5 วงจรอินเวอร์เตอร์จากมอสทรานซิสเตอร์ชนิด N (NMOS Inverter Circuit)

ในหัวข้อกล่าวถึงวงจรรวมสัญญาณ โดยอาศัยหลักการของวงจรอินเวอร์เตอร์โดยใช้มอสทรานซิสเตอร์ที่ทำงานในย่านอิ่มตัว [49] จากสมการดังนี้

$$I_D = \beta(V_{GS} - V_T)^2 \quad ; \quad (V_{GS} - V_T) \leq V_{DS} \quad (3.14)$$

จากสมการที่ (3.14) โดยที่ $\beta = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)$ เมื่อนำทรานซิสเตอร์ชนิด N มาต่อเป็นวงจรอินเวอร์เตอร์แบบ NMOS ดังรูปที่ 1 สามารถเขียนสมการของทรานซิสเตอร์ทั้งสองได้เป็น



รูปที่ 3.4 วงจร NMOS อินเวอร์เตอร์ [49]

$$I_{D1} = \beta_1 (V_A - V_{OS} - V_{TN})^2 \quad (3.15)$$

$$I_{D2} = \beta_2 (V_B - V_{TN})^2 \quad (3.16)$$

จากรูปที่ 3.4 กระแส I_{D1} จะเท่ากับกระแส I_{D2} และ $\beta_1 = \beta_2$ จึงเป็นผลให้แรงดันเอาต์พุต (V_{OS}) จะอยู่ในรูปของการลบ ดังสมการที่ (3.17)

$$V_{OS} = V_A - V_{TN} + \left[(V_{TN} - V_B) \sqrt{\frac{(W/L)_2}{(W/L)_1}} \right] \quad (3.17)$$

ซึ่งถ้าทรานซิสเตอร์ M1 และ M2 สมพงษ์กันทุกประการก็จะทำให้แรงดันเทรชโฮลด์ และ $(W/L)_i$ เท่ากันด้วย สมการที่ (3.17) ก็จะกลายเป็น

$$V_{OS} = V_A - V_B \quad (3.18)$$

ส่วนผลการตอบสนองทางความถี่ของวงจรรวมสัญญาณโดยใช้มอสทรานซิสเตอร์ สามารถหาได้จากการใช้แบบจำลองสัญญาณขนาดเล็ก (Small Signal Model) โดยการพิจารณาวงจรนี้จะต้องพิจารณาในสองส่วนเนื่องจากมีอินพุตอิสระอยู่ 2 อินพุต ซึ่งผลการตอบสนองทางความถี่ของวงจรรูปที่ 3.4 กรณี V_A เป็นอินพุตจะมีค่าเท่ากับ (ภาคผนวก ก)

$$\frac{V_o(s)}{V_A(s)} = \frac{g_{d1} + g_{d2} + g_{m2} + sC_{gs2}}{g_{m2} + sC_{gs2}} \quad (3.19)$$

ซึ่งโดยปกติแล้ว $g_d \ll g_m$ ดังนั้น

$$\frac{V_o(s)}{V_A(s)} \approx 1 \quad (3.20)$$

กรณี V_B เป็นอินพุทจะมีค่าเท่ากับ

$$\frac{V_o(s)}{V_B(s)} = \frac{-g_{m1}}{g_{m2} + sC_{gs2}} \quad (3.21)$$

จากสมการที่ (3.20) และ (3.21) เห็นได้ว่าผลการตอบสนองทางความถี่ของวงจรรูปที่ 3.4 จะขึ้นอยู่กับอินพุท V_B เป็นหลัก โดยที่ g_{m1} คือค่าความนำ (Transconductance) ของทรานซิสเตอร์ M_1 , C_{gs1} คือ ค่าประจุระหว่างขาเกตและซอสของทรานซิสเตอร์ M_1 , g_{d1} คือ ค่าความนำ (Conductance) ระหว่างขาเดรน และ ซอสของทรานซิสเตอร์ M_1

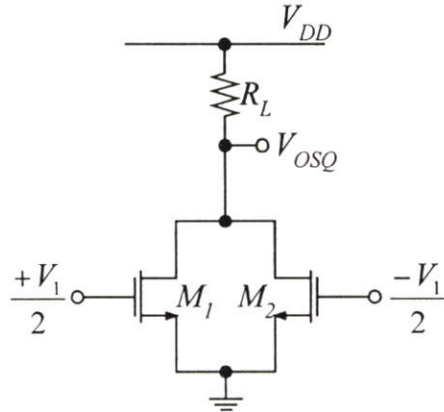
3.6 วงจรผลต่างกำลังสอง (Differential Squaring Circuit)

วงจรถูกกำลังสองที่กล่าวถึงในหัวข้อนี้ ใช้หลักการของกฎกำลังสอง (Square's Law) ของมอสทรานซิสเตอร์ที่ทำงานในย่านอิ่มตัว สมการกระแสเดรนของมอสทรานซิสเตอร์จะอยู่ในรูปของกำลังสองอยู่แล้วดังสมการที่ (3.22) และ (3.23) ซึ่งมีโครงสร้างง่าย ๆ ดังรูปที่ 3.5 เป็นวงจรถูกกำลังสอง สัญญาณเพียงครึ่งวงจร โดยสามารถเขียนเป็นสมการได้คือ

$$I_{D1} = \beta_N \left(\frac{V_1}{2} - V_{TN} \right)^2 \quad (3.22)$$

และ

$$I_{D2} = \beta_N \left(\frac{-V_1}{2} - V_{TN} \right)^2 \quad (3.23)$$

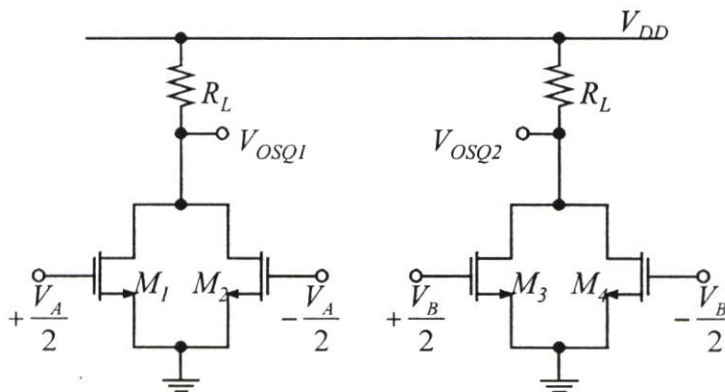


รูปที่ 3.5 วงจรกำลังสอง (Squaring Circuit)

แรงดันอินพุต $\frac{+V_1}{2}$ และ $\frac{-V_1}{2}$ จะเป็นอินพุตแบบดิฟเฟอเรนเชียล เป็นผลให้สมการแรงดันเอาต์พุต กลายเป็น

$$V_{OSQ} = V_{DD} - \beta_N R_L \left[2V_{TN}^2 + \frac{V_1^2}{2} \right] \quad (3.24)$$

จากสมการที่ (3.24) เมื่อต้องการกำจัดเทอมไฟตรง (DC Terms) ออกไปสามารถทำได้โดยต่อวงจรรูปที่ 3.5 เป็นแบบดิฟเฟอเรนเชียลเอาต์พุตดังรูปที่ 3.6



รูปที่ 3.6 วงจรผลต่างกำลังสอง (Differential Squaring circuit)

จากรูปที่ 3.6 แรงดันเอาต์พุตทั้งสองของวงจรมีค่าเท่ากับ

$$V_{OSQ1} = V_{DD} - \frac{R_L \mu C_{OX}}{2} \left(\frac{W}{L} \right) \left(2V_{TN}^2 + \frac{V_A^2}{2} \right) \quad (3.25)$$

$$V_{OSQ2} = V_{DD} - \frac{R_L \mu C_{OX}}{2} \left(\frac{W}{L} \right) \left(2V_{TN}^2 + \frac{V_B^2}{2} \right) \quad (3.26)$$

และ แรงดันเอาต์พุตแบบดิฟเฟอเรนเชียลคือ

$$V_{OSQ} = V_{OSQ1} - V_{OSQ2} = \frac{R_L \mu C_{OX}}{4} \left(\frac{W}{L} \right) (V_A^2 - V_B^2) \quad (3.27)$$

เนื่องจากรูปแบบของวงจรกำลังสองสัญญาณดังรูป 3.5 ประกอบด้วยมอสทรานซิสเตอร์ 4 ตัวนี้จะเป็นรูปแบบสมมาตรกันทั้งซ้ายขวา(อย่างละ 2 ตัว) เป็นดังรูป 3.6 และ หากพิจารณาในด้านใดด้านหนึ่งจากรูป 3.6 ก็ยังมีความสมมาตรกันอยู่อีก(อย่างละตัว) ดังนั้นผลการตอบสนองทางความถี่ของวงจรกำลังสองสัญญาณโดยใช้มอสทรานซิสเตอร์สามารถหาได้จากการใช้แบบจำลองสัญญาณขนาดเล็ก (Small Signal Model) โดยการพิจารณาวงจรนี้จะพิจารณาโดยหลักการแบ่งครึ่งวงจร (Half Circuit) [48] รูปที่ 3.5 ซึ่งผลการตอบสนองทางความถี่ของวงจรรูปที่ 3.5 จะมีค่าเท่ากับ (ภาคผนวก ก)

$$\frac{V_{osq}(s)}{V_1(s)} = \frac{-g_{m1}}{g_{m2} + \frac{2}{R_L}} \quad (3.28)$$

ซึ่งก็หมายความว่าวงจรกำลังสองสัญญาณมีการตอบสนองทางความถี่สูงเป็นอนันต์ โดยที่ g_{mi} คือค่าความนำ (Transconductance) ของทรานซิสเตอร์ M_i , C_{gsi} คือ ค่าประจุระหว่างขาเกต และซอสของทรานซิสเตอร์ M_i , g_{di} คือ ค่าความนำ (Conductance) ระหว่างขาเดรน และ ซอสของทรานซิสเตอร์ M_i

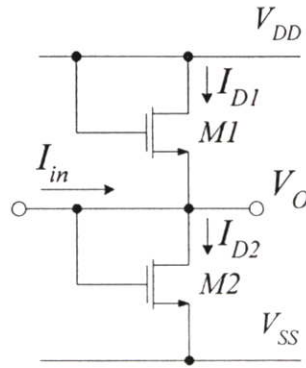
3.7 วงจรส่งผ่านความต้านทานอิล็กทรอนิกส์ (Transresistor)

วงจรส่งผ่านความต้านทานที่ใช้ในวิทยานิพนธ์นี้เป็นวงจรที่มีอินพุตเป็นกระแส และ ให้เอาต์พุตเป็นแรงดัน สร้างขึ้นจากทรานซิสเตอร์ 2 ตัว [20] ดังรูปที่ 3.7

จากรูปที่ 3.7 ทรานซิสเตอร์ทั้งสองทำงานในย่านอิมิตัว ซึ่งสามารถเขียนสมการกระแสเดรนของทรานซิสเตอร์ทั้งสองได้เป็น

$$I_{D1} = \beta(V_{DD} - V_O - V_T)^2 \quad (3.29)$$

$$I_{D2} = \beta(V_O - V_{SS} - V_T)^2 \quad (3.30)$$



รูปที่ 3.7 วงจรส่งผ่านความต้านทาน [20]

โดยที่ $V_{DD} = -V_{SS}$, $\beta = \frac{\mu C_{OX}}{2} \left(\frac{W}{L} \right)$ และ เมื่อพิจารณาสมการที่ (3.29) และ (3.30) โดยใช้ KCL เมื่อมีกระแสที่โหนดอินพุต สามารถเขียนสมการในรูปของการส่งผ่านความต้านทานได้เป็น

$$R_{eq} = \frac{V_O}{I_m} = \frac{1}{4\beta(V_{DD} - V_T)} \quad (3.31)$$

ส่วนการตอบสนองทางความถี่ของวงจรส่งผ่านความต้านทานจะมีค่าเท่ากับ(ภาคผนวก ก)

$$f_{-3dB} \approx \frac{g_m}{2\pi C_{gs}} \quad (3.32)$$

แต่อย่างไรก็ตามเมื่อนำวงจรย่อยที่กล่าวมาแล้วทั้งหมดมาประกอบขึ้นเป็นวงจรใหม่ในวิทยานิพนธ์ ค่าของการตอบสนองทางความถี่ก็จะเปลี่ยนไปตามวงจรที่มาต่อร่วมด้วย เช่น ค่าของประจุ C_{gs} จากอินพุตของ ทรานซิสเตอร์วงจรถัดไปจะส่งผลกลับมายังฟังก์ชันการส่งผ่านของวงจรแรกก็ได้ ซึ่งจำเป็นที่จะต้องวิเคราะห์ใหม่ในบทต่อไป

3.8 บทสรุป

วงจรย่อย และ วงจรฟังก์ชันไม่เชิงเส้นต่างๆ ที่ใช้ในวิทยานิพนธ์นี้ เป็นวงจรที่มีใช้งานกันอย่างกว้างขวางในวงจรรวมยุคปัจจุบัน โดยในบทนี้เป็นการกล่าวถึงการทำงานของวงจรย่อย และ วงจรฟังก์ชันไม่เชิงเส้นต่างๆ เพื่อให้สามารถนำไปสู่การออกแบบ และ อธิบายในบทต่อ ๆ ไป จากการทำงานของวงจรต่างๆ ในบทนี้ สามารถนำมาสร้างเป็นวงจรรวมที่มีหน้าที่การทำงานใหม่ ๆ ได้ อีกมากมาย ซึ่งในวิทยานิพนธ์นี้เป็นอีกแนวทางหนึ่งที่น่าเอาวงจรย่อยต่างๆ เหล่านี้ มาประกอบกันขึ้น และ ยังเป็นวงจรที่มีประสิทธิภาพสูง และ มีรูปแบบใหม่ อีกทั้งยังสามารถสร้างเป็นวงจรรวมได้

บทที่ 4

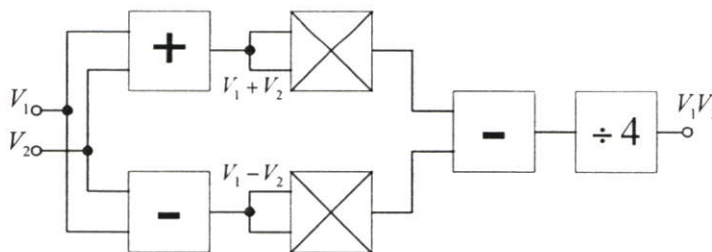
วงจรรคูณสัญญาณอนาล็อก 4 ควอดแดรนต์แบบซีมอส โดยใช้ไฟเลี้ยงเดียว

4.1 บทนำ

วงจรรคูณสัญญาณนั้นเป็นวงจรที่มีประโยชน์ และ นิยมใช้กันมากในงานด้านประมวลผลสัญญาณอนาล็อกต่าง ๆ เช่น ในการดัดแปลงใช้ในวงจรกรองสัญญาณ (Analog Filter) วงจรทวีความถี่ (Frequency Doubler) วงจรผสมสัญญาณ (Modulator) ซึ่งวงจรรคูณสัญญาณเป็นวงจรที่มีการออกแบบ และ พัฒนากันมา อย่างต่อเนื่อง ตั้งแต่การใช้เทคโนโลยีแบบไบโพลาร์ 6 ตัว [18] จนกระทั่งในปัจจุบันจะเป็นการใช้เทคโนโลยีแบบมอส [11]-[21] ที่สำคัญคือทั้งสองหลักการดังกล่าวใช้แรงดันไฟเลี้ยง 2 ชุด คือ ± 5 โวลต์ ในบทนี้นำเสนองจรรคูณสัญญาณอนาล็อกโดยใช้มอสทรานซิสเตอร์ โดยใช้หลักการของพีชคณิตกำลังสองส่วนสี่ (Quarter-Square Algebraic) [4] ประกอบด้วยวงจรรวมสัญญาณแบบดิฟเฟอเรนเชียล (Differential Summing), วงจรอินเวอร์เตอร์จากทรานซิสเตอร์ NMOS และ วงจรเลื่อนระดับแรงดัน (Level Shifter) เพื่อให้ทรานซิสเตอร์ทำงานในย่านอิมิตัว และมีช่วงการทำงานที่กว้าง และ ที่สำคัญคือทำให้สามารถใช้แรงดันไฟเลี้ยงเดียว +5 โวลต์เท่านั้น ซึ่งหลักการที่นำมาสร้างวงจรประมวลผลสัญญาณอนาล็อกในวิทยานิพนธ์นี้จะใช้มอสทรานซิสเตอร์เป็นหลักเพื่อให้การทำงานมีความแม่นยำ มีความสูญเสียกำลังงานเสียดำ และ สามารถนำไปสร้างเป็นวงจรรวมได้ในอนาคต

4.2 การคูณโดยใช้พีชคณิตกำลังสองส่วนสี่ (Quarter-Square Algebraic Identity Multiplier)

ในการคูณแบบสี่ควอดแดรนต์นั้นวิธีหนึ่งที่ใช้หลักการหนึ่งก็คือ พีชคณิตกำลังสองส่วนสี่ ซึ่งหลักการพื้นฐานโดยทั่วไปจะมีอยู่ด้วยกัน 3 ขั้นตอน ซึ่งขั้นตอนแรกจะเป็นการบวก และ ลบ ขั้นตอนที่สองจะนำเอาผลลัพธ์ทั้งสองส่วนมายกกำลังสอง และ ขั้นตอนที่สามจะทำการเอาผลลัพธ์ที่ผ่านการยกกำลังสองทั้งสองส่วนมาลบกัน ซึ่งจะเป็นผลให้มีผลลัพธ์สุดท้ายอยู่ในรูปของการคูณตั้งสมการที่ (4.1) และ ขั้นตอนของการคูณจะเป็นดังรูปที่ 4.1



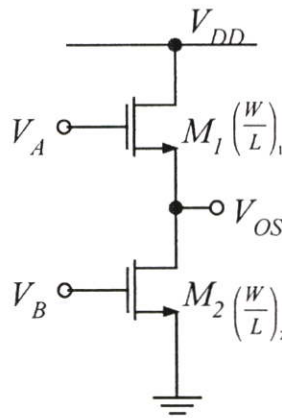
รูปที่ 4.1 หลักการคูณโดยใช้พีชคณิตกำลังสองส่วนสี่

$$V_O = \frac{1}{4} \left[(V_1 + V_2)^2 - (V_1 - V_2)^2 \right] = V_1 V_2 \quad (4.1)$$

4.3 วงจรอินเวอร์เตอร์จากทรานซิสเตอร์ชนิด N (NMOS Inverter Circuit)

ในหัวข้อนี้ขอก้าวถึงวงจรรวมสัญญาณ ตามที่ได้เคยกล่าวไว้ในบทที่ 3 โดยอาศัยหลักการ ของวงจรอินเวอร์เตอร์จากทรานซิสเตอร์ชนิด N ที่ทำงานในย่านอิ่มตัว จากสมการดังนี้

$$I_D = \beta (V_{GS} - V_T)^2 \quad ; \quad (V_{GS} - V_T) \leq V_{DS} \quad (4.2)$$



รูปที่ 4.2 วงจร NMOS อินเวอร์เตอร์

จากสมการที่ (4.2) โดยที่ $\beta = \frac{\mu C_{OX}}{2} \left(\frac{W}{L} \right)$ เมื่อนำทรานซิสเตอร์ชนิด N มาต่อเป็นวงจรอินเวอร์เตอร์แบบ NMOS ดังรูปที่ 4.2 สามารถเขียนสมการของทรานซิสเตอร์ทั้งสองได้เป็น

$$I_{D1} = \frac{\mu C_{OX}}{2} \left(\frac{W}{L} \right)_1 (V_A - V_{OS} - V_{TN})^2 \quad (4.3)$$

$$I_{D2} = \frac{\mu C_{OX}}{2} \left(\frac{W}{L} \right)_2 (V_B - V_{TN})^2 \quad (4.4)$$

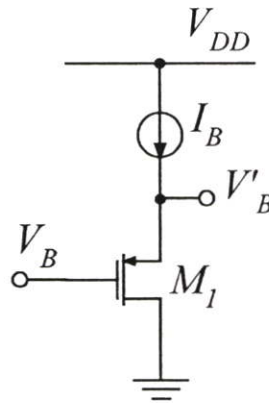
จากรูปที่ 4.2 กระแส I_1 จะเท่ากับกระแส I_2 จึงเป็นผลให้แรงดันเอาต์พุต (V_{OS}) จะอยู่ในรูปของการลบ ดังสมการที่ (4.5)

$$V_{OS} = V_A - V_{TN} + \left[(V_{TN} - V_B) \sqrt{\frac{(W/L)_2}{(W/L)_1}} \right] \quad (4.5)$$

จากวงจรรูปที่ 4.2 และ สมการที่ (4.5) จะเป็นจริงได้ก็ต่อเมื่อทรานซิสเตอร์ทั้งคู่ทำงานในย่านอิ่มตัว ซึ่งวงจรจะไม่สามารถทำงานได้ถูกต้องถ้าอินพุต V_B มีค่าน้อยกว่าแรงดันเทรชโฮลต์ โดยในวิทยานิพนธ์นี้ได้นำเสนอแนวทางใหม่ในการเลื่อนจุดทำงานของมอสทรานซิสเตอร์ โดยแนวทางในวิทยานิพนธ์นี้จะใช้วงจรเลื่อนระดับแรงดัน (Voltage-Level Shifter) ซึ่งจากหลักการของวงจรเลื่อนระดับแรงดันนี้เอง ยังผลให้วงจรดังกล่าวใช้ไฟเลี้ยงเพียงชุดเดียว คือ +5 โวลต์เท่านั้น และเมื่อนำมาประกอบกับวงจรในรูปที่ 4.2 ซึ่งจะกล่าวถึงต่อไป

4.4 วงจรเลื่อนระดับแรงดัน (Voltage-Level Detector)

วงจรเลื่อนระดับแรงดันตามที่ได้เคยกล่าวไว้ในบทที่ 3 จะใช้หลักการของมอสทรานซิสเตอร์ย่านอิ่มตัว และ แหล่งจ่ายกระแสคงที่ I_B 1 ตัว ดังรูปที่ 4.3



รูปที่ 4.3 วงจรเลื่อนระดับแรงดัน (Voltage-Level Detector)

จากรูปที่ 4.3 กระแสเดรนของทรานซิสเตอร์ M_1 จะไหลเท่ากับกระแส I_B ซึ่งสามารถเขียนสมการได้เป็น

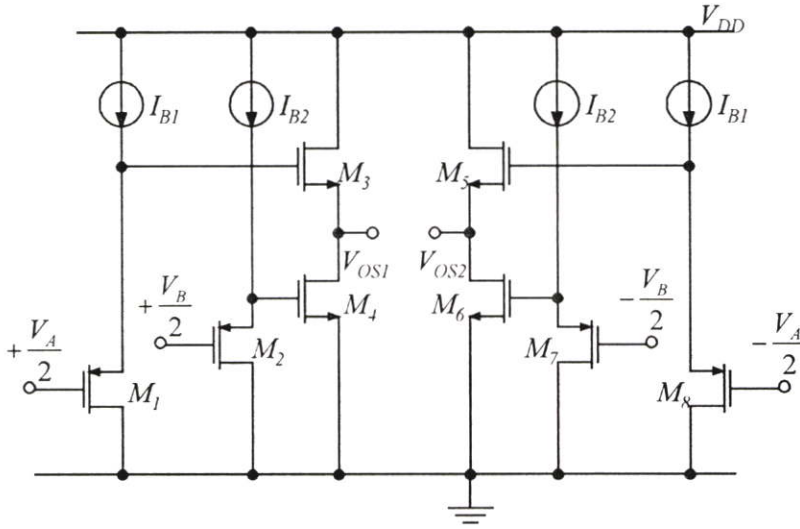
$$I_D = -I_B = -k_p (V'_B - V_B - |V_{TP}|)^2 \quad (4.6)$$

หรือ

$$V'_B = V_B + |V_{TP}| + \sqrt{\frac{I_B}{\beta_p}} \quad (4.7)$$

จากสมการที่ (4.7) นั้นจะเห็นได้ว่า ระดับของแรงดันที่ถูกเพิ่มนั้นสามารถกำหนดได้ด้วยการปรับค่ากระแส I_B และ แรงดันเทรชโฮลต์ของทรานซิสเตอร์ และ ด้วยวงจรเลื่อนระดับแรงดันนี้เองทำให้แรงดันไฟเลี้ยงที่ใช้มันไม่จำเป็นต้องใช้แรงดันไฟเลี้ยงคู่บวก และ ลบ ซึ่งสามารถใช้เพียงแรงดันไฟเลี้ยงบวก 5 โวลต์เพียงชุดเดียว เมื่อนำวงจรเลื่อนระดับแรงดันรูปที่ 4.3 ประกอบเข้ากับ

วงจรมอนิเตอร์เตอร์รูปที่ 4.2 และ ต่อแบบ 2 ข้างสมมาตรได้ดังรูปที่ 4.4 เป็นวงจรรวมสัญญาณที่ สมบูรณ์



รูปที่ 4.4 วงจรผลต่างรวมสัญญาณ (Differential Summing Circuit)

จากรูปที่ 4.4 สามารถเขียนสมการของแรงดันเอาต์พุตได้เป็น

$$V_{OS1} = |V_{TP}| + \frac{V_A}{2} + \sqrt{\frac{I_{B1}}{\beta_p}} - V_{TN} + \left[V_{TN} - \left(|V_{TP}| + \frac{V_B}{2} + \sqrt{\frac{I_{B2}}{\beta_p}} \right) \right] \sqrt{\frac{(W/L)_2}{(W/L)_1}} \quad (4.8)$$

$$V_{OS2} = |V_{TP}| - \frac{V_A}{2} + \sqrt{\frac{I_{B1}}{\beta_p}} - V_{TN} + \left[V_{TN} - \left(|V_{TP}| - \frac{V_B}{2} + \sqrt{\frac{I_{B2}}{\beta_p}} \right) \right] \sqrt{\frac{(W/L)_2}{(W/L)_1}} \quad (4.9)$$

แรงดันเอาต์พุตแบบดิฟเฟอเรนเชียลคือ

$$V_{OS} = V_{OS1} - V_{OS2} = V_A - V_B \sqrt{\frac{(W/L)_2}{(W/L)_1}} \quad (4.10)$$

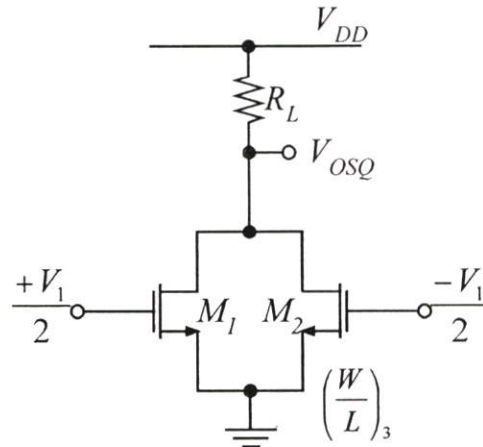
4.5 วงจรผลต่างกำลังสอง (Differential Squaring Circuit)

วงจรถูกกำลังสองที่กล่าวถึงในหัวข้อนี้ ใช้หลักการของกฎกำลังสอง (Square's Law) ของ มอสทรานซิสเตอร์ ตามที่ได้เคยกล่าวไว้ในบทที่ 3 ทำงานย่านอิมิตัวสมการกระแสเดรนของมอสทรานซิสเตอร์จะอยู่ในรูปของกำลังสองอยู่แล้วดังสมการที่ (4.2) ซึ่งมีโครงสร้างง่าย ๆ ดังรูปที่ 4.5 และ จากรูปที่ 4.5 แสดงวงจรถูกกำลังสองสัญญาณเพียงครึ่งวงจรถ โดยสามารถเขียนเป็นสมการได้คือ

$$I_{D1} = \beta_N \left(\frac{V_1}{2} - V_{TN} \right)^2 \quad (4.11)$$

และ

$$I_{D2} = \beta_N \left(\frac{-V_1}{2} - V_{TN} \right)^2 \quad (4.12)$$

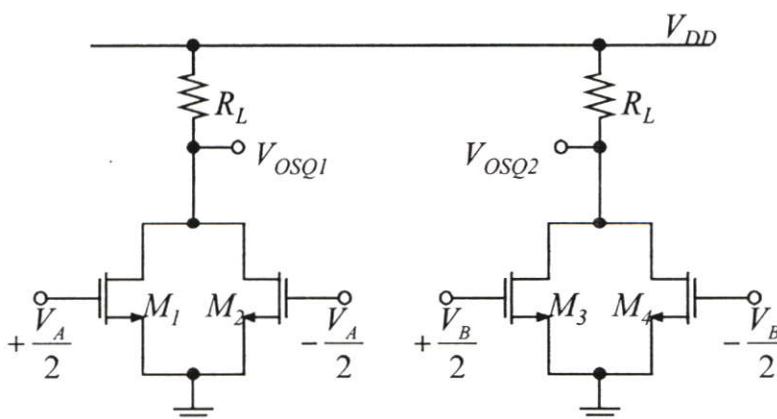


รูปที่ 4.5 วงจรกำลังสอง (Squaring Circuit)

จากรูปที่ 4.5 แรงแดัน $\frac{V_1}{2}$ และ $\frac{-V_1}{2}$ จะเป็นอินพุตแบบดิฟเฟอเรนเชียลอินพุต เป็นผลให้สมการแรงแดันเอาท์พุท กลายเป็น

$$V_{OSQ} = V_{DD} - \frac{R_L \mu C_{OX}}{2} \left(\frac{W}{L} \right)_3 \left(2V_{TN}^2 + \frac{V_A^2}{2} \right) \quad (4.13)$$

จากสมการที่ (4.13) เมื่อต้องการกำจัดเทอมไฟตรง (DC Terms) ออกไปสามารถทำได้โดยต่อวงจรรูปที่ 4.5 เป็นแบบดิฟเฟอเรนเชียลเอาท์พุทดังรูปที่ 4.6



รูปที่ 4.6 วงจรผลต่างกำลังสอง (Differential Squaring circuit)

จากรูปที่ 4.6 แรงดันเอาต์พุตทั้งสองของวงจรมีค่าเท่ากับ

$$V_{OSQ1} = V_{DD} - \frac{R_L \mu C_{OX}}{2} \left(\frac{W}{L} \right)_3 \left(2V_{TN}^2 + \frac{V_A^2}{2} \right) \quad (4.14)$$

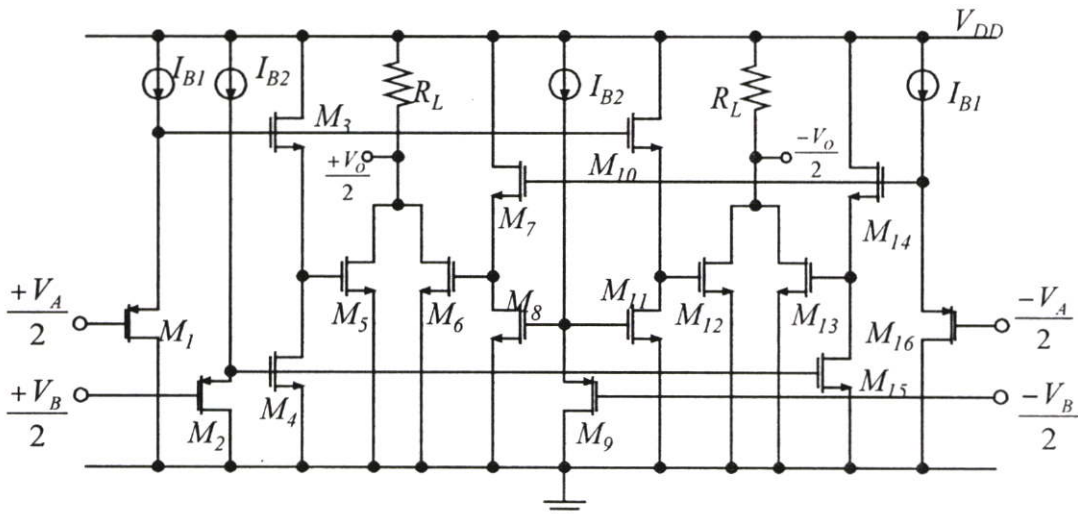
$$V_{OSQ2} = V_{DD} - \frac{R_L \mu C_{OX}}{2} \left(\frac{W}{L} \right)_3 \left(2V_{TN}^2 + \frac{V_B^2}{2} \right) \quad (4.15)$$

และ แรงดันเอาต์พุตแบบดิฟเฟอเรนเชียลของวงจรรูปที่ 4.6 คือ

$$V_{OSQ} = V_{OSQ1} - V_{OSQ2} = \frac{R_L \mu C_{OX}}{4} \left(\frac{W}{L} \right)_3 (V_B^2 - V_A^2) \quad (4.16)$$

4.6 วงจรคูณสัญญาณ 4 ควอดแดรนต์

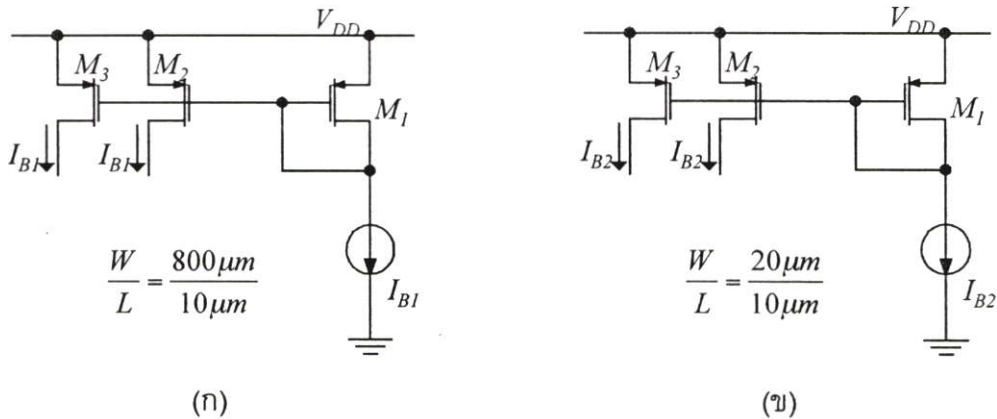
จากหลักการของวงจรถ่าง ๆ ที่วิเคราะห์มาทั้งหมดข้างต้นนั้นสามารถนำมาประกอบกันเป็น วงจรคูณสัญญาณ 4 ควอดแดรนต์ที่สมบูรณ์ ได้ดังรูปที่ 4.7 และ เมื่อนำมาพิจารณาจากทฤษฎีของ วงจรถ่าง ๆ ข้างต้นแรงดันเอาต์พุตจะมีค่าเท่ากับ



รูปที่ 4.7 วงจรคูณสัญญาณ 4 ควอดแดรนต์ที่สมบูรณ์

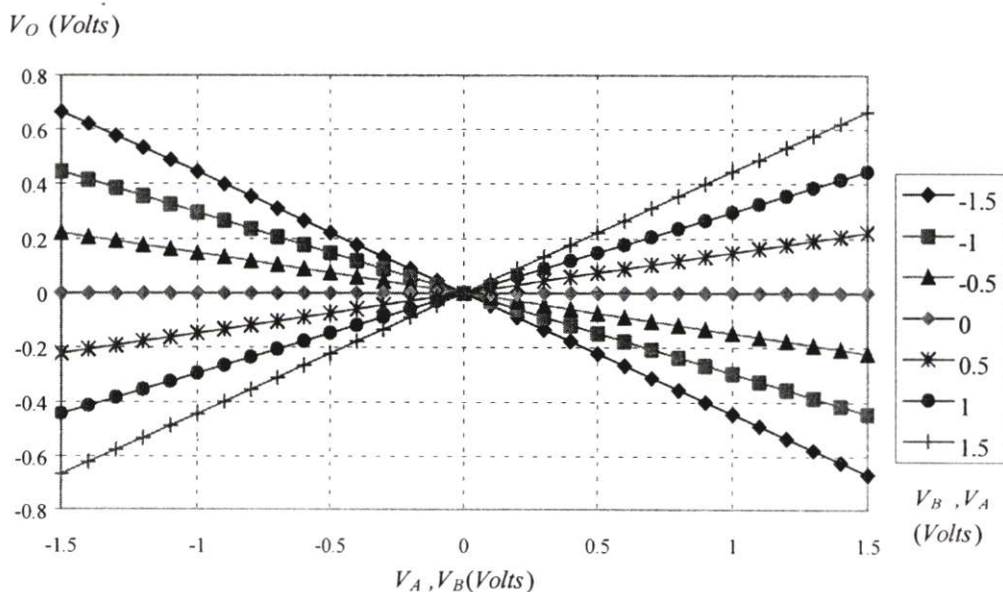
$$V_O = \mu C_{OX} R_L \left(\frac{W}{L} \right)_3 \sqrt{\left(\frac{W}{L} \right)_2} V_A V_B \quad (4.17)$$

จากรูปที่ 4.7 แหล่งจ่ายกระแสคงที่ I_{B1} และ I_{B2} ใช้วงจรสะท้อนกระแสแบบง่าย ดังรูปที่ 4.8 แทนซึ่ง I_{B1} จะใช้ทรานซิสเตอร์ที่มีค่า Aspect Ratio (W/L) ซึ่งมีค่าเท่ากับ $(800\mu\text{m}/10\mu\text{m})$ ซึ่งจะมีค่าสูงเนื่องจากเงื่อนไขของทรานซิสเตอร์อิมิตัว และ จ่ายกระแสให้กับทรานซิสเตอร์ M_1 ในรูปที่ 4.7 อย่างคงที่ ส่วน I_{B2} จะใช้ค่า (W/L) ซึ่งมีค่าเท่ากับ $(20\mu\text{m}/10\mu\text{m})$ ซึ่งมีค่าน้อยกว่าในกรณีของ I_{B1} เพราะใช้กระแสต่ำกว่า และ I_{B2} มีค่าน้อยกว่า I_{B1} ถึงประมาณ 10 เท่า (ภาคผนวก ข)



รูปที่ 4.8 วงจรสะท้อนกระแสที่ใช้แทนแหล่งจ่ายกระแสคงที่ I_{B1} และ I_{B2}

เมื่อนำค่าอินพุต V_A และ V_B จากการคำนวณในสมการที่ (4.17) มาพล็อตกราฟ จะได้กราฟของแรงดันเอาต์พุตดังรูปที่ 4.9



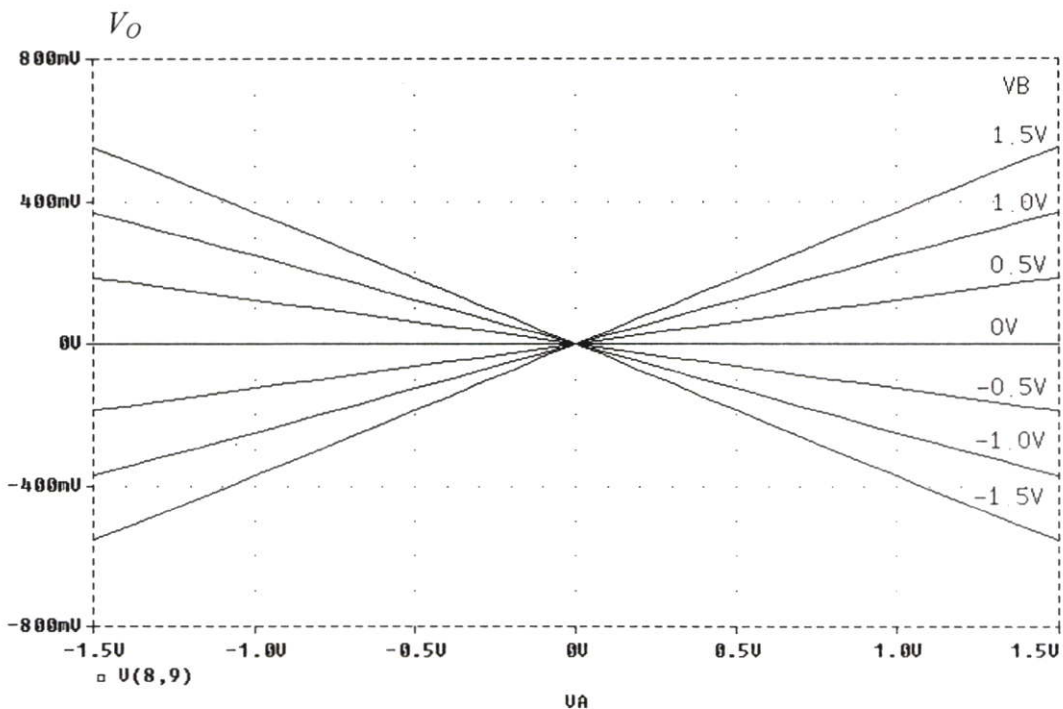
รูปที่ 4.9 กราฟแสดงคุณสมบัติของวงจรคูณสัญญาณแบบ 4 ควอดแดรนต์จากการคำนวณ

4.7 ผลการทดลอง และ ผลการเลียนแบบการทำงานด้วย PSpice

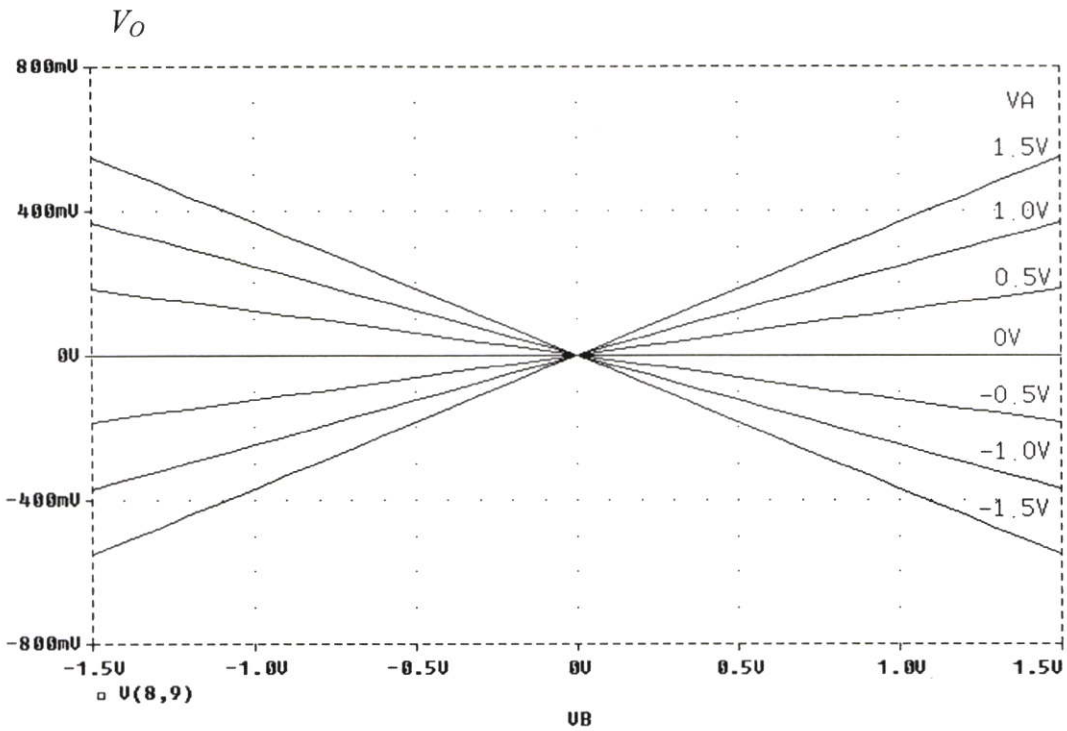
จากวงจรคุณสมบัติรูปที่ 4.7 ซึ่งเป็น NMOS 12 ตัว และ PMOS 4 ตัว โดยค่า $(W/L) = (20\mu\text{m}/10\mu\text{m})$ ทุกตัวยกเว้น M5, M6, M12 และ M13 จะใช้ค่า $(W/L) = (100\mu\text{m}/10\mu\text{m})$ แหล่งจ่ายกระแสที่ I_{B1} และ I_{B2} มีค่าเท่ากับ $90\mu\text{A}$ และ $9\mu\text{A}$ ตามลำดับ ใช้โมเดล ES2 ในแบบ Worst Case ใน Level 2 โดย $V_{TN} = 1.07$ โวลท์, $V_{TP} = -0.8$ โวลท์, $\mu_N C_{OX} = 29.56\mu\text{A}/\text{V}^2$, $\mu_P C_{OX} = 8.26\mu\text{A}/\text{V}^2$ ความต้านทานโหลดที่ใช้มีค่าเท่ากับ $1\text{ k}\Omega$ ผลการเลียนแบบการทำงาน ยืนยันด้วย PSpice กราฟแสดงคุณสมบัติของวงจรแสดงไว้ดังรูปที่ 4.10ก. และ ข. โดยรูปที่ 4.10ก. จะทำการแปรค่า V_A จาก -1.5 ถึง 1.5 และ เปลี่ยนค่า V_B จาก -1.5 ถึง 1.5 และ ในทางตรงกันข้าม ได้แสดงไว้ดังรูปที่ 4.10ข. เมื่อเปรียบเทียบกับค่าจำนวนรูปที่ 4.9 จะเห็นได้ว่ามีค่าใกล้เคียงกัน ส่วนรูปที่ 4.11 เป็นการประยุกต์ใช้งานวงจรคุณสมบัติเป็นวงจรมอดูเลเตอร์แบบ AM โดย สัญญาณอินพุตเป็นไซน์มีความถี่เท่ากับ 5 kHz และ สัญญาณคลื่นพาร์มีความถี่เท่ากับ 100 kHz จากรูปที่ 4.10 แสดงให้เห็นย่านอินพุตปฏิบัติงานซึ่งสามารถคำนวณได้จาก (ภาคผนวก ข)

$$\frac{V_{DD}}{2} - V_{TN} \geq (V_A, V_B) \geq V_{TN} - \frac{V_{DD}}{2} \quad (4.18)$$

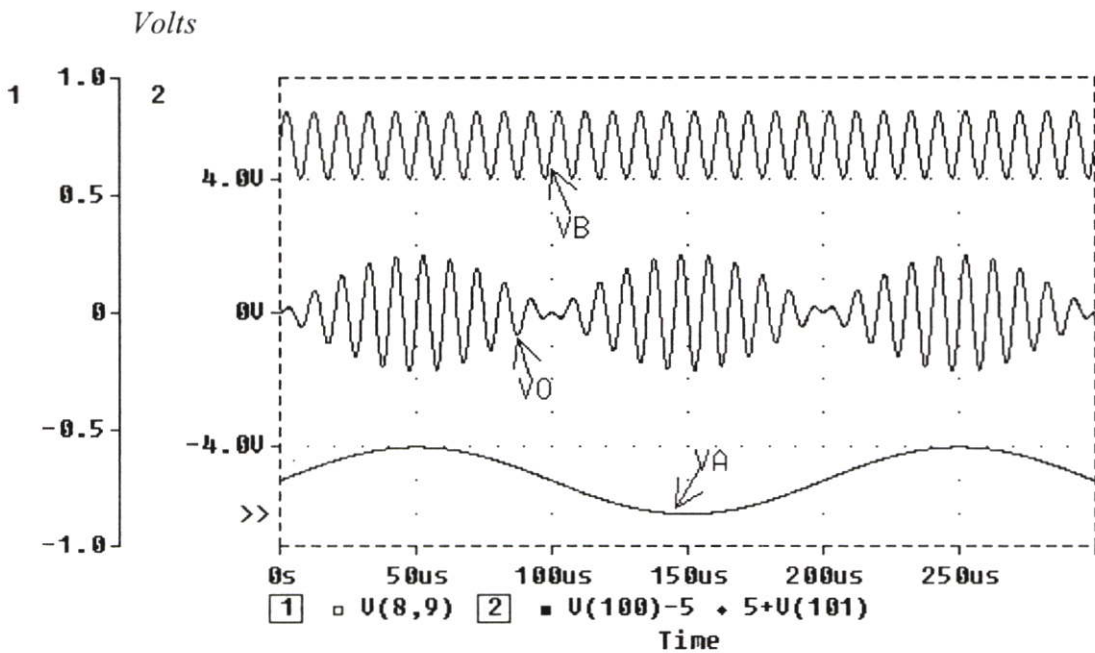
ซึ่งเมื่อแทนค่า $V_{DD} = 5$ และ $V_{TN} = 1.07$ ในสมการที่ (4.18) ย่านอินพุตปฏิบัติงานจะมีค่าเท่ากับ $-1.43\text{V} < (V_A, V_B) < +1.43\text{V}$ ซึ่งจะเห็นได้ว่ามีค่าสอดคล้องกับผลการเลียนแบบการทำงานรูปที่ 4.10



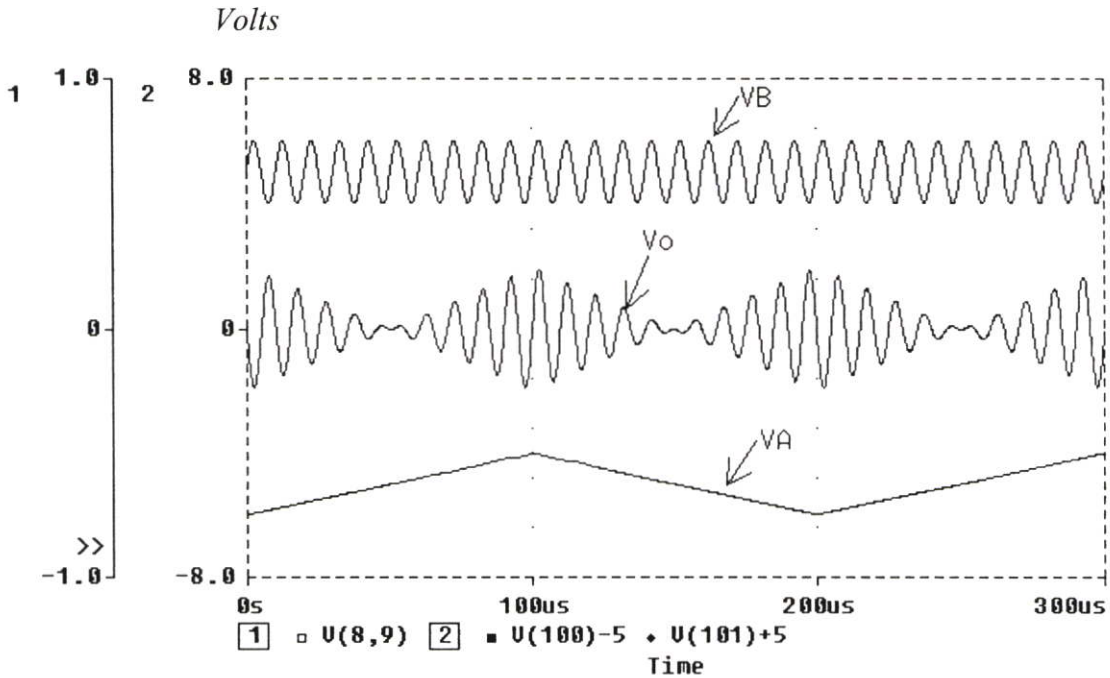
(ก)



รูปที่ 4.10 กราฟแสดงคุณสมบัติของวงจรคุณสัญญาณแบบ 4 ควอดแดรนต์ (ก) แรงดัน V_O กับ V_A
(ข) แรงดัน V_O กับ V_B



รูปที่ 4.11 รูปสัญญาณจากการมอดดูเลทแบบ AM ความถี่ที่อินพุทเป็นสัญญาณรูปไซน์ความถี่ 5 kHz ผสมกับสัญญาณความถี่ 100 kHz โดยแรงดันอินพุททั้งสองมีค่าเท่ากับ 2 Vp-p

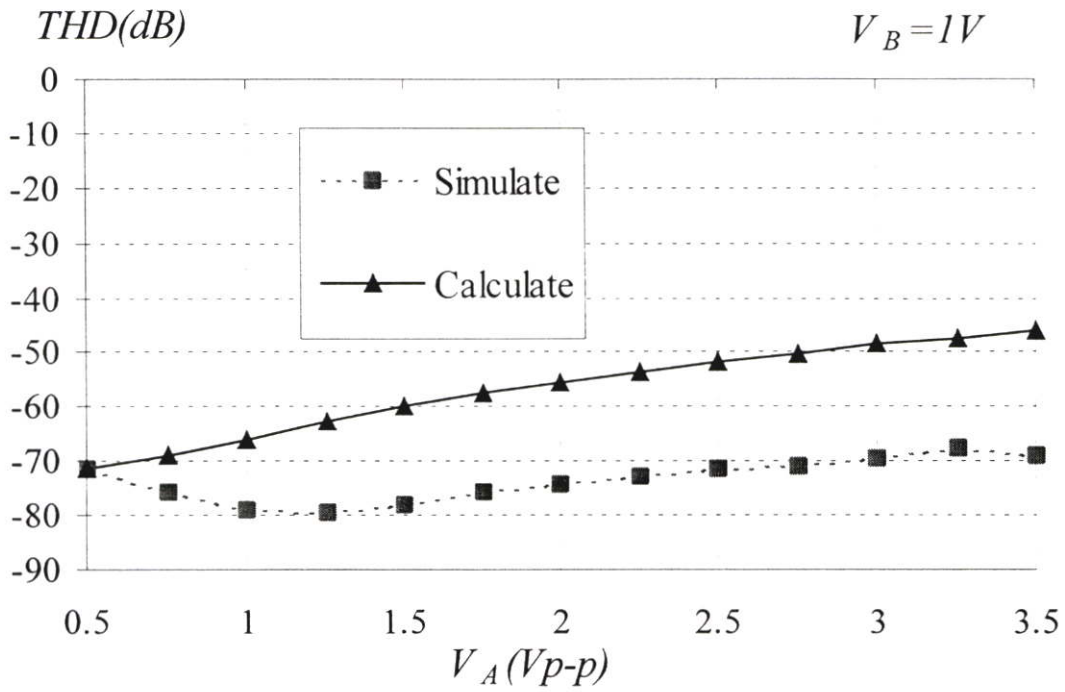


รูปที่ 4.12 รูปสัญญาณจากการมอดดูเลทแบบ AM ความถี่ที่อินพุตเป็นสัญญาณรูปสามเหลี่ยม ความถี่ 5 kHz ผสมกับสัญญาณไซน์ความถี่ 100 kHz โดยแรงดันอินพุตทั้งสองมีค่าเท่ากับ 2 Vp-p

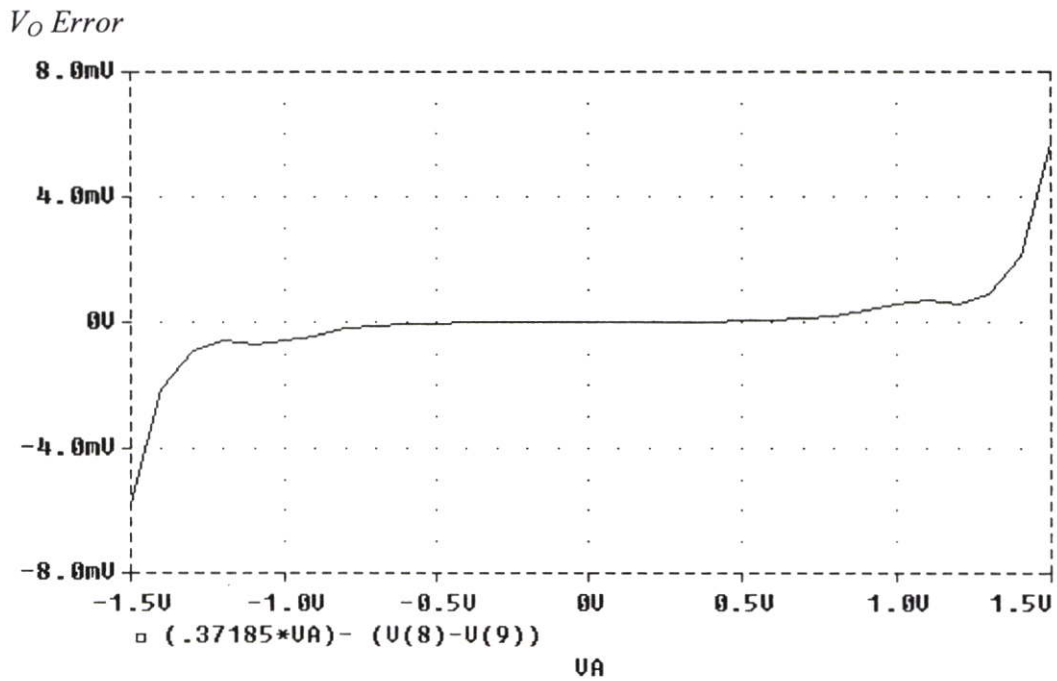
ส่วนค่าความเพี้ยนรวมทางฮาร์โมนิกสามารถคำนวณได้จาก การลดลงของค่าความคล่อง (Degradation Mobility : θ) ซึ่งมีค่าประมาณ (ภาคผนวก ข)

$$THD \approx \frac{\theta^2 (10V_A^2 V_B^2 + 4V_A^4 + V_A^3 + V_B^4)}{3V_A^2 + V_B^2} \quad (4.19)$$

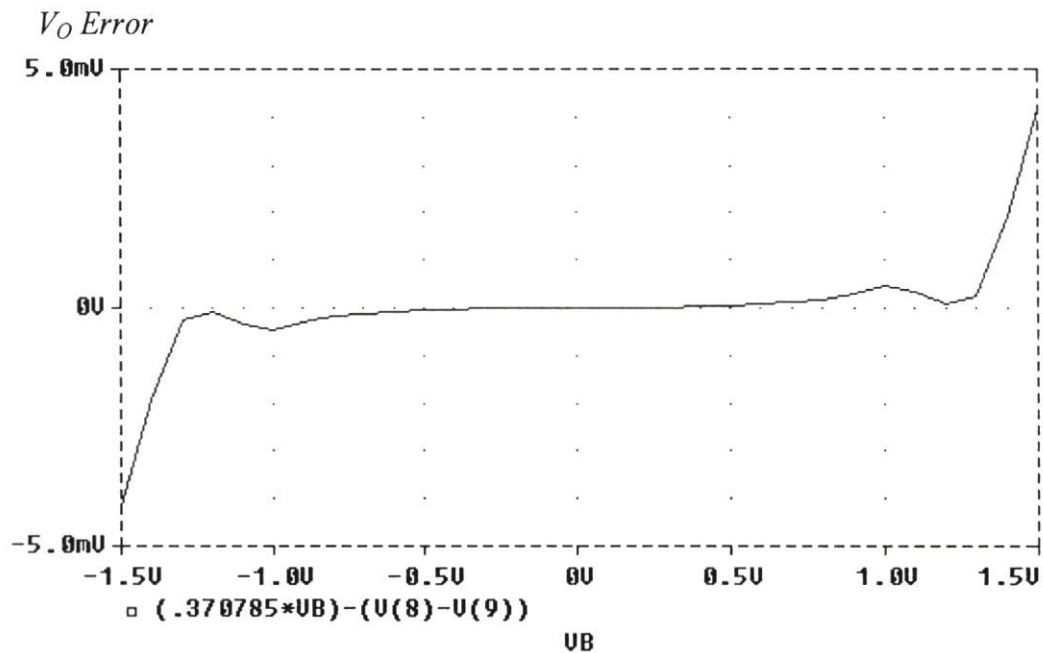
ส่วนค่าความเพี้ยนรวมทางฮาร์โมนิกของวงจรจากการเลียนแบบการทำงาน และ จากการคำนวณจากสมการที่ (4.19) โดย $\theta = 0.17 V^{-1}$ ได้แสดงไว้ดังรูปที่ 4.13 ด้วยการแปรค่า V_A จาก 0.5 ถึง 3.5 V_{p-p} ที่ความถี่ 1kHz โดยที่ $V_B = 1$ โวลต์ซึ่งมีค่าต่ำกว่า -70 dB ที่ช่วงอินพุต V_A เท่ากับ 3 V_{p-p} ซึ่งจะเห็นได้ว่าวงจรมีความเพี้ยนรวมทางฮาร์โมนิกต่ำ และ จะมีค่าต่ำที่สุดในช่วงอินพุต 1 ถึง 1.5 V_{p-p} และ มีค่าสอดคล้องกับการคำนวณ



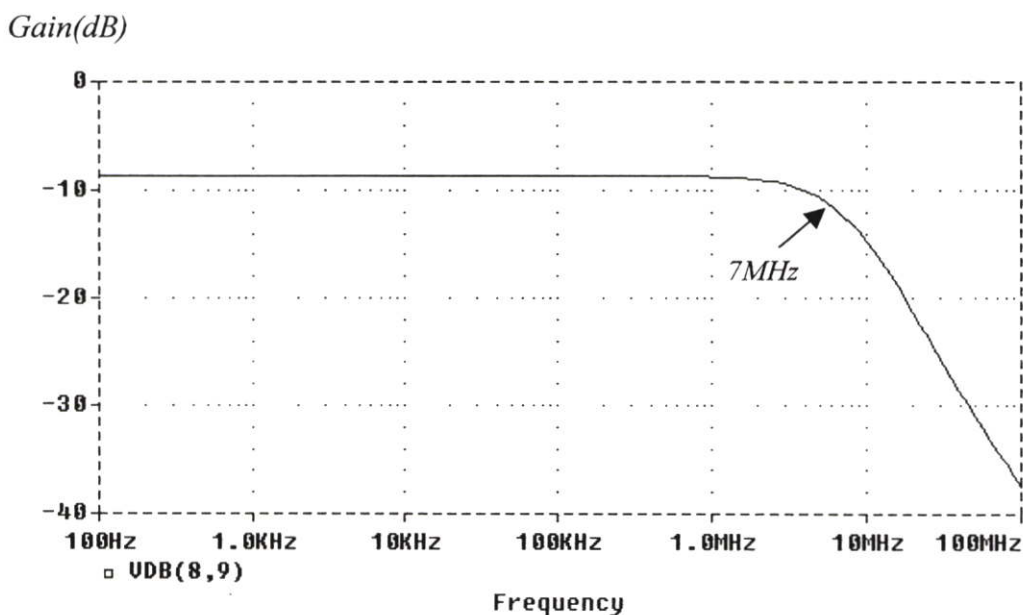
รูปที่ 4.13 ความเพี้ยนรวมทางฮาร์โมนิคของวงจร



(ก)



(ข)

รูปที่ 4.14 ค่าความผิดพลาดของเอาต์พุตเมื่ออินพุตเป็น (ก) V_A และ (ข) V_B 

รูปที่ 4.15 การตอบสนองทางความถี่ของวงจรรkundสัญญาณ

ส่วนค่าความผิดพลาด (Error) ของการเป็นเชิงเส้น (Linearity Error) ของแรงดันเอาต์พุตกระทำได้โดยแบ่งเป็น 2 จุดคือ 1. ป้อนแรงดัน V_A ให้มีค่าเท่ากับ 1.5 โวลต์ โดยกำหนดให้ $V_O/V_B = 1$ โดยที่ V_B จะมีค่าน้อย ๆ ค่าของความผิดพลาดสามารถวัดได้โดย $(V_B - V_O)$ ซึ่งจะกระทำในย่านอินพุต ± 1.5 โวลต์ และ ทำวิธีเดียวกันกับอินพุต V_A เพื่อวัดความผิดพลาดของ V_A

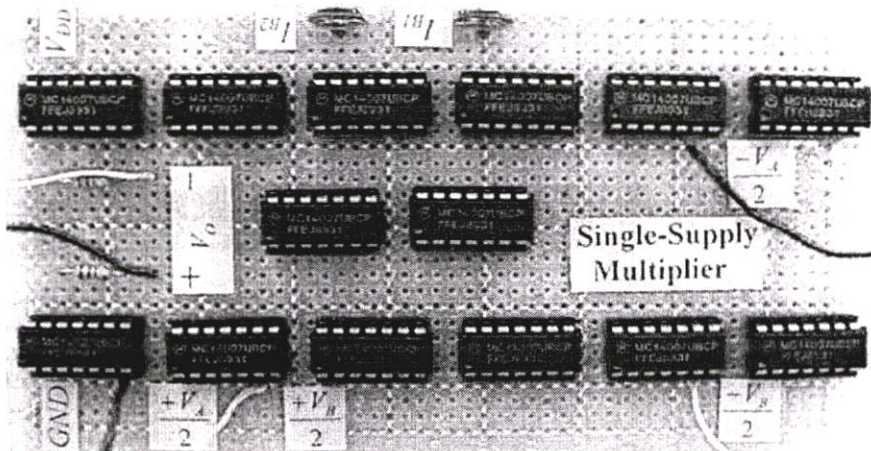
ซึ่งค่าของความผิดพลาดของ V_O ในกรณี V_A และ V_B จะมีค่าประมาณ 0.6% โดยค่าความผิดพลาดของแรงดันเอาต์พุตได้แสดงไว้ดังรูปที่ 4.14ก. และ ข. ตามลำดับ และ ส่วนการตอบสนองทางความถี่ของวงจรถูกจากการเลียนแบบการทำงานด้วย PSpice ในวิทยานิพนธ์นี้ แสดงไว้ดังรูปที่ 4.15 จะมีค่าสูงกว่า 6 MHz และ สามารถคำนวณได้จากแบบจำลองสัญญาณขนาดเล็ก (ภาคผนวก ข) โดยมีค่าเท่ากับ

$$f_{-3dB} \approx \frac{1}{2\pi b_1} \approx \frac{g_{m2}g_{m3}}{2\pi[g_{m3}(C_2 + C_4) + g_{m2}(C_3 + C_5)]}$$

$$\approx \frac{(1.62 \times 10^{-5})(4.24 \times 10^{-5})}{2\pi[(4.24 \times 10^{-5})(2.014 \times 10^{-13}) + (1.62 \times 10^{-5})(3.56 \times 10^{-13})]}$$

$$\approx 7.64 \text{ MHz} \quad (4.20)$$

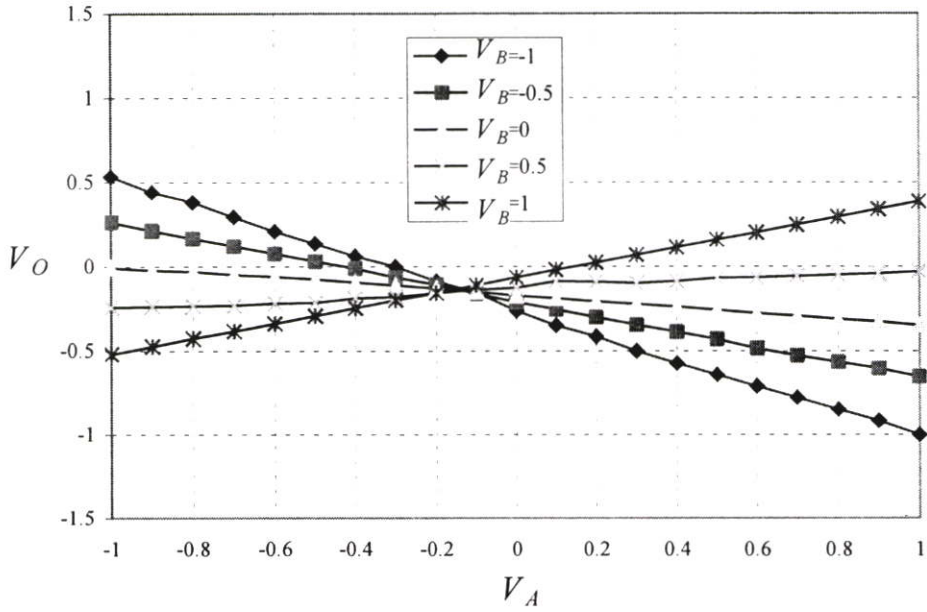
จากการคำนวณในสมการที่ (4.20) และ การเลียนแบบการทำงานในรูปที่ 4.15 จะมีค่าใกล้เคียงกัน



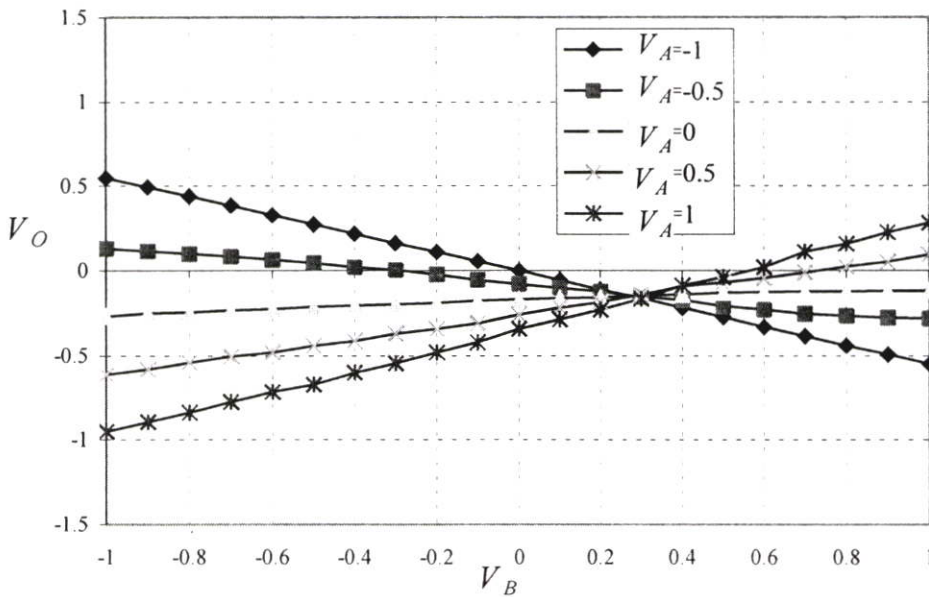
รูปที่ 4.16 วงจรคูณสัญญาณ 4 ควอดแรนต์โดยใช้ IC MC14007

ผลการทดลองทำได้โดยต่อวงจรจริงโดยใช้ IC MC14007 แสดงไว้ดังรูปที่ 4.16 และ ป้อนอินพุต V_A และ V_B การป้อนอินพุตทำโดยป้อนเข้าที่ $\frac{+V_A}{2}$ และ $\frac{+V_B}{2}$ โดยต่ออินพุต $\frac{-V_A}{2}$ และ $\frac{-V_B}{2}$ ลงกราวด์ โดยกราฟแสดงคุณสมบัติของวงจรถูกจากการทดลองแสดงไว้ดังรูปที่ 4.17ก. และ ข. โดยรูปที่ 4.17ก. จะทำการแปรค่า V_A จาก -1 ถึง 1 และ เปลี่ยนค่า V_B จาก -1 ถึง 1 และ ในทางตรงกันข้ามได้แสดงไว้ดังรูปที่ 4.17ข. จะเห็นได้ว่าเอาต์พุตของวงจรมีค่า Off-set ไม่เป็น 0 ทั้งนี้

เนื่องมาจากการป้อนอินพุตในการทดลองนั้นไม่สมมาตรนั่นเอง (ป้อนเพียง 2 จุด) ซึ่งค่า Off-set จะเข้าใกล้ 0 เมื่อการป้อนอินพุตเป็นแบบสมมาตร (ป้อนทั้ง 4 จุด)



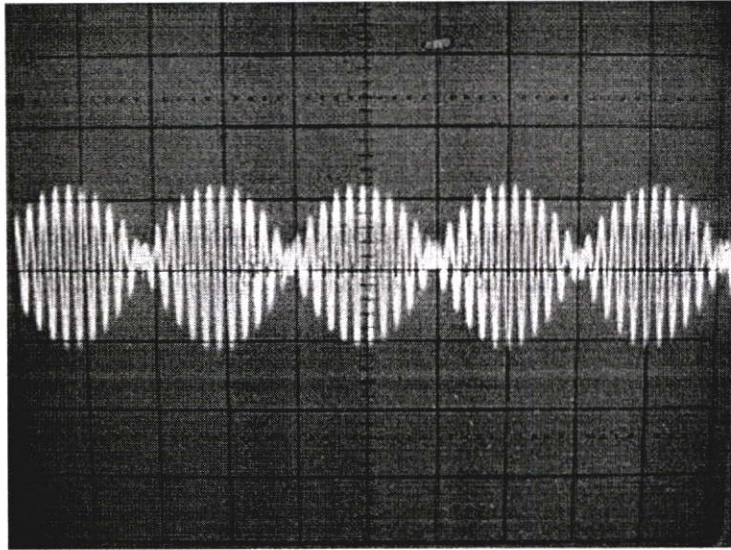
(ก)



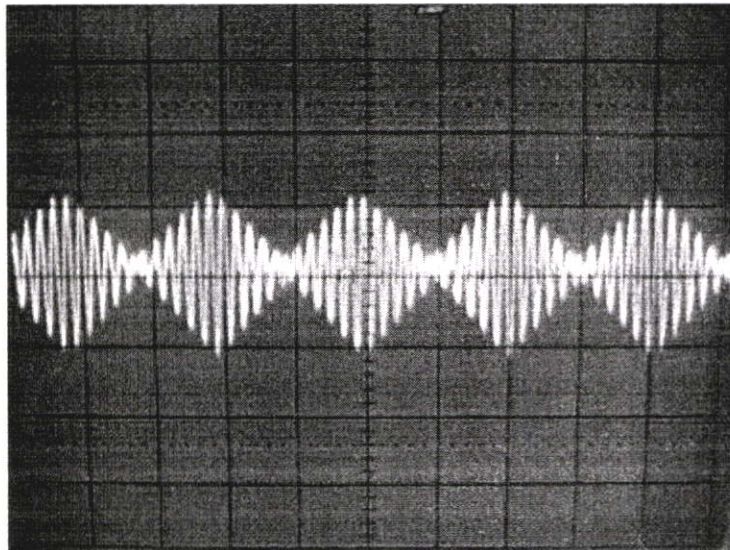
(ข)

รูปที่ 4.17 กราฟแสดงคุณสมบัติของวงจรคูณสัญญาณแบบ 4 ควอดแดรนต์ของวงจรรูปที่ 4.7.6 (ก) แรงดัน V_O กับ V_A (ข) แรงดัน V_O กับ V_B

ส่วนรูปที่ 4.18 และ 4.19 เป็นการประยุกต์ใช้งานวงจรคุณสัญญาณเป็นวงจรมอดดูเลเตอร์แบบ AM โดยสัญญาณอินพุทเป็นไซน์ และ รูปสามเหลี่ยมตามลำดับ โดยมีความถี่อินพุทเท่ากับ 0.5 kHz และ สัญญาณคลื่นพาร์มีความถี่เท่ากับ 10 kHz ซึ่งสามารถทำงานได้ใกล้เคียงกับการเลียนแบบการทำงานด้วย PSpice ทุกประการ



รูปที่ 4.18 รูปสัญญาณจากการมอดดูเลทแบบ AM ความถี่ที่อินพุทเป็นสัญญาณรูปไซน์ความถี่ 0.5 kHz ผสมกับสัญญาณไซน์ความถี่ 10 kHz โดยแกน x = 0.5 v/div และ แกน y = 0.5 ms/div



รูปที่ 4.19 รูปสัญญาณจากการมอดดูเลทแบบ AM ความถี่ที่อินพุทเป็นสัญญาณรูปสามเหลี่ยมความถี่ 0.5 kHz ผสมกับสัญญาณไซน์ความถี่ 10 kHz โดยแกน x = 0.5 v/div และ แกน y = 0.5 ms/div

4.8 บทสรุป

วงจรคุณลักษณะแบบ 4 ควอดแดรนท์ในวิทยานิพนธ์นี้ ใช้หลักการของพีชคณิตกำลังสอง ส่วนสี่ มีโครงสร้างที่ง่าย ใช้หลักการเลื่อนจุดทำงานของทรานซิสเตอร์ให้ทำงานในย่านอิมิตัวให้เปลี่ยนไป ทำให้สามารถใช้ไฟเลี้ยงเดี่ยวเพียง +5 โวลท์เท่านั้น และมีประสิทธิภาพสูง กล่าวคือ มีค่าผิดพลาดของความเป็นเชิงเส้นของแรงดันเอาต์พุต ต่ำกว่า 1 % คือประมาณ 0.6% ความเพี้ยนทางฮาร์โมนิรวมต่ำกว่า -70 dB ใช้ทรานซิสเตอร์ทั้งหมด 16 ตัว แหล่งจ่ายกระแสคงที่ 4 ชุด และมีการตอบสนองทางความถี่สูงกว่า 6 MHz แต่ข้อเสียของวงจรก็คือจะมีย่านอินพุตปฏิบัติงานต่ำลงเนื่องมาจากใช้แรงดันไฟเลี้ยงเดี่ยว

บทที่ 5

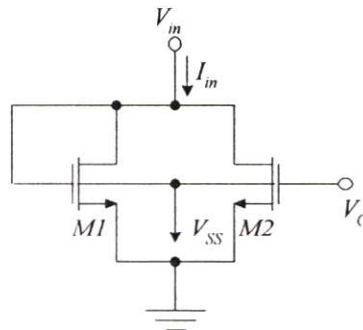
วงจรรวมต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน

5.1 บทนำ

วงจรรวมต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดันนั้นเป็นวงจรมีความสำคัญ และสามารถใช้งานได้แพร่หลายในงานด้านประมวลสัญญาณอนาล็อกทั่วไป ทั้งด้านโทรคมนาคม ระบบควบคุมอิเล็กทรอนิกส์ต่างๆ ได้อย่างกว้างขวาง อาทิ ตัวกรองความถี่ปรับค่าได้ วงจรกำเนิดสัญญาณ วงจรควบคุมเกนอัตโนมัติ ฯลฯ ในยุคแรกๆ วงจรรวมต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดันได้ออกแบบโดยใช้ FET ต่อร่วมกับออปแอมป์ [16]-[18] และ ต่อมาเมื่อการออกแบบโดยใช้ซีมอสมีความนิยมสูงขึ้นเนื่องจากมีข้อดีด้านพลังงานสูญเสียต่ำ การทำงานที่เที่ยงตรง ทำให้งานวิจัยในยุคหลัง และ ปัจจุบันออกแบบโดยใช้ทรานซิสเตอร์แบบมอส [13]-[15] ซึ่งในแต่และแบบยังมีข้อเสีย เช่น มีย่านอินพุตปฏิบัติงานแคบ มีช่วงของแรงดันที่ใช้ควบคุมแคบ และ ใช้ทรานซิสเตอร์จำนวนมาก เป็นต้น โดยหลักการที่วิทยานิพนธ์นี้นำเสนอนี้ เป็นการใช้มอสทรานซิสเตอร์ โดยจะมีความเป็นเชิงเส้นสูง ใช้ทรานซิสเตอร์ เพียง 3 ตัว และมีช่วงแรงดันควบคุมที่กว้าง ซึ่งหลักการที่นำมาสร้างวงจรมวลสัญญาณอนาล็อกในวิทยานิพนธ์นี้จะใช้มอสทรานซิสเตอร์เป็นหลักเพื่อให้การทำงานมีความแม่นยำ มีความสูญเสียกำลังงานเสียต่ำ และสามารถนำไปสร้างเป็นวงจรรวมได้ในอนาคต

5.2 หลักการของวงจรรวมต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน

เมื่อปี 1984 วงจรรวมต้านทานแบบต่อกราวด์ได้ถูกนำเสนอโดย Han และ Park [14] โดยใช้ทรานซิสเตอร์ 2 ตัว ดังรูปที่ 5.1 ซึ่งการทำงานจะใช้หลักการหักล้างค่าความไม่เป็นเชิงเส้นซึ่งกันและกัน โดยในงานวิจัยนั้นได้กล่าวไว้ว่ากระแสเดรนของทรานซิสเตอร์ทั้งสองทำงานในย่านไม่อิ่มตัวจะมีค่าเท่ากับ



รูปที่ 5.1 วงจรรวมต้านทานของ Han และ Park [14]

$$I_{D1} = k_N \left(V_m - V_{TN} - \frac{V_m}{2} \right) V_m \quad (5.1)$$

และ
$$I_{D2} = k_N \left(V_C - V_{TN} - \frac{V_m}{2} \right) V_m \quad (5.2)$$

โดยที่ I_{di} คือ กระแสเดรนของทรานซิสเตอร์ M_i , $k_N = \mu_N C_{OX} \left(\frac{W}{L} \right)$ และ ค่าความต้านทานของวงจรมีค่าเท่ากับ

$$R_{eq} = \frac{V_m}{I_m} = \frac{V_m}{I_{D1} + I_{D2}} = \frac{1}{k_N (V_C - 2V_{TN})} \quad (5.3)$$

จากวงจรรูปที่ 5.1 จะเห็นได้ว่าที่ทรานซิสเตอร์ M_1 จะไม่สามารถทำงานในย่านไม่อิมิตัว (Ohmic) ได้ ซึ่งจะทำให้สมการที่ (5.1) ไม่ถูกต้อง เนื่องจาก $V_{GS1} = V_{DS1}$ หรือ $(V_{GS} - V_{TN}) < V_{DS}$ ซึ่งทรานซิสเตอร์ M_1 จะทำงานในย่านอิมิตัว สมการที่ถูกต้องจะเป็นสมการของมอสย้านอิมิตัวซึ่งจะมีค่าเท่ากับ

$$I_{D1} = \frac{k_N}{2} (V_{GS1} - V_{TN})^2 \quad (5.4)$$

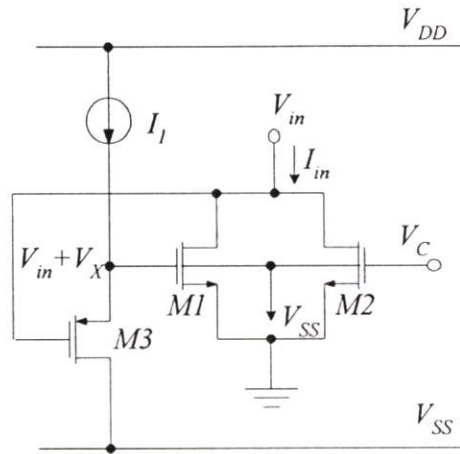
ในกรณีนี้ทรานซิสเตอร์ M_2 จะสามารถทำงานในย่านไม่อิมิตัวดังสมการที่ (5.2) ทำให้กระแสอินพุตจะมีค่าเท่ากับ

$$I_m = I_{D1} + I_{D2} = k_N \left[(V_C - 2V_{TN}) V_m + \frac{V_{TN}^2}{2} \right] \quad (5.5)$$

และ ค่าความต้านทานจะมีค่าเป็น

$$R_{eq} = \frac{V_m}{I_m} = \frac{1}{k_N (V_C - 2V_{TN} + V_{TN}^2 / 2V_m)} \quad (5.6)$$

จากสมการที่ (5.6) จะเห็นได้ว่าค่าความต้านทานที่ได้จากวงจรรูปที่ 5.1 นั้นจะมีความไม่เป็นเชิงเส้นเนื่องจากการทำงานของทรานซิสเตอร์ M_1 ทำงานในย่านอิมิตัว ส่วน M_2 ทำงานในย่านไม่อิมิตัว ดังนั้นเมื่อทราบถึงปัญหาการทำงานของทรานซิสเตอร์ M_1 ให้ทำงานในย่านไม่อิมิตัว ซึ่งทำได้ไม่ยากนักโดยจะทำการเพิ่มแรงดันไบอัสให้กับขาเกตของทรานซิสเตอร์ M_1 ให้มีเงื่อนไขเท่ากับ $(V_{GS1} - V_{TN}) > V_{DS1}$ นั้นเอง โดยการเพิ่มแรงดันไบอัสดังกล่าวจะสามารถสร้างขึ้นจากวงจรเลื่อนระดับแรงดันแบบเลื่อนขึ้น ทำให่วงจรใหม่เปลี่ยนแปลงเป็นวงจรดังรูปที่ 5.2



รูปที่ 5.2 วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน

วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดันแบบสมบูรณ์ดังรูปที่ 5.2 จะเพิ่มวงจรเลื่อนระดับแรงดันไบอัสให้กับขาเกตของทรานซิสเตอร์ M1 ด้วยการเลื่อนระดับเพิ่มขึ้นของแรงดันอินพุท โดยอัตราการเลื่อนระดับของวงจรจะขึ้นอยู่กับกระแส I_1 จะต้องสูงมากพอที่จะทำให้เกิดเงื่อนไข $(V_{GS1} - V_{TN}) > V_{DS1}$ ซึ่งจากหลักการนี้สามารถทำให้ทรานซิสเตอร์ M1 ทำงานในย่านไม่อิ่มตัวได้ ขณะที่กระแสเดรนของทรานซิสเตอร์ M2 จะมีค่าดังสมการที่ (5.2) เช่นเดิม และ สมการกระแสเดรนของทรานซิสเตอร์ M1 มีค่าเท่ากับ

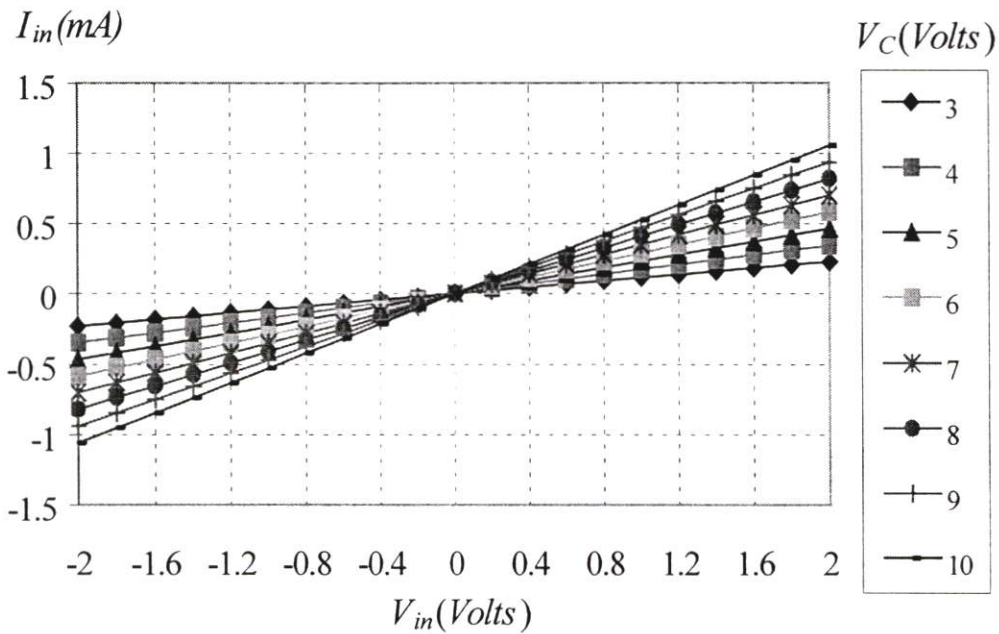
$$I_{D1} = k_N \left(\frac{V_{in}}{2} - V_{TN} + V_X \right) V_m \quad (5.7)$$

โดยที่ $V_X = \sqrt{\frac{I_1}{\beta_P}} + |V_{TP}|$ และ $\beta_P = \frac{\mu_P C_{OX}}{2} \left(\frac{W}{L} \right)$ จากสมการที่ (5.7) และ (5.2)

สามารถเขียนสมการของความต้านทานของวงจรได้เป็น

$$R_{eq} = \frac{V_m}{I_m} = \frac{V_m}{I_{D1} + I_{D2}} = \frac{1}{k_N (V_C + V_X - 2V_{TN})} \quad (5.8)$$

เมื่อนำสมการที่ (5.8) มาพล็อตเป็นกราฟจะได้กราฟดังรูปที่ 5.3



รูปที่ 5.3 คุณสมบัติทางไฟตรงของวงจรความต้านทานแบบต่อกราวด์จากการคำนวณ

ที่ขาเกตของทรานซิสเตอร์ M1 จะมีแรงดันเท่ากับ $V_{G1} = V_m + V_X$ ดังนั้นเมื่อทรานซิสเตอร์ M1 ต้องการที่จะให้ทำงานในย่านไม้อิมิตัวจึงจะต้องมีอัตราการเล่นระดับดังนี้

$$(V_m + V_X - V_{TN}) > V_m \quad \text{หรือ} \quad V_X > V_{TN} \quad (5.9)$$

ด้วยเงื่อนไขดังสมการที่ (5.9) สามารถบอกได้ว่าจะต้องเพิ่มระดับของแรงดัน V_X ให้มากกว่าแรงดันเทรชโฮลด์ของมอสทรานซิสเตอร์เท่านั้น ก็จะสามารถทำให้วงจรทำงานเป็นความต้านทานได้อย่างถูกต้อง

5.3 การวิเคราะห์ประสิทธิภาพของวงจร

การวิเคราะห์ประสิทธิภาพของวงจรทำได้โดยแบ่งเป็น 2 ส่วนได้ดังนี้ คือการวิเคราะห์ย่านอินพุตปฏิบัติงานของวงจรสามารถทำได้โดยพิจารณาจากวงจรเลื่อนระดับแรงดัน และการวิเคราะห์การตอบสนองทางความถี่ (ภาคผนวก ค)

5.3.1 การวิเคราะห์อินพุตปฏิบัติงานด้านบวก

วงจรเลื่อนระดับแรงดัน จะเป็นตัวบอกถึงย่านอินพุตปฏิบัติงานซึ่งจะเป็นตัวเลื่อนระดับของแรงดันอินพุต ซึ่งจะต้องทำให้ทรานซิสเตอร์ของวงจรเลื่อนระดับแรงดันทำงานอยู่ในย่านอิมิตัวอย่างถูกต้อง

จากสมการที่ (5.7)-(5.9) ด้วยเงื่อนไข $V_X = \sqrt{\frac{I_1}{\beta_p}} + |V_{TP}|$ โดยจะต้องตั้งค่า V_X ให้มีค่าเป็น $V_X > V_{TN}$ ด้วยเงื่อนไขของทรานซิสเตอร์ย่านอิมิตัวสามารถบอกได้ถึงค่าของย่านอินพุตปฏิบัติงานด้านบวกจะมีค่าเป็น

$$V_m < \left(V_{DD} - 2\sqrt{\frac{I}{\beta_p}} - |V_{TP}| \right) \quad (5.10ก)$$

หรือ เขียนในรูปของ V_X จะมีค่าเป็น

$$V_m < (V_{DD} - 2V_X + |V_{TP}|) \quad (5.10ข)$$

5.3.2 การวิเคราะห์อินพุตปฏิบัติงานด้านลบ

ด้วยหลักการเดียวกันกับการวิเคราะห์อินพุตปฏิบัติงานด้านบวก ย่านแรงดันอินพุตปฏิบัติงานด้านลบ ก็จะมีค่าเท่ากับ

$$V_m > V_{SS} - |V_{TP}| \quad (5.11)$$

จากสมการที่ (5.10) และ (5.11) สามารถอธิบายย่านอินพุตปฏิบัติงานของวงจรได้เป็น

$$(V_{SS} - |V_{TP}|) < V_m < (V_{DD} - 2V_X + |V_{TP}|) \quad (5.12)$$

เมื่อแทนค่าตัวแปรที่เกี่ยวข้องลงไปในสมการที่ (5.12) โดยกำหนดให้ V_X มีค่าเท่ากับ $V_{TN} = 1.07$, $V_{SS} = -5$, $|V_{TP}| = 0.8$ ค่าของช่วงอินพุตปฏิบัติงานจะมีค่าเท่ากับ

$$-5.8 < V_m < +3.66 \quad (5.13)$$

5.3.3 การวิเคราะห์การตอบสนองทางความถี่

การวิเคราะห์ค่าของการตอบสนองทางความถี่จะใช้หลักการของแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ย่านไม่อิมิตัว และ ย่านอิมิตัว โดยทำการวิเคราะห์ห้วงจร 2 ส่วนคือ วงจรเลื่อนระดับแรงดัน และ วงจรความต้านทานในแบบฟังก์ชันจุดขับ ซึ่งค่าการตอบสนองทางความถี่คือ โพลตัวที่ต่ำที่สุด (Dominant Pole) ซึ่งมีค่าเท่ากับ (ภาคผนวก ค)

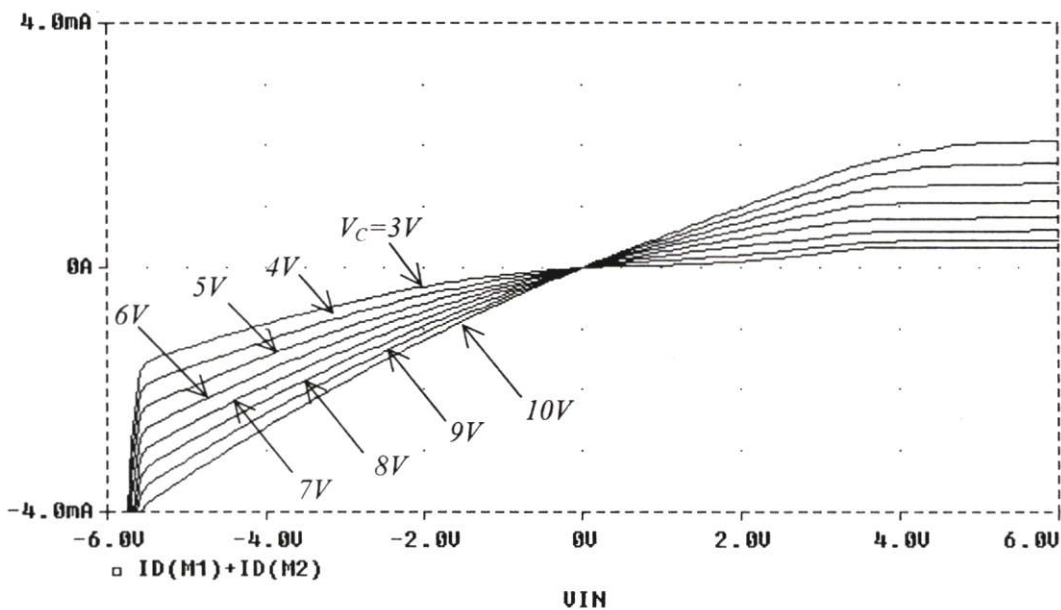
$$f_{-3dB} \approx \frac{1}{2\pi} \sqrt{\frac{g_{m3}(g_{m1} + g_{d1} + g_{d3})}{C_p C_{gs1}}} \quad (5.14)$$

$$f_{-3dB} \approx \frac{1}{2\pi} \sqrt{\frac{5.75 \times 10^{-5} (2.29 \times 10^{-12} + 3 \times 10^{-4} + 3.34 \times 10^{-7})}{(3.25 \times 10^{-13})(7.61 \times 10^{-14})}}$$

$$f_{-3dB} \approx 132.97 \text{ MHz} \quad (5.15)$$

5.4 ผลการทดลอง และ ผลการเลียนแบบการทำงานด้วย PSpice

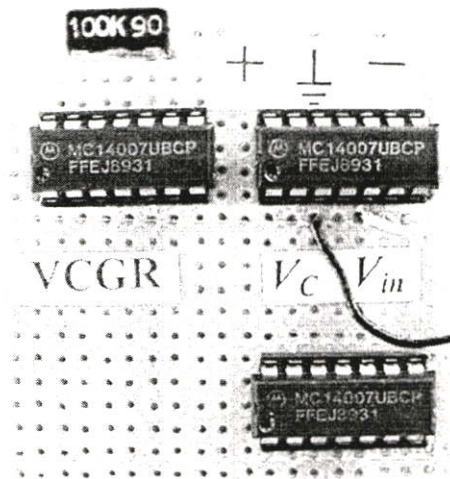
วงจรความต้านทานแบบต่อกราวด์ในวิทยานิพนธ์นี้ จะสามารถยืนยันประสิทธิภาพ ในด้านความเป็นเชิงเส้นของวงจรด้วยการต่อวงจรจริง และ การเลียนแบบการทำงานด้วย Pspice



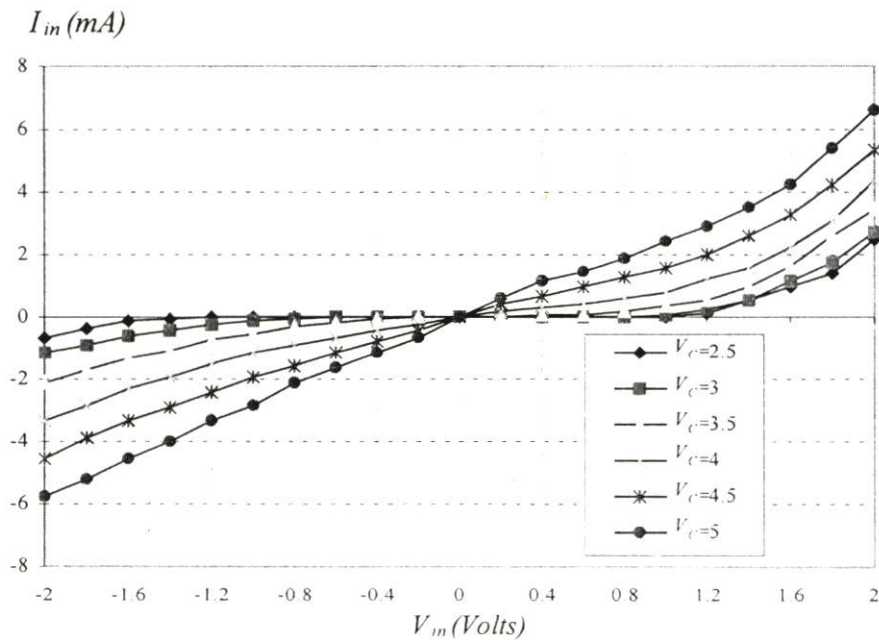
รูปที่ 5.4 คุณสมบัติทางไฟตรงของวงจรความต้านทานแบบต่อกราวด์จากการเลียนแบบการทำงานด้วย PSpice

โดยการเลียนแบบการทำงานด้วย PSpice จะใช้ค่าตัวแปรของวงจร ดังมีค่าต่อไปนี้ มอสทรานซิสเตอร์จะใช้ค่า $(W/L)=(20\mu\text{m}/10\mu\text{m})$ สำหรับ M1 และ M2 และ $(W/L)=(50\mu\text{m}/10\mu\text{m})$ สำหรับ M3 ส่วนแหล่งจ่ายกระแสแสดครั้งที่ I_1 มีค่าเท่ากับ $40 \mu\text{A}$ และ ผลการเลียนแบบการทำงานของวงจรความต้านทานในวิทยานิพนธ์ในด้านคุณสมบัติทางไฟตรงจะแสดงไว้ดังรูปที่ 5.4 ใกล้เคียงกับค่าที่ได้จากการคำนวณในรูปที่ 5.3 ซึ่งจะเห็นได้ว่าวงจรจะมีในช่วงที่มีย่านอินพุตปฏิบัติงานที่ค่อนข้างกว้าง และมีค่าสอดคล้องกับการคำนวณในสมการที่ (5.13) อีกทั้งมีย่านของการควม

คูล์ที่กว้างเช่นเดียวกัน ความเป็นเชิงเส้นค่อนข้างสูง และ จะมีค่าความเป็นเชิงเส้นสูงมากขึ้นเมื่อ V_C มีค่าสูงขึ้น ในช่วงแรงดัน V_C ที่ต่ำๆ ค่าความต้านทานจะมีความเป็นเชิงเส้นต่ำ เนื่องจากแรงดัน V_C ที่ต่ำๆ นั้นจะมีค่าใกล้เคียงกับค่าของแรงดันเทอร์ชโฮลต์ของทรานซิสเตอร์ ทำให้ทรานซิสเตอร์ยังทำงานในย่านไม่อิ่มตัวไม่เต็มที่นั่นเอง ซึ่งการแก้ปัญหาทำได้โดยเพิ่มกระแสไบอัส I เพื่อให้แรงดันยกกระดืบสูงขึ้นมากกว่า V_{TN} และ เพิ่มแรงดัน V_C ให้สูงกว่า V_{TN}



รูปที่ 5.5 วงจรความต้านทานแบบต่อกราวด์โดยใช้ IC MC14007

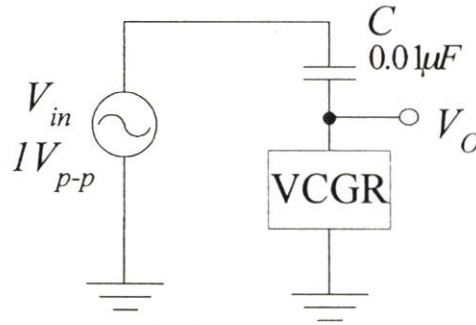


รูปที่ 5.6 คุณสมบัติทางไฟตรงของวงจรความต้านทานแบบต่อกราวด์จากการเลียนแบบการต่อวงจรจริงตามรูปที่ 5.4.2

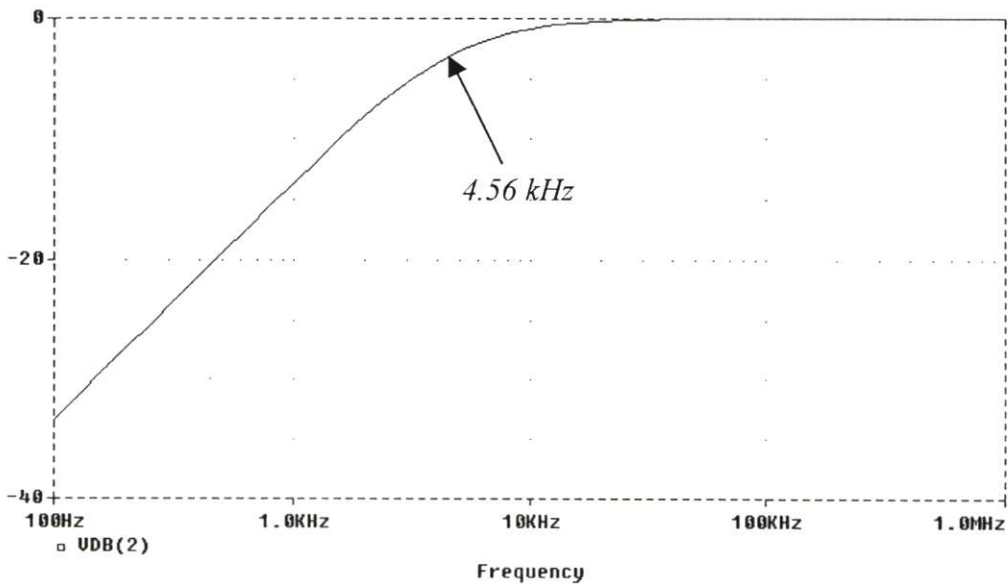
ด้วยหลักการทางทฤษฎี และ ผลการเลียนแบบการทำงานด้วย PSpice ข้างต้น สามารถนำมาต่อวงจรจริงโดยใช้ IC MC14007 ดังรูปที่ 5.5 และ คุณสมบัติทางไฟตรงของวงจรความต้านทานจากการต่อวงจรจริงแสดงไว้ดังรูปที่ 5.6 จะเห็นได้ว่ามีความเป็นเชิงเส้นค่อนข้างสูง ในช่วงอินพุต -1.5 โวลต์ ถึง $+1.5$ โวลต์ และ ยังมีย่านการควบคุมที่กว้าง ซึ่งจากกราฟรูปที่ 5.6 สามารถจะเพิ่มแรงดันควบคุม (V_C) ได้มากกว่า 5 โวลต์

5.5 การประยุกต์ใช้งาน

การประยุกต์ใช้งานวงจรความต้านทานแบบต่อกราวด์ในวิทยานิพนธ์นี้ จะเป็นวงจรที่ต้องมีการต่อกราวด์เสมอ ซึ่งวงจรที่สามารถนำมายืนยันการประยุกต์ใช้งานได้ คือ วงจรกรองความถี่สูงผ่านอันดับหนึ่งดังรูปที่ 5.7 โดยทำการป้อนแรงดันควบคุม $V_C = 6$ โวลต์ โดยผลการทดลองของวงจรจะแสดงไว้ดังรูปที่ 5.8 โดยความถี่ตัดของวงจรจะมีค่าประมาณ 4.56 kHz



รูปที่ 5.7 วงจรกรองความถี่สูงผ่านปรับค่าได้ด้วยแรงดัน



รูปที่ 5.8 คุณสมบัติทางความถี่ของวงจรรูปที่ 5.7

5.6 บทสรุป

วงจรความต้านทานแบบต่อกราวด์ในวิทยานิพนธ์นี้ ใช้หลักการไบอัสแรงดันให้กับทรานซิสเตอร์ทำงานในย่านไม้อิมิตัวอย่างถูกต้อง โดยใช้วงจรเลื่อนระดับแรงดัน เป็นวงจรที่มีประสิทธิภาพสูง เช่น มีย่านปฏิบัติงานที่กว้าง มีย่านการควบคุมที่กว้าง มีความเป็นเชิงเส้นสูง ใช้ทรานซิสเตอร์น้อยโดยยืนยันได้จากการคำนวณ และ ผลการทดลอง อีกทั้งการนำไปประยุกต์ใช้งานยังสามารถทำได้ง่าย และ มีความเที่ยงตรงสูง เหมาะกับการนำไปสร้างเป็นวงจรรวมในอนาคตเป็นอย่างยิ่ง

บทที่ 6

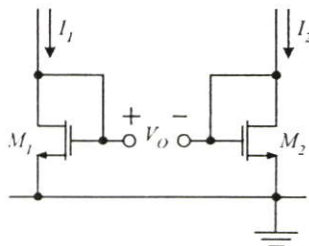
วงจรถอดราก็สอง

6.1 บทนำ

การประมวลสัญญาณอนาลอกในปัจจุบัน จะมีหลายหน้าที่ด้วยกัน วงจรที่เป็นส่วนสำคัญในการประมวลสัญญาณอนาลอกก็คือ วงจรที่ทำงานเป็นฟังก์ชันทางคณิตศาสตร์ เช่น วงจรคูณ การบวก ลบ ฯลฯ วงจรฟังก์ชันที่นำเสนอในวิทยานิพนธ์นี้คือวงจรถอดราก็สอง เป็นวงจรฟังก์ชันที่ใช้ในการประมวลสัญญาณอนาลอกวงจรถอดราก็สองได้เคยมีการนำเสนอกันมาหลายครั้ง ในแต่ละครั้งจะมีการออกแบบ และมีหลักการที่แตกต่างกัน โดยอาจจะใช้อุปกรณ์ร่วมกับวงจรคูณ [42] หรือ หรืออุปกรณ์แอกทีฟเช่น OPAMP, OTA หรือ วงจรสายพานกระแส (CCII) ร่วมกับมอสทรานซิสเตอร์ [26]-[29] วิทยานิพนธ์นี้จะนำเสนอวงจรถอดราก็สองโดยใช้มอสทรานซิสเตอร์ โดยใช้หลักการของการหักล้างแบบดิฟเฟอเรนเชียล โดยจะมีโครงสร้างที่ง่าย ใช้แรงดันไฟเลี้ยงเดี่ยว +5 โวลต์ และ ใช้จำนวนทรานซิสเตอร์น้อยกว่างานวิจัยก่อนๆ มาก ซึ่งหลักการที่นำมาสร้างวงจรประมวลสัญญาณอนาลอกในวิทยานิพนธ์นี้จะใช้มอสทรานซิสเตอร์เป็นหลักเพื่อให้การทำงานมีความแม่นยำ มีความสูญเสียกำลังงานเสียดำ และสามารถนำไปสร้างเป็นวงจรรวมได้ในอนาคต

6.2 หลักการออกแบบวงจรถอดราก็สอง

วงจรถอดราก็สองในวิทยานิพนธ์ ใช้หลักการของมอสทรานซิสเตอร์ที่ทำงานในย่านอิ่มตัว ซึ่งจะทำงานอยู่ในรูปของกฎกำลังสอง (Square's Law) โดยมีโครงสร้างที่ง่ายโดยมีอินพุตเป็นกระแส และมีเอาต์พุตเป็นแรงดัน โดยให้กระแสอินพุตเข้ามาที่ M_1 และ M_2 ในอัตราส่วนที่ต่างกัน ทำให้มีแรงดันเอาต์พุตในรูปของราก็สองของอินพุต โดยแรงดันเอาต์พุตดังกล่าวจะมีเทอมแรงดันไฟตรงปะปนเข้ามา ซึ่งก็จะสามารถกำจัดออกไปได้โดยการจัดวงจรให้อยู่ในรูปดิฟเฟอเรนเชียลดังรูปที่ 6.1



รูปที่ 6.1 หลักการวงจรถอดราก็สอง

จากวงจรรูปที่ 6.1 โดยที่ทรานซิสเตอร์ทั้งสองทำงานในย่านอิ่มตัว สามารถเขียนสมการของกระแสเดรนของทรานซิสเตอร์ทั้งสองได้เป็น

$$I_1 = \beta_N (V_{GS1} - V_{TN})^2 \quad (6.1)$$

และ

$$I_2 = \beta_N (V_{GS2} - V_{TN})^2 \quad (6.2)$$

โดยที่ $\beta_N = \frac{\mu_P C_{OX}}{2} \left(\frac{W}{L} \right)$ หรือ อาจจะเขียนสมการที่ (6.1) และ (6.2) ในรูปของแรงดันที่ขาเกต และ ซอสได้เป็น

$$V_{GS1} = \sqrt{\frac{I_1}{\beta_N}} + V_{TN} \quad (6.3)$$

และ

$$V_{GS2} = \sqrt{\frac{I_2}{\beta_N}} + V_{TN} \quad (6.4)$$

แรงดันเอาท์พุทของวงจรถูกได้มาจากผลต่างของแรงดันที่ขาเกต และ ซอส ของทรานซิสเตอร์ทั้งสอง

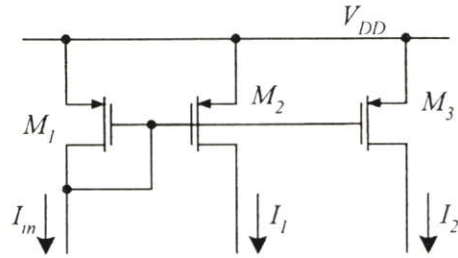
$$V_O = V_{GS1} - V_{GS2} = \sqrt{\frac{I_1}{\beta_N}} - \sqrt{\frac{I_2}{\beta_N}} \quad (6.5)$$

จากสมการที่ (6.5) สมการนี้จะสามารถทำให้สมการเป็นสมการของการถอดรากที่สอง โดยกำหนดให้กระแส $I_m = I_1 = 4I_2$ สมการแรงดันเอาท์พุท (6.5) จะกลายเป็น

$$V_O = \sqrt{\frac{I_m}{4\beta_N}} \quad (6.6)$$

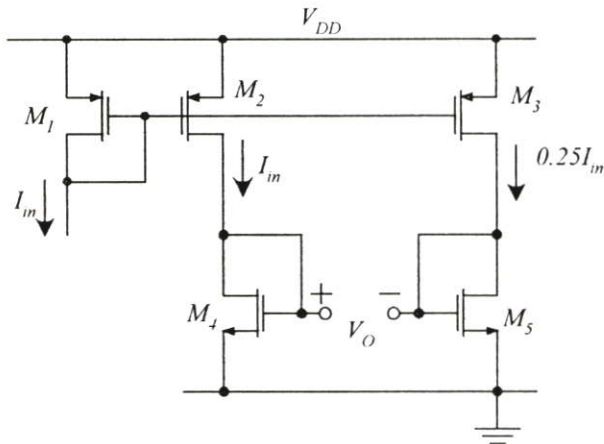
6.3 วงจรถอดรากที่สอง

จากหลักการของการถอดรากที่สองในข้างต้น สามารถทำให้เป็นผลสำเร็จได้โดยเพิ่มวงจรสะท้อนกระแสดังรูปที่ 6.2 เพื่อให้มีค่ากระแส $I_m = I_1 = 4I_2$ ซึ่งจะกำหนดขนาดของทรานซิสเตอร์ M1, M2 และ M3 ให้มีค่าเท่ากับ $(W/L)_1 = (W/L)_3$ และ $\frac{(W/L)_2}{(W/L)_3} = 4$

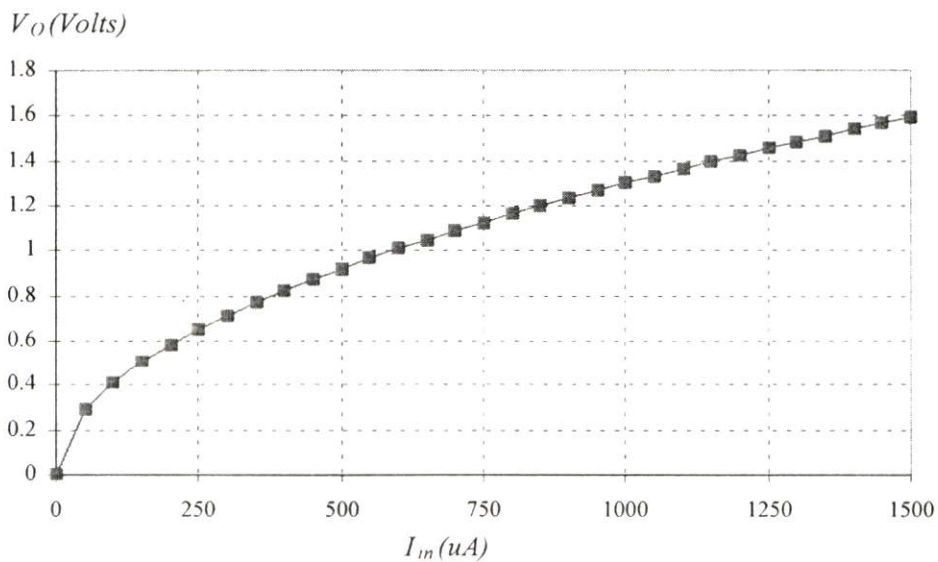


รูปที่ 6.2 วงจรสะท้อนกระแสเพื่อเป็นอินพุตให้กับวงจรรูปที่ 6.1

วงจรถอดรอกที่สองที่สมบูรณ์ สามารถทำให้เป็นผลสำเร็จได้จากหลักการของการถอดรอกที่สอง และ วงจรสะท้อนกระแส โดยกำหนดให้อัตราการสะท้อนกระแสต่างกัน 4 เท่า โดยวงจรถอดรอกที่สองที่สมบูรณ์ได้แสดงไว้ดังรูปที่ 6.3



รูปที่ 6.3 วงจรสมบูรณ์ของวงจรถอดรอกที่สอง



รูปที่ 6.4 คุณสมบัติทางไฟตรงของวงจรถอดรอกที่สองจากการคำนวณ

6.4 การวิเคราะห์ย่านอินพุตปฏิบัติงาน

เนื่องจากทรานซิสเตอร์ทุกตัวในวงจรถอดราก็สองในวิทยานิพนธ์นี้ จะทำงานในย่านอิมิตัว ซึ่งอาจเขียนเป็นสมการเงื่อนไขในช่วงอิมิตัวได้เป็น

$$(V_{GS} - V_{TN}) < V_{DS} \quad (6.7)$$

หรือ
$$V_{GS} < (V_{DS} + V_{TN}) \quad (6.8)$$

จากเงื่อนไขข้างต้นทำให้สามารถบอกถึงกระแสทรานซิสเตอร์ซึ่งก็คือกระแสอินพุตได้นั่นเอง ซึ่งในกรณีนี้จะพิจารณาเฉพาะทรานซิสเตอร์ที่มีกระแสไหลผ่านมากที่สุดซึ่งก็คือ M4 จากสมการที่ (6.3) ได้เป็น $\sqrt{\frac{I_{in}}{\beta_N}} < V_{DS4}$ ซึ่งจากรูป $V_{DS4} = V_{GS4}$ ก็คือแรงดันเอ๊าท์พุท ซึ่งจะมีค่าอยู่ในเงื่อนไขอิมิตัวของทรานซิสเตอร์ จะมีค่าไม่เกินแรงดันไฟเลี้ยงซึ่งถ้าพิจารณาร่วมกับสมการที่ (6.3) ก็จะสามารถอธิบายเป็นสมการได้ดังนี้

$$V_{GS4} + V_{SD2(\min)} = V_{DD} \quad (6.9)$$

โดยที่แรงดันตกคร่อมทรานซิสเตอร์สะท้อนกระแส M2 ต่ำสุดที่จะทำให้ทรานซิสเตอร์ M2 อิมิตัวนั้นมีค่าประมาณ $|V_{TP}|$ ดังนั้นเราจึงสามารถรู้ค่าของแรงดัน V_{GS4} สูงสุดได้ประมาณ

$$V_{GS4(\max)} \approx V_{DD} - |V_{TP}| \quad (6.10)$$

และ คำนวณกลับเพื่อหาค่ากระแสอินพุตสูงสุดที่สามารถป้อนเข้าวงจรได้เป็น

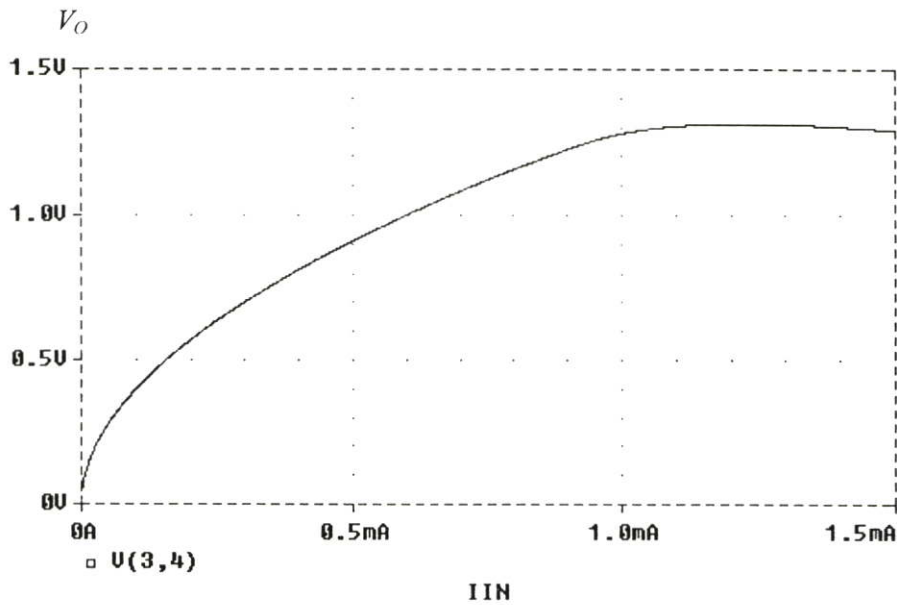
$$I_{in(\max)} \approx \beta_N (V_{DD} - |V_{TP}| - V_{TN})^2 \quad (6.11)$$

$$I_{in(\max)} \approx 1.45 \text{ mA} \quad (6.12)$$

6.5 ผลการทดลอง และ ผลการเลียนแบบการทำงานด้วย PSpice

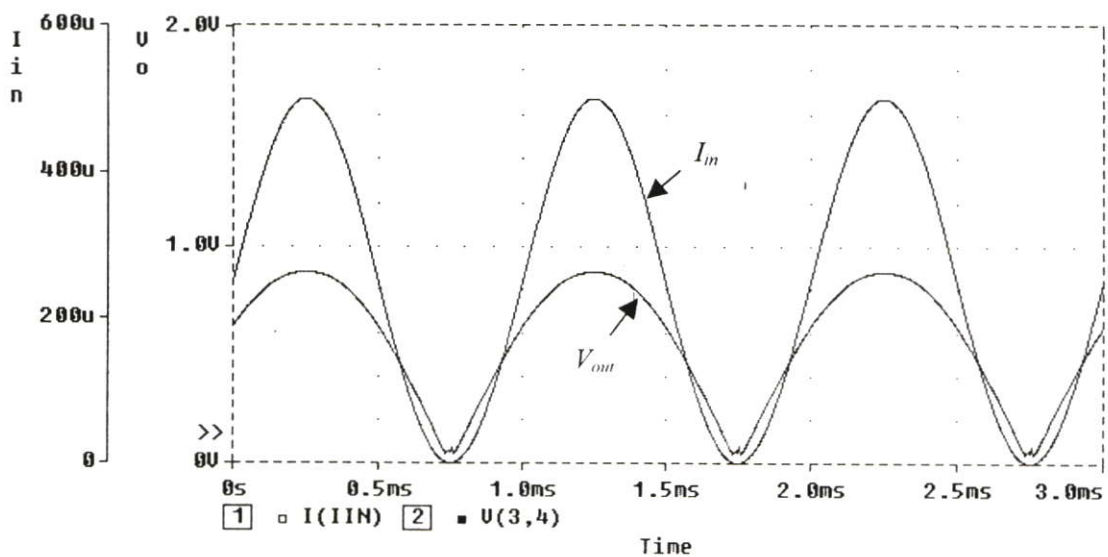
ตามที่ได้ออกแบบวงจรถอดราก็สองไว้ข้างต้น นั้นสามารถแสดงผลการเลียนแบบการทำงานด้วย PSpice เพื่อยืนยันคุณสมบัติ และ ประสิทธิภาพ ของวงจรมีคุณสมบัติเป็นการถอดราก็สอง และ มีเอ๊าท์พุทที่ถูกต้องเพียงใด โดยแสดงไว้ดังรูปที่ 6.5 โดยทรานซิสเตอร์ M1, M2,

M4 และ M5 มีขนาดเป็น $(W/L)=(100\mu\text{m}/10\mu\text{m})$ ส่วนทรานซิสเตอร์ M3 มีขนาดเป็น $(W/L)=(25\mu\text{m}/10\mu\text{m})$ จะเห็นว่าย่านอินพุตปฏิบัติงานจะมีค่าใกล้เคียงกับที่คำนวณในสมการ (6.12)

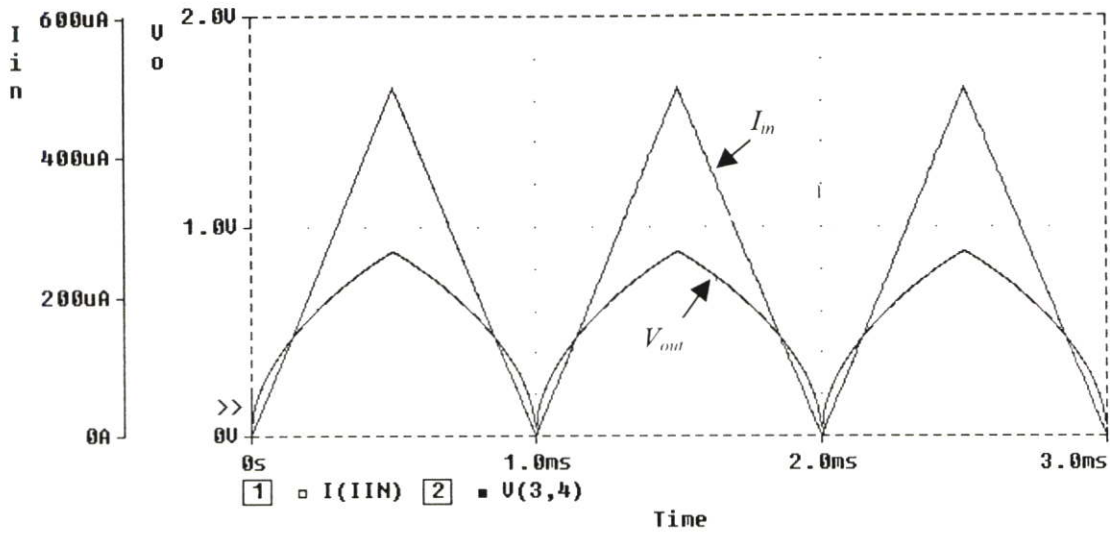


รูปที่ 6.5 คุณสมบัติทางไฟตรงของวงจรถอดรากที่สอง

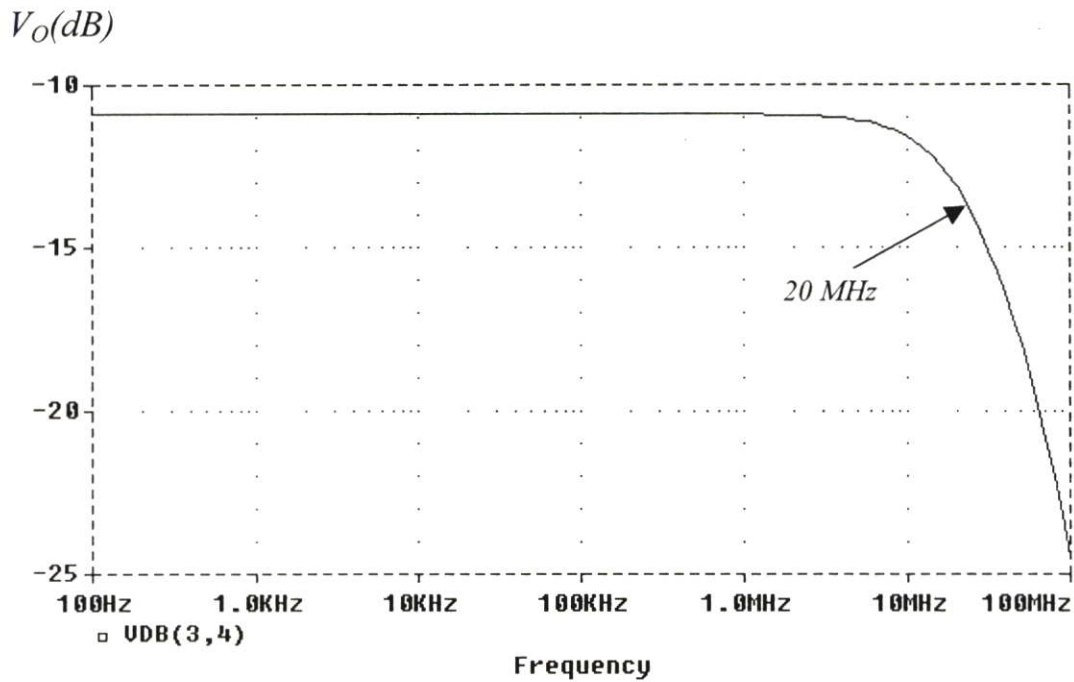
จากรูปที่ 6.5 แสดงให้เห็นถึงคุณสมบัติของวงจรถอดรากที่สอง จะเห็นได้ว่ามีแรงดันเอาต์พุตที่มีคุณสมบัติเป็นการถอดรากที่สอง และ รูปที่ 6.6 และ 6.7 เป็นแรงดันเอาต์พุตเมื่อกระแสอินพุตมีความถี่ 1 kHz โดยมีสัญญาณเป็นรูปไซน์ และ สามเหลี่ยมตามลำดับ จะเห็นได้ว่าแรงดันเอาต์พุตที่มีค่าถูกต้อง ส่วนการตอบสนองทางความถี่ได้แสดงไว้ดังรูปที่ 6.8 โดยมีค่าประมาณ 24 MHz



รูปที่ 6.6 เอาต์พุตของวงจรถอดรากที่สองเมื่ออินพุตเป็นสัญญาณไซน์



รูปที่ 6.7 เอ้าท์พุทของวงจรถอดรากที่สองเมื่ออินพุทเป็นสัญญาณสามเหลี่ยม



รูปที่ 6.8 การตอบสนองทางความถี่ของวงจรถอดรากที่สอง

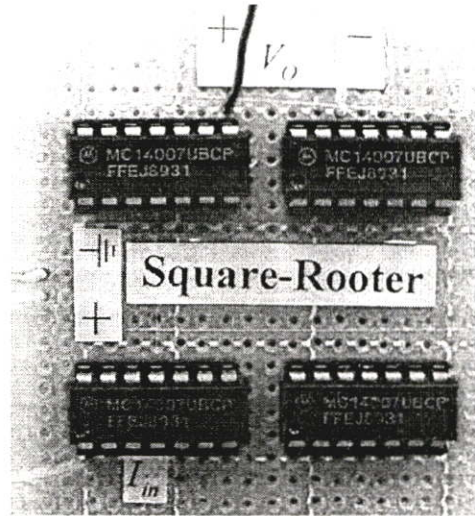
การตอบสนองทางความถี่ของวงจรถอดรากที่สองสามารถคำนวณได้จากการตอบสนองทางความถี่ของวงจรสะท้อนกระแสซึ่งมีค่าเท่ากับ (ภาคผนวก ง)

$$f_{-3dB} \approx \frac{1}{2\pi b_1} \approx \frac{g_{m1}g_{m4}}{2\pi(g_{m1}C_4 + g_{m4}C_P)} \quad (6.13)$$

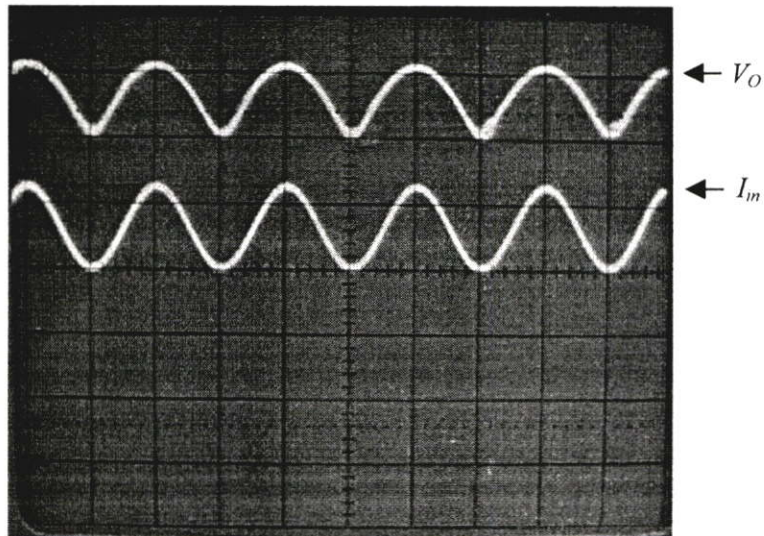
$$f_{-3dB} \approx 20.2\text{MHz} \quad (6.14)$$

จะเห็นได้ว่าจากสมการที่ (6.14) จะมีค่าใกล้เคียงกับการเลียนแบบการทำงานด้วย PSpice รูปที่ 6.8

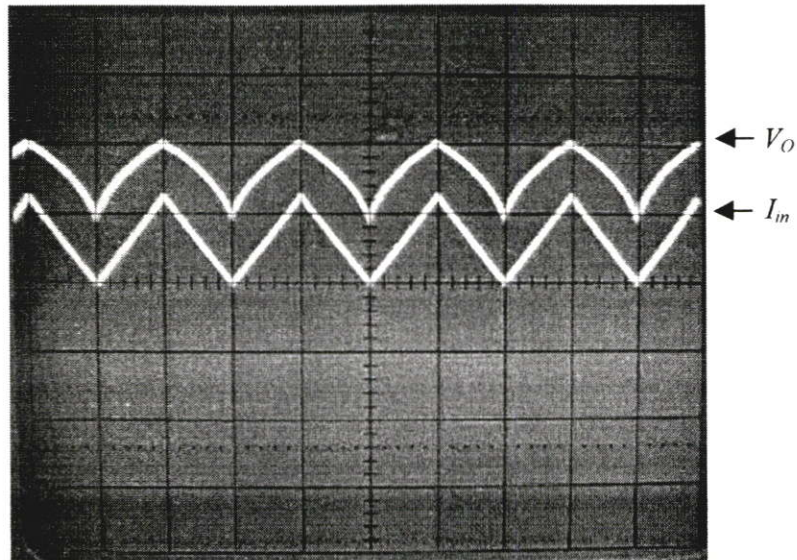
การทดลองโดยการต่อวงจรจริงแสดงไว้ดังรูปที่ 6.9 ส่วนผลการทดลองโดยป้อนสัญญาณอินพุตเป็นสัญญาณไซน์ และ สามเหลี่ยม ความถี่ 1 kHz แสดงไว้ดังรูปที่ 6.10 และ 6.11 ตามลำดับ ซึ่งสามารถยืนยันได้ว่าสัญญาณเอาต์พุตมีคุณสมบัติตรงกับผลการเลียนแบบการทำงานด้วยโปรแกรม PSpice



รูปที่ 6.9 วงจรถอดรากที่สอง โดยใช้ IC MC14007



รูปที่ 6.10 รูปสัญญาณอินพุต และ เอาต์พุต เมื่ออินพุตเป็นสัญญาณไซน์ 1kHz โดยใช้วงจรรูปที่ 6.9 โดยที่แกน $x = 0.5 \text{ ms/div}$ และ แกน $y = 0.5 \text{ V/div}$



รูปที่ 6.11 รูปสัญญาณอินพุต และ เอาท์พุท เมื่ออินพุตเป็นสัญญาณสามเหลี่ยม 1kHz โดยใช้วงจรรูปที่ 6.9 โดยที่แกน $x = 0.5 \text{ ms/div}$ และ แกน $y = 0.5 \text{ V/div}$

6.6. บทสรุป

วงจรถอดรหัสดิจิทัลที่เสนอในวิทยานิพนธ์นี้ ใช้หลักการของกฎกำลังสองของมอสทรานซิสเตอร์ย่านอิมิตัว โดยมีอินพุตเป็นกระแส เอาท์พุทเป็นแรงดันแบบดิฟเฟอเรนเชียลเพื่อหากล้างเทอมไฟตรงที่ไม่ต้องการออกไป ใช้ทรานซิสเตอร์เพียง 5 ตัว จากผลการทดลอง และการเลียนแบบการทำงานด้วย PSpice นั้นจัดได้ว่าเป็นวงจรที่มีประสิทธิภาพดีวงจรหนึ่ง และ เหมาะสมกับการนำไปสร้างเป็นวงจรรวม

บทที่ 7

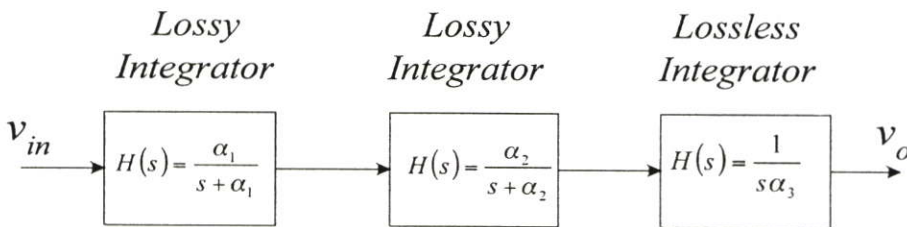
วงจรถ่ายสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์

7.1 บทนำ

การกำเนิดสัญญาณรูปไซน์ที่มีอยู่ด้วยกันหลายวิธี เช่น การกำเนิดสัญญาณรูปไซน์โดยตรง ซึ่งเป็นการใช้หลักการของตัวกรองอันดับสอง และ การกำเนิดสัญญาณไซน์โดยอ้อม ซึ่งจะใช้หลักการของการแปลงเชิงเส้นแบบช่วง (Piecewise Linear) จากสัญญาณรูปสามเหลี่ยม เป็นต้น ไม่ว่าจะเป็นการกำเนิดสัญญาณไซน์รูปแบบใด สัญญาณไซน์ที่กำเนิดได้แล้วแต่ต้องการสัญญาณที่มีความบริสุทธิ์สูง มีความแม่นยำ และ เพื่อให้มีความอ่อนตัวในการใช้งานจะต้องมีการปรับค่าได้ทางอิเล็กทรอนิกส์อีกด้วย ด้วยเหตุผลเหล่านี้จึงกำเนิดสัญญาณรูปไซน์แบบใหม่ในวิทยานิพนธ์นี้จึงถูกออกแบบขึ้นให้มีคุณสมบัติตามที่ต้องการข้างต้น โดยวงจรถ่ายสัญญาณแบบใหม่จะใช้หลักการของตัวกรองอันดับสาม และ ใช้วงจรโอทีเอ (OTA) แบบพื้นฐาน และ มีคลื่นรูปไซน์ที่กำเนิดออกมานั้นจะมีความบริสุทธิ์ และ ความเที่ยงตรงสูง โดยรูปแบบของวงจรถ่ายสัญญาณแบบใหม่นี้จะเป็นหลักการของวงจรเลื่อนเฟส โดยใช้ทรานซิสเตอร์ทั้งหมด 16 ตัว ซึ่งหลักการที่นำมาสร้างวงจรประมวลสัญญาณอนาล็อกในวิทยานิพนธ์นี้จะใช้ทรานซิสเตอร์เป็นหลักเพื่อให้การทำงานมีความแม่นยำ มีความสูญเสียกำลังงานเสียดำ และ สามารถนำไปสร้างเป็นวงจรรวมได้ในอนาคต

7.2 วงจรถ่ายสัญญาณรูปไซน์แบบใหม่โดยใช้ OTA แบบที่หนึ่ง

จากหลักการของวงจรอินทิเกรเตอร์แบบมีการสูญเสีย (Lossy Integrator) 2 ตัว และ วงจรอินทิเกรเตอร์แบบไม่มีการสูญเสีย (Lossless Integrator) 1 ตัว มาต่อคาสเคด (Cascade) ดังรูปที่ 7.1 จะมีคุณสมบัติเป็นตัวกรองอันดับสาม



รูปที่ 7.1 ตัวกรองความถี่ต่ำผ่านอันดับ 3

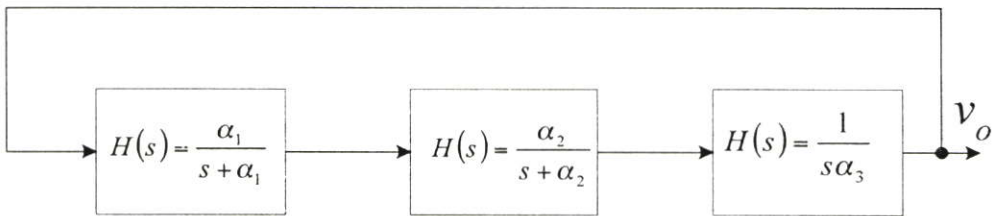
จากบล็อกไดอะแกรมรูปที่ 7.1 ค่าสมการการส่งผ่านของตัวกรองนี้มีค่าเท่ากับ

$$\frac{v_o}{v_{in}} = \frac{\alpha_1 \alpha_2 / \alpha_3}{s^3 + s^2(\alpha_1 + \alpha_2) + s\alpha_1 \alpha_2} \quad (7.1)$$

$$\frac{v_o}{v_m} = \frac{\alpha_1 \alpha_2 / \alpha_3}{s(s^2 + s(\alpha_1 + \alpha_2) + \alpha_1 \alpha_2)} \quad (7.2)$$

เมื่อนำเอาที่พหุของวงจรรูปที่ 7.1 มาต่อลักษณะลูปปิด และ ป้อนกลับให้กับอินพุตดังรูปที่ 7.2 และ การป้อนกลับครบรูป (Loop Gain) ของวงจรมีค่าเท่ากับ

$$LG = \frac{\alpha_1 \alpha_2 / \alpha_3}{s^3 + s^2(\alpha_1 + \alpha_2) + s\alpha_1 \alpha_2} \quad (7.3)$$



รูปที่ 7.2 หลักการของวงจรถ้าเนตสัญญาณรูปไซน์แบบที่หนึ่ง

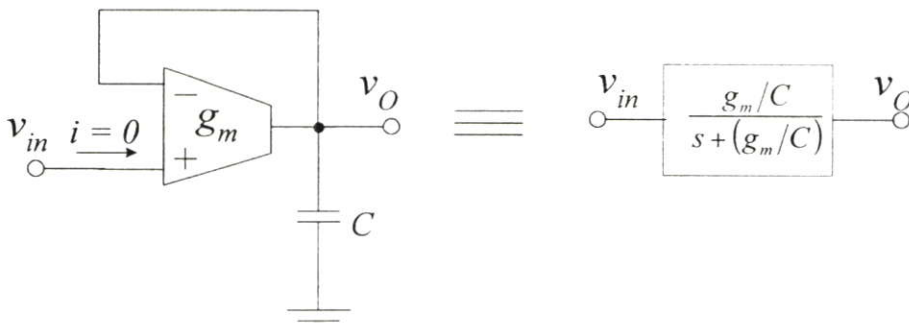
จากเงื่อนไขการออสซิลเลท ในบทที่ 2 วงจรสามารถออสซิลเลทได้ถ้ามีเงื่อนไขเป็นดังนี้

$$\alpha_3 = -\left(\frac{1}{\alpha_1 + \alpha_2}\right) \quad (7.4)$$

และ ความถี่ที่กำเนิดได้มีค่าเท่ากับ

$$\omega_n^2 = \alpha_1 \alpha_2 \quad (7.5)$$

เราสามารถสร้างวงจรรินทีเกรเตอร์แบบมีการสูญเสียได้ ดังรูปที่ 7.3 เพื่อใช้กับวงจรรูปที่ 7.1 และ ค่าสมการการส่งผ่านของวงจรมีค่าเท่ากับสมการที่ (7.7)



รูปที่ 7.3 รูปแสดงวงจรรินทีเกรเตอร์แบบมีการสูญเสีย

$$\frac{g_m}{sC}(v_m - v_o) = v_o \quad (7.6)$$

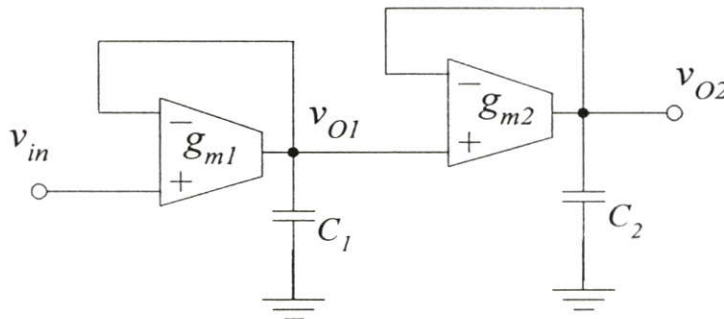
$$H(s) = \frac{(g_m/C)}{s + (g_m/C)} \quad (7.7)$$

เมื่อนำไปต่อคาสเคดเป็นวงจรกรองความถี่ต่ำผ่านอันดับสอง จะมีสมการการส่งผ่านเท่ากับ

$$\frac{v_{O1}}{v_m} = \frac{(g_{m1}/C_1)}{s + (g_{m1}/C_1)} \quad \text{และ} \quad \frac{v_{O2}}{v_{O1}} = \frac{(g_{m2}/C_2)}{s + (g_{m2}/C_2)} \quad (7.8)$$

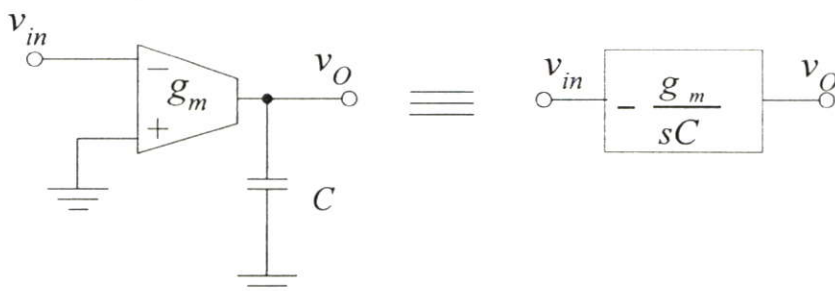
ดังนั้น

$$\frac{v_{O2}}{v_{in}} = \frac{g_{m1}g_{m2}/C_1C_2}{s^2 + \left(\frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2}\right)s + (g_{m1}g_{m2}/C_1C_2)} \quad (7.9)$$

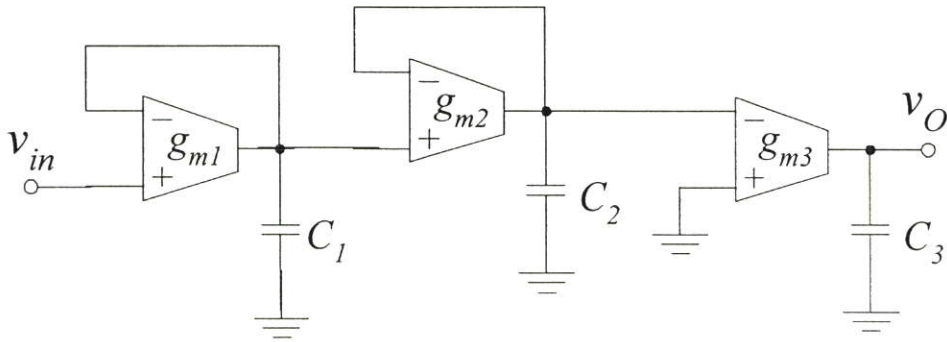


รูปที่ 7.4 วงจรกรองความถี่ต่ำผ่านอันดับสอง

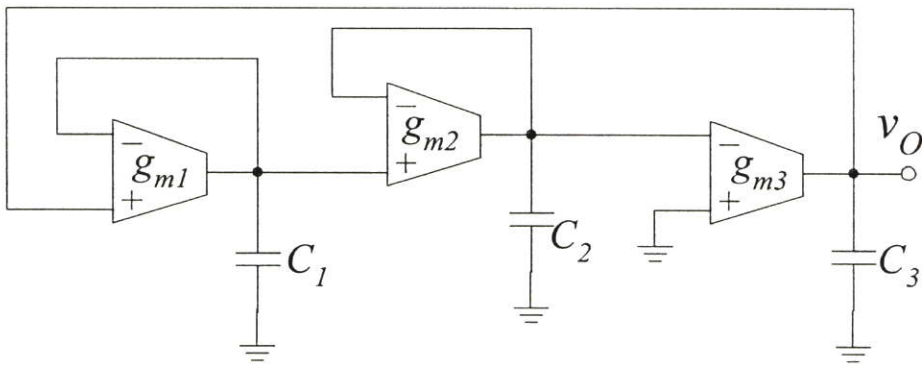
จากสมการที่ (7.9) เป็นสมการของตัวกรองแบบ Low-Pass Filter อันดับสอง ซึ่งในการสร้างตัวกรองแบบอันดับสาม โดยเพิ่มวงจรอินทิเกรเตอร์แบบไม่มีการสูญเสีย (Lossless Integrator) รูปที่ 7.5 เข้าไป



รูปที่ 7.5 รูปแสดงวงจรอินทิเกรเตอร์แบบไม่มีการสูญเสีย



(ก)



(ข)

รูปที่ 7.6 (ก) วงจรกรองสัญญาณอันดับสาม และ (ข) วงจรกำเนิดสัญญาณรูปไซน์แบบที่หนึ่ง

จากวงจรอินทิเกรเตอร์รูปที่ 7.5 สามารถเขียนเป็นสมการได้เป็น

$$\frac{v_O}{v_m} = -\frac{g_m}{sC} \quad (7.10)$$

เมื่อนำวงจรรูปที่ 7.4 ต่อкасцепกับวงจรรูปที่ 7.5 เพื่อให้ได้วงจรกรองความถี่อันดับสาม ดังวงจรรูปที่ 7.6ก ซึ่งจะได้ค่าสมการการส่งผ่านเป็น

$$\frac{v_O}{v_m} = \frac{-g_{m1}g_{m2}g_{m3}/C_1C_2C_3}{s^3 + \left(\frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2}\right)s^2 + (g_{m1}g_{m2}/C_1C_2)s} \quad (7.11)$$

เมื่อต่อจุด v_O เชื่อมเข้ากับ v_m เพื่อจะทำให้วงจรกรองความถี่ต่ำผ่านอันดับสามดังรูปที่ 7.6ก เป็นวงจรถูกกำเนิดสัญญาณรูปไซน์ดังรูปที่ 7.6ข สมการของตัวกรองอันดับสาม (7.11) ก็จะเป็น

กลายเป็นสมการของรูปปิด (7.12) ซึ่งมีอัตราขยาย (Loop Gain : LG) เท่ากับ 1 เมื่อพิจารณา
สัมประสิทธิ์ทุกตัวซึ่งอยู่ในรูปของโพลีโนเมียลกำลังสามจะมีค่าสัมประสิทธิ์ดังนี้ $a_0 = 1$,

$$a_1 = \frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2}, \quad a_2 = \frac{g_{m1}g_{m2}}{C_1C_2} \quad \text{และ} \quad a_3 = \frac{g_{m1}g_{m2}g_{m3}}{C_1C_2C_3} \quad \text{และ จากสมการที่ (7.11) เงื่อนไขการออส}$$

ซิลเลทจะได้เป็นดังสมการที่ (7.13)

$$LG = \frac{-a_3}{a_0s^3 + a_1s^2 + a_2s} \quad (7.12ก)$$

หรือ

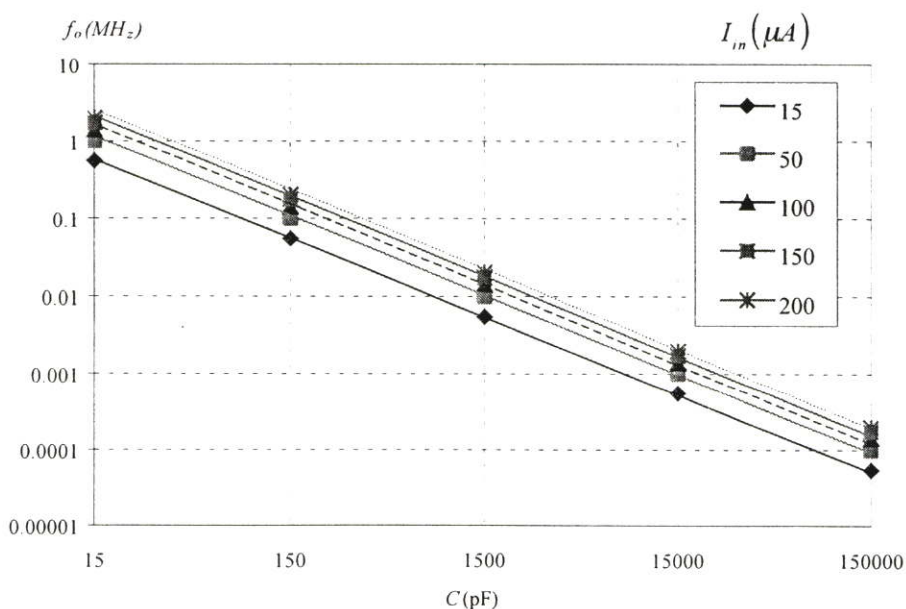
$$LG = \frac{-g_{m1}g_{m2}g_{m3}/C_1C_2C_3}{s^3 + \left(\frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2}\right)s^2 + (g_{m1}g_{m2}/C_1C_2)s} \quad (7.12ข)$$

$$\frac{g_{m3}}{C_3} = \left(\frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2}\right) \quad (7.13)$$

และ ความถี่ออสซิลเลทมีค่าเท่ากับ

$$\omega_n = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (7.14)$$

ถ้าค่าทรานสคอนดักแตนซ์ $g_{m1} = g_{m2} = g_m$ และ $C_1 = C_2 = C_3 = C$ ดังนั้น $g_{m3} = 2g_m$
และ $\omega_n = \frac{g_m}{C}$ ค่าของความถี่ที่ได้จากการคำนวณจากสมการที่ (7.14) แสดงไว้ดังรูปที่ 7.7

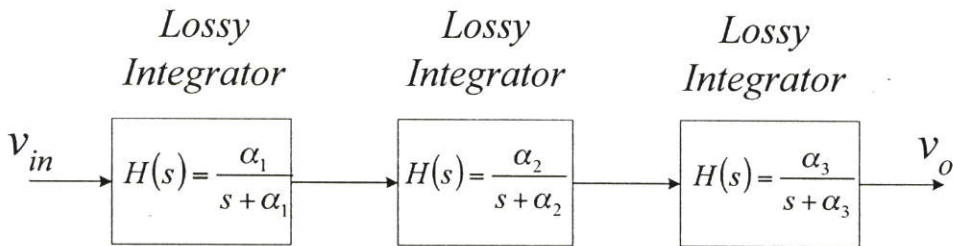


รูปที่ 7.7 ค่าความถี่ที่กำเนิดได้เมื่อเปลี่ยนค่ากระแสไบอัส I ของวงจรแบบที่หนึ่งจากการคำนวณ

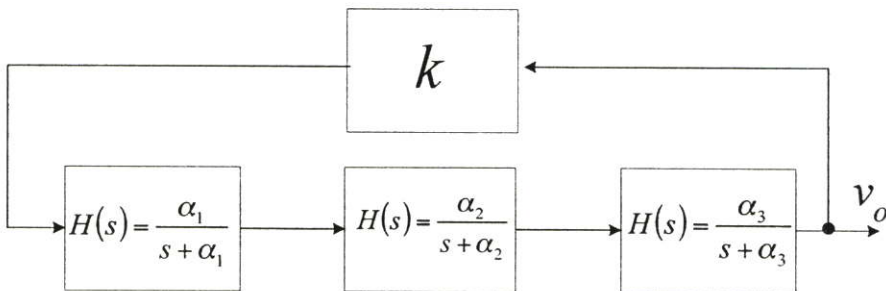
7.3 วงจรกำเนิดสัญญาณรูปไซน์แบบใหม่โดยใช้ OTA แบบที่สอง

จากหลักการของวงจรกำเนิดสัญญาณรูปไซน์โดยใช้ OTA แบบที่ 1 นั้นอาศัยหลักการของวงจรอินทิเกรเตอร์แบบมีการสูญเสีย และ แบบไม่มีการสูญเสียมาต่อкасцепกัน แต่ในหลักการของวงจรกำเนิดสัญญาณรูปไซน์แบบที่สองจะใช้หลักการของวงจรอินทิเกรเตอร์แบบมีการสูญเสีย มาต่อкасцепกันเป็นวงจรกรองสัญญาณอันดับ 3 ดังรูปที่ 7.8 โดยมีสมการการส่งผ่านเท่ากับ

$$\frac{v_o}{v_{in}} = \frac{\alpha_1 \alpha_2 \alpha_3}{s^3 + s^2(\alpha_1 + \alpha_2 + \alpha_3) + s(\alpha_1 \alpha_2 + \alpha_2 \alpha_3 + \alpha_1 \alpha_3) + \alpha_1 \alpha_2 \alpha_3} \quad (7.15)$$



รูปที่ 7.8 หลักการของวงจรกรองสัญญาณอันดับ 3 โดยใช้วงจร Lossy Integrator



รูปที่ 7.9 หลักการของวงจรกำเนิดสัญญาณรูปไซน์โดยใช้วงจร Lossy Integrator

เมื่อนำเอาท์พุทของวงจรรูปที่ 7.8 มาต่อร่วมกับ Amplifier ที่มีเกนเท่ากับ k และ ป้อนกลับให้กับอินพุทดัง รูปที่ 7.9 และ การป้อนกลับครบรูป (Loop Gain) ของวงจรจะมีค่าเท่ากับ

$$LG = \frac{k \alpha_1 \alpha_2 \alpha_3}{s^3 + s^2(\alpha_1 + \alpha_2 + \alpha_3) + s(\alpha_1 \alpha_2 + \alpha_2 \alpha_3 + \alpha_1 \alpha_3) + \alpha_1 \alpha_2 \alpha_3} \quad (7.16)$$

จากเงื่อนไขการออสซิลเลท ในบทที่ 2 วงจรสามารถออสซิลเลทได้ที่เงื่อนไขดังนี้

$$k = - \left(\frac{\alpha_1}{\alpha_3} + \frac{\alpha_1}{\alpha_2} + \frac{\alpha_2}{\alpha_3} + \frac{\alpha_2}{\alpha_1} + \frac{\alpha_3}{\alpha_1} + \frac{\alpha_3}{\alpha_2} + 2 \right) \quad (7.17)$$

และ ความถี่ที่กำเนิดได้มีค่าเท่ากับ

$$\omega_n^2 = \alpha_1\alpha_2 + \alpha_2\alpha_3 + \alpha_1\alpha_3 \quad (7.18ก)$$

หรือ

$$\omega_n^2 = \frac{(1-k)\alpha_1\alpha_2\alpha_3}{\alpha_1 + \alpha_2 + \alpha_3} \quad (7.18ข)$$

ถ้ากำหนดให้ $\alpha_1 = \alpha_2 = \alpha_3 = \alpha_a$ สมการที่ (7.17)-(7.18) จึงมีค่าเท่ากับ

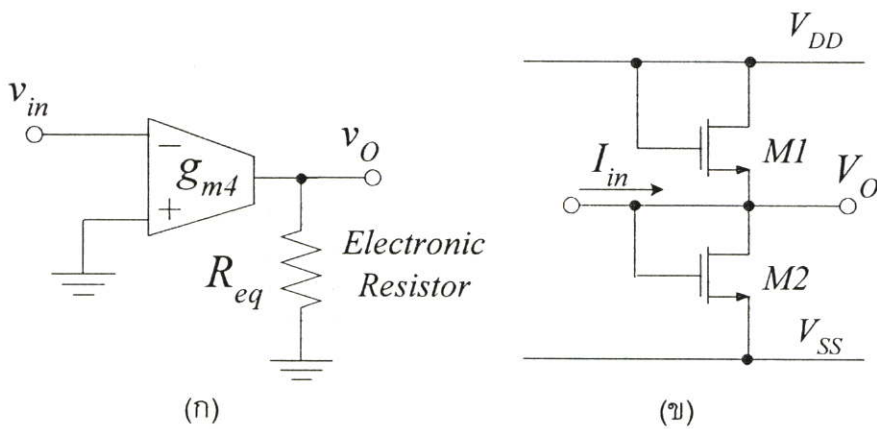
$$k = -8 \quad \text{และ} \quad \omega_n^2 = 3\alpha_a^2 \quad (7.19)$$

หรือ

$$\omega_n = \sqrt{3}\alpha_a \quad (7.20)$$

7.3.1 วงจรขยายแรงดันโดยใช้ OTA

จากวงจรรูปที่ 7.9 จำเป็นต้องใช้วงจรขยายแรงดันโดยมีอัตราขยายเท่ากับ k เราสามารถสร้างเป็นวงจรขยายแรงดันได้โดยใช้วงจร OTA 1 ตัวต่อกับความต้านทานทางอิเล็กทรอนิกส์ ดังรูปที่ 7.10



รูปที่ 7.10 (ก) วงจรขยายแรงดันโดยใช้ OTA (ข) วงจรความต้านทานอิเล็กทรอนิกส์

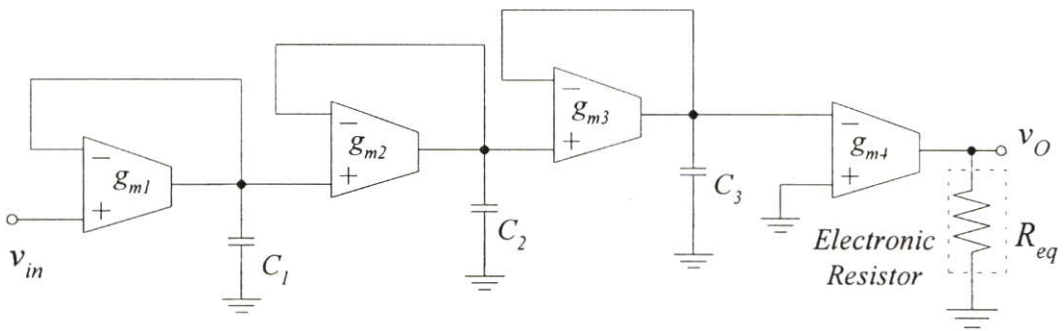
จากวงจรรูปที่ 7.10(ก) วงจรขยายแรงดัน โดยเกณฑ์การขยายของวงจรจะมีค่าเท่ากับ

$$\frac{v_O}{v_{in}} = -g_{m4}R_{eq} \quad (7.21)$$

จากวงจรรูปที่ 7.10(ข) วงจรความต้านทานอิเล็กทรอนิกส์จะมีความต้านทานเท่ากับ

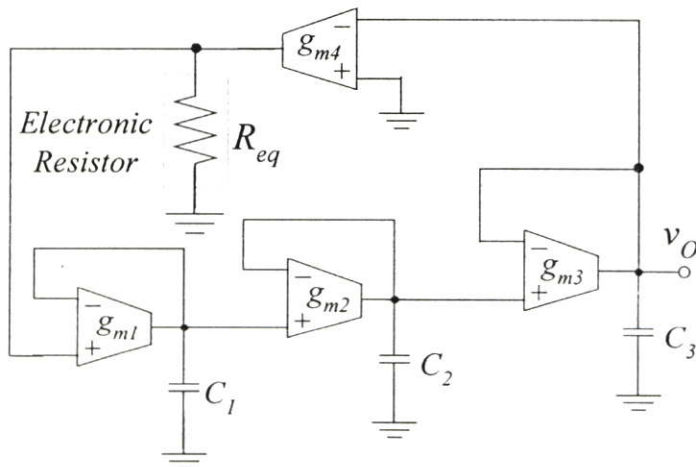
$$R_{eq} = \frac{V_O}{I_m} = \frac{L}{2\mu C_{OX} W (V_{DD} - V_T)} \quad (7.22)$$

จากหลักการของวงจรถ้าเนตสัญญาณรูปไซน์แบบที่สองนั้น จะต้องใช้วงจรขยายแรงดันที่มีเกนการขยายแรงดัน k ซึ่งสามารถสร้างได้ด้วยวงจรรูปที่ 7.10 โดย $k = g_{m4} R_{eq}$ เมื่อนำวงจรรีไทร์เกรเตอร์แบบมีการสูญเสีย 3 ชุดมาต่อкасцепกับวงจรถ้าเนตขยายแรงดันโดยใช้ OTA ในรูป 7.10 จะได้เป็นวงจรรองความถี่อันดับสามดังรูปที่ 7.11 ทำให้สมการการส่งผ่านแบบลูปเปิดมีค่าเท่ากับสมการที่ (7.23)



รูปที่ 7.11 วงจรรองความถี่อันดับสาม

$$\frac{v_O}{v_{in}} = \frac{-k \left(\frac{g_{m1} g_{m2} g_{m3}}{C_1 C_2 C_3} \right)}{s^3 + s^2 \left(\frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2} + \frac{g_{m3}}{C_3} \right) + s \left(\frac{g_{m1} g_{m3}}{C_1 C_3} + \frac{g_{m1} g_{m2}}{C_1 C_2} + \frac{g_{m2} g_{m3}}{C_2 C_3} \right) + \frac{g_{m1} g_{m2} g_{m3}}{C_1 C_2 C_3}} \quad (7.23)$$



รูปที่ 7.12 วงจรถ้าเนตสัญญาณรูปไซน์โดยใช้ OTA แบบที่สอง

เมื่อต่อจุด v_o เชื่อมเข้ากับ v_m เพื่อจะทำให้วงจรองความถี่ต่ำผ่านอันดับสามดังรูปที่ 7.11 เป็นวงจรกำเนิดสัญญาณรูปไซน์ดังรูปที่ 7.12 สมการของตัวกรองอันดับสาม (7.23) ก็จะกลายเป็นสมการของลูปปิด (7.24) ซึ่งมีอัตราขยาย (Loop Gain : LG) เท่ากับ 1

$$LG = \frac{-k \left(\frac{g_{m1} g_{m2} g_{m3}}{C_1 C_2 C_3} \right)}{s^3 + s^2 \left(\frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2} + \frac{g_{m3}}{C_3} \right) + s \left(\frac{g_{m1} g_{m3}}{C_1 C_3} + \frac{g_{m1} g_{m2}}{C_1 C_2} + \frac{g_{m2} g_{m3}}{C_2 C_3} \right) + \frac{g_{m1} g_{m2} g_{m3}}{C_1 C_2 C_3}} \quad (7.24)$$

เมื่อพิจารณาสัมประสิทธิ์ทุกตัวซึ่งอยู่ในรูปของโพลีโนเมียลกำลังสามจะมีค่าสัมประสิทธิ์ดังนี้

$$a_0 = 1, \quad a_1 = \frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2} + \frac{g_{m3}}{C_3}, \quad a_2 = \frac{g_{m1} g_{m2}}{C_1 C_2} + \frac{g_{m1} g_{m3}}{C_1 C_3} + \frac{g_{m2} g_{m3}}{C_2 C_3} \quad \text{และ}$$

$$a_3 = \frac{(1+k) g_{m1} g_{m2} g_{m3}}{C_1 C_2 C_3} \quad \text{และ} \quad \text{จากวงจรกำเนิดสัญญาณแบบที่สอง ใช้หลักการของวงจรงอก}$$

สัญญาณอันดับสาม โดยมีสมการของการป้อนกลับครบรูปดังสมการที่ (7.24) ถ้ากำหนดให้, $g_{m1} = g_{m2} = g_{m3} = g_m$, $C_1 = C_2 = C_3 = C$ จากสมการที่ (7.24) สมการของการป้อนกลับครบรูปจะกลายเป็น

$$LG = \frac{-k g_m^3 / C^3}{s^3 + s^2 (3 g_m / C) + s (3 g_m^2 / C^2) + g_m^3 / C^3} \quad (7.25)$$

จากเงื่อนไขการออสซิลเลทในบทที่ 2 $N(s)$ จะมีค่าเท่ากับ

$$N(s) = 0 = s^3 + s^2 (3 g_m / C) + s (3 g_m^2 / C^2) + (1+k) g_m^3 / C^3 \quad (7.26)$$

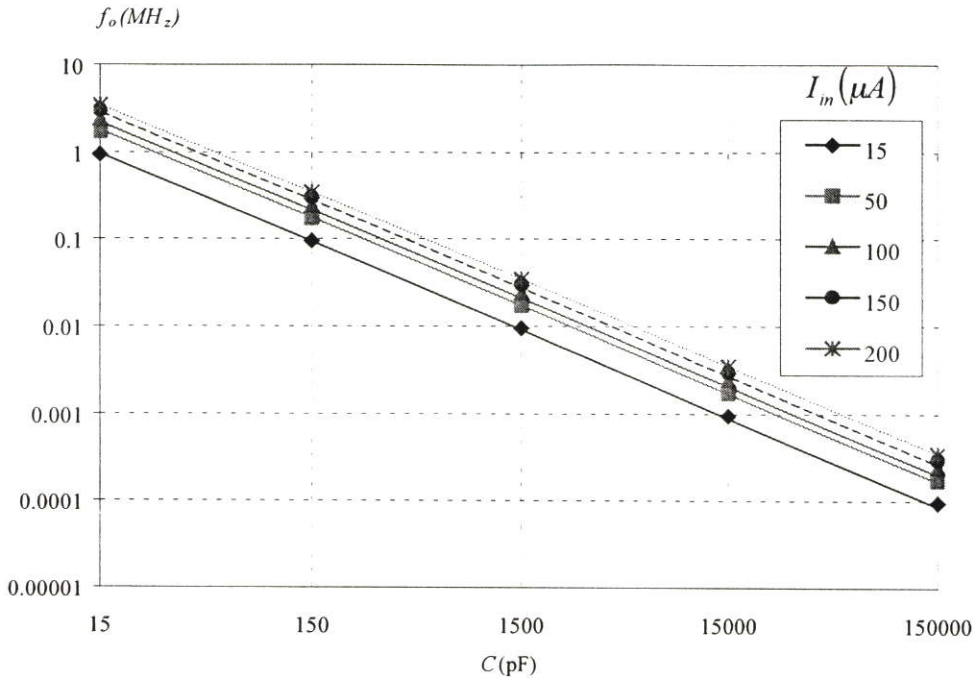
เงื่อนไขการออสซิลเลทจะเกิดขึ้นได้ก็ต่อเมื่อ

$$k = 8 \quad (7.27)$$

และความถี่ที่ออสซิลเลทได้เท่ากับ

$$\omega^2 = \frac{3 g_m^2}{C^2} \quad \text{หรือ} \quad \omega = \frac{\sqrt{3} g_m}{C} \quad (7.28)$$

ค่าของความถี่ที่ได้จากการคำนวณจากสมการที่ (7.28) แสดงไว้ดังรูปที่ 7.13



รูปที่ 7.13 ค่าความถี่ที่กำเนิดได้เมื่อเปลี่ยนค่ากระแสไบอัส I ของวงจรแบบที่สองจากการคำนวณ

7.4 การวิเคราะห์หาค่าความไว (Sensitivity) [51]

วงจรกำเนิดสัญญาณทั้งสองแบบ สามารถวิเคราะห์หาค่าความไวซึ่งเป็นตัวบอกประสิทธิภาพของวงจรได้ โดยแยกออกเป็นความไวของตัวแปรแบบพาสซีฟเทียบกับความถี่เอาต์พุต และความไวของตัวแปรแบบแอคทีฟเทียบกับความถี่เอาต์พุต ทั้งนี้ตัวแปรแบบพาสซีฟของวงจรนี้ ก็คือ ตัวเก็บประจุ (Capacitor) และ ตัวแปรแบบแอคทีฟของวงจรนี้ ก็คือ วงจรทรานสคอนดักเตอร์ โดยสามารถที่จะเขียนความไวของวงจรเป็นสมการได้ดังนี้

$$S_x^y = \frac{\partial y/y}{\partial x/x} \quad (7.29)$$

โดยที่ S = ค่าความไว (Sensitivity)

y = ตัวแปรในสมการที่ต้องการพิจารณาค่าความไว

x = อุปกรณ์ (Component) ที่ต้องการพิจารณาค่าความไวต่อค่า y

7.4.1 การวิเคราะห์หาค่าความไวของวงจรกำเนิดสัญญาณแบบที่ 1

จากสมการที่ (7.11) เมื่อ $g_{m1} = g_{m2} = g_m$, $C_1 = C_2 = C_3 = C$ และ $g_{m3} = 2g_m$ สามารถเขียนสมการความไวของตัวแปรพาสซีฟได้เป็น

$$S_C^{\omega_n} = \frac{\partial \omega_n}{\partial C} \left(\frac{C}{\omega_n} \right) = -1 \quad (7.30)$$

และ ความไวของตัวแปรแอกทีฟคือ

$$S_{1/g_m}^{\omega_n} = \frac{\partial \omega_n}{\partial 1/g_m} \left(\frac{1}{g_m \omega_n} \right) = -1 \quad (7.31)$$

จากสมการที่ (7.30) และ (7.31) ความไวของพารามิเตอร์นี้จะมีผลผกผันต่อความถี่ของวงจร และ เมื่อพิจารณาตัวส่วนของโพลีโนเมียลอันดับสามซึ่งอยู่ในรูป

$$D(s) = s^3 + d_2 s^2 + d_1 s + d_0 \quad (7.32)$$

กรณีของความไวของตัวแปรพาสซีฟ และ แอกทีฟเทียบกับค่าคุณภาพ (Q) ของวงจรในกรณีของวงจรกรองสัญญาณอันดับสามได้เป็น

$$S_x^Q = \frac{1}{2} S_x^{d_0} - S_x^{d_1} - S_x^{d_2} \quad (7.33)$$

จากสมการที่ (7.33) ค่าสัมประสิทธิ์ทั้งสองจะมีค่าเท่ากับ

$$d_0 = \frac{g_{m1} g_{m2}}{C_1 C_2}, \quad d_1 = \left(\frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2} \right) \text{ และ } d_2 = 0 \quad (7.34)$$

โดยที่วงจรกำเนิดสัญญาณได้นั้น โดยจะกำหนดให้ $g_{m1} = g_{m2} = g_m$ และ $C_1 = C_2 = C$ ทำให้ความไวของตัวแปรพาสซีฟคือ

$$S_C^Q = \frac{1}{2} \frac{\partial d_0}{\partial C} \left(\frac{C}{d_0} \right) - \frac{\partial d_1}{\partial C} \left(\frac{C}{d_1} \right) = 0 \quad (7.35)$$

และในทำนองเดียวกัน $S_{1/g_m}^Q = \frac{1}{2} \frac{\partial d_0}{\partial 1/g_m} \left(\frac{1/g_m}{d_0} \right) - \frac{\partial d_1}{\partial 1/g_m} \left(\frac{1/g_m}{d_1} \right) = 0 \quad (7.36)$

จากสมการที่ (7.35) และ (7.36) สามารถบอกได้ว่าตัวแปรทุกตัวจะไม่มีผลต่อค่าคุณภาพ (Q) ของวงจร ซึ่งหมายถึงการปรับค่าตัวแปรต่าง (g_m และ C) ก็จะไม่มีความบริสุทธิ์ของสัญญาณเอาต์พุตของวงจร

7.4.2 การวิเคราะห์หาค่าความไวของวงจรถ้าเหน็ดสัญญาณแบบที่ 2

จากสมการที่ (7.23) โดยกำหนดให้ $g_{m1} = g_{m2} = g_{m3} = g_m$, $C_1 = C_2 = C_3 = C$ สามารถเขียนสมการความไวของตัวแปรพาสซีฟได้เป็น

$$S_C^{\omega_n} = \frac{\partial \omega_n}{\partial C} \left(\frac{C}{\omega_n} \right) = -1 \quad (7.37)$$

และ ความไวของตัวแปรแอกทีฟคือ

$$S_{1/g_m}^{\omega_n} = \frac{\partial \omega_n}{\partial 1/g_m} \left(\frac{1}{g_m \omega_n} \right) = -1 \quad (7.38)$$

จากสมการที่ (7.37)-(7.38) ความไวของของอุปกรณ์นี้จะมีผลผกผันต่อความถี่ของวงจร ส่วนในกรณีของความไวของตัวแปรพาสซีฟ และ แอกทีฟเทียบกับค่าคุณภาพ (Q) ของวงจร ซึ่งค่าสัมประสิทธิ์ของสมการที่ (7.23) เมื่อ $g_{m1} = g_{m2} = g_{m3} = g_m$, $C_1 = C_2 = C_3 = C$ จะได้เป็น $d_0 = \frac{g_m^3}{C^3}$, $d_1 = \frac{3g_m^2}{C^2}$ และ $d_2 = \frac{3g_m}{C}$ ความไวของตัวแปรพาสซีฟต่อค่าคุณภาพของวงจรคือ

$$S_C^Q = \frac{\partial d_0}{\partial C} \left(\frac{C}{d_0} \right) - \frac{\partial d_1}{\partial C} \left(\frac{C}{d_1} \right) - \frac{\partial d_2}{\partial C} \left(\frac{C}{d_2} \right) = 0 \quad (7.39)$$

และในทำนองเดียวกัน

$$S_{1/g_m}^Q = -S_{g_m}^Q = -\frac{\partial d_0}{\partial g_m} \left(\frac{g_m}{d_0} \right) + \frac{\partial d_1}{\partial g_m} \left(\frac{g_m}{d_1} \right) + \frac{\partial d_2}{\partial g_m} \left(\frac{g_m}{d_2} \right) = 0 \quad (7.40)$$

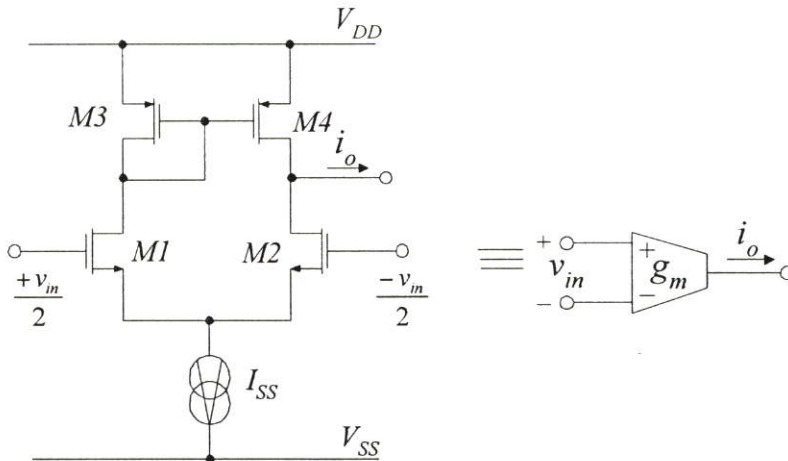
จากสมการที่ (7.39)-(7.40) สามารถบอกได้ว่าตัวแปรทุกตัวจะไม่มีผลต่อค่าคุณภาพของวงจร ซึ่งหมายถึงการปรับค่าตัวแปรต่าง (g_m และ C) ก็จะไม่มีความบริสุทธิ์ของสัญญาณเอาท์พุทของวงจร

7.5 ผลการทดลอง และ ผลการเลียนแบบการทำงานด้วย PSpice

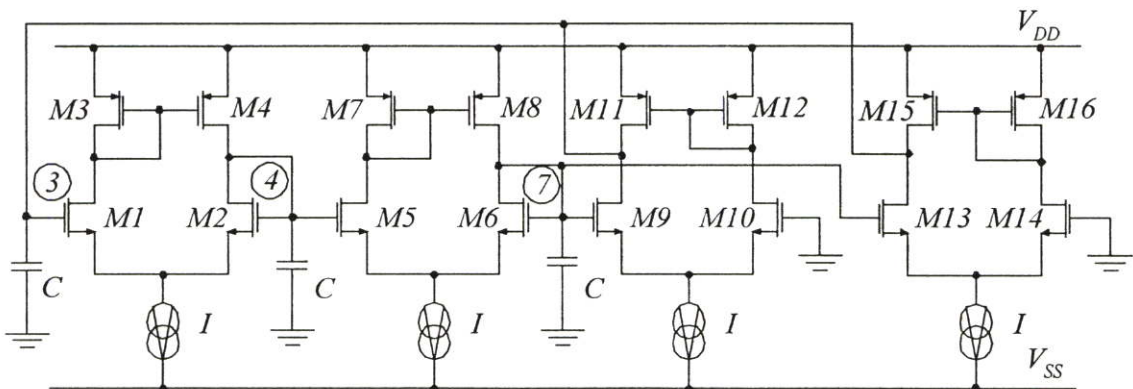
ผลการทดลองวงจรถ้าเหน็ดสัญญาณในวิทยานิพนธ์นี้ แสดงไว้ 2 ส่วน คือ ผลการเลียนแบบการทำงานด้วย PSpice และ ผลการทดลองโดยการต่อวงจรจริง โดยใช้ IC MC14007 ทั้งนี้วงจรถ้าเหน็ดสัญญาณ ในวิทยานิพนธ์นี้ มุ่งเน้นหลักการให้วงจรทำงานถูกต้องตามทฤษฎี และ ความ

ประหยัด เรียบง่ายเป็นหลัก และ เพื่อยืนยันการทำงานในแบบเรียบง่ายนี้ สามารถทำงานได้เป็นอย่างดี ซึ่งหากปรับเปลี่ยนวงจรโอทีเอให้ดีขึ้น ผลของสัญญาณขาออกจะต้องดีกว่าอย่างแน่นอน

ดังนั้นวงจรโอทีเอที่ใช้ในวิทยานิพนธ์นั้นจะใช้วงจรโอทีเอแบบพื้นฐาน (วงจรขยายความแตกต่าง) ดังรูปที่ 7.14 จากหลักการที่หนึ่ง สามารถสร้างเป็นวงจรถ้าเนตความถี่แบบสมมาตรโดยใช้วงจรโอทีเออย่างง่ายได้ดังรูปที่ 7.15 และ จากหลักการที่สอง สามารถสร้างเป็นวงจรถ้าเนตความถี่แบบสมมาตรโดยใช้วงจรโอทีเออย่างง่ายได้ดังรูปที่ 7.16

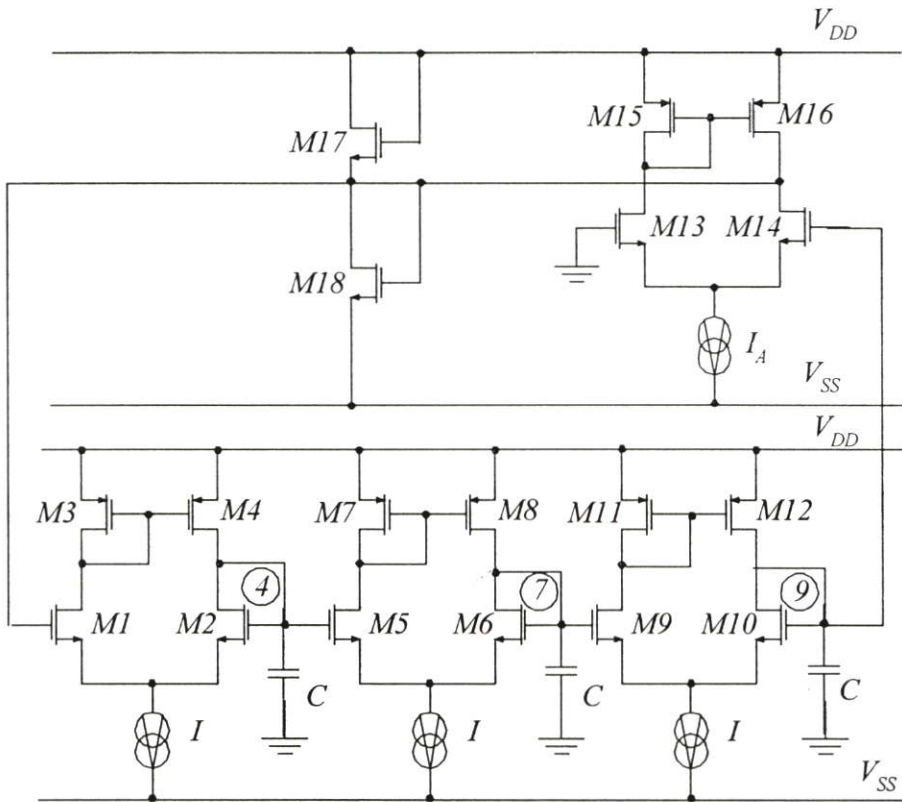


รูปที่ 7.14 วงจรโอทีเอแบบพื้นฐาน



รูปที่ 7.15 วงจรถ้าเนตสัญญาณแบบที่หนึ่งที่สมมาตร

จากวงจรรูปที่ 7.15 เป็นวงจรถ้าเนตสัญญาณแบบที่หนึ่งที่สมมาตร โดยใช้วงจรโอทีเอแบบพื้นฐานซึ่งค่า W/L ของทรานซิสเตอร์ทั้งหมดจะมีค่าดังนี้ $(W/L)=(30\mu\text{m}/5\mu\text{m})$ ได้แก่ทรานซิสเตอร์ M1, M2, M3, M5, M6, M7, M12, M16, $(W/L)=(25\mu\text{m}/5\mu\text{m})$ ได้แก่ทรานซิสเตอร์ M4, M8, M11, M15 และ $(W/L)=(50\mu\text{m}/5\mu\text{m})$ ได้แก่ทรานซิสเตอร์ M9, M10, M13, M14 โดย $I=10\mu\text{A}-200\mu\text{A}$ และ $C=15\text{pF}-100\text{nF}$ และ ค่าความถี่ที่กำเนิดได้จะแสดงไว้ดังรูปที่ 7.17 จะเห็นได้ว่ามีความใกล้เคียงกับการคำนวณในรูปที่ 7.7 และ รูปสัญญาณที่กำเนิดได้จะเป็นดังรูปที่ 7.19 จะแสดงให้เห็นว่าสัญญาณทั้งสามจุดจะมีเฟสต่างกันจุดละ 90 องศา



รูปที่ 7.16 วงจรกำเนิดสัญญาณแบบที่สองที่สมบูรณ์

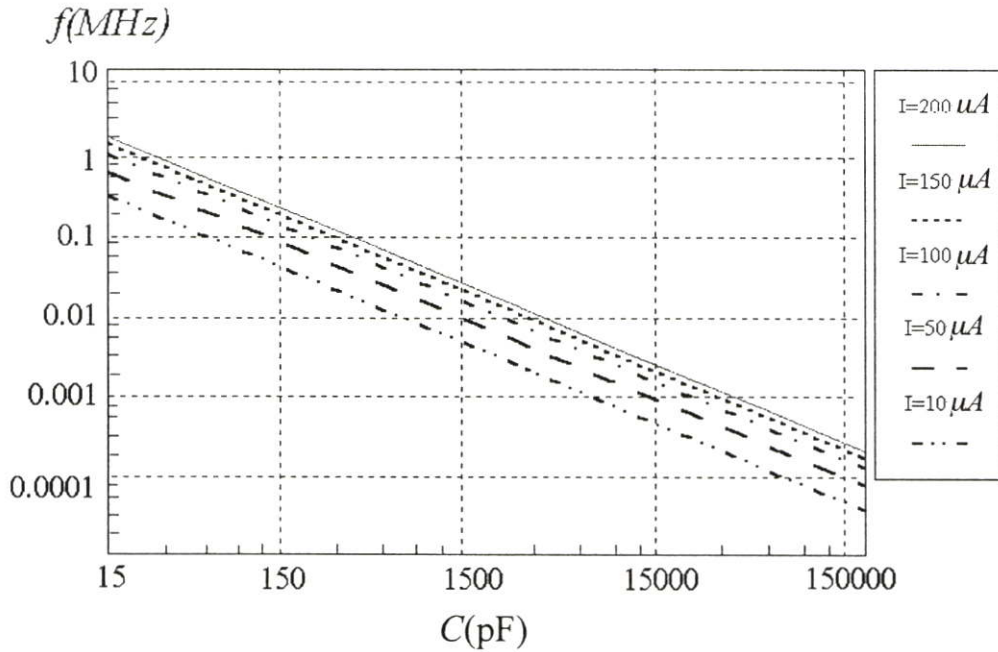
จากวงจรรูปที่ 7.16 เป็นวงจรกำเนิดสัญญาณแบบที่สองที่สมบูรณ์ โดยใช้วงจรโอทีเออย่างง่าย ซึ่งค่า W/L ของทรานซิสเตอร์ทั้งหมดจะมีค่าดังนี้ $(W/L)=(30\mu\text{m}/5\mu\text{m})$ ได้แก่ ทรานซิสเตอร์ M1, M2, M3, M5, M6, M7, M9, M10, M11, $(W/L)=(25\mu\text{m}/5\mu\text{m})$ ได้แก่ ทรานซิสเตอร์ M4, M8, M12, $(W/L)=(600\mu\text{m}/5\mu\text{m})$ ได้แก่ ทรานซิสเตอร์ M13, M14, $(W/L)=(500\mu\text{m}/5\mu\text{m})$ ได้แก่ ทรานซิสเตอร์ M15, $(W/L)=(490\mu\text{m}/5\mu\text{m})$ ได้แก่ ทรานซิสเตอร์ M16 และ $(W/L)=(5\mu\text{m}/5\mu\text{m})$ ได้แก่ ทรานซิสเตอร์ M17, M18 โดย $I=20\mu\text{A}-200\mu\text{A}$, $I_A=600\mu\text{A}$ และ $C=15\text{pF}-100\text{nF}$ และ ค่าความถี่ที่กำเนิดได้จะแสดงไว้ดังรูปที่ 7.18 จะเห็นได้ว่ามีความใกล้เคียงกับการคำนวณในรูปที่ 7.13 และ รูปสัญญาณที่กำเนิดได้จะเป็นดังรูปที่ 7.20 จะพิจารณาได้ว่าสัญญาณทั้งสามจุดจะมีเฟสต่างกันจุดละ 90 องศา

การตอบสนองทางความถี่ของวงจรนี้ ซึ่งก็คือการตอบสนองทางความถี่ของวงจรโอทีเอแบบพื้นฐานในขณะที่มีโหลดเป็นตัวเก็บประจุ ซึ่งสอดคล้องกับวงจรกำเนิดสัญญาณในวิทยานิพนธ์นี้ ซึ่งจะมีค่าเท่ากับค่าของการตอบสนองทางความถี่ของวงจรโอทีเอแบบพื้นฐาน (ภาคผนวก จ) ซึ่งมีค่าประมาณ

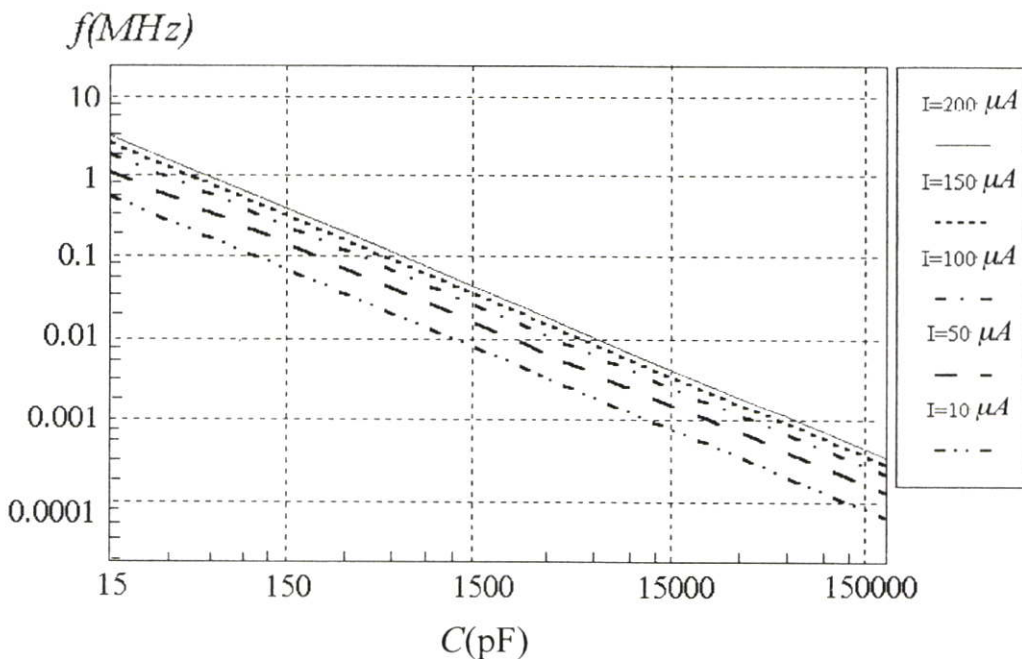
$$f_{-3dB} \approx \frac{(g_{d2} + g_{d4})}{2\pi C_L} \quad (7.41)$$

$$f_{-3dB} \approx 62.81\text{kHz} \quad (7.42)$$

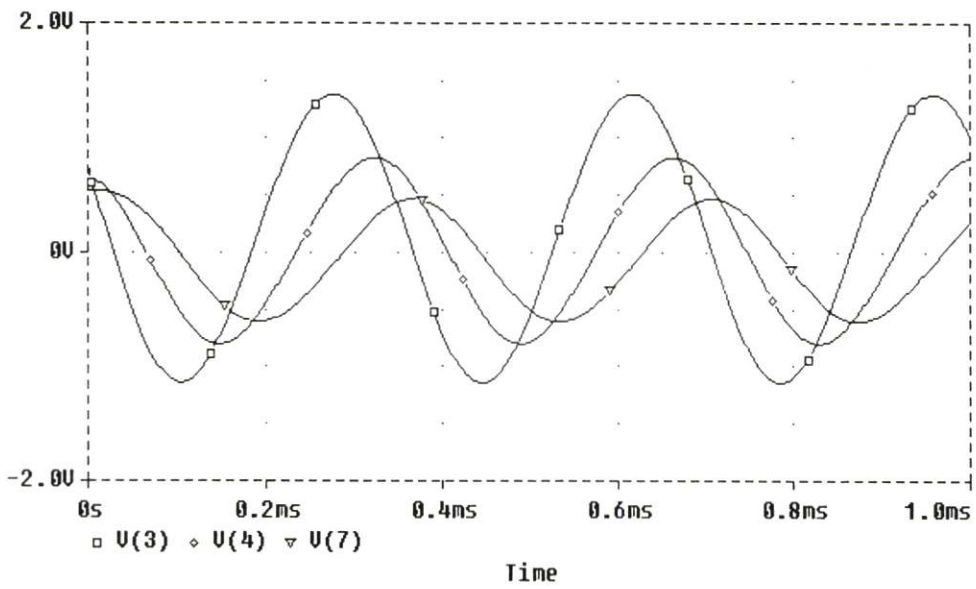
โดยที่ $C_L = 15\text{pF}$ การตอบสนองทางความถี่ของวงจรโอทีเอแบบพื้นฐานในขณะที่มีโหลดเป็นตัวเก็บประจุ ในสมการที่ (7.42) ไม่ใช่ความถี่สูงสุดในการกำเนิดสัญญาณ ในวิทยานิพนธ์นี้โดยตรง แต่จะเป็นตัวบอกถึงค่าอัตราการขยายของวงจรโอทีเอแบบพื้นฐานว่าจะลดต่ำลง แต่ก็ยังสามารถกำเนิดสัญญาณได้ แต่ก็จะเป็นผลให้ g_m ของโอทีเอมีค่าลดลงไป ซึ่งถ้าความถี่สูงขึ้นเรื่อยๆ ระดับของเอ๊าท์พุทก็จะลดลงเรื่อยๆ จนกระทั่งไม่สามารถกำเนิดสัญญาณได้ในที่สุด



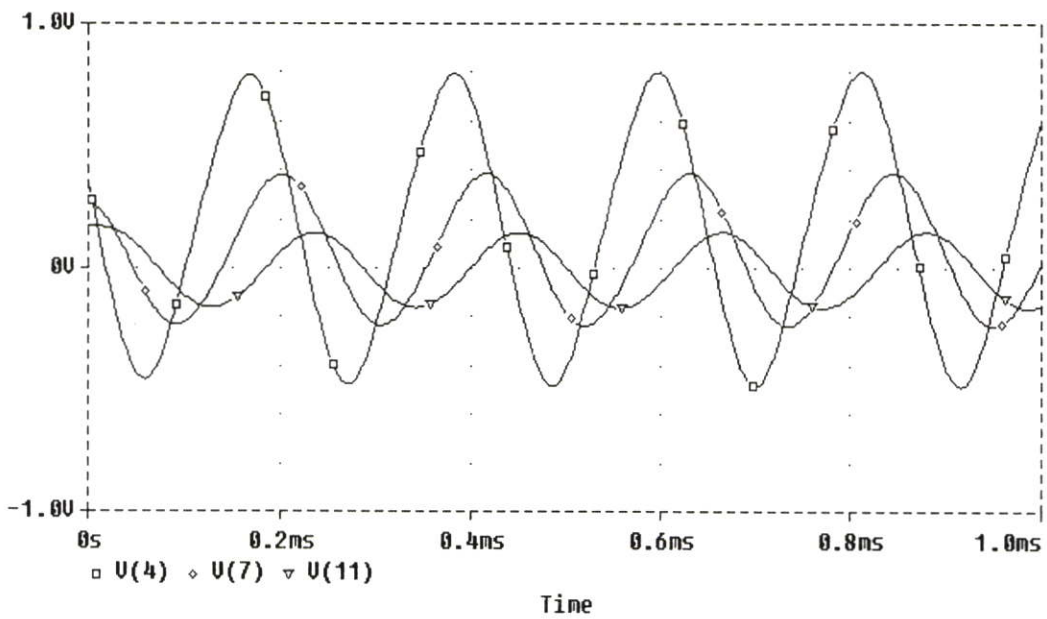
รูปที่ 7.17 ค่าความถี่ที่กำเนิดได้เมื่อเปลี่ยนค่ากระแสไบอัส I ของวงจรแบบที่หนึ่ง



รูปที่ 7.18 ค่าความถี่ที่กำเนิดได้เมื่อเปลี่ยนค่ากระแสไบอัส I ของวงจรแบบที่สอง



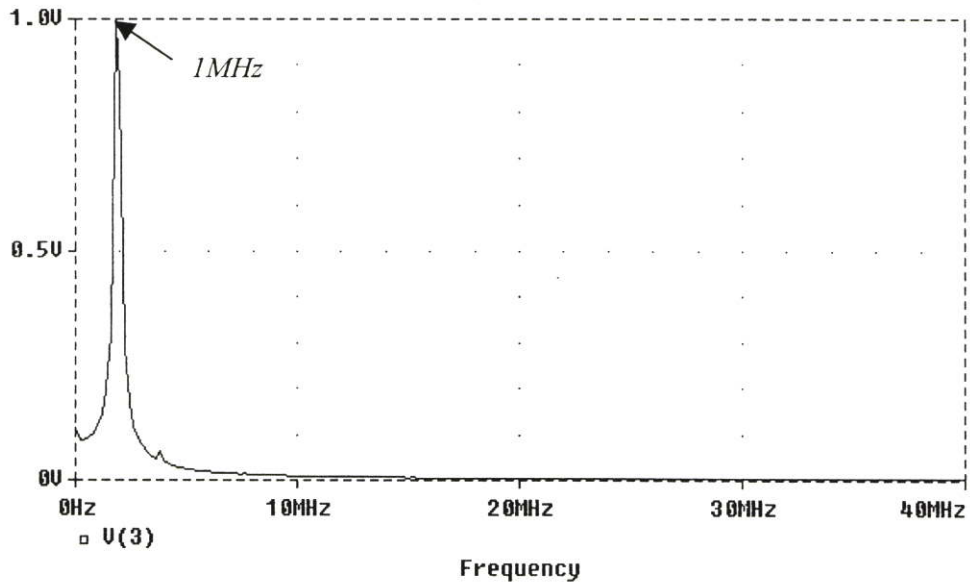
รูปที่ 7.19 รูปสัญญาณที่กำเนิดได้ ณ จุดต่าง ๆ ทั้งสามจุดของวงจรแบบที่หนึ่ง



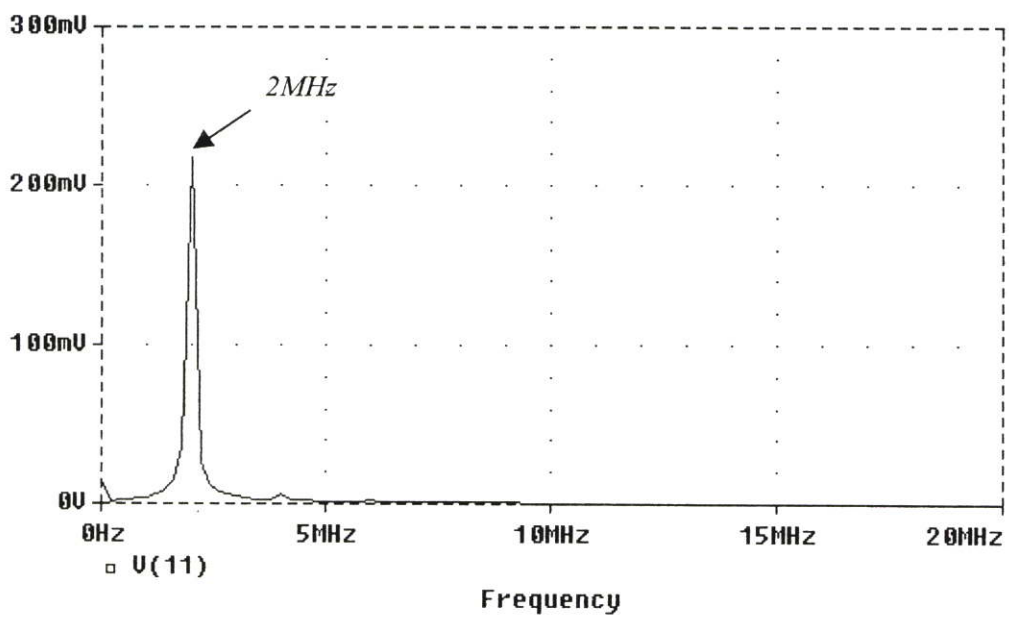
รูปที่ 7.20 รูปสัญญาณที่กำเนิดได้ ณ จุดต่าง ๆ ทั้งสามจุดของวงจรแบบที่สอง

ผลการเลียนแบบการทำงานของวงจรกำเนิดสัญญาณ แบบที่ 1 และ แบบที่ 2 ในส่วนของแถบความถี่ (Frequency Spectrum) เพื่อยืนยันผลของความเพี้ยนทางฮาร์โมนิกนั้นได้แสดงไว้ดังรูปที่ 7.21 และ 7.22 และ ตารางที่ 7.1 และ 7.2 ตามลำดับ ซึ่งจะเห็นได้ว่ามีค่าความเพี้ยนทางฮาร์โมนิกค่อนข้างต่ำ ซึ่งความเพี้ยนทางฮาร์โมนิกนี้เกิดขึ้นจากอุปกรณ์แอกทีฟซึ่งก็คือ วงจรโอทีเอแบบพื้นฐาน (ภาคผนวก จ) ซึ่งมีค่าเท่ากับ

$$THD = \left(\frac{1}{16}\right)\left(\frac{\beta}{I_{SS}}\right)V_i^2 \quad (7.5.3)$$



รูปที่ 7.21 รูปของ Frequency Spectrum วงจรแบบที่หนึ่ง



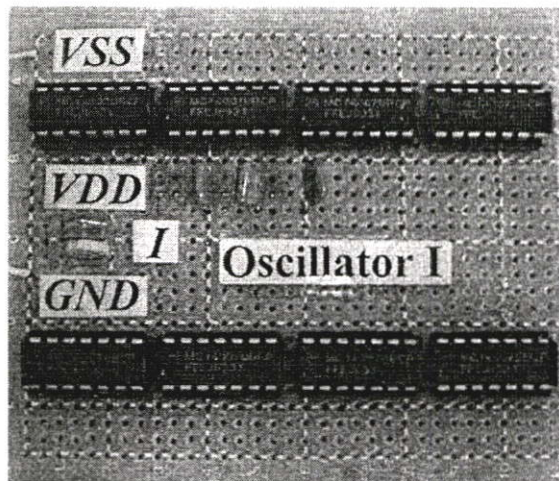
รูปที่ 7.22 รูปของ Frequency Spectrum วงจรแบบที่สอง

ตารางที่ 7.1 ตารางแสดงค่าความเพี้ยนรวมทางความถี่ (THD) ของวงจรแบบที่หนึ่ง

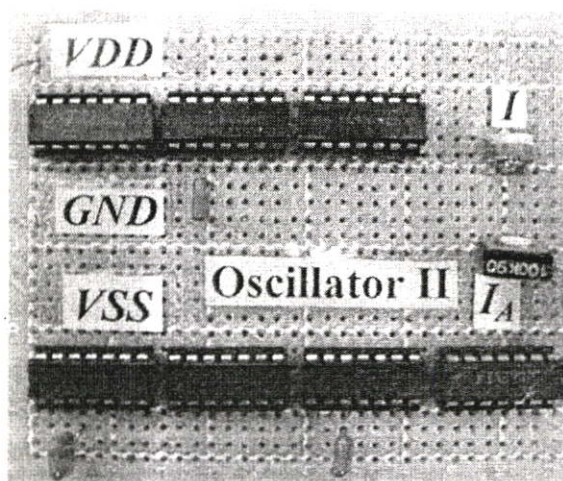
THD	I=10 μ A	I=100 μ A	I=150 μ A	I=200 μ A
C=15pF	-25.67dB	-29.7dB	-32.57dB	-35.64dB
C=1.5nF	-24.05dB	-30.77dB	-34.81dB	-36.59dB
C=150nF	-24.39dB	-30.75dB	-33.76dB	-36.59dB

ตารางที่ 7.2 ตารางแสดงค่าความเพี้ยนรวมทางความถี่ (THD) ของวงจรแบบที่สอง

THD	I=10 μ A	I=100 μ A	I=150 μ A	I=200 μ A
C=15pF	-32.84dB	-31.62dB	-34.32dB	-33.27dB
C=1.5nF	-29.19dB	-31.87dB	-34.75dB	-34.75dB
C=150nF	-29.16dB	-32.14dB	-35.67dB	-37.26dB



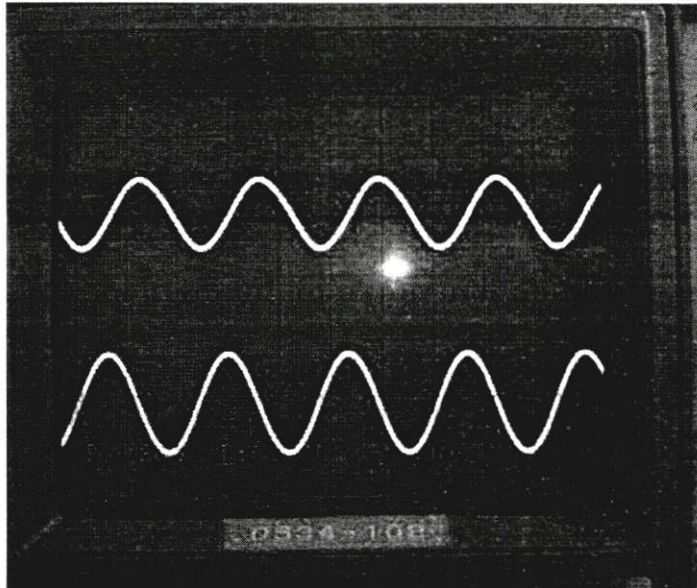
(ก)



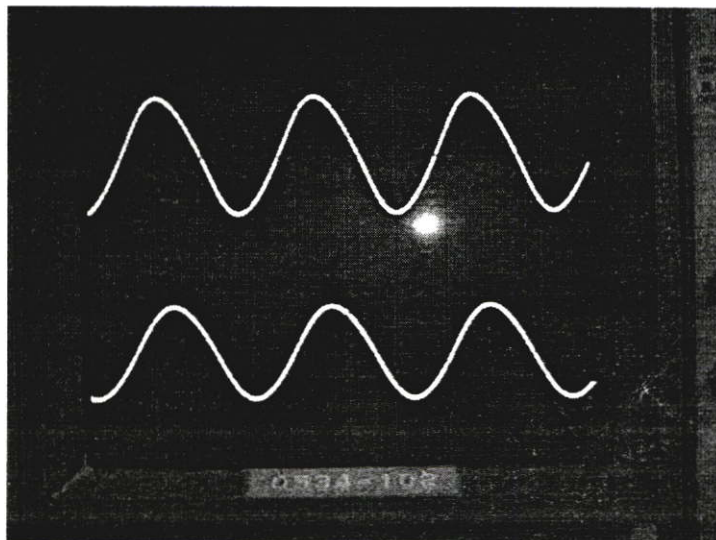
(ข)

รูปที่ 7.23 วงจรกำเนิดสัญญาณ (ก)แบบที่ 1 และ (ข) แบบที่ 2 โดยใช้ไอซี MC14007

วงจรกำเนิดสัญญาณแบบที่ 1 และ 2 นั้นสามารถสร้างขึ้นโดยใช้วงจรรวม CMOS MC14007 ได้ดังรูปที่ 7.23(ก) และ (ข) ตามลำดับ และ สัญญาณไซน์ที่กำเนิดได้ทั้งแบบที่ 1 และแบบที่ 2 เท่ากับ 20kHz และ 30kHz นั้นได้แสดงไว้ดังรูปที่ 7.24(ก) และ (ข) ตามลำดับ ส่วนรูปที่ 7.25(ก) และ (ข) แสดง Frequency Spectrum ของสัญญาณรูปที่ 7.24(ก) และ (ข) ซึ่งมีความฮาร์โมนิคข้างเคียง (THD) ต่ำกว่าความถี่มูลฐาน (Fundamental Frequency) มากกว่า -35dB

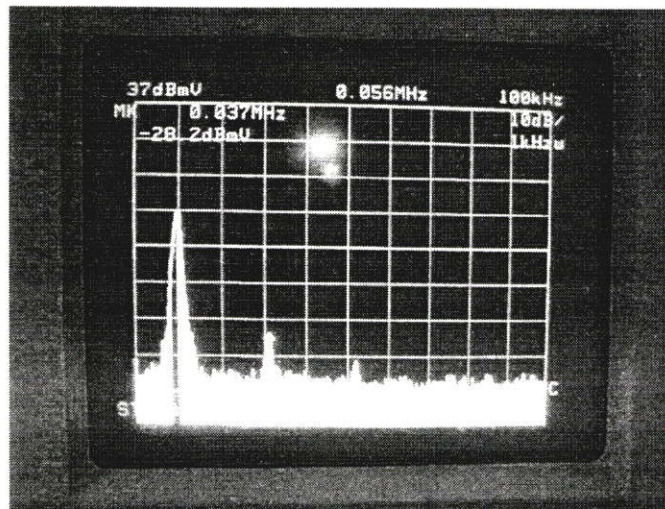


(ก)

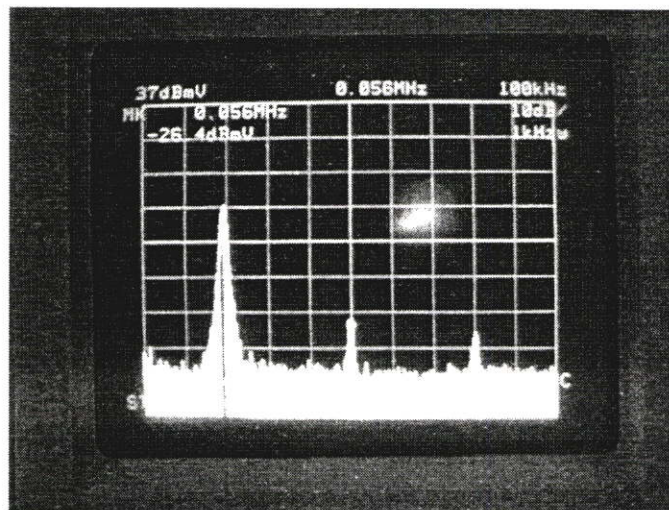


(ข)

รูปที่ 7.24 สัญญาณที่กำเนิดได้จากวงจรรูปที่ 7.23 (ก) แบบที่ 1 โดยที่แกน $x = 20 \mu\text{s}/\text{div}$ และแกน $y = 2 \text{ V}/\text{div}$ และ (ข) แบบที่ 2 โดยที่แกน $x = 1 \mu\text{s}/\text{div}$ และ แกน $y = 0.5 \text{ V}/\text{div}$



(ก)



(ข)

รูปที่ 7.25 รูปของ Frequency Spectrum ของสัญญาณรูปที่ 7.24(ก) แบบที่ 1 (ข) แบบที่ 2

7.6 บทสรุป

จากหลักการของวงจรถ่ายสัญญาณรูปไซน์แบบที่ 1 และ 2 โดยอาศัยหลักการของการตัวกรองอันดับสามนั้น เป็นหลักการใหม่ที่ให้อาชีพพุทเป็นสัญญาณรูปไซน์ที่มีความบริสุทธิ์ค่อนข้างสูง และมีโครงสร้างที่ง่ายโดยใช้เพียงวงจรถ่าย OTA แบบพื้นฐาน อีกทั้งยังสามารถปรับค่าความถี่ได้ทางอิเล็กทรอนิกส์ และ หากต้องการความเที่ยงตรงและบริสุทธิ์ของสัญญาณอาจจะใช้ OTA ที่คุณภาพสูงกว่าก็ได้ และ ที่สำคัญคือ วงจรถ่ายสัญญาณทั้งสองนี้สามารถนำไปสร้างเป็นวงจรรวมได้ โดยวงจรถ่ายงานในโหมดกระแส ทำให้ใช้แรงดันไฟเลี้ยงต่ำเพียง ± 3 โวลต์ จากผลการทดลอง และ เลียนแบบการทำงานทำให้เห็นว่าวงจรถ่ายสัญญาณรูปไซน์ในวิทยานิพนธ์นี้มีการทำงานตรงตามทฤษฎี และมีประสิทธิภาพมากพอสมควร

บทที่ 8

บทส่งท้าย และ แนวทางการพัฒนาต่อ

8.1 บทส่งท้าย

วงจรประมวลผลผลสัญญาณอนาลอกมีแนวทางการพัฒนาที่ต่อเนื่อง ซึ่งในยุคหลังนี้จะมุ่งเน้นการออกแบบวงจรประมวลผลสัญญาณอนาลอกโดยใช้ซีมอส ซึ่งหลักการที่นำมาสร้างวงจรประมวลผลสัญญาณอนาลอกในวิทยานิพนธ์นี้จะใช้มอสทรานซิสเตอร์เป็นหลักเพื่อให้การทำงานมีความแม่นยำ มีความสูญเสียกำลังงานเสียดำ และ สามารถนำไปสร้างเป็นวงจรรวมได้ใน โดยไม่จำเป็นต้องใช้อุปกรณ์แอคทีฟจากอื่นใด (ออปแอมป์ สายพานกระแส ไอทีเอ ฯลฯ) ภายนอกเลย ไม่ว่าจะเป็วงจรคุณสัญญาณสัญญาณอนาลอก 4 ควอดแดรนต์แบบซีมอส โดยใช้ไฟเลี้ยงเดี่ยว วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน วงจรถอดรอกที่สอง และ กำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์ โดยวงจรทั้งหมดที่เสนอในวิทยานิพนธ์นี้ล้วนออกแบบโดยใช้มอสทรานซิสเตอร์เพียงอย่างเดียว ซึ่งสามารถนำมาประยุกต์ใช้งานได้หลายรูปแบบ ไม่ว่าจะเป็นการประยุกต์ใช้งานเป็นวงจรอิสระ และ ใช้งานร่วมกัน ด้วยหลักการที่เสนอในวิทยานิพนธ์ เมื่ออุปกรณ์ลดจำนวนลงค่าของการสูญเสียของกำลังงานก็จะต่ำ เมื่อแรงดันไฟเลี้ยงเพียงครั้งเดียว ค่าของการสูญเสียของกำลังงานก็จะต่ำลงไปอีกขั้นหนึ่ง และ วงจรมีรูปแบบที่ง่ายทำให้ไม่ยุ่งยากในการออกแบบ และ ปรับแต่งเมื่อนำไปสร้างเป็นวงจรรวมในอนาคต จากหลักการออกแบบในวิทยานิพนธ์ได้มุ่งเน้นที่จะลดขนาดของอุปกรณ์ และ แรงดันไฟเลี้ยงลง ด้วยการใช้เทคนิคต่างๆ อาทิเช่น

วงจรคุณสัญญาณอนาลอก 4 ควอดแดรนต์ ใช้ทรานซิสเตอร์ 16 ตัว จะใช้การเลื่อนจุดทำงานของมอสทรานซิสเตอร์ให้ทำงานในย่านอิมิตัวได้แม้ว่าอินพุตที่ป้อนเข้ามาจะเป็นค่าบวก หรือลบก็ตาม ทำให้สามารถใช้ไฟเลี้ยงเดี่ยวได้ ซึ่งเมื่อเทียบกับงานวิจัยก่อนๆ [1]-[10] แล้ววงจรที่เสนอในวิทยานิพนธ์จะมีคุณสมบัติของวงจรเหมือนกับงานวิจัยก่อน ๆ ไม่ว่าจะเป็ด้านไฟตรง และ การตอบสนองทางความถี่ ความเพี้ยนทางฮาร์โมนิครวม แต่ใช้แรงดันไฟเลี้ยงไฟบวกเพียงด้านเดียว ส่วนข้อด้อยของวงจรก็คือย่านอินพุตปฏิบัติงานจะขึ้นอยู่กับแรงดันไฟเลี้ยง

ในวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน ใช้ทรานซิสเตอร์เพียง 3 ตัว โดยใช้หลักการปรับการทำงานของมอสทรานซิสเตอร์ให้ไม่อิมิตัวด้วยวงจรเลื่อนระดับแรงดัน มีย่านการควบคุมที่กว้าง และ มีความเป็นเชิงเส้นค่อนข้างสูง เป็นหลักการที่ง่าย ๆ แต่ให้ผลที่ดีมาก ซึ่งเมื่อเทียบกับงานวิจัยก่อนๆ [14]-[19] จะเห็นว่า มีข้อดีกว่าหลายจุดเช่น ใช้อุปกรณ์น้อย มีความเป็นเชิงเส้นสูงตลอดย่านอินพุตปฏิบัติงานที่กว้าง และ มีย่านการควบคุมที่กว้างกว่างานวิจัยก่อนๆ มาก และ วงจรมีขนาดเล็กเหมาะสำหรับที่จะนำไปสร้างเป็นวงจรรวมในอนาคต แต่มีข้อด้อยจุดหนึ่งก็คือสามารถประยุกต์ใช้งานเป็นแบบต่อกราวด์ข้างหนึ่งเท่านั้น

วงจรถอดรอกที่สอง ใช้กฎกำลังสองของมอสทรานซิสเตอร์ที่ทำงานในย่านอิมิตัว มีอินพุตเป็นกระแส แต่เอาท์พุทเป็นแรงดันแบบดิฟเฟอเรนเชียล เพื่อหักล้างเทอมไฟตรงที่ปะปนมาออกไป

ใช้แรงดันไฟเลี้ยงเพียง +5 โวลท์เท่านั้น ซึ่งเมื่อเปรียบเทียบกับงานวิจัยก่อน ๆ [26]-[29] จะเห็นว่า วงจรจะมีรูปแบบที่ง่าย ไม่ต้องปรับแต่งใดๆ และ ไม่ต้องใช้อุปกรณ์แอกทีฟใดๆ เช่น ออปแอมป์ ไอทีเอ สายพานกระแส ฯลฯ ทำให้วงจรมีขนาดเล็กเหมาะสำหรับที่จะนำไปสร้างเป็นวงจรรวมในอนาคต ส่วนข้อดีของวงจรก็คือวงจรจะมีเอาต์พุตเป็นแบบดิฟเฟอเรนเชียลทำให้การประยุกต์ใช้งานค่อนข้างจำกัดคือ จะต้องใช้กับวงจรที่มีอินพุตเป็นดิฟเฟอเรนเชียลด้วยเท่านั้น

ส่วนเรื่องสุดท้ายคือวงจรถูกกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์ โดยที่ใช้ตัวกรองอันดับสาม ซึ่งจะเป็นการกำเนิดความถี่ที่มีความแม่นยำ และ มีความบริสุทธิ์ของสัญญาณไซน์สูงแม้ว่าจะใช้ไอทีเอแบบพื้นฐาน สามารถปรับค่าได้ทางอิเล็กทรอนิกส์เนื่องจากใช้วงจรไอทีเอ ใช้แรงดันไฟเลี้ยงต่ำเพียง ± 3 โวลท์ ซึ่งเมื่อเปรียบเทียบกับงานวิจัยก่อน ๆ [32]-[39] จะเห็นว่าวงจรถีเสถียรในวิทยานิพนธ์ไม่ต้องใช้ความต้านทานภายนอก มีโครงสร้างที่ง่ายกว่าเนื่องจากใช้รูปแบบของการคาสเคด สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ และ เนื่องจากวงจรใช้โพลีโนเมียลอันดับสาม จึงมีความบริสุทธิ์ของสัญญาณค่อนข้างสูงกว่า และ แม้ว่าไอทีเอที่นำมาใช้ในวิทยานิพนธ์จะเป็นไอทีเอแบบพื้นฐาน วงจรก็สามารถทำการกำเนิดสัญญาณได้ใกล้เคียงกับทฤษฎี ส่วนข้อดีของวงจรก็คือ การปรับค่า g_m ด้วยกระแสของวงจรจะอยู่ในรูปของรากที่สอง ทำให้การควบคุม g_m ทำได้ยากถ้าปรับค่าจากกระแสโดยตรง

การประยุกต์ใช้งาน และ สมรรถนะของวงจรทั้งสามนั้นได้แสดงให้เห็นแล้วในวิทยานิพนธ์ เพื่อแสดงให้เห็นว่าวงจรถูกออกแบบขึ้นทั้งสามนั้นมีประสิทธิภาพสูง และ สามารถประยุกต์ใช้งานได้จริง

8.2 แนวทางการพัฒนาต่อของวงจรคุณสัญญาณอนาล็อก 4 ควอดแดรนต์แบบ ซีมอสโดยใช้ไฟเลี้ยงเดี่ยว

จากหลักการของวงจรคุณสัญญาณอนาล็อก 4 ควอดแดรนต์ในวิทยานิพนธ์นี้เป็นหลักการที่ลดแรงดันไฟเลี้ยงจากไฟเลี้ยงคู่เป็นไฟเลี้ยงเดี่ยว ด้วยหลักการการเลื่อนจุดทำงานของมอสทรานซิสเตอร์นี้ สามารถนำไปใช้กับวงจรอื่นๆ ได้อีกมาก ซึ่งจากหลักการนี้จะเป็นผลให้ย่านอินพุตปฏิบัติงานแคบลง (ภาคผนวก ข)

แนวทางการพัฒนาต่อ เพื่อให้วงจรมีประสิทธิภาพสูงขึ้นกล่าวคือ ช่วงย่านอินพุตปฏิบัติงานกว้างขึ้น และ สามารถใช้แรงดันไฟเลี้ยงต่ำลงได้ ซึ่งอาจจะออกแบบให้มอสทำงานในย่านไม่อิมิตัวซึ่งจะทำให้แรงดันไฟเลี้ยงต่ำลงเนื่องจากเงื่อนไข $V_{DS} \leq (V_{GS} - V_T)$ และ ช่วงอินพุตปฏิบัติงานก็จะกว้างขึ้นด้วย

8.3 แนวทางการพัฒนาต่อของวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน

จากหลักการของวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดันของ Han และ Park [14] มีความไม่เป็นเชิงเส้น เนื่องจากมอสทรานซิสเตอร์ทำงานในย่านไม่อิมิตัวไม่สมบูรณ์ตาม

ที่ได้เสนอในวิทยานิพนธ์แล้วนั้น วิทยานิพนธ์นี้ได้เสนอแนวทางพัฒนาปรับปรุงจากหลักการของ Han และ Park ซึ่งเป็นวงจรที่มีขนาดเล็ก และ มีความเป็นเชิงเส้นสูง เนื่องจากมอสทรานซิสเตอร์ทำงานไม่อิ่มตัวอย่างสมบูรณ์ ซึ่งเป็นผลให้วงจรทำงานได้เที่ยงตรงใกล้เคียงกับการคำนวณ แต่อย่างไรก็ตามวงจรที่เสนอในวิทยานิพนธ์นี้เป็นวงจรความต้านทานแบบต่อกราวด์ทำให้การนำไปประยุกต์ใช้งานมีข้อจำกัดอยู่บ้าง กล่าวคือจะประยุกต์ใช้งานได้โดยแทนความต้านทานที่ต่อกับกราวด์ขาหนึ่งเสมอ

แนวทางพัฒนาต่อ เพื่อให้วงจรความต้านทานสามารถนำไปประยุกต์ใช้งานได้ประโยชน์อย่างสูงสุด ซึ่งเราอาจจะใช้หลักการปรับการทำงานของทรานซิสเตอร์นี้นำไปออกแบบให้เป็นวงจรความต้านทานแบบลอยตัวต่อไปได้ ซึ่งอาจจะต้องใช้ทรานซิสเตอร์เพิ่มมากขึ้น โดยออกแบบให้ทรานซิสเตอร์มีความสมมาตรกันทั้งด้านบวกและ ด้านลบ

8.4 แนวทางการพัฒนาต่อของวงจรถอดราก็สอง

วงจรถอดราก็สองในวิทยานิพนธ์นี้ มุ่งเน้นให้วงจรมีความเรียบง่าย และ ใช้อุปกรณ์น้อยที่สุด ซึ่งจากหลักการนี้จะมีข้อเสียอยู่คือ มีเอาต์พุตแบบดิฟเฟอเรนเชียล ทำให้อาจจะมีข้อจำกัดในการนำไปประยุกต์ใช้งานไม่กว้างเท่าที่ควร

แนวทางพัฒนาต่อ ในทางปฏิบัติก็จะสามารถทำได้โดยเพิ่มวงจรแบบอินพุตดิฟเฟอเรนเชียลไปเป็นแบบเอาต์พุตเดี่ยว (Single-End) แต่วิธีนี้จะเป็นการเพิ่มอุปกรณ์เข้ามาอีกพอสมควร และ อีกวิธีหนึ่งคือใช้วงจรเลื่อนระดับแรงดันลงมา แต่ก็จะต้องปรับแต่งวงจรด้านเอาต์พุตให้มีแรงดันออฟเซต (Off-Set) มีค่าเป็น 0 ในขณะที่เอาต์พุตเป็น 0 ซึ่งอาจจะมีความเที่ยงตรงลดลงได้

8.5 แนวทางการพัฒนาต่อของวงจรกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์

วงจรกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์ในวิทยานิพนธ์นี้ แม้ว่าในหลักการจะมีความสมบูรณ์ในตัวเองอยู่แล้วเพราะวงจรจะใช้วงจรโอทีเอแบบพื้นฐาน และมีโครงสร้างที่ง่ายก็ตาม แต่ก็ยังมีข้อเสียอยู่บางประการ เช่น การปรับความถี่เอาต์พุตนั้นจะมีค่าเป็นฟังก์ชันรากที่สอง (เป็นผลมาจากค่าของทรานสคอนดักแตนซ์ของโอทีเอแบบพื้นฐาน) ทำให้การปรับค่าเป็นไปได้ไม่สะดวกนัก

แนวทางพัฒนาต่อ เนื่องจากวงจรกำเนิดสัญญาณในวิทยานิพนธ์นี้ จะใช้หลักการของโพลีโนเมียลอันดับสาม ซึ่งเป็นที่ทราบดีว่าเอาต์พุตที่ได้นั้นจะมีความบริสุทธิ์ของสัญญาณสูงกว่าโพลีโนเมียลอันดับต่ำ ดังนั้นหากจะมีการพัฒนาต่ออาจจะออกแบบโดยให้วงจรอันดับสูงกว่า เช่น อันดับ 4, 5 ฯลฯ ซึ่งสามารถใช้วงจรโอทีเอที่มีการปรับค่าทรานสคอนดักแตนซ์เป็นเชิงเส้น และ ช่วงการควบคุมกว้างขึ้น ซึ่งจะทำให้การปรับค่าความถี่จะได้สะดวกขึ้น และมีค่าเป็นเส้นตรงด้วย แม้กระนั้นก็ตามวงจรกำเนิดสัญญาณรูปไซน์ปรับค่าได้ทางอิเล็กทรอนิกส์ในวิทยานิพนธ์นี้ก็ยังสามารถนำไปใช้งานได้ในระดับหนึ่ง

เอกสารอ้างอิง

- [1] B. Gilbert, "A Precision four-quadrant multiplier with nanosecond response," *IEEE J. Solid-State Circuits*, Vol.SC-3, pp.353-365, Dec. 1968.
- [2] J. S. Pena-Finol and J. A. Connelly, "A MOS Four-Quadrant Analog Multiplier Using the Quarter-Square Technique," *IEEE J. Solid-State Circuits*, Vol.SC-22, pp.1064-1073, Dec. 1987.
- [3] K. Bult and H. Wallinga, "A CMOS Four-Quadrant Analog Multiplier," *IEEE J. Solid-State Circuits*, Vol.SC-21, pp.430-435, Jun 1986.
- [4] Z. Wang, "A CMOS Four-Quadrant Analog Multiplier with Single -Ended Voltage Output and Improved Temperature Performance," *IEEE J. Solid-State Circuits*, Vol.26, pp.1293-1301, Sep. 1991.
- [5] Z. Wang and W. Guggenbuhl, "A Voltage-Controllable Linear MOS Transconductance Using Bias Offset Technique," *IEEE J. Solid-State Circuits*, Vol.SC-25, pp.135-138, Feb. 1990.
- [6] Y. H. Kim and S. B. Park, "Four-Quadrant CMOS Analogue Multiplier," *Electron. Lett.*, Vol.28, pp.649-650, March 1992.
- [7] H. Song and C. Kim, "An MOS Four-Quadrant Analog Multiplier using Simple Two-Input Squaring Circuit with Source Followers," *IEEE J. Solid-State Circuits*, Vol.25, pp.841-848, June 1990.
- [8] C. W. Kim and S. B. Park, "New Four-Quadrant CMOS Analogue Multiplier," *Electron. Lett.*, Vol.23, pp.1268-1270, Nov. 1987.
- [9] S. Qin and R. L. Geiger, "A ± 5 -V Analog Multiplier," *IEEE J. Solid-State Circuits*, Vol.SC-22, pp.1143-1146, Dec. 1987.
- [10] C. W. KIM and S. B. Park, "New Four-Quadrant CMOS Analogue Multiplier," *Electron. Lett.*, Vol.23, pp.1298-1270, Nov. 1987.
- [11] J. H. Tsay, S. I. Liu, J. J. Chen and Y. P. Wu, "CMOS Four-Quadrant Multiplier using Triode Transistors based on Regulated Cascode Structure," *Electron. Lett.*, Vol.31, pp.962-963, Jun. 1995.
- [12] Z. Wang, "2-MOSFET Transresistor with extremely low for output reaching supply voltages," *Electron. Lett.*, Vol.26, pp.951-952, Jun. 1990.
- [13] M. Banu and Y. Tsvividis, "Floating Voltage - Controlled Resistors in MOS Technology," *Electron. Lett.*, Vol.18, pp.678-679, July 1982.
- [14] I. S. Han and S. B. Park, "Voltage - Controlled Linear Resistor by Two MOS Transistors and its Application to Active RC Filter MOS Integration," *Proc. IEEE*, Vol.72, pp.1655-1657, Nov. 1984.
- [15] G. Moon, M. E. ZaGhloul and R.W. Newcomb, "An Enhancement - Mode MOS Voltage - Controlled Linear Resistor with Large Dynamic Range," *IEEE Trans. Circuits Syst.*, Vol.CAS-37, pp.1284-1288, Jan. 1990.
- [16] R. Senani and D. R. Bhaskar, "A Simple Configuration for Realizing Voltage - Controlled Impedance," *IEEE Trans. Circuits Syst.*, Vol.CAS-39, pp.52-59, Jan. 1992.
- [17] K. Nay and A. Budak, "A Variable Negative Resistance," *IEEE Trans. Circuits Syst.*, Vol.CAS-32, pp.1193-1194, Jan. 1985.
- [18] K. Nagaraj, "New CMOS Floating Voltage - Controlled Resistor," *Electron. Lett.*, Vol.22, pp.667-668, June 1986.
- [19] G. Wilson and P. K. Chan, "Novel Voltage - Controlled Grounded Resistor," *Electron. Lett.*, Vol.25, pp.1725-1726, Dec. 1989.
- [20] Z. Wang, "2-MOSFET Transresistor with Extremely Low Distortion for Output Reaching Supply Voltages," *Electron. Lett.*, Vol.26, pp.951-952, June 1990.

- [21] Z. Wang, "Novel Voltage - Controlled Grounded Resistor," *Electron. Lett.*, Vol.26, pp.1711-1712, Sep. 1986.
- [22] Z. Wang , "Novel Electronically-Controlled Floating Resistors Using MOS Transistor Operating in Saturation," *Electron. Lett.*, Vol.27, pp.188-189, June 1991.
- [23] K. M. Al-rawaihi and J. M. Noras, "A Novel Linear Resistor Utilizing MOS Transistors With Identical Sizes and One Controlling Voltage," *Int. J. Electronics*, Vol.76, No.6, pp.1083-1098, 1994.
- [24] K. Dejhan, C. Soonyeeekan, P. Prommee, F. Cheevasuvit and E. Prommas, "A high performance MOSFET voltage- controlled grounded resistor," *Proc. Of International Conference on Robotics, Vision and Parallel Processing for Industrial Automation (ROVPIA'96)*, pp.602-608, Ipoh, Malaysia, Nov. 28-30, 1996.
- [25] K. Dejhan, C. Soonyeeekan, P. Prommee, P. Tooprakai, F. Cheevasuvit and E. Prommas, "A high performance MOSFET voltage-controlled floating resistance circuit," *Proc. of 7th International Symposium on IC Technology, System and Applications : ISIC-97*, Singapore, September 10-12, 1997.
- [26] I. M. Filanovsky and H. P Baltes, "Simple CMOS Analog Square-Rooting and Squaring Circuits," *IEEE Trans. Circuits Syst.*, Vol.39, pp.312-315, Apr. 1992.
- [27] E. S. Sinencio, J. R. Angulo, B. L. Barranco and A. R. Vazquez, "Operation Transconductance Amplifier-Based Nonlinear Function Synthesis," *IEEE J. Solid-State Circuits*, Vol.24, pp.1576-1585, Dec. 1989.
- [28] S. I. Liu, D. S. Wu, H. W. Tsao, J. Wu and J. H. Tsay, "Nonlinear Circuit Application with Current Conveyors," *IEE Proc. Pt.G*, Vol.140, No.1, pp.1-6, Feb. 1993.
- [29] S. I. Liu, "Square-Rooting and vector Summation circuits using Current Conveyors," *IEE Proc. Pt.G*, Vol.142, No.4, pp.223-226, Feb. 1993.
- [30] J. Mahattanakul and C. Toumazou, "Independent Control of Transconductance gain input Linear Range in a MOS Linear Transconductance Amplifier, " *Electron. Lett.*, Vol.32, pp.1629-1630, Aug. 1996.
- [31] I. Baturone, J. L. Huertas, A. Barriga and S. Sanchez-Solano, "Extended the Functionality of Flexible Current-mode circuit, " *Electron. Lett.*, Vol.31, pp.1231-1232, Jul. 1995.
- [32] J. J. Chen, C. C. Chen, H. W. Tsao and S.I. Liu, "Current-mode oscillator using single current follower," *Electron. Lett.*, Vol.27, pp.2056-2059., Oct. 1991.
- [33] A. R. Vazquez, B. L. Barranco, J. L. Huertas and E. S. Sinencio, "On the design of voltage-controlled sinusoidal oscillators using OTA's," *IEEE Trans. Circuits Syst.*, Vol.37, pp.198-211., Feb. 1990.
- [34] N. Boutin, "Synthesis of oscillator circuits employing only one unity-gain amplifier," *Electron. Lett.*, Vol.22, pp.22-23, Jan. 1986.
- [35] R. Senani, "New RC-Active oscillator configuration employing unity-gain amplifiers," *Electron. Lett.*, Vol.21, pp.889-891., Sep. 1985.
- [36] R. Senani, "Simple sinusoidal oscillator using opamp compensation poles," *Electron. Lett.*, Vol.29, pp.452-453., March 1993.
- [37] D. R. Bhaskar and R. Senani, "New current-conveyor based single resistance-controlled/voltage-controlled oscillator employing grounded capacitors," *Electron. Lett.*, Vol.29, pp.612-614., April 1993.
- [38] Malvar M. H., "Electronically controlled active filter with operational transconductance amplifier," *IEEE Trans. Circuits Syst.*, Vol.CAS-29, pp.333-336., 1982.
- [39] Abuelma M. T. and Almaskati R. H., "New OTA-based active-C oscillator, " *Int. J. Electronics.*, Vol.63., pp.331-334, 1987.
- [40] E. S. Sinencio, R. L. Geiger and H. N. Lozano, "Generation of Continuous-Time two integrator loop OTA filter structures," *IEEE Trans. Circuits Syst.*, Vol.35, pp.936-946., Aug. 1988.

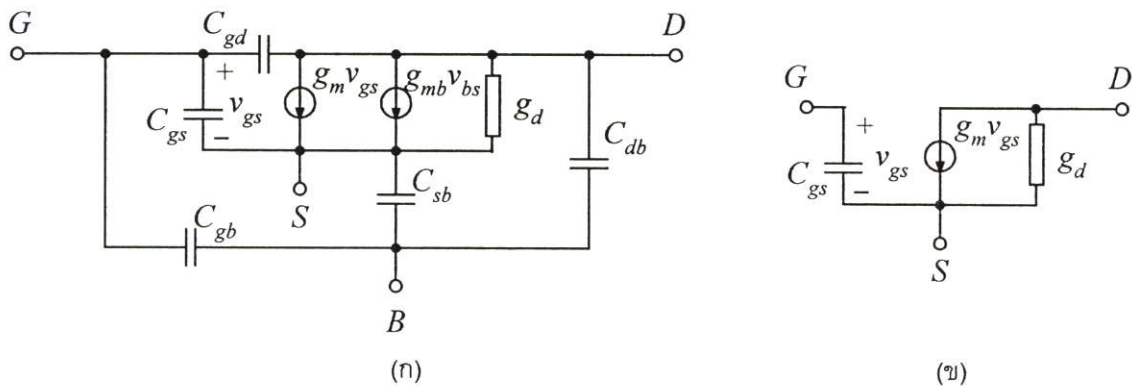
- [41] P. R. Gray and R. G. Meyer, "*Analysis and Design of Analog Integrated Circuits*, 2nd ed. New York: Wiley, 1984.
- [42] P. E. Allen and D. R. Holberg, "*CMOS Analog circuit design*," Holt Rinehart and Winston, Inc., 1987.
- [43] K. R. Laker and W. M. C. Sansen, "*Design of Analog Integrated Circuits and Systems*," McGraw-Hill, Inc., 1994.
- [44] Y. J. Wong and W. E. Ott, "*Function Circuits design and applications*," McGraw-Hill, 1945.
- [45] W. D. Stanley, "*Operational Amplifiers with Linear Integrated Circuits*," Merrill Publishing Company, 3rd Edition, 1994.
- [46] G. W. Roberts and Adel S. Sedra, "*Spice for Microelectronic Circuits*," 3rd Edition, Saunders College Publishing, 1992.
- [47] C. Toumazou, F. J. Lidgey and D.G. Haigh, "*Analogue IC design : the current mode approach*," Peter peregrinus ltd.1990
- [48] R. Gregorian and G. C. Temes, "*Analog MOS Integrated Circuits for signal processing*," John Wiley & Sons, 1986.
- [49] M. Ismail and T. Fiez, "*Analog VLSI Signal and Information Processing*," McGraw-Hill, Inc., 1993.
- [50] D. O. Pederson and K. Mayaram, "*Analog Integrated Circuits for Communication Principles, Simulation and Design*," Kluwer Academic Publishers, 1991.
- [51] L. P. Huelsman, "*Active and Passive Analog filter design*," McGraw-Hill, Inc., 1993.
- [52] R. L. Geiger, P. E. Allen and N. R. Strader, "*VLSI Design Techniques for Analog and Digital Circuits*," McGraw-Hill, Inc., 1990.

ภาคผนวก ก

การวิเคราะห์หาคุณสมบัติทางไฟสลับ ของวงจรถ่ายย่อ

ก1 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์เป็นทรานซิสเตอร์ที่มีคุณสมบัติคล้ายกับไบโพลารทรานซิสเตอร์ แต่จะมีความต่างกันก็คือมอสทรานซิสเตอร์จะมีการทำงานในย่านไม่อิ่มตัว (Ohmic Region) และ ย่านอิ่มตัว (Saturation Region) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ปกติจะแสดงไว้ดังรูปที่ ก1.1 (ก) ซึ่งในกรณีของมอสทรานซิสเตอร์ทำงานในย่านอิ่มตัว จะเป็นผลให้ช่องทางไฟฟ้า (Channel) ที่ขาเดรนมีความแคบมาก ในย่านอิ่มตัวนี้แรงดันที่ขาเดรนที่จะมีผลกระทบต่อกับประจุไฟฟ้าที่ขาเกต และ ช่องช่องทางไฟฟ้าน้อยมาก ด้วยเหตุนี้เองอาจจะกล่าวได้ว่า ตัวเก็บประจุ C_{gd} จะมีค่าน้อยมากสามารถประมาณได้ว่าเท่ากับศูนย์ ส่วนตัวเก็บประจุ C_{db} และ C_{gb} เป็นตัวเก็บประจุแบบแบ่งมีค่าน้อยมาก และในการใช้งานมอสทรานซิสเตอร์ในย่านอิ่มตัวในวิทยานิพนธ์จะทำการต่อฐานรอง (Body) เข้ากับขาซอส ทำให้ตัวเก็บประจุ C_{sb} จะมีค่าเท่ากับศูนย์ [8] ซึ่งแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ในการทำงานย่านอิ่มตัว จะแสดงไว้ดังรูปที่ ก1.1(ข)



รูปที่ ก1 (ก) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ (ข) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ย่านอิ่มตัว

```

*-----ES-2-MODEL-----*
.MODEL NMOS1 NMOS LEVEL=2 NSUB=9.50E+15 VTO=+1.07 TOX=44.0N
+LD=0.15U XJ=1.0U DELTA=1.68 UO=0.693K UEXP=0.111 UCRIT=10.0K
+VMAX=41.0K NFS=0.1T PB=0.45 JS=100.0U RSH=45.0 NEFF=1.16
+CGSO=0.27N CGDO=0.27N CJSW=0.24N CJ=0.105M MJ=0.48 MJSW=0.27
*-----*
.MODEL PMOS1 PMOS LEVEL=2 NSUB=3.24E+16 VTO=-0.79 TOX=44.0N
+LD=0.25U XJ=2.0U DELTA=0.89 UO=0.271K UEXP=0.181 UCRIT=10.0K
+VMAX=33.0K NFS=0.1T PB=1.04 JS=100.0U RSH=80.0 NEFF=0.77
+CGSO=0.35N CGDO=0.35N CJSW=0.43N CJ=0.330M MJ=0.48 MJSW=0.40
*-----*
    
```

รูปที่ ก2 แบบจำลองสำหรับการเลียนแบบการทำงานด้วย PSpice

แบบจำลองที่ใช้สำหรับเลียนแบบการทำงานด้วย PSpice มี อยู่ 3 แบบที่ใช้กันอย่างกว้างขวาง คือ แบบจำลองระดับหนึ่ง (Level 1 Model), แบบจำลองระดับสอง (Level 2 Model) และแบบจำลองระดับสาม (Level 3 Model) [52]

ก1.1 แบบจำลองระดับหนึ่ง (Level 1 Model) เป็นแบบจำลองแบบพื้นฐาน ที่ใช้อ้างอิงเป็นสมการต่างๆ แบบพื้นฐาน เหมาะสำหรับการคำนวณพื้นฐานทั่วไปที่ไม่ต้องการวิเคราะห์ค่าความผิดพลาด (Error) ต่างๆ ซึ่งถ้าต้องการคำนวณวงจรแบบง่าย หรือ แบบไม่ต้องพิจารณาความผิดพลาดแบบจำลองนี้ก็เพียงพอที่จะใช้งานได้

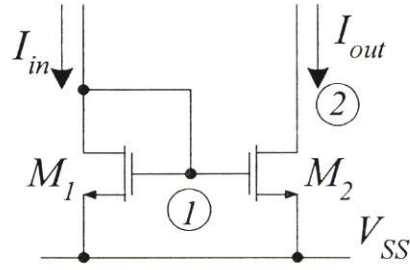
ก1.2 แบบจำลองระดับสอง (Level 2 Model) เป็นแบบจำลองที่ต่างจาก Level 1 อยู่ 2 ส่วนคือ วิธีการคำนวณค่าผลกระทบความยาวแชนแนล (Effective Channel Length : λ) และ ในส่วนของการเปลี่ยนแปลง (Transition) ย่านการทำงานระหว่างอิมิตัว และ ไม่อิมิตัว ใช้เวลาในการคำนวณการเปลี่ยนแปลง (Transition) ย่านการทำงานระหว่างอิมิตัว และ ไม่อิมิตัวมาก ในแบบจำลองระดับสองนี้ยังให้ประโยชน์ด้านประสิทธิภาพที่ดีกว่า และ สนับสนุนการใช้อุปกรณ์ที่มีแชนแนลแคบ (Short Channel) ได้

ก1.2 แบบจำลองระดับสาม (Level 3 Model) เป็นแบบจำลองที่ผสมผสานตัวแปรจากการสังเกตเข้าไปด้วย (Semi-Empirical Model) โดยที่ตัวแปรต่างๆ ที่เพิ่มเข้ามา (จะมีความสัมพันธ์ไม่ชัดเจนว่าส่งผลมาจากคุณสมบัติทางกายภาพของมอสทรานซิสเตอร์) จะให้ประสิทธิภาพที่ดีขึ้น ในแบบจำลองระดับสามนี้ยังสามารถลดเวลาในการคำนวณการเปลี่ยนแปลง (Transition) ย่านการทำงานระหว่างอิมิตัว และ ไม่อิมิตัว

ในวิทยานิพนธ์นี้ได้ใช้แบบจำลองระดับสอง เนื่องจากเหมาะสมกว่าแบบจำลองระดับหนึ่ง เนื่องจากสามารถวิเคราะห์ค่าผลกระทบความยาวแชนแนล (λ) และ สนับสนุนการใช้อุปกรณ์ที่มีแชนแนลแคบ (Short Channel) ได้ ส่วนแบบจำลองระดับสามไม่เหมาะสมเนื่องจากตัวแปรบางตัวที่เพิ่มขึ้นมาเกิดจากการสังเกต ไม่แน่ชัดว่าตัวแปรที่เพิ่มขึ้นมานั้นจะเกิดมาจากคุณสมบัติทางกายภาพหรือไม่ ดังนั้นแบบจำลองระดับสองจึงเพียงพอที่จะใช้ในวิทยานิพนธ์นี้

ก2 วงจรสะท้อนกระแสแบบพื้นฐาน (CMOS Current Mirror)

วงจรสะท้อนกระแสแบบพื้นฐานนั้นสามารถแบ่งการวิเคราะห์วงจรได้เป็น 2 ส่วนคือ การวิเคราะห์วงจรทางไฟตรง และ ไฟสลับ การวิเคราะห์วงจรทางไฟตรงจะสามารถวิเคราะห์ในแบบจำลองสัญญาณขนาดใหญ่ (Large-Signal Model) ซึ่งในการวิเคราะห์ทางไฟตรงจะสามารถหาค่าอัตราส่วนการสะท้อนกระแส



รูปที่ ก3 วงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ก3 สามารถเขียนสมการของแรงดัน V_1 ได้ดังสมการที่ ก2.1

$$V_1 = \sqrt{\frac{I_m}{\beta_1}} + V_{TN} \tag{ก1}$$

และ สมการของกระแสเอาต์พุตมีค่าเท่ากับ

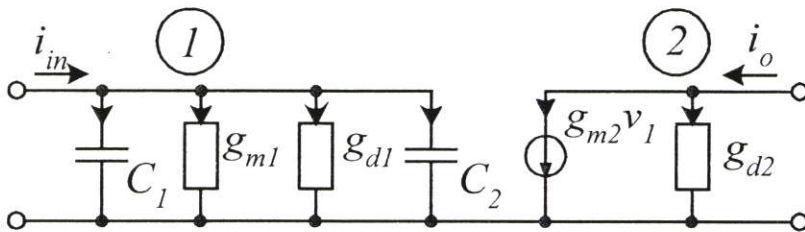
$$I_{out} = \beta_2 (V_1 - V_{TN})^2 \tag{ก2}$$

โดยที่ $\beta_i = \frac{\mu C_{OX}}{2} \left(\frac{W}{L}\right)_i$ และ เนื่องจากที่ขาเกตของทรานซิสเตอร์จะไม่มีกระแสไหล

ทรานซิสเตอร์ M1 และ M2 มีความสมพงษ์กันทุกประการ เป็นผลให้อัตราส่วนของกระแสมีค่าเท่ากับ

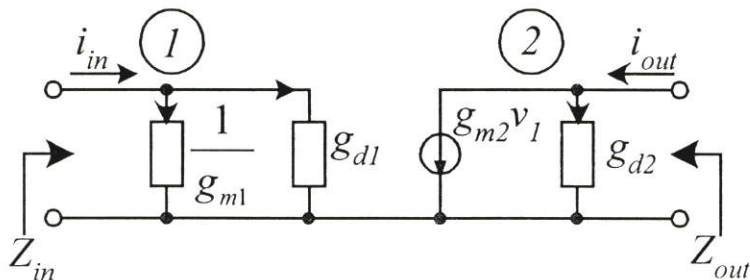
$$\frac{I_{out}}{I_m} = \frac{\beta_2}{\beta_1} = \frac{(W/L)_2}{(W/L)_1} \tag{ก3}$$

ส่วนการวิเคราะห์วงจรทางไฟสลบจะใช้แบบจำลองสัญญาณขนาดเล็กซึ่งจะสามารถวิเคราะห์หาค่าอินพุต และ เอาต์พุตอิมพีแดนซ์ และ การตอบสนองทางความถี่ได้ โดยแบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ก1 แสดงไว้ดังรูป ก2



รูปที่ ก4 แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ก4 ตัวเก็บประจุ $C_i = C_{gsi}$ และ โดยแบบจำลองสัญญาณขนาดเล็กที่ใช้วิเคราะห์หา อินพุท และ เอาท์พุทอิมพีแดนซ์ จะแสดงไว้ดังรูปที่ ก5



รูปที่ ก5 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์อิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ก5 อินพุทอิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐานจะมีค่าเท่ากับ

$$Z_m = \frac{1}{g_{m1}} \quad (ก4)$$

และ เอาท์พุทอิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐานจะมีค่าเท่ากับ

$$Z_{out} = r_2 = r_{d2} \quad (ก5)$$

ในการวิเคราะห์หาค่าการตอบสนองทางความถี่ ของวงจรสะท้อนกระแสรูปที่ ก1 สามารถกระทำได้โดยใช้แบบจำลองสัญญาณขนาดเล็กดังรูปที่ ก2 และ ในการวิเคราะห์หาค่าสมการการส่งผ่านของกระแสอินพุท และ เอาท์พุทสามารถเขียนเป็นสมการโดยหลักการของ KCL ได้เป็น

$$i_m = v_1 s(C_1 + C_2) + v_1(g_{m1} + g_{d1}) \quad (ก6)$$

$$i_o \cong g_{m2} v_1 \quad (ก7)$$

แทนสมการที่ (ก6) ในสมการที่ (ก7) ได้สมการการส่งผ่านในรูปของกระแสเป็น

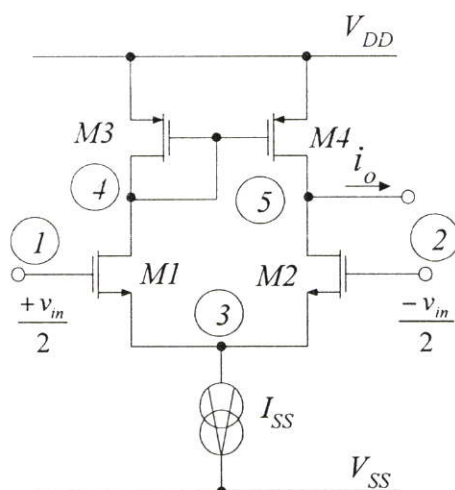
$$\frac{i_o}{i_m} \cong \frac{g_{m2}}{g_{m1} + g_{d1} + s(C_1 + C_2)} \quad (ก8)$$

จากสมการที่ (ก8) สามารถประมาณค่าความถี่ตอบสนองได้คือ

$$\omega_{-3dB} \cong (g_{m1} + g_{d1}) / (C_1 + C_2) \quad (ก9)$$

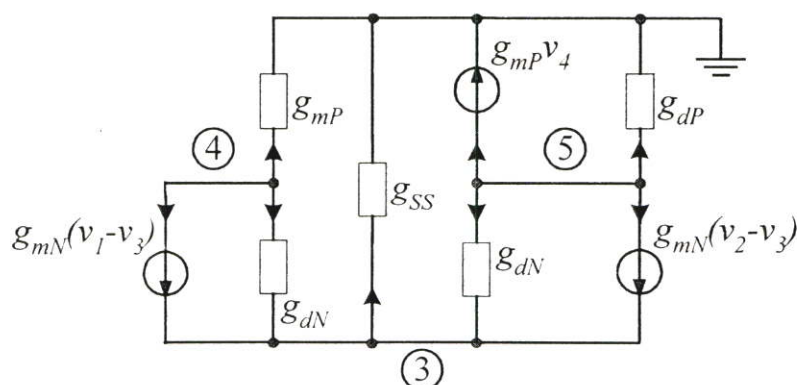
ก3 วงจรขยายความแตกต่างด้วยมอสทรานซิสเตอร์ (CMOS Differential Amplifier)

วงจรโอทีเอแบบพื้นฐานที่ใช้ในวิทยานิพนธ์นี้ เป็นวงจรที่ใช้งานกันอย่างกว้างขวาง ซึ่งมีชื่อเรียกแตกต่างกัน เช่น วงจรขยายความแตกต่าง วงจรเปลี่ยนแรงดันเป็นกระแส ฯลฯ แต่ไม่ว่าจะใช้ชื่อในการเรียกอย่างไร วงจรโอทีเอก็จะต้องมีคุณสมบัติคือ จะมีอินพุตเป็นแรงดัน และมีเอาต์พุตเป็นกระแส โดยมีอัตราขยายเท่ากับ g_m โดยวงจรโอทีเอในวิทยานิพนธ์นี้จะแสดงไว้ดังรูปที่ ก6



รูปที่ ก6 วงจรโอทีเอแบบพื้นฐาน

จากวงจรโอทีเอแบบพื้นฐานดังรูปที่ ก6 นั่นก็คือวงจรขยายความแตกต่างโดยมีอินพุตเป็นจุดเข้าคู่ (Differential Input) และมีเอาต์พุตเป็นจุดออกเดี่ยว (Single-end Output) จากวงจรโอทีเอแบบพื้นฐานรูปที่ ก6 ทรานซิสเตอร์ทุกตัวจะมีความสมพงษ์กันทุกประการ และ ค่าของ $g_d \ll g_m$ และ ความต้านทานของแหล่งจ่ายกระแส R_{SS} มีค่าสูงมาก จึงสามารถเขียนเป็นแบบจำลองสัญญาณขนาดเล็กได้ดังรูปที่ ก7



รูปที่ ก7 แบบจำลองสัญญาณขนาดเล็กของวงจรโอทีเอแบบพื้นฐาน

การประมาณการเพื่อใช้ในการวิเคราะห์ จะประมาณค่าอุปกรณ์ต่างๆ เป็นดังนี้ แหล่งจ่ายกระแส I_{SS} เป็นแหล่งจ่ายกระแสแบบอุดมคติ ซึ่งจะมีอิมพีแดนซ์สูงมาก, กระแสเดรนของ M1 และ M2 จะมีค่าตรงกันข้ามกันซึ่งเท่ากับ $i_{d1} + i_{d2} = 0$ โดยกระแสเดรนของทรานซิสเตอร์ M1 และ M2 จะมีค่าประมาณ $i_{d1} \cong g_{mN}(v_1 - v_3)$ และ $i_{d2} \cong g_{mN}(v_2 - v_3)$ ตามลำดับ ดังนั้นแรงดันที่โหนด 3 จะมีค่าประมาณ $v_3 \cong (v_1 + v_2)/2$ หรือ สามารถเขียนสมการของกระแสของทรานซิสเตอร์ M1 และ M2 ได้เป็น $i_{d1} = -i_{d2} \cong g_{mN}(v_1 - v_2)/2$

จากรูปทรานซิสเตอร์ M3 และ M4 เป็นวงจรถะท้อนกระแส ซึ่งทำให้กระแส ที่ไหลผ่านทรานซิสเตอร์ M1, M3 และ M4 มีค่าเท่ากับ

$$i_{d1} = i_{d3} = i_{d4} = g_{mN} \frac{(v_1 - v_2)}{2} \quad (ก10)$$

กระแส i_{d4} จะไหลเข้าสู่โหนด 5 ซึ่งมีความต้านทานที่ขาเดรน และ ขอสของทรานซิสเตอร์ M2 และ M4 ต่ออยู่ ทำให้แรงดันที่โหนด 5 มีค่าเท่ากับ

$$v_5 \cong 2i_{d1}/(g_{dN} + g_{dP}) \cong g_{mN} \frac{(v_1 - v_2)}{(g_{dN} + g_{dP})} \quad (ก11)$$

จากสมการที่ (ก11) สามารถบอกได้ถึงอัตราขยายความแตกต่าง (A_{dm}) จะมีค่าเท่ากับ

$$A_{dm} = \frac{v_5}{(v_1 - v_2)} \cong \frac{g_{mN}}{(g_{dN} + g_{dP})} \quad (ก12)$$

จากการประมาณค่าข้างต้นสามารถยืนยันอีกครั้ง โดยใช้สมการกระแส KCL แทนในโหนดต่างๆ ของวงจรรูปที่ ก7 โดยจะได้สมการเป็นดังต่อไปนี้

$$\text{ที่โหนด 3} \quad g_{mN}(v_1 - v_3) + g_{dN}(v_4 - v_3) + g_{dN}(v_5 - v_3) + g_{mN}(v_2 - v_3) = 0 \quad (ก13)$$

$$\text{ที่โหนด 4} \quad g_{mP}v_4 + g_{dN}(v_4 - v_3) + g_{mN}(v_1 - v_3) = 0 \quad (ก14)$$

$$\text{ที่โหนด 5} \quad g_{dP}v_5 + g_{mP}v_4 + g_{dN}(v_5 - v_3) + g_{mN}(v_2 - v_3) = 0 \quad (ก15)$$

$$\text{จากสมการที่ (ก13)} \quad v_3 = \frac{(v_1 + v_2)g_{mN} + (v_4 + v_5)g_{dN}}{g_{mN}} \quad (ก16)$$

จากสมการที่ (ก14)
$$v_3 = \frac{v_4(g_{mP} + g_{dN}) + v_1 g_{mN}}{g_{mN}} \tag{ก17}$$

จากสมการที่ (ก15)
$$v_3 = \frac{(g_{dN} + g_{dP})v_5 + g_{mP}v_4 + g_{mN}v_2}{g_{mN}} \tag{ก18}$$

แทนสมการ (ก16) ในสมการที่ (ก17) และ (ก18) โดย $g_m \gg g_d$ ซึ่งสมการที่ (ก17) และ สมการที่ (ก18) จะมีค่าประมาณ

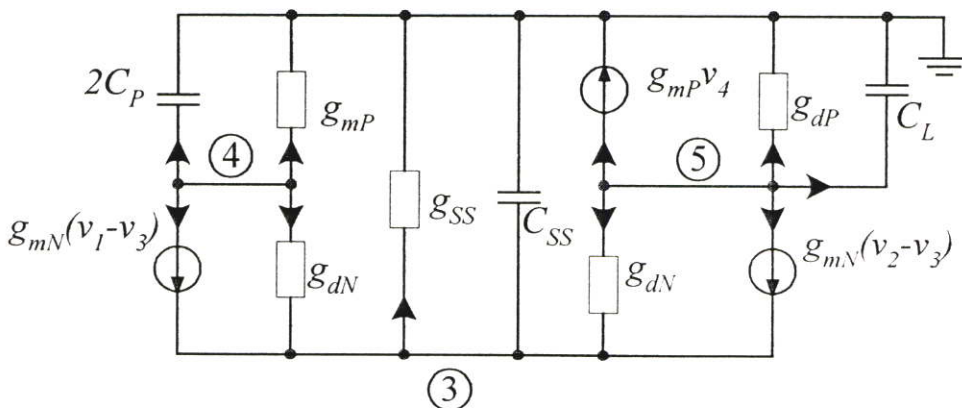
$$v_4 \cong \frac{v_2 g_{mN} + v_5 g_{dN}}{g_{mP}} \tag{ก19}$$

และ
$$v_5 g_{dP} \cong v_1 g_{mN} - v_4 g_{mP} \tag{ก20}$$

สมการการส่งผ่านของวงจร
$$\frac{v_5}{(v_1 - v_2)} \cong \frac{g_{mN}}{(g_{dN} + g_{dP})} \tag{ก21}$$

เมื่อพิจารณาสมการที่ (ก21) จะเห็นว่ามีความเท่ากันกับการประมาณค่าโดยวิธีแรกตั้งสมการที่ (ก12)

การพิจารณาการตอบสนองต่อความถี่สูงของวงจโรทีเอแบบพื้นฐานได้มีการกล่าวไว้บ้างแล้ว [1], [2], [8] ในวิทยานิพนธ์นี้พิจารณาจากโดยค่าตัวแปรคงที่เวลาศูนย์ (Zero-Value Time Constant) [41] ที่ตำแหน่งต่างๆ ของวงจรเพราะวงจรมีความซับซ้อน เช่น วงจโรทีเอแบบพื้นฐานนี้ ถ้าวิเคราะห์โดยใช้แบบจำลองสัญญาณขนาดเล็กโดยตรงจะมีความยุ่งยากของสมการเป็นอย่างมาก การวิเคราะห์ที่สามารถประมาณค่าของการตอบสนองความถี่สูงได้สามารถวิเคราะห์โดยใช้อัตราขยายความแตกต่าง (A_{dm}) ซึ่งในการวิเคราะห์วงจโรทีเอแบบพื้นฐานในวิทยานิพนธ์นี้เป็นการใช้งานเป็นวงจรถูกที่เกเรเตอร์ ซึ่งจะมีภาระ (Load) เป็นตัวเก็บประจุ (Capacitive Load) และ ที่โหนด 3 และ 4 ก็จะมีตัวเก็บประจุต่ออยู่ดังรูปที่ ก8



รูปที่ ก8 แบบจำลองสัญญาณขนาดเล็กของวงจโรทีเอแบบพื้นฐานกรณีพิจารณาหาความถี่ตอบสนอง

เมื่อพิจารณาในแต่ละโหนดแล้วที่โหนด 3 จะมี C_{SS} ต่ออยู่โดย C_{SS} คือค่าตัวเก็บประจุของแหล่งจ่ายกระแส จะมีค่าน้อยมาก ซึ่งในการประมาณค่าจะให้โหนด 3 เป็นจุดกราวด์เสมือน ที่โหนด 4 มี $2C_p$ ต่ออยู่ โดยที่ C_p คือค่าตัวเก็บประจุที่ขาเกต และ ซอส ของทรานซิสเตอร์ M3 และ M4 ซึ่งค่า Zero-Value Time Constant ที่ได้ทั้งหมดจะมีค่าเท่ากับ

$$t_{01} \cong \frac{2C_p}{g_{mP}} \quad (ก22)$$

$$t_{02} \cong \frac{C_L}{(g_{dN} + g_{dP})} \quad (ก23)$$

$$\sum T_0 = b_1 \approx \frac{2C_p}{g_{mP}} + \frac{C_L}{(g_{dN} + g_{dP})} \quad (ก24)$$

จากการประมาณค่า Zero-Value Time Constant ดังที่กล่าวมาแล้ว ในสมการที่ (ก22)-(ก23) สามารถจะบอกได้ว่า กรณีที่ไม่มีโหนดที่โหนด (5) การตอบสนองทางความถี่จะมีค่าประมาณ

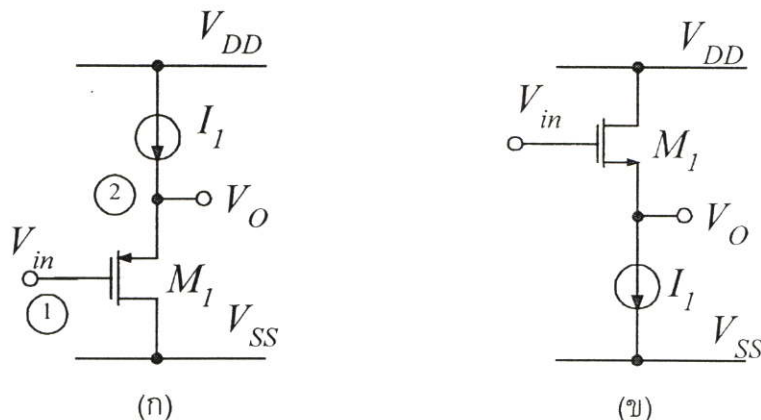
$$f_{-3dB} \approx \frac{g_{mP}}{4\pi C_p} \quad (ก25)$$

กรณีทั่วไปวงจรขยายความแตกต่างจะมีโหนดเป็นตัวเก็บประจุ C_L ที่เอาท์พุท Zero-Value Time Constant คือ

$$f_{-3dB} \approx \frac{(g_{d2} + g_{d4})}{2\pi C_L} \quad (ก26)$$

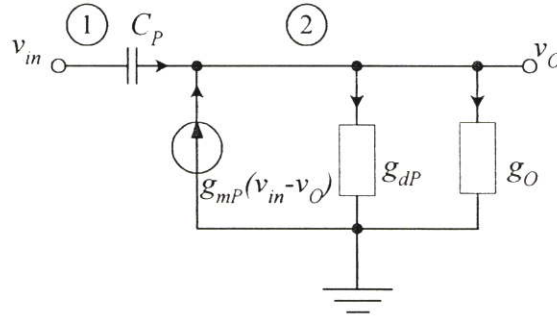
ก4 วงจรเลื่อนระดับแรงดัน (Voltage Level-Shifter)

วงจรเลื่อนระดับแรงดันที่ใช้ในวิทยานิพนธ์ เป็นวงจรที่มีโครงสร้างที่ง่าย และมีคุณสมบัติในการเลื่อนระดับของแรงดัน โดยถ้าต้องการให้มีแรงดันเอาท์พุทเลื่อนขึ้นจะใช้ทรานซิสเตอร์ชนิด P แต่ถ้าต้องการให้มีแรงดันเอาท์พุทเลื่อนขึ้นจะใช้ทรานซิสเตอร์ชนิด N ดังรูปที่ ก9



รูปที่ ก9 วงจรเลื่อนระดับแรงดัน (ก) แบบบวก (ข) แบบลบ

การวิเคราะห์หาค่าการตอบสนองทางความถี่สามารถทำได้ โดยใช้แบบจำลองสัญญาณขนาดเล็กรูปที่ ก1 และ เปลี่ยนวงจรรูปที่ ก9(ก) แบบจำลองสัญญาณขนาดเล็กรูปที่ ก10 โดยทั้งวงจรรูปที่ ก9(ก) และ ก9(ข) ก็จะมีการวิเคราะห์ที่คล้ายคลึงกัน ทั้งนี้จะวิเคราะห์เฉพาะในแบบบวทดเท่านั้น



รูปที่ ก10 แบบจำลองสัญญาณขนาดเล็กของวงจรเลื่อนระดับแรงดัน

จากรูปที่ ก8 สามารถเขียนสมการในรูปกระแส KCL ได้เป็น

$$(v_{in} - v_O)sC_P + g_{mP}(v_{in} - v_O) = v_O(g_O + g_{dP}) \quad (\text{ก27})$$

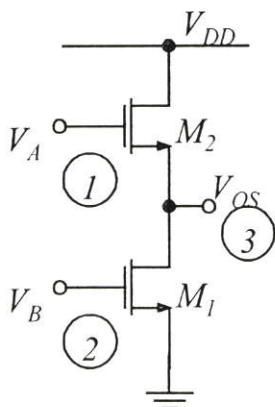
สมการการส่งผ่านของวงจรจะมีค่าเท่ากับ

$$\frac{v_O}{v_{in}} = \frac{g_{mP} + sC_P}{g_O + g_{dP} + g_{mP} + sC_P} \cong \frac{g_{mP} + sC_P}{g_{mP} + sC_P} \cong 1 \quad (\text{ก28})$$

จากสมการที่ (ก28) วงจรเลื่อนระดับแรงดันจะมีการตอบสนองทางความถี่ที่สูงมาก

ก5 วงจรอินเวอร์เตอร์จากมอสทรานซิสเตอร์ชนิด N (NMOS Inverter Circuit)

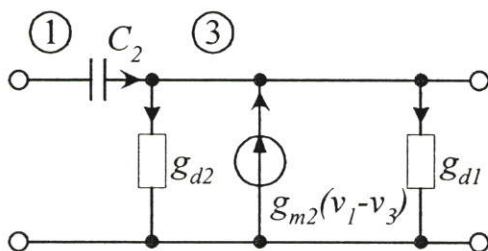
วงจรอินเวอร์เตอร์จากมอสทรานซิสเตอร์ในวิทยานิพนธ์นี้ จะใช้สำหรับการสร้างเป็นวงจรรวมสัญญาณ ซึ่งประกอบด้วยมอสทรานซิสเตอร์ชนิด N 2 ตัว ดังรูปที่ ก11 โดยทรานซิสเตอร์ทั้งคู่จะทำงานในย่านอิ่มตัว



รูปที่ ก11 วงจรอินเวอร์เตอร์แบบมอสทรานซิสเตอร์ชนิด N

การวิเคราะห์หาค่าการตอบสนองทางความถี่สามารถกระทำได้ โดยแบ่งเป็น 2 ส่วนเนื่องจากวงจรมีอินพุต 2 อินพุต โดยใช้แบบจำลองสัญญาณขนาดเล็กที่รูปที่ ก12 และ ก13 แสดงแบบจำลองเมื่ออินพุตเป็น V_A และ V_B ตามลำดับ

กรณีที่มีอินพุตเป็น V_A



รูปที่ ก12 แบบจำลองสัญญาณขนาดเล็กวงจรรูปที่ ก9 เมื่ออินพุตเป็น V_A

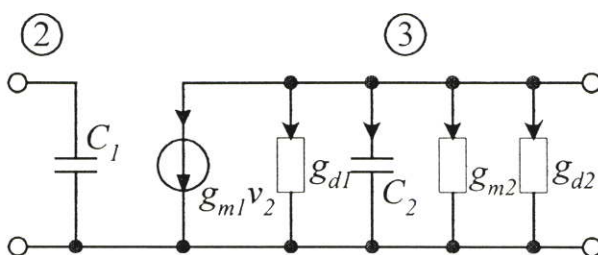
จากรูปที่ ก12 สามารถเขียนสมการในรูปกระแส KCL ที่โหนด 1 ได้เป็น

$$(v_1 - v_3)sC_2 + g_{m2}(v_1 - v_3) = v_3(g_{d2} + g_{d1}) \tag{ก29}$$

เนื่องจาก $g_m \gg g_d$ ดังนั้น $v_1(g_{m2} + sC_2) = v_3(g_{m2} + sC_2)$ (ก30)

$$\frac{v_3(s)}{v_1(s)} \approx 1 \tag{ก31}$$

กรณีที่มีอินพุตเป็น V_B



รูปที่ ก13 แบบจำลองสัญญาณขนาดเล็กวจรรูปที่ ก9 เมื่ออินพุตเป็น เป็น V_B

จากรูปที่ ก13 สามารถเขียนสมการในรูปกระแส KCL ที่โหนด 2 ได้เป็น

$$v_3(g_{m2} + g_{d1} + g_{d2} + sC_2) + v_2 g_{m1} = 0 \quad (\text{ก32})$$

เนื่องจาก $g_m \gg g_d$ ดังนั้น

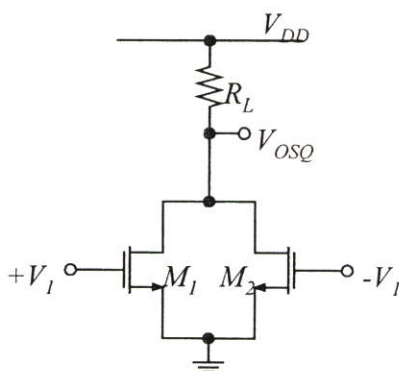
$$\frac{v_3(s)}{v_2(s)} \approx \frac{-g_{m1}}{g_{m2} + sC_2} \quad (\text{ก33})$$

$$f_{-3dB} \approx \frac{g_{m2}}{2\pi C_2} \quad (\text{ก34})$$

ค่าของการตอบสนองทางความถี่ของวงจรรินเวอร์เตอร์จะประมาณค่าได้ตามสมการที่ (ก34)

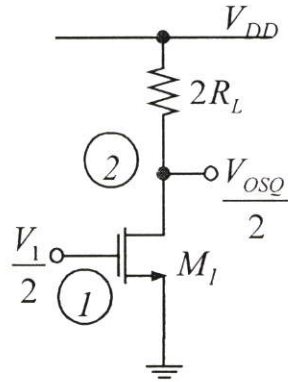
ก6 วงจรผลต่างกำลังสอง (Differential Squaring Circuit)

วงจรมผลต่างกำลังสองในวิทยานิพนธ์นี้ ประกอบด้วยทรานซิสเตอร์ 4 ตัว ทำงานในย่านอิมิตัว มีโครงสร้างเป็นแบบสมมาตรกัน เราสามารถแบ่งครึ่ง (Half Circuit) เพื่อใช้ในการวิเคราะห์การตอบสนองทางความถี่ได้ดังรูปที่ ก14



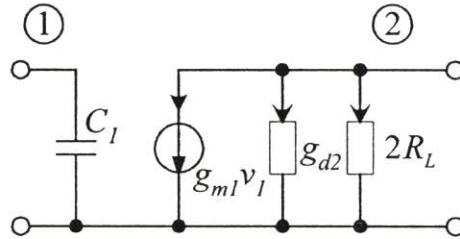
รูปที่ ก14 วงจรผลต่างกำลังสองครึ่งวงจ

เมื่อพิจารณาจากรูปที่ ก14 แล้วปรากฏว่าวงจรเป็นแบบสมมาตรเหมือนกับที่ได้แบ่งวงจรไป แล้ว ดังนั้นสามารถแบ่งรูปที่ ก14 เพียงครึ่งเดียวดังรูปที่ ก15



รูปที่ ก15 วงจรผลต่างกำลังสองครึ่งวงจรของรูปที่ ก6.1

การวิเคราะห์หาค่าการตอบสนองทางความถี่ที่สามารถทำได้ โดยใช้แบบจำลองสัญญาณขนาดเล็กรูปที่ ก16



รูปที่ ก16 แบบจำลองสัญญาณขนาดเล็กวงจรรูปที่ ก16

จากรูปที่ ก16 สามารถเขียนสมการในรูปกระแส KCL ที่โหนด 2 ได้เป็น

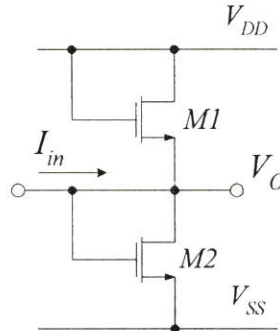
$$v_2(g_{d2} + 2R_L) + v_1g_{m1} = 0 \tag{ก35}$$

$$\frac{v_2(s)}{v_1(s)} = \frac{-g_{m1}}{g_{d2} + 2R_L} \tag{ก36}$$

จากสมการที่ (ก36) บอกได้ว่าวงจรกำลังสองนี้มีการตอบสนองทางความถี่ที่สูงมาก

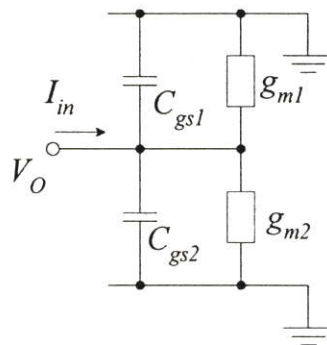
ก7. วงจรส่งผ่านความต้านทานอิล็กทรอนิกส์ (Transresistor)

วงจรส่งผ่านความต้านทานที่ใช้ในวิทยานิพนธ์นี้เป็นวงจรที่มีอินพุตเป็นกระแส และให้อาท์พุทเป็นแรงดัน สร้างขึ้นด้วยทรานซิสเตอร์ 2 ตัวดังรูปที่ ก17



รูปที่ ก17 วงจรส่งผ่านความต้านทาน

จากรูปที่ ก17 ในการพิจารณาการตอบสนองทางความถี่สามารถทำได้โดยการประมาณค่าฟังก์ชันจุดขับ (Driving Point Function) ในรูปของ Zero-Value Time Constant จากแบบจำลองขนาดเล็ก จากรูปที่ ก15 สามารถเขียนแทนด้วยแบบจำลองสัญญาณขนาดเล็กได้ดังรูปที่ ก18



รูปที่ ก18 แบบจำลองสัญญาณขนาดเล็กจากรูปที่ ก17

จากรูปที่ ก18 สามารถเขียนสมการ Zero-Value Time Constant ที่จุดขับ V_O และ I_m ได้เป็น

$$T_{01} \approx g_{m1} + g_{m2} + s(C_{gs1} + C_{gs2}) \quad (ก37)$$

วงจรรูปที่ ก18 นั้นโดยปกติแล้วทรานซิสเตอร์ M1 และ M2 จะมีค่าสมพจน์กันทุกประการ ซึ่งก็จะเป็นผลให้ $g_{m1} = g_{m2}$ และ $C_{gs1} = C_{gs2}$ ซึ่งจะทำให้ค่าของการตอบสนองทางความถี่มีค่าประมาณ

$$f_{-3dB} \approx \frac{g_m}{2\pi C_{gs}} \quad (ก38)$$

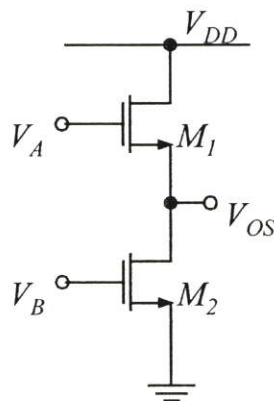
ภาคผนวก ข

การวิเคราะห์สมรรถนะของวงจรคูณสัญญาณอนาล็อก 4 ควอดแดรนต์แบบซีมอส โดยใช้ไฟเลี้ยงเดียว

ข1 การวิเคราะห์ทรานซิสเตอร์วงจรวจร NMOS อินเวอร์เตอร์

จากรูปที่ ข1 ทรานซิสเตอร์ M_1 และ M_2 ของวงจรวจร NMOS อินเวอร์เตอร์ จะต้องทำงานในย่านอิ่มตัว (Saturation Region) ทั้งคู่จึงจะทำให้สมการของแรงดันเอาต์พุตเป็นสมการที่ (4.5) ซึ่งสามารถอธิบายได้ด้วยสมการที่ (ข1) จึงสามารถบอกย่านอินพุตปฏิบัติของ V_A ซึ่งจะต้องมีค่าน้อยกว่าแรงดันไฟเลี้ยง (Power Supply) ลบกับแรงดันเทรชโฮลด์ (Threshold Voltage) และ สามารถเขียนเป็นสมการได้คือ

$$V_A \leq V_{DD} + V_{TN} \quad (\text{ข1})$$



รูปที่ ข1 วงจรวจรอินเวอร์เตอร์แบบมอสทรานซิสเตอร์ชนิด N

จากสมการที่ (ข1.1) V_A จะถูกกำหนดด้วย $V_{DD} + V_{TN}$ จึงสามารถบอกได้ว่าการป้อนสัญญาณอินพุต V_A ที่จุดนี้จะไม่มีปัญหาในการทำให้ทรานซิสเตอร์อิ่มตัว แต่ปัญหาที่เกิดขึ้นจะอยู่ที่ทรานซิสเตอร์ M_2 โดยที่แรงดัน V_B จะต้องมากกว่าแรงดันเทรชโฮลด์ (Threshold Voltage) และ สามารถเขียนเป็นขั้นตอนสมการได้ดังนี้

$$(V_B - V_{TN}) \leq V_{OS} \quad (\text{ข2})$$

เงื่อนไขของทรานซิสเตอร์ที่ทำงานในย่านอิ่มตัว $V_B > V_{TN}$ และ เงื่อนไขที่ยอมรับได้ต่ำที่สุดของแรงดันเอาต์พุตคือ $(V_B - V_{TN}) = V_{OS}$ โดยขณะเดียวกัน $V_{OS} = V_{TN}$ ทั้งนี้เพื่อป้อนเป็นอินพุตให้

กับวงจรกำลังสอง คือ แรงดันอินพุต V_B จะมีค่ามากกว่าแรงดัน V_{TN} เสมอ ซึ่งสามารถเขียนเป็นสมการได้คือ

$$V_B > V_{TN} \quad (ข3)$$

จากสมการที่ (ข4) แรงดันอินพุต V_B จะต้องมีความสูงกว่าสองเท่าของแรงดันเทรชโฮลด์ ซึ่งสามารถทำได้โดยใช้วงจรเลื่อนระดับแรงดันเดิมซึ่งมีค่าต่ำกว่าแรงดันเทรชโฮลด์ ให้มีค่าสูงกว่าแรงดันเทรชโฮลด์ซึ่งจะกล่าวถึงต่อไป

ข2 การวิเคราะห์หาค่าแรงดันอินพุตปฏิบัติงาน และ ค่ากระแสไบอัส

ในการวิเคราะห์หาค่าแรงดันอินพุตปฏิบัติงานของวงจรคุณลักษณะคุณลักษณะนี้ สามารถทำการ วิเคราะห์ได้โดยวิเคราะห์จากแรงดันเอาต์พุตของวงจรรวมสัญญาณ ซึ่งจากวงจรรวมสัญญาณที่สมการที่ (4.8) และ (4.9) ซึ่งเมื่อแรงดัน $V_A = V_B$ แรงดันเอาต์พุตจะมีค่าเป็นครึ่งหนึ่งของแรงดันไฟเลี้ยงซึ่ง V_{OS1} จะมีค่าเท่ากับ

$$V_{OS1} = \frac{V_{DD}}{2} + \left(\frac{V_A - V_B}{2} \right) \geq V_{TN} \quad (ข4)$$

ซึ่งสามารถใช้สมการที่ (4.8) หรือ (4.9) เมื่อแรงดันเอาต์พุตมีต่ำสุดแรงดันอินพุตทั้งสองจะมีค่า $V_A|_{min} = V_B|_{max}$ ซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$\frac{V_{DD}}{2} - V_B \geq V_{TN} \quad \text{หรือ} \quad \frac{V_{DD}}{2} - V_{TN} \geq V_B \quad (ข5)$$

โดยที่ V_A และ V_B จะเป็นอินพุตที่มีความสมมาตรกันทุกประการ อาจเขียนได้ว่า

$$\frac{V_{DD}}{2} - V_{TN} \geq (V_A, V_B) \geq V_{TN} - \frac{V_{DD}}{2} \quad (ข6)$$

ซึ่งถ้า $V_{DD} = 5$ โวลต์ และ $V_{TN} = 1.07$ โวลต์ สมการที่ (ข6) จะมีค่าเท่ากับ $-1.43 \leq (V_A, V_B) \leq +1.43$ จากสมการที่ (4.8) เมื่อแรงดัน $V_A = V_B$ จะทำให้แรงดันเอาต์พุตมีค่าเท่ากับ $\frac{V_{DD}}{2}$ และ เมื่อเขียนอยู่ในรูปของกระแสไบอัสจะมีค่าเท่ากับ

$$\frac{V_{DD}}{2} = \frac{\sqrt{I_{B1}} - \sqrt{I_{B2}}}{\sqrt{\beta_P}} \quad (ข7)$$

จากรูปที่ 4.4 และ สมการที่ (ข6) แรงดัน $V_B|_{\min} \approx -1.5$ แรงดันตกคร่อมขาเกต และ ซอสของทรานซิสเตอร์ M4 ต่ำสุด มีค่าเท่ากับ $V_{GS4}|_{\min} = 2V_{TN}$ หรือ เขียนอีกแบบหนึ่งได้เท่ากับ

$$V_{TN} = \frac{V_B|_{\min}}{2} + |V_{TP}| + \sqrt{\frac{I_{B2}}{\beta_P}} \quad (\text{ข8})$$

หรือ

$$I_{B2} = \beta_P \left(V_{TN} - \frac{V_B|_{\min}}{2} - |V_{TP}| \right)^2 \quad (\text{ข9})$$

และ จากสมการที่ (ข7) กระแส I_{B1} จะมีค่าเท่ากับ

$$I_{B1} = \left(\frac{V_{DD} \sqrt{\beta_P}}{2} + \sqrt{I_{B2}} \right)^2 \quad (\text{ข10})$$

เมื่อแทนค่าตัวแปรต่างๆ ดังนี้ $V_B|_{\min} \approx -1.5$, $V_{TN} = 1.07$ โวลท์, $V_{TP} = -0.8$ โวลท์, $V_{DD} = 5$ โวลท์ และ $\beta_P = \frac{\mu_P C_{OX}}{2} \left(\frac{W}{L} \right) = 8.26 \mu A/V^2$ ลงในสมการที่ (ข9) และ (ข10) จะได้กระแส I_{B1} และ I_{B2} ประมาณ $117.4 \mu A$ และ $25.88 \mu A$ ตามลำดับ

ข3 ผลกระทบอันดับสอง (Second-Order Effect) และ ประสิทธิภาพต่ออุณหภูมิ (Temperature Performance)

ในการทำงานของวงจรรkundस्थ्यฎาณที่นำเสนอในวิทยานิพนธ์นี้ สามารถที่จะไม่พิจารณาผลกระทบอันดับสองของบางตัวเช่น ผลกระทบของฐานรอง (Body Effect) โดยทรานซิสเตอร์ตัวที่อาจทำให้เกิด Body Effect ก็คือ M3, M7, M10 และ M14 เนื่องจากการสร้างวงจรรวมจะทำโดยกระบวนการ CMOS โดยใช้แบบ p-wells โดยที่ขาซอสของทรานซิสเตอร์ชนิด NMOS ทุกตัวนั้น จะต่อร่วมกับ p-wells ของตัวเอง และ ที่ขาซอสของทรานซิสเตอร์ชนิด PMOS ทุกตัวนั้นจะต่อร่วมกับ Substrate ของตัวมันเอง จึงทำให้ไม่มีผลกระทบของฐานรอง (Body Effect) และ ผลกระทบทางความยาวของแชนแนล (Channel Length Modulation) เพราะในการใช้แชนแนลยาว (Long Channel) หรือ $L > 8 \mu m$ [2] จะสามารถไม่พิจารณาผลกระทบทั้งสองนี้ได้ ส่วนในการพิจารณาผลกระทบอันดับสองที่สำคัญจะมีอยู่ 2 หัวข้อด้วยกัน คือ 1. การไม่สมพงษ์กันของอุปกรณ์ (Component Mismatch) และ 2. การลดลงของค่าความคล่อง (Degradation Mobility)

ข3.1 การไม่สมพงษ์กันของอุปกรณ์ (Component Mismatch)

การไม่สมพงษ์กันของอุปกรณ์ที่สามารถนำมาพิจารณาได้นั้น มีอยู่ด้วยกัน 2 ค่าคือ ค่าของความต้านทานโหลด (R_L) ไม่สมพงษ์กัน ซึ่งใช้สัญลักษณ์ ΔR_L และ ค่าขนาดแชนแนล $(W/L)_1$ และ $(W/L)_2$ (Aspect Ratio) ของ วงจรรวมสัญญาณไม่สมพงษ์กัน ซึ่งมีค่าเท่ากับ

$$V_O = \frac{\mu C_{OX} R_L}{2} \left(\frac{W}{L}\right)_3 \left[-V_A^2 + 2V_A V_B \sqrt{\frac{(W/L)_2}{(W/L)_1}} - V_B^2 \left(\frac{(W/L)_2}{(W/L)_1}\right) + V_A^2 + 2V_A V_B \sqrt{\frac{(W/L)_2}{(W/L)_1}} + V_B^2 \left(\frac{(W/L)_2}{(W/L)_1}\right) \right] \quad (ข11)$$

$$V_O = \mu C_{OX} R_L \left(\frac{W}{L}\right)_3 \sqrt{\frac{(W/L)_2}{(W/L)_1}} V_A V_B \quad (ข12)$$

จากสมการที่ (ข12) แสดงให้เห็นว่าค่าความต่างกันของแชนแนล $(W/L)_1$ และ $(W/L)_2$ ของ วงจรรวมสัญญาณจะไม่มีผลต่อวงจรต่อค่าความผิดพลาดของเอาต์พุต แต่จะมีผลต่ออัตราขยายเท่านั้น ส่วนความไม่สมพงษ์กันของค่าของความต้านทานโหลด (R_L) มีค่าเท่ากับ

$$V_O = V_{O1} - V_{O2} = V_{DD} - \frac{\mu C_{OX} R_{L1}}{2} \left(\frac{W}{L}\right)_3 \left[\frac{V_A^2}{2} - \sqrt{\frac{(W/L)_2}{(W/L)_1}} V_A V_B + \frac{V_B^2}{2} \right] - V_{DD} + \frac{\mu C_{OX} R_{L2}}{2} \left(\frac{W}{L}\right)_3 \left[\frac{V_A^2}{2} + \sqrt{\frac{(W/L)_2}{(W/L)_1}} V_A V_B + \frac{V_B^2}{2} \right] \quad (ข13)$$

$$V_O = \mu C_{OX} R_L \left(\frac{W}{L}\right)_3 \sqrt{\frac{(W/L)_2}{(W/L)_1}} V_A V_B - \frac{\mu C_{OX}}{2} \left(\frac{W}{L}\right)_3 (V_A^2 + V_B^2) \Delta R_L \quad (ข14)$$

จากสมการที่ (ข14) เป็นอัตราการผิดพลาดของความต้านทานโหลด R_L ภายนอก ซึ่งจะมีค่าประมาณ 1% จะได้ค่าแรงดันเอาต์พุตจะมีค่าผิดพลาดประมาณ 1% ซึ่งก็สรุปได้ว่าค่าผิดพลาดที่มีผลต่อวงจรคือค่าของความต้านทานโหลดภายนอกนั่นเอง

ข3.2 การลดลงของค่าความคล่อง (Degradation Mobility)

การลดลงของค่าความคล่องของมอสทรานซิสเตอร์ ถ้าอยู่ในรูปของการต่อต้านของสนามไฟฟ้า (Transverse Electric Field) โดยเกิดจากแรงดันที่ขากเขตดกรวมที่ Depletion Layer สามารถเขียนเป็นสมการได้ดังนี้ [12]

$$\mu = \frac{\mu_0}{1 + \theta(v_{GS} - V_T)} \quad (\text{ข15})$$

โดยที่ μ_0 = ค่าความคล่องขณะสนามไฟฟ้าเป็นศูนย์ (Zero Field Mobility)
 $\theta = 1/(t_{OX} \cdot E_{cr})$
 t_{OX} = ค่าความหนาของออกไซด์ (Oxide Thickness)
 E_{cr} = สนามไฟฟ้าวิกฤต (Critical Field)

ค่าตัวแปรการลดลงของความคล่อง (θ) จะขึ้นอยู่กับกระบวนการผลิต ซึ่งอาจจะอยู่ในช่วงระหว่าง 0.01 ถึง 0.25 V^{-1} ซึ่งสมการที่ (ข15) สามารถเขียนให้อยู่ในรูปของอนุกรมเทย์เลอร์ได้เป็น

$$I_D = \frac{\mu_0 C_{OX}}{2} \left(\frac{W}{L}\right) (V_{GS} - V_T)^2 \left[1 - \theta(V_{GS} - V_T) + \theta^2(V_{GS} - V_T)^2 - \theta^3(V_{GS} - V_T)^3 + \dots\right] \quad (\text{ข16})$$

เนื่องจาก $\theta(V_{GS} - V_T) < 1$ โดยสมการที่ (ข16) จะพิจารณาเพียงค่าอันดับ 3 เพราะค่าของอันดับที่สูงกว่าจะมีค่าเข้าใกล้ศูนย์ และ จากสมการที่ (4.17) แรงดันเอ๊าท์พุทจะมีค่าผิดพลาดอันเกิดจากการลดลงของความคล่องซึ่งจะมีค่าเท่ากับ

$$V_O = \frac{\mu_0 C_{OX} R_L}{2} \left(\frac{W}{L}\right)_3 \left(\frac{W/L}{L}\right)_2 \left[\frac{(W/L)_2}{(W/L)_1}\right] \left[2V_A V_B - \theta(3V_A^2 V_B + V_B^3) + 4\theta^2(V_A^3 V_B + V_A V_B^3) - \theta^3(10V_A^2 V_B^3 + 4V_A^4 V_B + V_A^3 V_B + V_B^5)\right] \quad (\text{ข17})$$

ค่าความเพี้ยนรวมทางฮาร์โมนิกโดยประมาณจะมีค่าประมาณ $THD \approx HD_3 = \frac{|a_3|}{|a_1|}$ ซึ่งมีค่าเท่ากับ

$$THD \approx \frac{\theta^2(10V_A^2 V_B^2 + 4V_A^4 + V_A^3 + V_B^4)}{3V_A^2 + V_B^2} \quad (\text{ข18})$$

ข3.3 การแปรผันตามอุณหภูมิ (Temperature Dependence)

ในส่วนของการแปรผันตามอุณหภูมิของมอสทรานซิสเตอร์ในวงจรร้านอนาล็อกนั้น จะมีการแปรผันตามอุณหภูมิที่สำคัญ และ ต้องพิจารณาอยู่ 2 ตัวด้วยกันคือ การแปรผันตามอุณหภูมิของค่าความคล่อง (μ) และ แรงดันเทรชโฮลด์ (V_T) [4] โดยการแปรผันตามอุณหภูมิของค่าความคล่องเท่ากับ

$$\mu(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-k_3} \quad (ข19)$$

โดยที่ T = อุณหภูมิจริงขณะนั้น (Absolute Temperature) และ T_r = อุณหภูมิห้อง (Room Temperature) k_3 เป็นค่าคงที่มีค่าระหว่าง 1.5 ถึง 2 และ เมื่อมีอุณหภูมิรอบ ๆ ห้องเปลี่ยนไป 10 องศา ขณะที่ k_3 มีค่าเท่ากับ 1.5 แรงดันเอาท์พุทในสมการที่ (4.17) จะมีค่าเปลี่ยนแปลงระหว่าง 5.64 ถึง 6.32% ซึ่งผลของค่าความคล่องที่เปลี่ยนไปจากค่าอุณหภูมิที่เปลี่ยนไป จะสามารถทำให้หายไปได้โดยการเพิ่มวงจรทางเอาท์พุทให้เป็นกระแสแบบ Single-End โดยเพิ่มวงจรเปลี่ยนกระแสเป็นแรงดัน และ วงจรสะท้อนกระแส ซึ่งจะทำให้แรงดันเอาท์พุทจะไม่เปลี่ยนแปลงในเชิงของค่าความคล่อง

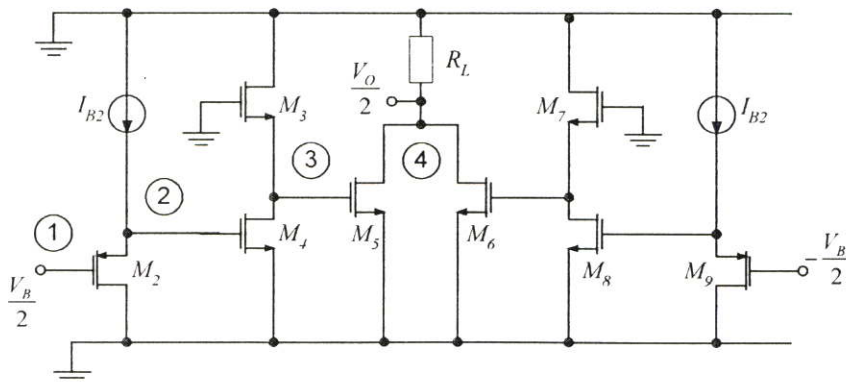
ส่วนในกรณีของผลการแปรผันตามอุณหภูมิของแรงดันเทรชโฮลด์ (V_T) นั้นจะมีค่าเท่ากับ

$$V_T(T) = V_T(T_r) - k_4(T - T_r) \quad (ข20)$$

โดยที่ k_4 เป็นค่าคงที่มีค่าระหว่าง 0.5 mV/K ถึง 4 mV/K และ เมื่อมีอุณหภูมิรอบ ๆ ห้องเปลี่ยนไป 10 องศา ขณะที่ k_4 มีค่าเท่ากับ 1.7 mV/K แรงดันเทรชโฮลด์จะมีค่าเปลี่ยนไป 17 mV หรือ มีค่าเปลี่ยนแปลงเท่ากับ 1.58% ในกรณีเปลี่ยนแปลงของแรงดันเทรชโฮลด์จะไม่มีผลต่อแรงดันเอาท์พุทเลยแต่จะมีผลต่อย่านแรงดันอินพุทปฏิบัติงาน จากสมการที่ (ข6) จะมีค่าเปลี่ยนแปลงไป 8.5 mV หรือ มีค่าเปลี่ยนแปลงเท่ากับ 1.203% เมื่อ $V_{TN} = 1.07$ โวลท์ และ $V_{DD} = 5$ โวลท์

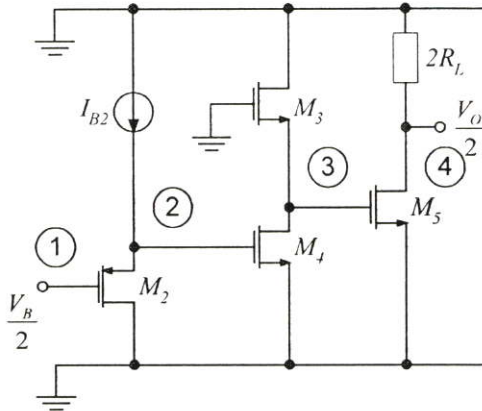
ข4 การตอบสนองทางความถี่

จากวงจรคุณสมบัติสัญญาณในวิทยานิพนธ์นี้ โครงสร้างของวงจรจะเป็นแบบสมมาตร ในการวิเคราะห์โดยวิธีการใช้แบบจำลองสัญญาณขนาดเล็ก นั้นจะสามารถใช้หลักการแบ่งครึ่งวงจรได้ [1], [8] โดยจาก รูปวงจรคุณสมบัติแบบสมมาตรดังรูปที่ 4.7 โดยพิจารณาเพียงอินพุทเดียวคือ V_B และ สามารถเขียนวงจรใหม่เพื่อใช้วิเคราะห์ได้เป็น



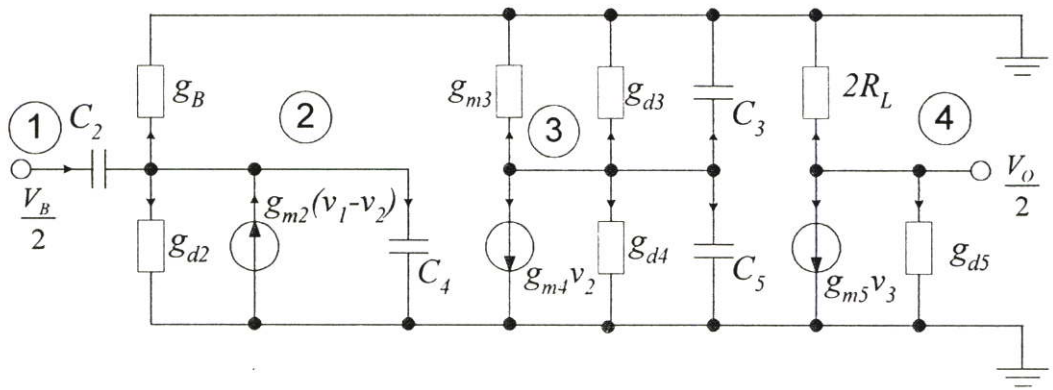
รูปที่ ข2 วงจรคุณสมบัติที่ได้จากทำกระบวนการแบ่งครึ่ง (Half Circuit)

พิจารณาจากรูปที่ ข2 จะเห็นว่าวงจรรูปที่ ข2 มีการทับซ้อนกันได้พอดี และ เมื่อเกิดการทับซ้อนด้านซ้ายและขวา ก็จะเหมือนกับการขนานกันของวงจрд้านซ้าย และ ขวา จึงสามารถนำมาวิเคราะห์เพียงด้านเดียวดังรูปที่ ข3

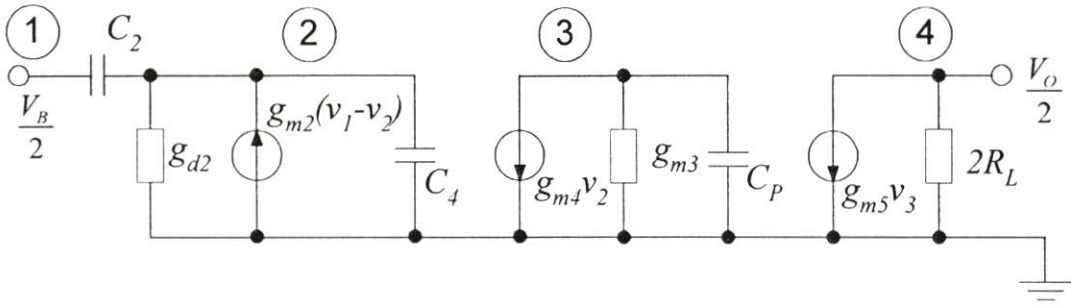


รูปที่ ข3 วงจรคุณสมบัติที่ใช้ในการวิเคราะห์โดยแบบจำลองสัญญาณขนาดเล็ก

จากวงจรรูปที่ ข3 สามารถเขียนในรูปของแบบจำลองสัญญาณขนาดเล็กได้ดังรูปที่ ข4 โดยที่ $C_i = C_{gsi}$ และ $g_{di} = g_{dsi}$ และ เพื่อให้ง่ายต่อการประมาณค่าเราจึงสามารถปรับลดอุปกรณ์บางตัว และ ปรับรูปที่ ข4.3 ใหม่เป็นดังรูปที่ ข4.4 ด้วยเงื่อนไข $g_{di} \ll g_{mi}$ และ $g_{d5} \ll 1/2R_L$ และ $C_p = C_3 + C_5$



รูปที่ ข4 แบบจำลองสัญญาณขนาดเล็กของวงจรูปที่ ข3



รูปที่ ข5 แบบจำลองสัญญาณขนาดเล็กของรูป ข4 แบบลดรูป

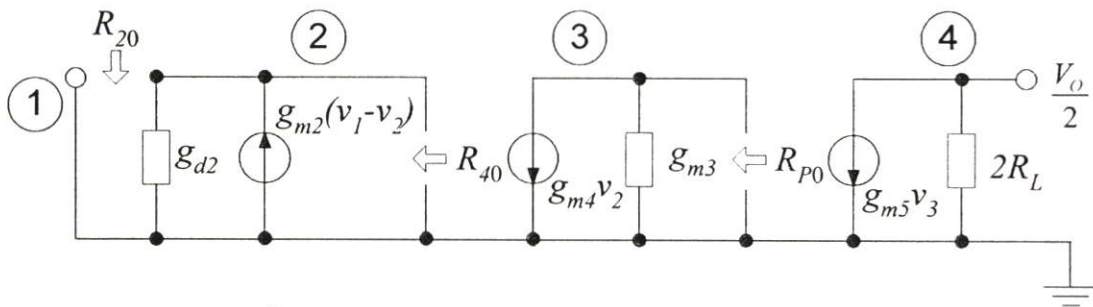
เพื่อการคำนวณหาค่าการตอบสนองทางความถี่ของแบบจำลองสัญญาณขนาดเล็กรูปที่ ข5 สามารถทำได้โดยใช้วิธี Zero-Value Time Constant Analysis [41] โดยจะพิจารณาค่า Time Constant จากตำแหน่งที่ตัวเก็บประจุต่ออยู่ แล้วนำค่า Time Constant มารวมเพื่อหาค่าการตอบสนองทางความถี่ ค่าของ Zero-Value Time Constant รวมจะมีค่าเท่ากับ

$$b_1 = \sum T_0 \quad (\text{ข21})$$

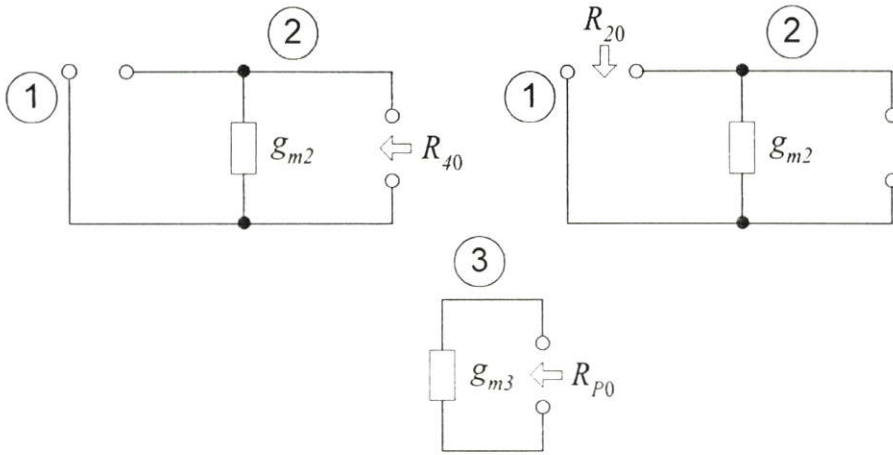
และ

$$\omega_{-3dB} \approx \frac{1}{\sum T_0} \quad (\text{ข22})$$

ค่าของ Time Constant แต่ละค่าจะได้มาจากการให้ค่าตัวเก็บประจุมีค่าเท่ากับ 0 และคำนวณหาค่าความต้านทานที่จุดขับ (Driving-Point) นั้นๆ



รูปที่ ข6 แบบจำลองสัญญาณขนาดเล็กที่ใช้สำหรับหาค่าความต้านทานจุดขับศูนย์



รูปที่ ข7 ความต้านทานที่จุดขั้วต่างๆ ทั้ง 3 จุด

NAME	M1	M2	M3	M4	M5
MODEL	PMOS1	PMOS1	NMOS1	NMOS1	NMOS1
ID	-9.00E-05	-8.00E-06	1.41E-05	1.41E-05	3.49E-04
VGS	-4.06E+00	-1.67E+00	1.68E+00	1.67E+00	3.12E+00
VDS	-4.81E+00	-1.67E+00	1.88E+00	3.12E+00	4.61E+00
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
VTH	-8.13E-01	-8.17E-01	1.10E+00	1.09E+00	1.09E+00
VDSAT	-2.07E+00	-5.41E-01	4.43E-01	4.39E-01	1.43E+00
GM	5.12E-05	1.62E-05	4.24E-05	4.28E-05	3.21E-04
GDS	8.42E-07	1.60E-07	3.34E-07	2.53E-07	4.34E-06
GMB	2.36E-05	1.01E-05	1.52E-05	1.53E-05	8.90E-05
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	7.00E-15	7.00E-15	5.40E-15	5.40E-15	1.35E-14
CGDOV	7.00E-15	7.00E-15	5.40E-15	5.40E-15	1.35E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	9.94E-14	9.94E-14	1.02E-13	1.02E-13	2.54E-13
CGD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00

รูปที่ ข8 ค่าตัวแปรต่างๆ ของวงจรรkundสัญญาณ

จากรูปที่ ข8 เราสามารถหาค่าความต้านทานที่จุดขั้วต่างๆ ซึ่งมีทั้งหมด 3 จุด โดยค่าความต้านทานจุดขั้วศูนย์ (Zero-Value Resistance) จะมีค่าเท่ากับ $R_{40} = \frac{1}{g_{m2}}$, $R_{20} = \frac{1}{g_{m2}}$ และ $R_{p0} = \frac{1}{g_{m3}}$ ดังนั้นค่า Zero-Value Time Constant รวมจะมีค่าเท่ากับ

$$\sum T_0 = b_1 = \frac{C_2}{g_{m2}} + \frac{C_4}{g_{m2}} + \frac{C_p}{g_{m3}} \quad (\text{ข23})$$

จากสมการที่ (ข23) เราสามารถประมาณค่าการตอบสนองทางความถี่ของวงจรรkundสัญญาณในวิธานิพจน์นี้ โดยแทนค่าจากตัวแปรของทรานซิสเตอร์ดังรูปที่ ข4.7 จะได้เป็น

$$f_{-3dB} \approx \frac{1}{2\pi b_1} \approx \frac{g_{m2}g_{m3}}{2\pi[g_{m3}(C_2 + C_4) + g_{m2}(C_3 + C_5)]} \quad (\text{ข24})$$

$$\approx \frac{(1.62 \times 10^{-5})(4.24 \times 10^{-5})}{2\pi[(4.24 \times 10^{-5})(2.014 \times 10^{-13}) + (1.62 \times 10^{-5})(3.56 \times 10^{-13})]}$$

$$\approx 7.64 \text{ MHz} \quad (\text{ข25})$$

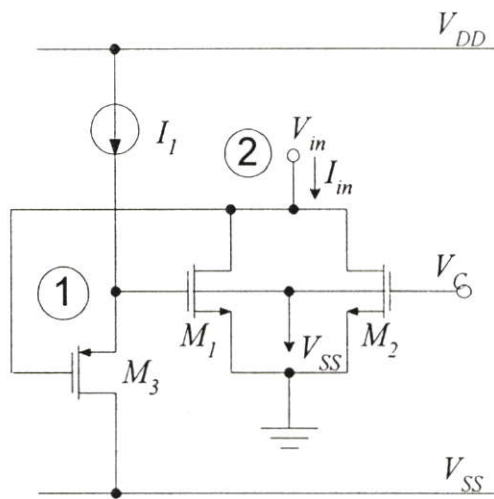
จะเห็นได้ว่าค่าของการตอบสนองทางความถี่ที่ได้จากสมการที่ (ข25) มีค่าใกล้เคียงกับผลการเลียนแบบการทำงานด้วย PSpice ในบทที่ 4

ภาคผนวก ค

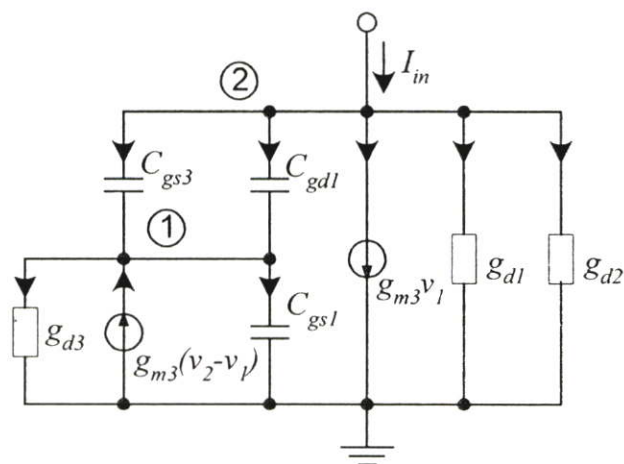
การวิเคราะห์สมรรถนะของวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน

ค1 การวิเคราะห์หาค่าการตอบสนองทางความถี่

ในการวิเคราะห์หาค่าการตอบสนองทางความถี่ของวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดันในวิทยานิพนธ์นี้ สามารถทำได้โดยการใช้แบบจำลองสัญญาณขนาดเล็กของทั้งวงจรจากรูปที่ ค1.1



รูปที่ ค1 วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน



รูปที่ ค2 แบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ค1

จากวงจรรูปที่ ค1 สามารถเขียนในรูปของแบบจำลองสัญญาณขนาดเล็กกรณีของมอสทรานซิสเตอร์ไม่โอ้มิตัวได้เป็นดังรูปที่ ค2

จากรูปที่ ค2 สามารถวิเคราะห์หาค่าการตอบสนองทางความถี่ได้ โดยแบ่งการพิจารณาเป็น 2 ส่วน ในส่วนแรกคือ การวิเคราะห์ฟังก์ชันการส่งผ่านของวงจรเลื่อนระดับแรงดัน และ ส่วนที่สองคือ วิเคราะห์ฟังก์ชันจุดขับ (Driving Point Function) และ พิจารณาค่าโพลตัวใดมีค่าต่ำที่สุด โดยวิเคราะห์วงจรรูปที่ ค2 โดยใช้ KCL สามารถเขียนสมการโหนดต่างๆได้ดังนี้

$$\text{ที่โหนด(1)} \quad g_{m3}(v_2 - v_1) + s(C_{gd1} + C_{gs3})(v_2 - v_1) = v_1(g_{d3} + sC_{gs1}) \quad (\text{ค1})$$

$$\text{ที่โหนด(2)} \quad g_{m1}v_1 + v_2(g_{d1} + g_{d2}) + (v_2 - v_1)s(C_{gd1} + C_{gs3}) = I_m \quad (\text{ค2})$$

โดยที่ $C_p = C_{gd1} + C_{gs3}$ เขียนสมการที่ (ค1) ใหม่ได้เป็น

$$v_1 \approx \frac{v_2(g_{m3} + sC_p)}{g_{m3} + g_{d3} + s(C_{gs1} + C_p)} \quad (\text{ค3})$$

$$\frac{v_2(s)}{v_1(s)} \approx \frac{g_{m3} + g_{d3} + s(C_{gs1} + C_p)}{(g_{m3} + sC_p)} \quad (\text{ค4})$$

$$|p_1| \approx \frac{g_{m3}}{C_p} \quad \text{และ} \quad |z_1| \approx \frac{g_{m3}}{C_{gs1} + C_p} \quad (\text{ค5})$$

จากสมการที่ (ค5) จะเห็นว่าค่า Pole และ Zero ใกล้เคียงกันมาก ($|p_1| \approx |z_1|$) เนื่องจากกรณีนี้ทรานซิสเตอร์ M3 ทำงานในย่านอิมิตต์วอร์คของ $g_{d3} \ll g_{m3}$ ดังนั้นค่า Pole และ Zero สามารถหักล้างกันได้ โดยสมการที่ (ค4) จึงไม่นำมาพิจารณาค่า Pole และ Zero นี้ และ เมื่อต้องการพิจารณาฟังก์ชันจุดขับที่โหนด 2 ทำได้โดยแทนสมการที่ (ค3) ใน (ค2) ได้เป็น

$$I_m \approx \frac{v_2(g_{m3} + sC_p)(g_{m1} - sC_p)}{g_{m3} + s(C_{gs1} + C_p)} + v_2(g_{d1} + g_{d2} + sC_p) \quad (\text{ค6})$$

$$\frac{v_2}{I_m} \approx \frac{g_{m3} + s(C_{gs1} + C_p)}{(g_{m3} + sC_p)(g_{m1} - sC_p) + (g_{d1} + g_{d2} + sC_p)(g_{m3} + s(C_{gs1} + C_p))} \quad (\text{ค7})$$

$$\frac{v_2(s)}{I_m(s)} \approx \frac{g_{m3} + s(C_{gs1} + C_p)}{g_{m3}(g_{m1} + g_{d1} + g_{d2}) + s(C_p g_{m1} + (C_{gs1} + C_p)(g_{d1} + g_{d2})) + s^2 C_p C_{gs1}} \quad (\text{ค8})$$

การตอบสนองทางความถี่สามารถประมาณค่าได้จาก

$$f_{-3dB} \approx \frac{1}{2\pi} \sqrt{\frac{g_{m3}(g_{m1} + g_{d1} + g_{d3})}{C_p C_{gs1}}} \quad (ค9)$$

NAME	M1	M2	M3
MODEL	NMOS1	NMOS1	PMOS1
ID	-5.00E-12	5.00E-12	-4.00E-05
VGS	6.00E+00	2.05E+00	-2.05E+00
VDS	-3.43E-08	-3.43E-08	-7.05E+00
VBS	-5.00E+00	-5.00E+00	0.00E+00
VTH	2.15E+00	2.15E+00	-8.04E-01
VDSAT	2.75E+00	3.02E-02	-7.85E-01
GM	2.29E-12	1.94E-13	5.75E-05
GDS	3.00E-04	1.96E-07	3.34E-07
GMB	3.21E-13	2.70E-14	3.33E-05
CBD	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00
CGSOV	5.40E-15	5.40E-15	1.75E-14
CGDOV	5.40E-15	5.40E-15	1.75E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00
CGS	7.61E-14	0.00E+00	2.49E-13
CGD	7.61E-14	0.00E+00	0.00E+00
CGB	0.00E+00	2.00E-14	0.00E+00

รูปที่ ค3 ค่าตัวแปรต่างๆ ของวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน

เมื่อแทนค่าตัวแปรของมอดูลทรานซิสเตอร์จากรูปที่ ค3 แทนในสมการที่ (ค9) ค่าของการตอบสนองทางความถี่จะมีค่าประมาณ

$$f_{-3dB} \approx \frac{1}{2\pi} \sqrt{\frac{5.75 \times 10^{-5} (2.29 \times 10^{-12} + 3 \times 10^{-4} + 3.34 \times 10^{-7})}{(3.25 \times 10^{-13}) (7.61 \times 10^{-14})}}$$

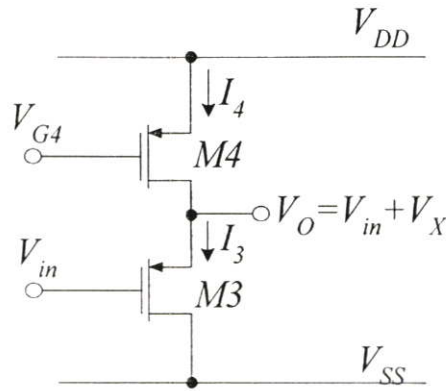
$$f_{-3dB} \approx 132.97 \text{ MHz} \quad (ค10)$$

ค2 การวิเคราะห์อินพุตปฏิบัติงานด้านบวก

วงจรเลื่อนระดับแรงดันจะสามารถเขียนแทนแหล่งจ่ายกระแส I_1 ได้ด้วยทรานซิสเตอร์ชนิด P M4 เพื่อใช้ในการวิเคราะห์อินพุตปฏิบัติงานได้ดังรูปที่ ค4

จากสมการที่ (5.7)-(5.9) ในบทที่ 5 ด้วยเงื่อนไข $V_X = \sqrt{\frac{I_1}{\beta_p}} + |V_{TP}|$ โดยจะต้องตั้งค่า V_X

ให้มีค่าเป็น $V_X > V_{TN}$ แต่ในทางปฏิบัติเพื่อที่จะให้แน่ใจว่าค่า V_X มีค่าดังที่ต้องการ และ ง่ายต่อการคำนวณนั้น อาจจะสมมุติให้มีค่าวงจรมีค่าเป็น $V_X \approx 2V_{TN}$ ดังนั้น ทรานซิสเตอร์ M4 ซึ่งทำงานในย่านอิ่มตัว และ ทำงานเป็นแหล่งจ่ายกระแสคงที่ I_1 จะอยู่ภายใต้เงื่อนไขดังนี้ $(V_{SG4} - |V_{TP}|) < V_{SD4}$ ในกรณีนี้แรงดันเอาต์พุต V_O ไม่ควรจะมากกว่า $(V_{G4} + |V_{TP}|)$ เพื่อ จะยังคงสถานะการทำงานในย่านอิ่มตัวอยู่ หรือ อาจจะเขียนเงื่อนไขนี้ได้เป็น $(V_m + V_X) < (V_{G4} + |V_{TP}|)$ โดยที่ V_{G4} จะเป็นแรงดันไบอัสที่ขาเกตเพื่อทำให้เกิดเป็นกระแส I_1 ดังสมการที่ (5.10)



รูปที่ ค4 วงจรเลื่อนระดับแรงดันที่ใช้ในการวิเคราะห์ย่านอินพุตปฏิบัติงาน

$$I_4 = \beta_P (V_{SG4} - |V_{TP}|)^2 \quad (\text{ค11})$$

โดยที่ $V_{SG4} = V_{DD} - V_{G4}$ สมการที่ (ค11) จะกลายเป็น

$$V_{G4} = V_{DD} - \sqrt{\frac{I_4}{\beta_P}} - |V_{TP}| \quad (\text{ค12})$$

ด้วยเงื่อนไขของทรานซิสเตอร์ย่านอิมิต์สามารถบอกราค่าของย่านอินพุตปฏิบัติงานด้านบวก จะมีค่าเป็น

$$V_m < \left(V_{DD} - 2\sqrt{\frac{I_4}{\beta_P}} - |V_{TP}| \right) \quad (\text{ค13ก})$$

หรือ เขียนในรูปของ V_X จะมีค่าเป็น

$$V_m < (V_{DD} - 2V_X + |V_{TP}|) \quad (\text{ค13ข})$$

ค3 การวิเคราะห์อินพุตปฏิบัติงานด้านลบ

จากวงจรเลื่อนระดับแรงดันรูปที่ ค4 ทรานซิสเตอร์ M3 จะทำงานในย่านอิมิต์ ซึ่งอยู่ในเงื่อนไข $(V_{SG3} - |V_{TP}|) < V_{SD3}$ หรือ สามารถเขียนสมการเงื่อนไขการทำงานได้เป็น

$$(V_{S3} - V_{G3} - |V_{TP}|) < (V_{S3} - V_{D3}) \quad (\text{ค14})$$

โดยที่ $V_{G3} = V_m$ และ $V_{D3} = V_{SS}$ ดังนั้น

$$V_m > V_{SS} - |V_{TP}| \quad (ค15)$$

จากสมการที่ (ค13ข) และ (ค15) สามารถเขียนเป็นย่านอินพุตปฏิบัติงานของวงจรได้เป็น

$$(V_{SS} - |V_{TP}|) < V_m < (V_{DD} - 2V_X + |V_{TP}|) \quad (ค16)$$

เมื่อแทนค่าตัวแปรที่เกี่ยวข้องลงไปในสมการที่ (ค16) โดยกำหนดให้ $V_X = V_{TN} = 1.07$, $V_{SS} = -5$, $|V_{TP}| = 0.8$, $V_{DD} = -V_{SS} = 5$ ค่าของช่วงอินพุตปฏิบัติงานจะมีค่าเท่ากับ

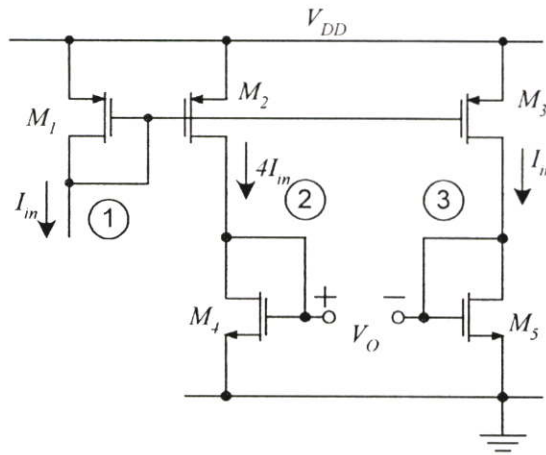
$$-5.8 < V_m < +3.66 \quad (ค17)$$

ภาคผนวก ง

การวิเคราะห์สมรรถนะของวงจรถอดรากที่สอง

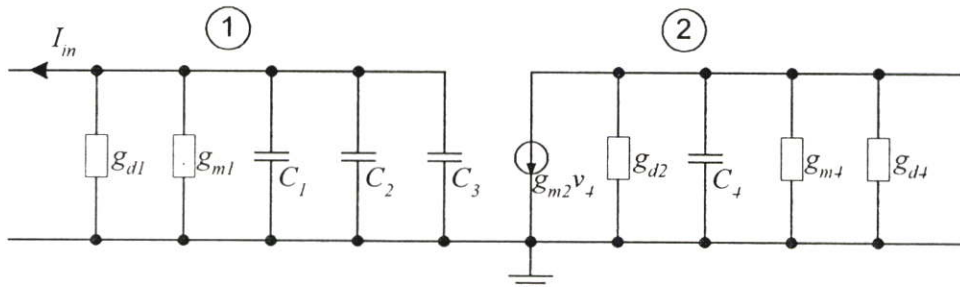
ง1 การวิเคราะห์หาค่าการตอบสนองทางความถี่

เนื่องจากวงจรถอดรากที่สองในวิทยานิพนธ์นี้ ใช้หลักการของวงจรสะท้อนกระแสแบบมอสทรานซิสเตอร์เป็นหลัก การวิเคราะห์หาค่าการตอบสนองทางความถี่ของวงจรถอดรากที่สองในวิทยานิพนธ์นี้ สามารถทำได้โดยการใช้แบบจำลองสัญญาณขนาดเล็กของทั้งวงจรถอดรากที่สองที่ ง1



รูปที่ ง1 วงจรถอดรากที่สอง

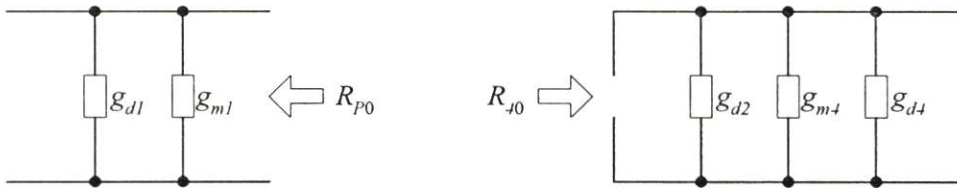
จากวงจรถอดรากที่สองที่ ง1 ที่โหนด 2 และ โหนด 3 มีความใกล้เคียงกันมากเมื่อเขียนเป็นแบบจำลองขนาดเล็กในการประมาณค่าการตอบสนองทางความถี่ ซึ่งสามารถพิจารณาเพียงโหนด 2 อย่างเดียวก็เพียงพอจึงสามารถเขียนแบบจำลองสัญญาณขนาดเล็กของวงจรถอดรากที่สองที่ ง1 เพื่อใช้วิเคราะห์ค่าการตอบสนองทางความถี่ได้เป็นดังรูปที่ ง2



รูปที่ ง2 แบบจำลองสัญญาณขนาดเล็กของวงจรถอดรากที่สอง

โดยที่ $C_i = C_{gsi}$ การประมาณค่าการตอบสนองทางความถี่ สามารถกระทำได้โดยใช้หลักการของ Zero-Value Time Constant Analysis [41] จะพิจารณาค่า Time Constant จากตำแหน่งที่ตัวเก็บประจุต่ออยู่ แล้วนำค่า Time Constant มารวมเพื่อหาค่าการตอบสนองทางความถี่ โดยที่ค่าความต้านทานที่จุดขับต่างๆ ซึ่งมีทั้งหมด 2 จุด ดังรูปที่ 3 ซึ่งค่าความต้านทานจุดขับศูนย์ (Zero-Value Resistance) จะมีค่าเท่ากับ $R_{p0} \approx \frac{1}{g_{m1}}$, $R_{40} \approx \frac{1}{g_{m4}}$ โดยที่ และ $g_m \gg g_d$ และ $C_p = C_1 + C_2 + C_3$ ดังนั้นค่า Zero-Value Time Constant รวมจะมีค่าเท่ากับ

$$\sum T_0 = b_1 \approx \frac{C_p}{g_{m1}} + \frac{C_4}{g_{m4}} \tag{ง1}$$



รูปที่ 3 การหาค่าความต้านทานจุดขับศูนย์

NAME	M1	M2	M3	M4	M5
MODEL	PMOS1	PMOS1	PMOS1	NMOS1	NMOS1
ID	-2.00E-04	-2.00E-04	-5.09E-05	2.00E-04	5.09E-05
VGS	-2.93E+00	-2.93E+00	-2.93E+00	2.14E+00	1.58E+00
VDS	-2.93E+00	-2.86E+00	-3.42E+00	2.14E+00	1.58E+00
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
VTH	-8.21E-01	-8.21E-01	-8.13E-01	1.09E+00	1.09E+00
VDSAT	-1.33E+00	-1.33E+00	-1.34E+00	7.66E-01	3.75E-01
GM	1.74E-04	1.73E-04	4.38E-05	3.50E-04	1.82E-04
GDS	2.61E-06	2.66E-06	5.90E-07	4.11E-06	1.39E-06
GMB	8.98E-05	8.98E-05	2.29E-05	1.12E-04	6.50E-05
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	3.50E-14	3.50E-14	8.75E-15	2.70E-14	2.70E-14
CGDOV	3.50E-14	3.50E-14	8.75E-15	2.70E-14	2.70E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	4.97E-13	4.97E-13	1.24E-13	5.08E-13	5.08E-13
CGD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00

รูปที่ 4 ค่าตัวแปรต่างๆ ของวงจรถอดรากที่สอง

จากสมการที่ (ง1) เราสามารถประมาณค่าการตอบสนองทางความถี่ของวงจรถอดรากที่สองในวิทยานิพนธ์นี้ โดยแทนค่าจากตัวแปรของทรานซิสเตอร์ดังรูปที่ 4 จะได้เป็น

$$f_{-3dB} \approx \frac{1}{2\pi b_1} \approx \frac{g_{m1}g_{m4}}{2\pi(g_{m1}C_4 + g_{m4}C_p)} \quad (ง2)$$

$$\approx \frac{(1.74 \times 10^{-4})(3.50 \times 10^{-4})}{2\pi[(1.74 \times 10^{-4})(5.08 \times 10^{-13}) + (3.50 \times 10^{-4})(1.118 \times 10^{-12})]}$$

$$\approx 20.2MHz \quad (ง3)$$

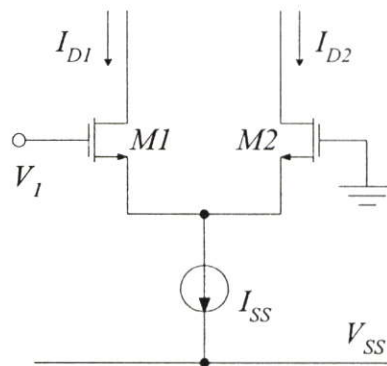
จะเห็นได้ว่าค่าของการตอบสนองทางความถี่ที่ได้จากสมการที่ (ง3) มีค่าใกล้เคียงกับผลการเลียนแบบการทำงานด้วย PSpice ในบทที่ 4

ภาคผนวก จ

การวิเคราะห์สมรรถนะของวงจรกำเนิดสัญญาณรูปไซน์ปรับค่า ได้ทางอิเล็กทรอนิกส์

จ1 การวิเคราะห์หาค่าความเพี้ยนทางฮาร์โมนิกของวงจรขยายความแตกต่าง

เราสามารถวิเคราะห์ค่าความเพี้ยนทางฮาร์โมนิกของวงจรขยายความแตกต่างได้ โดยใช้วงจรรูปที่ จ1.1 [10] โดยทรานซิสเตอร์ทั้งคู่จะทำงานในย่านอิมิตัว



รูปที่ จ1 วงจรขยายความแตกต่างแบบมอสทรานซิสเตอร์

สมการของมอสทรานซิสเตอร์ทำงานในย่านอิมิตัวมีค่าเท่ากับ

$$I_D = \beta_N (V_{GS} - V_T)^2 \quad (จ1)$$

โดยที่ $\beta = \frac{\mu C_{OX}}{2} \left(\frac{W}{L} \right)$ และ จากรูปที่ จ1 สามารถเขียนสมการที่เกี่ยวข้องทั้งหมดได้ดังนี้

$$V_1 = V_{GS1} - V_{GS2} \quad (จ2)$$

$$I_{D1} + I_{D2} = I_{SS} \quad (จ3)$$

จากสมการที่ (จ1) สามารถเขียนสมการ (จ2) ใหม่ได้เป็น

$$V_1 = V_{GS1} - V_{GS2} = \sqrt{\frac{I_{D1}}{\beta_N}} - \sqrt{\frac{I_{D2}}{\beta_N}} \quad (จ4)$$

เมื่อพิจารณากระแสเดรนของทรานซิสเตอร์ทั้งสอง ก็จะมีปรากฏว่ามีเทอมแรงดันไฟตรงผสมอยู่ โดยมีสมการเท่ากับ

$$I_{D1} = I_{DA} + i_{d1} = I_{DA} + i_d \quad (จ5)$$

และ
$$I_{D2} = I_{DA} + i_{d2} = I_{DA} - i_d \quad (จ6)$$

กระแสเดรนของทรานซิสเตอร์ทั้งสอง (i_{d1} , i_{d2}) จะมีค่าตรงกันข้ามกันโดยมีเทอมของแรงดันไฟตรง (I_{DA}) ผสมอยู่ ดังนั้น

$$I_{SS} = I_{D1} + I_{D2} = I_{DA} + i_d + I_{DA} - i_d = 2I_{DA} \quad (จ7)$$

หรือ
$$I_{DA} = \frac{I_{SS}}{2} \quad (จ8)$$

จากสมการที่ (จ4) สมการเขียนในรูปกำลังสองได้เป็น

$$V_1^2 = \left(\frac{I_{SS}}{\beta_N}\right) \left\{ 1 - \sqrt{\left[\left(1 + \frac{i_d}{I_{DA}}\right)\left(1 - \frac{i_d}{I_{DA}}\right)\right]} \right\} \quad (จ9)$$

$$i_d = \sqrt{\frac{\beta I_{SS}}{2}} \sqrt{1 - \frac{\beta V_1^2}{2I_{SS}}} V_1 \quad (จ10)$$

$$\frac{i_d}{I_{SS}} = \left(\frac{d}{2}\right) \sqrt{1 - \left(\frac{d}{2}\right)^2} \quad (จ11)$$

โดยที่ d เป็นค่า Normalized ของแรงดันอินพุตเท่ากับ

$$d = \frac{V_1}{(V_{GG} - V_T)} \quad (จ12)$$

$$= \sqrt{\frac{2\beta}{I_{SS}}} V_1 \quad (จ13)$$

โดยที่ V_{GG} เป็นแรงดันที่ขาเกตกับซอส ขณะที่ไม่มีแรงดันอินพุตซึ่งก็จะทำให้กระแส i_{d1} และ i_{d2} ในสมการที่ (จ5) และ (จ6) เหลือเพียง I_{DA}

$$I_{DA} = \beta(V_{GG} - V_T)^2 \quad (จ14)$$

จากฟังก์ชันราก็สองสามารถเขียนในรูปของอนุกรมได้ดังนี้

$$\begin{aligned} f(x) &= \sqrt{1-x} \\ &= 1 - \left(\frac{1}{2}\right)x - \left(\frac{1}{8}\right)x^2 - \left(\frac{1}{8}\right)x^3 - \dots \end{aligned} \quad (จ15)$$

สมการที่ (จ11) สามารถเขียนในรูปการกระจายอนุกรม

$$\frac{i_d}{I_{SS}} = \left(\frac{d}{2}\right) \left[1 - \left(\frac{1}{2}\right)\left(\frac{d}{2}\right)^2 - \dots \right] \quad (จ16)$$

เมื่อเราป้อนสัญญาณอินพุต $v_1 = V_{1A} \cos \omega_1 t$ ในรูปของการกระจายอนุกรม โดยที่ V_{1A} เป็นค่าแอมพลิจูดของสัญญาณอินพุต สมการ (จ16) ในรูปของสัญญาณอินพุต $v_1 = V_{1A} \cos \omega_1 t$ ซึ่งถ้าเราพิจารณาในรูปของกระแสเดรนของทรานซิสเตอร์ M2 ก็จะมีค่าเท่ากับ

$$I_{D2} = I_{DA} - i_d \quad (จ17)$$

$$= I_{SS} \left\{ \frac{1}{2} - \left(\frac{1}{2}\right) \frac{V_{1A}}{V_{GG} - V_T} \cos \omega_1 t + \left(\frac{1}{64}\right) \left(\frac{V_{1A}}{V_{GG} - V_T}\right)^3 \cos 3\omega_1 t - \dots \right\} \quad (จ18)$$

เมื่อพิจารณาสมการในทอมการกระจายอนุกรมเพื่อวิเคราะห์ความเพี้ยนรวมทางฮาร์โมนิคดังนี้

$$I_{D2} = b_0 + b_1 \cos \omega_1 t + b_2 \cos 2\omega_1 t + b_3 \cos 3\omega_1 t + \dots \quad (\text{จ19})$$

สัมประสิทธิ์ b , จะเป็นค่าของแอมพลิจูดของแต่ละฮาร์โมนิค ซึ่งเมื่อเทียบสมการที่ (จ18) และ (จ19) ค่าของความเพี้ยนทางฮาร์โมนิคจะมีค่าเท่ากับ

$$HD_2 = \frac{|b_2|}{|b_1|} = 0 \quad (\text{จ20})$$

$$\begin{aligned} HD_3 &= \frac{|b_3|}{|b_1|} = \left(\frac{1}{32} \right) \left[\frac{V_{1A}}{(V_{GG} - V_T)} \right]^2 \\ &= \left(\frac{1}{16} \right) \left(\frac{\beta}{I_{SS}} \right) V_{1A}^2 \end{aligned} \quad (\text{จ21})$$

จากสมการที่ (จ18) และ (จ19) สามารถบอกได้ว่าค่าของความเพี้ยนทางฮาร์โมนิครวม (Total Harmonic Distortion : THD) เนื่องจากสัมประสิทธิ์ทางฮาร์โมนิคจะมีค่าต่ำมากๆ ซึ่งจะทำให้ $THD \approx HD_3$

จ2 การวิเคราะห์หาค่าการตอบสนองทางความถี่ของวงจรถยายความแตกต่าง

การวิเคราะห์หาค่าการตอบสนองทางความถี่สามารถใช้สมการของ Zero-Value Time Constant [41] ในภาคผนวก ก สมการที่ (ก24) ซึ่งจะมีค่าเท่ากับ

$$\sum T_0 = b_1 \approx \frac{2C_P}{g_{mP}} + \frac{C_L}{(g_{d2} + g_{d4})} \quad (\text{จ22})$$

ซึ่งเมื่อพิจารณาตัวแปรของวงจรถายกำเนิดสัญญาณแบบที่หนึ่ง และ สองตามรูปที่ จ22 แล้วนั้น ซึ่งจะใช้วงจรโอทีเอแบบพื้นฐาน หรือ วงจรถยายความแตกต่าง โดยในกรณีของวงจรถายกำเนิดสัญญาณช ในวิทยานิพนธ์จะมีคุณสมบัติเป็นวงจรอินทิเกรเตอร์ซึ่งจะมีโพลเป็นตัวเก็บประจุ ดังนั้นค่าการตอบสนองทางความถี่จะมีค่าประมาณ

$$f_{-3dB} \approx \frac{(g_{d2} + g_{d4})}{2\pi C_L} \quad (จ23)$$

NAME	M1	M2	M3	M4
MODEL	NMOS1	NMOS1	PMOS1	PMOS1
ID	1.00E-04	1.00E-04	-1.00E-04	-1.00E-04
VGS	1.94E+00	1.94E+00	-2.60E+00	-2.60E+00
VDS	4.34E+00	4.34E+00	-2.60E+00	-2.60E+00
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00
VTH	1.06E+00	1.06E+00	-7.83E-01	-7.83E-01
VDSAT	6.20E-01	6.20E-01	-1.11E+00	-1.11E+00
GM	2.05E-04	2.05E-04	9.89E-05	9.89E-05
GDS	2.95E-06	2.95E-06	2.97E-06	2.97E-06
GMB	6.31E-05	6.31E-05	5.05E-05	5.05E-05
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	8.10E-15	8.10E-15	1.05E-14	1.05E-14
CGDOV	8.10E-15	8.10E-15	1.05E-14	1.05E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	7.38E-14	7.38E-14	7.06E-14	7.06E-14
CGD	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00

รูปที่ จ2 ตัวแปรต่างๆของวงจรกำเนิดสัญญาณ

แทนค่าตัวแปรที่เกี่ยวข้องจากรูปที่ จ2 ในสมการที่ (จ23) โดย $C_L = 15\text{pF}$ จะได้ค่าการตอบสนองทางความถี่เป็น

$$f_{-3dB} \approx \frac{(2.95 \times 10^{-6}) + (2.97 \times 10^{-6})}{2\pi(15 \times 10^{-12})} \quad (จ24)$$

$$f_{-3dB} \approx 62.81\text{kHz} \quad (จ25)$$

จากสมการที่ (จ25) บอกถึงการตอบสนองทางความถี่ของวงจรโอทีเอแบบพื้นฐาน ซึ่งจะเป็นตัวบอกว่าในช่วงความถี่ไม่เกิน 62.81 kHz นั้นเอาท์พุทจะมีค่าคงที่ หรือ เกินการขยายคงที่ แต่เมื่อมีความถี่สูงกว่านี้อัตราการขยายของวงจรโอทีเอแบบพื้นฐานว่าจะลดต่ำลง แต่ก็ยังสามารถกำเนิดสัญญาณได้ แต่ก็จะเป็นผลให้ g_m ของโอทีเอมีค่าลดลงไป ซึ่งถ้าความถี่สูงขึ้นเรื่อยๆ ระดับของเอาท์พุทก็จะลดลงเรื่อยๆ จนกระทั่งไม่สามารถกำเนิดสัญญาณได้ในที่สุด

ภาคผนวก จ

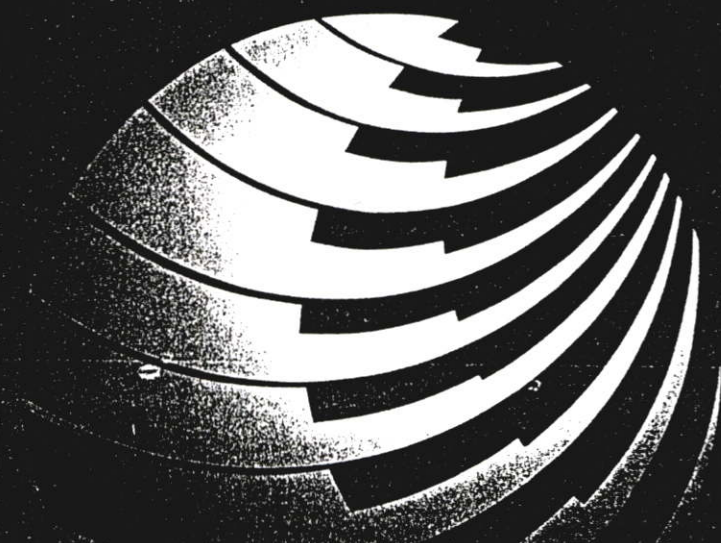
บทความที่ได้รับการตีพิมพ์ในวารสารต่างประเทศ

- [1] Kobchai Dejhan, **Pipat Prommee** and Fusak Cheevasuvit, "A single power supply CMOS four-quadrant analog multiplier," *Proc. of Regional Symposium on Telecommunications, Electronics, Circuits and Systems; RESTECS'96*, pp.E-73 - E-78, Bangkok, Thailand, July 6-8, 1996.
- [2] Kobchai Dejhan, Chatcharin Soonyeeekan, **Pipat Prommee** and Fusak Cheevasuvit, "An MOSFET square-rooting circuit," *Proc. of International Conference on Robotics, Vision and Parallel Processing for Industrial Automation (ROVPIA'96)*, pp.597-601, Ipoh, Malaysia, Nov. 28-30, 1996.
- [3] Kobchai Dejhan, Chatcharin Soonyeeekan, **Pipat Prommee**, Fusak Cheevasuvit and Ekachai Prommas, "A high performance MOSFET voltage- controlled grounded resistor," *Proc. Of International Conference on Robotics, Vision and Parallel Processing for Industrial Automation (ROVPIA'96)*, pp.602-608, Ipoh, Malaysia, Nov. 28-30, 1996.
- [4] Kobchai Dejhan, Chatcharin Soonyeeekan, **Pipat Prommee**, Paiboon Tooprakai, Fusak Cheevasuvit and Ekachai Prommas, "A high performance MOSFET voltage-controlled floating resistance circuit," *Proc. of 7th International Symposium on IC Technology, System and Applications : ISIC-97*, Singapore, September 10-12, 1997.
- [5] **Pipat Prommee**, Kobchai Dejhan, Fusak Cheevasuvit and Chatcharin Soonyeeekan, "A CMOS voltage-controlled grounded resistor circuit," *Proc. of IEEJ 1999 Analog VLSI Workshop*, Taipei, Taiwan, May 5-7, 1999.
- [6] **Pipat Prommee**, Kobchai Dejhan, "An Integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier," to be Published in *Int. J. Electronics.*, 2002.



Proceedings of the
RESTECS '96
REGIONAL SYMPOSIUM
ON TELECOMMUNICATIONS
ELECTRONICS CIRCUITS AND SYSTEMS

6 - 8 JULY 1996
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
BANGKOK, THAILAND



IN
THE KMITL EXHIBITION '96 :
IN HONOR OF H.M. THE KING
4 - 8 JULY 1996

Organized by
King Mongkut's Institute of Technology Ladkrabang

Cosponsored by
National Research Council of Thailand (NRCT)
Japan Society for Promotion of Science (JSPS)
Japan International Cooperation Agency (JICA)
Tokai University, Japan



A single power supply CMOS four-quadrant analog multiplier

Kobchai DEJHAN, Pipat PROMMEE and Fusak CHEEVASUVIT

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang

Ladkrabang, Bangkok 10520, Thailand

Tel. : 66-2-3269967, 66-2-3269081, Fax. : 66-2-3269086

email : kobchai@crsc.kmitl.ac.th

Abstract

This paper proposes a single power supply analog multiplier design based on the quarter-square algebra in CMOS technology. The number of transistors is decreased, the performances are better than the previous papers [1]-[7].

Introduction

The analog multipliers are useful in analog signal processing. They can be adapted for using in analog filter, frequency doubler, modulator and etc. The developments of analog multiplier have been made from bipolar transistors [8] and then using with MOS transistors [1]-[7]. This paper proposes a design technique to use MOS transistors based on the quarter-square algebra of ref. [1]. Consider the differential summing circuit, the transistors operate in saturation region with narrow dynamic range. It uses the differential pairs, then the transistors operate with narrow dynamic range as in ref. [2]. The V-I converter operates in nonsaturation region, therefore the circuit operate with error in the case of V is less than threshold voltage. Two sets of power supply, level shifter circuit are required for improving this circuit for operating in saturation region with wide dynamic range. This paper proposes a design technique with 5 volts power supply to obtain the better performances and overcomes the disadvantages. The simulation with experimental results are also presented. The level 2 worst case model of European Silicon Structure (ES2) is used for the simulation.

Theory

The four-quadrants analog multiplier is widely used and based on the quarter-square algebraic identity as shown in Fig. 1.

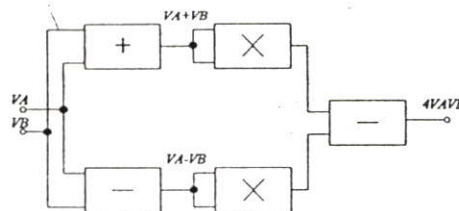


Fig. 1. The quarter-square algebraic identity multiplier technique.

The structure as shown in Fig.1 consists of additional, subtractional and squaring circuits.

- Additional and subtractional circuits

The summing signal circuit uses the principle the transistors operation in saturation region as shown in Fig.2. The drain current of MOS transistor is written as :

$$I_D = k(V_{GS} - V_T)^2 \text{ for } (V_{GS} - V_T) \leq V_{DS} \quad (1)$$

$$\text{when } k = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)$$

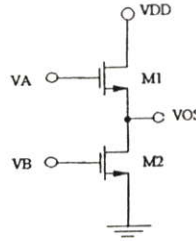


Fig.2. The NMOS inverter circuit.

The circuit as shown in Fig.2, it found that :

$$I_{D1} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)_1 (V_A - V_{OS} - V_{TN})^2 \quad (2)$$

$$I_{D2} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)_2 (V_B - V_{TN})^2 \quad (3)$$

when I_{D1} and I_{D2} are the drain current of M1 and M2, respectively. This circuit acts as an inverter. Suppose that $I_{D1} = I_{D2}$ thus the output voltage (V_{OS}) will be in the function of subtraction as in equation (4).

$$V_{OS} = V_A - V_{TN} + \left[(V_{TN} - V_B) \sqrt{\frac{(W/L)_2}{(W/L)_1}} \right] \quad (4)$$

The condition of Fig.1 is satisfied because of M1 and M2 must operate in saturation region. This condition can be done by using various techniques as in Ref.[1]. The transistors in the proposed technique is less than in the previous paper and uses only +5 volts power supply. This paper proposes to use voltage level shifter circuit to implement this proposed multiplier circuit and uses only single power supply.

From Fig.4, the output voltage equation can be written as :

$$V_{OS1} = |V_{TP}| + \frac{V_A}{2} + \sqrt{\frac{I_{B1}}{k_P}} - V_{TN} + \left[V_{TN} - \left(|V_{TP}| + \frac{V_B}{2} + \sqrt{\frac{I_{B2}}{k_P}} \right) \right] \sqrt{\frac{(W/L)_2}{(W/L)_1}} \quad (11)$$

$$V_{OS2} = |V_{TP}| - \frac{V_A}{2} + \sqrt{\frac{I_{B1}}{k_P}} - V_{TN} + \left[V_{TN} - \left(|V_{TP}| - \frac{V_B}{2} + \sqrt{\frac{I_{B2}}{k_P}} \right) \right] \sqrt{\frac{(W/L)_2}{(W/L)_1}} \quad (12)$$

Finally, the differential output voltage can be obtained as :

$$V_{OS} = V_{OS1} - V_{OS2} = V_A - V_B \sqrt{\frac{(W/L)_2}{(W/L)_1}} \quad (13)$$

- The differential squaring circuit

The differential squaring circuit in this paper will use the principle of Square's law of MOS transistors which operate in saturation region. The drain current is in the form of square value as shown in equation (2), its structure is shown in Fig.5. The circuit in Fig.5 is only half circuit, therefore the drain currents of M1 and M2 can be written as :

$$I_{D1} = k_N (V_1 - V_{TN})^2 \quad (14)$$

$$I_{D2} = k_N (-V_1 - V_{TN})^2 \quad (15)$$

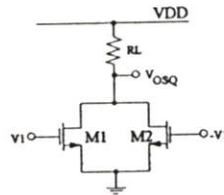


Fig.5. The squaring circuit.

The voltages V_1 and $-V_1$ are differential input, thus the output squaring voltage (V_{OSQ}) is obtained as:

$$V_{OSQ} = V_{DD} - k_N R_L [2V_{TN}^2 + 2V_1^2] \quad (16)$$

The DC component can be omitted by connecting the differential output as shown in Fig.6.

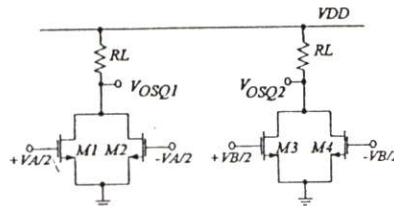


Fig.6. The differential squaring circuit.

From Fig.6, both of the outputs are :

$$V_{OSQ1} = V_{DD} - \frac{R_L \mu C_{OX}}{2} \left(\frac{W}{L} \right)_3 \left(2V_{TN}^2 + \frac{V_A^2}{2} \right) \quad (17)$$

$$V_{OSQ2} = V_{DD} - \frac{R_L \mu C_{OX}}{2} \left(\frac{W}{L}\right)_3 \left(2V_{TN}^2 + \frac{V_B^2}{2}\right) \quad (18)$$

Thus, the differential output is :

$$V_{OSQ} = V_{OSQ1} - V_{OSQ2} = \frac{R_L \mu C_{OX}}{4} \left(\frac{W}{L}\right)_3 (V_A^2 - V_B^2) \quad (19)$$

Simulating results

The completed circuit of the proposed single power supply CMOS four-quadrant analog multiplier is shown in Fig.7. and the output voltage of this circuit is

$$V_O = \mu C_{OX} R_L \left(\frac{W}{L}\right)_3 \left(\frac{(W/L)_2}{(W/L)_1}\right) V_A V_B \quad (20)$$

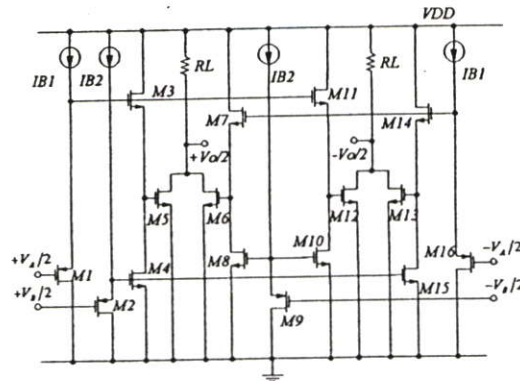


Fig.7. The proposed circuit.

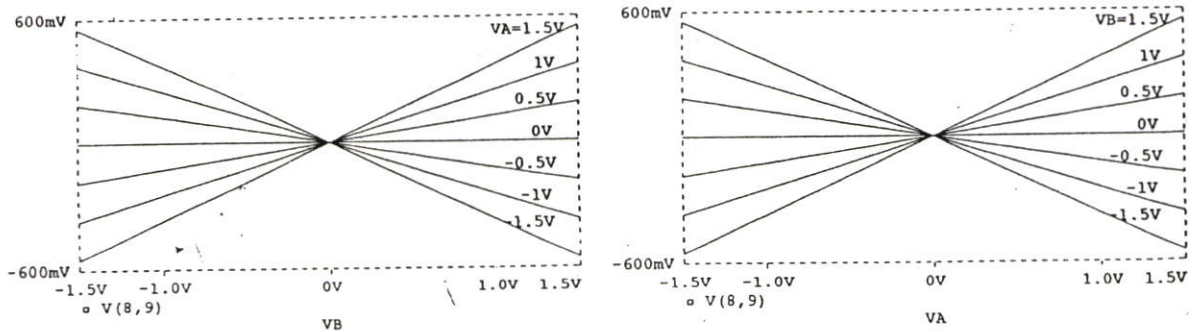


Fig.8. The measurements of the characteristic curves of the proposed analog multiplier circuit (a) V_B is a parameter and (b) V_A is a parameter.

This circuit consists of 12 NMOS and 4 PMOS transistors with $(W/L) = (20/10)$ except M5, M6, M12 and M13 use $(W/L) = (100/10)$. I_{B1} and I_{B2} are set equal to $150 \mu A$ and $20 \mu A$, respectively. The electrical simulations use the level 2, worst case model of European Silicon Structure for $V_{TN} = 1.07$ volts, $V_{TP} = -0.8$ volts, $\mu_N C_{OX} = 54.38 \mu A/V^2$, $\mu_P C_{OX} = 21.26 \mu A/V^2$ and $R_L = 500$ Ohms. The PSpice program is used for all of simulations. The characteristic curves of proposed single power supply CMOS four-quadrant analog multipliers are shown in Fig.8.

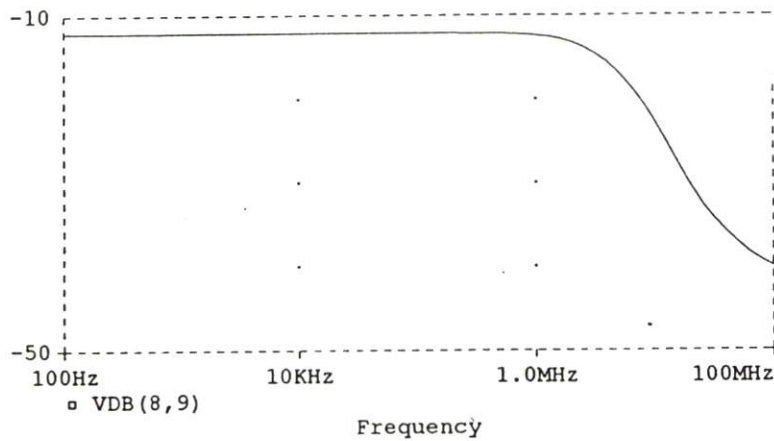


Fig.9. Frequency response of proposed multiplier.

Fig.9 shows the frequency response of the proposed multiplier circuit, the bandwidth is quite wide about 50 MHz.

Conclusions

An CMOS four-quadrant analog multiplier operating with single power supply is presented. Its structure is easy to implement, the linearity error of output voltage is about 0.6%. It uses 16 transistors and 4 constant current circuits and the frequency response is quite high.

References

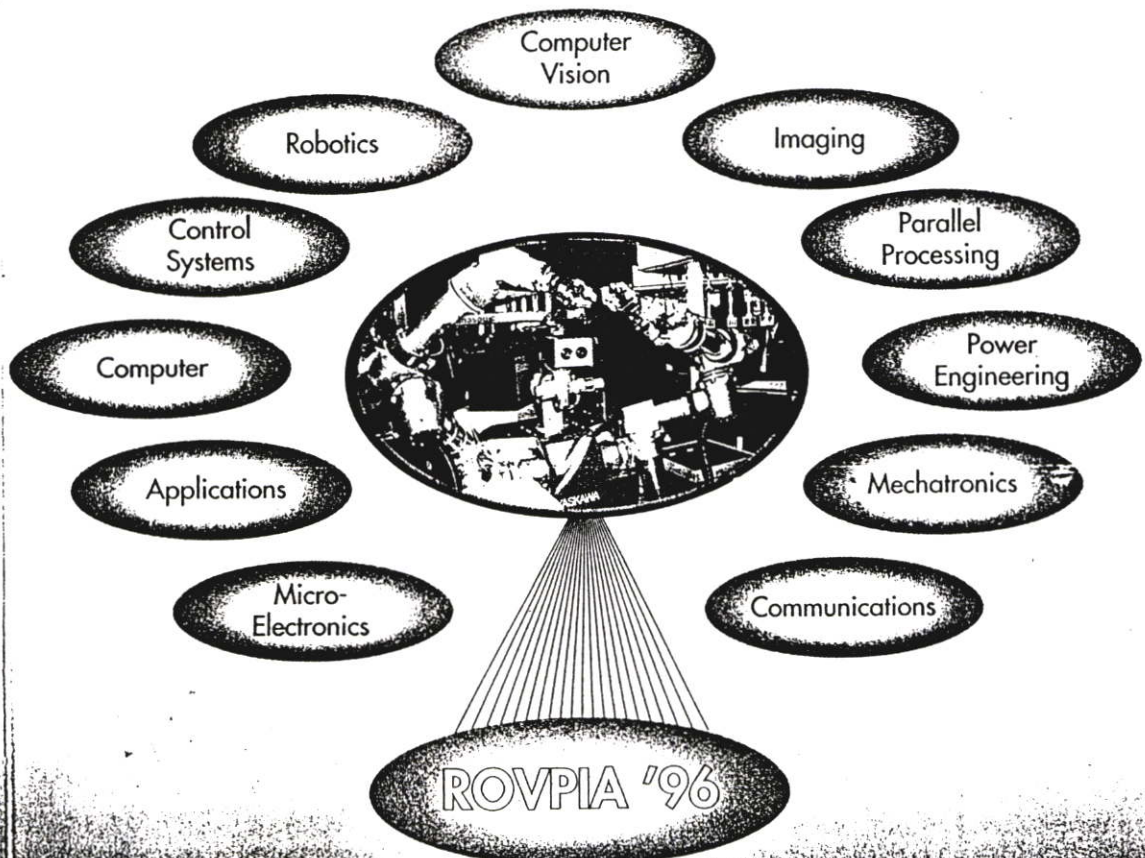
- [1] J.S. Pena-Finol and J.A. Connelly, "A MOS four-quadrant analog multiplier using the quarter-quarter-square techniques," *IEEE J. Solid-State Circuits*, vol.SC-22, pp.1064-1073, Dec. 1987.
- [2] K. Bult and H. Wallinga, "A CMOS four-quadrant analog multiplier," *IEEE J. Solid-State Circuits*, vol.SC-21, pp.430-435, June 1986.
- [3] Z. Wang, "A CMOS four-quadrant analog multiplier with single-ended voltage output and improved temperature performance," *IEEE J. Solid-State Circuits*, vol.SC-26, pp.1293-1301, Sep. 1991.
- [4] Z. Wang and W. Guggenbuhl, "A voltage-controllable linear MOS transconductance using bias offset technique," *IEEE J. Solid-State Circuits*, vol.SC-22, pp.135-138, Feb. 1990.
- [5] Y.H. Kim and S.B. Park, "Four-quadrant analog-multiplier," *Electron. Lett.*, vol.28, pp.649-650, Mar. 1992.
- [6] H. Song and C. Kim, "An MOS four-quadrant analog multiplier using simple two-input squaring circuit with source followers," *IEEE J. Solid-State Circuits*, vol.SC-25, pp.841-848, Jun. 1990.
- [7] C.W. Kim and S. B. Park, "New four-quadrant CMOS analogue multiplier," *Electron. Lett.*, vol.23, pp.1268-1270, Nov. 1987.
- [8] B. Gilbert, "A precision four quadrant multiplier with nanosecond response," *IEEE J. Solid-State Circuits*, vol.SC-3, pp.353-365, Dec. 1968.



International Conference on
**ROBOTICS, VISION AND PARALLEL PROCESSING
FOR INDUSTRIAL AUTOMATION**

Ipoh, Perak, Malaysia
November 28-30, 1996

PROCEEDINGS



VOL-2

Organized by:
**The School of Electrical and Electronic Engineering
Universiti Sains Malaysia, Perak Branch Campus,
31750 Tronoh, Perak Darul Ridzuan, Malaysia**

A High Performance MOSFET Voltage-Controlled Grounded Resistor

Kobchai DEJHAN, Chatcharin SOONYEEKAN,

Pipat PROMMEE, Fusak CHEEVASUVIT

Faculty of Engineering,

King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand.

Tel : 66-2-3269967, 66-2-3269081, Fax : 66-2-3269086

email : kobchai@telelan.telecom.eng.kmitl.ac.th

Ekachai PROMMAS

Faculty of Engineering,

Kasem Bandit University, Patanakarn Road, Bangkok 10250, Thailand.

Abstract

The previous paper proposed a voltage-controlled linear resistor by using two MOS transistors [1]. The transistors operate in ohmic region, the disadvantage of this method is the difference of gate-to-source voltage and threshold voltage should less than the drain-to-source voltage. It is obviously that both transistors cannot operate in ohmic region, therefore the resistance is nonlinear according to the nonlinear terms in the equation.

Theory

This paper proposes a technique to cancel the nonlinearity in the equation, the resistance will have a wide dynamic range. Its characteristics will be better than the previous result when compared the performances. This paper uses also a voltage level shifter that can improve the voltage-controlled grounded resistance. The voltage-controlled grounded resistance are widely used in the field of signal processing such as filter, generator, automatic gain control since the uses of bipolar and FET technologies [2-4]. The development has been done by using MOSFET [4-9]. Each type is suitable in a specific application.

The principle of the proposed voltage-controlled resistance by using MOSFET is the ohmic region operating range as shown in Fig.1

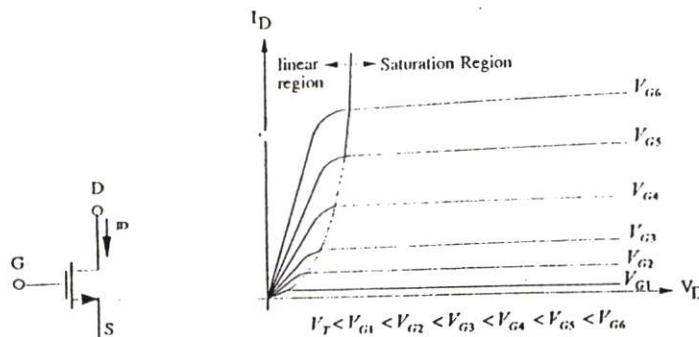


Fig.1 MOSFET and its V-I characteristic.

The drain current is

$$I_D = K(V_{GS} - V_T - \frac{V_{DS}}{2})V_{DS} \quad ; \quad (V_{GS} - V_T) > V_{DS} \quad (1)$$

When $K = \mu_n C_{ox} (W/L)$

μ_n = Surface mobility of carrier

C_{ox} = Gate oxide capacitance per unit-area

W = Channel width

L = Channel length

V_{GS} = gate-to-source voltage

V_T = Threshold voltage

V_{DS} = Drain-to-source voltage

I_D = Drain current

The circuit designs of voltage-controlled resistance are;

- voltage-controlled floating resistance circuit

- voltage-controlled grounded resistance circuit

Some research papers proposed to use the saturation region of MOSFET as voltage-controlled floating resistance circuit and using ohmic region as voltage-controlled grounded resistance circuit. Consider the ohmic region of MOS transistor as a voltage-controlled grounded resistance circuit, the equivalent resistance is

$$R_{eq} = \frac{V_{DS}}{I_D} = \left[K \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right)^2 \right]^{-1} \tag{2}$$

It is obviously that $(V_{DS}^2/2)$ is nonlinear. Therefore, R_{eq} in the equation (2) is nonlinear. The term $(V_{DS}^2/2)$ should be canceled and this equation can be written as in equation (3)

$$R_{eq} = \frac{V_{DS}}{I_D} = \left[K (V_c - V_T)^2 \right]^{-1} \tag{3}$$

The technique to cancel the nonlinearity can be made as shown in Fig.2

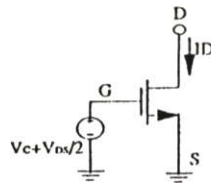


Fig.2 The principle to cancel the nonlinearity based-on MOSFET

A previous paper [5] presented two MOSFET as a voltage-controlled grounded resistance circuit, the controlling voltage is a disadvantage of this technique. Thus, this paper proposes to use the summing signal circuit as shown in Fig.3 and simulating resistance circuit.

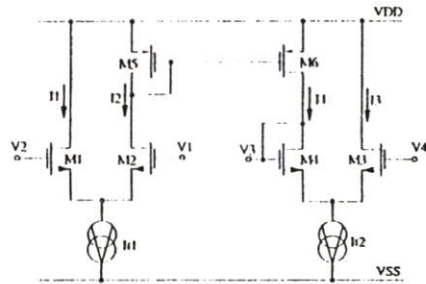


Fig.3 Summing signal circuit

The summing signal circuit consists two differential-pair circuits and one current mirror. The basic principle can be explained by using a negative current mirror circuit, as shown in Fig.4

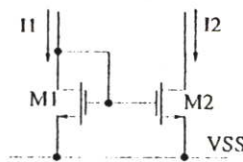


Fig.4 Negative current mirror circuit

Both M1 and M2 are NMOS, they operate in saturation region the drain current are:

$$I_{D1} = \beta_1 \left(\frac{W}{L} \right)_1 (V_{GS1} - V_{T1})^2 \quad (4)$$

$$I_{D2} = \beta_2 \left(\frac{W}{L} \right)_2 (V_{GS2} - V_{T2})^2 \quad (5)$$

Suppose that $\beta_1 = \beta_2 = \beta = \frac{\mu_0 C_{ox}}{2}$, then the equation can be written as

$$\frac{I_2}{I_1} = \frac{\left(\frac{W}{L} \right)_2}{\left(\frac{W}{L} \right)_1} \cdot \frac{(V_{GS2} - V_{T2})^2}{(V_{GS1} - V_{T1})^2} \quad (6)$$

By setting $V_{GS1} = V_{GS2}$ and $V_{T1} = V_{T2}$, then

$$\frac{I_2}{I_1} = \frac{\left(\frac{W}{L} \right)_2}{\left(\frac{W}{L} \right)_1} \quad (7)$$

The current mirror ratio should be 1:1 by setting $\left(\frac{W}{L} \right)_1 = \left(\frac{W}{L} \right)_2$. In Fig.3, $I_1 + I_2 = I_{n1}$ and $I_3 + I_4 = I_{n2}$, so $I_{n1} = I_{n2}$

$$V_2 - V_1 = \sqrt{\frac{I_1}{K}} - \sqrt{\frac{I_2}{K}} \quad (8)$$

and

$$V_4 - V_3 = \sqrt{\frac{I_3}{K}} - \sqrt{\frac{I_4}{K}} \quad (9)$$

Giving $I_1 = I_3$, $I_2 = I_4$, so

$$V_2 - V_1 = V_4 - V_3 \quad (10)$$

V_3 is biased voltage for M4 or so called self bias, in the same time V_3 is output voltage (V_O) of the circuit.

$$V_3 = V_O = V_1 + V_4 - V_2 \quad (11)$$

This output voltage is equal to $V_O = V_{DS} + V_C$ for supplying to the simulating resistance circuit.

The proposed simulating resistance circuit is shown in Fig.5. It consists two N-channel MOSFETs. The gate terminals of M1 and M2 are controlling voltages equal to V_C and $(V_{DS} + V_C)$, respectively.

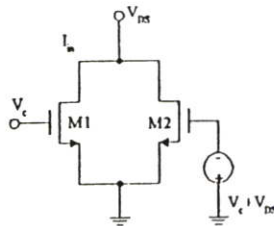


Fig.5 Simulation resistance circuit

The drain currents of M1 and M2 in Fig.5 are

$$I_{D1} = K \left(V_C - V_{T1} - \frac{V_{DS1}}{2} \right) V_{DS1} \tag{12}$$

$$I_{D2} = K \left((V_C + V_{DS2}) - V_{T2} - \frac{V_{DS2}}{2} \right) V_{DS2} \tag{13}$$

Giving $V_{T1} = V_{T2} = V_T$, $V_{DS1} = V_{DS2} = V_{DS}$ and $(W/L)_1 = (W/L)_2 = (W/L)$, Then

$$I_{in} = I_{D1} + I_{D2} = K(2V_C - 2V_T)V_{DS} \tag{14}$$

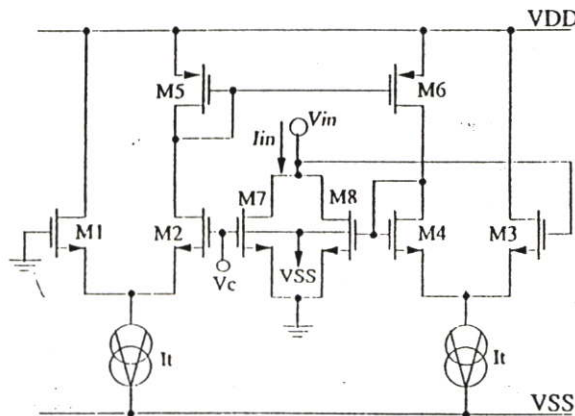


Fig.6 Proposed voltage-controlled grounded resistance circuit

Results

The simulation results have been done by PSpice, using transistor model of European Silicon Silicon (ES2), worst case model, level2. The W/L ratio for all transistors are 50 μ m/10 μ m, VDD=-VSS=7 Volts, $I_f = 300 \mu$ A. The simulating resistance can be calculated from the equation (15).

$$R_{eq} = \frac{V_{DS}}{I_{in}} = [2K(V_c - V_T)]^{-1} \tag{15}$$

The resistance is controlled by V_c . In Fig.7 shows the relation of I_{in} versus V_{in} .

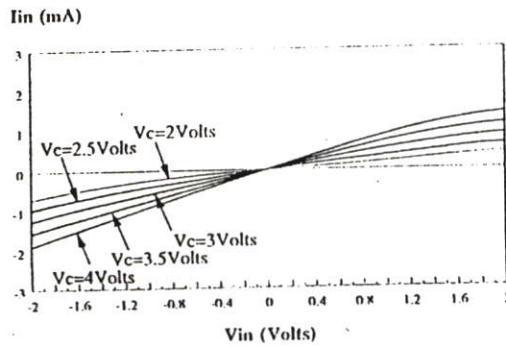


Fig.7 Relation of I_{in} versus V_{in}

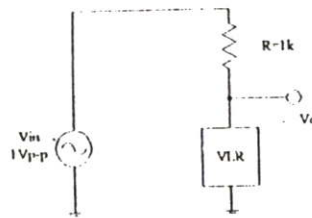


Fig.8 Operating frequency range circuit

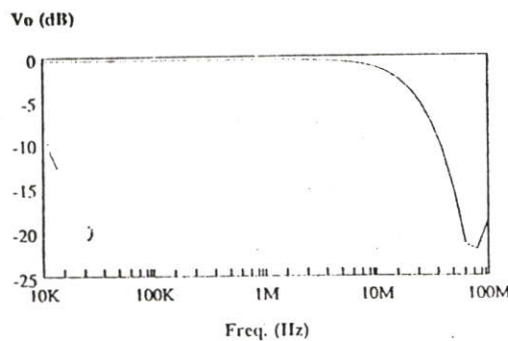


Fig.9 Frequency response of proposed voltage-controlled grounded resistance circuit

Fig.8 is used to evaluate the operating frequency range of the proposed voltage-controlled grounded resistance circuit (VCGR). Fig.9 shows the frequency response of proposed circuit. The cut-off frequency is about 30 MHz

Conclusion

The voltage-controlled grounded resistance circuit is presented by using the technique to cancel the nonlinear term in the drain current equation. The transistors operate in ohmic region. The used technique in this paper is summing signal circuit, the obtained performances are good.

Reference

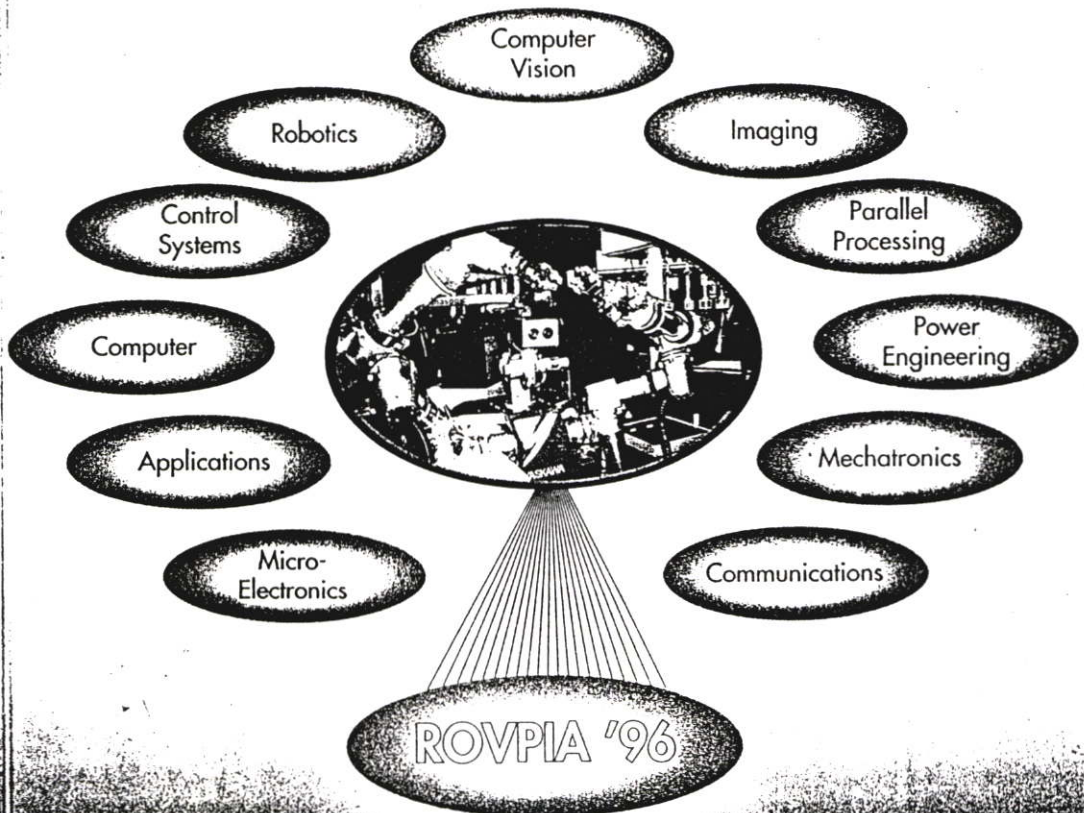
- [1] I. S. Han and S. B. Park, "Voltage - Controlled Linear Resistor by Two MOS Transistors and its Application to Active RC Filter MOS Integration," *Proc. IEEE*, Vol.72, pp.1655-1657, Nov. 1984.
- [2] K. Nay and A. Budak, "A Variable Negative Resistance," *IEEE Trans. Circuits Syst.*, Vol.CAS-32, pp.1193-1194, Jan. 1985.
- [3] K. Nay and A. Budak, "A Voltage - Controlled Resistance with Wide Dynamic Range and Low Distortion," *IEEE Trans. Circuits Syst.*, Vol.CAS-30, pp.770-772, Oct. 1981.
- [4] R. Senani and D. R. Bhaskar, "A Simple Configuration for Realizing Voltage - Controlled Impedance," *IEEE Trans. Circuits Syst.*, Vol.CAS-39, pp.52-59, Jan. 1992.
- [5] M. Banu and Y. Tsvividis, "Floating Voltage - Controlled Resistors in MOS Technology," *Electron. Lett.*, Vol.18, pp.678-679, July 1982.
- [6] G. Moon, M. E. Zaghoul and R.W. Newcomb, "An Enhancement - Mode MOS Voltage - Controlled Linear Resistor with Large Dynamic Range," *IEEE Trans. Circuits Syst.*, Vol.CAS-37, pp.1284-1288, Jan. 1990.
- [7] K. Nagaraj, "New CMOS Floating Voltage - Controlled Resistor," *Electron. Lett.*, Vol.22, pp. 667-668, June 1986.
- [8] G. Wilson and P. K. Chan, "Novel Voltage - Controlled Grounded Resistor," *Electron. Lett.*, Vol.25, pp.1725-1726, Dec. 1989.
- [9] Z. Wang, "Novel Voltage - Controlled Grounded Resistor," *Electron. Lett.*, Vol.26, pp.1711-1712, Sep. 1986.



International Conference on
**ROBOTICS, VISION AND PARALLEL PROCESSING
FOR INDUSTRIAL AUTOMATION**

Ipoh, Perak, Malaysia
November 28-30, 1996

PROCEEDINGS



VOL-2

Organized by:
**The School of Electrical and Electronic Engineering
Universiti Sains Malaysia, Perak Branch Campus,
31750 Tronoh, Perak Darul Ridzuan, Malaysia.**

A MOSFET SQUARE-ROOTING CIRCUIT

Kobchai DEJHAN, Chatcharin SOONYEEKAN,

Pipat PROMMEE, Fusak CHEEVASUVIT

Faculty of Engineering,

King Mongkut's Institute of Technology Ladkrabang,

Ladkrabang, Bangkok 10520, Thailand.

Tel : 66-2-3269967, 66-2-3269081, Fax : 66-2-3269086

email : kobchai@telelan.telecom.eng.kmit.ac.th

Abstract

An MOSFET square-rooting circuit design is proposed by using the square's law to use the differential input current for subtracting the threshold voltage. This technique has a wide dynamic range about 400 μ A.

Theory

The square-rooting circuit in this paper uses the principle of square's law of MOSFET operating in saturation region.

The drain current of MOSFET is;

$$I_d = \beta(V_{gs} - V_t)^2; V_{gs} > V_t > 0 \quad (1)$$

- when $\beta = [\mu_0 C_{ox} / 2] [W/L]$
 $\mu_0 =$ surface mobility of channel
 $C_{ox} = \epsilon_{ox} / t_{ox}$
 $\epsilon_{ox} = 3.9\epsilon_0 \approx 3.9(8.854 \times 10^{-14} \text{ F/cm})$
 $t_{ox} =$ gate oxide thickness
 $V_{GS} =$ gate-to-source voltage
 $V_t = V_{to} - \gamma(\sqrt{2|\phi|} - V_{bs} - \sqrt{2|\phi_r|})$
 $V_{to} =$ threshold voltage at $V_{bs} = 0$
 $\gamma =$ bulk threshold
 $\phi_r =$ strong inversion surface potential

The subtracted input current is used in this paper by using the negative and positive current mirror.

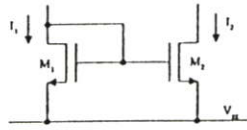


Fig.1 Positive current mirror.

In Fig.1 M1 and M2 are NMOS operating in saturation region and the relation of the drain currents are;

$$I_{d1} = K_1 (W/L)_1 [V_{GS1} - V_{t1}]^2 \tag{2}$$

$$I_{d2} = K_2 (W/L)_2 [V_{GS2} - V_{t2}]^2 \tag{3}$$

Suppose that $K_1 = K_2 = K = \mu_0 C_{ox} / 2K$ and the current ratio of current mirror should be

$$I_2/I_1 = I_{D2}/I_{D1} = [(W/L)_2 / (W/L)_1] [(V_{GS2} - V_{t2})^2 / (V_{GS1} - V_{t1})^2] \tag{4}$$

If $V_{GS1} = V_{GS2}$ and $V_{t1} = V_{t2}$, thus

$$I_2/I_1 = (W/L)_2 / (W/L)_1 \tag{5}$$

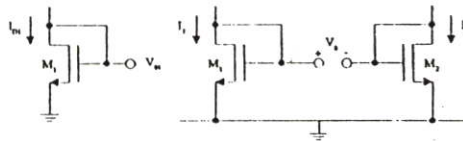


Fig.2 Proposed principle of square-rooting circuit

In Fig.2, the drain current can be obtained;

$$I_{d1} = \beta_1 [V_{GS1} - V_{t1}]^2 \tag{6}$$

$$I_{d2} = \beta_2 [V_{GS2} - V_{t2}]^2 \tag{7}$$

Suppose that $\beta_1 = \beta_2 = \beta$ and the differential input voltage is $V_0 = (V_{GS1} - V_{GS2})$.

$$V_{GS1} - V_{GS2} = (\sqrt{I_{D1}} - \sqrt{I_{D2}}) / \sqrt{\beta} \tag{8}$$

Giving, $I_m - I_{D1} = 4I_{D2}$, the equation will be

$$V_o = (2\sqrt{I_m} - \sqrt{I_m}) / (2\sqrt{\beta}) = \sqrt{I_m} / (2\sqrt{\beta}) \tag{9}$$

The combination of Fig.1 and 2 can be obtained the complete circuit of square-rooting circuit as shown in Fig.3.

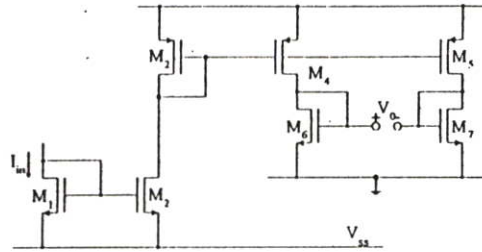


Fig.3 Complete square-rooting circuit.

The relation of input current and output voltage can be shown in the Fig.4. It is obviously that the dynamic range of input current is 400 μ A, it can be used for wide range applications.

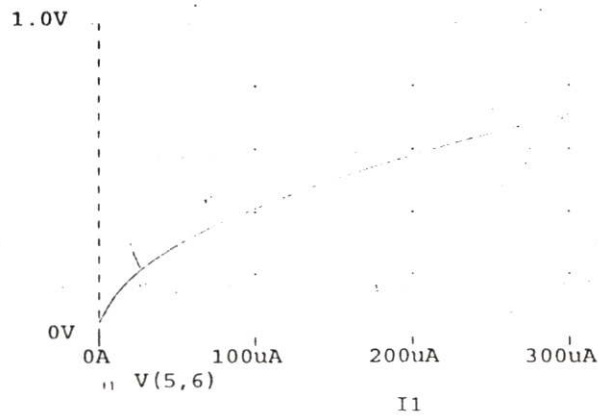


Fig.4 Relation of input current and output voltage.

Results

The PSPICE is used to simulate the circuit operation by using transistor model of European Silicon Structure (ES2). The ratio (W/L) for all transistors are $100\ \mu\text{m}/10\ \mu\text{m}$, except for M_4 is $25\ \mu\text{m}/10\ \mu\text{m}$ for obtaining the current mirror ratio equal to 1:0.25.

The input current is sinusoidal signal and the output voltage can be obtained as in Fig.5.

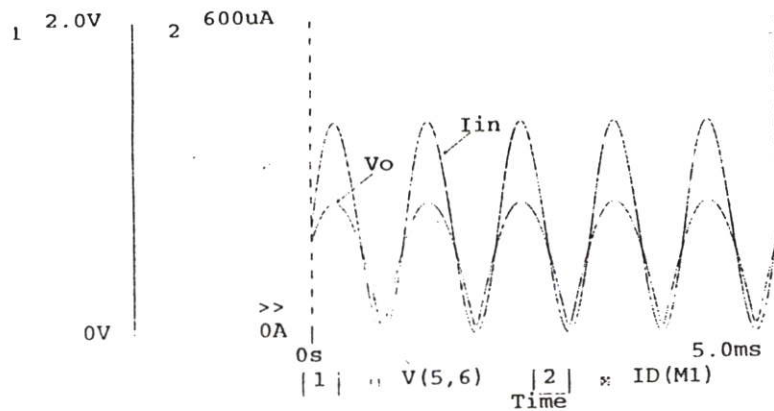


Fig.5 sinusoidal input current signal versus output voltage signal

Conclusion

The square-rooting circuit is proposed, by using only 7 MOSFET, all transistors operate in saturation region. The input dynamic range is $400\ \mu\text{A}$.

References

- [1]. M. Filanovsky and H. P. Baltes, "Simple CMOS analog square-rooting and square circuits," *IEEE Trans. Circuits and Syst.*, vol.39, no.4, pp.312-315, 1992.
- [2]. Seevinck and R. F. Wassenaar, "A versatile CMOS linear transconductor/square-law function circuit," *IEEE J. Solid-State Circuits*, vol.SC-22, no.3, pp.336-337, 1987.

ISIC-97

7th International Symposium on
IC Technology, Systems & Applications

10 - 12 September 1997
Hyatt Regency, Singapore

PROCEEDINGS



Organized by:
NANYANG TECHNOLOGICAL UNIVERSITY
SCHOOL OF ELECTRICAL AND ELECTRONIC ENGINEERING



Supported by:
Lucent Technologies, IEEE Singapore Section & IEE Singapore Centre
microelectronics group

Lucent Technologies
Bell Labs Innovations



celebrates 50th anniversary of
the invention of the transistor



A HIGH PERFORMANCE MOSFET VOLTAGE-CONTROLLED FLOATING RESISTANCE CIRCUIT

Kobchai DEJHAN, Chatcharin SOONYEEKAN, Pipat PROMMEE,
Paiboon TOOPRAKAI, Fusak CHEEVASUVIT

Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand.
Tel : 66-2-3269967, 66-2-3269081, Fax : 66-2-3269086
email : kobchai@telelan.telecom.eng.kmitl.ac.th

Ekachai PROMMAS

Faculty of Engineering,
Kasem Bundit University, Patanakarn Road, Bangkok 10250, Thailand.

Abstract : This paper presents a design of voltage-controlled floating resistance circuit using MOSFET. It is based on transconductor circuit with high linearity transconductance. The frequency response is about 7.5 MHz. The results of this proposed circuit have been carried out by using PSpice circuit simulator program.

1. INTRODUCTION

The transconductor circuits or voltage-to-current converters are useful and they can be used for wide range applications. The floating resistance circuit is an application of transconductor circuit. There are two types of floating resistance circuit, voltage-controlled or current-controlled. Most of the design have a narrow linearity [1-5]. It used the differential pair technique, thus the output current is nonlinearity.

This paper uses the principle of transconductor circuit to obtain the high linearity and as voltage-controlled transconductance for wide dynamic range of input voltage.

The proposed resistance circuit has some advantages. It is floating resistance and uses only MOSFET. The high linearity can be obtained for all ranges of controlling voltage. It can be used as negative resistance by improving some parts of the proposed circuit and the resistance is controlled by voltage.

2. THEORY

The proposed floating positive resistance circuit is shown in Fig. 1. The block is a voltage-controlled transconductance (VCT) with high linearity transconductance. The current (I_1 - I_2) is also high linearity and can be controlled by controlling voltage (V_c). The resistance is controlled by the controlling current (I_1 - I_2).

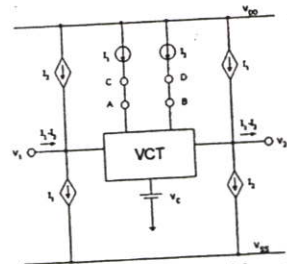


Fig. 1 The proposed floating positive resistance circuit.

Fig. 1 is modified to be the floating negative resistance circuit as shown in Fig. 2 by transposing the current I_1 and I_2 .

The principle of high linearity transconductance is shown in Fig. 3 by using transconductor circuit. The resistance is high linearity if the differential current is also high linearity. The transconductance is adjustable. Suppose that all transistors in Fig. 3 are matching and operate in saturation region. The relation of I_1 and I_2 can be obtained.

$$I_1 = \beta_1 (W/L) (V_{in} + V_c - V_T)^2 \quad (1)$$

$$I_2 = \beta_2 (W/L) (-V_{in} + V_c - V_T)^2 \quad (2)$$

Give that $\beta = \beta_1 = \beta_2 = (\mu_0 C_{ox}/2)$

- β = transistor gain
- μ_0 = carrier mobility
- C_{ox} = Oxide capacitance
- W = channel width
- L = channel length

V_{in} = input voltage
 V_T = threshold voltage

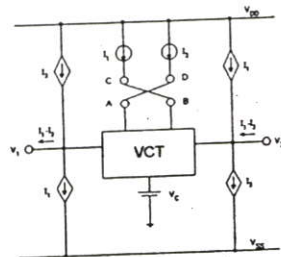


Fig. 2 The floating negative resistance circuit.

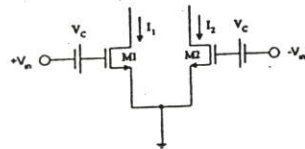


Fig. 3 Principle of transconductor circuit with high linearity.

Therefore, the differential current can be obtained as in (3)

$$I_1 - I_2 = \Delta I = 4\beta(W/L)(V_C - V_T)V_{in} \quad (3)$$

and
$$\frac{\partial \Delta I}{\partial V_{in}} = g_{m1} = 4\beta(W/L)(V_C - V_T) \quad (4)$$

The equation (3) is linear, then the equation (4) is also linear. It should have input circuit for transistors in Fig. 3. The addition/subtraction signal circuit is used as in Fig. 4. This circuit consists of a differential pair and current mirror. M1-M6 is differential pair and $I_1=I_4=I_5$, $I_2=I_3=I_6$ can be obtained from the 1:1 current mirror circuit.

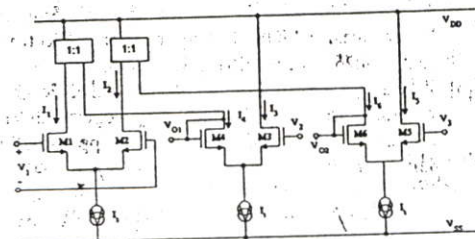


Fig. 4 Addition/subtraction signal circuit.

M4 and M6 are self-biasing as $I_1=I_4=I_5$ and $I_2=I_3=I_6$ then, the gate voltage of M4 and M6 are equal to

$$V_{O1} = V_1 + V_2 \quad (5)$$

$$V_{O2} = -V_1 + V_3 \quad (6)$$

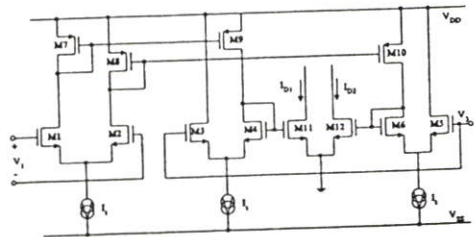


Fig. 5 Complete circuit of high linearity transconductor circuit.

The signal in equation (5) and (6) of Fig. 4 are connected with Fig. 3 therefore, the complete circuit of high linearity transconductor circuit is obtained as shown in Fig. 5, by connecting $+V_{in}$ and $-V_{in}$ with V_{O1} and V_{O2} , respectively. The circuit in Fig. 5 is connected with a controlling circuit to control the floating resistance as shown in Fig. 6 and 7.

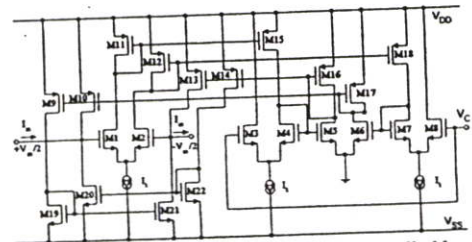


Fig. 6 The floating positive resistance controlled by controlling circuit.

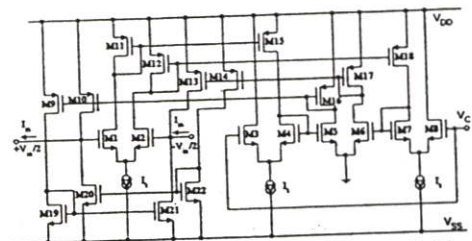


Fig. 7 The floating negative resistance controlled by controlling circuit.

In Fig. 6, the positive resistance is equal to

$$R_{eq} = [V_{in}/(I_1 - I_2)] = 1/[4\beta(W/L)(V_C - V_T)] \quad (7)$$

R_{eq} is controlled by V_C . For the negative resistance can be carried out by transposing the currents I_1 and I_2 and the negative resistance can be obtained as in equation (8).

$$R_{eq} = [V_{in}/(I_1 - I_2)] = -1/[4\beta(W/L)(V_C - V_T)] \quad (8)$$

3. RESULTS

The simulation results of the complete circuit of high linearity transconductor circuit has been carried out and the characteristics of this circuit is shown in Fig.8

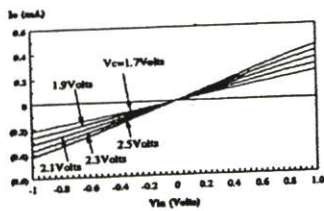


Fig. 8 The transconductance characteristics of the circuit in Fig.5.

The characteristics of input voltage (V_{in}) and the differential current (I_1-I_2) have been found out for the positive resistance (Fig. 6) and negative resistance (Fig. 7). All results are shown in Fig. 9 and 10, respectively.

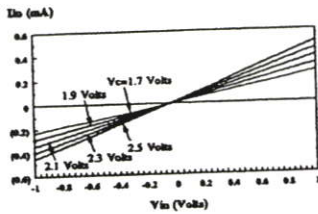


Fig. 9 V_{in} vs. (I_1-I_2) of Fig. 6.

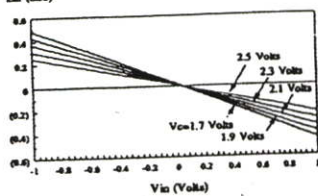


Fig. 10 V_{in} vs. (I_1-I_2) of Fig 7.

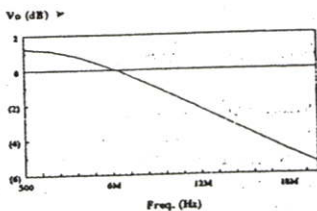


Fig. 11 Frequency response.

The results in Fig. 9 and Fig. 10 show the high linearity when compared with the previous

papers [2-6]. the frequency response of this circuit has also been carried out as shown in Fig. 11.

All of simulations have been done by using PSpice circuit simulator program based on worst case model, level 2 of European silicon structure (ES2). The supply voltage $V_{DD} = 5$ Volts, $V_{SS} = -5$ Volts, $I_t = 150 \mu A$. The size of transistors M1-M4, M5-M8, M11, M12, M15 and M18 are used (W/L) = (500 $\mu m/10\mu m$) for the high efficiency of current mirror reflection.

4. CONCLUSIONS

The voltage-controlled floating resistance circuits have been carried out by simulating. The floating resistance circuit can be positive and negative by transposing the current in the circuit. These circuits are suitable for VLSI circuit design.

5. REFERENCE

- [1] K. Dejhan, C. Soonyekan, P. Prommee, F. Cheevasuvit and E. Prommas, "A high performance MOSFET voltage-controlled grounded resistor," Proc. of International Conference on Robotics, Vision and Parallel Processing for Industrial Automation (ROVPIA'96), pp.602-608, Ipoh, Malaysia, Nov. 1996
- [2] S.P. Singh, J.V. Hanson and J. Vlach, "A new floating resistor for CMOS technology," IEEE Trans. Circuits Syst., vol.36, pp.1217-1220, Sep. 1989.
- [3] M. Banu and Y. Tsvividis, "Floating voltage controlled-resistor in CMOS technology," Electron. Lett., vol.18, pp.678-679, July 1982.
- [4] K. Nagaraj, "New CMOS floating voltage-controlled resistor," Electron. Lett., vol.22, pp.667-668, June 1986.
- [5] J. Silva-Martinez, M. Steyaert and W. Sansen, "Very linear CMOS floating resistor," Electron. Lett., vol.26, pp.1610-1611, Sep. 1990.
- [6] Z. Wang, "Novel electronically-controlled floating resistors using MOS transistors operating in saturation," Electron. Lett., vol.27, pp.188-189, Jan. 1991.

Reddon

***1999 International
Analog VLSI Workshop***

PROCEEDINGS

May 5 ~ 7, 1999

The Grand Hotel, Taipei, Taiwan

A CMOS Voltage-Controlled Grounded Resistor Circuit

Pipat Prommee, Kobchai Dejhan, Fusak Cheevasuvit
 Faculty of Engineering and
 Research Center for Communications and Information Technology
 King Mongkut's Institute of Technology Ladkrabang
 Bangkok 10520, Thailand
 Email : kobchai@telelan.telecom.eng.kmitl.ac.th
 Tel : 66-2-3269967, 66-2-3269081
 Fax : 66-2-3269086

Chatcharin Soonyeeakan
 Faculty of Engineering, Kasem Bundit University
 Pattanakarn Road, Bangkok 10250, Thailand

Abstract

The voltage-controlled grounded resistor circuit is a versatility building block in several analog signal processing such as telecommunications, electronics. The voltage controlled grounded resistor circuits have been developed by using FET, MOS CMOS transistor components. A previous paper proposed to use two MOS transistors to cancel the nonlinearity technique of MOS transistor, but it is unable to cancel all linearities according to the transistor operation. This paper proposes a principle to use three MOS transistor and one current source. The voltage-controlled grounded resistor circuit operates in ohmic region by using two MOS transistor but another one MOS transistor will operate in saturation region and operating as current source for voltage level shifter. This circuit has been simulated based on PSpice by using European Silicon Structure for worst case level 2 model. The characteristics have been carried out. A tunable cut off frequency of high-pass filter has been applied with the proposed circuit as analog building block, its results have been presented. This proposed voltage-controlled grounded resistor circuit has high linearity, high dynamic range operation and wide controlling voltage not depending on the supply voltage.

Keywords: voltage-controlled grounded resistor

Introduction

The voltage-controlled grounded resistor (VCGR) is wide used for analog integrated signal processing building blocks concerning about electronics, telecommunication applications, especially for adaptive filter, signal generator, automatic gain control and etc.

Theory

VCGR has been presented in previous papers [1-11], two MOS transistors are used for VCGR [2] as shown in Fig.1. It used the

nonlinearity cancellation technique for MOS transistor but it is unable to cancel all nonlinearity range because of saturation operating of transistor M1.

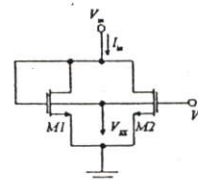


Fig.1 VCGR principle [2]

Transistor M1 operates in saturation region as $(V_{GS} - V_T) \leq V_{DS}$ therefore, the drain current of transistor M1 can be written as

$$I_{D1} = \frac{k_N}{2} (V_{GS1} - V_{TN})^2 \quad (1)$$

Transistor M2 operates in ohmic region as $(V_{GS} - V_T) > V_{DS}$ thus, the drain current of transistor M2 can be written as;

$$I_{D2} = k_N \left(V_{GS2} - V_{TN} - \frac{V_{DS2}}{2} \right) V_{DS2} \quad (2)$$

where $k_N = \mu_n C_{ox} (W/L)$.

Let $V_{GS1} = V_{DS1} = V_{DS2} = V_{in}$ and $V_{GS2} = V_C$.
The input current (I_{in}) can be obtained as

$$I_{in} = I_{D1} + I_{D2} = k_N \left[(V_C - 2V_{TN})V_{in} + \frac{V_{TN}^2}{2} \right] \quad (3)$$

The input resistance or equivalent resistance of the circuit is

$$R_{eq} = \frac{V_{in}}{I_{in}} = \frac{1}{k_N (V_C - 2V_{TN} + V_{TN}^2 / 2V_{in})} \quad (4)$$

In equation (4), the nonlinearity resistance saturation region operation of transistor M1. It should to cancel the nonlinearity of transistor M1 by using a P-channel MOS transistor with a current (source)-to-voltage level shifter to obtain $(V_{GS1} - V_{TN}) > V_{DS1}$.

The voltage level shifter circuit is shown in Fig.2 by consisting a P-channel MOS transistor and a current source as shown in Fig.2. Then, the output voltage is obtained as in equation(5).

$$V_O = V_{in} + V_X \quad (5)$$

where $k_P = \frac{\mu_P C_{ox}}{2} \left(\frac{W}{L} \right)$ and $V_X = \sqrt{\frac{I_1}{k_P}} + V_{TP}$

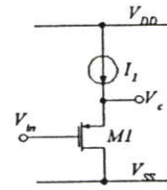


Fig.2 Voltage level shifter circuit

The proposed voltage-controlled resistor circuit is shown in Fig.3, the circuit consists 2 N-channel MOS transistor, 1 P-channel MOS transistor and a current source. The gate of transistor M2 is connected with the controlling voltage, the gate of transistor M1 is connected with the output of the voltage level shifter circuit. The output voltage of the voltage level shifter circuit obliges with the transistor M1 in order to operate in ohmic region by controlling V_X . Increase V_{G1} until transistor M1 can operate in ohmic region. Therefore, the drain current of M1 and M2 are

$$I_{D1} = k_N \left(\frac{V_{in}}{2} - V_{TN} + V_X \right) V_{in} \quad (6)$$

$$I_{D2} = k_N \left(V_C - V_{TN} - \frac{V_{in}}{2} \right) V_{in} \quad (7)$$

The resistance is given by;

$$R_{eq} = \frac{V_{in}}{I_{in}} = \frac{V_{in}}{I_{D1} + I_{D2}} = \frac{1}{k_N (V_C + V_X - 2V_{TN})} \quad (8)$$

The gate voltage of transistor M1 is V_{G1} and $V_{G1} = V_{in} + V_X$ as M1 operates in ohmic region under the conditions.

$$(V_{in} + V_X - V_{TN}) > V_{in} \quad (9)$$

ing controlling voltage (V_C) = 6 volts. The simulation result of the frequency response is shown in Fig.7.

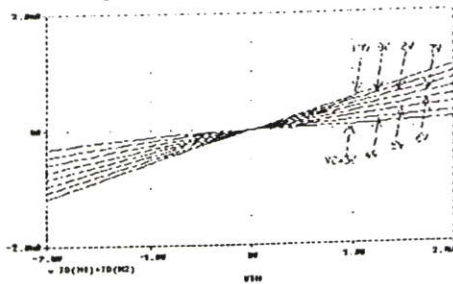


Fig.5 DC characteristic of proposed VCGR as V_C is varied

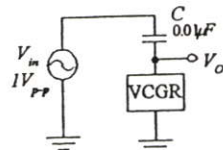


Fig.6 High-pass filter

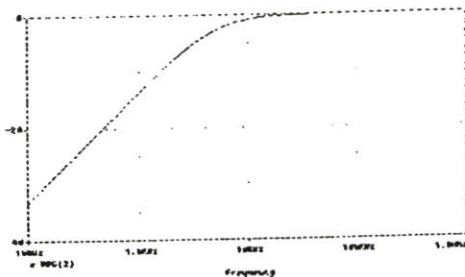


Fig.7 Frequency response of Fig.6

Conclusion

The proposed VCGR has a simple structure with linearity, its structure is based on voltage level shifter circuit in order to force the transistor to operate in ohmic region. The structure uses 3 MOS transistors and a current source, the dynamic range is about ± 2 volts and suitable for high frequency operation with wide controlling voltage not depending on power supply voltage.

References

- [1] M. Banu and Y.P. Tsividis, "Floating voltage-controlled resistors in MOS technology," *Electron. Letts.*, Vol.18, pp.678-679, July 1982.
- [2] I.S. Han and S.B. Park, "Voltage-controlled linear resistor by two MOS transistors and its application to active RC filter MOS integration," *Proc. IEEE*, Vol.72, pp.1655-1657, Nov. 1984.
- [3] R. Senani and D.R. Bhaskar, "A simple configuration for realizing voltage-controlled impedance," *IEEE Trans. Circuits Syst.*, Vol.CAS-39, pp.52-59, Jan. 1992.
- [4] G. Moon, M.E. Zaghoul and R.W. Newcomb, "An enhancement-mode MOS voltage-controlled linear resistor with large dynamic range," *IEEE Trans. Circuits Syst.*, Vol.CAS-37, pp.1284-1288, Jan.1990.
- [5] K. Nay and A. Budak, "A variable negative resistance," *IEEE Trans. Circuits Syst.*, Vol.CAS-32, pp.1193-1194, Jan. 1985.
- [6] K. Nagaraj, "New CMOS floating voltage-controlled resistor," *Electron. Letts.*, Vol.22, pp.667-668, June 1986.
- [7] G. Wilson and P.K. Chan, "Novel voltage-controlled grounded resistor," *Electron. Letts.*, Vol.25, pp.1725-1726, Dec.1989.
- [8] Z. Wang, "2-MOSFET transistors with extremely low distortion for output reaching supply voltages," *Electron. Letts.*, Vol.26, pp.951-952, June 1990.
- [9] Z. Wang, "Novel voltage-controlled grounded resistor," *Electron. Letts.*, Vol.26, pp.1711-1712, Sep. 1986.
- [10] Z. Wang, "Novel electronically-controlled floating resistors using MOS transistor operating in saturation," *Electron. Letts.*, Vol.27, pp.188-189, June 1991.
- [11] K.M. Al-rawaihi and J.M. Noras, "A novel linear resistor utilizing MOS transistors with identical sizes and one

- controlling voltage," *Int. J. Electronics*, Vol.76, No.6, pp.1083-1098, 1994.
- [12] R.L. Geiger, P.E. Allen and N.R. Strader, "VLSI design techniques for analog and digital circuit," McGraw-Hill Publishing Company, 1990.
- [13] P.R. Gray and R.G. Meyer, "Analysis and design of analog intergrated circuits," 2nd Edition, John Wiley & Sons, Inc., 1984.
- [14] P.E. Allen and D.R. Holberg, "CMOS analog circuit design," Holt Rinehart and Winston. Inc., 1987.
- [15] G.W. Roberts and A.S. Sedra, "Spice for microelectronic circuits," 3rd Edition, Saunders College Publishing, 1992.

INTERNATIONAL JOURNAL OF ELECTRONICS

Editor: Dr Stepan Lucyszyn
 Department of Electrical
 and Electronic Engineering
 Imperial College
 London
 SW7 2BT
 Tel: +44 (0) 20 7594 6167
 Fax: +44 (0) 20 7594 6308
 E-mail: s.lucyszyn@ic.ac.uk

Pipat Prommee
 109/22 M.19, Bangpung
 Prapadang, Samutprakarn, 10130
 Thailand

27 February, 2002

Dear Mr. Prommee,

ref: IJE/2001/06
 "An integrable electronic controlled quadrature sinusoidal oscillator using CMOS
 operational transconductor amplifier"
 authors: P. Prommee and K. Dejhan

I am pleased to advise you that the above paper has been accepted for publication in the
 International Journal of Electronics.

Please quote the above reference number in all correspondence relating to this paper. In due
 course you will be receiving proofs from our Production Department. **It is important that you
 check and return your proofs and associated documentation to Taylor & Francis within 48
 hours of receipt.** Please note also that you must not make substantive changes or amendments to
 the paper at proof stage.

Thank you again for choosing to submit your work to the International Journal of Electronics.

Yours sincerely,



Dr. Stepan Lucyszyn
 Editor, International Journal of Electronics

Department of Electrical and Electronic Engineering
 Imperial College, London SW7 2BT, U.K.
 Tel +44 - (0)171-594-6167
 Fax +44 - (0)171-594-6308
ije@ic.ac.uk



Taylor & Francis
 Taylor & Francis Group

An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier

PIPAT PROMMEE*† and KOBCHAI DEJHAN†

This paper describes two approaches to implementing third-order oscillators. The first approach proposes a third-order oscillator using transconductors and capacitors. They are cascaded as two lossy and one lossless integrator circuit. This approach is a feedback from transconductance with gain = 2 of a normal transconductance gain. This first circuit is based on a basic transconductor with a simple configuration including 16 transistors, four current sources and three capacitors. The second approach proposes a third-order oscillator using transconductors, capacitors and a transresistor circuit. These are cascaded as lossy integrator circuits and are feedback with voltage gain = 8. This voltage gain can be designed using a transconductor circuit and a transresistor circuit. This second circuit consists of 18 transistors, four current sources and three capacitors. Since both circuits use no resistors, they are suitable for further fabrication. These circuits use a ± 3 V power supply.

1. Introduction

Linear transconductors or voltage-to-current converter circuits are fundamental building blocks of analogue circuits and systems. They are used in analogue filters, voltage controlled-resistance circuits, A/D or D/A converters etc. Recently, sinusoidal oscillators have been created in various approaches (Senani 1985, 1993, Boutin 1986, Abuelma and Almaskati 1987, Vazquez *et al.* 1990, Chen *et al.* 1991, Bhaskar and Senani 1993). For analogue signal processing, the operational transconductance amplifier (OTA) is interesting. The OTA can be used for sinusoidal oscillators and analogue filters (Malvar 1982, Abuelma and Almaskati 1987). In this paper, we propose a new approach to implementing the two different sinusoidal oscillators. Both proposed circuits are based on a third-order network because a high-order network has high accuracy and high quality factor (Q). It gives us good frequency response with low distortion. The frequency output of the third-order oscillator is a high-accuracy, high-purity sine wave and multiple phase of output. Both approaches to oscillators are easily configured, frequency controllable and further integrable.

2. The operational transconductance amplifier (OTA)

The OTA has input as voltage, output as current. The simple CMOS OTA uses only four transistors and a current source, as shown in figure 1. From figure 1, the transconductance is given by

Received 12 January 2001. Accepted 5 March 2002.

† Research Center for Communication and Information Technology (ReCCIT), Faculty of Engineering, King's Mongkut Institute of Technology Ladkrabang, Bangkok 10520, Thailand.

* Corresponding author. e-mail: pipat@adm.cat.or.th, pipat@hotmail.com

P. Prommee and K. Dejhan

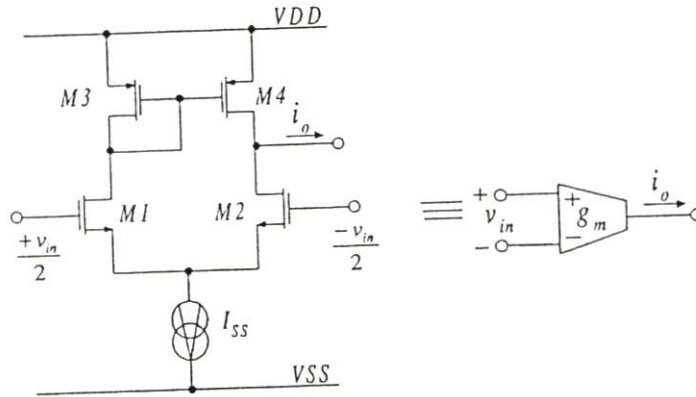


Figure 1. Simple operational transconductance amplifier (OTA).

$$g_m = \sqrt{(I_{SS})(\mu_0 C_{OX} W/L)} \tag{1}$$

The current I_{SS} can control transconductance, from (1).

3. Principle of the oscillator

Sinusoidal oscillators must normally have their loop gain (LG) set to 1. The principle of operation is shown as a block diagram in figure 2. This diagram consists of an amplifier (A), network ($H(s)$) and summing junction. Positive feedback has been assumed so that the transfer function is equal to

$$\frac{v_o}{v_{in}} = \frac{H(s)}{1 - kH(s)} = \frac{H(s)}{1 - LG} \tag{2a}$$

The operating principle of the oscillator can be obtained from (2a). When there is no input ($v_{in} = 0$) for finite output, theoretically v_o must be equal to infinity. This case can occur if and only if the loop gain (LG) = 1. The oscillator can be realized by loop gain ($kH(s)$) = 1 or by the denominator ($1 - LG$) = 0 accordingly.

Generally, for the third-order phase-shift oscillator, such as OPAMP, the feedback gain is very high ($\approx |29|$). For this reason, the size of transistors is very large. In addition, this is not suitable for the integrated form although the output is quite highly accurate. These are restrictions of the third-order sinusoidal oscillators.

The transfer function of the third-order oscillator can be written as

$$1 - LG = \frac{N(s)}{D(s)} = 0 \tag{2b}$$

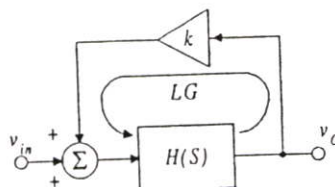


Figure 2. Block diagram of feedback system

Third-order oscillators using CMOS OTA

where the numerator $N(s)$ is a third-order polynomial. With its coefficients defined as a_i , $N(s)$ can be written as

$$N(s) = a_0s^3 + a_1s^2 + a_2s + a_3 \quad (3)$$

where $s = j\omega$. Thus

$$0 = N(j\omega) = -j\omega^3a_0 - \omega^2a_1 + j\omega a_2 + a_3 \quad (4)$$

From (4), the coefficients are found to be

$$a_3 - a_1\omega^2 = 0 \quad \text{and} \quad a_2 - \omega^2a_0 = 0 \quad (5)$$

From (5), the conditions for oscillation are given by

$$a_0a_3 - a_1a_2 = 0 \quad (6)$$

and then the oscillation frequency is

$$\frac{a_3}{a_1} = \frac{a_2}{a_0} = \omega^2 \quad (7)$$

4. The first OTA sinusoidal oscillator

The principle of lossy and lossless integrators is used to implement a third-order filter as shown in figure 3. The transfer function of the system in figure 3 can be written as

$$\frac{v_o}{v_{in}} = \frac{\alpha_1\alpha_2/\alpha_3}{s^3 + s^2(\alpha_1 + \alpha_2) + s\alpha_1\alpha_2} \quad (8)$$

or

$$\frac{v_o}{v_{in}} = \frac{\alpha_1\alpha_2/\alpha_3}{s(s^2 + s(\alpha_1 + \alpha_2) + \alpha_1\alpha_2)} \quad (9)$$

From figure 3, the lossy integrator can be implemented as in figure 4 and the transfer function can be written as

$$H(s) = \frac{v_o}{v_{in}} = \frac{(g_m/C)}{s + (g_m/C)} \quad (10)$$

The lossless integrator can be connected in a cascade of a second-order low-pass filter as shown in figure 5. Its transfer function can be written as

$$\frac{v_{o2}}{v_{in}} = \frac{g_{m1}g_{m2}/C_1C_2}{s^2 + (g_{m1}/C_1 + g_{m2}/C_2)s + (g_{m1}g_{m2}/C_1C_2)} \quad (11)$$

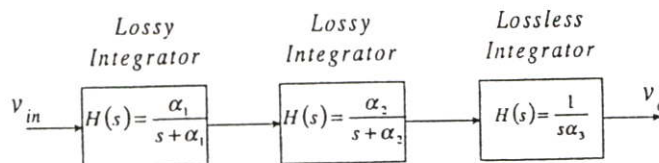


Figure 3. Third-order filter uses for first oscillator.

P. Prommee and K. Dejhan

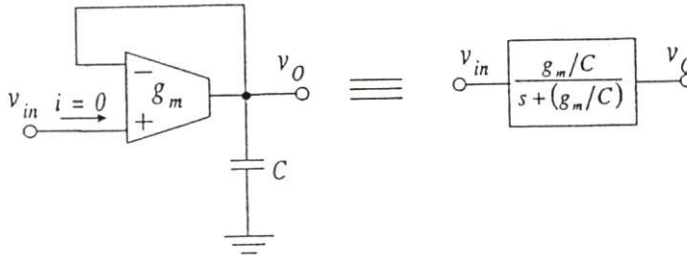


Figure 4. Lossy integrator used as an OTA.

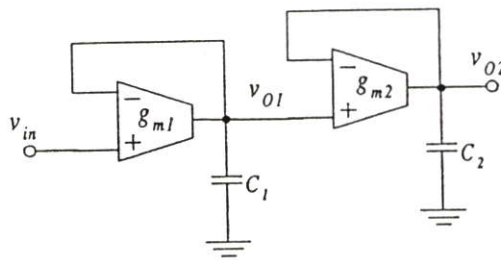


Figure 5. Second-order low-pass filter.

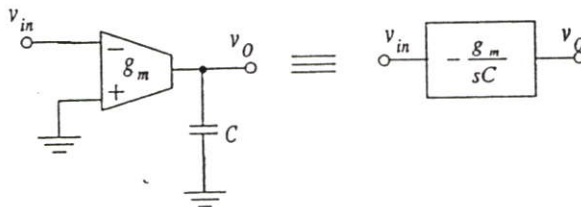


Figure 6. Lossless integrator.

From (11), the second-order low-pass filter equation can be implemented as a third-order filter by cascade of a lossless integrator, as shown in figure 6. From the integrator circuit of figure 6, the transfer function can be written as

$$\frac{v_o}{v_{in}} = -\frac{g_m}{sC} \quad (12)$$

When we use figure 5 to cascade with figure 6, as shown in figure 7(a), the transfer function can be written as

$$\frac{v_o}{v_{in}} = \frac{-g_{m1}g_{m2}g_{m3}/C_1C_2C_3}{s^3 + (g_{m1}/C_1 + g_{m2}/C_2)s^2 + (g_{m1}g_{m2}/C_1C_2)s} \quad (13)$$

v_o is feedback connected to v_{in} . The third-order low-pass filter shown in figure 7(a) becomes the sinusoidal oscillator in figure 7(b). In this case, the loop gain (LG) should be equal to 1. From (2)–(7), the coefficients of the polynomial are $a_0 = 1$,

Third-order oscillators using CMOS OTA

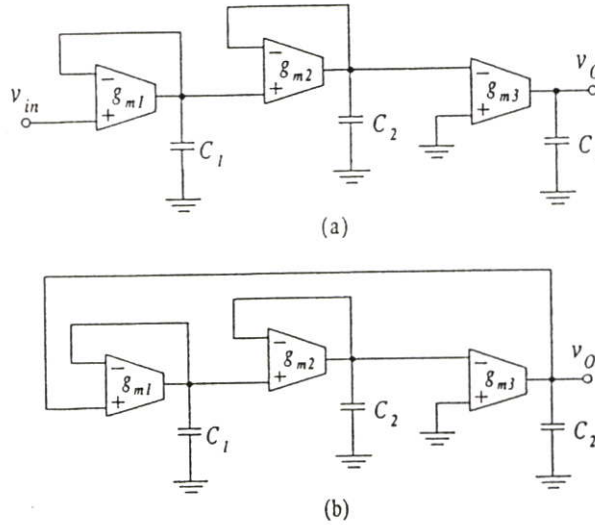


Figure 7. (a) Third-order filter. (b) Sinusoidal oscillator.

$a_1 = g_{m1}/C_1 + g_{m2}/C_2$, $a_2 = g_{m1}g_{m2}/C_1C_2$ and $a_3 = g_{m1}g_{m2}g_{m3}/C_1C_2C_3$, and the oscillating conditions can be written as

$$\frac{g_{m3}}{C_3} = \left(\frac{g_{m1}}{C_1} + \frac{g_{m2}}{C_2} \right) \tag{14}$$

and the oscillation frequency is

$$\omega_n = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \tag{15}$$

Suppose the transconductances are $g_{m1} = g_{m2} = g_m$ and $C_1 = C_2 = C_3 = C$. From (14), $g_{m3} = 2g_m$, the oscillation frequency becomes $\omega_n = g_m/C$ and its electronic-controllable frequency is controlled by g_m .

5. The second OTA sinusoidal oscillator

The previous method for the OTA sinusoidal oscillator uses the approach of lossy and lossless integrators which are cascaded. This method uses only lossy integrators, which are cascaded as a third-order filter as shown in figure 8. The transfer function can be written as

$$\frac{v_o}{v_{in}} = \frac{\alpha_1\alpha_2\alpha_3}{s^3 + s^2(\alpha_1 + \alpha_2 + \alpha_3) + s(\alpha_1\alpha_2 + \alpha_2\alpha_3 + \alpha_1\alpha_3) + \alpha_1\alpha_2\alpha_3} \tag{16}$$

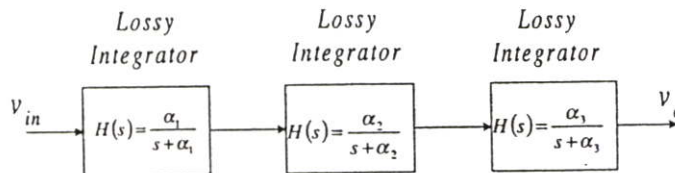


Figure 8. Third-order filter uses for second oscillator.

P. Prommee and K. Dejhan

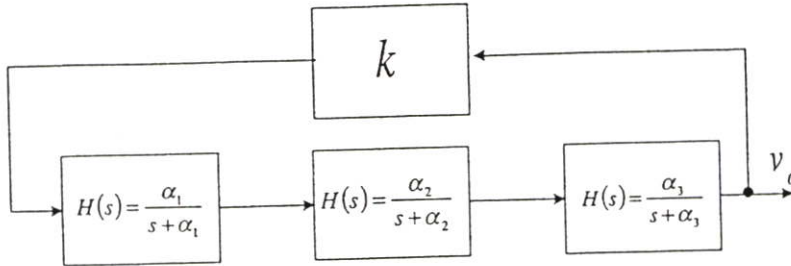


Figure 9. Principle of sinusoidal oscillator using lossy integrator.

From figure 8, we connect an amplifier with gain $= k$; then the feedback to input is as shown in figure 9. The loop gain is

$$LG = \frac{k\alpha_1\alpha_2\alpha_3}{s^3 + s^2(\alpha_1 + \alpha_2 + \alpha_3) + s(\alpha_1\alpha_2 + \alpha_2\alpha_3 + \alpha_1\alpha_3) + \alpha_1\alpha_2\alpha_3} \quad (17)$$

From (2)–(7), these oscillating conditions are given by

$$k = -\left(\frac{\alpha_1}{\alpha_3} + \frac{\alpha_1}{\alpha_2} + \frac{\alpha_2}{\alpha_3} + \frac{\alpha_2}{\alpha_1} + \frac{\alpha_3}{\alpha_1} + \frac{\alpha_3}{\alpha_2} + 2\right) \quad (18)$$

and the oscillation frequency becomes

$$\omega_n^2 = \alpha_1\alpha_2 + \alpha_2\alpha_3 + \alpha_1\alpha_3 \quad (19)$$

or

$$\omega_n^2 = \frac{(1-k)\alpha_1\alpha_2\alpha_3}{\alpha_1 + \alpha_2 + \alpha_3} \quad (20)$$

Suppose $\alpha_1 = \alpha_2 = \alpha_3 = \alpha_a$; then equations (18)–(20) become

$$\dot{k} = -8 \quad (21)$$

$$\omega_n^2 = 3\alpha_a^2 \quad \text{or} \quad \omega_n = \sqrt{3}\alpha_a \quad (22)$$

6. The OTA voltage amplifier

This amplifier consists of an OTA and a resistor as shown in figure 10. The gain is

$$\frac{v_o}{v_{in}} = -g_{m4}R_{eq} \quad (23)$$

The circuit in figure 10(b) is an electronic resistor (Wang 1990). The transistors are operated in the saturation region. In figure 10(b), matched transistors M1 and M2 are diode connected. The input I_{in} is applied to the central node of the circuit, developing a voltage V_o at the node. Using the square law characteristic, the drain currents in M1 and M2 can be expressed as

$$I_{D1} = \frac{\mu C_{OX}}{2} \left(\frac{W}{L}\right) (V_{DD} - V_o - V_T)^2 \quad (24)$$

$$I_{D1} = \frac{\mu C_{OX}}{2} \left(\frac{W}{L}\right) (V_o - V_{SS} - V_T)^2 \quad (25)$$

Third-order oscillators using CMOS OTA

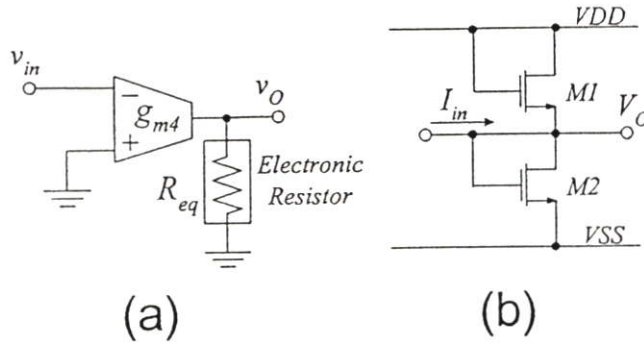


Figure 10. (a) OTA voltage amplifier. (b) Electronic resistor circuit.

where $V_{DD} = -V_{SS}$, μ is mobility of carriers, C_{OX} is the gate capacitance per unit area, V_T is the threshold voltage and W and L are the channel width and length, respectively.

Considering (24) and (25) as two square terms in the left-hand side of (24) and using KCL and the current constraint at the node, a simple algebraic manipulation gives the transresistance result

$$R_{eq} = \frac{V_o}{I_{in}} = \frac{L}{2\mu C_{OX} W (V_{DD} - V_T)} \quad (26)$$

This second sinusoidal oscillator must be used with the gain $k = -8$. So we set the resistance value in figure 10(b) to $R_{eq} = 8/g_{m4}$. The third-order filter can be constructed as in figure 11. The various parameters have been set to be $\alpha_1 = \alpha_2 = \alpha_3 = \alpha$, $g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$ and $C_1 = C_2 = C_3 = C$, so that the loop gain equals

$$LG = \frac{-8g_m^3/C^3}{s^3 + s^2(3g_m/C) + s(3g_m^2/C^2) + g_m^3/C^3} \quad (27)$$

The oscillating condition in equations (2)–(7), $N(s)$, will be given by

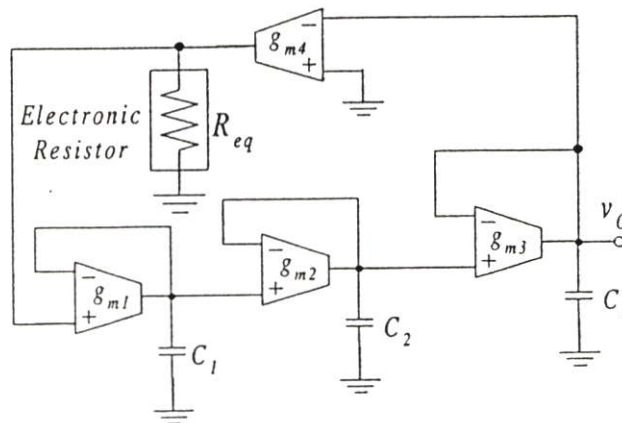


Figure 11. Second OTA sinusoidal oscillator.

P. Prommee and K. Dejhan

$$N(s) = 0 = s^3 + s^2(3g_m/C) + s(3g_m^2/C^2) + 9g_m^3/C^3 \quad (28)$$

The oscillation frequency is

$$\omega^2 = \frac{3g_m^2}{C^2} \quad \text{or} \quad \omega = \frac{\sqrt{3}g_m}{C} \quad (29)$$

The electronically controllable frequency is controlled by g_m .

7. Simulation and experimental results

The principles of the first and second designs can be realized by a simple OTA as shown in figures 12 and 13 respectively.

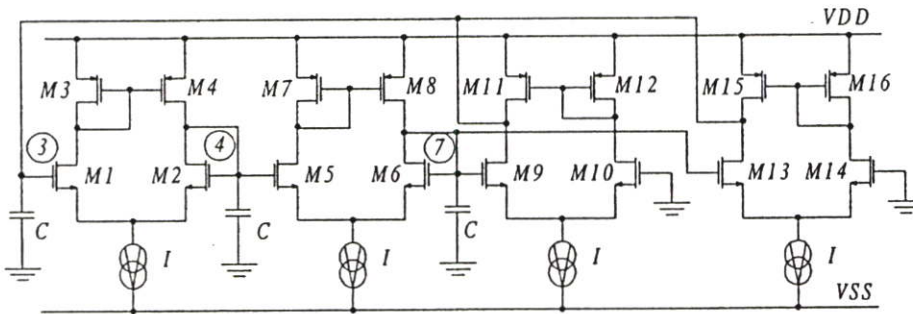


Figure 12. Complete first sinusoidal oscillator.

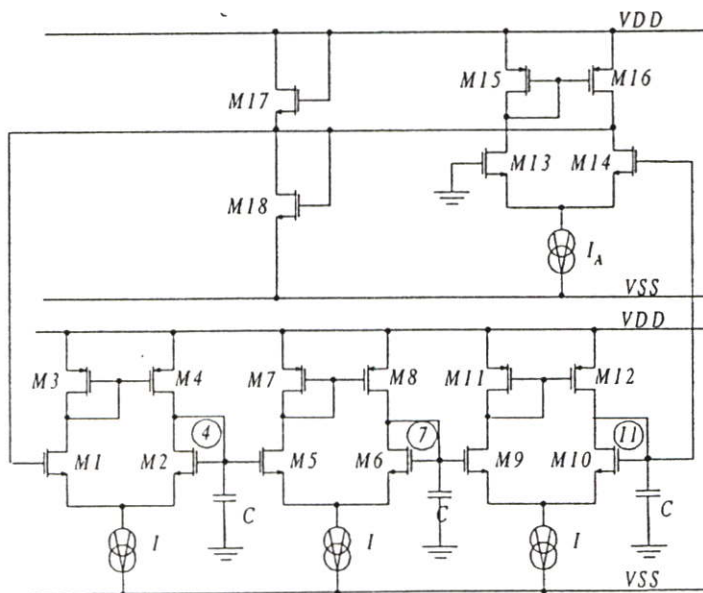


Figure 13. Complete second sinusoidal oscillator.

Third-order oscillators using CMOS OTA

Figure 12 shows the complete first sinusoidal oscillator using a simple OTA. The aspect ratio of the transistors is $W/L = 30 \mu\text{m}/5 \mu\text{m}$ for M1, M2, M3, M5, M6, M7, M12, M16, $W/L = 25 \mu\text{m}/5 \mu\text{m}$ for M4, M8, M11, M15, and $W/L = 50 \mu\text{m}/5 \mu\text{m}$ for M9, M10, M13, M14. The current sources vary in the range $I = 10 \mu\text{A} - 200 \mu\text{A}$ and capacitors vary from $C = 15 \text{pF}$ to $C = 100 \text{nF}$. The oscillation frequency is obtained in figure 14 and the different points of the sinusoidal signals are shown in figure 15. Their phases are about 90° different.

Figure 13 shows a complete second sinusoidal oscillator using a simple OTA. The aspect ratio of the transistors is $W/L = 30 \mu\text{m}/5 \mu\text{m}$ for M2, M3, M5, M6, M7, M9, M10, M11, $W/L = 25 \mu\text{m}/5 \mu\text{m}$ for M4, M8, M12, $W/L = 600 \mu\text{m}/5 \mu\text{m}$ for M13, M14, and $W/L = 5 \mu\text{m}/5 \mu\text{m}$ for M17, M18. The current sources vary from $I = 10 \mu\text{A}$ to $I = 200 \mu\text{A}$, $I_A = 600 \mu\text{A}$, and capacitors vary from $C = 15 \text{pF}$ to

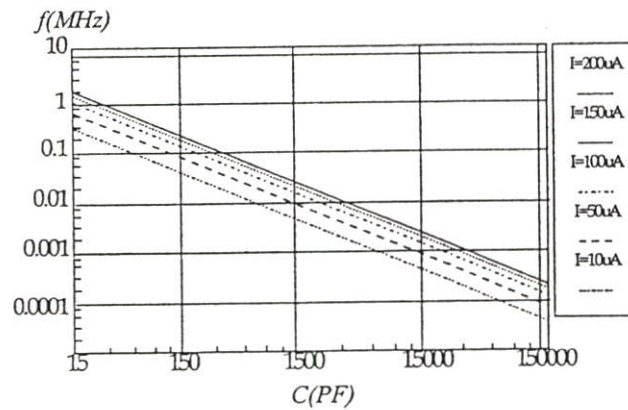


Figure 14. First oscillation frequencies with current I varied.

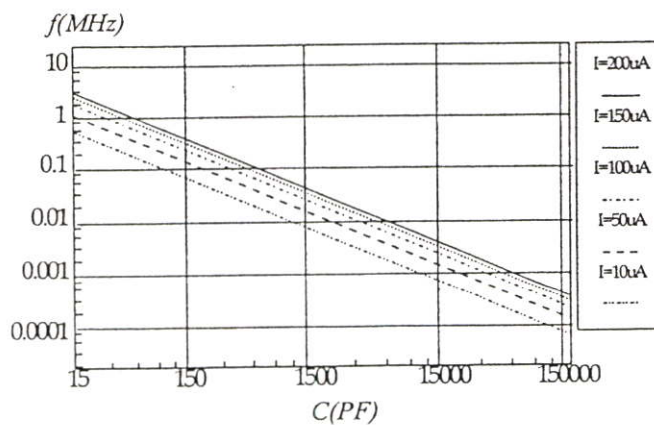


Figure 15. Different points sinusoidal signal of first oscillator with $C = 10 \text{nF}$, $I = 200 \mu\text{A}$, $f = 3.9 \text{kHz}$.

P. Prommee and K. Dejhan

$C = 100$ nF. The oscillation frequency is shown in figure 16 and the different points of the sinusoidal signals are shown in figure 17; their phases are about 90° different.

The MOS model is shown in figure 18. The simulation frequency spectrum output of both oscillators is shown in figures 19 and 20. The experimental frequency spectrum output of both oscillators is shown in figures 21 and 22. The fundamental frequencies of the first and second oscillator are 20 kHz and 30 kHz, respectively, with a total harmonic distortion (THD) of -35 dB lower than their fundamental frequencies. The THDs is shown in Table 1, along with the noise levels of both oscillators. The THDs are quite low depending on the current I controlled. A comparison of this paper and previous work is given in Table 2. The output voltage against varied current I of both oscillators is shown in figure 23. The bandwidth of both circuits can also be confirmed when $C = 15$ pF.

Implementation of the first and second oscillators can be obtained by CMOS complementary pairs MC14007 on a bread-board discrete circuit, as shown in figure 24(a) and (b) respectively. Capacitors of 0.01 μ F are used and the waveforms at different points are shown in figure 25(a) and (b), using 20 μ s/div and 10 μ s/div

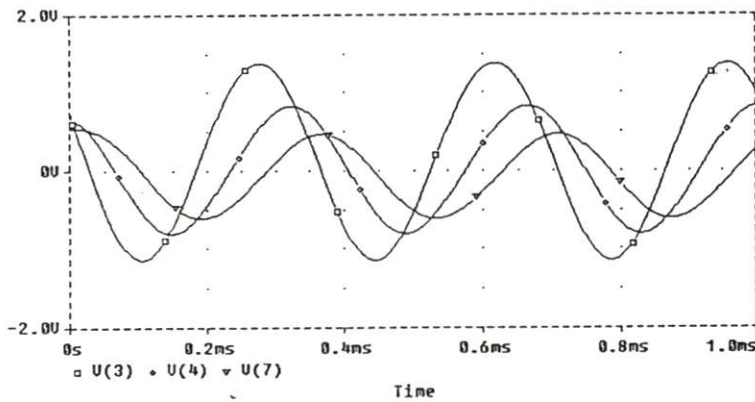


Figure 16. Second oscillation frequencies with current I varied.

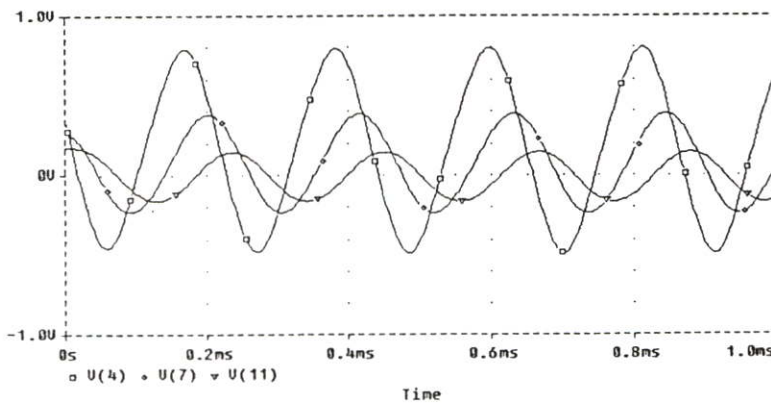


Figure 17. Different points sinusoidal signal of second oscillator with $C = 10$ nF, $I = 200$ μ A, $f = 4.7$ kHz.

Third-order oscillators using CMOS OTA

```

*-----ES-2-MODEL-----*
.MODEL NMOS1 NMOS LEVEL=2 NSUB=9.50E+15 VTO=+1.07 TOX=44.0N
+LD=0.15U XJ=1.0U DELTA=1.68 UO=0.693K UEXP=0.111 UCRIT=10.0K
+VMAX=41.0K NFS=0.1T PB=0.45 JS=100.0U RSH=45.0 NEFF=1.16
+CGSO=0.27N CGDO=0.27N CJSW=0.24N CJ=0.105M MJ=0.48 MJSW=0.27
*
.MODEL PMOS1 PMOS LEVEL=2 NSUB=3.24E+16 VTO=-0.79 TOX=44.0N
+LD=0.25U XJ=2.0U DELTA=0.89 UO=0.271K UEXP=0.181 UCRIT=10.0K
+VMAX=33.0K NFS=0.1T PB=1.04 JS=100.0U RSH=80.0 NEFF=0.77
+CGSO=0.35N CGDO=0.35N CJSW=0.43N CJ=0.330M MJ=0.48 MJSW=0.40
*

```

Figure 18. PSpice MOS model for the proposed oscillators.

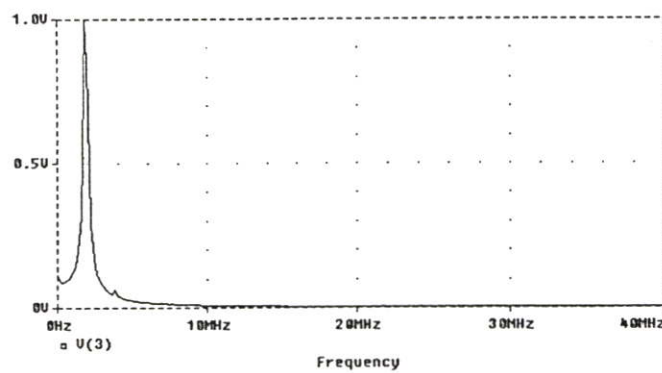


Figure 19. Simulation frequency spectrum of first oscillator with $f = 1.89$ MHz, $C = 15$ pF, $I = 200$ μ A.

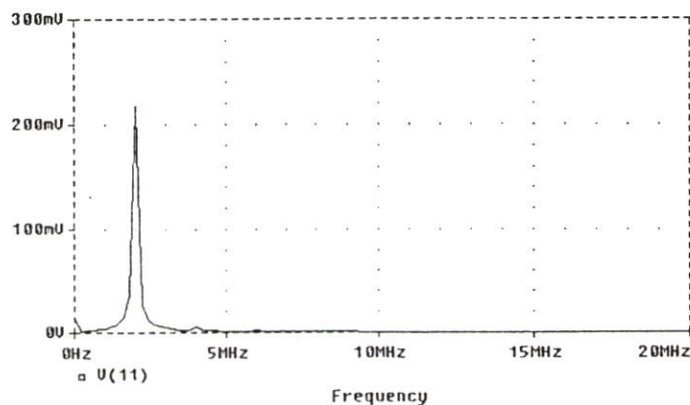


Figure 20. Simulation frequency spectrum of second oscillator with $f = 197$ MHz, $C = 20$ pF, $I = 200$ μ A.

P. Prommee and K. Dejhan

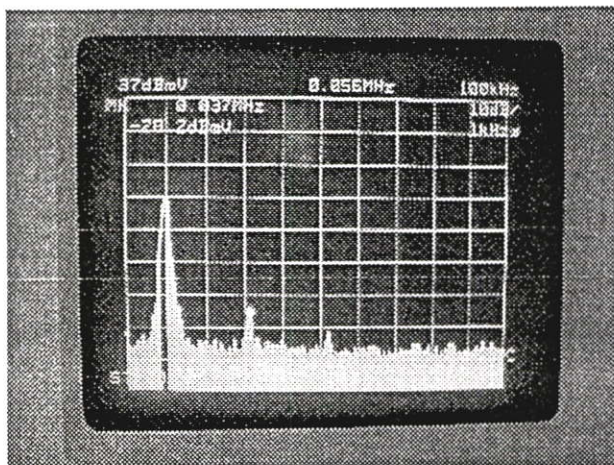


Figure 21. Experimental frequency spectrum of first oscillator.

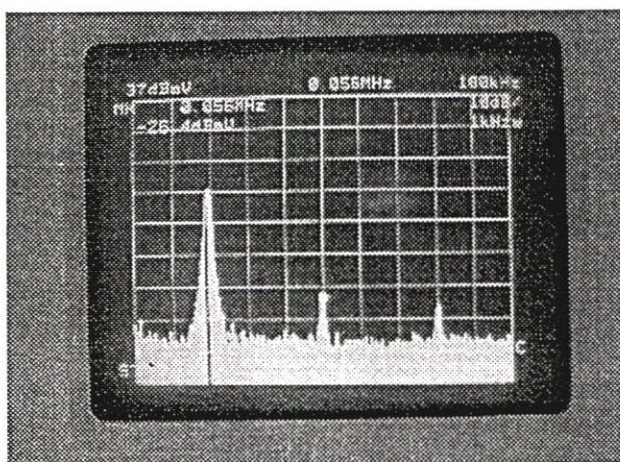


Figure 22. Experimental frequency spectrum of second oscillator.

respectively. The frequency output of both first and second oscillators is quite high, being a pure sine wave of about 20 kHz and 30 kHz respectively.

8. Conclusions

This paper presents new approaches to the sinusoidal oscillator based on the third-order principle. The authors do not see a need for any resistors suitable for further fabrication on chip. These oscillators have been used at ± 3 V with simple configurations. The output frequency can be adjusted by the current I . The experimental results are confirmed by PSpice with the level 2 European Silicon Structure model. The highest oscillating frequency is about 2 MHz. The hardware circuit can be confirmed by CMOS complementary pairs, MC14007. Its oscillating frequency outputs are quite good.

Third-order oscillators using CMOS OTA

THD	$I = 10 \mu\text{A}$	$I = 10 \mu\text{A}$	$I = 150 \mu\text{A}$	$I = 200 \mu\text{A}$	THD	$I = 10 \mu\text{A}$	$I = 10 \mu\text{A}$	$I = 10 \mu\text{A}$	$I = 150 \mu\text{A}$	$I = 200 \mu\text{A}$
$C = 15 \text{ pF}$	-25.67 dB	-29.7 dB	-32.57 dB	-35.64 dB	$C = 15 \text{ pF}$	-32.84 dB	-31.62 dB	-34.32 dB	-33.27 dB	
$C = 1.5 \text{ nF}$	-24.05 dB	-30.77 dB	-34.81 dB	-36.59 dB	$C = 1.5 \text{ nF}$	-29.19 dB	-31.87 dB	-34.75 dB	-34.75 dB	
$C = 150 \text{ nF}$	-24.39 dB	-3-.75 dB	-33.76 dB	-36.59 dB	$C = 150 \text{ nF}$	-29.16 dB	-32.14 dB	-35.67 dB	-37.26 dB	

(a)

(b)

Table 1. Total harmonic distortion of (a) first oscillator, (b) second oscillator.

P. Prommee and K. Dejhan

	Resistors	Capacitors	Active components	Easy to construct	THD (dB) range	Freq. range (simulation)	Freq. range (experimental)
Abuelma <i>et al.</i>	1	2	2	Yes	-	-	150 Hz-30 kHz
Bhaskar	3	2	2	No	-	-	4 kHz-16 kHz
Boutin	2	3	1	No	-	-	-
Chen <i>et al.</i>	2	2	1	Yes	-	100 Hz-100 kHz	-
Senani (1985)	2	3	1	No	-	-	500 Hz-1 MHz
Senani (1993)	3	3	2	No	-24 to -50	-	500 Hz-5 kHz
Vazquez <i>et al.</i>	-	2	6	Yes	-39 to -50	-	50 Hz-600 kHz
Proposed #1	-	3	3	Yes	-24.39 to -36.59	100 Hz-3 MHz	500 Hz-50 kHz
Proposed #2	-	3	4	Yes	-29.16 to -37.26	100 Hz-4 MHz	500 Hz-60 kHz

Table 2. Comparison of proposed oscillator with those of previous papers.

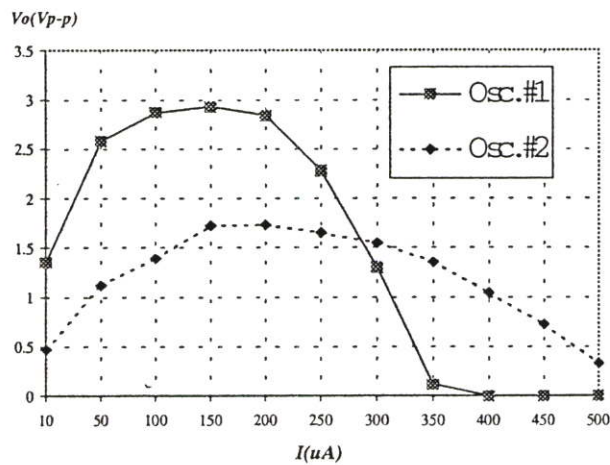


Figure 23. Output voltage of proposed oscillators against varying I when $C = 15$ pF.

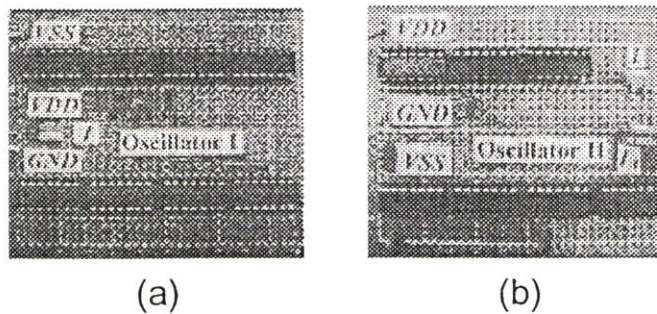


Figure 24. Implementation of (a) first oscillator, (b) second oscillator.

Third-order oscillators using CMOS OTA

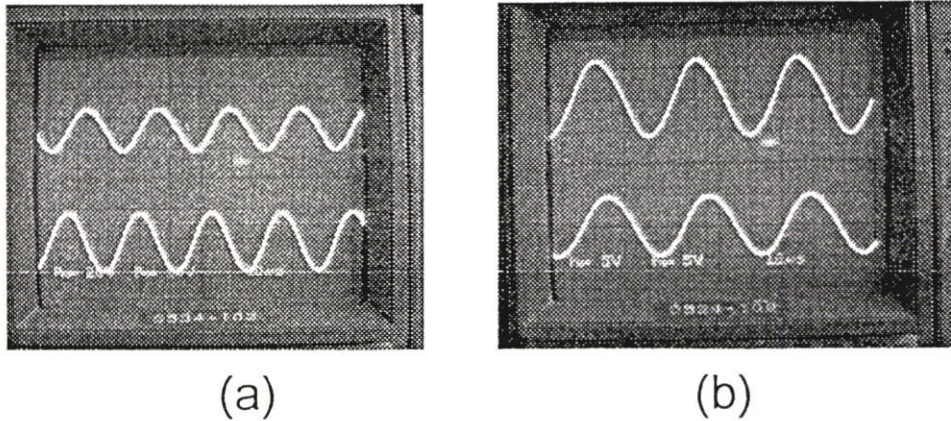


Figure 25. Nodes 4 and 7 output waveform of (a) first oscillator, (b) second oscillator.

References

- ABUELMA, M. T., and ALMASKATI, R. H., 1987, New OTA-based active-C oscillator. *International Journal of Electronics*, **63**, 331–334.
- ALLEN, P. E., and HOLBERG, D. R., 1987, *CMOS Analog Circuit Design* (Holt Rinehart and Winston).
- BHASKAR, D. R., and SENANI, R., 1993, New current-conveyor based single resistance-controlled/voltage-controlled oscillator employing grounded capacitors. *Electronics Letters*, **29**, 612–614.
- BOUTIN, N., 1986, Synthesis of oscillator circuits employing only one unity-gain amplifier. *Electronics Letters*, **22**, 22–23.
- CHEN, J. J., CHEN, C. C., TSAO, H. W., and LIU, S. I., 1991, Current-mode oscillator using single current follower. *Electronics Letters*, **27**, 2056–2059.
- GRAY, P. R., and MAYER, R. G., 1984, *Analysis and design in analog integrated circuits*, 2nd edition (John Wiley).
- SALVER, M. H., 1982, Electronically controlled active filter with operational transconductance amplifier. *IEEE Transactions on Circuits and Systems*, **29**, 333–336.
- SENANI, R., 1985, New RC-active oscillator configuration employing unity-gain amplifiers. *Electronics Letters*, **26**, 889–891.
- SENANI, R., 1993, Simple sinusoidal oscillator using opamp compensation poles. *Electronics Letters*, **29**, 452–453.
- SINENCIO, E. S., GEIGER, R. L., and LOZANO, H. N., 1988, Generation of continuous-time two integrator loop OTA filter structures. *IEEE Transactions on Circuits and Systems*, **35**, 936–946.
- TOUMAZOU, C., LIDGEY, F. J., and HAIGH, D. G., 1990, *Analogue IC Design: the Current Mode Approach* (Peter Peregrinus).
- VAZQUEZ, A. R., BARRANCO, B. L., HUERTAS, J. L., and SINENCIO, E. S., 1990., On the design of voltage-controlled sinusoidal oscillators using OTA's. *IEEE Transaction on Circuits and Systems*, **37**, 198–211.
- WANG, Z., 1990, 2-MOSFET tranresistors with extremely low distortion for output reaching supply voltage. *Electronics Letters*, **26**, 951–952.

ประวัติผู้เขียน



นายพิพัฒน์ พรหมมี เกิดเมื่อวันที่ 6 สิงหาคม พ.ศ.2512 ที่กรุงเทพมหานคร จบการศึกษาปริญญาอุตสาหกรรมศาสตรบัณฑิต สาขาเทคโนโลยีโทรคมนาคม และ ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2534 และ 2537 ตามลำดับ เข้าทำงานที่กองโทรศัพท์ระหว่างประเทศ การสื่อสารแห่งประเทศไทย ตั้งแต่ปี 2535 ในวิศวกรระดับ 3 ถึงปัจจุบัน ขณะนี้ดำรงตำแหน่งวิศวกรระดับ 7