

การปรับปรุง Line Code 2B1Q ในการเข้ารหัสเพื่อเพิ่มประสิทธิภาพ
การรับส่งข้อมูล

LINE CODE 2B1Q IMPROVEMENT FOR CODING EFFICIENCY
INCREASING DATA TRANSMISSION

อภิชาติ เลิศศุภศาสตร์
APICHAT LEARTSUPASART

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2545

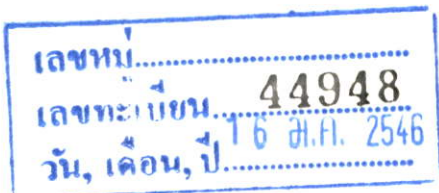
ISBN 974-324-077-2

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การปรับปรุง Line Code 2B1Q ในการเข้ารหัสเพื่อเพิ่มประสิทธิภาพ
การรับส่งข้อมูล

LINE CODE 2B1Q IMPROVEMENT FOR CODING EFFICIENCY
INCREASING DATA TRANSMISSION

อภิชาติ เลิศสุภศาสตร์
APICHAT LEARTSUPASART



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2545

ISBN 974-324-077-2

**LINE CODE 2B1Q IMPROVEMENT FOR CODING EFFICIENCY
INCREASING DATA TRANSMISSION**

APICHAT LEARTSUPASART

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2002

ISBN 974-324-077-2

COPYRIGHT 2002

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การปรับปรุง Line Code 2B1Q ในการเข้ารหัสเพื่อเพิ่มประสิทธิภาพการรับส่งข้อมูล
นักศึกษา	อภิชาติ เลิศสุภศาสตร์
รหัสประจำตัว	42061147
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2545
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. กอบชัย เดชหาญ

บทคัดย่อ

การสื่อสารข้อมูลปัจจุบัน ปัจจัยสำคัญอย่างหนึ่งที่กำหนดประสิทธิภาพในการสื่อสารข้อมูลคือ อัตราเร็วในการรับส่งข้อมูล วิธีการเข้ารหัสของ line code 2B1Q [1-4] เป็นอีกวิธีหนึ่งที่ใช้งานในด้านสื่อสารข้อมูล ดังนั้นในบทความนี้ได้เสนอการปรับปรุง line code 2B1Q ด้วยวิธี PAM ในการเข้ารหัสเพื่อที่จะเพิ่มความเร็วในการรับและส่งข้อมูล ซึ่งใช้โปรแกรมเลียนแบบการทำงานพร้อมทำการทดลอง โดยผลการเลียนแบบการทำงานกับผลการทดลองสอดคล้องกัน

Thesis Title	Line Code 2B1Q Improvement for Coding Efficiency Increasing Data Transmission
Student	Mr. Apichat Leartsupasart
Student ID	42061147
Degree	Master of Engineering
Program	Electrical Engineering
Year	2002
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

The line code 2B1Q is widely used in data communication but the disadvantage is the low speed transmission. It uses 2-bit for encoding at each time. This paper proposes to improve this line code 2B1Q with PAM by very the additional function with line code 2B1Q in order to have the high speed for transmitting and receiving the data. The PSpice program simulator is used to simulate the results, the experimental are carried out.

กิตติกรรมประกาศ

การจัดทำวิทยานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงได้เป็นอย่างดี ด้วยคำแนะนำและคำปรึกษาเกี่ยวกับการวิเคราะห์จากรองศาสตราจารย์ ดร.กอบชัย เศรษฐาญ ซึ่งได้ให้ความอนุเคราะห์จนทำให้ผู้วิจัยเขียนวิทยานิพนธ์ฉบับนี้สำเร็จได้ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณมา ณ ที่นี้

ขอขอบคุณเพื่อนๆ พี่ๆ และทุกคนที่ให้ความช่วยเหลือในการศึกษาและการทำงานวิทยานิพนธ์นี้

ขอขอบคุณบัณฑิตวิทยาลัยและภาควิชาวิศวกรรมโทรคมนาคมของสถาบันที่เอื้ออำนวยอำนวยความสะดวกเขียนวิทยานิพนธ์ทุกขั้นตอน

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่านและหวังว่าวิทยานิพนธ์นี้จะประโยชน์บ้างไม่มากก็น้อยในทำวิจัยและนำไปประยุกต์ใช้ประโยชน์ต่อไป

อภิชาติ เลิศสุภศาสตร์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VIII
สารบัญรูป.....	IX
บทที่ 1 บทนำ.....	1
1.1 กล่าวนำ.....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์.....	1
1.3 ทฤษฎีหรือแนวคิดที่ใช้ในวิทยานิพนธ์.....	2
1.4 ขอบเขตงานวิจัย.....	2
บทที่ 2 ทฤษฎีพื้นฐานในการส่งและรับข้อมูล.....	3
2.1 โครงสร้างพื้นฐาน.....	3
2.2 การรับส่งสัญญาณดิจิทัลแบบเบสแบนด์.....	4
2.3 การรับส่งข้อมูลแบบไบนารี.....	4
2.4 การมอดูเลตเชิงแอมพลิจูด.....	6
2.5 line code 2B1Q.....	9
2.6 การปรับปรุง line code 2B1Q ด้วยวิธี PAM.....	10
บทที่ 3 การออกแบบวงจร.....	13
3.1 บล็อกไดอะแกรม.....	13
3.2 วงจรกำเนิดสัญญาณนาฬิกา.....	14
3.3 วงจรการทำงานของ line code 2B1Q.....	14
3.4 การตรวจสอบข้อผิดพลาด.....	15
3.5 วงจรแปลงสัญญาณ line code 2B1Q และวงจรถอดรหัส.....	16
3.6 วงจรการปรับปรุง line code 2B1Q ด้วยวิธี PAM.....	16

สารบัญ(ต่อ)

	หน้า
บทที่ 4 การเขียนแบบการทำงานด้วยโปรแกรม PSpice และผลการทดลอง.....	18
4.1 การเขียนแบบการทำงานของ line code 2B1Q	18
4.1.1 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 64 kbps.....	18
4.1.2 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 128 kbps.....	20
4.1.3 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 192 kbps.....	21
4.1.4 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 256 kbps.....	23
4.1.5 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 320 kbps.....	24
4.1.6 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 384 kbps.....	26
4.1.7 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 448 kbps.....	27
4.1.8 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 512 kbps.....	29
4.2 การเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM.....	31
4.2.1 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ ความเร็ว 64 kbps	31
4.2.2 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ ความเร็ว 128 kbps.....	34
4.2.3 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ ความเร็ว 192 kbps.....	36
4.2.4 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ ความเร็ว 256 kbps.....	38
4.2.5 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ ความเร็ว 320 kbps.....	40
4.2.6 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ ความเร็ว 384 kbps.....	42
4.2.7 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ ความเร็ว 448 kbps.....	44
4.2.8 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ ความเร็ว 512 kbps.....	46
4.3 ผลการทดลองของ line code 2B1Q.....	48

สารบัญ(ต่อ)

	หน้า
4.3.1 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 64 kbps.....	48
4.3.2 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 128 kbps.....	49
4.3.3 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 192 kbps.....	50
4.3.4 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 256 kbps.....	51
4.3.5 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 320 kbps.....	52
4.3.6 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 384 kbps.....	53
4.3.7 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 448 kbps.....	54
4.3.8 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 512 kbps.....	55
4.4 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM.....	54
4.4.1 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps	56
4.4.2 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps.....	58
4.4.3 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps.....	60
4.4.4 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps.....	62
4.4.5 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 320 kbps	64
4.4.6 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 384 kbps.....	66
4.4.7 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 448 kbps.....	68
4.4.8 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 512 kbps.....	70
บทที่ 5 สรุปผลการทดลองและข้อเสนอแนะ.....	72
5.1 วิเคราะห์ผลการทดลอง.....	72

สารบัญ(ต่อ)

	หน้า
5.2 สรุปผลการทดลอง.....	73
5.3 ข้อควรปรับปรุงและเสนอแนะ.....	73
เอกสารอ้างอิง.....	74
ภาคผนวก.....	75
ผลงานที่ได้รับการตีพิมพ์.....	90
ประวัติผู้เขียน.....	91

สารบัญตาราง

ตารางที่	หน้า
4.1 แสดงข้อมูลที่ป้อนให้กับวงจร line code 2B1Q.....	18
4.2 แสดงข้อมูลที่ป้อนให้กับวงจร line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM.....	31

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างพื้นฐาน.....	3
2.2 แสดงการรับสัญญาณ $r(t)$ ที่เหมาะสม.....	4
2.3 สัญญาณอนาล็อก $m(t)$ และสัญญาณพีเอเอ็ม.....	6
2.4 ความสัมพันธ์ของสัญญาณและสเปกตรัมของสัญญาณที่เกี่ยวข้องกับสัญญาณพีเอเอ็ม.....	8
2.5 วงจรความถี่ต่ำสำหรับสัญญาณพีเอเอ็มที่ใช้วงจรอีควอไลเซอร์ $Q^{-1}(\omega)$ มาช่วยชดเชยความเพี้ยนของสัญญาณ.....	9
2.6 แสดงระดับแรงดันและสัญลักษณ์.....	10
2.7 แสดงวงจรเลียนแบบการทำงานของ line code 2B1Q.....	10
2.8 แสดงการปรับปรุง line code 2B1Q ด้วยวิธี PAM.....	10
2.9 แสดงเอาต์พุตของ 2B1Q (a) 2B1Q A, (b) 2B1Q B.....	11
2.10 แสดงเอาต์พุตของ 2B1Q C.....	12
3.1 บล็อกไดอะแกรมของวงจร line code 2B1Q.....	13
3.2 บล็อกไดอะแกรมของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM.....	13
3.3 วงจรกำเนิดสัญญาณ.....	14
3.4 แสดงวงจรการทำงานของ line code 2B1Q.....	15
3.5 แสดงวงจรหน่วงเวลาและวงจรตรวจสอบข้อมูล.....	15
3.6 แสดงวงจรแปลงสัญญาณ line code 2B1Q และวงจรถอดรหัส.....	16
3.7 แสดงวงจรการปรับปรุง Line code 2B1Q ด้วยวิธี PAM.....	17
4.1 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 64 kbps.....	19
4.2 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 64 kbps.....	19
4.3 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1).....	20
4.4 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 128 kbps.....	20
4.5 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 128 kbps.....	21
4.6 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1).....	21
4.7 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 192 kbps.....	22
4.8 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 192 kbps.....	22
4.9 สัญญาณเอาต์พุตที่ A1, A0 และสัญญาณอินพุต V(Vin1).....	23
4.10 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 256 kbps.....	23

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.11 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 256 kbps).....	24
4.12 สัญญาณเอาต์พุตที่ A1, A0 และสัญญาณอินพุต V(Vin1).....	24
4.13 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 320 kbps.....	25
4.14 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 320 kbps.....	25
4.15 สัญญาณเอาต์พุตที่ A1, A0 และสัญญาณอินพุต V(Vin1).....	26
4.16 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 384 kbps.....	26
4.17 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 384 kbps.....	27
4.18 สัญญาณเอาต์พุตที่ A1, A0 และสัญญาณอินพุต V(Vin1).....	27
4.19 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 448 kbps.....	28
4.20 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 448 kbps.....	28
4.21 สัญญาณเอาต์พุตที่ A1, A0 และสัญญาณอินพุต V(Vin1).....	29
4.22 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 512 kbps.....	29
4.23 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 512 kbps.....	30
4.24 สัญญาณเอาต์พุตที่ A1, A0 และสัญญาณอินพุต V(Vin1).....	30
4.25 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps.....	32
4.26 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps.....	32
4.27 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 64 kbps.....	33
4.28 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)	33
4.29 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps.....	34
4.30 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps.....	34
4.31 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 128 kbps.....	35
4.32 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)	35
4.33 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps.....	36
4.34 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps.....	36
4.35 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 192 kbps.....	37
4.36 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)	37
4.37 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps.....	38
4.38 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps.....	38

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.95 สัญญาณเอาต์พุทของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 512 kbps.....	70
4.96 การเปรียบเทียบสัญญาณอินพุทกับสัญญาณเอาต์พุทของภาครับที่ความเร็ว 512 kbps	71
5.1 แสดงการเปรียบเทียบผลรวมของจำนวนบิตที่เข้ารหัสได้ภายใน 1 วินาที.....	73

บทที่ 1

บทนำ

1.1 กล่าวนำ

ในระบบ PCM (Pulse code modulation) การส่งสัญญาณดิจิทัลไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่น สายคู่ตีเกลียว สายเคเบิล และสายโคแอกเซียล เป็นต้น สัญญาณดิจิทัลที่ถูกส่งออกไปนั้นจะเป็นสัญญาณดิจิทัลแบบเบสแบนด์โดยไม่ทำการมอดูเลตกับคลื่นพาห์ ปัจจัยสำคัญที่กำหนดประสิทธิภาพในการสื่อสารข้อมูลคือ อัตราเร็วในการรับและส่งข้อมูลเป็นสิ่งที่ใช้บอกถึงประสิทธิภาพในการรับส่งข้อมูลจากต้นทางไปสู่ปลายทาง โดยทั่วไปจะใช้การวัดจำนวนบิตที่ถูกส่งภายในหนึ่งวินาที ยิ่งค่าดังกล่าวมีค่าสูงเท่าใดก็ย่อมเป็นการแสดงว่าสามารถส่งข้อมูลผ่านเครือข่ายไปปลายทางได้รวดเร็วยิ่งขึ้นและในขณะเดียวกันจะต้องใช้กับอุปกรณ์ที่มีอยู่ได้ด้วยเพื่อประหยัดค่าใช้จ่าย ดังนั้นการปรับปรุง line code 2B1Q (two binary one quaternary) [1-4] ที่ใช้กับอุปกรณ์ต่างๆเช่น อุปกรณ์ DSU (data service unit) หรืออุปกรณ์ NTU (network terminal unit) และใช้ในระบบ ISDN (integrated service digital network) เป็นต้น เพื่อเป็นแนวทางในการพัฒนาปรับปรุง line code 2B1Q ให้มีประสิทธิภาพที่ดีกว่าเดิมจึงได้นำเทคนิคการมอดูเลตแบบ PAM (pulse amplitude modulation) เพื่อเพิ่มขีดความสามารถในการเข้ารหัสทำให้รับส่งข้อมูลได้เร็วกว่าเดิม

1.2 วัตถุประสงค์ของวิทยานิพนธ์

ในการวางระบบเครือข่ายสื่อสารโทรคมนาคมหรือเครือข่ายหลักที่เรียกว่า แบ็กโบน จะถูกวางให้ผ่านจุดต่างๆที่มีปริมาณการใช้งานสูง เครือข่ายหลักนี้จะเป็นส่วนที่สามารถใช้งานร่วมกันสำหรับผู้ใช้บริการจำนวนมากๆได้ จากนั้นจะแยกย่อยออกเป็นเครือข่ายย่อย จากเครือข่ายย่อยๆก็จะกระจายไปตามจุดต่างๆที่มีการใช้งานหนาแน่น และสุดท้ายจะเป็นส่วนที่เชื่อมโยงเข้าสู่ผู้ใช้บริการ ซึ่งได้แก่ที่อยู่อาศัยหรือองค์กรธุรกิจต่างๆ เครือข่ายระยะสุดท้ายนี้เองที่มักจะมีค่าใช้จ่ายเฉลี่ยต่อหน่วยสูงที่สุด เนื่องจากใช้งานเฉพาะผู้ใช้รายนั้นๆเท่านั้น ไม่มีการร่วมใช้งานกับผู้ใช้รายอื่นๆ เพื่อให้สามารถใช้สายโทรศัพท์ทองแดงที่มีอยู่ สามารถส่งข้อมูลและรับข้อมูลด้วยความเร็วสูงได้ ดังนั้น line code 2B1Q จึงเป็นไลน์โค้ดชนิดหนึ่งที่ใช้ในการส่งสัญญาณดิจิทัลไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่น สายคู่ตีเกลียว สายแพร์เคเบิล และสายโทรศัพท์ทองแดง เป็นต้น เพื่อที่จะปรับปรุง line code 2B1Q ให้มีเพื่อเพิ่มขีดความสามารถในการเข้ารหัส ทำให้ส่งและรับข้อมูลได้เร็วกว่าเดิมและอื่นๆโดยใช้สายส่งแพร์เคเบิลหรือสายโทรศัพท์ทองแดง เนื่องจากระยะทางจาก network ไปยังลูกค้าหรือจากชุมสายโทรศัพท์ไปบ้านเข้านั้นมีระยะทางประมาณ 0-5 กิโลเมตร ดังนั้นสายโทรศัพท์ทองแดงที่ใช้มีระยะทางประมาณ 0-5 กิโลเมตรด้วย ทำให้เรา

สามารถลดค่าใช้จ่ายในส่วนของเคเบิลได้และยังมีประโยชน์ที่จะนำมาพัฒนาให้ดีขึ้นเพื่อที่จะนำมาใช้งานในอนาคตต่อไป

1.3 ทฤษฎีหรือแนวคิดที่ใช้ในวิทยานิพนธ์

แนวคิดที่ใช้ในวิทยานิพนธ์นี้จะใช้ทฤษฎี PAM (pulse amplitude modulation) มาทำการปรับปรุง line code 2B1Q โดยใช้โปรแกรม PSpice เลียนแบบการทำงานและทำการทดลอง เพื่อปรับปรุงให้ มีประสิทธิภาพที่ดีกว่า line code 2B1Q โดยใช้ทฤษฎี PAM (pulse amplitude modulation) เลียนแบบการทำงานด้วยโปรแกรม PSpice และทำการทดลอง

1.4 ขอบเขตงานวิจัย

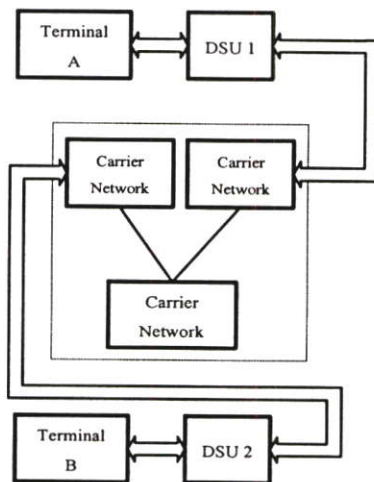
วิทยานิพนธ์นี้มีวัตถุประสงค์ในการออกแบบจำลองการเข้ารหัสภาคแปลงแก้ไข line code 2B1Q ให้มีประสิทธิภาพในการเข้ารหัสที่ดีกว่าเดิม ซึ่งเป็นผลให้สามารถรับและส่งข้อมูลได้เร็วขึ้นในการทดลองจึงสมมุติค่าคงที่แทนสัญลักษณ์ที่ระดับแรงดันต่างๆ ซึ่งอาจไม่ได้ตามค่ามาตรฐานของ line code 2B1Q แต่หลักการเข้ารหัสจะเป็นไปตามทฤษฎี PAM (pulse amplitude modulation)

บทที่ 2

ทฤษฎีพื้นฐานในการส่งและรับข้อมูล

2.1 โครงสร้างพื้นฐาน

ในการส่งข้อมูลดิจิทัลแบบซิงโครนัส มีหลักการส่งโดยอาศัยจังหวะไทม์มิง (สัญญาณนาฬิกา) ร่วมกับระบบการส่งเครือข่าย โดยที่แต่ละสถานีทวนสัญญาณจะจัดเตรียมแหล่งจ่ายสัญญาณนาฬิกาแบบดิจิทัล (Digital Clock Supply) ซึ่งจะสร้างสัญญาณนาฬิกาให้กับเครือข่ายเพื่อให้อุปกรณ์ DSU (Digital Service Unit) และอุปกรณ์มัลติเพล็กซ์ทำงานตามจังหวะ ในรูปที่ 2.1 สัญญาณดิจิทัลที่ส่งจากเทอร์มินัล A ไปยังอุปกรณ์ DSU1 (Digital Service Unit) ซึ่งจะทำการจัดรูปสัญญาณดิจิทัลให้เป็นสัญญาณที่เหมาะสม สำหรับการส่งข้อมูลไปทางสายส่งแพร์เคเบิลไปยังอุปกรณ์ภาคมัลติเพล็กซ์ของสถานีทวนสัญญาณจะรับสัญญาณดิจิทัลจากอุปกรณ์ DSU 1 เพื่อทำการรวมสัญญาณที่มากกว่าสองสัญญาณเข้าด้วยกัน และถูกส่งโดยวิธีส่งแบบดิจิทัลมัลติเพล็กซ์ในเส้นทางทางส่งทวนสัญญาณ ส่วนอีกด้านหนึ่งของสถานีทวนสัญญาณจะรับสัญญาณดิจิทัลมัลติเพล็กซ์ไปทำการดีมัลติเพล็กซ์แยกสัญญาณเพื่อที่จะส่งข้อมูลไปทางสายส่งแพร์เคเบิลไปยังอุปกรณ์ DSU 2 (Digital Service Unit) และส่งต่อไปยังเทอร์มินัล B



รูปที่ 2.1 โครงสร้างพื้นฐาน

2.2 การรับส่งสัญญาณดิจิทัลแบบเบสแบนด์

เมื่อเราพิจารณาวิธีการ modulation และ การ demodulation ของ digital baseband สำหรับการส่งข่าวสารผ่านการปรับปรุงแต่ละ channel ด้วย Gaussian noise ในที่นี้เราจะกล่าวถึง การ modulate binary pulse

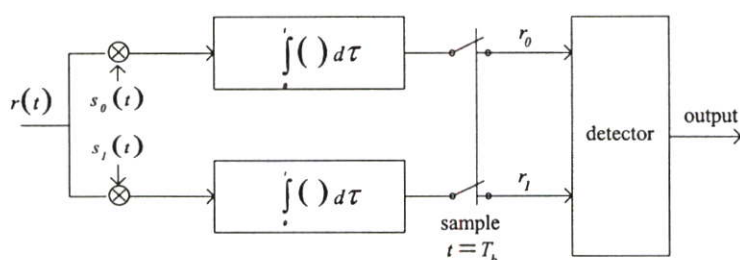
2.3 การรับส่งข้อมูลแบบไบนารี

ในระบบ binary communication system ประกอบด้วย 0 หรือ 1 ส่งรูปคลื่นสัญญาณได้สองสัญญาณ คือ $S_0(t)$ และ $S_1(t)$ สมมุติว่า อัตราความเร็วที่ส่งถูกกำหนดเป็น R บิตต่อวินาที ดังนั้น แต่ละบิต ของรูปคลื่นสัญญาณมีความสัมพันธ์ ดังนี้

$$\begin{array}{lcl} 0 & \longrightarrow & S_0(t) \quad 0 \leq t \leq T_b \\ 1 & \longrightarrow & S_1(t) \quad T_b \leq t \leq 2T_b \end{array}$$

ซึ่ง $T_b = \frac{1}{R}$ กำหนดเป็นช่วงเวลาของ bit time เราสมมุติให้ความกว้างข้อมูล บิต 0 และ 1 เท่ากัน ดังนั้น ความน่าจะเป็นที่จะเกิดขึ้น จะเท่ากับ $1/2$ และเป็นอิสระต่อกัน channel ที่ซึ่งส่งสัญญาณส่งผ่าน สมมุติให้มีสัญญาณที่เลวลงโดยการเพิ่มสัญญาณรบกวน (noise) เขียนแทนด้วย $n(t)$ ซึ่งเป็นหน้าที่ของ Gaussian process ด้วย power spectrum $N_0/2$ watts /hertz ดังนั้น channel ที่ถูกเสริมแต่ง เรียกว่า Additive White Gaussian Noise Channel (AWGN) ผลลัพธ์ที่ตามมา รูปคลื่นสัญญาณที่รับได้ แสดงดังต่อไปนี้

$$r(t) = S_i(t) + n(t) \quad i = 0, 1 \quad 0 \leq t \leq T_b \quad (2.1)$$



รูปที่ 2.2 แสดงการรับสัญญาณ $r(t)$ ที่เหมาะสม

สัญญาณที่รับได้ของภาครับสัญญาณ จะถูกกำหนดเป็น 0 หรือ 1 หลังจากที่ได้รับสัญญาณ $r(t)$ ในช่วงเวลา $0 \leq t \leq T_b$ ภาครับสัญญาณจะออกแบบให้ผิดพลาด (error) ต่ำที่สุด ดังนั้น ภาครับจึงถูกเรียกว่า optimum receiver สำหรับพื้นฐาน digital communication โดยทั่วไปจะแสดงการ optimum

receiver สำหรับ channel AWGN ซึ่งประกอบด้วยสองบล็อก ด้านหนึ่งเป็น signal corrector หรือ matched filter อีกด้านหนึ่งเป็น detector

การรับสัญญาณ $r(t)$ กับสัญญาณที่ส่ง $s_o(t)$ และ $s_i(t)$ แสดงในรูป 2.2 นั่นคือ สัญญาณที่คำนวณออกมาได้สองค่า ในช่วงเวลา $0 \leq t \leq Tb$ การสุ่มสัญญาณเอาท์พุททั้งสองที่ $t = Tb$ และส่งสัญญาณที่สุ่มไปภาค detector

$$r_o(t) = \int_0^t r(\tau) s_o(\tau) d\tau \quad (2.2)$$

$$r_i(t) = \int_0^t r(\tau) s_i(\tau) d\tau \quad (2.3)$$

Matched filter อุปกรณ์ matched filter ที่เตรียมไว้ในการเลือกสัญญาณสำหรับการ Demodulate จากการรับสัญญาณ $r(t)$ filter ที่ว่าจะต้อง match กับสัญญาณ $S(t)$ ที่เวลา $0 \leq t \leq Tb$ มีสัญญาณ Impulse ตอบสนอง

$$h(t) = S(Tb - t) \quad 0 \leq t \leq Tb \quad (2.4)$$

ดังนั้น รูปคลื่นสัญญาณ $y(t)$ ที่เอาท์พุทของ matched filter เมื่อรูปคลื่นเป็นอินพุท $S(t)$ ให้ convolution integral คือ

$$y(t) = \int_0^t s(\tau) h(t - \tau) dt \quad (2.5)$$

ถ้าเราแทนค่าลงในสมการที่ (2.5) สำหรับ $h(t - \tau)$ จากสมการ (2.4) จะได้

$$y(t) = \int_0^t s(\tau) s(Tb - t - \tau) dt \quad (2.6)$$

และถ้าสุ่ม $y(t)$ ที่ $t = Tb$ เราจะได้

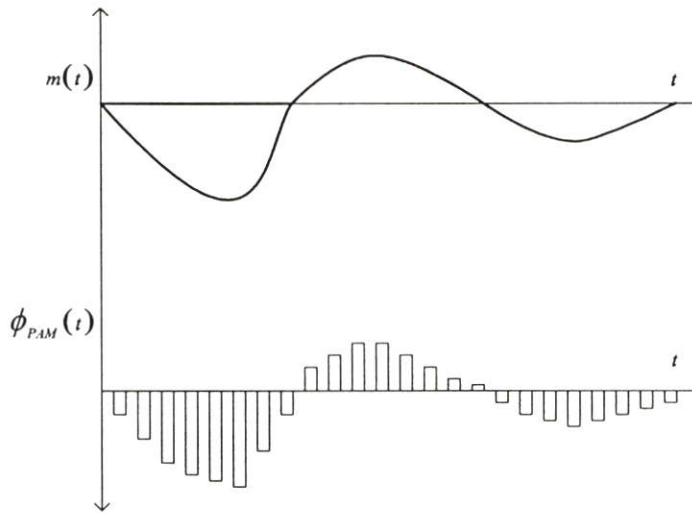
$$y(Tb) = \int_0^{Tb} s^2(t) dt = \mathfrak{V} \quad (2.7)$$

ซึ่ง \mathfrak{V} เป็น พลังงานของสัญญาณ $S(t)$ ดังนั้น matched filter เอาท์พุทที่เกิดจากการสุ่มที่เวลา $t = Tb$ เป็นสัญญาณอันเดียวกันกับสัญญาณเอาท์พุทของ signal corrector

อุปกรณ์ detector ในภาค Detector จะตรวจจับเอาท์พุทของ match filter r_o และ r_i และเลือกรูปคลื่นสัญญาณ $r_o(t)$ หรือ $r_i(t)$ ที่ซึ่งส่งเป็น 0 หรือ 1 ตามลำดับ ค่า optimum detector ที่เหมาะสม จะถูกกำหนดโดยภาค detector ซึ่งมีค่าผิดพลาด (error) ต่ำที่สุด

2.4 การมอดูเลตพัลส์เชิงแอมพลิจูด

ในระบบการมอดูเลตพัลส์เชิงแอมพลิจูด (pulse amplitude modulation) หรือที่เรียกย่อว่า พีเอเอ็ม (PAM) นั้น ค่าแอมพลิจูดของพัลส์ในขบวนพัลส์ที่มีความกว้างของแต่ละพัลส์คงที่นั้น จะถูกควบคุมให้แปรตามค่าความแรงของค่าตัวอย่างของสัญญาณข่าวสารซึ่งถูกซัดค่าออกมาตาม ทฤษฎีการซัดตัวอย่างด้วยความถี่ที่เท่ากับความถี่ของการเกิดพัลส์ในขบวนพัลส์นั้น กล่าวอีกนัย หนึ่งก็คือ ขบวนพัลส์ที่ใช้จะต้องมีการสัมพันธ์หรือซิงโครไนซ์ (synchronize) กับจังหวะการซัดค่า ของสัญญาณข่าวสาร ลักษณะความสัมพันธ์ระหว่างสัญญาณข่าวสาร $m(t)$ และสัญญาณพีเอเอ็ม $\phi_{PAM}(t)$ มีดังแสดงในรูป 2.3



รูปที่ 2.3 สัญญาณอนาลอก $m(t)$ และสัญญาณพีเอเอ็ม

เราสามารถพิจารณาเกี่ยวกับสัญญาณพีเอเอ็ม ให้ลึกยิ่งขึ้นได้โดยการวิเคราะห์ดังต่อไปนี้ คือ สมมติสัญญาณข่าวสาร $m(t)$ เป็นสัญญาณที่มีแบนด์จำกัด โดยมีค่าองค์ประกอบความถี่สูงสุด คือ f_m ดังนั้น อัตราการซัดตัวอย่างค่าสัญญาณนี้ จะต้องทำด้วยความถี่ $f_s \geq 2f_m$ ซึ่งก็จะทำให้รู้ค่าคาบ เวลาของการซัดค่าตัวอย่างสัญญาณ $(T_s = \frac{1}{f_s})$ เพราะฉะนั้นเราจะเขียนสมการของสัญญาณที่เกิดจากการซัดค่าตัวอย่างของสัญญาณออกมาในลักษณะของอิมพัลส์ตามที่ได้อธิบายมาแล้ว

$$m_s(t) = m(t) \sum_{n=-\infty}^{\infty} \delta(t - nT_s)$$

$$m_s(t) = \sum_{n=-\infty}^{\infty} m(nT_s) \delta(t - nT_s) \quad (2.8)$$

ในที่นี้ค่า $m(nT_s)$ คือ ค่าของสัญญาณข่าวสาร $m(t)$ ที่ช่วงระยะเวลา $t = nT_s$ เมื่อนำขบวนการอิมพัลส์ (2.8) ผ่านวงจรที่มีผลตอบสนองอิมพัลส์เป็นรูปฟังก์ชันเกต $q(t) = p\left(\frac{t}{T}\right)$ โดยที่ $T < T_s$ ก็จะได้สัญญาณพีเอเอ็มตามต้องการ คือ

$$\begin{aligned}\phi_{PAM}(t) &= m_s(t) \otimes q(t) \\ &= \sum_{n=-\infty}^{\infty} m(nT_s) \delta(t - nT_s) \otimes q(t) \\ &= \sum_{n=-\infty}^{\infty} m(nT_s) q(t - nT_s)\end{aligned}\quad (2.9)$$

โดยอาศัยคุณสมบัติการแปลงฟูริเยร์ เรื่อง การคอนโวลูชัน เมื่อกำหนดคู่การแปลงฟูริเยร์ดังต่อไปนี้ คือ

$$\begin{aligned}\mathcal{O}_{PAM}(t) & \quad \Phi_{PAM}(\omega) \\ m_s(t) & \leftrightarrow M_s(\omega) \\ m(t) & \leftrightarrow M(\omega)\end{aligned}$$

และ

$$q(t) \quad Q(\omega)$$

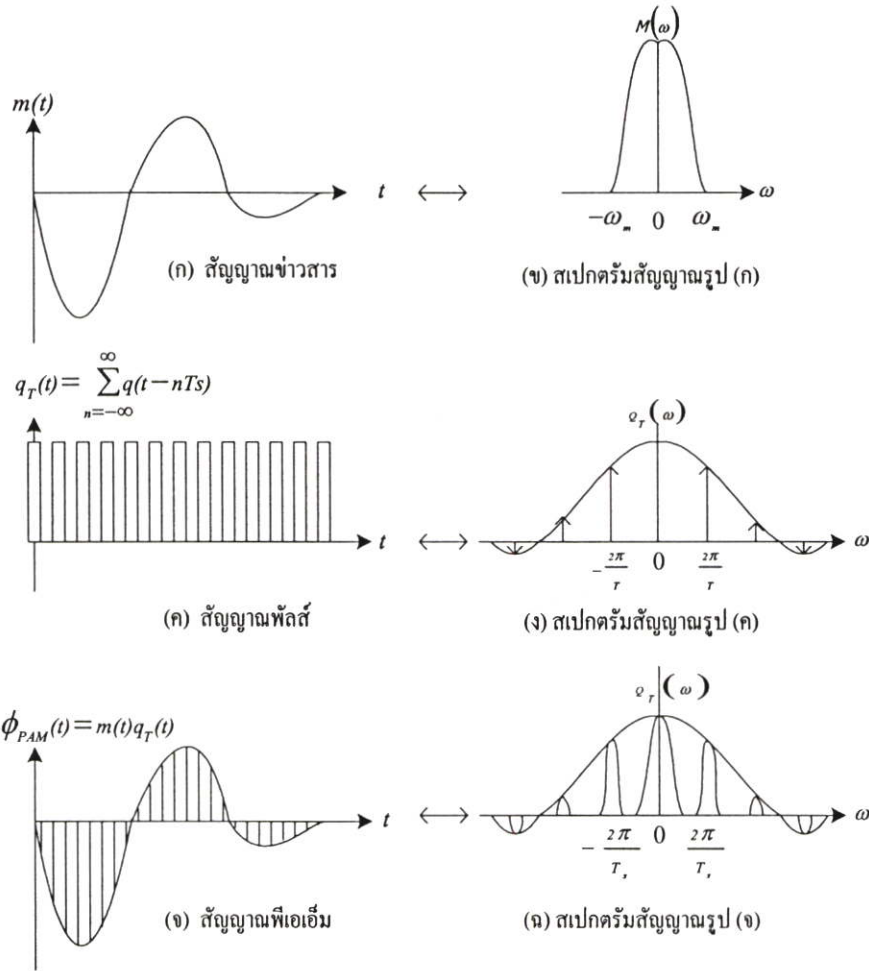
แล้วจะได้

$$\Phi_{PAM}(\omega) = M_s(\omega) Q(\omega) \quad (2.10)$$

จะทำให้ (2.9) มีรูปเป็น

$$\Phi_{PAM}(\omega) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} M\left(\omega - \frac{2n\pi}{T_s}\right) Q(\omega) \quad (2.11)$$

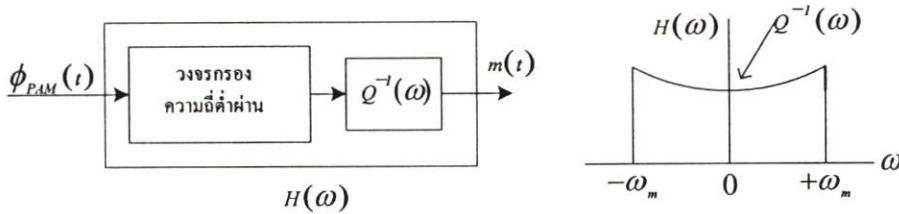
รูปความสัมพันธ์ของสัญญาณตามขั้นตอนต่างๆ ในการวิเคราะห์สัญญาณ พีเอเอ็ม มีดังแสดงในรูป 2.4 ตามรูปนี้ แสดงกรณี que เลือกค่า $f_s = 2f_m$ ซึ่งจะพบว่า $M_s(\omega)$ นั้น มีรูปเป็นภาพสำเนาของ $M(\omega)$ ที่เกิดเป็นคาบทุกคาบความถี่ $\frac{2\pi}{T_s}$ โดยมีเอนVELOPE หรือกรอบของสัญญาณเป็นรูป $Q(\omega)$ กั้นบังคับอยู่ ดังนั้นถ้า $q = p\left(\frac{t}{T}\right)$ มีช่วงเวลา T หรือความกว้าง (Nyquist function) คือ $s_r\left(\frac{\omega T}{2}\right)$ นั้นมีค่าประมาณคงที่เท่ากับ $Q(0)$ ในบริเวณย่านความถี่ต่ำ ซึ่งในย่านความถี่นี้ลักษณะของ $\Phi_{PAM}(\omega)$ ในช่วงความถี่นี้นั้นจะเหมือนกับ $M(\omega)$ ดังนั้น ถ้าเราใช้วงจรกรองความถี่ต่ำผ่านมากกรองสัญญาณ $\mathcal{O}_{PAM}(t)$ ก็จะได้สัญญาณเดิมคือ $m(t)$ กลับคืนมาได้ อย่างไรก็ตามถ้าเลือกตาม



รูป 2.4 ความสัมพันธ์ของสัญญาณ และสเปกตรัมของสัญญาณที่เกี่ยวข้องกับสัญญาณพีเอเอ็ม

$q(t) = p\left(\frac{t}{T}\right)$ โดยใช้ค่า T ที่ค่อนข้างมาก คือ มีค่าพอประมาณเมื่อเทียบกับ T_s ค่า $Q(\omega)$ (คือค่า $s_a\left(\frac{\omega T}{2}\right)$) จะมีค่าเป็นส่วนโค้งที่เห็นได้ชัดในบริเวณย่านความถี่ต่ำ (ดูรูป 2.4 ฉ ประกอบ) ซึ่งจะมีส่วนทำให้ภาพสำเนาของ $M(\omega)$ ในสัญญาณ $\Phi_{PAM}(\omega)$ ที่บริเวณความถี่ต่ำมีความรับผิดชอบเพิ่มขึ้นบ้าง ซึ่งรูปแบบนั้นจะเป็นไปตาม (2.10) ถ้าเราต้องการจะคืนค่าสัญญาณเดิมกลับมาโดยไม่ผิดเพี้ยนเราก็สามารถทำได้ โดยการใช้วงจรกรองความถี่ต่ำผ่านฟังก์ชันถ่ายโอน $H(\omega)$ ที่กลับกันกับ $Q(\omega)$ กล่าวคือ $H(\omega) = Q'(\omega)$ ดังแสดงในรูป 2.5 ภากรองสัญญาณ ก็จะทำได้ ทำให้สามารถสัญญาณข่าวสารเดิม คือ $m(t)$ กลับคืนมาได้โดยไม่ผิดเพี้ยน ประสิทธิภาพอัตราส่วน $\frac{T}{T_s}$ นั้นขึ้นอยู่กับว่า 0.1 แล้ว ค่าความแตกต่างของ $Q'(\omega)$ กับขนาดของฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่าน

ในอุดมคตินั้น จะต่างกันไม่ถึง 1% ดังนั้นในทางปฏิบัติ เราจึงมักเลือกค่าความกว้างของพัลส์ คือ T ให้มีค่าน้อยกว่าคาบเวลาการสุ่มสัญญาณ T_s ประมาณ 10 เท่า หรือน้อยกว่านั้น



รูป 2.5 วงจรความถี่ต่ำผ่านสำหรับสัญญาณพีเอเอ็มที่ใช้วงจรอีควอไลเซอร์ $Q^{-1}(\omega)$ มาช่วยชดเชยความเพี้ยนของสัญญาณ

2.5 Line Code 2B1Q

เมื่อพิจารณารูปคลื่นสัญญาณจากสมการ

$$S_m(t) = A_m g(t) \quad 0 \leq t \leq T \quad (2.12)$$

ขณะที่ A_m เป็นขนาดของรูปคลื่น m^{th} และ $g(t)$ เป็น pulse ที่เหลี่ยมกำหนดเป็น

$$g(t) = \begin{cases} \sqrt{1/T} & 0 \leq t \leq T \\ 0 & \text{otherwise} \end{cases} \quad (2.13)$$

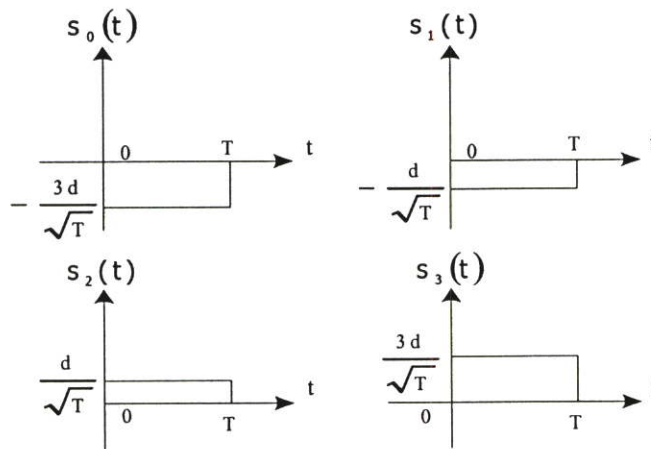
เมื่อระดับพลังงานใน pulse $g(t)$ เป็นค่าเดียวตลอด ในทางปฏิบัติพิจารณาเฉพาะขนาดของสัญญาณซึ่งเขียนเป็นสมการได้ดังนี้

$$A_m = (2m - 3) d \quad m = 0, 1, 2, 3 \quad (2.14)$$

d คือ ระยะห่างของแอมพลิจูดที่อยู่ใกล้กัน

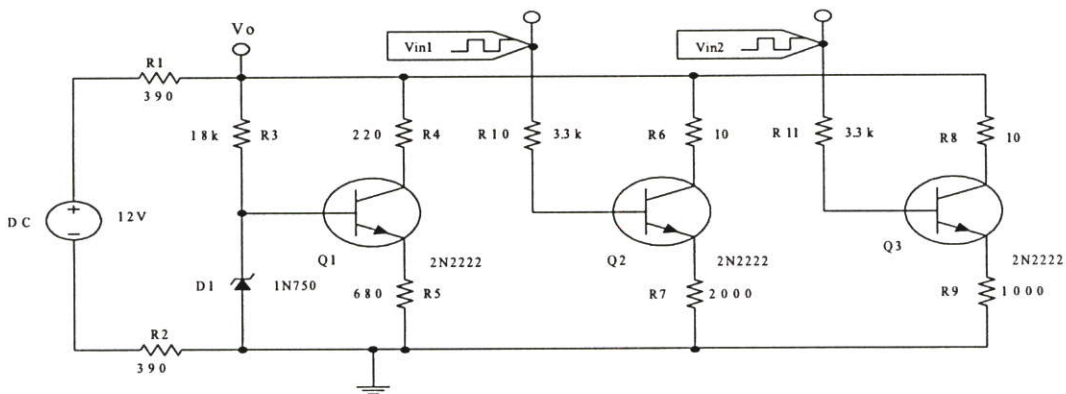
เมื่อแทนค่า $m = 0, 1, 2, 3$ ลงในสมการที่ (2.14) และสมการที่ (2.12) จะได้รูปคลื่นทั้งสิ้นจะแสดงในรูปที่ 2 ซึ่งสามารถใช้แทนการส่งข่าวสารได้ 2 บิตต่อหนึ่งรูปคลื่น ดังนั้นจึงกำหนดบิตข่าวสารแต่ละคู่ได้สี่รูปคลื่นสัญญาณแต่ละคู่ของ บิตข่าวสาร $\{00, 01, 10, 11\}$ ถูกเรียกเป็น 1 สัญลักษณ์ (symbol) ช่วงเวลา T เรียก symbol interval จะเห็นว่า 1 bit rate มีค่าเป็น $R = \frac{1}{T_b}$ ดังนั้น symbol

interval มีค่าเป็น $T = 2T_b$ โดยที่ T_b คือเวลาที่ใช้ในการส่งข้อมูล



รูปที่ 2.6 แสดงระดับแรงดันและสัญลักษณ์

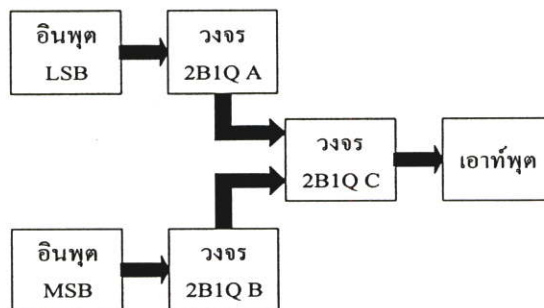
จากระดับแรงดันในรูปที่ 2.6 สามารถที่จะเขียนวงจรเลียนแบบการทำงานของ line code 2B1Q ซึ่งแสดงในรูปที่ 2.7



รูปที่ 2.7 แสดงวงจรเลียนแบบการทำงานของ line code 2B1Q

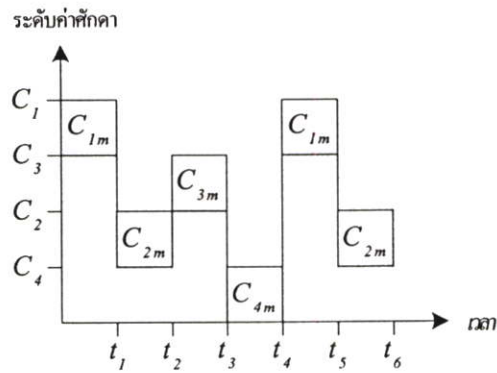
2.6. หลักการนำเสนอการปรับปรุง line code 2B1Q ด้วยวิธี PAM

จากวงจรในรูปที่ 2.7 ถ้านำวงจรเลียนแบบการทำงานของ line code 2B1Q มาทำการปรับปรุงด้วยวิธี PAM ดังแสดงในรูปที่ 2.8



รูปที่ 2.8 แสดงการปรับปรุง line code 2B1Q ด้วยวิธี PAM

จากวงจรในรูปที่ 2.8 สามารถเขียนกราฟเอาต์พุตของวงจร 2B1Q A ได้ดังแสดงในรูปที่ 2.9 (a)

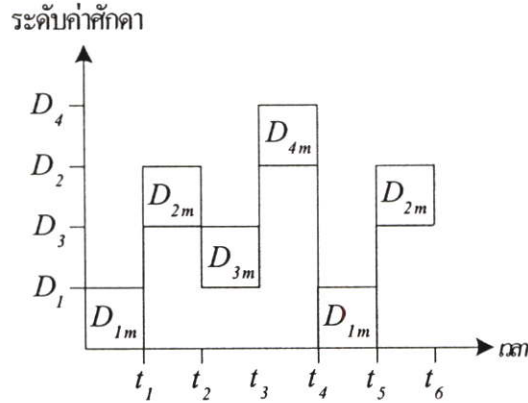


รูปที่ 2.9 (a) แสดงเอาต์พุตของ 2B1Q A

จากรูปที่ 2.9(a) สามารถหาค่าเอาต์พุตของ 2B1Q A ได้ดังนี้

$$C_{nm} = \int_{t_{n-1}}^{t_n} C_n dt \quad n = 1, 2, 3, 4 \quad (2.15)$$

จากวงจรในรูปที่ 2.8 สามารถเขียนกราฟเอาต์พุตของวงจร 2B1Q B ได้ดังแสดงในรูปที่ 2.9 (b)

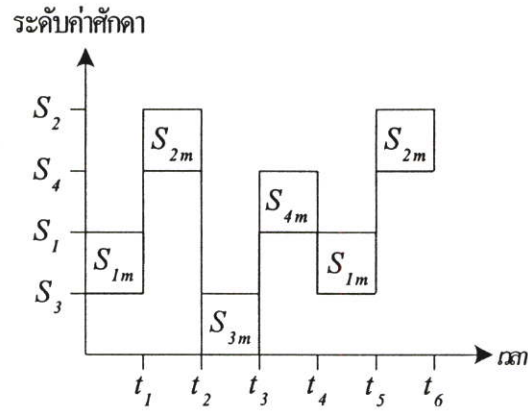


รูปที่ 2.9 (b) แสดงเอาต์พุตของ 2B1Q B

จากรูปที่ 2.9(b) สามารถหาค่าเอาต์พุตของ 2B1Q B ได้ดังนี้

$$D_{nm} = \int_{t_{n-1}}^{t_n} D_n dt \quad n = 1, 2, 3, 4 \quad (2.16)$$

จากวงจรในรูปที่ 2.8 สามารถเขียนกราฟเอาต์พุตของวงจร 2B1Q C ได้ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 แสดงเอาต์พุตของ 2B1Q C

จากรูปที่ 2.9(c) สามารถหาค่าเอาต์พุตของวงจร 2B1Q C ได้ดังนี้

$$S_{nm} = \int_{t_{n-1}}^{t_n} S_n dt = \int_{t_{n-1}}^{t_n} (C_{nm} + D_{nm}) dt \quad (2.17)$$

$n = 1, 2, 3, 4, C_{nm} \neq D_{nm}$

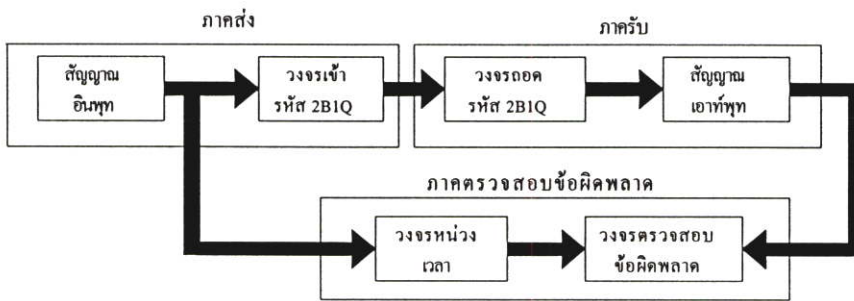
จากรูปที่ 2.10 สามารถหาค่าเอาต์พุตของ 2B1Q C ได้โดยค่าเอาต์พุตของวงจร 2B1Q A และค่าเอาต์พุตของ วงจร 2B1Q B ทั้งสองจะต้องไม่เท่ากับ 0 และไม่เท่ากับ 5 volt จากสมการที่ (2.17) จะเห็นได้ว่าทำการปรับปรุง line code 2B1Q ด้วยวิธี PAM ในการเข้ารหัสเพื่อเพิ่มความเร็วในการเข้ารหัสข้อมูล จากหลักการดังกล่าวทำให้เข้ารหัสได้ครั้งละสี่บิตหรือมีความเร็ว 4 บิตต่อวินาทีซึ่งเมื่อเปรียบเทียบกับ line code 2B1Q สามารถเข้ารหัสได้ครั้งละสองบิตหรือมีความเร็ว 2 บิตต่อวินาที (สมมุติให้เวลาที่ใช้ในการเข้ารหัสต่อครั้งเป็นวินาที) ดังนั้นการปรับปรุง line code ดังกล่าวทำให้สามารถส่งข้อมูลได้เร็วกว่า line code 2B1Q สองเท่า (line code 2B1Q เข้ารหัสครั้งละสองบิต)

บทที่ 3

การออกแบบวงจร

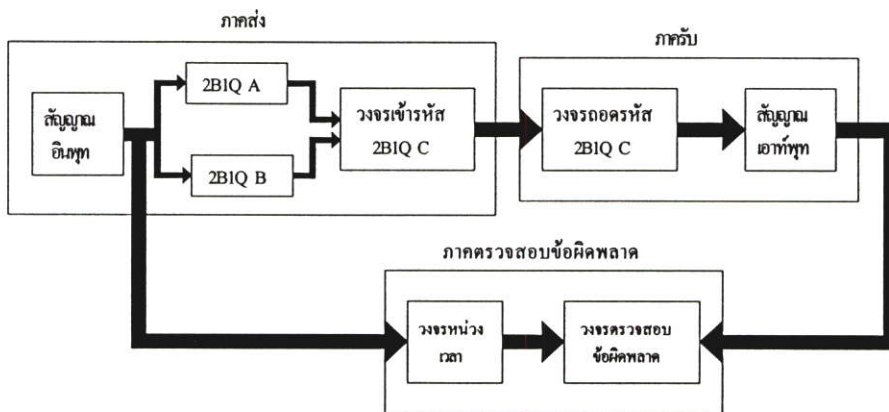
3.1 บล็อกไดอะแกรม

บล็อกไดอะแกรมของวงจรที่ออกแบบในวิทยานิพนธ์นี้แสดงในรูปที่ 3.1 เป็นบล็อกไดอะแกรมของวงจร line code 2B1Q ในรูปที่ 3.1 ประกอบด้วย 3 ส่วนคือ ภาคส่ง ภาครับและในส่วนของการตรวจสอบข้อผิดพลาด ส่วนประกอบของภาคส่งประกอบด้วยวงจรกำเนิดสัญญาณนาฬิกาและวงจรเข้ารหัส line code 2B1Q ส่วนประกอบของภาครับประกอบด้วย วงจรแปลงสัญญาณ line code 2B1Q และวงจรถอดรหัสสัญญาณพัลส์เป็นสัญญาณสัญญาณนาฬิกาและในส่วนของการตรวจสอบข้อผิดพลาดประกอบด้วย วงจรหน่วงเวลา วงจรเปรียบเทียบข้อมูลอินพุตกับข้อมูลเอาต์พุต



รูปที่ 3.1 บล็อกไดอะแกรมของวงจร line code 2B1Q

บล็อกไดอะแกรมในรูปที่ 3.2 ประกอบด้วย 3 ส่วนคือ ภาคส่ง ภาครับและในส่วนของการตรวจสอบข้อผิดพลาด ส่วนที่แตกต่างจากบล็อกไดอะแกรมในรูปที่ 3.1 คือภาคส่งประกอบด้วยวงจร 2B1Q A วงจร 2B1Q B และ วงจร 2B1Q C มาทำการปรับปรุงด้วยวิธี PAM แล้วส่งไปยังภาครับต่อไป



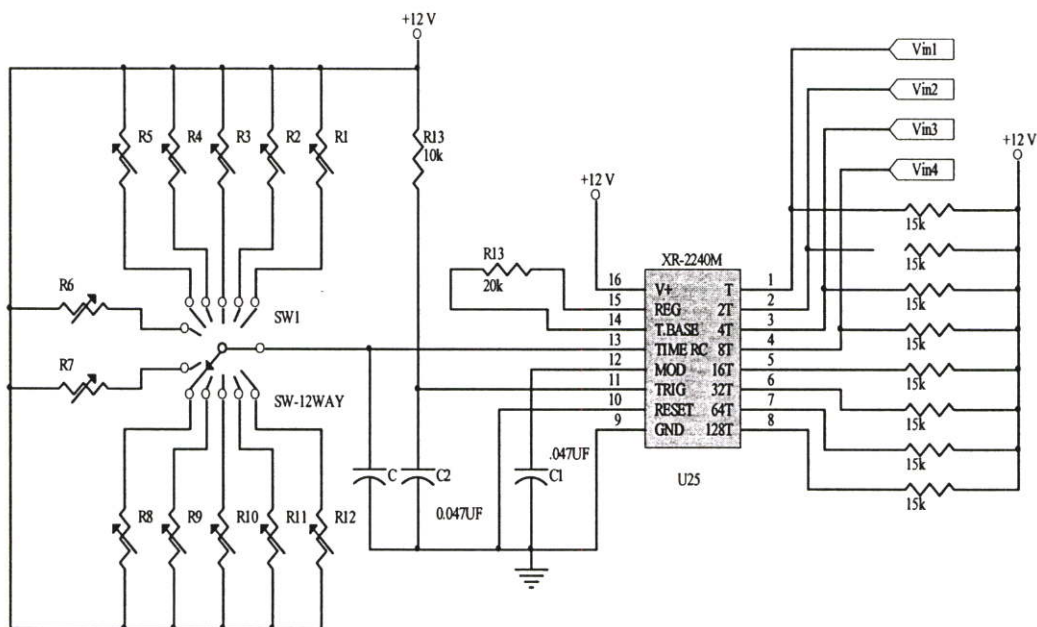
รูปที่ 3.2 บล็อกไดอะแกรมของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM

3.2 วงจรกำเนิดสัญญาณนาฬิกา

ในส่วนของการทำงานจะใช้บล็อกไดอะแกรมรูปที่ 3.1 จำลองการทำงานของ line code 2B1Q สำหรับข้อมูลที่ป้อนให้จะใช้วงจรถ่ายสัญญาณ (binary pattern signal generator) ซึ่งประกอบไอซีเบอร์ XR-2240M มีวงจรมีขนาด 8 บิต และวงจรถ่ายสัญญาณ วงจรทั้งหมดนี้จะประกอบอยู่ในตัวถึง Dip ก็มี 16 ขา เมื่อมีการป้อนสัญญาณพัลส์เข้าสู่ขาที่ 11 ซึ่งเป็นขาทรigger (trigger) ที่จะทำให้ที่ขอบขาขึ้นของพัลส์ก็จะทำให้ 555 ภายในชิปตัวนี้เริ่มทำงาน โดยการสร้างสัญญาณออสซิลเลชันขึ้นมา และเมื่อมีการป้อนสัญญาณพัลส์เข้าที่ขา 10 หรือขาไอซีเบอร์นี้ (ทำที่ขอบขาขึ้นของพัลส์เหมือนกัน) ก็จะเป็นการหยุดทำงานของไอซี 555 ทันที สำหรับแรงดันที่เริ่มทำให้ทั้งขาทรigger และรีเซตของไอซีเบอร์นี้ทำงานประมาณ 1.4 โวลต์ ซึ่งแสดงไว้ในรูปที่ 3.3 จะออกแบบให้กำเนิดสัญญาณพัลส์ที่มีความถี่ 16 kHz , 32kHz จนถึง 128 kHz โดยความถี่ที่เพิ่มขึ้นในแต่ละครั้งเท่ากับ 16 kHz หรือ 64 kbps ซึ่งเราสามารถหาค่าความถี่ได้ดังนี้

$$f = \frac{1}{2T} \quad T = R_n C \quad 1 \leq n \leq 8 \quad (3.1)$$

T คือ คาบเวลา , C คือ ตัวเก็บประจุ , R คือ ความต้านทาน

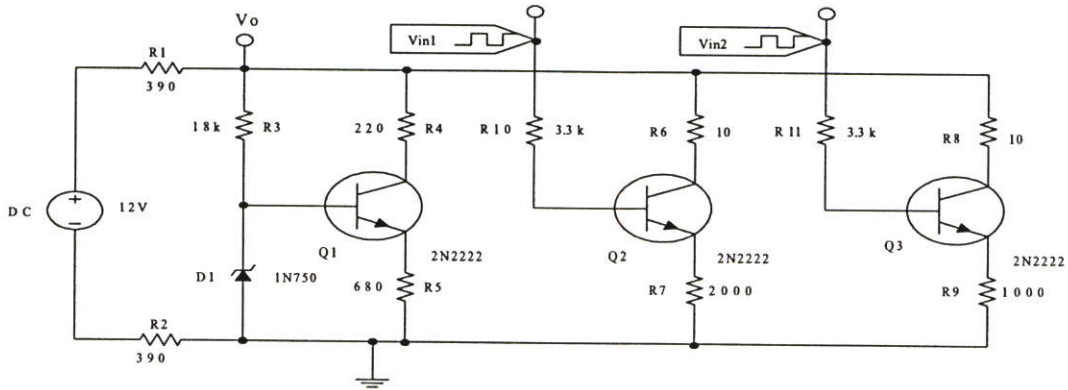


รูปที่ 3.3 วงจรกำเนิดสัญญาณ

3.3 วงจรการทำงานของ line code 2B1Q

รูปที่ 3.4 แสดงวงจรถ่ายสัญญาณของ line code 2B1Q จะใช้ทรานซิสเตอร์ Q2 และ Q3 ทำงานเป็นสวิตช์เปิดและปิด โดยกำหนดให้ใช้ digital clock เป็นข้อมูลที่ป้อนให้กับอินพุทของ

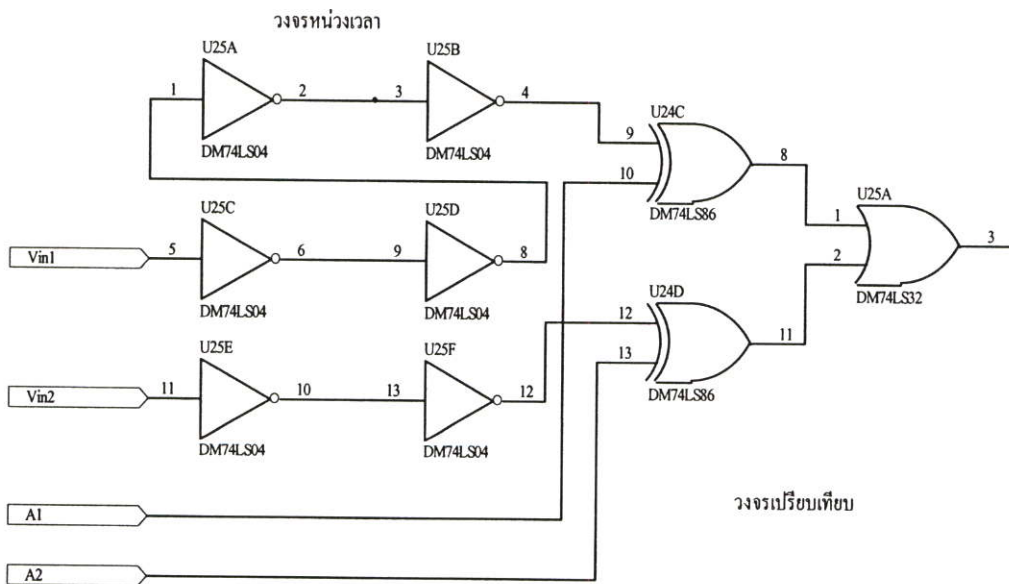
ทรานซิสเตอร์ Q2 เป็นVin1และที่อินพุทของทรานซิสเตอร์ Q3 เป็นVin2 ผลของการเข้ารหัสจะแสดงที่จุด Vo



รูปที่ 3.4 แสดงวงจรการทำงานของ line code 2B1Q

3.4 การตรวจสอบข้อผิดพลาด

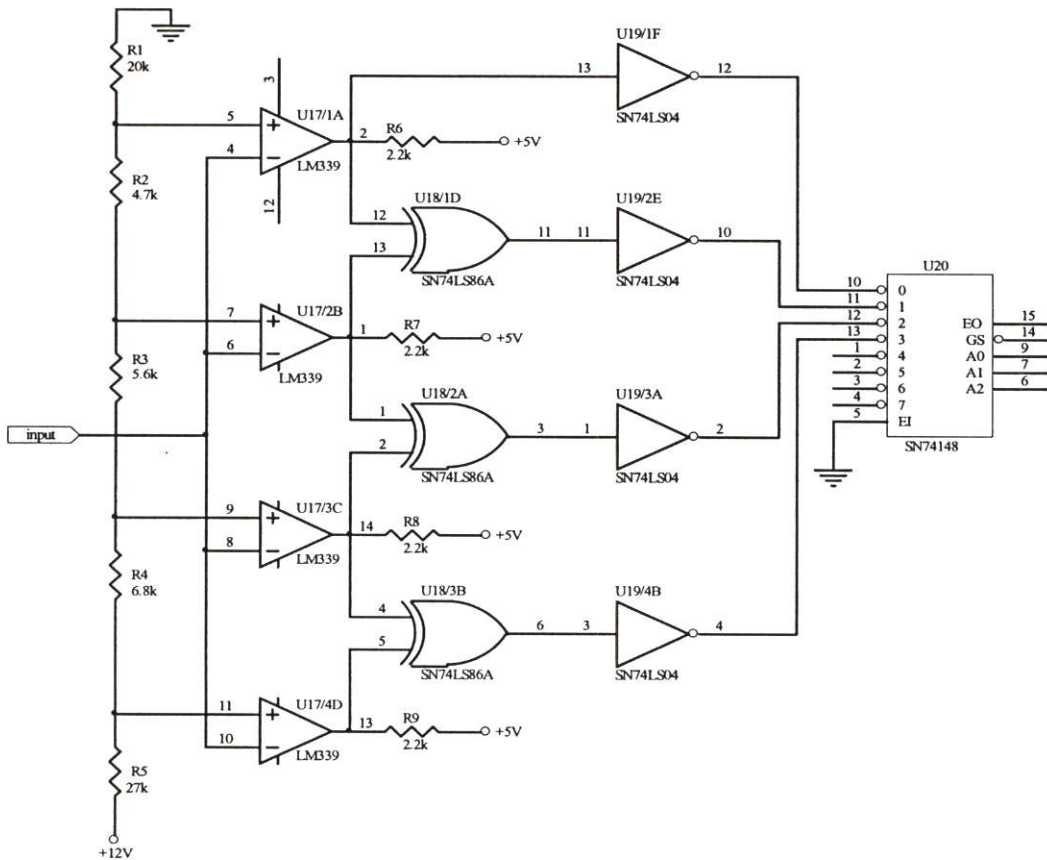
วงจรหน่วงเวลาจะใช้ไอซี 74LS04 ทำหน้าที่หน่วงเวลาเพื่อรอการทำงานของภาครับหลังจากนั้นจะป้อนให้กับวงจรเปรียบเทียบทำการเปรียบเทียบสัญญาณอินพุทกับเอาต์พุท ซึ่งจะใช้ไอซี 74LS86 ทำหน้าที่ในการตรวจสอบข้อมูลระหว่างอินพุทกับเอาต์พุท ในกรณีที่ข้อมูลอินพุทกับเอาต์พุทเหมือนกัน ค่าเอาต์พุทของ 74LS86 จะมีค่าเป็น low ในกรณีที่ข้อมูลอินพุทกับเอาต์พุทต่างกัน ค่าเอาต์พุทของ 74LS86 จะมีค่าเป็น High



รูปที่ 3.5 แสดงวงจรหน่วงเวลาและวงจรตรวจสอบข้อมูล

3.5 วงจรแปลงสัญญาณ line code 2B1Q และวงจรถอดรหัส

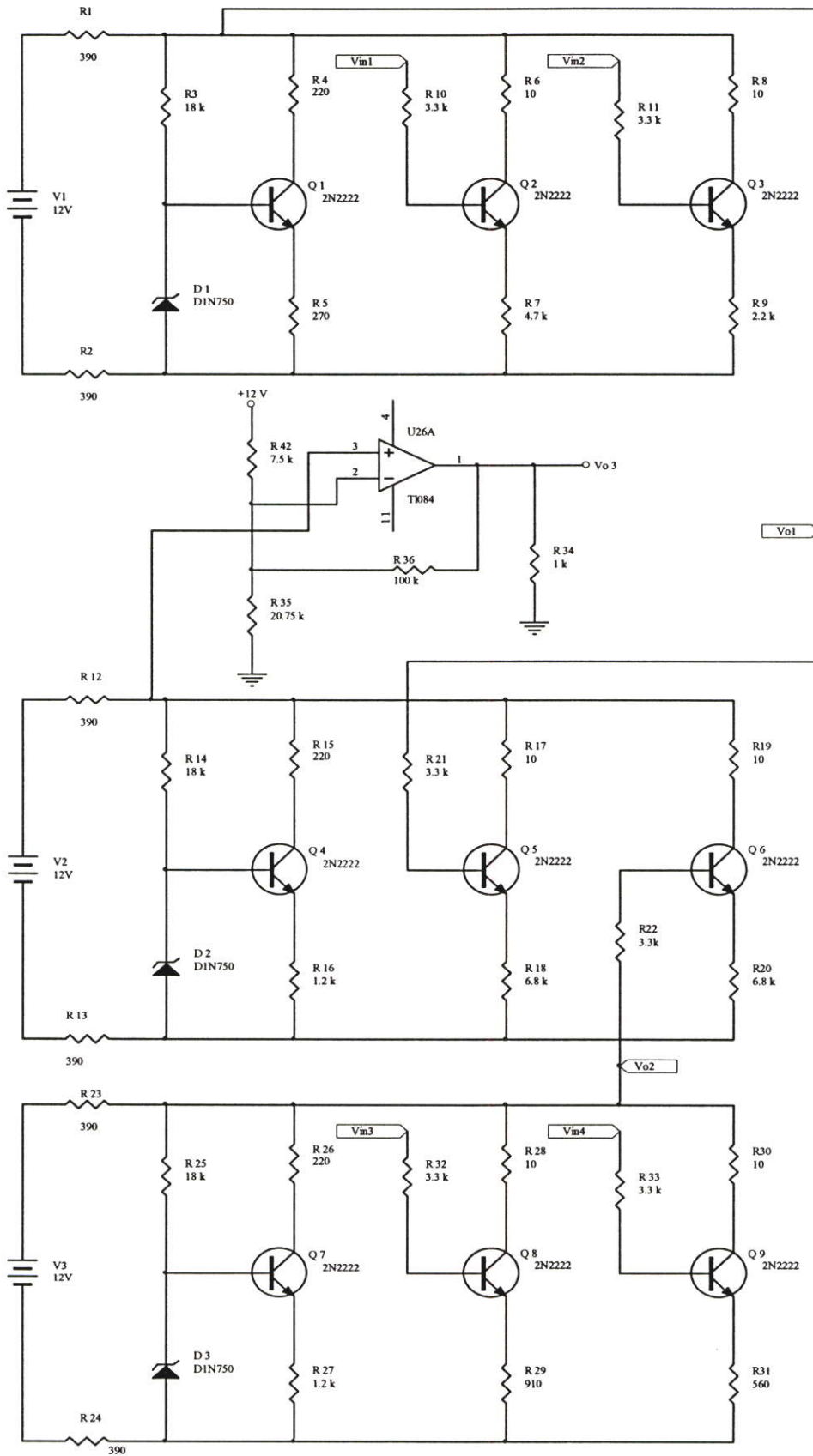
วงจรแปลงสัญญาณ line code 2B1Q ให้เป็นสัญญาณดิจิทัลจะใช้ไอซี LM339 ในการเปรียบเทียบแรงดัน 4 ระดับให้เป็นสัญญาณดิจิทัลและใช้ไอซี 74LS148 ทำการถอดรหัสสัญญาณดิจิทัลให้เป็นสัญญาณนาฬิกาเหมือนสัญญาณอินพุตซึ่งแสดงในรูปที่ 3.6



รูปที่ 3.6 แสดงวงจรแปลงสัญญาณ line code 2B1Q และวงจรถอดรหัส

3.6 วงจรการปรับปรุง line code 2B1Q ด้วยวิธี PAM

วงจรการปรับปรุง line code 2B1Q ด้วยวิธี PAM จะประกอบด้วยวงจร 2B1QA 2B1QB และ 2B1QC วงจร 2B1QA จะทำการเข้ารหัส ที่เป็น 2 บิตต่ำ วงจร 2B1QB จะทำการเข้ารหัสที่เป็น 2 บิตสูง ส่วนวงจร 2B1QC จะทำการรวม 2 บิตต่ำและ 2 บิตสูง เข้าด้วยกันเป็นขนาด 4 บิต หลังจากนั้นจะใช้ไอซี TL084 ทำการขยายสัญญาณที่ต้องการเพื่อส่งต่อไปให้ภาครับต่อไป ซึ่งจะแสดงในรูปที่ 3.7 ส่วนวงจรแปลงสัญญาณ line code 2B1QC ให้เป็นสัญญาณดิจิทัลจะใช้ไอซี LM339 ในการเปรียบเทียบแรงดัน 16 ระดับให้เป็นสัญญาณดิจิทัลและใช้ไอซี 74LS148 จำนวน 2 ตัวมาทำการถอดรหัสสัญญาณดิจิทัลให้เป็นสัญญาณนาฬิกาเหมือนสัญญาณอินพุต



รูปที่ 3.7 แสดงวงจรการปรับปรุง Line code 2B1Q ด้วยวิธี PAM

บทที่ 4

การเลียนแบบการทำงานด้วยโปรแกรม PSpice และผลการทดลอง

4.1 การเลียนแบบการทำงานของ line code 2B1Q

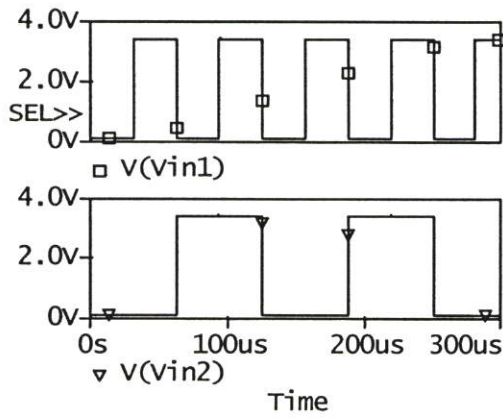
การเลียนแบบการทำงานของโปรแกรม PSpice แสดงในรูปที่ 3.4 เป็นการเลียนแบบการทำงานของ line code 2B1Q โดยกำหนดให้ใช้ digital clock เป็นข้อมูลที่ป้อนให้กับอินพุตของทรานซิสเตอร์ Q2 เป็น Vin1 และที่อินพุตของทรานซิสเตอร์ Q3 เป็น Vin2 ผลของการเข้ารหัสจะแสดงที่จุด Vo โดยข้อมูลที่ป้อนให้แสดงในตารางที่ 4.1

ตารางที่ 4.1 แสดงข้อมูลที่ป้อนให้วงจร line code 2B1Q

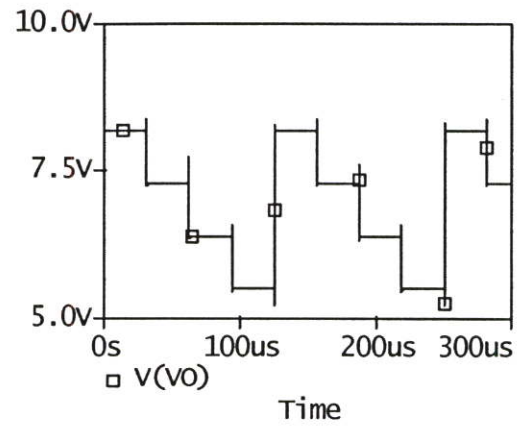
อินพุต Vin2	อินพุต Vin1	เอาต์พุต Vo
0	0	8.2
0	1	7.2
1	0	6.4
1	1	5.5

4.1.1 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 64 kbps

การเลียนแบบการทำงานของโปรแกรม Pspice ที่ความเร็ว 64 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 31.25 μ s และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 62.5 μ s ผลของการเข้ารหัสจะแสดงรูปที่ 4.1 (b)

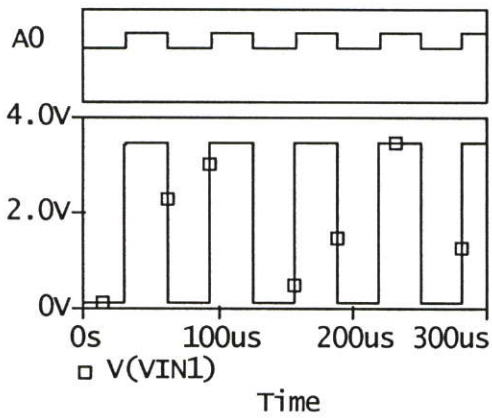


(a)

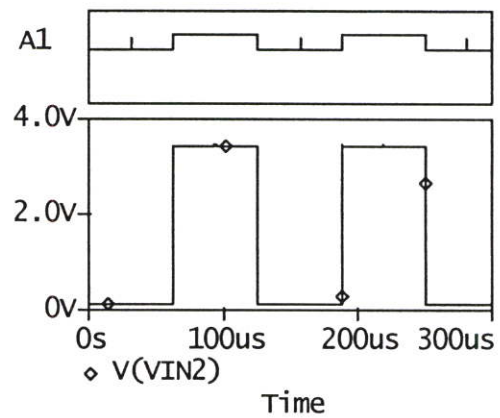


(b)

รูปที่ 4.1 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 64 kbps (a) สัญญาณอินพุต $V(Vin1)$, $V(Vin2)$ (b) สัญญาณเอาต์พุต $V(Vo)$

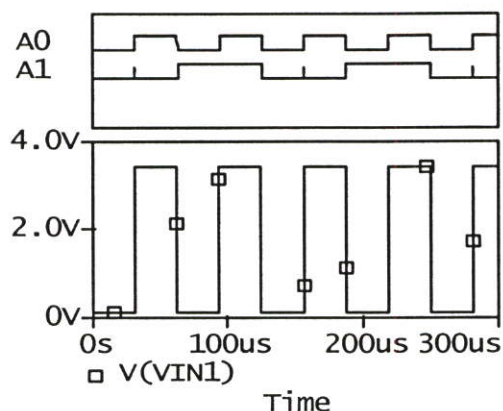


(a)



(b)

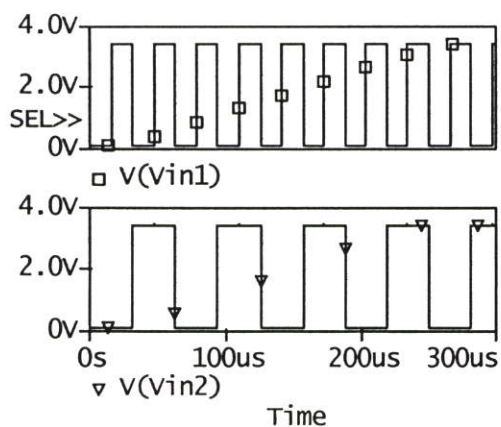
รูปที่ 4.2 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 64 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต $V(Vin1)$ (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต $V(Vin2)$



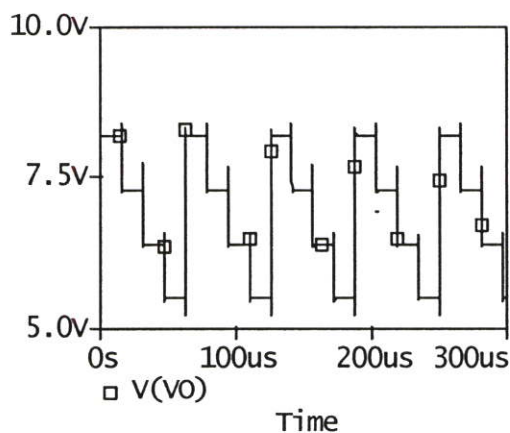
รูปที่ 4.3 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1)

4.1.2 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 128 kbps

การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 128 kbps จะทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q2 หรือที่ Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $15.625 \mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $31.25 \mu\text{s}$ ผลของการเข้ารหัสจะแสดง รูปที่ 4.4 (b)

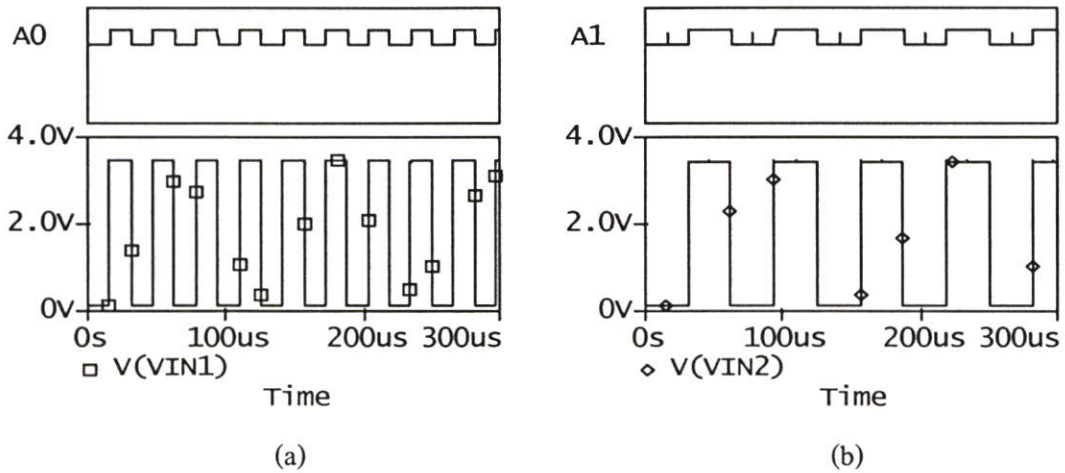


(a)

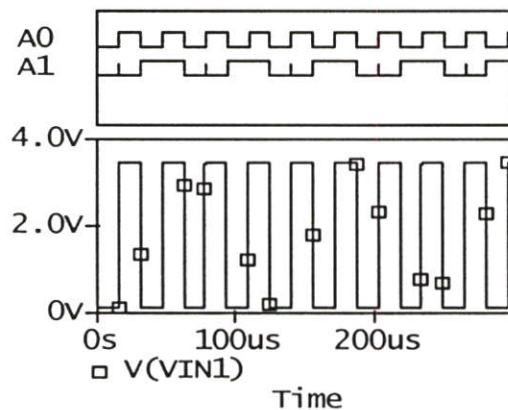


(b)

รูปที่ 4.4 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 128 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



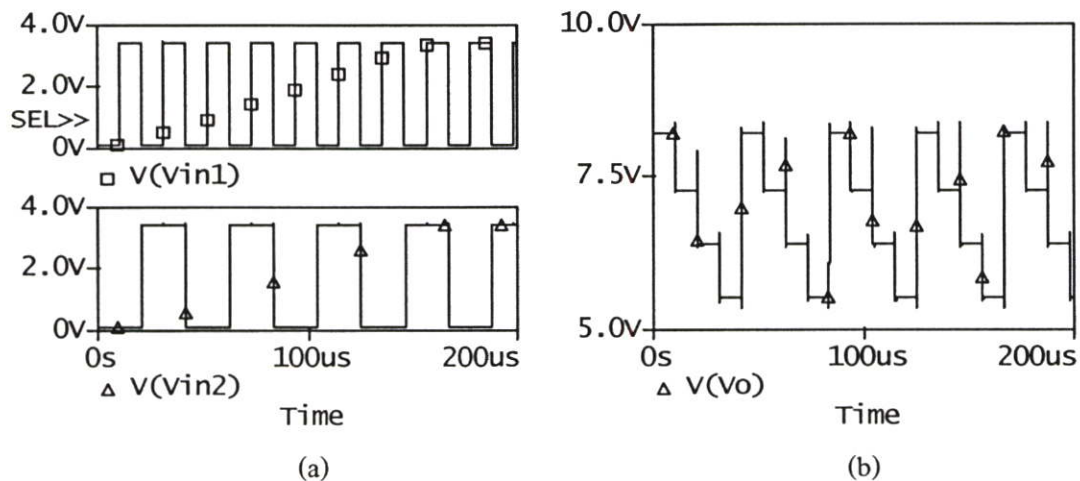
รูปที่ 4.5 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 128 kbps
 (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับ
 สัญญาณอินพุต V(Vin2)



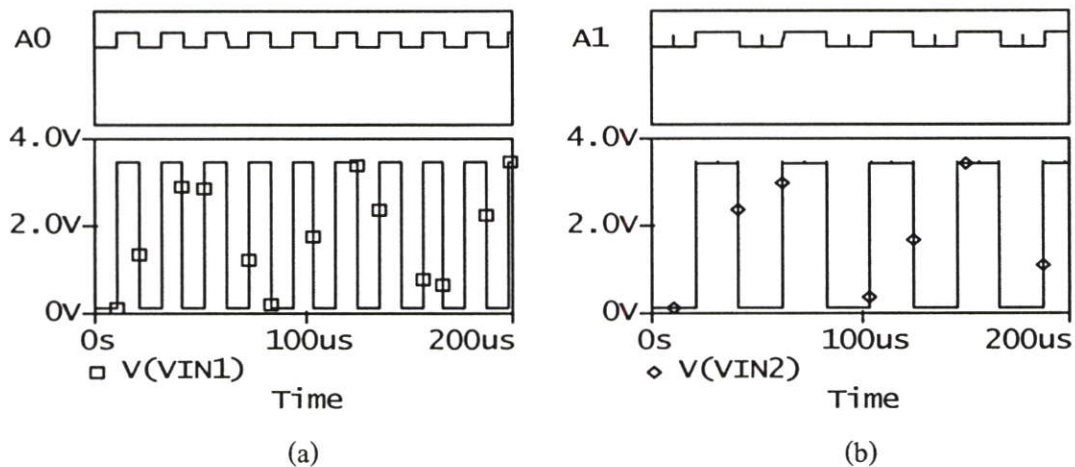
รูปที่ 4.6 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1)

4.1.3 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 192 kbps

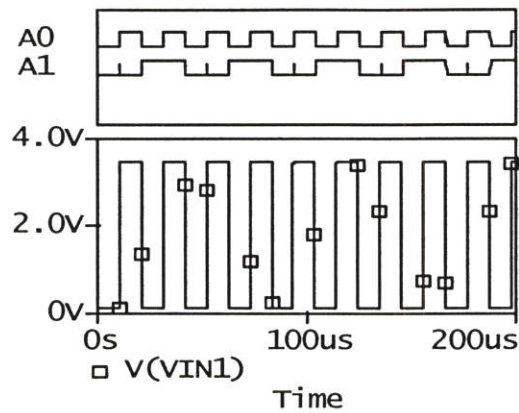
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 192 kbps จะทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q2 หรือที่ Vin1 Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $10.41 \mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $20.83 \mu\text{s}$ ผลของการเข้ารหัสจะแสดงในรูปที่ 4.7(b)



รูปที่ 4.7 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 192 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



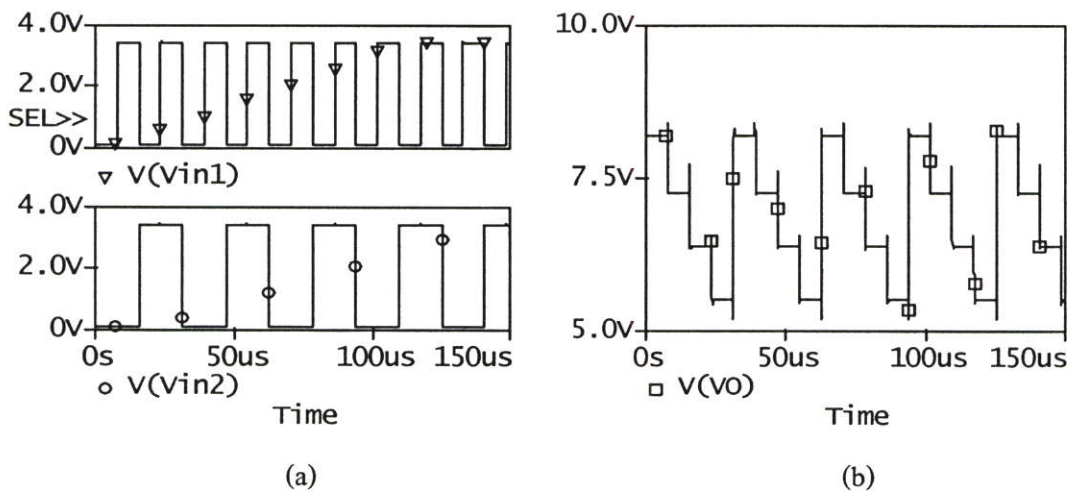
รูปที่ 4.8 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 192 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต V(Vin2)



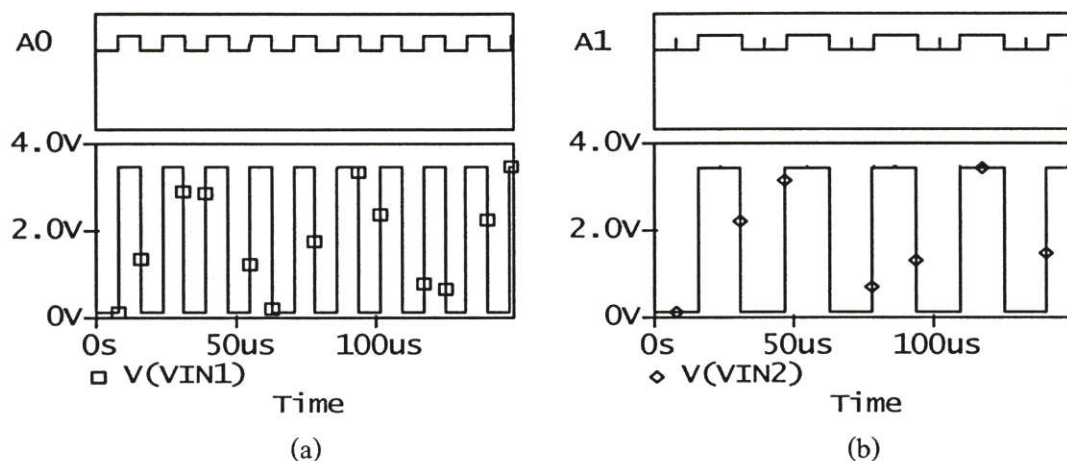
รูปที่ 4.9 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1)

4.1.4 ผลการเปลี่ยนแปลงการทำงานของ line code 2B1Q ที่ความเร็ว 256 kbps

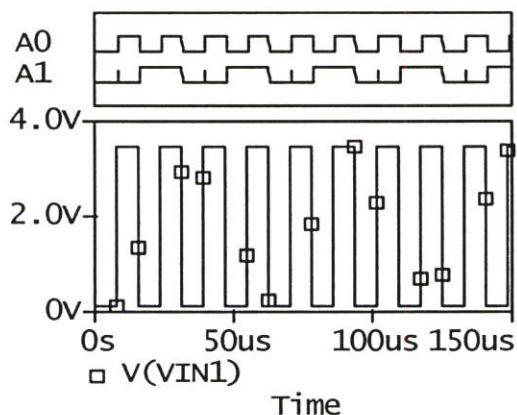
การเปลี่ยนแปลงการทำงานของโปรแกรม PSpice ที่ความเร็ว 256 kbps จะทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q2 หรือที่ Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $7.8125\ \mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $15.625\ \mu\text{s}$ ผลของการเข้ารหัสจะแสดงในรูปที่ 4.10(b)



รูปที่ 4.10 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 256 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



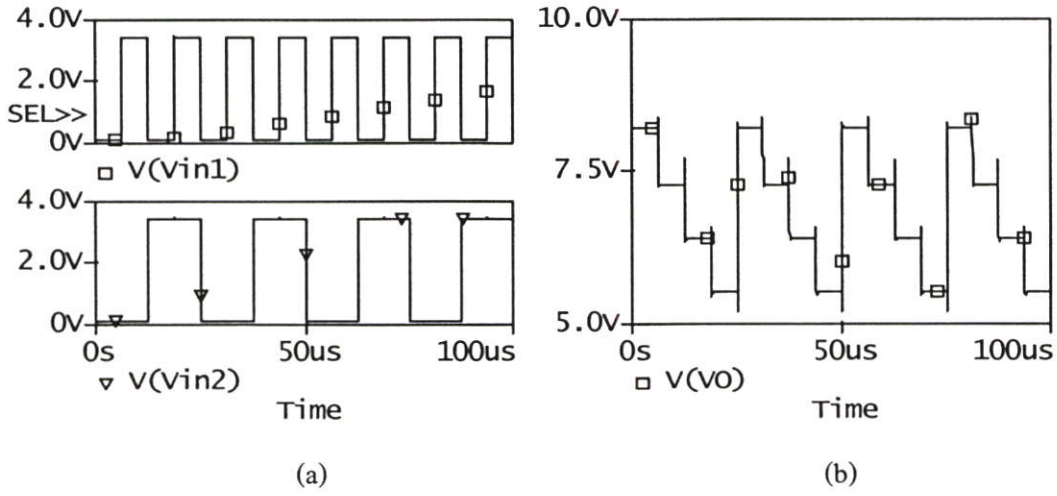
รูปที่ 4.11 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 256 kbps
 (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับ
 สัญญาณอินพุต V(Vin2)



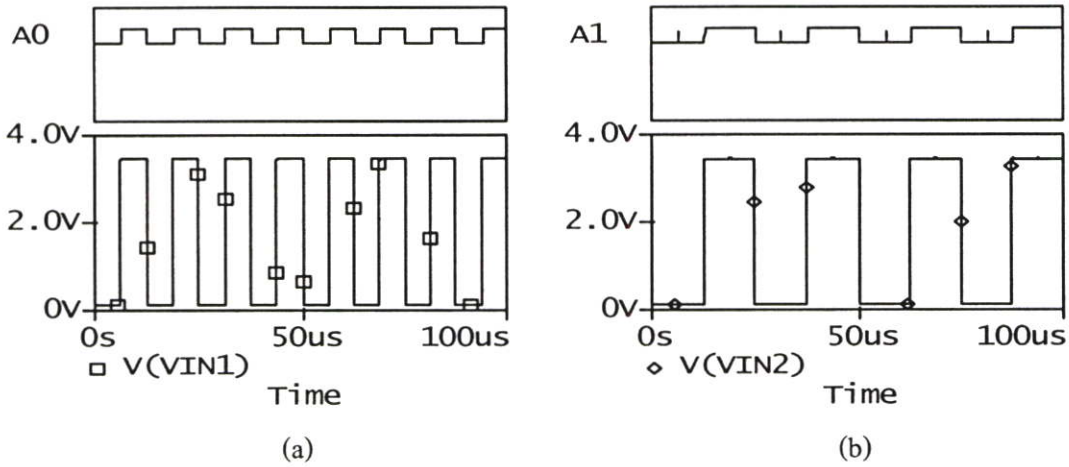
รูปที่ 4.12 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1)

4.1.5 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 320 kbps

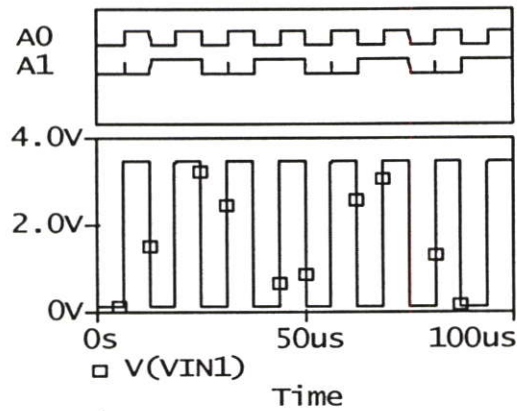
การเขียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 320 kbps จะทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q2 หรือที่ Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $6.25\ \mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $12.5\ \mu\text{s}$ ผลของการเข้ารหัสจะแสดงใน รูปที่ 4.13(b)



รูปที่ 4.13 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 320 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



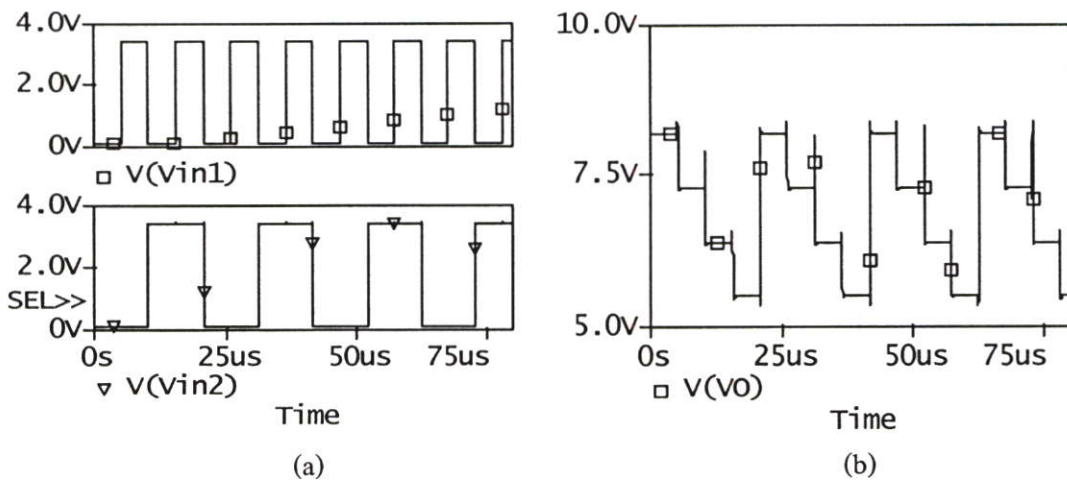
รูปที่ 4.14 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 320 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต V(Vin2)



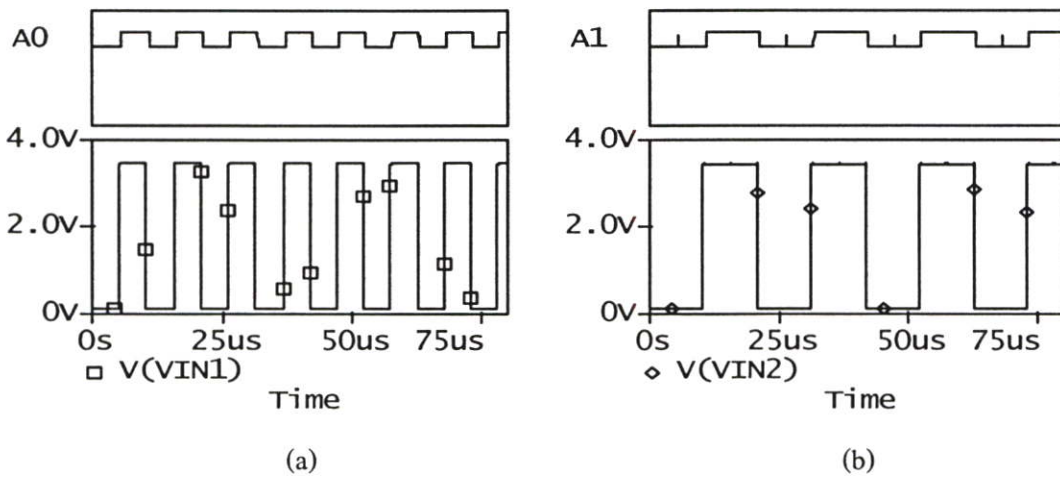
รูปที่ 4.15 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1)

4.1.6 ผลการเขียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 384 kbps

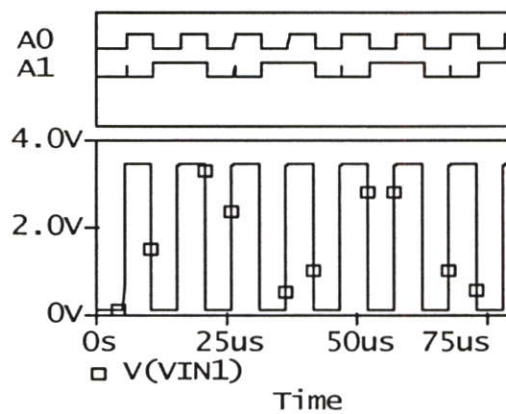
การเขียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 384 kbps จะทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q2 หรือที่ Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $5.2\mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $10.41\mu\text{s}$ ผลของการเข้ารหัสจะแสดงในรูปที่ 4.16 (b)



รูปที่ 4.16 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 384 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



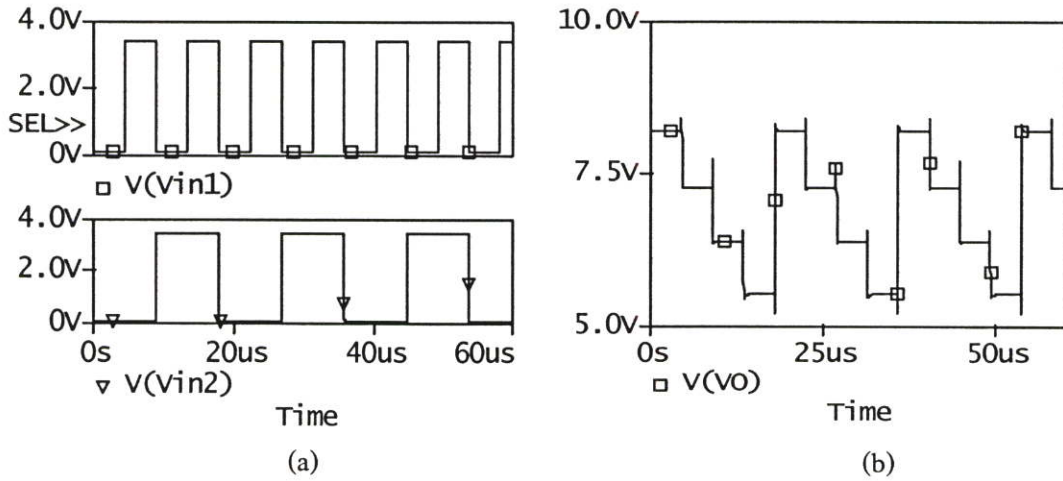
รูปที่ 4.17 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 384 kbps
 (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับ
 สัญญาณอินพุต V(Vin2)



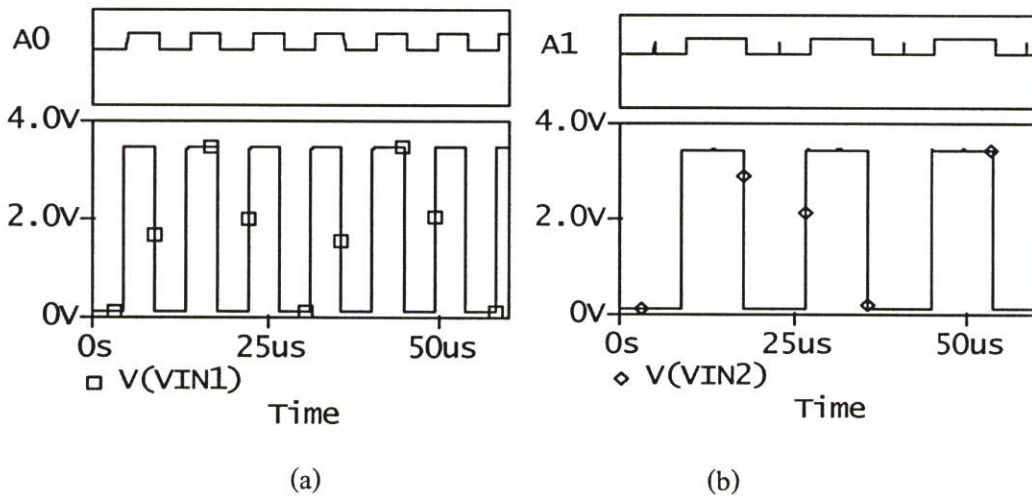
รูปที่ 4.18 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1)

4.1.7 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 448 kbps

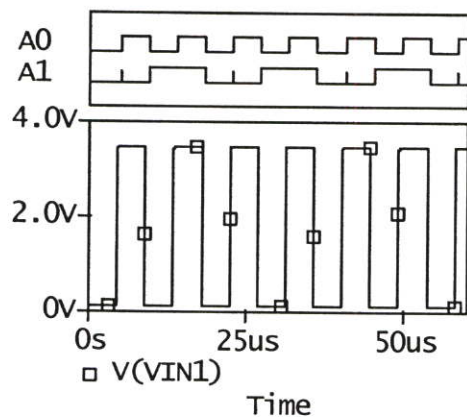
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 448 kbps จะทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q2 หรือที่ Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $4.46\ \mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $8.92\ \mu\text{s}$ ผลของการเข้ารหัสจะแสดงในรูปที่ 4.19 (b)



รูปที่ 4.19 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 448 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



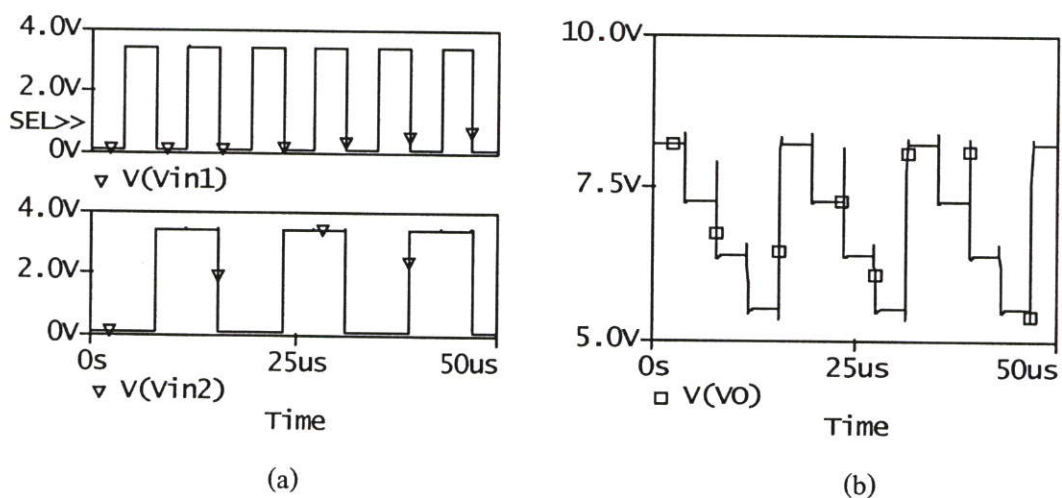
รูปที่ 4.20 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 448 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต V(Vin2)



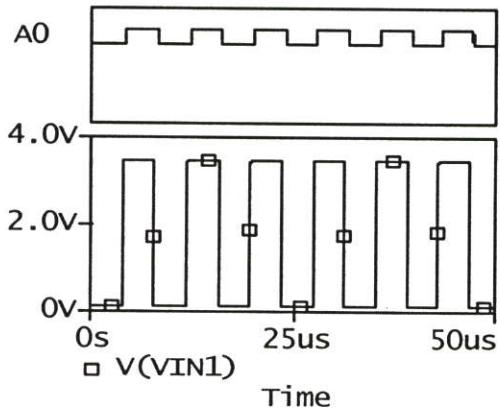
รูปที่ 4.21 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1)

4.1.8 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ความเร็ว 512 kbps

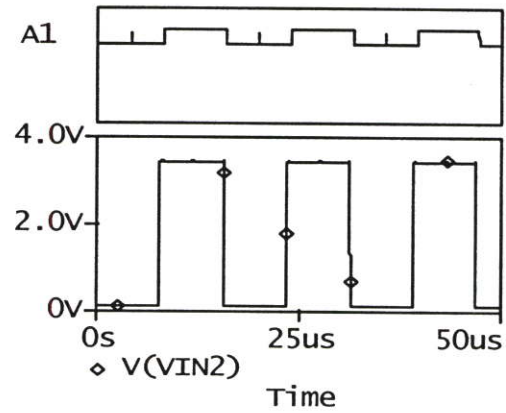
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 512 kbps จะทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q2 หรือที่ Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $3.9\mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $7.81\mu\text{s}$ ผลของการเข้ารหัสจะแสดงในรูปที่ 4.22 (b)



รูปที่ 4.22 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 512 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(VO)

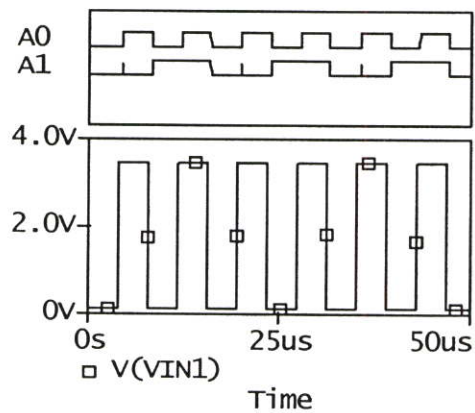


(a)



(b)

รูปที่ 4.23 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 512 kbps
 (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับ
 สัญญาณอินพุต V(Vin2)



รูปที่ 4.24 สัญญาณเอาต์พุตที่ A1,A0 และสัญญาณอินพุต V(Vin1)

4.2 การเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM

การเลียนแบบการทำงานของโปรแกรม PSpice แสดงในรูปที่ 3.7 เป็นการเลียนแบบการทำงานของ line code 2B1Q โดยกำหนดให้ใช้ digital clock เป็นข้อมูลที่ป้อนให้กับอินพุตของทรานซิสเตอร์ Q2 เป็น Vin1 และที่อินพุตของทรานซิสเตอร์ Q3 เป็น Vin2 ที่อินพุตของทรานซิสเตอร์ Q8 เป็น Vin3 ที่อินพุตของทรานซิสเตอร์ Q9 เป็น Vin4 ผลของการเข้ารหัสจะแสดงที่เอาต์พุต Vo3 โดยข้อมูลที่ป้อนให้แสดงในตารางที่ 4.2

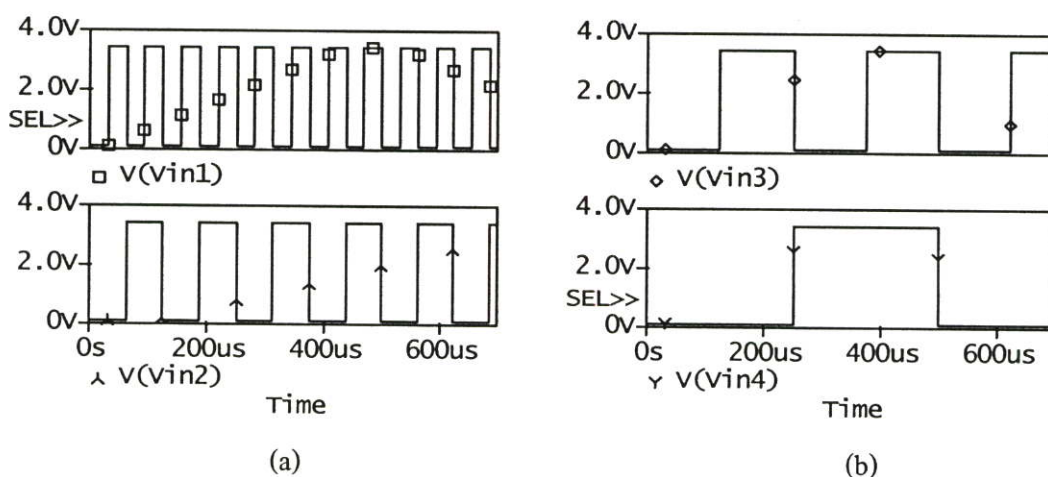
ตารางที่ 4.2 แสดงข้อมูลที่ป้อนให้กับวงจร 2B1Q ที่ปรับปรุงด้วยวิธี PAM

อินพุต Vin4	อินพุต Vin3	อินพุต Vin2	อินพุต Vin1
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

4.2.1 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps

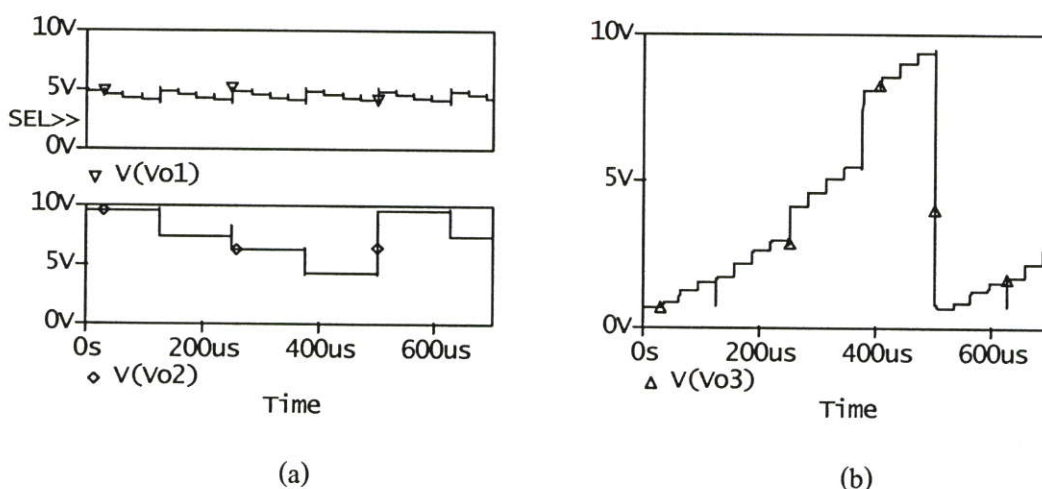
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 64 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $31.25 \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $62.5 \mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วง

เวลาของพัลส์บวกและลบเท่ากับ $125 \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $250 \mu\text{s}$



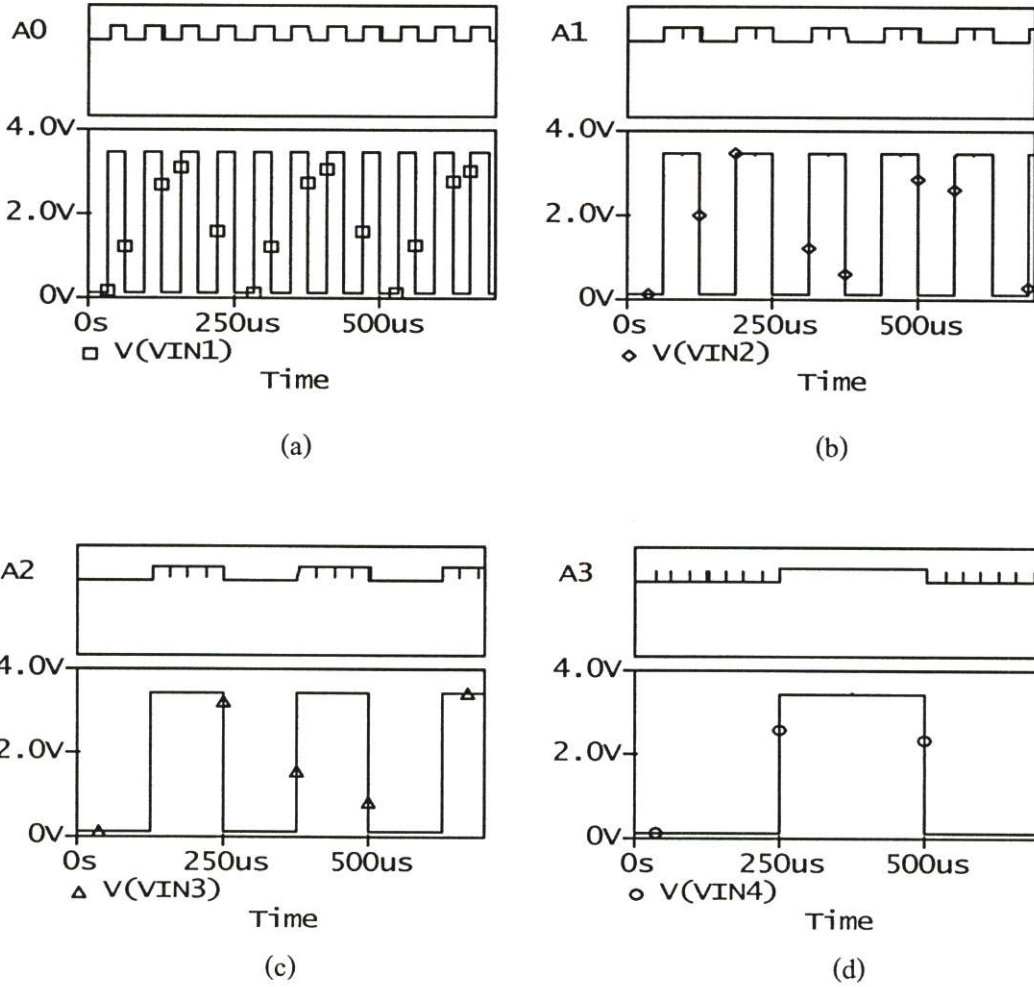
รูปที่ 4.25 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)

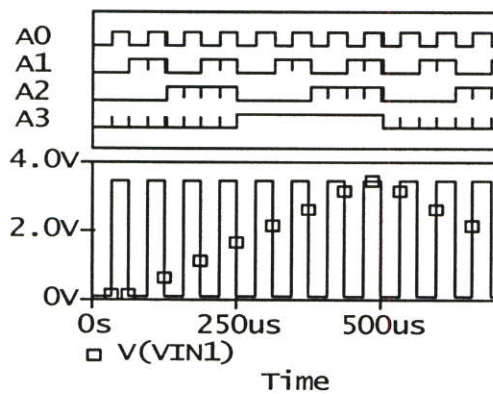


รูปที่ 4.26 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps

(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



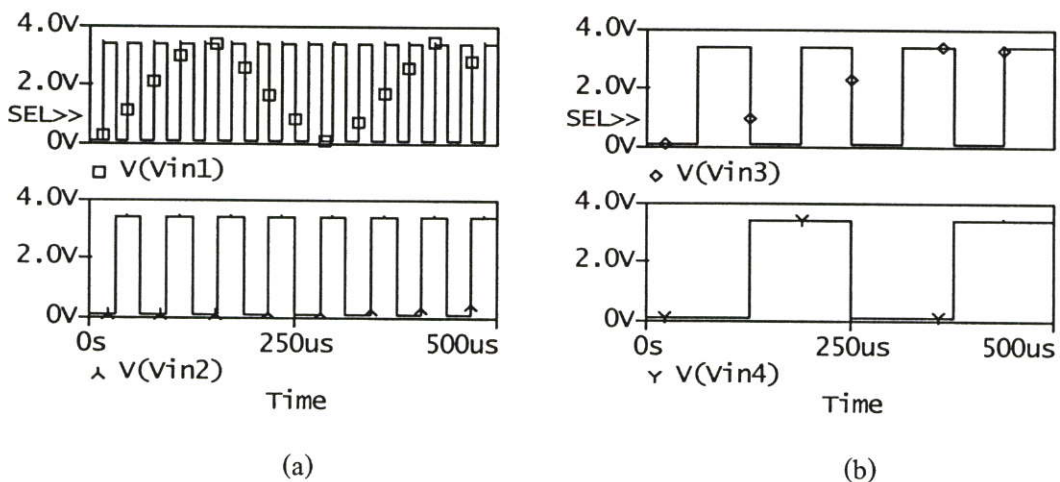
รูปที่ 4.27 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 64 kbps
 (a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2) กับสัญญาณเอาต์พุต A1
 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2 (d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3



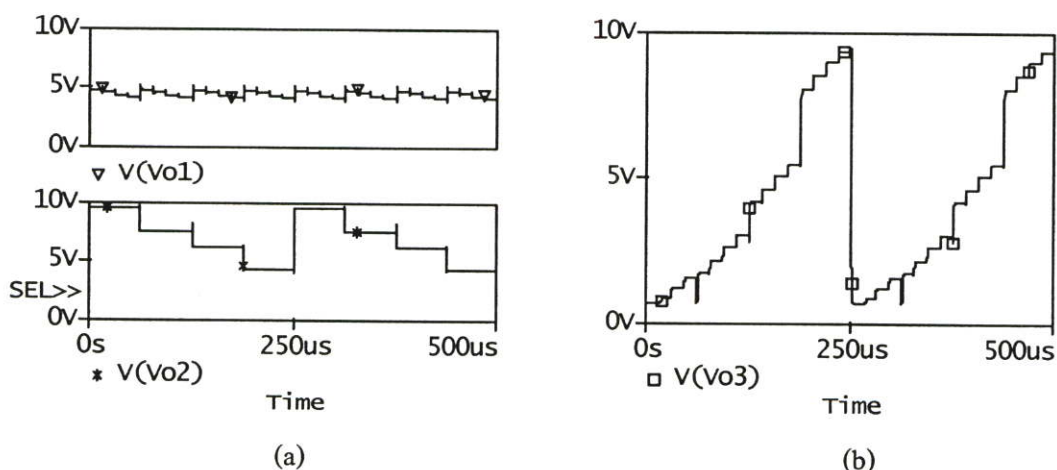
รูปที่ 4.28 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)

4.2.2 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ความเร็ว 128 kbps

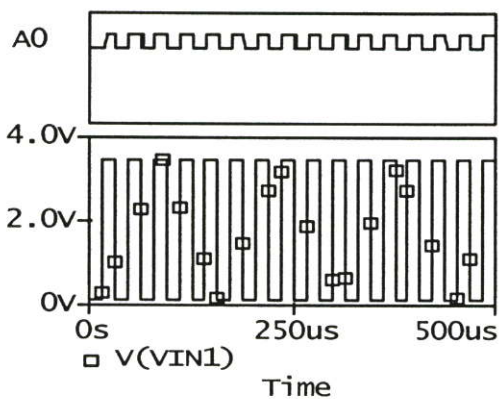
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 128 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $15.625 \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $31.25 \mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $62.5 \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $125 \mu\text{s}$



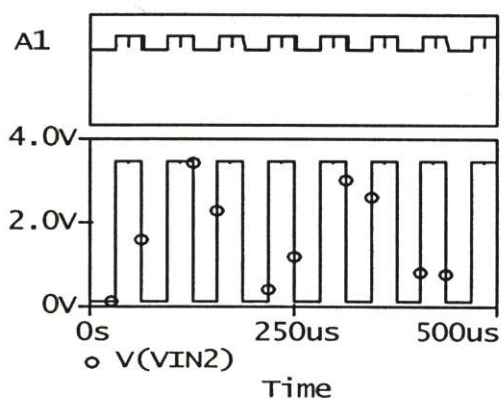
รูปที่ 4.29 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps
(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



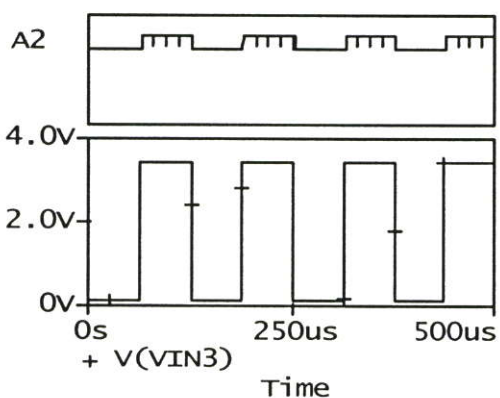
รูปที่ 4.30 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



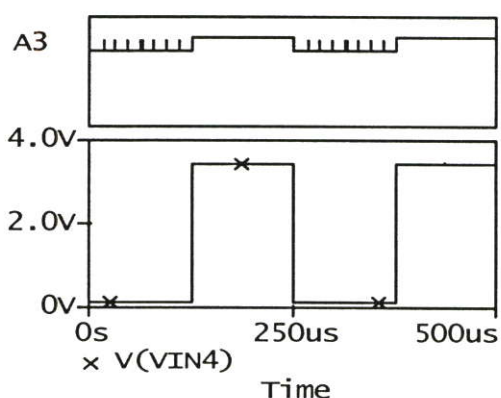
(a)



(b)



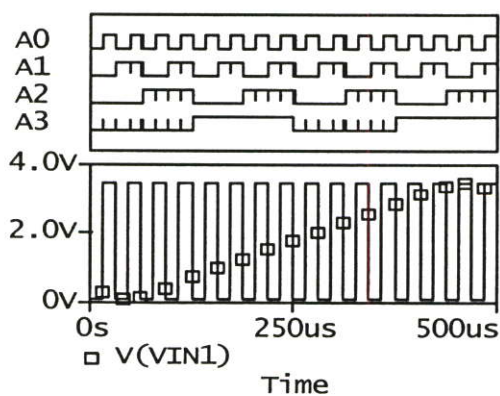
(c)



(d)

รูปที่ 4.31 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 128 kbps

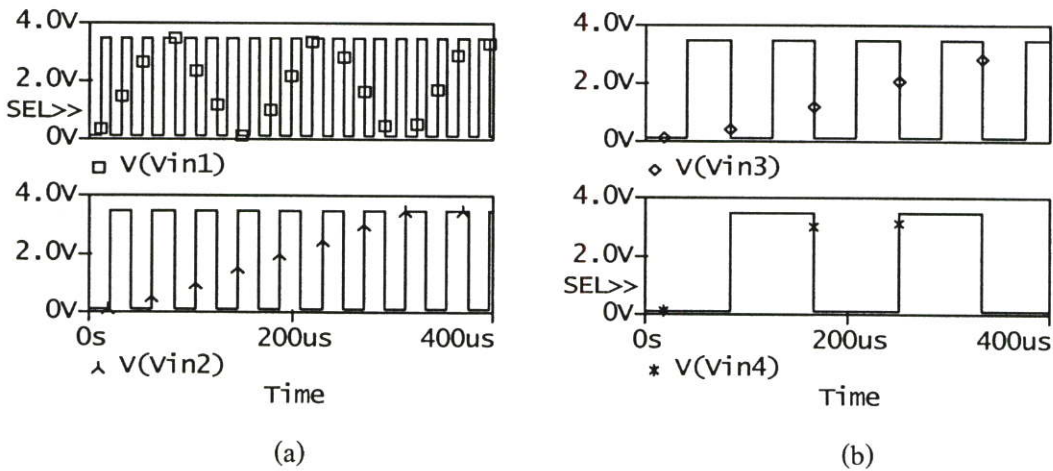
- (a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0
- (b) สัญญาณอินพุต V(Vin2) กับสัญญาณเอาต์พุต A1
- (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2
- (d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3



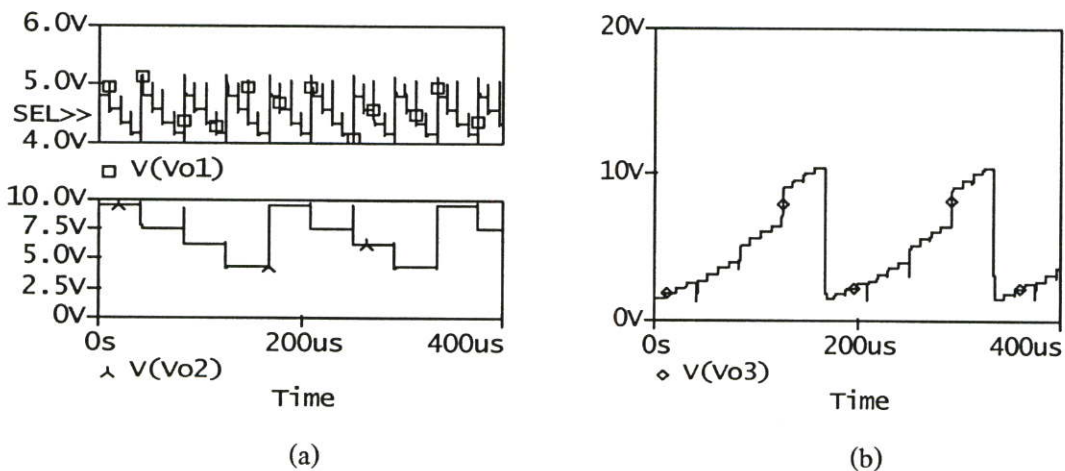
รูปที่ 4.32 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)

4.2.3 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ความเร็ว 192 kbps

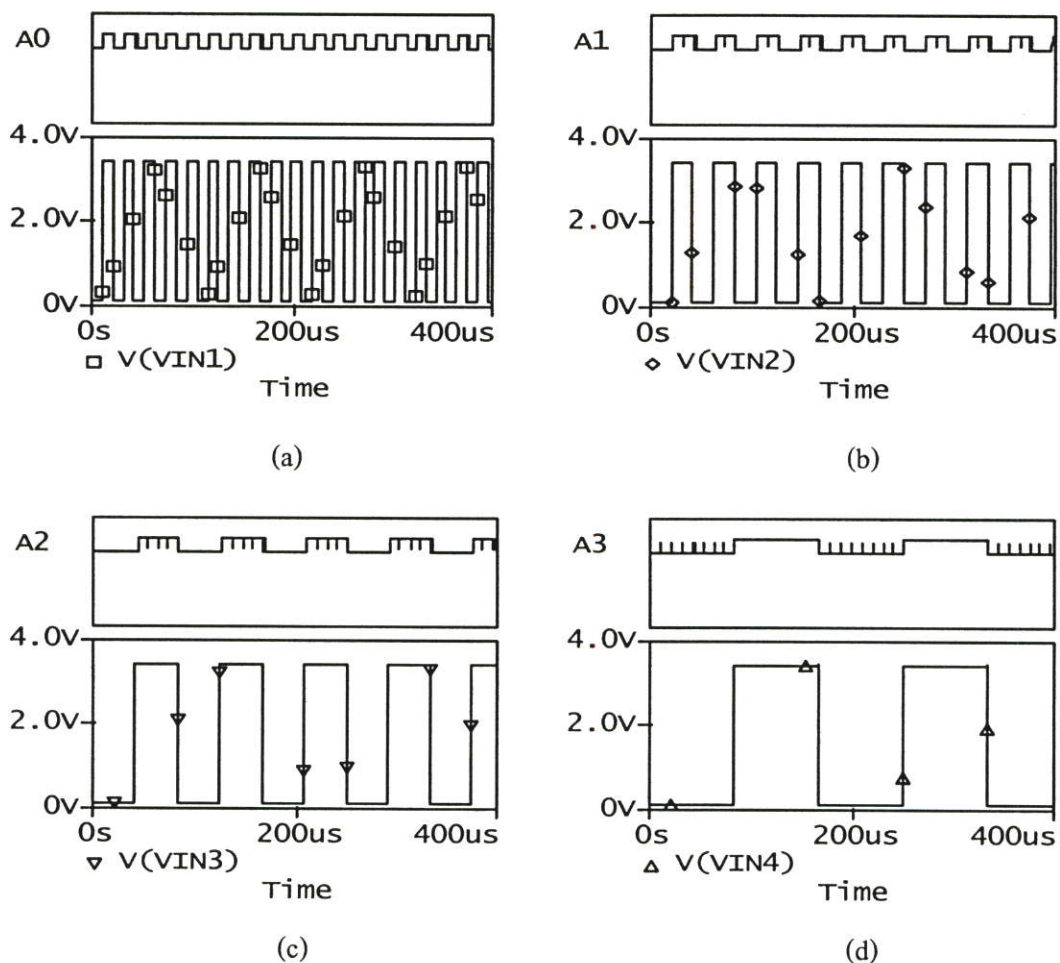
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 192 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 10.41 μ s pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 20.83 μ s pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 41.64 μ s pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 83.32 μ s



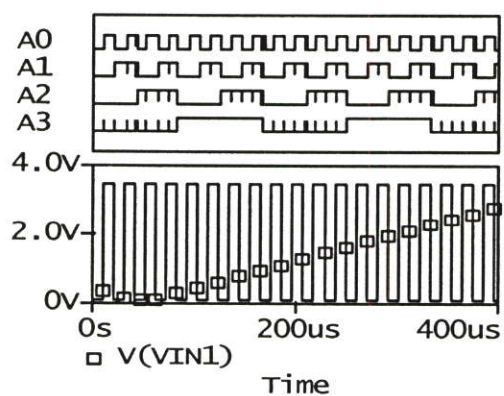
รูปที่ 4.33 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps
 (a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



รูปที่ 4.34 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps
 (a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



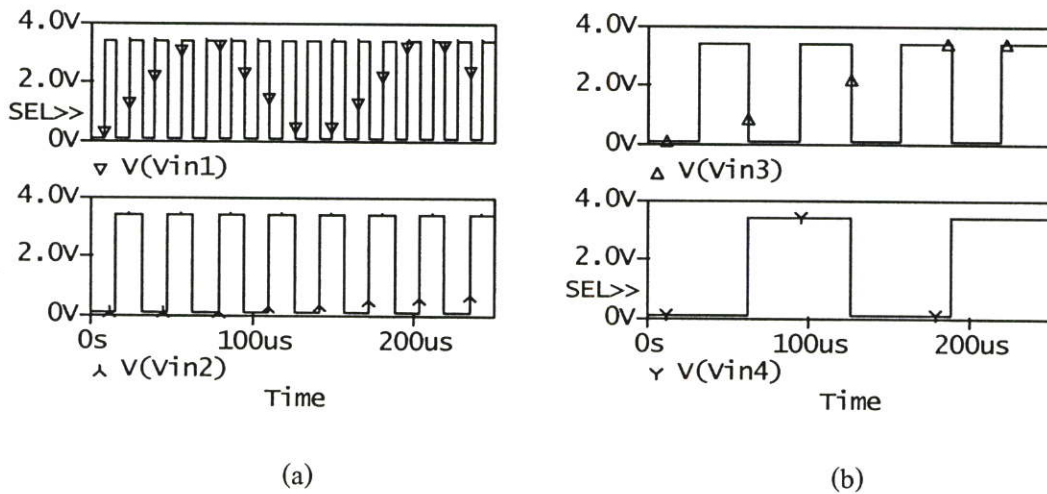
รูปที่ 4.35 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 192 kbps
 (a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)
 กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2
 (d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3



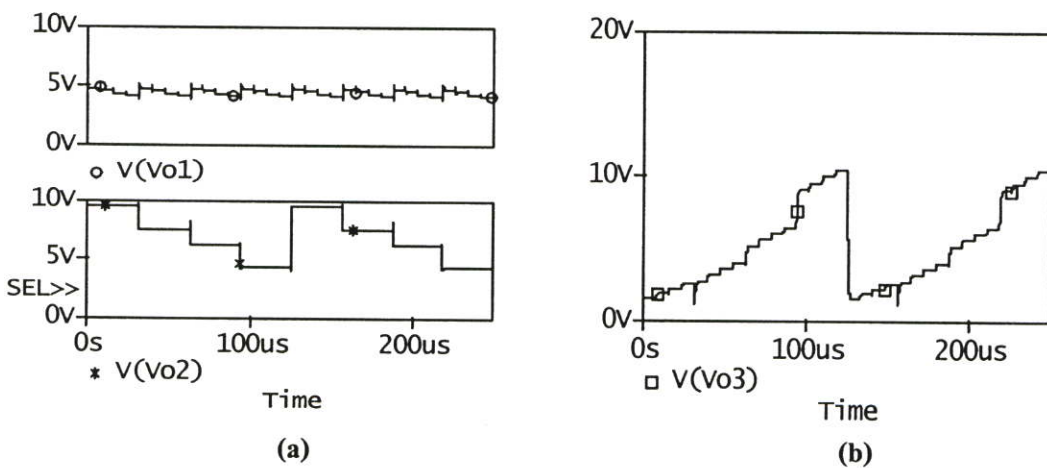
รูปที่ 4.36 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)

4.2.4 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ความเร็ว 256 kbps

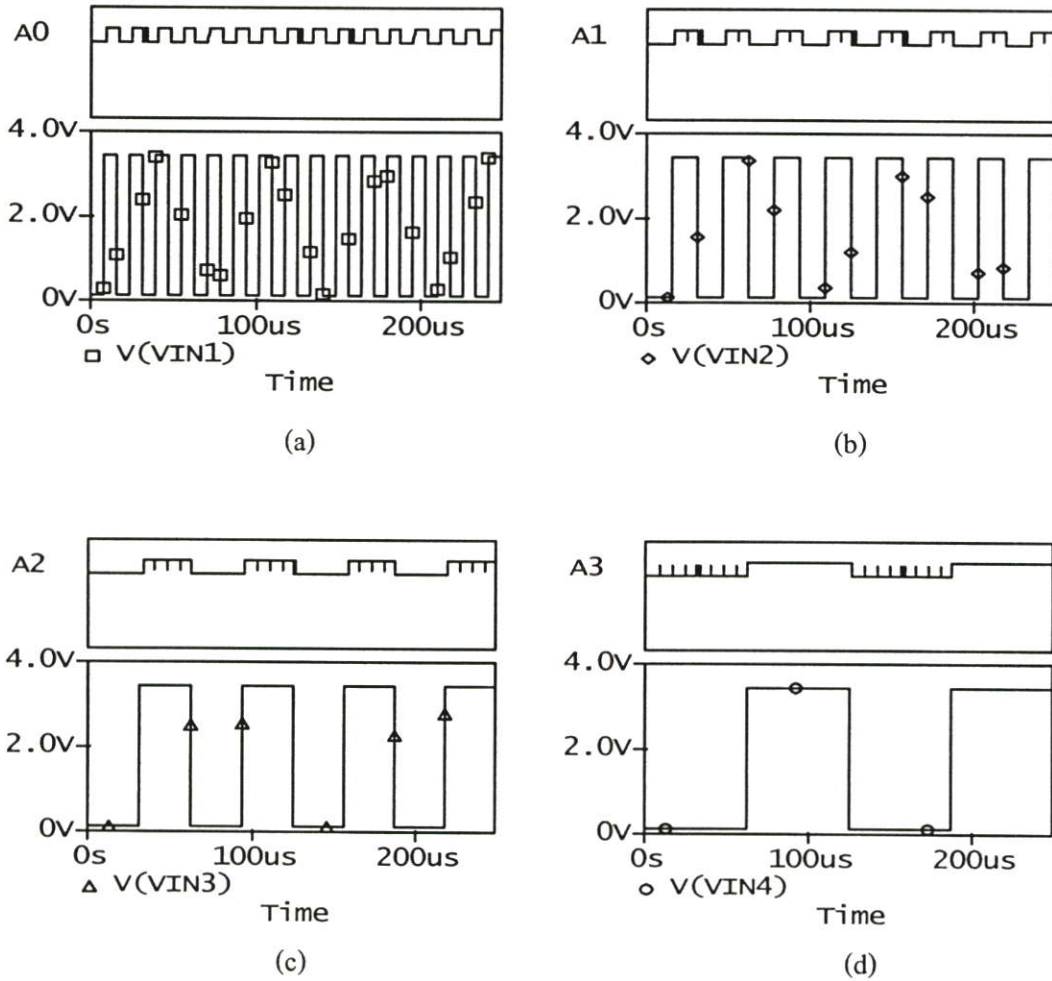
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 256 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $7.8125 \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $15.625 \mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $31.25 \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $62.5 \mu\text{s}$



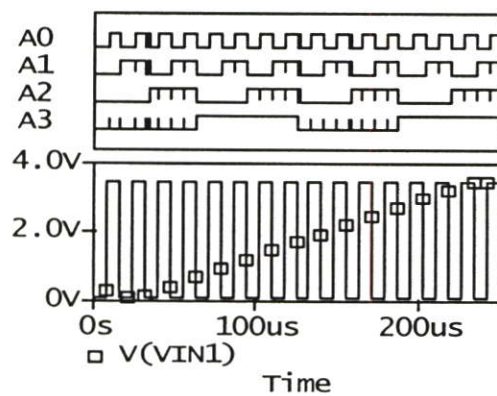
รูปที่ 4.37 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps
(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



รูปที่ 4.38 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



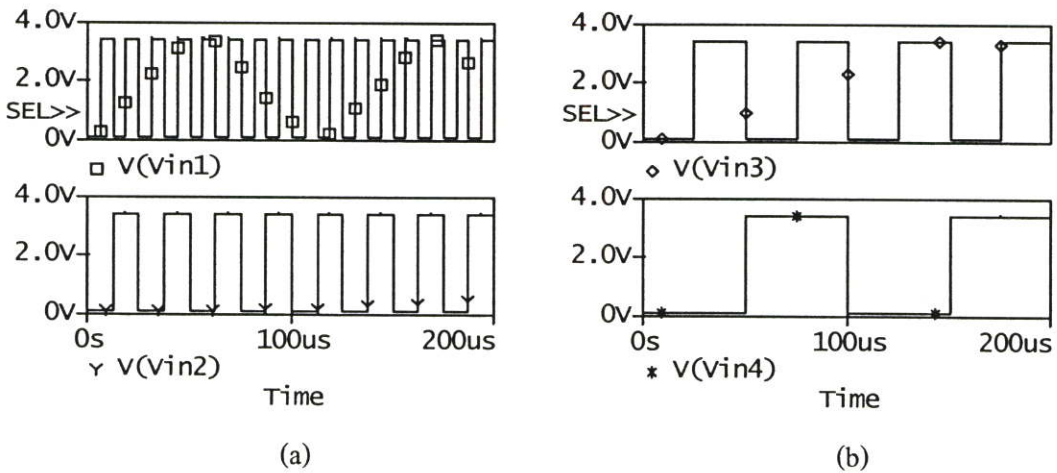
รูปที่ 4.39 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 256 kbps
 (a) สัญญาณอินพุต $V(Vin1)$ กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต $V(Vin2)$
 กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต $V(Vin3)$ กับสัญญาณเอาต์พุต A2
 (d) สัญญาณอินพุต $V(Vin3)$ กับสัญญาณเอาต์พุต A3



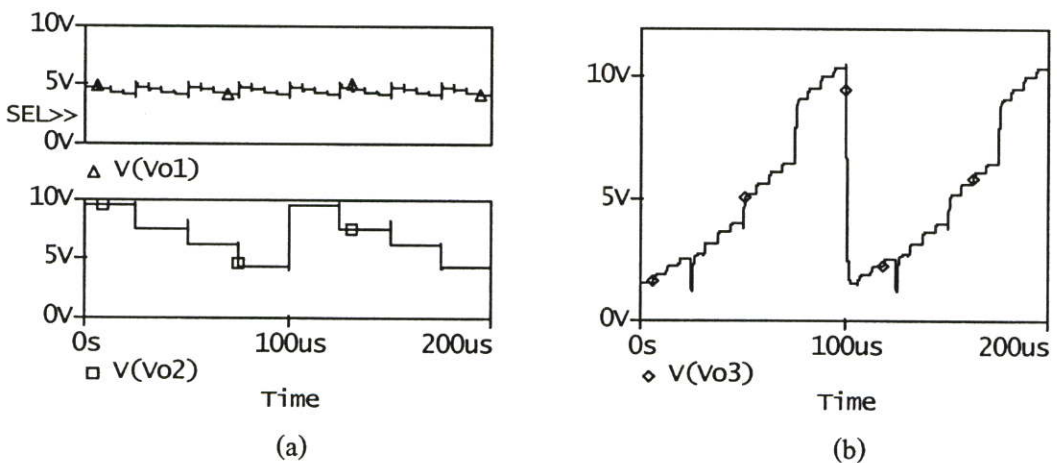
รูปที่ 4.40 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต $V(Vin1)$

4.2.5 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ความเร็ว 320 kbps

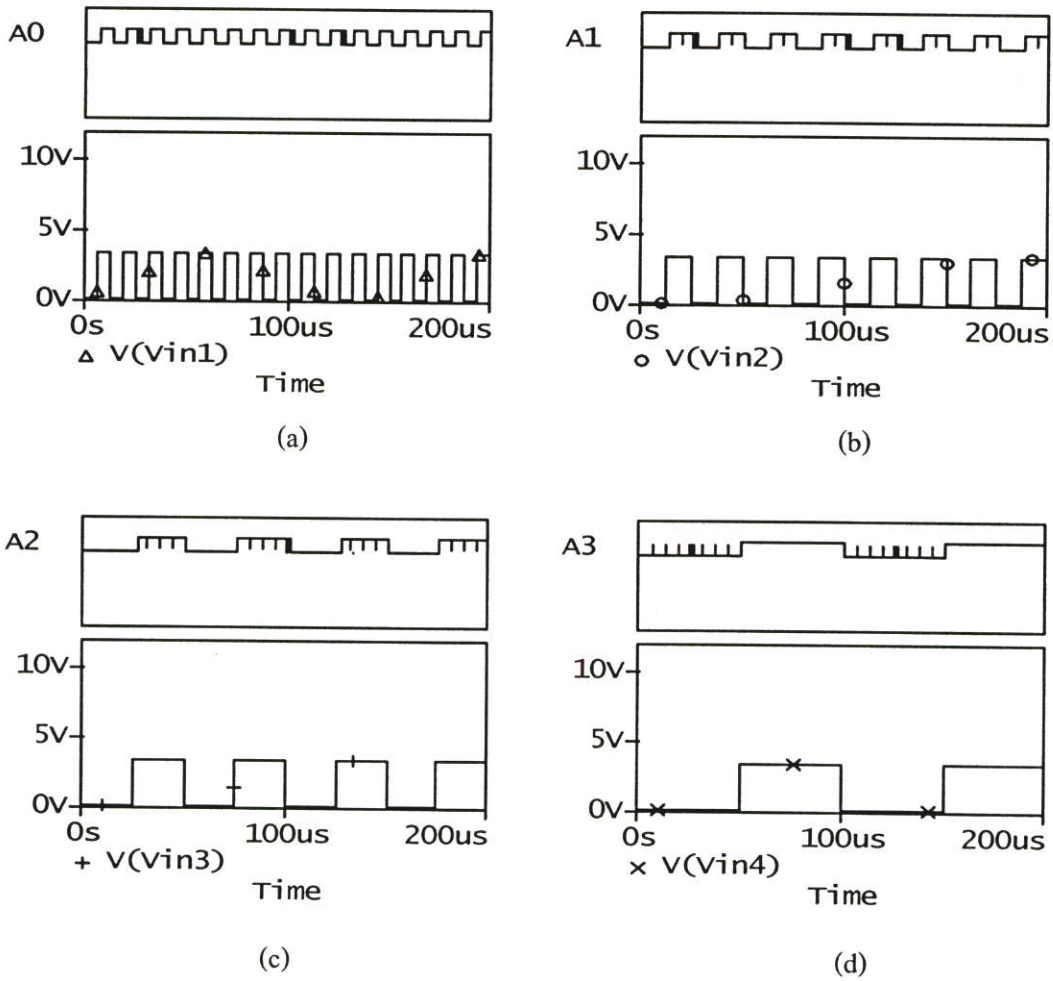
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 320 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 6.25 μ s pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 12.5 μ s pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 25 μ s pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 50 μ s



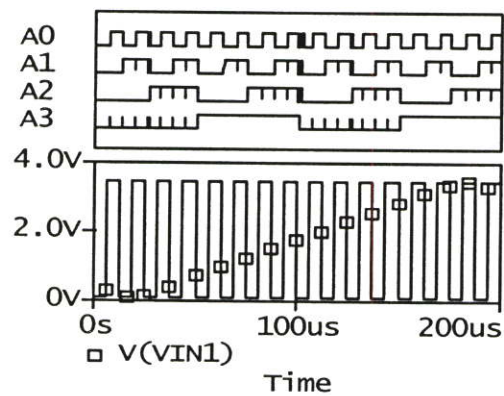
รูปที่ 4.41 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 320 kbps
 (a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



รูปที่ 4.42 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 320 kbps
 (a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1Q C



รูปที่ 4.43 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 320 kbps
 (a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)
 กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2
 (d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

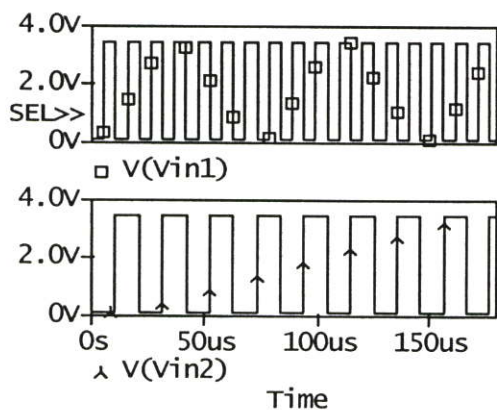


รูปที่ 4.44 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)

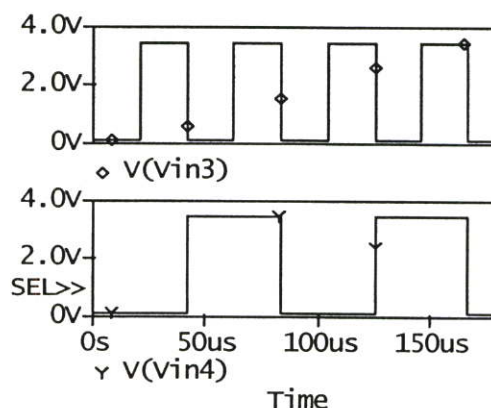
4.2.6 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ความเร็ว

384 kbps

การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 384 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $5.2\ \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $10.41\ \mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $20.82\ \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $41.64\ \mu\text{s}$



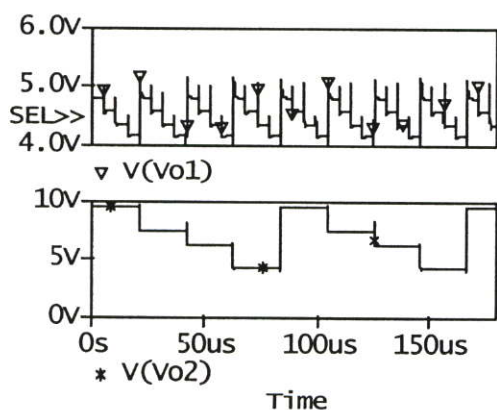
(a)



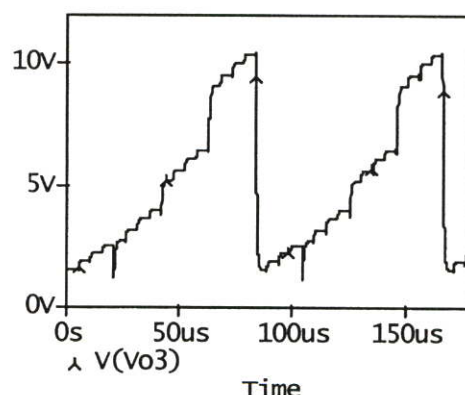
(b)

รูปที่ 4.45 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 384 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



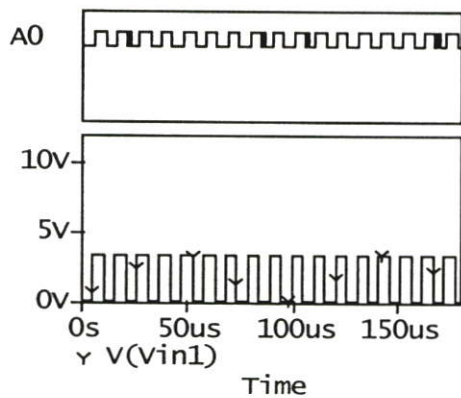
(a)



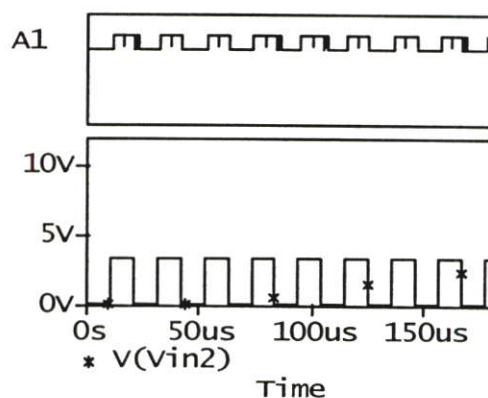
(b)

รูปที่ 4.46 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 384 kbps

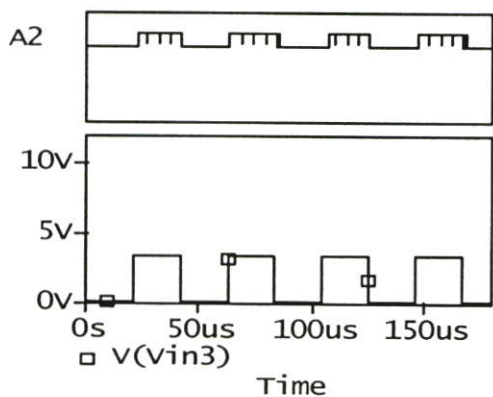
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



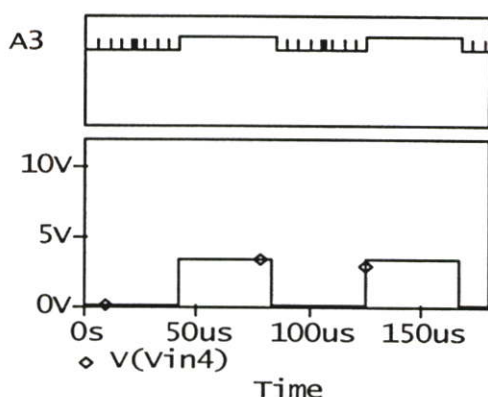
(a)



(b)

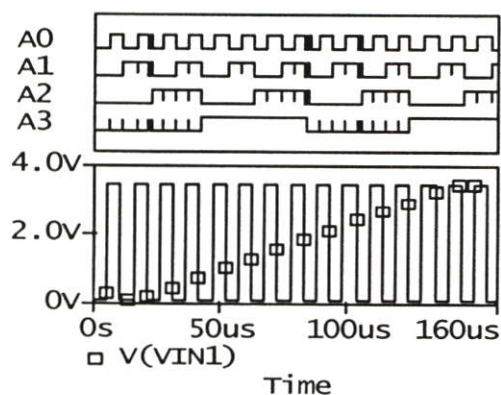


(c)



(d)

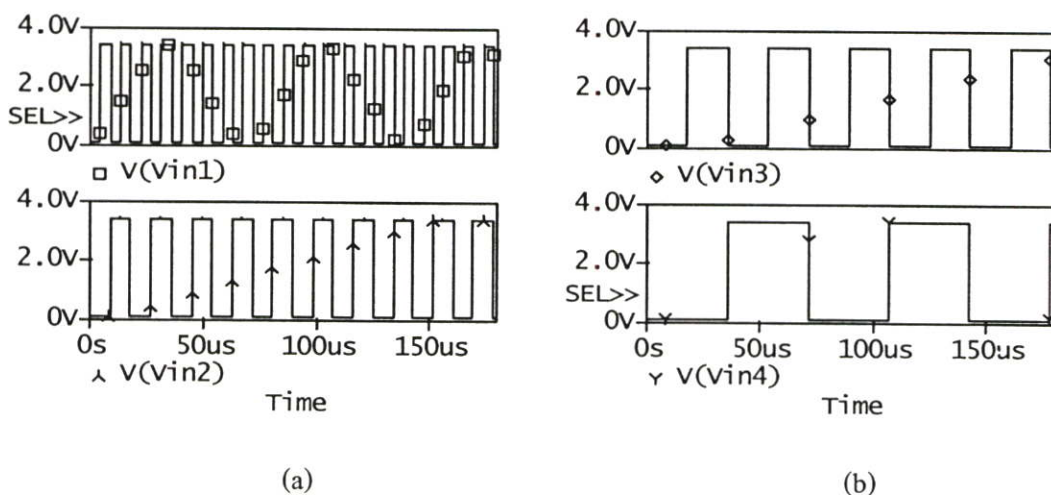
รูปที่ 4.47 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 384 kbps
 (a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)
 กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2
 (d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3



รูปที่ 4.48 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)

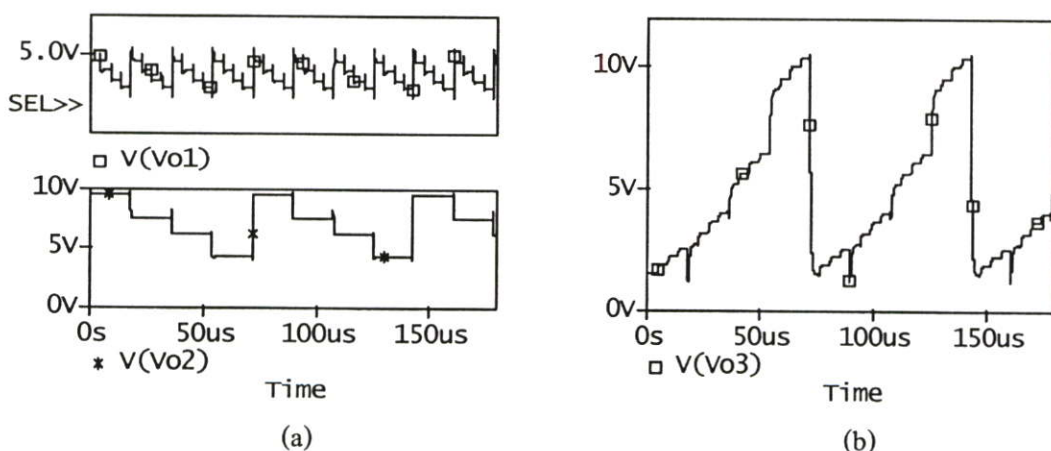
4.2.7 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ความเร็ว 448 kbps

การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 448 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 4.46 μs pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 8.92 μs pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 17.84 μs pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ 35.68 μs



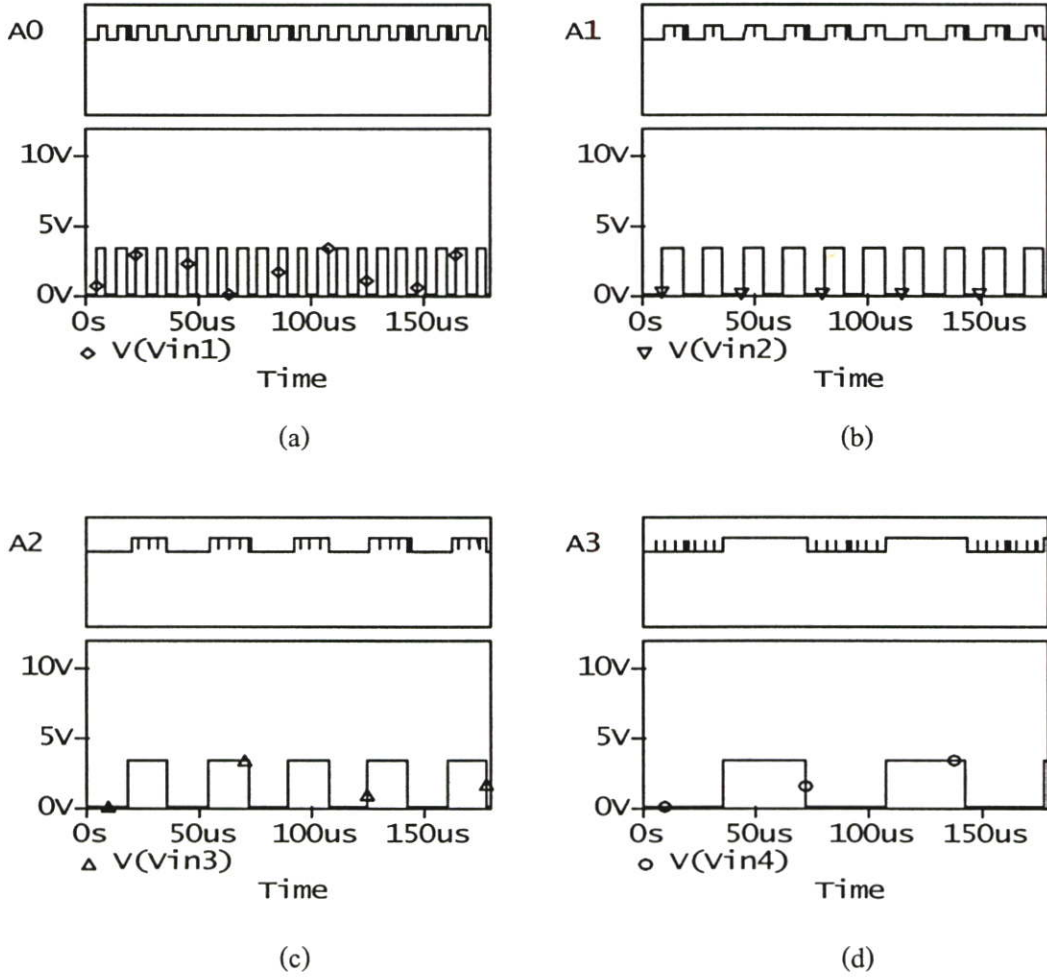
รูปที่ 4.49 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 448 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)

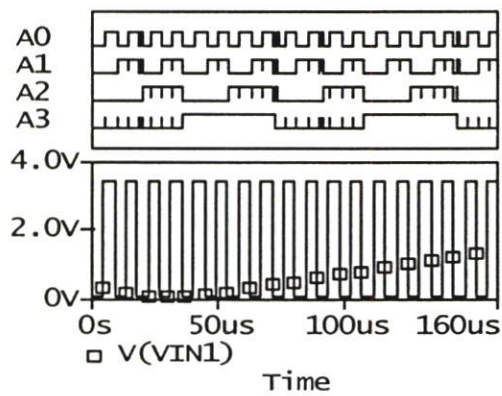


รูปที่ 4.50 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 448 kbps

(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



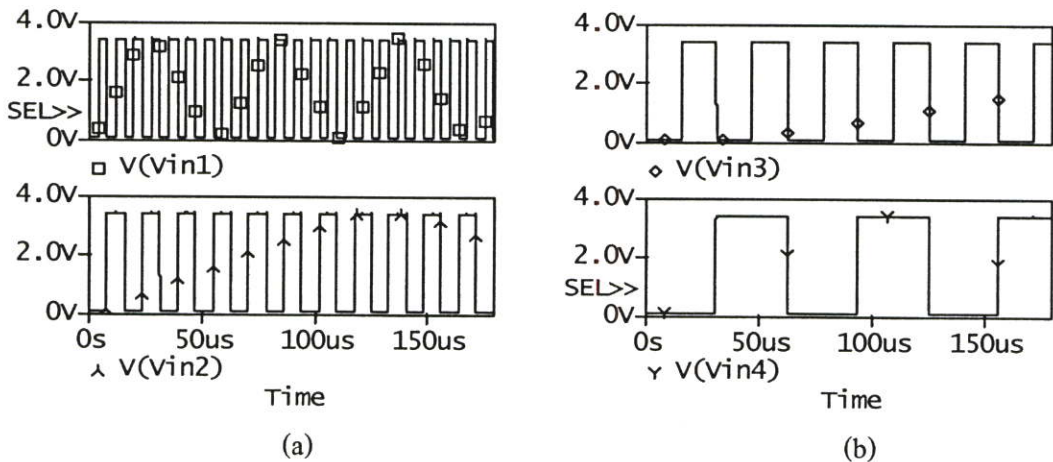
รูปที่ 4.51 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 448 kbps
 (a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2) กับสัญญาณเอาต์พุต A1
 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2
 (d) สัญญาณอินพุต V(Vin4) กับสัญญาณเอาต์พุต A3



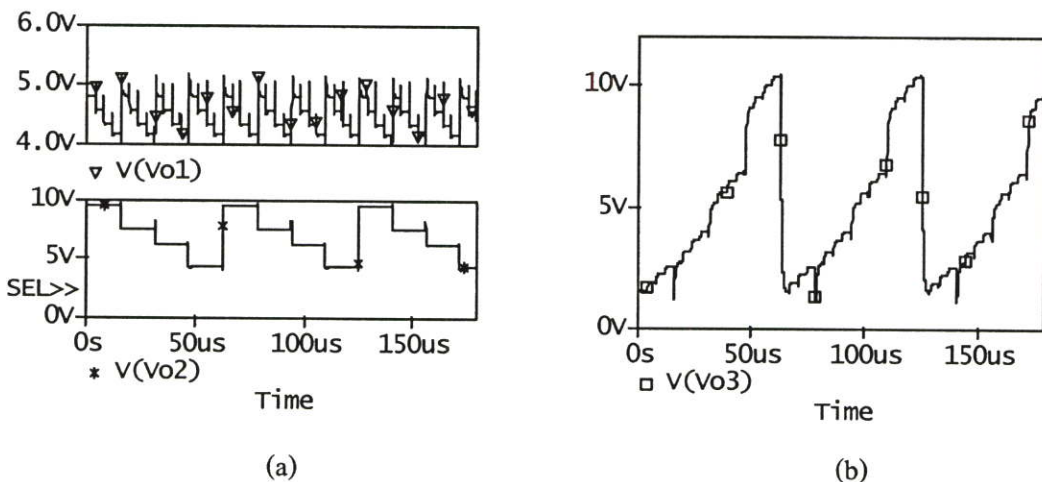
รูปที่ 4.52 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต V(Vin1)

4.2.8 ผลการเลียนแบบการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ความเร็ว 512 kbps

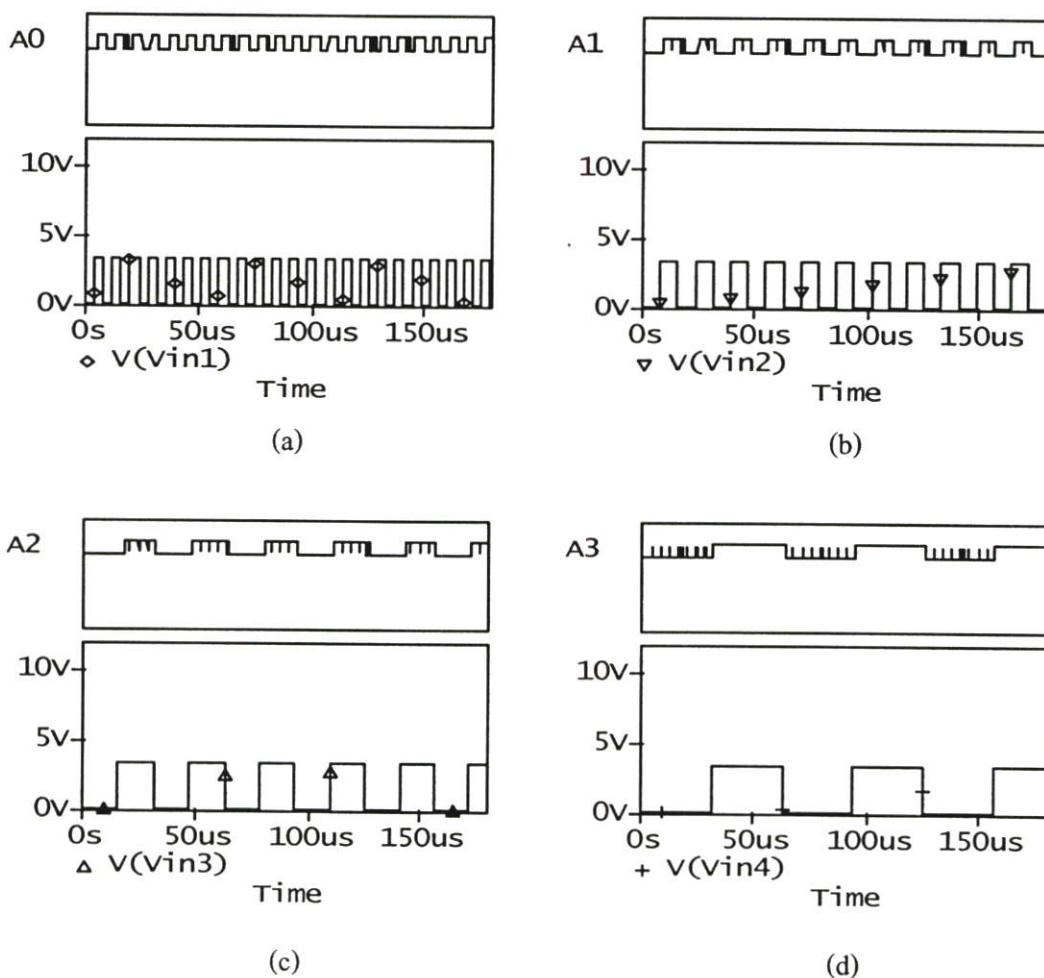
การเลียนแบบการทำงานของโปรแกรม PSpice ที่ความเร็ว 512 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $3.9\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $7.81\mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $15.62\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาของพัลส์บวกและลบเท่ากับ $31.24\mu\text{s}$



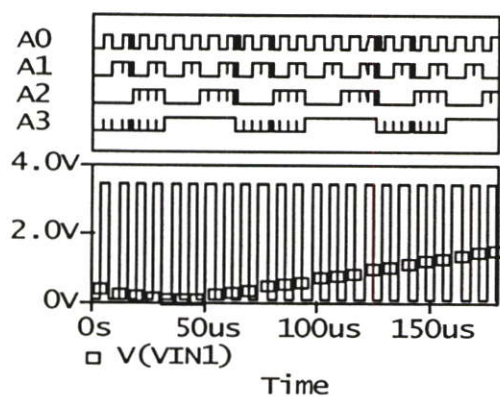
รูปที่ 4.53 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 512 kbps
(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



รูปที่ 4.54 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 512 kbps
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



รูปที่ 4.55 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 512 kbps
 (a) สัญญาณอินพุต $V(Vin1)$ กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต $V(Vin2)$
 กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต $V(Vin3)$ กับสัญญาณเอาต์พุต A2
 (d) สัญญาณอินพุต $V(Vin3)$ กับสัญญาณเอาต์พุต A3



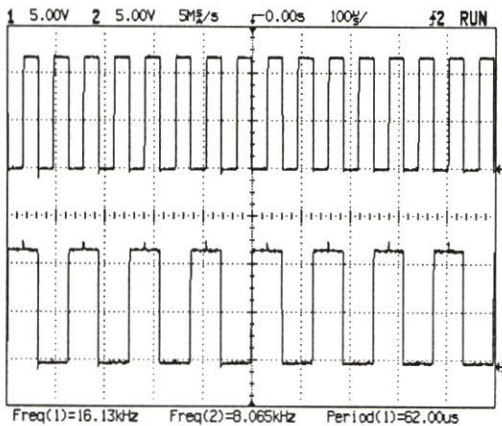
รูปที่ 4.56 สัญญาณเอาต์พุต A0, A1, A2, A3 กับสัญญาณอินพุต $V(Vin1)$

4.3 ผลการทดลองของ line code 2B1Q

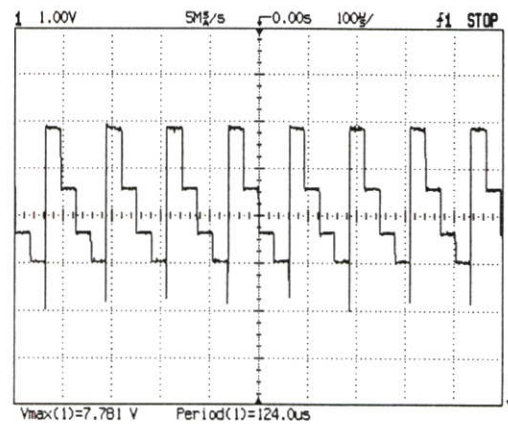
ผลการทดลองของ line code 2B1Q ทำได้โดยต้องจรรยาที่แสดงในรูปที่ 3.4 โดยกำหนดให้ใช้ digital clock เป็นข้อมูลที่ป้อนให้กับอินพุตของทรานซิสเตอร์ Q2 เป็น Vin1 และที่อินพุตของทรานซิสเตอร์ Q3 เป็น Vin2 โดยข้อมูลที่ป้อนให้แสดงในตารางที่ 4.1

4.3.1 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 64 kbps

ผลการทดลองของ line code 2B1Q ที่ความเร็ว 64 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $31.25 \mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบ เท่ากับ $62.5 \mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.57 (b)

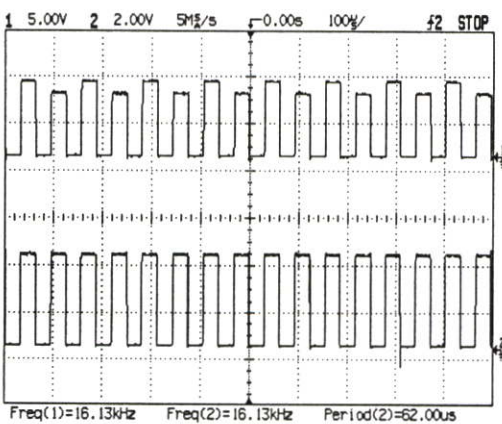


(a)

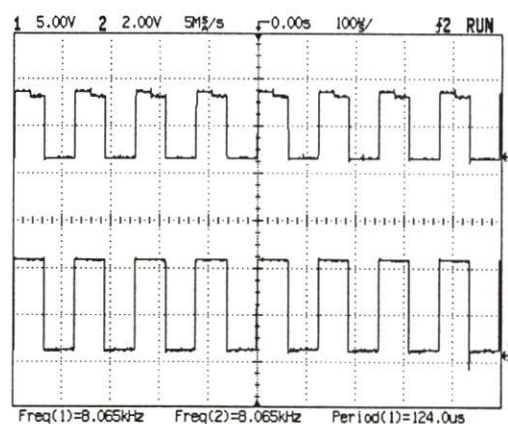


(b)

รูปที่ 4.57 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 64 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



(a)

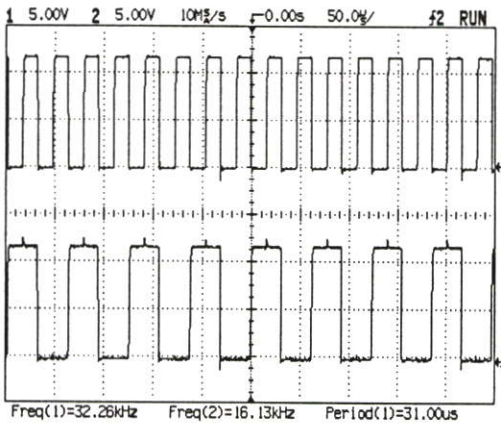


(b)

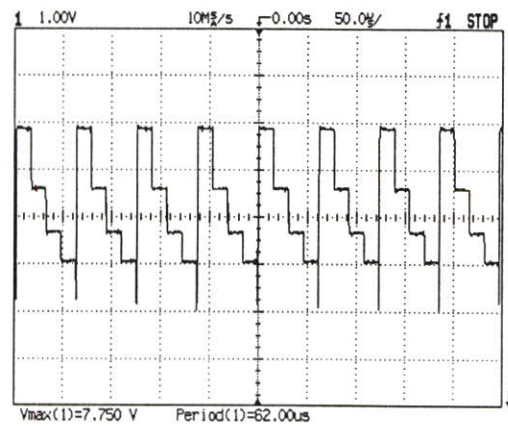
รูปที่ 4.58 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 64 kbps (a) สัญญาณที่ A0 กับ V(Vin1) (b) สัญญาณที่ A1 กับ V(Vin2)

4.3.2 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 128 kbps

ผลการทดลองของ line code 2B1Q ที่ความเร็ว 128 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $15.625\mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $31.25\mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.59(b)

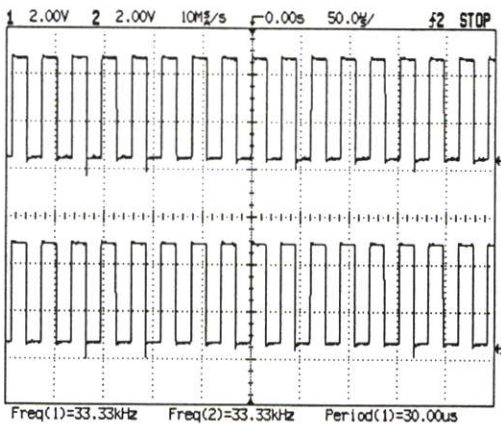


(a)

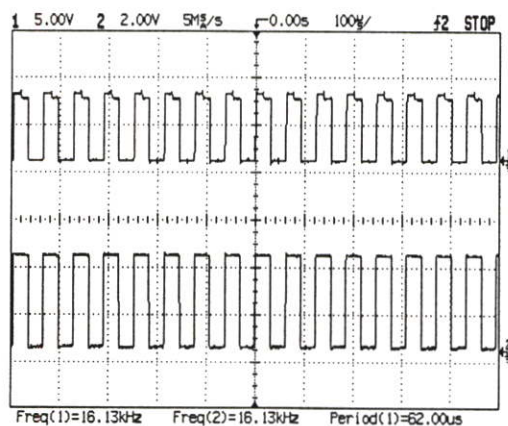


(b)

รูปที่ 4.59 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 128 kbps (a) สัญญาณอินพุต $V(\text{Vin}1)$, $V(\text{Vin}2)$ (b) สัญญาณเอาต์พุต $V(\text{Vo})$



(a)

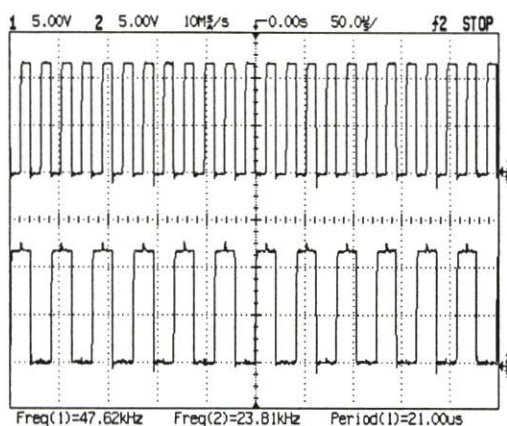


(b)

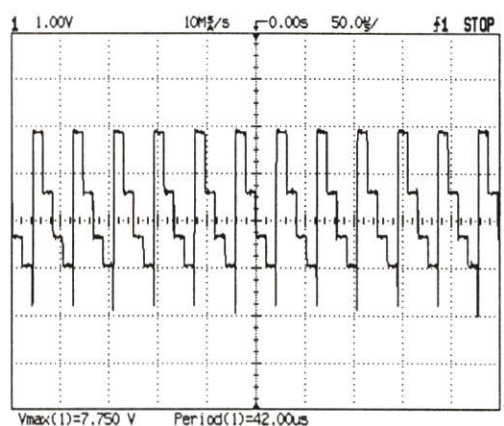
รูปที่ 4.60 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 128 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต $V(\text{Vin}1)$ (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต $V(\text{Vin}2)$

4.3.3 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 192 kbps

ผลการทดลองของ line code 2B1Q ที่ความเร็ว 192 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $10.41\mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $20.83\mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.61(b)

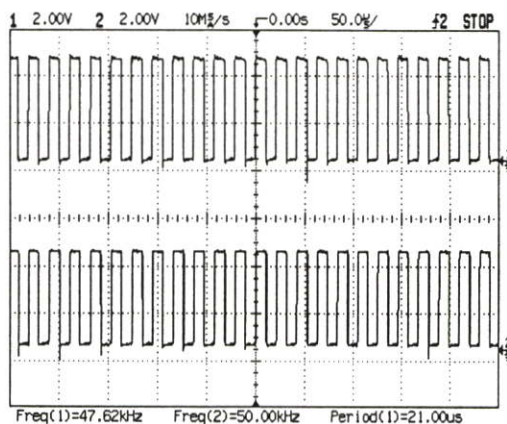


(a)

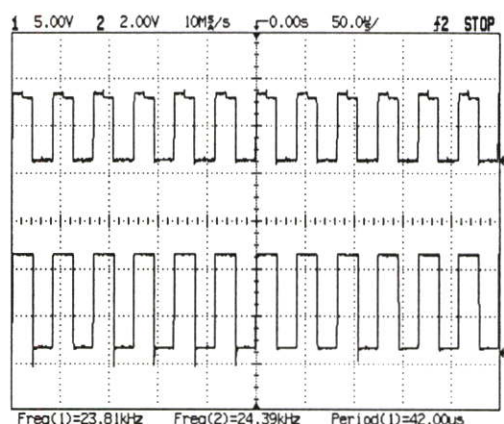


(b)

รูปที่ 4.61 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 192 kbps (a) สัญญาณอินพุต $V(\text{Vin}1)$, $V(\text{Vin}2)$ (b) สัญญาณเอาต์พุต $V(\text{Vo})$



(a)

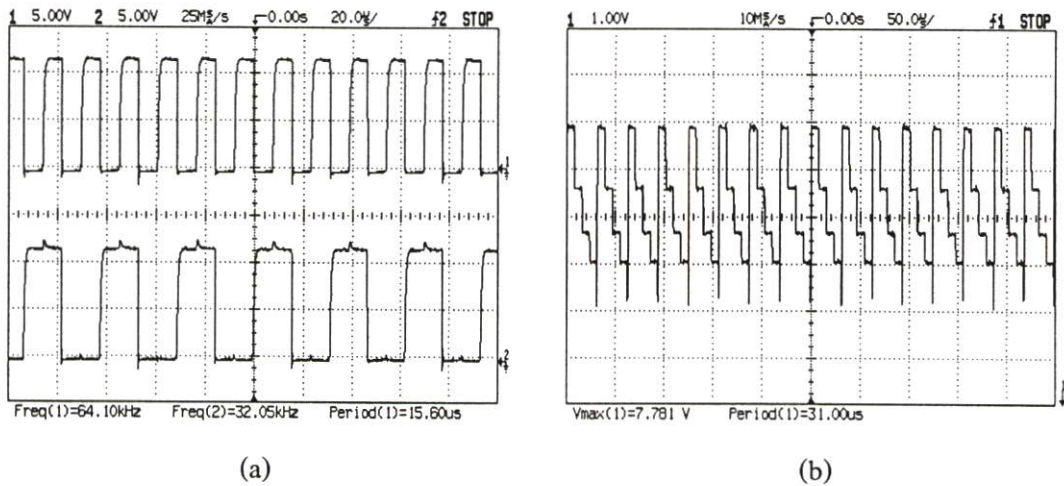


(b)

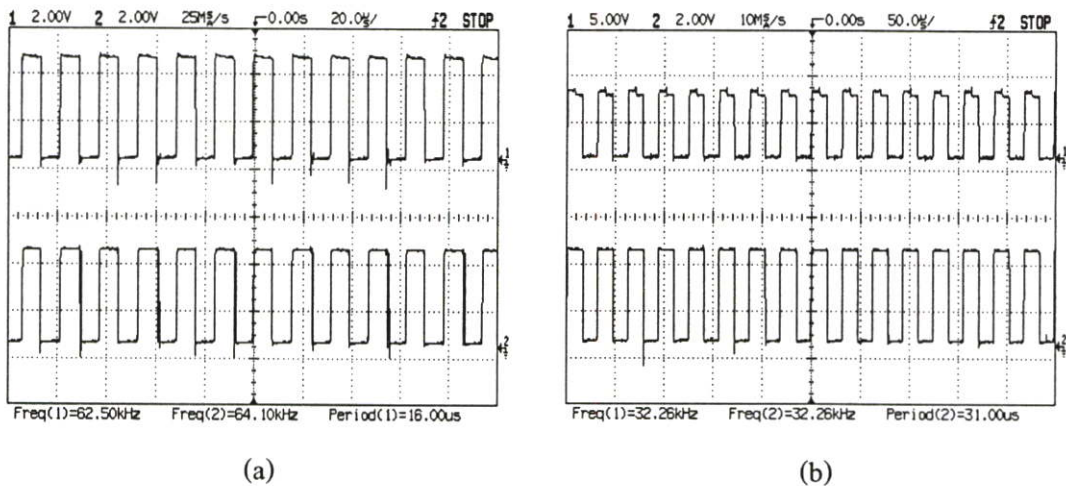
รูปที่ 4.62 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 192 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต $V(\text{Vin}1)$ (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต $V(\text{Vin}2)$

4.3.4 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 256 kbps

ผลการทดลองของ line code 2B1Q ที่ความเร็ว 256 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ 7.8125 μ s และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ 15.625 μ s ผลของการเข้ารหัสจะแสดงรูปที่ 4.63(b)



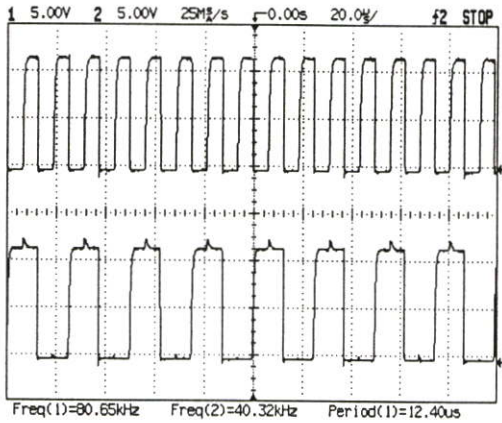
รูปที่ 4.63 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 256 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



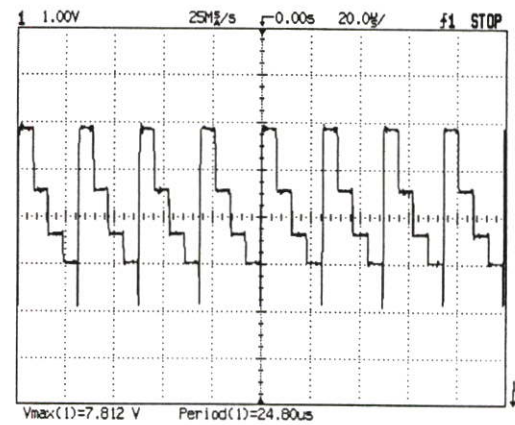
รูปที่ 4.64 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 256 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต V(Vin2)

4.3.5 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 320 kbps

ผลการทดลองของ line code 2B1Q ที่ความเร็ว 320 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $6.25\ \mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $12.5\ \mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.65(b)

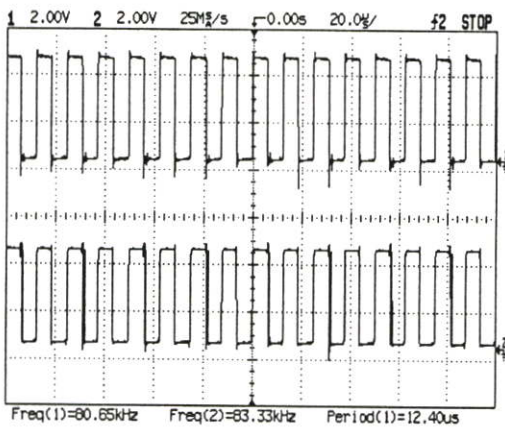


(a)

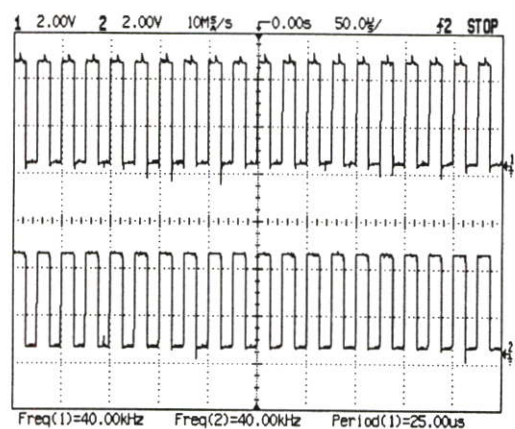


(b)

รูปที่ 4.65 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 320 kbps (a) สัญญาณอินพุต $V(\text{Vin}1)$, $V(\text{Vin}2)$ (b) สัญญาณเอาต์พุต $V(\text{Vo})$



(a)

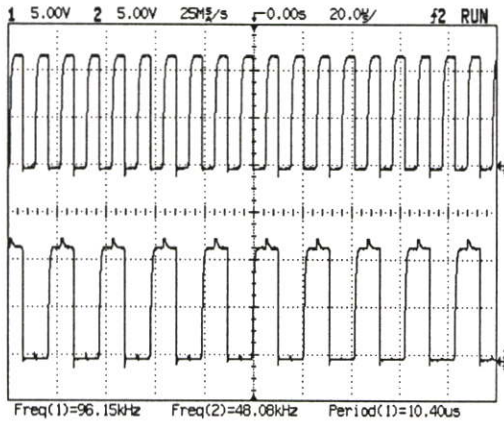


(b)

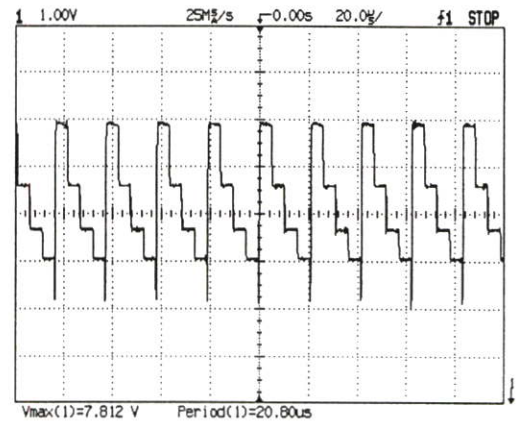
รูปที่ 4.66 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 320 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต $V(\text{Vin}1)$ (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต $V(\text{Vin}2)$

4.3.6 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 384 kbps

ผลการทดลองของ line code 2B1Q ที่ความเร็ว 384 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $5.2\mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $10.41\mu\text{s}$ ผลของการเข้ารหัสจะแสดงที่รูปที่ 4.67 (b)

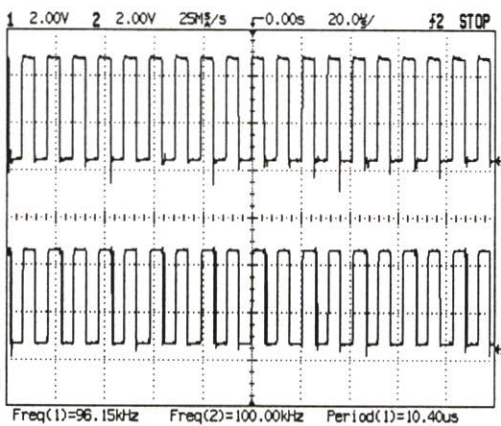


(a)

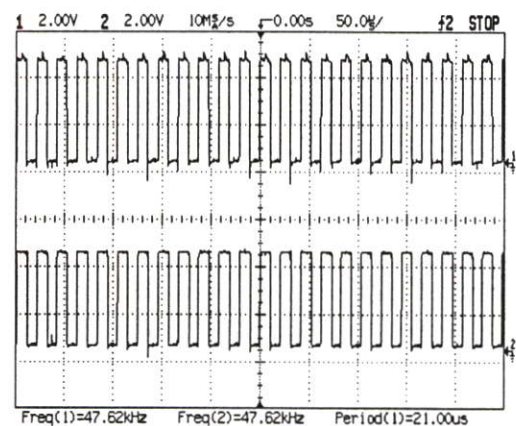


(b)

รูปที่ 4.67 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 384 kbps (a) สัญญาณอินพุต V(Vin1), V(Vin2) (b) สัญญาณเอาต์พุต V(Vo)



(a)



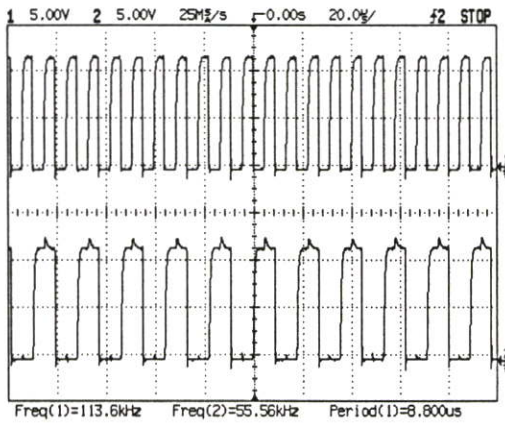
(b)

รูปที่ 4.68 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 384 kbps

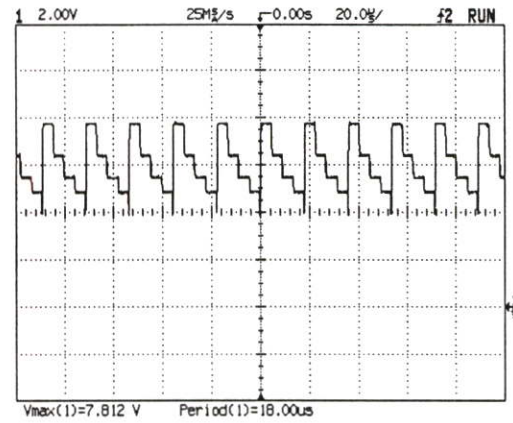
(a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต V(Vin1) (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต V(Vin2)

4.3.7 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 448 kbps

ผลการทดลองของ line code 2B1Q ที่ความเร็ว 448 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $4.46\ \mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $8.92\ \mu\text{s}$ ผลของการเข้ารหัสจะแสดงที่รูปที่ 4.69 (b)

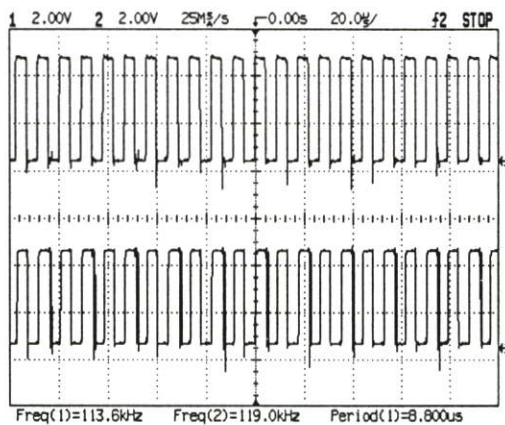


(a)

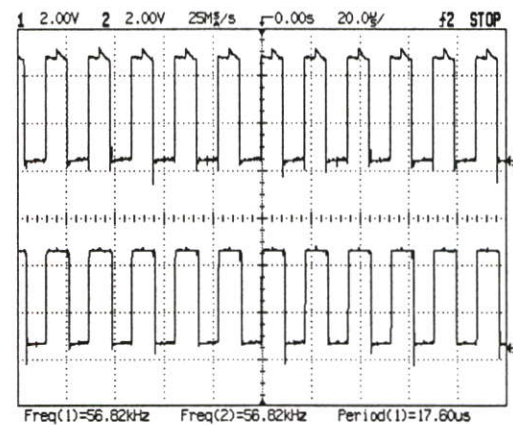


(b)

รูปที่ 4.69 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 448 kbps (a) สัญญาณอินพุต $V(V_{in1})$, $V(V_{in2})$ (b) สัญญาณเอาต์พุต $V(V_o)$



(a)

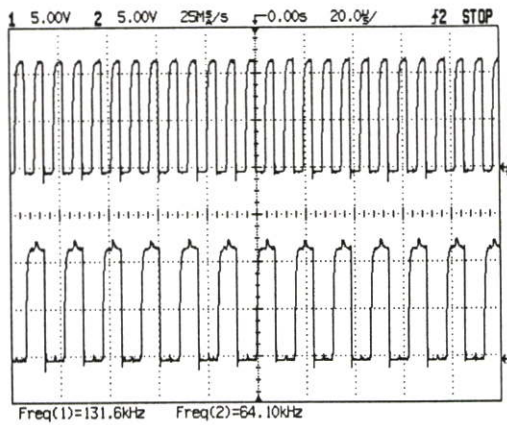


(b)

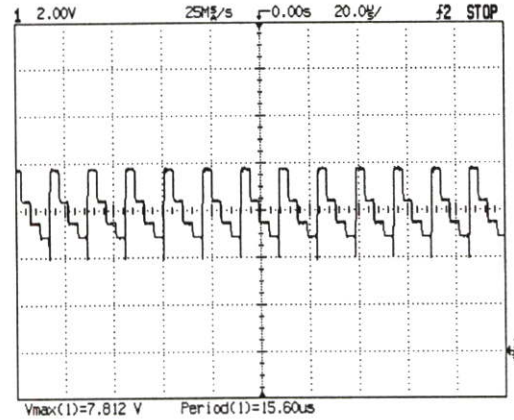
รูปที่ 4.70 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 448 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต $V(V_{in1})$ (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต $V(V_{in2})$

4.3.8 ผลการทดลองของ line code 2B1Q ที่ความเร็ว 512 kbps

ผลการทดลองของ line code 2B1Q ที่ความเร็ว 512 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $3.9\mu\text{s}$ และทำการป้อน pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $7.81\mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.71 (b)

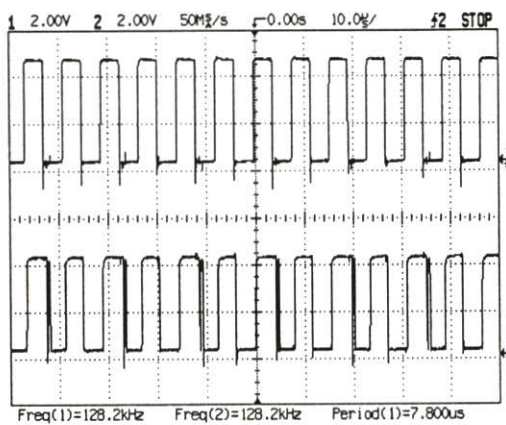


(a)

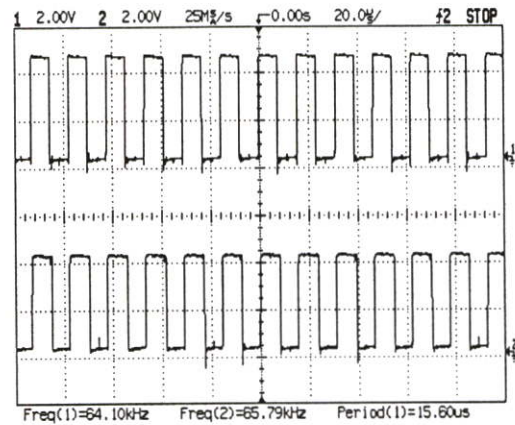


(b)

รูปที่ 4.71 สัญญาณอินพุตและเอาต์พุตของ line code 2B1Q ที่ความเร็ว 512 kbps (a) สัญญาณอินพุต $V(V_{in1})$, $V(V_{in2})$ (b) สัญญาณเอาต์พุต $V(V_o)$



(a)



(b)

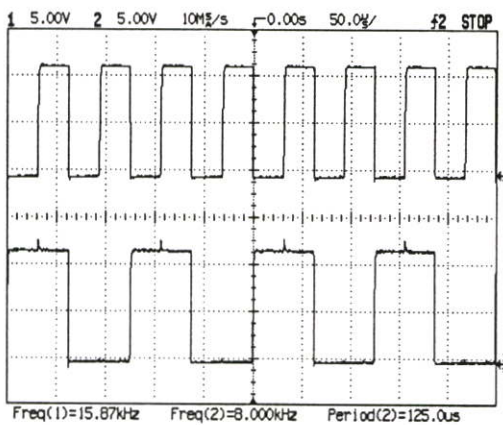
รูปที่ 4.72 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 512 kbps (a) สัญญาณเอาต์พุตที่ A0 กับสัญญาณอินพุต $V(V_{in1})$ (b) สัญญาณเอาต์พุตที่ A1 กับสัญญาณอินพุต $V(V_{in2})$

4.4 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM

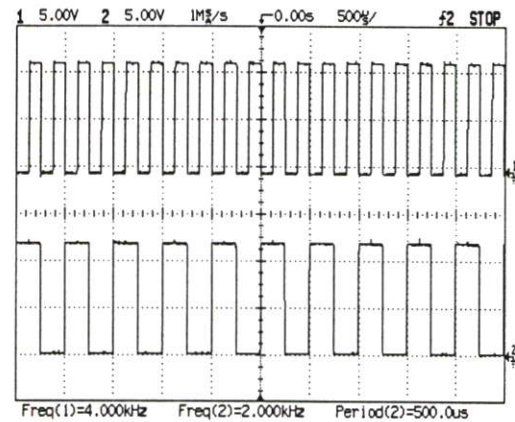
ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM แสดงในรูปที่ 3.7 เป็นการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM โดยข้อมูลที่ป้อนให้แสดงในตารางที่ 4.2

4.4.1 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps

ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $31.25\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $62.5\mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $125\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $250\mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.74 (b)



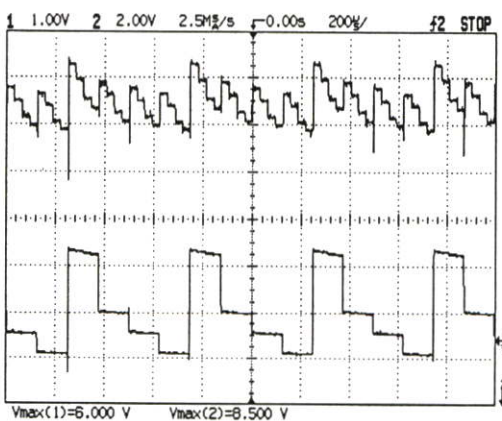
(a)



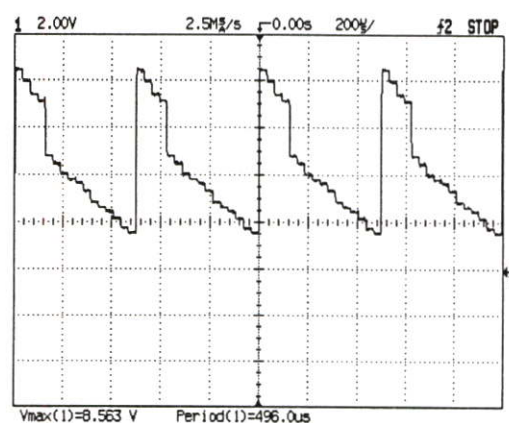
(b)

รูปที่ 4.73 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



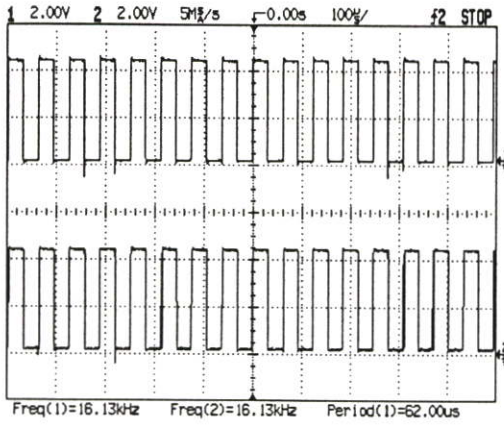
(a)



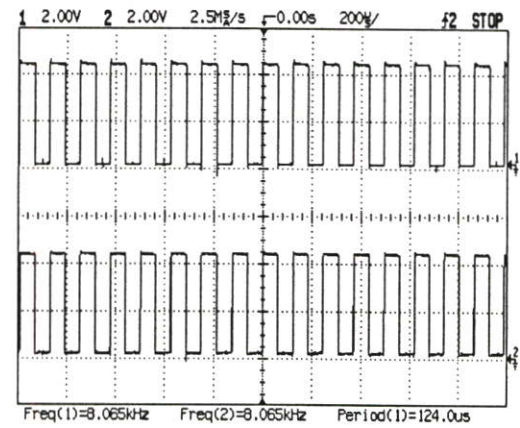
(b)

รูปที่ 4.74 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 64 kbps

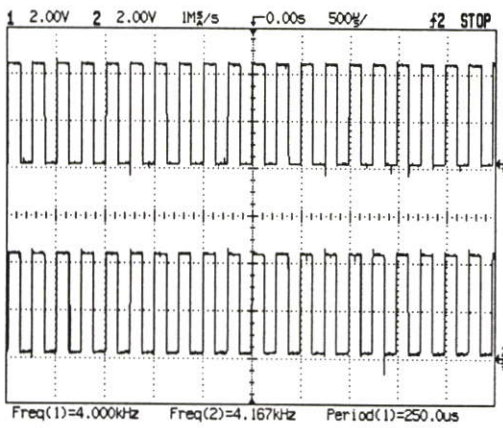
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



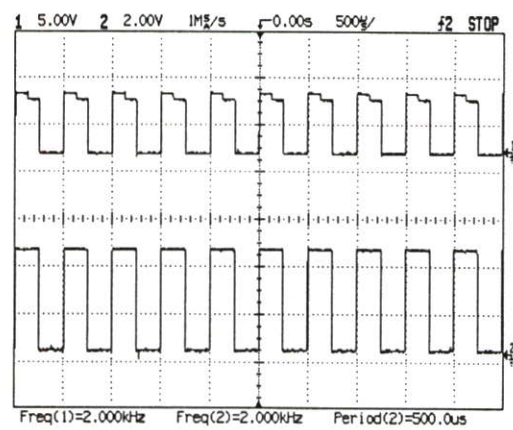
(a)



(b)



(c)

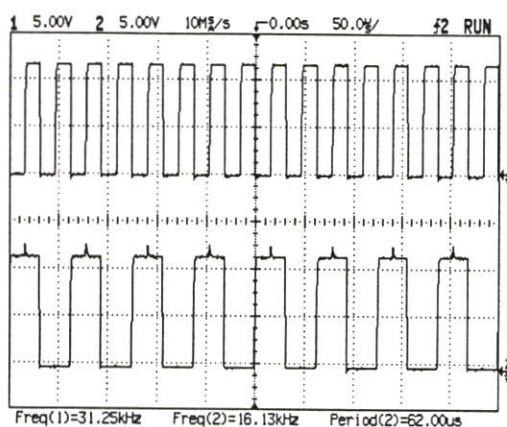


(d)

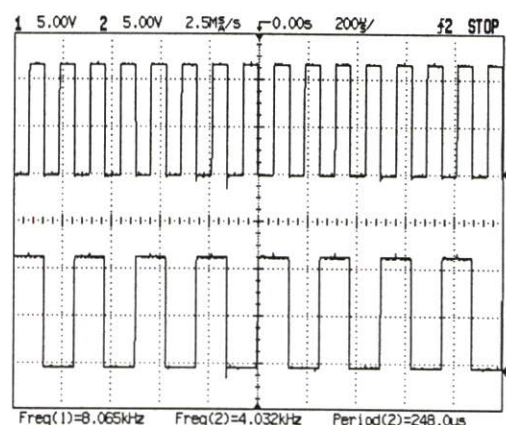
รูปที่ 4.75 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 64 kbps
 (a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)
 กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2
 (d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

4.4.2 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps

ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $15.625\ \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $31.25\ \mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $62.5\ \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $125\ \mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.77 (b)



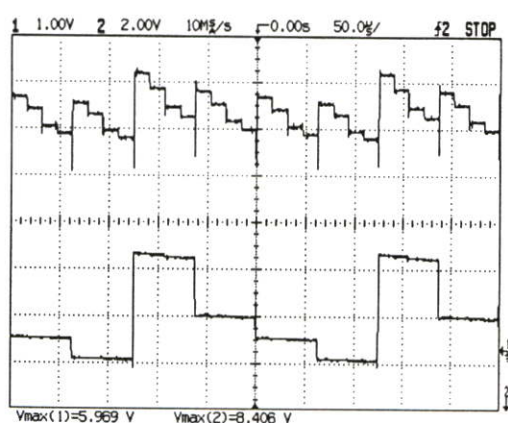
(a)



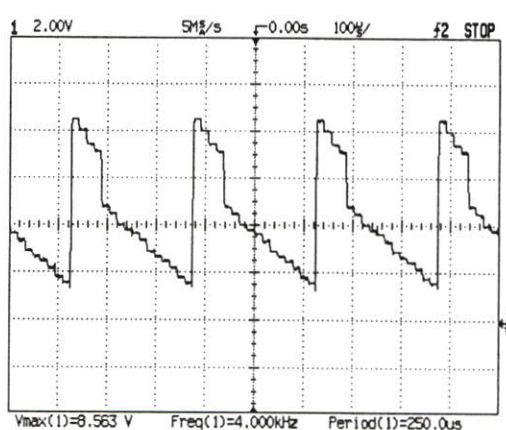
(b)

รูปที่ 4.76 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



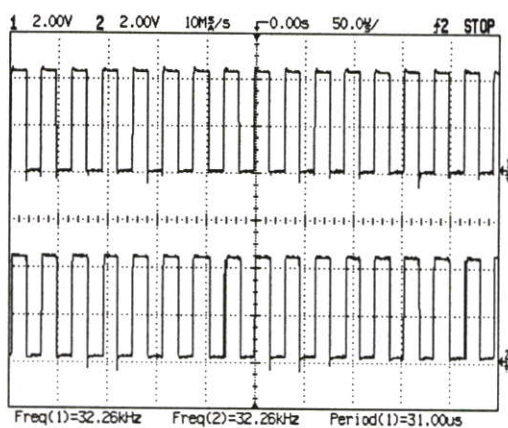
(a)



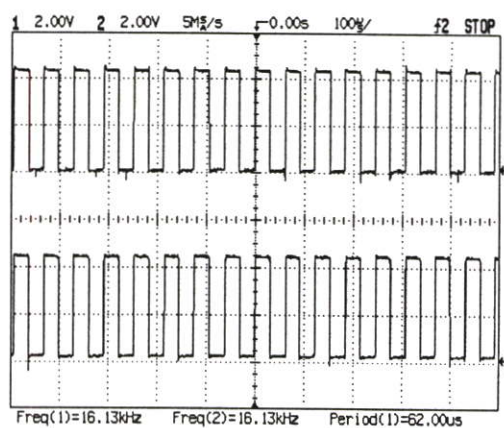
(b)

รูปที่ 4.77 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 128 kbps

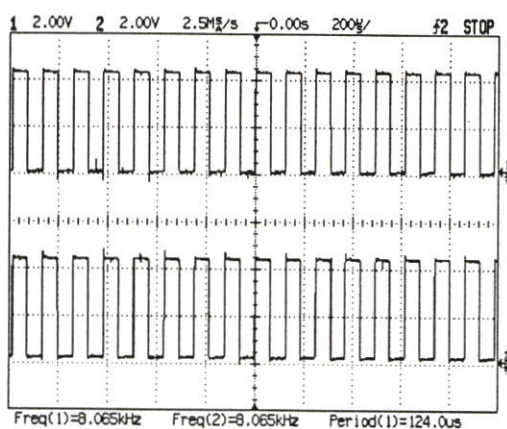
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



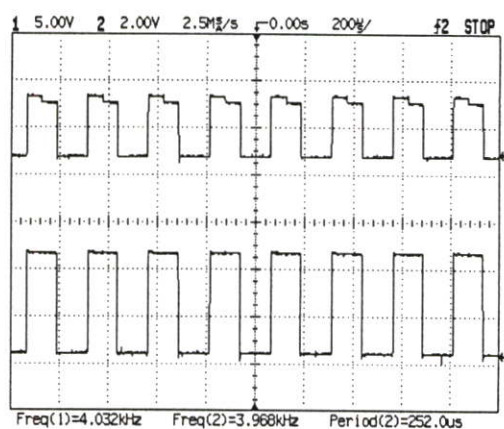
(a)



(b)



(c)



(d)

รูปที่ 4.78 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 128 kbps

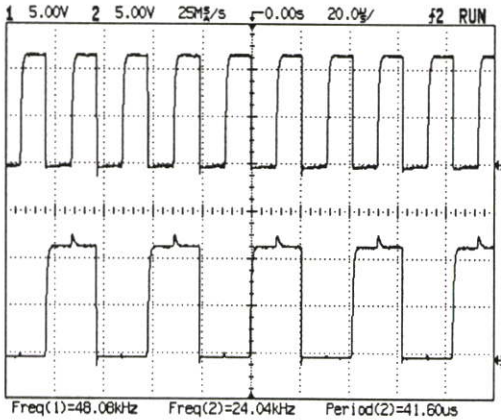
(a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)

กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2

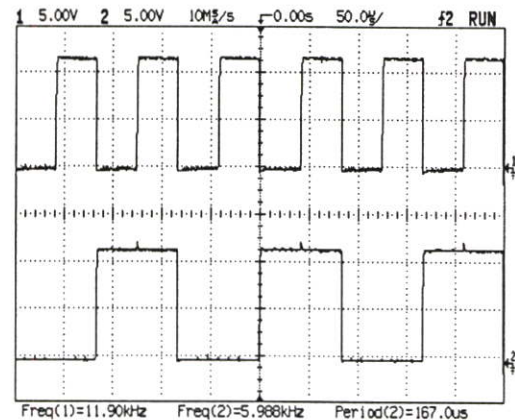
(d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

4.4.3 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps

ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $10.41\ \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $20.83\ \mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $41.64\ \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $83.32\ \mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.80 (b)



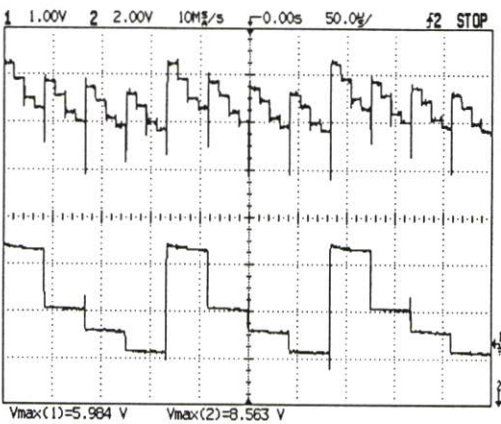
(a)



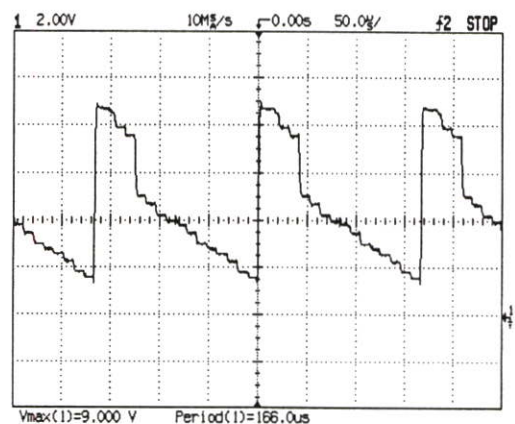
(b)

รูปที่ 4.79 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



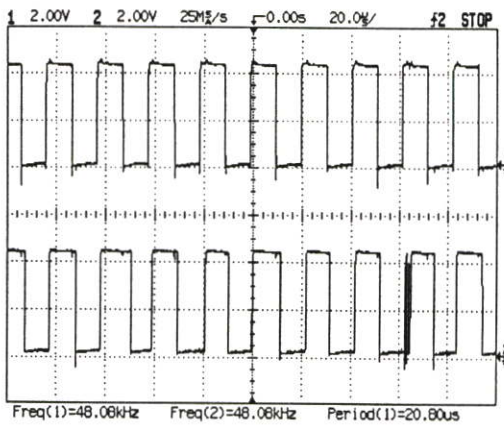
(a)



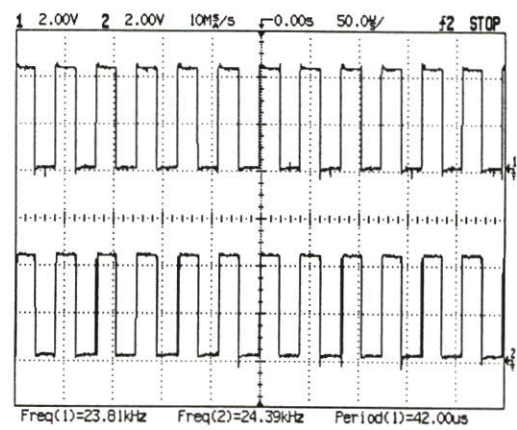
(b)

รูปที่ 4.80 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 192 kbps

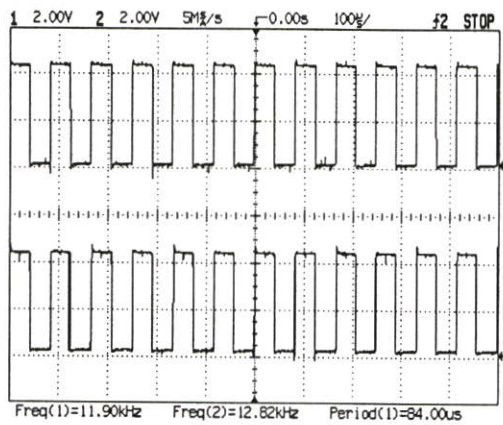
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



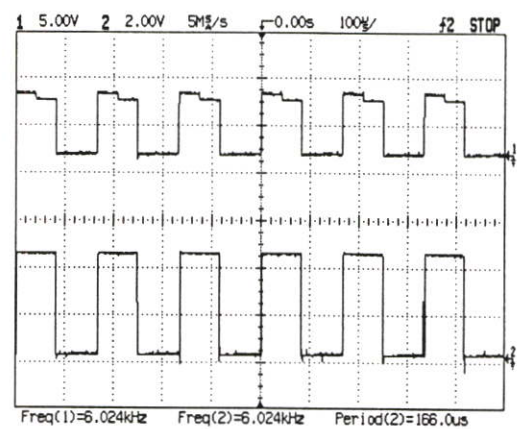
(a)



(b)



(c)



(d)

รูปที่ 4.81 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 192 kbps

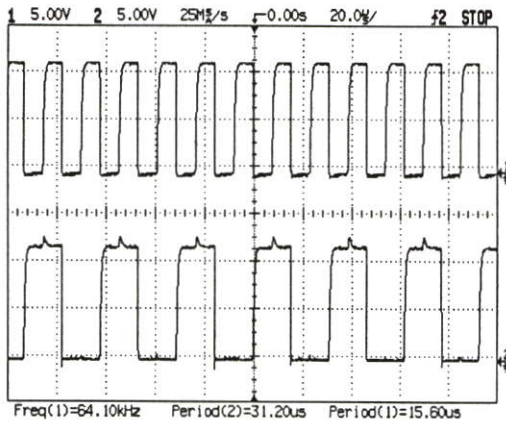
(a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุตA0 (b) สัญญาณอินพุต V(Vin2)

กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2

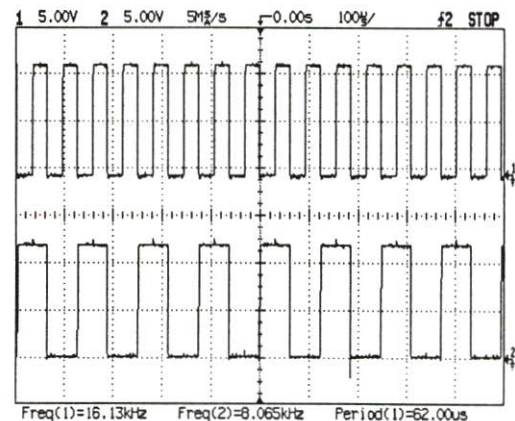
(d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

4.4.4 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps

ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $7.8125\ \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $15.625\ \mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $31.25\ \mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $62.5\ \mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.83(b)



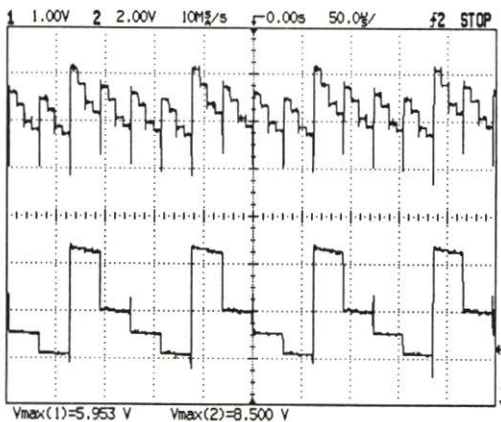
(a)



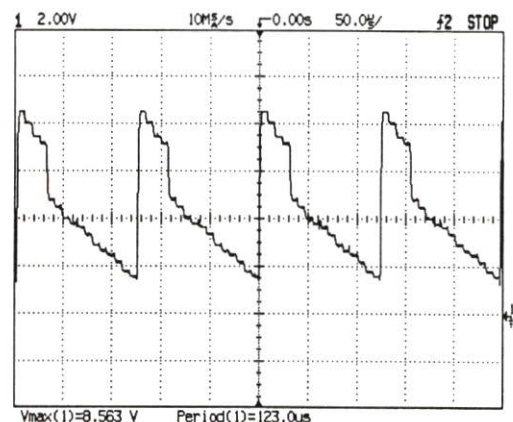
(b)

รูปที่ 4.82 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



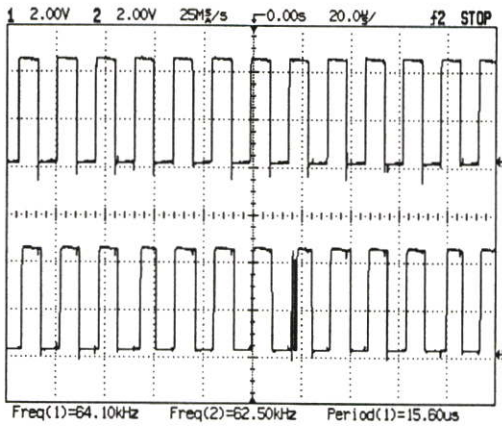
(a)



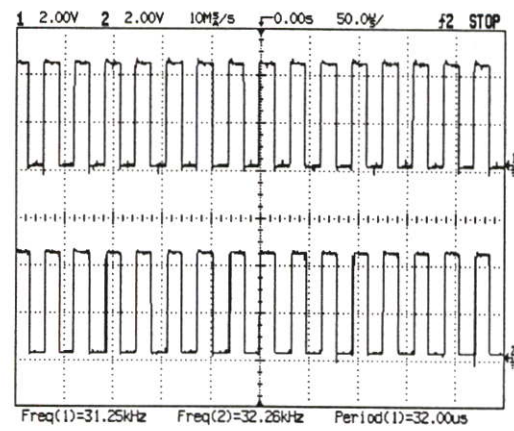
(b)

รูปที่ 4.83 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 256 kbps

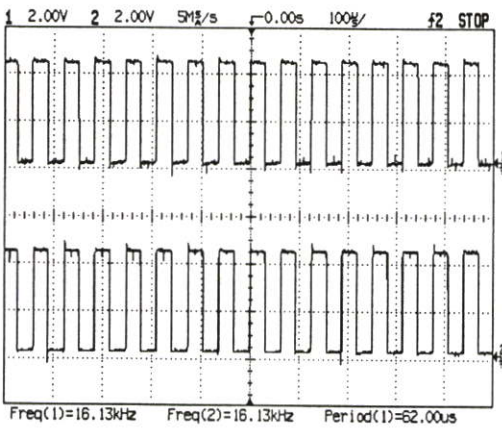
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



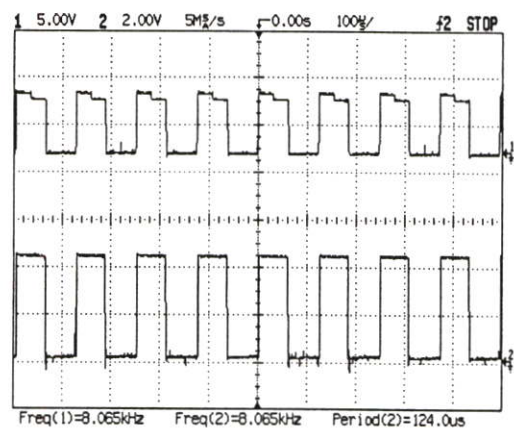
(a)



(b)



(c)



(d)

รูปที่ 4.84 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 256 kbps

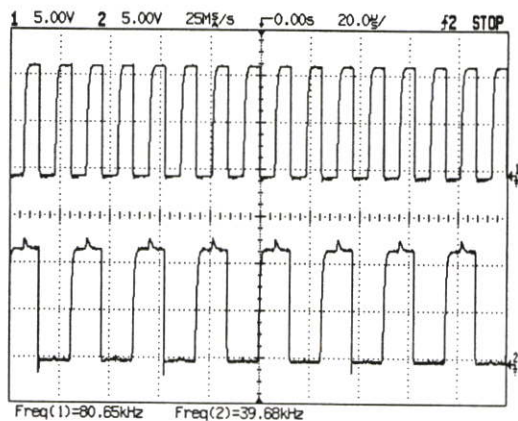
(a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)

กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2

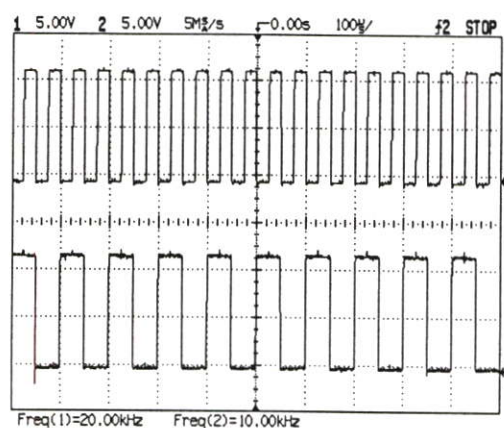
(d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

4.4.5 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 320 kbps

ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 320 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ 6.25 μ s pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ 12.5 μ s pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาพัลส์บวกและลบเท่ากับ 25 μ s pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาพัลส์บวกและลบเท่ากับ 50 μ s ผลของการเข้ารหัสจะแสดงรูปที่ 4.86 (b)



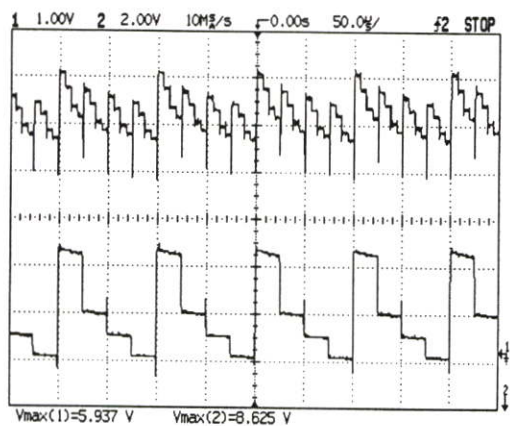
(a)



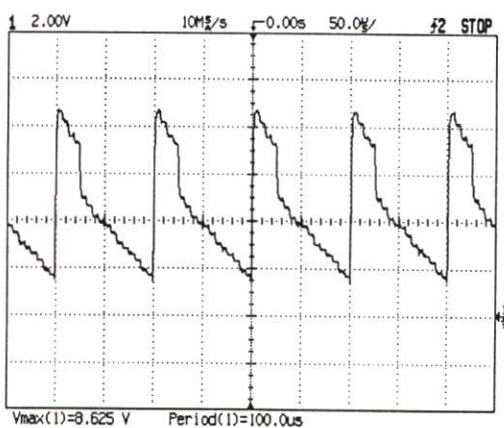
(b)

รูปที่ 4.85 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 320 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



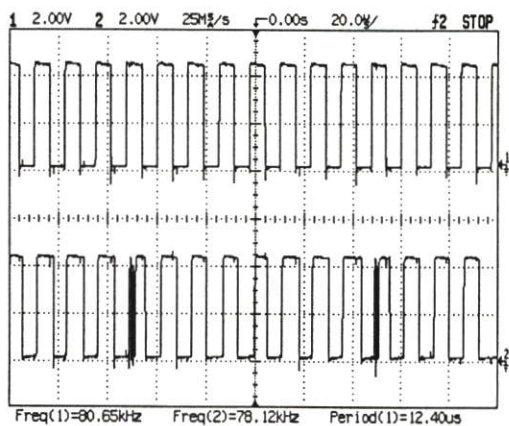
(a)



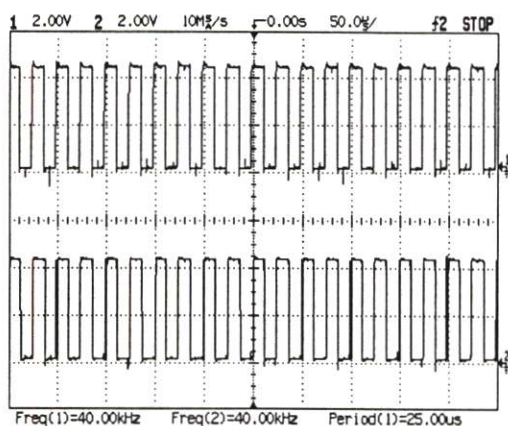
(b)

รูปที่ 4.86 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 320 kbps

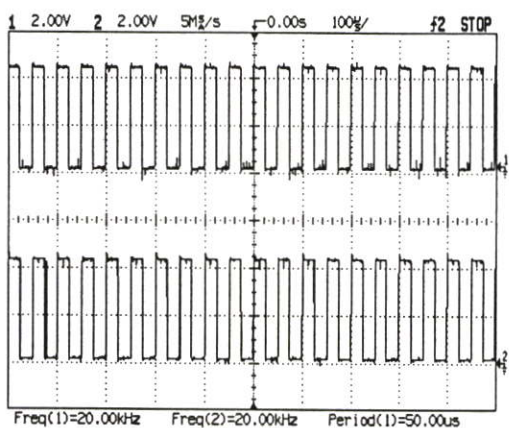
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



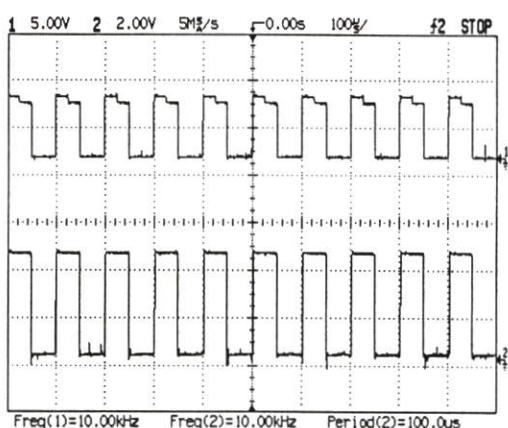
(a)



(b)



(c)

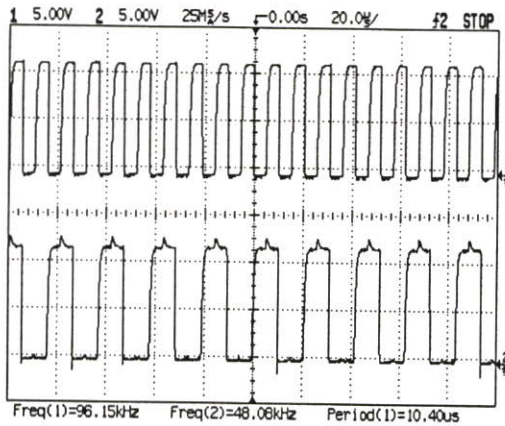


(d)

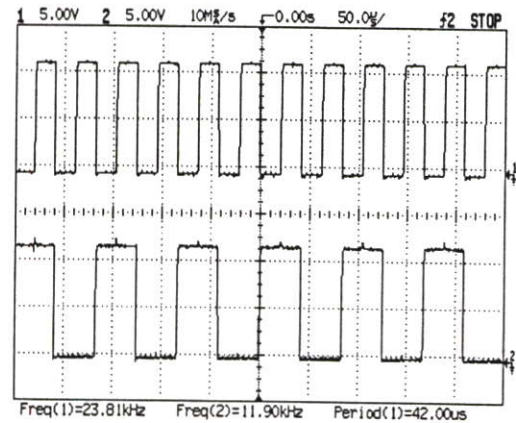
รูปที่ 4.87 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 320 kbps
(a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2) กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2 (d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

4.4.6 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 384 kbps

ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 384 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $5.2\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $10.41\mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $20.82\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $41.64\mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.89(b)



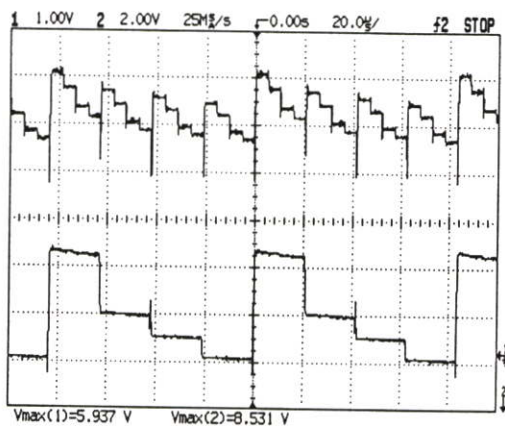
(a)



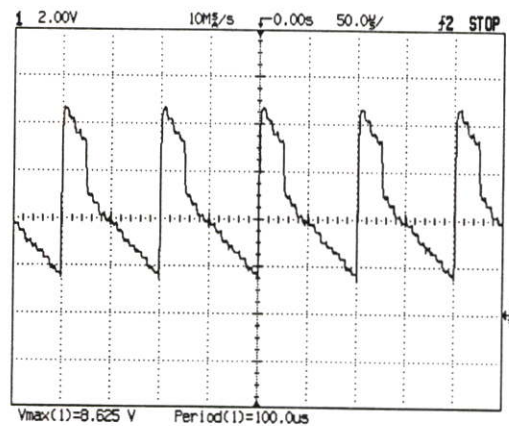
(b)

รูปที่ 4.88 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 384 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



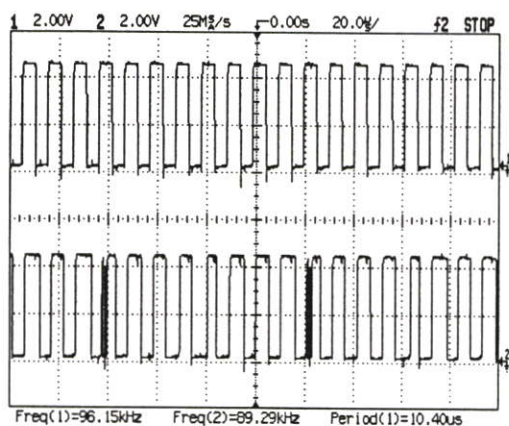
(a)



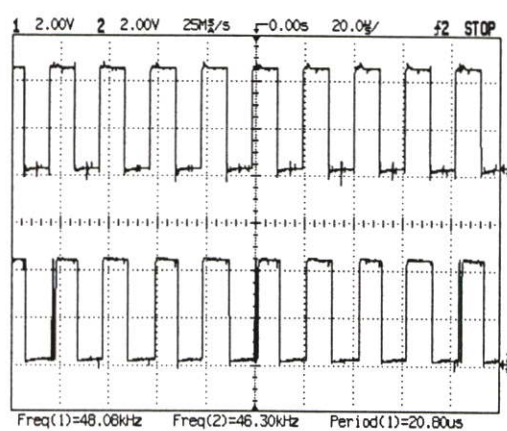
(b)

รูปที่ 4.89 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 384 kbps

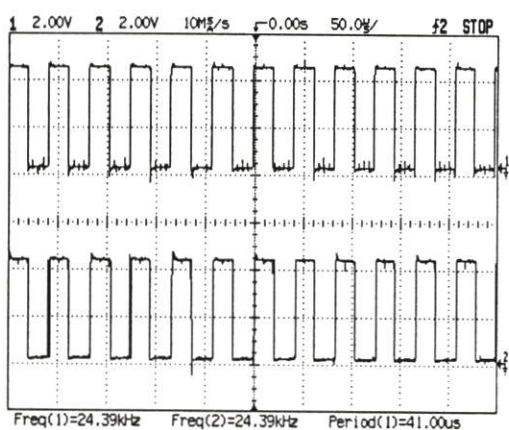
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



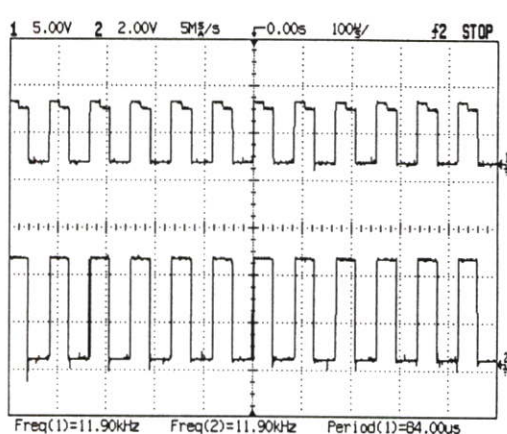
(a)



(b)



(c)



(d)

รูปที่ 4.90 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 384 kbps

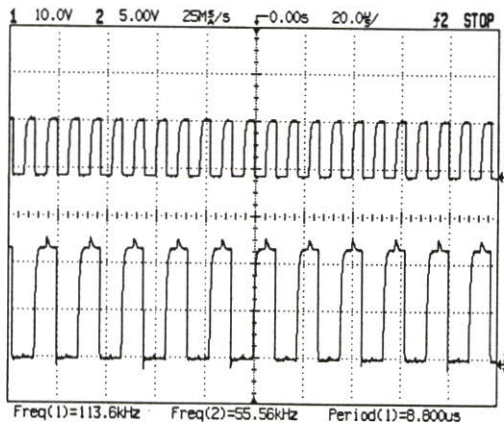
(a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)

กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2

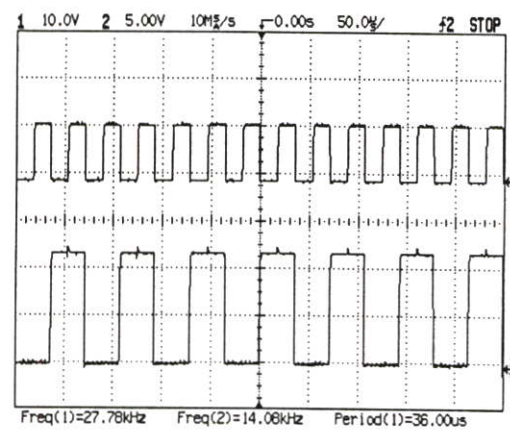
(d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

4.4.7 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 448 kbps

ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 448 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin มีช่วงเวลาพัลส์บวกและลบเท่ากับ $14.46\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $8.92\mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $17.84\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $35.68\mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.92(b)



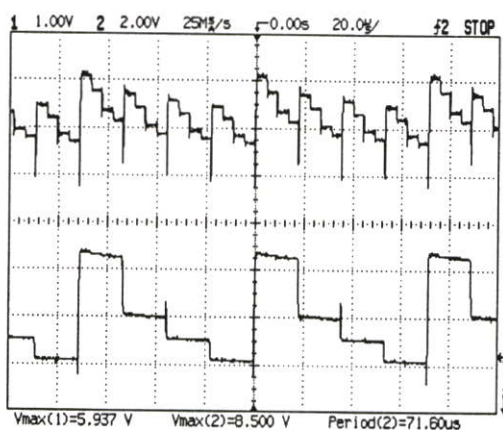
(a)



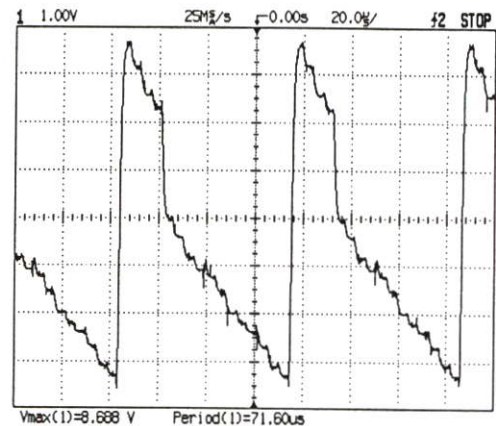
(b)

รูปที่ 4.91 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 448 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



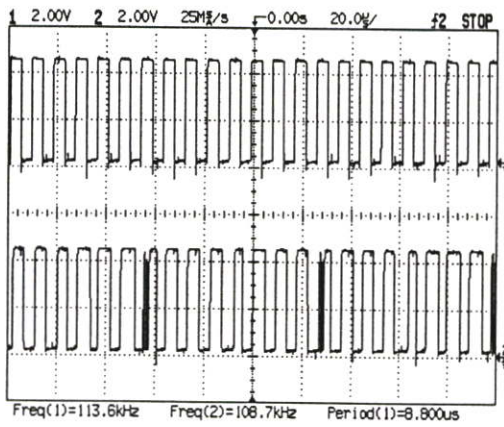
(a)



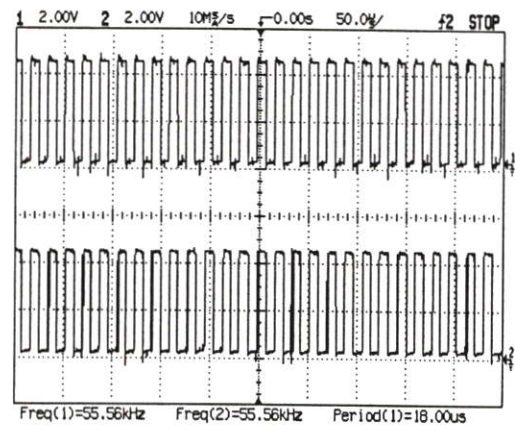
(b)

รูปที่ 4.92 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 448 kbps

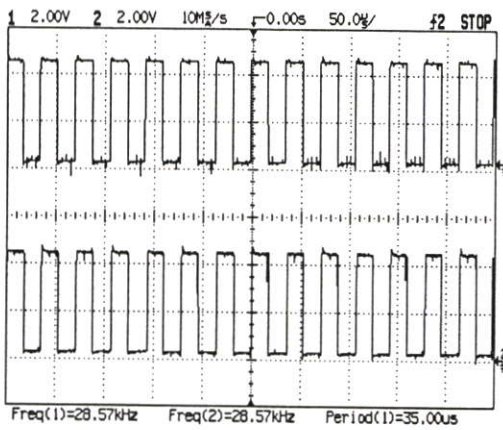
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



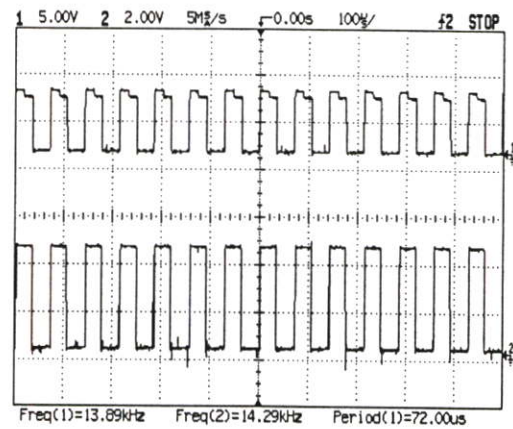
(a)



(b)



(c)

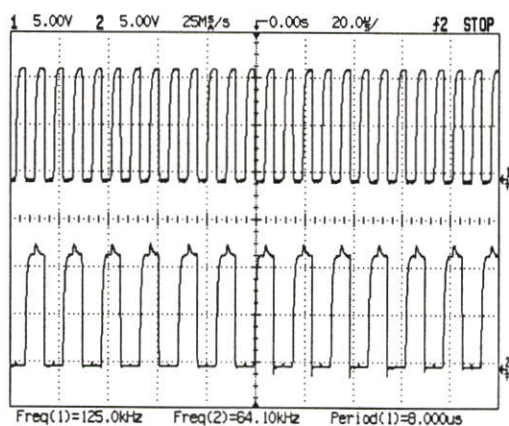


(d)

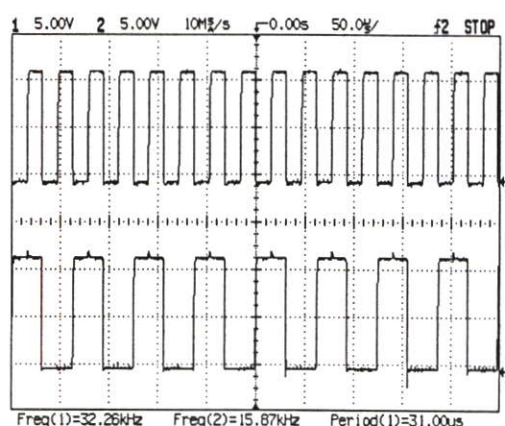
รูปที่ 4.93 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 448 kbps
 (a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)
 กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2
 (d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

4.4.8 ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 512 kbps

ผลการทดลองของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 512 kbps จะทำการป้อน pattern ที่อินพุตที่จุด Vin1 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $3.9\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q3 หรือที่ Vin2 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $7.81\mu\text{s}$ pattern ที่อินพุตที่จุด Vin3 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $15.62\mu\text{s}$ pattern ที่อินพุตที่ทรานซิสเตอร์ Q9 หรือที่ Vin4 มีช่วงเวลาพัลส์บวกและลบเท่ากับ $31.24\mu\text{s}$ ผลของการเข้ารหัสจะแสดงรูปที่ 4.95(b)



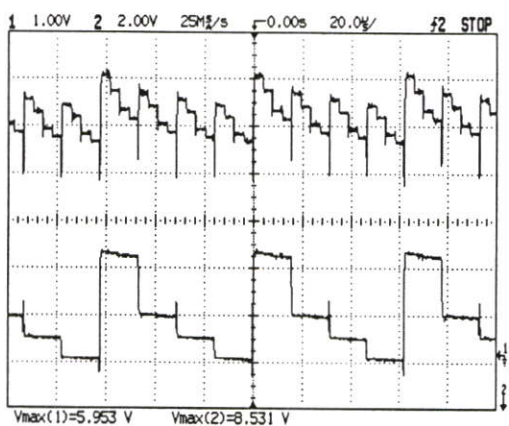
(a)



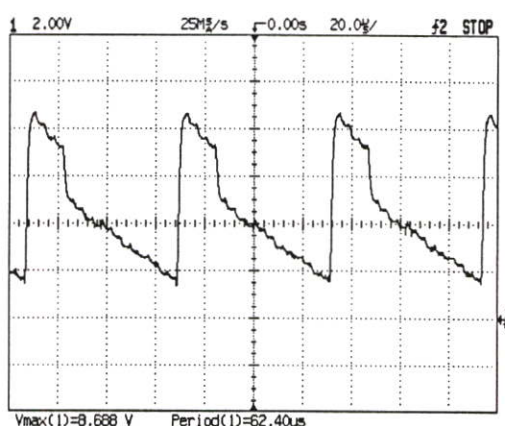
(b)

รูปที่ 4.94 สัญญาณอินพุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 512 kbps

(a) สัญญาณอินพุต V(Vin1) และ V(Vin2) (b) สัญญาณอินพุต V(Vin3) และ V(Vin4)



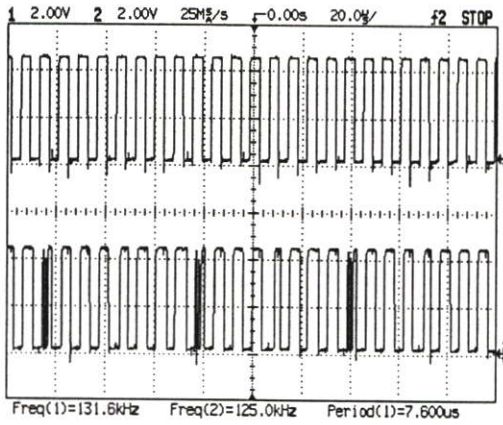
(a)



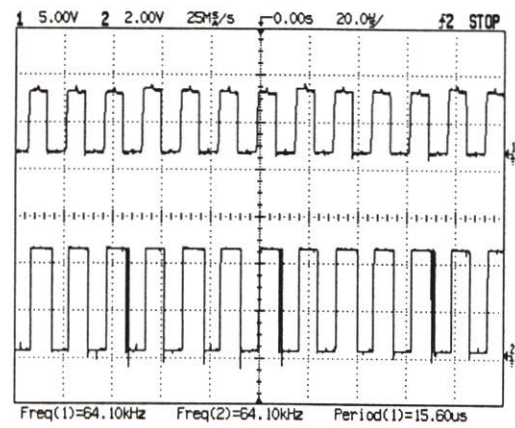
(b)

รูปที่ 4.95 สัญญาณเอาต์พุตของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ที่ความเร็ว 512 kbps

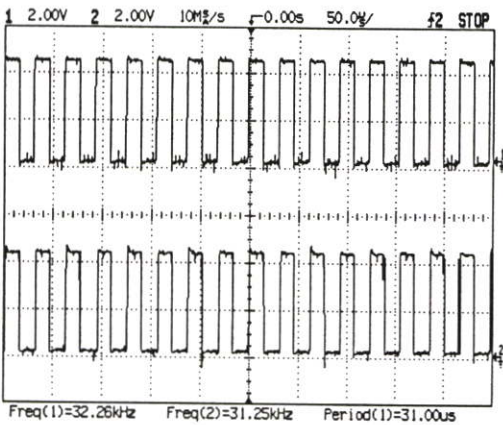
(a) แสดงเอาต์พุตของ 2B1QA และ 2B1QB (b) แสดงเอาต์พุตของ 2B1QC



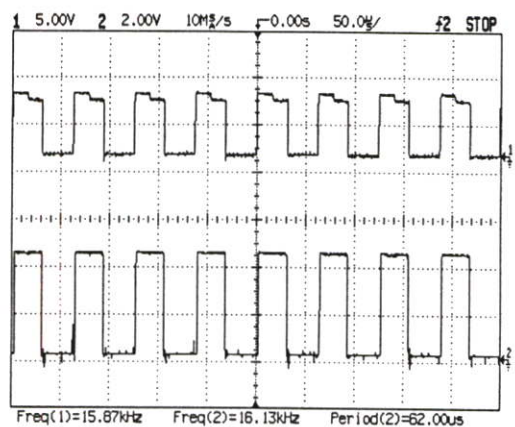
(a)



(b)



(c)



(d)

รูปที่ 4.96 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตของภาครับที่ความเร็ว 512 kbps

(a) สัญญาณอินพุต V(Vin1) กับสัญญาณเอาต์พุต A0 (b) สัญญาณอินพุต V(Vin2)

กับสัญญาณเอาต์พุต A1 (c) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A2

(d) สัญญาณอินพุต V(Vin3) กับสัญญาณเอาต์พุต A3

บทที่ 5

สรุปผลการทดลองและวิจารณ์

5.1 วิเคราะห์ผลการทดลอง

จากผลการทดลองและการจำลองการทำงานของ line code 2B1Q โดยการเปลี่ยนค่าความเร็วในการเข้ารหัสที่ความเร็วแตกต่างกันดังแสดงในหัวข้อที่ 4.1 ถึง 4.4 วิธีการเข้ารหัสโดยโปรแกรม PSpice และผลการทดลองของรูปคลื่นในรูปที่ 4.1 ถึงรูปที่ 4.96 พบว่า การจำลองการทำงานกับการทดลองส่วนใหญ่มีค่าใกล้เคียงกัน ส่วนที่มีความแตกต่างกันระหว่างผลการทดลองกับการจำลองการทำงานของโปรแกรม PSpice มีอยู่บ้าง แต่เมื่อพิจารณาหลักการของเปอร์เซ็นต์แล้วยังถือว่าใกล้เคียงกัน

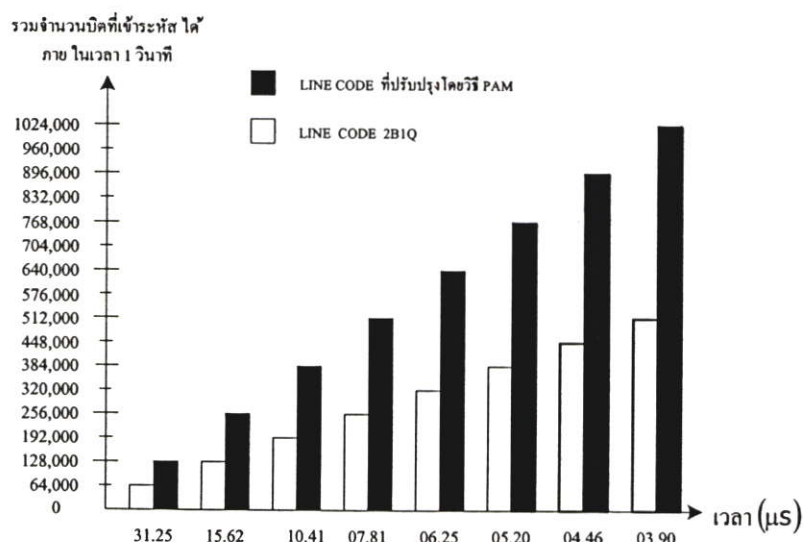
ในวิทยานิพนธ์นี้ได้ทำการทดลองเข้ารหัสที่ความเร็วแตกต่างกันมีสิ่งที่มีผลพื่นของสัญญาณดังต่อไปนี้

1. ผลการทดลองที่ความเร็วที่ใช้ในการเข้ารหัสที่ความเร็วเท่ากับหรือความเร็วสูงกว่า 384 kbps ดังแสดงในรูปที่ 4.67(a), 4.69(a), 4.71(a), 4.88(a), 4.91(a), และรูปที่ 4.94(a) สัญญาณ pattern ที่กำเนิดออกมาจาก IC XR-2240M จะมีค่าผิดเพี้ยนที่ช่วงขอบขาขึ้น ทำให้สัญญาณรูป pulse ไม่ได้รูปสี่เหลี่ยม ซึ่งจะทำให้สัญญาณ pattern ที่กำเนิดออกมาระหว่าง IC XR-2240M กับสัญญาณ pattern ที่กำเนิดออกมาจากโปรแกรม PSpice แตกต่างกันอยู่บ้าง

2. การทำงานของวงจร line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM การทำงานของวงจรโดยการเลียนแบบการทำงานด้วยโปรแกรม PSpice กำหนดให้ทรานซิสเตอร์ทำงานอยู่ในสภาวะ ON และสภาวะ OFF ซึ่งแตกต่างจากผลการทดลองที่วงจร 2B1QC ในรูปที่ 3.7 ทรานซิสเตอร์ทำงาน Q5 และ Q6 จะทำงานอยู่ในสภาวะอิมิตัว ดังนั้นจึงทำให้รูปคลื่นเอาท์พุทที่ได้จากผลการเลียนแบบการทำงานรูปที่ 4.26(b), 4.30(b), 4.34(b), 4.38(b), 4.42(b), 4.46(b), 4.50(b), และ 4.56(b), กับผลการทดลองรูปที่ 4.74(b), 4.77(b), 4.80(b), 4.83(b), 4.86(b), 4.89(b), 4.92(b), และ 4.95(b), จึงมีเฟสที่กลับกัน

จากผลการเลียนแบบการทำงานและผลการทดลองของวงจร line code 2B1Q ในรูปที่ 3.4 กับผลการเลียนแบบการทำงานและผลการทดลองของวงจร line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM ในรูปที่ 3.7 โดยป้อนข้อมูลตามตารางที่ 4.1 สำหรับวงจร line code 2B1Q และป้อนข้อมูลตามตารางที่ 4.2 สำหรับวงจร line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM โดยความเร็วในการเข้ารหัสแต่ละครั้งเช่น 31.25 μs , 15.6 μs , 10.41 μs , 7.81 μs , 6.25 μs , 5.2 μs , 4.46 μs , และ 3.9 μs เป็นต้น โดยป้อนให้กับวงจรรูปที่ 3.4 และวงจรในรูปที่ 3.7 ซึ่งสามารถจะได้ผลลัพธ์ในรูปที่ 5.1 ซึ่งแสดงจำนวนบิตข้อมูลที่เข้ารหัสได้ โดย line code 2B1Q ที่ความเร็วในการเข้ารหัส 31.25 μs สามารถเข้ารหัสได้ 64 กิโลบิตต่อวินาที ในขณะที่เดียวกัน line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM สามารถ

เข้ารหัสได้ 128 กิโลบิตต่อวินาที ซึ่งสามารถเข้ารหัสได้มากกว่า line code 2B1Q เดิม 2 เท่าจากความเร็วในการเข้ารหัสที่แตกต่างสามารถเขียนกราฟแสดงในรูปที่ 5.1 ดังนี้



รูปที่ 5.1 แสดงการเปรียบเทียบผลรวมของจำนวนบิตที่เข้ารหัสได้ใน 1 วินาที

5.2 สรุปผลการทดลอง

จากผลการเขียนแบบการทำงานและทำการทดลองจะพบว่า line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM สามารถที่จะเข้ารหัสได้ครั้งละ 4 บิต ซึ่งมากกว่า line code 2B1Q (เข้ารหัสได้ครั้งละ 2 บิต) เป็นผลให้สามารถรับส่งข้อมูลได้เร็วกว่าเดิม

5.3 ข้อควรปรับปรุงและข้อเสนอแนะ

เนื่องจากโปรแกรม PSpice เขียนแบบการทำงานของทรานซิสเตอร์อยู่ในสถานะ ON และสถานะ OFF ซึ่งเป็นผลทำให้การเขียนแบบการทำงานกับผลการทดลองมีเฟสที่ไม่ตรงกัน ในกรณีที่ต้องการเข้ารหัสที่ความเร็วสูงกว่า 384 kbps ควรใช้อิซีที่มีขอบขาขึ้นของ pulse ที่เร็วกว่าไอซีเบอร์ XR-2240M เพื่อที่จะทำให้สัญญาณ pattern มีความถูกต้องมากขึ้น สำหรับไอซีเบอร์ 74LS148 เป็นไอซี encoder แปลงเลขฐานแปดเป็นเลขฐานสอง ดังนั้นกรณีผลการทดลองของวงจรแปลงสัญญาณ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM จะต้องใช้ ไอซีเบอร์ 74LS148 จำนวน 2 ตัว ทำให้ยากต่อการออกแบบวงจรและมีโอกาสผิดพลาดจากการถอดรหัส เพื่อให้มีความถูกต้องมากขึ้นควรใช้อิซี encoder แปลงเลขฐานสิบหกเป็นเลขฐานสอง

เอกสารอ้างอิง

- [1] N. Burd, "The ISDN Subscriber Loop," Chapman & Hall, 1997.
- [2] E. Jones, "Digital transmission," McGraw-Hill, 1993.
- [3] W. Stallings, "ISDN and Broadband ISDN with Relay and ATM," Four edition, Prentice-Hall, 1999.
- [4] G. Walter, "ADSL and DSL technologies," McGraw-Hill, 1998.
- [5] K. Sistanizadeh, "Block Code Capacity of High Bit Rate Digital Subscriber Line by the Structured Channel Signaling Technique," IEEE Trans Communications, Vol. 39, No. 6, pp. 866-876, June. 1991.
- [6] J. G. Proakis and M. Salehi, "Contemporary Communication System Using Matlab," Brooks/Cole, Australia, 2000.

ภาคผนวก

1. โปรแกรมสำหรับการทำงานของ line code 2B1Q

```
.EXTERNAL OUTPUT A0
.EXTERNAL OUTPUT A1
.EXTERNAL OUTPUT Vo
.EXTERNAL OUTPUT Vin1
.EXTERNAL OUTPUT Vin2
R_R1    N00035 VO 390
R_R2    N00065 0 390
R_R3    N00059 VO 18k
R_R4    N00136 VO 220
X_U10E   N06021 N06018 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R5    0 N00083 680
X_U10F   N06018 N03479 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R6    N00133 VO 10
R_R7    0 N00105 2k
V_V3    VBB 0 DC 5Vdc AC 0Vac
R_R8    N00139 VO 10
R_R9    0 N00108 1k
R_R10   N00093 VIN1 3.3k
R_R11   N00099 VIN2 3.3k
Q_Q1    N00136 N00059 N00083 Q2N2222
Q_Q2    N00133 N00093 N00105 Q2N2222
Q_Q3    N00139 N00099 N00108 Q2N2222
D_D1    0 N00059 D1N750
V_V1    N00035 N00065 12Vdc
X_U7F   N02029 N02264 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U7E   N05396 N02275 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U3A   N06424 VIN1 $G_DPWR $G_DGND 74LS04 PARAMS:
```

```

+ IO_LEVEL=0 MNTYMXDLY=0
X_U4A    N06900 VIN2 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
U_DSTM1  STIM(1,1) $G_DPWR $G_DGND N06424 IO_STM IO_LEVEL=0
+ 0 0
+ +0 1
+REPEAT FOREVER
+ +3.9us 0
+ +3.9us 1
+ ENDREPEAT
U_DSTM2  STIM(1,1) $G_DPWR $G_DGND N06900 IO_STM IO_LEVEL=0
+ 0 0
+ +0 1
+REPEAT FOREVER
+ +7.81us 0
+ +7.81us 1
+ ENDREPEAT
R_R13    N01920 N01905 4.27k
R_R14    N01935 N01920 4.27k
R_R15    N01953 N01935 4.81k
R_R16    VCC N01953 18.7k
X_U5A    N01905 VO VCC 0 N02029 LM339
X_U5B    N01920 VO VCC 0 N02061 LM339
X_U5C    N01935 VO VCC 0 N02091 LM339
X_U5D    N01953 VO VCC 0 N02124 LM339
X_U6A    N02061 N02091 N02250 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U6B    N02091 N02124 N02259 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U6D    N02029 N02061 N05396 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U7A    N02250 N02287 $G_DPWR $G_DGND 74LS04 PARAMS:

```

```

+ IO_LEVEL=0 MNTYMXDLY=0
X_U7B      N02259 N02299 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U8      N02264 N02275 N02287 N02299 VBB VBB VBB VBB 0 A0 A1 M_UN0001
+ M_UN0002 M_UN0003 $G_DPWR $G_DGND 74LS148 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
V_V2      VCC 0 DC 12Vdc AC 0Vac
X_U10A     VIN1 N06116 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U10B     N06116 N06113 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U10C     N06113 N06110 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11C     N06256 N06259 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U9A     N02375 N02387 N09507 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U9B     N07074 A1 N02387 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11D     N06259 N07074 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U9D     N03479 A0 N02375 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11A     VIN2 N06253 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11B     N06253 N06256 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R12     N01905 0 32.05k
R_R17     N02029 VBB 2.2k
R_R18     N02061 VBB 2.2k
R_R19     N02091 VBB 2.2k
R_R20     N02124 VBB 2.2k

```

X_U10D N06110 N06021 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0

2. โปรแกรมสำหรับการทำงานของ line code 2B1Q ที่ปรับปรุงด้วยวิธี PAM

.EXTERNAL OUTPUT A0

.EXTERNAL OUTPUT A1

.EXTERNAL OUTPUT A2

.EXTERNAL OUTPUT A3

.EXTERNAL OUTPUT Vo1

.EXTERNAL OUTPUT Vo2

.EXTERNAL OUTPUT Vo3

.EXTERNAL OUTPUT Vin1

.EXTERNAL OUTPUT Vin2

.EXTERNAL OUTPUT Vin3

.EXTERNAL OUTPUT Vin4

X_U4/4D N48267 VO3 VCC 0 N47873 LM339

R_R60 N45769 VBB 2.2k

R_R1 N00045 VO1 390

R_R2 N00087 0 390

X_U4/2B N48273 VO3 VCC 0 N47815 LM339

X_U12/1A N49208 N49220 A1 \$G_DPWR \$G_DGND 74LS00 PARAMS:

+ IO_LEVEL=0 MNTYMXDLY=0

R_R3 N00153 VO1 18k

X_U12/2B N49562 N49583 A2 \$G_DPWR \$G_DGND 74LS00 PARAMS:

+ IO_LEVEL=0 MNTYMXDLY=0

R_R4 N00150 VO1 220

X_U5/1A N45657 N45669 N45622 \$G_DPWR \$G_DGND 74LS86A PARAMS:

+ IO_LEVEL=0 MNTYMXDLY=0

R_R5 0 N00175 270

X_U12/3C N49171 N49194 A0 \$G_DPWR \$G_DGND 74LS00 PARAMS:

+ IO_LEVEL=0 MNTYMXDLY=0

X_U59C N62037 N59139 \$G_DPWR \$G_DGND 74LS04 PARAMS:

```

+ IO_LEVEL=0 MNTYMXDLY=0
X_U5/2B      N45669 N45694 N45625 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R6        N00136 VO1 10
R_R56       N45669 VBB 2.2k
X_U5/3C      N45694 N45719 N45628 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R7        0 N00139 4.7k
X_U13/1A     N59915 A1 N50073 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R8        N00102 VO1 10
R_R9        0 N00099 2.2k
X_U13/2B     N59923 A2 N50085 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U19/1A     VIN1 N51636 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R69       VBB N47844 2.2k
X_U56F      N55274 N55206 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R10       N00190 VIN1 3.3k
X_U19/2B     N51636 N51657 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R11       N00105 VIN2 3.3k
X_U13/3C     N59896 A0 N50061 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U19/3C     N51657 N51660 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U51A      VIN3 N55222 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
Q_Q1        N00150 N00153 N00175 Q2N2222
X_U19/4D     N51660 N51663 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0

```

```

Q_Q2    N00136 N00190 N00139 Q2N2222
X_U13/4D    A3 N50335 N50125 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U19/5E    N51663 N51666 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U6/4D     N45781 N45819 N58232 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
Q_Q3      N00102 N00105 N00099 Q2N2222
X_U19/6F    N51666 N51669 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
D_D1      0 N00153 D1N750
X_U6/1A     N45719 N45744 N45631 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
V_V1      N00045 N00087 12Vdc
U_DSTM1     STIM(1,1) $G_DPWR $G_DGND N30681 IO_STM IO_LEVEL=0
+ 0 0
+ +0 1
+REPEAT FOREVER
+ +31.25us 0
+ +31.25us 1
+ ENDREPEAT
R_R65      VBB N46025 2.2k
X_U6/2B     N45744 N45769 N58181 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U14/1A    N50073 N50085 N58759 $G_DPWR $G_DGND 74LS32 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U24A     N00452 N14952 VCC 0 VO3 TL084
X_U11/2B    N58307 N44601 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U60D     N59139 N59146 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U14/3C    N58749 N58759 N58771 $G_DPWR $G_DGND 74LS32 PARAMS:

```

```

+ IO_LEVEL=0 MNTYMXDLY=0
U_DSTM2      STIM(1,1) $G_DPWR $G_DGND N00385 IO_STM IO_LEVEL=0
+ 0 0
+ +0 1
+REPEAT FOREVER
+ +62.5us 0
+ +62.5us 1
+ ENDREPEAT
X_U6/3C      N45769 N45781 N58199 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U14/4D     N50125 N50061 N58749 $G_DPWR $G_DGND 74LS32 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11/1A     N58310 N44667 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U20/4D     N51678 N51699 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U52B       N55222 N55238 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11/3C     N58328 N44562 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U20/2B     N51672 N51675 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U58B       N55218 N62037 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U21/4D     N51714 N59896 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U10/3C     N58235 N45423 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U7/1A      N45819 N45844 N58235 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11/5E     N50335 N44440 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0

```

X_U20/1A N51669 N51672 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U21/2B N51708 N51711 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U21/1A N51705 N51708 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U11/4D N58331 N45300 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U20/6F N51702 N51705 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U54D N55242 N55254 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U21/3C N51711 N51714 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U20/5E N51699 N51702 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U7/4D N46025 N47758 N58276 \$G_DPWR \$G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U20/3C N51675 N51678 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U53C N55238 N55242 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U7/3C N45869 N46025 N45959 \$G_DPWR \$G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U17/4D N51726 N51729 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U17/2B N51720 N51723 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U55E N55254 N55274 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U17/1A VIN2 N51720 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0

X_U57A N55206 N55218 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U17/6F N51732 N51735 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U61E N59146 N59124 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U17/5E N51729 N51732 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U62F N59124 N59923 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
V_V2 N00566 N00572 12Vdc
X_U8/4D N47844 N47873 N58331 \$G_DPWR \$G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R57 N45694 VBB 2.2k
X_U25F N30681 VIN1 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U17/3C N51723 N51726 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U18/4D N55769 N55772 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R61 N45781 VBB 2.2k
X_U18/2B N51738 N55766 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U26F N00385 VIN2 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U23/1A N55321 N55317 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U18/1A N51735 N51738 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U22/6F N55305 N55321 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U18/6F N55775 N55778 \$G_DPWR \$G_DGND 74LS04 PARAMS:

```

+ IO_LEVEL=0 MNTYMXDLY=0
X_U22/4D    N55333 N55341 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U18/5E    N55772 N55775 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U27F     N30918 VIN3 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U8/1A     N47758 N47790 N58310 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R66      VBB N47758 2.2k
X_U18/3C    N55766 N55769 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R67      VBB N47790 2.2k
X_U8/2B     N47790 N47815 N58307 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U23/2B    N55317 N59149 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U8/3C     N47815 N47844 N58328 $G_DPWR $G_DGND 74LS86A PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U23/4D    N59152 N50335 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U28F     N03964 VIN4 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R34      0 VO3 1k
R_R35      0 N14952 20.5k
X_U22/1A    VIN4 N55297 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R36      N14952 VO3 100k
V_V3       N00662 N00714 12Vdc
R_R23      N00662 VO2 390
R_R24      N00714 0 390
R_R25      N00704 VO2 18k

```

X_U23/3C N59149 N59152 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 R_R26 N00740 VO2 220
 R_R27 0 N00737 1.2k
 X_U22/3C N55337 N55333 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 Q_Q7 N00740 N00704 N00737 Q2N2222
 Q_Q8 N00774 N00771 N00768 Q2N2222
 X_U7/2B N45844 N45869 N58258 \$G_DPWR \$G_DGND 74LS86A PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 X_U9/1A N45657 N45612 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 Q_Q9 N00777 N00780 N00786 Q2N2222
 R_R28 N00774 VO2 10
 R_R29 0 N00768 910
 R_R58 N45719 VBB 2.2k
 X_U9/4D N45628 N45252 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 R_R30 N00777 VO2 10
 X_U10/1A N58199 N45124 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 X_U9/5E N45631 N45249 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 R_R31 0 N00786 560
 X_U9/6F N58181 N45233 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 R_R32 N00771 VIN3 3.3k
 X_U22/5E N55341 N55305 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 R_R33 N00780 VIN4 3.3k
 D_D3 0 N00704 D1N750
 R_R12 N00566 N00452 390

```

U_DSTM5      STIM(1,1) $G_DPWR $G_DGND N30918 IO_STM IO_LEVEL=0
+ 0 0
+ +0 1
+REPEAT FOREVER
+ +125us 0
+ +125us 1
+ ENDREPEAT

X_U22/2B     N55297 N55337 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0

R_R13       N00572 0 390
R_R68       VBB N47815 2.2k

U_DSTM6     STIM(1,1) $G_DPWR $G_DGND N03964 IO_STM IO_LEVEL=0
+ 0 0
+ +0 1
+REPEAT FOREVER
+ +250us 0
+ +250us 1
+ ENDREPEAT

R_R14       N00488 N00452 18k
V_V4       VBB 0 DC 5Vdc AC 1Vac

X_U10/2B    N58232 N45079 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0

R_R15       N00498 N00452 220
R_R16       0 N00501 1.2k
Q_Q4       N00498 N00488 N00501 Q2N2222
D_D2       0 N00488 D1N750

X_U24/1A    N55778 N62075 $G_DPWR $G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0

R_R63       N45844 VBB 2.2k
R_R38       N48227 0 8.5k
Q_Q5       N00530 N00546 N00533 Q2N2222
R_R39       N48230 N48227 1.5k

```

Q_Q6 N00521 N00524 N00518 Q2N2222
 R_R55 N45657 VBB 2.2k
 R_R40 N48236 N48230 2k
 R_R17 N00530 N00452 10
 R_R62 N45819 VBB 2.2k
 R_R41 N48239 N48236 1k
 R_R18 0 N00533 6.8k
 R_R59 N45744 VBB 2.2k
 R_R42 N48242 N48239 1.5k
 R_R19 N00521 N00452 10
 R_R43 N48245 N48242 2.5k
 R_R20 0 N00518 6.8k
 R_R44 N48248 N48245 2k
 R_R21 N00546 VO1 3.3k
 R_R45 N48251 N48248 3.5k
 R_R22 N00524 VO2 3.3k
 R_R46 N48254 N48251 4k
 R_R47 N48257 N48254 3k
 R_R48 N48458 N48257 2k
 X_U1/1A N48227 VO3 VCC 0 N45657 LM339
 R_R54 N48267 VCC 7.5k
 X_U1/2B N48230 VO3 VCC 0 N45669 LM339
 V_V5 VCC 0 DC 12Vdc AC 1Vac
 X_U24/2B N62075 N59915 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 R_R64 N45869 VBB 2.2k
 R_R53 N48270 N48267 1.5k
 X_U1/3C N48236 VO3 VCC 0 N45694 LM339
 X_U9/2B N45622 N45559 \$G_DPWR \$G_DGND 74LS04 PARAMS:
 + IO_LEVEL=0 MNTYMXDLY=0
 R_R52 N48273 N48270 2k
 X_U1/4D N48239 VO3 VCC 0 N45719 LM339

R_R51 N48276 N48273 2.5k
X_U9/3C N45625 N45258 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R50 N48279 N48276 11.5k
X_U2/3C N48248 VO3 VCC 0 N45781 LM339
R_R37 N14952 VCC 7.5k
X_U10/5E N45959 N44858 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
R_R49 N48458 N48279 3.5k
X_U2/1A N48242 VO3 VCC 0 N45744 LM339
X_U10/4D N58258 N45416 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U2/4D N48251 VO3 VCC 0 N45819 LM339
X_U10/6F N58276 N44807 \$G_DPWR \$G_DGND 74LS04 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U2/2B N48245 VO3 VCC 0 N45769 LM339
X_U3/3C N48458 VO3 VCC 0 N46025 LM339
R_R70 VBB N47873 2.2k
X_U16 N45423 N45416 N44858 N44807 N44667 N44601 N44562 N45300 N44440
+ N49194 N49220 N49583 M_UN0001 M_UN0002 \$G_DPWR \$G_DGND 74LS148
PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U3/1A N48254 VO3 VCC 0 N45844 LM339
X_U3/4D N48279 VO3 VCC 0 N47758 LM339
X_U3/2B N48257 VO3 VCC 0 N45869 LM339
X_U4/3C N48270 VO3 VCC 0 N47844 LM339
X_U15 N45612 N45559 N45258 N45252 N45249 N45233 N45124 N45079 N50335
+ N49171 N49208 N49562 A3 M_UN0003 \$G_DPWR \$G_DGND 74LS148 PARAMS:
+ IO_LEVEL=0 MNTYMXDLY=0
X_U4/1A N48276 VO3 VCC 0 N47790 LM339

ผลงานที่ได้รับการตีพิมพ์

1. อภิชาติ เลิศสุภศาสตร์, กอบชัย เดชหาญ และ พิเชฐ ม่วงนวล “การปรับปรุง line code 2B1Q ในการเข้ารหัสเพื่อเพิ่มประสิทธิภาพในการรับส่งข้อมูล,” วิศวกรรมลาดกระบัง ปีที่19 ฉบับที่ 1 ประจำเดือน มีนาคม 2545

ประวัติผู้เขียน

นาย อภิชาติ เลิศสุภศาสตร์ เกิดเมื่อวันที่ 25 กันยายน 2512 ที่อำเภอเบตง จังหวัดยะลา สำเร็จการศึกษาอุตสาหกรรมบัณฑิต สาขาวิชาเทคโนโลยีไฟฟ้าอุตสาหกรรม จากสถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ ปีการศึกษา 2539

ตั้งแต่ปี 2539 ถึงปัจจุบัน ได้ทำงานที่การสื่อสารแห่งประเทศไทย ตำแหน่ง ช่างโทรคมนาคม