

วงจรรเรียงลำดับสัญญาณแอนะล็อกโหมดศักดาความเร็วสูง

HIGH SPEED ANALOG VOLTAGE-MODE SORTER

มนเรตน์ แก้วรวงกุล

MANERAT KAEWRONGKOOL

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคณะศึกษาศาสตร์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-9700-69-4

วงจรเรียงลำดับสัญญาณอนาล็อกโหมดตัดความเร็วสูง

HIGH SPEED ANALOG VOLTAGE-MODE SORTER

มนิรัตน์ แก้วรองกูด

MANEERAT KAEWRONGKOOL

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2547

ISBN 974-9700-69-4

HIGH SPEED ANALOG VOLTAGE-MODE SORTER

MANEERAT KAEWRONGKOOL

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN CONTROL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2004

ISBN 974-9700-69-4

COPY RIGHT 2004

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	วงจรเรียงลำดับสัญญาณอนาล็อกโหมดักคาความเร็วสูง
นักศึกษา	นางสาวมณีรัตน์ แก้วรองกุล
รหัสนักศึกษา	44061501
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมระบบควบคุม
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.วันชัย ธีรรัฐจา

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรเรียงลำดับสัญญาณอนาล็อกในโหมดักคาหลักการทำงานของวงจรอาศัยการทำงานของวงจรถ่ายค่าสูงสุด และ วงจรหาค่าต่ำสุดเป็นหลัก วงจรประกอบด้วยออปแอมป์ ต่อร่วมกับไดโอด และตัวต้านทาน สัญญาณที่ได้จากการออกแบบวงจรนี้สามารถเรียงลำดับสัญญาณอินพุทที่มีค่ามากกว่าไปหาสัญญาณอินพุทที่มีค่าน้อยกว่าได้ตามลำดับเหมาะสมสำหรับนำไปประยุกต์ใช้งานในระบบที่เป็นเวลาจริงได้ และเพื่อเป็นการทดสอบสมรรถนะการทำงานของวงจรถ่ายค่าสูงสุดที่ได้ทำการออกแบบ ได้เขียนแบบการทำงานของวงจรถ่ายค่าด้วยโปรแกรม PSPICE ผลจากการเขียนแบบการทำงานของวงจรถ่ายค่าสามารถยืนยันได้ว่าวงจรถ่ายค่าที่ออกแบบสอดคล้องเป็นไปตามหลักการที่ได้นำเสนอ

Thesis Title	High Speed Analog Voltage- mode Sorter
Student	Miss Maneerat Kaewrongkool
Student ID.	44061501
Degree	Master of Engineering
Programme	Control Engineering
Year	2004
Thesis Advisor	Assoc. Prof. Dr. Vanchai Riewruja

ABSTRACT

A voltage-mode sorting circuit for analog signal is presented in this thesis. The operation principle of the circuit is based on maximum and minimum function cells. The maximum and minimum function cells consist of operational amplifiers (op-amps), diodes and resistors. The outputs are obtained by ordering the inputs in the decreasing order. The proposed circuit achieves a high-speed operation and suitable for real-time systems. The performances of the proposed sorter were studied by the use of the PSPICE analog simulation program. The simulation results verified the circuit performances are agreed with the expected values.

กิตติกรรมประกาศ

ขอกราบขอบพระคุณ รศ.ดร.วันชัย ธีร์รุจา อาจารย์ที่ปรึกษาเป็นอย่างสูง ที่ได้มอบโอกาสที่ดี อีกทั้งยังได้ให้ความรู้ ความคิดริเริ่ม ความช่วยเหลือ คำปรึกษา และคำชี้แนะแนวทางในการแก้ไขปัญหาต่างๆ อย่างทุ่มเทตลอดจนการฝึกฝนให้ผู้เขียนมีความสามารถในการทำวิจัยและพัฒนาอย่างมีประสิทธิภาพมาโดยตลอดระยะเวลาการศึกษา

ขอขอบพระคุณ ผศ.ดร.เกียรติศักดิ์ กมวัชระ และ ผศ.ดร.วรพงศ์ ตั้งศรีรัตน์ กรรมการสอบหัวข้อและโครงร่างวิทยานิพนธ์ที่ได้กรุณาให้คำแนะนำ จนในที่สุดทำให้วิทยานิพนธ์ฉบับนี้สำเร็จลงได้

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ห้อง B420/2 ทุกท่านที่ได้เอื้อเฟื้ออุปกรณ์ เครื่องมือ สถานที่ และแรงใจในการทำวิจัยและเรียบเรียงวิทยานิพนธ์

สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ผู้เขียนขอมอบให้กับบิดา มารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้ และถ่ายทอดประสบการณ์ที่ดีให้แก่ผู้เขียน

สุดท้ายนี้ขอขอบคุณ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติภายใต้โครงการทุนส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติภายใต้โครงการสนับสนุนการออกแบบวงจรรวมในสถาบันการศึกษาที่ให้ทุนและเครื่องมือสนับสนุนในการทำวิทยานิพนธ์

มณีนรัตน์ แก้วรองกุล

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมติฐานของการศึกษา.....	2
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	2
1.6 บทสรุป.....	3
บทที่ 2 การเรียงลำดับสัญญาณ (Sorting).....	4
2.1 บทนำ.....	4
2.2 หลักการเรียงลำดับสัญญาณ.....	4
2.3 วงจรเรียงลำดับสัญญาณทางด้านอนาลอก.....	6
2.3.1 วงจรหาค่าสูงสุด (Maximum Circuit).....	6
2.3.2 วงจรเรียงลำดับสัญญาณอนาลอกที่ทำงานในโหมดกระแส.....	8
2.4 วงจรเรียงลำดับสัญญาณทางด้านดิจิทัล.....	9
2.5 บทสรุป.....	10
บทที่ 3 วงจรย่อยที่ใช้ในวิทยานิพนธ์.....	11
3.1 บทนำ.....	11
3.2 วงจรหาค่าสูงสุดชนิด 2 อินพุต.....	11
3.3 วงจรหาค่าต่ำสุดชนิด 2 อินพุต.....	13

สารบัญ (ต่อ)

	หน้า
3.4 วิเคราะห์สมรรถนะการทำงานของวงจร.....	15
3.4.1 การวิเคราะห์ความแม่นยำของวงจร.....	15
3.4.2 การวิเคราะห์หาช่วงปฏิบัติงานของวงจร.....	18
3.4.3 การวิเคราะห์หาผลตอบสนองทางความถี่ของวงจร.....	19
3.5 ผลการเปลี่ยนแปลงการทำงานด้วยโปรแกรม PSPICE.....	21
3.6 บทสรุป.....	26
บทที่ 4 วงจรเรียงลำดับสัญญาณอนาลอกในโหมดคัสคา.....	27
4.1 บทนำ.....	27
4.2 หลักการเรียงลำดับสัญญาณที่ใช้ในวิทยานิพนธ์.....	27
4.3 วงจรเรียงลำดับสัญญาณอนาลอกโหมดคัสคาชนิด 2 อินพุท.....	29
4.3.1 หลักการออกแบบวงจร.....	29
4.3.2 ผลการเปลี่ยนแปลงการทำงานด้วยโปรแกรม PSPICE.....	30
4.4 วงจรเรียงลำดับสัญญาณอนาลอกโหมดคัสคาชนิด 4 อินพุท.....	33
4.4.1 หลักการออกแบบวงจร.....	33
4.4.2 ผลการเปลี่ยนแปลงการทำงานด้วยโปรแกรม PSPICE.....	34
4.5 บทสรุป.....	38
บทที่ 5 การประยุกต์ใช้งาน.....	39
5.1 บทนำ.....	39
5.2 หลักการออกแบบวงจรเรียงลำดับสัญญาณชนิด n อินพุท.....	39
5.3 เวลาที่ใช้ในการเรียงลำดับสัญญาณ.....	41
5.4 การประยุกต์ใช้งาน.....	43
5.5 บทสรุป.....	44
บทที่ 6 บทส่งท้ายและข้อเสนอแนะแนวทางในการทำวิจัย.....	45
6.1 บทส่งท้าย.....	45
6.2 ข้อเสนอแนะแนวทางในการทำวิจัย.....	45

สารบัญ (ต่อ)

	หน้า
เอกสารอ้างอิง.....	46
ภาคผนวก.....	48
ภาคผนวก ก. วิเคราะห์สมการทั่วไปของไดโอด.....	49
ภาคผนวก ข. คุณสมบัติของไดโอดเบอร์ 1N4148.....	52
ภาคผนวก ค. วิเคราะห์เวลาสะสมของไดโอดสวิตช์.....	53
ภาคผนวก ง. ผลงานวิจัยที่ได้รับการตีพิมพ์.....	56
ประวัติผู้เขียน.....	69

สารบัญตาราง

ตารางที่	หน้า
5.1 ความสัมพันธ์ระหว่างจำนวนอินพุต และจำนวน Max Cell และ Min Cell.....	41

สารบัญรูป

รูปที่	หน้า
2.1	โครงสร้างของวงจรเรียงลำดับสัญญาณ.....4
2.2	ตัวอย่างการเรียงลำดับสัญญาณแบบ Batcher's Odd-Even Mergesort.....5
2.2(ก)	เรียงลำดับจากมากไปหาน้อย.....5
2.2(ข)	เรียงลำดับจากน้อยไปหามาก.....5
2.3	วงจรถ้าค่าสูงสุดชนิดหลายอินพุท.....6
2.4	วงจรเรียงลำดับสัญญาณอนาลอก.....8
2.5	วงจรเรียงลำดับสัญญาณทางด้านดิจิทัล.....9
2.5(ก)	วงจรเรียงลำดับสัญญาณขนาด 1 บิต.....9
2.5(ข)	วงจรเรียงลำดับสัญญาณขนาด 2 บิต.....9
2.5(ค)	วงจรเรียงลำดับสัญญาณขนาด 4 บิต.....10
3.1	วงจรถ้าค่าสูงสุดชนิด 2 อินพุท.....12
3.2	ออปแอมป์ A_1 และไดโอด D_1 ที่ทำงานเป็นวงจรตามศักรา.....12
3.2	วงจรถ้าค่าต่ำสุดชนิด 2 อินพุท.....14
3.2	วงจรถ้าค่าสูงสุดชนิด n อินพุท.....15
3.2	วงจรถ้าค่าต่ำสุดชนิด n อินพุท.....17
3.3	ผลการจำลองคุณสมบัติถ่ายโอนของวงจรถ้าค่าสูงสุดชนิด 2 อินพุท.....18
3.4	ผลการจำลองคุณสมบัติถ่ายโอนของวงจรถ้าค่าต่ำสุดชนิด 2 อินพุท.....18
3.5	วงจรสมมูลของออปแอมป์สำหรับหาผลตอบสนองทางความถี่.....19
3.6	ผลการเลียนแบบการทำงานของวงจรถ้าค่าสูงสุดชนิด 2 อินพุท.....21
3.6(ก)	แรงดันอินพุทที่เป็นสัญญาณไซน์ความถี่ 1kHz ขนาด 5V.....21
3.6(ข)	แรงดันเอาต์พุทที่มีค่าสูงสุด.....21
3.7	ผลการเลียนแบบการทำงานของวงจรถ้าค่าต่ำสุดชนิด 2 อินพุท.....22
3.7(ก)	แรงดันอินพุทที่เป็นสัญญาณไซน์ความถี่ 1 kHz ขนาด 5V.....22
3.7(ข)	แรงดันเอาต์พุทที่มีค่าต่ำสุด.....22
3.8	ผลตอบสนองทางความถี่ของวงจรถ้าค่าสูงสุดชนิด 2 อินพุท.....23
3.9	ผลตอบสนองทางความถี่ของวงจรถ้าค่าต่ำสุดชนิด 2 อินพุท.....23
3.10	แสดงผลต่างแรงดันอินพุทของวงจรถ้าค่าสูงสุดชนิด 2 อินพุท.....24
3.10(ก)	จุดตัดระหว่างแรงดันอินพุท V_1 , V_2 และแรงดันเอาต์พุท.....24

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.10(ข) ภาพขยายของจุดตัด.....	24
3.11 ผลต่างแรงดันอินพุทของวงจรถ่ายค่าต่ำสุดชนิด 2 อินพุท.....	25
3.11(ก) จุดตัดระหว่างแรงดันอินพุท V_1 , V_2 และแรงดันเอาต์พุท.....	25
3.11(ข) ภาพขยายของจุดตัด.....	25
4.1 บล็อกไดอะแกรมของวงจรรีจแลมดับสัญญาณ.....	27
4.2 หลักการเปรียบเทียบสัญญาณ (Comparator).....	28
4.3 การออกแบบวงจรรีจแลมดับสัญญาณอนาล็อกโหมดส์กคาชนิด 2 อินพุท.....	29
4.4 วงจรรีจแลมดับสัญญาณชนิด 2 อินพุท.....	30
4.5 สัญลักษณ์ของวงจรรีจแลมดับสัญญาณชนิด 2 อินพุท.....	30
4.6 ผลการทดลองของวงจรรีจแลมดับสัญญาณชนิด 2 อินพุท.....	31
4.6(ก) แรงดันอินพุทที่เป็นสัญญาณไซน์ความถี่ 1 kHz ขนาด $10V_{pp}$	31
4.6(ข) แรงดันเอาต์พุทที่มีค่าสูงสุด และต่ำสุด.....	31
4.7 ผลการเลียนแบบการทำงานของวงจรรีจแลมดับสัญญาณชนิด 2 อินพุท.....	32
4.7(ก) แรงดันอินพุทที่เป็นสัญญาณไซน์ความถี่ 1 kHz ขนาด 5V.....	32
4.7(ข) แรงดันเอาต์พุทที่มีค่าสูงสุด.....	32
4.7(ค) แรงดันเอาต์พุทที่มีค่าต่ำสุด.....	32
4.8 การออกแบบวงจรรีจแลมดับสัญญาณอนาล็อกโหมดส์กคาชนิด 4 อินพุท.....	33
4.9 ตัวอย่างของการรีจแลมดับสัญญาณชนิด 4 อินพุท.....	34
4.10 ผลการเลียนแบบการทำงานของวงจรรีจแลมดับสัญญาณชนิด 4 อินพุท.....	34
4.10(ก) แรงดันอินพุทที่เป็นสัญญาณคลื่นไซน์ความถี่ 1kHz.....	34
4.10(ข) สัญญาณแรงดันเอาต์พุท V_{o1}	35
4.10(ค) สัญญาณแรงดันเอาต์พุท V_{o2}	35
4.10(ง) สัญญาณแรงดันเอาต์พุท V_{o3}	35
4.10(จ) สัญญาณแรงดันเอาต์พุท V_{o4}	35
4.11 ผลการเลียนแบบการทำงานของวงจรรีจแลมดับสัญญาณชนิด 4 อินพุท.....	36
4.11(ก) แรงดันอินพุทที่เป็นสัญญาณรูปสามเหลี่ยม คาบเวลา 1ms.....	36
4.11(ข) สัญญาณแรงดันเอาต์พุท V_{o1}	36
4.11(ค) สัญญาณแรงดันเอาต์พุท V_{o2}	37

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.11(ง) สัญญาณแรงดันเอาต์พุต V_{o3}	37
4.11(จ) สัญญาณแรงดันเอาต์พุต V_{o4}	37
5.1 วงจรเรียงลำดับสัญญาณชนิด 6 อินพุต.....	39
5.2 รูปแบบการต่อวงจรเรียงลำดับสัญญาณชนิด n อินพุต.....	40
5.3 แสดงความสัมพันธ์ของเวลา.....	41
5.4 บล็อกไดอะแกรมของวงจร median filter	43
ก1 สัญลักษณ์ของไดโอดสารกึ่งตัวนำ.....	49
ก2 ลักษณะแรงดัน-กระแสของไดโอดสารกึ่งตัวนำ.....	49
ค1 กราฟแสดงความสัมพันธ์ของการคายประจุภายในรอยต่อพีเอ็นไดโอด.....	54

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

การเรียงลำดับสัญญาณ (sorting) เป็นเทคนิคที่สำคัญอย่างหนึ่งที่ใช้ในกระบวนการประมวลผลสัญญาณ (Signal Processing) [1] ซึ่งมีการประยุกต์ใช้งานอย่างกว้างขวางในด้านการประมวลผลสัญญาณแบบไม่เป็นเชิงเส้น ได้แก่ การประมวลผลสัญญาณเสียง, การประมวลผลสัญญาณภาพ และอื่นๆ อีกเป็นจำนวนมาก โดยการใช้งานส่วนใหญ่จะเป็นการประมวลผลสัญญาณทางด้านดิจิทัล ในการประมวลผลสัญญาณทางด้านดิจิทัลนั้นมีข้อจำกัดอยู่หลายประการ อาทิเช่น ความเร็วในการประมวลผล, การสูญเสียค่ากำลังงาน และระเบียบวิธีการออกแบบ ซึ่งข้อจำกัดดังกล่าวจะเกิดขึ้นน้อยมากสำหรับการประมวลผลสัญญาณทางอนาล็อก

ในปัจจุบันได้มีการออกแบบวงจรรวมของวงจรเรียงลำดับสัญญาณ (sorter) กันมากขึ้น แต่ส่วนใหญ่จะเป็นการออกแบบวงจรรวมสำหรับสัญญาณดิจิทัล [2]-[5] ปัญหาคือเมื่อต้องทำการเรียงลำดับสัญญาณที่เป็นสัญญาณอนาล็อก ต้องทำการแปลงสัญญาณจากสัญญาณอนาล็อก เป็นสัญญาณดิจิทัล (โดยใช้วงจร A/D converter) และแปลงสัญญาณจากสัญญาณดิจิทัลกลับมาเป็นสัญญาณอนาล็อก (โดยใช้วงจร D/A Converter) ซึ่งมีผลทำให้โครงสร้างของวงจรมีความซับซ้อน ใช้เวลาในการทำงานของวงจรมาก และสามารถเกิดข้อผิดพลาด (error) ขึ้นได้ในกระบวนการของการแปลงสัญญาณระหว่างสัญญาณดิจิทัลกับสัญญาณอนาล็อก การแก้ปัญหาดังกล่าวคือการออกแบบวงจรเรียงลำดับสัญญาณสำหรับสัญญาณอนาล็อกขึ้น ดังนั้นวิทยานิพนธ์ฉบับนี้จึงได้ทำการศึกษา และออกแบบวงจรเรียงลำดับสัญญาณ อนาล็อกในโหมดคัทคาความเร็วสูงขึ้น โดยมีโครงสร้างของวงจรที่เรียบง่าย ไม่ซับซ้อน วงจรทำงานด้วยความเร็วสูง มีความเที่ยงตรง แม่นยำ และถูกต้อง สามารถนำไปประยุกต์ใช้งานในระบบที่เป็นเวลาจริงได้

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

เพื่อออกแบบวงจรเรียงลำดับสัญญาณอนาล็อกในโหมดคัทคา โดยวงจรมีโครงสร้างเรียบง่าย และมีความยืดหยุ่นสูง วิธีการที่นำเสนอสามารถนำมาทำการออกแบบเป็นวงจรเรียงลำดับสัญญาณชนิด n อินพุตได้

1.3 สมมติฐานของการศึกษา

โดยทั่วไปหลักการออกแบบวงจรเรียงลำดับสัญญาณที่เป็นดิจิทัล มีความยุ่งยากซับซ้อน ใช้เวลาในการทำงานของวงจรมาก และเกิดข้อผิดพลาดขึ้นได้ในกระบวนการแปลงสัญญาณระหว่างสัญญาณดิจิทัลกับสัญญาณอนาล็อก ดังนั้นหลักการที่นำเสนอในวิทยานิพนธ์ฉบับนี้จะเป็นการออกแบบวงจรเรียงลำดับสัญญาณแบบอนาล็อกที่มีโครงสร้างของวงจรที่เรียบง่าย มีความยืดหยุ่นสูง วิธีการดังกล่าวสามารถนำมาออกแบบวงจรเรียงลำดับสัญญาณชนิด n อินพุตได้ซึ่งเหมาะสมที่จะนำมาพัฒนาเป็น โครงข่ายการเรียงลำดับสัญญาณ เพื่อประยุกต์ใช้งานในระบบที่เป็นเวลาจริงได้

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

ทฤษฎี หรือ แนวความคิดที่ใช้ในการออกแบบวงจรเรียงลำดับสัญญาณอนาล็อกในโหมดศักดาความเร็วสูงนั้น ใช้หลักการทำงานของวงจรหาค่าสูงสุด และวงจรหาค่าต่ำสุดเป็นหลัก โดยวงจรประกอบด้วย ออปแอมป์ ต่อร่วมกับไดโอด และตัวต้านทาน สัญญาณที่ได้จากการออกแบบวงจรนี้สามารถที่จะเรียงลำดับสัญญาณอินพุตที่มีค่ามากกว่าไปหาสัญญาณอินพุตที่มีค่าน้อยกว่าได้ตามลำดับ วิธีการที่นำเสนอสามารถนำไปออกแบบเป็นวงจรเรียงลำดับสัญญาณชนิด n อินพุตได้ตามต้องการ

1.5 ขอบเขตการวิจัย

ในวิทยานิพนธ์ฉบับนี้แบ่งเนื้อหาออกเป็น 6 บท และภาคผนวกอีก 4 บท โดยในแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำ จะเป็นการกล่าวถึงความจำเป็นมา วัตถุประสงค์ และแนวคิดในการทำวิทยานิพนธ์ พร้อมทั้งรายละเอียดของวิทยานิพนธ์ในแต่ละบท

บทที่ 2 กล่าวถึงหลักการของการเรียงลำดับสัญญาณโดยทั่วไป และวงจรที่มีการพัฒนาออกแบบมาในอดีต

บทที่ 3 กล่าวถึงวงจรร้อยที่ใช้ในวิทยานิพนธ์ ซึ่งประกอบด้วยวงจรหาค่าสูงสุดชนิด 2 อินพุต และวงจรหาค่าต่ำสุดชนิด 2 อินพุต โดยกล่าวถึงทฤษฎี หลักการทำงานของวงจร รวมถึงการวิเคราะห์สมรรถนะการทำงานของวงจร และเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

บทที่ 4 กล่าวถึงหลักการออกแบบวงจรเรียงลำดับสัญญาณอนาล็อกในโหมดศักดา ที่ใช้วงจรหาค่าสูงสุดชนิด 2 อินพุต และวงจรหาค่าต่ำสุดชนิด 2 อินพุตเป็นหลัก ซึ่งจะเป็นการออกแบบวงจร

เรียงลำดับสัญญาณอนาล็อกโหมดศักดาชนิด 2 อินพุท และ 4 อินพุท สมรรถนะการทำงาน ของวงจรเรียงลำดับสัญญาณสามารถยืนยันได้จากการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

บทที่ 5 จะเป็นการกล่าวถึงการประยุกต์ใช้งานวงจรให้เป็นวงจรเรียงลำดับสัญญาณชนิด n อินพุท รายละเอียดจะกล่าวถึงรูปแบบของการออกแบบวงจรเรียงลำดับสัญญาณ รวมถึงการ วิเคราะห์หาเวลาที่ใช้ในการเรียงลำดับสัญญาณของวงจรที่ได้พัฒนาขึ้น รวมไปถึงการนำวงจรไป ประยุกต์ใช้งานในด้านต่างๆ

บทที่ 6 เป็นการสรุปผลงานที่ได้นำเสนอในวิทยานิพนธ์ พร้อมทั้งข้อเสนอแนะเพื่อเป็นแนว ทางในการวิจัยและพัฒนาต่อไป

ในส่วนสุดท้ายของวิทยานิพนธ์นี้ จะเป็นภาคผนวกซึ่งจะรวบรวมการวิเคราะห์สมการต่างๆ ของแต่ละบทเอาไว้ ดังมีรายละเอียดดังต่อไปนี้

ภาคผนวก ก. วิเคราะห์สมการทั่วไปของไดโอด

ภาคผนวก ข. คุณสมบัติของไดโอดเบอร์ 1N4148

ภาคผนวก ค. วิเคราะห์เวลาสะสมของไดโอดสวิตช์

ภาคผนวก ง. ผลงานวิจัยที่ได้รับการตีพิมพ์

ประวัติผู้เขียน

1.6 บทสรุป

ในบทนี้เป็นการกล่าวถึงจุดประสงค์ในการทำวิทยานิพนธ์ และหัวข้อเนื้อหาในแต่ละบท ซึ่งประกอบด้วยเนื้อหาสำคัญๆ 2 ประการ คือ 1. การออกแบบวงจรเรียงลำดับสัญญาณอนาล็อกใน โหมดศักดา ที่ใช้วงจรหาค่าสูงสุด และวงจรหาค่าต่ำสุดเป็นหลัก และ 2. การนำเอาวงจรเรียงลำดับ สัญญาณที่พัฒนาขึ้นมาประยุกต์ใช้งานเป็นวงจรเรียงลำดับสัญญาณชนิด n อินพุท เหมาะสำหรับการ นำเอาไปใช้งานในระบบที่เป็นเวลาจริงได้

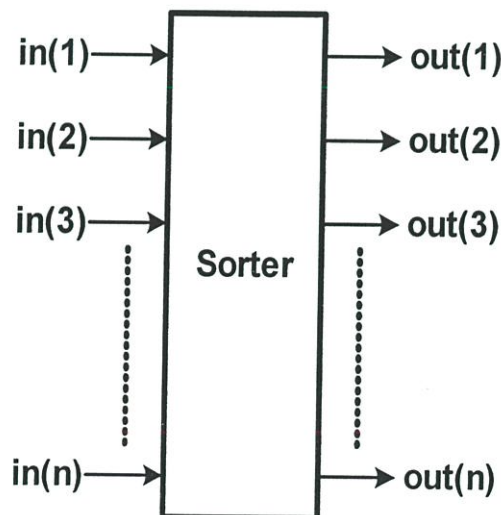
บทที่ 2

การเรียงลำดับสัญญาณ (Sorting)

2.1 บทนำ

การเรียงลำดับ (Sorting) เป็นเทคนิคที่สำคัญที่ใช้ในกระบวนการประมวลผลข้อมูล ซึ่งมีการประยุกต์ใช้งานอย่างกว้างขวางในด้านการประมวลผลสัญญาณแบบไม่เป็นเชิงเส้น ได้แก่ การประมวลผลสัญญาณเสียง, การประมวลผลสัญญาณภาพ และอื่นๆอีกเป็นจำนวนมาก ซึ่งขั้นตอนการประมวลผลข้อมูลจะต้องเลือกวิธีการ หรือแนวทางที่จะส่งผลให้การประมวลผลข้อมูลที่ได้รับตรงตามเป้าหมายรวมทั้งจะต้องประกอบด้วยองค์ประกอบที่สำคัญอื่นอีก เช่น ความถูกต้อง (Accuracy) ความสมบูรณ์ (Completeness) และความรวดเร็วต่อการใช้งาน (Timeliness) [6] จากอดีตถึงปัจจุบันได้มีการพัฒนา และนำเสนอการออกแบบวงจรเรียงลำดับสัญญาณกันอย่างต่อเนื่อง เพื่อให้ได้วงจรที่มีคุณสมบัติตามที่กล่าวมาข้างต้น เพื่อใช้เป็นแนวทางสำหรับพัฒนาออกแบบวงจรเรียงลำดับสัญญาณ และทำความเข้าใจถึงข้อดี ข้อเสียของการออกแบบที่ได้มีการนำเสนอไว้ในอดีต ในบทนี้จะกล่าวถึงตัวอย่างหลักการออกแบบวงจรเรียงลำดับสัญญาณสำหรับสัญญาณอนาล็อกที่ทำงานในโหมดของกระแส และหลักการออกแบบวงจรรวมของวงจรเรียงลำดับสัญญาณสำหรับสัญญาณดิจิทัล โดยมีรายละเอียดของการออกแบบดังต่อไปนี้

2.2 หลักการเรียงลำดับสัญญาณ



รูปที่ 2.1 โครงสร้างของวงจรเรียงลำดับสัญญาณ

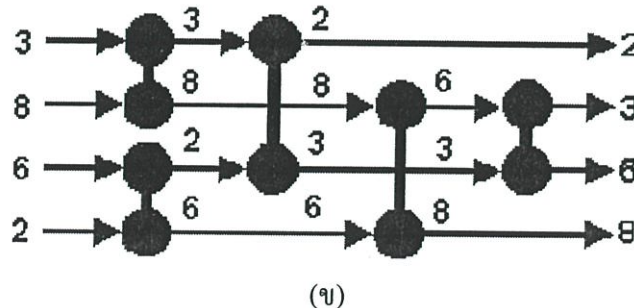
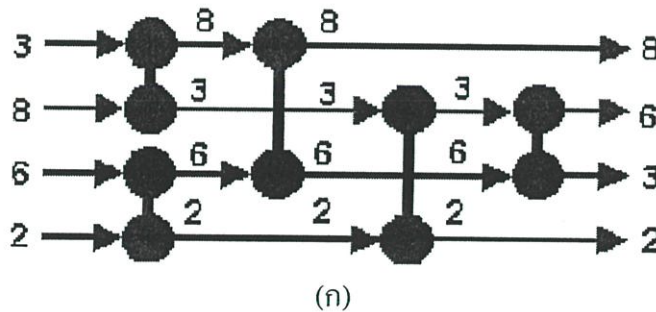
จากรูปที่ 2.1 เมื่อกำหนดให้สัญญาณมีจำนวน n อินพุต โดยเริ่มจากอินพุตที่ 1 ถึง n เมื่อต้องการทำการเรียงลำดับสัญญาณจากสัญญาณอินพุตที่มีค่ามากไปหาน้อย [7] สัญญาณเอาต์พุตที่ได้คือ

$$\text{out}(1) \geq \text{out}(2) \geq \text{out}(3) \geq \dots \geq \text{out}(n) \quad (2.1)$$

ในทำนองเดียวกันเมื่อต้องการเรียงลำดับสัญญาณจากสัญญาณอินพุตที่มีค่าน้อยไปหาสัญญาณที่มีค่ามาก เอาต์พุตที่ได้คือ

$$\text{out}(1) \leq \text{out}(2) \leq \text{out}(3) \leq \dots \leq \text{out}(n) \quad (2.2)$$

ก่อนที่จะกล่าวถึงวงจรที่มีการพัฒนาในอดีต จะอธิบายถึงหลักการทำงานของวงจรเรียงลำดับสัญญาณ หลักการทำงานของวงจรเรียงลำดับสัญญาณคือ เมื่อสัญญาณอินพุตมีขนาดของแอมพลิจูดต่างๆกันจำนวนหลายอินพุตเข้ามาที่วงจรเรียงลำดับสัญญาณ วงจรจะทำการเรียงลำดับค่าแอมพลิจูดของสัญญาณอินพุต โดยสามารถเรียงลำดับของสัญญาณอินพุตที่มีค่ามากกว่าไปหาน้อยกว่า หรือเรียงลำดับสัญญาณอินพุตที่มีค่าน้อยกว่าไปหาสัญญาณอินพุตที่มีค่ามากกว่าได้ตามลำดับ รูปที่ 2.2 จะแสดงตัวอย่างของการเรียงลำดับสัญญาณแบบ Batcher's Odd-Even Mergesort [8]



รูปที่ 2.2 ตัวอย่างการเรียงลำดับสัญญาณแบบ Batcher's Odd-Even Mergesort

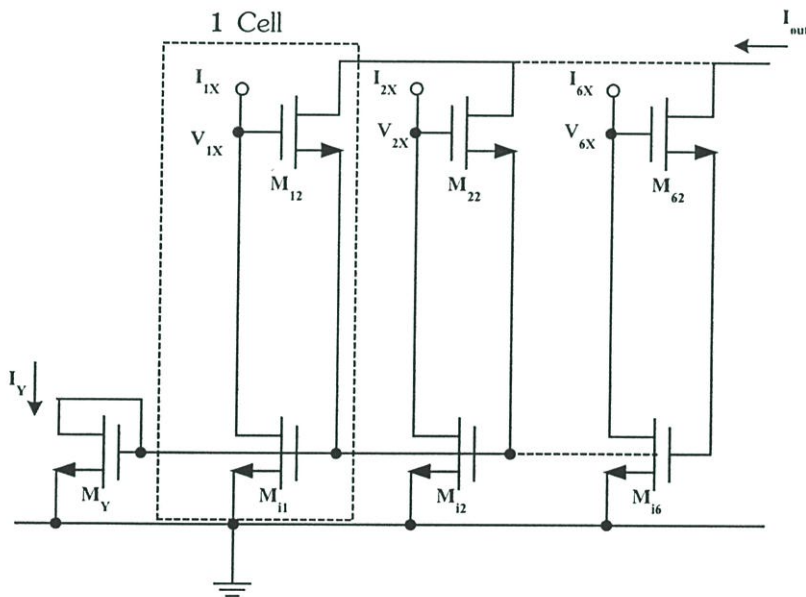
(ก) เรียงลำดับจากมากไปหาน้อย

(ข) เรียงลำดับจากน้อยไปหามาก

2.3 วงจรเรียงลำดับสัญญาณทางด้านอนาล็อก

ก่อนที่จะมีการออกแบบวงจรเรียงลำดับสัญญาณนั้น ในอดีตได้มีการออกแบบวงจรที่ทำงานคล้ายกับการทำงานของวงจรเรียงลำดับสัญญาณ แต่วงจรที่มีการพัฒนามาดังกล่าว เอาท์พุทของวงจรสามารถหาค่าของแอมพลิจูดของอินพุทได้เพียงค่าใดค่าหนึ่งเท่านั้น ซึ่งวงจรที่มีการออกแบบมาดังกล่าว ได้แก่ วงจรหาค่าสูงสุด (Maximum Circuit) , วงจรหาค่าต่ำสุด (Minimum Circuit) และวงจรหาค่ากลาง (Median Circuit) โดยจะยกตัวอย่างของการออกแบบวงจรหาค่าสูงสุดที่พัฒนามาเป็นวงจรเรียงลำดับสัญญาณในโหมดของกระแส ซึ่งจะอธิบายถึงหลักการทำงานของวงจรดังต่อไปนี้

2.3.1 วงจรหาค่าสูงสุด (Maximum Circuit)



รูปที่ 2.3 วงจรหาค่าสูงสุดชนิดหลายอินพุท

จากรูปที่ 2.3 แสดงวงจรหาค่าสูงสุดแบบหลายอินพุท [9] หรือเรียกอีกชื่อหนึ่งว่า winner take all ในที่นี้ขอยกตัวอย่าง 6 อินพุทคือ I_{1X} ถึง I_{6X} สมมติให้อัตราส่วนความกว้างและความยาวของแชนแนล (W/L Channel) ของทรานซิสเตอร์ทุกตัวในวงจรมีค่าเท่ากัน และทรานซิสเตอร์ทุกตัวมีความสมพียงกันทุกประการ วงจรจะถูกแบ่งออกเป็นลักษณะของเซลล์ ในที่นี้จะของเรียกว่า Max Cell โดย 1 เซลล์จะรองรับ 1 อินพุท และแต่ละเซลล์จะประกอบด้วยทรานซิสเตอร์ 2 ตัวคือ M_{11} และ M_{12} กระแส I_Y ที่ไหลผ่านทรานซิสเตอร์ M_Y ซึ่งต่ออยู่ในลักษณะของไดโอด สมมติให้ค่าของกระแสอินพุทมีค่ามากที่สุดเพียงค่าเดียวจากอินพุททั้งหมดค่าในที่นี้ให้ I_{1X}

$$I_{1X} = \max(I_{1X}, I_{2X}, \dots, I_{6X}) \quad (2.3)$$

ศักดาตกร่วมขาเดรน-ซอส $V_{1X}, V_{2X}, \dots, V_{6X}$ ของทรานซิสเตอร์ $M_{11}, M_{21}, \dots, M_{61}$ จะเกิดขึ้นเนื่องจาก $I_{1X}, I_{2X}, \dots, I_{6X}$ ตามลำดับ เมื่อพิจารณาศักดาตกร่วมขาเดรน-ซอส V_{1X} นั้นเกิดขึ้นจากกระแสอินพุท I_{1X} ซึ่งสมมติให้มามีค่าสูงสุด ดังนั้น V_{1X} ก็จะเป็นศักดาที่มีค่าสูงสุดระหว่าง $V_{1X}, V_{2X}, \dots, V_{6X}$ เช่นกัน สำหรับทรานซิสเตอร์ $M_{12}, M_{22}, \dots, M_{62}$ จะต่อในลักษณะคล้ายกับวงจรขยายความต่าง เมื่อความแตกต่างของศักดา (V_{ID}) ระหว่าง V_{1X} และ V_{iX} มีค่าเท่ากับ

$$V_{ID} = |V_{1X} - V_{iX}| > \left(\frac{2I_y}{K} \right)^{1/2} \quad (2.4)$$

กำหนดให้ $K = \left(\frac{\mu C_{ox}}{2} \right) \left(\frac{W}{L} \right)$ แล้วกระแส I_y จะไหลผ่านทรานซิสเตอร์ที่มีศักดาอินพุทสูงสุดในที่นี้คือกระแสเดรน I_{12} ของทรานซิสเตอร์ M_{12} ซึ่งจะมีค่าเท่ากับ I_y และกระแส I_{i2} ใน M_{i2} ($i=2, \dots, 6$) จะมีค่าเป็นศูนย์ เนื่องจากขาเกตของทรานซิสเตอร์ $M_{11}-M_{61}$ ในแต่ละเซลล์ถูกต่อเข้าด้วยกัน ซึ่งเป็นหลักการพื้นฐานของรูปการป้อนกลับแบบบวก ทำให้ศักดา V_y จะแปรผันตาม V_{1X} ดังนั้น V_y จะเท่ากับศักดาที่ตกร่วมขาเกต-ซอสของทรานซิสเตอร์ M_{11} จากเงื่อนไขนี้ทรานซิสเตอร์ M_y และ M_{11} จะอยู่ในรูปของวงจรสะท้อนกระแสซึ่งกระแสเดรน I_y จะมีค่าเท่ากับกระแสอินพุท I_{1X} ที่เป็นกระแสอินพุทสูงสุด และกระแสเอาต์พุท I_{out} จะเป็นได้ดังสมการที่

$$I_{out} = I_{12} + I_{22} + \dots + I_{62} \quad (2.5)$$

และ

$$I_{12} = I_y = I_{1X} \quad (2.6)$$

$$I_{22} = I_{32} = \dots = I_{62} = 0 \quad (2.7)$$

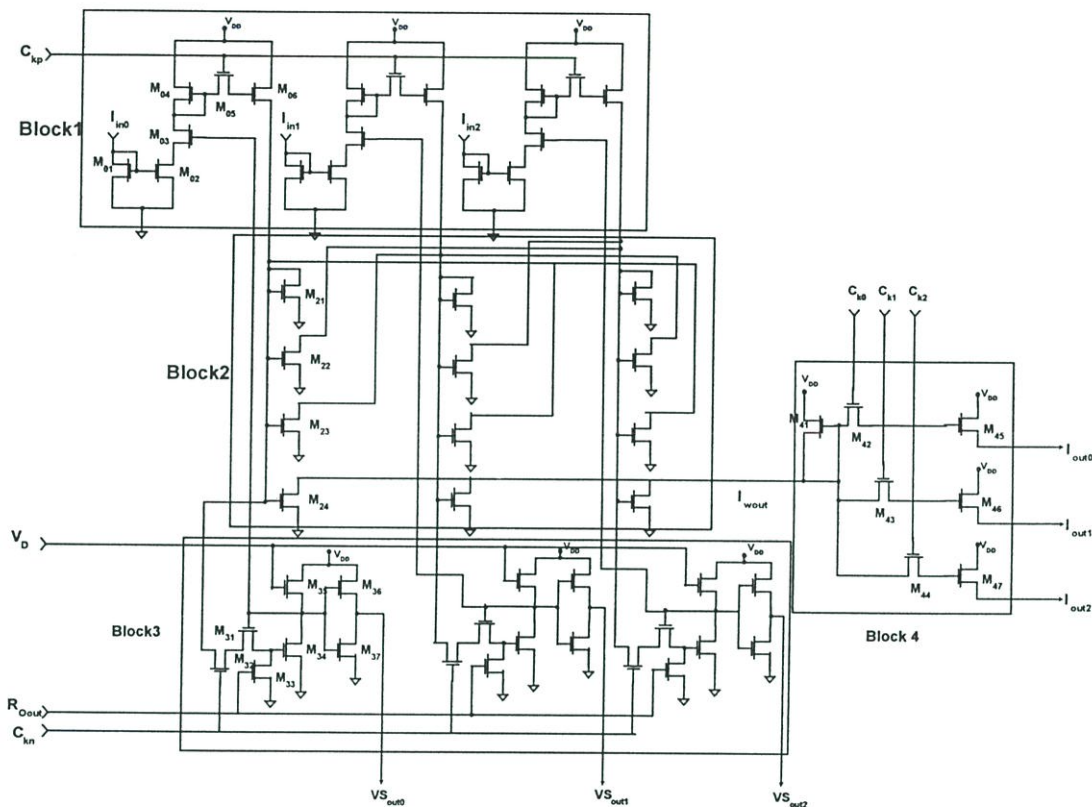
ดังนั้น

$$I_{out} = I_{12} = I_y = I_{1X} = \max(I_{1X}, I_{2X}, \dots, I_{6X}) \quad (2.8)$$

จากสมการที่ กระแสเอาต์พุท I_{out} จะมีค่าเท่ากับกระแสอินพุทสูงสุด ระหว่าง I_{1X} ถึง I_{6X} นั่นเอง

2.3.2 วงจรเรียงลำดับสัญญาณอนาล็อกที่ทำงานในโหมดกระแส

จากแนวคิดในการออกแบบวงจรหาค่าสูงสุด หรือ Winner take all นี้เองได้มีผู้พัฒนาวงจรดังกล่าวมาเป็นวงจรเรียงลำดับสัญญาณอนาล็อกที่ทำงานในโหมดกระแส [10] แสดงได้ดังรูปที่ 2.4



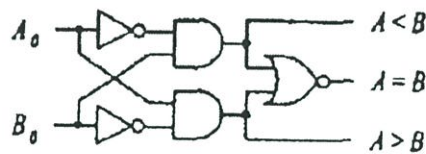
รูปที่ 2.4 วงจรเรียงลำดับสัญญาณอนาล็อก

วงจรเรียงลำดับสัญญาณอนาล็อกที่ทำงานในโหมดกระแสที่แสดงในรูปที่ 2.4 นี้ จะถูกสร้างขึ้นด้วยมอสทรานซิสเตอร์ โดยประกอบด้วยมอสทรานซิสเตอร์ชนิด พี (PMOS) และมอสทรานซิสเตอร์ชนิด เอ็น (NMOS) ต่อร่วมกันตามรูป โดยวงจรจะประกอบด้วย 4 ส่วนหลักๆคือ ส่วนที่หนึ่งจะเป็นส่วนของภาคอินพุตที่เป็นกระแสซึ่งมีด้วยกัน 3 อินพุตคือ I_{in0} , I_{in1} และ I_{in2} ส่วนที่สองจะเป็นส่วนของวงจรหาค่าสูงสุดที่ทำงานในโหมดกระแส หรือเรียกอีกชื่อหนึ่งว่า winner take all ส่วนที่สามจะเป็นวงจรควบคุม ลูปการป้อนกลับ (feedback control) และส่วนสุดท้ายคือส่วนที่สี่ จะเป็นส่วนของภาคเอาต์พุตของวงจรที่ถูกทำการเรียงลำดับสัญญาณมาในโหมดกระแส ซึ่งมอสทรานซิสเตอร์ M_{42} , M_{43} และ M_{44} จะถูกควบคุมด้วยสัญญาณนาฬิกา Ck_0 , Ck_1 และ Ck_2 โดยทรานซิสเตอร์ M_{45} , M_{46} และ M_{47} จะเป็นวงจรสะท้อนกระแสมาจากทรานซิสเตอร์ M_{41} สัญญาณเอาต์พุตกระแสที่ถูกเรียงลำดับสัญญาณมาจาก

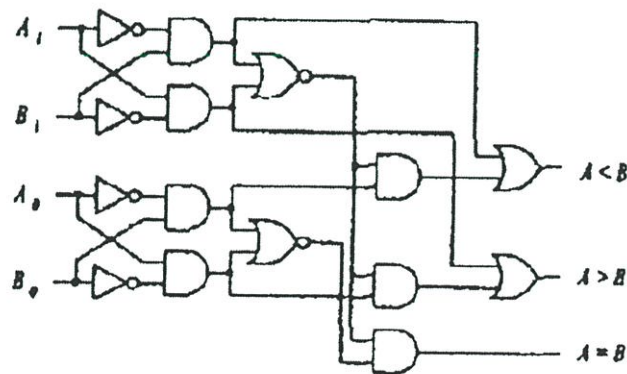
วงจรวinner take all ได้เป็นกระแสเอาต์พุต I_{out0} , I_{out1} และ I_{out2} ที่มีการเรียงลำดับสัญญาณกระแสอินพุตที่มีค่ามากกว่าไปหากระแสอินพุตที่มีค่าน้อยกว่าได้ตามลำดับ

2.4 วงจรเรียงลำดับสัญญาณทางด้านดิจิทัล

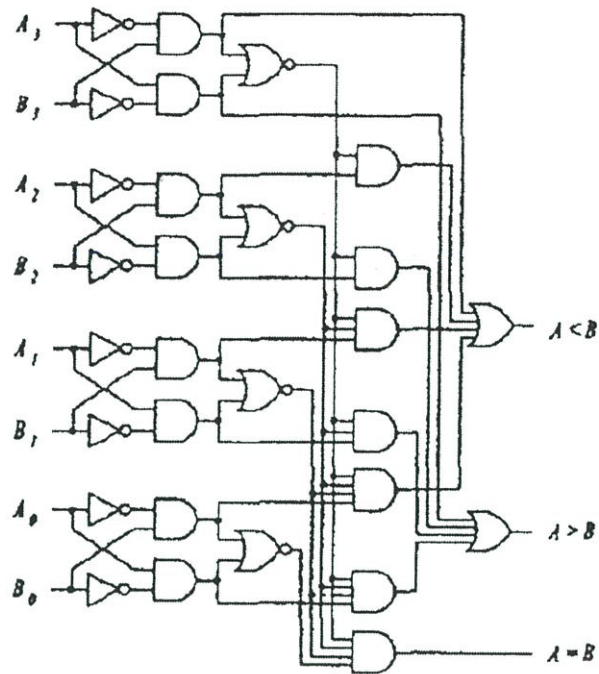
นอกจากจะมีการพัฒนางจรวอร์เรียมลำดับสัญญาณที่เป็นสัญญาณอนาล็อกแล้ว ปัจจุบันได้มีการออกแบบวงจรวอร์เรียมลำดับสัญญาณทางด้านดิจิทัลกันมากขึ้น [11] รูปที่ 2.5 แสดงตัวอย่างของการออกแบบวงจรวอร์เรียมลำดับสัญญาณดิจิทัล โดยอาศัยวงจรวอร์เรียมสัญญาณเป็นหลัก จากรูปที่ 2.5(ก) แสดงวงจรวอร์เรียมลำดับสัญญาณขนาด 1 บิต ซึ่งวงจรวอร์เรียมประกอบด้วยวงจรวอร์เรียมอินเวอร์เตอร์ ต่อร่วมกับวงจรวอร์เรียมแอนด์เกต และวงจรวอร์เรียมออร์เกตตามลำดับ โดยเอาต์พุตที่ได้จะเรียงลำดับจากบิตที่มีค่านัยสำคัญต่ำกว่าไปหาบิตที่มีค่านัยสำคัญสูงกว่าได้ตามลำดับ วงจรในรูปที่ 2.5(ข) จะเป็นวงจรวอร์เรียมลำดับสัญญาณขนาด 2 บิต และวงจรวอร์เรียมในรูปที่ 2.5(ค) จะเป็นวงจรวอร์เรียมลำดับสัญญาณขนาด 4 บิต ตามลำดับ



(ก)



(ข)



(ก)

รูปที่ 2.5 วงจรเรียงลำดับสัญญาณทางด้านดิจิทัล

- (ก) วงจรเรียงลำดับสัญญาณขนาด 1 บิต
- (ข) วงจรเรียงลำดับสัญญาณขนาด 2 บิต
- (ค) วงจรเรียงลำดับสัญญาณขนาด 4 บิต

จะเห็นได้ว่าการเรียงลำดับสัญญาณโดยใช้หลักการทางด้านดิจิทัล จะต้องใช้วงจรเกทที่ค่อนข้างมาก ซึ่งจะเป็นการใช้จำนวนทรานซิสเตอร์ที่มากขึ้นไปด้วย ในหลักการของดิจิทัลนี้จะไม่นำมาพัฒนาในวิทยานิพนธ์ฉบับนี้

2.5 บทสรุป

ในบทนี้ได้กล่าวถึงหลักการเรียงลำดับสัญญาณโดยทั่วไป และวงจรเรียงลำดับสัญญาณที่ได้มีการนำเสนอไว้ในอดีต จากที่กล่าวมาจะเห็นว่าในอดีตได้มีการออกแบบวงจรที่ทำงานคล้ายกับการทำงานของวงจรเรียงลำดับสัญญาณ แต่วงจรที่มีการพัฒนามาดังกล่าว เอาที่พูดของวงจรสามารถหาค่าของแอมพลิจูดของอินพุตได้เพียงค่าใดค่าหนึ่งเท่านั้น และวงจรเรียงลำดับสัญญาณที่นำมายกตัวอย่างในบทนี้ได้แก่ วงจรเรียงลำดับสัญญาณอนาลอกที่ทำงานในโหมดของกระแส และวงจรเรียงลำดับสัญญาณทางด้านดิจิทัล

บทที่ 3

วงจรร้อยที่ใช้ในวิทยานิพนธ์

3.1 บทนำ

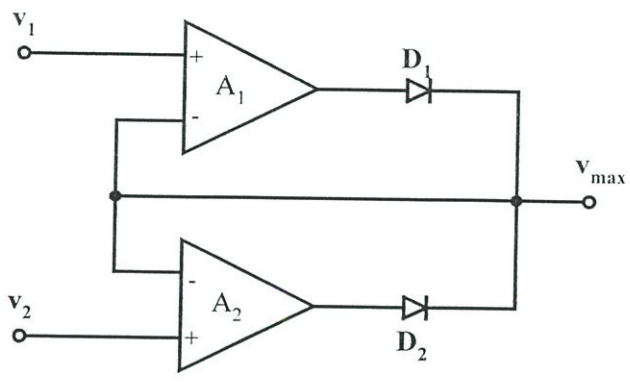
จากวงจรเรียงลำดับสัญญาณแบบต่างๆที่กล่าวมาในบทที่ 2 นั้น จะเห็นได้ว่าการประมวลผลสัญญาณทางด้านดิจิทัลมีข้อจำกัดอยู่หลายประการ อาทิเช่น ความเร็วในการประมวลผล, การสูญเสียค่ากำลังงาน และระเบียบวิธีการออกแบบ ซึ่งข้อจำกัดดังกล่าวจะเกิดขึ้นน้อยมากสำหรับการประมวลผลสัญญาณทางอนาลอก จึงทำให้เกิดพัฒนางจรเรียงลำดับสัญญาณอนาลอก โดยมีการทำงานในโหมดสแตนด์บาย หลักการของวงจรรีจแลตลำดับสัญญาณอนาลอกที่ใช้ในวิทยานิพนธ์ฉบับนี้ จะอาศัยหลักการเปรียบเทียบสัญญาณอินพุตที่เข้ามา ดังนั้นเนื้อหาของบทนี้จะกล่าวถึงวงจรร้อยที่ใช้ในวิทยานิพนธ์ ซึ่งได้แก่ วงจรหาค่าสูงสุดชนิด 2 อินพุต และวงจรหาค่าต่ำสุดชนิด 2 อินพุต ซึ่งทั้งสองวงจรที่พัฒนาออกแบบขึ้นมาจะเป็นวงจรหลักที่ใช้ในการพัฒนาเป็นวงจรรีจแลตสัญญาณซึ่งจะกล่าวถึงในบทที่ 4 ต่อไป

3.2 วงจรหาค่าสูงสุดชนิด 2 อินพุต

หลักการของวงจรหาค่าสูงสุด (Maximum Circuit) คือเอาต์พุตที่ได้จากวงจรจะเป็นสัญญาณอินพุตที่มีค่าสูงสุดเสมอ เมื่อกำหนดให้สัญญาณอินพุตเป็น In_1, In_2, \dots, In_n ดังนั้นเอาต์พุตที่ได้คือ

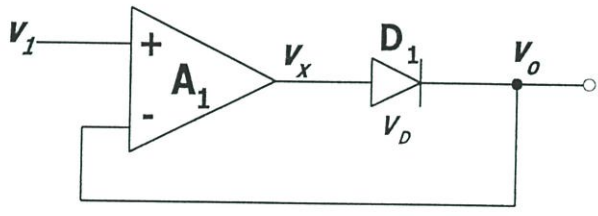
$$out = \max(In_1, In_2, \dots, In_n) \quad (3.1)$$

รูปที่ 3.1 แสดงวงจรหาค่าสูงสุดชนิด 2 อินพุตที่ได้พัฒนาออกแบบขึ้น โดยสมมติให้ออปแอมป์และไดโอดเป็นแบบอุดมคติ โดยวงจรจะประกอบด้วย ออปแอมป์ A_1 และ ออปแอมป์ A_2 ต่อร่วมกับสวิทช์ไดโอดคือ D_1 และ D_2 ซึ่งไดโอดแต่ละตัวต่ออยู่ระหว่างขาที่เป็นเอาต์พุตของ ออปแอมป์ กับเอาต์พุตโหนด ขาลบ (-) ของออปแอมป์ทั้งสองจะถูกต่อถึงกัน และต่อเข้ากับจุดของ V_{max} โดยแรงดันอินพุต V_1 และ V_2 จะถูกป้อนเข้าที่ขาบวก (+) ของ ออปแอมป์ A_1 และ ออปแอมป์ A_2 ตามลำดับ [12]



รูปที่ 3.1 วงจรหาค่าสูงสุดชนิด 2 อินพุต

หลักการการทำงานของวงจรหาค่าสูงสุดชนิด 2 อินพุตสามารถอธิบายได้ดังนี้ เมื่อป้อนแรงดันอินพุต V_1 ให้มีค่ามากกว่าแรงดันอินพุต V_2 จะเกิดกระแสไหลออกจากขาที่เป็นจุดออกของออปแอมป์ A_1 โดยไหลผ่านไดโอด D_1 และไดโอด D_1 จะได้รับแรงดันแบบไบอัสตรง (Forward Bias) เป็นผลให้ไดโอด D_1 นำกระแส ทำให้เกิดกระแสไหลผ่านไปยังจุด V_{max} ขณะเดียวกันแรงดันอินพุตจากจุด V_2 ที่มีค่าน้อยกว่า V_1 ไดโอด D_2 จะได้รับแรงดันแบบไบอัสกลับ (Reverse Bias) ทำให้ไดโอด D_2 ไม่สามารถนำกระแสได้ ดังนั้นออปแอมป์ A_1 และไดโอด D_1 จะทำงานเป็นวงจรตามสัปดาห์แสดงได้ดังรูปที่ 3.2



รูปที่ 3.2 ออปแอมป์ A_1 และ D_1 ที่ทำงานเป็นวงจรตามสัปดาห์

จากรูปที่โหนด v_x จะได้

$$v_x = v_o - v_D \tag{3.2}$$

และ

$$v_x = (v_i - v_o)A_o \tag{3.3}$$

แทนค่าสมการที่ 3.2 ลงในสมการที่ 3.3 จะได้

$$v_o - v_D = A_o v_1 - A_o v_o \quad (3.4)$$

$$v_o(1 + A_o) = A_o v_1 + v_D \quad (3.5)$$

$$v_o = \frac{A_o v_1}{(1 + A_o)} + \frac{v_D}{(1 + A_o)} \quad (3.6)$$

เมื่อกำหนดให้ออปแอมป์มีอัตราขยายสัญญาณ A_o มีค่าสูงมากๆ ดังนั้นจะได้

$$v_o = v_1 \quad (3.7)$$

ในการทำงานเดียวกันถ้าให้แรงดันอินพุต V_2 มีค่ามากกว่าแรงดันอินพุต V_1 จะเกิดกระแสไหลออกจากขาที่เป็นจุดออกของออปแอมป์ A_2 โดยจะไหลผ่านไดโอด D_2 และไดโอด D_2 จะได้รับแรงดันแบบไบอัสตรง (Forward Bias) เป็นผลให้ไดโอด D_2 นำกระแส ทำให้เกิดกระแสไหลผ่านไปยังจุด V_{\max} ขณะเดียวกันแรงดันอินพุตจากจุด V_1 ที่มีค่าน้อยกว่า V_2 ไดโอด D_1 จะได้รับแรงดันแบบไบอัสกลับ (Reverse Bias) ทำให้ไดโอด D_1 ไม่สามารถนำกระแสได้ ดังนั้นออปแอมป์ A_2 และไดโอด D_2 จะทำงานเป็นวงจรตามศักราบแรงดันเอาต์พุตสูงสุดที่ได้ ณ จุด V_{\max} จะมีค่าเท่ากับ V_2 ซึ่งเป็นแรงดันอินพุตที่มีค่าสูงสุดนั่นเอง

ดังนั้นสามารถเขียนสมการของแรงดันเอาต์พุตสูงสุด ณ จุด V_{\max} ได้ดังนี้

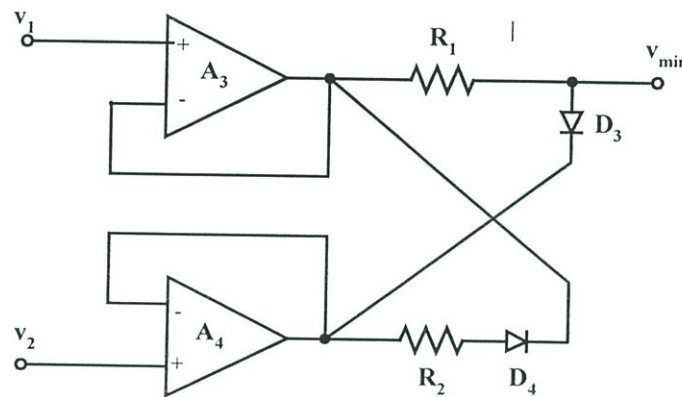
$$V_{\max} = \begin{cases} V_1 & ; V_1 > V_2 \\ V_2 & ; V_2 > V_1 \end{cases} \quad (3.8)$$

3.3 วงจรหาค่าต่ำสุดชนิด 2 อินพุต

หลักการของวงจรหาค่าต่ำสุด (Minimum Circuit) คือเอาต์พุตที่ได้จากวงจรจะเป็นสัญญาณอินพุตที่มีค่าต่ำสุดเสมอ เมื่อกำหนดให้สัญญาณอินพุตเป็น In_1, In_2, \dots, In_n ดังนั้นเอาต์พุตที่ได้คือ

$$out = \min(In_1, In_2, \dots, In_n) \quad (3.9)$$

รูปที่ 3.3 แสดงวงจรรหาค่าต่ำสุดชนิด 2 อินพุต หรือ Min Cell ที่ได้ทำการพัฒนาออกแบบขึ้น โดยมีโครงสร้างที่คล้ายคลึงกับวงจรรหาค่าสูงสุดในรูปที่ 3.1 โดยวงจรรหาค่าต่ำสุดชนิด 2 อินพุตนี้จะประกอบด้วย ออปแอมป์ A_3 , A_4 ต่อร่วมกับสวิชชิ่งไดโอด D_3 , D_4 และตัวต้านทาน R_1 , R_2 ซึ่งไดโอดและตัวต้านทานต่ออยู่ระหว่างเอาต์พุตของออปแอมป์ กับเอาต์พุตโหนด แรงดันอินพุต V_1 , V_2 จะถูกป้อนเข้าที่ขาบวก (+) ของออปแอมป์ A_3 และ A_4 ตามลำดับ ส่วนขาลบ (-) ของออปแอมป์แต่ละตัว จะถูกต่ออยู่กับขาเอาต์พุตของออปแอมป์ A_3 และ A_4 ตามลำดับดังแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรรหาค่าต่ำสุดชนิด 2 อินพุต

หลักการการทำงานของวงจรรหาค่าต่ำสุดชนิด 2 อินพุตสามารถอธิบายได้ดังนี้ เมื่อป้อนแรงดันอินพุต V_1 ให้มีค่ามากกว่าแรงดันอินพุต V_2 จะเกิดกระแสไหลออกจากขาที่เป็นจุดออกของออปแอมป์ A_4 โดยไหลผ่านไดโอด D_4 และไดโอด D_4 จะได้รับแรงดันแบบไบอัสตรง (Forward Bias) เป็นผลให้ไดโอด D_4 นำกระแส แรงดันเอาต์พุต V_{min} จะมีค่าเท่ากับแรงดันอินพุตที่น้อยที่สุด ขณะเดียวกันแรงดันอินพุตจากจุด V_1 ที่มีค่ามากกว่า V_2 ไดโอด D_3 จะได้รับแรงดันแบบไบอัสกลับ (Reverse Bias) ทำให้ไดโอด D_3 ไม่สามารถนำกระแสได้ ดังนั้นออปแอมป์ A_4 และไดโอด D_4 จะทำงานเป็นวงจรตามสัปดาห์ ดังนั้นแรงดันเอาต์พุตต่ำสุดที่ได้ ณ จุด V_{min} จะมีค่าเท่ากับ $V_2 - V_R - V_D$

ในทำนองเดียวกันถ้าให้แรงดันอินพุต V_2 มีค่ามากกว่าแรงดันอินพุต V_1 จะเกิดกระแสไหลออกจากขาที่เป็นจุดออกของออปแอมป์ A_3 โดยจะไหลผ่านไดโอด D_3 และไดโอด D_3 จะได้รับแรงดันแบบไบอัสตรง (Forward Bias) เป็นผลให้ไดโอด D_3 นำกระแส ดังนั้นแรงดันเอาต์พุต V_{min} จะมีค่าเท่ากับแรงดันอินพุต V_1 ขณะเดียวกันแรงดันอินพุตจากจุด V_1 ที่มีค่าน้อยกว่า V_2 ไดโอด

D_4 จะได้รับแรงดันแบบไบอัสกลับ (Reverse Bias) ทำให้ไดโอด D_4 ไม่สามารถนำกระแสได้ ดังนั้นออปแอมป์ A_3 และไดโอด D_3 จะทำหน้าที่เป็นวงจรตามศักดา แรงดันเอาต์พุตต่ำสุดที่ได้ ณ จุด V_{\min} จะมีค่าเท่ากับ $V_1 - V_R - V_D$ ดังนั้นสมการของแรงดันเอาต์พุตต่ำสุด V_{\min} สามารถเขียนใหม่ได้ดังนี้

$$V_{\min} = \begin{cases} V_2 - V_R - V_D & ; V_1 > V_2 \\ V_1 - V_R - V_D & ; V_2 > V_1 \end{cases} \quad (3.10)$$

โดยที่ V_R และ V_D คือแรงดันตกคร่อมตัวต้านทาน และแรงดันตกคร่อมไดโอดตามลำดับ

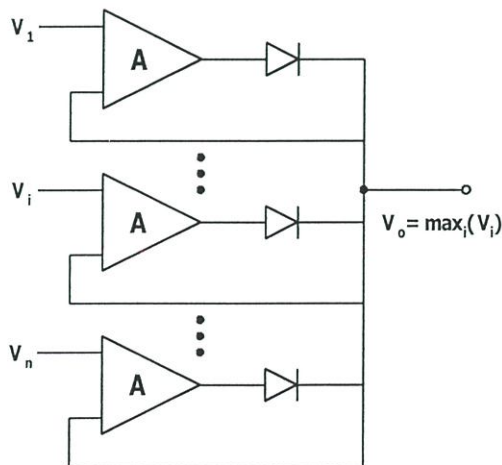
เนื่องจากแรงดันตกคร่อมตัวต้านทาน และแรงดันตกคร่อมไดโอดมีค่าน้อยมาก ๆ เมื่อเทียบกับแรงดันอินพุต V_1, V_2 จึงสามารถตัดทิ้งได้ ดังนั้นสมการของแรงดันเอาต์พุตต่ำสุดที่ได้คือ

$$V_{\min} = \begin{cases} V_2 & ; V_1 > V_2 \\ V_1 & ; V_2 > V_1 \end{cases} \quad (3.11)$$

3.4 วิเคราะห์สมรรถนะการทำงานของวงจร

3.4.1 การวิเคราะห์ความแม่นยำของวงจร

การวิเคราะห์ความแม่นยำของวงจรหาค่าสูงสุด [12] ที่ได้ทำการออกแบบขึ้นจะใช้วงจรหาค่าสูงสุดชนิด n อินพุตซึ่งแสดงในรูปที่ 3.4 เป็นหลักในการวิเคราะห์



รูปที่ 3.4 วงจรหาค่าสูงสุดชนิด n อินพุต

จากรูปที่ 3.4 จะพิจารณาความสัมพันธ์ของกระแสไฟฟ้าและแรงดันไฟฟ้าที่ตกคร่อมรอยต่อของสารกึ่งตัวนำหรือไดโอด (ภาคผนวก ก) ที่เป็นฟังก์ชันเอกซ์โพเนนเชียลดังสมการ

$$i_D \cong I_o \left(e^{\frac{V_D}{V_T}} - 1 \right) \quad (3.12)$$

เมื่อ I_o เป็นค่ากระแสอิ่มตัวย้อนกลับ (reverse saturation current)

V_T คือ thermal voltage (ประมาณ 25.9 mV ที่อุณหภูมิ 300°K)

สมมติว่าออปแอมป์เป็นวงจรขยายสัญญาณแรงดันที่มีอัตราการขยายสัญญาณเท่ากันทั้งหมดคือเท่ากับ A_o ดังนั้นสามารถเขียนเป็นสมการ Kirchoff ที่ V_o ได้ดังนี้

$$\sum_{i=1}^n \left[e^{\frac{[A_o(V_i - V_o) - V_o]}{V_T}} - 1 \right] = 0 \quad (3.13)$$

ในที่นี้เราตั้งสมมติฐานว่าไดโอดมีความสมพงษ์กันทั้งหมด ซึ่งมีกระแสอิ่มตัวย้อนกลับ (reverse saturation current) I_o เท่ากันทั้งหมด ดังนั้นสามารถตัดออกจากสมการได้ สมการที่ 3.13 สามารถนำมาเขียนเป็นสมการใหม่ได้ดังนี้

$$\sum_{i=1}^n e^{\frac{A_o(V_i - V_o)}{V_T}} = \frac{\sum_{i=1}^n (1)}{e^{-\frac{V_o}{V_T}}} = ne^{\frac{V_o}{V_T}} \quad (3.14)$$

ทำการแยกพจน์ลำดับที่ m ออกจากผลรวมในสมการที่ 3.14 จะได้

$$e^{\frac{A_o(V_m - V_o)}{V_T}} = ne^{\frac{V_o}{V_T}} - \sum_{\substack{i=1 \\ i \neq m}}^n e^{\frac{A_o(V_i - V_o)}{V_T}} \quad (3.15)$$

จากสมการนี้ จะเห็นได้ว่าแรงดันเอาต์พุต V_o จะมีค่าเข้าสู่ค่า V_m เมื่อ $V_m - V_o > 0$ สำหรับทุก i ที่มีค่าไม่เท่ากับ m และตัวขยายสัญญาณมีอัตราการขยายสูงมากๆ กรณีเช่นนี้สามารถที่จะละเลยผลรวมของนิพจน์ทางด้านขวามือของสมการที่ 3.15 โดยมีเงื่อนไขดังนี้

$$\frac{V_T \ln_e(n-1)}{A_o} \ll \varepsilon = \min_i(V_m - V_i) \quad (3.16)$$

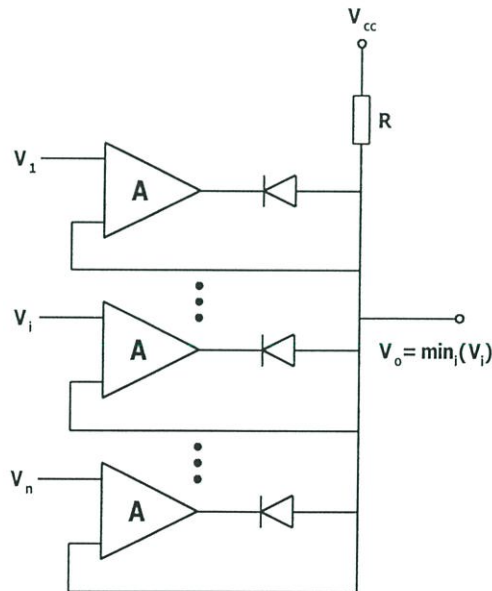
ดังนั้นสมการที่ 3.15 จึงเหลือเพียง

$$e^{\frac{A_o}{V_T}(V_m - V_o)} = ne^{\frac{V_o}{V_T}} \quad (3.17)$$

ซึ่งจะได้ค่า V_o ดังนี้

$$V_o \cong V_m - \frac{V_o}{A_o} - V_T \frac{\ln_e(n)}{A_o} \cong V_m - V_T \frac{\ln_e(n)}{A_o} \quad (3.18)$$

จะเห็นได้ว่าแรงดันเอาต์พุตของวงจรจะมีค่าเท่ากับค่าแรงดันขาเข้าสูงสุดเสมอตราบใดที่สถานการณ์ยังเป็นไปตามสมการที่ 3.16



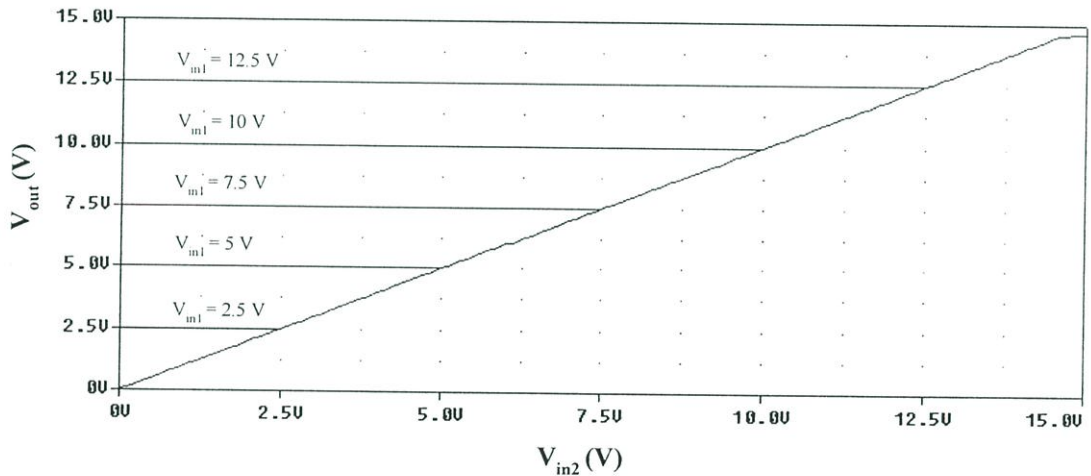
รูปที่ 3.5 วงจรหาค่าต่ำสุดชนิด n อินพุต

สำหรับวงจรหาค่าต่ำสุดชนิด n อินพุตแสดงในรูปที่ 3.5 ก็จะมีค่าแรงดันเอาต์พุตเท่ากับค่าต่ำสุดเช่นเดียวกัน ผลที่ได้จะเป็นไปตามความคิดอุดมคติก็ต่อเมื่อไดโอดที่นำมาใช้มีคุณสมบัติเป็นอุดมคติเท่านั้น นั่นคือ หากอยู่ในสถานะไบอัสตรง (forward bias) จะมีคุณสมบัติเหมือนกับวงจรปิด และเมื่ออยู่ในสถานะไบอัสกลับ (reverse bias) จะมีคุณสมบัติเหมือนกับวงจรเปิด แต่ในสภาพ

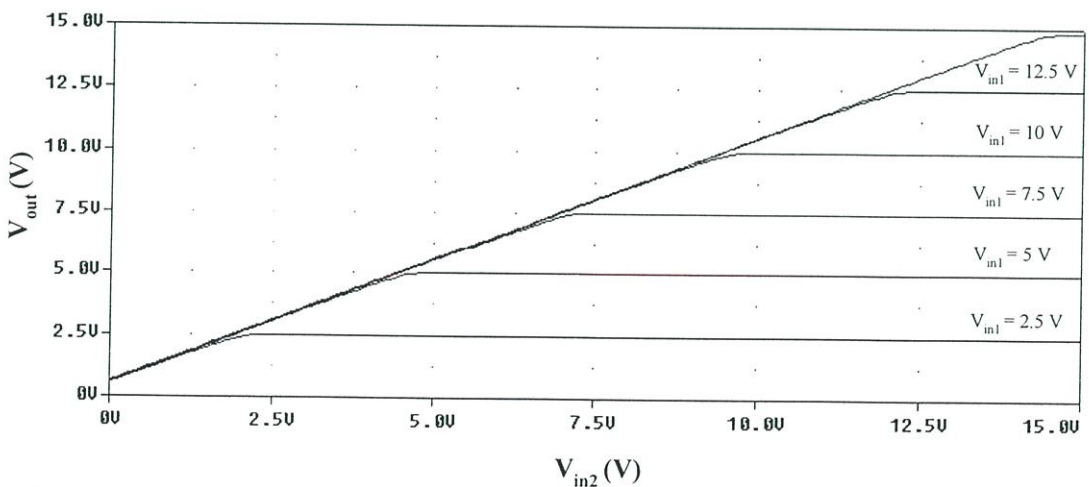
ความเป็นจริงแล้วสถานการณ์ดังกล่าวไม่สามารถจะเป็นจริงได้เนื่องจากรอยต่อ พี-เอ็น (p-n junction) ของไดโอดที่มีอยู่จริงไม่ได้มีคุณสมบัติเป็นอุดมคติจึงไม่สามารถทำงานได้แม่นยำเพียงพอ

3.4.2 การวิเคราะห์หาช่วงปฏิบัติงานของวงจร

สำหรับการวิเคราะห์หาช่วงปฏิบัติงานของวงจรหาค่าสูงสุดชนิด 2 อินพุต และวงจรหาค่าต่ำสุดชนิด 2 อินพุตนั้น จะทำการเขียนแบบการทำงานเกี่ยวกับคุณสมบัติการถ่ายโอน (transfer Characteristic) ระหว่างสัญญาณอินพุต และเอาท์พุต เพื่อเป็นการตรวจสอบ และแสดงถึงความสามารถของวงจร โดยได้แสดงเป็นความสัมพันธ์ระหว่างอินพุต และเอาท์พุต โดยให้แรงดันอินพุตอยู่ในช่วง 0 โวลต์ ถึง 15 โวลต์ แล้ววัดค่าแรงดันที่เอาท์พุต ผลการเขียนแบบการทำงาน ของวงจรหาค่าสูงสุดชนิด 2 อินพุตด้วยโปรแกรม PSPICE สามารถแสดงได้ดังรูปที่ 3.6



รูปที่ 3.6 ผลการจำลองคุณสมบัติถ่ายโอนของวงจรหาค่าสูงสุดชนิด 2 อินพุต



รูปที่ 3.7 ผลการจำลองคุณสมบัติถ่ายโอนของวงจรหาค่าต่ำสุดชนิด 2 อินพุต

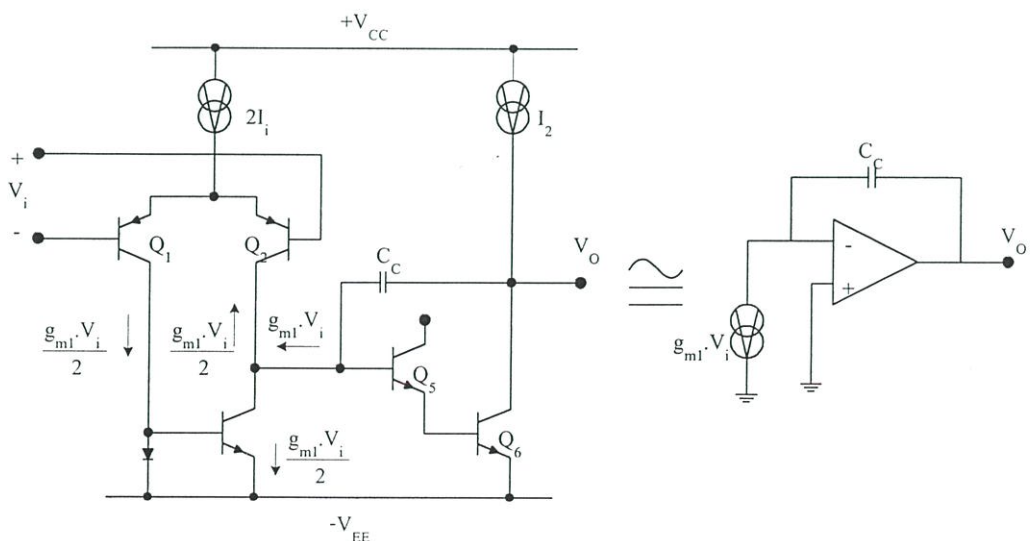
การเลียนแบบการทำงานเกี่ยวกับคุณสมบัติการถ่ายโอนระหว่างอินพุต และเอาต์พุตของ วงจรหาค่าต่ำสุดชนิด 2 อินพุต ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE สามารถแสดงได้ดังรูปที่ 3.7

จากผลการจำลองคุณสมบัติการถ่ายโอนของวงจรหาค่าสูงสุดชนิด 2 อินพุต และวงจรหาค่าต่ำสุดชนิด 2 อินพุตที่แสดงไว้ในรูปที่ 3.6 และรูปที่ 3.7 นั้น เมื่อพิจารณาแรงดันที่จุดออก V_o เปรียบเทียบกับแรงดันที่จุดเข้า จะเห็นว่าค่าของแรงดันจุดออก V_o สูงสุดที่ได้จะไม่เกินแรงดันที่จ่ายให้ออปแอมป์ ($+V_{DD}$) และต่ำสุดได้ไม่เกินแรงดันลบที่จ่ายให้ออปแอมป์ ($-V_{DD}$) หากแรงดันอินพุตของวงจรมีค่านอกเหนือจากช่วงดังกล่าวนี้แล้วออปแอมป์จะเข้าสู่ภาวะอิ่มตัว (Saturation region) [13]

$$-V_{DD} \leq V_{o(\max)} \leq +V_{DD} \quad (3.19)$$

3.4.3 การวิเคราะห์หาผลตอบสนองทางความถี่ของวงจร

จากหลักการทำงานของวงจรหาค่าสูงสุด และวงจรหาค่าต่ำสุดชนิด 2 อินพุตที่ได้ออกแบบ จะเห็นว่าวงจรจะประกอบด้วย ออปแอมป์ ต่อร่วมกับไดโอด และตัวต้านทาน ดังนั้นการวิเคราะห์ผลตอบสนองทางความถี่จะวิเคราะห์ผลตอบสนองทางความถี่ของออปแอมป์[13]เป็นหลักรูปที่ 3.8 แสดงวงจรที่ใช้ในการคำนวณหาผลตอบสนองทางความถี่ สำหรับสัญญาณระดับต่ำของออปแอมป์



รูปที่ 3.8 วงจรสมมูลของออปแอมป์สำหรับหาผลตอบสนองทางความถี่

จะเห็นได้ว่า วงจรภาคแรกจะถูกเขียนแทนด้วยวงจรถึงกระแส ซึ่งจะแปรเปลี่ยนตามระดับสัญญาณเข้า V_i ส่วนทรานซิสเตอร์ Q_5 และ Q_6 จะเขียนแทนได้เป็นวงจรถาย และตัวเก็บประจุ C_C จะทำหน้าที่เป็นตัวความจุชดเชย (Compensating capacitor) ซึ่งจะคอยกันไม่ให้ออปแอมป์ออสซิลเลท ซึ่งในที่นี้จะคือคร่อมระหว่างจุดสัญญาณเข้า และออกของทรานซิสเตอร์ Q_5 และ Q_6 ดังนั้นค่าขยายความถี่สูง จะเขียนได้เป็น

$$A_V(\omega) = \frac{V_{O(s)}}{V_{I(s)}} = \frac{g_{m1}}{SC_C} = \frac{g_{m1}}{\omega C_C} \quad (3.20)$$

สมการที่ 3.14 จะใช้กับสัญญาณความถี่สูงขึ้น เมื่อความถี่ต่ำมาก ๆ ค่าขยายจะมีค่าเป็น $A_{V(\omega)}$ เมื่อความถี่สูงขึ้น ค่าขยายสัญญาณจะลดลงจนกระทั่งค่าขยายแบบตรงมีค่าเป็นหนึ่ง ค่าของความถี่ในขณะนี้เขียนได้

$$\omega_u = \frac{g_{m1}}{C_C} \quad (3.21)$$

สมการที่ 3.21 คือค่าของผลคูณระหว่างค่าขยายและช่วงความถี่ปฏิบัติงาน (Gain-bandwidth product) ในกรณีที่ออปแอมป์อยู่ในลักษณะวงจรถัด

โดยทั่วไปจะเลือก C_C มีค่าสูงจนกระทั่งเฟสของสัญญาณเมื่อผ่านออปแอมป์เท่ากับค่าขยายของออปแอมป์ AD741 มีค่าความจุไฟฟ้าชดเชย C_C มีค่าเท่ากับ 30 PF และ

$$g_{m1} = \frac{I_1}{2} / \frac{kT}{q} = 0.192 \times 10^{-3} \quad (3.22)$$

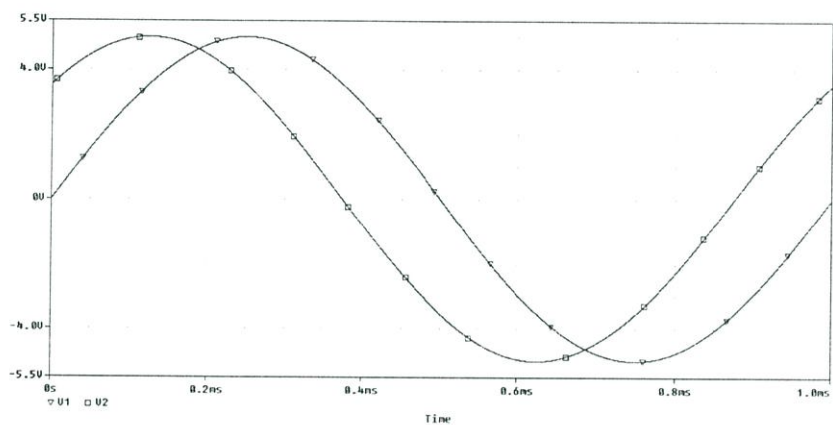
แทนค่าสมการที่ 3.22 ในสมการที่ 3.21 ซึ่งเขียนได้

$$f_u = \frac{\omega_u}{2\pi} = \frac{g_{m1}}{2\pi C_C} = \frac{(0.192 \times 10^{-3})}{2\pi(30 \times 10^{-3})} = 1.020 \text{ MHz} \quad (3.23)$$

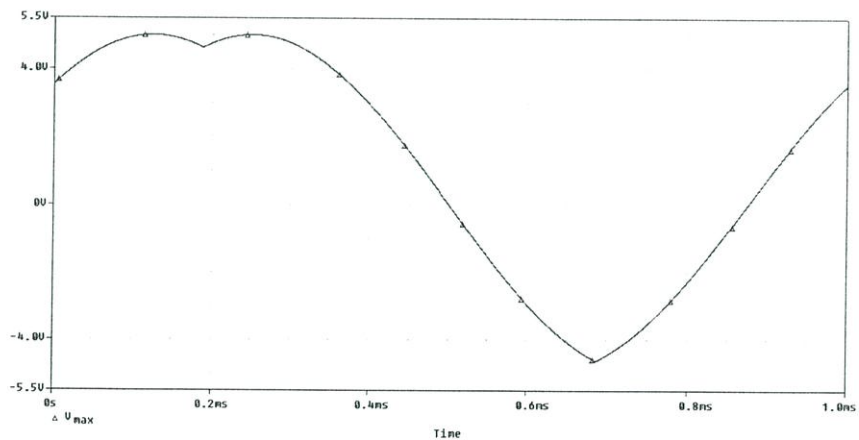
3.5 ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE

จากวงจรหาค่าสูงสุดชนิด 2 อินพุตที่ได้นำเสนอในรูปที่ 3.1 ได้ทำการทดสอบสมรรถนะการทำงานของวงจร โดยจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้อปแอมป์เบอร์ AD741 และไดโอดเบอร์ 1N4148 กำหนดให้ $V_{DD} = \pm 15V$

ผลการเลียนแบบการทำงานของวงจรหาค่าสูงสุดชนิด 2 อินพุต เมื่อป้อนแรงดันอินพุต V_1, V_2 เป็นสัญญาณคลื่นรูปไซน์ที่มีความถี่ 1kHz และแอมพลิจูดขนาด 5V โดยสัญญาณอินพุตทั้งสองมีมุมเฟสต่างกัน 45° ซึ่งผลที่ได้แสดงในรูปที่ 3.9



(ก)



(ข)

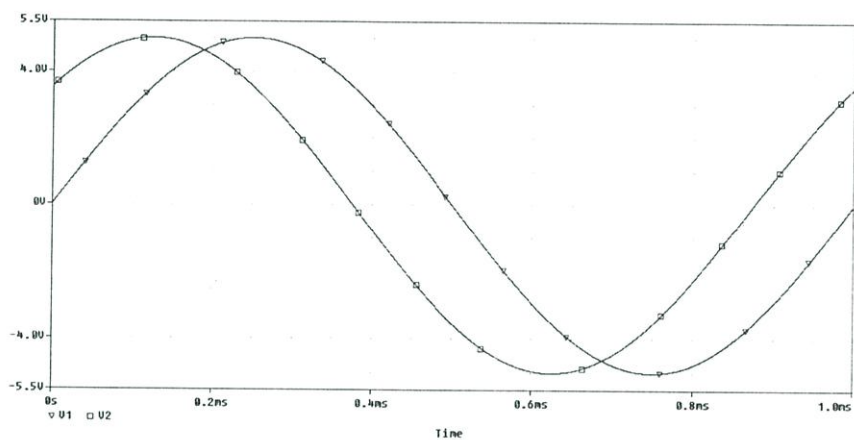
รูปที่ 3.9 ผลการเลียนแบบการทำงานของวงจรหาค่าสูงสุดชนิด 2 อินพุต

(ก) แรงดันอินพุตที่เป็นสัญญาณไซน์ความถี่ 1kHz ขนาด 5V

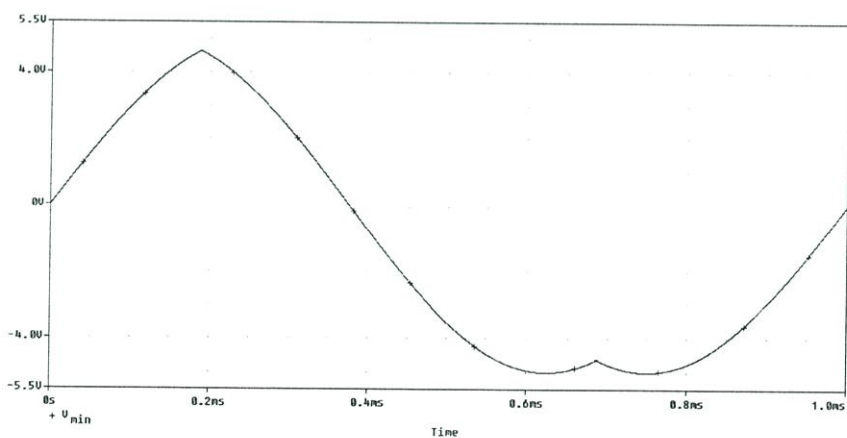
(ข) แรงดันเอาต์พุตที่มีค่าสูงสุด

วงจรค่าต่ำสุดชนิด 2 อินพุตที่ได้นำเสนอในรูปที่ 3.2 ได้ทำการทดสอบสมรรถนะการทำงานของวงจร โดยจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้ฮอปแอมป์เบอร์ AD741 , ไดโอดเบอร์ 1N4148 และตัวต้านทานขนาด $10k\Omega$ กำหนดให้ $V_{DD} = \pm 15V$

ผลการเลียนแบบการทำงานของวงจรค่าต่ำสุดชนิด 2 อินพุต เมื่อป้อนแรงดันอินพุต V_1 , V_2 เป็นสัญญาณคลื่นรูปซายน์ที่มีความถี่ 1kHz และแอมพลิจูดขนาด 5V โดยสัญญาณอินพุตทั้งสองมีมุมเฟสต่างกัน 45° ซึ่งผลที่ได้จากการเลียนแบบการทำงานของวงจรแสดงได้ดังรูปที่ 3.10



(ก)



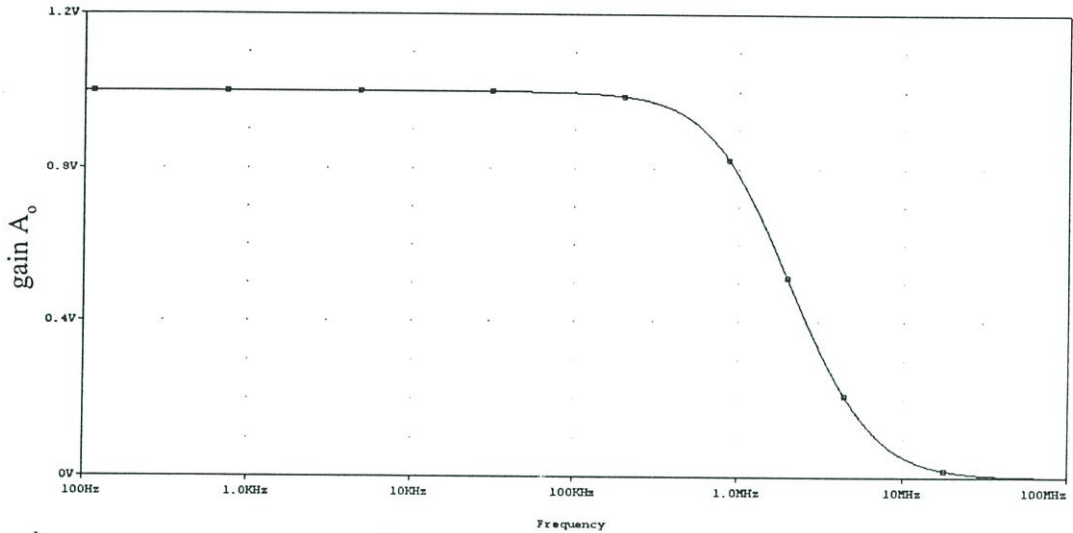
(ข)

รูปที่ 3.10 ผลการเลียนแบบการทำงานของวงจรค่าต่ำสุดชนิด 2 อินพุต

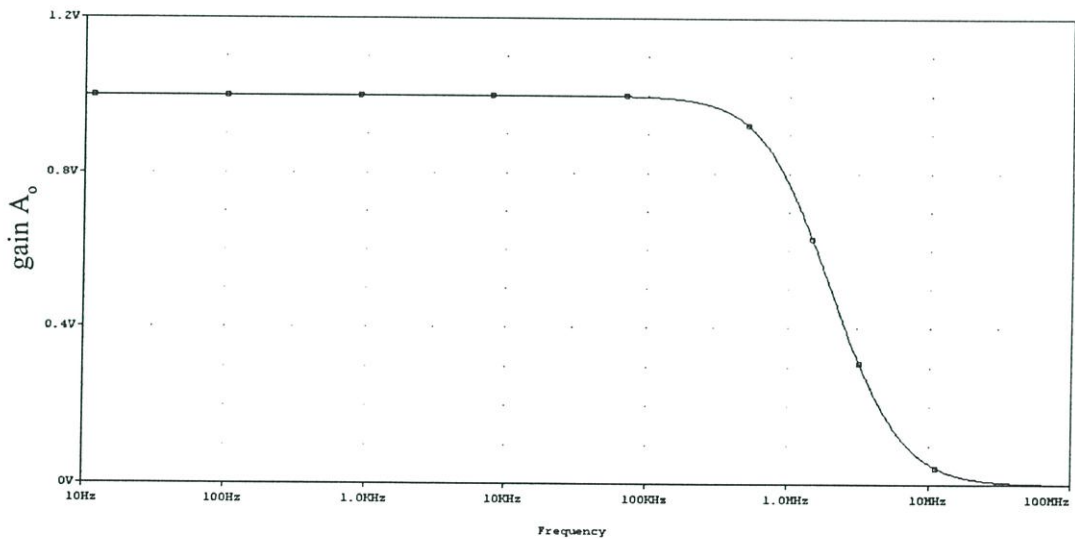
(ก) แรงดันอินพุตที่เป็นสัญญาณซายน์ความถี่ 1 kHz ขนาด 5V

(ข) แรงดันเอาต์พุตที่มีค่าต่ำสุด

สำหรับผลการเขียนแบบการทำงานของวงจรที่ได้ทำการออกแบบ เพื่อหาผลตอบสนองทางความถี่ของวงจรหาค่าสูงสุดชนิด 2 อินพุตแสดงในรูปที่ 3.11 และผลตอบสนองทางความถี่ของวงจรหาค่าต่ำสุดชนิด 2 อินพุตแสดงในรูปที่ 3.12



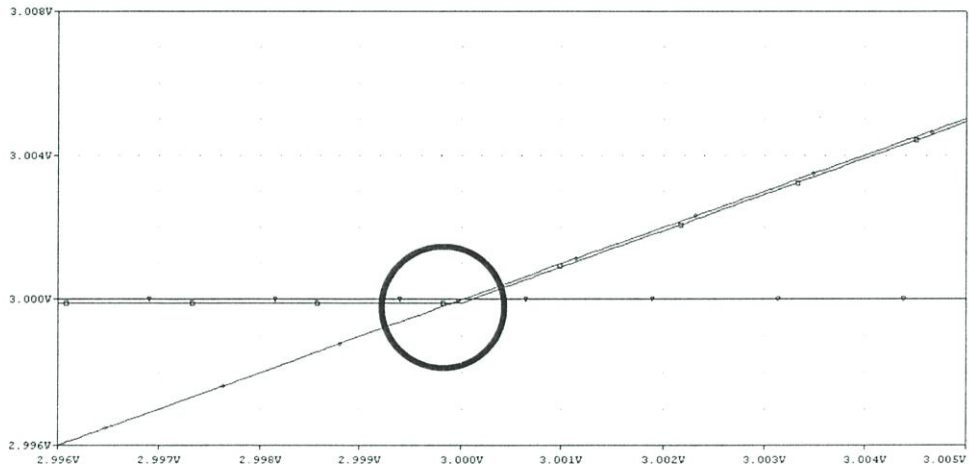
รูปที่ 3.11 ผลตอบสนองทางความถี่ของวงจรหาค่าสูงสุดชนิด 2 อินพุต



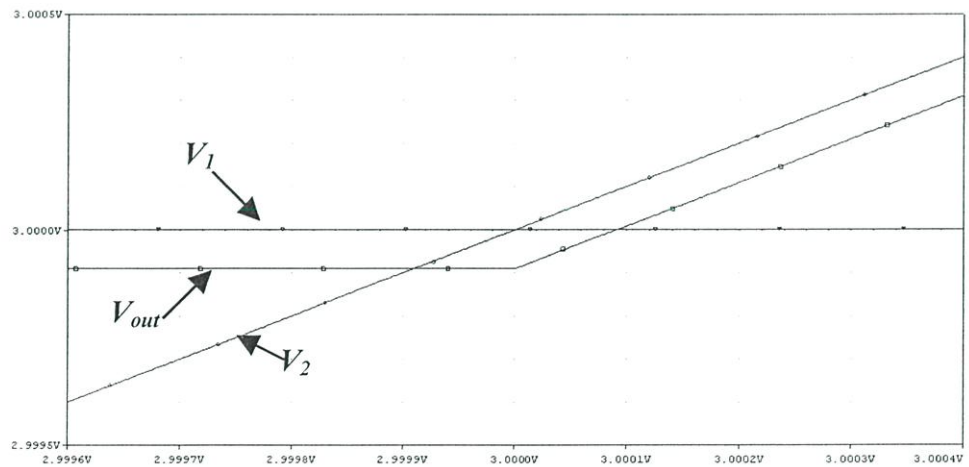
รูปที่ 3.12 ผลตอบสนองทางความถี่ของวงจรหาค่าต่ำสุดชนิด 2 อินพุต

จากรูปที่ 3.11 สามารถหาความถี่ตอบสนองของสัญญาณแรงดันอินพุตของวงจรหาค่าสูงสุดชนิด 2 อินพุต ได้เท่ากับ 1.233MHz และจากรูปที่ 3.12 จะหาความถี่ตอบสนองของสัญญาณแรงดันอินพุตของวงจรหาค่าต่ำสุดชนิด 2 อินพุต ได้เท่ากับ 1.195MHz ซึ่งจะเห็นว่าค่าความถี่ตอบสนองทั้งสองวงจร มีค่าใกล้เคียงกับค่าที่คำนวณได้ทางทฤษฎี

สำหรับการหาผลต่างของแรงดันอินพุทที่น้อยที่สุดที่วงจรสามารถทำงานได้นั้น จะทำการ
 เลียนแบบการทำงานของวงจร โดยแสดงเป็นความสัมพันธ์ระหว่างแรงดันอินพุท V_1 , V_2 และ
 แรงดันเอาต์พุท V_{out} โดยกำหนดให้แรงดันอินพุท $V_1 = 3$ โวลต์ และ V_2 อยู่ในช่วง 2-4 โวลต์ แล้ว
 วัดค่าแรงดันที่เอาต์พุทของวงจรซึ่งผลการเลียนแบบการทำงานของวงจรหาค่าสูงสุดชนิด 2 อินพุท
 แสดงในรูปที่ 3.13(ก) และวงจรหาค่าต่ำสุดชนิด 2 อินพุทสามารถทำงานได้ แสดงในรูปที่ 3.14(ก)



(ก)



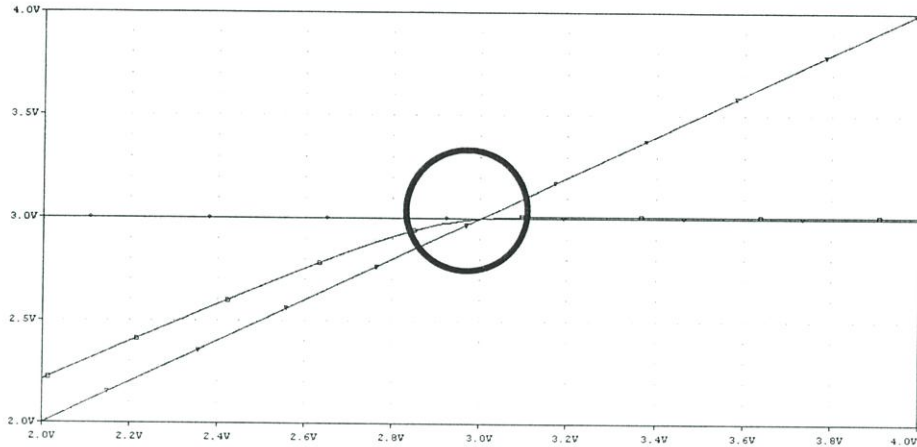
(ข)

รูปที่ 3.13 แสดงผลต่างแรงดันอินพุทของวงจรหาค่าสูงสุดชนิด 2 อินพุท

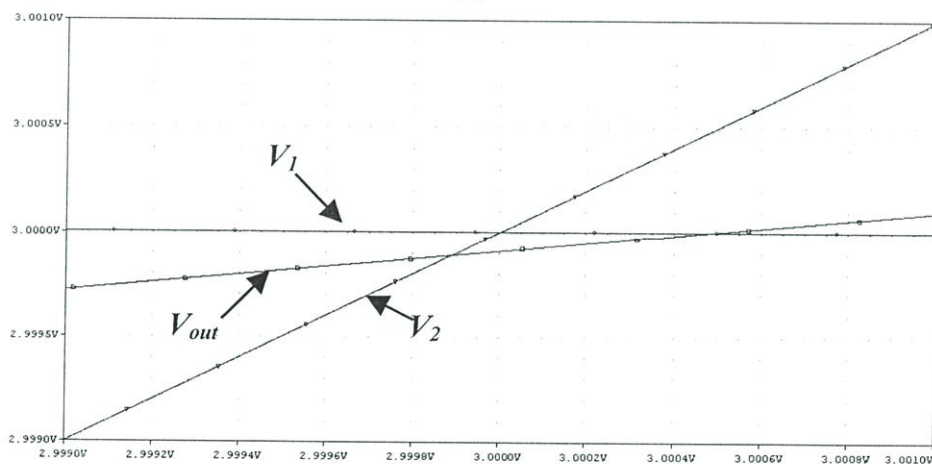
(ก) จุดตัดระหว่างแรงดันอินพุท V_1 , V_2 และแรงดันเอาต์พุท

(ข) ภาพขยายของจุดตัด

จากรูปที่ 3.13(ข) ซึ่งแสดงรายละเอียดของภาพขยายจุดตัดของวงจรหาค่าสูงสุดชนิด 2 อินพุท จะเห็นว่าแรงดันเอาต์พุทที่ได้จะคลาดเคลื่อนไปเนื่องจากแรงดันออฟเซตของอปแอมป์ [14] ที่เกิดขึ้นในวงจรซึ่งมีค่าประมาณ 0.1 มิลลิโวลต์



(ก)



(ข)

รูปที่ 3.14 ผลต่างแรงดันอินพุทของวงจรหาค่าต่ำสุดชนิด 2 อินพุท

(ก) จุดตัดระหว่างแรงดันอินพุท V_1 , V_2 และแรงดันเอาต์พุท

(ข) ภาพขยายของจุดตัด

จากรูปที่ 3.14(ข) สามารถหาค่าผลต่างของแรงดันอินพุท V_1 , V_2 ที่น้อยที่สุดที่วงจรหาค่าต่ำสุดชนิด 2 อินพุทสามารถทำงานได้มีค่าเท่ากับ 0.5 มิลลิโวลต์

3.6 บทสรุป

วงจรที่ได้กล่าวถึงในบทนี้เป็นการนำเสนอวงจรย่อยที่ใช้ในวิทยานิพนธ์นี้ ซึ่งได้แก่วงจรหาค่าสูงสุดชนิด 2 อินพุต และวงจรหาค่าต่ำสุดชนิด 2 อินพุต โดยวงจรประกอบด้วย ออปแอมป์ ต่อกับ ไดโอด และตัวต้านทาน วงจรที่ได้ทำการออกแบบสามารถยืนยันถึงสมรรถนะการทำงานของวงจร โดยการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE พบว่าวงจรสามารถทำงานได้ถูกต้อง แม่นยำ และสอดคล้องเป็นไปตามหลักการที่ได้นำเสนอ เพื่อนำไปใช้ในการออกแบบเป็นวงจรเรียงลำดับสัญญาณอนาล็อกในโหมคัสกคา ซึ่งจะกล่าวถึงในบทที่ 4 ต่อไป

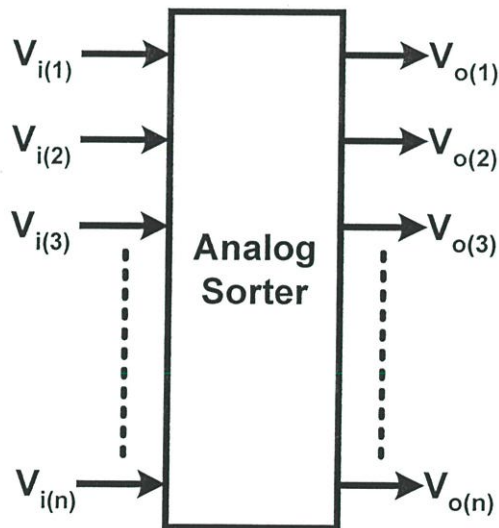
บทที่ 4

วงจรเรียงลำดับสัญญาณอนาลอกโหมดศักดา

4.1 บทนำ

ในบทนี้จะกล่าวถึงหลักการเรียงลำดับสัญญาณที่ใช้ในวิทยานิพนธ์ฉบับนี้ และการนำวงจรย่อยที่ได้กล่าวมาแล้วในบทที่ 3 ได้แก่วงจรหาค่าสูงสุดชนิด 2 อินพุต และวงจรหาค่าต่ำสุดชนิด 2 อินพุต มาทำการพัฒนาออกแบบเป็นวงจรเรียงลำดับสัญญาณอนาลอกโหมดศักดาชนิด 2 อินพุต และนำหลักการเดียวกันนี้มาทำการออกแบบวงจรเรียงลำดับสัญญาณชนิด 4 อินพุต โดยจะเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE เพื่อทดสอบสมรรถนะการทำงานของวงจรเรียงลำดับสัญญาณทั้งชนิด 2 อินพุต และ ชนิด 4 อินพุตที่ได้ทำการออกแบบขึ้น

4.2 หลักการเรียงลำดับสัญญาณที่ใช้ในวิทยานิพนธ์

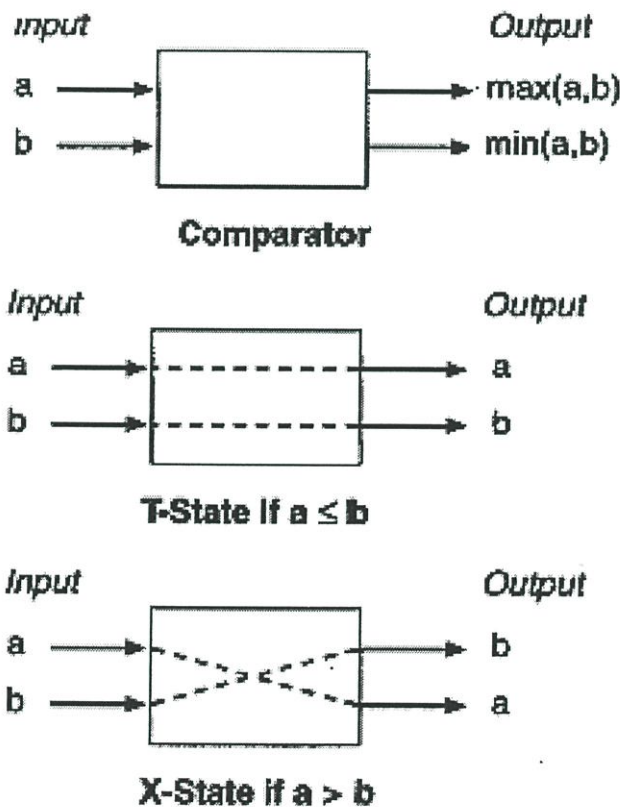


รูปที่ 4.1 บล็อกไดอะแกรมของวงจรเรียงลำดับสัญญาณ

หลักการของการออกแบบวงจรเรียงลำดับสัญญาณที่ใช้ในวิทยานิพนธ์ฉบับนี้ จะเป็นการออกแบบวงจรเรียงลำดับสัญญาณที่ทำงานในโหมดของศักดา โดยจะเรียงลำดับสัญญาณที่เป็นสัญญาณแบบอนาลอก โครงสร้างของวงจรแสดงได้ดังรูปที่ 4.1 จากรูปจะให้ $V_{i(1)}$, $V_{i(2)}$, $V_{i(3)}$, ..., $V_{i(n)}$ เป็นสัญญาณแรงดันอินพุตที่ป้อนเข้าไปในวงจรเรียงลำดับสัญญาณอนาลอก (Analog Sorter)

และ $V_{O(1)}, V_{O(2)}, V_{O(3)}, \dots, V_{O(n)}$ เป็นสัญญาณแรงดันเอาต์พุตที่เรียงลำดับสัญญาณของสัญญาณแรงดันอินพุตที่มีค่ามากกว่าไปหาสัญญาณแรงดันอินพุตที่มีค่าน้อยกว่าตามลำดับ

วิธีการที่ใช้ในกระบวนการของการเรียงลำดับสัญญาณ จะอาศัยหลักการเปรียบเทียบสัญญาณ (Comparator) เป็นหลัก [15] ซึ่งหลักการเปรียบเทียบสัญญาณอินพุตที่เข้ามานี้จะต้องเปรียบเทียบสัญญาณอินพุตที่มีค่ามากกว่าไปหาสัญญาณอินพุตที่มีค่าน้อยกว่า รูปที่ 4.2 แสดงหลักการของการเปรียบเทียบสัญญาณโดยกำหนดให้ a, b เป็นสัญญาณอินพุตที่เข้ามาในบล็อกของการเปรียบเทียบสัญญาณ สัญญาณเอาต์พุตที่ได้จากการเปรียบเทียบสัญญาณนี้จะได้ออกมาสองลักษณะคือ แรงดันอินพุตที่มีค่ามากกว่าจะไปปรากฏที่จุด $\max(a,b)$ ส่วนสัญญาณอินพุตที่มีค่าน้อยกว่าจะไปปรากฏที่จุด $\min(a,b)$



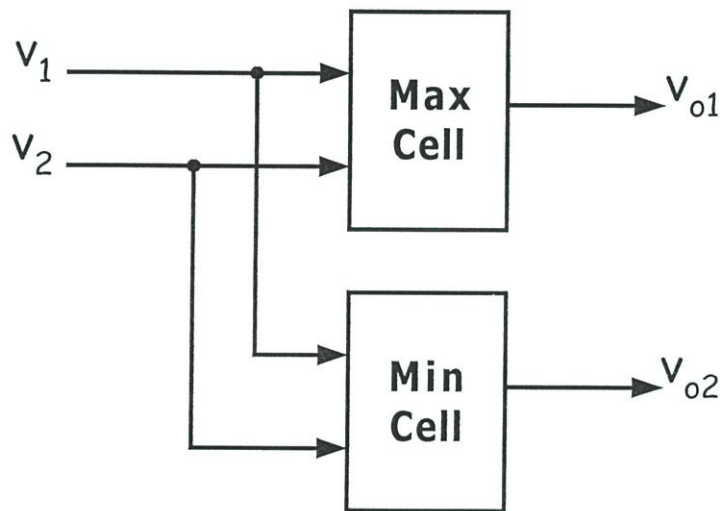
รูปที่ 4.2 หลักการเปรียบเทียบสัญญาณ (Comparator)

จากหลักการเรียงลำดับสัญญาณที่อธิบายข้างต้น หลักการที่ใช้ในการเรียงลำดับสัญญาณอนาล็อกในโหมดคักดาจะอาศัยการเปรียบเทียบค่าสัญญาณอินพุตที่เข้ามา ดังนั้นในหัวข้อถัดไปจะกล่าวถึงวงจรที่ใช้ในการเปรียบเทียบสัญญาณ ซึ่งได้แก่วงจรเรียงลำดับสัญญาณชนิด 2 อินพุต

4.3 วงจรเรียงลำดับสัญญาณอนาลอกโหมดศักดาชนิด 2 อินพุท

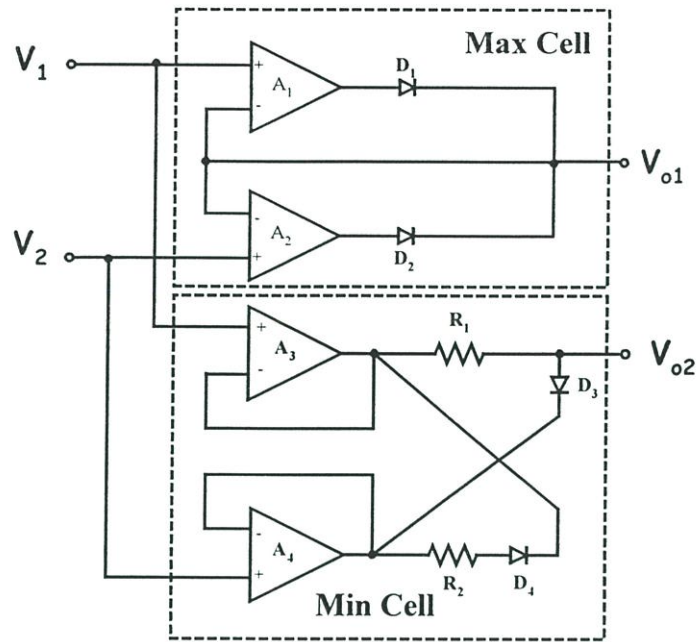
4.3.1 หลักการออกแบบวงจร

หลักการออกแบบวงจรเรียงลำดับสัญญาณชนิด 2 อินพุท แสดงในรูปที่ 4.3 จากรูปวงจรจะประกอบด้วยวงจรหาค่าสูงสุดชนิด 2 อินพุท (Max cell) และวงจรหาค่าต่ำสุดชนิด 2 อินพุท (Min cell) มาต่อขนานกัน โดยกำหนดให้ V_1 , V_2 เป็นแรงดันอินพุท V_{o1} เป็นแรงดันเอาต์พุทสูงสุด และ V_{o2} เป็นแรงดันเอาต์พุทต่ำสุด [16]



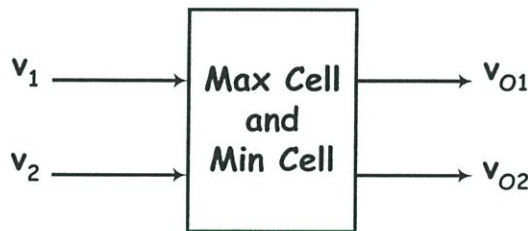
รูปที่ 4.3 การออกแบบวงจรเรียงลำดับสัญญาณอนาลอกโหมดศักดาชนิด 2 อินพุท

หลักการทำงานของวงจรเรียงลำดับสัญญาณชนิด 2 อินพุทจะเป็นการเปรียบเทียบค่าสัญญาณอินพุทที่เข้ามากล่าวคือ เมื่อป้อนสัญญาณแรงดันอินพุท V_1 ให้มีค่ามากกว่าแรงดันอินพุท V_2 แรงดันเอาต์พุทสูงสุดที่ได้ ณ จุด V_{o1} จะเท่ากับแรงดันอินพุท V_1 ในขณะเดียวกันแรงดันเอาต์พุทต่ำสุดที่ได้ ณ จุด V_{o2} จะเท่ากับแรงดันอินพุท V_2 ทำนองเดียวกัน ถ้าให้แรงดันอินพุท V_2 มีค่ามากกว่าแรงดันอินพุท V_1 แรงดันเอาต์พุทสูงสุดที่ได้ ณ จุด V_{o1} จะเท่ากับแรงดันอินพุท V_2 ในขณะเดียวกันแรงดันเอาต์พุทต่ำสุดที่ได้ ณ จุด V_{o2} จะเท่ากับแรงดันอินพุท V_1



รูปที่ 4.4 วงจรเรียงลำดับสัญญาณชนิด 2 อินพุต

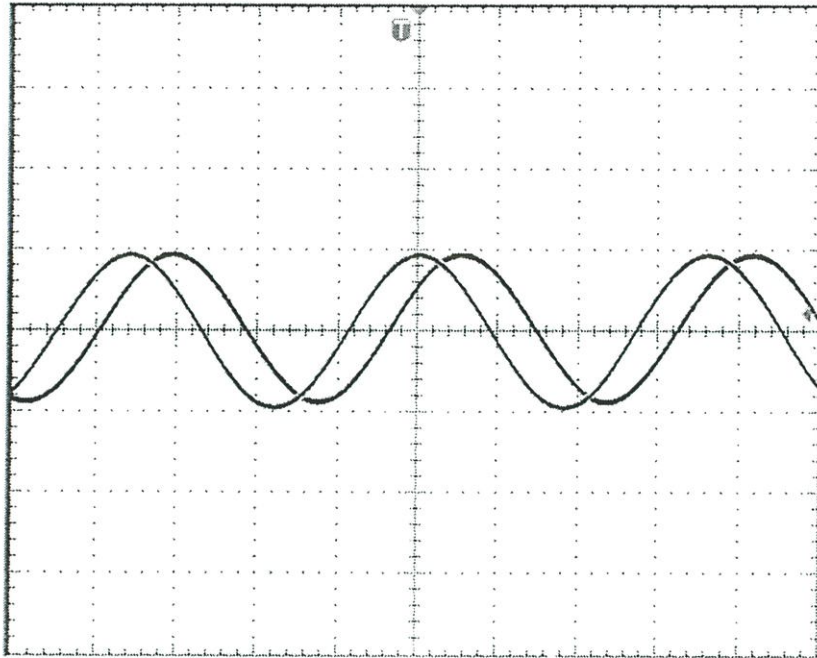
ในรูปที่ 4.4 แสดงการต่อวงจรเรียงลำดับสัญญาณอนาล็อกโหมดศัคดาชนิด 2 อินพุต โดยสัญลักษณ์แทนวงจรเรียงลำดับสัญญาณชนิด 2 อินพุตนี้แสดงในรูปที่ 4.5



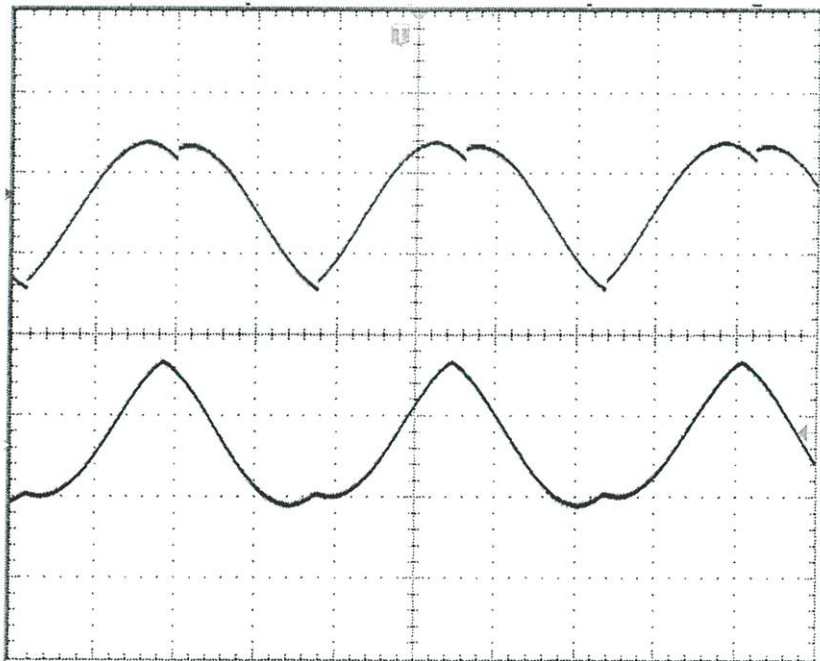
รูปที่ 4.5 สัญลักษณ์ของวงจรเรียงลำดับสัญญาณชนิด 2 อินพุต

4.3.2 ผลการทดลองและผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE

จากวงจรเรียงลำดับสัญญาณอนาลอกชนิด 2 อินพุตที่ได้นำเสนอในรูปที่ 4.4 ได้ทำการทดสอบสมรรถนะการทำงานของวงจร โดยการทดลองต่อวงจรโดยใช้ชิปแอมป์เบอร์ AD741 , ไดโอดเบอร์ 1N4148 และตัวต้านทานขนาด $10k\Omega$ มาต่อกันบนโปรโตบอร์ด ป้อนแรงดันไฟจ่ายให้กับวงจร $V_{DD} = \pm 15V$ ป้อนสัญญาณแรงดันอินพุต V_1, V_2 เป็นสัญญาณคลื่นรูปซายน์ที่มีความถี่ 1kHz และแอมพลิจูดขนาด $10V_{pp}$ โดยให้สัญญาณอินพุตทั้งสองมีมุมเฟสต่างกัน 45° ซึ่งผลการทดลองการทำงานของวงจรที่ได้แสดงในรูปที่ 4.6



(ก)



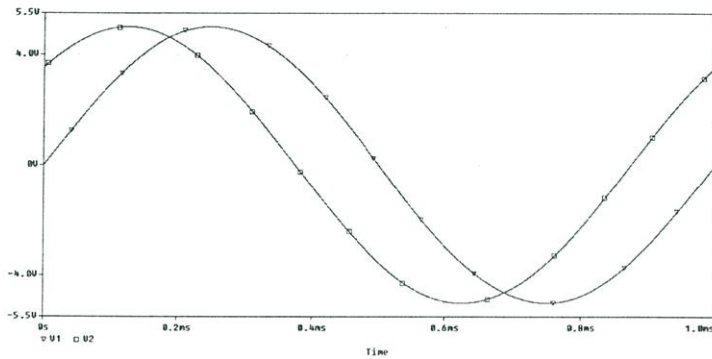
(ข)

รูปที่ 4.6 ผลการทดลองของวงจรเรียงลำดับสัญญาณชนิด 2 อินพุต

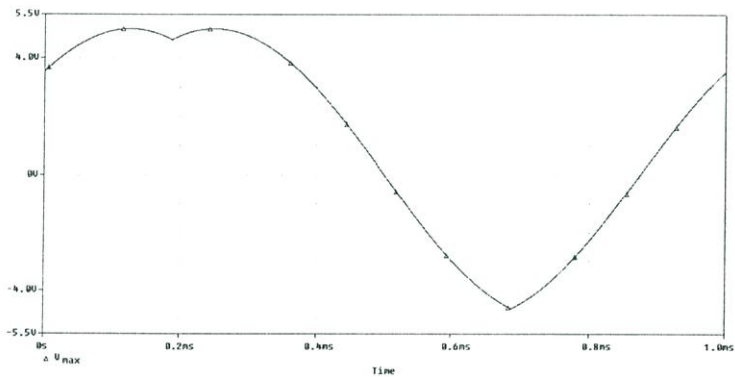
(ก) แรงดันอินพุตที่เป็นสัญญาณไซน์ความถี่ 1 kHz ขนาด $10V_{pp}$

(ข) แรงดันเอาต์พุตที่มีค่าสูงสุด และต่ำสุด

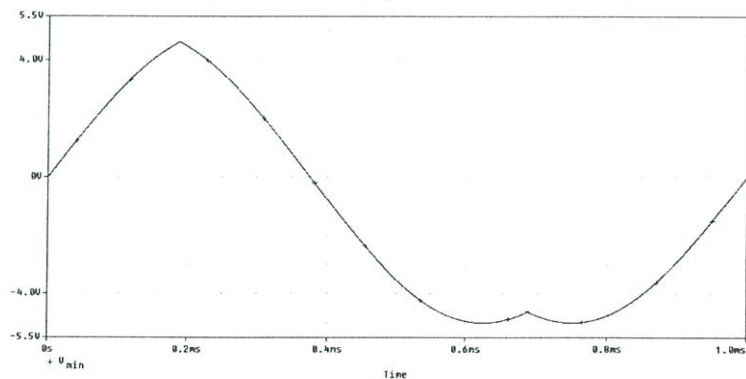
เพื่อยืนยันถึงสมรรถนะการทำงานของวงจรอีกครั้ง ได้เขียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE โดยป้อนแรงดันอินพุต V_1 , V_2 เป็นสัญญาณคลื่นรูปไซน์ที่มีความถี่ 1kHz และมีแอมพลิจูดขนาด 5V โดยสัญญาณอินพุตมีมุมเฟสต่างกัน 45° ซึ่งผลที่ได้จากการเขียนแบบการทำงานของวงจรแสดงได้ดังรูปที่ 4.7



(ก)



(ข)



(ค)

รูปที่ 4.7 ผลการเขียนแบบการทำงานของวงจรเรียงลำดับสัญญาณชนิด 2 อินพุต

(ก) แรงดันอินพุตที่เป็นสัญญาณไซน์ความถี่ 1 kHz ขนาด 5V

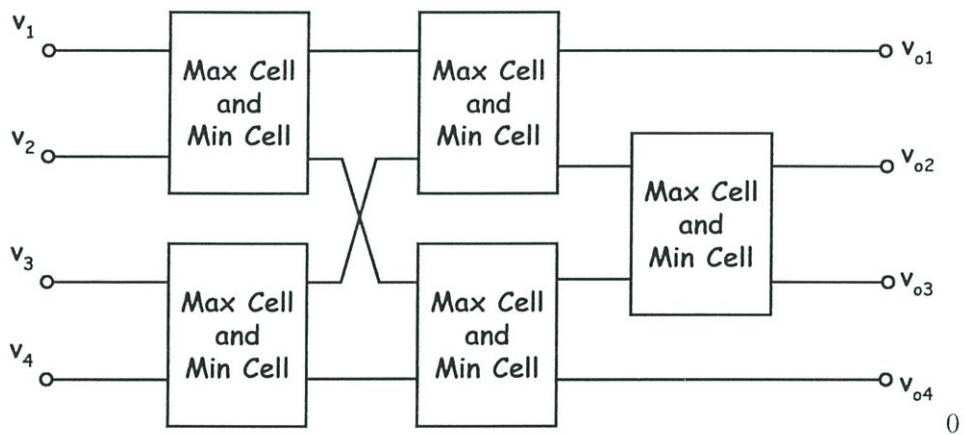
(ข) แรงดันเอาต์พุตที่มีค่าสูงสุด

(ค) แรงดันเอาต์พุตที่มีค่าต่ำสุด

4.4 วงจรเรียงลำดับสัญญาณอนาล็อกโหมดศักดาชนิด 4 อินพุต

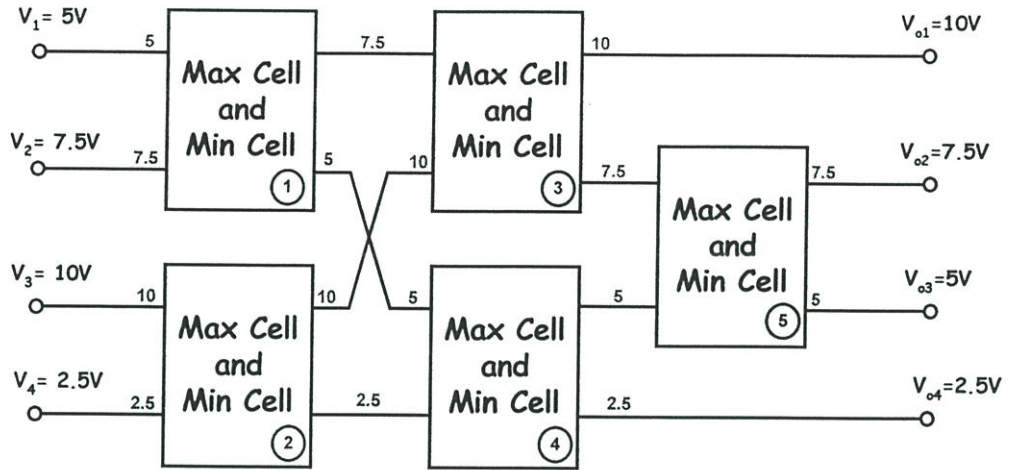
4.4.1 หลักการออกแบบวงจร

จากรูปที่ 4.8 แสดงการออกแบบวงจรเรียงลำดับสัญญาณชนิด 4 อินพุต ซึ่งบล็อกไดอะแกรมของวงจรเรียงลำดับสัญญาณชนิด 4 อินพุตนี้จะประกอบด้วย Max Cell และ Min Cell จำนวน 5 ชุด โดยให้ V_1, V_2, V_3, V_4 คือสัญญาณอินพุตที่เข้ามา และ $V_{O1}, V_{O2}, V_{O3}, V_{O4}$ คือสัญญาณเอาต์พุตที่ได้ หลักการทำงานของวงจรจะใช้หลักการเปรียบเทียบสัญญาณอินพุตที่เข้ามาในแต่ละบล็อกไดอะแกรมของ Max Cell และ Min Cell โดยสัญญาณเอาต์พุตที่ได้สามารถจะเรียงลำดับสัญญาณอินพุตจากสัญญาณอินพุตที่มีค่ามากกว่าไปหาสัญญาณอินพุตที่มีค่าน้อยกว่าได้ตามลำดับ



รูปที่ 4.8 การออกแบบวงจรเรียงลำดับสัญญาณอนาล็อกโหมดศักดาชนิด 4 อินพุต

รูปที่ 4.9 แสดงตัวอย่างของการเรียงลำดับสัญญาณโดยใช้หลักการทำงานของวงจรเรียงลำดับสัญญาณชนิด 4 อินพุตที่ได้ทำการออกแบบ จากตัวอย่างเมื่อให้สัญญาณอินพุต V_1, V_2, V_3 และ V_4 มีค่าเท่ากับ 5V, 7.5V, 10V และ 2.5V ตามลำดับ เมื่อทำการเปรียบเทียบสัญญาณอินพุตที่เข้ามาในแต่ละบล็อกไดอะแกรมของวงจรเรียงลำดับสัญญาณชนิด 4 อินพุต สัญญาณเอาต์พุตสุดท้ายที่ได้สามารถที่จะเรียงลำดับสัญญาณอินพุตที่มีค่ามากกว่าไปหาสัญญาณอินพุตที่มีค่าน้อยกว่าได้อย่างถูกต้อง กล่าวคือ V_{O1}, V_{O2}, V_{O3} และ V_{O4} มีค่าเท่ากับ 10V, 7.5V, 5V และ 2.5V ตามลำดับ

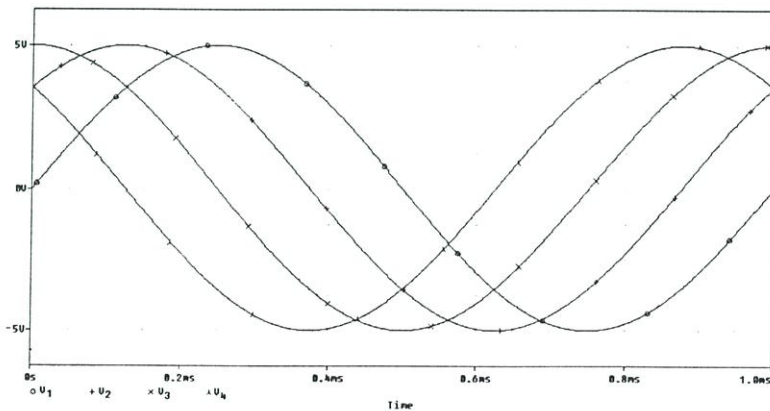


รูปที่ 4.9 ตัวอย่างของการเรียงลำดับสัญญาณชนิด 4 อินพุต

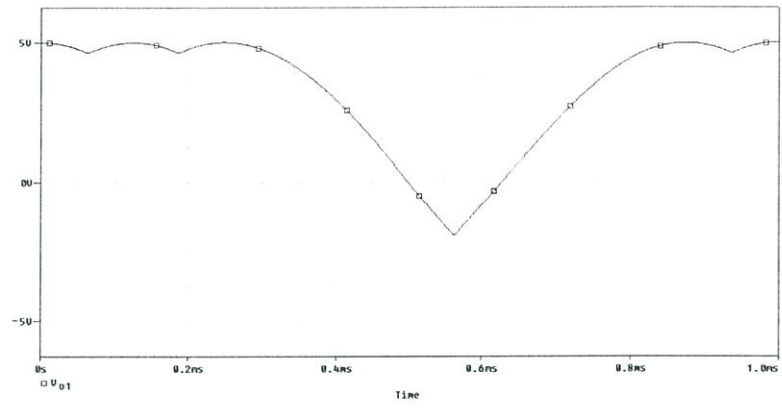
4.4.2 ผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE

จากวงจรเรียงลำดับสัญญาณชนิด 4 อินพุตที่ได้นำเสนอในรูปที่ 4.8 ได้ทำการทดสอบสมรรถนะการทำงานของวงจร โดยจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้ ออปแอมป์เบอร์ AD741 และไดโอดเบอร์ 1N4148 กำหนดให้ $V_{DD} = \pm 15V$ และตัวต้านทานขนาด $10k\Omega$

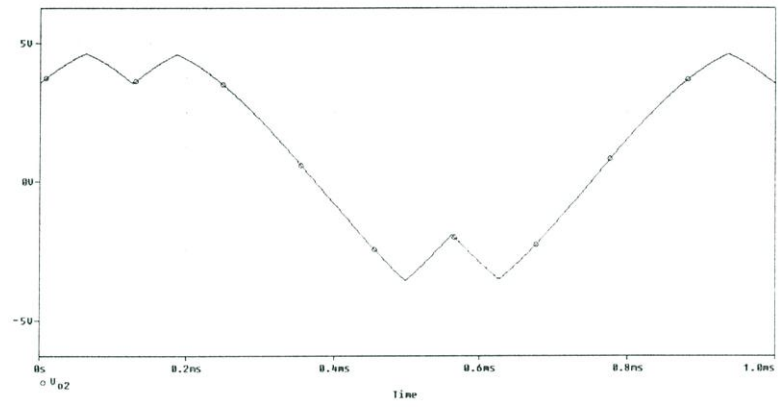
ผลการเลียนแบบการทำงานของวงจรเรียงลำดับสัญญาณชนิด 4 อินพุต เมื่อป้อนแรงดันอินพุต V_1, V_2, V_3, V_4 เป็นสัญญาณคลื่นรูปซายน์ที่มีความถี่ 1kHz และมีแอมพลิจูดขนาด 5V โดยสัญญาณอินพุตทั้ง 4 อินพุตมีมุมเฟสต่างกัน คือ $0^\circ, 45^\circ, 90^\circ, 135^\circ$ ตามลำดับซึ่งผลที่ได้จากการเลียนแบบการทำงานของวงจรแสดงได้ดังรูปที่ 4.10



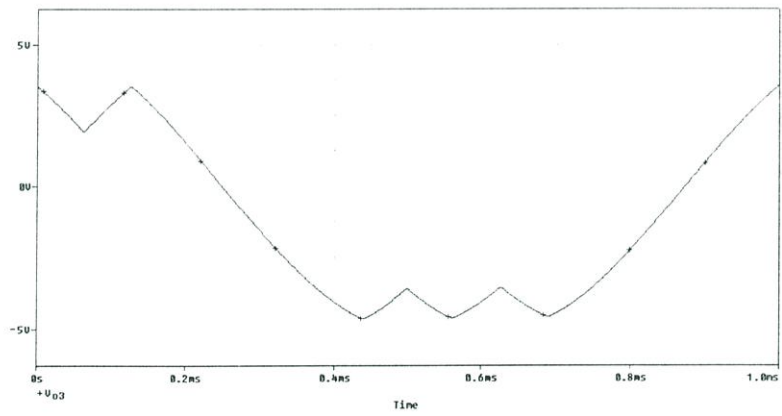
(ก)



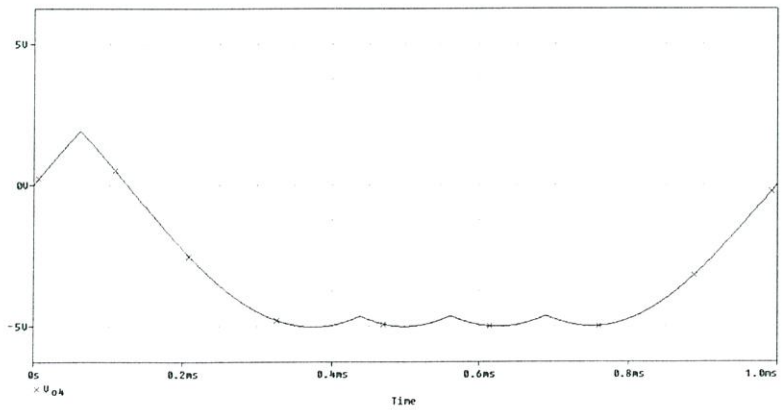
(ก)



(ข)



(ค)

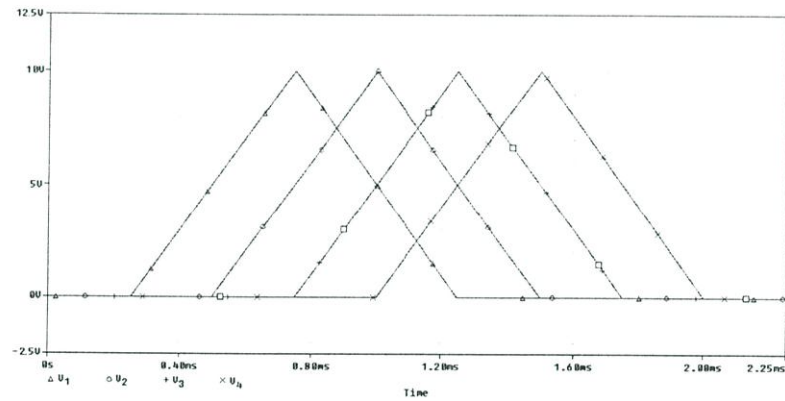


(ง)

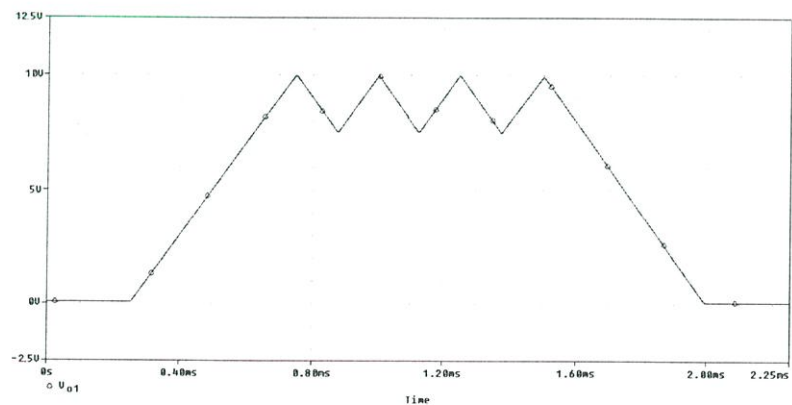
รูปที่ 4.10 ผลการเปลี่ยนแปลงการทำงานของวงจรเรียงลำดับสัญญาณชนิด 4 อินพุต

- (ก) แรงดันอินพุตที่เป็นสัญญาณคลื่นไซน์ความถี่ 1kHz
- (ข) สัญญาณแรงดันเอาต์พุต V_{o1}
- (ค) สัญญาณแรงดันเอาต์พุต V_{o2}
- (ง) สัญญาณแรงดันเอาต์พุต V_{o3}
- (จ) สัญญาณแรงดันเอาต์พุต V_{o4}

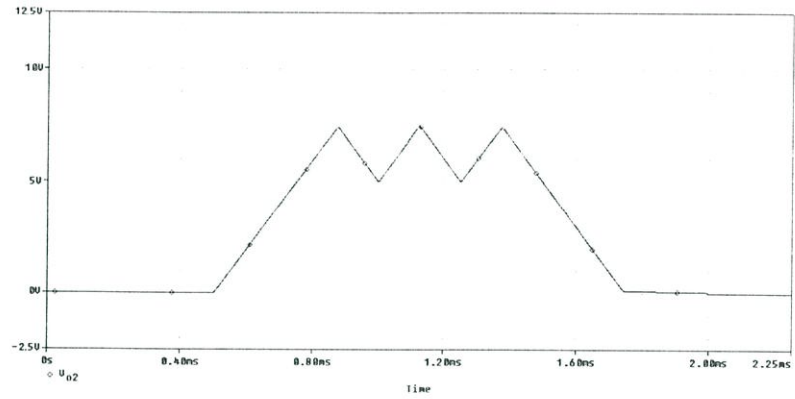
รูปที่ 4.11 แสดงผลการเปลี่ยนแปลงการทำงานของวงจรเรียงลำดับสัญญาณชนิด 4 อินพุต เมื่อป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีคาบเวลา 1ms



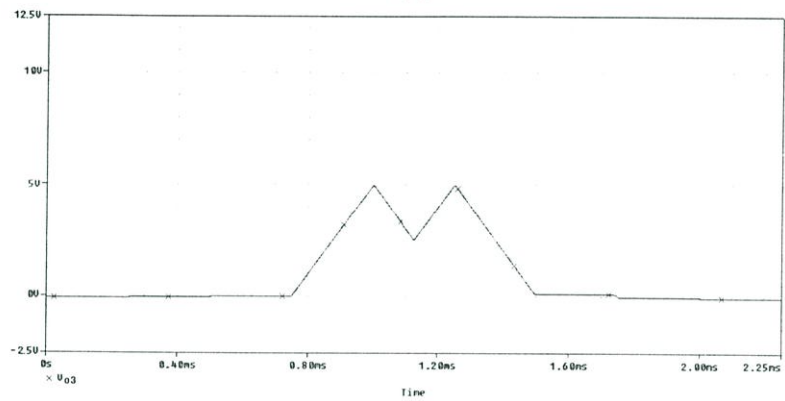
(ก)



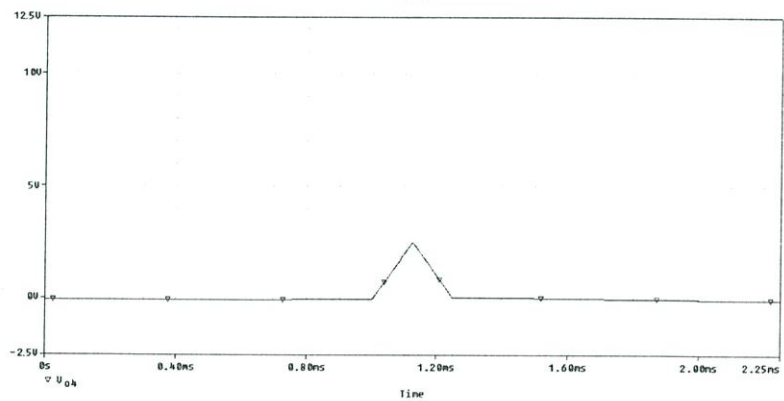
(จ)



(ก)



(ข)



(ค)

รูปที่ 4.11 ผลการเขียนแบบการทำงานของวงจรเรียงลำดับสัญญาณชนิด 4 อินพุท

(ก) แรงดันอินพุทที่เป็นสัญญาณรูปสามเหลี่ยม คาบเวลา 1ms

(ข) สัญญาณแรงดันเอาต์พุท V_{o1}

(ค) สัญญาณแรงดันเอาต์พุท V_{o2}

(ง) สัญญาณแรงดันเอาต์พุท V_{o3}

(จ) สัญญาณแรงดันเอาต์พุท V_{o4}

4.5 บทสรุป

เนื้อหาในบทนี้จะเป็นการกล่าวถึงการออกแบบวงจรเรียงลำดับสัญญาณอนาล็อกในโหมด คัทดาชนิด 2 อินพุท และวงจรเรียงลำดับสัญญาณชนิด 4 อินพุท ซึ่งวงจรจะประกอบด้วยวงจรถ้าค่า สูงสุดชนิด 2 อินพุท และวงจรถ้าค่าต่ำสุดชนิด 2 อินพุทเป็นหลัก ผลจากการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE สามารถยืนยันได้ว่าวงจรสามารถทำงานได้อย่างถูกต้อง เป็นไปตามหลักการที่ได้นำเสนอ

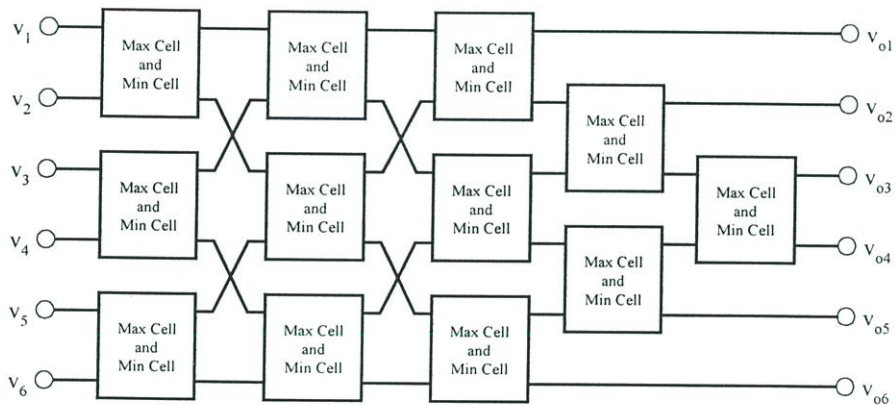
บทที่ 5

การประยุกต์ใช้งาน

5.1 บทนำ

วงจรเรียงลำดับสัญญาณ (Sorter) เป็นวงจรที่สำคัญวงจรหนึ่งที่ใช้ในกระบวนการประมวลผลสัญญาณ ซึ่งมีการประยุกต์ใช้งานอย่างกว้างขวางในด้านการประมวลผลสัญญาณแบบไม่เป็นเชิงเส้น ได้แก่ การประมวลผลสัญญาณเสียง, การประมวลผลสัญญาณภาพ และอื่นๆอีกเป็นจำนวนมาก ดังนั้นเนื้อหาในบทนี้ จะเป็นการนำวงจรเรียงลำดับสัญญาณอนาลอกโหมคัสคคาที่พัฒนาขึ้นมาประยุกต์ให้เป็นวงจรเรียงลำดับสัญญาณแบบหลายอินพุต (n-input) เพื่อใช้งานในโครงข่ายเรียงลำดับสัญญาณ (Sorting Network) [17-18] รวมไปถึงการวิเคราะห์หาเวลาที่ใช้ในการเรียงลำดับสัญญาณ พร้อมทั้งยกตัวอย่างของการนำวงจรเรียงลำดับสัญญาณไปประยุกต์ใช้งานในระบบต่างๆ

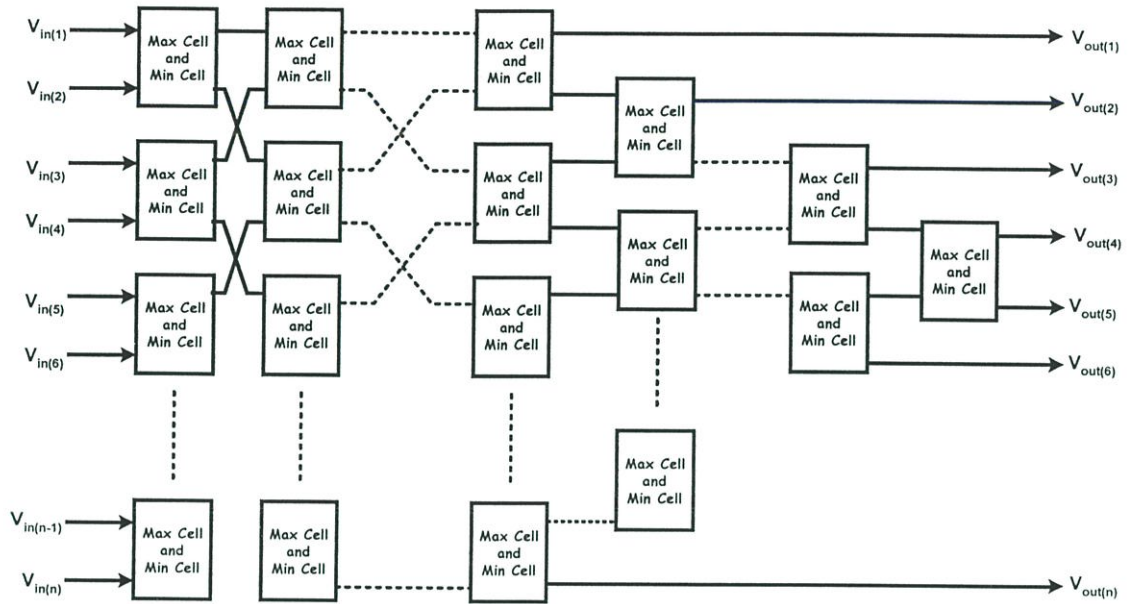
5.2 หลักการออกแบบวงจรเรียงลำดับสัญญาณชนิด n อินพุต



รูปที่ 5.1 วงจรเรียงลำดับสัญญาณชนิด 6 อินพุต

หลักการออกแบบวงจรเรียงลำดับสัญญาณชนิด 6 อินพุต แสดงได้ดังรูปที่ 5.1 จากรูปจะได้วงจรเรียงลำดับสัญญาณชนิด 6 อินพุตที่ประกอบด้วย Max Cell และ Min Cell จำนวน 12 ชุด โดยกำหนดให้ V_1, V_2, V_3, V_4, V_5 และ V_6 คือสัญญาณอินพุตที่เข้ามา และ $V_{01}, V_{02}, V_{03}, V_{04}, V_{05}$ และ V_{06} คือสัญญาณเอาต์พุตที่ได้ หลักการทำงานของวงจรจะใช้หลักการเปรียบเทียบสัญญาณอินพุตที่เข้ามาในแต่ละบล็อกไดอะแกรมของ Max Cell และ Min Cell โดยสัญญาณ

เอาท์พุทที่ได้สามารถที่จะเรียงลำดับสัญญาณอินพุทจากสัญญาณอินพุทที่มีค่ามากกว่าไปหาสัญญาณอินพุทที่มีค่าน้อยกว่าได้ตามลำดับ



รูปที่ 5.2 รูปแบบการต่อวงจรเรียงลำดับสัญญาณชนิด n อินพุท

การประยุกต์ใช้งานวงจรเรียงลำดับสัญญาณชนิด 2 อินพุทให้เป็นวงจรเรียงลำดับสัญญาณชนิด n อินพุทนั้น จะอาศัยหลักการต่อวงจรซึ่งแสดงดังรูปที่ 5.2 จากรูปสัญญาณแรงดันอินพุท V_{in1} , V_{in2} จะเข้าที่ บล็อกของ Max Cell และ Min Cell ที่ 1 สัญญาณแรงดันอินพุท V_{in3} , V_{in4} จะเข้าที่ บล็อกของ Max Cell และ Min Cell ที่ 2 สัญญาณแรงดันอินพุท V_{in5} , V_{in6} จะเข้าที่ บล็อกของ Max Cell และ Min Cell ที่ 3 เรียงลงไปจนถึงสัญญาณแรงดันอินพุท $V_{in(n-1)}$, $V_{in(n)}$ ตามลำดับ ซึ่งจะสังเกตได้ว่าสัญญาณแรงดันอินพุทที่ใช้ในการออกแบบวงจรนี้เป็นจำนวนคู่เสมอ ดังนั้นในการออกแบบวงจรเรียงลำดับสัญญาณชนิด n อินพุท จึงสามารถหาความสัมพันธ์ระหว่างจำนวนอินพุทกับจำนวนบล็อกของ Max Cell และ Min Cell ได้ดังสมการ

$$T(n) = (n/2)^2 + (n/2)(n/2-1)/2 \tag{5.1}$$

โดยกำหนดให้ n หมายถึง จำนวนอินพุท

$T(n)$ หมายถึง จำนวน Max Cell และ Min Cell

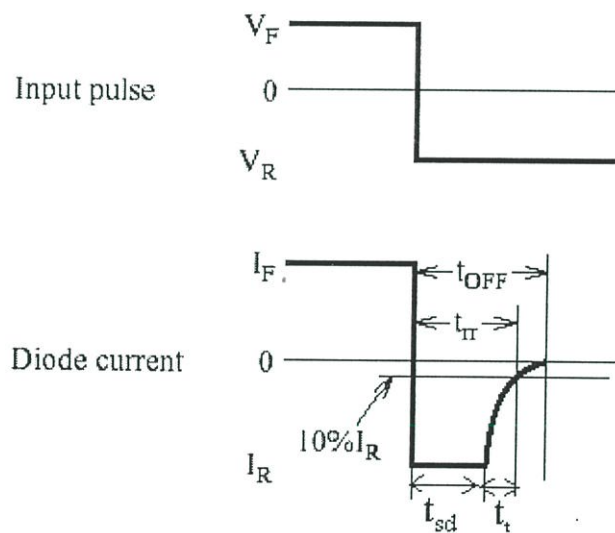
ตัวอย่างของความสัมพันธ์ระหว่างจำนวนอินพุตและจำนวนของ Max Cell และ Min Cell ที่ใช้ในการออกแบบวงจรเรียงลำดับสัญญาณแสดงได้ดังตารางที่ 5.1

ตารางที่ 5.1 ความสัมพันธ์ระหว่างจำนวนอินพุต และจำนวน Max Cell และ Min Cell

จำนวนอินพุต	4	6	8	10	12	14	16	18	20
Max Cell & Min Cell	5	12	22	35	51	70	92	117	145

5.3 เวลาที่ใช้ในการเรียงลำดับสัญญาณ

ช่วงเวลาในการเรียงลำดับสัญญาณของวงจรมัน จะขึ้นอยู่กับเวลาในการสวิตช์ของไดโอดเป็นหลักแสดงในรูปที่ 5.3 โดยปกติไดโอดจะมีความเร็วในการสวิตช์อยู่ในหน่วยของ 10^{-9} วินาที (นาโนวินาที) ซึ่งขึ้นอยู่กับคุณสมบัติเฉพาะตัวของไดโอดนั้นๆ การทำงานในลักษณะของสวิตช์จะมีค่าของเวลาที่เป็นตัวจำกัดความเร็วในการทำงานอยู่ด้วยกัน 3 ค่า



รูปที่ 5.3 แสดงความสัมพันธ์ของเวลา

1. t_{sd} (turnoff storage delay time) เป็นเวลาล่าช้าเนื่องจากผลของการตอบสนองการทำงานของวงจร คือช่วงเวลาที่เริ่มพัลส์ของสัญญาณจุดเข้าจนกระทั่งวงจรเริ่มตอบสนองการทำงานให้สัญญาณจุดออก เป็นเวลาที่วงจรยังจ่ายสัญญาณจุดออกอยู่ในขณะที่สิ้นสุดพัลส์ของสัญญาณจุดเข้า

2. t_t (turnoff transition time) เป็นเวลาที่วงจรใช้ในการตอบสนองการเปลี่ยนแปลงของระดับสัญญาณจุดเข้าในช่วงขอบขาขึ้น (Transient Response) เป็นช่วงเวลานับจากการเปลี่ยนแปลงระดับของสัญญาณจุดออกจาก 10% ถึง 90%
3. t_r (recovery time) เป็นเวลาที่ไดโอดใช้ทั้งหมดในการสวิตช์ จากรูปที่ 5.3 จะเห็นว่าช่วงเวลาที่รีโควอร์รี่จะเป็นผลรวมของช่วงเวลาสะสม (storage delay time) และช่วงเวลาทรานซิชัน (transition time) นั่นเอง

ลักษณะการทำงานของไดโอดเป็นสวิตช์คือ ถ้าศักดาไฟฟ้าทางด้านแอนโอดเป็นบวกเมื่อเทียบกับคาโทด ไดโอดจะปิดสวิตช์ สถานะการทำงานของไดโอดลักษณะนี้ เรียกว่า ไดโอดอยู่ในสถานะนำกระแส หรือไบอัสตรง (Forward Bias) ในทางตรงกันข้าม ถ้าศักดาไฟฟ้าทางด้านแอนโอดเป็นลบเมื่อเทียบกับคาโทด ไดโอดจะเปิดสวิตช์ สถานะการทำงานของไดโอดลักษณะนี้เรียกว่า ไดโอดอยู่ในสถานะหยุดนำกระแส หรือไบอัสกลับ (Reverse Bias)

ช่วงเวลาสะสม (storage delay time) นี้เป็นช่วงเวลาที่นับตั้งแต่การเริ่มทำให้ไดโอดหยุดนำกระแสจนถึงช่วงที่กระแสลดลงมาเหลือเพียง 90% ของค่ากระแสย้อนกลับอิมิตัว ซึ่งเป็นผลมาจากการสะสมประจุเมื่อไดโอดอยู่ในสถานะอิมิตัวในขณะที่มีการไบอัสตรง ส่วนของประจุที่สะสมที่บริเวณรอยต่อ (pn junction) เมื่อทำให้ไดโอดหยุดนำกระแสอย่างทันทีทันใดนั้น ประจุส่วนนี้ยังคงเหลืออีกเล็กน้อย ซึ่งขึ้นอยู่กับกระแสไบอัสที่ให้กับไดโอด โดยมีความสัมพันธ์ของเวลาและกระแสไบอัสไดโอด (ภาคผนวก ค) เป็นดังสมการ

$$t_{sd} = \tau_p \ln \left(1 + \frac{I_F}{I_R} \right) \quad (5.2)$$

τ_p เป็น carrier lifetime, I_F เป็นกระแสไบอัสตรง และ I_R เป็นกระแสไบอัสกลับของไดโอด

ส่วนช่วงเวลาทรานซิชัน (transition time) เป็นช่วงเวลาขาขึ้นจะนับต่อมาจากกระทั่งกระแสไดโอดลดลงมาเหลือเพียง 10% ของกระแสย้อนกลับอิมิตัว ซึ่งเป็นผลของเวลาที่ใช้ในการคายประจุของตัวเก็บประจุที่เก็บอยู่ภายในรอยต่อพีเอ็น (pn junction) ซึ่งมีประจุเก็บไว้ก่อนที่จะมีการไบอัสกลับ โดยมีความสัมพันธ์ของเวลาและตัวเก็บประจุของไดโอดเป็นดังสมการ

$$t_t \approx 2.2R_S C_{j0} \quad (5.3)$$

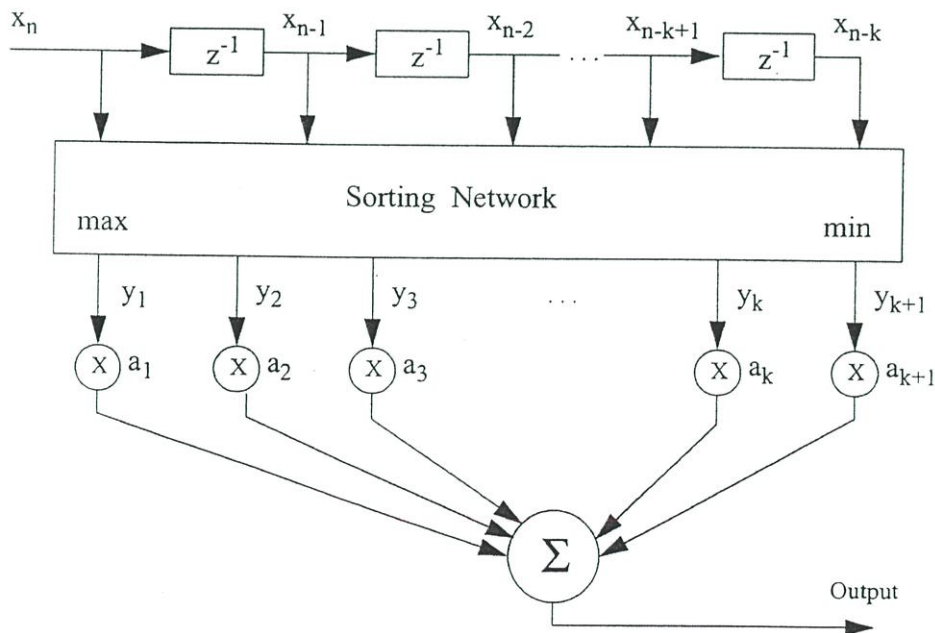
ตัวเลข 2.2 คือค่าคงที่ทางเวลา (time constant) และ C_{j0} คือค่าเฉลี่ยของตัวเก็บประจุในไดโอด

ผลของการใช้ไดโอดเป็นสวิตช์ จะเห็นได้ว่าในขณะที่ไดโอดหยุดนำกระแสค่ากระแสควรจะเป็นกระแสวนกลับอิมิตัวเท่านั้น แต่ปรากฏว่าจะมีกระแสพัลส์ทางด้านไบอัสกลับเกิดขึ้นช่วงเวลาหนึ่งก่อนที่จะกลับสู่สภาวะปกติ ในขณะที่ทำให้ไดโอดเปลี่ยนสถานะจากนำกระแสมาเป็นสภาวะหยุดนำกระแสอย่างทันทีทันใดนั้น จะทำให้กระแสไบอัสกลับสามารถไหลได้ในเวลาสั้นๆ ระยะเวลาที่กระแสไหลได้แล้วคืนตัวมาเป็นค่ากระแสวนกลับอิมิตัวนี้เรียกว่า ช่วงเวลา รีโคเวอรี่ (recovery time) t_r ช่วงเวลารีโคเวอรี่จะประกอบด้วย ช่วงเวลาสะสม (storage delay time) และ transition time โดยมีความสัมพันธ์ของเวลาเป็นดังสมการ

$$t_{rr} = t_{sd} + t_t \quad (5.4)$$

5.4 การประยุกต์ใช้งาน

วงจรเรียงลำดับสัญญาณชนิด n อินพุตที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้ สามารถนำไปประยุกต์ใช้งานเป็นโครงข่ายเรียงลำดับสัญญาณ (Sorting Network) ซึ่งมีการใช้งานอย่างกว้างขวางในด้านการประมวลผลสัญญาณแบบไม่เป็นเชิงเส้น โดยในรูปที่ 5.4 จะเป็นตัวอย่างของการประยุกต์ใช้งานโครงข่ายวงจรเรียงลำดับสัญญาณ ซึ่งใช้ในวงจร median filter ซึ่งมีประโยชน์อย่างมากสำหรับการกำจัดสัญญาณรบกวนบนข้อมูลภาพ [19-20]



รูปที่ 5.4 บล็อกไดอะแกรมของวงจร median filter

5.5 บทสรุป

ในบทนี้จะกล่าวถึง การนำวงจรเรียงลำดับสัญญาณอนาลอกโหมดส์กดาที่ได้ทำการออกแบบขึ้นมาประยุกต์ใช้งานเป็นวงจรเรียงลำดับสัญญาณแบบหลายอินพุท และทำการวิเคราะห์เวลาที่ใช้ในการเรียงลำดับสัญญาณ เพื่อยืนยันถึงสมรรถนะการทำงานของวงจรที่รวดเร็ว ซึ่งเหมาะสมที่จะนำไปพัฒนาเป็นโครงข่ายการเรียงลำดับสัญญาณ (Sorting Network) เพื่อประยุกต์ใช้งานในระบบที่เป็นเวลาจริง (Real-time System) ได้

บทที่ 6

บทส่งท้ายและข้อเสนอแนะแนวทางในการทำวิจัย

6.1 บทส่งท้าย

จากการนำเสนอหลักการ และวิธีการออกแบบวงจรเรียงลำดับสัญญาณในวิทยานิพนธ์นี้เป็นอีกแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาขึ้น บนพื้นฐานของออปแอมป์ในอุดมคติ การทำงานของวงจรจะอยู่ในรูปของสัปดาห์ โดยอาศัยหลักการทำงานของวงจรหาค่าสูงสุดชนิด 2 อินพุต และวงจรหาค่าต่ำสุดชนิด 2 อินพุต เพื่อใช้ในการเปรียบเทียบสัญญาณอินพุตที่เข้ามา เพื่อให้สัญญาณแรงดันเอาต์พุตสามารถเรียงลำดับสัญญาณจากสัญญาณแรงดันอินพุตที่มีค่ามากกว่าไปหาสัญญาณแรงดันอินพุตที่มีค่าน้อยกว่าได้ตามลำดับ ผลการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี และผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE สามารถยืนยันได้ว่าวงจรที่ได้ทำการออกแบบนี้สามารถเรียงลำดับสัญญาณได้อย่างถูกต้อง รวดเร็ว และวิธีการดังกล่าวสามารถนำมาออกแบบเป็นวงจรเรียงลำดับสัญญาณชนิด n อินพุต เหมาะสำหรับนำมาประยุกต์ใช้ในระบบที่เป็นเวลาจริงได้

6.2 ข้อเสนอแนะแนวทางในการทำวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอเกี่ยวกับการออกแบบวงจรเรียงลำดับสัญญาณในอีกรูปแบบหนึ่ง วงจรที่พัฒนาขึ้นนี้จึงเป็นวงจรต้นแบบสามารถที่จะพัฒนางจรให้มีประสิทธิภาพการทำงานที่ดีขึ้นได้โดย

- 1) การปรับปรุงอุปกรณ์ที่ใช้เป็นสวิทช์อิเล็กทรอนิกส์เพื่อลดเวลาที่ใช้ในการสวิทช์การทำงาน โดยการเปลี่ยนจากไดโอด มาเป็นวงจรทรานซิสเตอร์แทน ซึ่งจะส่งผลให้ความเร็วในการทำงานของวงจรสูงขึ้น และวงจรมีความผิดพลาดในการทำงานน้อยลง
- 2) ออกแบบวงจรให้มีผลตอบสนองทางความถี่ที่กว้างขึ้น โดยการเลือกใช้ออปแอมป์ที่มีคุณสมบัติตอบสนองทางความถี่ที่กว้างขึ้น
- 3) ลดจำนวนของบล็อกระบบในการออกแบบเป็นวงจรเรียงลำดับสัญญาณชนิด n อินพุต โดยใช้รูปแบบอื่น เพื่อลดเวลาในการทำงานของวงจรลง และลดค่าความผิดพลาดของวงจรให้น้อยลงได้ด้วยเช่นกัน

เอกสารอ้างอิง

- [1] PJSG Ferreira. 2000. "Sorting Continuous-Time Signals and the Analog Median Filter." IEEE Signal Processing Letters : 281-283.
- [2] C.D. Thompson. 1983. "The VLSI Complexity of Sorting." IEEE Trans.Computers, C-32(12) : 1171-1183.
- [3] A.R. Seigel. 1985. "Minimum Storage Sorting Circuit." IEEE Trans.Computers, C-34(4) : 355-361.
- [4] H.M.Alnuweiri. 1993. "A new class of optimal bounded-degree VLSI sorting network." IEEE Trans.Computers 42(6) : 746-751.
- [5] C.M. Blai. 1996. "Low cost sorting circuit for VLSI." IEEE Trans of Circuits and Systems: Fundamental Theory and Application. vol.43. no.6 : 515-516.
- [6] D.E. Knuth. 1973. The Art of Computer Programming, vol.3: Sorting and Searching, Addison-Wesley, Reading, MA.
- [7] S.G. Akl. 1985. Parallel Sorting Algorithms, Orlando, FL: Academic Press Inc.,
- [8] F.D. Lewis. Sorting network. [Online].
Avialable : <http://cs.engr.uky.edu/~lewis/essays/algorithms/sortnets/sort-net.html>
- [9] Huang C.-Y. and Liu B.-D. 1994. "Current-mode multiple input maximum circuit for fuzzy logic controllers." Electronics Letters , Volume: 30 , Issue: 23 :1924 - 1925.
- [10] Lin Gu and Shi Bingxue. 1998. "A Novel Switched-Current Sorter Based on Magnitude." Solid- State and Integrated Circuit Technology, 1998 Proceedings. 1998 5th International Conference : 393-396.
- [11] Shun-Wen Cheng. 2003. "Arbitrary Long Digit Integer Sorter HW/SW Co-Design." Design Automation Conference, 2003. Proceedings of the ASP-DAC 2003. Asia and South Pacific. : 538-543.
- [12] M.H. Hassoun and A.M. Nabha. 1993. "Implementation of O(n) Complexity Max/Min Circuits for Fuzzy and Connectionist Computing." Proc. Of the IEEE International Conference on Neural Network 1993. vol.2 : 988-1003.
- [13] Howard M. Berlin. 1991. Op-amp circuits and principles, Carmel, IN : SAMS

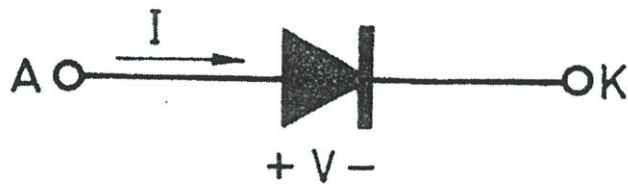
- [14] วรพงศ์ ตั้งศรีรัตน์. 2546. “บล็อกวงจรรวมแอดทีฟสำหรับการสังเคราะห์ฮอนาออก ฟังก์ชันเชิงระบบทำงานในโหมดกระแส.” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- [15] Salloum S.N. and Perrie A.L. 1999. “Fault tolerance analysis of odd-even transposition sorting networks.” *Computers and Signal Processing, 1999 IEEE Pacific Rim Conference.* : 155 – 157.
- [16] I.E. Opris. 1997. “Analog rank extractors.” *IEEE Trans. Circuits Syst.* vol. 44 : 1114–112.
- [17] Giovanni ,Valerio Russo and Marco Russo. 1996. “A Novel Class of Sorting Networks.” *IEEE Trans. Circuits Syst.* vol. 43 : 544–552.
- [18] Iariu S.O. , Pinotti M.C. and Zheng S.Q. 1999. “How to sort N items using a sorting network of fixed I/O size.” *Parallel and Distributed Systems, IEEE Transactions.* : 487 – 499.
- [19] A.C. Bovik, T.S. Huang and D.C. Gallagher, “A generalization of median filtering using linear combinations of order statistics” *IEEE Transactions on Acoustics, Speech, and Signal Processing* , Vol. 31 , Dec 1983, pp.1342 – 1350.
- [20] Y.H Lee and S.A. Kassam. 1985. “Generalized median filtering and related nonlinear filtering techniques.” *IEEE Transactions on Acoustics, Speech, and Signal Processing.* Vol.33 : 672 – 683.

ภาคผนวก

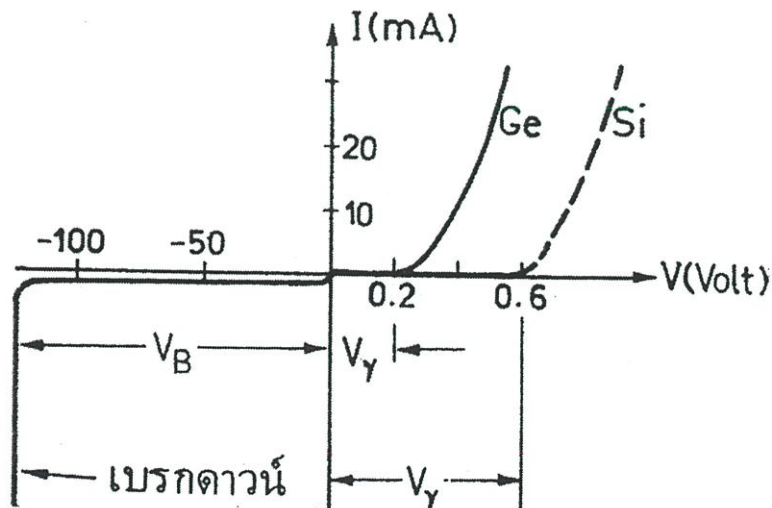
ภาคผนวก ก

วิเคราะห์สมการทั่วไปของไดโอด

เป็นที่ทราบกันแล้วว่ารอยต่อพีเอ็นยอมให้กระแสไหลผ่านได้ดีเมื่อมีการไบอัสตรง และยอมให้กระแสไหลผ่านได้ต่ำมากในทิศทางตรงกันข้ามขณะที่มีการไบอัสกลับ คุณสมบัติการเรียงกระแส (rectifying property) เช่นนี้เคยมีการค้นพบมาก่อนเมื่อมีการประดิษฐ์หลอดสูญญากาศชนิด 2 ขั้วหรือหลอดไดโอด (diode) ขึ้นมาใช้ จึงใช้ชื่อรอยต่อพีเอ็นของสารกึ่งตัวนำชนิดพีและชนิดเอ็นว่าเป็น ไดโอดสารกึ่งตัวนำ (semiconductor diode) และเขียนแทนด้วยสัญลักษณ์ในรูปที่ ก1 จากรูปหัวลูกศรแสดงถึงทิศทางของกระแสเดินทาง I ซึ่งไหลจากสารชนิดพีผ่านรอยต่อพีเอ็นไปยังสารชนิดเอ็น โดยผลของแรงดันเดินทาง V ที่มากระทำ ส่วนอักษร A และ K แทนขั้วแอนโนดและขั้วแคโทดของไดโอดตามลำดับ



รูปที่ ก1 สัญลักษณ์ของไดโอดสารกึ่งตัวนำ



รูปที่ ก2 ลักษณะแรงดัน-กระแสของไดโอดสารกึ่งตัวนำ

รูปที่ ก2 แสดงลักษณะแรงดัน-กระแส (V-I characteristic) ของไดโอดสารกึ่งตัวนำที่มีใช้ในทางปฏิบัติ สามารถหาสมการของเส้นโค้งในทางทฤษฎีที่จะใช้แทนลักษณะของแรงดัน-กระแสของไดโอดได้ดังต่อไปนี้

กำหนดให้ I_i เป็นกระแสเนื่องจากการแพร่ของพาหะส่วนใหญ่ผ่านรอยต่อพีเอ็น และให้ I_o แทนกระแสนอนอิมิตัว

ในขณะที่มีการไบอัสต่อไดโอดด้วยแรงดัน V (ค่าบวกของ V หมายถึงแรงดันเดินหน้า ส่วนค่าลบของ V หมายถึงแรงดันกลับทาง) ความน่าจะเป็นที่พาหะส่วนใหญ่จะมีพลังงานจนถึงขั้นที่สามารถแพร่ผ่านรอยต่อไปได้ มีค่าเป็นไปตามฟังก์ชันของแมกซ์เวลล์-โบลต์ซมันน์ ซึ่งจะอยู่ในเทอมของ

$$e^{-q(V_o - V)/kT} = e^{-qV_o/kT} e^{qV/kT} = A_1 e^{qV/kT} \quad (\text{ก1})$$

ที่อุณหภูมิ T กระแส I_i จะมีค่าเป็นสัดส่วนโดยตรงกับนิพจน์ในสมการที่ ก1 เราจึงสามารถเขียนสมการของ I_i ได้เป็น

$$I_i = A_2 e^{-q(V_o - V)/kT} = A_2 A_1 e^{qV/kT} = A e^{qV/kT} \quad (\text{ก2})$$

เนื่องจากกระแส I_o มีทิศทางสวนกับกระแส I_i และมีค่าคงตัวไม่แปรตาม V ดังนั้นกระแสผลรวมจึงมีค่าเป็น

$$I = I_i - I_o = A e^{qV/kT} - I_o \quad (\text{ก3})$$

ในขณะที่ไดโอดเปิดวงจร (หรือลัดวงจร) เราได้ $V=0$ และ $I=0$ ดังนั้นในสภาวะนี้สมการที่ ก3 จะให้

$$0 = A - I_o \Rightarrow A = I_o \quad (\text{ก4})$$

เมื่อแทนค่าของ A จากสมการ ก4 ลงในสมการ ก3 จะได้สมการของไดโอดเป็น

$$I = I_o (e^{qV/kT} - 1) = I_o [e^{(V/V_T)} - 1] \quad (\text{ก5})$$

โดยที่ $V_T = \frac{kT}{q} = \frac{T}{11,600}$ (หรือเท่ากับ 25.9 mV ที่อุณหภูมิ $T = 300^\circ \text{K}$)

ในทางปฏิบัติเราพบว่าสมการที่ ก5 ใช้ได้ดีกับไดโอดที่ทำจากเจอร์เมเนียม ซึ่งมีสมบัติทำให้อิเล็กตรอนอิสระและโฮลรวมตัวกันใหม่ในบริเวณปลอดพาหะได้น้อย สำหรับซิลิคอนนั้นพาหะนำประจุรวมตัวกันใหม่ในบริเวณปลอดพาหะได้มากกว่าในเจอร์เมเนียม ทำให้สมการของไดโอดชนิดซิลิคอนที่สอดคล้องกับผลการทดลองในทางปฏิบัติกลายเป็น

$$I = I_o \left(e^{\frac{V}{2V_T}} - 1 \right) \quad (\text{ก6})$$

ดังนั้นในกรณีทั่วไปเราจะเขียนสมการของไดโอดเสียใหม่เป็น

$$I = I_o \left(e^{\frac{V}{\eta V_T}} - 1 \right) \quad (\text{ก7})$$

โดยที่ I_o เป็นกระแสย้อนกลับอิ่มตัว, $\eta = 1$ สำหรับเจอร์เมเนียม และ $\eta = 2$ สำหรับซิลิคอน

ภาคผนวก ข

คุณสมบัติของไดโอดเบอร์ 1N4148

ELECTRICAL CHARACTERISTICS

$T_j = 25\text{ }^{\circ}\text{C}$ unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_F	forward voltage	see Fig.3			
	1N4148	$I_F = 10\text{ mA}$	–	1	V
	1N4448	$I_F = 5\text{ mA}$	0.62	0.72	V
		$I_F = 100\text{ mA}$	–	1	V
I_R	reverse current	$V_R = 20\text{ V}$; see Fig.5		25	nA
		$V_R = 20\text{ V}$; $T_j = 150\text{ }^{\circ}\text{C}$; see Fig.5	–	50	μA
I_R	reverse current; 1N4448	$V_R = 20\text{ V}$; $T_j = 100\text{ }^{\circ}\text{C}$; see Fig.5	–	3	μA
C_d	diode capacitance	$f = 1\text{ MHz}$; $V_R = 0$; see Fig.6		4	pF
t_{rr}	reverse recovery time	when switched from $I_F = 10\text{ mA}$ to $I_R = 60\text{ mA}$; $R_L = 100\ \Omega$; measured at $I_R = 1\text{ mA}$; see Fig.7		4	ns
V_{fr}	forward recovery voltage	when switched from $I_F = 50\text{ mA}$; $t_r = 20\text{ ns}$; see Fig.8	–	2.5	V

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th\ j-tp}$	thermal resistance from junction to tie-point	lead length 10 mm	240	K/W
$R_{th\ j-a}$	thermal resistance from junction to ambient	lead length 10 mm; note 1	350	K/W

ภาคผนวก ค

วิเคราะห์เวลาสะสมของไดโอดสวิตช์

ช่วงเวลาสะสม หรือ storage delay time ของไดโอดสารกึ่งตัวนำนี้จะเป็นเวลาที่นับตั้งแต่การเริ่มทำให้ไดโอดหยุดนำกระแสจนถึงช่วงที่กระแสลดลงมาเหลือเพียง 90% ของค่ากระแสร้อนกลับอิมิตัว เมื่อไดโอดอยู่ในสถานะอิมิตัวในขณะที่มีการไบอัสตรง ประจุ (Q_p) จะถูกสะสมอยู่ในบริเวณรอยต่อพีเอ็น (pn junction) เมื่อทำให้ไดโอดหยุดนำกระแสอย่างทันทีทันใดนั้น ประจุส่วนนี้ยังคงเหลืออีกเล็กน้อย และจะค่อยๆ คายประจุออกทั้งหมด ช่วงเวลาที่ใช้ในการคายประจุนี้เรียกว่าช่วงเวลาสะสม (storage delay time) โดยมีความสัมพันธ์ดังนี้

$$\frac{dQ_p}{dt} = i(t) - \frac{Q_p}{\tau_p} \quad (\text{ค1})$$

τ_p คือ carrier lifetime

เมื่อทำให้ไดโอดหยุดนำกระแส หรือกระแสเป็นศูนย์ จะได้

$$Q_p(t) = Q_p(0)e^{-t/\tau_p} \quad (\text{ค2})$$

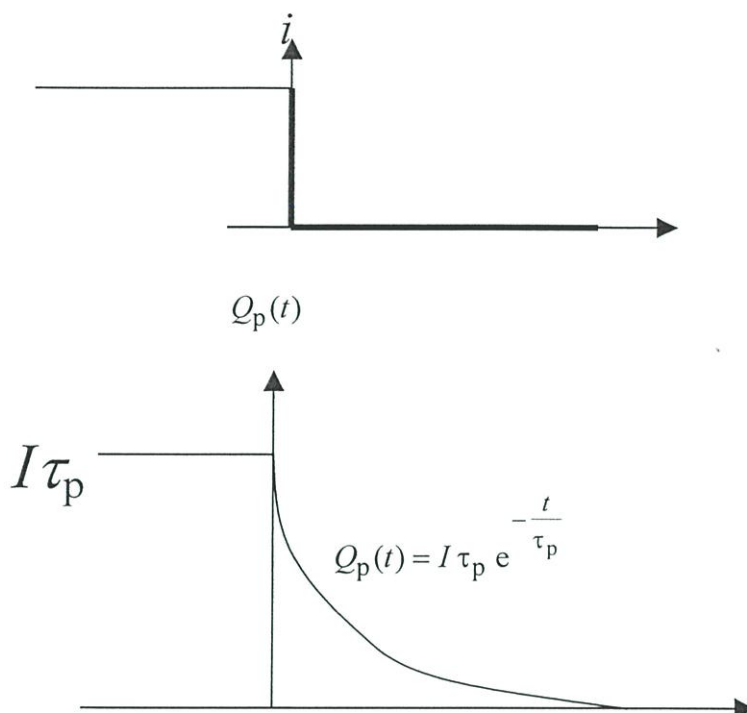
แต่เนื่องจาก

$$Q_p = I\tau_p \text{ ที่ } t < 0 \quad (\text{ค3})$$

ดังนั้น

$$Q_p(t) = I\tau_p e^{-t/\tau_p} \quad (\text{ค4})$$

จะเห็นได้ว่าประจุจะค่อยๆ ลดลงแบบเอ็กซ์โพเนนเชียลจนกระทั่งกลายเป็นศูนย์ หรือไม่มีประจุสะสมอยู่ภายในรอยต่อพีเอ็นของไดโอด โดยแสดงเป็นกราฟในรูปที่ ค1



รูปที่ ค1 กราฟแสดงความสัมพันธ์ของการคายประจุภายในรอยต่อพีเอ็นไดโอด

ซึ่งจะได้ความสัมพันธ์ของกระแสดังนี้

$$i = \frac{\text{charge removed}}{\text{unit time}} \quad (\text{ค5})$$

จากความสัมพันธ์ในสมการที่ ค1

$$\frac{dQ_p}{dt} = i - \frac{Q_p}{\tau_p} \quad (\text{ค6})$$

แทนค่ากระแส i เป็นกระแสไบอัสกลับ I_R พิจารณาที่เวลาดังแต่ประจุเริ่มคายออกจนเป็นศูนย์

$$\frac{dQ_p}{dt} = -I_R - \frac{Q_p}{\tau_p} \quad 0 < t < t_s \quad (\text{ค7})$$

แก้สมการได้

$$\int_{Q_p(t=0)}^{Q_p(t=t_{sd})} \frac{dQ_p}{I_R + \frac{Q_p}{\tau_p}} = - \int_0^{t_{sd}} dt = -t_{sd} \quad (ค8)$$

ดังนั้น

$$t_{sd} = -\tau_p \ln \left(I_R + \frac{Q_p}{\tau_p} \right) \Bigg|_{Q_p(t=0)}^{Q_p(t=t_{sd})} \quad (ค9)$$

แทน Q_p เข้าในสมการที่ ค9 จะได้

$$t_{sd} = \tau_p \ln \left(\frac{I_R + \frac{Q_p(0^+)}{\tau_p}}{I_R + \frac{Q_p(t_{sd})}{\tau_p}} \right) \quad (ค10)$$

เนื่องจาก $Q_p(t=0) = I_F \tau_p$ และสมมติให้ $Q_p(t=t_{sd}) \approx 0$ แทนค่าลงในสมการที่ ค10

$$t_{sd} = \tau_p \ln \left(\frac{I_R + I_F}{I_R} \right) \quad (ค11)$$

ดังนั้นจะได้ความสัมพันธ์ของเวลาที่ใช้ในการคายประจุที่สะสมอยู่ภายในรอยต่อพีเอ็นของไดโอด
ในขณะที่ไบอัสตรงเป็นดังสมการ

$$t_{sd} = \tau_p \ln \left(1 + \frac{I_F}{I_R} \right) \quad (ค12)$$

ภาคผนวก ง
ผลงานวิจัยที่ได้รับการตีพิมพ์

บทความที่ได้รับการตีพิมพ์ลงในวารสารมี 2 บทความ ดังนี้

- [1] M. Kaewrongkool, A. Chaikla, C. Wangwiwattana, A. Jaruwanawat and V. Riewruja “An Analog Voltage-mode Sorter For Real-time Signal Processing”, International Conference on Control, Automation and Systems, ICCAS 2002, pp.1503-1506, Oct. 2002
- [2] M. Kaewrongkool, A. Chaikla, A. Jaruwanawat and V. Riewruja “An Analog Current-mode Maximum, Median and Minimum Circuit”, Proceedings The Second International Symposium on Communications and Information Technology, pp.439-442

ICCAS 2002 International Conference on Control, Automation and Systems

October, 16~19, 2002
Muju Resort, Jeonbuk, KOREA



Institute of Control, Automation and Systems Engineers, Korea
<http://www.iccas.org> · <http://www.icas.or.kr>

Rahman Md. Mozasser, Ikeura Ryojun and Mizutani Kazuki (Mie Univ., JAPAN)

Dynamic analysis and control for an UAV of DC motor type

58
1461

Park YunSoo, Lee HoGil, Ryu ShinWook, Kim JinYoung, Won DaeHui (KITECH, KOREA) and Park JongHyun (Hanyang Univ., KOREA)

Workspace Mapping for a Manipulator Operated by Universal Master

1466

Lee Min-Soo, Lee Jong Kwang, Kang E-Seok (Chungnam Nat'l Univ., KOREA), Park Byung Suk, Yoon Ji Sup and Song Tai Gil (KAERI, KOREA)

FP06 : Sensors and Instrumentation II

A Few Applications of Polarity Correlation Method in a Frame of Deterministic Signals

1471

Sasaki Kimio (Univ. of Tsukuba, JAPAN) and Ikeda Mariko (IBM, Japan Ltd., JAPAN)

Length of Conductive Measurement Based-on Basic Theory

1477

Tanachaikhan Lerdlekha (Ramkhamhaeng Univ., THAILAND), Sriratana Witsarut and kummool Sart (KMITL, THAILAND)

Buried Object Discrimination with Reflection Phase Characteristics for Microwave Subsurface Radar

1481

TANAKA Masayuki, TAKAYAMA Jun-ya, OHYAMA Shinji and KOBAYASHI Akira (Tokyo Institute of Tech., JAPAN)

Properties of Two-dimensional M-transform with Applications to Image Processing

1486

Kashiwagi Hiroshi, Harada Hiroshi, Yamaguchi Teruo and Andoh Toshiyuki (Kumamoto Univ., JAPAN)

Detection and Diagnosis of Sensor Faults for Unknown Sensor Bias in PWR Steam Generator

1492

Kim Bong Seok, Kang Sook In, Lee Yoon Joon, Kim Kyung Youn (Cheju Nat'l Univ., KOREA), Lee In Soo (Sangju Nat'l Univ., KOREA), Kim Jung Taek and Lee Jung Woon (KAERI, KOREA)

Looseness Estimation of Bolts on Truss Structure with PZT Patches

1497

Jiang Zhongwei and Akeuchi Yasutaka (Yamaguchi University)

FP07 : Signal Processing II

An Analog Voltage-mode Sorter For Real-time Signal Processing

1503

Chaikla Amphawan, Kaewrongkool Maneerat, Wangwiwattana Chaleompun, Jaruwanaawat Anuchit and Riewruja Vanchai (KMITL, THAILAND)

CANCELLATION OF ECHOES IN TELEPHONE NETWORK WITH THE ADAPTIVE STEP SIZE LATTICE FORM STRUCTURE

1507

Benjangkprasert Chawalit, Teerasakworakun Sirirat, Benchapornkullanij Sirithon and Janchithapongvej Kanok (KMITL, THAILAND)

On Application of QLMS and VSQ LMS Adaptive Digital Filter in Satellite Communication System

1512

Sangaroon Ornlarp, Griwan Jintana, Benjangkprasert Chawalit, Chutchavong Vanvisa (KMITL, THAILAND), Nakasuwan Jintana (Rajamangala Institute of Tech., THAILAND) and Moriya Yoshiaki (Tokai Univ., JAPAN)

An Analog Voltage-mode Sorter For Real-time Signal Processing

M. Kaewrongkool, A. Chaikla, C. Wangwiwattana, A. Jaruwanawat and V. Riewruja

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand

(Tel : 66-2-739-2406-7; Fax: 66-2-739-2406-7 ext. 103; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract: The maximum and minimum function cells to sort two input voltages are described. Using these Max/Min cells as the basic building block, a voltage-mode four-input sorting circuit is designed. The outputs are obtained by ordering the inputs in the decreasing order. The maximum and minimum function cells consist of operational amplifiers (op-amps), diodes and resistors. The proposed sorter has a simple and flexible structure. The procedure can be extended to design an n-input voltage sorter. The performances of the proposed sorter were studied by the use of the PSPICE analog simulation program. The simulation results verified the circuit performances are agreed with the expected values.

Keywords: Analog Signal Processing, Sorter, Voltage-mode Circuit, Maximum Operation, Minimum Operation, Op-amp based Circuit

1. Introduction

Several algorithms are known to arrange a given set of numbers in the increasing or decreasing order [1]-[2]. When it is required to sort a given set of voltages. At present, many sorting integrated circuit have been proposed, however, almost of them are digital sorting circuit [3] – [6]. Although digital sorting circuits can also used for analog signals, A/D and D/A converters are required, so that the structure of circuits will be even more complicated. Evidently, an analog voltage-mode sorter would be much faster. In addition, errors may occur in the conversion between digital signals and analog signals. To this end, a design of an analog voltage-mode sorter is present in this paper. The maximum (Max) and minimum (Min) cells, which have the maximum and minimum operation of two-input voltages, are described. The proposed sorting circuit is able to output the input voltages in a sorting order on the basis of the magnitudes of the input voltages. The inputs to the sorter are voltages v_1, v_2, \dots, v_k . The outputs are $v_{o1}, v_{o2}, \dots, v_{ok}$, obtained by ordering v_1, v_2, \dots, v_k in decreasing order of magnitudes. To facilitate explanation, we assume that $k = 4$. We also assume that the input voltages are in the range -5 to 10V.

2. Circuit Description

2.1 Max Cell

The maximum operation of two-input voltages (v_1, v_2) or Max cell employs the switching diode D_1, D_2 and op-amp A_1, A_2 , where one diode is connected between each op-amp's output and the output node [7], as shown in Fig. 1.

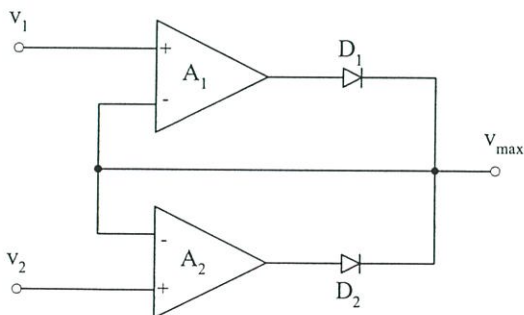


Fig.1. Max cell

This maximum function cell, the op-amp A_i operate as voltage-follower when its associated output diode D_i is forward-biased ("on" state of D_i) and drive its output to zero when its associated diode D_i is reverse-biased ("off" state of D_i). The input voltages v_1 and v_2 force the state of diode D_1 and D_2 to "on" and "off", respectively, then effect the op-amp A_1 to operate as voltage-follower and the op-amp A_2 to cutoff as long as the input voltage v_1 is greater than v_2 . At this point; thus, the Max cell has an output voltage equal to $v_1 - v_D$, where v_D is a small voltage drop across a forward-biased diode. Similarly, where the input voltage v_1 is less than v_2 , the state of diode D_1, D_2 will be forced to "off" and "on", respectively, then effect the op-amp A_1 to cutoff and the op-amp A_2 to operate as voltage-follower. Therefore, the output voltage v_{max} can be stated as

$$v_{max} = \begin{cases} v_1 - v_D & ; v_1 > v_2 \\ v_2 - v_D & ; v_2 > v_1 \end{cases} \quad (1)$$

2.2 Min Cell

The Min cell, which has the minimum operation of two-input voltages (v_1, v_2), is shown in Fig.2.

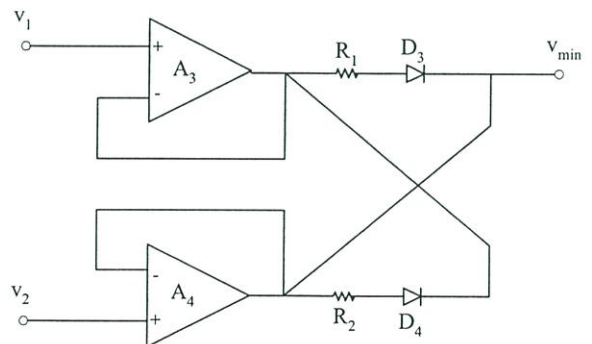


Fig.2. Min cell

The schematic of Min cell comprises of the op-amps, the diodes and the resistors, which also the op-amp A_i operate as voltage-follower when "on" state of D_i and drive its output to

zero when "off" state of diode D_i . Then the output voltage of Min cell or v_{min} can be stated as

$$V_{min} = \begin{cases} V_2 - V_R - V_D & ; V_1 > V_2 \\ V_1 - V_R - V_D & ; V_2 > V_1 \end{cases} \quad (2)$$

where v_R and v_D are the small voltages drop across the resistor and forward-biased diode, respectively.

From the equation (1) and (2), the voltage v_D and v_R are negligible values when compare with the input voltage v_1 and v_2 , then the output voltage v_{max} and v_{min} can be stated as

$$V_{max} = \begin{cases} V_1 & ; V_1 > V_2 \\ V_2 & ; V_2 > V_1 \end{cases} \quad (3)$$

$$V_{min} = \begin{cases} V_2 & ; V_1 > V_2 \\ V_1 & ; V_2 > V_1 \end{cases} \quad (4)$$

It should be noted that the schematics as shown in Fig. 1 and Fig. 2 have the characteristic as two-input voltages domain Max cell and Min cell, respectively.

2.3 A Four-input Voltage Sorter

For convenience, a voltage-mode sorting circuit based on magnitude is discussed by taking four input voltages for example. The circuit diagram of the four-input sorter is shown in Fig. 3. The inputs to the circuit are designed v_1, v_2, v_3 and v_4 . The outputs of the circuit are designed v_{o1}, v_{o2}, v_{o3} and v_{o4} . The outputs are obtained by ordering the inputs in the decreasing order. For the purposes of illustration, let $v_1 = 5V, v_2 = 7.5V, v_3 = 10V$ and $v_4 = 2.5V$. Consequently, $v_{o1} = 10V, v_{o2} = 7.5V, v_{o3} = 5V$ and $v_{o4} = 2.4V$ (see Fig. 4.) The number of comparison elements increases rapidly with k , the number of input currents. A formula for the minimum number of comparison elements for a given k is not known. However, [1] contains a list of best upper bound values known for values of k for 3 to 16. For example, the minimum number of comparison elements when $k = 6$ is 12. The sorting network for $k = 6$ or a six-input sorter is shown in Fig. 5.

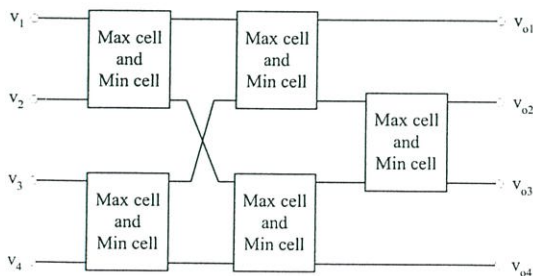


Fig. 3. The proposed four-input sorter

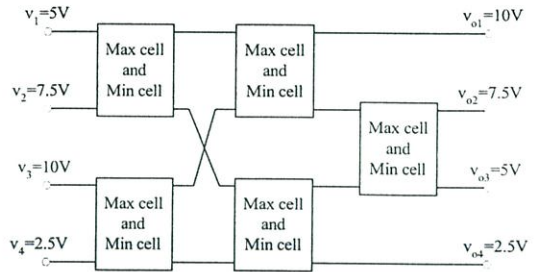


Fig. 4. Example problem

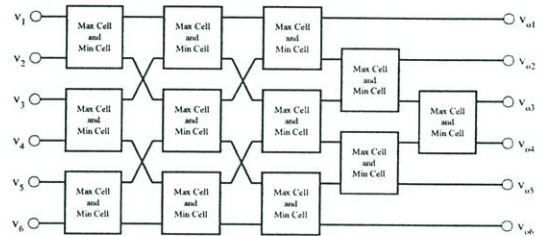
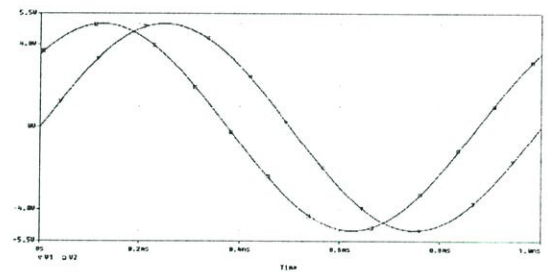


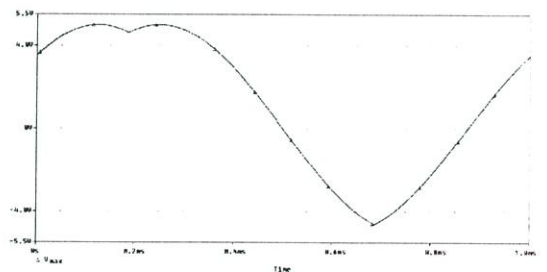
Fig. 5. A six-input sorter

3. Simulation Results

The performances of the proposed four-input voltage-mode sorter were studied by the use of the PSPICE analog simulation program. The simulations were carried out using parameters of AD741, DIN4148 for op-amp and diode, respectively. The voltage supplies of the op-amp are equal to $\pm 15V$ and $R_1 = R_2 = 10k\Omega$. Fig. 6 shows the simulated transient responses of the Max cell as shown in Fig. 1, where the 1kHz sinusoidal input signal voltages v_1 and v_2 are 5V peak amplitude with $0^\circ, 45^\circ$ phase shift, respectively.



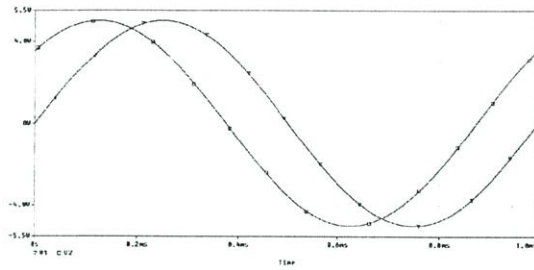
(a)



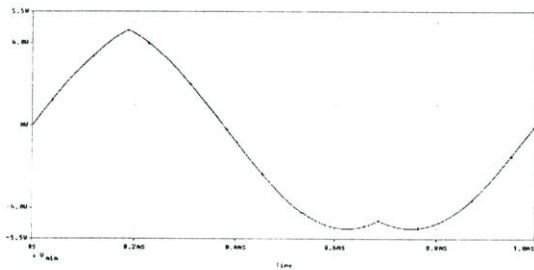
(b)

Fig. 6. Simulated transient response of Max cell
(a) 1kHz Sinusoidal input signal voltages
(b) the maximum output voltage v_{max}

Fig. 7 shows the simulated transient responses of the Min cell as shown in Fig. 2, where the 1kHz sinusoidal input signal voltages v_1 and v_2 are 5V peak amplitude with 0° , 45° phase shift, respectively.



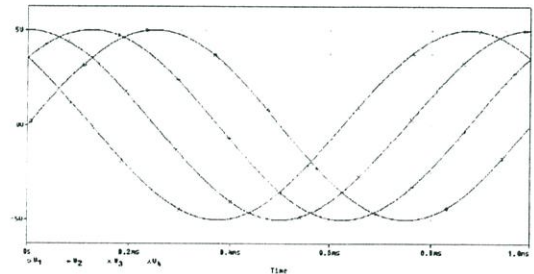
(a)



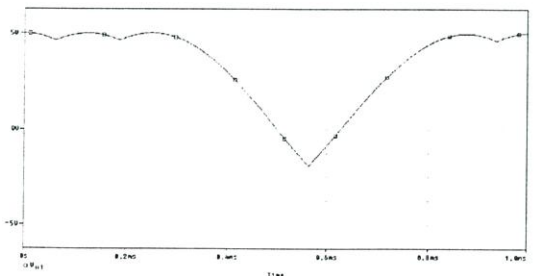
(b)

Fig. 7. Simulated transient response of Max cell
(a) 1kHz Sinusoidal input signal voltages
(b) the minimum output voltage v_{min}

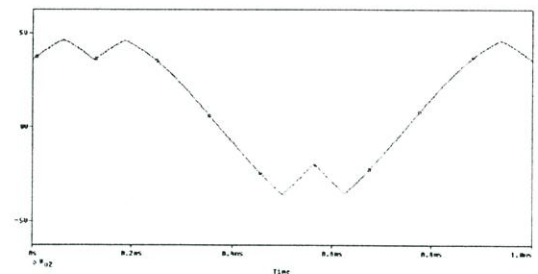
Fig. 8 shows the simulated transient response of the proposed four-input sorter as shown in Fig. 3, where the 1kHz sinusoidal input voltages v_1 , v_2 , v_3 and v_4 are 5V peak amplitude with 0° , 45° , 90° , 135° phase shift, respectively.



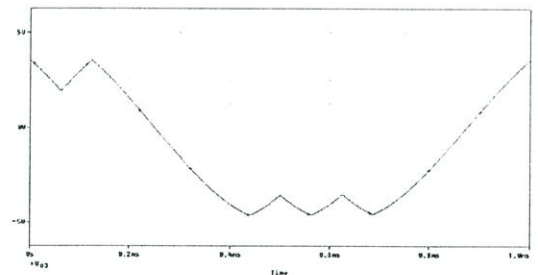
(a)



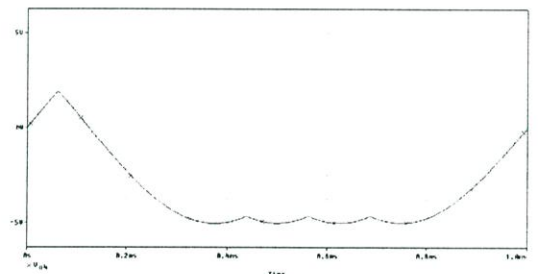
(b)



(c)



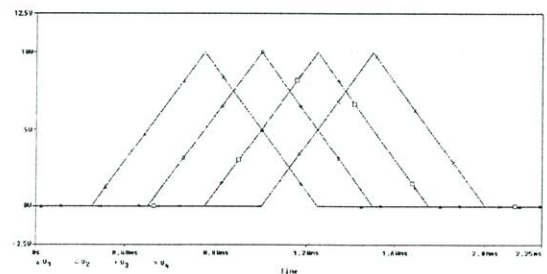
(d)



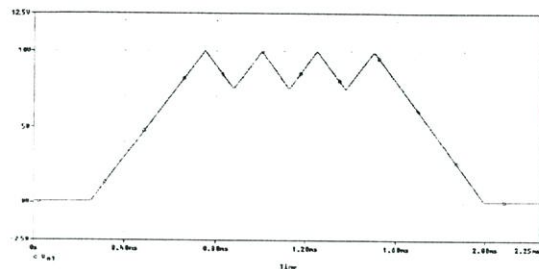
(e)

Fig. 8. Simulated transient response of 4-input sorter
(a) 1kHz Sinusoidal input signal voltages
(b) the output voltage v_{o1}
(c) the output voltage v_{o2}
(d) the output voltage v_{o3}
(e) the output voltage v_{o4}

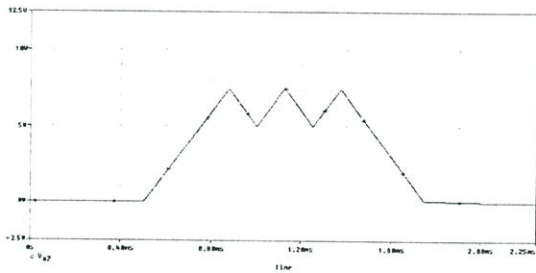
Fig. 9 shows the simulated transient response of the proposed four-input sorter as shown in Fig. 3, where the triangular input signal voltages v_1 , v_2 , v_3 and v_4 are 10V peak amplitude and 1.0ms time period.



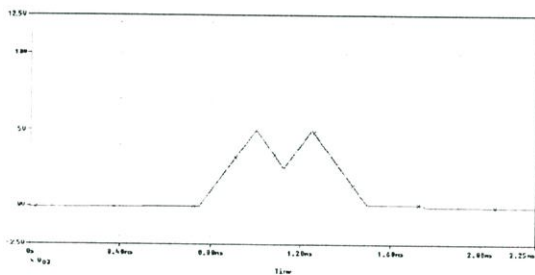
(a)



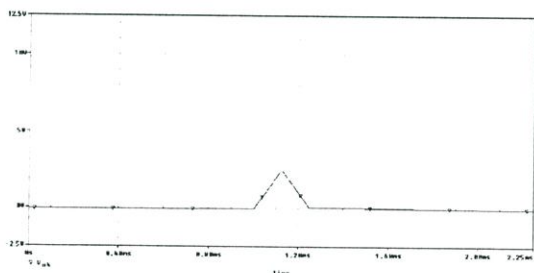
(b)



(c)



(d)



(e)

Fig. 9. Simulated transient response of 4-input sorter
 (a) Triangular input signal voltages
 (b) the output volatge v_{01}
 (c) the output volatge v_{02}
 (d) the output volatge v_{03}
 (e) the output volatge v_{04}

From the simulation results, there are evident that the proposed four-input sorter has correct function and good performances.

4. Conclusion

Based on the above design, the proposed voltage-mode four-input sorter was tested for all input conditions including those for which two or more of the inputs are equal. The simulation results verified the voltage-mode sorter performances are agreed with the expected values. The sorter with more input voltages can be design on similar lines.

Acknowledgments

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NASTDA), and National Electronics and Computer Technology Center (NECTEC), Thailand, for the financial support of this work.

References

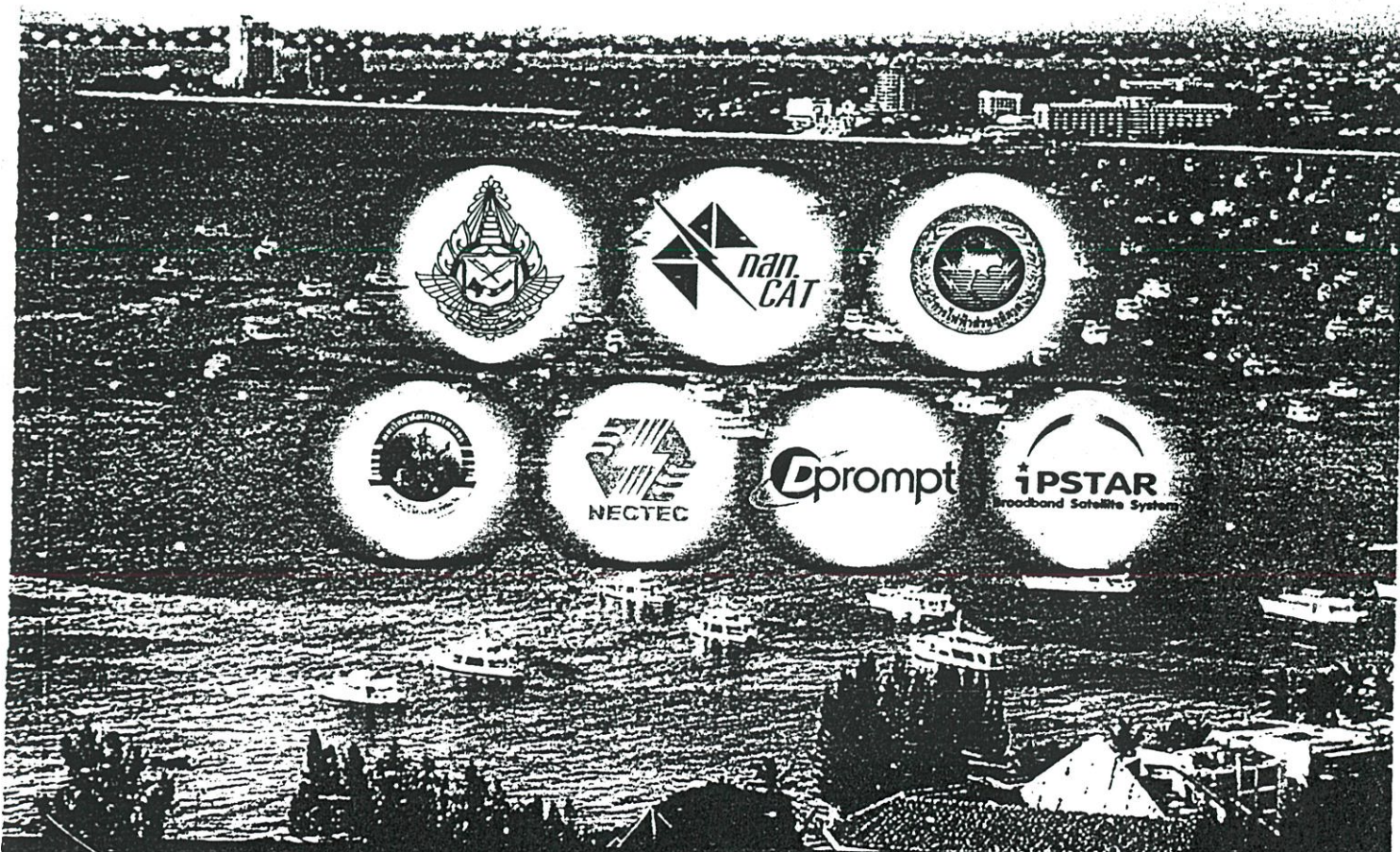
[1] D.E. Knuth, *The Art of Computer Programming, vol.3: Sorting and Searching*, Addison-Wesley, Reading, MA, 1973
 [2] S.G. Akl, *Parallel Sorting Algorithms*, Orlando, FL: Academic Press Inc., 1985
 [3] C.D. Thompson, "The VLSI Complexity of Sorting", *IEEE Trans.Computers*, C-32(12), pp. 1171-1183, 1983
 [4] A.R. Seigel, "Minimum Storage Sorting Circuit", *IEEE Trans.Computers*, C-34(4), pp.355 - 361, 1985
 [5] H.M.Alnuweiri, "A new class of optimal bounded-degree VLSI sorting network", *IEEE Trans.Computers*, 42(6), pp. 746 - 751, 1993
 [6] C.M. Blai, "Low cost sorting circuit for VLSI", *IEEE Trans of Circuits and Systems: Fundamental Theory and Application*, vol.43, no.6, pp. 515-516, June 1996
 [7] M. H. Hassoun and A. M. Nabha, "Implementation of O (n) Complexity Max/Min Circuits for Fuzzy and Connectionist Computing", *Proc. Of the IEEE International Conference on Neural Network 1993*, pp. 988-1003, vol.2, 1993

ISCT 2002



Proceedings The Second International Symposium on Communications and Information Technology

23-25 October 2002
Central Hotels&Resorts, Pattaya
Chonburi, Thailand



IEEE COMMUNICATIONS
SOCIETY
THAILAND CHAPTER

Session: Circuit Theory III

Room: Golden Sand 1

F 3.3 64

- Chairpersons: 1. Dr. Somsak Choomchuay, *King Mongkut's Institute of Technology Ladkrabang, Thailand*
2. Dr. Mesami Higashimura, *Matsue National College of Technology, Japan*

- 13.00 **Low Density Parity Check Codes (LDPC) Decoder Quantization for Communication Systems.....** 419
Y. Yi and Y. Jian-Xin
Chonbuk National University, Korea and Wuhan Technic College, China
- 13.20 **An On-chip Data Storage with ElGamal Elliptic Curve Cryptosystems.....** 423
S. Choomchuay, S. Pongyupinpanich, and K. Hardkhuntod
King Mongkut's Institute of Technology Ladkrabang, Thailand
- 13.40 **Noise Reduction Using Noise Reconstruction Method Based on Linear Prediction and System Identification.....** 427
A. Kawamura, K. Fujii, Y. Itoh, and Y. Fukui
Tottori University, Japan and Himeji Institute of Technology, Japan
- 14.00 **A Tunable Coupled Line Bandpass Filter Using a Coplanar Waveguide Structure.....** 431
T. Somwong, P. Akkaraekthalin, and V. Vivek
Rajamangala Institute of Technology, Thailand
King Mongkut's Institute of Technology North Bangkok, Thailand
- 14.20 **Suppressing Harmonics in Delta Modulation by Randomizing Hysteresis Windows.....** 435
A. Aurasopon and P. Kumhom
King Mongkut's University of Technology Thonburi, Thailand
- 14.40 Coffee Break

Session: Circuit Theory IV

Room: Golden Sand 1

F 3.4

- Chairpersons: 1. Dr. Prayoot Akkardektalin, *King Mongkut's Institute of Technology, North Bangkok, Thailand*
2. Dr. Jirayut Mahattanaleul, *Mahanakorn University of Technology, Thailand*

- 15.00 **An Analog Current-mode Maximum, Median and Minimum Circuit.....** 439
M. Kaewrongkool, A. Chaikla, A. Jaruwawat, and V. Riewruja
King Mongkut's Institute of Technology Ladkrabang, Thailand
- 15.20 **A Realization of Current-Mode Biquadratic Filters Using DO-CCIs** 443
M. Higashimura, T. Tsukutani, and Y. Fukui
Matsue National College of Technology, Japan and Tottori University, Japan
- 15.40 **Analog Multiplier Using Translinear Current Converter** 447
A. Kaewpoonsuk, T. Kamsri, W. Petchmaneelumka, S. Luikitmongkol, and V. Riewruja
King Mongkut's Institute of Technology Ladkrabang, Thailand
- 16.00 **Log-Domain Elliptic Low-Pass filter** 451
K. Dejhan, M. Kumngern, F. Cheevasuvit, S. Mitatha, and C. Soonyeean
King Mongkut's Institute of Technology Ladkrabang, Thailand
Aeronautical Radio of Thailand, Thailand
- 16.20 **A CPW Capacitively Coupled Resonator Bandpass Filter and Its Lump Element Model.....** 455
S. Seewattanapon, P. Akkaraekthalin, and V. Vivek
Rajamangala Institute of Technology, Thailand
King Mongkut's Institute of Technology North Bangkok, Thailand

An Analog Current-mode Maximum, Median and Minimum Circuit

M. Kaewrongkool, A. Chaikla, A. Jaruwanawat and V. Riewruja

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand

Phone: +66-2-739-2406-7, Fax: +66-2-739-2406-7 ext.103

E-mail: vanchai@cs.eng.kmitl.ac.th

Abstract

A mos integrable circuit technique for implementing current-mode two-input maximum and minimum operations cell is described. Using this cell as a basic unit, an analog maximum, median and minimum circuit is designed. The proposed circuit can be used for sorting multiple-input current signals. The performances of the proposed circuit were studied by the use of the PSPICE analog simulation program. The simulation results verified the circuit performances are agreed with the expected values.

1. Introduction

Conventionally, the maximum, median and minimum circuits can be implemented in either digital or analog forms [1]-[8]. The analog maximum, median and minimum operations are often needed in some real-time applications of analog signal processing such as image processing and fuzzy applications [3]-[8]. In recently days, the advances in the VLSI technology and the demand for low-power electronic products lead VLSI circuits operating in low supply voltages (lower than 3V.), current-mode signal processing techniques will become increasingly important and attractive [6]-[8]. Due to the current-controlled current sources have much higher bandwidth in comparison to those of the voltage-controlled active elements. The current sources can drive small resistive and capacitive loads up to very high frequencies with out sacrificing its stability [9]. In this paper, we proposed an analog current-mode maximum, median and minimum circuit, which has a very sharp transfer characteristic and is suitable for real-time systems.

2. Circuit Description

A maximum (Max) and minimum (Min) cell or Max/Min cell is the analog CMOS two-input maximum and minimum operations scheme [10]. The circuit diagram of Max/Min cell is shown in figure 1. The transistors are all matched and operated in their saturation regions. The transistors M_1 - M_4 (CM_1), M_5 - M_6 (CM_2) and M_7 - M_8 (CM_3) function as unity gain positive current mirrors. The transistors M_9 - M_{10} (CM_4), M_{11} - M_{12} (CM_5), M_{13} - M_{14} (CM_6) and M_{15} - M_{16} (CM_7) function as the unity gain negative current mirrors. The transistors M_{17} and M_{18} function as a current follower and, at the same time, provide a fixed bias voltage to node IP_1 and IP_2 , respectively, which in this case is approximately at earth potential. The transistors M_{19} - M_{20} form an electronic switch. The transistor M_{21} and the bias current source I_1 generate a constant voltage to provide a pre-bias M_{19} and M_{20} , and bring them to the edge of conduction. The operation of the proposed circuit can be explained as follow. The current i_{D1} and i_{D5} can be stated as

$$i_{D1} = i_{in1} + I_2 \quad (1)$$

$$i_{D5} = i_{in2} + I_2 \quad (2)$$

The positive current mirrors CM_1 and CM_2 and the negative current mirror CM_3 force $i_{D1} = i_{D2} = i_{D3} = i_{D4}$, $i_{D5} = i_{D6}$ and $i_{D6} = i_{D10}$, respectively. Then, from eqns (1) and (2) can be rewritten as

$$i_{D1} = i_{D2} = i_{D3} = i_{D4} = i_{in1} + I_2 \quad (3)$$

$$i_{D5} = i_{D6} = i_{D10} = i_{in2} + I_2 \quad (4)$$

At node A, the current i_{diff} is equal to

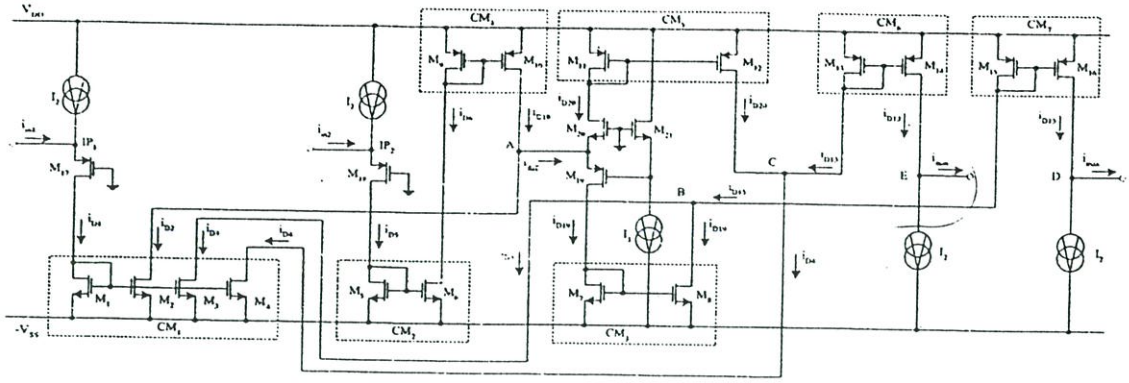


Figure 1. Max/Min cell

$$i_{diff} = i_{D10} - i_{D2} = i_{in2} - i_{in1} \quad (5)$$

$$i_{max} = i_{D15} - I_2 = i_{in1} + i_{D19} \quad (10)$$

$$i_{min} = i_{D13} - I_2 = i_{in1} - i_{D20} \quad (11)$$

During $i_{in2} > i_{in1}$ or a positive difference input current $i_{diff} > 0$, the current $i_{diff} > 0$ flows through the transistor M_{19} that cause the source-gate voltage of the transistor M_{19} to increase and the gate-source voltage of the transistor M_{20} to decrease effecting M_{20} to cutoff. Similarly, the flow of a negative difference input current $i_{diff} < 0$ through the transistor M_{19} to cutoff. Therefore the current i_{D19} and i_{D20} can be given by

Substituting eqns. (6) and (7) into (10) and (11) respectively, the output current i_{max} and i_{min} can be written as

$$i_{D19} = \begin{cases} i_{diff} & ; i_{in2} > i_{in1} \\ 0 & ; i_{in1} \geq i_{in2} \end{cases} \quad (6)$$

$$i_{max} = \begin{cases} i_{in2} & ; i_{in2} > i_{in1} \\ i_{in1} & ; i_{in1} \geq i_{in2} \end{cases} \quad (12)$$

$$i_{D20} = \begin{cases} 0 & ; i_{in2} \geq i_{in1} \\ -i_{diff} & ; i_{in1} > i_{in2} \end{cases} \quad (7)$$

$$i_{min} = \begin{cases} i_{in1} & ; i_{in2} \geq i_{in1} \\ i_{in2} & ; i_{in1} > i_{in2} \end{cases} \quad (13)$$

The positive current mirror CM_3 and the negative current mirror CM_5 reflect i_{D19} and i_{D20} to node B and node C, respectively. Then the current i_{D15} and i_{D13} are given by

It is clearly seen that the Max/Min cell has the maximum and the minimum operations of two-input currents. The median operation can be realized by using the proposed Max/Min cell as shown in figure 2. The output current for the median value i_{med} is equal to

$$i_{D15} = i_{D3} + i_{D19} = i_{in1} + I_2 + i_{D19} \quad (8)$$

$$i_{med} = i_3 + i_4 - i_{in1} \quad (14)$$

$$i_{D13} = i_{D4} - i_{D20} = i_{in1} + I_2 - i_{D20} \quad (9)$$

where the current i_3 and i_4 are the minimum and maximum current of the Max/Min cell 2 and 3, respectively. If $i_{in1} > i_{in3} > i_{in2}$, then the current i_1, i_2, i_3 and i_4 are $i_{in3}, i_{in2}, i_{in3}$ and i_{in1} , respectively. From eqn (14), the median current i_{med} is equal to i_{in3} . Consequently, the maximum and minimum current i_{max} and i_{min} are i_{in1} and i_{in2} , respectively.

The current i_{D15} and i_{D13} mirror to node D and E by and the negative current mirror CM_7 and CM_6 , respectively. Then the maximum current i_{max} and minimum current i_{min} can be stated as

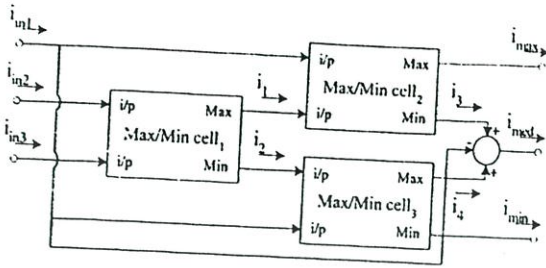


Figure 2. Block diagram of the Max/Med/Min operations

For the purposes of illustration, let $i_{in1} = 15\mu A$, $i_{in2} = 5\mu A$ and $i_{in3} = 10\mu A$. Consequently, $i_{max} = 15\mu A$, $i_{med} = 10\mu A$ and $i_{min} = 5\mu A$ (see figure 3.). It is clearly seen that the proposed scheme has the maximum, median and minimum operations for three-input signals.

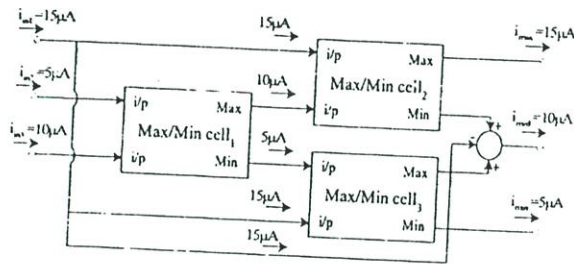
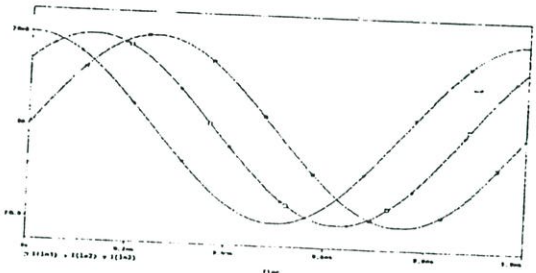


Figure 3. Example problem

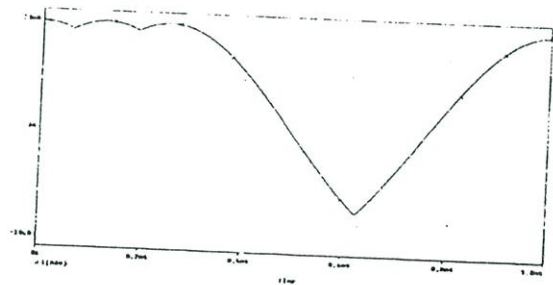
3. Simulation Results

The performances of the proposed circuit were studied by the use of the PSPICE analog simulation program. The BSIM MOS model of the $0.7\mu m$ CMOS process was used for the circuit simulation. The Max/Min cell as shown in the figure 1, the dimension W/L of the devices used are $10\mu m/1\mu m$, the bias currents I_1 and I_2 are set to $50\mu A$ and $V_{DD} = V_{SS} = 2.4V$. Figure 4 shows the simulated transient response of the Max/Med/Min principle as shown in figure 2., where i_{in1} is mirrored to input node of the Max/Min cell 2, 3 and the summing point by current mirror. The input currents i_{in1} , i_{in2} and i_{in3} are 1kHz sinusoidal wave with $20\mu A$ peak amplitude and 0° , 45° and 90° phase shift, respectively. To estimate the propagation delay of the Max/Min cell, the transient performance of the maximum and minimum operations were simulated. The simulation results are given in the figure 5(a) and 5(b), respectively, where i_{in1} are the step function currents and i_{in2} are fixed at the

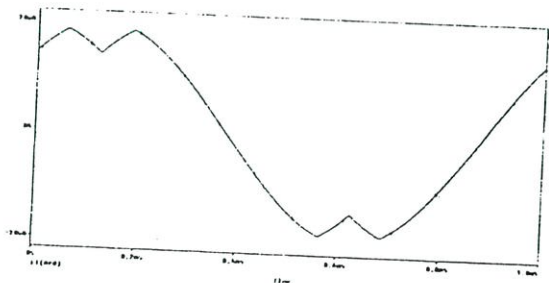
same constant value. The simulation curves in figure 5(a) show the results under the condition i_{in1} are the step function currents, $0-5\mu A$, $0-10\mu A$ and $0-20\mu A$, respectively, and i_{in2} are kept at $0\mu A$. The curves in figure 5(b) show the simulation results under the condition that i_{in1} are the step function currents, $20-0\mu A$, $15-0\mu A$, $10-0\mu A$ and $5-0\mu A$, and i_{in2} are kept at $20\mu A$, $15\mu A$, $10\mu A$ and $5\mu A$, respectively. It can be seen that the propagation delays of the maximum and minimum operations of the Max/Min cell are about 5ns. It is evident that the proposed circuit has correct function and good performances



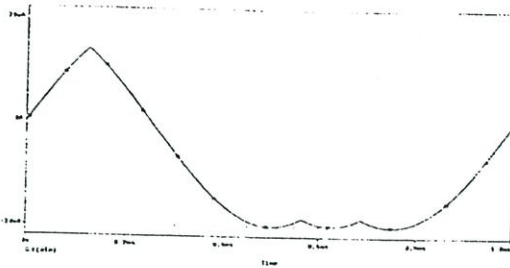
(a)



(b)

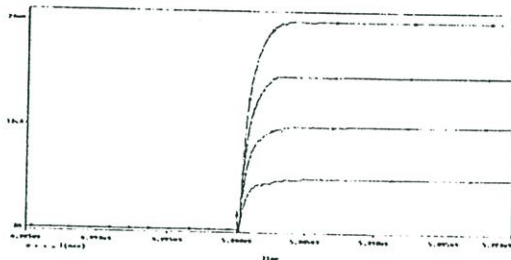


(c)

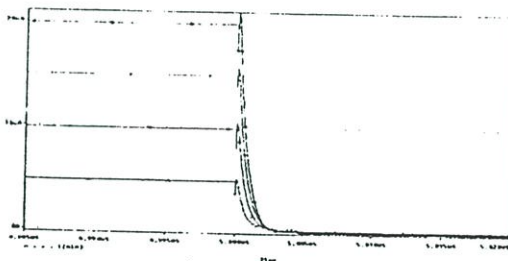


(d)

Figure 4. Simulated transient response
 (a) 1kHz Sinusoidal input signal currents
 (b) Maximum output current
 (c) Median output current
 (d) Minimum output current



(a)



(b)

Figure 5. Transient Analysis of Max/Min cell
 (a) Maximum operation
 (b) Minimum operation

4. Conclusion

The current-mode maximum, median and minimum circuit is presented. The PSPICE analog simulation program confirmed the circuit performances. The proposed circuit has correct function and a very sharp transfer characteristic. It has a simple structure and is able to directly fabricated in a standard CMOS process.

5. Acknowledgment

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NASTDA), and National Electronics and Computer Technology Center (NECTEC), Thailand, for the financial support of this work

6. References

- [1] X. Wang, and D. Wang, "On the Max/Median Filter", *IEEE Trans. on Acoustics, Speech, and Signal Processing*, vol. 38, no. 8, August 1990, pp. 1473-1475.
- [2] J. Gil, and M. Werman, "Computing 2D- Min, Median and Filters", *IEEE Trans. on Pattern Analysis and Machine intelligence*, vol. 15, no. 5, May, 1993, pp. 504-507.
- [3] I. E. Opris, "Analog Rank Extractors", *IEEE Trans. on Circuits and Systems-I: Fundamental Theory And Applications*, vol. 44, no. 12, December 1997, pp. 1114-1121.
- [4] Y. C. Hung, and B. D. Liu, "A Generalized High-Precision Analog CMOS Rank Finder for Max/Min/Med Application". 1999 IEEE International Fuzzy Systems Conference Proceedings, Korea, August 1999, pp. III (1680)-III(1684).
- [5] J.S.J Li, and W.H. Holmes, "Analog Implementation of Median Filters for Real-Time Signal Processing", *IEEE Trans. on Circuits and Systems*, vol.35, no. 8, August 1988, pp.1032-i033.
- [6] M. Sasaki, T. Inoue, Y. Shirai, and F. Ueno, "Fuzzy multiple-input maximum and minimum circuits in current mode and their analyses using bounded-difference equations", *IEEE Trans.*, 1990, C-39, pp. 768-774.
- [7] M.A. Yakout, E.I. Ei-Masry, and A.I. Abdel-Fattah, "Hardware Realization of Analog CMOS Current-Mode Minimum Circuit", Fifteenth National Radio Science Conference, Egypt, 1998, pp. D8(1)-D8(7)
- [8] T. Chimpalce, V. Riewruja, A. Chaikla, and S. Supaph, "A High-speed Max/Min Circuit", *Proceedings of the KACC 2000 (Abstract Book)*, Korea, October 2000, pp.513.
- [9] B. Wilson, "High Performance Current Conveyor Implementation", *Electronics Letters*, vol. 20, no. 24, Nov. 1984, pp. 990-991.
- [10] P. Laipasu, A. Chaikla, A. Jaruwawat, T. Lee and V. Riewruja, "Two-Input Max/Min Circuit for Fuzzy Inference System", *Proceedings of the ICCAS 2001*, Korea, pp. 826 - 829, 2001

ประวัติผู้เขียน

ชื่อ-นามสกุล	นางสาวมณีรัตน์ แก้วรองกุล
วัน เดือน ปีเกิด	25 กุมภาพันธ์ พ.ศ. 2518 ที่จังหวัด ลำปาง
ที่อยู่ปัจจุบัน	185 หมู่ 10 ต.นครสวรรค์คอก อ.เมือง จ.นครสวรรค์ 60000
ประวัติการศึกษา	พ.ศ. 2536-2539 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม มหาวิทยาลัยเทคโนโลยีสุรนารี
ประสบการณ์การทำงาน	พ.ศ.2540 จนถึงปัจจุบัน ตำแหน่งวิศวกรระดับ 6 แผนกบำรุงรักษาระบบสื่อสาร 2 (หรน2-สส.) กองบำรุงรักษาสื่อสาร(กรน-สส.) ฝ่ายปฏิบัติการภาคเหนือ(ฝปน.) การไฟฟ้าฝ่ายผลิตแห่งประเทศไทย (กฟผ.)