

วงจรสุ่มและกักเก็บสัญญาณกระแสแบบซีมอส

A CURRENT-MODE CMOS SAMPLE-AND-HOLD CIRCUIT

พินิต มหัทธมนันต์

PHINET MAHATTHUMTHANANT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2550

KMITL-2007-EN-M-080-028

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรสุ่มและคงค่าสัญญาณกระแสแบบซีมอส

A CURRENT-MODE CMOS SAMPLE-AND-HOLD CIRCUIT



พินิต มหัทธมธนันต์

PHINET MAHATTHUMTHANANT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2550

KMITL-2007-EN-M-080-028

**A CURRENT-MODE CMOS SAMPLE-AND-HOLD CIRCUIT**

**PHINET MAHATTHUMTHANANT**

**A THESIS SUBMITTED IN A PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN CONTROL ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2007**

**KMITL-2007-EN-M-080-028**

**COPY RIGHT 2007**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

|                             |                                     |
|-----------------------------|-------------------------------------|
| หัวข้อวิทยานิพนธ์           | วงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอส |
| นักศึกษา                    | ว่าที่ร้อยตรี พิเนต มหัทธมนันต์     |
| รหัสนักศึกษา                | 48060502                            |
| ปริญญา                      | วิศวกรรมศาสตรมหาบัณฑิต              |
| สาขาวิชา                    | วิศวกรรมระบบควบคุม                  |
| พ.ศ.                        | 2550                                |
| อาจารย์ที่ปรึกษาวิทยานิพนธ์ | รศ. ดร. วันชัย ธีรรัฐจา             |

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เป็นการนำเสนอวงจรสุ่มและคงค่าสัญญาณกระแส ที่ออกแบบโดยการ  
ใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอสขนาด  $0.5\mu\text{m}$  วงจรสุ่มค่าด้วยสวิทช์ของวงจรสุ่มและคงค่า  
สัญญาณถูกแทนด้วยวงจรถบกระแสและวงจรรีจกระแสแบบครึ่งคลื่นเพื่อเป็นการลดผลกระทบที่  
เกิดจากจากสัญญาณนาฬิกา ผลการทำงานของวงจรถบกระแสที่นำเสนอสามารถยืนยันได้ด้วยผลการ  
เลียนแบบการทำงานด้วยโปรแกรม PSPICE ซึ่งสามารถกำจัดค่าความผิดพลาดที่เกิดขึ้นจาก  
สัญญาณนาฬิกาในการสวิทช์ออกไปได้ นอกจากนี้วงจรถบกระแสที่นำเสนอยังสามารถทำงานได้ที่ความถี่ใน  
อัตราการสุม 100 MHz โดยมีความถูกต้องแม่นยำสูง และเป็นไปตามหลักการที่นำเสนอไว้ใน  
วิทยานิพนธ์ฉบับนี้

|                       |  |
|-----------------------|--|
| <b>Thesis Title</b>   | A Current-Mode CMOS Sample-and-Hold Circuit  |
| <b>Student</b>        | Acting Sub Lt. Phinet Mahatthumthanant       |
| <b>Student ID.</b>    | 48060502                                     |
| <b>Degree</b>         | Master of Engineering in Control Engineering |
| <b>Program</b>        | Control Engineering                          |
| <b>Year</b>           | 2007   |
| <b>Thesis Advisor</b> | Assoc. Prof. Dr. Vanchai Riewruja            |

### ABSTRACT

This Thesis presents a current-mode sample-and-hold circuit using 0.5 $\mu$ m CMOS technology. The input signal is sampled using a current subtracter and a half wave rectifier instead of a sampling switch used in the conventional sample-and-hold circuit. As a result, the switch feedthrough error is eliminated. The proposed circuit achieves high sampling frequency up to 100MHz and high accuracy. The performances of the proposed circuit are demonstrated by PSPICE simulation results.

## กิตติกรรมประกาศ

การจัดทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี ด้วยคำแนะนำและการให้ความช่วยเหลือจาก รองศาสตราจารย์ ดร.วันชัย ธีรจุฑา อาจารย์ที่ปรึกษา และอาจารย์ผู้ควบคุมวิทยานิพนธ์ ผู้วิจัย ผู้ศึกษาซึ่งในความกรุณาและขอกราบขอบพระคุณเป็นอย่างสูง

ขอกราบขอบพระคุณ รศ.ดร.วรวงศ์ ตั้งศรีรัตน์ ผศ.ดร.พิพัฒน์ พรหมมี รศ.สุมาลี อุณหวนิชย์ และ ผศ.ดร.อัมพวัน จุลเสรีวงศ์ คณะกรรมการสอบวิทยานิพนธ์ที่ได้กรุณาให้คำปรึกษาและคำแนะนำเป็นอย่างดีในการจัดทำวิทยานิพนธ์นี้

ขอขอบคุณ อาจารย์วรรณดี เพชรมณีล้ำค่า อาจารย์ธวัชชัย คำศรี คุณอภิรักษ์ ฤกษ์รัตน์ พี่น้อง และเพื่อนๆ ในห้องปฏิบัติการ B418 ทุกคนที่สนับสนุนและให้ความช่วยเหลือให้วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้เป็นอย่างดี

ขอขอบคุณ เจ้าหน้าที่ประจำบัณฑิตศึกษา คณะวิศวกรรมศาสตร์ และ เจ้าหน้าที่บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุกท่าน ที่ได้ให้คำปรึกษาและความช่วยเหลืออย่างดียิ่งในการติดต่อประสานงาน

ขอขอบคุณ คุณ ชชนี ติระวานิชสันต์ คุณ ปิยพันธ์ มหัทธมธนนต์ คุณศิริชัช มหัทธมธนนต์ และ คุณณัฐจัน มหัทธมธนนต์ ที่ให้กำลังใจและให้การสนับสนุนในการศึกษามาโดยตลอด

คุณค่าและประโยชน์ใดๆอันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่บิดา มารดา ครู อาจารย์และผู้มีพระคุณทุกท่าน

สุดท้ายนี้ผู้วิจัยขอขอบคุณสำนักงานคณะกรรมการอุดมศึกษาสำหรับทุนสนับสนุนในการจัดทำวิทยานิพนธ์มา ณ โอกาสนี้ด้วย

พิเนต มหัทธมธนนต์

# สารบัญ

หน้า

|  |      |
|--|------|
| บทคัดย่อภาษาไทย.....   | I    |
| บทคัดย่อภาษาอังกฤษ.....  | II   |
| กิตติกรรมประกาศ.....   | III  |
| สารบัญ.....  | IV   |
| สารบัญตาราง.....   | VII  |
| สารบัญรูป.....   | VIII |
| บทที่ 1 บทนำ.....  | 1    |
| 1.1 ความเป็นมาและความสำคัญของปัญหา.....                                | 1    |
| 1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์.....                     | 1    |
| 1.3 ขอบเขตของวิทยานิพนธ์.....  | 2    |
| 1.4 รายละเอียดของวิทยานิพนธ์.....                                      | 2    |
| บทที่ 2 กลุ่มวงจรย่อยที่ใช้ในการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแส..... | 4    |
| 2.1 บทนำ.....  | 4    |
| 2.2 การประมวลผลสัญญาณในโหมดกระแส.....                                  | 4    |
| 2.2.1 การประมวลผลสัญญาณแบบต่อเนื่องทางเวลา.....                        | 4    |
| 2.2.2 การประมวลผลสัญญาณแบบสุ่มค่าข้อมูล.....                           | 7    |
| 2.2.3 ความผิดพลาดที่เกิดขึ้นในวงจรสวิตช์กระแส.....                     | 9    |
| 2.2.3.1 การไม่สมพงษ์กันของอุปกรณ์ในวงจร.....                           | 9    |
| 2.2.3.2 ผลกระทบจากสัญญาณนาฬิกา.....                                    | 12   |
| 2.2.3.3 วิธีลดผลกระทบที่เกิดจากสัญญาณนาฬิกา.....                       | 13   |
| 2.3 วงจรตรวจจับค่ายอดสัญญาณ.....                                       | 14   |
| 2.3.1 หลักการทำงานของวงจรตรวจจับค่ายอดสัญญาณสูงสุด.....                | 14   |
| 2.3.2 วงจรตรวจจับค่ายอดสัญญาณสูงสุดแบบพื้นฐาน.....                     | 15   |
| 2.3.2.1 วงจรตรวจจับค่ายอดสัญญาณสูงสุดโดยการใช้<br>อุปกรณ์พาสซีฟ.....   | 15   |
| 2.3.2.2 วงจรตรวจจับค่ายอดสัญญาณสูงสุดโดยการใช้<br>อุปกรณ์แอคทีฟ.....   | 16   |

## สารบัญ (ต่อ)

หน้า

|         |  |    |
|---------|--|----|
| 2.3.3   | วงจรถ่วงจับจ่ายยอดสัญญาณ โดยใช้วงจรถ่วงพานกระแส<br>ต่อร่วมกับไดโอดและออปแอมป์.....                                   | 17 |
| 2.3.4   | วงจรถ่วงจับจ่ายยอดสัญญาณ โดยใช้ไบโพลารทรานซิสเตอร์.....  | 18 |
| 2.3.5   | การคายประจุแรงดัน.....   | 21 |
| 2.4     | วงจรสุ่มและคงค่าสัญญาณกระแส.....   | 22 |
| 2.4.1   | หลักการทำงานของวงจรสุ่มและคงค่าสัญญาณกระแส.....  | 22 |
| 2.4.2   | วงจรสุ่มและคงค่าสัญญาณกระแสแบบธรรมดา.....  | 24 |
| 2.4.3   | วงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาด<br>ที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุท..... | 28 |
| 2.4.4   | วงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาด<br>ที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุท.....    | 31 |
| 2.5     | บทสรุป.....  | 33 |
| บทที่ 3 | วงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่เสนอ.....  | 35 |
| 3.1     | บทนำ.....  | 35 |
| 3.2     | วงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่ได้ทำการออกแบบ.....  | 35 |
| 3.3     | วงจรถ่วงจับจ่ายยอดกระแสสัญญาณที่ได้ออกแบบ.....   | 39 |
| 3.4     | การวิเคราะห์คุณสมบัติการทำงานของวงจรถ่วง.....  | 42 |
| 3.4.1   | การวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออก.....   | 42 |
| 3.4.1.1 | ค่าความต้านทานจุดเข้า.....   | 42 |
| 3.4.1.2 | ค่าความต้านทานที่จุดออก.....   | 44 |
| 3.4.2   | การวิเคราะห์ช่วงปฏิบัติงานทางขนาดของกระแสอินพุท.....   | 44 |
| 3.4.3   | ผลวิเคราะห์การตอบสนองทางความถี่.....   | 45 |
| 3.4.4   | ช่วงเวลาการชาร์จประจุของตัวเก็บประจุ ณ เวลาเริ่มต้น.....   | 47 |
| 3.4.5   | การเลือกค่าตัวเก็บประจุ.....   | 47 |
| 3.5     | ผลการเลียนแบบการทำงานของวงจรถ่วงด้วยโปรแกรม PSPICE.....  | 48 |
| 3.6     | บทสรุป.....  | 51 |

## สารบัญ (ต่อ)

หน้า

|   |    |
|---|----|
| บทที่ 4 บทสรุปและข้อเสนอแนะแนวทางการวิจัย.....                                | 52 |
| 4.1 บทสรุปและวิจารณ์.....   | 52 |
| 4.2 ข้อเสนอแนะและแนวทางในการวิจัยต่อ.....                                     | 52 |
| <br>  |    |
| เอกสารอ้างอิง.....  | 53 |
| <br>  |    |
| ภาคผนวก ก. คุณสมบัติและหลักการทำงานของมอสเฟททรานซิสเตอร์.....                 | 57 |
| ก1. โครงสร้างของมอสเฟททรานซิสเตอร์.....                                       | 57 |
| ก2. การทำงานและคุณสมบัติของมอสเฟททรานซิสเตอร์.....                            | 61 |
| ก3. แบบจำลองและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก.....                 | 69 |
| ก4. ค่าความจุไฟฟ้าในมอสเฟททรานซิสเตอร์.....                                   | 71 |
| <br>  |    |
| ภาคผนวก ข. บทความวิจัยที่ได้รับการตีพิมพ์ในการประชุมวิชาการระดับนานาชาติ..... | 74 |
| <br>  |    |
| ประวัติผู้เขียน.....  | 80 |

## สารบัญตาราง

| ตารางที่  | หน้า |
|---|------|
| 2.1 ค่าผิดพลาดของกระแสเอ้าท์พุทที่เกิดจาก $W$ , $L$ และ $k$ ไม่สมพงษ์กัน..... | 11   |
| 3.1 อัตราส่วนความกว้างต่อความยาว ( $W/L$ ) ของทรานซิสเตอร์แบบซีมอส.....       | 48   |

# สารบัญรูป

| รูปที่  | หน้า |
|---|------|
| 2.1 วงจรสะท้อนกระแสที่สร้างจากทรานซิสเตอร์แบบมอส.....   | 5    |
| 2.2 การรวมสัญญาณอินพุทของวงจรสะท้อนกระแส.....   | 7    |
| 2.3 วงจรสุ่มและคงค่าสัญญาณกระแส.....  | 8    |
| 2.4 กระแสอินพุทและกระแสเอาต์พุทของวงจรสุ่มและคงค่าสัญญาณกระแส.....  | 9    |
| 2.5 วงจรสุ่มและคงค่าสัญญาณกระแสที่แสดงตัวเก็บประจุแฝงของ M2 และสวิตช์ Ms.....   | 12   |
| 2.6 กระแสอินพุทและกระแสเอาต์พุทของวงจรสุ่มและคงค่ากระแส.....  | 13   |
| 2.7 กราฟแสดงค่าตรวจจับค่ายอดสัญญาณ.....   | 15   |
| 2.8 กราฟแสดงค่าตรวจจับค่ายอดสัญญาณสามเหลี่ยมเมื่อสัญญาณอินพุทมีค่าเปลี่ยนแปลง.....  | 15   |
| 2.9 วงจรตรวจจับค่ายอดสัญญาณสูงสุดแบบพื้นฐาน โดยใช้อุปกรณ์พาสซีฟ.....  | 15   |
| 2.10 วงจรตรวจจับค่ายอดสัญญาณสูงสุดแบบพื้นฐาน โดยใช้อุปกรณ์แอคทีฟ.....   | 16   |
| 2.11 วงจรจับยอดสัญญาณ โดยใช้วงจรสายพานกระแสต่อร่วมกับ ไดโอดและออปแอมป์.....   | 18   |
| 2.12 วงจรตรวจจับยอดสัญญาณกระแสโดยใช้ไบโพลาร์ทรานซิสเตอร์.....   | 19   |
| 2.13 รูปแสดงคุณสมบัติของวงจรจำกัดกระแสในภาคแรก.....   | 20   |
| 2.14 กราฟแสดงความสัมพันธ์เวลาและการคายประจุแรงดัน.....  | 22   |
| 2.15 วงจรสุ่มและคงค่าสัญญาณกระแส.....   | 23   |
| 2.16 สัญญาณต่างๆในวงจรสุ่มและคงค่าสัญญาณกระแส.....  | 23   |
| 2.17 วงจรสุ่มและคงค่าสัญญาณกระแสแบบธรรมดา.....  | 24   |
| 2.18 วงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาด<br>ที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุท.....   | 28   |
| 2.19 รูปคลื่นของกระแสอินพุทและกระแสเอาต์พุทของวงจรสุ่มและคงค่าสัญญาณ<br>กระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้น<br>อยู่กับสัญญาณอินพุท โดยสัญญาณอินพุทมีความถี่เท่ากับ 1 KHz<br>สัญญาณนาฬิกามีความถี่เท่ากับ 10 KHz..... | 30   |
| 2.20 แสดงค่ากระแสผิดพลาดที่อินพุทค่าต่างๆ ของวงจรสุ่มและคงสัญญาณกระแส<br>ที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับ<br>กระแสอินพุท และวงจรสุ่มและคงค่ากระแสแบบธรรมดา โดยสัญญาณนาฬิกามี<br>ความถี่เท่ากับ 10 KHz.....      | 31   |
| 2.21 วงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจาก<br>สัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับกระแสอินพุท.....   | 32   |

## สารบัญรูป (ต่อ)

| รูปที่   | หน้า |
|--|------|
| 3.1 บล็อกไดอะแกรมของวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ.....  | 35   |
| 3.2 วงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ.....  | 36   |
| 3.3 สัญญาณกระแสรูปคลื่นที่จุดต่างๆของวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอส.....  | 37   |
| 3.4 วงจรตรวจจับคายอดสัญญาณกระแสที่ใช้ในวงจรที่นำเสนอ.....  | 40   |
| 3.5 วงจรสมมูลสำหรับการคำนวณหาค่าความต้านทานที่จุดเข้า.....   | 42   |
| 3.6 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่.....  | 45   |
| 3.7 แสดงความกว้างของพัลส์สัญญาณนาฬิกา.....   | 47   |
| 3.8 รูปคลื่นกระแสอินพุทและเอาต์พุทของวงจรสุ่มและคงค่ากระแสแบบซิมอส<br>เมื่อกระแสอินพุทเป็นคลื่นไซน์ความถี่ 10 MHz และสัญญาณสุ่มมีความถี่<br>100 MHz.....     | 49   |
| 3.9 รูปคลื่นกระแสอินพุทและเอาต์พุทของวงจรสุ่มและคงค่ากระแสแบบซิมอสเมื่อ<br>กระแสอินพุทเป็นคลื่นสามเหลี่ยมความถี่ 10MHz และสัญญาณสุ่มมีความถี่<br>100MHz..... | 50   |
| 3.10 ค่าความผิดเพี้ยนรวมทางฮาร์โมนิก (THD) เมื่อเปรียบเทียบกับสัญญาณอินพุท<br>ที่ค่าความถี่ต่างๆ.....  | 51   |
| ก1.1 แสดงสัญลักษณ์ทางวงจรและโครงสร้างของมอสทรานซิสเตอร์.....   | 57   |
| ก1.2 สัญลักษณ์มอสทรานซิสเตอร์ชนิดเอ็นและพี.....  | 58   |
| ก1.3 โครงสร้างมอสเฟทแบบคิเพิลทชั้น โหมดชนิดเอ็นแซนแนลและพีแซนแนล.....  | 60   |
| ก1.4 โครงสร้างมอสเฟทแบบเอ็นฮานซ์เมนต์ โหมดชนิดเอ็นแซนแนลและพีแซนแนล.....   | 61   |
| ก2.1 มอสเฟทแบบเอ็นฮานซ์เมนต์ โหมด (Enhancement-mode) .....   | 62   |
| ก2.2 (ก) การสร้างมอสเฟทชนิดพี.....   | 63   |
| ก2.2 (ข) การสร้างเอ็นมอสและพีมอสบนฐานรองเดียวกัน.....  | 63   |
| ก2.3 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนต์ โหมดชนิดเอ็น.....  | 64   |
| ก2.4 การไบอัสค่าแรงดันเริ่มต้นของมอสเฟทแบบเอ็นฮานซ์เมนต์ โหมดชนิดพี.....   | 65   |
| ก2.5 กราฟแสดงคุณสมบัติการทำงานของมอสเฟทแบบเอ็นฮานซ์เมนต์ โหมด<br>ชนิดเอ็นแซนแนล.....   | 66   |
| ก3.1 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟท.....   | 69   |
| ก4.1 แบบจำลองค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟท.....   | 71   |

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ในระบบการประมวลผลสัญญาณดิจิทัลมีการใช้งานอย่างแพร่หลายในงานต่างๆ เช่น ระบบสัญญาณภาพและเสียง การวัดและเครื่องมือวัด และระบบควบคุมดิจิทัล เป็นต้น วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลจะทำหน้าที่เป็นวงจรเชื่อมโยงระหว่างวงจรแอนะล็อกและวงจรดิจิทัล เพื่อเป็นการหลีกเลี่ยงการลดทอนคุณภาพในการแปลงสัญญาณของวงจรแปลงสัญญาณ จึงนำเอาวงจรสุ่มและคงค่าสัญญาณมาทำหน้าที่เป็นวงจรภาคหน้าของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล โดยทั่วไปวงจรสุ่มและคงค่าสัญญาณมักจะใช้เทคนิคการสวิตช์ด้วยทรานซิสเตอร์แบบซิมอส ซึ่งจะก่อให้เกิดความผิดเพี้ยนของรูปสัญญาณที่เอาต์พุตของวงจรสุ่มและคงค่าสัญญาณ อันเนื่องมาจากค่าความต้านทานช่วงเปิดสวิตช์ (switch-on resistance) การฉีดประจุข้ามช่องการนำกระแส (channel charge injection) และสัญญาณนาฬิกา (clock feedthrough) ซึ่งในอดีตที่ผ่านมาสวิตช์ที่ใช้นักจะถูกสร้างขึ้นด้วยทรานซิสเตอร์แบบซิมอส ซึ่งค่าความต้านทานช่วงเปิดสวิตช์จะมีค่าแปรตามค่าแรงดันของการสวิตช์และขนาดของแรงดันควบคุม [1] ในการลดค่าของความต้านทานช่วงเปิดสวิตช์ให้มีค่าน้อยที่สุดจึงมีการนำเทคนิคบูตสเตรปสวิตช์ และการบูตสเตรปแรงดันควบคุมสวิตช์มาใช้ [2-4] ซึ่งเทคนิคดังกล่าวใช้หลักการสร้างแรงดันค่าคงที่ของเกต-ซอสสำหรับการสวิตช์มอสทรานซิสเตอร์ เพื่อหลีกเลี่ยงปรากฏการณ์ของค่าความต้านทานช่วงเปิดสวิตช์ ส่วนเทคนิคการบูตสเตรปแรงดันจะถูกเพิ่มค่าเพื่อสร้างแรงดันควบคุมให้มีค่าสูงกว่าค่าแรงดันแหล่งจ่าย เพื่อลดค่าความต้านทานช่วงสวิตช์ ในขณะที่ทรานซิสเตอร์แบบซิมอสทำการสวิตช์ สัญญาณแรงดันควบคุมจะถูกเพิ่มค่าเป็นสองเท่าของแรงดันแหล่งจ่าย ซึ่งอาจทำให้เกิดความเสียหายขึ้นได้ในลักษณะการทะลุของเกตออกไซด์ และค่าความถี่ของการสุ่มจะแปรค่าในย่านแคบๆ ตามค่าประจุของตัวเก็บประจุแผ่นที่มีอยู่ในชิพ ซึ่งเทคนิคทั้งสองแบบที่กล่าวมาแล้วนั้นต้องอาศัยการจัดวงจรดิฟเฟอเรนเชียลและคัมมีทรานซิสเตอร์ [5-6] ซึ่งก็ยังไม่สามารถกำจัดค่าความผิดพลาดที่เกิดขึ้นเนื่องจากการฉีดประจุข้ามช่องการนำกระแส และสัญญาณนาฬิกาได้อย่างสมบูรณ์

### 1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์ที่จะทำการการศึกษาและออกแบบวงจรสุ่มและคงค่าสัญญาณกระแส โดยใช้ทรานซิสเตอร์แบบซิมอส ซึ่งนำวงจรลบกระแสและวงจรเรียงกระแสแบบครึ่งคลื่น มาใช้แทนวงจรสุ่มแบบสวิตช์ด้วยทรานซิสเตอร์แบบซิมอสที่มีใช้งานอยู่เดิม เพื่อให้

ได้ผลการทำงานของวงจรที่มีความเร็วสูงและมีความถูกต้องแม่นยำที่ดี และมีการกำจัดค่าความผิดพลาดอันเกิดจากปรากฏการณ์การฉีกประจุข้ามช่อง และสัญญาณนาฬิกาให้ลดลงน้อยที่สุด

### 1.3 ขอบเขตของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้เสนอวงจรสุ่มและคงค่าสัญญาณกระแสที่ออกแบบขึ้นมา และทำการจำลองการทำงานของวงจรสุ่มและคงค่าสัญญาณกระแสที่เสนอนี้ ด้วยโปรแกรม PSPICE เพื่อวิเคราะห์การทำงานของวงจร ใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอสขนาด 0.5 $\mu$ m

### 1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 8 บท ซึ่งมีรายละเอียดดังต่อไปนี้

**บทที่ 1** คือ บทนำ เป็นการกล่าวถึงวัตถุประสงค์ของวิทยานิพนธ์และรายละเอียดในแต่ละบทของวิทยานิพนธ์

**บทที่ 2** กล่าวถึงกลุ่มวงจรย่อยที่ใช้ในการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแส โดยจะแยกกลุ่มวงจรย่อยดังนี้

กลุ่มที่ 1 เป็นกลุ่มวงจรการประมวลผลสัญญาณในโหมดกระแส วงจรที่ทำงานต่อเนื่องทางเวลาและวงจรที่ทำงานโดยใช้การสุ่มค่าข้อมูล การทำโอเปอร์เรชั่นต่างๆ เช่น การกลับค่าสัญญาณ การคูณด้วยค่าคงที่ การรวมสัญญาณและการคูณสัญญาณ ความผิดพลาดต่างๆที่เกิดขึ้นและการกำจัดหรือลดค่าความผิดพลาดประเภทต่างๆ

กลุ่มที่ 2 กล่าวถึงวงจรตรวจจับค่ายอดสัญญาณที่สำคัญ ได้แก่ การออกแบบวงจรตรวจจับค่ายอดสัญญาณแบบพื้นฐานโดยใช้อุปกรณ์พาสซีฟ การออกแบบวงจรโดยใช้อุปกรณ์แบบแอคทีฟ ต่อร่วมกับไดโอด การใช้โอปแอมป์ต่อร่วมกับวงจรสายพานกระแส และการออกแบบโดยอาศัยหลักการของวงจรรวมแบบไบโพลารทรานซิสเตอร์ที่ทำงานในโหมดกระแส รวมทั้งการอธิบายถึงข้อดีและข้อเสียของแนวทางการออกแบบแต่ละวิธี

กลุ่มที่ 3 กล่าวถึงหลักการการทำงานของวงจรสุ่มและคงค่าสัญญาณ วงจรสุ่มและคงค่าสัญญาณกระแสในแบบต่างๆ เช่น วงจรสุ่มและคงค่ากระแสแบบซิมอส วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดของสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดของสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต

**บทที่ 3** กล่าวถึงการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอใหม่ โดยใช้วงจรลบกระแส และ วงจรเรียงกระแสแบบครึ่งคลื่น แทนการใช้วงจรสุ่มค่าด้วยสวิทช์ และการออกแบบวงจรตรวจจับค่ายอดสัญญาณกระแสแบบใหม่ และวิเคราะห์หาคุณสมบัติต่างๆและการทดสอบการทำงานของวงจร ด้วยโปรแกรม PSPICE เพื่อทดสอบคุณสมบัติดังกล่าวของวงจร

บทที่ 4 เป็นบทส่งท้าย ซึ่งเป็นการสรุปผลงานที่ได้นำเสนอในวิทยานิพนธ์ พร้อมทั้งเสนอแนวทางในการวิจัยและพัฒนาต่อไป

เอกสารอ้างอิง

ภาคผนวก ก กล่าวถึงทฤษฎีการทำงานและสมการแสดงความสัมพันธ์ของมอสเฟตโดยจะเน้นที่การทำงานในช่วงอิมิตัว แบบจำลองและวงจรสมมูลของมอสทรานซิสเตอร์

ภาคผนวก ข แสดงผลงานวิจัยที่ได้รับการตีพิมพ์

ประวัติผู้เขียน

## บทที่ 2

# กลุ่มวงจรย่อยที่ใช้ในการออกแบบ วงจรสุ่มและคงค่าสัญญาณกระแส

### 2.1 บทนำ

ในบทนี้จะเป็นการกล่าวถึงกลุ่มวงจรย่อยที่ใช้ในการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสในวิทยานิพนธ์นี้ โดยจะแยกวงจรที่สำคัญต่างๆออกเป็น 3 กลุ่มดังนี้

กลุ่มที่ 1 เป็นกลุ่มวงจรการประมวลผลสัญญาณในโหมดกระแส วงจรที่ทำงานต่อเนื่องทางเวลาและวงจรที่ทำงานโดยใช้การสุ่มค่าข้อมูล การทำโอเพอเรชั่นต่างๆ เช่น การกลับค่าสัญญาณ การคูณด้วยค่าคงที่ การรวมสัญญาณและการคูณสัญญาณ ความผิดพลาดต่างๆที่เกิดขึ้นและการกำจัดหรือลดค่าความผิดพลาดประเภทต่างๆ

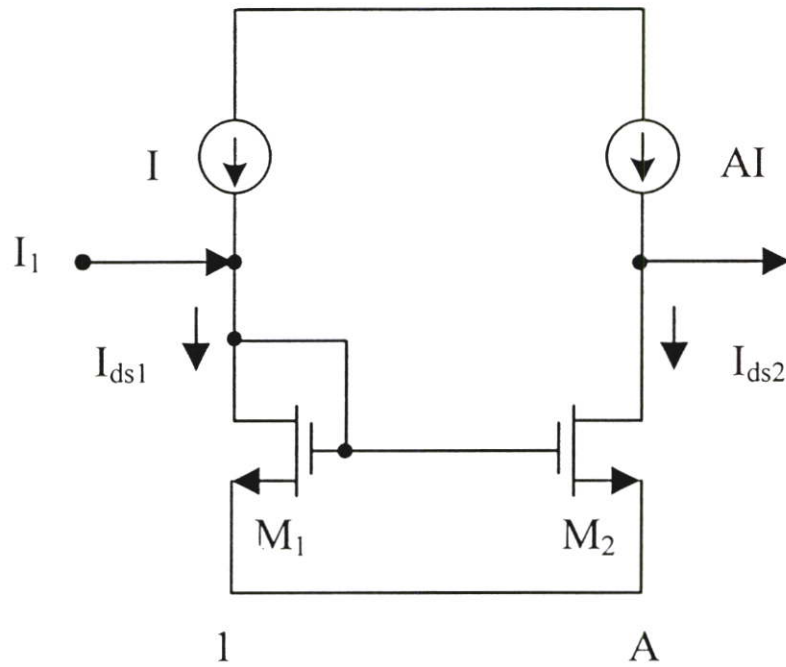
กลุ่มที่ 2 กล่าวถึงวงจรตรวจจับค่าขอดีสัญญาณที่สำคัญ ได้แก่ การออกแบบวงจรตรวจจับค่าขอดีสัญญาณแบบพื้นฐานโดยใช้อุปกรณ์พาสซีฟ การออกแบบวงจรโดยใช้อุปกรณ์แบบแอคทีฟต่อร่วมกับไดโอด การใช้โอปแอมป์ต่อร่วมกับวงจรสายพานกระแส และการออกแบบโดยอาศัยหลักการของวงจรรวมแบบไบโพลารานซิสเตอร์ที่ทำงานในโหมดกระแส รวมทั้งการอธิบายถึงข้อดีและข้อเสียของแนวทางการออกแบบแต่ละวิธี

กลุ่มที่ 3 กล่าวถึงหลักการทำงานของวงจรสุ่มและคงค่าสัญญาณ วงจรสุ่มและคงค่าสัญญาณกระแสในแบบต่างๆ เช่น วงจรสุ่มและคงค่ากระแสแบบธรรมดา วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดของสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุท และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดของสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุท

### 2.2 การประมวลผลสัญญาณในโหมดกระแส

#### 2.2.1 การประมวลผลสัญญาณแบบต่อเนื่องทางเวลา

วงจรพื้นฐานที่ใช้ในการประมวลผลสัญญาณใน โหมดกระแสคือวงจรสะท้อนกระแส (Current Mirror) ที่สร้างจากทรานซิสเตอร์แบบมอส แสดงดังรูปที่ 2.1



รูปที่ 2.1 วงจรสะท้อนกระแสที่สร้างจากทรานซิสเตอร์แบบมอส

วงจรประกอบด้วยแหล่งจ่ายกระแสไบอัส 2 ตัว ทรานซิสเตอร์แบบมอส 2 ตัว คือ M1 และ M2 โดยขาเกตและขาเดรนของ M1 จะต่อถึงกันหรือต่อในลักษณะไดโอด ขาเกตของ M1 และ M2 ต่อถึงกัน สมมติว่า M1 และ M2 ถูกไบอัสให้ทำงานในย่านอิ่มตัวและไม่คิดผลจาก Channel Length Modulation กำหนดให้กระแสอินพุต  $I_i = 0$  จะได้กระแสเดรนของ M1 เท่ากับ

$$I_{DS1} = 1/2 k(W/L)(V_{gs1} - V_T)^2 \quad (2.2.1)$$

โดย  $k$  คือ ค่าทรานสคอนดักแตนซ์พารามิเตอร์,  $V_T$  คือค่าแรงดันขีดเริ่มของทรานซิสเตอร์ M1 และ M2 ซึ่งเท่ากัน,  $(W/L)$  คือค่าอัตราส่วนแอสเปค (Aspect Ratio) ของ M1 และ  $V_{gs1}$  คือค่าแรงดันระหว่างขาเกตกับขาซอสของ M1

ค่ากระแสนี้สามารถแปลงให้อยู่ในรูปของค่าแรงดันระหว่างขาเกตกับขาซอสของ M1 ได้โดยจัดรูปสมการ (2.2.1) ได้ดังนี้

$$V_{gs1} = \sqrt{\frac{2I_{ds1}}{k(W/L)}} + V_T \quad (2.2.2)$$

เนื่องจากขาเกทของ M1 และ M2 ต่อถึงกันดังนั้นจะได้  $V_{gs1} = V_{gs2}$  ทำให้กระแสเดรนของ M2 มีค่าเป็นอัตราส่วนกับ  $I_{ds1}$  โดยขึ้นอยู่กับค่าอัตราส่วนแอสเปค ( $W/L$ ) ในกรณีที่ค่าอัตราส่วนแอสเปค M1 และ M2 เท่ากัน จะได้  $I_{ds1} = I_{ds2}$  และในกรณีที่ค่าอัตราส่วนแอสเปคของ M2 เป็น A เท่าของ M1 คือ  $(W/L)_2 = A(W/L)_1$  จะได้

$$I_{ds2} = A I_{ds1} \quad (2.2.3)$$

ถ้าใส่กระแสอินพุท  $I_I$  ที่อินพุทของวงจร กระแส  $I_{ds1}$  จะเท่ากับผลรวมของกระแสไบอัสกับกระแสอินพุท

$$I_{ds1} = I + I_I \quad (2.2.4)$$

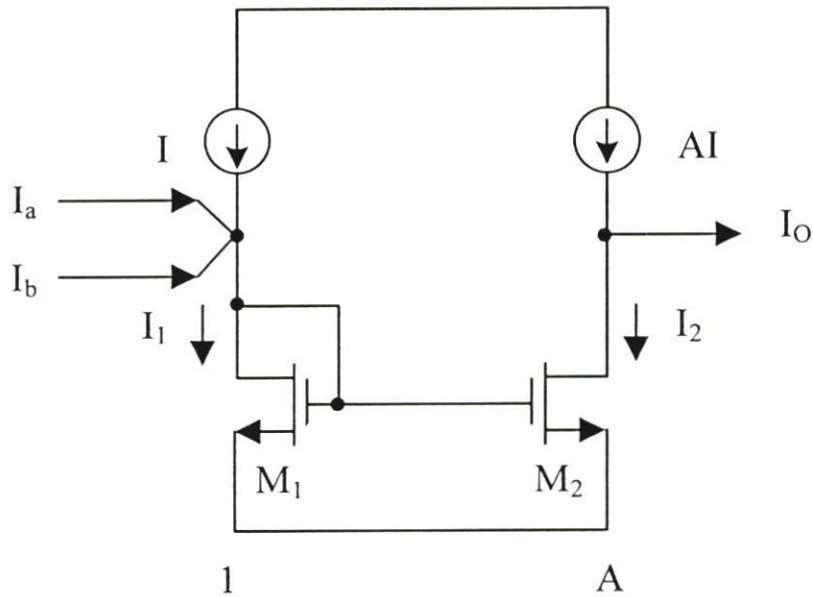
และกระแสเดรนของ M2 จะเท่ากับ

$$I_{ds2} = A(I + I_I) \quad (2.2.5)$$

ด้วยกฎการรวมกระแสของเคอร์ชอร์ฟ (Kirchoff's Current Law) ที่ขาเดรนของ M2 จะได้

$$I_o = -A I_I \quad (2.2.6)$$

กระแสเอาต์พุทที่ได้จะมีเครื่องหมายตรงกันข้ามและมีค่าเป็น A เท่าของกระแสอินพุท นั่นคือกระแสอินพุทถูกนำมาทำการกลับค่าและคูณด้วยค่าคงที่ สำหรับการรวมสัญญาณอินพุทหลายๆ สัญญาณ แต่ละสัญญาณสามารถต่อเข้าที่อินพุทของวงจรได้โดยตรงดังรูปที่ 2.2 ดังนั้นวงจรสะท้อนกระแสจึงสามารถนำสัญญาณมาทำโอเปอเรชันการรวมสัญญาณ การกลับค่าสัญญาณ และการคูณด้วยค่าคงที่ได้ง่าย ซึ่งโอเปอเรชันต่างๆเหล่านี้ สามารถนำมารวมกันทำให้เกิดเป็นโอเปอเรชันที่ซับซ้อนมากขึ้นเพื่อใช้ในการประมวลผลสัญญาณได้ เช่นการอินทิเกรต การกรองความถี่ของสัญญาณ หรือการแปลงสัญญาณจากแอนะล็อกเป็นดิจิตอล



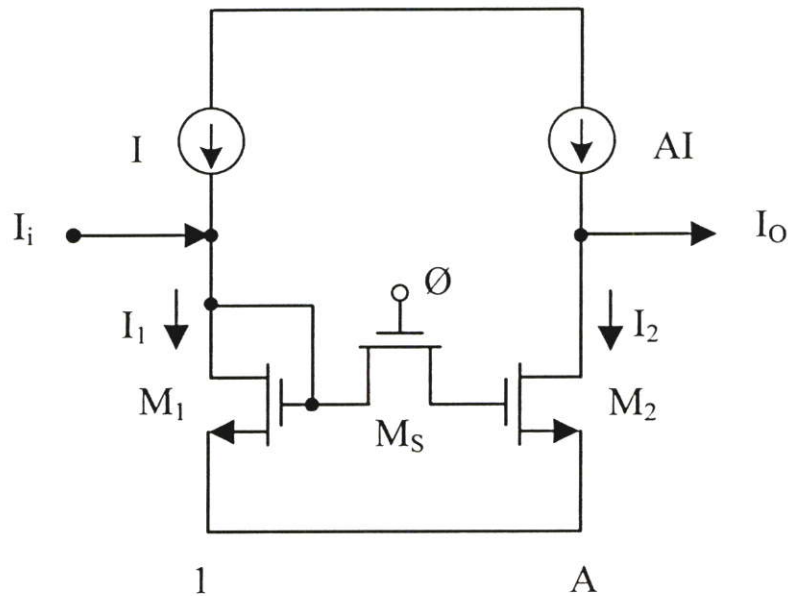
รูปที่ 2.2 การรวมสัญญาณอินพุทของวงจรสะท้อนกระแส

สำหรับวงจรพื้นฐานในโหมดกระแสนี้ การรวมสัญญาณอินพุทมากกว่าหนึ่งสัญญาณสามารถทำได้โดยไม่ต้องต่อวงจรเพิ่ม แต่ถ้าต้องการเอาท์พุทมากกว่าหนึ่งสัญญาณจะต้องต่อวงจรเพิ่ม โดยเพิ่มส่วนวงจรที่ใช้สะท้อนกระแสอินพุทเข้าไป ซึ่งต่างจากระบบที่เป็นโหมดแรงดันที่ ต้องต่อวงจรเพิ่มเมื่อต้องการเพิ่มอินพุท แต่สามารถนำเอาท์พุทเดี่ยวไปต่อหลายๆจุดได้

### 2.2.2 การประมวลผลสัญญาณแบบสุ่มค่าข้อมูล

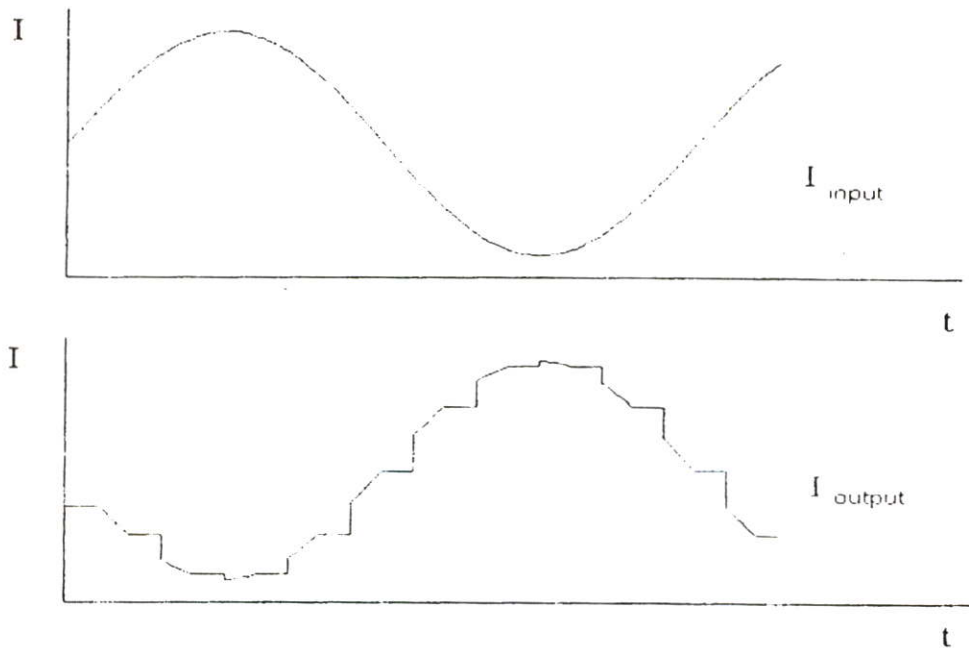
การประมวลผลสัญญาณในโหมดกระแสนอกจากจะทำในรูปแบบต่อเนื่องทางเวลา ยังสามารถทำในแบบสุ่มค่าข้อมูลได้ด้วย จากการพัฒนาของวงจรสวิตช์คาปาซิเตอร์ทำให้เทคนิคการประมวลผลสัญญาณแอนะล็อกแบบใช้การสุ่มค่าข้อมูลถูกนำไปใช้อย่างกว้างขวาง ซึ่งเมื่อเปรียบเทียบวงจรที่ทำงานแบบต่อเนื่องทางเวลา วงจรสวิตช์คาปาซิเตอร์จะมีความถูกต้องสูงกว่าและประหยัดพื้นที่มากกว่า โดยเฉพาะที่ความถี่ต่ำๆ และเช่นเดียวกับวงจรในโหมดแรงดัน วงจรในโหมดกระแสก็มีเทคนิคสวิตช์กระแส ที่สามารถจะทำการประมวลผลสัญญาณแบบใช้การสุ่มค่าข้อมูลได้เช่นกัน โดยที่การผลิตวงจรสวิตช์กระแสจะใช้เพียงกระบวนการผลิตชิมอสขึ้นพื้นฐานเท่านั้น เพราะวงจรสวิตช์กระแสจะใช้ตัวเก็บประจุแฝง (Parasitic Capacitance) ที่ขาเกตของทรานซิสเตอร์แบบมอสเป็นตัวเก็บค่าข้อมูล ไม่จำเป็นต้องเพิ่มกระบวนการผลิตตัวเก็บประจุที่มีความเป็นเชิงเส้นเพื่อใช้ในการเก็บค่าข้อมูลแบบที่ใช้ในวงจรสวิตช์คาปาซิเตอร์

ในการทำการประมวลผลสัญญาณแบบสุ่มค่าข้อมูลในโหมดกระแสมีโอเปอเรชันพื้นฐานที่ต้องใช้อยู่ 4 ชนิดคือ กลับค่าสัญญาณ การคูณด้วยค่าคงที่ การรวมสัญญาณ และการดีเลย์สัญญาณ ในหัวข้อก่อนหน้านี้ได้อธิบายถึงการทำโอเปอเรชัน 3 อย่างแรกด้วยวงจรสะท้อนกระแสไปแล้ว ในหัวข้อนี้จะกล่าวถึงวงจรที่ใช้ในการดีเลย์สัญญาณคือ วงจรสุ่มและคงค่าสัญญาณกระแส (Current-Mode Sample-and-Hold Circuit)



รูปที่ 2.3 วงจรสุ่มและคงค่าสัญญาณกระแส

วงจรสุ่มและคงค่าสัญญาณกระแสสามารถสร้างขึ้นได้จากวงจรสะท้อนกระแสในรูปที่ 2.1 โดยการเพิ่มสวิทช์เข้าไปที่ระหว่างขาเกตของทรานซิสเตอร์  $M_1$  และ  $M_2$  ดังในรูปที่ 2.3 สวิทช์ที่เพิ่มเข้าไปจะถูกควบคุมการปิดเปิดด้วยสัญญาณนาฬิกา เมื่อสวิทช์  $M_S$  ปิด ขาเกตของทรานซิสเตอร์  $M_1$  และ  $M_2$  จะต่อถึงกัน วงจรจะเป็นเหมือนวงจรสะท้อนกระแสธรรมดา กระแสเอาต์พุตจะมีเครื่องหมายตรงกันข้ามและมีค่าเป็น  $A$  เท่าของกระแสอินพุต เมื่อสวิทช์  $M_S$  เปิดออกจากกันขาเกตของทรานซิสเตอร์  $M_1$  และ  $M_2$  ก็จะแยกออกจากกัน แรงดันที่ขาเกตของทรานซิสเตอร์  $M_1$  จะขึ้นอยู่กับค่าของกระแสอินพุตในช่วงเวลาที่สวิทช์เปิดออกจะถูกเก็บไว้โดยตัวเก็บประจุแผ่นที่ขาเกตของทรานซิสเตอร์  $M_2$  แรงดัน  $V_{gs2}$  จึงยังมีค่าคงที่ ทำให้ค่ากระแสเอาต์พุตยังคงมีค่าเท่ากับค่าที่ช่วงเวลาที่สวิทช์เปิดออก รูปคลื่นของกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่าสัญญาณกระแสแสดงในรูปที่ 2.4



รูปที่ 2.4 กระแสอินพุทและกระแสเอาต์พุทของวงจรสุ่มและคงค่าสัญญาณกระแส

### 2.2.3 ความผิดพลาดที่เกิดขึ้นในวงจรสวิตช์กระแสของวงจรสุ่มและคงค่าสัญญาณกระแส

ความผิดพลาดที่เกิดขึ้นในวงจรสวิตช์กระแสสามารถแบ่งเป็นประเภทต่างๆ ได้ดังนี้ ความผิดพลาดที่เกิดจากค่าออฟเซตกระแสตรง (DC-Offset Error), ความผิดพลาดของอัตราขยายกระแสสลับ (AC-Gain Error), และการเกิดความเพี้ยนฮาร์โมนิก (Harmonic-Distortion) ความผิดพลาดจากค่าออฟเซตกระแสตรงจะบวกกระแสเพิ่มหรือลดกระแสออกจากกระแสอินพุท ความผิดพลาดของอัตราขยายกระแสสลับจะเปลี่ยนค่าอัตราขยายของสัญญาณ และความเพี้ยนฮาร์โมนิกจะลดช่วงการทำงานของวงจร สาเหตุที่สำคัญของความผิดพลาดเหล่านี้เกิดจากการไม่สมพงษ์ (Mismatch) ของอุปกรณ์ในวงจร และผลกระทบจากสัญญาณนาฬิกา (Clock Feedthrough Effect)

#### 2.2.3.1 การไม่สมพงษ์กันของอุปกรณ์ในวงจร

ความถูกต้องแม่นยำในการทำงานของระบบประมวลผลสัญญาณแบบใช้การสุ่มค่าตัวอย่างในโหมดกระแสขึ้นอยู่กับการสมพงษ์กัน (Match) ของทรานซิสเตอร์ ในวงจรสุ่มและคงค่าสัญญาณกระแสนั้นการไม่สมพงษ์กันของอุปกรณ์จะทำให้เกิดความผิดพลาดขึ้นกับกระแสเอาต์พุทไม่สมพงษ์กันของค่าพารามิเตอร์ของทรานซิสเตอร์เกิดจากกระบวนการผลิตค่าพารามิเตอร์ที่ไม่สมพงษ์กันแล้วทำให้เอาต์พุทเกิดความผิดพลาดอย่างมาก ได้แก่ ค่าแรงดันขีดเริ่ม  $V_{TH}$  ค่าทรานสคอนดักแตนซ์พารามิเตอร์  $k$ , และอัตราส่วนแอสเปค ( $W/L$ ) โดยทั่วไปค่าแรงดันขีดเริ่ม  $V_{TH}$  จะเป็นสาเหตุสำคัญที่สุดของการเกิดความผิดพลาด

ในวงจรโหมตกระแสจะสนใจผลกระทบของการไม่สมพียงต่อความถูกต้องของสัญญาณกระแส ใช้วงจรสะท้อนกระแสในรูปที่ 2.1 เพื่อแสดงค่าความผิดพลาดที่เกิดในกระแสเอาต์พุตในรูปของพารามิเตอร์ที่ไม่สมพียงกันที่อธิบายไว้ได้ โดยการพิจารณาวงจรสะท้อนกระแสในรูปที่ 2.1 ที่มีสัญญาณกระแสอินพุต  $I_i = I_i \sin \omega t$  ถ้าทรานซิสเตอร์ M1 และ M2 ไม่สมพียงกันจะเกิดความผิดพลาดในกระแสเอาต์พุต

การไม่สมพียงของแรงดันขั้วเริ่มคือสาเหตุหลักของความผิดพลาดที่เกิดจากการไม่สมพียงทั้งหมด พิจารณาความผิดพลาดที่เกิดจากการไม่สมพียงของแรงดันขั้วเริ่มนี้ สมมติให้ทรานซิสเตอร์ M1 และ M2 มีค่าพารามิเตอร์เหมือนกันหมดยกเว้นค่าแรงดันขั้วเริ่ม และให้แหล่งจ่ายกระแสไบอัสที่จ่ายให้ M1 และ M2 มีค่าเท่ากัน ค่ากระแสเดรนของ ทรานซิสเตอร์ M2 จะมีค่าดังนี้

$$I_{ds2} = \left( \frac{k'_2}{2} \right) (V_{gs2} - V_{T2})^2 \quad (2.2.7)$$

โดยค่า  $k' = k(W/L)$  เนื่องจากขาเกทของ M1 และ M2 ต่อกันอยู่ จึงทำให้  $V_{gs1} = V_{gs2}$  และกำหนดให้

$$V_{gs1} = V_{T1} + \sqrt{\frac{2(I + I_i)}{k'_1}} \quad (2.2.8)$$

เมื่อแทนค่าสมการ (2.2.7) ลงในสมการ (2.2.8) และใช้การกระจายแบบไบนอมิเยล จะได้ว่า

$$I_{ds2} = I \left[ 1 + 2 \frac{\Delta V_T}{(V_{gs} - V_{T1})} + \left( \frac{\Delta V_T}{(V_{gs} - V_{T1})} \right)^2 \right] + I \left\{ \left( \frac{I_i}{I} \right) + \frac{2\Delta V_T}{(V_{gs} - V_{T1})} \left[ \frac{(\hat{I}/I)}{2} - \frac{(\hat{I}/I)^2}{2} + \frac{(\hat{I}/I)^3}{2} - \dots \right] \right\} \quad (2.2.9)$$

โดย  $I_{ds2} = I + I_i$  ในทางอุดมคติ แต่ค่ากระแส  $I_{ds2}$  ที่ได้จากสมการ (2.2.9) จะมีค่าออฟเซ็ทกระแสตรงเกิดขึ้นในเทอมที่สองและสามในสมการบรรทัดแรก ซึ่งค่าออฟเซ็ทกระแสตรงจะขึ้นกับกระแสไบอัส  $I$  และในทางอุดมคติ บรรทัดที่สองของสมการ (2.2.9) ควรจะมีค่าเท่ากับกระแสอินพุต  $I_i$  แต่เนื่องจากสาเหตุที่แรงดันขั้วเริ่มไม่สมพียงกัน จึงทำให้เกิดความผิดพลาดของ

อัตราขยายกระแสสลับ และเกิดความเพี้ยนฮาร์โมนิกขึ้นดังสมการ ค่าความผิดพลาดของอัตราขยายกระแสสลับ ( $\Delta G$ ) ของกระแสเอาต์พุตมีค่าโดยประมาณดังสมการต่อไปนี้

$$\Delta G \approx \frac{2\Delta V_T}{V_{gs} - V_T} \hat{I}_i \quad (2.2.10)$$

และค่าความเพี้ยนฮาร์โมนิกรวมมีค่าประมาณ

$$V_c(t) = V_c(\text{peak})e^{-t/\tau} \quad (2.2.11)$$

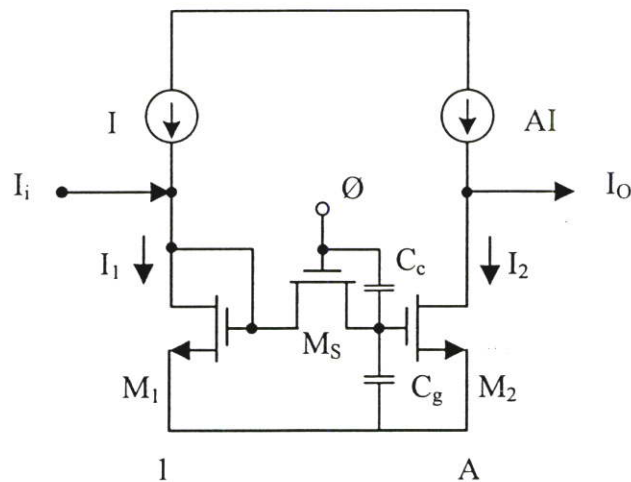
จากสมการ (2.2.10) และ (2.2.11) จะเห็นได้ว่าค่าความเพี้ยนฮาร์โมนิกและความผิดพลาดของอัตราขยายกระแสสลับ จะมีค่าน้อยลงในกรณีที่กระแสอินพุตมีค่าน้อยเมื่อเปรียบเทียบกับกระแสไบอัส และในกรณีที่แรงดันระหว่างขาเกตกับขาซอสมีค่ามาก ส่วนความผิดพลาดที่เกิดจากความกว้าง, ความยาว และค่าทรานสคอนดักแตนซ์พารามิเตอร์ของทรานซิสเตอร์ที่ไม่สมพ้องกันนั้น [21] เป็นดังตาราง 2.1 ซึ่งต่างจากค่าความผิดพลาดที่เกิดจากแรงดันขีดเริ่มตรงที่ไม่ทำให้เกิดความเพี้ยนฮาร์โมนิกเนื่องจากมีความสัมพันธ์กับกระแสเดรนและซอสของทรานซิสเตอร์อย่างเป็นเชิงเส้น

ตารางที่ 2.1 ค่าผิดพลาดของกระแสเอาต์พุตที่เกิดจาก  $W$ ,  $L$  และ  $k$  ไม่สมพ้องกัน

| พารามิเตอร์                                   | ค่าออฟเซตกระแสตรง   | ความผิดพลาดของอัตราขยายกระแสสลับ |
|---|---------------------|----------------------------------|
| $\Delta W = W_1 - W_2$<br>$W = (W_1 + W_2)/2$ | $(\Delta W / W) I$  | $\Delta W / W$                   |
| $\Delta L = L_1 - L_2$<br>$L = (L_1 + L_2)/2$ | $-(\Delta L / L) I$ | $-\Delta L / L$                  |
| $\Delta k = k_1 - k_2$<br>$k = (k_1 + k_2)/2$ | $(\Delta k / k) I$  | $\Delta k / k$                   |

### 2.2.3.2 ผลกระทบจากสัญญาณนาฬิกา

ผลกระทบจากสัญญาณนาฬิกาเป็นปัญหาที่สำคัญของวงจรสุ่มและคงค่าสัญญาณกระแส เนื่องจากสวิตช์  $M_S$  ไม่สามารถทำงานตามอุดมคติได้ จึงไม่สามารถหลีกเลี่ยงความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ เมื่อพิจารณาวงจรสุ่มและคงค่าสัญญาณกระแสในรูปที่ 2.5 ที่แสดงตัวเก็บประจุแฝงของ  $M_2$  และสวิตช์  $M_S$



รูปที่ 2.5 วงจรสุ่มและคงค่าสัญญาณกระแสที่แสดงตัวเก็บประจุแฝงของ  $M_2$  และสวิตช์  $M_S$

เมื่อสัญญาณนาฬิกาเปลี่ยนระดับจากระดับสูงเป็นระดับต่ำ สวิตช์  $M_S$  จะเปิด หรือ อยู่ในสถานะคัตออฟ ทำให้ประจุที่อยู่ในช่องนำกระแส (Channel) ของ  $M_S$  ถูกปล่อยออกมาและไหลไปยังตัวเก็บประจุแฝงที่ขาเกตของ  $M_2$  ทำให้ค่าแรงดัน  $V_{gs2}$  ที่เก็บค่าข้อมูลไว้เปลี่ยนไป ทำให้ค่ากระแสเดรนของทรานซิสเตอร์  $M_2$  เปลี่ยนไปด้วย จึงทำให้เกิดความผิดพลาดของกระแสเอาต์พุตขึ้น ค่าแรงดันที่ทำให้  $V_{gs2}$  เปลี่ยนไปนี้เรียกว่า ค่าแรงดันสัญญาณนาฬิกา  $V_c$  (Clock Feedthrough Voltage) [19] และสามารถหาค่าโดยประมาณได้ดังนี้

$$V_c = \frac{C_c}{C_g}(V_H - V_L) \quad (2.2.12)$$

โดย  $C_c$  เป็นค่าความจุประจุแฝงของสวิตช์  $M_S$

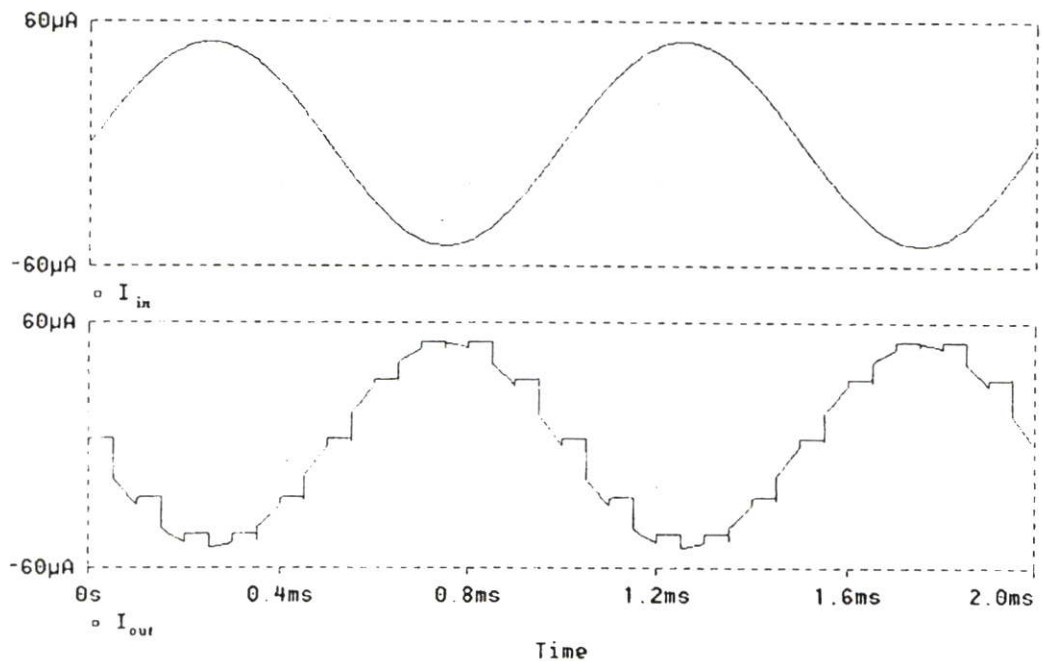
$C_g$  เป็นค่าความจุประจุแฝงของทรานซิสเตอร์  $M_2$

$V_H$  คือค่าแรงดันระดับสูงของสัญญาณนาฬิกา

$V_L$  คือค่าแรงดันระดับต่ำของสัญญาณนาฬิกา

เพื่อแสดงผลกระทบของสัญญาณนาฬิกา ที่มีต่อกระแสเอาต์พุต พิจารณาวงจรสุ่มและคงค่ากระแสในรูปที่ 2.5 ป้อนกระแสอินพุตเป็นสัญญาณไซน์ให้กับวงจร และทำการจำลองการทำงานของวงจรจะได้ผลการจำลองการทำงานดังรูปที่ 2.6

กระแสเอาต์พุตตามทฤษฎีควรจะคงค่าไว้ที่ขณะช่วงเวลาสวิตช์เปิด แต่สัญญาณเอาต์พุตที่ได้จริงๆ จะมีค่ากระแสออฟเซตซึ่งเกิดจากผลกระทบจากสัญญาณนาฬิกา รวมเข้าไป ทำให้เกิดความผิดเพี้ยนของสัญญาณในรูปของความผิดพลาดของอัตราขยายกระแสสลับค่าออฟเซตกระแสตรง และความเพี้ยนฮาร์โมนิก ความผิดพลาดที่เกิดจากสัญญาณนาฬิกานี้จะคล้ายกับความผิดพลาดที่เกิดจากการไม่สมพียงกันของแรงดันขั้วเริ่มแต่จะเปลี่ยนแปลงตามการเปลี่ยนแปลงของสัญญาณอินพุต



รูปที่ 2.6 กระแสอินพุตและกระแสเอาต์พุตของวงจรสุ่มและคงค่ากระแส

### 2.2.3.3 วิธีลดผลกระทบที่เกิดจากสัญญาณนาฬิกา

1. เลือกใช้คาปาซิเตอร์ที่ใช้คงค่าสัญญาณให้มีค่ามากเมื่อเทียบกับค่าคาปาซิแตนซ์ของสวิตช์จะสามารถลดการคับเปิดของสัญญาณนาฬิกาเข้าสู่โหนดที่เก็บค่าสัญญาณไว้ได้มาก ค่าของคาปาซิเตอร์ที่ใช้คงค่าสัญญาณนั้นสามารถทำให้มีค่ามากได้โดยใช้ทรานซิสเตอร์ M2 ซึ่งมีขนาดใหญ่ หรือใช้การเพิ่มตัวเก็บประจุไปที่ขาเกตของ M2 แต่การใช้คาปาซิเตอร์ที่คงค่าสัญญาณที่มีขนาดใหญ่ขึ้นนี้จะทำให้วงจรทำงานได้ที่ความถี่ต่ำลง

2. ใช้  $V_{gs}$  มีค่ามาก โดยออกแบบให้  $V_{gs}$  มีค่ามากที่สุดเท่าที่จะเป็นไปได้ ซึ่งจะทำให้แรงดัน สัญญาณนาฬิกา มีค่าสูงขึ้น แต่จะมีค่าน้อยลงเมื่อเทียบเป็นเปอร์เซ็นต์กับค่าแรงดัน  $V_{gs}$  ซึ่งทำให้ความผิดพลาดที่เกิดขึ้นมีน้อยลง การออกแบบให้มีค่าสูงทำได้โดยใช้กระแสไบอัสให้สูงขึ้นหรือใช้ทรานซิสเตอร์ที่มีขนาดค่อนข้างเป็นสี่เหลี่ยมจัตุรัส (ค่า  $(W/L)$  น้อย) ประโยชน์อีกข้อของการเพิ่มค่า  $V_{gs}$  คือ ผลกระทบจากการไม่สมพียงกันของแรงดันขีดเริ่มจะลดลง

3. ใช้สัญญาณนาฬิกาปิดสวิตช์ช้าๆ ประจุที่จะไหลไปยังตัวเก็บประจุที่เก็บค่าข้อมูลไว้ อาจ จะรั่วไหลไปด้านซอสเป็นบางส่วน ซึ่งจะทำให้เกิดความผิดพลาดน้อยลง

4. ใช้สัญญาณนาฬิกาที่มีระดับแรงดันต่ำ เนื่องจากข้อจำกัดในด้านอัตราส่วนระหว่างขนาดของสัญญาณอินพุตและขนาดของสัญญาณนาฬิกา ถ้าค่าแรงดันสัญญาณนาฬิกา มีค่าสูงก็จะทำให้แรงดันความผิดพลาดที่เกิดเนื่องจากสัญญาณนาฬิกาที่เกิดขึ้นมีค่าสูงขึ้นไปด้วย ดังนั้นเพื่อที่จะลดค่าความผิดพลาดที่เกิดขึ้นจึงควรใช้สัญญาณนาฬิกาที่มีระดับแรงดันสูงแก่พอจะเปิดปิดสวิตช์ในวงจรได้

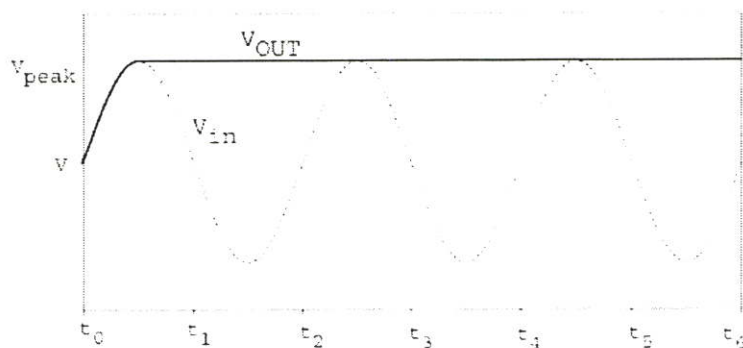
5. ลดอัตราส่วนสัญญาณต่อกระแสไบอัส สำหรับสัญญาณอินพุตที่มีค่ามาก ค่าแรงดันสัญญาณนาฬิกา ก็จะมีค่ามากตามไปด้วย ซึ่งเป็นผลทำให้เกิดความเพี้ยนฮาร์โมนิกมากขึ้นด้วย โดยทั่วไปจึงควรใช้ค่าของสัญญาณประมาณ 50 เปอร์เซ็นต์ของกระแสไบอัส

นอกจากวิธีที่กล่าวมาแล้ว สามารถใช้การออกแบบโครงสร้างของวงจรให้สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ โดยใช้การหักล้างกันของกระแสผิดพลาดที่เกิดขึ้น

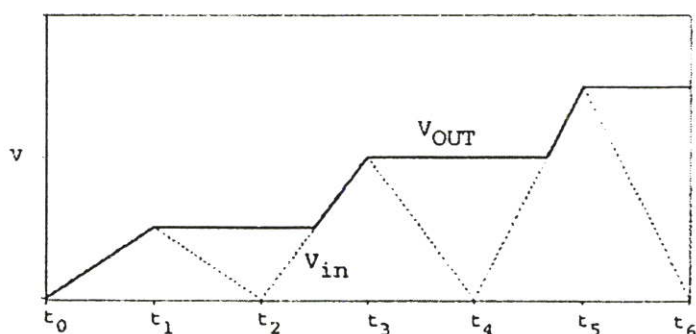
## 2.3 วงจรตรวจจับค่ายอดสัญญาณ

### 2.3.1 หลักการทำงานของวงจรตรวจจับค่ายอดสัญญาณสูงสุด

ก่อนที่จะกล่าวถึงวงจรในความคิดที่ผ่านมา จะอธิบายถึงหลักการทำงานของวงจรตรวจจับค่ายอดสัญญาณสูงสุด หลักการทำงานของวงจรตรวจจับค่ายอดสัญญาณคือ เอาท์พุทที่ได้จะมีค่าเท่ากับแอมพลิจูดสูงสุดของสัญญาณอินพุตในแต่ละช่วงเวลาดังรูปที่ 2.7 โดยรูปดังกล่าวเป็นการตรวจจับค่ายอดสัญญาณแรงดันสูงสุด เมื่อแรงดันอินพุต  $V_{in}$  (เส้นประ) ดังนั้นเอาท์พุท  $V_{Out}$  ที่จะเป็นดังรูปและจะคงค่าสัญญาณนั้นไว้ถ้ายอดสัญญาณอินพุตลำดับต่อไปยังมีค่าเท่าเดิม แต่ถ้าสัญญาณอินพุตมีค่าเปลี่ยนไปดังรูปที่ 2.8 วงจรจะตามสัญญาณอินพุตที่เข้ามาจนถึงค่ายอดสัญญาณใหม่และคงค่าสัญญาณใหม่ไว้ตามรูป



รูปที่ 2.7 กราฟแสดงค่าตรวจจับค่ายอดสัญญาณ

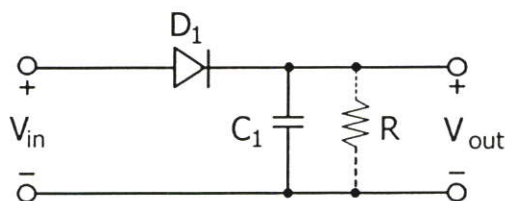


รูปที่ 2.8 กราฟแสดงค่าตรวจจับค่ายอดสัญญาณสามเหลี่ยมเมื่อสัญญาณอินพุตมีค่าเปลี่ยนแปลง

### 2.3.2 วงจรตรวจจับค่ายอดสัญญาณสูงสุดแบบพื้นฐาน

วงจรตรวจจับค่ายอดสัญญาณสูงสุดในยุคแรกนั้นเป็นการนำอุปกรณ์พาสซีฟมาใช้ ออกแบบโดยมีหลักการทำงานแบบง่ายๆ และวงจรดังกล่าวยังไม่มี การนำไปใช้ออกแบบเป็นวงจรรวม ต่อมาจึงได้มีการพัฒนาโดยการนำอุปกรณ์แอคทีฟมาใช้เพื่อพัฒนาให้วงจรมี การทำงานเร็วขึ้น และเพื่อนำไปใช้ออกแบบเป็นวงจรรวมโดยมีรายละเอียดดังนี้

#### 2.3.2.1 วงจรตรวจจับค่ายอดสัญญาณสูงสุดโดยการใช้ อุปกรณ์พาสซีฟ



รูปที่ 2.9 วงจรตรวจจับค่ายอดสัญญาณสูงสุดแบบพื้นฐาน โดยใช้ อุปกรณ์พาสซีฟ

โดยในวงจรรูปที่ 2.9 เป็นโครงสร้างการทำงานพื้นฐานของวงจรตรวจจับค่ายอดสัญญาณที่ทำงานในโหมดแรงดัน และส่วนหลักการทำงานพื้นฐานของวงรดังกล่าวคือ ไดโอดจะเริ่มทำงานนำกระแสเมื่อสัญญาณอินพุตมีค่าเป็นบวกและตัวเก็บประจุจะชาร์จกระแส ให้มีค่าแรงดันเท่ากับค่าแรงดันสูงสุดลบด้วยค่าแรงดันที่ทำให้ไดโอดทำงานแบบไบอัสตรง และกำหนดให้ค่าอินพุตสูงสุดเป็น  $V_{in}(peak)$  และจะได้ค่าแรงดันที่เอาต์พุต เป็นดังสมการ

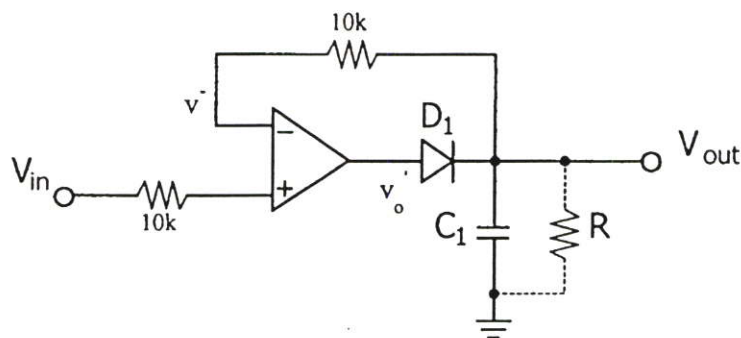
$$V_O \approx V_{in}(peak) - V_D \quad (2.3.1)$$

วงจรพาสซีฟนั้นมีการใช้งานอย่างกว้างขวางแต่จะมีค่าผิดพลาดเกิดขึ้นอันเนื่องมาจากค่าแรงดันที่ตกคร่อมไดโอดทำให้ไดโอดทำงานแบบไบอัสตรง ซึ่งจะมีค่าประมาณ 0.2 - 0.7 V ขึ้นอยู่กับไดโอดแต่ละชนิดว่าทำมาจากสารกึ่งตัวนำชนิดใด

### 2.3.2.2 วงจรตรวจจับค่ายอดสัญญาณสูงสุดโดยการใช้อุปกรณ์แอกทีฟ

วงจรตรวจจับค่ายอดสัญญาณที่ใช้อุปกรณ์แอกทีฟแสดงดังรูปที่ 2.3.4 เป็นการนำออปแอมป์ต่อร่วมกับไดโอด คุณสมบัติที่ดีของออปแอมป์ก็คือความต้านทานขาเข้าสูงพิจารณาจากรูปวงจร ณ จุดเริ่มต้น เมื่อแรงดันอินพุตมีค่ามากกว่าศูนย์ ( $V_{in} > 0$ ) เอาต์พุตของออปแอมป์จะเป็นบวกและทำให้ไดโอดทำงานแบบไบอัสตรง และออปแอมป์มีการทำงานเป็นแบบเชิงเส้นโดย  $V = V^+$  มีค่าแรงดันเอาต์พุตเท่ากับค่าแรงดันสูงสุดของสัญญาณอินพุต

$$V_{out} = V_{in(peak)} \quad (2.3.2)$$



รูปที่ 2.10 วงจรตรวจจับค่ายอดสัญญาณสูงสุดแบบพื้นฐานโดยใช้อุปกรณ์แอกทีฟ

ตัวเก็บประจุจะทำการชาร์จประจุโดยมีค่าของเอาต์พุตที่ออปแอมป์และค่าของไดโอดที่มีการไบอัสตรงโดยค่าของแรงดันเอาต์พุตของออปแอมป์ที่มีการป้อนกลับจะมีค่าดังสมการ

$$V'_O = V_{out} + V_D \quad (2.3.3)$$

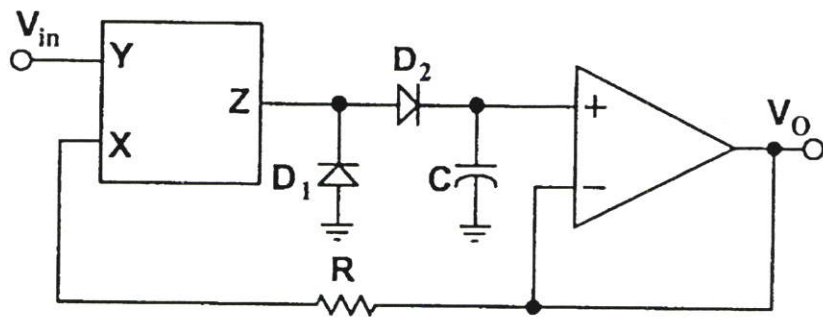
เมื่อตัวเก็บประจุชาร์จประจุจนถึงค่าสูงสุดของสัญญาณอินพุต ก็จะคงค่าสัญญาณด้านบวกนั้นไว้ และถ้าแรงดันของสัญญาณอินพุตมีค่าลดลง เอาต์พุตของออปแอมป์จะมีค่าติดลบไดโอดจะทำงานแบบไบอัสย้อนกลับ ทำให้ไม่มีกระแสไหลผ่านไดโอดจึงไม่มีการชาร์จประจุเกิดขึ้น แต่ยังคงสามารถรักษาค่ายอดสัญญาณสูงสุดนั้นไว้ เมื่อสัญญาณค่าต่อมามีค่าน้อยกว่าค่าสัญญาณที่คงไว้ซึ่งไม่เกินค่าแรงดันของตัวเก็บประจุ ค่าที่คงไว้จะยังเป็นค่าเดิมแต่เมื่อค่าสัญญาณที่เข้ามามีค่าใหญ่กว่าค่าเดิม ตัวเก็บประจุจะเริ่มทำงานและคงค่าสัญญาณนั้นไว้

ซึ่งจากหลักการดังกล่าวนี้ถูกจำกัดด้วยการทำงานของไดโอดคือ เมื่อ ไดโอดทำงานแบบไบอัสตรง ออปแอมป์จะทำงานแบบเป็นเชิงเส้น แต่เมื่อสัญญาณอินพุตที่เข้ามามีค่าต่ำจนทำให้เอาต์พุตที่ออปแอมป์มีค่าติดลบแล้วไดโอดจะไบอัสย้อนกลับทำให้ออปแอมป์ทำงานในช่วงอิมิตัว ซึ่งการเปลี่ยนช่วงการทำงานกลับไปมาระหว่างแบบเชิงเส้นกับแบบอิมิตัวนั้น ทำให้วงจรที่ได้ ออกแบบถูกจำกัดให้ต้องทำงานในย่านความถี่ต่ำ

จากหลักการทั้งสองที่ได้กล่าวมานั้นจะต้องพิจารณาช่วงเวลาของการคายประจุหรือช่วงเวลาการคงค่าสัญญาณแรงดัน โดยพิจารณาจากค่าความต้านทานที่เกิดขึ้น ไม่ว่าจะเป็นค่าความต้านทานแฝงหรือค่าความต้านทานที่โหลด จะพิจารณาที่ความต้านทานที่ขนานกับตัวเก็บประจุโดยช่วงเวลาการคงค่าคือ  $\tau = RC$  หรือช่วงเวลาการคายประจุและจะกล่าวถึงอีกครั้งในหัวข้อถัดไป

### 2.3.3 วงจรตรวจจับค่ายอดสัญญาณโดยใช้วงจรสายพานกระแสต่อร่วมกับไดโอดและออปแอมป์ [26]

ในการทำงานของวงจรแรกนั้นเป็นการทำงานในโหมดแรงดันทั้งสิ้นซึ่งการทำงานในโหมดแรงดันจำเป็นต้องใช้แหล่งจ่ายไฟเลี้ยงสูง และความถูกต้องของสัญญาณเมื่อเทียบกับโหมดกระแสจะมีข้อดีกว่า ดังนั้นในหลักการนี้จึงเป็นการทำงานในกึ่งโหมดแรงดันและกระแสร่วมกันและมีสมการการตรวจจับเหมือนกับสมการที่ 2.3.2 เช่นกัน



รูปที่ 2.11 วงจรจับยอดสัญญาณ โดยใช้วงจรสายพานกระแสต่อร่วมกับ ไดโอดและออปแอมป์

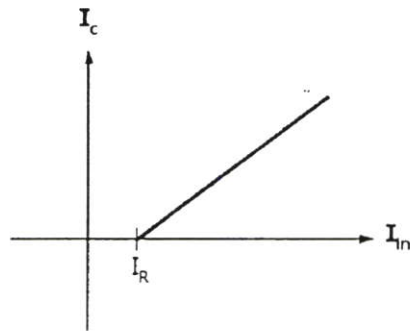
จากรูปวงจรที่ 2.3.5 เป็นวงจรตรวจจับค่ายอดสัญญาณที่ใช้วงจรสายพานกระแสต่อร่วมกับตัวเก็บประจุและออปแอมป์ โดยส่วนแรกวงจรสายพานกระแสจะทำหน้าที่เปลี่ยนแรงดันอินพุทให้ออกมาเป็นกระแสเอาท์พุท ไดโอด  $D_1$  จะทำหน้าที่ป้องกันไม่ให้ไดโอด  $D_2$  ได้รับไบอัสย้อนกลับมากเกินไป อันเนื่องมาจากออปแอมป์ต่อแบบวงจรตามแรงดัน โดยมีการทำงานคือค่า  $V_o$  จะสัมพันธ์กับ  $V_{in}$  เมื่อ  $V_{in}$  เป็นบวก  $V_o$  จะเป็นบวกและจะส่งผ่านกระแสออกไปยังพอร์ต Z และไดโอด  $D_2$  จะได้รับไบอัสตรงให้ทำงานและส่งค่าเพื่อให้ตัวเก็บประจุคงค่าสัญญาณนั้นไว้ แต่ถ้า  $V_{in}$  เป็นลบ  $V_o$  จะดึงกระแสออกจากพอร์ต X ดังนั้นกระแสจะไหลเข้าที่พอร์ต Z ทำให้เกิดไบอัสย้อนกลับที่ไดโอด  $D_2$  เพื่อป้องกันการไบอัสย้อนกลับที่ไดโอด  $D_2$  จึงเพิ่มไดโอด  $D_1$  เข้ามาเมื่อกระแสเป็นลบไดโอด  $D_1$  จะทำงานและส่งผ่านกระแสกลับเข้าพอร์ต Z ทั้งยังช่วยให้ไดโอด  $D_2$  ลดช่วงเวลาหน่วงในการทำงานด้วยและข้อดีของการใช้วงจรสายพานกระแสคือทำงานได้ที่ความถี่สูง แต่เนื่องจากทั้งสองหลักการที่ได้กล่าวมานั้นใช้ไดโอด ทำให้เกิดการหน่วงค่าสัญญาณคือจะต้องให้ถึงค่าเริ่มต้นการทำงานของไดโอดก่อนวงจรจึงจะมีการคงค่าสัญญาณนั้นไว้

### 2.3.4 วงจรตรวจจับยอดสัญญาณกระแสโดยใช้ไบโพลาร์ทรานซิสเตอร์ [25]

วงจรรูปที่ 2.12 เป็นตัวอย่างของวงจรตรวจจับค่ายอดสัญญาณกระแสโดยใช้หลักการของไบโพลาร์ทรานซิสเตอร์ ซึ่งเป็นวงจรที่ใช้พื้นที่ในการออกแบบสร้างเป็นวงจรรวมที่เล็กกว่าหลายวงจรที่กล่าวมาในข้างต้น และยังมีช่วงปฏิบัติการทางขนาดและความถี่ที่กว้าง

ภาคแรกของวงจรคือส่วนของวงจรจำกัดกระแสประกอบไปด้วยทรานซิสเตอร์  $Q_1$ - $Q_7$  โดยทรานซิสเตอร์  $Q_4$ ,  $Q_5$ ,  $Q_6$  และ  $Q_7$  ต่อร่วมกันเป็นวงจรสะท้อนกระแสแบบลบที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง แหล่งจ่ายกระแส  $I_B$  ที่ไหลผ่านทรานซิสเตอร์  $Q_3$  เป็นตัวสร้างแรงดันไบอัสให้ทรานซิสเตอร์  $Q_1$  และ  $Q_2$  ทำงานในคลาส AB เพื่อลดผลของค่าหน่วงเวลาในช่วงตัดผ่านศูนย์ที่เกิดขึ้นกับ  $Q_1$  และ  $Q_2$  แหล่งจ่ายกระแส  $I_R$  คือกระแสเริ่มต้นที่จะทำให่วงจรจำกัดกระแส





รูปที่ 2.13 รูปแสดงคุณสมบัติของวงจรจำกัดกระแสในภาคแรก

จากพื้นฐานของวงจรจำกัดกระแสในภาคแรกสามารถนำมาประกอบกับตัวเก็บประจุ  $C_1$  และ วงจรส่วนที่เป็นวงจรเปลี่ยนสัญญาณแรงดันเป็นกระแส สร้างเป็นวงจรตรวจจับยอดสัญญาณกระแสได้ดังรูปที่ 2.12 โดยที่  $I_R$  ซึ่งเป็นค่ากระแสเริ่มต้นที่จะทำให้วงจรจำกัดกระแสเริ่มจ่ายกระแสเกิดการสำเนาค่าสัญญาณกระแส  $I_{out}$  ในอัตราส่วน 1:1 ป้อนกลับมายังจุดเข้า A จากการที่ทรานซิสเตอร์  $Q_8$  และ  $Q_9$  ต่อกันแบบคาร์ลิงตัน ซึ่งมีอินพุทอิมพีแดนซ์สูงมาก [3-4] ดังนั้นกระแสที่ไหลผ่านตัวเก็บประจุ  $C_1$  จึงมีค่าประมาณ  $I_C$  และจากเงื่อนไขของวงจรจำกัดกระแสจากสมการที่ (2.3.6) ทำให้ได้ความสัมพันธ์ของแรงดันที่ตกคร่อมตัวเก็บประจุ  $C_1$  คือ

$$V_{C1}(t) = \begin{cases} V_{C1}(t_0) & : I_m \leq I_R \\ \frac{1}{C_1} \int_0^t (I_m - I_R) dt + V_{C1}(t_0) & : I_m > I_R \end{cases} \quad (2.3.7)$$

เมื่อ  $V_{C1}(t_0)$  คือแรงดันตกคร่อมตัวเก็บประจุ  $C_1$  ในสภาวะก่อนหน้า

จากสมการที่ (2.3.7) แรงดัน  $V_{C1}(t_0)$  ที่จุด C จะถูกส่งผ่านไปยังขาอิมิตเตอร์ของ  $Q_9$  (จุด D) ให้มีค่าเท่ากับ  $V_{C1}(t) - 2V_{BE}$  เมื่อ  $V_{BE}$  คือแรงดันตกคร่อมระหว่างขาเบสกับขาอิมิตเตอร์ของทรานซิสเตอร์) ซึ่งจะถูกแปลงเป็นกระแสที่มีค่าเท่ากับ  $V_{C1}(t) - 2V_{BE} / R_1$  ไหลผ่านตัวต้านทาน  $R_1$  แหล่งจ่ายกระแสที่  $I_{B2}$  ทำหน้าที่เป็นตัวสร้างแรงดันไบอัสให้กับทรานซิสเตอร์  $Q_8$  และ  $Q_9$  ทำให้สามารถส่งผ่านแรงดันจากจุด C มายังจุด D ได้อย่างถูกต้อง เมื่อพิจารณาจุดออก (E) ซึ่งทรานซิสเตอร์  $Q_{10} - Q_{15}$  ต่อร่วมกันเป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง เราจะได้ความสัมพันธ์ของกระแสดังนี้

$$I_D = I_{R1} + I_{B2} \quad (2.3.8)$$

$$I_E = I_D \quad (2.3.9)$$

$$I_{out} = I_E - I_{B3} = I_D - I_{B3} \quad (2.3.10)$$

$$I_{out} = (I_{R1} + I_{B2}) - I_B \quad (2.3.11)$$

เมื่อกำหนดให้  $I_{B2} = I_{B3}$  ดังนั้นจะได้

$$I_{out} = I_{R1} \quad (2.3.12)$$

จากสมการที่ (2.3.12)  $I_{R1}$  คือกระแสที่ไหลผ่านตัวต้านทาน  $R_1$  อันเกิดจากแรงดันที่ส่งผ่านมาจากจุด C ซึ่งจะมีค่าเพิ่มขึ้นเมื่อสัญญาณกระแสอินพุท ( $I_m$ ) ถูกดึงออกจากวงจร ขนาดมากกว่ากระแส  $I_R$  ที่ป้อนกลับไปและจะคงค่านี้ไว้เมื่อสัญญาณกระแส  $|I_m|$  มีขนาดน้อยกว่ากระแส  $I_R$  ซึ่งเป็นคุณสมบัติของวงจรตรวจจับค่ายอดสูงสุดของสัญญาณกระแส

### 2.3.5 การคายประจุแรงดัน

ช่วงเวลาในการคายประจุของวงจรตรวจจับค่ายอดสัญญาณสูงสุดนั้น มีผลมาจากค่าความต้านทานในรูปแบบต่างๆที่ขนานกับตัวเก็บประจุไม่ว่าจะเป็นตัวเก็บประจุภายนอกและค่าความจุแฝงของอุปกรณ์โดย  $V_c(t)$  แทนด้วยค่าแรงดันที่ตกคร่อมตัวเก็บประจุ ณ ช่วงเวลาใดๆ รูปที่ 2.14 แสดงกราฟเอกซ์โพเนนเชียลของแรงดันตัวเก็บประจุและช่วงเวลาในการคายประจุโดยมีสมการดังนี้

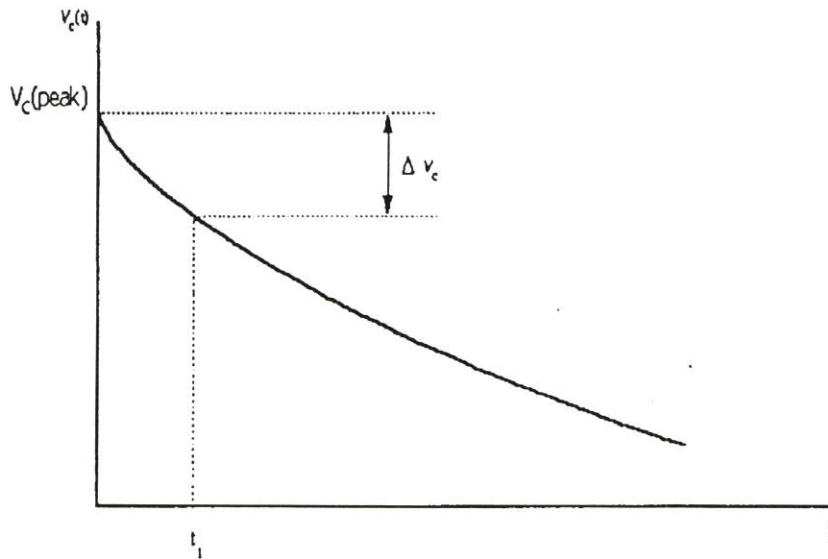
$$V_c(t) = V_c(peak)e^{-t/\tau} \quad (2.3.13)$$

โดย  $\tau = RC$  และ  $t$  คือเวลาที่เริ่มมีการคายประจุ จากรูปช่วงเวลาการคายประจุของวงจรจนถึงช่วงเวลา  $t_1$  เป็นดังสมการ

$$t_1 = \tau \ln \frac{V_c(peak)}{V_c(t_1)} \quad (2.3.14)$$

ดังนั้นขนาดแรงดันที่มีการเปลี่ยนแปลงต่อช่วงเวลาใดๆจะนิยามได้ดังสมการต่อไปนี้

$$|\Delta V_c| \cong \frac{V_c(\text{peak})\Delta t}{\tau} = \frac{V_c(\text{peak})\Delta t}{RC} \quad (2.3.15)$$



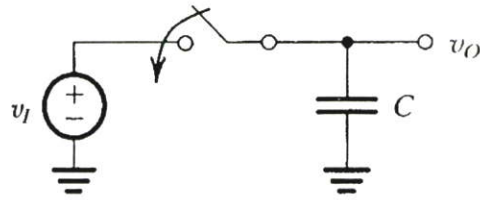
รูปที่ 2.14 กราฟแสดงความสัมพันธ์เวลาและการคายประจุแรงดัน

## 2.4 วงจรสุ่มและคงค่าสัญญาณกระแส

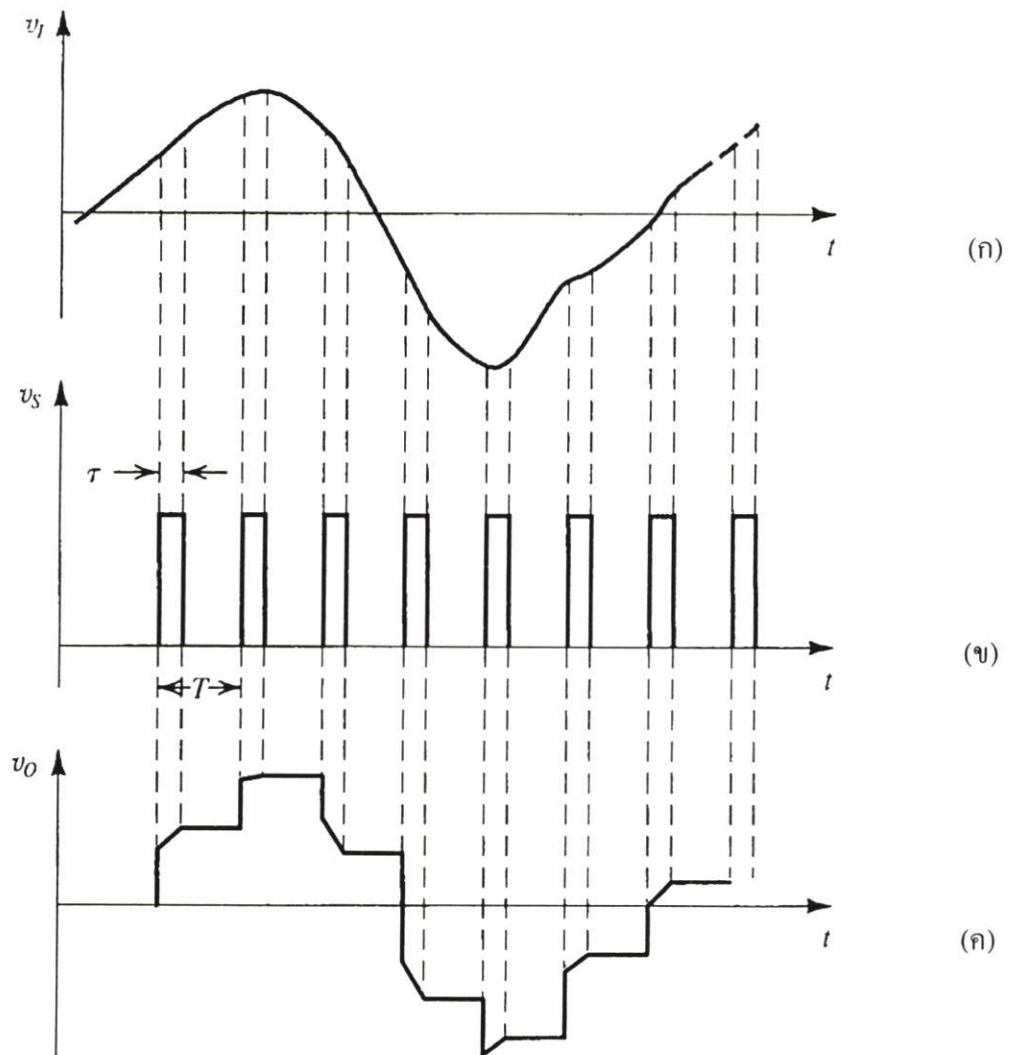
### 2.4.1 หลักการทำงานของวงจรสุ่มและคงค่าสัญญาณกระแส

วงจรสุ่มและคงค่าสัญญาณกระแส (Sample and hold circuit) จะถูกนำมาใช้ในระบบประมวลผลสัญญาณที่ต้องการคงค่าสัญญาณที่มีการเปลี่ยนแปลงอย่างรวดเร็วในช่วงเวลาหนึ่ง เพื่อให้ระบบสามารถทำการประมวลผลสัญญาณได้ การทำงานของวงจรจะแบ่งออกเป็น 2 ช่วง คือ ช่วงการสุ่มค่าเอาต์พุตของวงจรจะมีค่าตามค่าสัญญาณอินพุตของวงจร โดยตลอด ต่อมาในการทำงานช่วงที่สอง คือช่วงของการคงค่าสัญญาณซึ่งค่าเอาต์พุตของวงจรจะมีค่าคงที่ โดยขึ้นอยู่กับค่าที่สุ่มมาได้ในช่วงเวลาสุดท้ายก่อนจะเข้าสู่ช่วงการคงค่า

วงจรสุ่มและคงค่าสัญญาณกระแส [27] แสดงในรูปที่ 2.15 ประกอบด้วยตัวเก็บประจุที่ใช้คงค่าสัญญาณ และสวิตช์ซึ่งถูกควบคุมการปิดเปิดด้วยสัญญาณนาฬิกาซึ่งเป็นการควบคุมช่วงการสุ่มและคงค่าของวงจร



รูปที่ 2.15 วงจรสุ่มและคงค่าสัญญาณกระแส

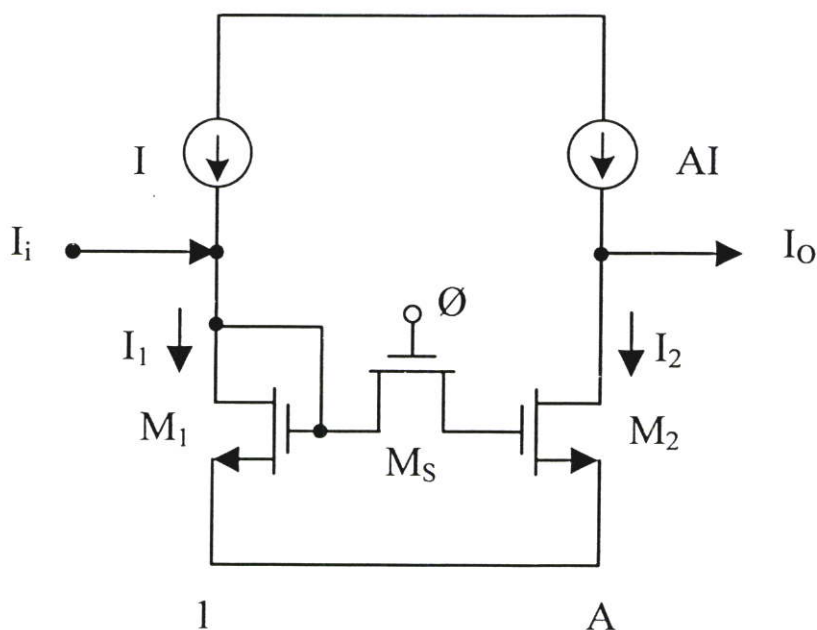


รูปที่ 2.16 สัญญาณต่างๆในวงจรสุ่มและคงค่าสัญญาณกระแส

- (ก) สัญญาณอินพุตที่ป้อนให้แก่วงจร
- (ข) สัญญาณนาฬิกา
- (ค) เอาท์พุทที่ได้จากวงจรสุ่มและคงค่าสัญญาณกระแส

### 2.4.2 วงจรสุ่มและคงค่าสัญญาณกระแสแบบธรรมดา

วงจรสุ่มและคงค่าสัญญาณกระแสแบบธรรมดาแสดงในรูปที่ 2.17 ประกอบด้วยทรานซิสเตอร์แบบ NMOS  $M_1$  และ  $M_2$  ซึ่งมีอัตราส่วน (Aspect Ratio) เป็น 1 และ A ตามลำดับทำงานในสถานะอิ่มตัวและถูกไบอัสด้วยแหล่งจ่ายกระแสตรง  $I$  และ  $AI$  มีสวิทช์  $M_S$  ต่ออยู่ระหว่างขาเกตของทรานซิสเตอร์  $M_1$  และ  $M_2$  สวิทช์  $M_S$  จะถูกควบคุมการปิดเปิดด้วยสัญญาณนาฬิกา  $\phi$  ซึ่งเป็นการควบคุมการสุ่มและคงค่าสัญญาณกระแสของวงจร



รูปที่ 2.17 วงจรสุ่มและคงค่าสัญญาณกระแสแบบธรรมดา

โดยเมื่อสัญญาณนาฬิกามีระดับเป็นค่าสูง สวิทช์  $M_S$  จะปิด กำหนดให้ช่วงเวลานี้เป็นช่วงเวลานี้เป็นช่วงเวลา  $n$  ขาเกตของ  $M_1$  และ  $M_2$  จะต่อถึงกัน วงจรจะเป็นเหมือนวงจรขยายแบบสะท้อนกระแส (Current Mirror Amplifier) กระแสเดรนของ  $M_1$  มีค่าเป็น

$$I_1(n) = I + I_i(n) \quad (2.4.1)$$

เนื่องจากขาเกตของทรานซิสเตอร์  $M_1$  และ  $M_2$  ต่อถึงกัน ค่าแรงดันระหว่างขาเกตกับซอสของทรานซิสเตอร์ทั้งสองตัวจะมีค่าเท่ากัน

$$V_{gs1}(n) = V_{gs2}(n) \quad (2.4.2)$$

ของทรานซิสเตอร์ M2 มีอัตราส่วนแอสเปคเป็น  $A$  เท่าของ M1 จึงทำให้กระแสเดรนของ M2 มีค่าเป็น  $A$  เท่าของกระแสเดรนของ M1

$$I_2(n) = AI + AI_1(n) \quad (2.4.3)$$

และกระแสเอาต์พุตมีค่าเป็น

$$\begin{aligned} I_0(n) &= AI - I_2(n) \\ &= -AI_1(n) \end{aligned} \quad (2.4.4)$$

ที่ช่วงเวลานี้ค่ากระแสเอาต์พุตจะมีค่าเป็น  $-A$  เท่าของกระแสอินพุต นั่นก็คือเป็นช่วงเวลาที่วงจรทำการสุ่มค่ากระแสอยู่ และเมื่อสัญญาณนาฬิกาเปลี่ยนเป็นระดับต่ำ สวิตช์ Ms จะเปิด ทำให้ขาเกตของทรานซิสเตอร์ M1 และ M2 แยกออกจากกัน ค่าแรงดันที่ขาเกตเมื่อช่วงเวลาที่วงจรทำการสุ่มค่ากระแสนั้นยังคงเก็บอยู่บนตัวเก็บประจุแผ่นที่ขาเกตของทรานซิสเตอร์ M2 ถ้ากำหนดให้ช่วงเวลานี้เป็นช่วงเวลา  $(n+1/2)$  จะได้

$$V_{gs2}(n+1/2) = V_{gs2}(n) \quad (2.4.5)$$

ซึ่งทำให้ค่ากระแสเอาต์พุตของวงจรในเวลานี้ยังคงมีค่าเท่ากับค่ากระแสเอาต์พุตที่ช่วงเวลาลุ่มค่า

$$I_0(n+1/2) = -AI_1(n) \quad (2.4.6)$$

นั่นก็คือในช่วงเวลานี้วงจรทำการคงค่ากระแสไว้เป็นอันครบกระบวนการสุ่มและคงค่ากระแส

จากที่กล่าวไปในบทที่แล้วว่า ในการทำงานจริงนั้น สวิตช์ Ms ไม่ได้ทำงานเป็นอุดมคติ จึงไม่สามารถหลีกเลี่ยงความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ โดยเมื่อสวิตช์ Ms เปิด หรืออยู่ในสภาวะคัทออฟ ประจุที่อยู่ในเซนแนลของ Ms จะถูกปล่อยออกมาและไหลไปยังตัวเก็บประจุแผ่นที่ขาเกตของ M2 ทำให้ค่าแรงดัน  $V_{gs2}$  ที่เก็บค่าข้อมูลไว้เปลี่ยนไป เป็นเหตุให้ค่ากระแสเดรนของทรานซิสเตอร์ M2 เปลี่ยนไปด้วย จึงทำให้เกิดความผิดพลาดของกระแสเอาต์พุตขึ้น ค่าแรงดันที่ทำให้  $V_{gs2}$  เปลี่ยนไปนี้ก็คือ ค่าแรงดันสัญญาณนาฬิกา  $V_c$  มีค่าดังนี้

$$V_c = C_c (V_H - V_L) \quad (2.4.7)$$

โดย  $C_c$  เป็นค่าความจุประจุแฝงของสวิตช์ Ms

$V_H$  คือค่าแรงดันระดับสูงของสัญญาณนาฬิกา

$V_L$  คือค่าแรงดันระดับต่ำของสัญญาณนาฬิกา

จากสมการ (2.4.7) พบว่า ค่าแรงดันสัญญาณนาฬิกาจะขึ้นอยู่กับ ค่าความจุประจุแฝงของสวิตช์ ค่าความจุประจุแฝงของทรานซิสเตอร์ที่ใช้เก็บข้อมูล และระดับแรงดันของสัญญาณนาฬิกาด้วย

พิจารณาวงจรสุ่มและคงค่ากระแสในกรณีที่คิดผลของความผิดพลาดที่เกิดจากสัญญาณนาฬิกา

เมื่อสวิตช์ Ms ปิดในช่วงเวลา  $n$  ที่ทำการสุ่มค่ากระแสของ M1 ที่ค่าเท่ากับ

$$I_1(n) = I + I_i(n) = \frac{1}{2} k (W/L) (V_{gs1}(n) - V_T)^2 \quad (2.4.8)$$

กระแสอินพุทมีค่าเท่ากับ

$$I_i(n) = -I + \frac{1}{2} k (W/L) (V_{gs1}(n) - V_T)^2 \quad (2.4.9)$$

และกระแสของ M2 มีค่าเท่ากับ

$$I_2(n) = AI - I_o(n) = \frac{1}{2} Ak (W/L) (V_{gs1}(n) - V_T)^2 \quad (2.4.10)$$

โดย  $k$  และ  $V_T$  คือค่าทรานสคอนดักแตนซ์พารามิเตอร์และแรงดันขีดเริ่มต้นของทรานซิสเตอร์ M1 และ M2 ส่วน  $(W/L)$  คืออัตราส่วนแอสเปคของทรานซิสเตอร์ M1 เนื่องจากช่วงเวลาสุ่มค่านี้ สวิตช์ Ms ปิด ทำให้  $V_{gs1}(n) = V_{gs2}(n)$  จึงได้กระแสเอาต์พุท  $I_o(n) = -AI_i(n)$

เมื่อสวิตช์ Ms เปิดที่ช่วงเวลา  $(n+1/2)$  จะได้

$$I_2(n+1/2) = AI - I_o(n+1/2) = \frac{1}{2} Ak(W/L) (V_{gs2}(n+1/2) - V_T)^2 \quad (2.4.11)$$

เนื่องจากมีค่าแรงดัน  $V_c$  ซึ่งเป็นผลกระทบจากการเปลี่ยนสัญญาณนาฬิกาจากระดับสูงเป็นระดับต่ำ จึงทำให้ค่าแรงดันที่ขาเกตของ M2 ในช่วงเวลานี้เปลี่ยนไปจากค่าที่ช่วงเวลาสุ่มค่า

$$\begin{aligned} V_{gs2}(n+1/2) &= V_{gs2}(n) - V_c \\ &= V_{gs1}(n) - V_c \end{aligned} \quad (2.4.12)$$

แทนค่า  $V_{gs2}(n+1/2)$  ลงในสมการ (2.4.11) จะได้

$$I_2(n+1/2) = AI - I_o(n+1/2) = \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_c - V_T)^2$$

หรือ

$$I_o(n+1/2) = AI - \frac{1}{2} Ak(W/L)((V_{gs1}(n) - V_T)^2 - 2(V_{gs1}(n) - V_T)V_c + V_c^2)^2$$

จากสมการ  $I_i(n)$  ในสมการ (2.4.9) จะได้ว่า

$$I_o(n+1/2) = -AI(n) + Ak(W/L)(V_{gs1}(n) - V_T)V_c - \frac{1}{2} Ak(W/L)V_c^2 \quad (2.4.13)$$

จากค่ากระแสเอาต์พุต  $I_o(n+1/2)$  ในสมการ (2.4.13) จะเห็นว่ามีการมีส่วนที่เกิดจากผลของการเปลี่ยนแปลงระดับสัญญาณนาฬิกาเกิดขึ้น ซึ่งทำให้ค่ากระแสเอาต์พุตที่ได้ผิดพลาดไป กระแสส่วนนี้เป็นกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกา (Clock Feedthrough Current),  $I_{cft}$  มีค่าดังนี้

$$I_{cft}(n+1/2) = -\frac{1}{2} Ak(W/L)V_c^2 + Ak(W/L)(V_{gs1}(n) - V_T)V_c \quad (2.4.14)$$

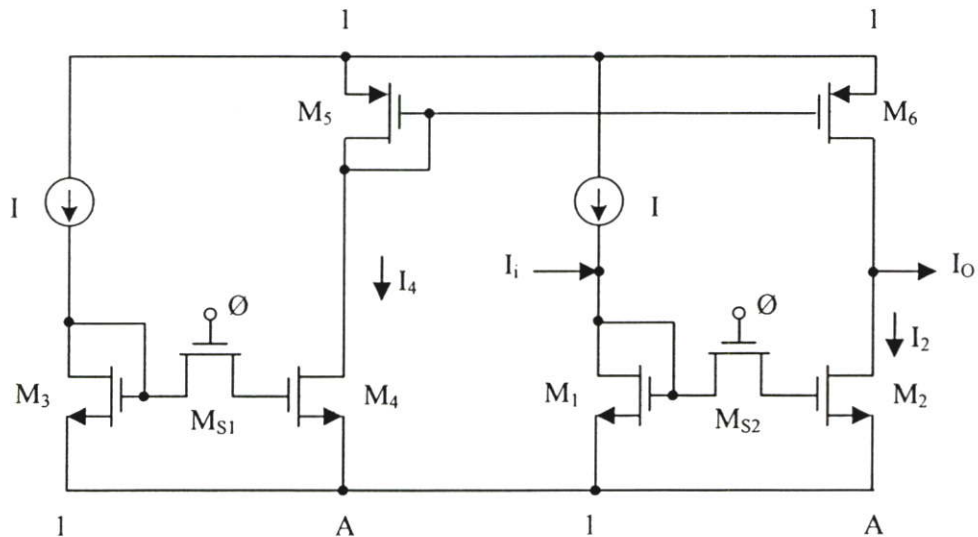
โดยส่วนแรกของ  $I_{cft}$  จะขึ้นอยู่กับค่า  $V_c$  เรียกส่วนนี้ว่าค่ากระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกา ส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต (Signal Independent Clock Feedthrough Current) ส่วนที่สองของ  $I_{cft}$  จะขึ้นอยู่กับค่า  $V_c$  และค่า  $V_{gs1}(n)$  และเนื่องจากค่า  $V_{gs1}(n)$  นั้น ขึ้นอยู่กับค่ากระแสอินพุต โดย  $V_{gs1}(n) = \sqrt{(2/k)(L/W)(I + I(n))} + V_T$  จึงเรียกส่วนที่สองของ  $I_{cft}$  นี้ว่าค่ากระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต (Signal Dependent Clock Feedthrough Current)

เพื่อที่จะกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกานั้นสามารถทำได้โดยวิธีที่เสนอในหัวข้อ 2.2.3.3 เช่นการเพิ่มค่าของตัวเก็บประจุแผ่นที่ขาเกตของทรานซิสเตอร์  $C_{gs}$  ซึ่งจะทำให้ค่าแรงดัน  $V_c$  ลดลง แต่วิธีนี้จะต้องใช้กระบวนการผลิตเพิ่มเติมในการสร้างตัวเก็บประจุที่มีค่ามากที่ขาเกตของทรานซิสเตอร์ หรือใช้การเพิ่มค่าขนาดของทรานซิสเตอร์เพื่อให้มีค่าเก็บประจุแผ่นที่ขาเกตสูงขึ้น แต่จะทำให้วงจรทำงานได้ที่ความถี่ต่ำลง เพื่อหลีกเลี่ยงวิธีการต่างๆนี้ ได้มีการคิด

เทคนิคซึ่งใช้โครงสร้างของวงจรมาร่วมช่วยในการกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาที่ขึ้นหลายวงจรด้วยกัน ดังจะกล่าวถึงในหัวข้อต่อจากนี้

### 2.4.3 วงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต

วงจรมสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต [28] แสดงในรูปที่ 2.18 ทรานซิสเตอร์ M1, M3, M5 และ M6 มีอัตราส่วนแอสเปคเท่ากับ 1 ทรานซิสเตอร์ M2 และ M4 มีขนาดเท่ากัน และอัตราส่วนแอสเปคเท่ากับ  $A$  สวิตช์ MS1 และ MS2 มีขนาดเท่ากันและถูกควบคุมด้วยสัญญาณนาฬิกาเดียวกัน เมื่อสวิตช์ในวงจรมเปิดออกที่ช่วงเวลาคงค่ากระแส จะเกิดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาขึ้นกับกระแส  $I_2$  และ  $I_4$  ของวงจรม โดยมีส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุตเท่ากัน และทรานซิสเตอร์ M5 และ M6 จะสะท้อนกระแส  $I_4$  ไปลบกับกระแส  $I_2$  ที่โหนดเอาต์พุตของวงจรม ทำให้วงจรมสามารถกำจัดกระแสความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุตออกจากกระแสเอาต์พุตได้



รูปที่ 2.18 วงจรมสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต

ในช่วงเวลาสุ่มค่า  $n$  สวิตช์ MS1 และ MS2 ปิด กระแสเดรนของ M2 มีค่าเท่ากับ

$$I_2(n) = AI + AI_i(n) = \frac{1}{2} Ak (W/L) (V_{gs1}(n) - V_T)^2 \quad (2.4.15)$$

กระแสเดรนของ M5 มีค่าเท่ากับกระแสเดรนของ M4 และเนื่องจากขาเกตของ M5 ต่ออยู่กับขาเกตของ M6 กระแสเดรนของ M6 จึงมีค่าเท่ากับกระแสเดรนของ M4 ซึ่งมีค่าเท่ากับ

$$I_4(n) = AI = \frac{1}{2} Ak(W/L)(V_{gs3}(n) - V_T)^2 \quad (2.4.16)$$

ทำให้ค่ากระแสเอาต์พุตมีค่าดังนี้

$$\begin{aligned} I_0(n) &= I_4(n) - I_2(n) \\ &= -AI_i(n) = \frac{1}{2} Ak(W/L)((V_{gs3}(n) - V_T)^2 - (V_{gs1}(n) - V_T)^2) \end{aligned} \quad (2.4.17)$$

ในช่วงเวลาคงค่ากระแส เมื่อสวิตช์ MS1 และ MS2 เปิดออกจะเกิดแรงดันสัญญาณนาฬิกาที่ขาเกตของ M2 และ M4 ทำให้กระแสเดรนของ M2 มีค่าดังนี้

$$\begin{aligned} I_2(n+1/2) &= \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_c - V_T)^2 \\ &= \frac{1}{2} Ak(W/L)((V_{gs1}(n) - V_T)^2 - 2(V_{gs1}(n) - V_T)V_c + V_c^2) \end{aligned} \quad (2.4.18)$$

และกระแสเดรนของ M4 มีค่าดังนี้

$$\begin{aligned} I_4(n+1/2) &= \frac{1}{2} Ak(W/L)(V_{gs3}(n) - V_c - V_T)^2 \\ &= \frac{1}{2} Ak(W/L)((V_{gs3}(n) - V_T)^2 - 2(V_{gs3}(n) - V_T)V_c + V_c^2) \end{aligned} \quad (2.4.19)$$

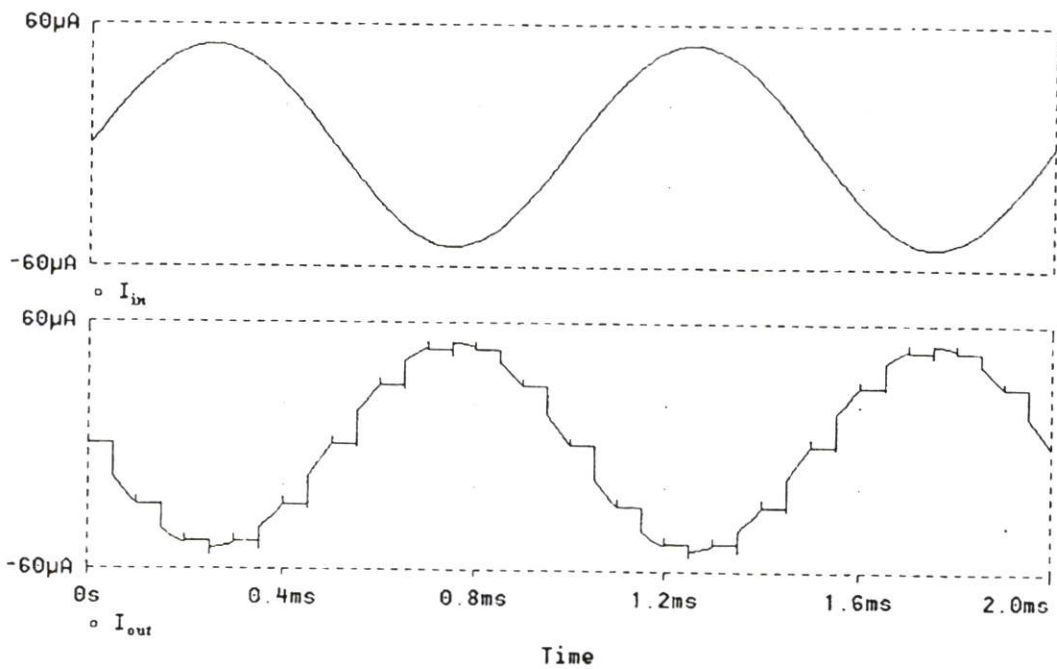
และได้กระแสเอาต์พุตมีค่าเท่ากับ ,

$$\begin{aligned} I_0(n+1/2) &= I_4(n+1/2) - I_2(n+1/2) \\ &= \frac{1}{2} Ak(W/L)((V_{gs3}(n) - V_T)^2 - (V_{gs1}(n) - V_T)^2) \\ &\quad - Ak(W/L)(V_{gs3}(n) - V_{gs1}(n)) V_c \end{aligned} \quad (2.4.20)$$

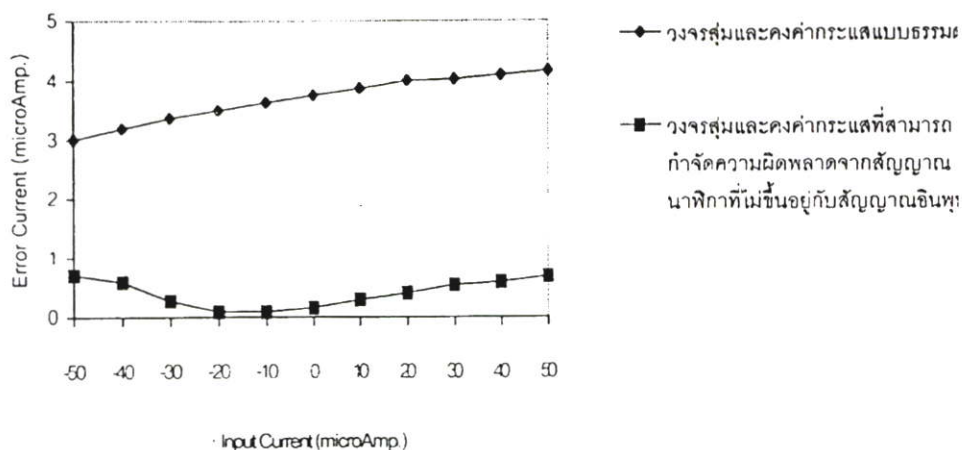
จากค่า  $-AI_i(n)$  ในสมการ (2.4.17) จะได้

$$I_0(n+1/2) = -AI_i(n) - Ak(W/L)(V_{gs3}(n) - V_{gs1}(n)) V_c \quad (2.4.21)$$

จากกระแสเอาต์พุตในช่วงคงค่าในสมการ (2.4.21) จะเห็นว่าวงจรมีสามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุตได้ทั้งหมด เหลือเพียงเทอม  $-Ak(W/L)(V_{gs3}(m) - V_{gs1}(m))V_c$  ซึ่งเป็นกระแสผิดพลาดที่ขึ้นอยู่กับสัญญาณอินพุต เพื่อพิจารณาผลการทำงานของวงจร ได้ใช้โปรแกรม PSPICE จำลองการทำงานของวงจรโดยกำหนดให้ใช้ทรานซิสเตอร์ที่มีขนาด  $(W/L)$  เท่ากับ  $40\mu\text{m}/8\mu\text{m}$  สวิตช์มีขนาด  $(W/L)$  เท่ากับ  $2\mu\text{m}/1.2\mu\text{m}$  และใช้ค่า  $A$  เท่ากับ 1 ผลการทำงานของวงจรเป็นดังรูปที่ 2.19 ซึ่งแสดงรูปคลื่นของกระแสอินพุตและกระแสเอาต์พุตของวงจร และรูปที่ 2.20 แสดงค่ากระแสผิดพลาดที่เกิดขึ้นที่กระแสอินพุตค่าต่างๆ



รูปที่ 2.19 รูปคลื่นของกระแสอินพุตและกระแสเอาต์พุตของวงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต โดยสัญญาณอินพุตมีความถี่เท่ากับ 1 KHz สัญญาณนาฬิกามีความถี่เท่ากับ 10 KHz

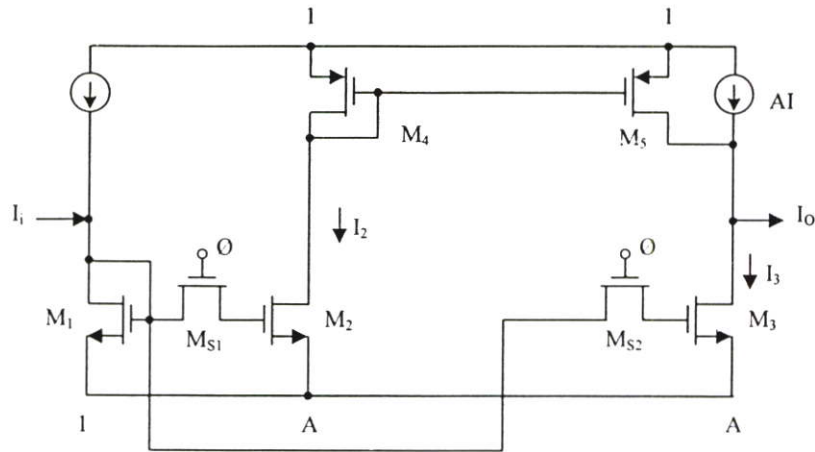


**รูปที่ 2.20** แสดงค่ากระแสผิดพลาดที่อินพุตค่าต่างๆ ของวงจรสุมและคงสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับกระแสอินพุต และวงจรสุมและคงค่ากระแสแบบธรรมดา โดยสัญญาณนาฬิกามีความถี่เท่ากับ 10 KHz

จากผลการจำลองการทำงานของวงจรพบว่าความผิดพลาดของกระแสเอาต์พุตนั้นน้อยลงเมื่อเปรียบเทียบกับกระแสเอาต์พุตของวงจรแบบธรรมดา แต่เนื่องจากวงจรสามารถกำจัดกระแสผิดพลาดได้เพียงส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุตเท่านั้น ยังคงเหลือกระแสผิดพลาดส่วนที่ขึ้นอยู่กับสัญญาณอินพุตอยู่ ดังนั้นในช่วงที่กระแสอินพุตมีค่าสูงมากหรือต่ำมาก กระแสเอาต์พุตจะยังคงมีความผิดพลาดมาก สังเกตได้จากรูปคลื่นในรูปที่ 2.19 และจากกราฟแสดงค่ากระแสผิดพลาดในรูปที่ 2.20

#### 2.4.4 วงจรสุมและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต

วงจรสุมและคงสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับกระแสอินพุต [29] แสดงในรูปที่ 2.4.7 ทรานซิสเตอร์ M1, M4 และ M5 มีอัตราส่วนแอสเปคเป็น 1 ทรานซิสเตอร์ M2 มีอัตราส่วนแอสเปคเป็น A และทรานซิสเตอร์ M3 มีความกว้าง ( $W$ ) เป็น 2 เท่าของ M2 และมีอัตราส่วนแอสเปคเป็น  $2A$  ที่ช่วงเวลาคงค่ากระแสนั้นจะเกิดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาขึ้นในกระแส  $I_2$  และ  $I_3$  โดยจะมีส่วนที่ขึ้นอยู่กับสัญญาณอินพุตเท่ากัน และทรานซิสเตอร์ M4 และ M5 จะสะท้อนกระแส  $I_2$  ไปลบกับกระแส  $I_3$  ที่โหนดเอาต์พุตของวงจร จึงทำให้วงจรสามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุตได้



รูปที่ 2.21 วงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับการเสถียรภาพ

ในช่วงเวลาสุ่มค่า  $n$  จากวงจร กระแสเดรนของ  $M_4$ ,  $M_5$  และ  $M_2$  จะมีค่าเท่ากัน ซึ่งเท่ากับ

$$I_2(n) = AI + AI_i(n) = \frac{1}{2} Ak (W/L)(V_{gs1}(n) - V_T)^2 \quad (2.4.22)$$

กระแสเดรนของ  $M_3$  มีค่าดังนี้

$$I_3(n) = 2AI + 2AI_i(n) = Ak (W/L)(V_{gs1}(n) - V_T)^2 \quad (2.4.23)$$

และกระแสเอาต์พุตมีค่าเท่ากับ

$$\begin{aligned} I_o(n) &= I_2(n) + AI - I_3(n) \\ &= -AI_i(n) = AI - \frac{1}{2} Ak (W/L)(V_{gs1}(n) - V_T)^2 \end{aligned} \quad (2.4.24)$$

ในช่วงเวลาคงค่ากระแส (  $n + 1/2$  ) สวิตช์  $MS_1$  และ  $MS_2$  จะเปิดออก ทำให้เกิดแรงดันสัญญาณนาฬิกาขึ้นที่ขาเกตของทรานซิสเตอร์  $M_2$  และ  $M_3$  เนื่องจากความจุประจุแฝงที่ขาเกตของทรานซิสเตอร์จะเป็นสัดส่วนกับค่าพื้นที่เกตดิฟฟิวชัน (Gate Diffusion Area) ซึ่งมีค่าประมาณ  $W/L$  ค่าความจุประจุแฝงที่ขาเกตของทรานซิสเตอร์  $M_3$  จึงมีค่าเป็น 2 เท่าของค่าความจุประจุแฝงที่ขาเกตของทรานซิสเตอร์  $M_2$  คือ  $C_{gs3} = 2C_{gs2}$  และจากสมการ (2.4.7)  $V_c = C_c (V_H - V_L)$  ทำให้ค่าแรงดันสัญญาณนาฬิกาที่ขาเกตของ  $M_3$  มีค่าเป็นครึ่งหนึ่งของที่ขาเกตของ  $M_2$  ถ้ากำหนดให้

แรงดันสัญญาณนาฬิกาที่ขาเกทของ M2 เป็น  $V_c$  จะได้แรงดันสัญญาณนาฬิกาที่ขาเกทของ M3 เป็น  $\frac{V_c}{2}$  จึงจะได้กระแสเดรนของ M2 เท่ากับ

$$\begin{aligned} I_2(n+1/2) &= \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_T - V_c)^2 \\ &= \frac{1}{2} Ak(W/L)((V_{gs1}(n) - V_T)^2 - 2(V_{gs1}(n) - V_T)V_c + V_c^2) \end{aligned} \quad (2.4.25)$$

กระแสเดรนของ M3 เท่ากับ

$$\begin{aligned} I_3(n+1/2) &= Ak(W/L)(V_{gs1}(n) - V_T - \frac{V_c}{2})^2 \\ &= Ak(W/L)((V_{gs1}(n) - V_T)^2 - 2(V_{gs1}(n) - V_T)\frac{V_c}{2} + \frac{V_c^2}{4}) \end{aligned} \quad (2.4.26)$$

และได้กระแสเอาต์พุตเท่ากับ

$$\begin{aligned} I_o(n+1/2) &= I_2(n+1/2) + AI - I_3(n+1/2) \\ &= AI - \frac{1}{2}Ak(W/L)(V_{gs1}(n) - V_T)^2 + \frac{1}{4}Ak(W/L)V_c^2 \end{aligned}$$

จากค่า  $-AI_i(n)$  ในสมการ (2.4.23) จะได้

$$I_o(n+1/2) = -AI_i(n) + \frac{1}{4}Ak(W/L)V_c^2 \quad (2.4.27)$$

## 2.5 บทสรุป

การประมวลผลสัญญาณในโหมคกระแสสามารถแบ่งได้เป็น 2 แบบ คือ การประมวลผลสัญญาณแบบต่อเนื่องทางเวลา และการประมวลผลสัญญาณแบบสุ่มค่าข้อมูล ในการประมวลผลสัญญาณแบบสุ่มค่าข้อมูลในโหมคกระแสจะใช้วงจรสวิตช์กระแส ซึ่งมีวงจรสุ่มและคงค่ากระแสเป็นวงจรพื้นฐาน ในการทำงานของวงจรสวิตช์กระแส นั้น ความผิดพลาดของวงจรมีสาเหตุสำคัญมาจากการไม่สมพงษ์กันของอุปกรณ์ในวงจร และผลกระทบจากสัญญาณนาฬิกา สำหรับการลดผลกระทบที่เกิดจากสัญญาณนาฬิกาสามารถทำได้ตามวิธีในหัวข้อ 2.2.3.3 หรืออาจใช้การออกแบบโครงสร้างของวงจรให้สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้

หลักการออกแบบวงจรตรวจจับค่ายอดสัญญาณสำหรับสัญญาณแอนะล็อกที่สำคัญๆ และแตกต่างกันซึ่งได้มีการนำเสนอไว้ในอดีต และเมื่อทำการพิจารณาเปรียบเทียบคุณสมบัติการทำงาน ของวงจรในแต่ละหลักการจะเห็นว่า การออกแบบวงจรตรวจจับค่ายอดสัญญาณในหัวข้อที่ 2.3.2 เป็น

หลักการพื้นฐานซึ่งเป็นที่คุ้นเคยสำหรับนักออกแบบ ซึ่งมีข้อดีของวงจรคือมีอินพุทอิมพีแดนซ์สูง ซึ่งเป็นคุณสมบัติที่ดีประการหนึ่งของออปแอมป์ แต่เนื่องจากออปแอมป์มีแบนด์วิธ (bandwidth) ที่แคบทำให้ไม่สามารถใช้งานได้ที่ความถี่สูง จึงได้พัฒนาให้วงจรทำงานได้ที่ความถี่สูงโดยใช้วงจรสายพานกระแสมาต่อรวมและเพื่อลดการไบอัสย้อนกลับของไดโอดของวงจรตรวจจับยอดสัญญาณพื้นฐาน จึงใช้ไดโอดเพิ่มเข้ามาและยังเป็นการช่วยลดค่าหน่วงการทำงานของวงจรได้ แต่เนื่องจากทั้งสองหลักการข้างต้นเป็นวงจรที่ใหญ่ ไม่เหมาะต่อการสร้างเป็นวงจรรวม อีกทั้งยังทำงานในโหมดแรงดัน ดังนั้นจึงได้มีการออกแบบสร้างให้วงจรทำงานในโหมดกระแส เพื่อเป็นการลดความผิดพลาดในการทำงานของวงจรแล้วยังใช้พื้นที่ในการออกแบบเป็นวงจรรวมน้อยลงกว่าสองหลักการแรก และการใช้ไบโพลาร์นั้นสามารถทำงานได้ที่ความถี่สูงได้ดี แต่เนื่องจากขั้นตอนการออกแบบสร้างเป็นวงจรรวมของไบโพลาร์นั้นยุ่งยากกว่ามอสทรานซิสเตอร์ จึงได้ออกแบบวงจรรวมโดยใช้มอสทรานซิสเตอร์ขึ้น

ในวงจรสุ่มและคงค่าสัญญาณกระแสแบบธรรมดา กระแสเอาต์พุทจะมีความผิดพลาดที่เกิดจากสัญญาณนาฬิกา โดยกระแสความผิดพลาดที่เกิดจากสัญญาณนาฬิกาจะแบ่งได้เป็นสองส่วนคือ ส่วนที่ไม่ขึ้นกับสัญญาณอินพุท และส่วนที่ขึ้นกับสัญญาณอินพุท เพื่อให้วงจรมีความถูกต้องสูงขึ้น ได้มีการออกแบบวงจรให้มีโครงสร้างที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ คือ วงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นกับสัญญาณอินพุท [3] และวงจรสุ่มและคงค่าสัญญาณกระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นกับสัญญาณอินพุท [29]

### บทที่ 3

## วงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่เสนอ

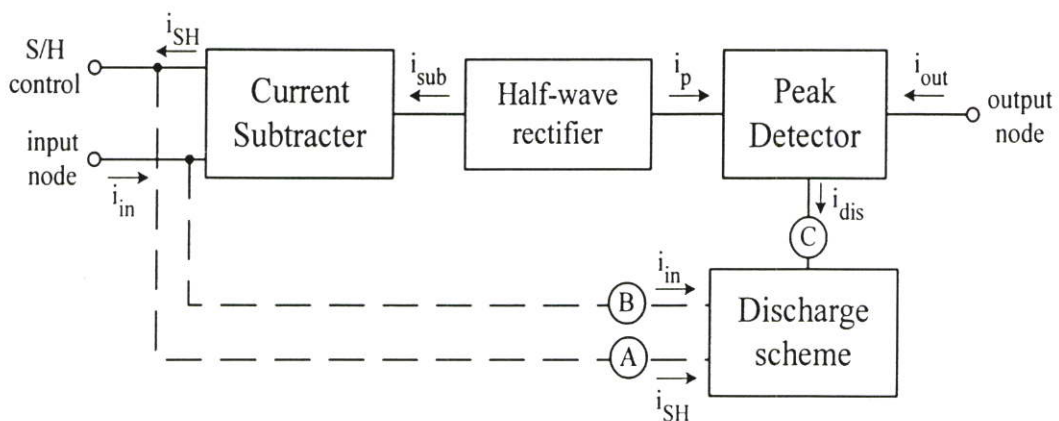
### 3.1 บทนำ

จากการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอส โดยใช้วงจรถบกระแส และ วงจรเรียงกระแสแบบครึ่งคลื่น แทนการใช้วงจรสุ่มค่าด้วยสวิตช์ในวงจรสุ่มและคงค่าสัญญาณที่มีใช้งานอยู่เดิม เพื่อจำกัดค่าความผิดพลาดที่เกิดจากการฉีดประจุข้ามช่องการนำกระแส และสัญญาณนาฬิกา เพื่อให้ได้รูปคลื่นของสัญญาณเอาต์พุตที่มีความถูกต้องแม่นยำสูง และสามารถมีค่าอัตราการสุ่มได้สูงกว่าเมื่อเทียบกับหลักการเดิม

### 3.2 วงจรสุ่มและคงค่าสัญญาณกระแสที่ได้ทำการออกแบบ

วงจรสุ่มและคงค่าสัญญาณกระแสที่นำเสนอ ประกอบด้วยวงจรถบกระแส (Current Subtractor) วงจรเรียงกระแสแบบครึ่งคลื่น (Half-wave Rectifier) วงจรตรวจจับค่ายอดสัญญาณกระแส (Peak Detector) และวงจรคายประจุ สัญญาณควบคุม  $i_{SH}$  ทำการเชตสถานะการทำงานของวงจรถบกระแส  $i_{in}$  เป็นสัญญาณอินพุตซึ่งจะมีค่าระหว่างศูนย์และค่าสถานะสูงของสัญญาณควบคุม  $i_{SH}$  ถ้าสัญญาณควบคุม  $i_{SH}$  ถูกเชตให้มีค่าเป็นสถานะต่ำหรือ  $i_{SH} = 0\mu A$  สัญญาณอินพุต  $i_{in}$  จะถูกสุ่มและส่งค่าผ่านไปยังเอาต์พุต แต่ในกรณีที่สัญญาณควบคุม  $i_{SH}$  ถูกเชตค่าเป็นสถานะสูงหรือสัญญาณควบคุม  $i_{SH} = 50\mu A$  ค่าอินพุตค่าสุดท้ายจะถูกสุ่มและคงค่าไว้จนกระทั่งสัญญาณอินพุตถัดมาได้รับการสุ่มอีกครั้ง บล็อกไดอะแกรมของวงจรสุ่มและคงค่าสัญญาณที่นำเสนอแสดงตามรูปที่

3.1



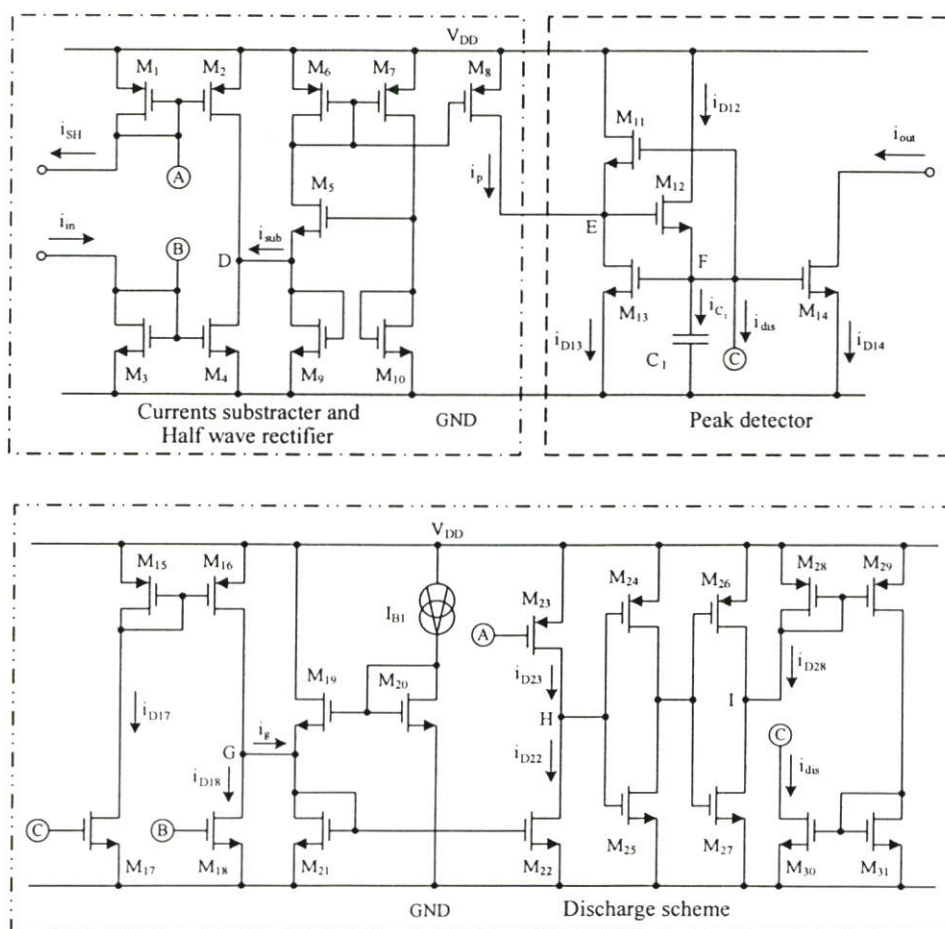
รูปที่ 3.1 บล็อกไดอะแกรมของวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ

การทำงานของวงจรที่นำเสนอตามรูปที่ 3.2 การออกแบบกำหนดให้ทรานซิสเตอร์ทุกตัวมีคุณสมบัติสมพงษ์กันทุกประการและทำงานในย่านอิมิตัว กระแสครนของทรานซิสเตอร์ทำงานในช่วงอิมิตัว [30] ได้ผลลัพธ์ตามสมการที่ (3.1)

$$i_D = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 = K(v_{GS} - V_T)^2 \quad (3.1)$$

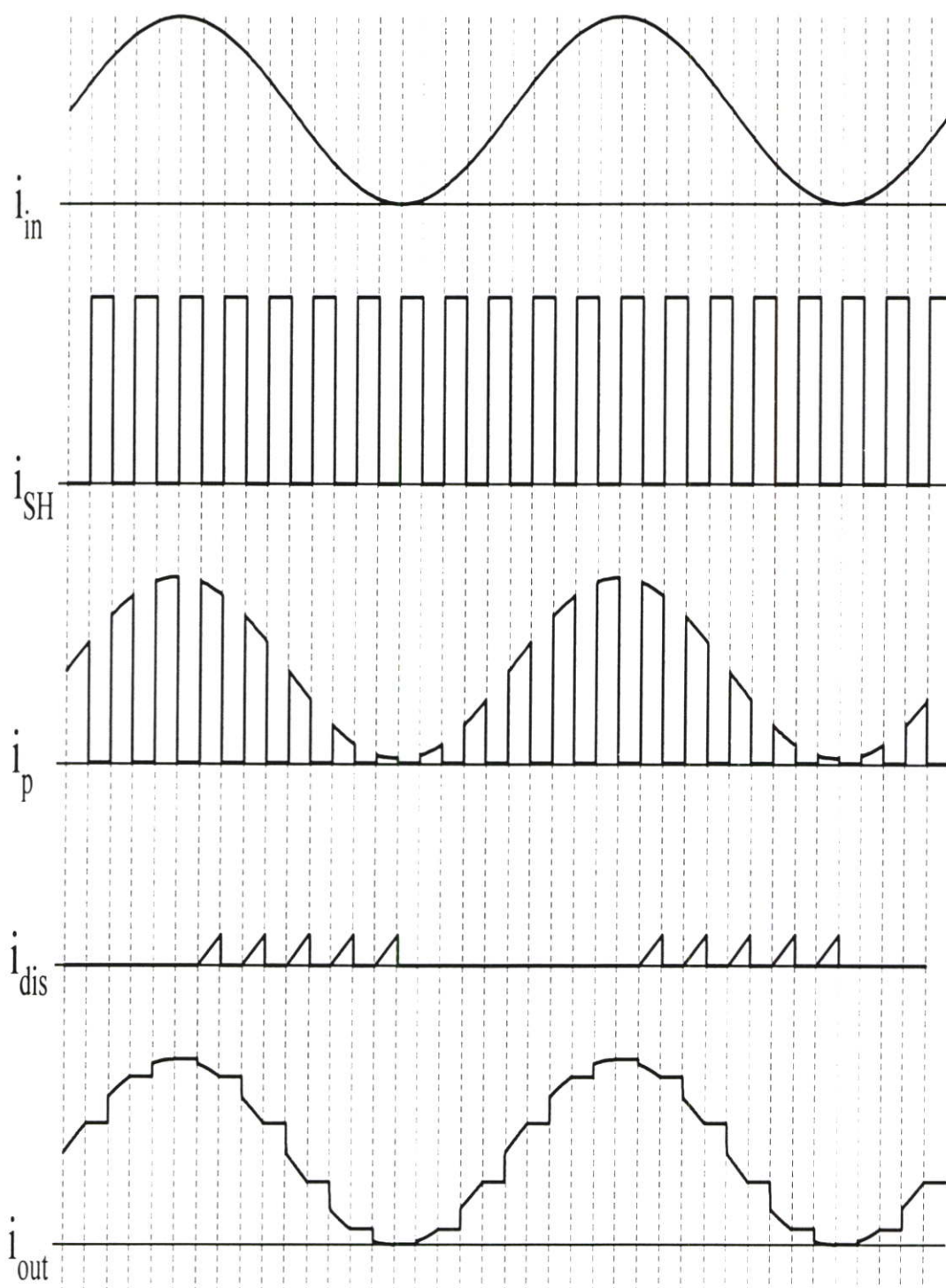
โดยกำหนดให้  $K$  เป็นค่าคุณสมบัติการนำ  $V_{GS}$  เป็นค่าแรงดันคกร่อมเกท-ซอส และ  $V_T$  เป็นค่าแรงดันขีดเริ่มตามลำดับ ทรานซิสเตอร์  $M_1$ - $M_2$  และ  $M_3$ - $M_4$  ในวงจรลบกระแสทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราขยายเท่ากับหนึ่ง เพื่อส่งผ่านสัญญาณควบคุม  $i_{SH}$  และกระแสอินพุท  $i_{in}$  ไปยังโหนด D ค่ากระแส  $i_{sub}$  แสดงไว้ตามสมการที่ (3.2)

$$i_{sub} = i_{in} - i_{SH} \quad (3.2)$$



รูปที่ 3.2 วงจรสุมและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ

จากการทำงานของวงจรที่ได้อธิบายมาแล้วนั้น สามารถแสดงรูปคลื่นสัญญาณที่สัมพันธ์กับค่ากระแสต่างๆดังในรูปที่ 3.3



รูปที่ 3.3 สัญญาณกระแสรูปคลื่นที่จุดต่างๆของวงจรสุมและคงค่าสัญญาณกระแสแบบซิมอส

ทรานซิสเตอร์  $M_5$ - $M_{10}$  ทำหน้าที่เป็นวงจรเรียงกระแสแบบครึ่งคลื่นเพื่อสำเนากระแส  $i_{sub}$  เมื่อกระแส  $i_{sub}$  มีค่าเป็นลบ กระแส  $i_{sub}$  จะไหลผ่าน ทรานซิสเตอร์  $M_9$  ทำให้แรงดันที่โหนด D มีค่าเพิ่มขึ้น และทำให้ทรานซิสเตอร์  $M_5$  คัทออฟ ดังนั้นกระแส  $i_p$  มีค่าเป็นศูนย์ แต่เมื่อกระแส ทรานซิสเตอร์  $i_{sub}$  มีค่าเป็นบวก จะทำให้ทรานซิสเตอร์  $M_5$  นำกระแสและ  $M_9$  คัทออฟตามลำดับ ดังนั้น กระแส  $i_p$  จะมีค่าเท่ากับกระแส  $i_{sub}$  จากสมการที่ (3.2) กระแส  $i_p$  สามารถแสดงได้ตามสมการที่ (3.3)

$$i_p = \begin{cases} i_{in} & \text{for } i_{SH} = \text{'low'} \\ 0 & \text{for } i_{SH} = \text{'high'} \end{cases} \quad (3.3)$$

เมื่อพิจารณาที่โหนด F ค่าแรงดันตกคร่อม เกท-ซอส ของ ทรานซิสเตอร์  $M_{13}$  และ  $M_{14}$  จะมีค่าเพิ่มขึ้น และจะมีการคงค่าไว้ด้วยคาปาซิเตอร์  $C_1$  จากสมการที่ (3.1) ค่ากระแสเอาต์พุตแสดงดังตามสมการที่ (3.4)

$$i_{out} = i_{D13} = i_{D14} = K(v_{C1} - V_T)^2 \quad (3.4)$$

ถ้ากระแส  $i_p = i_{in}$  และ  $i_{dis}$  มีค่าเป็นศูนย์ทั้งคู่ ค่าแรงดันที่โหนด E หรือ  $v_E$  มีผลทำให้ ทรานซิสเตอร์  $M_{12}$  นำกระแส การไหลของกระแสประจุ  $i_{C1}$  ไหลผ่านคาปาซิเตอร์  $C_1$  ซึ่งมีค่าเท่ากับ  $i_{D12}$  และทำให้แรงดัน  $v_{C1}$  มีค่าเพิ่มขึ้น ทำให้ทรานซิสเตอร์  $M_{13}$  และ  $M_{14}$  นำกระแส เมื่อค่าแรงดัน  $v_{C1}$  มีค่าเพิ่มขึ้นถึงค่าสถานะอยู่ตัว (Steady State) จะทำให้ทรานซิสเตอร์  $M_{12}$  คัทออฟ ค่าแรงดัน  $v_{C1}$  ยังคงทำให้ทรานซิสเตอร์  $M_{13}$  และ  $M_{14}$  นำกระแส ดังนั้นค่ากระแส  $i_{out}$  มีค่าเท่ากับกระแส  $i_{in}$  ถ้ากระแส  $i_p$  มีค่าเป็นศูนย์ ค่าสูงสุดของกระแสอินพุต  $i_{in}$  จะมีค่าน้อยกว่าสัญญาณอินพุตก่อนหน้านี้ และถ้า  $i_{dis}$  มีค่าเป็นศูนย์ ค่าแรงดัน  $v_E$  จะลดลง ดังนั้นทรานซิสเตอร์  $M_{12}$  ยังคงไม่นำกระแสและค่าแรงดัน  $v_{C1}$  ไม่เปลี่ยนแปลง ถ้ากระแสอินพุต  $i_{in}$  มีค่ามากกว่ากระแสเอาต์พุตและ  $i_{dis}$  มีค่าเป็นศูนย์ จะทำให้ค่าแรงดัน  $v_E$  เพิ่มขึ้นและทรานซิสเตอร์  $M_{12}$  นำกระแส ค่าแรงดัน  $v_{C1}$  จะมีค่าเพิ่มขึ้นและทำให้กระแสเอาต์พุตมีค่าเท่ากับค่าสุดท้ายที่ได้รับการสุ่ม ถ้ากระแสอินพุต  $i_{in}$  มีค่าน้อยกว่าสัญญาณอินพุตก่อนหน้านี้ และ  $i_{dis} = 1$  ค่าแรงดัน  $v_{C1}$  จะมีค่าลดลง ดังนั้นกระแสเอาต์พุต  $i_{out}$  จะมีค่าตามค่ากระแสอินพุต  $i_{in}$

ในวงจรขยายประจุ ขาเกทของทรานซิสเตอร์  $M_{17}$   $M_{18}$  และ  $M_{23}$  จะเชื่อมต่อกับโหนด C โหนด B และ โหนด A ตามลำดับ ดังนั้นค่ากระแส  $i_{D17} = i_p$  ค่ากระแส  $i_{D18} = i_{in}$  และค่ากระแส  $i_{D23} = i_{SH}$  ทรานซิสเตอร์  $M_{15}$ - $M_{16}$  ถูกกำหนดให้เป็นวงจรสะท้อนกระแสที่มีอัตราขยายเท่ากับหนึ่ง เพื่อส่งผ่านค่ากระแส  $i_{D17}$  ไปยังโหนด G ค่ากระแส  $i_g$  แสดงไว้ตามสมการที่ (3.5)

$$i_g = i_{D17} - i_{D18} = i_p - i_m \quad (3.5)$$

ค่ากระแส  $i_g$  จะถูกป้อนไปยังวงจรเรียงกระแสแบบครึ่งคลื่นซึ่งประกอบด้วยทรานซิสเตอร์  $M_{19}$ - $M_{22}$  จากสมการที่ (3.3) และ สมการที่ (3.5) ค่ากระแส  $i_{D22}$  แสดงไว้ในสมการที่ (3.6)

$$i_{D22} = \begin{cases} i_p - i_{in} & \text{for } i_{p0} > i_{in} \\ 0 & \text{for } i_{p0} < i_{in} \end{cases} \quad (3.6)$$

ขณะที่กระแส  $i_{p0}$  เป็นค่ากระแสสูงสุดก่อนหน้าของค่ากระแส  $i_p$  ทรานซิสเตอร์  $M_{24}$ - $M_{27}$  ถูกกำหนดให้เป็นวงจรเปรียบเทียบกระแสระหว่าง  $i_{D22}$  และ  $i_{SH}$  จากสมการที่ (3.6) ถ้าสัญญาณควบคุม  $i_{SH}$  ถูกเซตเป็นสถานะต่ำ ค่าแรงดันที่โหนด H สามารถแสดงได้ตามสมการที่ (3.7)

$$v_H = \begin{cases} 0 & \text{for } i_{p0} > i_{in} \\ V_{DD} & \text{for } i_{p0} < i_{in} \end{cases} \quad (3.7)$$

ในทางตรงกันข้าม เมื่อค่ากระแส  $i_{SH}$  มีค่าเป็นสถานะสูง จะได้ว่า

$$v_H = V_{DD} \quad (3.8)$$

ค่าแรงดันที่โหนด I หรือ  $v_I$  จะมีค่าตามค่าแรงดัน  $v_H$  เนื่องจากการทำงานของวงจรอินเวอร์ตเตอร์  $M_{24}$ - $M_{25}$  และ  $M_{26}$ - $M_{27}$  ซึ่งอาศัยการทำงานของวงจรสะท้อนกระแสที่มีอัตราขยายเท่ากับหนึ่ง  $M_{28}$ - $M_{29}$  และ  $M_{30}$ - $M_{31}$  กระแส  $i_{dis}$  จะมีค่าเท่ากับกระแส  $i_{D28}$  จากสมการ (3.7)-( 3.8) กระแส  $i_{D28}$  หรือ  $i_{dis}$  สามารถแสดงได้ตามสมการที่ (3.9)

$$i_{dis} = \begin{cases} K(V_{DD} - V_T)^2 & \text{for } i_{SH} = \text{'low'} \text{ and } i_{p0} > i_{in} \\ 0 & \text{for } i_{SH} = \text{'low'} \text{ and } i_{p0} < i_{in} \\ 0 & \text{for } i_{SH} = \text{'high'}$$

### 3.3 วงจรตรวจจับค่ายอดกระแสสัญญาณที่ใช้ในวงจรที่นำเสนอ

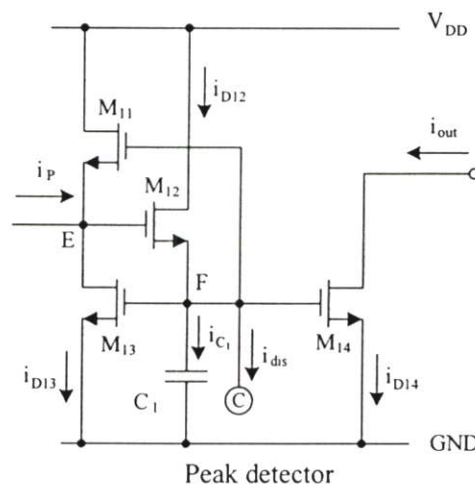
วงจรตรวจจับค่ายอดสัญญาณที่ทำงานในโหมดกระแสที่นำเสนอแสดงในรูปที่ 3.4 โดยมีหลักการพื้นฐานของวงจรตรวจจับค่ายอดสัญญาณในบทที่กล่าวมาแล้วข้างต้นคือ เมื่อมีสัญญาณ

อินพุทเข้ามาวงจรจะทำการส่งค่าสัญญาณกระแสอินพุทไปยังส่วนที่ทำการตรวจจับค่าสัญญาณและคงค่าสัญญาณนั้นไว้ โดยกำหนดให้ทรานซิสเตอร์  $M_{11} - M_{14}$  มีสมพจน์กันทุกประการและทำงานในช่วงอิมิตัว ซึ่งการทำงานของวงจรสามารถอธิบายการทำงานได้ดังนี้

กระแส  $i_p$  จะถูกป้อนให้แก่วงจรตรวจจับค่าขอดสัญญาณ [31] เพื่อส่งผ่านไปยังโหนดเอาต์พุท ทรานซิสเตอร์  $M_{13}-M_{14}$  ถูกกำหนดให้เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง ทรานซิสเตอร์  $M_{11}$  และ  $M_{12}$  เป็นวงจรตามกระแสเพื่อส่งผ่านกระแส  $i_{dis}$  และกระแสประจุ  $i_{C_1}$  ให้แก่คาปาซิเตอร์  $C_1$  ตามลำดับ โดยที่  $C_1$  ตัวเก็บประจุที่นำมาต่อภายนอกวงจรสามารถแสดงสมการค่าแรงดันที่ตกคร่อมตัวเก็บประจุได้ดังสมการนี้

$$V_{C_1} = \sqrt{\frac{2I_p}{\beta_1}} + V_T \quad (6.4)$$

โดย  $\beta_1 = K'W/2L$  คือ ค่าพารามิเตอร์ของค่าความนำกระแสของมอสทรานซิสเตอร์  $V_T$  คือค่าแรงดันขีดเริ่มของทรานซิสเตอร์  $M_{13}$



รูปที่ 3.4 วงจรตรวจจับค่าขอดสัญญาณกระแสที่ใช้ในวงจรที่นำเสนอ

ถ้าสัญญาณอินพุทเป็นบวก ( $i_p > 0$ ) กระแสอินพุทจะไหลเข้าทางด้านอินพุทที่โหนด E ทำให้แรงดันที่โหนด E เพิ่มขึ้น เกิดแรงดันตกคร่อมขาเกตและขาซอสของทรานซิสเตอร์  $M_{12}$  ทำให้ทรานซิสเตอร์  $M_{12}$  ทำงานและส่งผ่านกระแสอินพุทมายังโหนด F (เป็นผลให้แรงดันที่ตกคร่อมขาเกตและขาซอสของ  $M_{11}$  ถัดออกไป) เมื่อมีแรงดันที่โหนด F แล้วจะเกิดแรงดันที่ตกคร่อมขาเกตและขาซอสของ  $M_{13}$  หรือแรงดันที่ตกคร่อมตัวเก็บประจุ  $C_1$  ส่วนขาเกตซอสของทรานซิสเตอร์  $M_{14}$  ต่อ

ร่วมอยู่กับตัวเก็บประจุ  $C_1$  ดังนั้น กระแสเดรนของทรานซิสเตอร์  $M_{14}$  หรือกระแสเอาต์พุตสามารถแสดงได้ดังสมการ (6.5)

$$i_{out} = I_{D14} = I_{D13} = K'_P \frac{W}{2L} (V_{C1} - V_T)^2 \quad (3.11)$$

โดย  $V_{C1}$  คือแรงดันที่ตกคร่อมตัวเก็บประจุภายนอก

ซึ่ง  $I_{D11}$  เป็นกระแสเดรนของทรานซิสเตอร์  $M_{13}$  เมื่อค่าแรงดันที่ตกคร่อมตัวเก็บประจุเพิ่มขึ้นจนถึงค่าคงตัวของตัวเก็บประจุจะเป็นผลทำให้ทรานซิสเตอร์  $M_{12}$  คัทออฟ จากผลของแรงดันที่ตกคร่อมตัวเก็บประจุจะทำให้กระแสเดรนของ  $M_{13}$  เท่ากับกระแสเดรนของ  $M_{14}$  ถ้าสัญญาณอินพุตที่เข้ามามีค่าต่ำกว่าสัญญาณก่อนหน้า จะทำให้แรงดันที่โหนด E ลดลง ส่วนทรานซิสเตอร์  $M_{12}$  ยังคงคัทออฟอยู่ และค่าแรงดันที่ตกคร่อมตัวเก็บประจุ  $C_1$  ที่ยังไม่เปลี่ยนค่า ซึ่งทำให้กระแสเดรนของทรานซิสเตอร์  $M_{13}$  ยังคงมีค่าเท่ากับค่าเดิม ถ้ากระแสอินพุต  $i_p$  มีค่ามากขึ้นกว่าเดิมจะทำให้แรงดันที่โหนด E เพิ่มขึ้น ทรานซิสเตอร์  $M_{12}$  จะทำงาน แรงดันที่ตกคร่อมตัวเก็บประจุ  $C_1$  จะเพิ่มขึ้นตาม และทำให้กระแสเดรนของทรานซิสเตอร์  $M_{13}$  และ  $M_{14}$  มีค่าสัมพันธ์กับกระแสอินพุตที่เพิ่มขึ้น และคงค่ากระแสได้นั้นไว้

สำหรับสัญญาณอินพุตที่เข้ามามีค่าเป็นลบ แรงดันที่ตกคร่อมที่โหนด E จะลดลง ทำให้ทรานซิสเตอร์  $M_{12}$  คัทออฟ สัญญาณอินพุตที่เป็นลบ จะไหลผ่านทรานซิสเตอร์  $M_{11}$  และจะไม่มีผลต่อแรงดันที่ตกคร่อมตัวเก็บประจุ ดังนั้นขาเดรนของทรานซิสเตอร์  $M_{13}$  และกระแสเอาต์พุตจะยังคงเป็นค่าเดิม สังเกตว่ากระแสเอาต์พุตจะเป็นค่าขอดสัญญาณของสัญญาณอินพุต ตามวงจรสมมูลค่าความต้านทานที่ขนานกับตัวเก็บประจุ  $C_1$  จะมีผลทำให้แรงดันที่ตกคร่อมตัวเก็บประจุลดลง ซึ่งค่าแรงดันที่ลดลงต่อเวลา แสดงดังสมการที่ (3.12)

$$\frac{\Delta V_C}{\Delta t} = \frac{I_{leakage}}{C} \quad (3.12)$$

เมื่อ  $I_{leakage}$  เป็นค่ากระแสรั่วไหลของตัวเก็บประจุ  $C_1$  ซึ่งอัตราการลดลงนี้จะลดลงเมื่อใช้กับค่าตัวเก็บประจุภายนอกที่นำมาต่อขึ้นมีค่ามากๆ แต่อย่างไรก็ตามผลตอบสนองต่อเวลาในการจับค่าขอดกระแสจะเพิ่มขึ้นตามค่าตัวเก็บประจุที่เพิ่มขึ้น

### 3.4 การวิเคราะห์คุณสมบัติการทำงานของวงจร

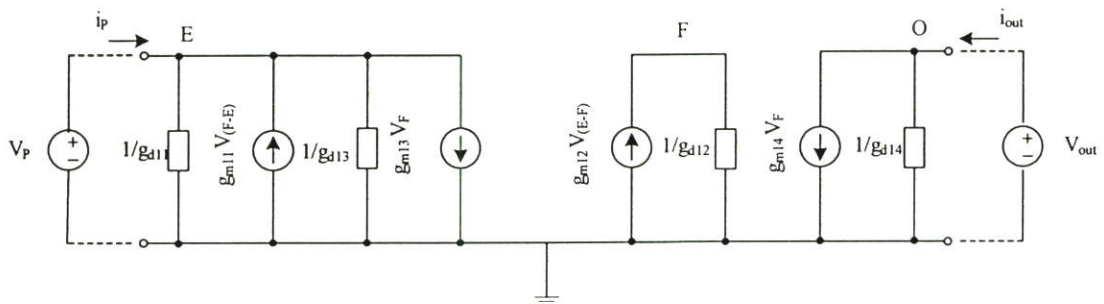
ในหัวข้อการวิเคราะห์คุณสมบัติการทำงานของวงจร เนื่องจากวงจรที่นำเสนอนี้วงจรย่อยหลักที่มีผลต่อสมรรถนะของวงจรรวมคือวงจรตรวจจับค่ายอดสัญญาณกระแส ดังนั้นในการวิเคราะห์คุณสมบัติการทำงานของวงจรจึงทำการวิเคราะห์ในส่วนวงจรตรวจจับค่ายอดสัญญาณกระแสเป็นส่วนสำคัญ วงจรตรวจจับค่ายอดสัญญาณกระแสสำหรับสัญญาณขนาดเล็กเป็นการสมมติให้ทรานซิสเตอร์แต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติ โดยจะแสดงการวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออก ค่าช่วงปฏิบัติการทางขนาดของสัญญาณอินพุท ผลตอบสนองทางความถี่และค่าความผิดพลาดของวงจร

#### 3.4.1 การวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออก

สำหรับการวิเคราะห์ค่าความต้านทาน ในที่นี้ค่าความต้านทานที่จุดเข้าคือจุดเข้า E ส่วนจุดออกคือ  $I_{out}$  ให้เป็นจุด O จากวงจรในรูปที่ 3.2 การวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออกของวงจรสามารถทำได้โดยการแทนวงจรในรูปที่ 3.4 ด้วยวงจรเสมือนสำหรับสัญญาณขนาดเล็กโดยไม่พิจารณาผลของตัวเก็บประจุแฝงดังแสดงในรูปที่ 3.4

##### 3.4.1.1 ค่าความต้านทานจุดเข้า

จากวงจรในรูปที่ 3.5 การวิเคราะห์ค่าความต้านทานที่จุดเข้าของวงจรหาความสัมพันธ์จากการพิจารณากระแสที่จุดเข้า  $I_p$  ที่ไหลเข้าสู่วงจร โดยใช้กฎของ KCL ที่จุดเข้าซึ่งจะได้ดังนี้



รูปที่ 3.5 วงจรสมมูลสำหรับการคำนวณหาค่าความต้านทานที่จุดเข้า

ที่จุด E จะได้

$$I_p = g_{d11}V_E - g_{m11}(V_F - V_E) + g_{d13}V_E + g_{m13}V_F$$

$$I_p = (g_{d11} + g_{m11} + g_{d13})V_E + (g_{m13} - g_{m11})V_F$$

จากสมการข้างต้นประมาณได้ว่า  $g_m \gg g_d$  นั่นคือ ให้  $g_d \cong 0$  จะได้

$$I_P = (g_{m13} - g_{m11})V_F + g_{m11}V_E \quad (3.13)$$

เมื่อ  $g_{di}$  คือค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาท์พุทของมอสเฟต  $M_i$ ,  
 $g_{mi}$  คือค่าความนำสำหรับสัญญาณขนาดเล็กของมอสเฟต  $M_i$ ,

และจากความสัมพันธ์ที่จุด F จะได้ว่า

$$g_{m12}(V_E - V_F) + g_{d12}V_F = 0$$

$$g_{m12}V_E + (g_{d12} - g_{m12})V_F = 0$$

จากการประมาณค่า  $g_m \gg g_d$  นั่นคือ ให้  $g_d \cong 0$  จะได้

$$g_{m12}V_E = g_{m12}V_F \quad (3.14)$$

เมื่อแทนค่าสมการ (3.14) ลงในสมการ (3.13) จะได้ความสัมพันธ์ดังนี้

$$I_P = (g_{m13} + g_{m11})V_E - g_{m11}V_E$$

$$I_P = g_{m13}V_E$$

ในที่นี้  $V_E$  คือแรงดันที่จุดเข้า  $V_m$  จากสมการที่ (3.13) ถึง (3.14) หากความสัมพันธ์ที่จุดเข้า E ได้  
 ดังนั้นค่าความต้านทานที่จุดเข้า

$$r_m = \frac{V_m}{I_m} = \frac{V_m}{I_P} = \frac{1}{g_{m13}} \quad (3.15)$$

### 3.4.1.2 ค่าความต้านทานที่จุดออก

จากวงจรสมมูลในรูปที่ 3.5 ในทำนองเดียวกันกับการวิเคราะห์หาค่าความต้านทานที่จุดเข้า E ในการวิเคราะห์ค่าความต้านทานที่จุดออกของวงจรจะสามารถได้โดยพิจารณาหาค่ากระแสที่ไหลออก  $I_{out}$  โดยไม่พิจารณาผลอันเนื่องมาจากแรงดันจุดเข้า  $V_{in}$  ซึ่งจะได้ความสัมพันธ์ดังนี้

$$r_{out} = \frac{V_{out}}{I_{out}} = \frac{1}{g_{d14}} \quad (3.16)$$

เมื่อ  $g_{d14}$  เป็นค่าความนำระหว่างขาเดรนและขาซอร์สของมอสทรานซิสเตอร์  $M_{14}$

ซึ่งจะเห็นได้ว่า วงจรที่นำเสนอนี้มีค่าเอาต์พุตอิมพีแดนซ์สูงมาก เมื่อหลังจากมีการคงค่าขอดีสัญญาณกระแสสูงสุดไว้แล้ว เนื่องจากค่าความต้านทานที่ตกคร่อมตัวเก็บประจุมีค่ามาก ดังนั้นเวลาในการคายประจุของตัวเก็บประจุจึงมีค่านานมากๆ

### 3.4.2 การวิเคราะห์ช่วงปฏิบัติงานทางขนาดของกระแสอินพุท

ถ้ากำหนดให้  $I_{P(max)}$  และ  $I_{P(min)}$  คือค่ากระแสอินพุทสูงสุดและต่ำสุดซึ่งยังคงทำให้วงจรทำงานได้อย่างถูกต้องตามลำดับเมื่อค่า  $V_E$  คือแรงดันที่ป้อนเข้าที่จุดเข้า E

$$V_{DS12} \geq V_{GS12} - V_T \quad (3.17)$$

$$\sqrt{\frac{I_B}{K}} + V_T \geq \sqrt{\frac{I_{P(max)}}{K}} \quad (3.18)$$

เมื่อ

$$K = \frac{\mu_n C_{OX} W}{2L} \quad (3.19)$$

จากสมการ (3.18) ยกกำลังสองทั้งสองข้างของสมการ จะได้ว่า

$$I_{P(max)} \leq I_B + 2V_T \sqrt{KI_B} + KV_T^2 \quad (3.20)$$

สำหรับการพิจารณาค่ากระแสอินพุทต่ำสุด

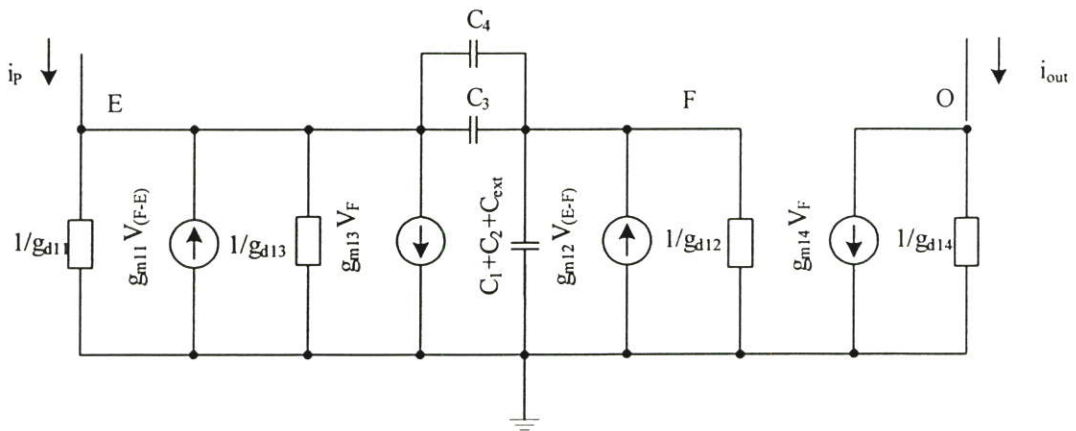
จะได้ว่า

$$I_{P(\min)} \geq 0 \tag{3.21}$$

เนื่องจากวงจรนี้เป็นการทำงานเฉพาะสัญญาณด้านบวก วงจรจึงเริ่มต้นตั้งแต่ค่าเริ่มต้นที่เป็นศูนย์เท่านั้น

### 3.4.3 ผลวิเคราะห์การตอบสนองทางความถี่

ในที่นี้จะทำการวิเคราะห์ผลตอบสนองทางความถี่ปฏิบัติงานจากวงจรตรวจจับค่ายอดสัญญาณเป็นหลักเนื่องจากเป็นส่วนที่มีผลต่อวงจรรวมทั้งหมด และในการวิเคราะห์ผลตอบสนองทางความถี่ปฏิบัติงาน  $I_{out}/I_{in}$  สามารถทำได้ด้วยการใช้วงจรสมมูลสำหรับสัญญาณขนาดเล็กมาวิเคราะห์ดังแสดงในรูปที่ 3.6 โดยพิจารณาถึงตัวเก็บประจุแฝงที่เกิดขึ้นระหว่างขาเกตและขาซอส เนื่องจากตัวเก็บประจุแฝงนี้มีความสำคัญมากต่อผลตอบสนองทางความถี่ของวงจร เมื่อทำการป้อน  $I_p$  ที่จุดเข้า E จากนั้นพิจารณาหาค่ากระแสเอาต์พุต  $I_{out}$  ที่จุดออก O ของวงจร โดยอาศัยกฎของ KCL จะได้ความสัมพันธ์ที่จุดต่างๆดังนี้



รูปที่ 3.6 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่

จากจุด E จะได้

$$I_p = g_{m11}(V_F - V_E) + g_{m13}V_F + sC_{34}V_E - sC_3V_F$$

ในที่นี้กำหนดให้  $C_{34} = C_3 + C_4$  ซึ่งเมื่อจัดรูปใหม่จะได้ว่า

$$I_p = (sC_{34} - g_{m11})V_{13} + (g_{m11} + g_{m13} - sC_{34})V_{14} \tag{3.22}$$

จากจุด F จะได้ว่า

$$0 = sC_{ext+12}V_{14} + g_{m12}(V_{13} - V_{14}) + sC_{34}V_{13} - sC_{34}V_{14}$$

โดยกำหนดให้  $C_{ext} = C_{external} + C_1 + C_2$

เมื่อ  $C_{external}$  คือ ค่าตัวเก็บประจุภายนอกที่นำมาต่อในวงจรที่ 3.4

เมื่อจัดรูปสมการ ณ จุด F ใหม่จะได้สมการต่อไปนี้

$$0 = (g_{m12} + sC_{34})V_E + (sC_{ext+12} - g_{m14} - sC_{34})V_F$$

$$V_E = \frac{(g_{m12} + sC_{34} - sC_{ext+12})}{g_{m12} + sC_{34}} V_F \quad (3.23)$$

เมื่อแทนสมการที่ (3.23) ลงในสมการที่ (3.22) จะได้ความสัมพันธ์ดังสมการที่ (3.24) คือ

$$I_p = \frac{(sC_{34} - g_{m11})(g_{m11} + sC_{34} - sC_{ext+12})}{g_{m12} + sC_{34}} V_E + (g_{m11} + g_{m13} - sC_{34})V_E \quad (3.24)$$

จากจุด O จะได้ความสัมพันธ์

$$I_{out} = g_m V_F \quad (3.25)$$

จากการประมาณค่า  $g_m \gg g_d$  นั่นคือ ให้  $g_d \cong 0$

ผลตอบสนองของวงจรตรวจจับค่าขอดสัญญาณที่นำเสนอคือ

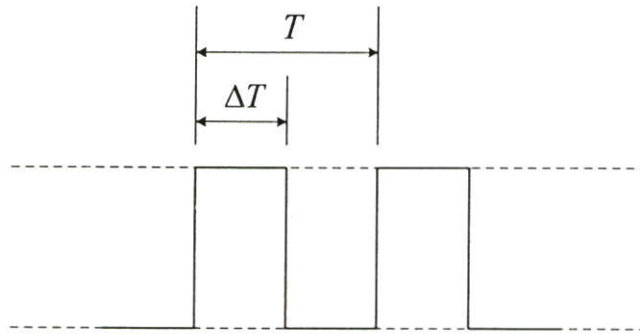
$$\frac{I_{out}}{I_{in}} = \frac{g_{m14}g_{m12}(1 + \frac{C_{34}}{g_{m14}}s)}{\frac{C_{34}C_{ext+12}}{g_{m13}g_{m12}}s^2 + \frac{C_{34}}{g_{m12}}s + 1} \quad (3.26)$$

### 3.4.4 ช่วงเวลาการชาร์จประจุของตัวเก็บประจุ ณ เวลาเริ่มต้น

ช่วงเวลาการชาร์จประจุ ณ ช่วงเวลาเริ่มต้น หาความสัมพันธ์โดยพิจารณาที่มอดูลานซิสเตอร์  $M_{12}$  โดยใช้ความสัมพันธ์  $\tau = RC$  คือช่วงเวลาการหน่วงที่ทำให้ตัวเก็บประจุเริ่มมีการชาร์จประจุ ที่เวลาเริ่มต้น ( $t=0$ ) ซึ่งในที่นี้  $R$  จะมีค่าเท่ากับ  $\frac{1}{gm_{12}}$

### 3.4.5 การเลือกค่า C

ในการเลือกค่า C นั้นต้องเลือกค่าตัวเก็บประจุที่มากพอที่จะทำให้สัญญาณสุ่มมีค่าความถี่สูงมีค่าตามที่ต้องการ คือ 100 MHz ซึ่งการเลือกค่า C ที่เหมาะสมพิจารณาจากรูปคลื่นสัญญาณนาฬิกาตามรูปที่ 3.7 ดังนั้นการเลือกใช้ค่า C จึงสามารถคำนวณหาได้ดังนี้



รูปที่ 3.7 แสดงความกว้างของพัลส์สัญญาณนาฬิกา

$$V_{gs_{13}} = \sqrt{\frac{2I_{P(\max)}}{\beta_{13}}} + V_T \quad (3.27)$$

$$V_c = V_{gs_{13}} = \frac{1}{C} \int_0^T i dt = \frac{i\Delta T}{C} \quad (3.28)$$

เมื่อ  $i = I_{P(\max)}$  และ  $\Delta T = \frac{T}{2}$

เพราะฉะนั้นจะได้ว่า

$$C = \frac{I_{P(\max)}}{V_{gs_{13}}} \Delta T = \frac{I_{P(\max)}}{V_{gs_{13}}} \cdot \frac{T}{2} \quad (3.29)$$

### 3.5 ผลการเลียนแบบการทำงานของวงจรมัลติโพรแกรม PSPICE

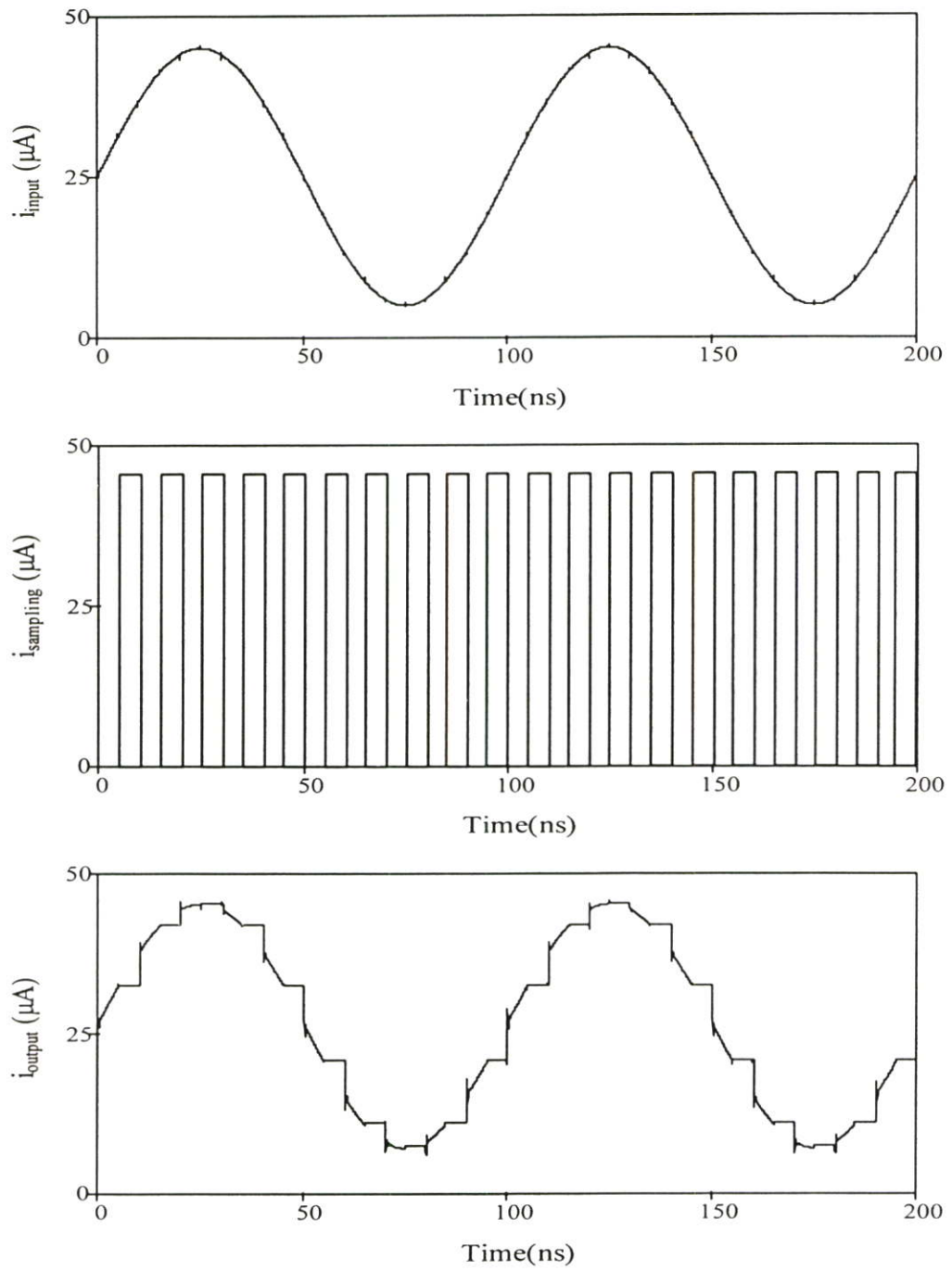
จากการทดสอบสมรรถนะการทำงานของวงจรมัลติโพรแกรมที่ 3.2 โดยใช้โปรแกรมเลียนแบบการจำลองการทำงานโดยเลือกใช้โมเดลทรานซิสเตอร์โมเดล MOSBSIM 0.5  $\mu\text{m}$  ในการจำลองการทำงานของวงจร และกำหนดอัตราส่วนของอุปกรณ์ดังตารางที่ 3.1 แหล่งจ่ายไฟใช้ค่า  $V_{DD} = 3\text{V}$  และค่าโหลดความต้านทานเท่ากับ  $1\text{K}\Omega$  และทำการเลือกใช้แหล่งจ่ายแรงดัน ค่ากระแส  $I_{BI} = 50\mu\text{A}$  และ เลือกใช้ค่า  $C_1 = 1\text{pF}$

ตารางที่ 3.1 อัตราส่วนความกว้างต่อความยาว ( $W/L$ ) ของทรานซิสเตอร์แบบซีมอส

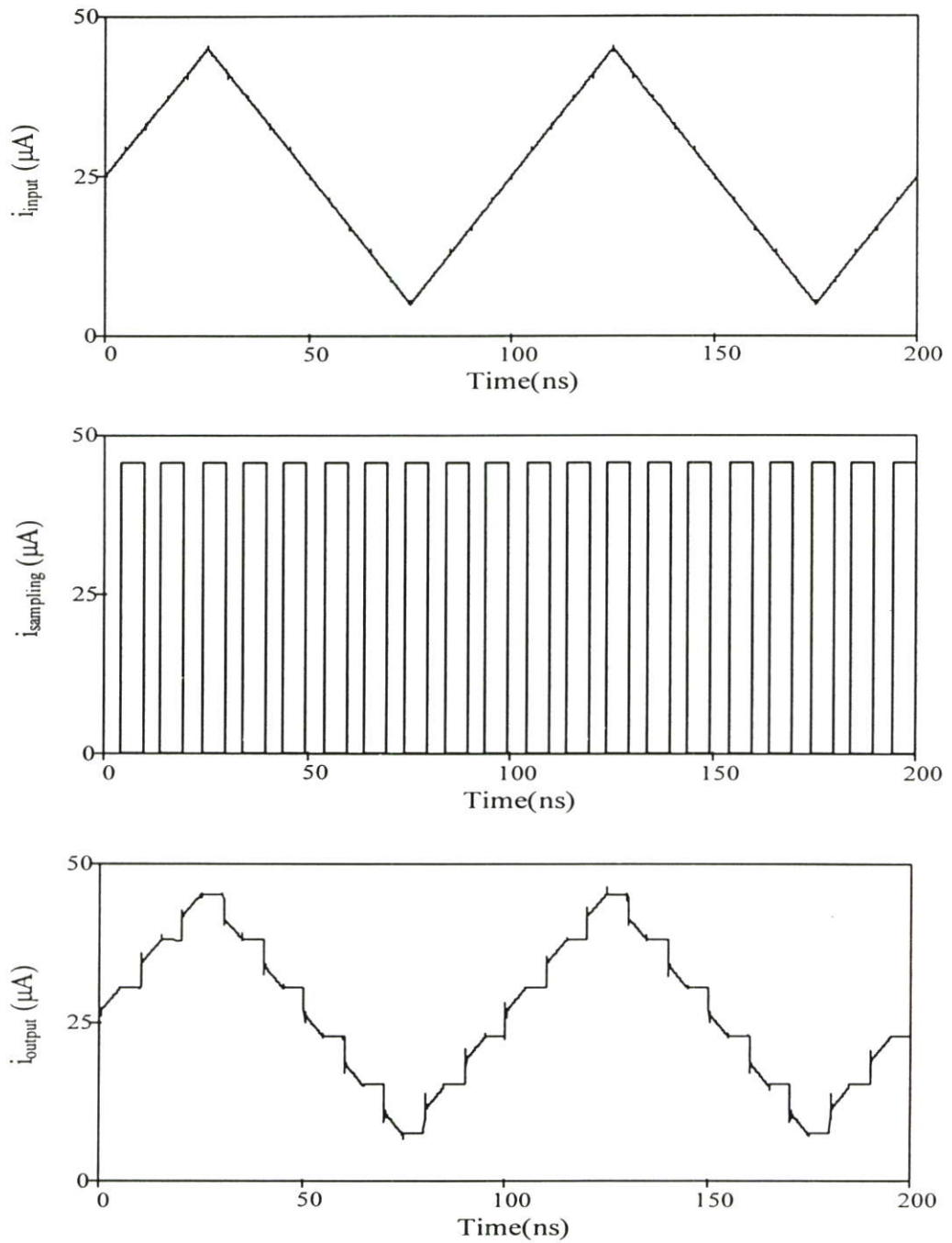
| Device  | $W/L$ ( $\mu\text{m}/\mu\text{m}$ ) |
|---|-------------------------------------|
| $M_1, M_2, M_{17}, M_{20}, M_{21}, M_{22}, M_{23},$<br>$M_{24}, M_{25}, M_{26}, M_{27}, M_{30}$ | 2/1                                 |
| $M_3, M_4, M_5, M_9, M_{18}, M_{19}$  | 5/1                                 |
| $M_6, M_7, M_8, M_{11}, M_{15}, M_{16}$   | 10/1                                |
| $M_{12}, M_{13}, M_{14}, M_{28}, M_{29}$  | 4/1                                 |
| $M_{31}$  | 6/1                                 |
| $M_{10}$  | 1.2/1                               |

ผลการเลียนแบบการทำงานของวงจรมัลติโพรแกรมที่นำเสนอ เมื่อรูปคลื่นอินพุตเป็นคลื่นรูปซายน์ โดยรูปคลื่นด้านบนแสดงถึงกระแสอินพุตขนาด  $50\mu\text{A}$  ที่ความถี่  $10\text{MHz}$  ส่วนรูปคลื่นด้านล่างแสดงกระแสเอาต์พุต เมื่อกำหนดสัญญาณสุ่มให้มีความถี่  $100\text{MHz}$  แสดงในรูปที่ 3.8

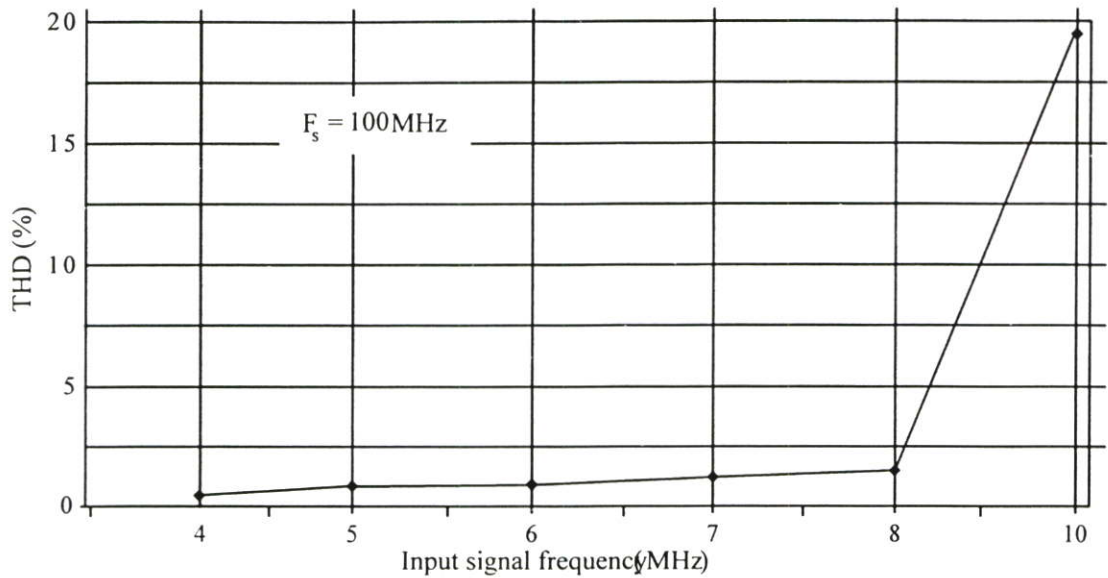
เมื่อรูปคลื่นอินพุตเป็นคลื่นรูปสามเหลี่ยม แสดงในรูปที่ 3.9 โดยรูปคลื่นด้านบนแสดงถึงกระแสอินพุตขนาด  $50\mu\text{A}$  ที่ความถี่  $10\text{MHz}$  ส่วนรูปคลื่นด้านล่างแสดงกระแสเอาต์พุต เมื่อกำหนดสัญญาณสุ่มให้มีความถี่  $100\text{MHz}$



รูปที่ 3.8 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10 MHz และสัญญาณสุ่มมีความถี่ 100 MHz



**รูปที่ 3.9** รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบซิมอสเมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 10MHz และสัญญาณสุ่มมีความถี่ 100MHz



**รูปที่ 3.10** ค่าความผิดเพี้ยนรวมทางฮาร์โมนิก (THD) เมื่อเปรียบเทียบกับสัญญาณอินพุตที่ค่าความถี่ต่างๆ

ค่าความผิดเพี้ยนรวมทางฮาร์โมนิก (THD) เมื่อเปรียบเทียบกับสัญญาณอินพุตที่ค่าความถี่ต่างๆ โดยมีขนาดของกระแสสัญญาณ  $50\mu\text{A}$  ที่ความถี่การสุ่ม 100MHz แสดงในรูปที่ 3.10

### 3.6 บทสรุป

ในการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่ได้นำเสนอนี้มีโครงสร้างที่มีขนาดเล็กโดยใช้เทคโนโลยีมอสทรานซิสเตอร์ โดยใช้วงจรลบกระแส และ วงจรเรียงกระแสแบบครึ่งคลื่น แทนการใช้วงจรสุ่มค่าด้วยสวิตช์ในวงจรสุ่มและคงค่าสัญญาณที่มีใช้งานอยู่เดิม เพื่อกำจัดค่าความผิดพลาดที่เกิดจากการสัญญาณนาฬิกา เพื่อให้ได้รูปคลื่นของสัญญาณเอาต์พุตที่มีความถูกต้องแม่นยำสูง และสามารถมีค่าอัตราการสุ่มได้สูงกว่าเมื่อเทียบกับหลักการเดิม จากการวิเคราะห์คุณสมบัติและผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE แสดงให้เห็นว่าวงจรมีคุณสมบัติที่ดีตามที่คาดการณ์ไว้และสามารถทำงานได้อย่างถูกต้อง มีช่วงปฏิบัติการทางขนาดและทางความถี่ที่กว้าง วงจรมีขนาดเล็กและใช้แหล่งจ่ายไฟเพียงด้านเดียว สะดวกต่อการใช้งานและเหมาะสมต่อการนำไปสร้างเป็นวงจรรวม

## บทที่ 4

# บทสรุปและข้อเสนอแนะในการทำวิจัยต่อ

### 4.1 บทสรุปและวิจารณ์

การออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่ได้นำเสนอในวิทยานิพนธ์นี้เป็นการนำเสนอการออกแบบวงจรรวมและการทำงานในโหมดกระแสโดยใช้เทคโนโลยีมอสทรานซิสเตอร์ ซึ่งรูปแบบของวงจรเป็นวงจรที่สามารถนำไปใช้งานด้านการประมวลผลสัญญาณทางแอนะล็อกได้เป็นอย่างดี และยังสามารถนำวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสไปประยุกต์ใช้งานในงานประมวลผลสัญญาณต่างๆ ซึ่งจะทำให้หน้าที่เปลี่ยนสัญญาณแอนะล็อกต่อเนื่องให้เป็นสัญญาณดิจิทัลได้เป็นอย่างดี โดยอาศัยหลักการสุ่มและคงค่าของสัญญาณต่อเนื่องที่ได้รับจากทรานสดิวเซอร์ก่อนที่จะส่งต่อไปยังวงจรแปลงสัญญาณเพื่อให้สามารถทำการแปลงสัญญาณได้อย่างถูกต้องแม่นยำ

จากผลการเขียนแบบการทำงานของวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่ได้ออกแบบขึ้นจะเห็นได้ว่าเมื่อสัญญาณอินพุตมีค่าความถี่ต่ำจะมีค่าความผิดเพี้ยนรวมทางฮาร์โมนิก (THD) ในระดับต่ำ แต่เมื่อสัญญาณอินพุตมีค่าความถี่สูงขึ้นจะทำให้เกิดค่าความผิดเพี้ยนรวมทางฮาร์โมนิกที่สูงขึ้นตามไปด้วย

### 4.2 ข้อเสนอแนะและแนวทางในการวิจัยต่อ

จากการเสนอการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสดังกล่าวไปประยุกต์ใช้งานสามารถนำไปออกแบบรวมกับวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลชนิดและประเภทที่เหมาะสมเช่นแบบอัลกอริธึมเทคนิคเข้ารหัสแบบเกรย์ซึ่งเป็นวงจรที่ทำงานด้วยเทคโนโลยีมอสทรานซิสเตอร์เช่นกันกับวงจรที่นำเสนอในวิทยานิพนธ์นี้ เพื่อให้สามารถทำงานร่วมกันได้อย่างถูกต้องและสมบูรณ์ภายในชิปวงจรรวมเดียวกันเพื่อความสะดวกในการประยุกต์ใช้งานในด้านต่างๆได้ต่อไป

นอกจากนี้ยังอาจมีการพัฒนาออกแบบวงจรให้สามารถทำงานได้ที่ความถี่สัญญาณอินพุตที่มีค่าขึ้นไปกว่านี้อีก เพื่อเป็นการเพิ่มสมรรถนะการของวงจรให้สูงขึ้นกว่าเดิมซึ่งอาจมีการประยุกต์ใช้งานได้อย่างกว้างขวางยิ่งขึ้น

## เอกสารอ้างอิง

- [1] John W. Gates and Ezz I. El-Masry, "Switched-Current Analysis Program", *IEEE Transaction on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 34, no. 1, pp. 24-30, 1996.
- [2] A. K. Ong, V. I. Prodanov, and M. Tarsia, "A Method for Reducing the Variation in "On" Resistance of a MOS Sampling Switch", *IEEE International Symposium on Circuits and Systems ISCAS 2000*, Vol. 5 pp. V-437-V440, 2000.
- [3] Sonkusale S.R., Van der Spiegel J., "A low distortion MOS sampling circuit", *IEEE International Symposium on Circuits and Systems ISCAS 2002*, Vol. 5 pp. V-585 - V-588, 2002.
- [4] Fayomi C.J.B., Roberts G.W., Sawan M., "Low-voltage CMOS analog bootstrapped switch for sample-and-hold circuit: design and chip characterization", *IEEE International Symposium on Circuits and Systems ISCAS 2005*, Vol. 3 pp.2200 - 2203, 2005.
- [5] Ming-Jer Chen, Yen-Bin Gu, Jen-Yin Huang, Wei-Chen Shen, Wu T., Po-Chin Hsu, "A compact high-speed Miller-capacitance-based sample-and- hold circuit", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 45, Issue 2, pp. 198 - 201, 1998.
- [6] Luh L., Choma J., Jr., and Draper J., "A High-Speed Fully Differential Current Switch", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 47, no. 4, pp.358-363, 2000.
- [7] Richard S. Muller, Theodore I. Kamins. **Device Electronics for Integrated Circuits, 2<sup>nd</sup> Ed.**, John Wiley & Sons, Inc. 1986.
- [8] Shichman H. and Hodges D., "Modelling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits", *IEEE J. Solid-State Circuits*, Vol. SC-3, No. 3, Sep. 1968. pp. 285 – 289.
- [9] Penney W.M. and Lau L., Ed. **MOS Integrated Circuits**, New York, Van Nostrand Reinhold, 1972.
- [10] Sah C.T., "Characteristics of the Metal-Oxide-Semiconductor transistor", *IEEE Trans. Electron Devices*, Vol. ED-11, July 1964. pp. 324 – 325.



- [27] A. Sedra and K. Smith. **Microelectronic Circuit**. 5<sup>th</sup> ed. New York: Oxford University Press. 2004.
- [28] H.K. Yang, T.S. Fiez, and D.J. Allstot, "Current feedthrough effects and cancellation technique in switched-current circuit," *Proc. IEEE. Int. Symposium on Circuits and systems*, pp. 3186 – 3188, 1990.
- [29] M. Song, Y. Lee, and W. Kim, "A clock feedthrough reduction circuit for switched current systems," ", *IEEE J. Solid-State Circuits*, Vol. SC-38, (2), pp. 133 – 137, 1993.
- [30] Paul R. Gray and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuit*, chapter 1, John Wiley & Sons, Inc., 1993.
- [31] V. Riewruja, A. Linthong, A. Kaewpoonsuk, R. Guntapong, and S. Supaph, "A Current-mode peak detector", *Proceeding of the 15<sup>th</sup>, KACC2000*, pp. 512-524, 2000.

ภาคผนวก

## ภาคผนวก ก

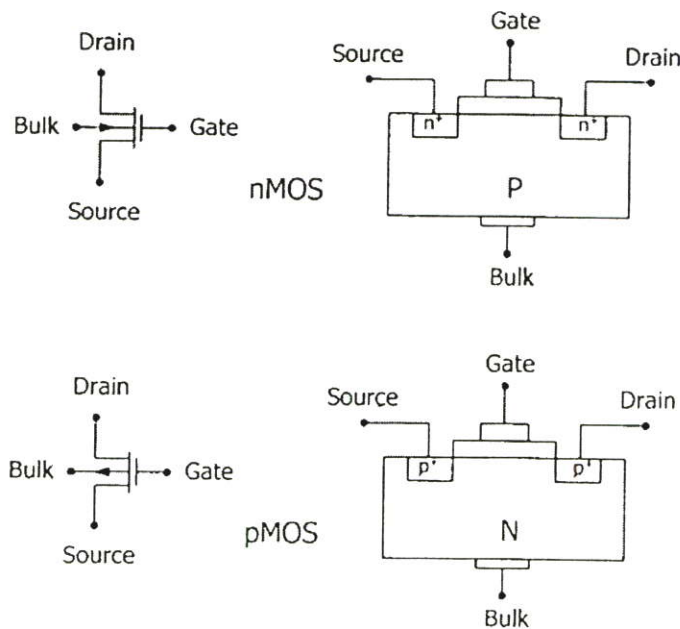
# คุณสมบัติและหลักการทำงานของ มอสเฟททรานซิสเตอร์

### ก1. โครงสร้างของมอสทรานซิสเตอร์ [9], [14]-[17],[18]

มอสทรานซิสเตอร์ (MOS Transistor) เป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่งในตระกูลของสิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้า (Field Effect Devices) ซึ่งมีลักษณะเด่นคือมีความต้องการพลังงานในขณะใช้งานต่ำ แต่มีประสิทธิภาพในการใช้งานสูงเมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่นๆ ที่มีลักษณะการใช้งานแบบเดียวกัน จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้กันทั่วไป โดยเฉพาะในวงจรที่ต้องการใช้พลังงานต่ำๆหรือในโครงสร้างของวงจรรวม (Integrated Circuit) ที่มีจำนวนตัวประกอบ (Component) มากๆ เช่น ไอซีระดับ LSI และ VLSI ทั่วๆไป เป็นต้น

#### ก1.1. ลักษณะโครงสร้างของมอสเฟททรานซิสเตอร์

ในรูปที่ ก1.1 แสดงสัญลักษณ์มอสทรานซิสเตอร์และภาพตัดขวางของมอสทรานซิสเตอร์ ทั่วๆไป ประกอบด้วย 3 ส่วน คือ เดริน (Drain:D) เกท (Gate:G) และซอส (Source:S)



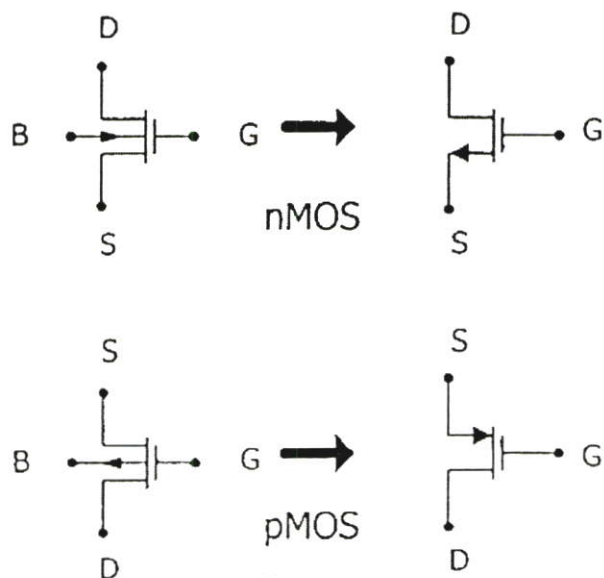
รูปที่ ก1.1 แสดงสัญลักษณ์ทางวงจรและ โครงสร้างของมอสทรานซิสเตอร์

ที่ส่วนซอสเป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง (Substrate) ทำหน้าที่เป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไฟฟ้าของมอส ( $I_D$ )

ส่วนเดรนเป็นอีกบริเวณหนึ่งของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง แต่เป็นสารกึ่งตัวนำชนิดเดียวกันกับซอส ทำหน้าที่เป็นทางออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากส่วนซอส

ส่วนเกตเป็นบริเวณที่เชื่อมอยู่ระหว่างส่วนเดรนกับส่วนซอส มีโครงสร้างของชั้นบนสุดเป็นโลหะ (Metal) ฐาน ชั้นรองลงมาเป็นฉนวน ได้แก่ ออกไซด์ (Oxide) ของสารกึ่งตัวนำที่ใช้และชั้นล่างสุดเป็นสารกึ่งตัวนำ (Semiconductor) ซึ่งใช้เป็นฐานรองด้วย โดยเกตจะทำหน้าที่เป็นส่วนควบคุมปริมาณประจุพาหะที่เคลื่อนที่จากซอสไปยังเดรน

ลักษณะโครงสร้างดังกล่าวซึ่งบริเวณส่วนเกตประกอบไปด้วย Metal-Oxide Semiconductor นี้ จึงเรียกทรานซิสเตอร์ชนิดนี้ว่า มอสทรานซิสเตอร์ (MOS Transistor) และกระแสไหลผ่านบริเวณเกตนี้ได้น้อยมากเนื่องจากมีชั้นฉนวนป้องกันอยู่นั่นเอง ดังนั้นขณะใช้งานส่วนเกตจึงต้องการเพียงแหล่งจ่ายแรงดันเท่านั้น ไม่ต้องการแหล่งจ่ายกระแส จึงทำให้มอสทรานซิสเตอร์มีความต้องการพลังงานในขณะใช้งาน (Power Consumption) ต่ำ สำหรับเดรนและซอสนั้น โดยปกติแล้วจะมีโครงสร้างเหมือนกันทุกประการ ซึ่งสามารถใช้สลับกันได้อันเป็นคุณสมบัติพิเศษอีกประเภทหนึ่งของมอสทรานซิสเตอร์ เพื่อความสะดวกในการใช้งานในทางด้านสัญลักษณ์สำหรับในวิทยานิพนธ์นี้ จึงละเว้นไม่เขียนขาของฐานรองโดยให้เข้าใจว่าส่วนของฐานรองต่ออยู่กับซอส โดยใช้สัญลักษณ์เป็นดังรูปที่ ก1.2



รูปที่ ก1.2 สัญลักษณ์มอสทรานซิสเตอร์ชนิดเอ็นและพี

### ก1.2. มอสเฟททรานซิสเตอร์ชนิดต่างๆ

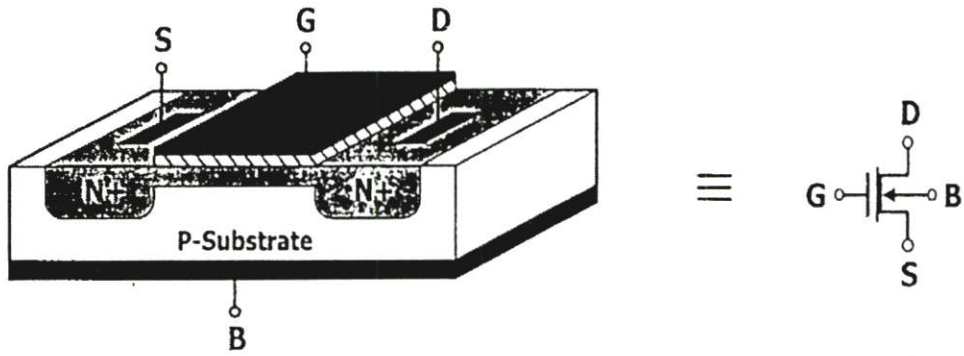
มอสทรานซิสเตอร์แบ่งเป็นชนิดตามประจุไฟฟ้าที่เกิดขึ้นดังนี้

1. PMOS หรือ p-channel MOS ซึ่งมีการเคลื่อนที่ของประจุบวกหรือโฮล (hole) จึงกำหนดให้เดรนและซอสเป็นสารกึ่งตัวนำชนิดพี (p-type) ดังนั้นกระแสที่เคลื่อนที่ระหว่างเดรนและซอสนั้น บริเวณช่องทางเดินกระแส จะต้องมีสภาพเป็นสารกึ่งตัวนำชนิดพี
2. NMOS หรือ n-channel MOS ซึ่งมีการเคลื่อนที่ของประจุลบหรืออิเล็กตรอน (electron) จึงกำหนดให้เดรนและซอสเป็นสารกึ่งตัวนำชนิดเอ็น (n-type) กระแสอิเล็กตรอนจะเคลื่อนที่ระหว่างบริเวณเดรนและซอสได้ช่องทางเดินกระแสจะต้องมีสภาพเป็นสารกึ่งตัวนำชนิดเอ็น

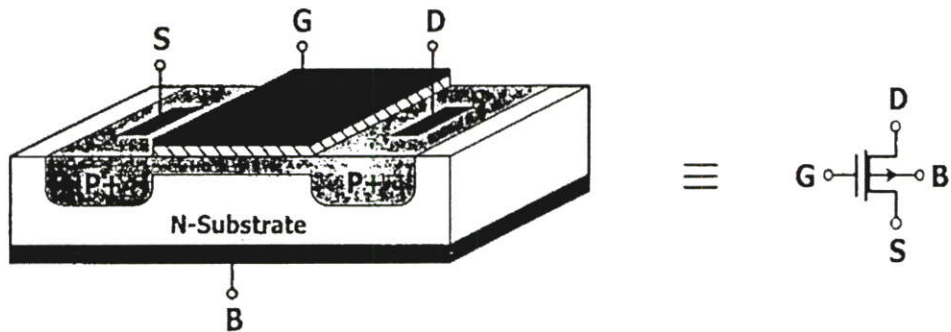
มอสเฟทถูกแบ่งออกเป็น 2 แบบจากลักษณะการเกิดแซนแนล ขึ้นอยู่กับว่าสิ่งประดิษฐ์นั้น นำกระแส (Depletion) หรือ ไม่นำกระแส (Enhancement) ขณะเมื่อมีไบอัสเป็นศูนย์ ได้แก่ ดีเพลทชัน โหมด (Depletion-Mode) และเอ็นฮานซ์เมนต์ โหมด (Enhancement-Mode) และในแต่ละโหมดต่างก็แบ่งออกเป็น 2 ชนิดด้วยกันคือ ชนิดเอ็นและชนิดพีตามที่ได้กล่าวมาแล้วข้างต้น

มอสเฟทแบบดีเพลทชัน โหมดชนิดเอ็นแซนแนล โครงสร้างจะประกอบด้วยขั้วเดรนและซอส ที่ปลายของทั้งสองขั้วจะต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกัน ซึ่งเชื่อมด้วยสารชนิดเอ็น ต่อถึงกัน ในลักษณะที่เรียกว่า แซนแนล (Channel) บนผิวหน้าของฐานรอง (Substrate) ชนิดพีเหนือย่านของแซนแนลชนิดเอ็นวางขั้วเกต (Gate) ซึ่งทำด้วยโลหะ มีชั้นของฉนวนออกไซด์หนา  $t_{ox}$  ฉาบชั้นทำด้วยซิลิกอน ไดออกไซด์ ( $SiO_2$ ) ที่มีค่าพิคัดความต้านทาน (Resistivity) ประมาณ  $10^{15} \Omega$  cm อุณหภูมิห้อง [11]-[13] ทำนองเดียวกันถ้าเปลี่ยนไปใช้ฐานรองที่เป็นชนิดเอ็นและส่วนของแซนแนลที่เป็นชนิดพี จะเรียกมอสเฟทชนิดนี้ว่า มอสเฟทแบบดีเพลทชัน โหมดชนิดพีแซนแนล ดังแสดงในรูปที่ ก1.3 ในการทำงานของมอสเฟทชนิดนี้ สามารถทำงานในย่านดีเพลทชันด้วยการไบอัสย้อนกลับ (Reverse Bias) และในย่านเอ็นฮานซ์เมนต์ด้วยการไบอัสตรง (Forward Bias) โดยมีแรงดันไบอัสเกต-ซอส ( $V_{GS}$ ) ควบคุมการไหลของกระแสเดรน ( $I_D$ ) ที่เกิดขึ้น

มอสเฟทแบบเอ็นฮานซ์เมนต์ โหมดชนิดเอ็นแซนแนลและพีแซนแนล มีขบวนการสร้างเช่นเดียวกันกับมอสเฟทแบบดีเพลทชัน โหมดชนิดเอ็นแซนแนลและพีแซนแนลตามลำดับ แต่จะมีความแตกต่างกันเฉพาะในส่วนของแซนแนลเท่านั้น คือ ส่วนปลายของขั้วเดรนและซอสที่ต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกัน ในลักษณะของแซนแนลซึ่งอยู่บนผิวของฐานรอง แต่แซนแนลดังกล่าวจะ



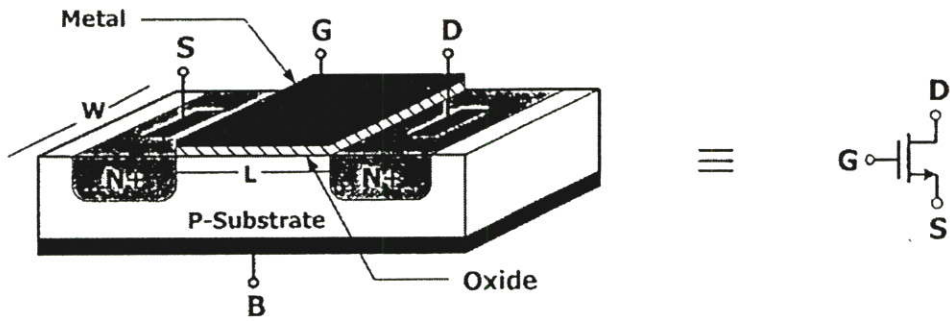
(ก) แบบช่องทางเดินกระแสชนิดเอ็น (N-channel)



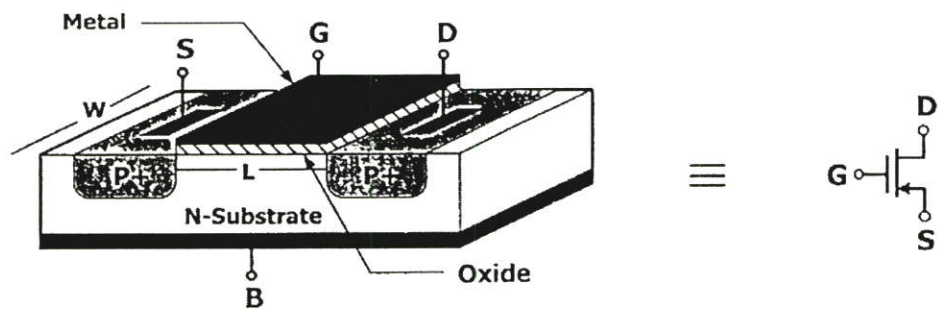
(ข) แบบช่องทางเดินกระแสชนิดพี (P-channel)

### รูปที่ ก1.3 โครงสร้างมอสเฟตแบบดีเฟลทชั้น โหมดชนิดเอ็น แชนแนลและพี แชนแนล

ไม่ต่อเนื่องกันเหมือนในกรณีของดีเฟลทชั้น โหมด โดยมึระยะห่างระหว่างเดรนกับซอร์สเป็นค่าความยาวแชนแนล  $L$  (Channel Length) และมีค่าความกว้างแชนแนลเป็น  $W$  (Channel Width) ดังแสดงในรูปที่ ก1.4 ในการทำงานของมอสเฟตแบบเอ็นฮานซ์เมนต์ โหมดจะสามารถทำงานได้เฉพาะในย่านเอ็นฮานซ์เมนต์ด้วยการไบอัสตรงเท่านั้น ไม่สามารถทำงานในย่านดีเฟลทชั้นด้วยการไบอัสย้อนกลับได้



(ก) แบบช่องทางเดินกระแสชนิดเอ็น (N-Channel)



(ข) แบบช่องทางเดินกระแสชนิดพี (P-Channel)

#### รูปที่ ก1.4 โครงสร้างมอสเฟตแบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแชนแนลและพีแชนแนล

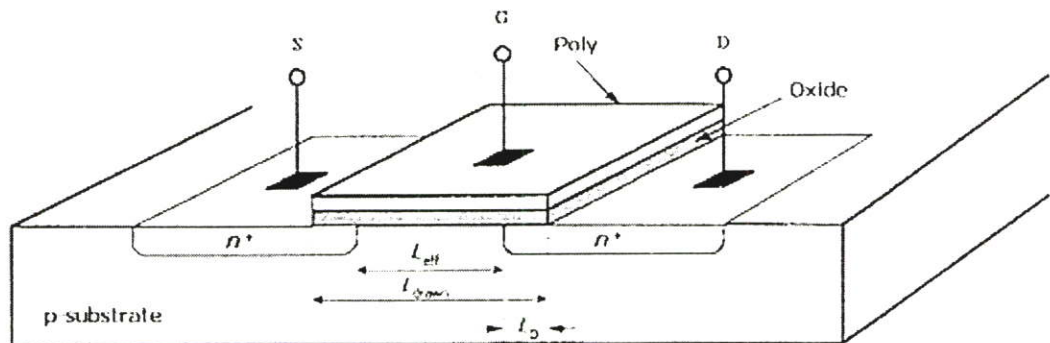
มอสเฟตแบบเอ็นฮานซ์เมนต์โหมด เป็นแบบที่นิยมใช้กันอย่างแพร่หลายมากกว่าแบบดีเฟลทซ์โหมด และเป็นแบบที่เลือกใช้ภายในวิทยานิพนธ์ฉบับนี้ ดังนั้นหัวข้อที่จะกล่าวดังต่อไปนี้เป็นรายละเอียดซึ่งอธิบายถึงทฤษฎีการทำงานของมอสเฟตชนิดเอ็นฮานซ์เมนต์โหมด โดยจะพิจารณาที่มอสเฟตในช่วงทางเดินกระแสชนิดเอ็นเป็นหลัก สำหรับชนิดพีจะมีค่าศักดา  $V_{GS}$  และทิศทางของกระแสเดรนเป็นไปในทิศทางตรงข้าม และเพื่อความกระชับในการกล่าวอ้าง คำว่า “มอสเฟต” ภายในวิทยานิพนธ์นี้จะหมายถึง “มอสเฟตชนิดเอ็นฮานซ์เมนต์”

#### ก2. การทำงานและคุณสมบัติของมอสเฟตทรานซิสเตอร์

ในหัวข้อนี้เป็นการอธิบายการเริ่มต้นทำงานของมอสเฟตและคุณสมบัติความสัมพันธ์ของแรงดันและค่ากระแส รูปที่ ก2.1 เป็นการนำมอสเฟตชนิดเอ็นมาร่วมกับแรงดันภายนอกเพื่ออธิบายค่าแรงดันเริ่มต้นที่มอสเฟตจะเริ่มทำงาน และการกล่าวถึงหลักการการทำงานของมอสเฟต สมการ

แสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-Signal Model) และสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก (Small-Signal Model)

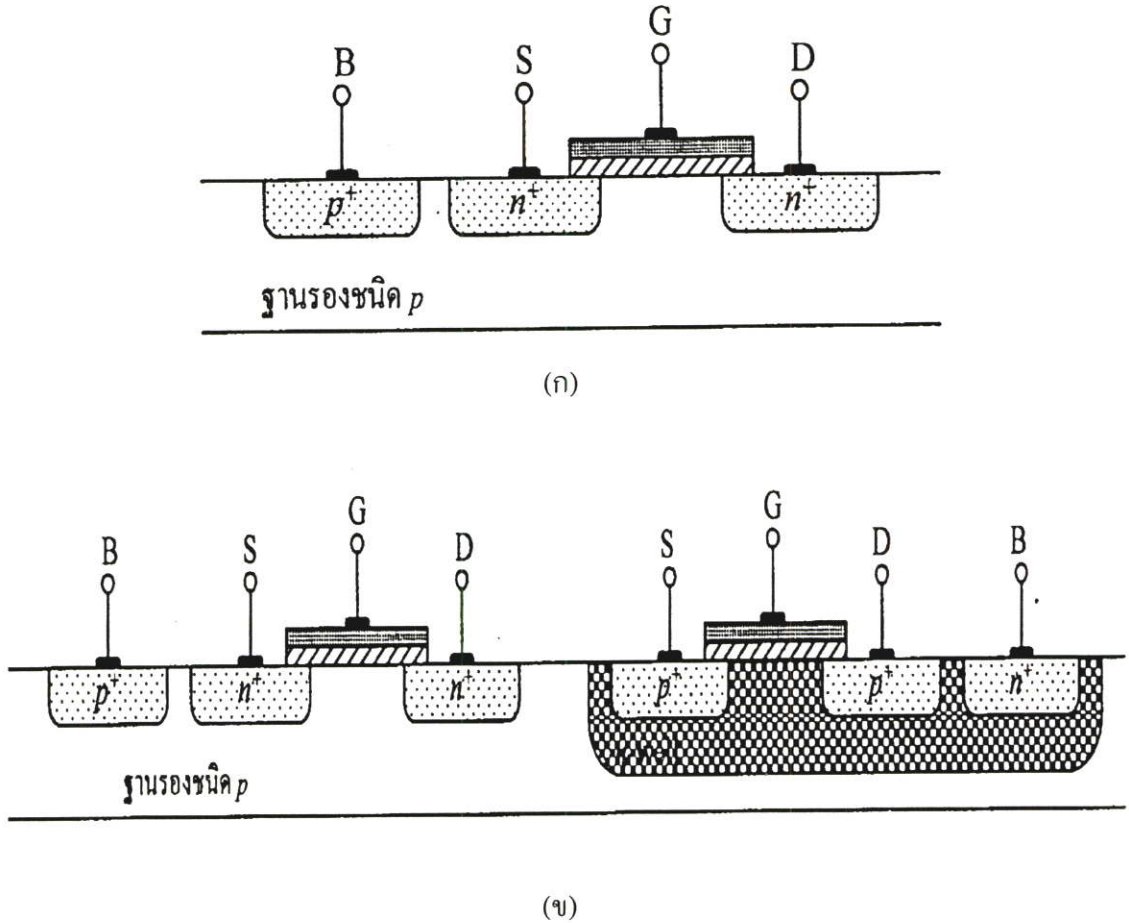
มอสเฟตแบบเอ็นฮานซ์เมนต์ชนิดเอ็นแซนแนลนั้น สร้างโดยการแพร่อะตอมสารเจือชนิดเอ็น(n-type) ที่มีความหนาแน่นสูง ( $n^+$ ) เข้าไปในแผ่นผลึกฐานรอง (Body หรือ Substrate) ของสารกึ่งตัวนำชนิดพี (p-type) ซึ่งเป็นแผ่นผลึกรูปเดี่ยว (Single-Crystal Silicon Wafer) เกิดเป็นบริเวณที่เรียกว่าซอสและเดรนตามลำดับ บริเวณที่อยู่ระหว่างซอสและเดรน เรียกว่าแซนแนล (Channel) เหนือแซนแนลขึ้นไปเรียกว่าเกต (Gate) ประกอบด้วยชั้นบางๆของเกตออกไซด์ที่สร้างจากซิลิกอนไดออกไซด์ ( $\text{SiO}_2$ ) และชั้นของโพลีซิลิกอน (Polysilicon) ซึ่งซ้อนอยู่บนชั้นของออกไซด์



รูปที่ ก2.1 มอสเฟตแบบเอ็นฮานซ์เมนต์โหมด (Enhancement-mode)

ระยะความยาวเกตจากเดรนถึงซอส เรียกว่า “Length” หรือ  $L$  ระยะแนวตั้งฉากของความยาวเรียกว่า “Width” หรือ  $W$  การออกแบบสร้างรอยต่อซอส และเดรนจะมีการแพร่ออกด้านข้าง (Side Diffuse) ซึ่งทำให้ระยะความยาวจริงจากเดรนไปยังซอสนั้นจะมีค่าน้อยกว่าความยาวจริงที่ทำการออกแบบไว้ ดังนั้นจึงกำหนดให้  $L_{eff} = L_{drawn} - 2L_D$  ซึ่ง  $L_{eff}$  คือระยะความยาวประสิทธิผล  $L_{drawn}$  คือระยะความยาวที่ออกแบบ และ  $L_D$  คือระยะที่รอยต่อแพร่ออกด้านข้าง ซึ่งในวิทยานิพนธ์นี้ ความยาวของอุปกรณ์ที่ทำการออกแบบคือ  $L_{eff}$  หรือความยาว ( $L$ ) นั่นเอง

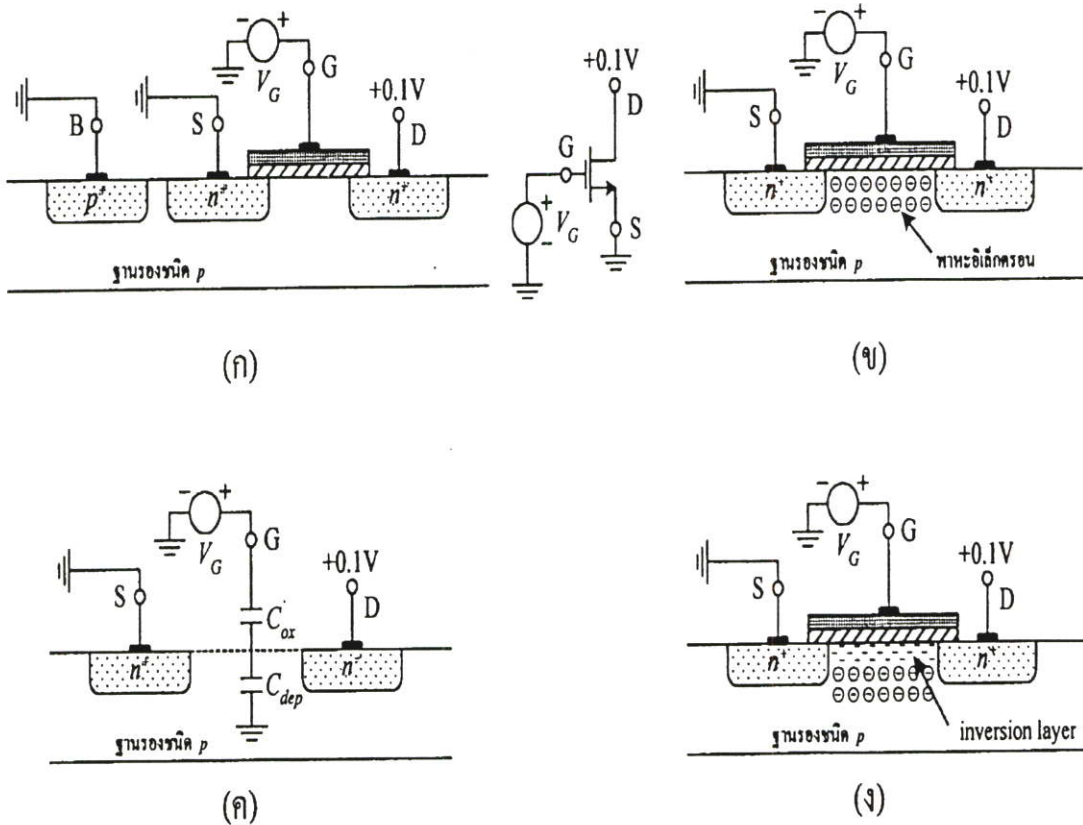
ในการออกแบบสร้างมอสเฟตนั้นจะต้องสร้างบนฐานรองเดียวกันไปทั้งชิ้นงานรูปที่ ก2.2 (ก) เป็นการสร้างเอ็นมอสบนฐานรองชนิดพี รูปดังกล่าวเป็นการสร้างเอ็นมอสอย่างเดียว ส่วนรูปที่ ก2.2 (ข) เป็นการสร้างทั้งเอ็นมอสและพีมอสโดยให้ผลึกฐานรอง (Body หรือ Substrate) เป็นสารกึ่งตัวนำชนิดพี (p-type) จากนั้นจึงแพร่สารเจือชนิดเอ็นเพื่อสร้างเอ็นมอส และสร้างพีมอสโดยการขุดบ่อหรือที่เรียกว่า “Well” เป็น N-Well จากนั้นจึงแพร่สารเจือชนิดพีเพื่อสร้างพีมอส ซึ่งในรูปมีทั้งอุปกรณ์ เอ็นมอสและพีมอสอยู่บนฐานรองเดียวกัน



รูปที่ ก2.2 (ก) การสร้างมอสเฟตชนิดพี

(จ) การสร้างเอ็นมอสและพีมอสบนฐานรองเดียวกัน

ในรูปที่ ก2.3 (ก) แสดงการทำงานของมอสทรานซิสเตอร์ชนิดเอ็น ในขณะที่สารกึ่งตัวนำบริเวณช่องทางเดินกระแสเป็นชนิดพี ทำให้ขอสกับเดรนแยกออกจากกันทางไฟฟ้า ขณะที่  $V_{GS} = 0$  ถึงแม้ว่าจะมีความต่างศักย์ไฟฟ้าเกิดขึ้นระหว่างเดรนกับขอส ( $V_{DS} > 0$ ) ประจุพาหะส่วนมากก็จะเคลื่อนที่จากขอสไปเดรนไม่ได้ ก็จะไม่มีการไหลจากเดรนไปยังขอส เพราะที่รอยต่อของแชนแนลกับเดรน และแชนแนลกับขอสจะประพฤติตัวเหมือนเป็นไดโอด (Diode) ที่ต่อไบอัสย้อนกลับ (Reverse Bias) อยู่และเรียกมอสเฟตนี้ว่าอยู่ในสภาวะ “Off” หรือ Cutoff Region คือมอสเฟตไม่นำกระแส  $I_{DS} = 0$



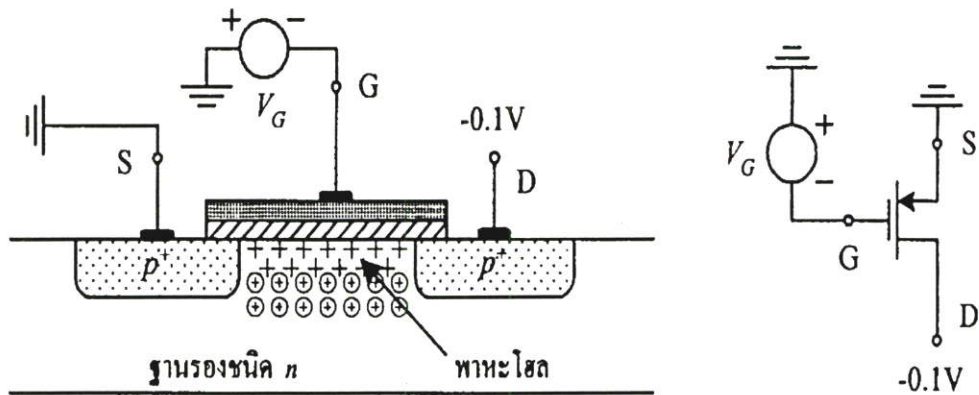
รูปที่ 2.3 การทำงานของมอสเฟตแบบเอ็นแชนซ์เมนต์โหมดชนิดเอ็น

ต่อมาเมื่อป้อน  $V_G > 0$  จะทำให้เกิดสนามไฟฟ้ามีทิศในแนวตั้งจากเกตลงมายังชั้นของฐานรอง (Substrate) ดังรูปที่ 2.3 (ข) แต่เนื่องจากเกตออกไซด์เป็นฉนวน (Insulator) ดังนั้นจะไม่มีกระแสไหลจากเกตลงมาถึงชั้นฐานรอง โดยแรงดันเกตที่เพิ่มขึ้นนี้ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรอง จึงประพุดิตัวคล้ายกับตัวเก็บประจุที่เกิดขึ้นบริเวณฐานรอง เสมือนมีตัวเก็บประจุเกิดขึ้นที่บริเวณหลอดพาหะ  $C_{dep}$  อนุกรมกับตัวเก็บประจุ  $C_{ox}$  ดังรูปที่ 2.3 (ค) แต่ผลจากสนามไฟฟ้าจะทำให้ประจุบวก (Hole) ในบริเวณแชนแนลถูกผลักลงไปยังข้างล่าง และประจุลบ (Electron) ถูกดึงขึ้นมาสะสมดังรูปที่ 2.3 (ง) หาก  $V_G$  มีค่าสูงพอถึงค่าหนึ่ง จะทำให้แชนแนลซึ่งเดิมเป็น p-type เปลี่ยนเป็น n-type ทำให้กระแสไหลจากเดรนไปยังซอร์สได้ เรียกว่า อินเวอร์ชันเลเยอร์ (Inversion Layer) ในบริเวณแชนแนลค่าของ  $V_G$  ที่ทำให้เกิดสภาวะดังกล่าว เรียกว่า ค่าแรงดันขีดเริ่ม (Threshold voltage :  $V_{TH}$ ) ดังนั้นกล่าวได้ว่าเอ็นมอส จะอยู่ในสถานะ “On” เมื่อ  $V_G > V_{TH}$  หรือ  $V_G - V_{TH} > 0$

เมื่อเอ็นมอสอยู่ในสถานะ “On” จะพบว่า การเพิ่มค่าของ  $V_{DS}$  จะส่งผลต่อคุณสมบัติของอินเวอร์ชันเลเยอร์ กล่าวคือ

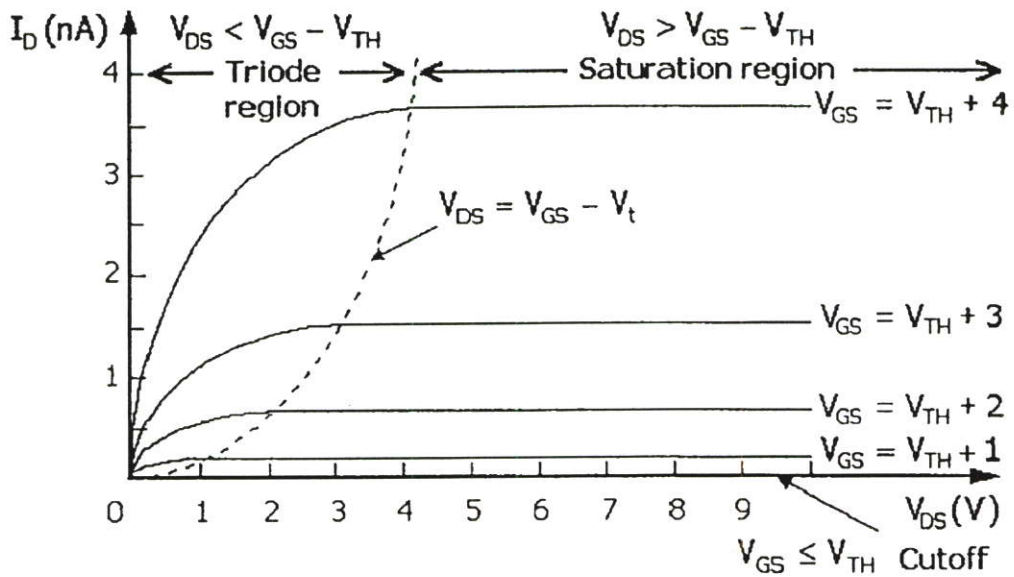
ถ้า  $V_{DS} = V_G - V_{TH}$  อิเล็กตรอนจะเชื่อมครบและซอสถึงกันและค่าของกระแส  $I_{DS}$  จะขึ้นกับค่าของ  $V_G$  และ  $V_{DS}$  เรียกมอสในสภาวะนี้ว่า “Unsatrate region” หรือ “Linear” หรือ “Resistive mode”

ถ้า  $V_{DS} > V_G - V_{TH}$  ผลของสนามไฟฟ้าในแนวนอนอันเนื่องมาจาก  $V_{DS}$  จะทำให้ อิเล็กตรอน ันเวร์สชันเลเยอร์ ไม่สามารถขยายมาถึงครบได้ จะสุดแค่จุด “Pinch off” อย่างไรก็ตามการนำกระแสยังเกิดขึ้นได้แต่ค่ากระแส  $I_{DS}$  จะขึ้นกับค่า  $V_G$  เพียงอย่างเดียวไม่ขึ้นกับค่า  $V_{DS}$  อีกต่อไป เรียกมอสเฟทในสภาวะนี้ว่า “Saturation region” แม้จะเพิ่มแรงดัน  $V_{DS}$  ให้มากขึ้นอีก แต่ความต่างศักย์ไฟฟ้าระหว่างปลายทั้งสองของสารกึ่งตัวนำบริเวณช่องทางเดินกระแสก็ยังคงมีค่าประมาณเท่าเดิม ดังนั้นกระแส  $I_{DS}$  จึงมีค่าประมาณคงที่กราฟแสดงความสัมพันธ์ระหว่างกระแส  $I_{DS}$  กับแรงดัน  $V_{DS}$  แสดงในรูปที่ ก2.5



รูปที่ ก2.4 การไบอัสค่าแรงดันเริ่มต้นของมอสเฟทแบบเอ็นชานส์เมนต์โหมดชนิดพี

การทำงานของพิมอสก็เป็นที่ไปในลักษณะเช่นเดียวกับเอ็นมอส แต่ว่าทุกอย่างจะกลับเป็นตรงกันข้ามกล่าวคือ พิมอส จะเจือสารกึ่งตัวนำชนิด  $p^+$  ที่ครบและซอส และชั้นฐานรองที่เป็นสารชนิดเอ็น ค่า  $V_{TH}$  ของพิมอส จะเป็นค่าลบและจะต้องป้อน  $V_G$  ให้มีค่าเป็นลบมากกว่า  $V_{TH}$  นั่นคือ  $V_G - V_{TH} < 0$  จึงจะทำให้เซนแนล ซึ่งเป็น n-type เปลี่ยนเป็น p-type และ มอสเฟทอยู่ในสภาวะ “On” แรงดันที่ซอสจะป้อนให้สูงกว่าที่ครบ ดังนั้นกระแสจะไหลจากซอสไปยังครบดังแสดงในรูปที่ ก2.4



รูปที่ ก2.5 กราฟแสดงคุณสมบัติการทำงานของมอสเฟตแบบเอ็นชานส์เมนต์โหมดชนิดเอ็นแซนแนล

ในการจัดไบอัสการทำงานของมอสเฟตสามารถแบ่งออกเป็น 3 ช่วงด้วยกันดังแสดงในรูปที่ ก2.5 ทั้งนี้ขึ้นอยู่กับค่าการพิจารณาจากค่า  $(V_{GS} - V_{TH})$  และค่าแรงดัน  $V_{DS}$  ซึ่งสามารถเขียนสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-Signal Model) ได้ดังต่อไปนี้

1. ช่วงที่มอสเฟตไม่นำกระแส (Cutoff Region) กล่าวคือ ในช่วงนี้แรงดันเกต-ซอส  $V_{GS}$  ไม่สามารถเอาชนะค่าแรงดันขีดเริ่ม (Threshold Voltage)  $V_{TH}$  หรือ  $V_{GS}$  มีค่าน้อยกว่า  $V_{TH}$  นั้นเอง จึงไม่สามารถทำให้เกิดมีกระแสเดรน  $I_D$  ไหลได้ ดังนั้น

$$I_D = 0 \quad \text{เมื่อ } (V_{GS} - V_{TH}) < 0 \quad (\text{ก2.1})$$

2. ช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น (Non-Saturation Region or Triode Region) ช่วงนี้ไบอัสแรงดัน  $V_{DS}$  ด้วยค่าน้อยๆ จะได้ความสัมพันธ์ของกระแสเดรนดังนี้

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{เมื่อ } 0 < V_{DS} < V_{GS} - V_{TH} \quad (\text{ก2.2})$$

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad \text{เมื่อ } 0 < V_{DS} \ll V_{GS} - V_{TH} \quad (\text{ก2.3})$$

จากสมการ ก2.2 ถ้าไบอัสแรงดัน  $V_{DS}$  ให้มีค่าน้อยกว่าค่า  $V_{DS}-V_{TH}$  มากๆเทอมของ  $V_{DS}^2/2$  จะสามารถตัดทิ้งได้เพราะมีค่าน้อยมาก ผลที่ได้คือ ค่าของกระแสเดรน  $I_D$  มีลักษณะความเป็นเชิงเส้น และ ค่าความชัน (Slope) ที่เกิดขึ้นจะเป็นค่าความต้านทานซึ่งขึ้นอยู่กับค่าแรงดันเกต-ซอส  $V_{DS}$  นั้นเอง จะเรียกลักษณะของความต้านทานนี้ว่า Voltage Control Resistance หรือ VCR ดังสมการ ก2.3 ถ้าต้องการออกแบบให้มอสเฟททำงานเป็น Active Resistance Loads หรือ สวิตช์ (Switch) ซึ่งมีค่าความต้านทานต่ำ ดังนั้นควรเลือกไบอัสมอสเฟทให้ทำงานในช่วงนี้

3. ช่วงนำกระแสอิ่มตัว (Saturation Region) ช่วงนี้ไบอัสแรงดัน  $V_{DS}$  ให้มีค่ามากกว่าหรือเท่ากับค่า  $V_{GS}-V_{TH}$  โดยค่าแรงดัน  $V_{DS}$  ที่ทำให้เกิดช่วงอิ่มตัวจะแทนด้วย  $V_{DS.SAT}$  (Saturation Voltage) ดังนี้

$$V_{DS.SAT} = V_{GS} - V_{TH} \quad (ก2.4)$$

แทนค่าสมการ ก2.4 ลงในสมการ ก2.2 แล้วจะพบว่า ค่าของกระแสเดรน  $I_D$  ที่เกิดขึ้นเป็นกระแสอิ่มตัว (Saturation Current) ที่มีค่าคงที่และจะขึ้นอยู่กับค่า  $(V_{GS}-V_{TH})^2$  ซึ่งเป็นไปตามกฎของสมการกำลังสอง (Square-Law of MOS Transistor in Saturation) ดังสมการต่อไปนี้

$$\begin{aligned} I_D &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \\ C_{OX} &= \epsilon_{OX} / T_{OX} \\ V_{TH} &= V_{TH0} + \gamma \left[ (2|\phi_F| + V_{SB})^{\frac{1}{2}} - (2|\phi_F|)^{\frac{1}{2}} \right] \quad \text{เมื่อ} \quad V_{DS} \geq V_{GS} - V_{TH} \\ \gamma &= (2q \epsilon_{SI} \cdot N_{SUB})^{\frac{1}{2}} / C_{OX} \\ \phi_F &= (kT/q) \cdot \ln(N_{SUB} / n_i) \end{aligned} \quad (ก2.5)$$

เมื่อ

|          |   |                             |
|----------|---|-----------------------------|
| $I_D$    | คือ ค่ากระแสเดรน (Drain Current)                                  | (amp)                       |
| $V_{GS}$ | คือ ค่าศักดาตกรวมขาเกต-ซอส (Gate-Source Voltage)                  | (volt)                      |
| $W$      | คือ ค่าความกว้างประสิทธิผลของแชนแนล (Effective Channel Width)     | (meter)                     |
| $L$      | คือ ค่าความยาวประสิทธิผลของแชนแนล (Effective Channel Length)      | (meter)                     |
| $\mu_n$  | คือ ค่าสภาพความคล่องตัวของประจุพาหะ (Surface Mobility of Carrier) | (cm <sup>2</sup> /volt-sec) |

$C_{OX}$  คือ ค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ของเกตออกไซด์ (Capacitance per Unit Area Of Gate Oxide) (F-Cm<sup>2</sup>)

โดยที่

$$C_{OX} = \epsilon_{OX} / T_{OX}$$

$\epsilon_{OX}$  คือ ค่าคงที่ไดอิเล็กทริกของซิลิกอนไดออกไซด์ (Permittivity of Silicon) (F-Cm)

$T_{OX}$  คือ ค่าความหนาของชั้นเกตออกไซด์ (meter)

$V_{TH}$  คือ ค่าศักดาไฟฟ้าขีดเริ่ม (Threshold Voltage) (volt)

ซึ่งค่าของ

$$V_{TH} = V_{TH0} + \gamma \left[ (2|\phi_F| + V_{SB})^{\frac{1}{2}} - (2|\phi_F|)^{\frac{1}{2}} \right]$$

$$\gamma = (2q \epsilon_{SI} \cdot N_{SUB})^{\frac{1}{2}} / C_{OX}$$

$$\phi_F = (kT/q) \cdot \ln(N_{SUB} / n_i)$$

$V_{TH0}$  คือ ค่าศักดาไฟฟ้าวิกฤตขณะ  $V_{SB}$  มีค่าเท่ากับศูนย์ (volt)

$\gamma$  คือ Bulk Threshold Parameter (volt)<sup>1/2</sup>

$q$  คือ ประจุของอิเล็กตรอน (C)

$T$  คือ อุณหภูมิ (K)

$k$  คือ ค่าคงที่โบลทซ์มันน์ (Boltzmann's Constant) (J/K)

$n_i$  คือ จำนวนพาหะในซิลิกอน (atom/cm<sup>3</sup>)

$N_{SUB}$  คือ ความหนาแน่นของอะตอมสารเจือในฐานรอง (atom/cm<sup>3</sup>)

$\epsilon_{SI}$  คือ ค่าคงที่ไดอิเล็กทริกของซิลิกอน (amp/volt<sup>2</sup>)

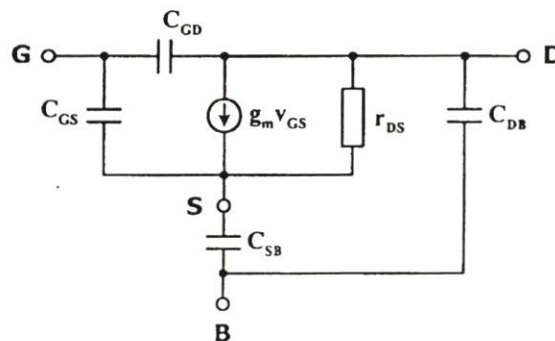
นอกจากจะจำแนกประเภทการใช้งานมอสเฟตออกเป็น 3 ช่วงจากการพิจารณาค่า  $V_{GS} - V_{TH}$  และค่า  $V_{DS}$  ซึ่งจะได้ค่ากระแสตรงเท่ากับศูนย์เมื่อ  $V_{GS} \leq V_{TH}$  และมีค่าเป็นไปตามสมการ ก2.2 และ ก2.5 เมื่อ  $V_{GS} > V_{TH}$  แต่ความเป็นจริงแล้ว เมื่อค่า  $V_{GS}$  มีค่าเข้าใกล้  $V_{TH}$  สามารถแสดงสมการ

คุณลักษณะระหว่างค่ากระแสเดรนกับค่าศักดาตกคร่อมเกตซอสในรูปของเอ็กซ์โปเนนเชียล (Exponential) โดยเฉพาะอย่างยิ่งเมื่อ  $V_{GS} \leq V_{TH}$  จะเรียกช่วงการทำงานของมอสเฟตในช่วงนี้ว่า ย่านวีคอินเวอร์ชัน (Weak Inversion Region or Subthreshold) [9], [12], [16] ซึ่งการทำงานในช่วงนี้จะมีข้อคืออยู่ที่สามารถทำงานได้ที่ไฟเลี้ยงต่ำและสูญเสียกำลังต่ำมาก แต่ก็ไม่เป็นที่นิยมนัก เนื่องจากมีช่วงปฏิบัติการทางขนาดที่แคบและผลตอบสนองทางความถี่ก็ต่ำอีกด้วย

### ก.3 แบบจำลองและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก

#### (Small-Signal Model)

สำหรับการวิเคราะห์การทำงานสำหรับสัญญาณขนาดเล็ก (Small Signal Model) วงจรเสมือนของมอสเฟตแสดงในรูปที่ ก.3.1 ในการใช้งานของมอสเฟตสำหรับวิทยานิพนธ์นี้จะกำหนดให้มอสเฟตทำงานอยู่ในช่วงอิ่มตัว การทำงานของมอสเฟตในช่วงอิ่มตัวจะเป็นผลให้เกิดสถานะพินช์ออฟ (Pinch off) กล่าวคือแชนแนล (Channel) ซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านขาเดรนแคบมากและแรงดันที่ขาเดรนจะรบกวนต่อแชนแนลหรือประจุที่ขาเกตน้อยมาก จึงสามารถกล่าวได้ว่าค่าความจุระหว่างเกตกับเดรน  $C_{gd}$  เท่ากับศูนย์ [14] ส่วน  $C_{gd}$  เป็นค่าความจุระหว่างเดรนกับซอส ซึ่งจะมีค่านี้น้อยและสามารถตัดทิ้งไปได้ เพื่อความสะดวกสำหรับการวิเคราะห์ด้วยมือจะพิจารณาเฉพาะค่าความจุระหว่างเกตกับซอส  $C_{gs}$  ซึ่งมีค่าประมาณ  $2/3 C'_{ox}WL$  ดังนั้นวงจรเสมือนของมอสเฟตสามารถเขียนใหม่ได้ดังรูปที่ ก.3.2 สำหรับการพิจารณาค่าความต้านทานเนื่องจากที่ขาเกตของมอสเฟตถูกกั้นด้วยฉนวน ดังนั้นค่าความต้านทานที่เกิดขึ้นระหว่างขาเกตกับซอส  $R_{gs}$  และขาเกตกับเดรน  $R_{gd}$  จึงมีค่าสูงมาก จะมีเฉพาะค่าความต้านทานระหว่างขาเดรนกับซอส  $R_{ds}$  เท่านั้นซึ่งสามารถเขียนแสดงสมการความสัมพันธ์ของค่าพารามิเตอร์ต่างๆ ดังนี้



รูปที่ ก.3.1 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟต

$$g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{DS}=0} = \begin{cases} \frac{\mu_n C_{ox} W V_{DS}}{L} & \text{Non - saturation Region} \\ \frac{\mu_n C_{ox} W}{L} (V_{GS} - V_{TH}) & \text{Saturation Region} \end{cases} \quad (ก3.1)$$

จากสมการ (ก2.5) สำหรับการทำงานในช่วงอิมิตัว ค่าความนำของวงจรถูกเขียน ความสัมพันธ์ให้อยู่ในรูปของกระแสได้ดังนี้

$$g_m = \sqrt{\frac{2\mu_n C_{ox} W I_D}{L}} \quad (ก3.2)$$

สำหรับค่าความต้านทานที่จุดออกของวงจรถูกกำหนดหาความสัมพันธ์ได้ดังนี้คือ

$$g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{DS}=0} = \begin{cases} \frac{\mu_n C_{ox} (V_{GS} - V_{TH} - V_{DS})}{L} & \text{Non - saturation Region} \\ \lambda I_D & \text{Saturation Region} \end{cases} \quad (ก3.3)$$

เมื่อ  $\lambda$  คือ channel length modulation parameter ( $\text{volt}^{-1}$ ) จะมีค่าอยู่ในช่วง 0.1- 0.01  $\text{V}^{-1}$

วงจรถูกที่ ก3.1 ได้รวมค่าความจุไฟฟ้า 4 ตัวด้วยกัน  $C_{GS}$ ,  $C_{GD}$ ,  $C_{SB}$  และ  $C_{DB}$  ซึ่งมักจะถูกใช้ในการวิเคราะห์ด้วยโปรแกรมคอมพิวเตอร์เท่านั้น เพราะค่อนข้างยุ่งยากและซับซ้อนสำหรับการวิเคราะห์ด้วยมือ เนื่องจากในวิทยานิพนธ์ฉบับนี้ทำการออกแบบวงจร โดยใช้มอสเฟตที่มีการทำงานในช่วงอิมิตัว ซึ่งเกิดสภาวะพินช์ออฟ (Pinch Off) กล่าวคือ แชนแนลซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านเดรนขาดออกหรือแคบมาก แรงดันที่เดรนมีผลกระทบต่อ แชนแนลหรือประจุที่มีเกตน้อยมาก สามารถกล่าวได้ว่าค่าความจุไฟฟ้าระหว่างเกตกับเดรน ( $C_{GD}$ ) มีค่าน้อยมาก ส่วนค่าความจุไฟฟ้าระหว่างซอสกับบอดี ( $C_{SB}$ ) และเดรนกับบอดี ( $C_{DB}$ ) นั้นจะถือว่า มีค่าน้อยมากเช่นกัน โดยเฉพาะเมื่อซอสกับบอดีเชื่อมต่อกัน จึงขอพิจารณาเฉพาะค่าความจุไฟฟ้าระหว่างเกตกับซอส ( $C_{GS}$ ) เท่านั้น ค่าความต้านทานที่เกิดเนื่องจากขาเกตของมอสเฟตที่ถูกกั้นด้วยฉนวน ค่าความต้านทานที่เกิดขึ้นระหว่างเกตกับซอส ( $r_{GS}$ ) และเกตกับเดรน ( $r_{GD}$ ) จะมีค่าสูง จึงมีเฉพาะค่าความต้านทานระหว่างเดรนกับซอส ( $r_{DS}$ ) เท่านั้นที่นำมาพิจารณา ดังนั้นเพื่อความสะดวกสำหรับการวิเคราะห์ด้วยมือ ในวิทยานิพนธ์นี้จะใช้วงจรมูลของมอสเฟตโดยที่กำหนดให้  $C_{GD}$ ,  $C_{SB}$  และ  $C_{DB}$  มีค่าเท่ากับศูนย์ ซึ่งเป็นวงจรมูลที่เสนอโดย Gray และ Meyer

#### ก4 ค่าความจุไฟฟ้าในมอสเฟต [8], [9], [12], [17]

ค่าความจุไฟฟ้าในโครงสร้างของมอสเฟตเป็นตัวแปรที่สำคัญในการออกแบบเพราะเป็นตัวกำหนดค่าผลตอบสนองทางความถี่ ค่าความจุไฟฟ้าเป็นค่าที่ขึ้นอยู่กับกระบวนการสร้างและโครงสร้างทางเรขาคณิต สามารถพิจารณาได้ตามโครงสร้างในรูปที่ ก1.1

เมื่อพิจารณาค่าความจุไฟฟ้าของชั้นออกไซด์บริเวณส่วนที่เหลื่อมซ้อนทับกัน จะได้

1.  $C_{GSO}$  เป็นค่าความจุไฟฟ้าของชั้นออกไซด์ส่วนที่เหลื่อมซ้อนทับกันของพื้นที่การเชื่อมต่อระหว่างซอสกับเกต จะได้ว่า

$$C_{GSO} = C_{OX}WL_S \quad (ก4.1)$$

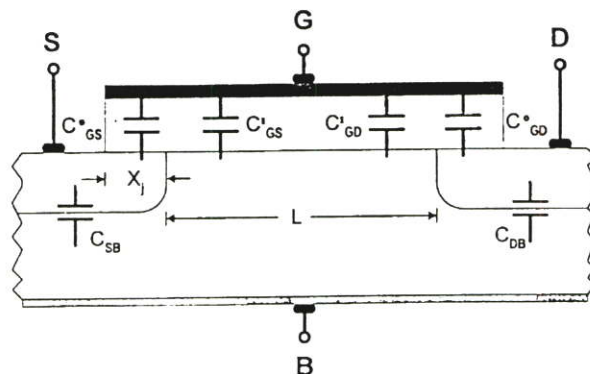
2.  $C_{GDO}$  เป็นค่าความจุไฟฟ้าของชั้นออกไซด์ ส่วนที่เหลื่อมซ้อนทับกันของพื้นที่การเชื่อมต่อระหว่างเดรนกับเกต จะได้ว่า

$$C_{GDO} = C_{OX}WL_D \quad (ก4.2)$$

โดยที่  $L_S$  คือ ระยะที่เหลื่อมซ้อนทับกันของพื้นที่การเชื่อมต่อระหว่างซอสกับเกต

$L_D$  คือ ระยะที่เหลื่อมซ้อนทับกันของพื้นที่การเชื่อมต่อระหว่างเดรนกับเกต

ต่อมาพิจารณาค่าความจุไฟฟ้าที่เกตกับบริเวณช่องทางทางเดินกระแส โดยจะอธิบายให้เข้าใจได้ด้วยการทำงาน 3 ช่วงของมอสเฟต สามารถสรุปค่าความจุไฟฟ้าของมอสเฟตในการทำงานช่วงต่างๆ โดยขึ้นกับค่า  $V_{DS}$  ดังนี้



รูปที่ ก4.1 แบบจำลองค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟต

1.  $C'_{GS}$  เป็นค่าความจุไฟฟ้าที่เกี่ยวกับช่องทางเดินระหว่างเกตกับซอส มีค่าดังนี้

$$C'_{GS} = \begin{cases} 0 & \text{Cutoff} \\ \frac{1}{2} C_{ox} WL \left[ 1 + \frac{V_{DS}}{3V_{DS.SAT}} \right] & \text{Non - saturation Region} \\ \frac{2}{3} C_{ox} WL & \text{Saturation Region} \end{cases} \quad (ก4.3)$$

2.  $C'_{GD}$  เป็นค่าความจุไฟฟ้าที่เกี่ยวกับช่องทางเดินระหว่างเกตกับเดรน มีค่าดังนี้

$$C'_{GD} = \begin{cases} 0 & \text{Cutoff} \\ \frac{1}{2} C_{ox} WL \left[ 1 - \frac{V_{DS}}{V_{DS.SAT}} \right] & \text{Non - saturation Region} \\ 0 & \text{Saturation Region} \end{cases} \quad (ก4.4)$$

3. ค่า  $C'_{GB}$  เป็นค่าความจุไฟฟ้าระหว่างเกตกับเนื้อสารที่เกิดจากช่วงปลอดพาหะ ซึ่งมีค่าน้อยมากถ้ามอสเฟตทำงานอยู่ในช่วงเชิงเส้นและช่วงอิ่มตัว

$$C'_{GB} = \begin{cases} C_{ox} WL & \text{Cutoff} \\ 0 & \text{Non - saturation Region} \\ 0 & \text{Saturation Region} \end{cases} \quad (ก4.5)$$

สำหรับค่าความจุไฟฟ้าอีก 2 ตัว  $C_{SB}$ ,  $C_{DB}$  ที่เกิดจากส่วนดีเพลทชันในรอยต่อพี-เอ็น ค่าความจุไฟฟ้าในส่วนนี้ คือ ส่วนที่เป็นพื้นที่ด้านล่างและส่วนข้างๆ ส่วนเดรน, ซอส

ค่าความจุไฟฟ้าดีเพลทชันต่อหน่วยพื้นที่  $C_{SB}$ ,  $C_{DB}$  มีค่าดังนี้

$$C_{SB,DB} = \frac{C_{SB,DB}(0)}{\sqrt{1 + \frac{V_r}{\phi_0}}} \quad (ก4.6)$$

เมื่อ  $V_r$  คือ ค่าไบอัสย้อนกลับ

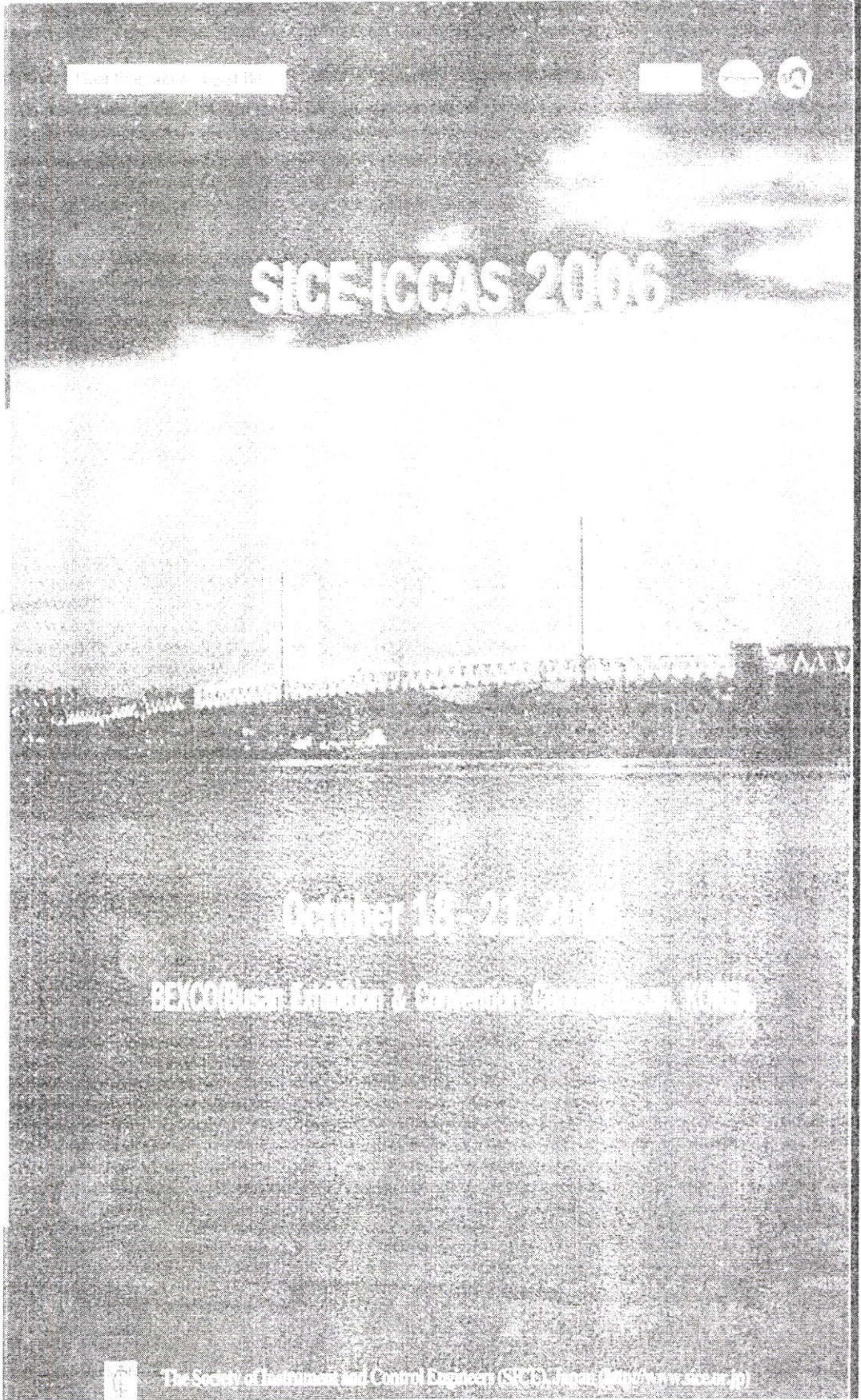
$C_{SB,DB}(0)$  คือ ค่าความจุไฟฟ้าที่ไบอัสเป็นศูนย์ ( $V_r = 0$ )

และค่าความจุไฟฟ้าระหว่างเกตกับซอส  $C_{gs}$  ของมอสเฟตที่มีการทำงานอยู่ในช่วงอิ่มตัวที่ใช้ใน  
วิทยานิพนธ์นี้คือ

$$C_{gs} \cong \frac{2}{3} C_{ox} WL \quad (ก4.7)$$

ภาคผนวก ข  
ผลงานวิจัยที่ได้รับการตีพิมพ์

**P. Mahatthumthanant**, T. Kamsri, W. Petchmaneelumka, T.Sungkabunchoo, and V.Riewruja,  
“A Current-mode CMOS Sample-and-Hold Circuit for ADC” Proceeding of the SICE-  
ICCAS International Joint Conference 2006, Korea, 18-21 October 2006. pp. 5758 - 5761.



Full Time Registration



# SICE-ICGAS 2006

October 13-21, 2006

BEICO(Busan Exhibition & Convention Center) Busan, KOREA



The Society of Instrument and Control Engineers (SICE), Japan (<http://www.sice.or.jp>)

SICE-ICASE International Joint Conference 2006  
Oct. 18-21, 2006 in Bexco, Busan, Korea

## A Current-mode CMOS Sample-and-Hold Circuit for ADC

Phitret Mahatthumthanant, Thawatchai Kamsri, Wandee Petchmaneelumka,  
Tiparat Sungkabunchoo, and Vanchai Riewruja

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,  
Ladkrabang, Bangkok, 10520, Thailand  
(Tel : 66-2-739-0758; E-mail: [vanchai@kmitlcs.net](mailto:vanchai@kmitlcs.net))

**Abstract:** This paper presents a current-mode sample-and-hold circuit using  $0.5\mu\text{m}$  CMOS technology. The input signal is sampled using a current subtractor and a half wave rectifier instead of a sampling switch used in the conventional sample-and-hold circuit. As a result, the switch feedthrough error is eliminated. The proposed circuit achieves high sampling frequency up to 100MHz and high accuracy. The performances of the proposed circuit are demonstrated by PSPICE simulation results.

**Keywords:** Sample-and-hold, Subtractor, Half-wave rectifier, Current-mode

### 1. INTRODUCTION

Digital signal processing is one of the most important technique in many applications such as video and audio system, measurement and instrumentation, and digital control system. An analog-to-digital converter (ADC) is the interface between analog signal and digital signal. To avoid the degradation of signal conversion from ADC, the sample-and-hold circuit (S/H) is required at front-end. Usually, S/H circuit employs a MOS switch to sample and hold an analog signal. Using the MOS switch exhibits signal distortion at the S/H output caused by switch-on resistance, channel charge injection, and clock feedthrough. These are major factors that contribute to discrepancy from ideal performances. In the past, the switch is implemented by a single MOS transistor. Unfortunately, the on resistance of the switch is varied with the switched voltage and dependent on the magnitude of control voltage [1]. In order to minimize the switch-on resistance, the bootstrapped switch technique and the switch control-voltage boosted technique have been proposed in literature [2-4]. The technique based on bootstrapped switch generates the constant gate-source voltage for the MOS switch to prevent the on-resistance effects. For the boosted technique, the voltage multiplier generates the control voltage in excess of the supply voltage for the MOS switch to reduce the switch-on resistance. The control voltage signal, which is usually up to twice the supply voltage, may produce a catastrophic failure caused by the voltage breakdown across the gate oxide. It should be noted that the sampling frequency can be varied in a narrow range due to the specific on-chip capacitance value used in both techniques. For charge injection and clock feedthrough cancellation, a differential configuration technique and a dummy transistor technique have been introduced [5-6]. However, these techniques have never completely cancelled the effects of channel charge injection and clock feedthrough.

The purpose of this paper is to propose a CMOS current-mode technique for realization of a high-speed and high accuracy S/H circuit. The proposed circuit employs a current subtractor and a half-wave rectifier

instead of a conventional sampling switch. The errors due to the charge injection and the clock feedthrough are minimized. The resulting performances of the proposed circuit show high accuracy and high sampling rate up to 100MHz.

### 2. CIRCUIT DESCRIPTION

Fig. 1 shows the block diagram of the proposed S/H circuit. It consists of current subtractor, half-wave rectifier, peak detector, and discharge scheme. The S/H control signal,  $i_{SH}$ , sets the operational state of the proposed circuit. The current  $i_m$  is the input signal, which has the value between zero and the value for the high state of  $i_{SH}$ . If the signal  $i_{SH}$  is set to low or  $i_{SH} = 0\mu\text{A}$ , the input signal  $i_m$  is sampled, and thus transmitted to the output. Otherwise,  $i_{SH}$  is set to high such as  $i_{SH} = 50\mu\text{A}$ , the last value sampled is held until the input is sampled again. The operation of the proposed S/H circuit as shown in Fig. 2 can be explained as follows.

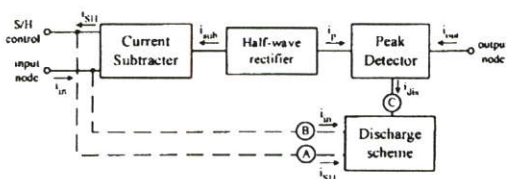


Fig. 1 Block diagram of the proposed S/H circuit.

Basically design of the proposed circuit, all transistors are well matched and operated in their saturation regions. The drain current of transistor operated in saturation region is expressed as [7]

$$i_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (v_{GS} - V_T)^2 = K (v_{GS} - V_T)^2 \quad (1)$$

where  $K$ ,  $v_{GS}$ , and  $V_T$  are the device transconductance parameter, the gate-source voltage, and the threshold voltage, respectively. The transistors  $M_1$ - $M_2$  and  $M_3$ - $M_4$

in the current subtractor form as the unity-gain current mirrors to capture the control signal  $i_{SH}$  and the input current  $i_{in}$  to node D, respectively. Considering at node D, the current  $i_{sub}$  can be written as

$$i_{sub} = i_{in} - i_{SH} \tag{2}$$

The transistors  $M_5$ - $M_{10}$  function as the half-wave rectifier that produces a half-wave replica of the current  $i_{sub}$ . If the current  $i_{sub}$  is negative, the flow of the current  $i_{sub}$  through the transistor  $M_9$  increases the voltage at node D, then the transistor  $M_5$  is to cutoff. The current  $i_p$  is equal to zero. For a positive current  $i_{sub}$ , the transistors  $M_5$  and  $M_9$  are conduct and cutoff, respectively. Thus the current  $i_p$  is equal to  $i_{sub}$ . From Eq. (2), the current  $i_p$  can be stated as

$$i_p = \begin{cases} i_{in} & \text{for } i_{SH} = \text{'low' } \\ 0 & \text{for } i_{SH} = \text{'high' } \end{cases} \tag{3}$$

The current  $i_p$  is fed through the peak detector [8], to transmit to output node. The transistors  $M_{13}$ - $M_{14}$  form as the unity-gain current mirror. The transistors  $M_{11}$  and  $M_{12}$  function as the current follower to provide the discharge current  $i_{ds}$  and the charge current  $i_{c1}$  to the capacitor  $C_1$ , respectively. Considering at node F, the

gate-source voltages of transistors  $M_{13}$  and  $M_{14}$  are risen and held by the capacitor  $C_1$ . From Eq. (1), the output current  $i_{out}$  can be stated as

$$i_{out} = i_{D13} = i_{D14} = K(v_{C1} - V_T)^2 \tag{4}$$

If  $i_p = i_{in}$  and  $i_{ds} = 0$ , the voltage at node E,  $v_E$ , effects the transistor  $M_{12}$  to conduct. The flow of the charge current  $i_{c1}$  through the capacitor  $C_1$ , which is equal to  $i_{D12}$ , increases the voltage  $v_{C1}$ . Then the transistors  $M_{13}$  and  $M_{14}$  are activated. When the voltage  $v_{C1}$  rises to the steady state value that causes the transistor  $M_{12}$  to cutoff. The voltage  $v_{C1}$  still forces the transistors  $M_{13}$  and  $M_{14}$  to conduct, thus  $i_{out} = i_{in}$ . If  $i_p = 0$ , the peak value of input current  $i_{in}$  is less than that of the previous input signal, and  $i_{ds} = 0$ , the voltage  $v_E$  is decreased. Therefore, the transistor  $M_{12}$  still turn off and the voltage  $v_{C1}$  is unchanged. If the input current  $i_{in}$  exceeds the output current and  $i_{ds} = 0$ , then the voltage  $v_E$  is increased and the transistor  $M_{12}$  is active. The voltage  $v_{C1}$  is risen to force the output current equal to the last sampled value. If the value of input current  $i_{in}$  is less than that of the previous input signal and  $i_{ds} = 1$ , the voltage  $v_{C1}$  is decreased. Therefore, the output current  $i_{out}$  is forced to be tracking  $i_{in}$ .

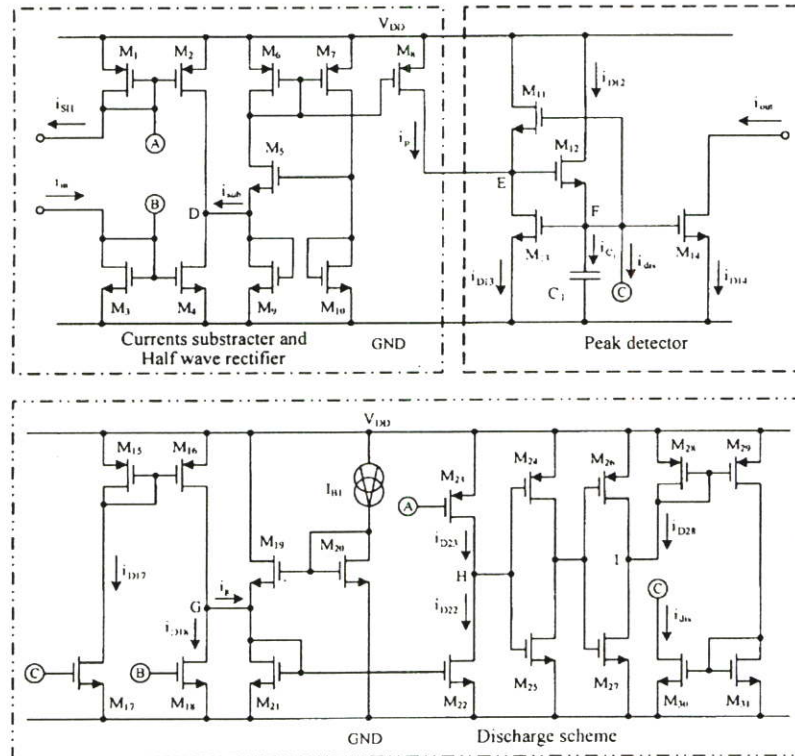


Fig. 2 Proposed S/H circuit.

In discharge scheme, the gates of transistors  $M_{17}$ ,  $M_{18}$ , and  $M_{23}$  are connected to node C, node B, and node A, respectively. Thus  $i_{D17} = i_p$ ,  $i_{D18} = i_{in}$  and  $i_{D23} = i_{SH}$ . The transistors  $M_{15}$ - $M_{16}$  function as the unity-gain current mirror to capture the current  $i_{D17}$  to node G. The current  $i_g$  can be stated as

$$i_g = i_{D17} - i_{D18} = i_p - i_{in} \quad (5)$$

The current  $i_g$  is fed through the half-wave rectifier that consists of the transistors  $M_{19}$ - $M_{22}$ . From Eqs. (3) and (5), the current  $i_{D22}$  can be written as

$$i_{D22} = \begin{cases} i_p - i_{in} & \text{for } i_{p0} > i_{in} \\ 0 & \text{for } i_{p0} < i_{in} \end{cases} \quad (6)$$

Where  $i_{p0}$  is the previous peak current of the current  $i_p$ . The transistors  $M_{24}$ - $M_{27}$  function as the current comparator to compare the current  $i_{D22}$  and  $i_{SH}$ . From Eq. (6), if the control signal  $i_{SH}$  is set to low, the voltage at node H can be given by

$$v_H = \begin{cases} 0 & \text{for } i_{p0} > i_{in} \\ V_{DD} & \text{for } i_{p0} < i_{in} \end{cases} \quad (7)$$

Otherwise, the current  $i_{SH}$  is set to high, we have

$$v_H = V_{DD} \quad (8)$$

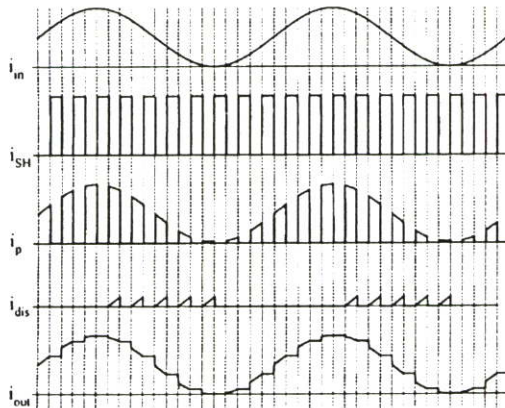


Fig. 3 Waveform sketches of the proposed circuit.

The voltage at node I,  $v_i$ , is forced to follow the voltage  $v_H$  by the use of the inverters  $M_{24}$ - $M_{25}$  and  $M_{26}$ - $M_{27}$ . Based on the unity-gain current mirrors  $M_{28}$ - $M_{29}$  and  $M_{30}$ - $M_{31}$ , the current  $i_{dis}$  is equal to  $i_{D28}$ . From Eqs. (7)-(8), the current  $i_{D28}$  or  $i_{dis}$  can be expressed as

$$i_{dis} = \begin{cases} K(V_{DD} - V_T)^2 & \text{for } i_{SH} = \text{'low'} \text{ and } i_{p0} > i_{in} \\ 0 & \text{for } i_{SH} = \text{'low'} \text{ and } i_{p0} < i_{in} \\ 0 & \text{for } i_{SH} = \text{'high'} \end{cases} \quad (9)$$

From above discussion, the waveform sketches relating to various currents are shown in Fig. 3.

### 3. SIMULATION RESULTS

The performances of the proposed circuit were studied by using PSPICE analog simulation program. The BSIM MOS model of the 0.5 $\mu$ m CMOS process was used in the circuit simulation. The supply voltage and the current source were chosen as  $V_{DD} = 3V$  and  $I_{B1} = 50\mu A$ . The ratio of channel width and length (W/L) of the devices are shown in Table 1.

Table 1 Devices aspect ratios.

| Device   | W/L ( $\mu\text{m}/\mu\text{m}$ ) |
|--|-----------------------------------|
| $M_1, M_2, M_{17}, M_{20}, M_{21}, M_{22}, M_{23}, M_{24}, M_{25}, M_{26}, M_{27}, M_{30}$ | 2/1                               |
| $M_3, M_4, M_5, M_9, M_{18}, M_{19}$   | 5/1                               |
| $M_6, M_7, M_8, M_{11}, M_{15}, M_{16}$  | 10/1                              |
| $M_{12}, M_{13}, M_{14}, M_{28}, M_{29}$   | 4/1                               |
| $M_{31}$   | 6/1                               |
| $M_{10}$   | 1.2/1                             |

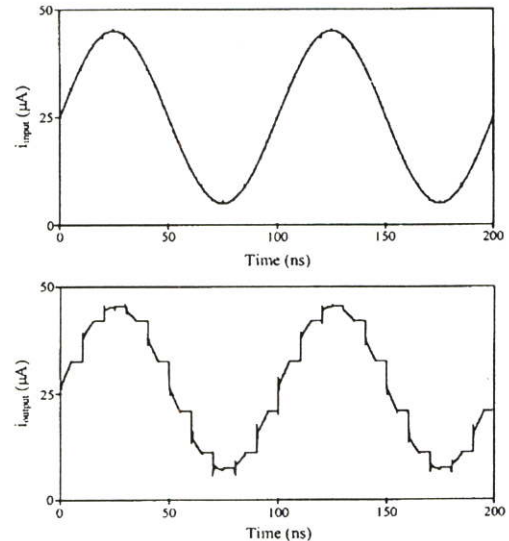


Fig. 4 Input and output waveforms for a 10MHz sinusoidal input sampled at 100MHz.

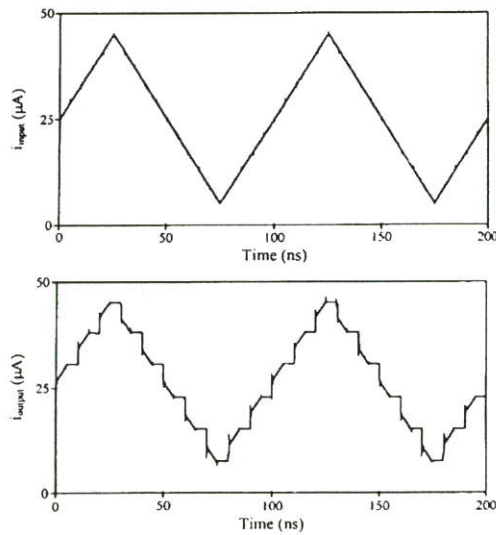


Fig. 5 Input and output waveforms for a 10MHz triangular input sampled at 100MHz.

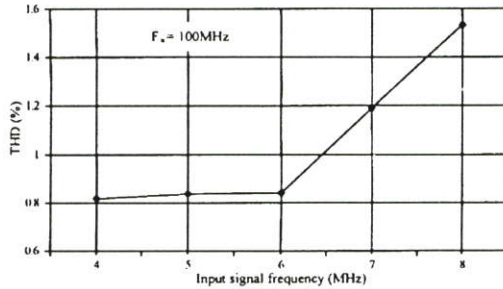


Fig. 6 THD versus the varied input signal frequency.

The input and output waveforms as shown in Fig. 4, the upper waveform is a sinusoidal input current of  $\pm 20\mu\text{A}$  amplitude at 10MHz and the lower is the output current for the input current sampled at 100MHz. Fig. 5 shows the input and output waveforms, the upper waveform is a triangular input current of  $\pm 20\mu\text{A}$  amplitude at 10MHz and the lower is the output signal for the input current sampled 100MHz. The total harmonic distortion (THD) versus the varied input signal frequency of the amplitude  $\pm 20\mu\text{A}$  at 100MHz sampling frequency is shown in Fig. 6.

#### 4. CONCLUSION

This paper describes a current sample-and-hold circuit using a current subtracter and a half wave rectifier instead of a sampling switch to avoid the clock feedthrough. The PSPICE simulation results verifying the performances of the proposed circuit are in close agreement with the theoretical.

#### REFERENCES

- [1] John W. Gates and Ezz I. El-Masry, "Switched-Current Analysis Program", *IEEE Transaction on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 34, no. 1, pp. 24-30, 1996.
- [2] A. K. Ong, V. I. Prodanov, and M. Tarsia, "A Method for Reducing the Variation in "On" Resistance of a MOS Sampling Switch", *IEEE International Symposium on Circuits and Systems ISCAS 2000*, Vol. 5 pp. V-437-V440, 2000.
- [3] Sonkusale S.R., Van der Spiegel J., "A low distortion MOS sampling circuit", *IEEE International Symposium on Circuits and Systems ISCAS 2002*, Vol. 5 pp. V-585 - V-588, 2002.
- [4] Fayomi C.J.B., Roberts G.W., Sawan M., "Low-voltage CMOS analog bootstrapped switch for sample-and-hold circuit: design and chip characterization", *IEEE International Symposium on Circuits and Systems ISCAS 2005*, Vol. 3 pp.2200 - 2203, 2005.
- [5] Ming-Jer Chen, Yen-Bin Gu, Jen-Yin Huang, Wei-Chen Shen, Wu T., Po-Chin Hsu, "A compact high-speed Miller-capacitance-based sample-and-hold circuit", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 45, Issue 2, pp. 198 – 201, 1998.
- [6] Luh L., Choma J., Jr., and Draper J., "A High-Speed Fully Differential Current Switch", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 47, no. 4, pp.358-363, 2000.
- [7] Paul R. Gray and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuit*, chapter 1, John Wiley & Sons, Inc., 1993.
- [8] V. Riewruja, A. Linthong, A. Kaewpoonsuk, R. Guntapong, and S. Supaph, "A Current-mode peak detector", *Proceeding of the 15<sup>th</sup> KACC2000*, pp. 512-524, 2000.

## ประวัติผู้เขียน

|                  |   |
|------------------|---|
| ชื่อ-นามสกุล     | ว่าที่ร้อยตรีพิเนต มหัทธมนันต์  |
| วัน เดือน ปีเกิด | 17 มกราคม 2507  |
| ที่อยู่          | 24/2 ซอยวัดใหญ่ศรีสุพรรณ ถนนอินทรพิทักษ์ แขวงหิรัญรูจี เขตธนบุรี กรุงเทพมหานคร 10160 โทร. 0-2467-0231                             |
| ประวัติการศึกษา  | พ.ศ. 2530 อุดสาหกรรมศาสตรบัณฑิต (เทคโนโลยีโทรทัศน์)<br>คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง           |
| ประสบการณ์ทำงาน  |   |
| พ.ศ. 2527- 2528  | เจ้าหน้าที่สื่อสาร 2 สำนักงานตรวจสอบและเฝ้าฟังความถี่วิทยุ<br>กองตรวจสอบและเฝ้าฟังความถี่วิทยุ กรมไปรษณีย์โทรเลข<br>กระทรวงคมนาคม |
| พ.ศ. 2529-2533   | ครูระดับ 3 ภาควิชาสารัตถศึกษา<br>คณะครุศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย   |
| พ.ศ. 2529-2533   | อาจารย์พิเศษ ภาควิชาโสตทัศนศึกษา<br>คณะครุศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย  |
| พ.ศ. 2529-2533   | กรรมการและเลขานุการคณะกรรมการบริหารงานศูนย์คอมพิวเตอร์<br>ฝ่ายวิชาการ คณะครุศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย                          |
| พ.ศ. 2530        | ประธานบุคลากรจุฬาลงกรณ์มหาวิทยาลัย รุ่นที่ 14   |
| พ.ศ. 2531        | กรรมการรวบรวมข้อมูลงานวิจัยฯ ชาติเอกสมโภช<br>คณะครุศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย   |
| พ.ศ. 2532-2533   | หัวหน้าสำนักงาน ศูนย์คอมพิวเตอร์<br>ฝ่ายวิชาการ คณะครุศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย  |
| พ.ศ. 2533        | กรรมการระบบข้อมูลงานวิจัย<br>คณาจารย์คณะครุศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย   |
| พ.ศ. 2534        | วิศวกรระบบคอมพิวเตอร์<br>บริษัท บางกอก-ซากูระ ซอร์ฟแวร์ เซอร์วิส จำกัด  |

- พ.ศ. 2535                    วิศวกรประจำโครงการอาคารอัจฉริยะ  
สำนักงานใหญ่การไฟฟ้านครหลวงเพลนิจิต  
(ในสังกัดสำนักงานบริการวิชาการ จุฬาลงกรณ์มหาวิทยาลัย)
- พ.ศ. 2536                    ผู้จัดการฝ่ายการตลาด  
บริษัท ซีเอสโก้ (ประเทศไทย) จำกัด
- ปัจจุบัน                    - สมาชิกสโมสรอาจารย์จุฬาลงกรณ์มหาวิทยาลัย ประเภทตลอดชีพ  
- วิทยากรพิเศษและอาจารย์พิเศษหน่วยงานต่างๆทั้งในภาครัฐและเอกชน  
ทางด้านระบบคอมพิวเตอร์ คณิตศาสตร์และฟิสิกส์