

การปรับปรุงความคงทนต่อสัญญาณรบกวนในเฟสล็อกคูลูป

IMPROVED THE NOISE IMMUNITY OF PHASE-LOCKED LOOP

เทอดศักดิ์ อินทโชติ

TERDSAK INTACHOT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคณะวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-15-1278-3

การปรับปรุงความคงทนต่อสัญญาณรบกวนในเฟสล็อกคูลูป

IMPROVED THE NOISE IMMUNITY OF PHASE-LOCKED LOOP



เทอดศักดิ์ อินทโชติ

TERDSAK INTACHOT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-15-1278-3

เลขหมู่.....
เลขทะเบียน.....56643
วัน,เดือน,ปี 12 ก.ค. 2548



IMPROVED THE NOISE IMMUNITY OF PHASE-LOCKED LOOP

TERDSAK INTACHOT

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN CONTROL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2004

ISBN 974-15-1278-3

COPYRIGHT 2004

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การปรับปรุงความคงทนต่อสัญญาณรบกวนในเฟสล็อกคูลูป
นักศึกษา	นาย เท็ดศักดิ์ อินทโชติ
รหัสนักศึกษา	45060302
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมระบบควบคุม
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. โยธิน เปรมปราณีรัชต์

บทคัดย่อ

งานวิจัยทั่วไปเกี่ยวกับการสร้างสัญญาณนาฬิกาที่มีเสถียรภาพเพื่อจ่ายให้กับวงจรดิจิทัล มักจะใช้วิธีปรับแบนด์วิดท์หรือคิเลย์ท์ใหม่ของวงจรถ่ายโอนสัญญาณภายในระบบเฟสล็อกคูลูปเพื่อกำจัดสัญญาณรบกวนที่เข้ามาพร้อมสัญญาณอินพุต วิธีดังกล่าวสามารถกำจัดสัญญาณรบกวนที่เข้ามาที่สัญญาณอินพุตของระบบเฟสล็อกคูลูปได้เป็นช่วงเวลาสั้นๆ ในกรณีที่สัญญาณรบกวนที่มีขนาดใหญ่และมีช่วงเวลายาวนานเข้ามาที่อินพุตของเฟสล็อกคูลูปนั้นยังคงเป็นปัญหาอยู่วิทยานิพนธ์นี้ได้นำเสนอวิธีการที่จะกำจัดสัญญาณรบกวนที่มีขนาดใหญ่และมีช่วงเวลายาวนานเข้ามาที่อินพุตของระบบเฟสล็อกคูลูป วิธีนี้ทำได้โดยปรับปรุงวงจรถ่ายโอนสัญญาณแบบเดิมทั่วไป โดยการเพิ่มวงจรถ่ายโอนสัญญาณ วงจรนอยส์ดีเทกเตอร์ อนุพัทธ์สวิทช์ และอแคปทีฟฟิลเตอร์ ซึ่งทั้งหมดนี้นำมาต่อเพิ่มเข้าไปกับวงจรถ่ายโอนสัญญาณเพื่อปรับปรุงความคงทนต่อสัญญาณรบกวนของเฟสล็อกคูลูป

Thesis Title	Improved the Noise Immunity of Phase-Locked Loop
Student	Mr. Terdsak Intachot
Student ID.	45060302
Degree	Master of Engineering
Programme	Control Engineering
Year	2004
Thesis Advisor	Assoc. Prof. Dr. Yothin Prempraneerach

ABSTRACT

The most research about the method obtaining stable clock pulse distributed to the digital circuits would use the method to adjust the bandwidth or the delay time of the low-pass filter of phase locked loop(PLL) for rejection the noise. Such method can reject the noise which coupled to the input frequency of PLL for a short period. In case the high amplitude and long period noise coupled on the clock pulse line of the PLL input is still to be a problem. This thesis presents the method to suppress the high amplitude noise which coupled to the input frequency line of the PLL for a long period. This method is achieved by modification the general PLL with connecting the lock detector, noise detector circuits, the analog switch and adaptive fitter to the conventional PLL for improving the noise immunity of PLL.

กิตติกรรมประกาศ

การจัดทำวิทยานิพนธ์ในครั้งนี้สำเร็จลุล่วงไปด้วยดี เพราะว่าผู้วิจัยได้รับความเมตตากรุณาจาก รองศาสตราจารย์ ดร. โยธิน เปรมปราณีรัชต์ ที่ได้ให้ความกรุณาแนะนำแก่ผู้วิจัยตลอดมา รวมถึงการให้ความสนใจสอบถามถึงความคืบหน้าอย่างสม่ำเสมอ ทำให้ผู้วิจัยมีแรงบันดาลใจในการทำงานอย่างมีระบบและบริหารการใช้เวลาอย่างมีประสิทธิภาพ ผู้วิจัยรู้สึกซาบซึ้งและขอกราบขอบพระคุณอย่างสูง

ขอขอบพระคุณ ภาควิชาวิศวกรรมระบบควบคุม และ ศูนย์ทดสอบผลิตภัณฑ์ไฟฟ้าและอิเล็กทรอนิกส์ (PTEC) ที่เอื้อเฟื้ออุปกรณ์และเครื่องมือ ตลอดจนจนถึงสถานที่ รวมทั้งการอำนวยความสะดวก จนสามารถทำวิทยานิพนธ์ฉบับนี้เสร็จสิ้น

ขอขอบพระคุณอาจารย์ทุกท่านทุกสถาบัน ที่เคยสอนผู้วิจัย จนสามารถเรียนรู้และสร้างสมประสบการณ์มาทำเป็นวิทยานิพนธ์ฉบับนี้ได้

ขอบคุณเพื่อน พี่ น้อง ซึ่งเป็นกำลังใจที่ดี ตลอดการทำวิทยานิพนธ์เสมอมา และสุดท้ายขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่เคารพรักอย่างยิ่ง ที่ให้โอกาสแก่ผู้วิจัยได้เล่าเรียนจนถึงวันนี้ ตลอดจนสนับสนุนและให้กำลังใจเสมอมา

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่าน

เทิดศักดิ์ อินทโชติ

สารบัญ

	หน้า
บทคัดย่อ ภาษาไทย.....	I
บทคัดย่อ ภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
คำย่อและสัญลักษณ์.....	XII
บทที่ 1. บทนำ.....	1
1.1 วัตถุประสงค์ในการทำวิทยานิพนธ์.....	1
1.2 ขอบเขตของการศึกษา.....	1
1.3 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2. เฟสล็คคูลูป.....	3
2.1 บทนำ.....	3
2.2 โครงสร้างของเฟสล็คคูลูป.....	3
2.3 เฟสดีเทคเตอร์.....	6
2.3.1 วงจรตรวจจับเฟสแบบเอ็กซ์คูลชีฟ-ออร์เกท.....	6
2.3.2 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานแบบสองสเตท.....	9
2.3.3 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสามสเตท.....	11
2.4 ลูปฟิลเตอร์.....	14
2.4.1 วงจรกรองความถี่ต่ำอันดับ 1 แบบ R-C.....	16
2.4.2 วงจรกรองความถี่ต่ำแบบลีด-แลก (Lead-Lag).....	17
2.4.3 วงจรกรองความถี่ต่ำแบบลีด-แลกชนิดแอกทีฟฟิลเตอร์.....	18
2.5 วงจรออซซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันหรือวีซีโอ.....	19
2.5.1 โวลท์เตจคอนโทรลล์มัลติไวเบรเตอร์.....	20
2.5.2 รีโซแนนท์วีซีโอ.....	24
2.5.3 คริสตอลวีซีโอ.....	25

สารบัญ (ต่อ)

บทที่ 3. ชาร์จ-ปั๊ม เฟสลิ้อคูลูป.....	29
3.1 บทนำ.....	29
3.2 ส่วนเปรียบเทียบความถี่/เฟส และวงจรชาร์จ-ปั๊ม.....	29
3.3 พื้นฐานวงจรชาร์จ-ปั๊ม.....	35
3.4 พฤติกรรมทางไดนามิกของชาร์จ-ปั๊ม เฟสลิ้อคูลูป.....	36
3.5 การวิเคราะห์เสถียรภาพของชาร์จ-ปั๊ม เฟสลิ้อคูลูป.....	41
บทที่ 4 เฟสลิ้อคูลูปที่มีความคงทนต่อสัญญาณรบกวนสูง.....	43
4.1 บทนำ.....	43
4.2 อิทธิพลของสัญญาณรบกวนที่ความถี่อินพุทของเฟสลิ้อคูลูป.....	43
4.3 การออกแบบฟิลเตอร์แบบปรับค่าได้.....	45
4.4 โครงสร้างของเฟสลิ้อคูลูปที่ปรับปรุงแล้วและการออกแบบระบบ.....	49
4.5 วงจรน้อยสปีดเทคเตอร์.....	52
4.6 วงจรลือคคิตเทคเตอร์.....	53
บทที่ 5 การทดลองและผลการทดลอง.....	55
5.1 การหาค่าพารามิเตอร์ของเฟสลิ้อคูลูป.....	55
5.2 ผลของสัญญาณรบกวนต่ออินพุทของเฟสลิ้อคูลูป.....	57
5.3 การทดลองในส่วนของฟิลเตอร์แบบปรับค่าได้.....	62
5.4 การทดลองวงจรน้อยสปีดเทคเตอร์.....	64
5.5 การทดสอบวงจรลือคคิตเทคเตอร์.....	65
5.6 การทดสอบผลของเฟสลิ้อคูลูปที่ปรับปรุงแล้ว.....	66
บทที่ 6 สรุปผลการวิจัยและขอเสนอแนะ.....	70
6.1 บทสรุป.....	70
6.2 ข้อเสนอแนะและแนวทางการพัฒนา.....	70
บรรณานุกรม.....	72
ภาคผนวก.....	74

สารบัญ (ต่อ)

ภาคผนวก ก การทดสอบคุณลักษณะของเฟสลึกลับที่นำมาใช้ในงานวิจัย.....	75
ภาคผนวก ข การทดลองผลของการต่อบัฟเฟอร์ที่ฟิลเตอร์.....	78
ภาคผนวก ค วงจรที่ใช้ในการทดลอง.....	81
ภาคผนวก ง ผลงานวิจัยที่เกี่ยวข้องกับวิทยานิพนธ์.....	83
ประวัติผู้เขียน.....	90

สารบัญรูป (ต่อ)

รูปที่	หน้า
ก.2 การวัดหาค่าเวลาคงตัวของเฟสลื่นคูลูป.....	76
ข.1 แสดงการเปิดสวิตช์ SW1 เป็นเวลา 1 msec กับวงจร โลว์พาสฟิลเตอร์ที่ไม่มีบัฟเฟอร์.....	79
ข.2 แสดงการเปิดสวิตช์ SW1 เป็นเวลา 1 msec กับวงจร โลว์พาสฟิลเตอร์ที่มีบัฟเฟอร์.....	79
ค.1 แสดงวงจรที่ใช้ในการทดลอง.....	82

คำย่อและสัญลักษณ์

ω_i	หมายถึง	ความถี่เชิงมุมของสัญญาณอ้างอิง
ω_o	หมายถึง	ความถี่เชิงมุมของสัญญาณเอาต์พุต
V_d	หมายถึง	สัญญาณเอาต์พุตของเฟสดีเทคเตอร์
V_c	หมายถึง	สัญญาณเอาต์พุตของโลว์พาสฟิลเตอร์
θ_i	หมายถึง	เฟสของสัญญาณอินพุต
θ_o	หมายถึง	เฟสของสัญญาณเอาต์พุต
θ_e	หมายถึง	ความต่างเฟสระหว่างสัญญาณอินพุตและเอาต์พุต
K_p	หมายถึง	ค่าอัตราขยายของเฟสดีเทคเตอร์มีหน่วยเป็น V/rad
K_{vco}	หมายถึง	ค่าอัตราขยายของวีซีโอมีหน่วยเป็น rad/S/V
$F(s)$	หมายถึง	ทรานส์เฟอร์ฟังก์ชันของโลว์พาสฟิลเตอร์
V_{dm}	หมายถึง	ค่าสูงสุดของค่าเฉลี่ย V_d
V_H	หมายถึง	ระดับแรงดันลอจิกสูง
V_L	หมายถึง	ระดับแรงดันลอจิกต่ำ
V_U, V_D	หมายถึง	เอาต์พุตของวงจรตรวจจับเฟสและความถี่แบบ 3 สเตต
ω_n	หมายถึง	ค่าความถี่ธรรมชาติ
ζ	หมายถึง	แดมป์นิงแฟคเตอร์
ω_{LPF}	หมายถึง	ความถี่คัทออฟ
T	หมายถึง	ช่วงเวลาในการออซซิลเลต
$Fo(s)$	หมายถึง	ทรานส์เฟอร์ฟังก์ชันของระบบเปิด
$Fw(s)$	หมายถึง	ทรานส์เฟอร์ฟังก์ชันของระบบปิด
v_1	หมายถึง	เทสโวลต์ของวีซีโอแบบมัลติไวเบรเตอร์
V_R	หมายถึง	รีเวิร์คไบอัสของวาแรกเตอร์
V_{in}	หมายถึง	แรงดันอินพุตของวีซีโอ
V_f	หมายถึง	แรงดันป้อนกลับของวีซีโอ
V_{ref}	หมายถึง	แรงดันอินพุตของระบบเฟสล็อกคูลูป
V_o	หมายถึง	แรงดันป้อนกลับของระบบเฟสล็อกคูลูป
K_p	หมายถึง	ค่าอัตราขยาย
C	หมายถึง	ตัวเก็บประจุกรองแรงดัน
L	หมายถึง	ตัวอินดักเตอร์

R	หมายถึง	ตัวต้านทาน
r_p	หมายถึง	ความต้านทานที่เกิดจากการสูญเสียของตัวอินดักเตอร์
r_s	หมายถึง	ความต้านทานเสมือน
F	หมายถึง	ฟารัด (หน่วยของความจุไฟฟ้า)
Hz	หมายถึง	เฮิรตซ์ (หน่วยของความถี่)
π	หมายถึง	ค่าคงที่ ≈ 3.14
Ω	หมายถึง	โอห์ม (หน่วยของความต้านทาน)
μ	หมายถึง	ไมโคร (10^{-6})
F_o	หมายถึง	ความถี่เอาต์พุต
F_{ref}	หมายถึง	ความถี่อินพุต
k	หมายถึง	กิโล (10^3)
m	หมายถึง	มิลลิ (10^{-3})
M	หมายถึง	เมกะ (10^6)
n	หมายถึง	นาโน (10^{-9})
t	หมายถึง	เวลา
s	หมายถึง	วินาที
rad	หมายถึง	เรเดียน

บทที่ 1

บทนำ

1.1 วัตถุประสงค์ในการทำวิทยานิพนธ์

การจ่ายสัญญาณนาฬิกาโดยใช้เฟสล็อกกลายเป็นที่นิยมในระบบดิจิทัล เพราะเฟสล็อกสามารถทำเป็นวงจรถ่ายสัญญาณนาฬิกาได้ดีเนื่องจากมีราคาถูก และยังสามารถออกแบบเป็นวงจรถ่ายความถี่ได้หลายความถี่ ซึ่งสามารถออกแบบเป็นวงจรถ่ายสัญญาณนาฬิกาได้ง่ายและมีการแผ่กระจายคลื่นสัญญาณรบกวนทางอากาศน้อย ในระบบดิจิทัลที่ใช้เป็นตัวจ่ายสัญญาณนาฬิกาที่รวมเฟสล็อกเข้าไปในระบบ อิทธิพลของสัญญาณรบกวนบนสายส่งสัญญาณนาฬิกาที่เข้าไปที่อินพุทของเฟสล็อก จะทำให้เกิดปัญหาเฟสจitter ของสัญญาณนาฬิกา

งานวิจัยส่วนใหญ่ที่เป็นการศึกษาเกี่ยวกับวิธีการรักษาเสถียรภาพของสัญญาณนาฬิกาที่จ่ายเข้าไปในวงจรถ่ายสัญญาณ[3],[4] มักจะใช้วิธีการปรับค่าแบนด์วิดท์หรือค่าไทม์คอนสแตนต์ของวงจรถ่ายสัญญาณในเฟสล็อกเพื่อที่จะกำจัดสัญญาณรบกวนที่เข้ามา ซึ่งวิธีนี้จะสามารถกำจัดสัญญาณรบกวนที่เข้ามาที่อินพุทของระบบเฟสล็อกได้ในช่วงเวลาสั้นๆ ซึ่งในกรณีที่มีสัญญาณรบกวนที่มีขนาดใหญ่และมีช่วงเวลานาน ที่เข้ามาที่อินพุทของเฟสล็อกนั้นยังคงเป็นปัญหาอยู่

ในวิทยานิพนธ์นี้ได้เสนอวิธีการที่จะกำจัดสัญญาณรบกวนที่มีขนาดใหญ่และมีช่วงเวลานานที่เข้ามาที่อินพุทของระบบเฟสล็อก วิธีนี้ทำโดยการปรับปรุงวงจรถ่ายสัญญาณแบบเดิม โดยเพิ่มวงจรถ่ายสัญญาณ วงจรนอยส์ดีเทคเตอร์ และอะนาล็อกสวิตช์ ซึ่งทั้งหมดนี้นำมาต่อเพิ่มเข้าไปกับวงจรถ่ายสัญญาณเพื่อปรับปรุงความคงทนต่อสัญญาณรบกวนของระบบเฟสล็อก

1.2 ขอบเขตของการศึกษา

ในการศึกษาและออกแบบระบบเฟสล็อกที่มีความคงทนต่อสัญญาณรบกวนสูงให้มีการทำงานได้และมีประสิทธิภาพนั้น จำเป็นต้องศึกษาข้อมูลต่างๆดังต่อไปนี้คือ

1. ศึกษาโครงสร้างการทำงานของระบบเฟสล็อก และการออกแบบระบบ ซึ่งจะทำให้เกิดความเข้าใจในการทำงานในแต่ละส่วนของเฟสล็อก เพื่อที่จะนำไปสู่การออกแบบให้เป็นระบบเฟสล็อกที่มีเสถียรภาพ
2. ศึกษาและทำความเข้าใจการทำงานของ วงจรชาร์จ-ปั๊ม เฟสล็อก เพื่อที่จะนำไปสู่การปรับปรุงวงจรถ่ายสัญญาณที่มีความคงทนต่อสัญญาณรบกวนสูงได้
3. ศึกษาการใช้งาน โปรแกรมสำเร็จรูปซึ่งจะช่วยในการออกแบบและวิเคราะห์วงจร เช่น โปรแกรมมัลติซิม (Multisim) โปรแกรมพีสไปซ์ (Pspice) และโปรแกรมแมทแล็บ (Matlab)

1.3 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้จะแบ่งออกเป็น 6 บท โดยมีรายละเอียดของแต่ละบทดังนี้

บทที่ 1 วัตถุประสงค์และหลักการใหม่ในการทำวิทยานิพนธ์ พร้อมทั้งรายละเอียดของวิทยานิพนธ์แต่ละบท

บทที่ 2 อธิบายโครงสร้างและการทำงานของเฟสลึอกลุปรวมทั้งการหาแบบจำลองทางคณิตศาสตร์ ซึ่งจะแบ่งออกเป็น 3 ส่วน คือ ตัวเปรียบเทียบเฟสหรือเฟสฟรีคววนซี้ดีเทคเตอร์ โลว์พาสฟิลเตอร์และวีซีโอ

บทที่ 3 อธิบายพื้นฐานและการทำงานของ ชาร์จ-ปั้มเฟสลึอกลุป เฟสฟรีคววนซี้ดีเทคเตอร์ พฤติกรรมทางไดนามิกของชาร์จ-ปั้มเฟสลึอกลุป และการวิเคราะห์เสถียรภาพของชาร์จ-ปั้มเฟสลึอกลุป

บทที่ 4 อธิบาย โครงสร้างและการทำงานของเฟสลึอกลุปที่มีความคงทนต่อสัญญาณรบกวนสูง, อิทธิพลของสัญญาณรบกวนที่ความถี่อินพุทของเฟสลึอกลุป, การออกแบบตัวฟิลเตอร์แบบปรับค่าได้, การออกแบบวงจรน้อยสัคทีเทคเตอร์ และการออกแบบวงจรลึอกคิตีเทคเตอร์

บทที่ 5 จะนำเสนอการทดลองและทดสอบการทำงานส่วนประกอบต่างๆของระบบเช่น ฟิลเตอร์, ลึอกคิตีเทคเตอร์, น้อยสัคทีเทคเตอร์ และการทำงานเป็นเฟสลึอกลุปที่มีความคงทนต่อสัญญาณรบกวนสูง

บทที่ 6 ซึ่งเป็นบทสุดท้ายจะเป็นการสรุปผลการวิจัยและข้อเสนอแนะที่ได้จากการนำเสนอในวิทยานิพนธ์นี้

และในส่วนท้ายสุดของวิทยานิพนธ์นี้เป็นภาคผนวกแสดง การทดสอบคุณลักษณะของเฟสลึอกลุปที่นำมาใช้ในงานวิจัย การทดลองผลของการต่อบัฟเฟอร์ที่ฟิลเตอร์ วงจรที่ใช้ในการทดลอง ผลงานวิจัยที่ได้รับการตีพิมพ์ และประวัติผู้เขียน

บทที่ 2

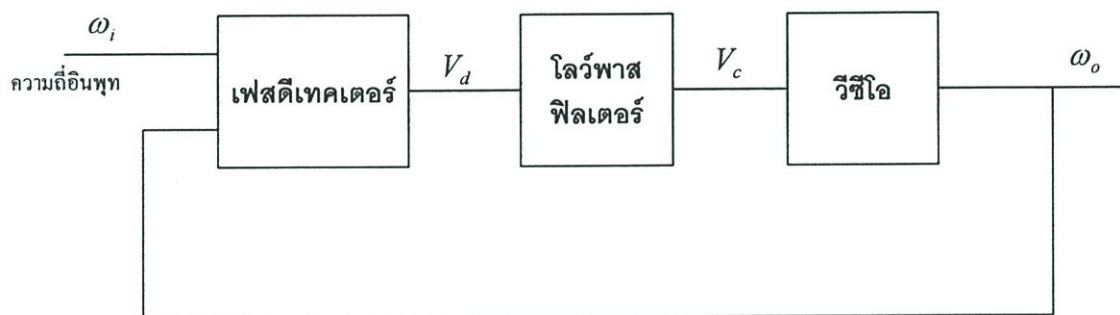
เฟสล็อกคูลูป

2.1 บทนำ

เฟสล็อกคูลูปเป็นระบบอิเล็กทรอนิกส์-เซอร์โวรูปที่ ใช้กันมากในระบบสื่อสารข้อมูล ระบบสังเคราะห์ความถี่ ระบบควบคุมความเร็ว และตลอดจนใช้งานร่วมกับไมโครโปรเซสเซอร์ เฟสล็อกคูลูปเป็นระบบควบคุมความถี่ที่มีสมรรถนะสูงให้ประสิทธิภาพการทำงานเป็นที่น่าพอใจอย่างยิ่ง ความถี่ที่เอาท์พุทของระบบสามารถแปรไปตามการเปลี่ยนแปลงใดๆของสัญญาณอินพุทได้อย่างฉับพลัน โดยอาศัยการเปรียบเทียบเฟสของสัญญาณทั้งสองให้ “ล็อก” กันอยู่ตลอดเวลา

2.2 โครงสร้างของเฟสล็อกคูลูป

เฟสล็อกคูลูปเป็นระบบป้อนกลับ ที่บังคับให้วงจรรอสซิงเลเตอร์หรือวีซีโอมีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก[2] เฟสล็อกคูลูปประกอบด้วยส่วนสำคัญ 3 ส่วน คือ เฟสดีเทคเตอร์ (phase detector) โลว์พาสฟิลเตอร์ (low pass filter) และวีซีโอ (voltage controlled oscillator) ดังแสดงไว้ในรูปที่ 2.1



รูปที่ 2.1 แสดงการทำงานเบื้องต้นของเฟสล็อกคูลูป

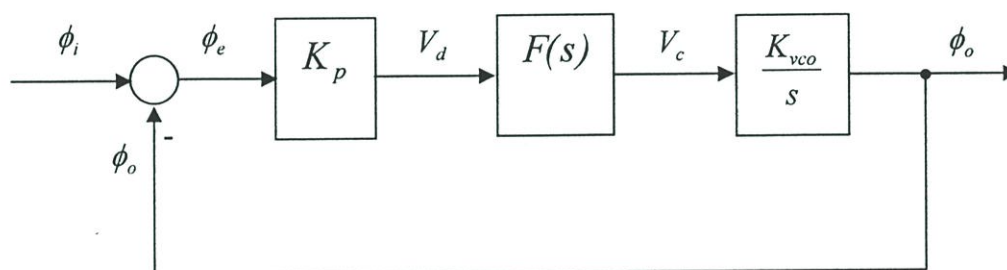
โดยที่สัญญาณต่าง ๆ ที่เกี่ยวกับวงจรเฟสล็อกคูลูปสามารถจำแนกได้ดังนี้

- ω_i คือ ความถี่เชิงมุมของสัญญาณอ้างอิง
- ω_o คือ ความถี่เชิงมุมของสัญญาณเอาท์พุท
- V_d คือ สัญญาณเอาท์พุทของเฟสดีเทคเตอร์
- V_c คือ สัญญาณเอาท์พุทของโลว์พาสฟิลเตอร์

เมื่อมีสัญญาณความถี่อ้างอิงภายนอก ที่เป็นสัญญาณรายคาบ (periodic) เข้ามาที่อินพุท เฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสระหว่างความถี่อ้างอิง กับความถี่ป้อนกลับจากวีซีโอ เอาท์พุทที่ได้จากเฟสดีเทคเตอร์ จะเป็นแรงดันที่มีขนาด เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณทั้งสอง แรงดันที่ได้นี้จะไปผ่านวงจร โวลท์พาสฟิลเตอร์เพื่อกำจัดความถี่สูงออกไปให้เป็นแรงดันไฟตรงเข้าไปยังอินพุทของวีซีโอเพื่อควบคุมความถี่ของวีซีโอต่อไป

เมื่อลูปอยู่ในสภาวะล๊อค ความถี่เอาท์พุทของวีซีโอจะเท่ากับความถี่ของสัญญาณอินพุท อาจจะมีเฟสที่แตกต่างกันออกไป แต่ค่าความต่างเฟสนั้นจะมีค่าคงที่ ในกรณีที่เฟสไม่ตรงกัน เฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของวีซีโอเพื่อให้ความต่างเฟสระหว่างสัญญาณทั้งสองลดลงจนกว่าจะเข้าสู่สภาวะล๊อคเอาท์พุทของวีซีโอจึงมีขนาดคงที่เสมอ และความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุทเสมอ

แบบจำลองทางคณิตศาสตร์ของเฟสล็อกคูลูปแสดงดังรูปที่ 2.2 โดยพิจารณาความถี่เอาท์พุทเป็นเฟสเอาท์พุท



รูปที่ 2.2 แสดงแบบจำลองทางคณิตศาสตร์ของเฟสล็อกคูลูป

โดยที่

ϕ_i	คือ	เฟสของสัญญาณอินพุท
ϕ_o	คือ	เฟสของสัญญาณเอาท์พุท
ϕ_e	คือ	ความต่างเฟสระหว่างสัญญาณอินพุทและเอาท์พุท
K_p	คือ	ค่าอัตราขยายของเฟสดีเทคเตอร์มีหน่วยเป็น V/rad
K_{vco}	คือ	ค่าอัตราขยายของวีซีโอมีหน่วยเป็น rad/S/V
$F(s)$	คือ	ทรานส์เฟอร์ฟังก์ชันของโวลท์พาสฟิลเตอร์

เฟสดีเทคเตอร์ทำหน้าที่เปรียบเทียบเฟสของสัญญาณเอาท์พุท กับเฟสของสัญญาณอ้างอิง และปรับสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ ซึ่งจะเป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณทั้งสอง โดยแสดงดังสมการ

$$V_d = K_d \cdot \phi_c \quad (2.1)$$

สัญญาณเอาต์พุตของเฟสดีเทคเตอร์ จะถูกรองโดยโลว์พาสฟิลเตอร์ ซึ่งจะเป็นตัวกำหนดผลตอบสนองชั่วขณะของระบบ โดยทรานส์เฟอร์ฟังก์ชันของโลว์พาสฟิลเตอร์จะเขียนแทนด้วย $F(s)$ ดังนั้นจะได้เอาต์พุตของโลว์พาสฟิลเตอร์คือ

$$V_c(s) = V_d \cdot F(s) \quad (2.2)$$

สัญญาณเอาต์พุตของโลว์พาสฟิลเตอร์จะควบคุมความถี่เอาต์พุตของวีซีโอ ซึ่งจะทำให้ความถี่ของวีซีโอมีการเปลี่ยนแปลง ($\Delta\omega$) ไปจากความถี่กลาง (center frequency) ดังนั้นจะได้

$$\Delta\omega(s) = K_{vco} \cdot V_c(s) \quad (2.3)$$

เนื่องจากความถี่ก็คือเฟสที่เปลี่ยนแปลงตามเวลา นั่นคือ

$$\omega = \frac{d\phi}{dt} \quad (2.4)$$

ดังนั้นจากสมการที่ 2.3 สามารถเขียนใหม่ได้คือ

$$\frac{d\phi}{dt} = K_{vco} \cdot V_c(s) \quad (2.5)$$

เมื่อใช้เทคนิคของลาปลาซทรานส์ฟอร์ม สามารถเขียนสมการที่ (2.5) ได้ใหม่คือ

$$\phi_o(s) = \frac{K_{vco} \cdot V_c(s)}{s} \quad (2.6)$$

ดังนั้นสัญญาณเอาต์พุตของวีซีโอ จะเป็นสัดส่วนกับการอินทิเกรตสัญญาณอินพุตของวีซีโอ จากสมการที่ (2.1), (2.2) และ (2.6) สามารถหาอัตราส่วนระหว่าง $\phi_o(s)/\phi_i(s)$ หรือ ทรานส์เฟอร์ฟังก์ชันของระบบปิด (closed-loop transfer function) ได้ดังนี้

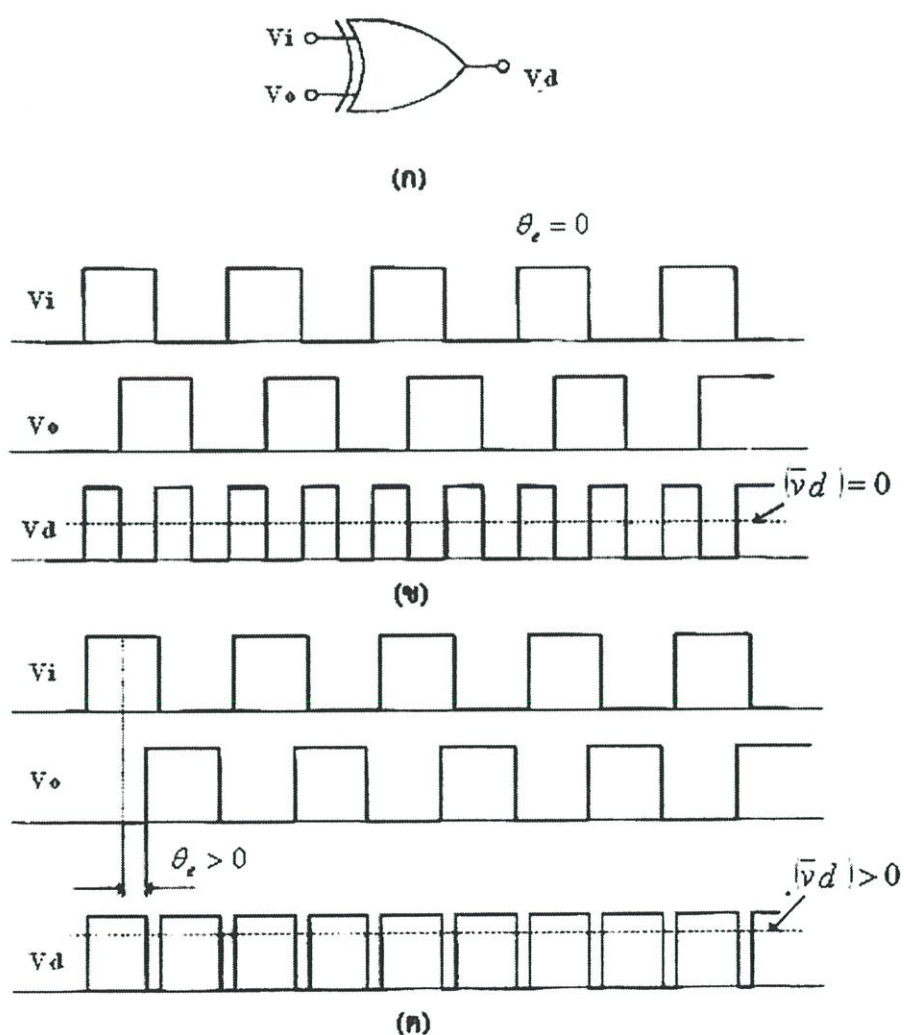
$$\frac{\phi_o(s)}{\phi_i(s)} = \frac{K_p \cdot K_{vco} \cdot F(s)}{s + K_p \cdot K_{vco} \cdot F(s)} \quad (2.7)$$

โดยรูปแบบสุดท้ายของสมการที่ได้จะขึ้นอยู่กับชนิดของ โลว์พาสฟิลเตอร์ที่เลือกใช้

2.3 เฟสดีเทกเตอร์

เฟสดีเทกเตอร์หรือตัวเปรียบเทียบเฟสเป็นส่วนหนึ่งของระบบเฟสล็อกคูลูป ซึ่งจะทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณความถี่อ้างอิงกับสัญญาณความถี่เอาต์พุต แล้วสร้างสัญญาณเอาต์พุตที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณทั้งสอง

2.3.1 วงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท



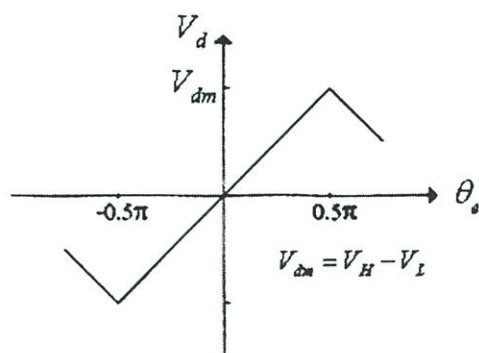
รูปที่ 2.3 วงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท

- (ก) สัญลักษณ์เอ็กซ์คูลซีฟ-ออร์เกท ที่ใช้เป็นวงจรตรวจจับเฟส
- (ข) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเท่ากับศูนย์
- (ค) รูปสัญญาณที่ค่าความต่างเฟสเป็นค่าบวก

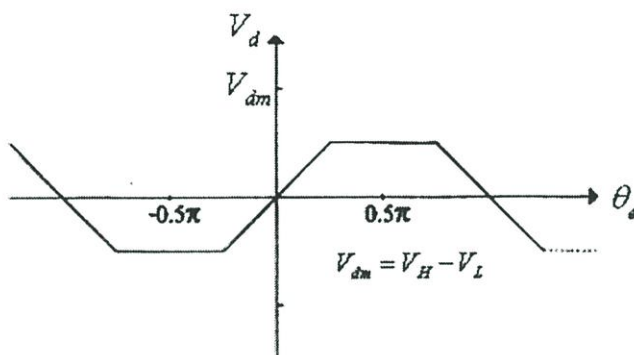
วงจรอิเล็กทรอนิกส์พี-ออร์เกทเป็นวงจรตรวจจับเฟสแบบดิจิทัลที่มีการทำงานเหมือนกับตัวคูณสัญญาณด้วยการโอเวอร์ไดร์แรงดันที่เอาท์พุทในขณะที่ปรากฏระดับของสัญญาณอินพุทเข้ามาและยังให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยมโดยเอาท์พุทที่ได้จากการคูณจะเป็นค่าอิมพัลส์ของแรงดันบวก ซึ่งสอดคล้องกับค่าของลอจิกสูง หรือเป็นค่าอิมพัลส์ของแรงดันลบ ที่สอดคล้องกับค่าลอจิกต่ำ สำหรับเงื่อนไขของการคูณนั้น สามารถสรุปได้ดังตารางที่ 2.1 โดยเอาท์พุท V_d จะให้ค่าแรงดันอิมพัลส์เป็นบวก เมื่อระดับของสัญญาณอินพุท V_i และ V_o ทั้งสองสัญญาณต่างก็มีค่าเป็นลบหรือบวกด้วยกันทั้งคู่ และเอาท์พุท V_d จะให้ค่าแรงดันอิมพัลส์เป็นลบ เมื่อระดับแรงดันอินพุทใดอินพุทหนึ่งเป็นบวก และอีกอินพุทหนึ่งเป็นลบ ดังนั้นถ้าเปรียบเทียบกับตารางที่ 2.1 ซึ่งเป็นตารางค่าความจริงของการคูณ กับตารางที่ 2.2 ซึ่งเป็นตารางค่าความจริงของวงจรอิเล็กทรอนิกส์พี-ออร์เกท ที่มีสัญลักษณ์ดังในรูปที่ 2.3(ก) โดยการแทนระดับแรงดันลอจิกสูง V_H ด้วยเครื่องหมาย (+) และระดับแรงดันลอจิกต่ำ V_L ด้วยเครื่องหมาย (-) แล้วจะเห็นว่าอิเล็กทรอนิกส์พี-ออร์เกทสามารถนำมาใช้เป็นวงจรตรวจจับเฟสที่ทำงานเป็นเหมือนตัวคูณสัญญาณ(ลอจิก)ได้

ในรูปที่ 2.3 ได้แสดงให้เห็นถึงเอาท์พุทของวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์พี-ออร์เกทที่มีค่าความต่างเฟส (θ_e) ต่างๆกัน โดยจะสมมุติว่าสัญญาณอินพุท V_i กับ V_o ที่เข้ามานั้นมีความสมมาตร กล่าวคือมีดิฟเฟอเรนซ์เฟสเท่ากับ 50 เปอร์เซ็นต์ ซึ่งอยู่ในรูปที่ 2.3 (ข) เมื่อค่า θ_e เท่ากับศูนย์ คือสัญญาณอินพุท V_i และ V_o มีต่างเฟสกันอยู่ $\pi/2$ จะทำให้สัญญาณเอาท์พุท V_d ที่ได้จะเป็นสัญญาณสี่เหลี่ยมที่มีค่าความถี่เป็นสองเท่าของสัญญาณอินพุทและให้ค่าดิฟเฟอเรนซ์เฟสเท่ากับ 50 เปอร์เซ็นต์ เนื่องจากความถี่สูงสัญญาณเอาท์พุท V_d จะถูกกรองทิ้งไปด้วยวงจรกรองรูป ดังนั้นจึงพิจารณาเพียงแค่ค่าเฉลี่ย (\bar{v}_d) ของ V_d ตามเส้นประในรูปที่ 2.3 (ข) เท่านั้น ซึ่งค่า \bar{v}_d นี้จะเป็นค่าที่คำนวณได้จากค่ากลาง (mean) ของระดับลอจิกสูง (V_H) และระดับลอจิกต่ำ (V_L) กล่าวคือ ถ้าวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์พี-ออร์เกท ได้รับการจ่ายไฟจากแหล่งจ่าย 5 โวลต์ ค่า \bar{v}_d ที่ได้จะมีค่าโดยประมาณ 2.5 โวลต์เท่านั้น ซึ่งระดับแรงดันที่ค่านี้เรียกว่า จุดสงบนิ่ง (Quiescent Point) ของวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์พี-ออร์เกท ที่จะถูกกำหนดให้มีค่าเป็นศูนย์นับจากนี้ไป ด้วยเหตุนี้ถ้าสัญญาณอินพุท V_o ถ้าหลังสัญญาณอินพุทอ้างอิง V_i (นับจากจุดสงบนิ่ง) ค่าของ θ_e ก็จะกลายเป็นบวกดังในรูปที่ 2.3 (ค) ค่าดิฟเฟอเรนซ์เฟสของ V_d ที่ได้จึงมีค่ามากกว่า 50 เปอร์เซ็นต์ และเป็นผลให้ \bar{v}_d มีค่าเป็นบวกเพิ่มขึ้น ดังนั้นค่า \bar{v}_d จะมีค่าสูงสุดที่ค่าของความต่างเฟส θ_e เท่ากับ $\pi/2$ และมีค่าต่ำสุดที่ค่าของความต่างเฟส θ_e เท่ากับ $-\pi/2$ ในรูปที่ 2.4 (ก) แสดงกราฟคุณสมบัติของวงจรตรวจจับเฟสแบบอิเล็กทรอนิกส์พี-ออร์เกทที่ได้จากการพล็อตค่าเฉลี่ยแรงดัน \bar{v}_d เทียบกับค่าความต่างเฟส θ_e ซึ่งจะให้ผลเป็นรูปสามเหลี่ยม และภายในช่วงที่เป็นเชิงเส้นของ $0.5\pi < \theta_e < 0.5\pi$ ค่าเฉลี่ย \bar{v}_d จะเป็นสัดส่วนโดยตรงกับค่าของ θ_e ดังสมการที่ (2.8) คือ

$$\bar{v}_d = K_p \theta_e \quad (2.8)$$



(ก)



(ข)

รูปที่ 2.4 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คูลูซีฟ-ออร์เกท

(ก) เมื่อสัญญาณอินพุต V_i และ V_o มีความสมมาตร

(ข) เมื่อสัญญาณอินพุต V_i และ V_o ไม่มีความสมมาตร เป็นผลให้ V_{dm} มีค่าลดลง

ซึ่งในกรณีของวงจรตรวจจับเฟสแบบเฟสเอ็กซ์คูลูซีฟ-ออร์เกทนี้ อัตราขยายของวงจร (K_p) จะมีค่าคงที่เมื่อแหล่งจ่ายที่ป้อนให้กับวงจรตรวจจับเฟสแบบเฟสเอ็กซ์คูลูซีฟ-ออร์เกท คือระดับลอจิกแรงดันสูง V_H และต่ำ V_L ตามลำดับ ดังนั้นอัตราขยายของวงจรตรวจจับเฟสแบบเฟสเอ็กซ์คูลูซีฟ-ออร์เกท (K_d) ในช่วง $0.5\pi < \theta_e < 0.5\pi$ จะมีค่าเท่ากับ

$$K_p = \frac{V_{dm}}{0.5\pi} \quad (2.9)$$

เมื่อ V_{dm} คือค่าสูงสุดของค่าเฉลี่ย \bar{v}_d ซึ่งเท่ากับ $V_{dm} = V_H - V_L$ ดังนั้นจะได้

$$K_p = \frac{V_H - V_L}{0.5\pi} \quad (2.10)$$

ถ้าในกรณีที่สัญญาณอินพุต V_i และ V_o ที่เข้ามามีความไม่สมมาตร กล่าวคือค่าความถี่ที่เข้าไม่ถึงเท่ากับ 50 เปอร์เซ็นต์ ค่าสูงสุดของแรงดันเฉลี่ย (V_{dm}) ที่ได้จะลดลง ดังกราฟแสดงคุณสมบัติของวงจรในรูปที่ 2.4 (ข)

ตารางที่ 2.1 แสดงตารางค่าความจริงของการคูณ

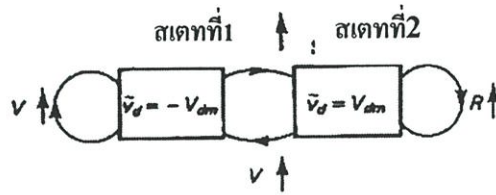
V_i	V_o	V_d
(-)	(-)	(+)
(-)	(+)	(-)
(+)	(-)	(-)
(+)	(+)	(+)

ตารางที่ 2.2 แสดงตารางค่าความจริงของเอ็กซ์คลูซีฟ-ออร์เกท

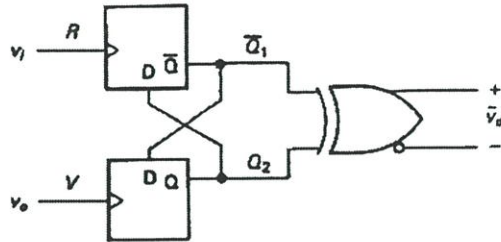
V_i	V_o	V_d
V_L	V_L	V_L
V_L	V_H	V_H
V_H	V_L	V_H
V_H	V_H	V_L

2.3.2 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานแบบสองสเตท

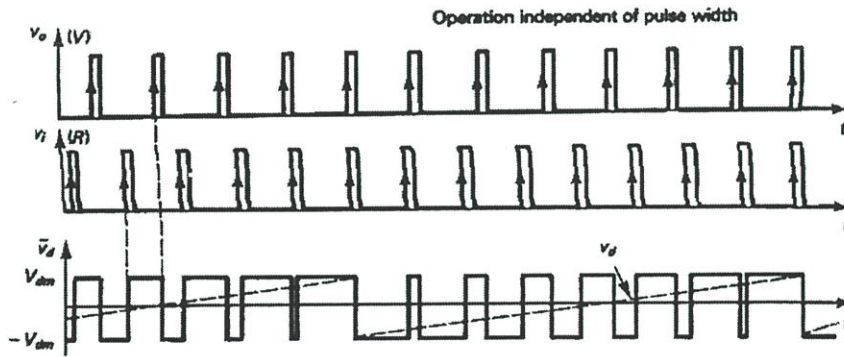
วงจรตรวจจับเฟสและความถี่แบบสองสเตท (2-state PFD) สร้างขึ้นได้จากองค์ประกอบของ edge triggered reset flip-flop ดังแสดงในรูปที่ 2.5 (ข) อินพุตของวงจร V_i ต่อเข้ากับ R และ V_o จะต่อเข้ากับ V การทำงานของวงจรตรวจจับเฟสและความถี่แบบสองสเตท เป็นไปตามสเตทไดอะแกรมในรูปที่ 2.5(ก) ส่วนสำคัญของวงจรตรวจจับเฟสและความถี่แบบสองสเตทคือ ไทม์มิงไดอะแกรมของรูปคลื่น V_o และ V_i ที่มีการเปลี่ยนแปลงเฟสและความถี่ ซึ่งจะทำให้เกิดผลเฉลี่ยของ \tilde{V}_d ซึ่งแปรไปตามเฟสเออเรอร์ (θ_e) อย่างเป็นเชิงเส้นอย่างต่อเนื่องตลอดช่วง $-\pi$ กับ π ยังผลให้วงจรตรวจจับเฟสและความถี่แบบสองสเตท มีคุณสมบัติของ \tilde{V}_d ต่อเฟสเออเรอร์เป็นรูปของฟันเลื่อย (saw tooth) ดังแสดงในรูปที่ 2.5 (ง) และไทม์มิงไดอะแกรมของ V_o , V_i และ \tilde{V}_d แสดงดังในรูปที่ 2.5(ค)



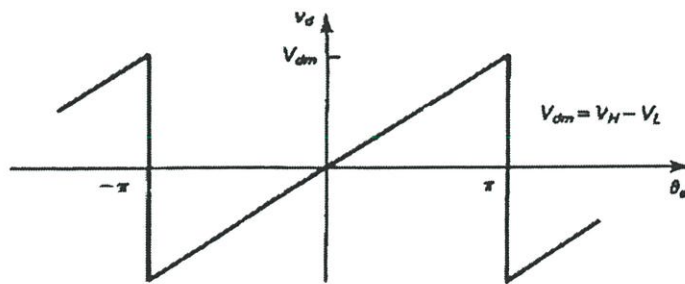
(ก)



(ข)



(ค)



(ง)

รูปที่ 2.5 แสดงวงจรตรวจจับเฟสและความถี่แบบสองสแตท

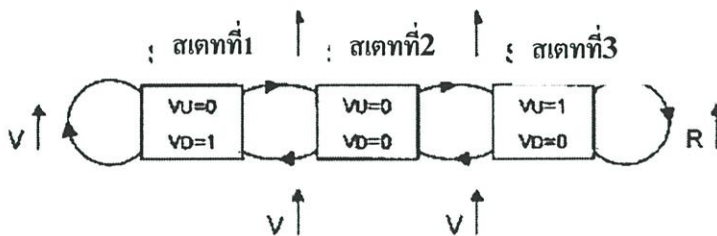
- (ก) สแตทไดอะแกรมของวงจรที่มีการเปลี่ยนสถานะตามขอบขาขึ้นของสัญญาณอินพุต
- (ข) โครงสร้างทางวงจรไฟฟ้า
- (ค) สัญญาณเอาต์พุต V_d ที่ได้จากการเปลี่ยนสถานะของสแตท
- (ง) กราฟแสดงคุณสมบัติของวงจร ตรวจจับเฟสและความถี่แบบสองสแตท

และอัตราขยายของวงจรถววจับเฟสและความถี่แบบสองสเตทเท่ากับ

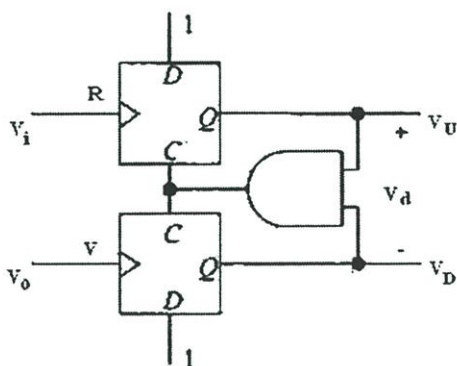
$$K_p = V_{dm} / \pi = (V_H - V_L) / \pi \quad (2.11)$$

2.3.3 วงจรถววจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสามสเตท

วงจรถววจับเฟสและความถี่แบบสามสเตท (3-state PFD)[3] เป็นวงจรถววจับเฟสแบบดิจิทัลอีกวงจรหนึ่งที่ทำให้กราฟคุณสมบัติของวงจรเป็นแบบรูปสามเหลี่ยม และเป็นวงจรที่มีความสำคัญต่อการนำมาใช้ขยายสถานะของสเตท เพื่อที่จะทำให้ได้มาซึ่งช่วงคุณสมบัติของวงจรถววจับเฟสที่กว้างขึ้น วงจรถววจับเฟสและความถี่แบบสามสเตทได้ถูกนำมาใช้งานอย่างกว้างขวาง เพราะเนื่องจากมีช่วงคุณสมบัติของวงจรที่กว้างถึง $\pm 2\pi$ เรเดียน และสัญญาณเอาต์พุต (V_d) ที่ได้ไม่เพียงแต่จะขึ้นอยู่กับค่าความคลาดเคลื่อนของเฟส θ_e เท่านั้นแต่ยังขึ้นอยู่กับความคลาดเคลื่อนทางความถี่ ($\Delta\omega = \omega_i - \omega_o$) อีกด้วย การทำงานของวงจรมันจะถูกกระตุ้นจากขอบของสัญญาณอินพุต V_i และ V_o ที่เข้ามาทางขั้วอินพุต R และ V ตามลำดับ ซึ่งจะไปทำให้วงจรมีการเปลี่ยนสถานะของสเตทตามสเตทไดอะแกรมที่ถูก กำหนดไว้ดังรูปที่ 2.6 ที่แสดงให้เห็นถึงโครงสร้างพื้นฐานและการทำงานของวงจรถววจับเฟสและความถี่แบบสามสเตทในรูปที่ 2.6 (ก) นั้นจะเป็นสเตทไดอะแกรมของวงจรที่จะเปลี่ยนสถานะของสเตทไปตามขอบขาขึ้นของสัญญาณที่เข้ามาทางขั้วอินพุต R และ V โดยที่ขอบขาขึ้นของ R จะทำให้วงจรมีการเปลี่ยนสถานะไปยังสเตทที่สูงขึ้น ขณะที่ขอบขาขึ้นของ V จะทำให้มีการลดสถานะของวงจรถววจับมาซึ่งสเตทที่ต่ำกว่า



(ก)



(ข)

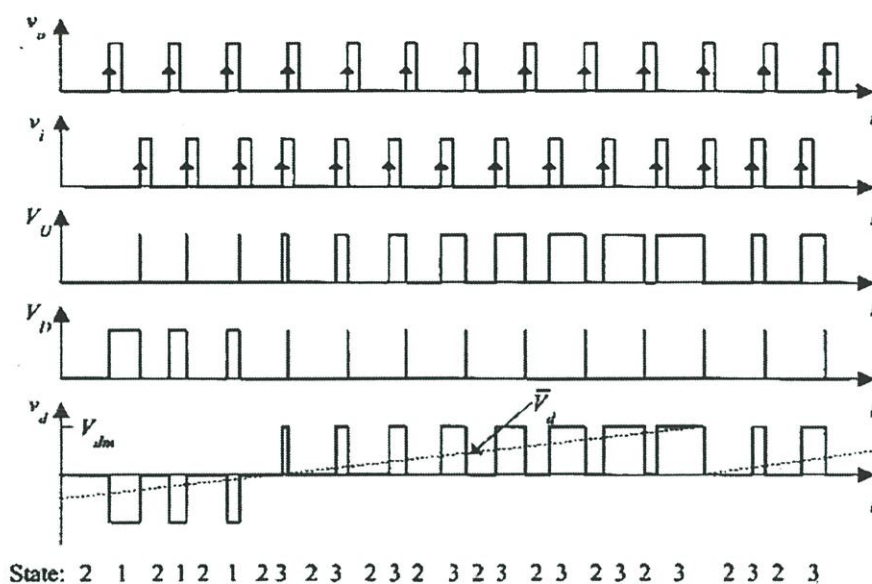
รูปที่ 2.6 วงจรตรวจจับเฟสและความถี่แบบสามสเตท

(ก) สเตทไคอะแกรมของวงจรที่มีการเปลี่ยนสถานะตามขอบขาขึ้นของสัญญาณอินพุต

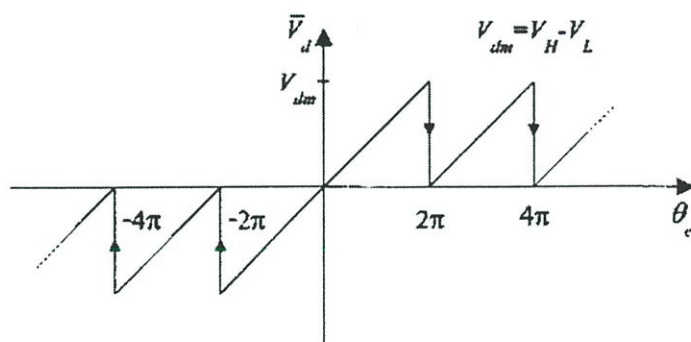
(ข) โครงสร้างทางวงจรไฟฟ้า

สมมุติว่าการทำงานของวงจรมันเริ่มต้นอยู่ในสเตทที่ 1 ดังนั้นเมื่อปรากฏการสลับกันเข้ามาของขอบขาขึ้น สัญญาณพัลส์ที่ขาอินพุต R และ V จะทำให้วงจรมุนเวียนเปลี่ยนสถานะสลับสเตทไปมาระหว่างสเตทที่ 1 กับสเตทที่ 2 แต่ถ้าวัดมีช่วงที่ขอบขาขึ้นของสัญญาณอินพุต V ไปตกอยู่หลังสัญญาณอินพุต R และเป็นเช่นนั้นตลอดไปคังทมิมิ่งไคอะแกรมของรูปที่ 2.7 (ก) จนกระทั่งปรากฏขอบขาขึ้นของสัญญาณอินพุต R เข้ามาสองครั้งโดยปราศจากการแทรกของขอบขาขึ้นของสัญญาณอินพุต V วงจรก็จะเปลี่ยนสถานะของสเตทไปยังสเตทที่ 3 และการมุนเวียนเปลี่ยนสถานะระหว่างสเตทที่ 2 สลับกับสเตทที่ 3 ก็จะเกิดขึ้นอีกครั้งตามพัลส์ ของสัญญาณอินพุตที่ยังคงผลัดกันเข้ามาอย่างต่อเนื่อง โครงสร้างพื้นฐานของวงจรตรวจจับเฟสและความถี่แบบสามสเตทนั้นจะแสดงอยู่ในรูปที่ 2.6 (ข) ซึ่งประกอบด้วยคู่ของลอจิกเอ๊าท์พุท V_D และ V_U โดยมีสัญญาณอินพุต R และ V ต่ออยู่กับฟลิปฟลอปแบบ D-Type ของแต่ละตัวและจะให้ค่าแรงดันเอ๊าท์พุทที่ขา Q (V_U และ V_D) ในขณะที่มีการเปลี่ยนสถานะของสเตทตามรูปที่ 2.6 (ก) สำหรับขาอินพุต C หรือขา Clear ของฟลิปฟลอปทั้งสองนั้นจะถูกต่อเข้ากับเอ๊าท์พุทของ แอนด์-เกต ซึ่งได้รับสัญญาณอินพุตมาจากขา Q ของฟลิปฟลอปเพื่อรีเซ็ตให้วงจรตรวจจับเฟสและความถี่แบบ

สามสแตท กลับไปยังสถานะของสแตทเริ่มต้นใหม่ เมื่อสัญญาณพัลส์ที่ขั้วอินพุต R และ V ปรากฏเข้ามาพร้อมกันหรือฟลิปฟลอปทั้งสองอยู่ในสถานะเซตทั้งคู่ ด้วยเหตุนี้วงจรจึงสามารถตรวจจับสัญญาณอินพุตที่เกิดขึ้นพร้อมกันได้โดยไม่สูญเสียสัญญาณอินพุตใดอินพุตหนึ่งไปจนเป็นเหตุให้เกิดค่าผิดพลาดขึ้นที่เอาต์พุต



(ก)



(ข)

รูปที่ 2.7 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสามสแตท

(ก) สัญญาณเอาต์พุต V_d ที่ได้จากการเปลี่ยนสถานะของสแตท

(ข) กราฟแสดงคุณสมบัติของวงจร ตรวจจับเฟสและความถี่แบบสามสแตท

ในรูปที่ 2.7 (ข) เป็นกราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสามสแตท ระหว่างค่าความต่างเฟส θ_c กับค่าเฉลี่ย (\bar{v}_d) ของแรงดันเอาต์พุต V_d ที่ผ่านวงจรกรองความถี่ต่ำมาแล้ว โดยให้ช่วงคุณสมบัติของวงจรที่เป็นเชิงเส้นได้ไม่เกิน $\pm 2\pi$ เรเดียน สังเกตว่า เมื่อความถี่เฟส θ_c มีค่าเกินช่วง 2π และ -2π เรเดียนไปแล้ววงจรจะให้ช่วงคุณสมบัติกลับมาซ้ำ

ไซ้เกิดทุกๆ 2π และ -2π เรเดียนอีกครั้ง ทั้งนี้เนื่องมาจากเมื่อวงจรทำงานอยู่ในสถานะของสเตตที่ 3 ค่า θ_c จะยังคงมีค่าเพิ่มขึ้นไปเรื่อยๆ (สัญญาณพัลส์ที่ขั้วอินพุท V ตามหลังสัญญาณพัลส์ที่ขั้วอินพุท R อย่างต่อเนื่อง) ดังนั้นการเปลี่ยนสถานะของสเตตก็จะสลับไปมาระหว่างสเตตที่ 2 กับสเตตที่ 3 เท่านั้น ในทำนองเดียวกันนี้ก็จะเกิดขึ้นกับช่วงที่ θ_c ให้ค่าเป็นลบ คือ เมื่อปรากฏสัญญาณพัลส์ที่ขั้วอินพุท V นำหน้าสัญญาณพัลส์ที่ขั้วอินพุท R และเป็นไปอย่างต่อเนื่อง วงจรก็มีการสลับสถานะไปมาระหว่างสเตตที่ 1 กับ สเตตที่ 2 เพียงเท่านั้น สำหรับในการทำงานของวงจรเมื่อเป็นตัวตรวจจับความถี่ที่จะให้แรงดันเอาต์พุทขึ้นอยู่กับค่าความคลาดเคลื่อนของความถี่นั้น ซึ่งถ้าปรากฏว่าความถี่ของสัญญาณอินพุทอ้างอิง V_i สูงกว่าความถี่ของสัญญาณอินพุท $V_0 (\omega_i > \omega_0)$ ค่า θ_c จะมีค่าเพิ่มขึ้นเมื่อเทียบกับเวลาทำให้ค่าเฉลี่ย \bar{V}_d ยังคงมีค่าเป็นบวกเพิ่มขึ้นไปจนถึงค่าสูงสุด (V_{dm}) ที่ค่า θ_c เท่ากับ 2π เรเดียน ทำให้ค่าเฉลี่ย \bar{V}_d มีค่าเท่ากับแรงดันเอาต์พุทสูงสุดที่ค่า V_{dm} ในสเตตที่ 3 อย่างรวดเร็วเมื่อเทียบกับเวลา ซึ่งทำนองเดียวกันถ้าความถี่ ของสัญญาณอินพุทอ้างอิง V_i ต่ำกว่าความถี่ของสัญญาณอินพุท $V_0 (\omega_i < \omega_0)$ ค่าของ θ_c ก็จะมีค่าลดลงไปเรื่อยๆ และจะเป็นผลให้ค่าเฉลี่ย \bar{V}_d มีค่าเป็นลบเพิ่มขึ้นจนถึงค่าลบต่ำสุดเท่ากับ $(-V_{dm})$ ในสเตตที่ 1 อย่างรวดเร็ว ที่ θ_c เท่ากับ -2π เรเดียน

เมื่อวงจรตรวจจับเฟสและความถี่แบบสามสเตตอยู่ในสเตตที่ 3 จะให้ค่าเอาต์พุท V_d สูงสุด ซึ่งก็คือ $V_d = V_{dm} = (V_H - V_L)$ ดังนั้นจากกราฟแสดงช่วงคุณสมบัติในรูปที่ 2.7 (ข) ทำให้สามารถหาอัตราขยายของวงจรตรวจจับเฟสและความถี่แบบสามสเตตได้ดังสมการที่ (2.12) คือ

$$K_d = \frac{V_d}{2\pi} \quad (2.12)$$

เมื่อ V_{dm} คือค่าสูงสุดของค่าเฉลี่ยแรงดันเอาต์พุทเมื่อผ่านวงจรกรองความถี่ต่ำมาแล้วซึ่งจะมีค่าเท่ากับ $V_{dm} = V_H - V_L$ ดังนั้นจากสมการที่ (2.12) จะได้

$$K_p = \frac{V_H - V_L}{2\pi} \quad (2.13)$$

โดยที่ V_H คือค่าของแรงดันลอจิกสูง และ

V_L คือค่าของแรงดันลอจิกต่ำ

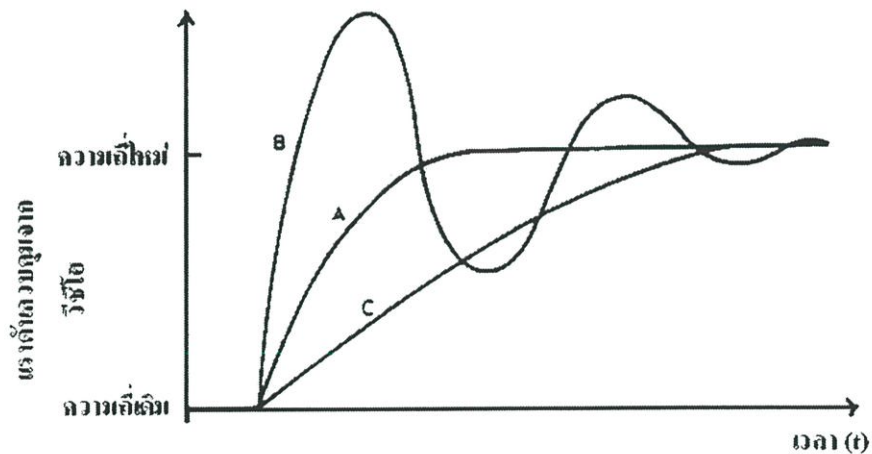
2.4 ลูปฟิลเตอร์

ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อกคูลูป หน้าที่ของวงจรมีได้แก่ การควบคุมการลอค ,แคปเจอร์(capture) ,แบนด์วิดท์ และการตอบสนองค่าทรานเชี่ยลของลูป สำหรับ

ลูปฟิลเตอร์ในที่นี้ก็คือวงจรชนิดโวลต์พาซธรรมชาติ ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของวีซีโอ ลูปฟิลเตอร์เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงก่อนเข้าสู่สภาวะลือก ที่เรียกว่า คุณสมบัติชั่วคราว (transient) ถ้าเลือกอัตราขยายของลูป (loop gain) และค่าคงตัวของลูป (loop time constant) ไม่เหมาะสมความถี่ของเฟสลือกลูปจะไม่ลือก และเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้นค่าคงตัวของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสลือกลูปจะลือกได้เร็วโดยไม่มีแกว่ง หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั้นหรือไม่นิ่ง (jitter) รูปที่ 2.8 ซึ่งแสดงการเปลี่ยนความถี่ของวีซีโอ จะเห็นว่าการเปลี่ยนแปลงแรงดันมี 3 แบบ แบบ A เป็นเรียกว่า คริติคอลแดมป์ (critical damp) ใช้เวลาในการเปลี่ยนเข้าสู่ความถี่ใหม่ น้อยที่สุด แบบ B เรียกว่า อันเดอร์แดมป์ (under damp) มีการสลับเนื่องจากโอเวอร์ชูต แบบ C เป็นโอเวอร์แดมป์ (over damp) ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

ดังนั้นจะเห็นว่า แบบ A เป็นแบบที่ดีที่สุดในการออกแบบค่าคงตัวของลูปฟิลเตอร์เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชูต



รูปที่ 2.8 คุณลักษณะในการเปลี่ยนความถี่ของเฟสลือกลูป

หน้าที่ของโวลต์พาซฟิลเตอร์ในเฟสลือกลูป มีหน้าที่ใหญ่ ๆ อยู่ 2 ประการคือ

1. ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบกับเฟส โดยการใช้อนุมัติการกำจัดสัญญาณรบกวน และเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (average dc voltage) เพื่อนำไปควบคุมวงจรวีซีโอ
2. ทำหน้าที่ควบคุมการทำงานของลูปซึ่งขึ้นอยู่กับเงื่อนไขต่าง ๆ ดังนี้

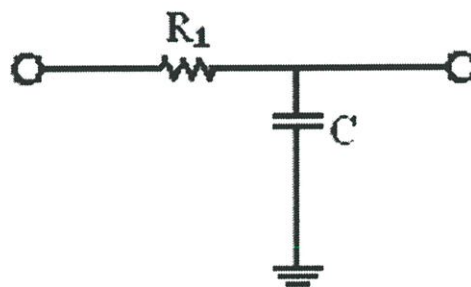
- แคปเจอร์และล็อกเรนจ์(lock-range)
- แบนด์วิท
- การตอบสนองต่อทรานเซียนต์

เนื่องจากโลว์พาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างอุปแล้ว ยังเป็นตัวควบคุมการแคปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อกคูลูป การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

- ขบวนการแคปเจอร์จะช้าลงและฟูอินไทม์ (full in time) เพิ่มขึ้น
- ช่วงแคปเจอร์จะลดลง
- คุณสมบัติต้านอินเตอร์เฟอเรนซ์ (interference rejection) ของเฟสล็อกคูลูปจะดีขึ้นเพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป
- ผลตอบสนองชั่วขณะของเฟสล็อกคูลูปต่อการเปลี่ยนทันทีของสัญญาณ เข้าสู่ช่วงความถี่แคปเจอร์จะอยู่ในลักษณะภายใต้การแคมปี

ในระบบเฟสล็อกคูลูปจะมีโลว์พาสฟิลเตอร์เป็นส่วนประกอบอยู่เสมอ เราจะกล่าวถึงวงจรโลว์พาสฟิลเตอร์ที่นิยมใช้กันมีอยู่ 3 แบบดังนี้

2.4.1 วงจรกรองความถี่ต่ำอันดับ 1 แบบ R – C



รูปที่ 2.9 แสดงโลว์พาสฟิลเตอร์อันดับ 1 โดยใช้ R – C

ทรานส์เฟอร์ฟังก์ชันของโลว์พาสฟิลเตอร์ คือ

$$F(s) = \frac{I}{I + R_1 \cdot Cs} \quad (2.14)$$

เมื่อแทนสมการที่ 2.14 ลงไป ในสมการที่ 2.7 จะได้

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_p \cdot K_{vco} / R_1 \cdot C}{s^2 + s / R_1 \cdot C + K_p \cdot K_{vco} / R_1 \cdot C} \quad (2.15)$$

เมื่อพิจารณาเทอมส่วนของ สมการที่ได้ เปรียบเทียบกับสมการอันดับสองมาตรฐาน

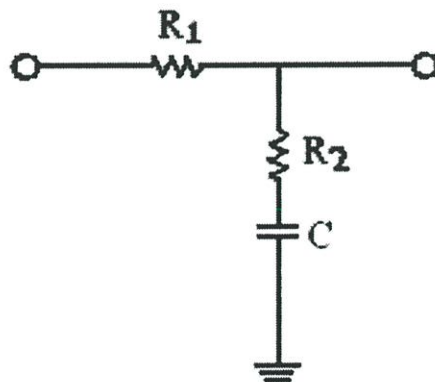
$$s^2 + 2\zeta\omega_n s + \omega_n^2 \quad (2.16)$$

ดังนั้นจะสามารถหาค่าของความถี่ธรรมชาติของลูป (loop natural frequency , ω_n) และค่าของแดมปีงแฟกเตอร์ (damping factor , ζ) ได้คือ

$$\omega_n = \sqrt{K_p \cdot K_{vco} \cdot \omega_{LPF}} \text{ rad/s} \quad (2.17)$$

$$\zeta = \frac{1}{2} \sqrt{\frac{\omega_{LPF}}{K_{vco} \cdot K_p}} \quad (2.18)$$

2.4.2 วงจรกรองความถี่ต่ำแบบลีด-แลก (Lead-Lag)



รูปที่ 2.10 แสดงวงจร ลีด - แล็ก อันดับหนึ่ง

ทรานส์เฟอร์ฟังก์ชันของ โลว์พาสฟิลเตอร์แบบลีด-แลก คือ

$$F(s) = \frac{R_2 \cdot Cs + 1}{(R_1 + R_2)Cs + 1} \quad (2.19)$$

เมื่อแทนสมการที่ 2.20 ลงไปในสมการที่ 2.7 จะได้

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_p \cdot K_{vco} [(R_2 \cdot Cs + 1) / (R_1 + R_2)C]}{s^2 + [(1 + K_p \cdot K_{vco} \cdot R_2 \cdot C) / (R_1 + R_2)C]s + K_p \cdot K_{vco} / (R_1 + R_2)C} \quad (2.20)$$

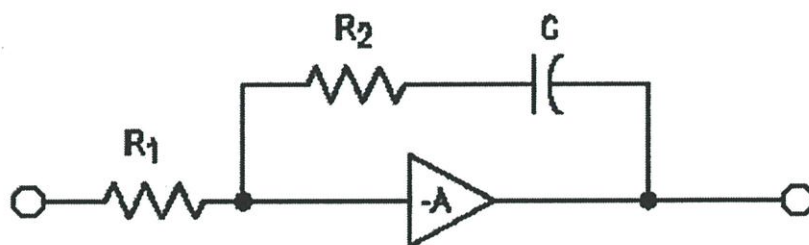
ดังนั้นจะได้ค่าความถี่ธรรมชาติ

$$\omega_n = \sqrt{\frac{K_p \cdot K_{vco}}{(R_1 + R_2)C}} \text{ rad/s} \quad (2.21)$$

และแอมป์แฟคเตอร์หาได้จากสมการ

$$\zeta = \frac{1}{2} \cdot \omega_n \left[R_2 \cdot C + \frac{1}{K_p \cdot K_{vco}} \right] \quad (2.22)$$

2.4.3 วงจรกรองความถี่ต่ำแบบสี่-แลกชนิดแอกทีฟฟิลเตอร์



รูปที่ 2.11 แสดงวงจรแอกทีฟฟิลเตอร์

ทรานส์เฟอร์ฟังก์ชันของแอกทีฟฟิลเตอร์คือ

$$F(s) = \frac{R_2 \cdot Cs + 1}{R_1 \cdot Cs} \quad (2.23)$$

เมื่อแทนสมการที่ 2.25 ลงไปในสมการที่ 2.7 จะได้

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d \cdot K_o (1 + R_2 C s)}{s^2 + \frac{(K_d \cdot K_o \cdot R_2) s}{R_1} + \frac{K_d \cdot K_o}{R_1 \cdot C}} \quad (2.24)$$

ดังนั้นจะได้ค่าความถี่ธรรมชาติ

$$\omega_n = \sqrt{\frac{K_d \cdot K_o}{R_1 \cdot C}} \text{ rad/s} \quad (2.25)$$

และแอมป์แฟคเตอร์หาได้จากสมการ

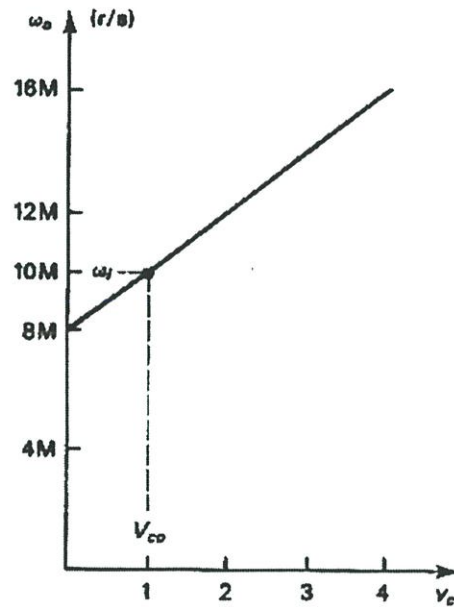
$$\zeta = \frac{R_2 \cdot C}{2} \sqrt{\frac{K_d \cdot K_o}{R_1 \cdot C}} \quad (2.26)$$

2.5 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันหรือวีซีโอ

วีซีโอที่ใช้กับเฟสล็อกคัลป์มีทั้งชนิดที่ให้ความถี่เอาต์พุตเป็นรูปคลื่นสี่เหลี่ยมและรูปคลื่นซายน์ โดยทั่วไปแล้วช่วงการใช้งานของความถี่เอาต์พุตของวีซีโอจะต้องมีความเป็นเชิงเส้น และในขณะที่ไม่มีสัญญาณเข้ามาที่อินพุตของวีซีโอหรือ $V_c = 0$ วีซีโอสามารถออกแบบให้สร้าง ความถี่กลางขึ้นมาค่าหนึ่งหรือกำหนดให้มีความถี่ต่ำสุดได้ ในการออกแบบเฟสล็อกคัลป์วีซีโอมักจะเป็นส่วนที่ต้องพิจารณามากที่สุดเพราะว่ามีลักษณะพิเศษของระบบอย่างเช่นเสถียรภาพของระบบ และเสถียรภาพของความถี่

คุณสมบัติของวีซีโอที่ใช้ในเฟสล็อกคัลป์สามารถพิจารณาได้ดังนี้

1. คุณสมบัติของการเปลี่ยนแรงดันเป็นความถี่ที่เป็นเชิงเส้น
2. มีช่วงการใช้งานที่กว้างหรือมีค่าอัตราขยายที่สูง
3. มีเสถียรภาพทางความถี่ที่ดี
4. ถ้าความถี่เอาต์พุตเป็นรูปคลื่นซายน์ควรจะเป็นสัญญาณที่บริสุทธิ์หรือควรจะเป็นคลื่นที่คงที่สม่ำเสมอ (spectral purity)



รูปที่ 2.12 แสดงตัวอย่างกราฟคุณลักษณะของวีซีโอในช่วงที่เป็นเชิงเส้น

จากรูปที่ 2.12 แสดงตัวอย่างกราฟคุณลักษณะของวีซีโอในช่วงที่เป็นเชิงเส้น จะเห็นว่าถ้า V_c แปรค่าตั้งแต่ 0–4 โวลต์ ความถี่เอาต์พุทของวีซีโอจะอยู่ในช่วง 8–16 Mrad/s ดังนั้นสามารถหาค่าอัตราขยายคงที่ของวีซีโอได้ดังสมการ

$$K_o = \frac{d\omega_o}{dV_c} \quad (2.27)$$

ในหัวข้อนี้เราจะพิจารณาวีซีโอ 3 แบบคือ โวลต์เตจคอนโทรลล์ดีไวเบรเตอร์ (voltage-controlled multivibrator) รีโซแนนท์วีซีโอ (resonant oscillator) และ คริสตอลออสซิลเลเตอร์ (crystal oscillator) [11] ซึ่งแต่ละแบบจะมีข้อดีและข้อเสียที่แตกต่างกัน

2.5.1 โวลต์เตจคอนโทรลล์ดีไวเบรเตอร์

ในรูปที่ 2.13 แสดงถึงวงจรของโวลต์เตจคอนโทรลล์ดีไวเบรเตอร์ที่มี v_c เป็นแรงดันอินพุทที่มีความสัมพันธ์กับกระแส i_c คือ $i_c = \frac{(V_c - 0.6)}{R}$ และ $\frac{T}{2} = \frac{V_1 C_x}{i_c}$, ($i_c = C_x \frac{dV_1}{dt}$)

เมื่อ $\frac{T}{2}$ คือ ช่วงเวลาในการชาร์จประจุของคาปาซิเตอร์โดย v_1

V_1 คือ ความแตกต่างระหว่างเทสโวลเตจ(threshold voltage) หรือระหว่าง 2 โวลต์ กับ 3 โวลต์

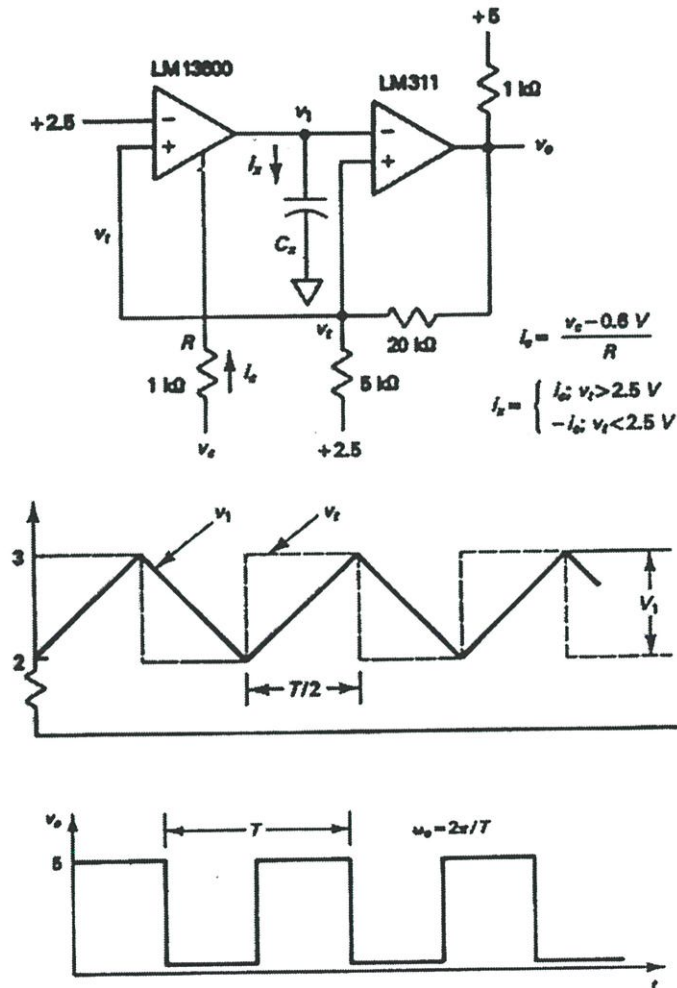
T คือ ช่วงเวลาในการออสซิลเลต

0.6 คือ ค่าแรงดันที่ทำให้ความถี่เริ่มเปลี่ยน[2]

ดังนั้น

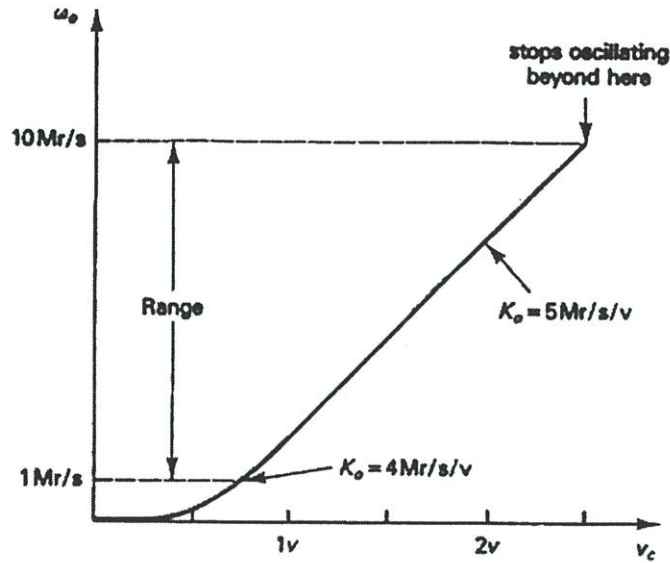
$$\omega_o = \frac{2\pi}{T}$$

$$\omega_o = \frac{\pi}{V_1 \cdot R \cdot C_x} (V_c - 0.6) \quad (2.28)$$



รูปที่ 2.13 แสดงวงจรโวลท์เดจคอนโทรลล์มัลติไวเบรเตอร์

ชิปไอซีวีซีไอสำเร็จรูปที่มีขายทั่วไปเราจะต้องต่อ C_x อยู่ภายนอกตัวไอซีเพื่อให้ผู้ใช้สามารถเลือกความถี่ใช้งาน จากสมการที่ (2.31) กำหนดให้ $R = 1k\Omega$, $V_1 = 1V$ และ $C_x = 628pF$ เราจะได้ $\omega_o = (5Mrad/s/V)(V_c - 0.6)$ คุณสมบัติของวงจรวิธีนี้แสดงเหมือนในรูปที่ 2.14

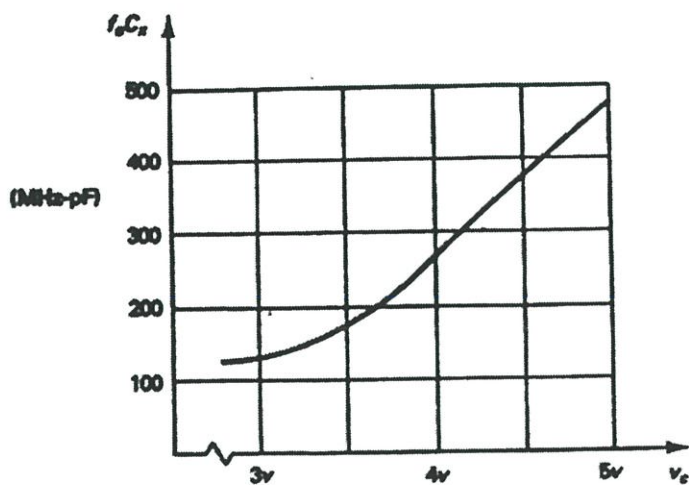


รูปที่ 2.14 แสดงกราฟคุณสมบัติของวงจรโวลต์ที่แตกคอนโทรลมัลติไวเบรเตอร์

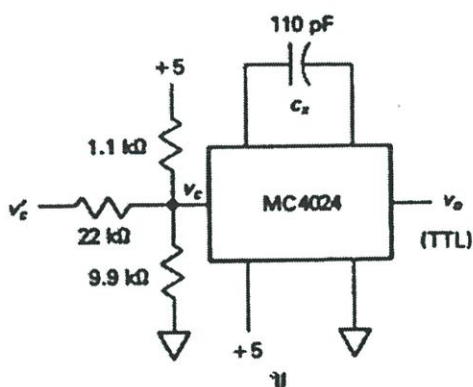
วงจรไอซีของวีซีโอตามรูปที่ 2.13 ที่มีขายในท้องตลาดได้แก่ไอซีของบริษัทโมโตโรล่า MC 4024 ซึ่งมีคุณสมบัติดังแสดงในรูปที่ 2.15ก ซึ่งแสดงถึงความสัมพันธ์ระหว่าง $f_o C_x$ กับ V_c เราควรกำหนดให้ V_c อยู่ที่จุดกึ่งกลางของช่วงที่เป็นเชิงเส้นคือ 4.3 โวลต์จะได้ $f_o C_x = 330 \text{ MHz}$ เราเลือก $C_x = 110 \text{ pF}$ จะทำให้ได้ $f_o = \frac{330}{110} = 3 \text{ MHz}$ หรือ $\omega_o = 2\pi f_o = 18.8 \text{ Mrad/s}$ เรากำหนดให้ V_c เปลี่ยนแปลงอยู่ในช่วงที่เป็นเชิงเส้นของคุณสมบัติของวีซีโอคือ มีค่าอยู่ในช่วงระหว่าง 3.7 โวลต์ ถึง 4.9 โวลต์ f_o จะมีค่าอยู่ระหว่าง 1.8 MHz ถึง 4.2 MHz หรืออยู่ในรูปของความถี่กลางเท่ากับ 3.0 MHz ดังแสดงในรูปที่

2.15ค และจะสามารถหาค่าอัตราขยายของวีซีโอได้ เท่ากับ

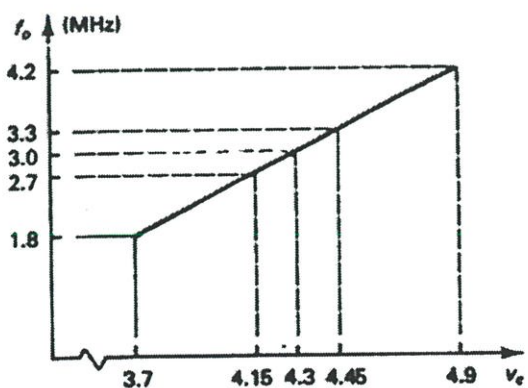
$$K_o = \frac{2\pi(4.2 - 1.8 \text{ MHz})}{(4.9 - 3.7 \text{ v})} = 12.6 \text{ Mrad/s/v}$$



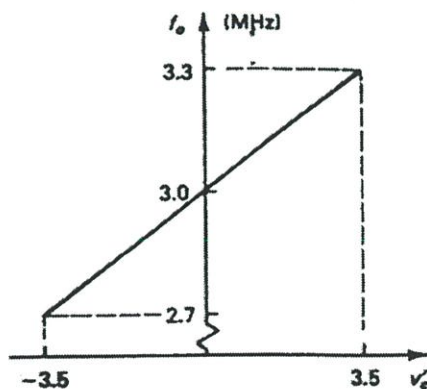
ก.



ข.



ก.



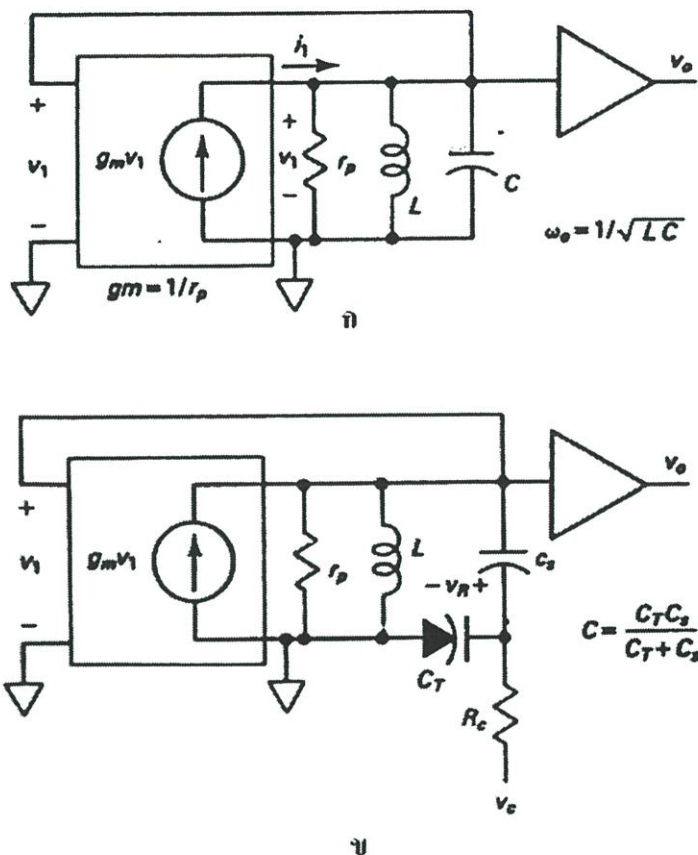
ข.

รูปที่ 2.15 แสดงคุณสมบัติของวีซีโอที่เป็นไอซีเบอร์ MC4024

ในการประยุกต์ใช้วีซีโอในระบบเฟสล็อกบางครั้งจำเป็นต้องจำกัดช่วงการทำงานของวีซีโอเพื่อรักษาไม่ให้เฟสล็อกหลุดกับความถี่ที่ไม่ถูกต้อง (harmonic) หรือเพื่อลดเวลาที่ใช้การเข้าสู่ภาวะล็อก

2.5.2 รีโซแนนท์วีซีโอ

รีโซแนนท์ออสซิลเลเตอร์ สามารถทำงานที่ความถี่สูงได้มากกว่าพวกโคลท์เตจคอนโทรลล์มัลติไวเบรเตอร์ และมีผลกระทบจากสัญญาณรบกวน, อุณหภูมิ และแหล่งจ่ายน้อย

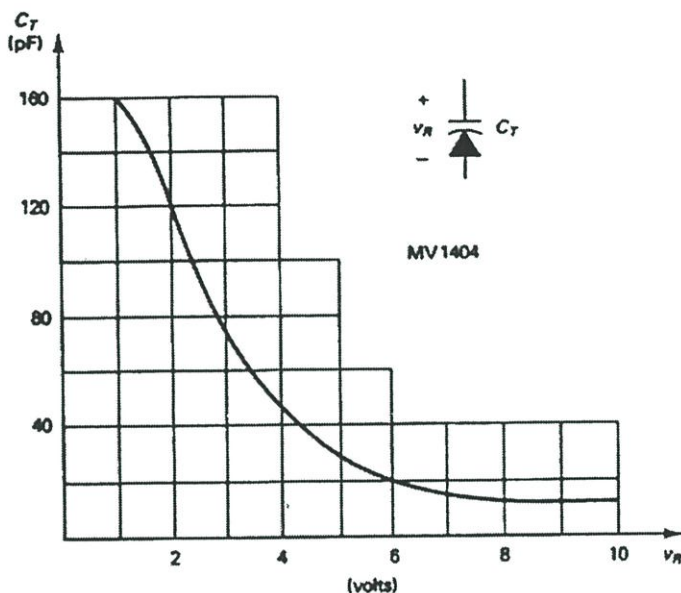


รูปที่ 2.16 แสดงหลักการการทำงานของวงจรรีโซแนนท์ออสซิลเลเตอร์

รูปที่ 2.16 แสดงถึงหลักการการทำงานของวงจรรีโซแนนท์ออสซิลเลเตอร์ ซึ่งจะประกอบด้วยวงจรแอลซีเทงก์แบบขนาน (tank LC parallel) จะเป็นตัวแปลงกระแส i_1 ไปเป็นแรงดัน V_1 โดยที่ r_p คือความต้านทานที่เกิดจากการสูญเสียของกระแส i_1 และ ตัวอินดักเตอร์ และจะมีความถี่รีโซแนนท์ ω_o เท่ากับ

$$\omega_o = \frac{1}{\sqrt{LC}} \quad (2.29)$$

เราสามารถควบคุมความถี่รีโซแนนท์ได้โดยการปรับค่าคาปาซิเตอร์ในทางอิเล็กทรอนิกส์ก็จะสามารถแปลงวงจรรอสซิลเลเตอร์ไปเป็นวงจรวีซีโอได้ วงจรรอสซิลเลเตอร์ในรูปที่ 2.16 ประกอบด้วยวาเรกเตอร์ไดโอด (varactor diode) เป็นส่วนหนึ่งของคาปาซิแตนซ์แทงก์ (tank capacitance) วาเรกเตอร์คือ รีเวิร์ค-ไบอัส ไดโอด (reverse-biased diode) ที่มีค่า C_T (junction capacitance) เป็นฟังก์ชันกับการรีเวิร์คไบอัส (V_R) ตัวอย่างคุณสมบัติของวาเรกเตอร์แสดงดังในรูปที่ 2.17



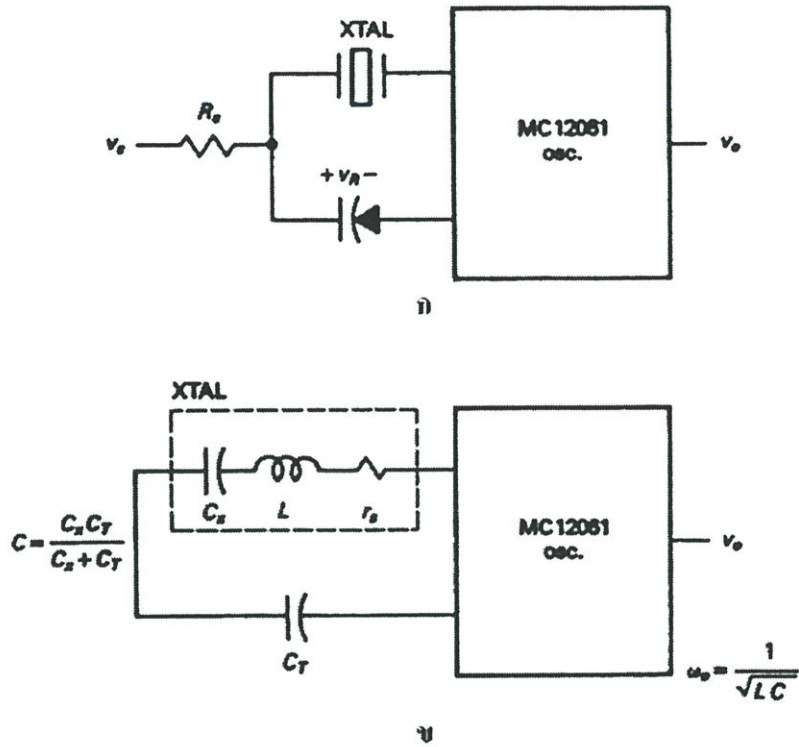
รูปที่ 2.17 แสดงคุณสมบัติของวาเรกเตอร์ไดโอด

V_R ของวาเรกเตอร์จะถูกควบคุมด้วยแรงดัน V_c ผ่านทางบัฟเฟอร์รีซิสแตนซ์ (buffer resistance) หรือ R_c เพื่อกำจัดกระแสที่ไหลเข้าสู่วงจรถ่วงคัต ดังนั้นเราจะได้ $V_c = V_R$ (เมื่อ V_c เปลี่ยนแปลงอย่างช้าๆ) และค่าคาปาซิแตนซ์รวม $C = \frac{C_s \cdot C_T}{(C_s + C_T)}$ เมื่อ C_s ใช้สำหรับบล็อกระแสดี.ซีทีที่ไหลผ่าน R_c และ L

2.5.3 คริสตอลวีซีโอ

เมื่อการประยุกต์ใช้งานบางอย่างต้องการให้ระบบเฟสล็อกคูลูปมีค่าแบนด์วิทต่ำมากๆ ไม่เป็นการเหมาะสมที่จะลดแบนด์วิทด้วยการลดค่าอัตราขยายของระบบให้ต่ำลงมากๆ ซึ่งจะเป็นผลให้ V_c ถูกลดทอนลงอย่างมากทำให้มีขนาดค้ำเมื่อเทียบกับสัญญาณรบกวนซึ่งอาจจะเป็นปัญหาในการใช้งานได้ การทำให้อัตราขยายของวีซีโอ (K_o) มีค่าน้อยทำได้ด้วยการใช้คริสตอลออสซิลเลเตอร์เป็นวีซีโอ ซึ่งจะเรียกว่า โวลท์เตจคอนโทรลคริสตอลออสซิลเลเตอร์ (voltage controlled crystal

oscillator) หรือ วิชี่เอ็กซ์โอ วงจรของวิชี่เอ็กซ์โอแสดงดังในรูปที่ 2.18 ซึ่งมีวาแรกเตอร์เป็นตัวเลขความถี่



รูปที่ 2.18 แสดงวงจรโวลท์เตจคอนโทรลคริสตอลออสซิลเลเตอร์หรือวิชี่เอ็กซ์โอ

วงจรสมมูลย์ของคริสตอลแสดงได้เป็นวงจรอนุกรม $R-L-C$ ดังแสดงในรูปที่ 2.18x จากโมเดลของ L และ C_x เราจะได้ความสัมพันธ์ดังต่อไปนี้

$$\omega_{oo} = \frac{1}{\sqrt{L \cdot C_{x_o}}} \quad (2.30)$$

$$\frac{1}{C_{x_o}} = \frac{1}{C_x} + \frac{1}{(30 \text{ pF})} \quad (2.31)$$

เมื่อ $\omega_{oo} = \omega_o$ และ $C_T = 30 \text{ pF}$ [2]

r_s คือความต้านทานเสมือน

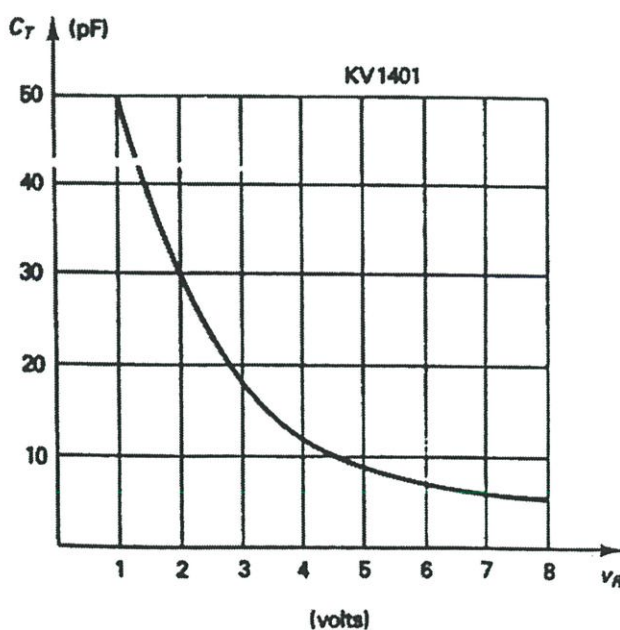
และสามารถหาความถี่ในการออสซิลเลตได้คือ

$$\omega_o = \frac{1}{\sqrt{L.C}} \quad (2.32)$$

เมื่อ

$$\begin{aligned} \frac{1}{C} &= \frac{1}{C_x} + \frac{1}{C_T} \\ &= \frac{1}{C_{x0}} + \frac{1}{C_T} - \frac{1}{(30\text{ pF})} \end{aligned} \quad (2.33)$$

เนื่องจากคาปาซิเตอร์ C_x มีค่าต่ำมาก ๆ คือประมาณ 0.001pF ดังนั้น C_T จึงต้องมีค่าน้อยด้วยจึงสามารถปรับเปลี่ยนความถี่ได้ ในรูปที่ 2.19 แสดงถึงคุณสมบัติของวาเรกเตอร์ที่มีค่าคาปาซิแตนซ์ต่ำมาก ๆ ที่ C_T เท่ากับ 5 pF



รูปที่ 2.19 แสดงคุณสมบัติของวาเรกเตอร์ที่มีค่าคาปาซิแตนซ์ต่ำ

เราจะสามารถหาค่าความถี่โซแนนท์ (ω_o) ที่มีความสัมพันธ์กับค่า C_T และ C_{x0} ได้ดังนี้

$$\omega_o = \frac{\sqrt{\frac{1}{C_{x0}} + \frac{1}{C_T} - \frac{1}{(30\text{ pF})}}}{\sqrt{L}}$$

$$= \frac{\sqrt{1 + \frac{C_{xo}}{C_T} - \frac{C_{xo}}{(30pF)}}}{\sqrt{L \cdot C_{xo}}} \quad (2.34)$$

$$= \omega_{oo} \cdot \sqrt{1 + \frac{C_{xo}}{C_T} - \frac{C_{xo}}{(30pF)}}$$

$$\approx \omega_{oo} \cdot \left(1 + 0.5 \frac{C_{xo}}{C_T} - 0.5 \frac{C_{xo}}{30pF}\right)$$

หรือ

$$\omega_o - \omega_{oo} \approx 0.5 \cdot \omega_{oo} \cdot C_{xo} \cdot \left(\frac{1}{C_T} - \frac{1}{30pF}\right)$$

การประมาณข้างต้นได้จากสมการ $\sqrt{1+x} \approx 1 + \frac{x}{2}$ ในกรณีที่ $x \ll 1$

บทที่ 3

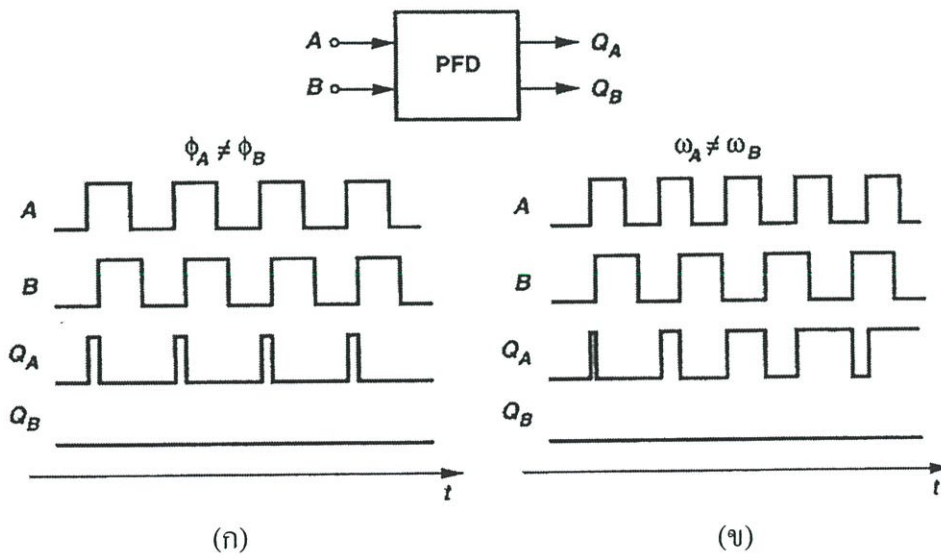
ชาร์จ-ปั๊ม เฟสล็อกคูลูป

3.1 บทนำ

วงจรชาร์จ-ปั๊ม(charge-pump)[5],[9] เฟสล็อกคูลูปเป็นการรวมกันของ วงจรเฟสฟรีแควนซี และวงจรชาร์จ-ปั๊มเข้าไว้ด้วยกัน ซึ่งวงจรชาร์จ-ปั๊มจะวางแทนที่ระหว่าง เฟสดีเทคเตอร์กับ โลว์พาสฟิลเตอร์ ในเฟสล็อกคูลูปแบบเดิม โดยวงจรชาร์จ-ปั๊มนี้อาจทำหน้าที่รับ-ส่ง กระแสที่เป็นสัดส่วนกับเฟสเออร์เรอร์ที่อินพุทของเฟส/ฟรีแควนซีดีเทคเตอร์(Phase/Frequency Detector) แล้วส่งไปให้วงจร โลว์พาสฟิลเตอร์ เพื่อส่งแรงดันไปควบคุมความถี่ที่วีซีโอ

3.2 ส่วนเปรียบเทียบเฟส/ความถี่ และวงจรชาร์จปั๊ม

วงจรที่สามารถตรวจจับได้ทั้งเฟสและความถี่ได้ เราเรียกว่า เฟส/ฟรีแควนซี ดีเทคเตอร์ รูปที่ 3.1 แสดงหลักการของวงจรเฟส/ฟรีแควนซี ดีเทคเตอร์ ซึ่งวงจรจะสร้างสถานะลอจิกออกมาได้ 3 สถานะ และตอบสนองต่อขอบขาขึ้นหรือขอบขาลงของอินพุททั้งสอง



รูปที่ 3.1 แสดงการทำงานของเฟส/ฟรีแควนซี ดีเทคเตอร์

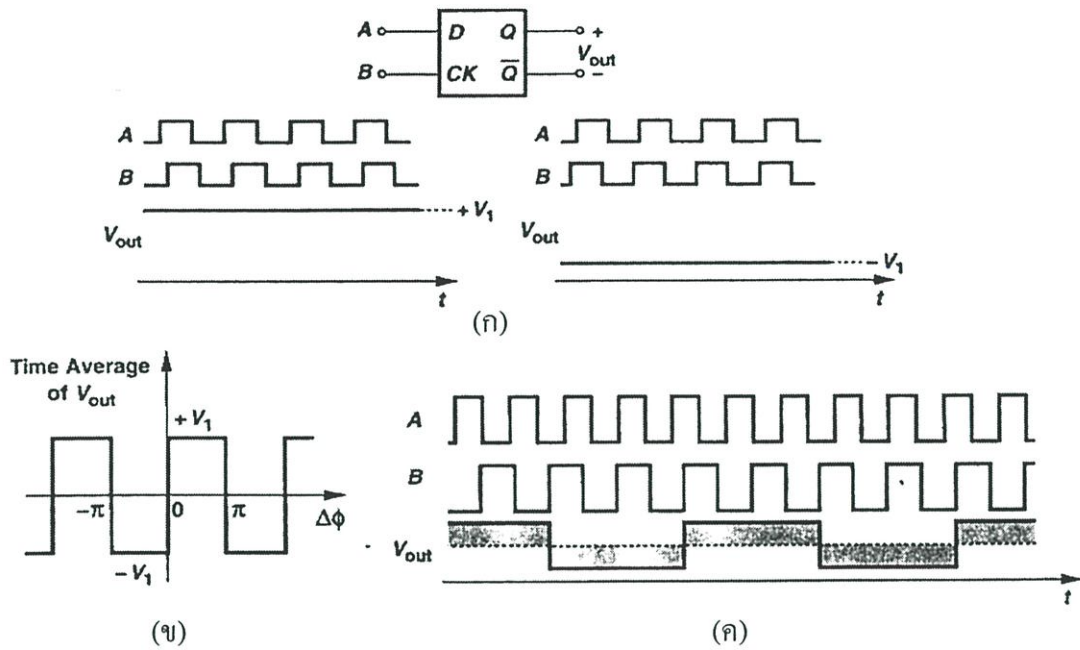
(ก) กรณีที่มีเฟสไม่เท่ากัน

(ข) กรณีที่ความถี่ไม่เท่ากัน

ในตอนแรกให้ $Q_A = Q_B = 0$ แล้วมีขอบขาขึ้นของสัญญาณส่งมาที่ A เป็นผลให้ $Q_A = 1$ $Q_B = 0$ ซึ่งวงจรจะอยู่ที่สภาวะนี้จนกว่าจะมีสัญญาณเข้ามาที่ B จึงจะทำให้ Q_A กลับลงมาเป็นศูนย์อีกครั้ง

จากรูป 3.1(ก) เมื่อที่อินพุตทั้งสองมีค่าความถี่เท่ากัน แต่ A นำหน้า B เอาท์พุทของ Q_A จะยังคงผลิตพัลส์ซึ่งมีความกว้างพัลส์เป็นสัดส่วนกับ $Q_A - Q_B$ ในขณะที่ Q_B เป็นศูนย์ ในรูป 3.1(ข) ความถี่ที่ A มากกว่า ความถี่ที่ B Q_A จะผลิตพัลส์ออกมาในขณะที่ Q_B ไม่มี และถ้า A ล้าหลัง B หรือมีความถี่น้อยกว่า B ทำให้ Q_B ผลิตพัลส์ออกมาในขณะที่ Q_A ไม่มี ด้วยเหตุนี้องค์ประกอบทางไฟตรงของ Q_A และ Q_B จะเกี่ยวกับค่าของ $Q_A - Q_B$ หรือ $\omega_A - \omega_B$ เอาท์พุทของ Q_A กับ Q_B เราเรียกว่า “Up” และ “Down” ตามลำดับ

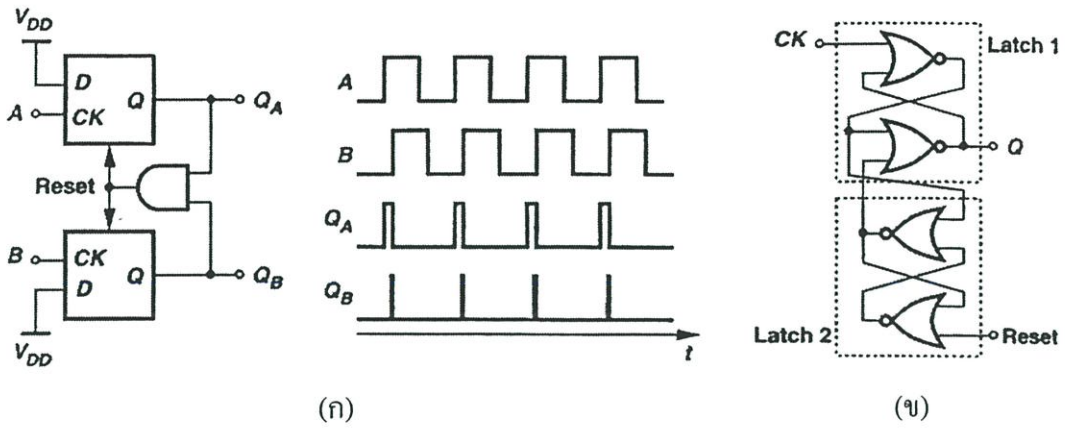
เรามาพิจารณา ดี-ฟลิปฟลอป(D-Flipflop)สามารถทำเป็นเฟสดีเทคเตอร์หรือเฟส-ฟรีคววนซ์ดีเทคเตอร์ได้ จากรูป3.2(ก) เราให้ความถี่ที่อินพุตทั้งสองมีความถี่เท่ากันและมีเฟสต่างกัน สมมุติว่าเอาท์พุทมีการเปลี่ยนแปลงตามขอบขาขึ้นของสัญญาณนาฬิกาที่อินพุท และสัญญาณที่ A มีเฟสนำหน้า B แล้ว V_{out} จะมีลอจิกเป็น “1” ตลอดไป เพราะฟลิปฟลอปจะเป็น “1” ตามขอบขาขึ้นของ A ในทางกลับกันถ้าเฟสที่ A ล้าหลัง B V_{out} ก็จะเป็น “0” รูปที่3.2(ข)แสดงคุณลักษณะของอินพุทเทียบกับเอาท์พุทของวงจร ซึ่งจะได้เกนสูงที่ $\Delta\phi = 0, \pm\pi, \dots$ และมีเกนเป็นศูนย์ที่ค่าอื่นๆ ซึ่งดี-ฟลิปฟลอปที่ทำเป็นเฟสดีเทคเตอร์นี้บางทีเราเรียกว่า “แบงค์แบงค์ เฟสดีเทคเตอร์” (Bang-Bang Phase Detector) ค่าเฉลี่ยของ V_{out} จะเปลี่ยนจาก $-V$ ไป $+V$ เมื่อ $\Delta\phi$ เปลี่ยนแปลงจากค่าที่ ϕ ต่ำกว่าศูนย์เล็กน้อย ถึง ϕ ที่มากกว่าศูนย์เล็กน้อย ต่อมาเราสมมุติให้ความถี่ที่อินพุตทั้งสองมีค่าไม่เท่ากัน (A กับ B) แสดงดังรูป3.2(ข)จะเห็นว่าได้ค่าเฉลี่ยที่เอาท์พุทเป็นศูนย์



รูปที่ 3.2 แสดงการทำงานของเฟสดีเทคเตอร์ที่ใช้ ดี-ฟลิปฟล็อป

- (ก) การทำงานของเฟสดีเทคเตอร์ที่ใช้ ดี-ฟลิปฟล็อป
- (ข) กราฟคุณลักษณะระหว่างอินพุตกับเอาต์พุต
- (ค) ผลของดี-ฟลิปฟล็อป กรณีที่ความถี่ที่อินพุตไม่เท่ากัน

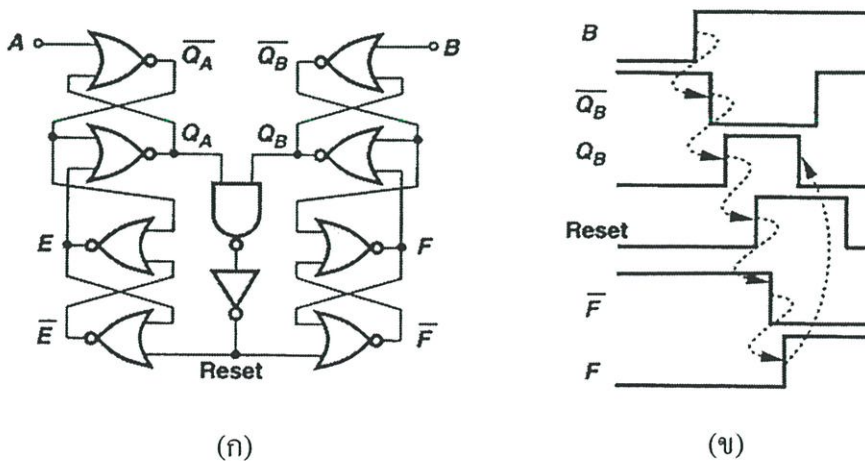
วงจรในรูป 3.1 สามารถทำเป็นจริงได้โดย เมื่อเราจัดวงจรตามรูป 3.3(ก) ประกอบด้วย วงจรเอจ-ทริกเกอร์ (Edge-Triggered) สองวงจรคือวงจร ดี-ฟลิปฟล็อปสองวงจรมันเอง ซึ่งวงจรดี-ฟลิปฟล็อป นี้สามารถรีเซตได้เมื่อเราป้อนลอจิก “1” A และ B ต่ออยู่กับขา Clock ของดี-ฟลิปฟล็อป ถ้า $Q_A = Q_B = 0$ และลอจิกที่ขา A เป็น “1” จะได้ $Q_A = 1$ ถึงแม้ว่าจะมีสัญญาณขาขึ้นของ B เข้ามา Q_B ก็ยังคงเป็น “1” ทำให้ Q_A กับ Q_B เป็น “1” ทำให้แอนด์เกต (AND-Gate) ส่งสัญญาณไปรีเซตที่ฟลิปฟล็อปทั้งสอง อีกนัยหนึ่งคือเมื่อ Q_A กับ Q_B เกิดขึ้นในเวลาเดียวกันหรือที่เกือบเท่ากัน วงจรภายในของดี-ฟลิปฟล็อปที่กล่าวมาแสดงดังในรูป 3.3(ข)



รูปที่ 3.3 แสดงการทำงานของเฟส/ฟริควนซีดีเทคเตอร์

- (ก) วงจรและการทำงานของเฟส/ฟริควนซีดีเทคเตอร์
- (ข) วงจรภายใน ดี-ฟลิปฟล็อป

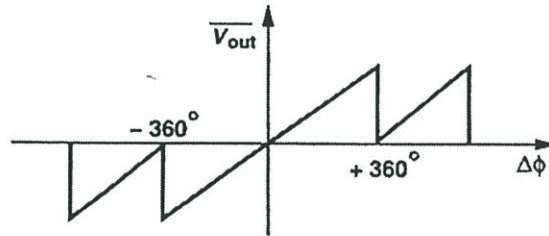
เรามาพิจารณาในตอนที่มีพัลส์เข้ามาที่ขา รีเซ็ต Q_B จะมีรูปสัญญาณดังรูป 3.3(ก) รูป 8.25(ก)แสดงวงจรภายในเฟส/ฟริควนซีดีเทคเตอร์(PFD) ตอนตอนแรกเราให้ $A=1$ $Q_A=1$ และ $Q_B=0$ แล้วมีสัญญาณเข้ามาที่ B ทำให้ Q_B เป็นศูนย์ และมีการดีเลย์เล็กน้อยก่อนที่ Q_B จะเป็น "1" แสดงดังรูป 3.4(ข) แล้วจึงเกิดสัญญาณที่ขา Reset \bar{F} F และ Q_B ด้วยเหตุนี้ความกว้างของพัลส์ Q_B จะประมาณได้กับการดีเลย์ของเกท 5 เกท (เป็นการประมาณค่าแบบหยาบๆเพราะที่ AND Gate , Inverter และ NOR Gate ต่างมีค่าดีเลย์ที่ต่างกัน)



รูปที่ 3.4 แสดงวงจรภายในของเฟส/ฟริควนซีดีเทคเตอร์

- (ก) แสดงเกตภายในเฟส/ฟริควนซีดีเทคเตอร์
- (ข) แสดงรูปสัญญาณภายในของเฟส/ฟริควนซีดีเทคเตอร์

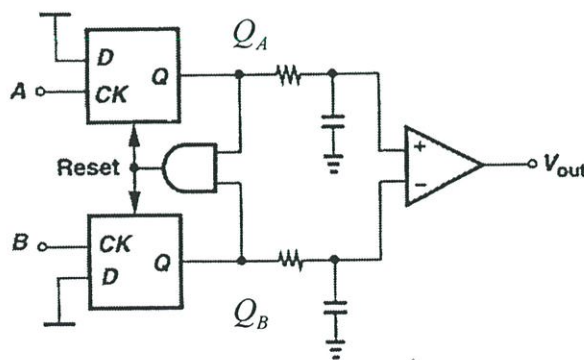
ในการพล็อตคุณลักษณะของอินพุตกับเอาต์พุต โดยเอาต์พุตที่ได้จะเป็นความต่างระหว่างค่าเฉลี่ยของ Q_A กับ Q_B ($\omega_A = \omega_B$) โดยเราละเลยผลของการคิเลย์ซ์ของพัลส์รีเซตไป เราทราบว่าเอาต์พุตจะแปรค่าเป็นสัดส่วนกับความต่างเฟส ($\Delta\phi$) ดังในรูปที่ 3.5 จากรูป V_{out} จะมีการเปลี่ยนแปลงเครื่องหมายที่ $\Delta\phi = \pm 360^\circ$



รูปที่ 3.5 กราฟคุณลักษณะระหว่างอินพุตกับเอาต์พุตของ เฟส/ฟรีควนซีดีเทคเตอร์

เราจะนำวงจรเฟส/ฟรีควนซีดีเทคเตอร์ในรูป 3.3(ก) มาใช้ โดยผลต่างระหว่างค่าเฉลี่ยของ Q_A กับ Q_B เป็นที่น่าสนใจคือเอาต์พุตทั้งสองสามารถนำมาผ่านวงจรโลว์พาสฟิลเตอร์ดังรูป 3.6 และยังสามารถใช้แทนวงจรรชาร์จ-ปั๊มได้ โดยใส่ไประหว่าง เฟส/ฟรีควนซีดีเทคเตอร์กับลูปฟิลเตอร์

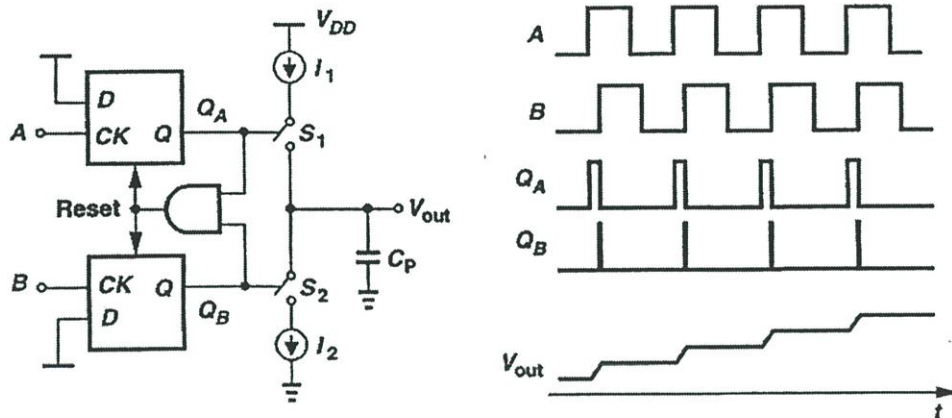
วงจรโลว์พาสฟิลเตอร์จะกรองความถี่สูงจากขา Q_A และ Q_B ออกให้เหลือเป็นแรงดันไฟตรงแล้วผ่านวงจรคอมพาราเตอร์ โดยที่เอาต์พุตที่ออกจากคอมพาราเตอร์จะอยู่ในรูปของพัลส์ที่มีค่าเฉลี่ยแรงดันที่เป็นสัดส่วนกับความต่างเฟสและความถี่ที่อินพุต A กับ B แล้ว V_{out} ที่ได้ไปผ่านฟิลเตอร์ในวงจรเฟสล็อกอีกทีเพื่อให้เหลือแรงดันไฟตรงไปควบคุมวงจรวีซีโอต่อไป



รูปที่ 3.6 แสดงการต่อเอาต์พุตทั้งสองของเฟส/ฟรีควนซีดีเทคเตอร์ กับฟิลเตอร์

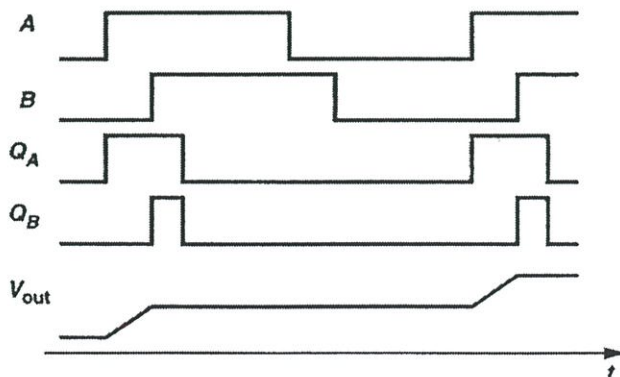
ชาร์จ-ปั๊มประกอบด้วยสวิตช์สองตัวต่ออยู่กับแหล่งจ่ายกระแสเพื่อปั๊ม-ชาร์จกระแสเข้าหรือออกให้กับลูปฟิลเตอร์ รูป 3.7 แสดงวงจรรชาร์จ-ปั๊ม ต่ออยู่กับวงจรเฟส/ฟรีควนซีดีเทคเตอร์

เพื่อจับตัวเก็บประจุ วงจรนี้มีการทำงาน 3 สเตทโดย สเตทแรก: $Q_A = Q_B = 0$ สวิตช์ S_1 กับ S_2 จะเปิด ทำให้ V_{out} จะยังคงค่าไว้ สเตทที่สอง: $Q_A = 1, Q_B = 0$ สวิตช์ S_1 จะปิด S_2 เปิด ทำให้มีกระแสไหลชาร์จเข้าตัวเก็บประจุ(C_p) และสเตทที่สาม: $Q_A = 0, Q_B = 1$ สวิตช์ S_1 จะเปิด S_2 ปิด ทำให้มีกระแสดีสชาร์จออกจากตัวเก็บประจุ(C_p) ด้วยเหตุนี้ถ้าเราสมมุติให้ A มีเฟสนำหน้า B และ Q_A จะยังคงให้พัลส์ออกมาอย่างต่อเนื่องและ V_{out} ก็จะเพิ่มขึ้นเรื่อยๆ



รูปที่ 3.7 แสดงวงจรเฟส/ฟรีแควนซีดีเทคเตอร์ กับวงจร ชาร์จ-ปั๊ม

ขณะที่ Q_A และ Q_B เกิดขึ้นพร้อมกัน(เป็น “1” ทั้งคู่) ที่ Q_B จะมีพัลส์ช่วงแคบๆเกิดขึ้น(ประมาณช่วงเวลาที่ gate ดีเลย์ไป 5 gate) ไปมีผลกระทบต่อตัวเก็บประจุ(C_p) และถ้า $I_1 = I_2$ จะมีกระแสไหลผ่าน S_1 กับ S_2 ทำให้ไม่มีกระแสไหลเข้าและไหลออกจากตัวเก็บประจุ(C_p) แรงดัน V_{out} จะยังคงค่าไว้หลังจากที่ Q_B เป็น “1” แสดงดังรูปที่ 3.8

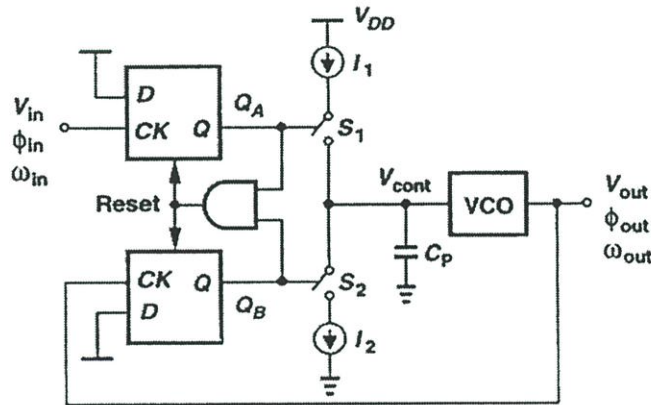


รูปที่ 3.8 แสดงผลของพัลส์แคบที่เกิดขึ้นที่ Q_A หรือ Q_B

วงจรในรูป 3.7 นั้นมีจุดที่น่าสนใจคือ ถ้าเฟสของ A นำหน้า B อย่างคงที่ แล้ว Q_A ก็จะมีผลผลิตพัลซ์ออกมาเรื่อยๆ แล้ววงจรชาร์จ-ปั๊มก็จะชาร์จกระแสเข้าตัวเก็บประจุ (C_p) ทำให้ V_{out} เพิ่มขึ้นเรื่อยๆ อย่างคงที่ ทำให้เกนของวงจรเป็นอนันต์ (Infinity)

3.3 พื้นฐานวงจรชาร์จ-ปั๊ม

เฟสล็อกคัลป์ที่ใช้วงจรในรูป 3.7 แสดงไว้ในรูป 3.9 เราเรียกว่า “ชาร์จ-ปั๊ม เฟสล็อกคัลป์” เมื่อเฟสล็อกคัลป์ทำงานความถี่ที่ (ω_{out}) จะมีค่าห่างจากความถี่ที่ (ω_{in}) มากและ วงจรเฟส/ฟรีควเอนซ์ ดีเทคเตอร์ กับ ชาร์จ-ปั๊ม จะทำงานเพื่อคอนโทรลโวลต์ที่ตรงเพื่อทำให้ ω_{out} มีค่าเข้าใกล้ ω_{in} เมื่อที่อินพุทกับเอาต์พุทมีความถี่ใกล้เคียงประมาณเท่ากันแล้ว วงจรเฟส/ฟรีควเอนซ์ ดีเทคเตอร์จะทำตัวเป็นเฟสดีเทคเตอร์เพื่อทำให้เฟสเท่ากันด้วย เมื่อเฟสล็อกกันแล้วความต่างเฟสจะมีค่าใกล้ศูนย์มาก และชาร์จ-ปั๊มก็จะไม่ค่อยทำงาน

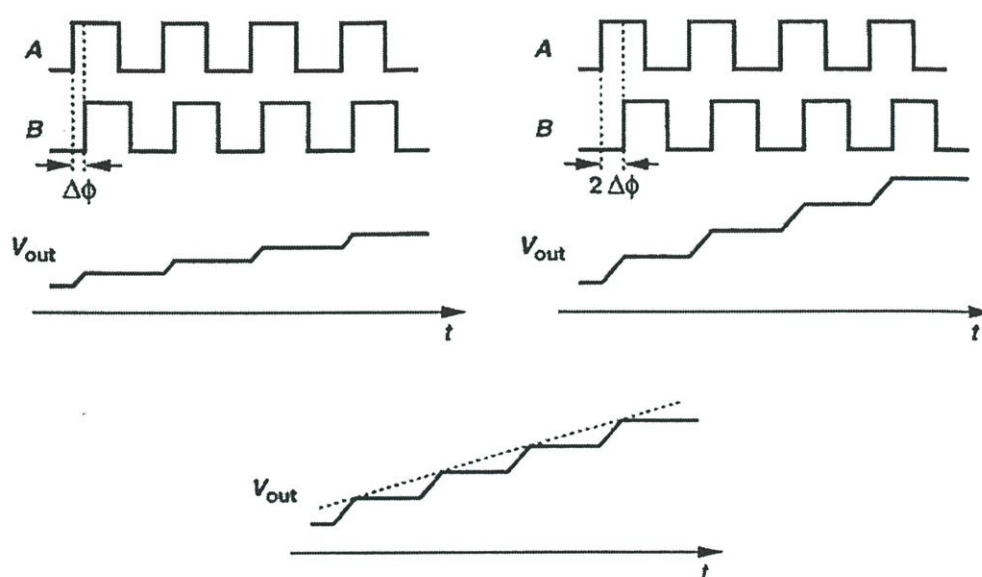


รูปที่ 3.9 แสดงวงจร ชาร์จ-ปั๊ม เฟสล็อกคัลป์อย่างง่าย

เพื่อที่จะเข้าใจการทำงานของเฟสล็อกคัลป์ในรูปที่ 3.9 โดยเราจะไม่พิจารณาผลของสัญญาณรีเซ็ตที่ทำให้เกิดพัลซ์ช่วงแคบที่ Q_B สมมุติว่าที่หลังจาก $Q_{out} - Q_{in}$ มีค่าเป็นศูนย์แล้ว เฟส/ฟรีควเอนซ์ ดีเทคเตอร์จะให้ $Q_A = Q_B = 0$ ชาร์จ-ปั๊มก็จะไม่ทำงานและ C_p จะให้โวลต์ที่ตรงที่คงที่ และถ้า V_{cont} มีค่าคงที่เป็นเวลานานความถี่ที่วีซีโอและเฟสจะเริ่มเคลื่อนโดยเฉพาแหล่งจ่ายที่มีสัญญาณรบกวนที่จ่ายให้วีซีโอจะเกิดความเปลี่ยนแปลงที่ความถี่ออสซิลเลเตอร์ เป็นผลทำให้มีความผิดพลาดของเฟสมากขึ้น แล้วเฟส/ฟรีควเอนซ์ดีเทคเตอร์ก็จะตรวจจับความต่างเฟสและจะผลิตพัลซ์ออกมาที่ Q_A หรือ Q_B ผ่านวงจรชาร์จ-ปั๊มและฟิลเตอร์ เพื่อปรับความถี่วีซีโอ

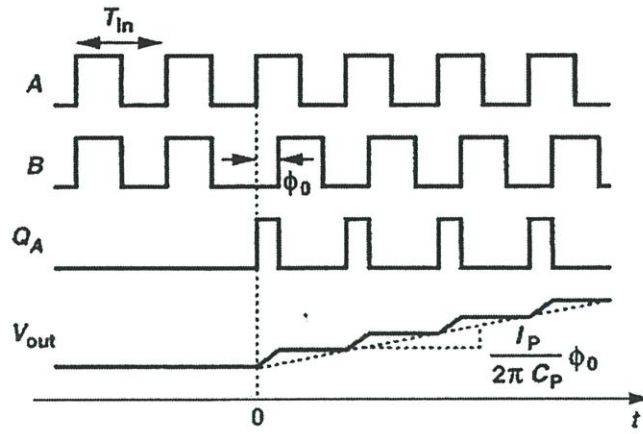
3.4 พฤติกรรมทางไดนามิกของชาร์จ-ปั๊ม เฟสล๊อคคูลูป

เพื่อที่จะเข้าใจในพฤติกรรมของชาร์จ-ปั๊ม เฟสล๊อคคูลูป เราต้องพัฒนาจากลิเนียร์โมเดลของการรวมกันของ เฟส/เฟรีควเอนซีดีเทคเตอร์ ชาร์จ-ปั๊ม และโลว์พาสฟิลเตอร์ เพื่อให้ได้ทรานส์เฟอร์ฟังก์ชัน เราจะทราบว่า การรวม เฟส/เฟรีควเอนซีดีเทคเตอร์ ชาร์จ-ปั๊ม และโลว์พาสฟิลเตอร์ ในรูป 3.7 เป็นระบบที่เป็นลิเนียร์หรือไม่ โดยเราจะทำการทดสอบระบบโดยเพิ่มความต่างเฟสที่อินพุตให้เป็น 2 เท่าแล้ว V_{out} เป็น 2 เท่าด้วยแต่ระบบมันยังไม่เป็นลิเนียร์ดังรูป 3.10(ก) ให้เราประมาณรูปสัญญาณที่เอาท์พุทให้เป็นสัญญาณแรมป์ดังรูป 3.10(ข) ก็จะได้ความสัมพันธ์ระหว่าง V_{out} และ $\Delta\phi$ ที่เป็นลิเนียร์



รูปที่ 3.10 แสดงการทดสอบความเป็นเชิงเส้นของ เฟส/เฟรีควเอนซีดีเทคเตอร์ ชาร์จ-ปั๊ม และโลว์พาสฟิลเตอร์

- (ก) แสดงการทดสอบความเป็นเชิงเส้นของ เฟส/เฟรีควเอนซีดีเทคเตอร์ ชาร์จ-ปั๊ม และโลว์พาสฟิลเตอร์
- (ข) การประมาณค่าเป็นแรมป์ของผลตอบสนอง



รูปที่ 3.11 แสดงผลตอบสนองต่อการสับเฟสของวงจรที่ประกอบด้วย เฟส/ฟริควนซีดีเทคเตอร์ ชาร์จ-ปั๊ม และ โลว์พาสฟิลเตอร์

ให้คาบของสัญญาณอินพุตเป็น T_{in} และการให้กระแสของชาร์จ-ปั๊มที่จ่ายให้คาปาซิเตอร์ แสดงดังรูป 3.11 ให้ความต่างเฟสเป็นศูนย์ที่ $t=0$ สับความต่างเฟส B เท่ากับ ϕ_0 $\Delta\phi = \phi_0 u(t)$ Q_A หรือ Q_B ก็จะทำให้พัลส์เป็นความกว้างเท่ากับ $\frac{\phi_0 T_{in}}{2\pi}$ การเพิ่มขึ้นของ V_{out} เท่ากับ $(\frac{I_p}{C_p}) \frac{\phi_0 T_{in}}{2\pi}$ ในทุกๆคาบสัญญาณ (โดยการประมาณค่าให้อยู่ในรูปของแรมป์) ค่าสโลปของ V_{out} คือ $(\frac{I_p}{C_p}) \frac{\phi_0}{2\pi}$

$$V_{out}(t) = \frac{I_p}{2\pi C_p} t \cdot \phi_0 u(t) \quad (3.1)$$

ผลตอบสนองต่ออิมพัลส์แสดงสมการ 3.2

$$h(t) = \frac{I_p}{2\pi C_p} u(t) \quad (3.2)$$

จะได้ทรานส์เฟอร์ฟังก์ชันของ เฟส/ฟริควนซีดีเทคเตอร์ ชาร์จ-ปั๊ม และ โลว์พาสฟิลเตอร์ จากรูปที่

3.7 ดังสมการ (3.3) โดยที่ $V_{out}(s) = \frac{I_p}{C_p} \cdot \frac{1}{s}$ โวลท์

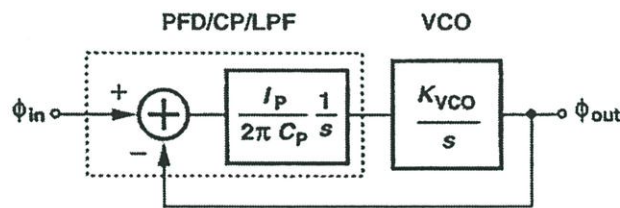
$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_p}{2\pi C_p} \cdot \frac{1}{s} \quad (3.3)$$

ผลที่ได้คือวงจรที่ประกอบด้วยเฟส/ฟรีคววนซีดีเทคเตอร์ ชาร์จ-ปั๊ม และโลว์พาสฟิลเตอร์ จะมี โพลอยู่ที่จุดเริ่มต้น 1 ตัว ซึ่งจะต่างกับวงจรที่มี เฟสดีเทคเตอร์กับโลว์พาสฟิลเตอร์ เราเรียก $\frac{I_p}{2\pi C_p}$ ว่าเป็นเกนของ เฟส/ฟรีคววนซีดีเทคเตอร์ และเขียนโดย K_{PFD}

จากรูป3.7จะเห็นกระแสที่มาจากวงจรชาร์จ-ปั๊มและไหลเข้า คาปาซิเตอร์เราจะได้ ทรานส์เฟอร์ฟังก์ชันของ $\Delta\phi$ กับกระแส I_{out} , จาก $V_{out}(s) = \frac{I_{out}}{C_p s}$ เราจะได้สมการ(3.4)

$$\frac{I_{out}}{\Delta\phi}(s) = \frac{I_p}{2\pi} \quad (3.4)$$

เราจะได้โครงสร้างของลิเนียร์โมเดลของ ชาร์จ-ปั๊ม เฟสล็อกคูลูป แสดงดังรูป3.12



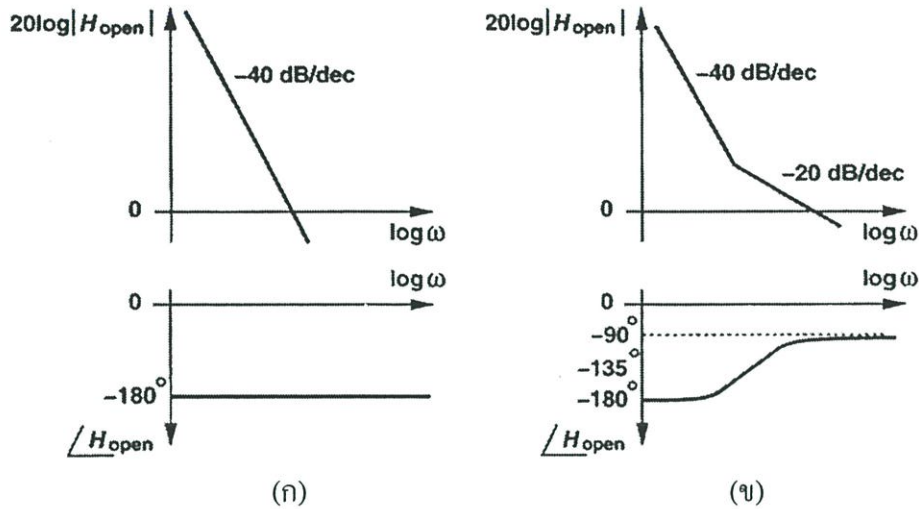
รูปที่ 3.12 แสดงลิเนียร์โมเดลของ ชาร์จ-ปั๊ม เฟสล็อกคูลูป

$$\left. \frac{\phi_{out}}{\phi_{in}}(s) \right|_{open} = \frac{I_p}{2\pi C_p} \frac{K_{VCO}}{s^2} \quad (3.5)$$

เทอม $\frac{K_{VCO}}{s}$ ในรูป3.12ได้มาจากการพิจารณาในรูปของเฟสจากที่กล่าวมาแล้วในบทที่2 และจาก สมการ (3.5)จะเห็นว่าที่ลูปเกนมีโพลอยู่ที่จุดเริ่มต้น 2 ตัว ซึ่งสมการลูปปิดเขียนได้ดังสมการ3.6

$$H(s) = \frac{\frac{I_p K_{VCO}}{2\pi C_p}}{s^2 + \frac{I_p K_{VCO}}{2\pi C_p}} \quad (3.6)$$

ในสมการที่ 3.6 เราได้โพลที่แกนจินตภาพ 2 ตัวคือ $s_{1,2} = \pm j \sqrt{\frac{I_p K_{VCO}}{2\pi C_p}}$ จะเห็นว่ามันจะไม่มีเสถียรภาพ นำเอาสมการที่ 3.5 มาพล็อตโบดจะได้รูปที่ 3.13(ก) และเนื่องจากมีโพล 2 ตัวที่จุดเริ่มต้น ซึ่งอินทิเกรตแต่ละตัวก็จะให้เฟสชิฟท์ไป 90° ทำให้ระบบเกิดออสซิลเลต



รูปที่ 3.13 แสดงการพล็อต โบดไดอะแกรมของชาร์จ-ปั๊ม เฟสล็อกคูลูปอย่างง่าย กับแบบที่เพิ่มซีโรเข้าไป

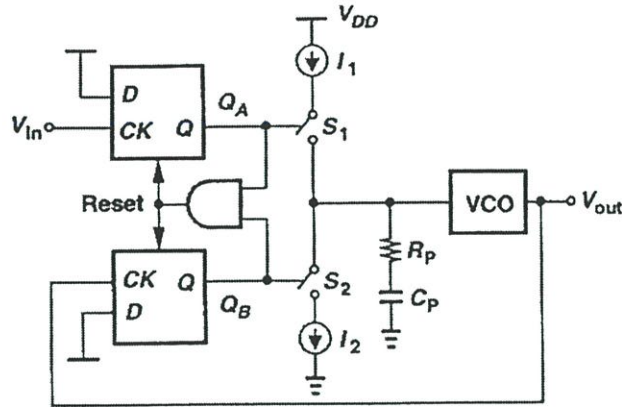
- (ก) แสดงการพล็อต โบดไดอะแกรมของลูปเกนของชาร์จ-ปั๊ม เฟสล็อกคูลูปอย่างง่าย
- (ข) แสดงการพล็อต โบดไดอะแกรมของลูปเกนของชาร์จ-ปั๊ม เฟสล็อกคูลูปที่เพิ่มซีโรเข้าไปแล้ว

เพื่อที่จะรักษาเสถียรภาพของระบบ เราต้องปรับปรุงคุณลักษณะของเฟสให้เฟสชิฟท์น้อยกว่า 180° ที่ เกนครอส โอเวอร์ (gain crossover) ดังรูป 3.13(ข)ทำได้โดยการเพิ่มซีโรเข้าไปในลูปเกน โดยการเพิ่มตัวต้านทานไปอนุกรมกับตัวเก็บประจุ (C_p) ในลูปฟิลเตอร์ดังรูป 3.14 แล้วเราจะได้ทรานส์เฟอร์ฟังก์ชันใหม่ของวงจรถ่ายเฟส/ฟรีควเอนซ์ดีเทคเตอร์ ชาร์จ-ปั๊ม และโลว์พาสฟิลเตอร์ ดังสมการ

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p \cdot s} \right) \tag{3.7}$$

ทรานส์เฟอร์ฟังก์ชันของลูปเปิด แสดงในสมการที่ 3.8

$$\left. \frac{\phi_{out}}{\phi_{in}}(s) \right|_{open} = \frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p \cdot s} \right) \frac{K_{VCO}}{s} \quad (3.8)$$



รูปที่ 3.14 แสดงวงจรซาร์จ-ปั๊ม เฟสล็อกคูลูปที่เพิ่มซีโรเข้าไป

และ

$$H(s) = \frac{\frac{I_p K_{VCO}}{2\pi C_p} (R_p C_p s + 1)}{s^2 + \frac{I_p}{2\pi} K_{VCO} \cdot R_p s + \frac{I_p}{2\pi C_p} K_{VCO}} \quad (3.9)$$

จะเห็นว่าในสมการที่ 3.9 จะให้ ซีโรที่ $s_z = -\frac{1}{R_p C_p}$ และได้ค่า ω_n และค่า ζ ดัง

สมการ 3.10 และ 3.11

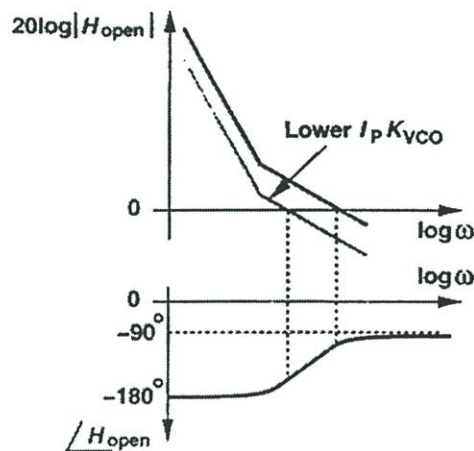
$$\omega_n = \sqrt{\frac{I_p K_{VCO}}{2\pi C_p}} \quad (3.10)$$

$$\zeta = \frac{R_p}{2} \sqrt{\frac{I_p C_p K_{VCO}}{2\pi}} \quad (3.11)$$

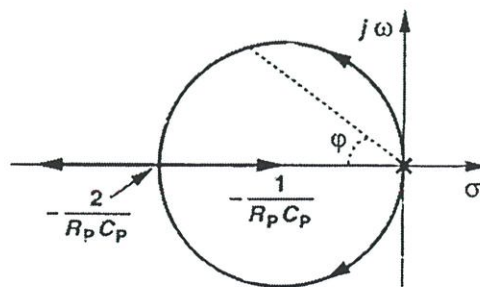
ถ้า $R_p=0$ จะได้ $\zeta=0$ และโพลที่อยู่บนแกนจินตภาพ

3.5 การวิเคราะห์เสถียรภาพของซาร์จ-ปั๊ม เฟสล็อกคูล

วิเคราะห์เสถียรภาพโบดพล็อตจากสมการ 3.8 แสดงดังในรูป 3.15 จากรูปสังเกตว่าถ้า $I_p K_{VCO}$ ลดลงค่าเกนครอสโอเวอร์ฟรีควีนซี (Gain crossover frequency) จะลดลงและเป็นการลดตำแหน่งของเฟสมาจิ้น (Phase margin) ลงด้วย เมื่อนำมาพล็อตรูท-โลคัส (Root locus) ของระบบปิดในคอมเพล็กซ์เพลน (Complex-plane) จะเห็นว่าที่ $I_p K_{VCO} = 0 (I_p = 0)$ โพลทั้งสองจะอยู่ที่จุดเริ่มต้น ที่ $I_p K_{VCO} > 0$ เราจะได้ $S_{1,2} = -\zeta\omega_n \pm \omega_n\sqrt{\zeta^2 - 1}$ ซึ่งค่าของ ζ จะแปรผันกับค่า $\sqrt{I_p K_{VCO}}$ ก็จะได้ค่าโพลที่เป็นคอมเพล็กซ์ ถ้าค่า $I_p K_{VCO}$ นั้นมีค่าน้อยเราสามารถปรับปรุงโดยการเพิ่มค่า $I_p K_{VCO}$ แล้ว S_1 กับ S_2 จะเคลื่อนที่เป็นวงกลมที่มีจุดศูนย์กลางอยู่ที่ $\sigma = -1/(R_p C_p)$ และมีรัศมี $1/(R_p C_p)$ ดังรูป 3.16 โพลจะกลับมาอยู่ที่แกนจริงที่ค่า $\zeta = 1$ ที่ $\sigma = -2/(R_p C_p)$ สำหรับที่ $\zeta > 1$ จะได้ค่าโพลที่เป็นค่าจริง แล้วค่ามันจะใกล้ $-1/(R_p C_p)$ ที่ $I_p K_{VCO}$ ค่า ∞ ถึง $+\infty$ สำหรับค่าโพล S_1 กับ S_2 ที่เป็นค่าคอมเพล็กซ์ $\zeta = \cos \varphi$ จะสังเกตได้ว่าถ้าค่า $I_p K_{VCO}$ นั้นมีมากกว่าศูนย์ระบบก็จะมีเสถียรภาพมากขึ้น

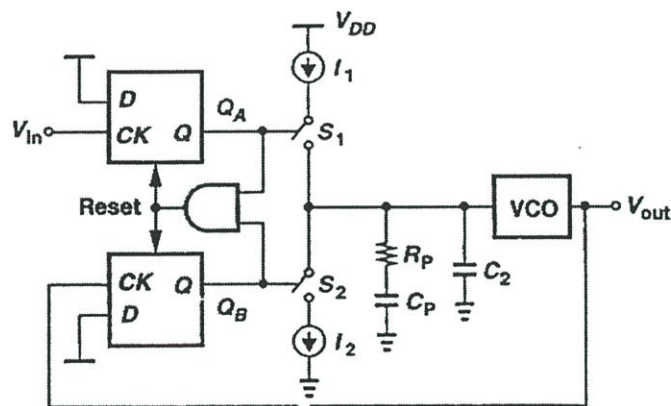


รูปที่ 3.15 แสดงเสถียรภาพที่ลดลงของซาร์จ-ปั๊มเฟสล็อกคูล เมื่อมีการลดค่า $I_p K_{VCO}$



รูปที่ 3.16 แสดงการพล็อต รูท-โลคัส ของเฟสล็อกคูล Type II

การชดเชยระบบเฟสล็อกคูลูปดังรูป 3.14 ขณะที่ ชาร์จ-ป้อนขับ C_p กับ R_p ที่ต่ออนุกรมกัน อยู่ ทุกครั้งที่มีกระแสวิ่งเข้าไปในฟิวดเตอร์สัญญาณคอนโทรลโวลต์เตจจะมีการกระโดด แม้ว่าที่สภาวะลือกกันแล้วการไม่สัมพันธ์กันของ I_1 กับ I_2 ทำให้การชาร์จของกระแสไปเพิ่มโวลต์ใน V_{cont} ซึ่งผลของริบเบิล(Ripple) ที่มีรบกวนวิธีโอทำให้มีผลต่อเอาต์พุตเฟส เพื่อแก้ปัญหานี้เราจะเพิ่มตัวเก็บประจุเข้าไปอีกตัว โดยต่อขนานอยู่กับ C_p และ R_p ดังรูปที่ 3.17 แต่มันจะไปลดช่วงเวลาทรานเซียบลของระบบไป และฟิวดเตอร์ก็จะกลายเป็นแบบอันดับสองทำให้ระบบเฟสล็อกคูลูปเป็นอันดับสามซึ่งเป็นการยากในการออกแบบและรักษาเสถียรภาพ อย่างไรก็ตามถ้าเราให้ค่า C_2 มีค่าอยู่ในช่วง 1:5 ถึง 1:10 ของ C_p ผลตอบสนองต่อเวลาและความถี่ของระบบก็จะไม่มีการเปลี่ยนแปลง



รูปที่ 3.17 แสดงการเพิ่มตัวเก็บประจุ C_2 เข้าไปเพื่อลดสัญญาณริบเบิลบนคอนโทรลโวลต์เตจ

บทที่ 4

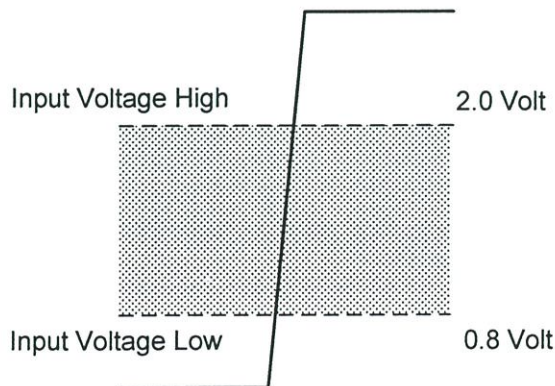
เฟสล็คคูลูปที่มีความคงทนต่อสัญญาณรบกวนสูง

4.1 บทนำ

ในบทนี้จะอธิบายถึง อิทธิพลของสัญญาณรบกวนที่เกิดขึ้นที่อินพุทของระบบเฟสล็คคูลูป และการออกแบบระบบ โดยเริ่มจากการออกแบบตัวฟิลเตอร์แบบปรับค่าได้ ซึ่งเป็นส่วนที่สำคัญในการเพิ่มประสิทธิภาพในการรักษาเสถียรภาพของวงจรถ่ายที่เอาท์พุทต่อสัญญาณรบกวนที่เกิดขึ้นที่อินพุทของระบบเฟสล็คคูลูปและเป็นตัวกำหนดผลตอบสนองในช่วงทรานส์เซียนซ์ของระบบ และการออกแบบเฟสล็คคูลูปที่มีความคงทนต่อสัญญาณรบกวนสูง ที่ประกอบไปด้วย วงจรน้อยสัญญาณ วงจรล็คคูลูป และอนาล็อกสวิตช์ที่นำมาใช้ในวงจร

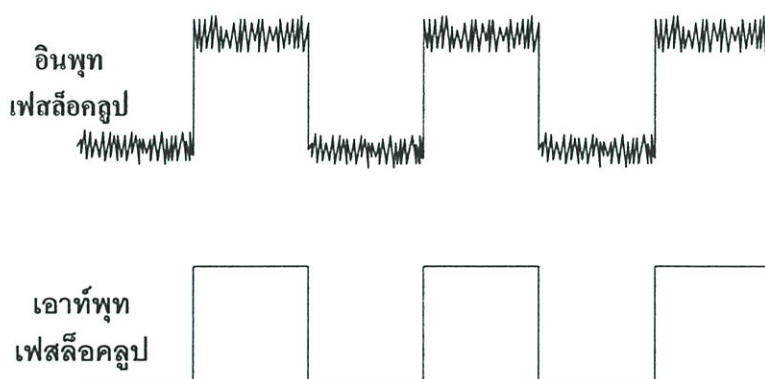
4.2 อิทธิพลของสัญญาณรบกวนที่ความถี่อินพุทของเฟสล็คคูลูป

คุณลักษณะของเฟสล็คคูลูปแบบดั้งเดิมก็มีความสามารถที่จะหยุดยั้งสัญญาณรบกวนที่เกิดขึ้นที่อินพุทของเฟสล็คคูลูปได้ด้วยคุณสมบัติของเฟส/ฟรีควเอนซีดีเทคเตอร์[12] ซึ่งจะตรวจสอบเฉพาะขอบขาขึ้นหรือขอบขาลงของสัญญาณความถี่อินพุท ซึ่งถ้าขนาดของสัญญาณรบกวนที่เข้ามา มีขนาดน้อยกว่าระดับของสัญญาณที่เป็นHighหรือLowของตัวเฟส/ฟรีควเอนซีดีเทคเตอร์ ก็จะไม่มีผลใดๆต่อวงจรเฟสล็คคูลูป ในทางกลับกันถ้าขนาดของสัญญาณรบกวนมีขนาดที่ใหญ่เกินระดับสัญญาณแรงดันที่เป็นลอจิกสูง(High) หรือ ลอจิกต่ำ(Low) ก็จะทำให้เกิดผลเสียต่อเอาท์พุทของวงจรเฟสล็คคูลูปได้เนื่องจากเฟส/ฟรีควเอนซีดีเทคเตอร์จะมองสัญญาณอินพุทที่มีสัญญาณรบกวนขนาดสูงปนเข้ามา อยู่ในรูปของสัญญาณความถี่สูงตามสัญญาณรบกวนที่เข้ามา ซึ่งในวิทยานิพนธ์นี้ได้ใช้เฟส/ฟรีควเอนซีดีเทคเตอร์ที่ใช้ไอซีเบอร์ MC4044

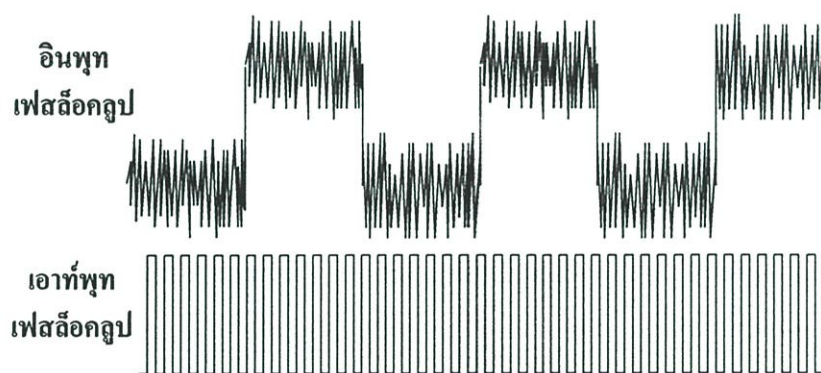


รูปที่ 4.1 แสดงระดับของสัญญาณแรงดันที่เป็น High, Low ที่อินพุทของ เฟส/ฟรีควเอนซีดีเทคเตอร์ที่ใช้ไอซีเบอร์ MC4044

ผลของสัญญาณรบกวนที่เข้ามาที่อินพุตต่อเอาต์พุตของระบบเฟสล็อกคูลูบแสดงดังรูปที่ 4.2



(ก)



(ข)

รูปที่ 4.2 แสดงความถี่อินพุตที่ถูกรบกวนด้วยสัญญาณรบกวน และสัญญาณเอาต์พุตของเฟสล็อกคูลูบ

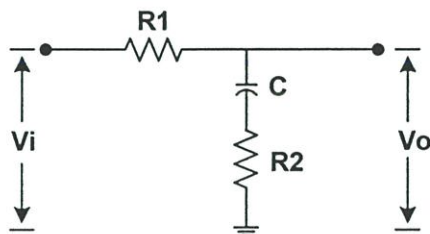
(ก) ความถี่อินพุตของเฟสล็อกคูลูบกับสัญญาณรบกวนที่มีขนาดเล็ก

(ข) ความถี่อินพุตของเฟสล็อกคูลูบกับสัญญาณรบกวนที่มีขนาดใหญ่

รูปที่ 4.2(ก) จะเห็นว่าถ้าระดับของสัญญาณรบกวนมีขนาดเล็กเฟสล็อกคูลูบก็จะยังคงสามารถทำงานผลิตความถี่เอาต์พุตออกมาได้อย่างถูกต้อง ส่วนในกรณีที่มีสัญญาณรบกวนขนาดใหญ่และมีช่วงเวลานานเข้ามาที่ความถี่อินพุตของเฟสล็อกคูลูบแสดงดังรูปที่ 4.2(ข)ทำให้ความถี่เปลี่ยนไป ซึ่งกรณีที่ 2 นี้ความสามารถของเฟสดีเทคเตอร์จะไม่สามารถที่จะแก้ปัญหานี้ได้ ทำให้เกิดปัญหาเสถียรภาพความถี่ที่เอาต์พุตของเฟสล็อกคูลูบ

4.3 การออกแบบฟิลเตอร์แบบปรับค่าได้

ฟิลเตอร์ที่ใช้ในงานวิจัยนี้เป็นแบบลีด-แลค ซึ่งฟิลเตอร์แบบลีด-แลคแบบทั่วไป แสดงดังรูป4.3



รูปที่ 4.3 แสดงฟิลเตอร์แบบลีด-แลค ทั่วไป

จากรูปที่ 4.3 เราหาทรานส์เฟอร์ฟังก์ชันได้

$$F(s) = \frac{V_o}{V_i}(s) = \frac{R_2CS + 1}{(R_1 + R_2)CS + 1} \quad (4.1)$$

รูปแบบทั่วไปของเฟสล็อกคูลูปหาทรานส์เฟอร์ฟังก์ชันได้[4.2]

$$H(s) = \frac{\theta_o}{\theta_i}(s) = \frac{N \times K_p \times K_{vco} \times F(s)}{N \times S + K_p \times K_{vco} \times F(s)} \quad (4.2)$$

เมื่อ : K_p = ค่าเกน ของเฟสดีเทคเตอร์

K_{vco} = ค่าเกนของวีซีโอ

$F(s)$ = ทรานส์เฟอร์ฟังก์ชันของวงจรวจรวาสฟิลเตอร์

N = ค่าของตัวหาร

จาก สมการที่(4.1) และ(4.2) เราได้ ω_n (Natural frequency) และ ζ (Damping factor) ดังสมการที่ (4.3) และ (4.4) ตามลำดับ

$$\omega_n = \sqrt{\frac{K_p \times K_{vco}}{N \times C \times (R_1 + R_2)}} \quad (4.3)$$

$$\xi = \frac{\omega_n}{2} \times \left(R_2 C + \frac{N}{K_p \times K_{vco}} \right) \quad (4.4)$$

ดังนั้นสามารถคำนวณค่า R_2 ได้จากสมการที่ (4.4) โดยกำหนดให้ $\xi = 0.7071$ หรือ $\frac{1}{\sqrt{2}}$ ดังนั้น

$$\xi^2 = \frac{1}{2}$$

$$0.5 = \frac{\omega_n^2}{4} \left[R_2 C + \left(\frac{I}{K_p K_{vco}} \right) \right]^2 \quad (4.5)$$

เมื่อแทนค่า $\omega_n^2 = \frac{K_p K_{vco}}{(R_1 + R_2)C}$ ลงไปในสมการที่ (4.5) ดังนั้นจะสามารถเขียนใหม่ได้เป็น

$$0.5 = \frac{K_p K_{vco}}{4C(R_1 + R_2)} \left[R_2 C + \left(\frac{I}{K_p K_{vco}} \right) \right]^2 \quad (4.6)$$

เมื่อกำหนดค่าของ R_1 และ C จะสามารถหาค่า R_2 ได้จากค่า $\xi = 0.7071$

$$2 = \frac{K_p K_{vco}}{C(R_1 + R_2)} \left[R_2^2 C^2 + \left(\frac{I}{K_p K_{vco}} \right) + \frac{2.C.R_2}{K_p K_{vco}} \right] \quad (4.7)$$

เมื่อคูณทั้งสองข้างของสมการที่ (4.7) ด้วยค่า $(R_1 + R_2)$ จะได้

$$2(R_1 + R_2) = \left[K_p K_{vco} R_2^2 C + \frac{I}{(K_p K_{vco} C)} + 2R_2 \right] \quad (4.8)$$

จากสมการที่ (4.8) จัดสมการใหม่ โดยการลบ $2.R_2$ ออกทั้งสองข้างของสมการเพื่อให้เหลือเพียงเทอม R_2^2 เท่านั้น

$$R_2^2 K_p K_{vco} C = 2R_1 - \frac{I}{(K_p K_{vco} C)} \quad (4.9)$$

ดังนั้นจากสมการที่ (4.9) จะสามารถหาค่าของ R_2 ได้คือ

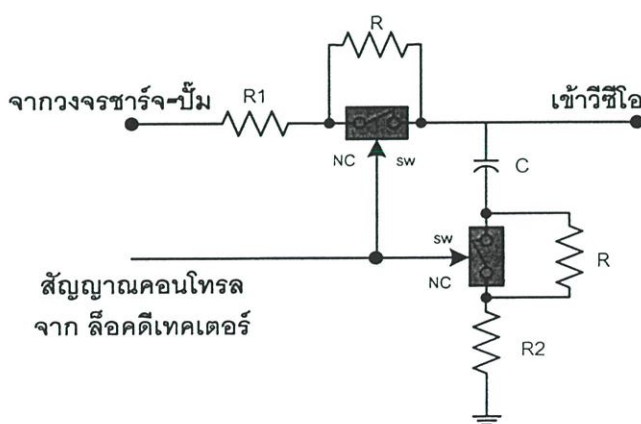
$$R_2^2 = \frac{2R_1}{K_p K_{vco} C} - \left(\frac{I}{K_p^2 K_{vco}^2 C^2} \right)$$

$$R_2 = \sqrt{\frac{2R_1}{CK_p K_{vco}} - \left(\frac{I}{K_p^2 K_{vco}^2 C^2} \right)}$$

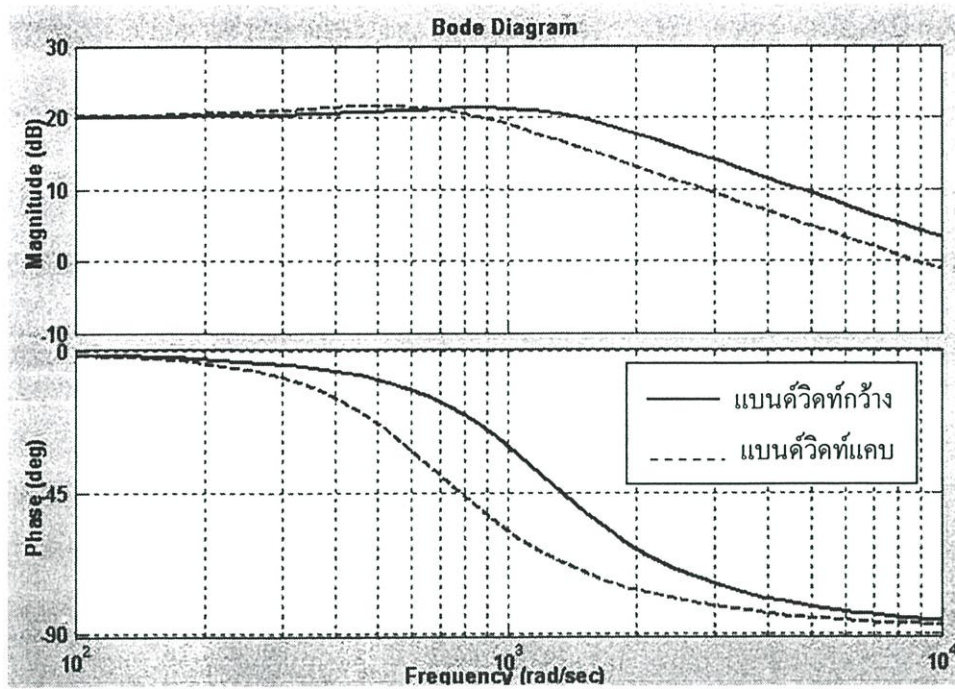
(4.10)

จะสังเกตว่าถ้าเลือกใช้ค่า ζ ที่ต่างไปจากนี้ จะทำให้ไม่สามารถกำจัดเทอม $2R_2$ ในสมการที่ (4.8) ออกไปได้ ซึ่งจะทำให้การคำนวณหาค่ามีความยุ่งยากมากขึ้น ดังนั้นจึงเป็นเหตุผลที่ดีสำหรับการเลือกใช้ค่า $\zeta = \frac{1}{\sqrt{2}}$ และยังเป็นค่าที่ดีต่อเสถียรภาพของระบบอีกด้วย

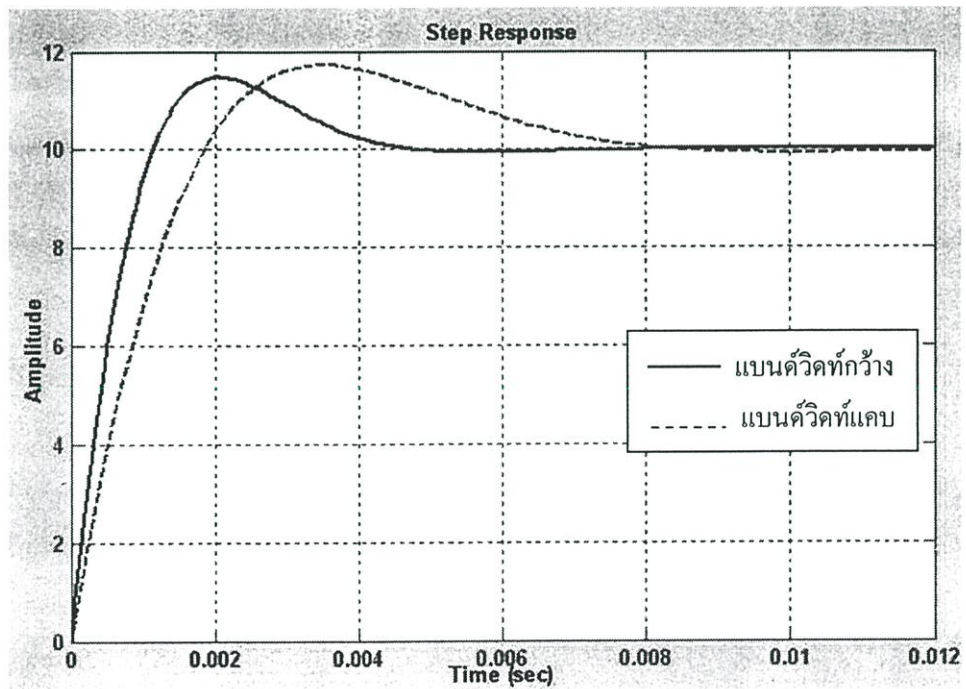
ในวิทยานิพนธ์นี้เรากำหนดให้ ที่สภาวะก่อนเข้าสู่สภาวะลื่นค ตัวฟิลเตอร์จะเป็นแบบแบนด์วิดท์กว้างเพื่อการเข้าลื่นคที่เร็ว โดยเราใช้ค่า $\zeta = 0.7071$ เมื่อ ลื่นคดีเทคเตอร์ส่งสัญญาณมาบอกว่าเฟสลื่นคแล้วก็จะส่งสัญญาณไปคอนโทรลอะนาลอกสวิตช์ในวงจรโลว์พาสฟิลเตอร์เพื่อเพิ่มค่าความต้านทานของ R_1 กับ R_2 และเป็นการลดแบนด์วิดท์ของระบบเพื่อทำให้คงค่าแรงดันที่ตัวฟิลเตอร์ได้นานขึ้น ซึ่งการลดแบนด์วิดท์นี้ยังเป็นการเพิ่มความต้านทานต่อสัญญาณรบกวนในระบบเฟสลื่นคอีกด้วย การปรับค่าแบนด์วิดท์ของตัวฟิลเตอร์แสดงดังรูป 4.4



รูปที่ 4.4 แสดง ฟิลเตอร์แบบลื่นค-แลค ที่ปรับค่าได้



(ก)



(ข)

รูปที่ 4.5 แสดงผลตอบสนองต่อสเตปอินพุท และผลตอบสนองทางความถี่ ของระบบ

(ก) ผลตอบสนองทางความถี่

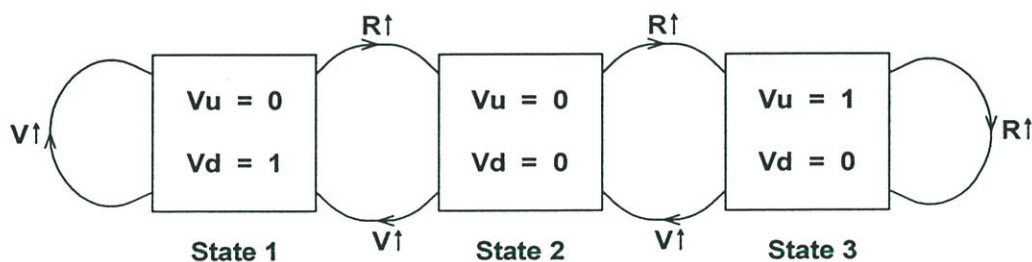
(ข) ผลตอบสนองต่อสเตปอินพุท

ในรูปที่ 4.5 แสดงผลตอบสนองต่อสเตรปอินพุท และผลตอบสนองทางความถี่ จากการซิมมูลเตตการทำงานด้วยโปรแกรมเมทแลป โดยการปรับค่าแบนด์วิดท์ของฟิลเตอร์

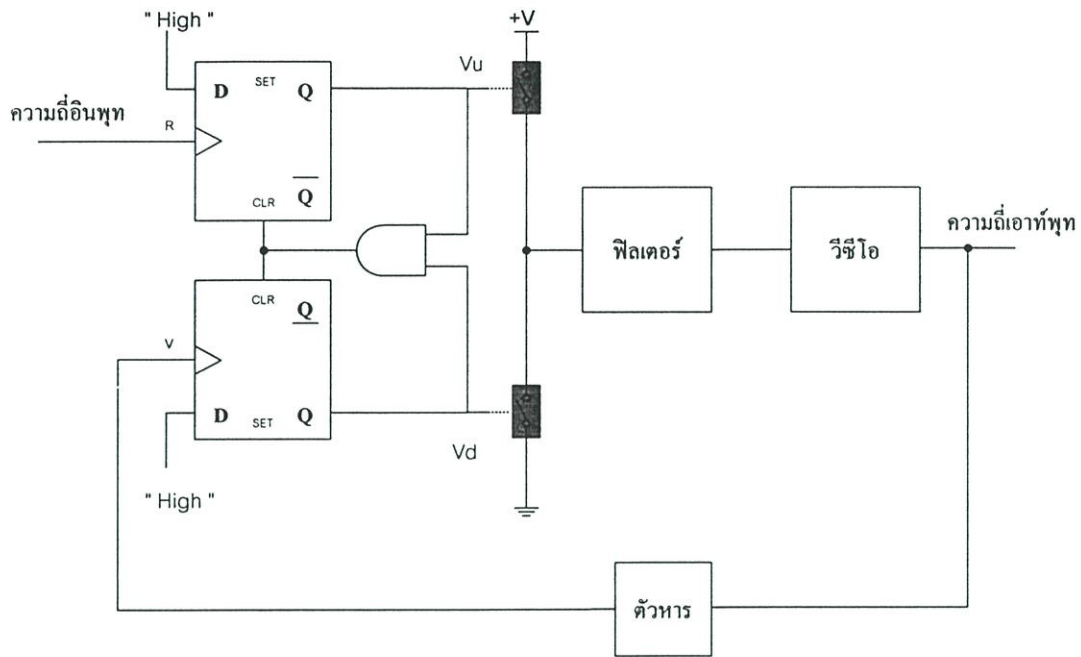
4.4 โครงสร้างของเฟสล็อกคูลูที่ปรับปรุงแล้ว และการออกแบบระบบ

จากโครงสร้างของซาร์จ-ปั๊ม เฟสล็อกคูลูที่กล่าวมาแล้วในบทที่ 3 เราจะนำเฟสล็อกคูลูชนิดนี้มาเป็นต้นแบบในการออกแบบวงจรเฟสล็อกคูลูที่มีความคงทนต่อสัญญาณรบกวนสูง เนื่องจากซาร์จ-ปั๊มเฟสล็อกคูลูนี้มีวงจรซาร์จ-ปั๊ม ที่ประกอบด้วย สวิตช์ 2 ตัวต่ออยู่กับแหล่งจ่ายแรงดันกับกราวด์ ซึ่งสวิตช์ 2 ตัวนี้ในช่วงที่ความถี่และเฟสที่อินพุทของเฟสล็อกคูลูมีค่าเท่ากับ ความถี่และเฟสจากวีซีโอ มันจะไม่ทำงาน จึงเป็นผลให้ไม่มีโวลท์เข้าไปซาร์จหรือไหลออกจากตัวเก็บประจุ ทำให้ที่ฟิลเตอร์จะคงค่าแรงดันไว้ได้และทำให้ความถี่คงที่ด้วย

จากคุณสมบัติในการคงค่าความถี่ในช่วงที่สวิตช์ทั้ง 2 ตัวไม่ทำงานนี้เราจะนำมาปรับปรุงวงจรให้มีความคงทนต่อสัญญาณรบกวนสูงได้ ซึ่งเราต้องศึกษาการทำงานของวงจรเฟส/ฟรีคววนซีดีเทคเตอร์แบบ 3 สเตท และวงจรซาร์จ-ปั๊มให้เข้าใจ เฟส/ฟรีคววนซีดีเทคเตอร์ และวงจรซาร์จ-ปั๊ม ในเฟสล็อกคูลูทั่วไปแสดงดังรูป 4.6(ข) ซึ่งเฟส/ฟรีคววนซีดีเทคเตอร์ และวงจรซาร์จ-ปั๊ม นี้จะทำงานตาม สเตทไคอะแกรมดังรูปที่ 4.6(ก)



(ก)



(จ)

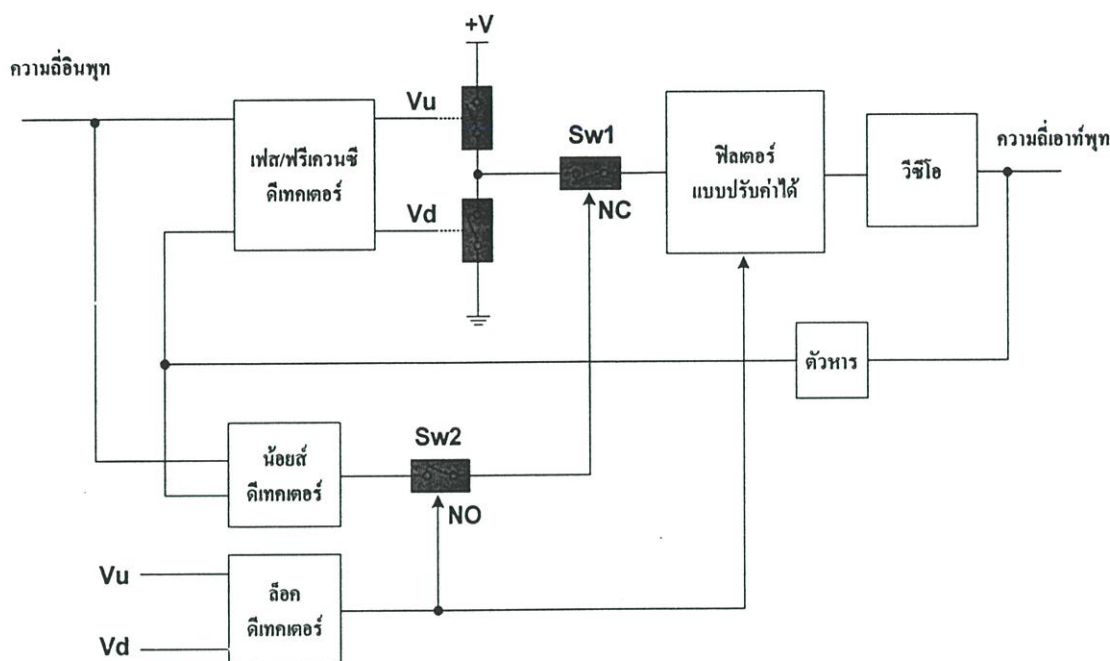
รูปที่ 4.6 แสดงสเตตโคอะแกรมของเฟส/ฟรีควนซ์ดีเทคเตอร์ แบบ 3-สเตต และเฟสล็อกคูลูป
ทั่วไป

- (ก) สเตตโคอะแกรมของเฟส/ฟรีควนซ์ ดีเทคเตอร์ แบบ 3-สเตต
(จ) เฟสล็อกคูลูปทั่วไป

จากรูปที่ 4.6(ก) เฟส/ฟรีควนซ์ดีเทคเตอร์จะทำงานตามขอบขาขึ้นของพัลส์รูปสี่เหลี่ยมที่เข้ามาที่ขาทั้ง 2 ของอินพุต (R, V) โดยเราให้สถานะเริ่มต้นอยู่ที่สเตตที่ 2 และเมื่อเฟส/ฟรีควนซ์ดีเทคเตอร์ตรวจเจอขอบขาขึ้นของ R ก่อน V ก็จะทำให้การเปลี่ยนสเตตไปยังสเตตที่สูงขึ้น ทำให้เอาต์พุตของวงจรรายจัมมีค่าแรงดันที่สูงขึ้นด้วย และเมื่อ เฟส/ฟรีควนซ์ดีเทคเตอร์ตรวจเจอขอบขาขึ้นของ V ก่อน R ทำให้เฟส/ฟรีควนซ์ดีเทคเตอร์ทำการเปลี่ยนสเตตไปยังสเตตที่ต่ำลงทำให้เอาต์พุตของวงจรรายจัมมีค่าแรงดันที่ลดลง และถ้าเฟส/ฟรีควนซ์ดีเทคเตอร์ตรวจเจอว่าขอบขาขึ้นของ R กับ V เกิดขึ้นพร้อมกันเฟส/ฟรีควนซ์ดีเทคเตอร์ก็จะเปลี่ยนสเตตไปยังสเตตที่ 2 ซึ่งจะทำให้ค่าของ Vu กับ Vd เป็นศูนย์ แสดงว่าเกิดการเท่ากันของทั้งเฟสและความถี่ นั่นคือการล็อกกันของเฟสล็อกคูลูป

จากเฟสล็อกคูลูปทั่วไปในรูปที่ 4.6(จ) เราได้ทำการปรับปรุงเฟสล็อกคูลูปเพื่อให้มีความต้านทานต่อสัญญาณรบกวนสูงโดยเพิ่มวงจรร้อยสดีเทคเตอร์(วงจรถ้าหน้าทีตรวจจับสัญญาณ

รบกวนที่เข้ามาที่อินพุทของเฟสล็อกคัล (เฟสล็อกคัล) , ล็อกดีเทกเตอร์, สวิตช์(SW1) แบบปกติปิด แสดงดังรูปที่ 4.7



รูปที่ 4.7 แสดง เฟสล็อกคัลที่มีความทนทานต่อสัญญาณรบกวนสูง

จากรูปที่ 4.7 เมื่อสวิตช์ SW1เปิด ในเวลาเดียวกับที่ Vu กับ Vd เป็นศูนย์ ที่เอาต์พุทของ โลว์พาสฟิลเตอร์จะสามารถค่าแรงดันไว้ได้ เพื่อปิดกั้นสัญญาณรบกวนไม่ให้เข้าไปถึงโลว์พาสฟิลเตอร์ และวีซีโอต่อไป ทำให้ช่วยรักษาเสถียรภาพของสัญญาณนาฬิกาที่ออกจากวีซีโอได้ สวิตช์SW1นี้จะทำงานเมื่อได้รับสัญญาณจากนอยส์ดีเทกเตอร์

สถานะการทำงานต่างๆของเฟสล็อกคัลที่นำมาเสนอนั้น แบ่งการทำงานเป็น 3 สถานะคือ ก่อน ล็อกหรือก่อนเข้าสู่สภาวะล็อก , หลังการเข้าสู่สภาวะล็อกแล้วและไม่มีสัญญาณรบกวน และ หลังการเข้าสู่สภาวะล็อกแล้วและมีสัญญาณรบกวน แสดงสถานะการทำงานดังในตารางที่ 1

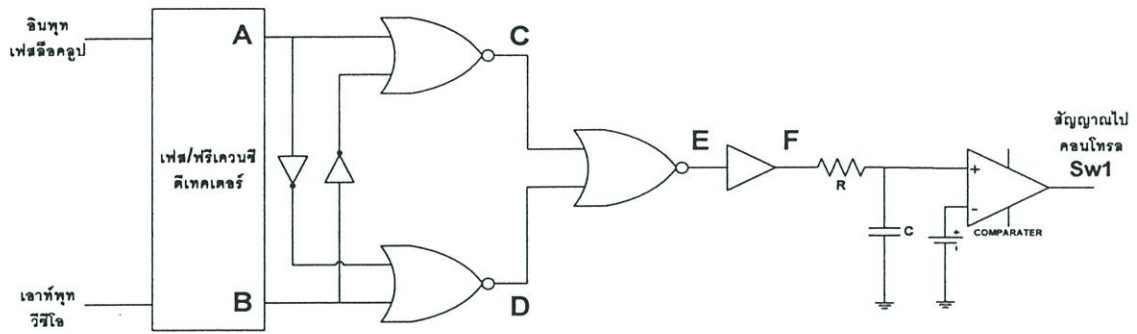
ตารางที่ 4.1 แสดงสภาวะการทำงานของโล้วฟาสฟิลเตอร์ , ลีออคคิตเทคเตอร์ , สวิทช์1 และสวิทช์2 ในกรณี ก่อนลือกหรือก่อนเข้าสู่สภาวะลือก , หลังการเข้าสู่สภาวะลือกแล้วและไม่มีสัญญาณรบกวน , หลังการเข้าสู่สภาวะลือกแล้วและมีสัญญาณรบกวน

โล้วฟาสฟิลเตอร์	แบนด์วิดท์กว้าง	แบนด์วิดท์แคบ	แบนด์วิดท์แคบ	แบนด์วิดท์แคบ
ลีออคคิตเทคเตอร์	ยังไม่ลือก	ลือกแล้ว	ลือกแล้ว	ลือกแล้ว
สวิทช์ 1	ปิด	ปิด	เปิด	ปิด
สวิทช์ 2	เปิด	ปิด	ปิด	ปิด
น็อยส์คิตเทคเตอร์	ไม่มีสัญญาณรบกวน	ไม่มีสัญญาณรบกวน	มีสัญญาณรบกวนเข้ามา	ไม่มีสัญญาณรบกวน

4.4.1 วงจรน็อยส์คิตเทคเตอร์

ในส่วนน็อยส์คิตเทคเตอร์จะมีส่วนประกอบคล้ายกับเฟสลือกคูลูป แต่จะมี 3 ส่วนหลัก คือ เฟส/ฟรีควนซีคิตเทคเตอร์ วงจรลอจิก และวงจรฟิลเตอร์ วงจรฟิลเตอร์ที่นำมาใช้ในน็อยส์คิตเทคเตอร์นี้ต้องมีผลตอบสนองที่ไวกว่าฟิลเตอร์ในวงจรเฟสลือกคูลูป ในที่นี้เราใช้ฟิลเตอร์แบบ R-C ธรรมดาเพื่อจะได้ตรวจจับสัญญาณรบกวนได้ก่อนแล้วส่งสัญญาณไปคอนโทรลสวิทช์ SW1

อินพุทของน็อยส์คิตเทคเตอร์จะต่อขนานอยู่กับอินพุทของตัวเฟส/ฟรีควนซีคิตเทคเตอร์ เพื่อตรวจจับสัญญาณรบกวนที่เป็นความถี่สูงขนาดใหญ่ที่เข้ามาทางอินพุทของเฟสลือกคูลูป โดยน็อยส์คิตเทคเตอร์นี้จะให้เอาท์พุทออกมาเมื่อเกิดความถี่ที่ต่างกัน ที่อินพุทซึ่งก็คือสัญญาณรบกวนความถี่สูงที่เข้ามาที่สายอินพุท เทียบกับเอาท์พุทของวีซีโอ วงจรน็อยส์คิตเทคเตอร์แสดงดังรูปที่ 4.8



รูปที่ 4.8 แสดงวงจรน้อยสัติเทคเตอร์

จากรูปที่ 4.8 วงจรเฟสฟรีควนซีดีเทคเตอร์จะให้เอาต์พุตที่ A (V_u) หรือ B (V_d) เป็นลอจิกสูงก็ต่อเมื่อมีผลต่างของเฟสหรือความถี่ที่อินพุตของวงจร เราจึงนำเอาเอาต์พุต A กับ B มาต่อผ่านวงจรลอจิกที่ออกแบบมาให้มีลอจิกสูงออกมาที่เอาต์พุตที่จุด F เมื่อมีความถี่ที่ต่างกันเนื่องมาจากสัญญาณรบกวนความถี่สูงเข้ามา โดยมีการทำงานของวงจрдังตารางที่ 4.2

ตารางที่ 4.2 ตารางแสดงการทำงานของวงจรลอจิก

อินพุต		เอาต์พุต			
A	B	C	D	E	F
0	0	0	0	1	0
0	1	1	0	0	1
1	0	0	1	0	1
1	1	0	0	1	0

โดยเอาต์พุตที่ออกจากจุด F จะเป็นลอจิกสูงก็ต่อเมื่อมีสัญญาณรบกวนความถี่สูงเข้ามา และจะผ่านวงจรโลว์พาสฟิลเตอร์ เพื่อเป็นการกรองเอาความถี่สูงออก แล้วผ่านวงจรคอมพาราเตอร์เพื่อปรับสัญญาณให้ได้สัญญาณที่เป็นดิจิตอลและนำไปควบคุมสวิตช์ SW1 ต่อไป

4.4.2 วงจรลือคคิเทคเตอร์

เนื่องจากเพื่อกันความผิดพลาดในการตรวจจับสัญญาณรบกวนของน้อยสัติเทคเตอร์ เราจำเป็นต้องเพิ่มวงจรลือคคิเทคเตอร์เข้าไปเพื่อทำการเปลี่ยนแบนด์วิดท์ของตัวโลว์พาสฟิลเตอร์ และ

ทำหน้าที่ไปปิดสวิทช์(SW2)เพื่อให้วงจรน้อยสวิตช์เทคเตอร์ทำงาน และอนุญาตให้เอาสัญญาณจากน้อยสวิตช์เทคเตอร์ไปใช้ได้เมื่อเฟลล็คคูลุปเข้าสู่สภาวะล็คแล้วเท่านั้น



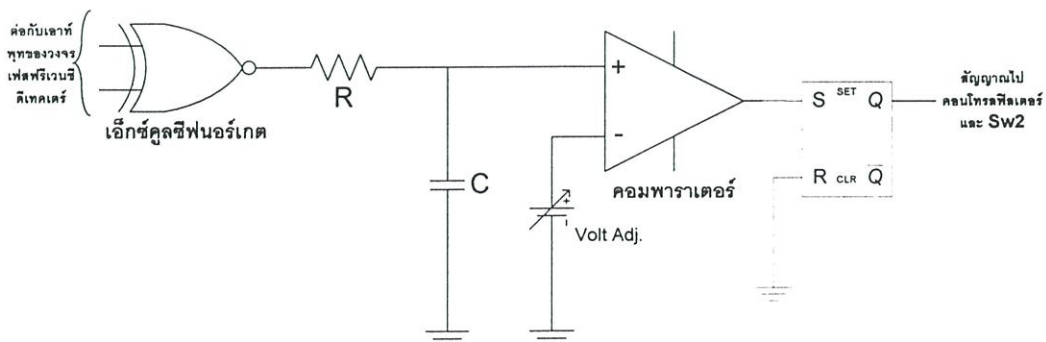
รูปที่ 4.9 แสดงวงจรเอ็กซ์คลูซีฟนอร์เกต

ล็คคิตเทคเตอร์ใช้เอ็กซ์คลูซีฟนอร์เกตซึ่งการทำงานของเอ็กซ์คลูซีฟนอร์เกตดังตาราง 4.3 เมื่อมีอินพุทที่มีลอจิกสัญญาณเหมือนกันเข้ามา เอ็กซ์คลูซีฟนอร์เกตจะให้เอาท์พุทที่เป็นลอจิกสูงออกมาและเมื่ออินพุทได้รับสัญญาณที่มีลอจิกต่างกันเข้ามาก็จะให้ลอจิกศูนย์ออกมา

ตารางที่ 4.3 ตารางแสดงการทำงานของเอ็กซ์คลูซีฟนอร์เกต

อินพุท		เอาท์พุท
In1	In2	Output
0	0	1
0	1	0
1	0	0
1	1	1

แล้วเรานำเอ็กซ์คลูซีฟนอร์เกตมาต่อกับวงจร R-C ฟีลเตอร์ การทำงานก็จะมีกรชาร์จประจุเข้าตัวเก็บประจุทุกครั้งที่มีสัญญาณ V_u และ V_d มีค่าเท่ากัน(ความถี่และเฟสตรงกัน) มีการปรับสัญญาณอีกครั้งด้วยวงจรคอมพาราเตอร์เพื่อให้ได้สัญญาณที่เป็นดิจิตอล กล่าวคือเอาท์พุทของวงจรล็คคิตเทคเตอร์จะให้ลอจิกสูงออกมาเมื่อเฟลล็คคูลุปเข้าสู่สภาวะล็คแล้วเท่านั้น เราจะนำสัญญาณนี้ไปคอนโทรล สวิทช์SW2 และวงจรฟีลเตอร์แบบปรับค่าได้



รูปที่ 4.10 แสดงวงจรล็คคิตเทคเตอร์

บทที่ 5

การทดลองและผลการทดลอง

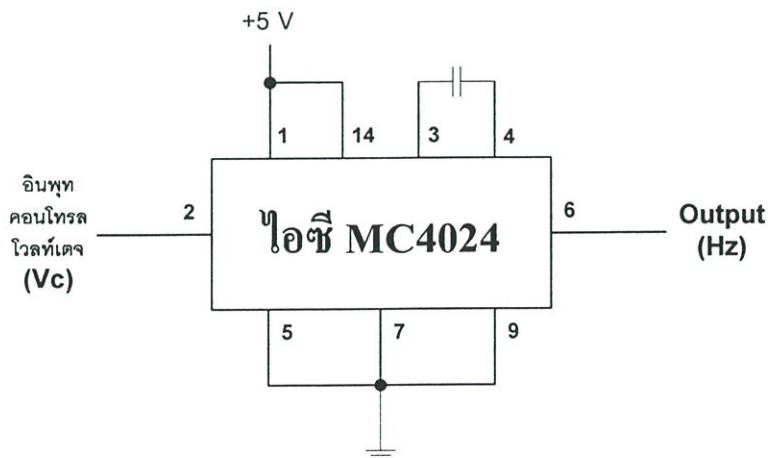
เพื่อเป็นการที่จะออกแบบเฟสล็อกคูลูปที่มีความคงทนต่อสัญญาณรบกวนสูง ให้ได้ประสิทธิภาพที่ดี ดังที่กล่าวไว้ในบทที่ 4 นั้น จึงต้องมีการหาค่าพารามิเตอร์ต่างๆที่จะนำมาออกแบบวงจรโลว์พาสฟิลเตอร์ เพื่อให้เฟสล็อกคูลูปมีการทำงานที่ดี เนื่องจากวงจรโลว์พาสฟิลเตอร์จะเป็นตัวกำหนดสถานะในช่วงทรานส์เซียนลของระบบเฟสล็อกคูลูป แล้วจึงทำการวัดผลของสัญญาณรบกวนที่เข้ามาที่อินพุทของเฟสล็อกคูลูปเพื่อดูขนาดของสัญญาณรบกวนที่มีผลต่อการทำงานของเฟสล็อกคูลูป ออกแบบวัดผลโลว์พาสฟิลเตอร์ที่มี 2 แบนด์วิดท์ รวมถึงการสร้างและทดสอบการทำงานของ 2 วงจรที่เป็นส่วนประกอบที่สำคัญ ที่จะทำให้เฟสล็อกคูลูปมีความคงทนต่อสัญญาณรบกวนมากขึ้นคือ วงจรนอยส์ดีเทคเตอร์ และวงจรถ็อกคิตเดคเตอร์

5.1 การหาค่าพารามิเตอร์ของเฟสล็อกคูลูป

การหาค่าพารามิเตอร์ K_p ที่กล่าวไว้ในบทที่ 2 ทำโดยการป้อนสัญญาณความถี่ที่เท่ากันที่อินพุททั้งสองของ วงจรเฟส/ฟรีควเอนซีดีเทคเตอร์ ในการทดลองนี้เราใช้ วงจรเฟส/ฟรีควเอนซีดีเทคเตอร์ที่เป็นไอซีเบอร์ MC4044 แล้วปรับดูที่ค่าความต่างเฟสระหว่างขาทั้งสองว่าได้ค่าแรงดันออกมาที่วงจรชาร์จ-ปั๊ม ซึ่งจากการทดลองเราได้เท่ากับ 4.8 โวลต์ แล้วนำค่าที่ได้มาคำนวณหาค่าของ K_p จาก

$$K_p = \frac{4.8}{2\pi} = 0.764 \text{ V/rad}$$

ส่วนการหาค่า K_{vco} นั้นเราได้จากการทดลองต่อวงจรวีซีโอ ในการทดลองนี้เราใช้ไอซี โวลต์เดจ คอนโทรล มิลติไวเบรเตอร์ เบอร์ MC4024 มาต่อวงจรตามรูปที่ 5.1

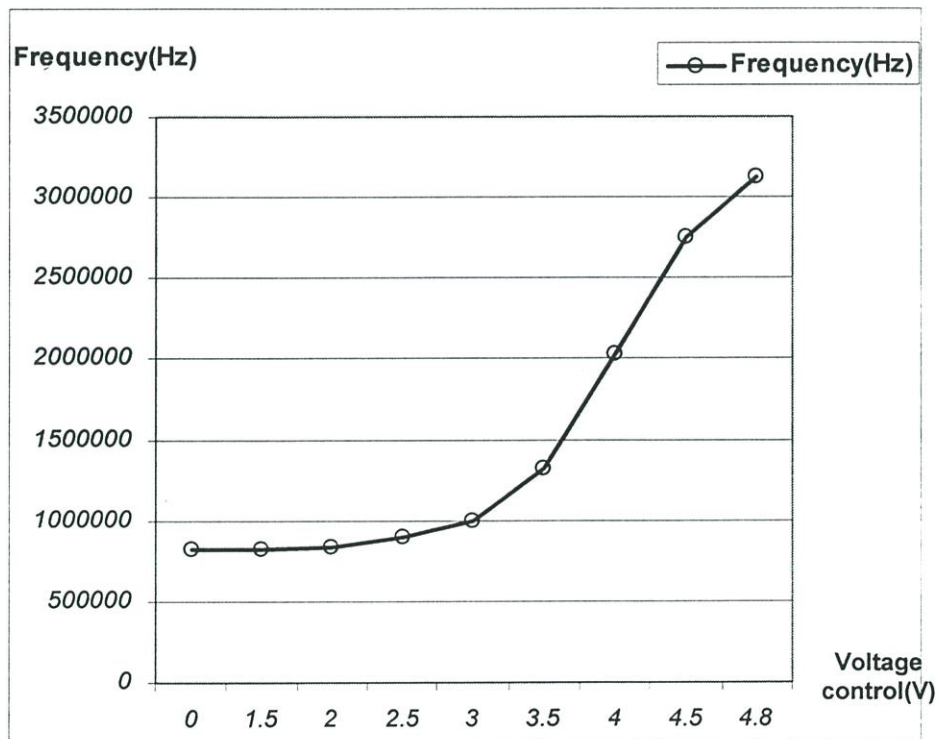


รูปที่ 5.1 การต่อวงจรวีซีโอ โดยใช้ไอซีเบอร์ MC4024

แล้วทำการวัดค่าความถี่ที่ออกมาจากการแปรค่าโวลต์ที่อินพุทขา 2 ของไอซี 4024 ได้ ดังตารางที่ 5.1 และกราฟในรูปที่ 5.2

ตารางที่ 5.1 แสดงความถี่ที่เอาต์พุทของวีซีโอ

Volt	Frequency(Hz)
0	8.26E+05
1.5	8.26E+05
2	8.40E+05
2.5	9.00E+05
3	1.00E+06
3.5	1.32E+06
4	2.03E+06
4.5	2.75E+06
4.8	3.13E+06

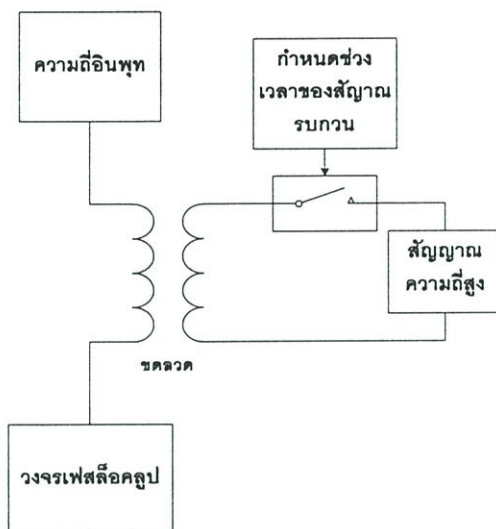


รูปที่ 5.2 แสดงกราฟความถี่เอาต์พุทของวีซีโอต่อแรงดันที่ป้อนเข้าไป

จากรูปที่ 5.2 กราฟ จะมีย่านที่เป็นเชิงเส้น อยู่ในช่วง 3.5-4.5 โวลต์ซึ่งได้ค่าความถี่เท่ากับ 1.32MHz - 2.75MHz เราก็จะสามารถหา K_{vco} ได้ $K_{vco} = \frac{3.13\text{MHz} - 1.32\text{MHz}}{4.5 - 3.5} = 1.81 \times 10^6$ Hz/V แล้วเราจะนำค่า K_p กับ K_{vco} ที่ได้มาคำนวณหาค่าพารามิเตอร์ของ โลว์พาสฟิลเตอร์แบบ ลีด-แลค ทั้งแบบแบนด์วิดท์กว้างและแบนด์วิดท์แคบ ซึ่งโดยปกติเราจะใช้เป็นแบบแบนด์วิดท์กว้าง

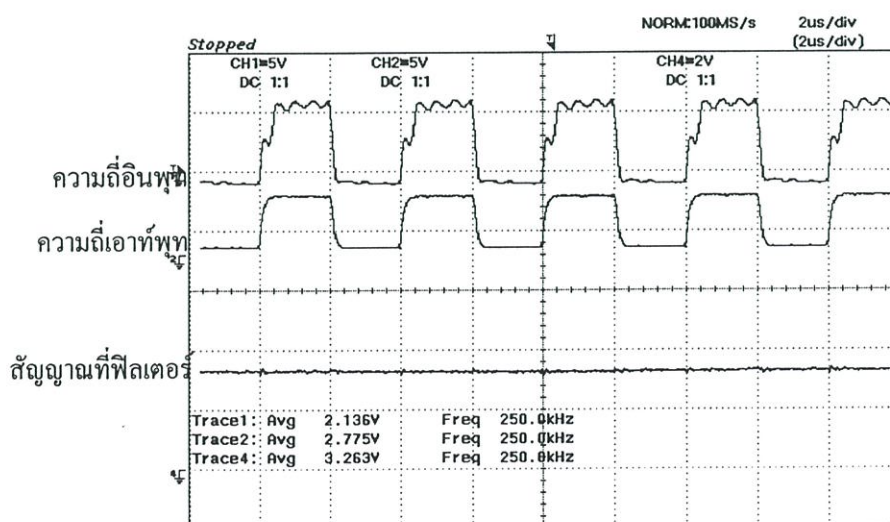
5.2 ผลของสัญญาณรบกวนต่ออินพุทของเฟสล็อกคัล

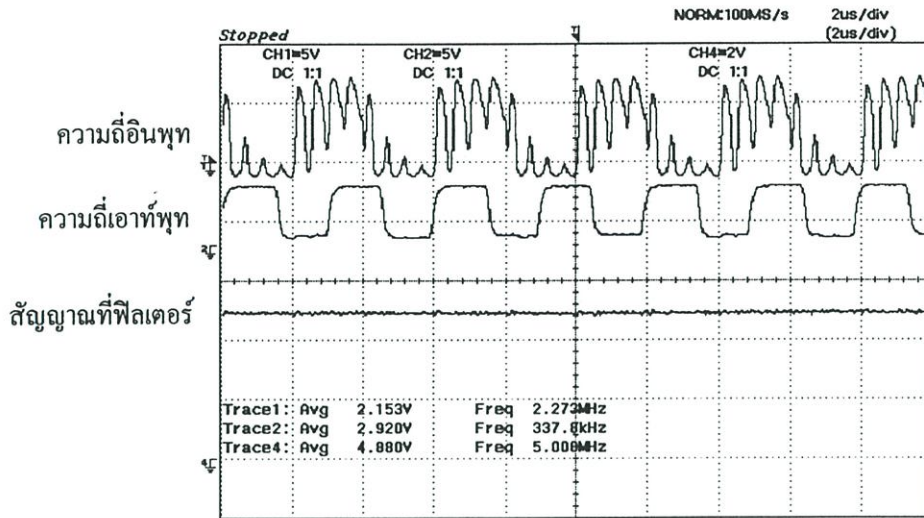
การทดสอบการทนต่อสัญญาณรบกวนที่อินพุทของเฟสล็อกคัลทำได้จากการต่อสัญญาณความถี่สูงที่เราสมมุติว่าเป็นสัญญาณรบกวนเข้ากับตัวเหนี่ยวนำข้างหนึ่ง อีกข้างหนึ่งต่อสัญญาณที่เราให้เป็นความถี่อินพุทของวงจรเฟสล็อกคัลดังรูป 5.3



รูปที่ 5.3 แสดงการต่อสัญญาณรบกวนเข้ากับความถี่อินพุทเฟสล็อกคัล

จากการทดลองป้อนสัญญาณรบกวนเข้าไปที่อินพุทเฟสล็อกคัลจะเห็นว่า สัญญาณรบกวนที่มีผลต่อเฟสล็อกคัลจะต้องมีขนาดแอมพลิจูดของสัญญาณเท่ากับหรือมากกว่า 4 โวลต์ขึ้นไป จึงจะทำให้ได้ความถี่ที่ไม่ตรงกับความถี่ที่ป้อนให้กับเฟสล็อกคัล



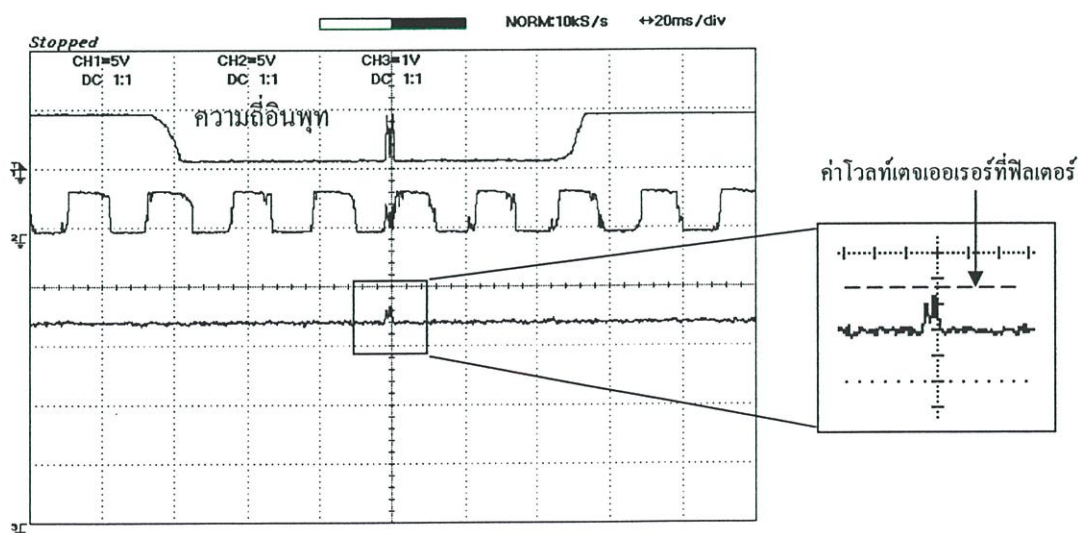


(ข)

รูปที่ 5.4 แสดงการป้อนสัญญาณรบกวนที่มีขนาดน้อยและมาก เข้าไปที่อินพุทของเฟสล็อกคัล

- (ก) สัญญาณรบกวนขนาด 1 โวลต์
- (ข) สัญญาณรบกวนขนาด 4 โวลต์

จากรูปที่ 5.4(ข) จะเห็นว่าสัญญาณที่ฟิลเตอร์จะยกระดับขึ้นมาจากในรูปที่ 5.4(ก)ทำให้แรงดันที่จ่ายให้กับวีซีโอเปลี่ยนไปเช่นเดียวกับความถี่ที่เปลี่ยนไปด้วย เราจึงเอาขนาดสัญญาณรบกวนที่มีขนาดเท่ากับ 4 โวลต์มากำหนดช่วงเวลาป้อนเข้าไปในเฟสล็อกคัล เพื่อวัดค่าโวลต์เดจเออเรียที่โลว์พาสฟิลเตอร์ดังรูปที่ 5.5

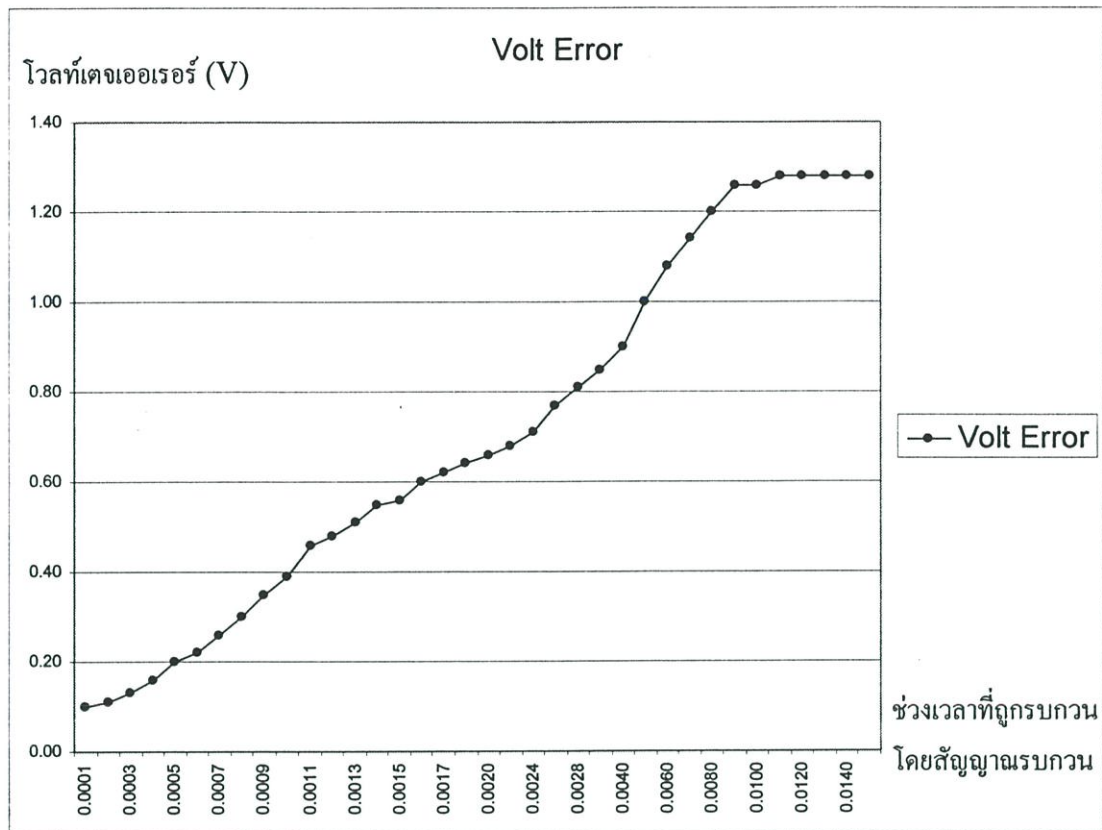


รูปที่ 5.5 แสดงการวัดค่าโวลต์เดจเออเรียที่ฟิลเตอร์ของเฟสล็อกคัล

จากการวัดค่าโวลต์เตจเออเรอร์ที่โลว์พาสฟิลเตอร์เราจะได้อ้างตารางที่ 5.2 และนำมาพล็อตกราฟได้ดังรูปที่ 5.6

ตารางที่ 5.2 แสดงการวัดค่าโวลต์เตจเออเรอร์เทียบกับช่วงเวลาที่ถูกรบกวนโดยสัญญาณรบกวน

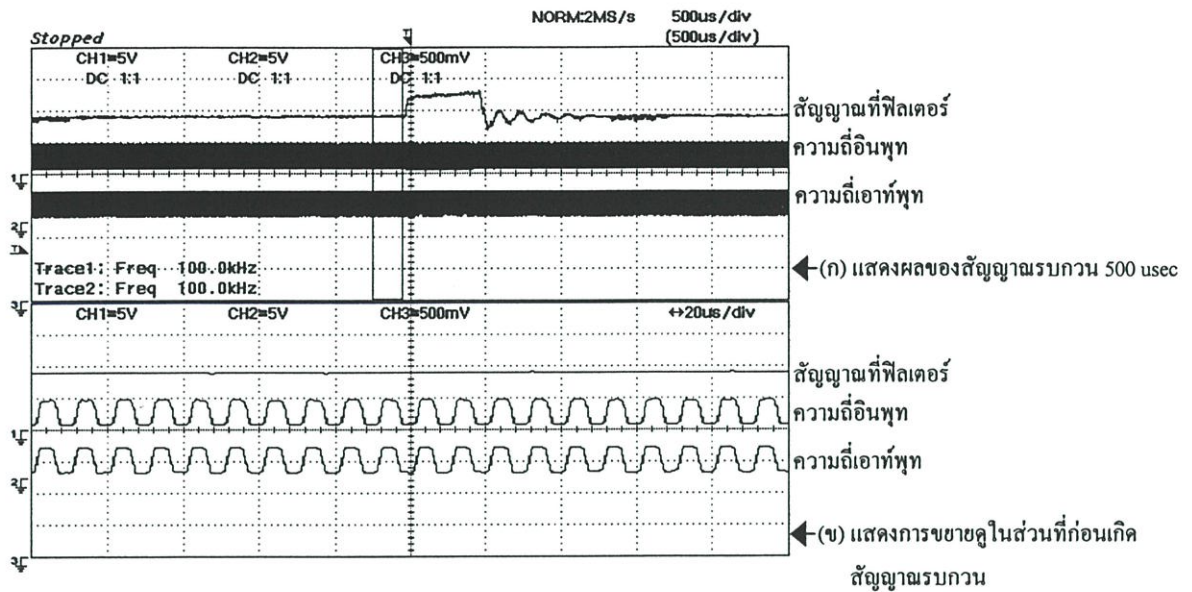
ช่วงเวลาที่ถูกรบกวน โดยสัญญาณรบกวน (sec)	ค่าโวลต์เตจ เออเรอร์ (Volt)
1.00E-04	1.00E-01
2.00E-04	1.10E-01
3.00E-04	1.30E-01
4.00E-04	1.60E-01
5.00E-04	2.00E-01
6.00E-04	2.20E-01
7.00E-04	2.60E-01
8.00E-04	3.00E-01
9.00E-04	3.50E-01
1.00E-03	3.90E-01
1.10E-03	4.60E-01
1.20E-03	4.80E-01
1.30E-03	5.10E-01
1.40E-03	5.50E-01
1.50E-03	5.60E-01
1.60E-03	6.00E-01
1.70E-03	6.20E-01
1.80E-03	6.40E-01
2.00E-06	6.60E-01
2.20E-06	6.80E-01
2.40E-03	7.10E-01
2.60E-03	7.70E-01
2.80E-03	8.10E-01
3.00E-03	8.50E-01
4.00E-03	9.00E-01
5.00E-03	1.00E+00
6.00E-03	1.08E+00
7.00E-03	1.14E+00
8.00E-03	1.20E+00
9.00E-03	1.26E+00
1.00E-02	1.26E+00
1.10E-02	1.28E+00
1.20E-02	1.28E+00
1.30E-02	1.28E+00
1.40E-02	1.28E+00
1.50E-02	1.28E+00



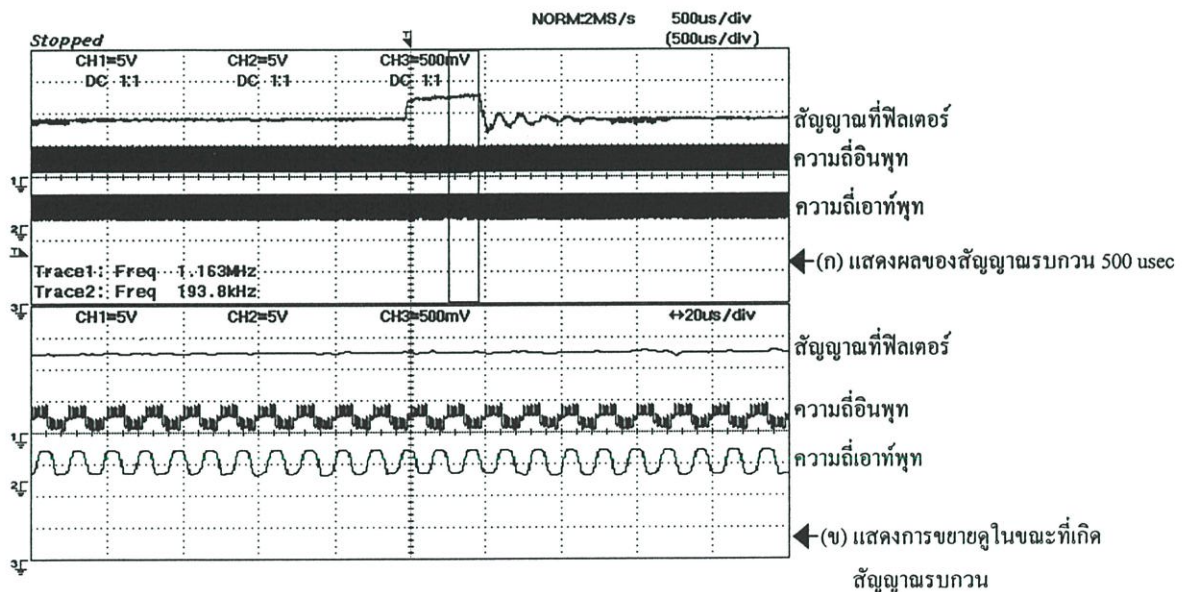
รูปที่ 5.6 แสดงกราฟระหว่าง โวลต์เตจเออเรอร์เทียบกับช่วงเวลาที่ถูกปรับกว โดยสัญญาณรบกวน

จากกราฟในรูปที่ 5.6 ค่าของ โวลต์เตจเออเรอร์จะมีค่าเพิ่มขึ้นเรื่อยๆ เมื่อเราเพิ่มช่วงเวลาที่ถูกปรับกว โดยสัญญาณรบกวนมากขึ้น ซึ่งค่าแรงดันที่เพิ่มขึ้นนี้ก็จะไปทำให้เฟสและความถี่ที่เอาท์พุทของวีซีโอเปลี่ยนไป

รูปที่ 5.7 ทำการทดสอบวงจรเฟสล็อก โดยการป้อนสัญญาณรบกวนเข้าไปที่ความถี่อินพุทเป็นเวลา 500 μsec



รูปที่ 5.7 แสดงการทดสอบผลของสัญญาณรบกวนช่วงเวลา 500 µ sec และ ขยายดูความถี่ที่ก่อนเกิดสัญญาณรบกวน



รูปที่ 5.8 แสดงการทดสอบผลของสัญญาณรบกวนช่วงเวลา 500 µ sec และขยายดูความถี่ในช่วงที่เกิดสัญญาณรบกวน

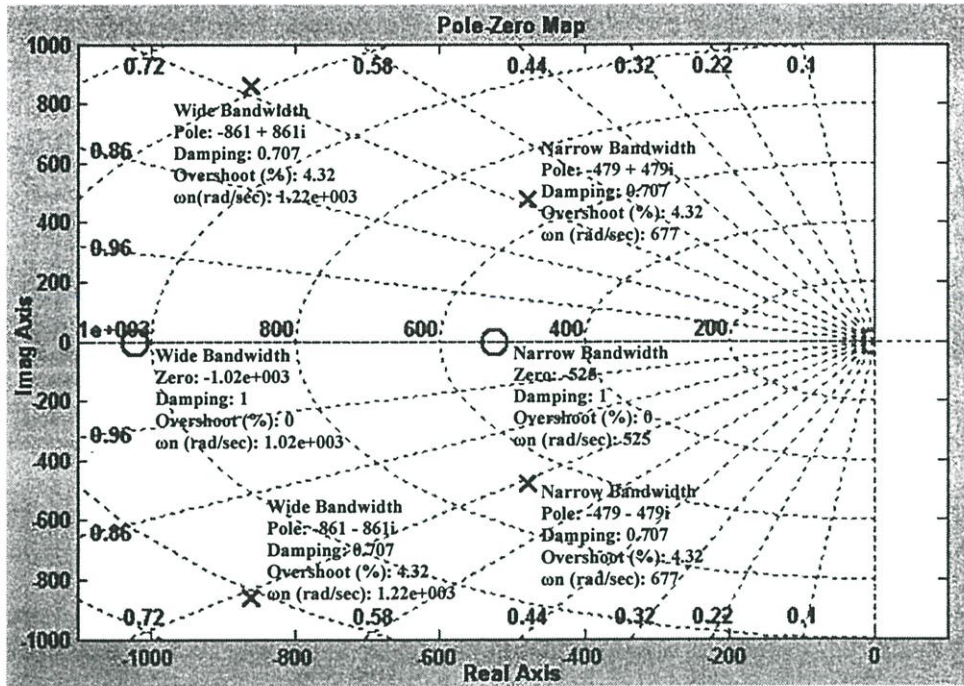
จากการทดลองเราป้อนความถี่อินพุทเท่ากับ 100kHz ในรูปที่ 5.7 ที่ก่อนเกิดสัญญาณรบกวน ความถี่ที่เอาต์พุทจะยังคงเท่ากับความถี่อินพุทอยู่ และเมื่อเราป้อนสัญญาณรบกวนเข้าไปในรูปที่ 5.8 จะเห็นว่าความถี่อินพุทเปลี่ยนและทำให้ความถี่ที่เอาต์พุทเปลี่ยนไปด้วยเช่นกัน

5.3 การทดลองในส่วนของฟิลเตอร์แบบปรับค่าได้

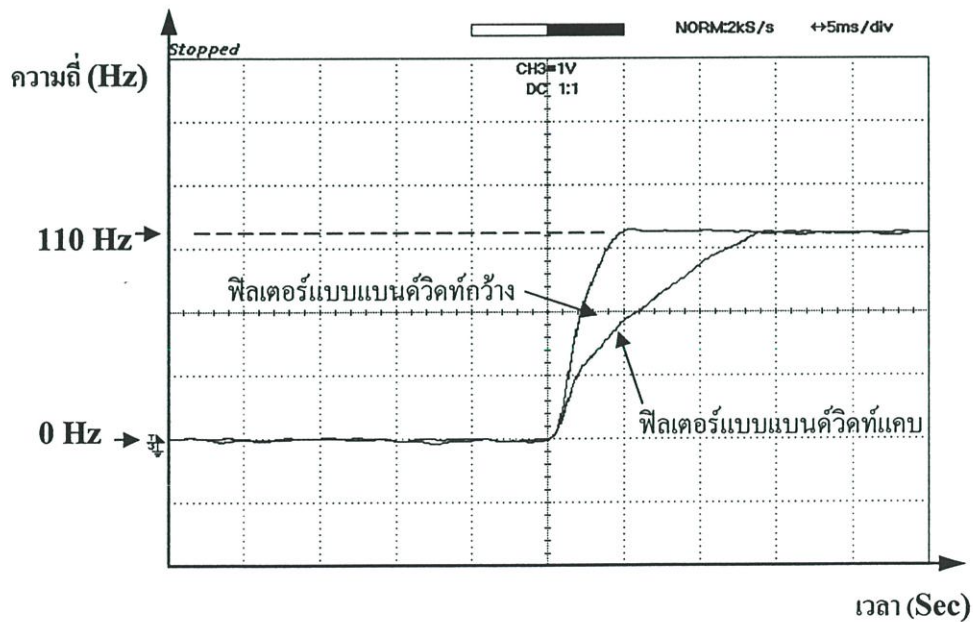
จากการออกแบบฟิลเตอร์ในบทที่ 4 เราจะได้ฟิลเตอร์มา 2 แบบคือ แบบแบนด์วิดท์กว้าง กับแบนด์วิดท์แคบ ซึ่งได้แสดงค่าพารามิเตอร์ที่คำนวณได้ดังตารางที่ 5.3 แบบแบนด์วิดท์กว้างนี้ เราจะใช้ในช่วงทรานส์เซียนลเพื่อให้ระบบเฟสล๊อคหลุดเข้าสู่สภาวะล๊อคได้เร็วขึ้น ส่วนแบบแบนด์วิดท์แคบเราจะใช้เมื่อเฟสล๊อคหลุดเข้าสู่สภาวะล๊อคแล้วเท่านั้นเพื่อทำให้ฟิลเตอร์คงค่าแรงดันได้นานขึ้น และให้วงจรมีข้อดีที่เทคนิคการทำงานได้ทันก่อนที่ผลของสัญญาณรบกวนจะเข้ามาที่ฟิลเตอร์ และวิธีต่อไป

ตารางที่ 5.3 แสดงค่าพารามิเตอร์ของการปรับฟิลเตอร์แบบแบนด์วิดท์กว้างและ แบนด์วิดท์แคบ

แบนด์วิดท์กว้าง	แบนด์วิดท์แคบ
$R1 = 27 \text{ k}\Omega$	$R1 = 100 \text{ k}\Omega$
$R2 = 9.7792 \text{ k}\Omega$	$R2 = 19.060 \text{ k}\Omega$
$C = 0.1 \text{ }\mu\text{F}$	$C = 0.1 \text{ }\mu\text{F}$
$\omega_n = 1.2179\text{e}+003 \text{ rad/sec}$	$\omega_n = 676.8822 \text{ rad/sec}$
$\xi = 0.7071$	$\xi = 0.7071$
$F(s) = \frac{V_o}{V_i}(s) = \frac{0.0009779S+1}{0.003678S+1}$	$F(s) = \frac{V_o}{V_i}(s) = \frac{0.001906S+1}{0.01191S+1}$
$H(s) = \frac{\phi_o}{\phi_i}(s) = \frac{1.45\text{e}4S+1.483\text{e}7}{S^2+1722S+1.483\text{e}6}$	$H(s) = \frac{\phi_o}{\phi_i}(s) = \frac{8773S+4.582\text{e}7}{S^2+957.3S+4.582\text{e}6}$



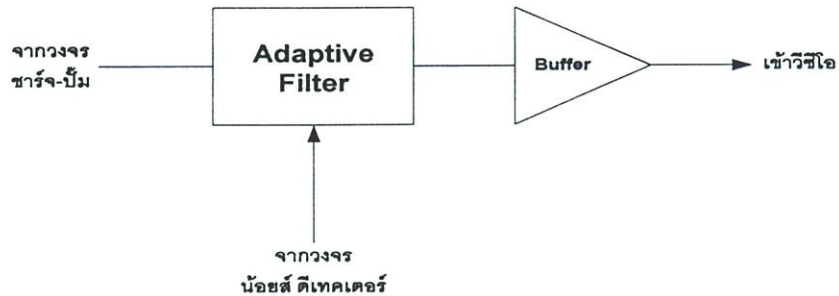
รูปที่ 5.9 แสดงการพล็อตค่า โพล-ซีโร ใน เอส-แพลนท์(S-Plant) ของระบบเฟสล็อกคูลที่ต่อด้วยฟิลเตอร์ทั้งสองด้วย โปรแกรมเมทแลป



รูปที่ 5.10 แสดงผลตอบสนองในช่วงทรานส์เซี่ยลของเฟสล็อกคูลเมื่อต่อด้วยฟิลเตอร์ทั้งสองแบบ

จากรูปที่ 5.8 ทำการสตีปความถี่จาก 0 Hz ถึง 110 kHz แล้ววัดสัญญาณที่ฟิลเตอร์ของเฟสล็อกคูล จะเห็นว่าฟิลเตอร์แบบแบนด์วิดท์กว้างจะให้ผลตอบสนองที่ช้ากว่าแบบแบนด์วิดท์แคบ

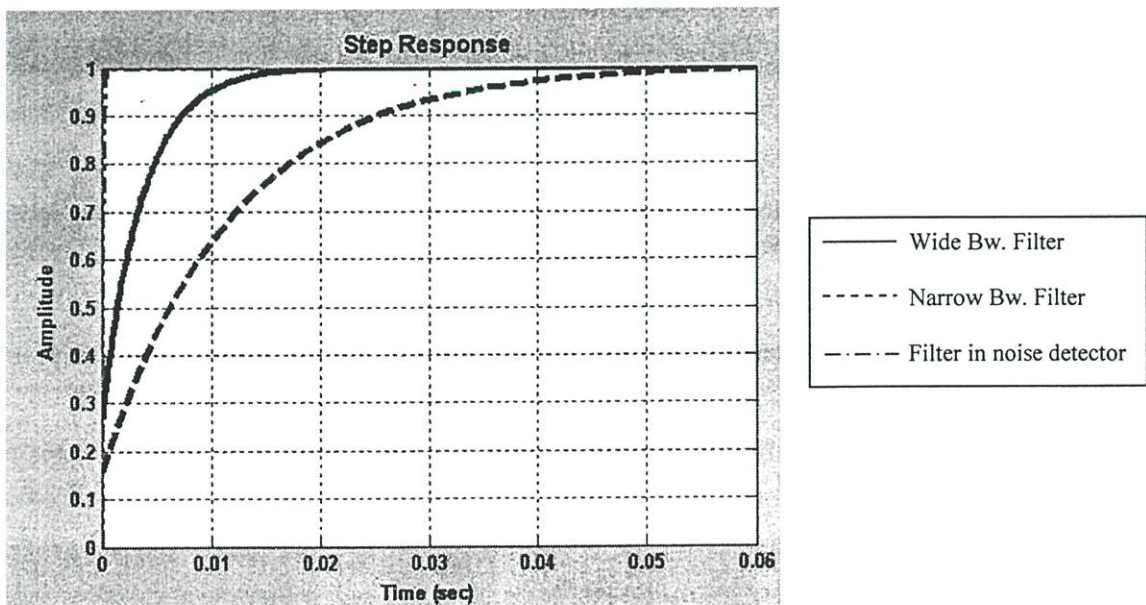
ซึ่งเป็นไปตามที่เราออกแบบ ในการต่อวงจรจริงเราต้องต่อวงจรบัฟเฟอร์หลังฟิลเตอร์ด้วย ดังรูปที่ 5.9 เพื่อให้เป็นการเพิ่มเอาต์พุตอิมพีแดนซ์ให้กับวงจรและยังเป็นผลทำให้คงค่าแรงดันได้นานขึ้นด้วย ผลของการเพิ่มบัฟเฟอร์ที่ฟิลเตอร์แสดงไว้ในภาคผนวก ข



รูปที่ 5.11 แสดงการต่อวงจรบัฟเฟอร์ที่ฟิลเตอร์

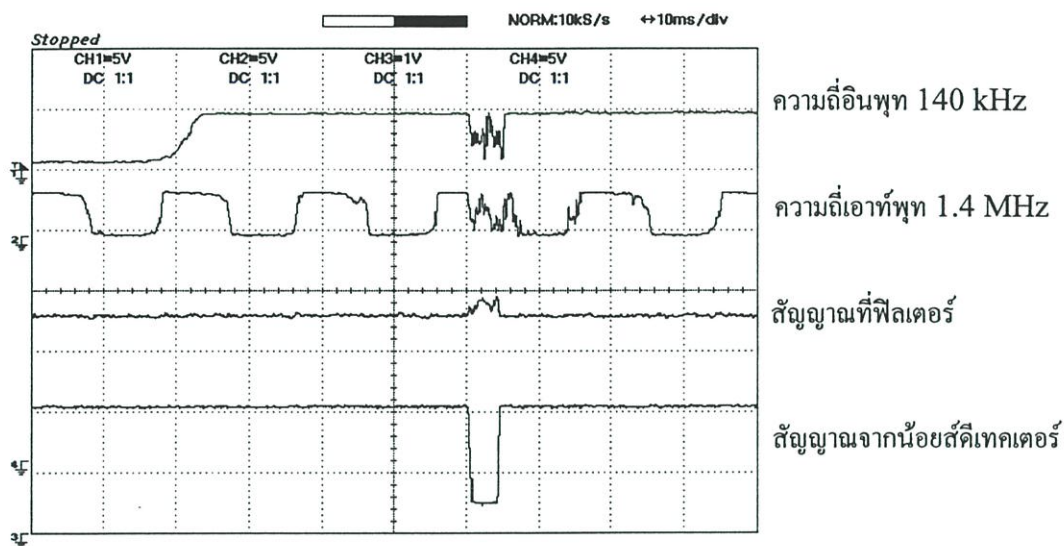
5.4 การทดสอบวงจรน้อยสดีเทคเตอร์

การทดสอบการทำงานในส่วนของน้อยสดีเทคเตอร์จากที่เราได้ออกแบบไว้ในบทที่ 4 ทำโดยการป้อนน้อยสดีเข้าไปในวงจรเป็นเวลา 5 mS และเพื่อให้การทำงานของน้อยสดีเทคเตอร์มีความถูกต้องเราต้องออกแบบให้ส่วนที่เป็นฟิลเตอร์ของน้อยสดีเทคเตอร์มีผลตอบสนองที่ไวกว่าฟิลเตอร์ในวงจรเฟสล็อกคูลูบ ในการทดลองเราใช้ค่า R เท่ากับ 1กิโลโอห์ม C เท่ากับ 0.1ไมโครฟารัด เรานำฟิลเตอร์ทั้งสามแบบมาซิมูเลตเปรียบเทียบการทำงานโดยโปรแกรมแมทแลป ดังรูปที่ 5.10



รูปที่ 5.12 ผลการซิมูเลตเปรียบเทียบผลตอบสนองต่อสเต็ปของฟิลเตอร์ทั้งสามแบบ

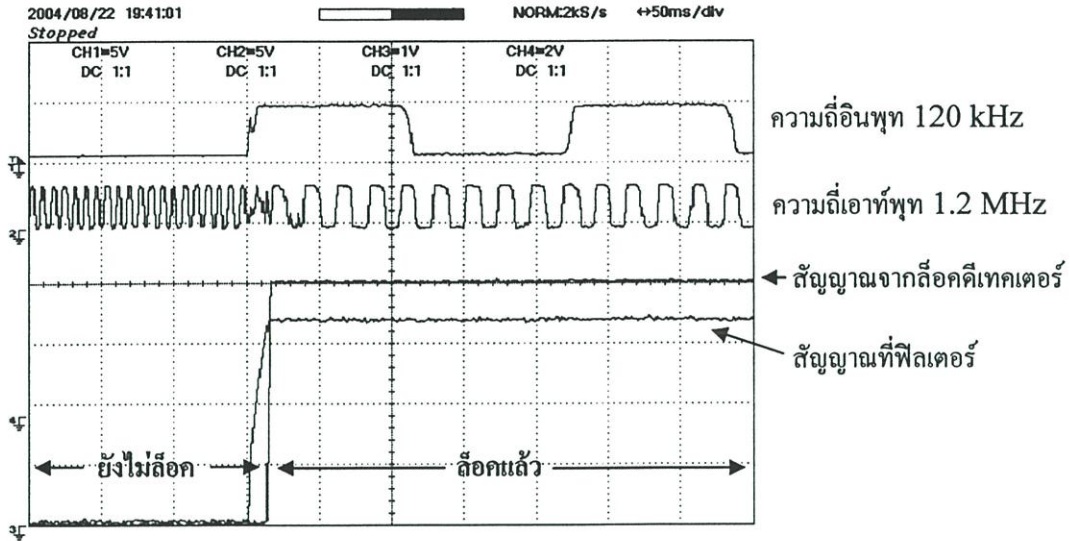
จากการซิมมูลเลทด้วยโปรแกรมแมทแลป ฟิเตอร์ที่ใช้ในวงจรน้อยสัติเทคเตอร์จะมีผลตอบสนองที่ไวที่สุด เพื่อให้ตัดสวิทช์ SW1 ได้ทันก่อนที่สัญญาณรบกวนจะเข้าไปถึงวีซีโอ ส่วนผลการทดลองการใช้งานจริงของวงจรน้อยสัติเทคเตอร์แสดงไว้ในรูปที่ 5.11



รูปที่ 5.13 การทำงานของน้อยสัติเทคเตอร์

5.5 การทดสอบวงจรลอคคิตเทคเตอร์

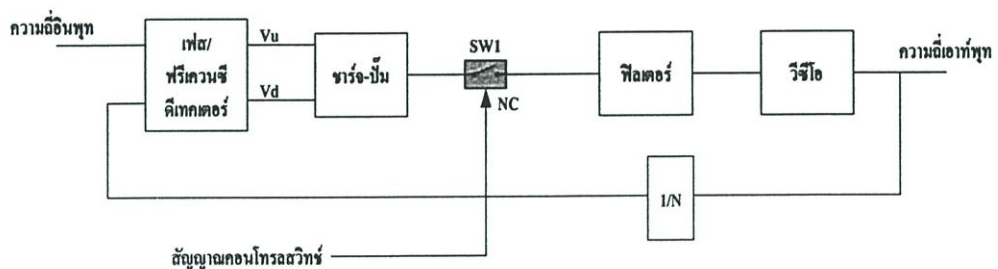
จากที่เราออกแบบวงจรลอคคิตเทคเตอร์ในบทที่ 4 รูปที่ 4.7 เรานำมาทดสอบการทำงานโดยการป้อนสเต็ปความถี่จาก 0 Hz ถึง 120 kHz แล้ววัดสัญญาณที่ ฟิเตอร์และลอคคิตเทคเตอร์ จะเห็นว่าสัญญาณจากลอคคิตเทคเตอร์จะเป็นลอจิกสูง เมื่อเฟสลอคลูปเข้าสู่สภาวะลอคแล้ว ซึ่งดูได้จากสัญญาณที่ฟิเตอร์จะอยู่ในช่วงของสภาวะคงตัว กับเอาต์พุทของวีซีโอ โดยที่สัญญาณที่ออกมาจากลอคคิตเทคเตอร์นี้จะเป็นลอจิกสูง ไปตลอดการทำงานของระบบ



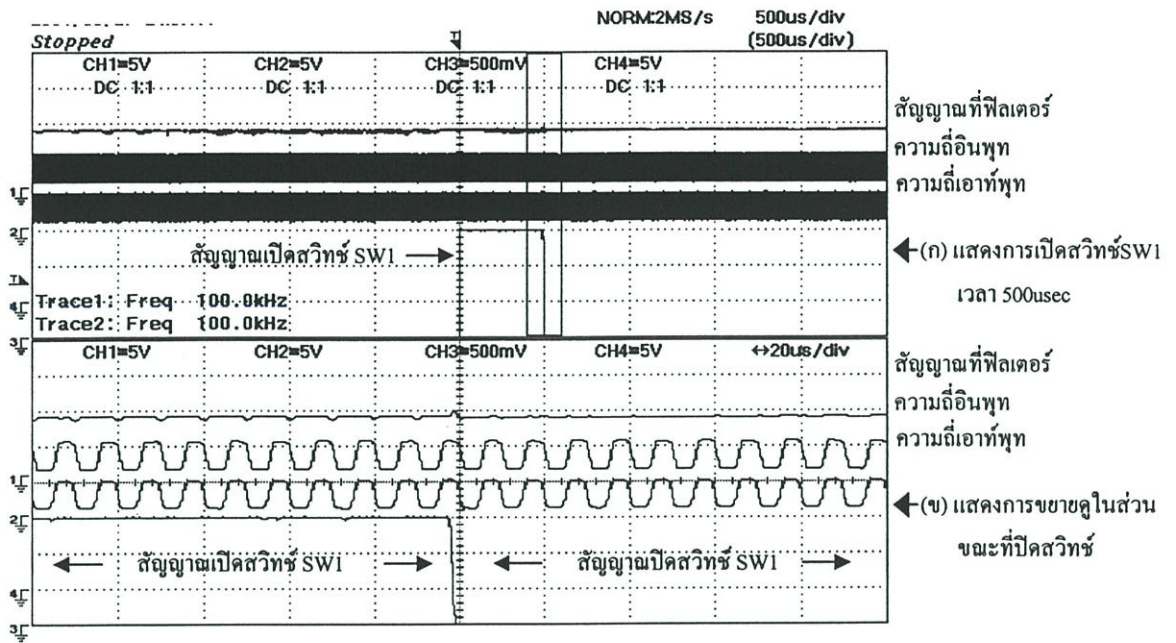
รูปที่ 5.14 การทำงานของวงจรล๊อคดีเทคเตอร์

5.6 การทดสอบผลของเฟสล๊อคคูล์ที่ปรับปรุงแล้ว

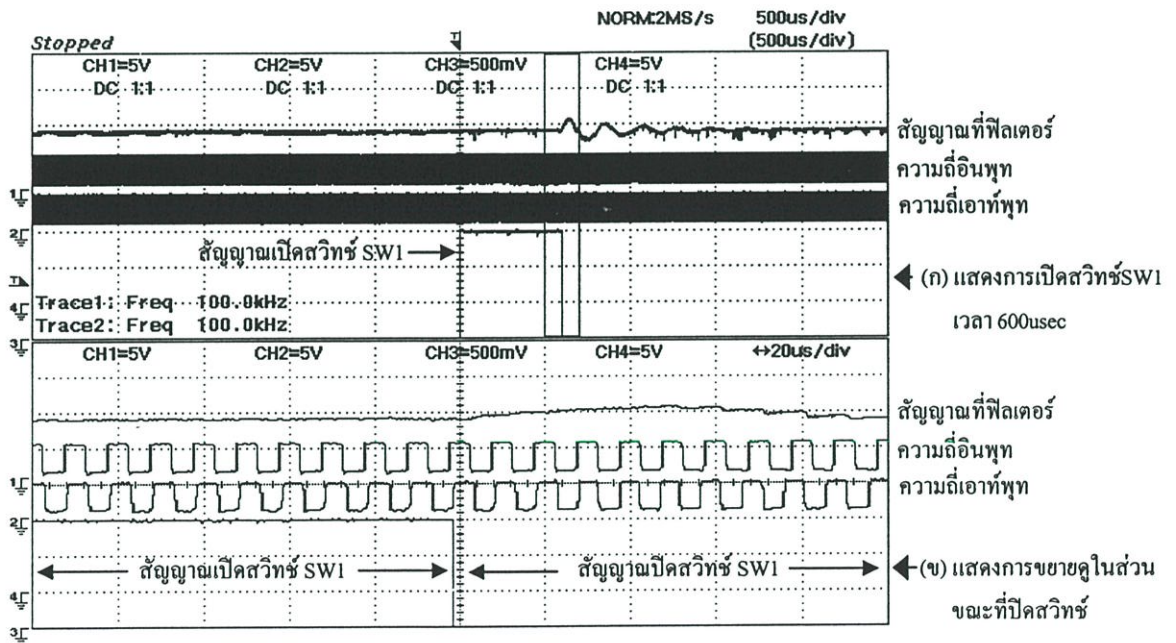
ทำการทดสอบการเปิดของสวิตช์ SW1 เป็นเวลา $500 \mu\text{sec}$ ดังรูป 5.16 จะเห็นว่าในช่วงที่เราทำการเปิดสวิตช์ SW1 เฟสและความถี่ที่อินพุทกับเอาต์พุทจะยังคงมีค่าเท่ากัน แสดงว่าเราสามารถเปิดสวิตช์ SW1 เพื่อกั้นสัญญาณรบกวนเป็นช่วงเวลาได้นานถึง $500 \mu\text{sec}$



รูปที่ 5.15 แสดงวงจรการทดลองเปิดสวิตช์ SW1



รูปที่ 5.16 แสดงการเปิดสวิตช์ SW1 เป็นเวลา 500 μ sec และขยายดูช่วงปิดสวิตช์ SW1



รูปที่ 5.17 แสดงการเปิดสวิตช์ SW1 เป็นเวลา 600 μ sec และขยายดูช่วงที่ใกล้กับการปิดสวิตช์ SW1

เมื่อเราป้อนสัญญาณรบกวนเข้าไปเป็นเวลา 600 μ sec จะเห็นว่าที่ใกล้กับการปิดสวิตช์ของ SW1 เฟสที่เอาต์พุทจะมีการเลื่อนไปเล็กน้อย และเมื่อเราทำการปิดสวิตช์จะเกิดการแกว่งของ

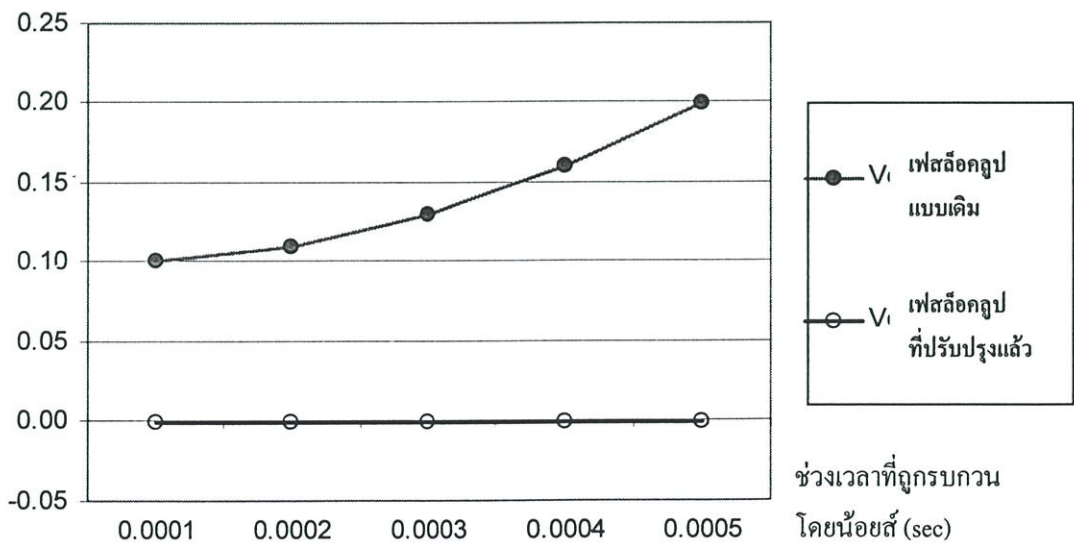
สัญญาณที่ฟิลเตอร์เพื่อเป็นการปรับเฟสของเอาต์พุตให้กลับมาเท่ากับสัญญาณที่อินพุตอีกครั้ง ทำให้เราไม่สามารถเปิดสวิตช์SW1 ได้นานเป็นเวลา $600\ \mu\text{sec}$ ได้

จากการทดสอบการทำงานในแต่ละส่วนของระบบที่ผ่านมา เรานำส่วนต่างๆมาประกอบรวมกันเป็นเฟสล็คคูลูปที่มีความคงทนต่อสัญญาณรบกวนสูงตามในรูปที่ 4.5 แล้วทำการป้อนสัญญาณรบกวนที่เป็นช่วงเวลาเข้าไปที่อินพุตของเฟสล็คคูลูป(ความถี่อินพุตที่ใช้เท่ากับ100kHz) และทำการวัดค่าโวลต์เตจเออเรอร์ที่ฟิลเตอร์เช่นในรูปที่ 5.5 แล้วนำมาพล็อตกราฟจะได้ผลการทดลองดังรูปที่ 5.16 ส่วนรูปการทดลองจริงแสดงไว้ในรูปแบบที่ 5.17 และ 5.18

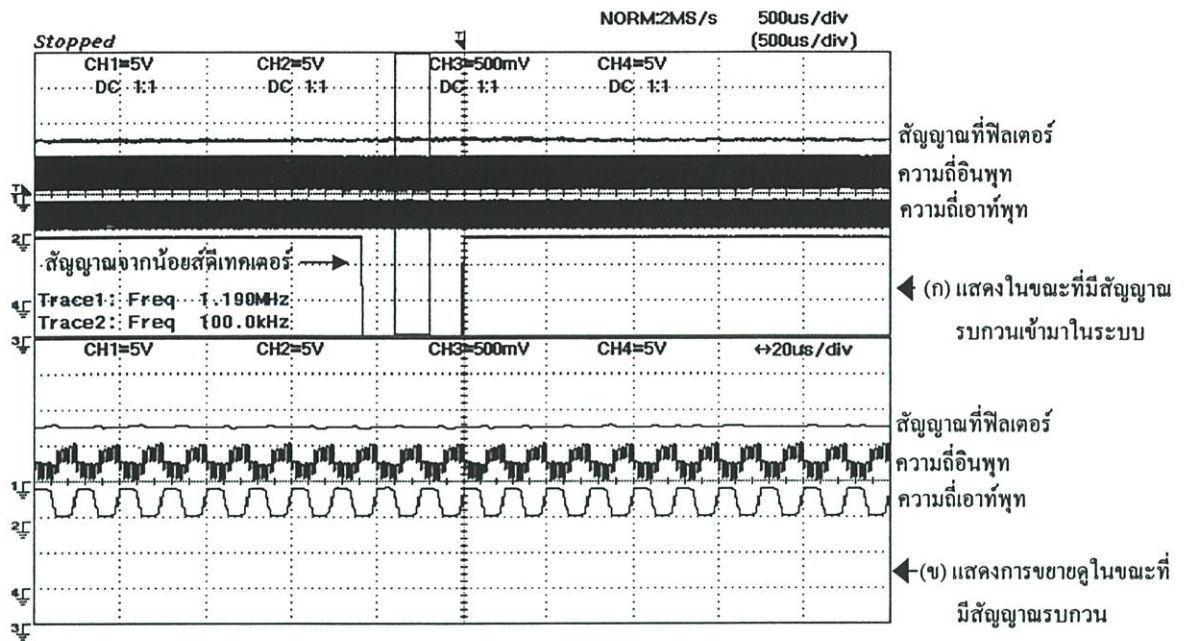
ตารางที่ 5.4 แสดงการวัดค่าโวลต์เตจเออเรอร์เทียบกับช่วงเวลาที่ถูกรบกวน โดยน้อยส์
เทียบระหว่างเฟสล็คคูลูปแบบเดิมกับแบบที่ปรับปรุงแล้ว

ช่วงเวลาที่ถูกรบกวนโดยสัญญาณรบกวน(μsec)	ค่าโวลต์เตจเออเรอร์ของเฟสล็คคูลูปแบบเดิม(Volt)	ค่าโวลต์เตจเออเรอร์ของเฟสล็คคูลูปที่ปรับปรุงแล้ว(Volt)
100	0.1	0
200	0.11	0
300	0.13	0
400	0.16	0
500	0.2	0

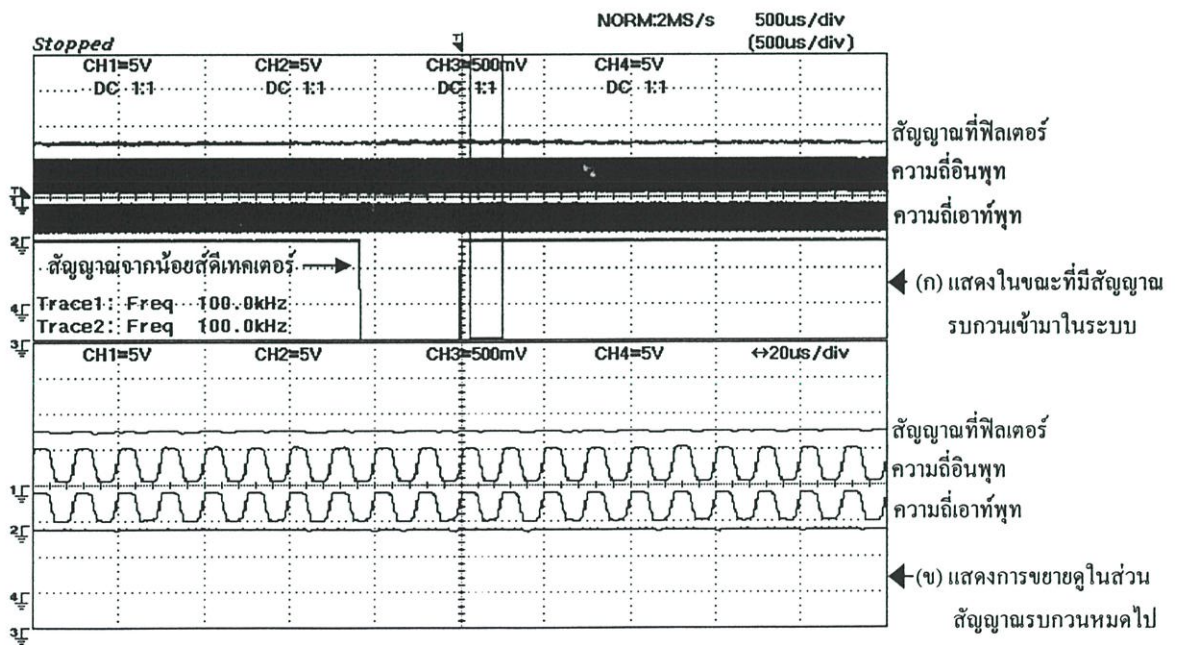
โวลต์เตจเออเรอร์ (V)



รูปที่ 5.18 แสดงกราฟระหว่างโวลต์เตจเออเรอร์เทียบกับช่วงเวลาที่ถูกรบกวน โดยสัญญาณรบกวนของเฟสล็คคูลูปแบบที่มีความคงทนต่อสัญญาณรบกวนสูงกับเฟสล็คคูลูปแบบทั่วไป



รูปที่ 5.19 แสดงเฟสล๊อคคูล์ปที่ปรับปรุงแล้วต่อการเกิดของสัญญาณรบกวนเป็นเวลา 500 μ sec และขยายดูในช่วงที่มีสัญญาณรบกวนเข้ามา



รูปที่ 5.20 แสดงเฟสล๊อคคูล์ปที่ปรับปรุงแล้วต่อการเกิดของสัญญาณรบกวนเป็นเวลา 500 μ sec และขยายดูในช่วงที่หมดสัญญาณรบกวนแล้ว

จากการทดลองในรูปที่ 5.19 และ 5.20 จะเห็นว่าถึงแม้ว่าจะมีสัญญาณรบกวนเข้ามา รบกวนทำให้ความถี่ที่อินพุตเปลี่ยนไป แต่สัญญาณเอาต์พุตก็ยังคงความถี่ที่ 100 kHz ไว้ได้

บทที่ 6

สรุปผลการวิจัยและข้อเสนอแนะ

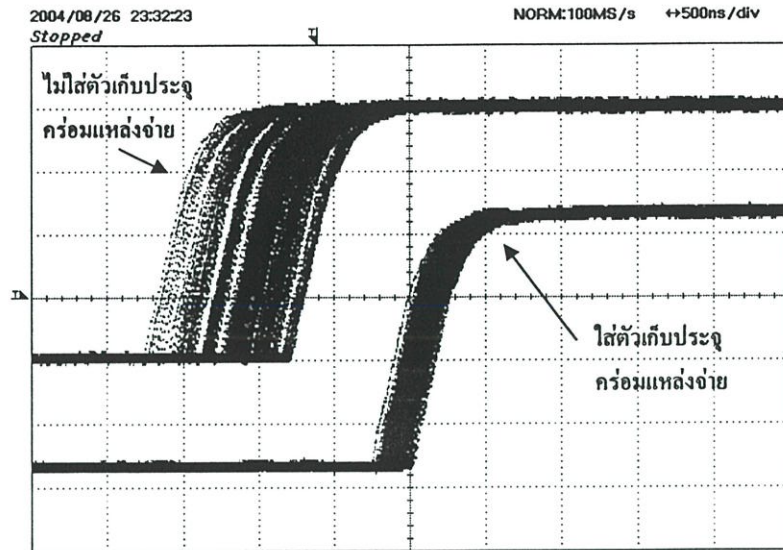
6.1 บทสรุป

วิทยานิพนธ์ฉบับนี้ได้เสนอเฟสล็คคูลูปที่มีความทนต่อสัญญาณรบกวนสูง โดยวิธีการที่จะกำจัดสัญญาณรบกวนที่มีขนาดใหญ่และมีช่วงเวลานาน ที่เข้ามาที่อินพุทของระบบเฟสล็คคูลูป วิธีนี้ทำโดยการปรับปรุงวงจรเฟสล็คคูลูปแบบเดิม โดยเพิ่มวงจรถอดคิเทคเตอร์ และวงจรมอนิเตอร์ ซึ่งจะต้องขนานอยู่กับอินพุทของวงจรถอดคิเทคเตอร์ เพื่อที่จะปรับปรุงความทนต่อสัญญาณรบกวนของเฟสล็คคูลูปแสดงดังรูปที่ 4.5 ในกรณีที่ก่อนเข้าสู่สภาวะลอควงจร โลว์พาสฟิลเตอร์จะถูกเลือกเป็นแบบแบนด์วิดท์กว้างเพื่อให้ระบบเฟสล็คคูลูปมีการเข้าสู่สภาวะลอคที่เร็ว หลังจากที่เฟสล็คคูลูปเข้าสู่สภาวะลอคแล้ววงจรถอดคิเทคเตอร์ ก็จะส่งสัญญาณไปทำให้ SW2 ปิด ขณะเดียวกันวงจร โลว์พาสฟิลเตอร์ก็จะถูกเปลี่ยนเป็นแบบแบนด์วิดท์แคบ หลังจากนั้นเมื่อมีสัญญาณรบกวนเข้ามาที่ความถี่อินพุทของระบบเฟสล็คคูลูป มอนิเตอร์ก็จะส่งสัญญาณไปเปิดสวิตช์ SW1 เพื่อกันสัญญาณรบกวนที่เข้ามาก่อนที่จะเกิดความเปลี่ยนแปลงที่โลว์พาสฟิลเตอร์ ซึ่ง โลว์พาสฟิลเตอร์นี้จะเปลี่ยนเป็นแบบแบนด์วิดท์แคบทำให้คงค่าแรงดันให้คงที่ในขณะที่สวิตช์ SW1 เปิดได้นานขึ้น หลังจากที่สัญญาณรบกวนที่อินพุทของระบบหมดไป สวิตช์ SW1 ก็จะปิดลงเหมือนเดิม

จากการทดลองและผลการทดลองในส่วนประกอบต่างๆที่เราเพิ่มเข้ามาในวงจรเฟสล็คคูลูป ซึ่งได้ผลที่ดี เมื่อเรานำแต่ละส่วนมารวมกันเพื่อเป็นวงจรเฟสล็คคูลูปที่มีความทนต่อสัญญาณรบกวนสูง ก็จะทำให้วงจรเฟสล็คคูลูปที่นำมาเสนอนี้มีคุณสมบัติในการเข้าสู่สภาวะลอคที่เร็ว และมีความทนต่อสัญญาณรบกวนที่เข้ามาที่อินพุทของระบบที่มีขนาดใหญ่และเป็นเวลามากถึง 500 μsec ได้

6.2 ข้อเสนอแนะและแนวทางการพัฒนา

จากผลการทดลองที่ได้นำเสนอไปแล้วนั้น ในขั้นตอนแรกเราจะต้องออกแบบระบบเฟสล็คคูลูปแบบเดิมให้มีประสิทธิภาพเสียก่อน จากในการต่อวงจรจริงจำเป็นต้องต่อตัวเก็บประจุรอมไปที่แหล่งจ่ายไอซีทุกตัวจะช่วยลดสัญญาณรบกวนที่มาจากแหล่งจ่าย และยังช่วยลดการสั่นของเฟส (Jitter) ที่เอาท์พุทวีซีโอได้อีกแสดงดังในรูปที่ 6.1



รูปที่ 6.1 แสดงการวัดการสั่นของเฟสที่เอาท์พุทของวีซีโอ

จากการทดลองส่วนประกอบต่างๆในบทที่ 5 ซึ่งได้ผลเป็นที่น่าพอใจแล้วจึงนำส่วนต่างๆมาต่อรวมกัน เราได้เฟสล็คคูลูปที่มีความคงทนต่อสัญญาณรบกวนสูง ซึ่งสามารถทนสัญญาณรบกวนได้เป็นเวลาถึง $500 \mu\text{sec}$ แต่มีข้อสังเกตคือถ้าเราเปิดสวิตช์ SW1 นานกว่า $500 \mu\text{sec}$ เฟสของความถี่ที่วีซีโอจะเริ่มมีการเลื่อนเฟสไปเรื่อยๆเนื่องมาจากค่าแรงดันที่ฟิลเตอร์ลดลง และเมื่อเราทำการปิดสวิตช์ลงมามากก็ทำให้ในขณะนั้นเฟสของสัญญาณทั้งสองมีค่าไม่ตรงกัน ทำให้เฟส/ฟรีควเอนซีดีเทคเตอร์ทำงาน เกิดการแกว่งขึ้นที่ฟิลเตอร์และเฟสล็คคูลูปก็จะทำการปรับเพื่อเข้าสู่สภาวะคงที่ของวงจรใหม่อีกครั้ง ดังนั้นการที่จะทำให้ระบบเฟสล็คคูลูปที่ปรับปรุงใหม่นี้มีความทนต่อสัญญาณรบกวนได้นานกว่า $500 \mu\text{sec}$ ต้องมีการควบคุมเฟสของสัญญาณเอาท์พุทจากวีซีโอไม่ให้เฟสเลื่อนไปหรือทำให้เฟสเลื่อนไปได้ช้าที่สุด โดยการควบคุมแรงดันให้ตกลงช้าที่สุดก็จะเป็นแนวทางที่จะพัฒนาต่อ รวมถึงเรื่องของการสั่นของเฟสหรือที่เรียกว่า จิตเตอร์ก็เป็นสิ่งที่น่าสนใจและทำการศึกษาต่อไป

บรรณานุกรม

- [1] Behzad Razavi, “Monolithic Phase-Locked Loop and Clock Recovery Circuits”: Theory and Design, IEEE Press, pp.1~39, IEEE, New York, 1996.
- [2] D. Wolaver, Phase-Locked Loop Circuit Design, Englewood Cliffs, New jersey: Prentice Hall, 1989.
- [3] Seiichi Sato, Tetsuro Kato and Shuichi Nitta, “PLL noise reduction circuit to stabilize the disturbed clock pulse due to noise,” Electromagnetic Compatibility, IEEE International Symposium On, Volume:2, pp.1004-1009, 1998.
- [4] A.J. Bishop, G.W. Roberts and M.L. Blostein, “ Adaptive phase locked loop for video signal sampling ,” IEEE International Symposium on Circuit and Systems, pp.1664-1667, 1992.
- [5] F. M. Gardner, “ Charge-Pump Phase Locked Loops ,” IEEE Transaction on communications, Vol.Com-28, NO.11,pp.1849-1858, Nov 1980.
- [6] T. C. Lee and Behzad Razavi, “ A Stabilization Technique for Phase-Locked Frequency Synthesizers ,” IEEE J. OF Solid-State Circuits, Vol. 38, No. 6,pp888-894, Jun 2003.
- [7] Ching-Yuan Yang and Shen-Iuan Liu, “ Fast-Switching Frequency Synthesizer with a Discriminator-Aided Phase Detector ,” IEEE J. OF Solid-State Circuits, Vol.35, No. 10,pp.1445-1452, Oct 2000.
- [8] Joonsuk Lee and Beomsup Kim, “ A Low-Noise Fast-Lock Phase-Locked Loop with Adaptive Bandwidth Control ,” IEEE J. OF Solid-State Circuits, Vol.35, No. 8,pp.1137-1145, Aug 2000.
- [9] Behzad Razavi, “ Design of Integrated Circuits for Optical Communications.”, McGraw-Hill, 2003.
- [10] J. B. Encinas, “ Phase Locked Loops.”, Chapman&Hall, 1993.

- [11] D. Wolaver, “Phase-Locked Loop Circuit Design”, Prentice Hall, 1991.
- [12] Howard M. Berlin, “Design of Phase Locked Loop Circuits With Experiments,Howard”, W. Sams & Co.,Inc., 1981.
- [13] William F. Egan, “Frequency Synthesis by Phase Lock”, John Wiley & Son, Inc., 2000.

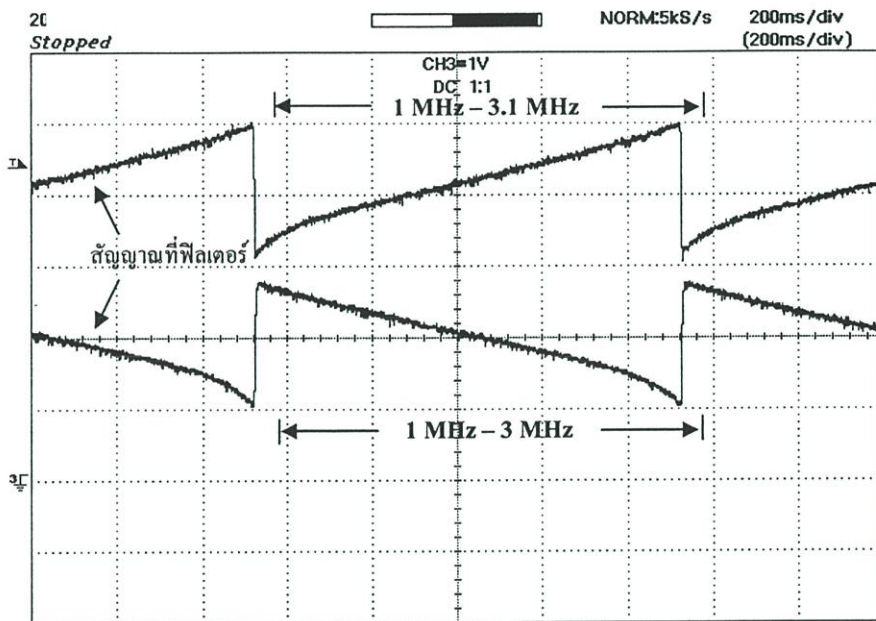
ภาคผนวก

ภาคผนวก ก
การทดสอบคุณลักษณะของเฟสติกดูปที่
นำมาใช้ในงานวิจัย

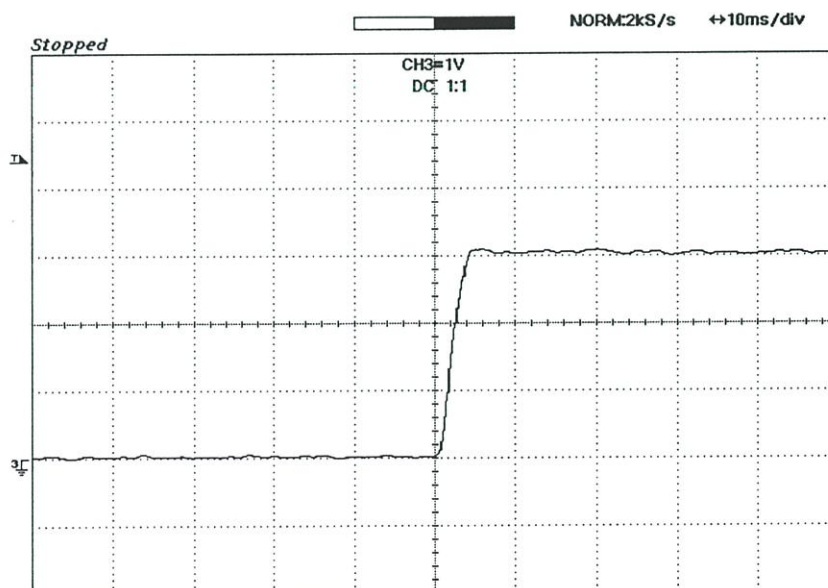
ภาคผนวก ก

การทดสอบคุณลักษณะของเฟสล็อกคูลูปที่นำมาใช้ในงานวิจัย

เป็นการทดสอบคุณลักษณะเบื้องต้นของวงจรเฟสล็อกคูลูปที่เราออกแบบ



รูปที่ ก.1 แสดงการวัดหาค่าแคปเจอร์แรงค์(Capture Range)และคาล็อกแรงค์(Lock Range)



รูปที่ ก.2 การวัดหาค่าเวลาคงตัวของเฟสล็อกคูลูป

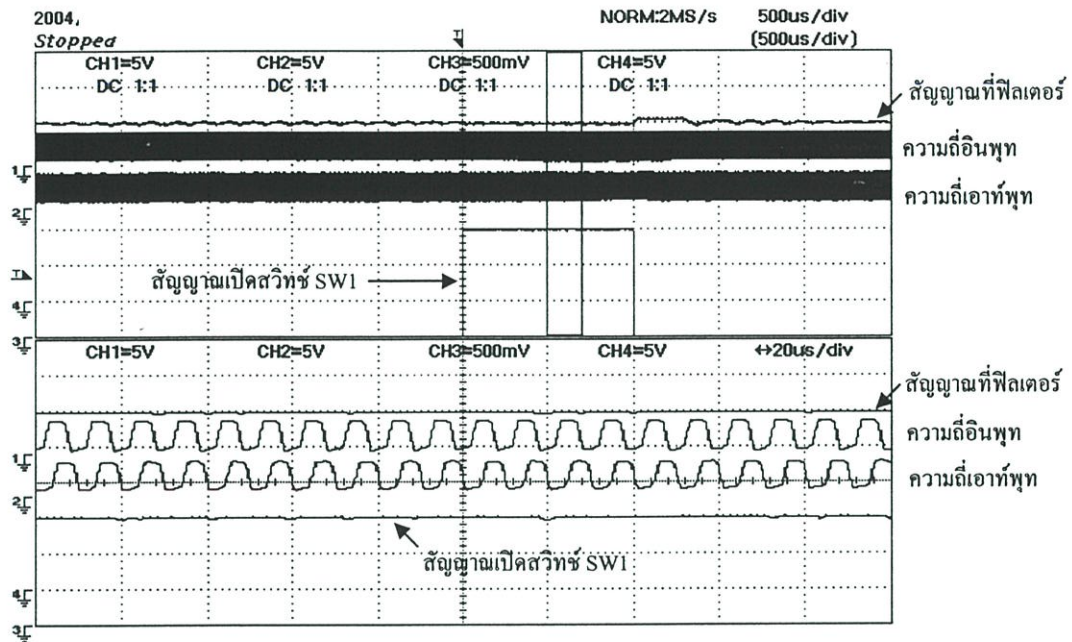
ตารางที่ ก.1 แสดงค่าของคุณลักษณะเบื้องต้นของเฟสล็อกคัลลิปที่ใช้ในการทดลอง

แคปเจอร์เรจค์(Capture Range)	1 MHz – 3 MHz
ล็อกเรจค์(Lock Range)	1 MHz – 3.1 MHz
ค่าเวลาคงตัว(Setting Time)	6 msec
ความถี่อินพุท	100 kHz – 310 kHz
ความถี่เอาต์พุท	1 MHz – 3.1 MHz

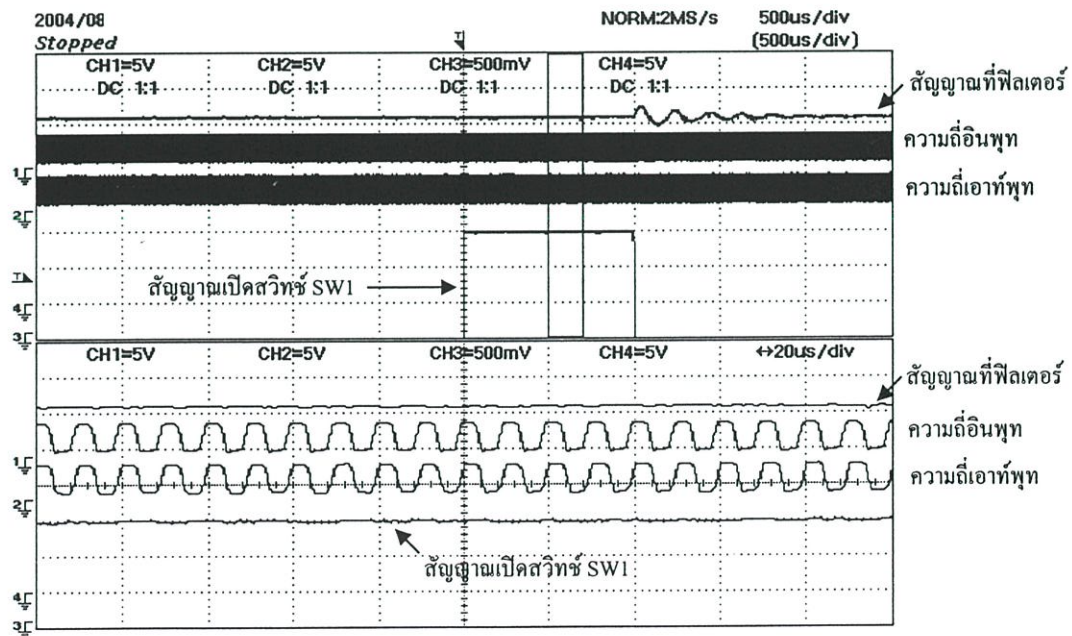
ภาคผนวก ข
การทดลองผลของการต่อบัพเฟอร์ที่
ฟิลเตอร์

ภาคผนวก ข

การทดลองผลของการต่อบัพเฟอร์ที่ฟิลเตอร์



รูปที่ ข.1 แสดงการเปิดสวิตช์ SW1 เป็นเวลา 1 msec กับวงจร โลว์พาสฟิลเตอร์ที่ไม่มีบัพเฟอร์

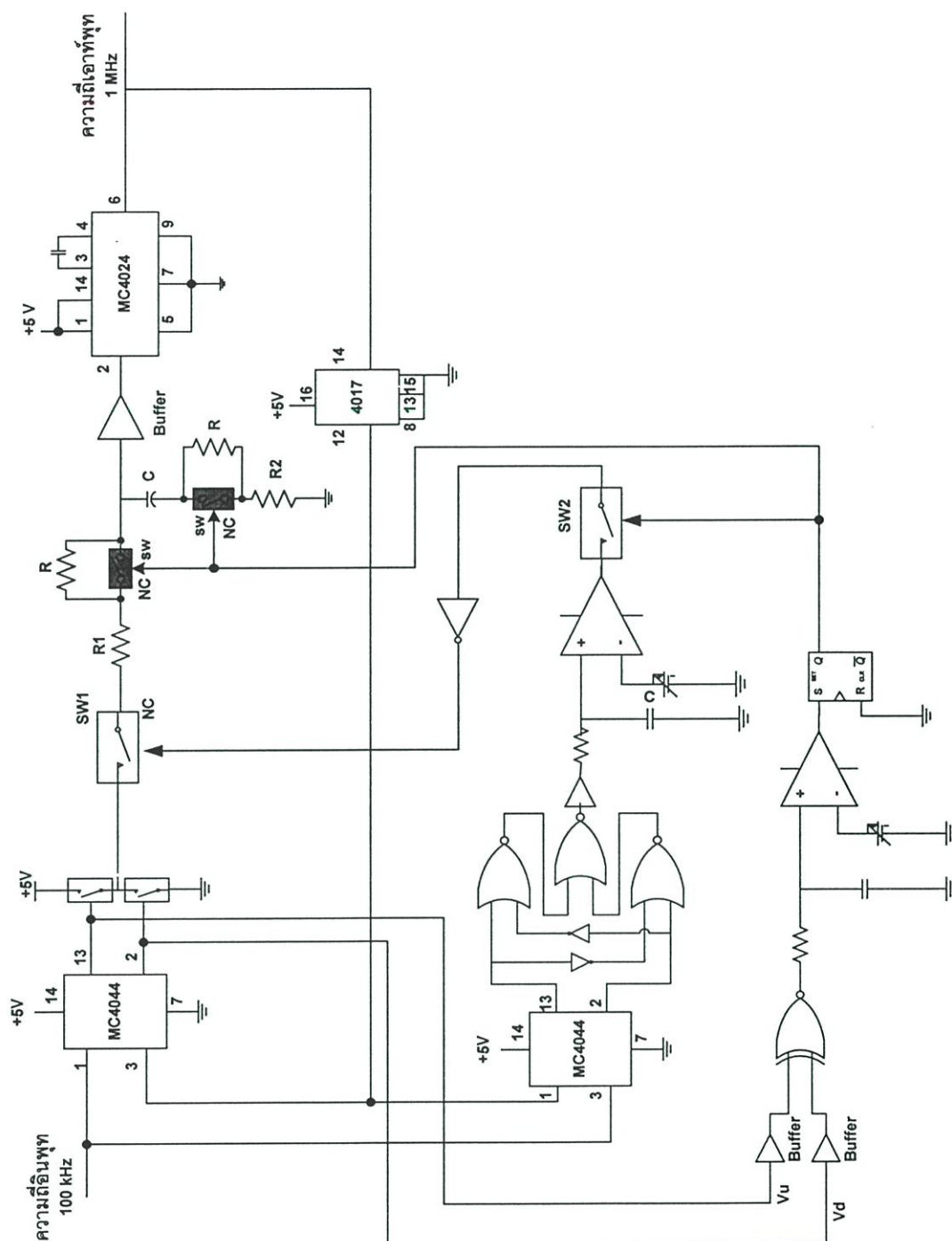


รูปที่ ข.2 แสดงการเปิดสวิตช์ SW1 เป็นเวลา 1 msec กับวงจร โลว์พาสฟิลเตอร์ที่มีบัพเฟอร์

ผลของการเพิ่มวงจรบัฟเฟอร์เข้าไปที่เอาต์พุทของ โลว์พาสฟิลเตอร์ดังรูปที่ ข.13 และข.14 จะเห็นได้ว่าเอาต์พุทของวงจรที่ต่อบัฟเฟอร์ที่ฟิลเตอร์จะมีการเลื่อนของเฟสน้อยกว่าวงจรที่ไม่ได้ ต่อ คือจะมีการคงค่าแรงดันไว้ได้นานกว่า

ภาคผนวก ค
วงจรที่ใช้ในการทดลอง

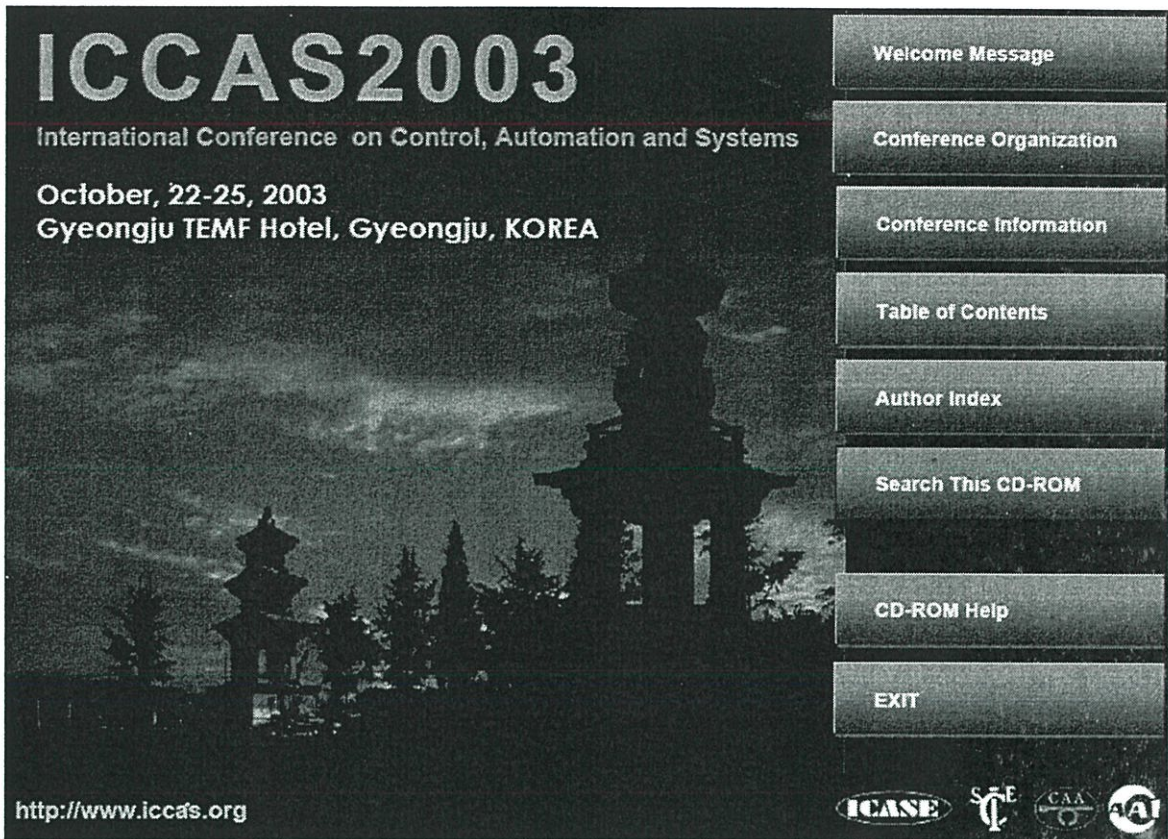
ภาคผนวก ค
วงจรที่ใช้ในการทดลอง



รูปที่ ค.1 แสดงวงจรที่ใช้ในการทดลอง

ภาคผนวก ง

ผลงานวิจัยที่เกี่ยวข้องกับวิทยานิพนธ์

The image shows a CD-ROM menu for the ICCAS2003 conference. The background is a dark, grainy photograph of a traditional Korean building with a tiled roof. The menu is a vertical list of buttons on the right side. At the bottom left is the website URL, and at the bottom right are four logos: ICASE, SAE, CAA, and AAA.

ICCAS2003

International Conference on Control, Automation and Systems

October, 22-25, 2003
Gyeongju TEMF Hotel, Gyeongju, KOREA

- Welcome Message
- Conference Organization
- Conference Information
- Table of Contents
- Author Index
- Search This CD-ROM
- CD-ROM Help
- EXIT

<http://www.iccas.org>

ICASE SAE CAA AAA

Improved the Noise Immunity of Phase-Locked Loop

Terdsak Intachot, Sumit Panaudomsup, and Yothin Prempraneerach

Control Engineer Department, Faculty of Engineering and Research Center for Communication and Information Technology

King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand 10520
(Tel+66 2-7373000, E-mail:mr_tery@hotmail.com)

Abstract: This paper, we propose a new high noise immunity phase-locked loop(PLL) which can suppress the high incident noise coupling with large amplitude and long period to the input frequency of PLL and keeps constant frequency and phase of the VCO output for providing the high stability distribution clock pulse.

Keywords: Phase-locked loop, noise, adaptive filter, noise detector, locked detector.

1. INTRODUCTION

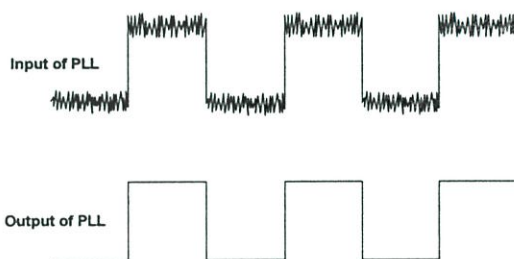
Clock distributor using PLL is becoming popular in digital system, because PLL efficiently perform clock generation with relatively low cost and it has the beneficial capability at the multiplying frequency which make the design of clock generation circuit easier and the radiated emission smaller. In the digital systems which include traditional PLL circuit provide the clock distribution system [1][2], the influence of the noise on the clock pulse lines which gives to the input of PLLs for the clock generation can cause the problem of unexpected clock phase shift.

The most research about the method obtaining stable clock pulse distributed to the digital circuits would use the method to adjust the bandwidth or the time constant of the low-pass filter of the low-pass filter of PLL [3],[4] for rejection the noise. Such method can reject the noise which coupled to the input frequency of PLL for a short period. In case large noise and long period which is given on the clock pulse line of the PLL input is still to be a problem.

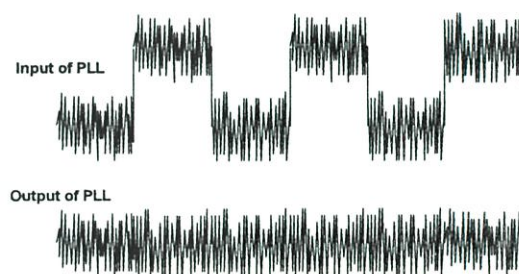
This paper presents the method to suppress the large noise which coupled to the input frequency line of the PLL for a long period with on affecting to the VCO output frequency. This method is achieved by modified the general phase-locked loop with connecting the locked detect(LD) and noise detector(ND) circuits in parallel to the input of the phase frequency detector (PFD) as shown in Fig. 4.2. This proposed method is to improve the noise immunity of PLL, in a capture state or before locked condition the low-pass filter(LPF) is selected to the wide bandwidth characteristic in order to provide the fast locking operation of the system. After setting time of PLL going to lock, the lock detector(LD) will operate and give the output voltage to drive the switch(SW1) to be closed and at same time low-pass filter is adjusted to be a narrow bandwidth. After that it the noise is existing at the input reference frequency of PLL, the noise detector(ND) will operate to the switch(SW2) opened before the output voltage of the low-pass filter has any changing. As due to the narrow bandwidth of low-pass filter is characterized that it's output voltage will no any change when the switch(SW2) operated. After the existing noise disappears the switch (SW2) will turn to normally closed condition. The validness of this proposed PLL is confirmed by experimental results which compare to the general PLL characteristics.

2. THE INFLUENCE OF NOISE ON INPUT FREQUENCY OF PLL

The conventional PLL characteristics have an ability to suppress the finite incident noise at the input frequency of PLL due to the input frequency of the capability of the PFD(phase-frequency detector) which will detect only the leading edge of the input frequency and loop filter as shown in Fig. 2.1(a) of the incident noise is large amplitude and occurs in along period as shown in Fig. 2.1(b), the capability of PFD and loop-filter is not enough to suppress such noise so that the frequency stability of PLL will have a problem.



(a) Input frequency of PLL with finite incident noise.

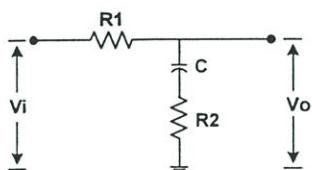


(b) Input frequency of PLL with large amplitude of incident noise.

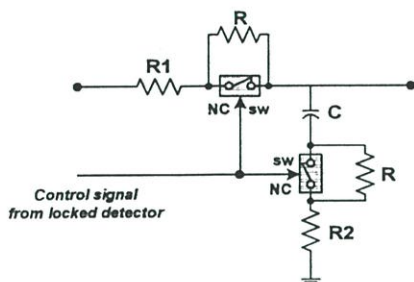
Fig. 2.1 Show the input frequency with different incident noise and the output signal of PLL.

3. ADAPTIVE LOOP-FILTER DESIGN

The loop-filter of filter the proposed PLL is an adaptive lead-lag filter, the convention one is shown in Fig. 3.1(a) and the adaptive lead-lag filter is shown in Fig. 3.1(b)



(a) Conventional Lead-Lag Filter.



(b) Adaptive lead-lag Filter.

Fig. 3.1 shown the conventional and adaptive lead-lag filters.

From Fig. 3.1(a), the function of lead-lag filter can be found.

$$F(s) = \frac{V_o}{V_i} = \frac{R_2CS + 1}{(R_1 + R_2)CS + 1} \tag{1}$$

The general form of PLL transfer function can be found in [1].

$$\frac{\theta_o}{\theta_i} = \frac{N \times K_d \times K_o \times F(s)}{N \times S + K_d \times K_o \times F(s)} \tag{2}$$

- Where: K_d = Gain constant of phase-frequency detector.
- K_o = Gain constant of VCO.
- $F(s)$ = Transfer function of LPF.
- N = The value of divider.

From Eq. (1) and (2), we can find ω_n (Natural frequency) and ξ (Damping factor) as follow;

$$\omega_n = \sqrt{\frac{K_d \times K_o}{N \times C \times (R_1 + R_2)}} \tag{3}$$

$$\xi = 0.5 \times \omega_n \times (R_2C + \frac{N}{K_d \times K_o}) \tag{4}$$

At the condition before locked, this adaptive filter is characterized to have a wide bandwidth in order to provider PLL

going to locked with faster lock up time by using $\omega_n = \frac{F_{ref}}{10}$ and $\xi = 0.707$ when the locked detector(LD) can detect the locking signal, the control signal from LD is sent to control the switch(NC) of LPF circuit to be opened in order to increases the resistance of R1 and R2.

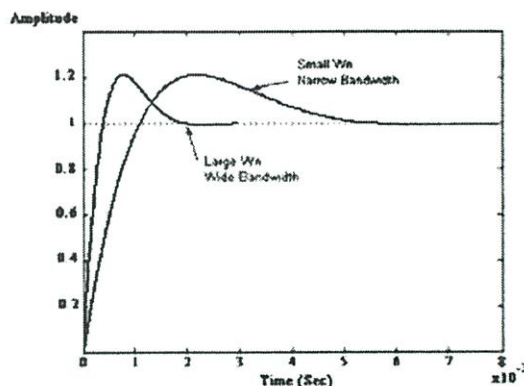
From Eq. (3), when resistances (R1 and R2) are increased, ω_n will be decreased and loop bandwidth of LPF becomes smaller to provides slowly response of LPF to the step input. The output response of LPF to the step input can be found as follow;

$$V_o = \frac{1}{s} \times \frac{(R_2CS + 1)}{(R_1 + R_2)CS + 1} \tag{5}$$

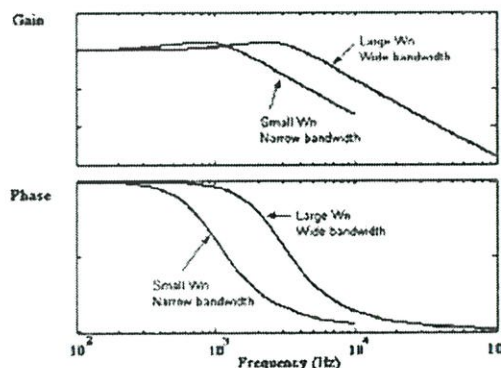
If we take inverse Laplace transform to Eq. (5), we can obtain.

$$V_o(t) = 1 - R_1C \times e^{\frac{-t}{(R_1+R_2)C}} \tag{6}$$

From Eq. (6), we can see that the resistance (R1+R2) is inverser proportion to the bandwidth of LPF. The simulation of the output response to the step function and frequency response of LPF for a wide bandwidth compared with narrow bandwidth are shown in Fig. 3.2.



(a) Step response.

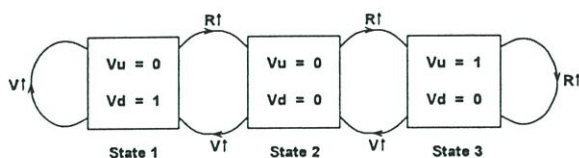


(c) Frequency response.

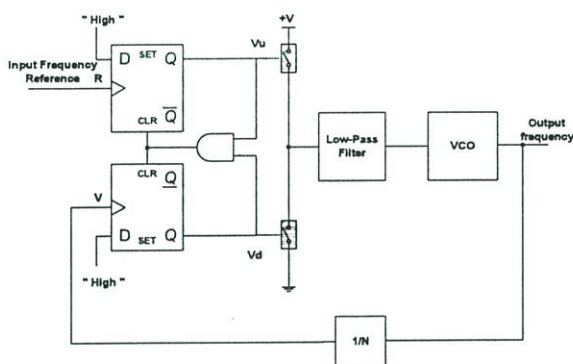
Fig. 3.2 Shows the step response and frequency response of LPF.

4. IMPROVED PLL ARCHITECTURE AND SYSTEM DESIGN

The PFD and Charge-pump is configured as the conventional PLL as shown in Fig. 4.1(b) which PFD and charge-pump will function to follow up the 3-state diagram as shown in Fig. 4.1(a).



(a) State diagram of PFD with 3-state.



(b) Conventional PLL.

Fig. 4.1 shows the conventional PLL and state diagram of PFD with 3-state.

From Fig. 4.1(a), PFD will be operated by the leading edge of a square pulse which given to both inputs (R,V), if the output of PFD has an initial state at state no.2 when PFD can the leading edge of pulse R before pulse V the output of PFD will charge to higher state and increasing the output voltage of charge-pump. And if the leading edge of pulse V comes to PFD input before pulse R, the PFD output will charge to lower state and decreasing the output voltage of charge-pump. If PFD can see that the leading edge of pulse R and V is existed at the same time, the output PFD will switch to the state No.2 which Vu and Vd are both zero that is mean pulse R and V have a same frequency and phase. This is the locking condition of PLL which has a PFD and charge-pump, LPF, and VCO in the loop operation.

From the conventional PLL in Fig. 4.1(b), we proposed the new high immunity PLL by adding some elements in the control loop such as ND (Noise Detector), LD (Lock Detector), switch(SW1) is the normally closed switch, and switch(SW2) is the normally opened switch as shown Fig. 4.2 .

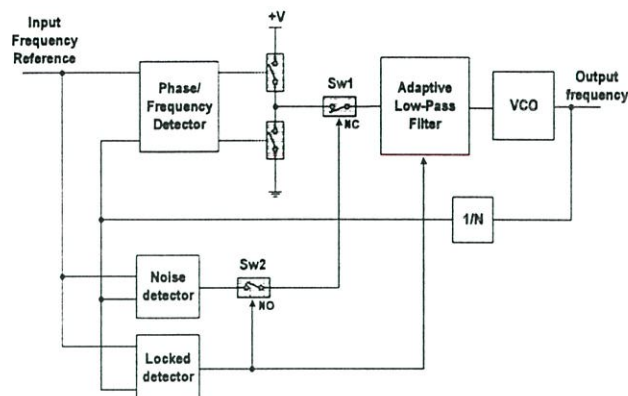


Fig. 4.2 Shown a new high immunity PLL.

From Fig. 4.2, when the switch, SW1 opened is the same condition as Vu and Vd are both zero that makes the output of LPF can keep a constant voltage for instant and can block the noise which cannot pass through an adaptive filter to VCO so that VCO output will give a stable clock pulse. The switch (SW1) is controlled by ND which input of ND is connected is parallel of input line of PFD for detecting noise on input line of PFD. The ND circuit will give the detecting signal output when the two inputs of PFD have a large difference frequency due to noise comes with one input. To prevent the error of noise detecting of ND, We must adding LD (locked detector) and adaptive filter which has 2 bandwidths in control loop as shown in Fig. 4.2 For instant PLL is going to lock, LD circuit will give the locking signal to control the switch (SW2) to be closed for accessing the output signal of ND. In other wise the changing bandwidth of adaptive filter is controlled by output signal of LD.

The operating condition of the proposed PLL has a three condition such as captive or before locking after locked with no noise and after locked with existing noise conditions is described in Table 1.

Low pass Filter	Wide Bandwidth	Narrow Bandwidth	Narrow Bandwidth	Narrow Bandwidth
Lock Detector	Unlock Detection	Locked Detection	Locked Detection	Locked Detection
SW1	Close	Close	Open	Close
SW2	Open	Close	Close	Close
Noise Detector	No noise Detection	No noise Detection	Existing Noise Detection	No noise Detection

← Capture or before locked condition

← After locked and no noise condition

← After locked and noise existing condition

← After locked and no noise condition

Table 1. shows the operating condition of the low pass filter, locked detector, noise detector, switch sw1 and switch sw2 in case of capture or before locked, after locked and no noise, after locked and existing noise condition.

5. EXPERIMENTAL RESULT

A new high noise immunity PLL as shown in Fig. 4.2 has two important elements added in the control loop, such that locked and noise detectors. This two detector have the significant functions not only to manage the switching elements but also to control the bandwidth of LPF. The basic operation function of the locked detector is shown in Fig. 5.1.

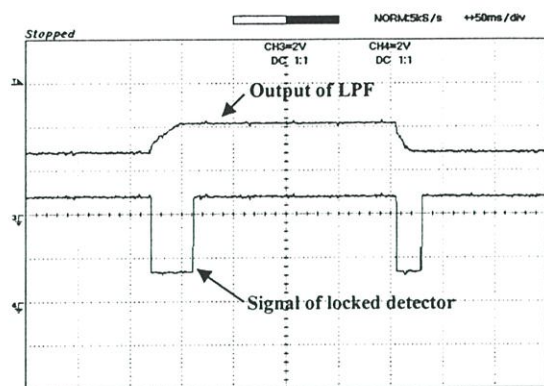


Fig. 5.1 Shown the basic operation function of locked detector.

From Fig. 5.1, we can see that the output signal of locked detector is charged from high to low when the input frequency of PLL is step from 200KHz to 300KHz. After PLL is in the locked condition, the output signal of locked detector will keep "High". During the output signal of the locked detector is changing from low to high or active high, this signal is send to the LPF for controlling the wide bandwidth to be a narrow bandwidth as shown in Fig. 5.2

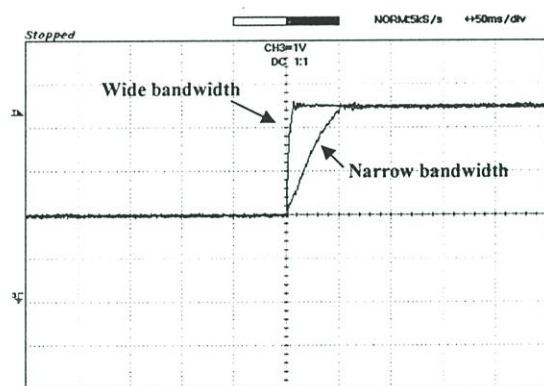


Fig. 5.2 shown the characteristic of adaptive LPF

The noise detector(ND) is also have a significant function to protect the adaptive LPF will have output signal with free of noise. The basic operation function of noise detector is shown in Fig.5.3. From Fig. 5.3 we can see that the output signal of noise

will be changed from low to high. When noise is existing, if the noise disappear the output signal of ND will keep to "Low".

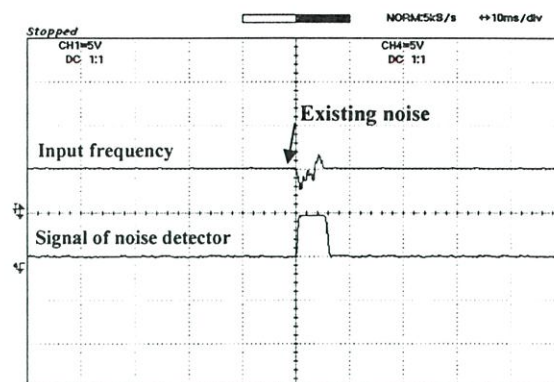


Fig. 5.3 shown the basic operation function of the noise detector .

After PLL is in the locked condition and the noise is existing at the input of PLL, the noise detector will give the output signal which changes from low to high or active high, this signal will go to drive the switch(SW1) in Fig. 4.2 is opened for protect the adaptive LPF to clear from noise as shown in Fig. 5.4.

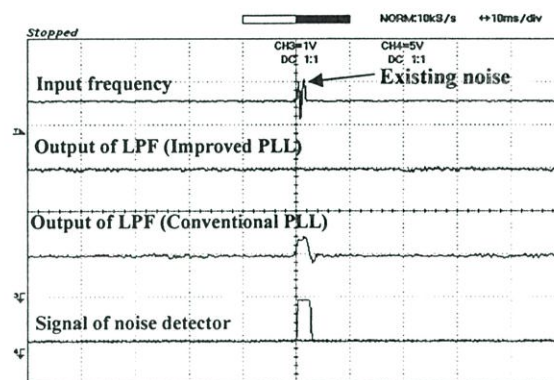


Fig. 5.4 shown the ability of new PLL to suppress the existing noise.

Fig. 5.5 shown the greatly improved characteristic of noise reduction of new PLL when comparing to the conventional PLL by measuring the error voltage (ΔV) at the both output of conventional LPF and adaptive LPF.

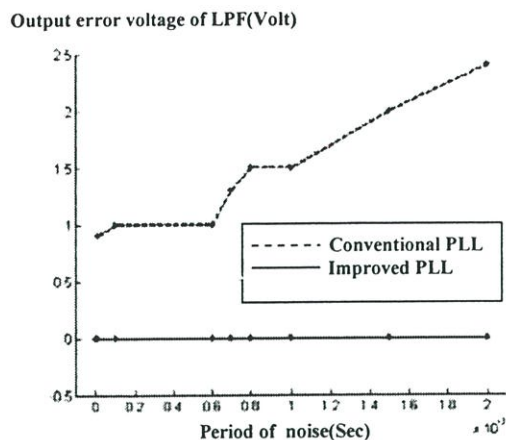


Fig. 5.5 Period disturbed by noise vs. output error voltage of LPF

CONCLUSION

The proposed PLL can suppress the large noise which coupled to the input frequency of the loop for a long period with no affecting to the VCO output frequency. The another advantage of this PLL is to has a high noise immunity and in capture or before lock condition the low pass filter(LPF) is selected to the wide bandwidth characteristic in order to providing the fast locking . After the system has been locked, the locked detector will operate to drive the switch sw1 to be closed for adjusting LPF to be a narrow bandwidth and providing the system has a high immunity of noise.

REFERENCES

- [1] Behzad Razavi, "Monolithic Phase-Locked Loop and Clock Recovery Circuits": Theory and Design, IEEE Press, pp.1~39, IEEE, New York, 1996.
- [2] D. Wolaver, *Phase-Locked Loop Circuit Design*, Englewood Cliffs, New jersey: Prentice Hall, 1989.
- [3] Seiichi Sato, Tetsuro Kato and Shuichi Nitta, "PLL noise reduction circuit to stabilize the disturbed clock pulse due to noise," Electromagnetic Compatibility, IEEE International Symposium On, Volume:2, pp.1004-1009, 1998.
- [4] A.J. Bishop, G.W. Roberts and M.L. Blostein, " Adaptive phase locked loop for video signal sampling," IEEE International Symposium on Circuit and Systems, pp.1664-1667, 1992.

ประวัติผู้เขียน

นาย เทิดศักดิ์ อินทโชติ เกิดวันที่ 12 กุมภาพันธ์ 2520 สถานที่เกิด จังหวัด
พระนครศรีอยุธยา การศึกษา ปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมระบบควบคุม
สถาบันเทคโนโลยี พระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง จบปีการศึกษา 2545 เข้าศึกษาต่อ
ระดับปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมระบบควบคุม สถาบันเทคโนโลยีพระ
จอมเกล้าเจ้าคุณทหาร ลาดกระบัง จบปีการศึกษา 2547 มีผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่
เรื่อง การปรับปรุงความทนทานต่อสัญญาณรบกวนในวงจรเฟสล็อกคูลูป (Improved the Noise
Immunity of Phase-Locked Loop.)