

การออกแบบวงจรบวกเลขฐานสองโดยวิธีแคร์ริวูลูคอะเฮ็ด
ด้วยเกตส่งผ่าน

A CARRY LOOK AHEAD ADDER CIRCUIT DESIGN BASED ON
TRANSMISSION GATE

ธนสาร นาคเนียม
THANASARN NAKNIYOM

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-15-1207-4

การออกแบบวงจรบวกเลขฐานสองโดยวิธีแครี่คอะเฮ็ด
ด้วยเกตส่งผ่าน

A CARRY LOOK AHEAD ADDER CIRCUIT DESIGN BASED ON
TRANSMISSION GATE

ธนสาร นาคเนียม
THANASARN NAKNIYOM

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-15-1207-4

A CARRY LOOK AHEAD ADDER CIRCUIT DESIGN BASED ON
TRANSMISSION GATE

THANASARN NAKNIYOM

THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATION ENGINEERING
SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2004

ISBN 974-15-1207-4

COPYRIGHT 2004

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การออกแบบวงจรวกเลขฐานสองโดยวิธีแคร์ลุคอะเฮ็ดด้วย เกตส่งผ่าน
นักศึกษา	นายธนสาร นาคนิยม
รหัสนักศึกษา	45061072
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรวกเลขฐานสองโดยวิธี Carry look ahead เป็นเทคนิคการหา Carry out จากอินพุตโดยตรงเพื่อเพิ่มความเร็วของการบวก วงจรที่นำเสนอได้ออกแบบวงจรรวม Carry Propagation โดยใช้ Transmission gate ให้ pMOS ส่งผ่านสัญญาณที่เป็นลอจิก "1" และ nMOS ส่งผ่านสัญญาณที่เป็นลอจิก "0" ได้ดีที่สุด ซึ่งวงจรรวม [1 - 4] เป็นการออกแบบ วงจรที่มี pull-up และ pull-down แต่วงจรที่นำเสนอเป็นการออกแบบที่ลด pull-up และ pull-down ทำให้สูญเสียพลังงานน้อยลง ใช้จำนวนมอสทรานซิสเตอร์น้อยกว่า และความเร็วในการทำงานเพิ่มขึ้น เนื่องจากวงจรรวม [1-4] ทำงานที่ 1.5 โวลต์ ทำให้สิ้นเปลืองพลังงาน และใช้จำนวนมอสทรานซิสเตอร์มากแต่วงจรที่นำเสนอสามารถทำงานที่ระดับแรงดัน 1.2 โวลต์และใช้จำนวนมอสทรานซิสเตอร์น้อยกว่าเดิม จึงทำให้พื้นที่ของวงจรรวมและค่ากำลังงานสูญเสียต่ำกว่าเมื่อเทียบกับ บทความที่ผ่านมา [1 - 4] จำลองการทำงานโดยใช้โปรแกรม PSPICE ตรวจสอบคุณสมบัติของวงจรรวมโดยใช้ทิมอสโมเดล ของ MOSIS ขนาด 0.35 μm

Thesis Title	A Carry Look Ahead Adder Circuit Design Based on Transmission Gate
Student	Mr. Thanasarn Nakniyom
Student ID.	45061072
Degree	Master of Engineering
Programme	Telecommunication Engineering
Year	2004
Thesis Advisor	Assoc. Prof.Dr.Kobchai Dejhan

ABSTRACT

This thesis presents a design of binary adder circuit by using carry look ahead method. It is the technique for directly searching the carry out from the input in the to increase the speed of adding. The circuit is a type of transmission gate circuit advantage of pMOS to transfer the logic "1" and nMOS to transfer the logic "0". This transmission gate circuit is able to save the energy loss of pull-up and pull-down which bring about a reduction of energy and number of transistors and increases the speed of adding because the previous circuits in the references [1-4] operate with 1.5 volts and use a lot of transistors but this proposed circuit operates at 1.2 volts and reduces the number of transistors. All simulation results are carried out by using the PSPICE program simulator with 0.35 μm CMOS model of MOSIS.

กิตติกรรมประกาศ

งานวิจัยฉบับนี้สำเร็จได้ด้วยดี ผู้วิจัยขอกราบขอบพระคุณรองศาสตราจารย์ ดร.กอบชัย เดชหาญ อาจารย์ผู้ควบคุมวิทยานิพนธ์ที่กรุณาให้แนวคิด ข้อเสนอแนะ คำปรึกษา ตลอดจนความช่วยเหลือในด้านต่าง ๆ อันเป็นประโยชน์ต่องานวิจัยฉบับนี้ให้สำเร็จลุล่วงตามเป้าหมาย

ผู้วิจัยขอกราบขอบพระคุณ บิดา มารดา และผู้อุปการะคุณทุกท่านที่คอยให้กำลังใจ และสนับสนุนการศึกษาครั้งนี้ รวมถึงครู อาจารย์ทุกท่านทั้งในอดีตจวบจนปัจจุบันที่ประสาท วิชาความรู้ ความสามารถ และขอขอบคุณเพื่อนคู่คิด พี่ น้อง และเพื่อน ๆ ทุกคนที่คอยเป็น กำลังใจเสมอมา ประโยชน์อันใดที่เกิดจาก งานวิจัยฉบับนี้ย่อมเป็นผลมาจากความกรุณาของ ท่านดังกล่าวข้างต้นผู้วิจัยรู้สึกซาบซึ้งเป็นอย่างยิ่ง จึงขอขอบพระคุณอย่างสูงไว้ ณ โอกาสนี้

ธนสาร นาคนิยม

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 บทนำ.....	1
1.2 ที่มาของงานวิจัย.....	1
1.3 วัตถุประสงค์งานวิจัย.....	2
1.4 รายละเอียดในวิทยานิพนธ์.....	2
1.5 สรุป.....	2
บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์.....	3
2.1 บทนำ.....	3
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	3
2.3 การทำงานของมอสทรานซิสเตอร์.....	5
2.4 คุณสมบัติของมอสทรานซิสเตอร์.....	6
2.5 การคำนวณความเร็วของวงจร.....	11
2.5.1 ช่วงลง.....	12
2.5.2 ช่วงขึ้น.....	16
2.5.3 ช่วงหน่วง.....	16
2.5.4 การหาค่าเฉลี่ย Propagation delay.....	17
2.6 การคำนวณกำลังของวงจร.....	17
2.7 สรุป.....	19

สารบัญ (ต่อ)

	หน้า
บทที่ 3 ทฤษฎีพื้นฐานของวงจรวกเลขฐานสองแบบขนาน.....	20
3.1 บทนำ.....	20
3.2 วงจรวกครึ่งและวงจรวกเต็ม.....	20
3.2.1 วงจรวกครึ่ง.....	20
3.2.2 วงจรวกเต็ม.....	21
3.3 วงจรวกแบบขนาน.....	22
3.4 วงจรวกแบบขนานโดยวิธีแคร์ริคอสแซ็ด.....	23
3.4.1 การออกแบบวงจรวก.....	24
3.5 ซีมอส Transmission Gate (TG).....	27
3.6 สรุป.....	29
บทที่ 4 การออกแบบวงจรวกเลขฐานสองโดยวิธีแคร์ริคอสแซ็ดด้วยเกตส่งผ่าน.....	30
4.1 บทนำ.....	30
4.2 การออกแบบวงจรวก Carry Propagation ที่นำเสนอน.....	30
4.3 การจำลองการทำงานและผลการจำลองการทำงาน.....	32
4.4 วงจรวกเลขฐานสองแบบขนานโดยวิธีแคร์ริคอสแซ็ดด้วยเกตส่งผ่าน.....	42
4.5 สรุป.....	45
บทที่ 5 บทสรุปและข้อเสนอแนะ.....	46
5.1 บทนำ.....	46
5.2 ข้อเสนอแนะ.....	47
บรรณานุกรม.....	48
ภาคผนวก.....	49
ภาคผนวก ก. ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา.....	50
ภาคผนวก ข. วงจรที่ใช้ในการวิเคราะห์.....	57
ประวัติผู้เขียน.....	66

สารบัญตาราง

ตารางที่	หน้า
3.1 ตารางความจริงวงจรถั่วบวกครึ่ง.....	21
3.2 ตารางความจริงวงจรถั่วบวกเต็ม.....	22
3.3 Carry Look Ahead.....	24
3.4 ตารางความจริงวงจรถั่วบวก Carry Propagation.....	26
3.5 ตารางความจริงวงจรถั่วบวก Carry Generation.....	26
4.1 แสดงขนาดของมอสทรานซิสเตอร์.....	32
4.2 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 100ns.....	32
4.3 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 100ns และแสดงระดับ โลจิกที่อ่านได้จากการทดลอง.....	35
4.4 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 50ns และแสดงระดับ โลจิกที่อ่านได้จากการทดลอง.....	37
4.5 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 30ns และแสดงระดับ โลจิกที่อ่านได้จากการทดลอง.....	38
4.6 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 20ns และแสดงระดับ โลจิกที่อ่านได้จากการทดลอง.....	39

สารบัญญรูป

รูปที่	หน้า
2.1	แสดงโครงสร้างของเอ็น-แชนแนล เอ็นฮานเมนท์มอสเฟท.....4
2.2	สัญลักษณ์ของเอ็น-แชนแนลและ พี-แชนแนล เอ็นฮานเมนท์มอสเฟท.....4
2.3	การเกิดย่านปลอดพาหะ (Depletion Region) ของเอ็น-แชนแนล เอ็นฮานเมนท์ มอสเฟท.....5
2.4	แสดงชั้นอินเวอชันในเอ็น-แชนแนล เอ็นฮานเมนท์มอสเฟท.....6
	(ก) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงลิเนียร์.....7
	(ข) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงขอบ ของจุดอิ่มตัว (edge of Saturation)7
	(ค) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงอิ่มตัว (beyond Saturation).....8
2.6	คุณลักษณะกระแสแรงดันของเอ็นแชนแนลมอสเฟททรานซิสเตอร์.....9
2.7	แสดงคุณลักษณะการไหลของกระแสเดรน-แรงดันที่เกท.....9
2.8	แสดงคุณลักษณะกระแส-แรงดันของเอ็นแชนแนล มอสทรานซิสเตอร์โดยรวมผลของ Channel length modulation ด้วย.....11
2.9	แบบจำลองสำหรับการคำนวณความเร็วของวงจร CMOS.....12
2.10	ช่วงเวลาการเปลี่ยนแปลงของแรงดันขาออกและแรงดันขาเข้า.....12
2.11	วงจรเสมือนสำหรับคำนวณระยะเวลาของวงจรในรูปที่ 2.10.....14
	(ก) วงจรเสมือนเมื่อ V_{in} เพิ่มจาก 0 เป็น V_{DD} (สำหรับการคำนวณช่วง t_f)
	(ข) วงจรเสมือนเมื่อ V_{in} ลดลงจาก 0 เป็น V_{DD} (สำหรับการคำนวณช่วง t_r)
2.12	หน้าตัดของวงจรอินเวอร์เตอร์แบบ CMOS.....18
3.1	วงจรวกครึ่ง.....20
3.2	วงจรวกเต็ม.....21
3.3	วงจรวกแบบขนาน (Ripple Carry Adder).....23
3.4	วงจรถาค่า C_4 โดยวิธี Carry Look Ahead.....25
3.5	วงจร Carry Propagation (P_n) เดิม, Carry Generation (G_n) เดิม.....26
3.6	Transmission Gate.....27
4.1	วงจร Carry Propagation ที่นำเสนอ.....30

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.2	วงจร Previous Carry Propagation.....31
4.3	แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ เลี้ยง 1.5 โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 100ns.....33
4.4	แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ เลี้ยง 1.4 โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 100ns.....34
4.5	แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ เลี้ยง 1.3โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 100ns.....34
4.6	แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ เลี้ยง 1.2โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 100ns.....35
4.7	แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ เลี้ยง 1.2โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 50ns.....37
4.8	แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ เลี้ยง 1.2โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 30ns.....38
4.9	แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ เลี้ยง 1.2โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 20ns.....39
4.10	แสดงค่าการหน่วงเวลาเมื่อเปลี่ยนแหล่งจ่ายแรงดันเป็นค่าต่าง ๆ.....40
4.11	แสดงค่าการใช้กระแสของวงจรเมื่อเปลี่ยนค่าแหล่งจ่ายแรงดันเป็นค่าต่าง ๆ.....41
4.12	วงจร 4 bit Conventional Carry look ahead.....42
4.13	วงจร 4 bit Previous Carry look ahead42
4.14	วงจร 4 bit Proposed Carry look ahead.....43
4.15	ผลการทดลองวงจร Carry look ahead ทั้งสามวงจร รูปคลื่นสัญญาณขาขึ้น.....43
4.16	ผลการทดลองวงจร Carry Look ahead ทั้งสามวงจร รูปคลื่นสัญญาณขาลง.....44

บทที่ 1

บทนำ

1.1 บทนำ

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์และโทรคมนาคมได้มีวิวัฒนาการไปอย่างรวดเร็วซึ่งเทคโนโลยีที่จำเป็นคือเทคโนโลยีการออกแบบวงจรรวม (Very Large Scale Integration : VLSI) นั้นได้มีการพัฒนาอย่างต่อเนื่อง ซึ่งการออกแบบวงจรรวม (VLSI) ในส่วนการคำนวณให้มีประสิทธิภาพมากที่สุด ซึ่งวงจรรวมเป็นส่วนสำคัญที่จะทำให้วงจรรวมมีประสิทธิภาพมากที่สุดและในปัจจุบันวิธีการออกแบบมีอยู่หลายวิธีการ ทำให้วงจรรวมมีประสิทธิภาพมากขึ้น ประกอบกับปัจจุบันทิศทางความต้องการเครื่องมือประเภทพกพาที่มีความต้องการสูงมาก เช่น โทรศัพท์เคลื่อนที่ คอมพิวเตอร์แบบกระเป๋าหิ้ว (Computer Notebook) และ Pocket PC เป็นต้น วิธีการหนึ่งที่มีประสิทธิภาพสำหรับนำไปใช้ในการลดอัตราการใช้กำลังงานของวงจรรวมคือ การลดระดับแหล่งจ่ายให้กับวงจรรวม และจากความเจริญก้าวหน้าทางด้านเทคโนโลยีสารกึ่งตัวนำในปัจจุบันนี้มีการพัฒนาไปอย่างรวดเร็วมาก วงจรรวมที่ซับซ้อนสามารถสร้างให้อยู่ในลักษณะวงจรรวม หรือ IC (Integrated Circuit) ได้ ซึ่งเทคโนโลยีที่นำมาสร้างวงจรรวมได้แก่ เทคโนโลยีไบโพลาร์ เทคโนโลยีไบซีเอ็มอส และเทคโนโลยีซีเอ็มอส เป็นต้น จากเทคโนโลยีทั้งสามที่กล่าวมาข้างต้นเทคโนโลยีซีเอ็มอสคือเทคโนโลยีที่น่าสนใจมากที่สุด เพราะหากเปรียบเทียบกันในด้านต่าง ๆ เช่น ด้านราคาจะพบว่าเทคโนโลยีซีเอ็มอสมีราคาถูกกว่าเทคโนโลยีไบซีเอ็มอส ด้านพื้นที่จะพบว่าเทคโนโลยีซีเอ็มอสลดการใช้พื้นที่ได้ง่ายกว่าเทคโนโลยีไบโพลาร์ เป็นต้น

1.2 ที่มาของงานวิจัย

จากปัญหาที่เกิดขึ้นของวงจรรวมขนานจำนวนมากหลายปีเกิดปัญหาการหน่วงเวลาเนื่องจากรอผลของตัววัดในหลักก่อน จึงต้องหาวิธีในการหาตัววัด (Carry Out) จากอินพุตโดยตรง เรียกวิธีนี้ว่า "Carry Look Ahead" แต่วิธี "Carry Look Ahead" นั้นเมื่อจำนวนบิตมากขึ้นทำให้วงจรมีความซับซ้อนมาก ใช้ทรานซิสเตอร์จำนวนมาก และเมื่อต้องการทำงานที่มีความเร็วเพิ่มขึ้นจะต้องใช้พลังงานมากขึ้น วงจรรวมเลขฐานสองแบบขนานนั้นมีการพัฒนาให้ใช้พื้นที่น้อย ทำงานได้รวดเร็วและมีประสิทธิภาพเมื่อใช้แหล่งจ่ายแรงดันต่ำ เหมาะที่จะนำไปใช้กับอุปกรณ์ที่มีขนาดเล็กได้ต่อไปในอนาคต

1.3 วัตถุประสงค์งานวิจัย

จุดมุ่งหมายงานวิจัยที่นำเสนอเป็นการออกแบบวงจรบวกเลขฐานสองแบบขนานโดยวิธีแคร์ริคอะแฮ็ดด้วยเกตส่งผ่านประสิทธิภาพสูงในการตอบสนองการทำงานที่ดีเมื่อใช้แหล่งจ่ายแรงดันต่ำ วงจรใช้พื้นที่น้อย ความเร็วในการสวิตชิ่งดีขึ้น เหมาะที่จะนำไปประยุกต์ใช้งานคำนวณเพื่อออกแบบอุปกรณ์ขนาดพกพา โดยวิเคราะห์ศึกษาค่าผิดเพี้ยนของวงจรและใช้โปรแกรม PSPICE ในการเลียนแบบวงจรเพื่อยืนยันประสิทธิภาพของวงจร

1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้แบ่งเนื้อหาออกเป็น 5 บท โดยบทที่ 1 จะเป็นการกล่าวนำที่มาของงานวิจัยและวัตถุประสงค์ของงานวิจัย สำหรับเนื้อหาในบทอื่นๆ มีรายละเอียดดังนี้

บทที่ 2 จะกล่าวถึงทฤษฎีการทำงานของมอสทรานซิสเตอร์

บทที่ 3 จะกล่าวถึงทฤษฎีการทำงานของวงจรบวกเลขฐานสองโดยวิธีแคร์ริคอะแฮ็ด

บทที่ 4 จะกล่าวถึงการออกแบบวงจรบวกเลขฐานสองโดยวิธีแคร์ริคอะแฮ็ดด้วยเกตส่งผ่าน การเลียนแบบและผลการเลียนแบบ ค่าการหน่วงเวลาของวงจรโดยที่แหล่งจ่ายแรงดันมีค่าเปลี่ยนแปลงไปและค่าการกินกระแสโดยที่แหล่งจ่ายแรงดันมีค่าเปลี่ยนแปลงไป

บทที่ 5 จะกล่าวถึงบทสรุป วิจารณ์ และข้อเสนอแนะ

1.5 สรุป

ในบทนี้เป็นการกล่าวถึงที่มาและวัตถุประสงค์ของงานวิจัยและรายละเอียดวิทยานิพนธ์ซึ่งประกอบด้วยเนื้อหาที่สำคัญ 2 หัวข้อ คือ หลักการและการออกแบบวงจรบวกเลขฐานสองวิธีแคร์ริคอะแฮ็ดด้วยเกตส่งผ่านโดยเทคโนโลยีซีมอส การเลียนแบบและผลการเลียนแบบของวงจรบวกเลขฐานสองโดยวิธีแคร์ริคอะแฮ็ดด้วยเกตส่งผ่าน เพื่อความเหมาะสมที่จะนำวงจรนี้ไปใช้งานต่อไป

บทที่ 2

ทฤษฎีการทำงานของมอสทรานซิสเตอร์

2.1 บทนำ

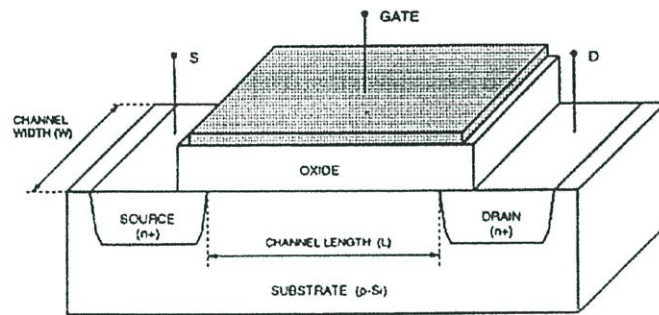
เทคโนโลยีซีมอส (Complementary Metal Oxide Semiconductor : CMOS) เป็นเทคโนโลยีหนึ่งที่ยิมนำมาใช้ออกแบบวงจรประเภทดิจิทัลกันอย่างแพร่หลาย ซึ่งเทคโนโลยีซีมอสนี้ยังเป็นเทคโนโลยีที่รองรับระบบเทคโนโลยี VLSI (Very Large Scale Integration) ได้เป็นอย่างดี เทคโนโลยีซีมอสทำให้วงจรมีคุณสมบัติใช้กำลังงานต่ำเมื่อเปรียบเทียบกับเทคโนโลยีไบโพลาร์ (Bipolar) เอ็นมอส (NMOS) หรือ GaAs เทคโนโลยีซีมอสนี้เมื่อนำมาสร้างเป็นวงจรมีความสามารถสร้างอุปกรณ์ (Device) ได้สองชนิดคือ มอสทรานซิสเตอร์ชนิด N-Channel และมอสทรานซิสเตอร์ชนิด P-Channel ซึ่งอุปกรณ์ทั้งสองชนิดนี้ถือได้ว่าเป็นโครงสร้างพื้นฐานของเทคโนโลยีซีมอส การสร้างนิยมนำมาสร้างเป็นไอซี (Integrated Circuit) ด้วยเทคโนโลยี VLSI เพราะมีข้อดีหลายประการเมื่อเปรียบเทียบกับเทคโนโลยีแบบอื่น ๆ เช่น การสูญเสียของพลังงานต่ำ มีอินพุตอิมพีแดนซ์ต่ำมาก มีขนาดเล็ก เป็นต้น ดังนั้นจากข้อดีที่กล่าวมาวิทยานิพนธ์นี้จึงใช้เทคโนโลยีซีมอสมาออกแบบวงจรมอดูลเลขฐานสองโดยวิธีแคร์ลาคอะเฮ็ดด้วยเกตส่งผ่านโดยโครงสร้างของอุปกรณ์ที่สร้างจากเทคโนโลยีมีดังนี้

2.2 โครงสร้างของมอสทรานซิสเตอร์

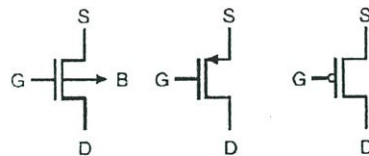
มอสเฟตเป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่งการทำงานใช้การควบคุมด้วยสนามไฟฟ้า (Field Effect Device) สามารถแบ่งตามโครงสร้างได้ 2 แบบ คือ เอ็นแชนแนลมอสทรานซิสเตอร์ และพีแชนแนลมอสทรานซิสเตอร์ โดยแต่ละชนิดยังแบ่งตามลักษณะการทำงานได้อีก 2 แบบ คือ แบบเอ็นฮานเม้นท์ (Enhancement) และดีพลีชัน (Depletion) มอสทรานซิสเตอร์ วิทยานิพนธ์นี้ใช้มอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ ดังนั้นจะกล่าวถึงมอสทรานซิสเตอร์ประเภทนี้เท่านั้น

จากรูป 2.1 เป็นโครงสร้างของมอสเฟตแบบเอ็นฮานเม้นท์ชนิดเอ็นแชนแนล (N-Channel) ประกอบด้วยฐานรองเป็นแบบพี (P-type substrate) ความหนาแน่นน้อย (Lightly Dope) มีอิเล็กโทรดบริเวณเดรน (Drain) และซอร์ส (Source) ต่อกับบริเวณที่ทำการเติมสารเจือชนิด N ความหนาแน่นสูงเข้าไปในฐานรองแต่จะไม่เชื่อมต่อกันดังรูปแล้วทำการเคลือบสาร ซิลิกอนไดออกไซด์ (SiO_2) ซึ่งมีคุณสมบัติเป็นฉนวนลงบนฐานรองแล้วทำการต่ออิเล็กโทรดที่เป็นโลหะเข้าไปที่ขั้วเกต (Gate) โดยช่องทางเดินกระแสจะอยู่ระหว่างซอร์สกับเดรนโดยมีช่วงความยาว (Channel

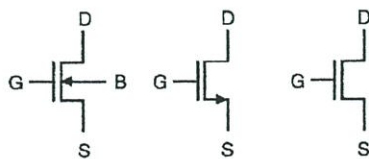
Length) เป็น L และความกว้าง (Channel Width) เป็น W ส่วนมอสเฟตแบบเอ็นฮานเม้นแบบพีแชนแนลพื้นจะมีโครงสร้างสลับกับคือ ฐานรองเป็นเอ็นซีพีสเททความหนาแน่นน้อย ส่วนเดรนและซอร์สเป็นสารกึ่งตัวนำชนิดพีที่มีความหนาแน่นสูงแพร์อยู่แทน โดยปกติเราจะใช้งานมอสทรานซิสเตอร์ด้วยกัน 3 ชนิดคือ ซอร์ส เกทและเดรน ส่วนชนิดที่ 4 คือ ซอร์ส (Bulk) คือ ซอร์สที่ต่อจากฐานรอง (Substrate) จะถูกใช้ในการกำหนดค่าแรงดันเทรชโฮล, ที่เป็นค่าที่ ซึ่งปกติจะต่อซอร์สเข้ากับซอร์สเพื่อใช้ผลของแรงดันเทรชโฮลมีค่าที่ต่ำที่สุดเท่ากับ V_{TO} สัญลักษณ์ของมอสทรานซิสเตอร์จะมีลักษณะต่าง ๆ ดังรูป



รูปที่ 2.1 แสดงโครงสร้างของเอ็นแชนแนล เอ็นฮานเม้นท์มอสเฟต



พี-แชนแนล มอสเฟต



เอ็น-แชนแนล มอสเฟต

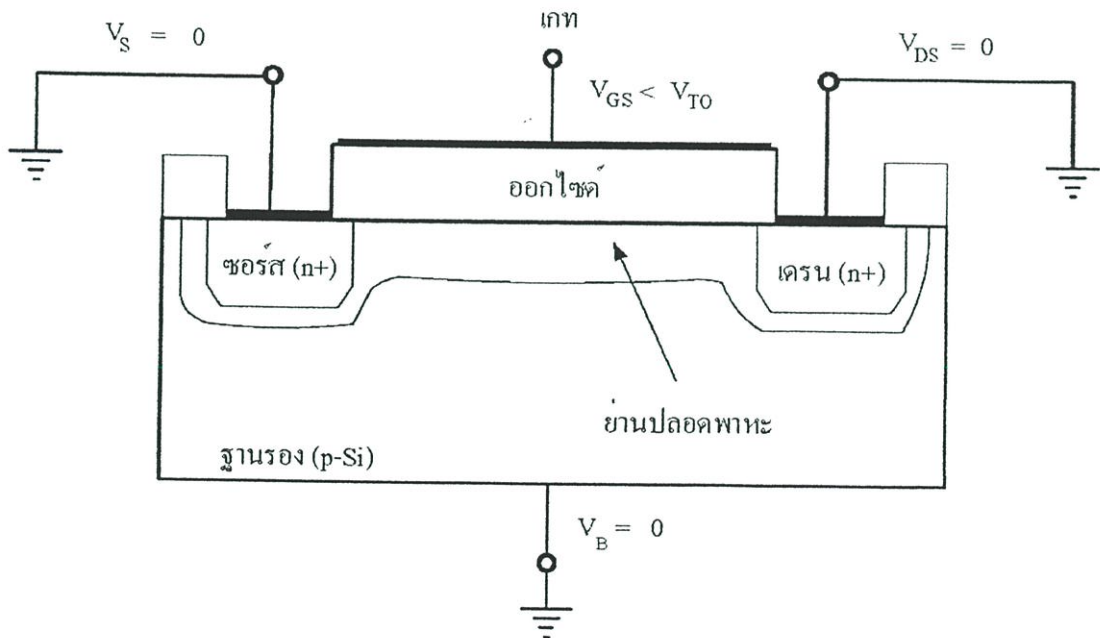
รูปที่ 2.2 สัญลักษณ์ของเอ็น-แชนแนลและพี-แชนแนล เอ็นฮานเม้นท์มอสเฟต

จากสัญลักษณ์สามารถจำแนกได้ว่าเป็นมอสทรานซิสเตอร์ประเภทใดโดยดูที่หัวลูกศรและขาของมอสเฟทโดยพิจารณาดังนี้

- 4 ขา มอสทรานซิสเตอร์ หัวลูกศรขาบัลด์ซึ่งเข้าหาฐานรองเป็น เอ็น-แชนแนลมอสเฟท
- 4 ขา มอสทรานซิสเตอร์ หัวลูกศรขาบัลด์ซึ่งออกจากฐานรองเป็น พี-แชนแนลมอสเฟท
- 3 ขา มอสเฟท หัวลูกศรซึ่งเข้าหาฐานรองเป็น พี-แชนแนลมอสเฟท
- 3 ขา มอสเฟท หัวลูกศรซึ่งออกจากฐานรองเป็น เอ็น-แชนแนลมอสเฟท

2.3 การทำงานของมอสทรานซิสเตอร์

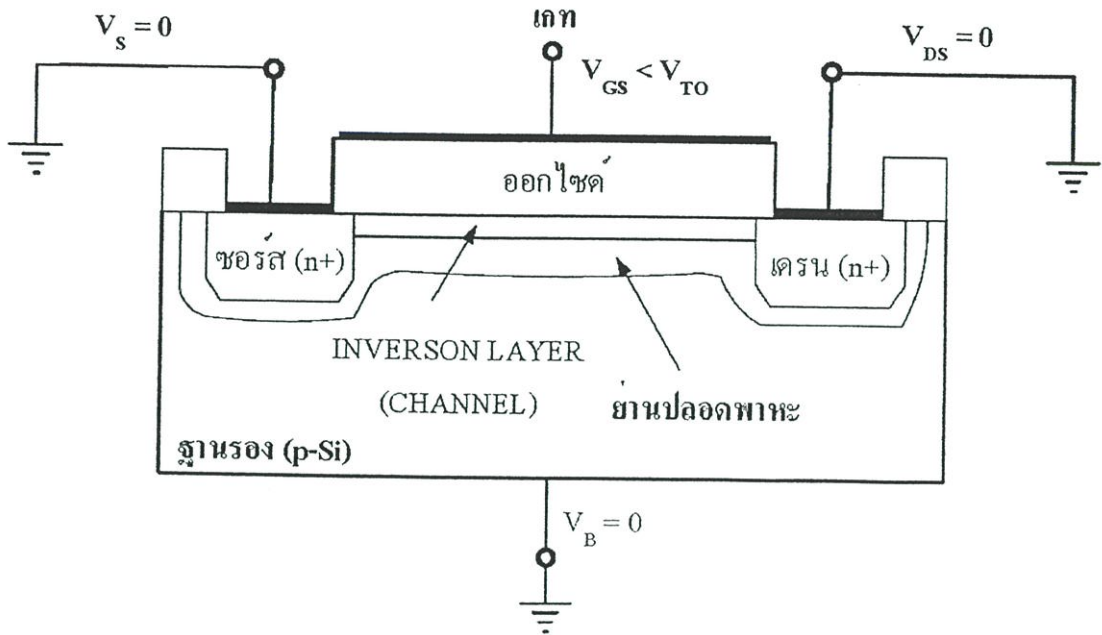
จากโครงสร้างของเอ็น-แชนแนล เอ็นฮานเมนท์ทรานซิสเตอร์ รูป 2.3 สามารถเขียนอธิบายการทำงานของมอสเฟทได้โดยการควบคุมกระแสที่ไหลในช่องทางเดินกระแสระหว่างเดรนกับซอร์สของมอสเฟทนั้นจะทำได้โดยการป้อนแรงดันไฟฟ้าเข้าที่เกทของมอสทรานซิสเตอร์ ทำให้เกิดสนามไฟฟ้าบังคับปริมาณของกระแสและปริมาณของกระแสที่ไหลยังถูกควบคุมโดยความต่างศักย์ระหว่างเดรน ซอร์ส และฐานรองอีกด้วย



รูปที่ 2.3 การเกิดย่านปลอดพาหะ (Depletion Region) ของเอ็น-แชนแนล เอ็นฮานเมนท์ มอสเฟท

จากรูปที่ 2.3 เป็นการให้ไบอัสแก่เอ็น-แชนแนล เอ็นฮานเมนท์มอสเฟทโดยขาเดรน ซอร์ส และขาบัลด์ต่อกับกราวด์โดยใช้ขาเกทมีศักดาเป็นบวกเมื่อเทียบกับซอร์ส (V_{GS}) ถ้าค่าศักดาไฟฟ้า V_{GS} มีค่าต่ำหรือ $V_{GS} < V_{TO}$ คือน้อยกว่าค่าเทรชโฮลของมอสเฟทโฮลที่เป็นประจุข้างมาก

(Majority Carrier) จะถูกผลักลงไปที่ฐานรองทำให้ช่องทางเดินกระแสระหว่างเดรนกับซอร์สเกิดยาน
 ปลอดพาหนะ (Depletion Region) ดังนั้นก็จะมีกระแสไหลระหว่างเดรนกับซอร์ส

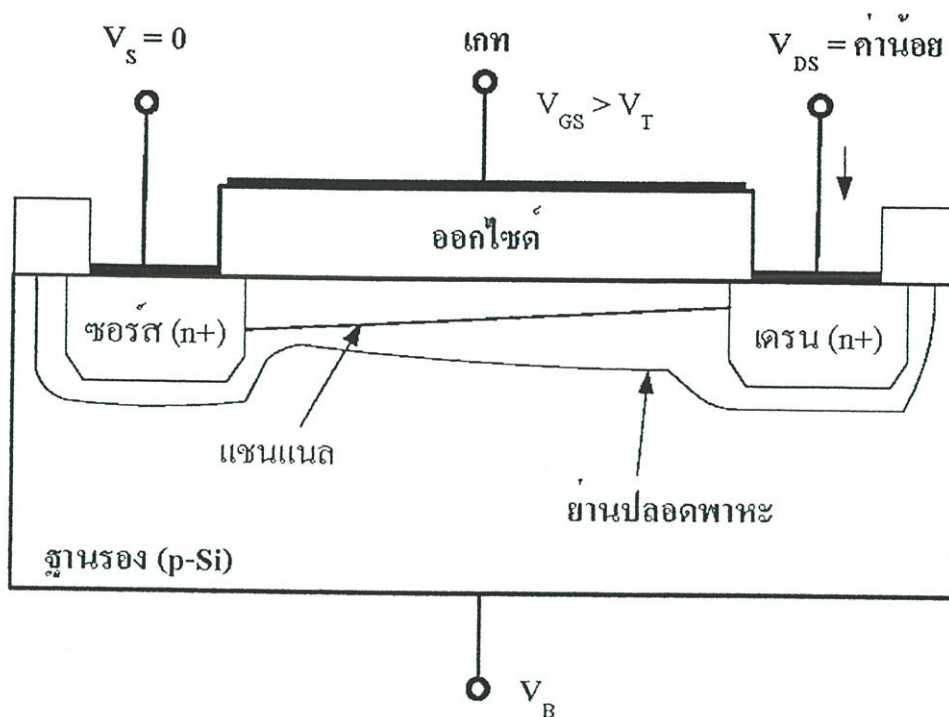


รูปที่ 2.4 แสดงชั้นอินเวอร์ชันในเอ็น-แชนแนล เอ็นแชนแนลเอ็มอสเฟต

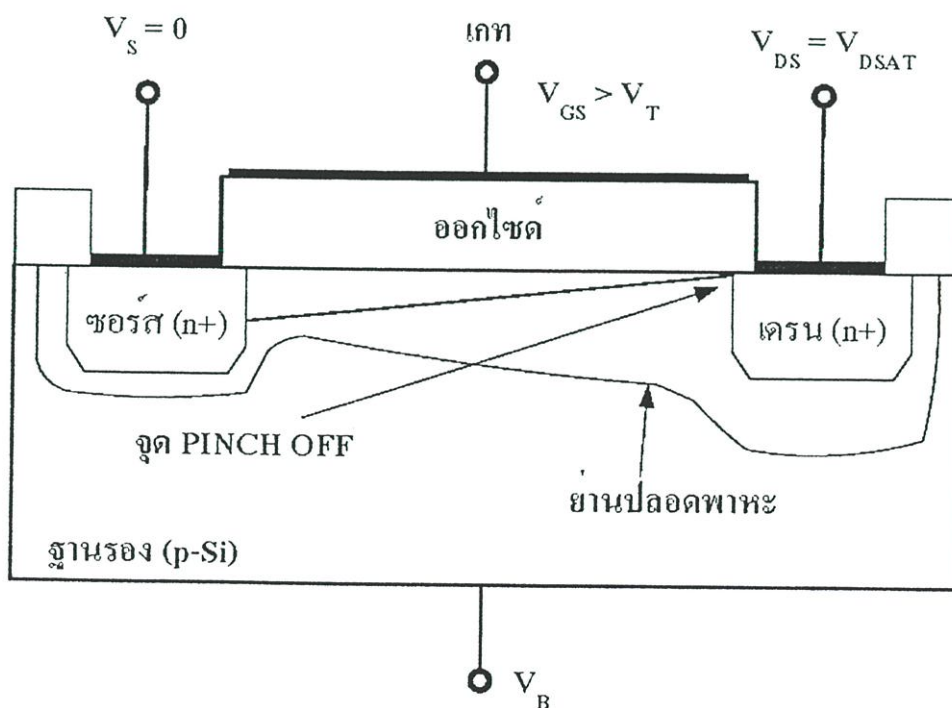
จากรูปที่ 2.4 ถ้าให้โวลต์ที่เกตกับซอร์สค่าเป็นบวกมากขึ้นจนมากกว่าค่าแรงดันเทรชโฮลด์
 (Threshold Voltage, V_{TO}) คักดาที่เกตจะทำการดึงอิเล็กตรอนจากฐานรองเข้ามายังช่องทางเดิน
 กระแส สร้างเป็นอินเวอร์ชันเลเยอร์ (Inversion Layer) จะทำให้เกิดเป็นช่องทางเดินของกระแสไฟฟ้า
 จากเดรนไปยังซอร์สโดยปริมาณกระแสจะขึ้นอยู่กัคักดาไฟฟ้าที่ป้อนระหว่างเดรนกับซอร์ส โดยถ้า
 ให้คักดาที่เดรนเป็นบวกเมื่อเทียบกับซอร์สเพียงเล็กน้อย ($V_{DS} > 0$) ก็จะมีกระแสไหลจากเดรนไปยัง
 ซอร์สทันที กระแสจากเดรนจะไหลสูงสุดเมื่อ $V_{DS} = V_{GS} - V_{TO}$ และจะคงที่ตลอดแม้ว่าจะเพิ่ม
 คักดาระหว่างเดรนกับซอร์สให้มากกว่านี้ก็ตาม

2.4 คุณสมบัติของมอสทรานซิสเตอร์

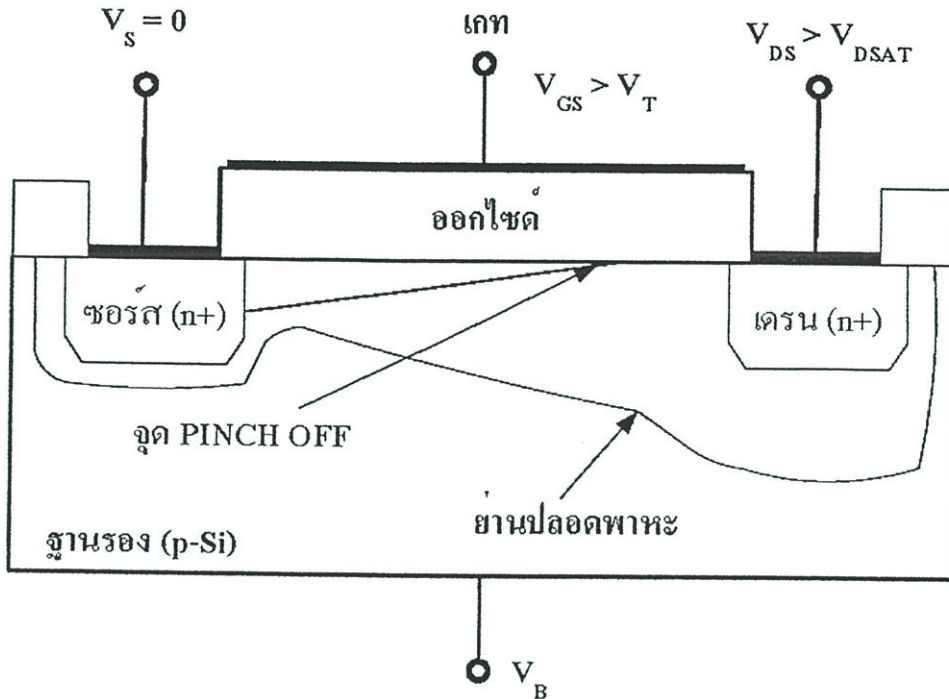
ในการจะนำมอสทรานซิสเตอร์ไปใช้นั้นจำเป็นจะต้องมีจุดทำงานที่เหมาะสมดังรูปที่ 2.5
 รูปที่ 2.5 (ก) โดยการป้อนแรงดันที่เกตเป็น $V_{GS} > V_{TO}$ และแรงดันที่เดรนเป็น $V_{DS} < V_{GS} - V_T$
 ทำให้เกิดความต่างคักยะระหว่างขาเดรนและซอร์ส ผลทำให้มีกระแสเดรนไหลผ่านช่องทางเดิน
 กระแสจากเดรนไปยังซอร์ส โดยมีลักษณะในเชิงเส้น (Linear)



รูปที่ 2.5 (ก) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงลิเนียร์



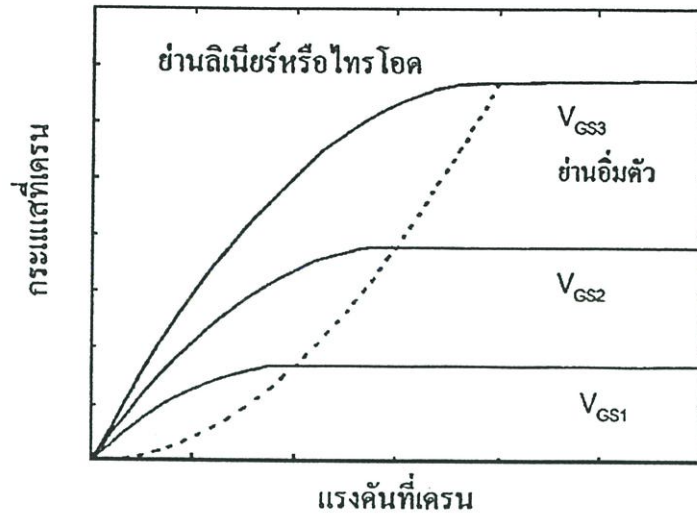
รูปที่ 2.5 (ข) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงขอบของจุดอิ่มตัว (edge of Saturation)



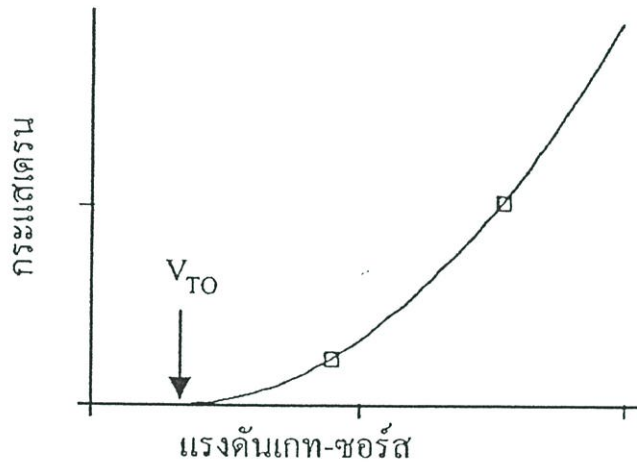
รูปที่ 2.5 (ค) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงอิ่มตัว (beyond Saturation)

รูปที่ 2.5 (ข) เมื่อเพิ่มแรงดันที่เดรนเทียบกับซอร์สเป็น $V_T = V_{DSAT}$ โดยคงค่าแรงดันที่เกตไว้ $V_{GS} > V_{TO}$ จะพบว่าช่องทางเดินกระแสที่เดรนแคบขึ้นเรื่อย ๆ จนถึงจุด ๆ หนึ่งเรียกว่า จุดพินช์ออฟ (pinchoff Point) โดยจะมีค่า $V_{GS} - V_{DS} = V_{TO}$

รูปที่ 2.5 (ค) เมื่อเพิ่มค่าแรงดัน V_s ขึ้นไปอีกคือ $V_{DS} > V_{DSAT}$ หรือ $V_{DS} > V_{GS} - V_{TO}$ ผลทำให้แรงดันที่คร่อมช่องทางเดินกระแสที่ด้านเดรน $V_{GS} - V_T$ ทำให้เกิดสภาวะพินช์ออฟมากขึ้นจนทำให้ช่องทางเดินของกระแสขาดออกบริเวณด้านเดรน เพราะไม่มีสนามไฟฟ้ามาทำให้อิเล็กตรอนเคลื่อนเข้ามาสะสมแต่ยังมีกระแสไหลอยู่ เนื่องจากการแพร่กระแส (Diffusion Current) โดยเสมือนเป็นแหล่งจ่ายกระแสที่มีค่าคงที่ แม้ว่าจะเพิ่มแรงดันที่เดรนให้มากขึ้นอีกก็ตาม



รูปที่ 2.6 คุณลักษณะกระแสแรงดันของเอ็นแชนแนลมอสเฟตทรานซิสเตอร์



รูปที่ 2.7 แสดงคุณลักษณะการไหลของกระแสเดรน-แรงดันที่เกต

จากลักษณะการไหลของกระแสดังกล่าวข้างต้น ทำให้สามารถนำมาเขียนเป็นคุณลักษณะของมอสเฟตได้ดังรูป 2.6 ซึ่งประกอบด้วย

ช่วงแรก เรียกว่า ช่วงคัทออฟ (Cut off region)

$$I_D = 0, \text{ เมื่อ } V_{GS} < V_T \quad (2.1)$$

มอสเฟตไม่ทำงาน ไม่มีกระแสเดรนไหล

ช่วงที่สอง $V_{GS} < V_T$ และ $V_{DS} < V_{GS} - V_T$ เรียกว่า ช่วงลิเนียร์หรือย่านไตรโอด (Linear region หรือ Triode region) มอสทรานซิสเตอร์นำกระแสโดยสมการจะเป็น

$$I_{D(lin)} = \frac{\mu_n C_{ox} W}{2 L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2.2)$$

ช่วงนี้อาจจะเรียกอีกชื่อหนึ่งได้แก่ ช่วงไม่อิ่มตัว (Non-Saturation region) โดยขณะมีแรงดันระหว่างเดรนกับซอร์สมีค่าน้อยๆ $V_{DS} < V_{GS} - V_T$ กระแสเดรน I_D จะมีลักษณะเป็นเชิงเส้น รูปที่ 2.6 เส้นกราฟจะโค้งมนขึ้นเมื่อแรงดัน V_{DS} เพิ่มขึ้นซึ่งเป็นผลมาจากความต้านทานช่วงบริเวณช่องทางเดินของกระแสที่จะมีลักษณะอิ่มตัวในขณะเพิ่มแรงดัน V_{DS} โดยรูปร่างของช่องทางเดินกระแสจะมีลักษณะลาดเอียงและบริเวณที่ใกล้กับส่วนของเดรนจะมีขนาดเล็ก ช่วงที่สามเรียกว่า ช่วงอิ่มตัว หรือ Saturation region โดยสมการจะเป็นดังนี้

$$I_{D(sat)} = \frac{\mu_n C_{OX}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (2.3)$$

เมื่อ $V_{GS} \geq V_T$ และ $V_{DS} \geq V_{GS} - V_T$

ส่วนสมการระหว่างกระแสและแรงดันของ P - Chanel MOSFET มีดังนี้

$$I_D = 0, \text{ เมื่อ } V_{GS} > V_T \quad (2.4)$$

$$I_{D(lin)} = \frac{\mu_p C_{OX}}{2} \cdot \frac{W}{L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2.5)$$

เมื่อ $V_{GS} \leq V_T$ และ $V_{DS} > V_{GS} - V_T$

$$I_{D(sat)} = \frac{\mu_p C_{OX}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (2.6)$$

เมื่อ $V_{GS} \leq V_T$ และ $V_{DS} \leq V_{GS} - V_T$

\mathcal{E}_{OX} = ค่าคงที่ของ SiO_2

โดยที่ I_D = กระแสเดรน

V_{GS} = แรงดันระหว่างเกตกับซอร์ส

V_{DS} = แรงดันระหว่างเดรนกับซอร์ส

W = ความกว้างของแชนแนล

L = ความยาวของแชนแนล

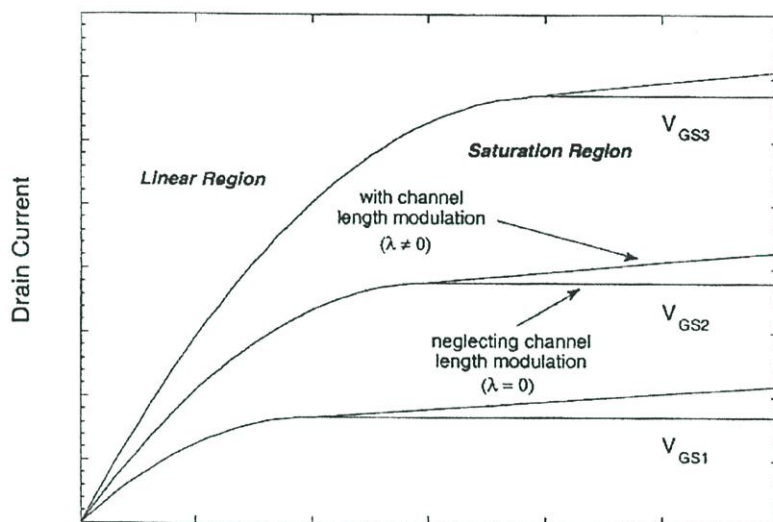
$C_{OX} = \frac{\mathcal{E}_{OX}}{t_{OX}}$ ค่าความจุต่อหนึ่งหน่วยพื้นที่ของเกตออกไซด์ที่กั้นระหว่างเกตกับแชนแนล

V_T = แรงดันเทรชโฮลของมอสเฟต

λ = แชนแนลเลนจิมอดูเลชันพารามิเตอร์
(Channel Length Modulation Parameter)

t_{ox} = ความหนาของเกตออกไซด์

จากรูปที่ (2.6) เมื่อแรงดัน V_{DS} ถึงจุดพินช์ออฟ ผลจะทำให้กระแสเดรนไหลค่อนข้างคงที่ทั้งนี้ เนื่องจากผลของแชนแนลเลนจิมอดูเลชันพารามิเตอร์ด้วย แต่ในทางปฏิบัติจะตัดค่า λ นี้ทิ้งเพื่อให้่ายต่อการคำนวณ จึงถือว่ากระแสจะอิ่มตัวคงที่หรือความชันของกระแสเดรนเป็นศูนย์



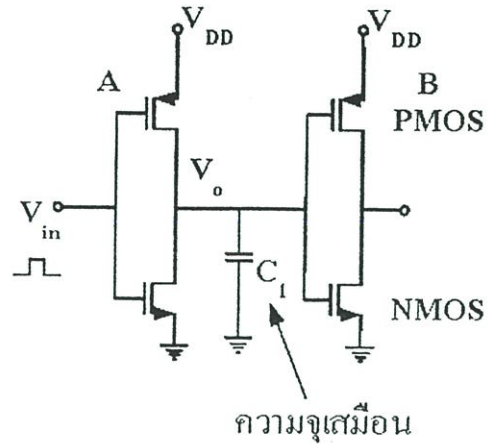
รูปที่ 2.8 แสดงคุณลักษณะกระแสและแรงดันของเอ็นแชนแนลมอสทรานซิสเตอร์โดยรวมผลของ Channel length modulation ด้วย

2.5 การคำนวณความเร็วของวงจร

การคำนวณความเร็วของวงจร CMOS นี้เราจะอาศัยวงจรรีเลย์อินเวอร์เตอร์เป็นวงจรถูกหลัก ช่วงเวลาของวงจรถัดที่เราสนใจมีอยู่ 3 ช่วง คือ

1. ช่วงขึ้น (t_r) คือ ช่วงเวลาที่แรงดันขาออกขึ้นจาก 10 ถึง 90 เปอร์เซ็นต์ของ V_{DD}
2. ช่วงลง (t_f) คือ ช่วงเวลาที่แรงดันขาออกลดลงจาก 90 ถึง 10 เปอร์เซ็นต์ของ V_{DD}
3. ช่วงหน่วง (t_d) คือ ช่วงเวลาที่อยู่ระหว่างการเปลี่ยนแปลงของแรงดันขาเข้าและ ขา

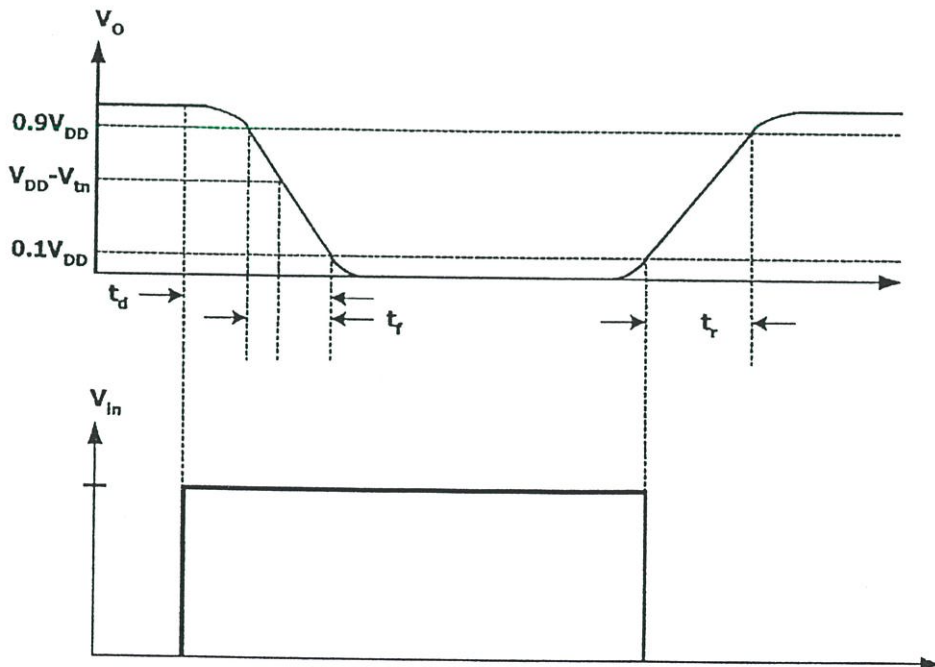
ออกที่ 50 เปอร์เซ็นต์ เราสนใจว่าต้องใช้เวลานานเท่าไรสำหรับแรงดันขาเข้าที่จะทำให้แรงดันขาออกเปลี่ยนแปลง ตัวประกอบที่กำหนดค่าเหล่านี้คือ ความจุขาออก ความต้านทานของ t_{pu} และความต้านทานของ t_{pd} รูปที่ 2.9 แสดงแบบจำลองของวงจร ซึ่งใช้คำนวณความเร็ว



รูปที่ 2.9 แบบจำลองสำหรับการคำนวณความเร็วของวงจร CMOS

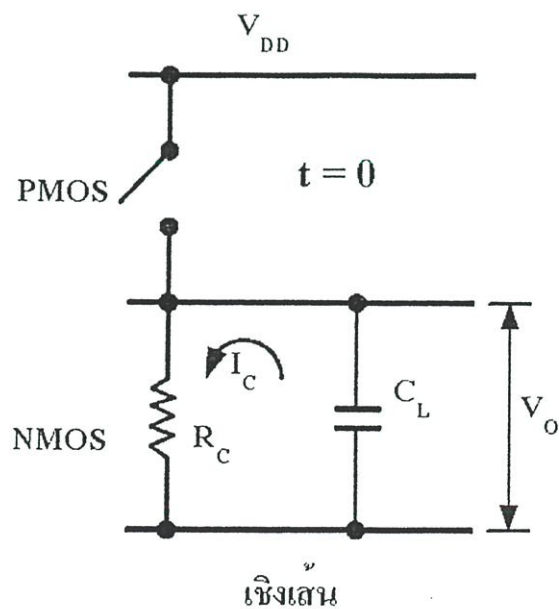
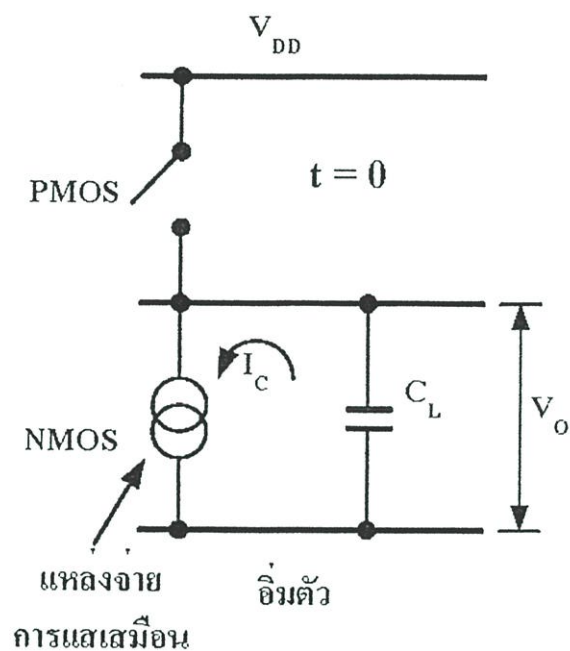
2.5.1 ช่วงลง (t_r)

จากรูปที่ 2.9 A คือ วงจรที่เราสนใจซึ่งประกอบด้วยทรานซิสเตอร์ T_1 แบบ NMOS และทรานซิสเตอร์ T_2 แบบ PMOS C_1 คือตัวเก็บประจุซึ่งใช้แทนความจุทั้งหมดที่ขาออกของวงจร A ค่า C_1 ประกอบไปด้วยค่าความจุของสายที่ต่อระหว่างวงจร A และวงจร B รวมกับค่าความจุที่อยู่ระหว่างเกตและเกรนของทรานซิสเตอร์ T_2 ของวงจร B ช่วงเวลาของการเปลี่ยนแปลงระหว่างแรงดันขาออกและแรงดันขาเข้า สรุปดังในรูปที่ 3.0

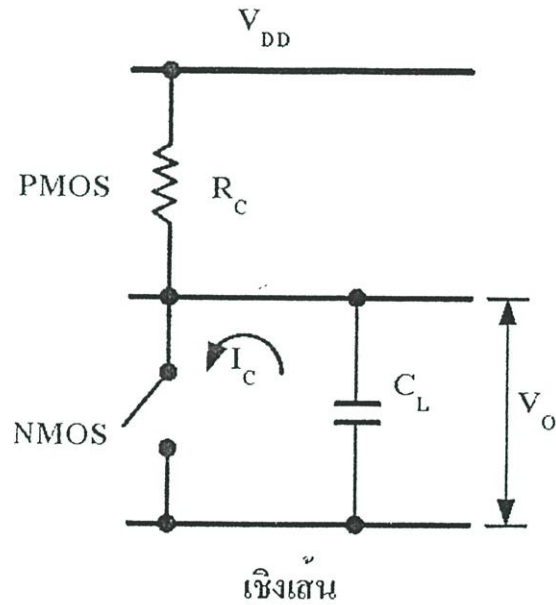
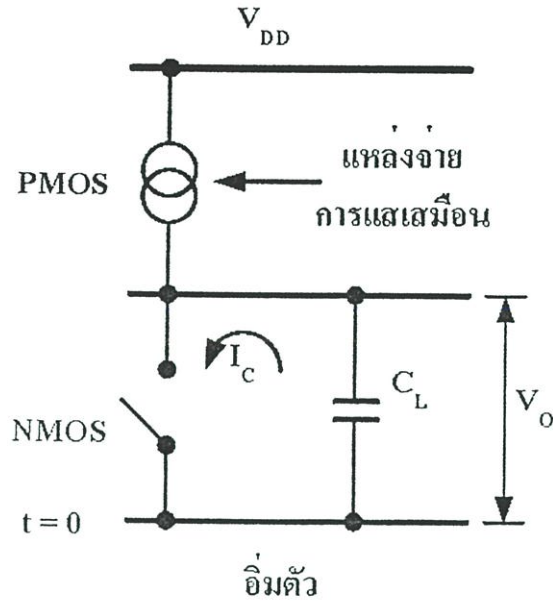


รูปที่ 2.10 ช่วงเวลาการเปลี่ยนแปลงของแรงดันขาออกและแรงดันขาเข้า

สัญญาณ V_{in} ที่ป้อนเข้าวงจรเป็นสัญญาณจังหวะที่มีช่วงเวลานานพอที่จะให้วงจร A ทำงานได้ตามปกติ ในขณะที่วงจร A เปลี่ยนแปลงตามช่วงเวลาในรูปที่ 2.10 สภาวะของทรานซิสเตอร์ T_1 และ T_2 สามารถอธิบายได้โดยอาศัยวงจรเสมือนในรูปที่ 2.11



(n)



(ข)

- รูปที่ 2.11 วงจรเสมือนสำหรับคำนวณระยะเวลาของวงจรในรูปที่ 2.10
- (ก) วงจรเสมือนเมื่อ V_{in} เพิ่มขึ้นจาก 0 เป็น V_{DD} (สำหรับการคำนวณช่วง t_f)
- (ข) วงจรเสมือนเมื่อ V_{in} ลดลงจาก 0 เป็น V_{DD} (สำหรับการคำนวณช่วง t_r)

เวลาที่แรงดันขาออก V_O ลดลงจาก V_{DD} มาเป็น $0.1 V_{DD}$ สามารถแบ่งย่อยออกได้ 2 ช่วงคือ ช่วงแรก ซึ่งเป็นช่วงที่แรงดันขาออก V_O ลดลงจาก $0.9 V_{DD}$ มาถึง $V_{DD} - V_{tn}$ และ ช่วงสอง ซึ่งเป็นช่วงที่แรงดันขาออก V_O ลดลง $V_{DD} - V_{tn}$ หมายถึง $0.1 V_{DD}$ จากรูปที่ 2.11

(ก) เมื่อเริ่มต้นก่อนที่ V_O จะลดลงจาก V_{DD} ทรานซิสเตอร์ NMOS อยู่ในสภาวะอิ่มตัว C_1 คือ ค่าความจุขาออกทั้งหมดของวงจรที่เรากำลังคำนวณ เมื่อ NMOS อิ่มตัว ประจุที่ C_1 จะคลายผ่าน NMOS ดังนั้นเราจะได้ว่ากระแสที่ไหลผ่าน NMOS จะเท่ากับกระแสที่คลายออกจาก C_1 นั่นคือ

$$C_L \frac{dV_O}{dt} + \frac{\beta_n}{2} (V_{DD} - V_{tn})^2 = 0; V_O \geq V_{DD} - V_{tn} \quad (2.5.1)$$

ช่วง t_{f1} คำนวณได้จากค่าของ V_O ระหว่าง $0.9 V_{DD}$ ถึง $V_{DD} - V_{tn}$ ดังนั้นเราแก้สมการข้างต้นจะได้ว่า

$$t_{f1} = \frac{2C_L}{\beta_n (V_{DD} - V_{tn})^2} \int_{V_{DD} - V_{tn}}^{0.9V_{DD}} dV_O \quad (2.5.2)$$

หรือ

$$t_{f1} = \frac{2C_L (V_{tn} - 0.1V_{DD})}{\beta_n (V_{DD} - V_{tn})^2} \quad (2.5.3)$$

สำหรับช่วงเวลา t_{f2} nMOS จะเข้าสู่สภาพเชิงเส้น ซึ่งถ้าหลังจากช่วงนี้ไปแล้ว nMOS จะกลายเป็นสภาวะวงจรถาด จากรูปที่ 2.11 เมื่อ nMOS อยู่ในสภาวะเชิงเส้น กระแสไหลผ่าน nMOS จะเท่ากับ

$$I_{dsn} = \beta \left[(V_{DD} - V_{tn}) V_O - \frac{1}{2} V_O^2 \right] \quad (2.5.4)$$

ซึ่งจะเท่ากับ $C_L \frac{dV_O}{dt} = \beta \left[(V_{DD} - V_{tn}) V_O - \frac{1}{2} V_O^2 \right]$ (2.5.5)

ค่าของ t_{f2} สามารถคำนวณได้จากการกำหนดค่าของ V_O ระหว่าง $V_{DD} - V_{tn}$ และ $0.1 V_{DD}$ ดังนั้นถ้าเราแก้สมการข้างต้นเราจะได้ว่า

$$\begin{aligned} t_{f2} &= \frac{C_L}{\beta_n (V_{DD} - V_{tn})} \int_{0.1V_{DD}}^{V_{DD} - V_{tn}} \frac{dV_O}{\frac{V_O^2}{2(V_{DD} - V_{tn})} - V_O} \\ &= \frac{C_L}{\beta_n (V_{DD} - V_{tn})} \ln \frac{19V_{DD} - V_{tn}}{V_{DD}} \end{aligned} \quad (2.5.6)$$

รวมเวลาทั้งหมด $t_f = t_{f1} + t_{f2}$

$$= \frac{C_L}{\beta_n(V_D - V_{tn})} \left[\frac{V_{tn} - 0.1V_{DD}}{V_{DD} - V_{tn}} + \ln\left(\frac{19V_{DD} - 20V_{tn}}{V_{DD}}\right) \right]$$

$$= \frac{4C_L}{\beta_n V_{DD}} \quad (2.5.7)$$

2.5.2 ช่วงขึ้น (t_r)

อาศัยรูปที่ 2.11 (ข) เราสามารถคำนวณช่วงเวลาขึ้นได้ในทำนองเดียวกับ t_f ดังนั้น t_r จะมีค่าเท่ากับ

$$t_r = \frac{2C_L}{\beta_p(V_{DD} - |V_{tp}|)} \left[\frac{|V_{tp}| - 0.1V_{DD}}{V_{DD} - |V_{tp}|} + \frac{1}{2} \ln\left(\frac{19V_{DD} - 10|V_{tp}|}{V_{DD}}\right) \right] \quad (2.5.8)$$

ซึ่งประมาณเท่ากับ

$$t_r \approx \frac{4C_L}{\beta_p V_{DD}} \quad (2.5.9)$$

ถ้าขนาดของทรานซิสเตอร์ PMOS และ NMOS เท่ากัน ระยะเวลา t_r และ t_f จะไม่เท่ากัน เนื่องจากว่าความเร็วของอิเล็กตรอนใน NMOS จะเร็วกว่าความเร็วของอิเล็กตรอนใน PMOS ประมาณ 2 เท่า นั่นหมายความว่า $\beta_n = 2\beta_p$ ดังนั้นเราจะได้ความสัมพันธ์ของ t_r และ t_f ดังนี้

$$t_f = \frac{t_r}{2} \quad (2.5.10)$$

การจัดค่าของ t_r และ t_f ทำได้โดยการปรับขนาดของ β_n และ β_p นั่นคือ ปรับอัตราส่วนของความกว้างและความยาวของทรานซิสเตอร์ทั้ง 2 แบบ

2.5.3 ช่วงหน่วง (t_d)

ช่วงหน่วงสำหรับกรณีที่แรงดันขาออกเพิ่มขึ้นจาก 0 ไปสู่ V_{DD}

ประมาณได้จาก

$$t_{dr} = \frac{t_r}{2} \quad (2.5.11)$$

และสำหรับกรณีที่แรงดันขาออกลดลงจาก V_{DD} เป็น 0 ประมาณได้จาก

$$t_{df} = \frac{t_{df}}{2} \quad (2.5.12)$$

ดังนั้นช่วงหน่วงทั้งหมดโดยเฉลี่ยคือ $t_d = \frac{t_{dr} + t_{df}}{2} = \frac{t_r + t_f}{4}$ (2.5.13)

2.5.4 การหาค่าเฉลี่ย Propagation delay

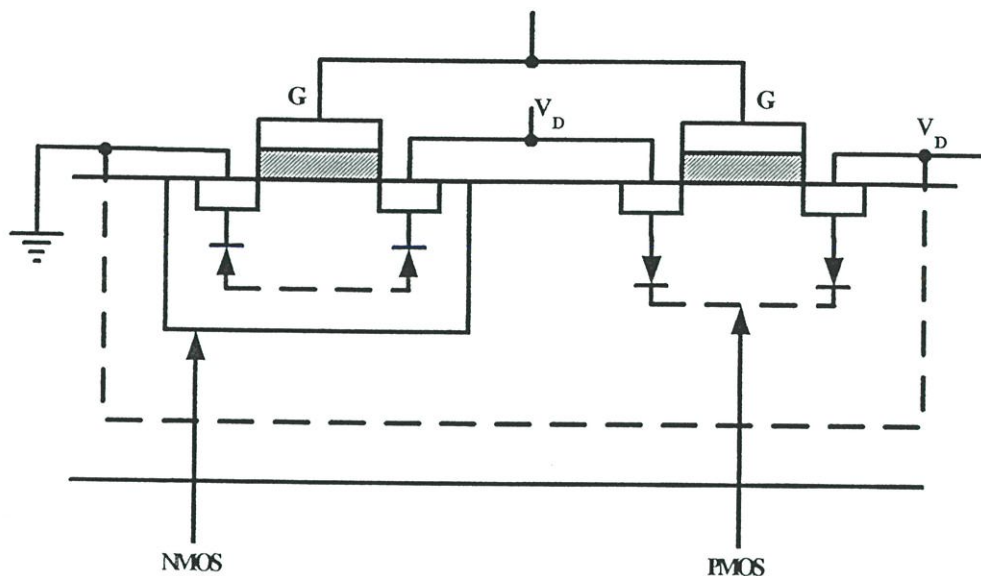
หาได้จากสมการที่ (2.5.14) โดย τ_p คือค่าเฉลี่ย Propagation delay time และ τ_{PHL} คือ ช่วงเวลา 50% ที่ระดับแรงดันอินพุตเปลี่ยนระดับจากแรงดันต่ำไปยังระดับแรงดันสูงจนถึงช่วงเวลา 50% ที่ระดับแรงดันเอาต์พุตเปลี่ยนระดับแรงดันสูงไประดับแรงดันต่ำ τ_{PLH} คือช่วงเวลา 50% ที่ระดับแรงดันอินพุตเปลี่ยนระดับแรงดันสูงไปยังระดับแรงดันต่ำจนถึงช่วงเวลา 50% ที่ระดับแรงดันเอาต์พุตเปลี่ยนระดับแรงดันต่ำไประดับแรงดันสูง

$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (2.5.14)$$

2.6 การคำนวณกำลังของวงจร

กำลังที่ใช้ไปในวงจร CMOS สามารถคำนวณได้จากสองสถานะคือ เมื่ วงจรอยู่ในสถานะอิมิตัวทั้ง pMOS และ nMOS และเมื่ วงจรอยู่ในสถานะเชิงเส้น เมื่ วงจรอยู่ในสถานะอิมิตัวจะมีเพียงทรานซิสเตอร์เดียวที่ทำงาน ดังนั้นกระแสที่ไหลในวงจรจะมีค่าประมาณ 0 ถ้าสังเกตวงจรอินเวอร์เตอร์แบบ CMOS ที่ตัดขวางอยู่ในรูปที่ 3.2 แล้วจะเห็นว่าโครงสร้างของวงจรคล้ายกับวงจรไดโอด กระแสวงจรถือไดโอดสามารถคำนวณได้จาก

$$i_o = i_s(e^{qV/KT} - 1) \quad (2.6.1)$$



รูปที่ 2.12 หน้าตัดของวงจรรวมอินเวอร์เตอร์แบบ CMOS

เมื่อ i_s คือ กระแสของไดโอดเมื่อป้องกันแรงดันกลับทิศทางกับทิศทางของไดโอด

v คือ ค่าแรงดันที่ป้อนให้ไดโอด

q คือ ค่าประจุของอิเล็กตรอน

k คือ ค่าคงที่ของ

T คือ อุณหภูมิ

หลังจากที่คำนวณกระแสผ่านไดโอด กำลังที่กินไปในไดโอดสามารถคำนวณได้จากผลคูณของกระแสและแรงดัน เพราะฉะนั้น $P_s = i_o \cdot V_{DD}$ คือแรงดันที่คร่อมไดโอด

เมื่ วงจรอยู่ในสภาวะเปลี่ยนแปลง คือ อาจจะเปลี่ยนจากสภาวะวงจรไม่ทำงานมาเป็นสภาวะอิมพัลส์หรือจากสภาวะอิมพัลส์มาเป็นสภาวะไม่ทำงาน ในช่วงการเปลี่ยนแปลงดังกล่าว ทรานซิสเตอร์จะอยู่ในสภาวะเชิงเส้นทั้ง pMOS และ nMOS ดังนั้นกำลังที่สูญเสียไปในวงจรจะคำนวณได้จาก

$$P_d = \frac{1}{t_p} \int_0^{t_p} i_n(t) V_o dt + \frac{1}{t_p} \int_0^{t_p} i_p(t) (V_{DD} - V_o) dt \quad (2.6.2)$$

เมื่อ t_p คือ ช่วงเวลาที่แรงดันขาเข้าเปลี่ยนจาก 0 มา 1

i_n คือ กระแสที่ไหลใน nMOS ซึ่งเท่ากับ $C_L \frac{dV_o}{dt}$

i_p คือ กระแสที่ไหลใน pMOS ซึ่งเท่ากับ $\frac{C_L d(V_{DD} - V_o)}{dt}$
 ดังนั้น

$$P_d = \frac{C_L}{t_p} \int_0^{V_{DD}} V_o dV_o + \frac{C_L}{t_p} \int_{V_{DD}}^0 (V_{DD} - V_o) d(V_{DD} - V_o) \quad (2.6.3)$$

$$P_d = \frac{C_L V_{DD}^2}{t_p} \quad (2.6.4)$$

การวัดค่า P_d จะวัดจากขณะที่แรงดันขาเข้าเปลี่ยนกลับไปกลับมาะหว่าง 0 กับ V_{DD} ค่า t_p จะคำนวณจากค่าความถี่ของแรงดันขาเข้า ซึ่งเท่ากับ $\frac{1}{f_p}$ เมื่อ f_p คือ ความถี่ของแรงดันขาเข้า ดังนั้น

$$P_d = C_L V_{DD}^2 f_p \quad (2.6.5)$$

เพราะฉะนั้นกำลังทั้งหมดของวงจร คือ $P = P_s + P_d$

2.7 สรุป

ที่กล่าวในบทนี้เป็นการอธิบายโครงสร้างการทำงานของมอสทรานซิสเตอร์แบบเอ็นฮานสมেন্টเป็นส่วนใหญ่ เนื่องจากเป็นอุปกรณ์สารกึ่งตัวนำที่ใช้ในวิทยานิพนธ์ฉบับนี้ โดยใช้มอสทรานซิสเตอร์แบบเอ็นแฮนแนลและพีแฮนแนล จากโครงสร้างต่อมาอธิบายลักษณะการไหลของกระแสจากเดรนไปซอร์สว่ามีกลไกอย่างไร การเกิดช่องทางเดินกระแส (Inversion Layer) กระแสในช่วงคัทออฟ ช่วงไทรโอด และช่วงอิ่มตัว โดยแต่ละช่วงก็จะทำให้กระแสเดรนมีฟังก์ชันที่แตกต่างกันออกไป ดังนั้นในการออกแบบจะต้องพิจารณาถึงจุดทำงานทั้งสามกรณีของกระแสเดรน เพื่อให้การออกแบบวงจรใช้งานได้อย่างมีประสิทธิภาพสูงสุดด้วย

บทที่ 3

ทฤษฎีพื้นฐานของวงจรวกเลขฐานสองแบบขนาน

3.1 บทนำ

วงจรวกเลขฐานสองแบบขนานนับได้ว่าเป็นวงจรถิศจิตอลพื้นฐานที่มีความสำคัญเป็นอย่างมากในการประมวลผลข้อมูล ด้านการคำนวณเมื่อจำนวนเลขฐานสองอยู่ในรูปแบบขนานนั้นทุกบิตของจำนวนเลขสามารถเข้าถึงได้พร้อมกัน ตัวววกขนานถูกใช้เพื่อบวกจำนวนเลขฐานสองในรูปแบบขนานและให้บิตของผลบวกต่าง ๆ เป็นเอาต์พุตแบบขนาน ตัวบวกเต็มแต่ละตัวจะถูกใช้สำหรับทำการบวกแต่ละคู่ของบิตที่สมนัยกันในจำนวนเลข ตัวทตที่ออกจากแต่ละภาคจะเป็นตัวทตเข้าไปยังภาคนัยสำคัญสูงกว่าตัวววกขนาน ในทางปฏิบัติ้นภาคนัยสำคัญต่ำสุดจะเป็นตัวววกเต็มที่ต่อลำดับเช่นกัน

โดยเนื้อหาที่จะกล่าวในบทนี้เป็นหลักการที่จะนำมาใช้ออกแบบและวัดหาค่าประสิทธิภาพของวงจรมีเนื้อหาดังต่อไปนี้

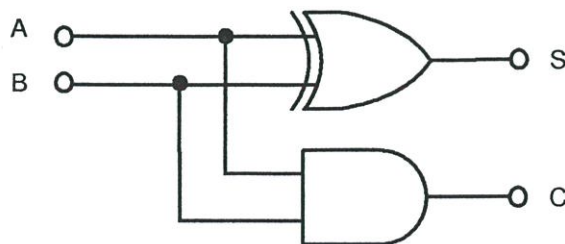
3.2 วงจรวกครึ่งและวงจรวกเต็ม

3.2.1 วงจรวกครึ่ง

รูปที่ 3.2 (a) เป็นตารางแสดงบิตผลบวก (S) และตัวทต (C) ที่เป็นผลลัพธ์เมื่อจำนวนเลข 2 บิต A กับ B ถูกบวกเข้าด้วยกัน โดยได้ทุกค่าที่เป็นไปได้ของการจัดหมู่ของจำนวนเลข 2 จำนวนไว้ การสร้างวงจรถือจะทำให้ได้บิตผลบวกและตัวทตของทุก ๆ การจัดหมู่ที่เป็นไปได้ของทั้งสองจำนวนจากนี้ไปโดยตลอดเราสามารถถือว่าตารางการบวกเป็นตารางความจริง 2 ตาราง ตารางหนึ่งสำหรับ S และอีกตารางสำหรับ C ดังที่แสดงในรูปเห็นได้ชัดเจนว่า

$$S = A \cdot \bar{B} + \bar{A} \cdot B = A \oplus B \quad (3.2.1)$$

และ $C = A \cdot B \quad (3.2.2)$



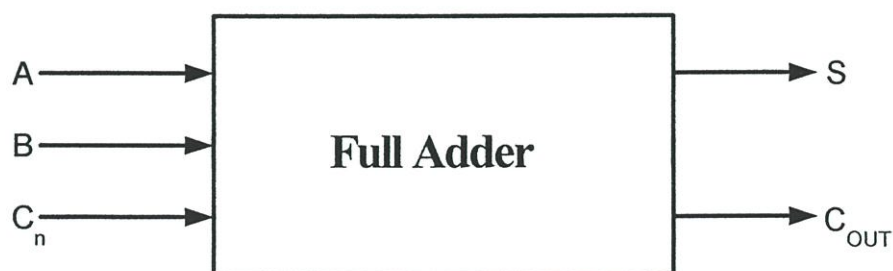
รูปที่ 3.1 วงจรวกครึ่ง

ตารางที่ 3.1 ตารางความจริงวงจรวกครึ่ง

A	B	Sum	Carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

3.2.2 วงจรวกเต็ม

เมื่อทำการบวกจำนวนเลขฐานสอง 2 บิต จำนวน 2 เข้าด้วยกัน เราจะบวก 2 บิต นัยสำคัญต่ำสุดของแต่ละจำนวนเข้าด้วยกัน และแพร่ตัวทศที่เกิดขึ้นไปยังการบวกของ 2 บิต นัยสำคัญสูงสุด ตัวอย่างเช่น เมื่อเราบวก 0,1 กับ 0,1 เราพบว่าตัวทศที่เกิดขึ้นจากการบวกของ 1, 2 จำนวนจะถูกเข้าไปกับการบวกของ 0, 2 จำนวนในคอลัมน์นัยสำคัญสูงสุด เห็นได้ว่าการบวกในคอลัมน์นัยสำคัญสูงสุดมี 3 บิต คือ 2 บิตของบิตนัยสำคัญสูงสุดของจำนวนเลขฐานสองบวกด้วยบิตตัวทศที่เกิดขึ้นในคอลัมน์นัยสำคัญต่ำสุด ตัวบวกครึ่งที่เราได้กล่าวมาแล้วในวรรคก่อนไม่สามารถนำมาใช้สำหรับการบวกนี้เพราะมีเพียง 2 อินพุต ในการบวกอินพุต 3 บิต เราต้องใช้ตัวบวกเต็ม ตัวบวกเต็มทำการบวก 2 บิตเข้ากับบิตตัวทศ 1 บิต ที่เรียกว่าตัวทศเข้า ซึ่งเกิดจากภาคที่นัยสำคัญต่ำกว่าถัดไป เอาต์พุตของตัวบวกเต็มเป็นบิตผลบวกของบิตตัวทศออก ถ้าเราให้บิตอินพุตเป็น A, B และ C_n แล้ว ตัวบวกเต็มจะให้ผลบวก $S = A$ บวก B บวก C_{in} และตัวทศออก C_{out} ที่เป็นผลลัพธ์จากบวก ตัวอย่างเช่น ถ้า $A = 1$, $B = 0$ และตัวทศจากภาคนัยสำคัญต่ำกว่าถัดไปเป็น 1 แล้ว ตัวบวกเต็มจะให้ $S = 0$ และ $C_{out} = 1$



รูปที่ 3.2 วงจรวกเต็ม

ตารางที่ 3.2 ตารางความจริงวงจรถั่วบวกเต็ม

A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

รูปที่ 3.2 แสดงวงจรถั่วบวกเต็ม ที่ซึ่งบิตผลรวมและตัวทศออก ถูกแสดงในทุก ๆ การจัดหมู่ที่เป็นไปได้ของ 3 อินพุต A , B และ C_{in} ดังเช่นที่ได้ทำมาแล้วในวงจรถั่วครึ่ง เราสามารถถือได้ว่าตารางการบวกของตัวบวกเต็มเป็นตารางความจริงของฟังก์ชันตรรกที่ทำให้เกิดเอาต์พุต S และ C_{out} สามารถเขียนสมการของวงจรถั่วบวกเต็มได้ดังนี้

$$S = \bar{A} \cdot \bar{B} \cdot C_{in} + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C}_{in} + A \cdot B \cdot C_{in} \quad (3.2.3)$$

$$C_{out} = A \cdot B + A \cdot C_{in} + B \cdot C_{in} \quad (3.2.4)$$

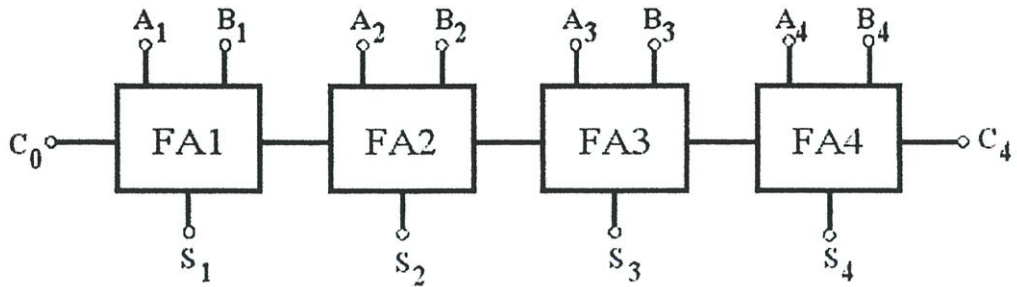
จากนิพจน์ตรรกสำหรับ S สมการ (3.2.3)เขียนได้เป็น

$$S = A \oplus B \oplus C_{in} \quad (3.2.5)$$

$$C_{out} = (A \oplus B) \cdot C_{in} + A \cdot B \quad (3.2.6)$$

3.3 วงจรถั่วบวกแบบขนาน

วงจรถั่วบวกแบบขนาน คือรับตัวเลขที่ต้องการบวกเข้ามาพร้อมกันทุกบิต รูปที่ 3.6 แสดงวงจรถั่วบวกแบบขนาน (Ripple Carry Adder)



รูปที่ 3.3 วงจรบวกแบบขนาน (Ripple Carry Adder)

วงจรวกแบบขนานดังรูปที่ 3.3 เป็นวงจรวกเลขฐานสองขนาด 4 บิต 2 จำนวน คือ $A_4 - A_1$ เป็นตัวตั้งและ $B_4 - B_1$ เป็นตัวบวก C_0 เป็นตัวทดเข้า $S_4 - S_1$ เป็นผลรวม C_4 เป็นตัวทอดออก เมื่อวงจรถ้างาน C_4 จะยังไม่ถูกหาจนกระทั่งแต่ละคอลัมน์ถูกบวกตัวทอดจนจบ ความเร็วการบวกขึ้นอยู่กับ Propagation delay ของสัญญาณตัวทอดในการบวกเลขฐานสองในแต่ละหลัก ซึ่งทำให้เกิดความล่าช้า (Propagation delay) มากขึ้น ทำให้ความเร็วในการคิดคำนวณช้าลงสามารถเขียนสมการของวงจรวกแบบขนานได้ดังนี้

$$S_n = A_n \oplus B_n \oplus C_{n-1} \quad (3.3.1)$$

$$C_n = A_n \cdot B_n + A_n \cdot C_{n-1} + B_n \cdot C_{n-1}$$

เขียนได้เป็น $C_n = A_n \cdot B_n + C_{n-1}(A_n \oplus B_n) \quad (3.3.2)$

3.4 วงจรวกแบบขนานโดยวิธีแครี่ลอคอะเฮ็ด

เนื่องจากวงจรวกแบบขนานเกิดปัญหาเนื่องจากการรอบิตแครี่บิทก่อน จึงได้มีการเสนอวิธีการในการแก้ไขปัญหากการเกิดความล่าช้าของสัญญาณบิททดในหลักก่อน โดยการหา Carry Out จากอินพุตโดยตรง ซึ่งจะได้ผลลัพธ์ที่เร็วกว่าในความเป็นจริงโดย Carry Out จะเกิดก่อนผลรวม เรียกวิธีการนี้ว่า "Carry Look Ahead" ซึ่งวงจรวกเลขฐานสองโดยวิธีแครี่ลอคอะเฮ็ดนั้นเมื่อจำนวนบิทมากขึ้นทำให้วงจรมีขนาดเพิ่มมากขึ้น ใช้ทรานซิสเตอร์มากขึ้นเป็นจำนวนมาก ทำให้มีการสูญเสียกำลังงานมาก และเมื่อต้องการทำงานที่มีความเร็วสูงทำให้สิ้นเปลืองพลังงานมากด้วย

3.4.1 การออกแบบวงจร

วงจรวกโดยวิธีวิเคราะห์จะเลือกใช้วิธีการหา Carry Out จากอินพุตโดยตรง โดยสมการสำคัญที่ใช้ในการออกแบบคือ สมการ (3.4.1) หา Carry Propagation สมการ (3.4.2) หา Carry Generation สมการ (3.4.3) หาผลรวม สมการ (3.4.4) หา Carry Out เมื่อนำทั้ง 4 สมการมาวิเคราะห์จะได้สมการที่ (3.4.5) เป็นสมการที่ต้องการหาค่า Carry Out จากอินพุตโดยตรง

ตารางที่ 3.3 Carry Look Ahead

A_n	B_n	C_n	Remark
0	0	0	No carry
0	1	C_{n-1}	Carry Propagation (P_n)
1	0	C_{n-1}	Carry Propagation (P_n)
1	1	1	Carry Generation (G_n)

$$\text{Carry Propagation} \quad P_n = A_n \oplus B_n \quad (3.4.1)$$

$$\text{Carry Generation} \quad G_n = A_n \cdot B_n \quad (3.4.2)$$

หาผลรวม Sum (S_n) และ Carry Out (C_n) ได้จาก P_n และ G_n

$$S_n = A_n \oplus B_n \oplus C_{n-1} = P_n \oplus C_{n-1} \quad (3.4.3)$$

$$C_n = A_n \cdot B_n + A_n \cdot C_{n-1} + B_n \cdot C_{n-1} \quad (3.4.4)$$

$$C_n = A_n \cdot B_n + C_{n-1}(A_n \oplus B_n)$$

$$C_n = G_n + P_n \cdot C_{n-1}$$

และสามารถหาค่า Carry out ที่หลักต่าง ๆ ได้จากสมการดังนี้

$$C_1 = G_1 + P_1 \cdot C_0$$

$$C_2 = G_2 + P_2 \cdot C_1 = G_2 + P_2 \cdot (G_1 + P_1 \cdot C_0)$$

$$C_2 = G_2 + P_2 \cdot G_1 + P_1 \cdot P_2 \cdot C_0$$

$$C_3 = G_3 + P_3 \cdot C_2 = G_3 + P_3 \cdot (G_2 + P_2 \cdot G_1 + P_1 \cdot P_2 \cdot C_0)$$

$$C_3 = G_3 + P_3 \cdot G_2 + P_2 \cdot P_3 \cdot G_1 + P_1 \cdot P_2 \cdot P_3 \cdot C_0$$

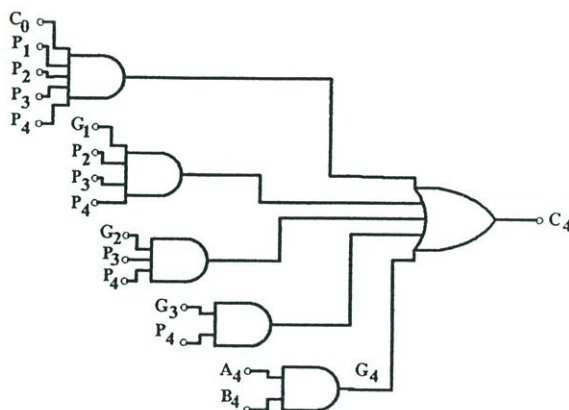
$$C_4 = G_4 + P_4 \cdot C_3$$

$$C_4 = G_4 + P_4 \cdot (G_3 + P_3 \cdot G_2 + P_2 \cdot P_3 \cdot G_1 + P_1 \cdot P_2 \cdot P_3 \cdot C_0)$$

$$C_4 = G_4 + P_4 \cdot G_3 + P_3 \cdot P_4 \cdot G_2 + P_2 \cdot P_3 \cdot P_4 \cdot G_1 + P_1 \cdot P_2 \cdot P_3 \cdot P_4 \cdot C_0$$

จะได้สมการเป็น

$$C_n = G_n + P_n \cdot G_{n-1} + P_n \cdot P_{n-1} \cdot G_{n-2} + \dots + P_n \cdot P_{n-1} \cdot \dots \cdot P_1 \cdot C_0 \quad (3.4.5)$$



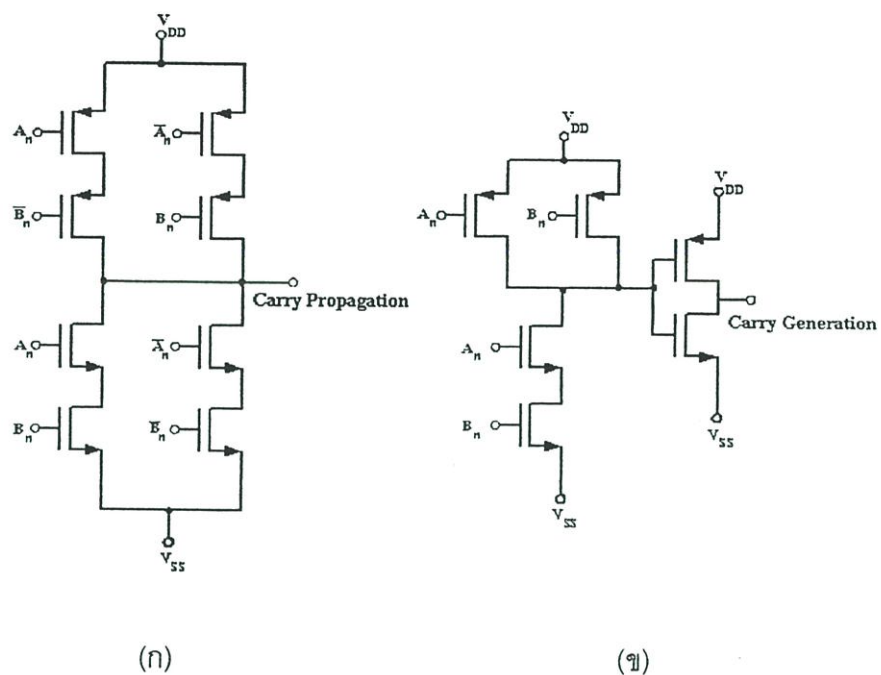
รูปที่ 3.4 วงจรหาค่า C_4 โดยวิธี Carry Look Ahead

วงจรรูปที่ 3.4 นั้นได้มาจากสมการ (3.4.5) ถ้าต้องการ C_1, C_2, C_3, \dots สามารถหาได้เช่นกัน การที่จะหาค่าจากอินพุตโดยตรงนั้นจะต้องใช้วงจรร Carry Propagation (P_n), และวงจรร Carry Generation (G_n) ดังรูปที่ 3.5 เนื่องจากความเร็วของอิเล็กตรอนใน NMOS เร็วกว่า PMOS และ μ เป็นค่าสภาพความคล่องของพาหะ [1] ซึ่งในบทความนี้ใช้ซีมอสโมเดล ของ MOSIS ขนาด $0.35 \mu m$ โดยกำหนดให้ μ_p มีค่า 213 และ μ_n มีค่า 437 นำสมการที่ (3.4.6) ออกแบบวงจรร CMOS INVERTER นำสมการที่ (3.4.7) ออกแบบวงจรร NOR ที่มีอินพุต n บิต และนำสมการที่ (3.4.8) ออกแบบวงจรร NAND ที่มีอินพุต n บิต ในรูปที่ 3.4

$$\left(\frac{W}{L}\right)_p = \left(\frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{W}{L}\right)_n \quad (3.4.6)$$

$$\left(\frac{W}{L}\right)_p = N \cdot \left(\frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{W}{L}\right)_n \quad (3.4.7)$$

$$\left(\frac{W}{L}\right)_p = \frac{N}{\left(\frac{\mu_n}{\mu_p}\right)} \cdot \left(\frac{W}{L}\right)_n \quad (3.4.8)$$



รูปที่ 3.5 วงจร Carry Propagation(P_n) เดิม, Carry Generation(G_n) เดิม

ตารางที่ 3.4 ตารางความจริงวงจร Carry Propagation

A_n	B_n	P_n
0	0	0
0	1	1
1	0	1
1	1	0

จากตารางที่ 3.3 เมื่อ A_n มีค่าลอจิกเท่ากับ B_n จะทำให้ P_n มีค่าลอจิกเป็น "0" หรือ LOW และเมื่อ A_n มีค่าลอจิกต่างกับ B_n ทำให้ P_n มีค่าลอจิกเป็น "1" หรือ HIGH

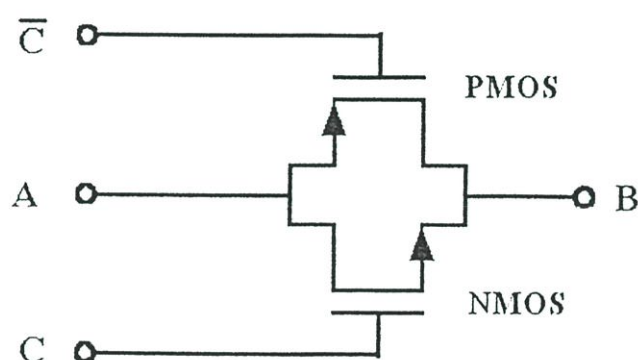
ตารางที่ 3.5 ตารางความจริงวงจร Carry Generation

A_n	B_n	G_n
0	0	0
0	1	0
1	0	0
1	1	1

จากตารางที่ 3.4 เมื่อ A_n และ B_n มีค่าลอจิกเป็น "1" หรือ HIGH ทำให้ G_n มีค่าลอจิกเป็น "1" หรือ HIGH นอกจากนั้น G_n มีค่าลอจิกเป็น "0" หรือ LOW ซึ่งวงจรในรูปที่ 3.5(n) และวงจรในรูปที่ 3.5(ข) นำมาประกอบกับวงจรในรูปที่ 3.4 เพื่อหาค่า Carry ที่หลักที่ n ที่กำหนด จะได้ Carry ที่ n มาอย่างรวดเร็วโดยไม่ต้องรอการบวกกันของหลักก่อนทำให้หา Carry out ได้เร็วกว่าเดิมและจะต้องหา Carry ที่ n เช่น ถ้าหาค่าการบวกเลขฐานสองแบบขนานขนาด 4 บิต 2 จำนวน ต้องหาค่า Carry out ที่ $n = 1$ ถึง $n = 4$ จากสมการที่ (3.4.5) แล้วนำมาออกแบบวงจร โดยจะต้องคำนึงถึงสมการที่ (3.4.6), (3.4.7) และ (3.4.8) ด้วย

3.5 ซีมอส Transmission Gate (TG)

ในหลักการของซีมอส Transmission Gate ประกอบด้วยทรานซิสเตอร์ nMOS 1 ตัว และ pMOS 1 ตัว ต่อขนานกันสามารถส่งผ่านสัญญาณได้สองทิศทางระหว่าง node A และ node B ซึ่งสามารถควบคุมการส่งผ่านสัญญาณได้โดย node C ดังรูปที่ 5



รูปที่ 3.6 Transmission Gate

ซึ่งการนำซีมอส Transmission Gate มาใช้งานต้องคำนึงถึงค่าคุณสมบัติของทรานซิสเตอร์ nMOS และ pMOS

$$R_{eq,n} = \frac{V_{DD} - V_{out}}{I_{DS,n}} \quad (3.5.1)$$

$$R_{eq,p} = \frac{V_{DD} - V_{out}}{I_{DS,p}} \quad (3.5.2)$$

คำนวณค่าความต้านทานการทำงานใน 3 ช่วง

ช่วงที่หนึ่ง เมื่อ $V_{out} < |V_{T,p}|$

pMOS ทำงานช่วง Saturation

nMOS ทำงานช่วง Saturation

$$R_{eq,n} = \frac{2(V_{DD} - V_{out})}{k_n (V_{DD} - V_{out} - V_{T,n})^2} \quad (3.5.3)$$

$$R_{eq,p} = \frac{2(V_{DD} - V_{out})}{k_p (V_{DD} - |V_{T,p}|)^2} \quad (3.5.4)$$

ช่วงที่สอง เมื่อ $|V_{T,p}| < V_{out} < (V_{DD} - V_{T,n})$

pMOS ทำงานช่วง Linear

nMOS ทำงานช่วง Saturation

$$R_{eq,n} = \frac{2(V_{DD} - V_{out})}{k_n (V_{DD} - V_{out} - V_{T,n})^2} \quad (3.5.5)$$

$$R_{eq,p} = \frac{2}{k_p [2(V_{DD} - |V_{T,p}|) - (V_{DD} - V_{out})]} \quad (3.5.6)$$

ช่วงที่สาม เมื่อ $V_{out} > (V_{DD} - V_{T,n})$

pMOS ทำงานช่วง Linear

nMOS ทำงานช่วง Turn off

$$R_{eq,p} = \frac{2}{k_p [2(V_{DD} - |V_{T,p}|) - (V_{DD} - V_{out})]} \quad (3.5.7)$$

กระแสรวมที่ไหลผ่าน Transmission Gate ดังสมการ

$$I_D = I_{DS,n} + I_{SD,p} \quad (3.5.8)$$

นำสมการที่ (3.5.1) ถึง (3.5.8) หาค่าที่เหมาะสมให้กับวงจร Carry Propagation ที่ออกแบบโดย Transmission Gate โดย Transconductance parameters เขียนได้ดังสมการ (3.5.9) และ (3.5.10)

$$k_n = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \quad (3.5.9)$$

$$k_p = \mu_p \cdot C_{ox} \cdot \frac{W}{L} \quad (3.5.10)$$

3.6 บทสรุป

ในบทนี้เป็นการกล่าวถึงทฤษฎีพื้นฐานของวงจรวกเลขฐานสองแบบขนานและยังกล่าวถึงการทำงานตั้งแต่วงจรวกครึ่ง วงจรวกเต็ม และการนำวงจรวกเต็มไปใช้ในวงจรวกเลขฐานสองแบบขนาน และอธิบายการออกแบบวงจรวกเลขฐานสองแบบขนานโดยวิธี แคริคูลอะเฮ็ด วิธีการคำนวณหา Carry out บิตที่ n ต่างๆ และการคำนวณหาค่า W และ ค่า L ที่นำไปใช้ในวงจรมีประสิทธิภาพ

บทที่ 4

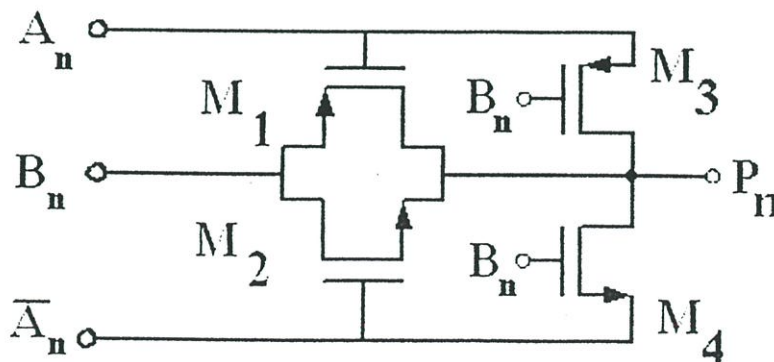
การออกแบบวงจรบวกเลขฐานสองโดยวิธีแครี่คอะแฮ็ด ด้วยเกตส่งผ่าน

4.1 บทนำ

จากหลักการบวกเลขฐานสองโดยวิธีแครี่คอะแฮ็ดที่ได้กล่าวมาแล้วในบทที่ 3 ซึ่งมีเนื้อหาที่เกี่ยวข้องกับการออกแบบวงจรบวกเลขฐานสองโดยวิธีแครี่คอะแฮ็ดตั้งแต่เริ่มต้น เพื่อเป็นการทำความเข้าใจหลักการทํางานและค่าพารามิเตอร์ที่ต้องคำนึงถึงในการออกแบบ สำหรับในบทนี้จะนำเอาหลักการที่ได้กล่าวมาแล้วมาออกแบบวงจรบวกเลขฐานสองแบบขนานโดยวิธีแครี่คอะแฮ็ดด้วยเกตส่งผ่านโดยจะทำเกตส่งผ่านมาออกแบบวงจรบวกเลขฐานสองโดยวิธีแครี่คอะแฮ็ดในส่วน Carry Propagation ซึ่งเป็นการแก้ไขปัญหาค่าหน่วงเวลาที่แรงดันต่ำกว่า 1.5 โวลต์ และยังเป็นภาระลดจำนวนทรานซิสเตอร์ที่ใช้ในวงจรของวงจรที่นำเสนอใน [1] โดยใช้เกตส่งผ่านทำให้วงจรสามารถทํางานที่แรงดันต่ำได้อย่างมีประสิทธิภาพจึงเหมาะสมที่จะนำไปประยุกต์ใช้งานในเครื่องมือประเภทพกพาได้เป็นอย่างดี ในการออกแบบจะใช้หลักการของวงจรรวมซึ่งอุปกรณ์ทุกตัวสามารถสร้างได้บนชิป (Chip) ด้วยเทคโนโลยี VLSI

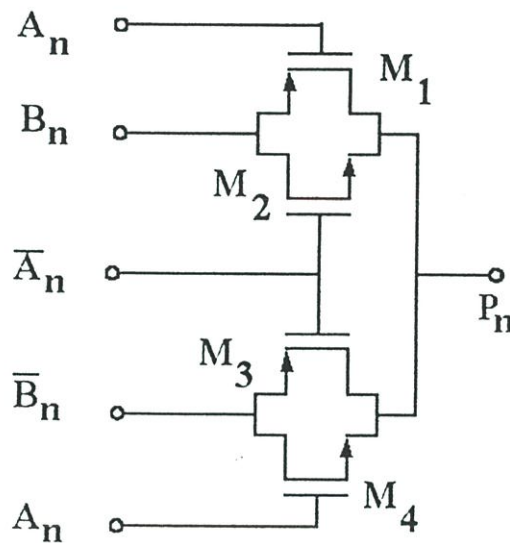
4.2 การออกแบบวงจร Carry Propagation ที่นำเสนอ

วงจร Carry Propagation เป็นวงจรซีมอสที่ออกแบบโดยใช้เกตส่งผ่านซึ่งเกตส่งผ่านคือการนำเอาทรานซิสเตอร์ชนิด P-Channel และทรานซิสเตอร์ชนิด N-Channel มาต่อขนานกัน ซึ่งวงจร Carry Propagation ที่นำเสนอแสดงดังรูปที่ 4.1



รูปที่ 4.1 วงจร Carry Propagation ที่นำเสนอ

จากรูปที่ 4.1 กำหนดให้ A_n มีลอจิกเป็น 0 หรือ Low และ B_n มีลอจิกเป็น 0 หรือ Low มีผลทำให้ทรานซิสเตอร์ M1 และ M2 และ M3 อยู่ในสภาวะ ON และ M4 อยู่ในสภาวะ OFF ทำให้ $P_n = B_n$ มีลอจิกเป็น 0 หรือ Low เมื่อกำหนดให้ A_n มีลอจิกเป็น 1 หรือ High และ B_n มีลอจิกเป็น 0 หรือ Low มีผลทำให้ M1, M2 และ M4 อยู่ในสภาวะ OFF และ M3 อยู่ในสภาวะ ON ทำให้ $P_n = B_n$ มีลอจิกเป็น 1 หรือ High เมื่อ A_n มีลอจิกเป็น 1 หรือ High และ B_n มีลอจิกเป็น 1 มีผลทำให้ M1, M2 และ M3 อยู่ในสภาวะ OFF และ M4 อยู่ในสภาวะ ON ทำให้ $P_n = B_n$ มีลอจิกเป็น 0 หรือ Low



รูปที่ 4.2 วงจร Carry Propagation แบบเดิม [1]

กำหนดให้ $A_n = 0$ และ $B_n = 0$ มีผลทำให้ทรานซิสเตอร์ M1 และ M2 อยู่ในสภาวะ ON และ M3 และ M4 อยู่ในสภาวะ OFF ทำให้ $P_n = B_n = 1$ เมื่อ $A_n = 1$ และ $B_n = 0$ มีผลทำให้ M1 และ M2 อยู่ในสภาวะ OFF และ M3 และ M4 อยู่ในสภาวะ ON ทำให้ $P_n = B_n = 1$ และเมื่อ $A_n = 1$ และ $B_n = 1$ มีผลทำให้ M1 และ M2 อยู่ในสภาวะ OFF และ M3 และ M4 อยู่ในสภาวะ ON ทำให้ $P_n = B_n = 0$

4.3 การจำลองการทำงานและผลการจำลองการทำงาน

การจำลองการทำงานของวงจรจะกระทำโดยการเปรียบเทียบผลที่ได้จากวงจรมวงจร คือ วงจร Carry Propagation มาตรฐาน วงจร Carry Propagation ที่นำเสนอโดย [1] และวงจร Carry Propagation ที่นำเสนอในบทความนี้ โดยใช้การเลียนแบบการทำงานด้วย โปรแกรม PSPICE ซึ่งใช้เทคโนโลยีซีมอสขนาด $0.35\ \mu\text{m}$ Level 3 ของ MOSIS โดยมอสทรานซิสเตอร์ในรูป 4.1 มีค่าความกว้างต่อความยาวของแชนแนล (W/L) ดังตารางที่ 4.1 การทดลองกระทำโดยป้อนสัญญาณข้อมูลตามตาราง 4.2 สัญญาณเข้าที่พุทของทั้งสามวงจรแสดงได้ดังรูปที่ 4.2

ตารางที่ 4.1 แสดงขนาดของมอสทรานซิสเตอร์

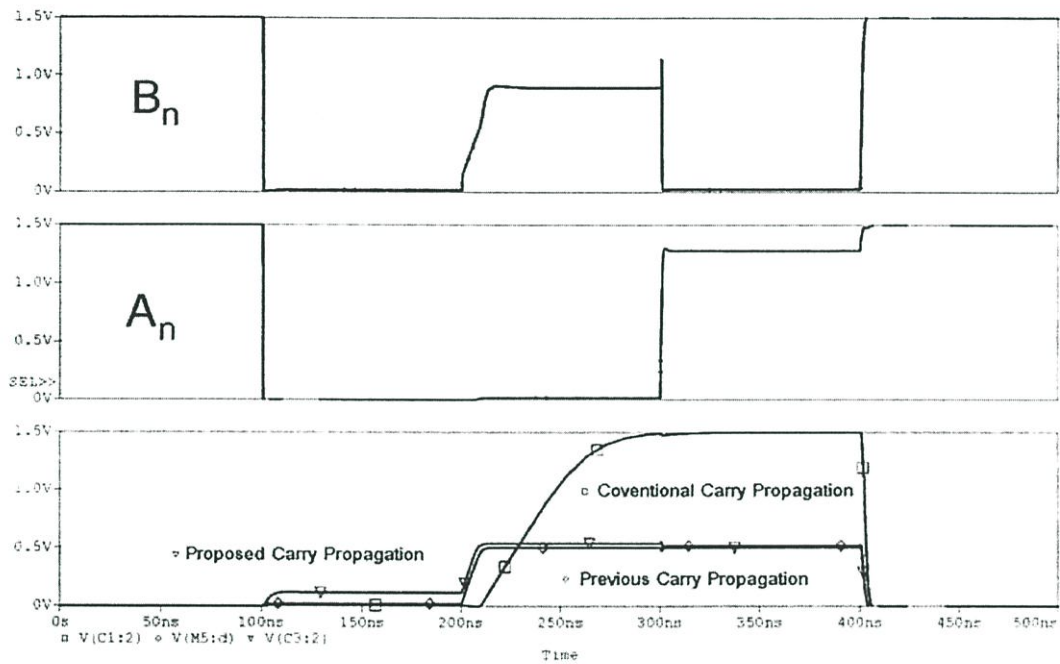
มอสทรานซิสเตอร์	W (μm)	L (μm)
M1	0.72	0.35
M2	0.35	0.35
M3	0.72	0.35
M4	0.35	0.35

ตารางที่ 4.2 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 100ns

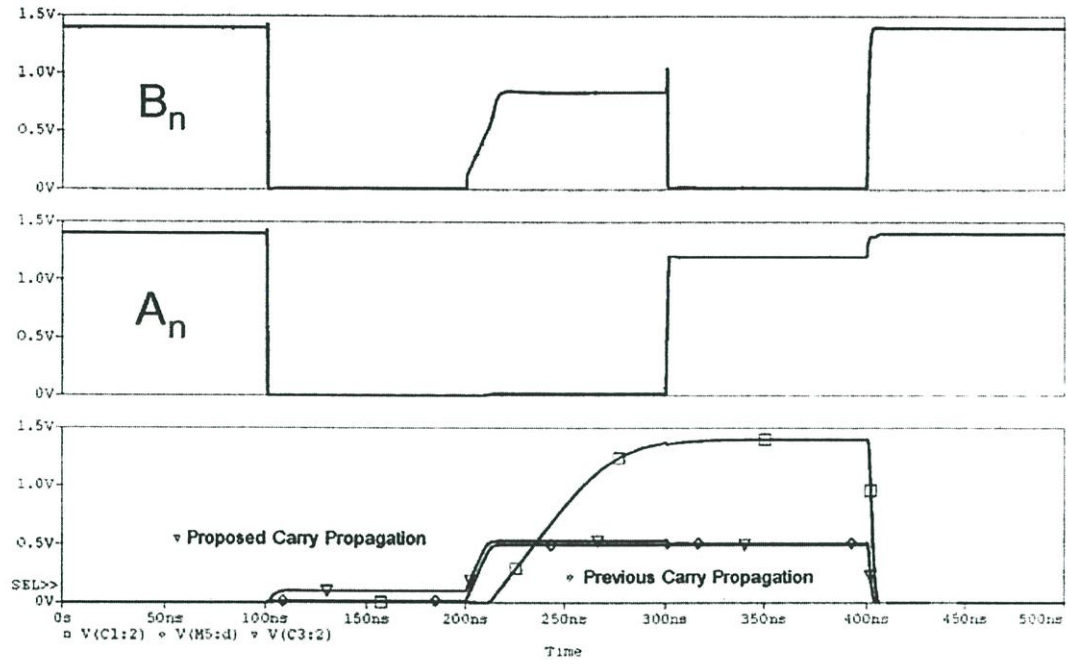
A_n	B_n	ช่วงเวลา (ns)
0	0	0
0	1	100
1	0	200
1	1	300

ในการทดลองใช้ซีมอสโมเดลของ MOSIS ขนาด $0.35\ \mu\text{m}$ โดยกำหนดให้ μ_p มีค่า 213 และ μ_n มีค่า 437 นำสมการที่ (3.4.6) ในบทที่ 3 มาออกแบบวงจร Carry Propagation ได้ค่าดังตารางที่ 4.1 คือ กำหนดให้ $W_n = 0.35$ $L_p = 0.35$ $L_n = 0.35$ หา W_p ได้จากสมการ (3.4.6) ใช้สำหรับการออกแบบ Carry Propagation ทั้งสามวงจร Conventional Carry Propagation และวงจร Previous Carry Propagation และวงจร Proposed Carry Propagation เพื่อเปรียบเทียบความแตกต่างคือ ให้ W_n , L_p , L_n คงที่เท่ากันหมด การป้อนสัญญาณข้อมูลโดยเมื่อ A_n และ B_n มีโลจิกเป็น "0" หรือ low โดยเริ่มต้นที่ 0 ns ถึง 100 ns และเมื่อป้อนข้อมูลชุดต่อมาให้ A_n มีโลจิกเป็น "0" หรือ Low และให้ B_n มีโลจิกเป็น 1 หรือ High โดยเริ่มต้นที่ 100 ns ถึง 200 ns จากนั้นข้อมูลชุดต่อมาให้ A_n มีโลจิกเป็น 1 หรือ High และ B_n มีโลจิกเป็น "0" หรือ Low โดยเริ่มต้นที่ 200 ns ถึง 300 ns จากนั้นข้อมูลต่อมาให้ A_n และ B_n มีโลจิกเป็น "1"

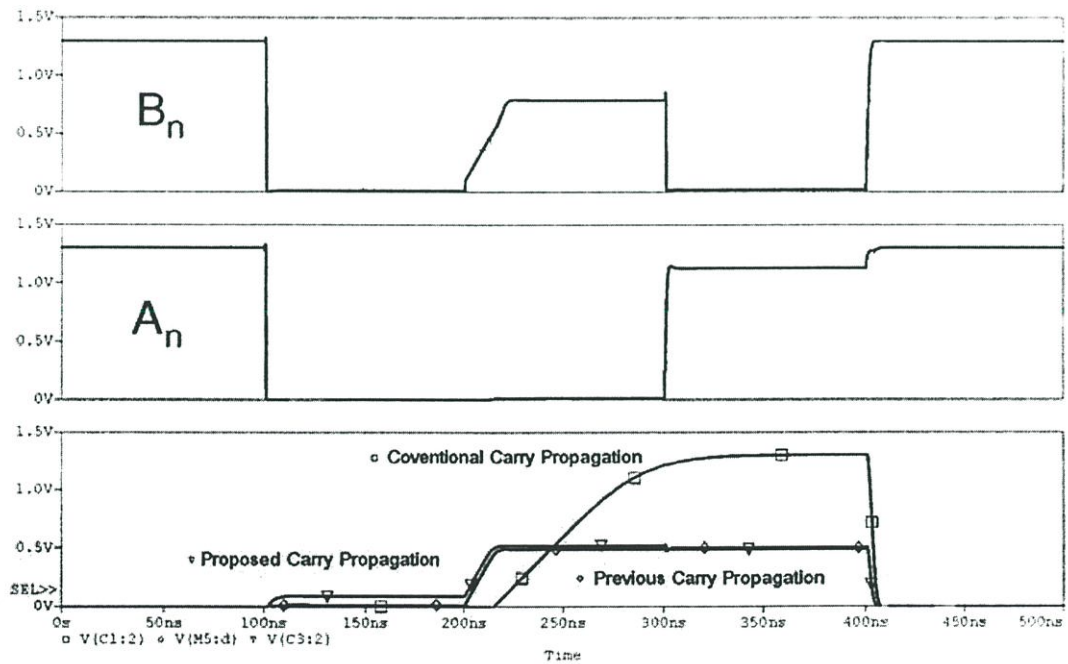
หรือ High โดยเริ่มต้นที่ 300 ns ถึง 400 ns แล้วสังเกตการเพื่อให้แหล่งจ่ายแรงดันที่แตกต่างกันออกไปและค่าแรงดันที่นำมาเปรียบเทียบให้เห็นคือช่วงระดับแรงดันแหล่งจ่ายมีค่าตั้งแต่ 1.2 โวลต์ 1.3 โวลต์ 1.4 โวลต์ และ 1.5 โวลต์ สังเกตระดับโลจิกเป็นไปตามตารางความจริงที่ต้องการหรือไม่ และแบบไหนเมื่อแรงดันต่ำกว่า 1.5 โวลต์ที่ไม่สามารถทำงานได้อย่างมีประสิทธิภาพ จากการทดลองรูปที่ 4.6 แสดงให้เห็นถึงเมื่อทำการเปลี่ยนค่าแหล่งจ่ายแรงดันเป็นค่าต่างแล้ว สังเกต Average Propagation delay time และจากรูปที่ 4.7 เมื่อทำการเปลี่ยนค่าแหล่งจ่ายแรงดันเป็นค่าต่าง ๆ สังเกตกระแสของวงจรทั้งสามวงจรเปรียบเทียบกัน



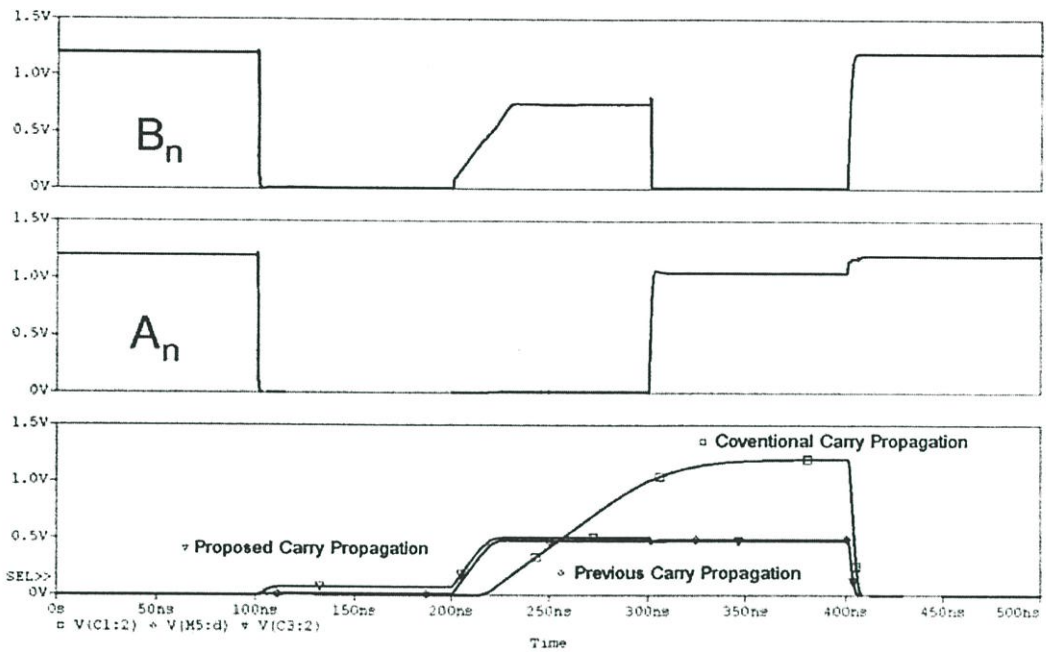
รูปที่ 4.3 แสดงรูปสัญญาณเข้าที่พู่ทของวงจร Carry Propagation ทั้งสามวงจรเมื่อศักดาไฟเลี้ยง 1.5 โวลต์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 100ns



รูปที่ 4.4 แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ
 เลี้ยง 1.4 โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 100ns



รูปที่ 4.5 แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ
 เลี้ยง 1.3โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 100ns



รูปที่ 4.6 แสดงรูปสัญญาณเข้าที่พุทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคิกดาไฟ
เลี้ยง 1.2 โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 100ns

P_{n_cnv} คือ Conventional Carry Propagation

P_{n_prev} คือ Previous Carry Propagation

P_{n_prop} คือ Proposed Carry Propagation

ตารางที่ 4.3 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 100ns และแสดงระดับ
โลจิกที่อ่านได้จากการทดลอง

A_n	B_n	ช่วงเวลาที่ป้อนข้อมูล (ns)	ช่วงเวลาที่อ่าน (ns)	P_{n_cnv}	P_{n_prev}	P_{n_prop}
1	1	$DT_1 = 0\text{ns}$	50ns	0	0	0
0	0	$DT_2 = 100\text{ns}$	150ns	0	0	0
0	1	$DT_3 = 200\text{ns}$	250ns	0	1	1
1	0	$DT_4 = 300\text{ns}$	350ns	1	1	1
1	1	$DT_5 = 400\text{ns}$	450ns	0	0	0

จากตารางที่ 4.3 ช่วงเวลาที่ป้อนข้อมูลโดยมีการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 100ns
กำหนดให้ DT_1 แทนช่วงเวลาเริ่มป้อนข้อมูลชุดที่ 1 คือ 0ns
กำหนดให้ DT_2 แทนช่วงเวลาเริ่มป้อนข้อมูลชุดที่ 2 คือ 100ns
กำหนดให้ DT_3 แทนช่วงเวลาเริ่มป้อนข้อมูลชุดที่ 3 คือ 200ns
กำหนดให้ DT_4 แทนช่วงเวลาเริ่มป้อนข้อมูลชุดที่ 4 คือ 300ns
กำหนดให้ DT_5 แทนช่วงเวลาเริ่มป้อนข้อมูลชุดที่ 5 คือ 400ns
กำหนดให้ ชุดข้อมูลแทนด้วย n โดย n เป็นจำนวนชุดข้อมูล

เขียนได้เป็น

$$\frac{DT_{n+1} - DT_n}{2} \quad (4.1)$$

ช่วงเวลาในการอ่านข้อมูลชุดที่ 1 กำหนดจาก $\frac{DT_2 - DT_1}{2}$

ช่วงเวลาในการอ่านข้อมูลชุดที่ 1 คือ 50ns

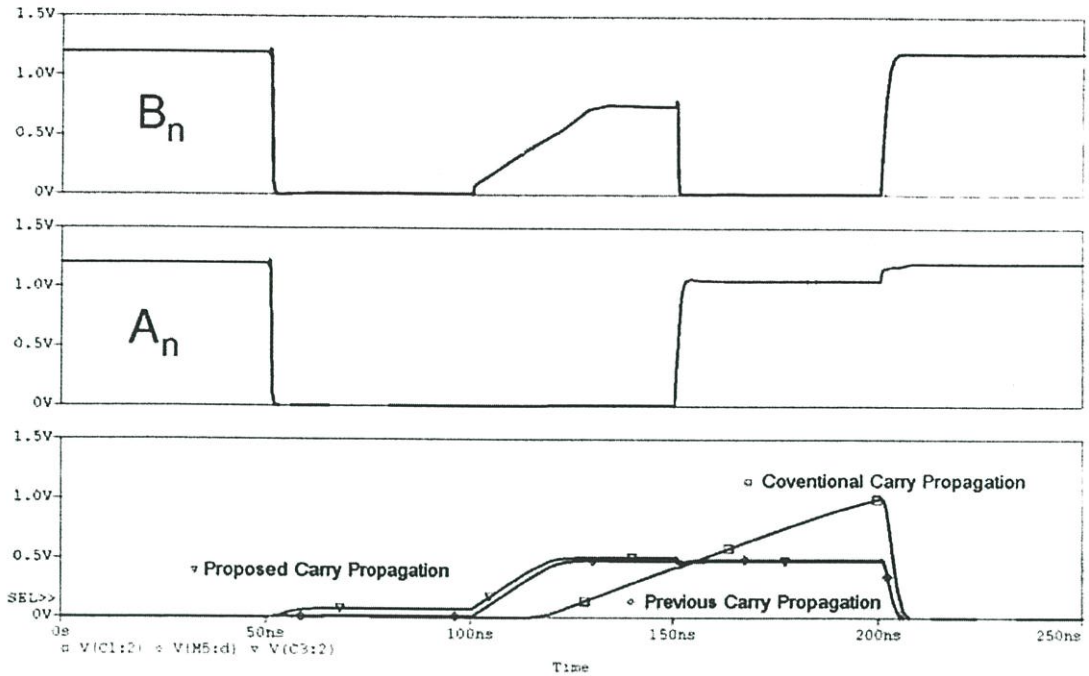
ช่วงเวลาในการอ่านข้อมูลชุดที่ 2 คือ 150ns

ช่วงเวลาในการอ่านข้อมูลชุดที่ 3 คือ 250ns

ช่วงเวลาในการอ่านข้อมูลชุดที่ 4 คือ 350ns

ช่วงเวลาในการอ่านข้อมูลชุดที่ 5 คือ 450ns

จากตารางที่ 4.3 แสดงให้เห็นว่า วงจร Conventional Carry Propagation ไม่สามารถทำงานได้มีประสิทธิภาพที่ เปลี่ยนชุดข้อมูลทุกๆ 100ns และแหล่งจ่ายแรงดันต่ำกว่า 1.5 โวลต์ ได้จึงควรใช้ วงจร Previous Carry Propagation หรือ วงจร Proposed Carry Propagation เพราะ วงจร Previous Carry Propagation หรือ วงจร Proposed Carry Propagation สามารถให้ระดับ โวลิจอกออกมาได้ถูกต้อง และ วงจร Proposed Carry Propagation ใช้ทรานซิสเตอร์น้อยกว่า วงจร Previous Carry Propagation จึงประหยัดพื้นที่มากกว่าและใช้พลังงานน้อยกว่าด้วย

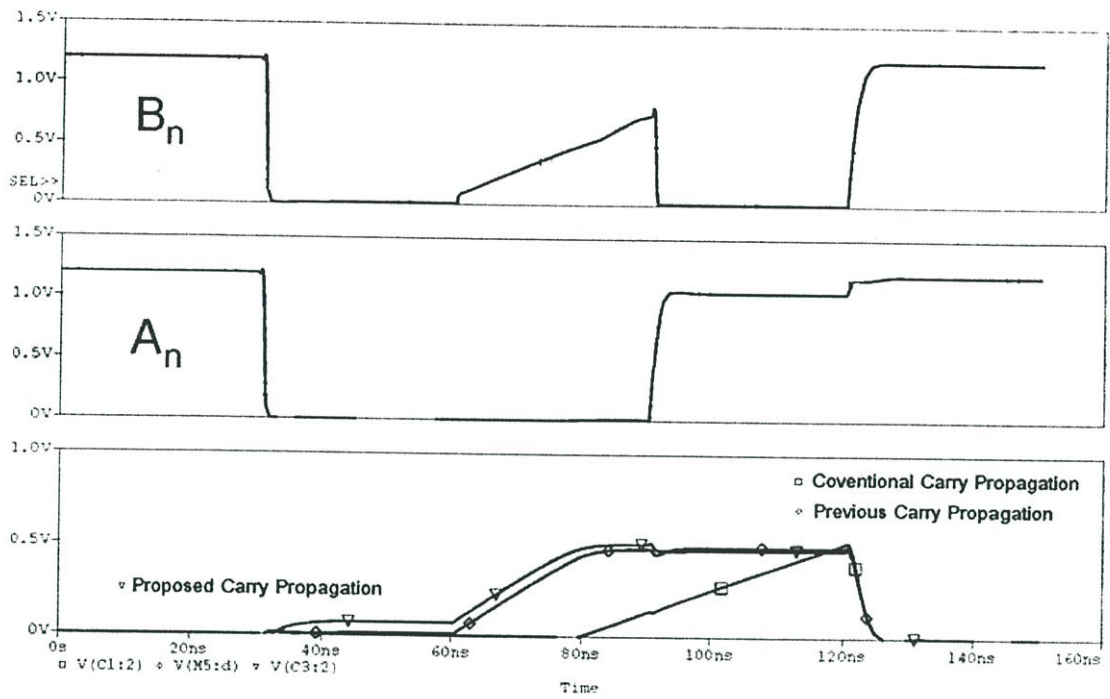


รูปที่ 4.7 แสดงรูปสัญญาณเข้าที่พืทของวงจร Carry Propagation ทั้งสามวงจรเมื่อคักดาไฟ
 เลี้ยง 1.2โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 50ns

ตารางที่ 4.4 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุทข้อมูลช่วงละ 50ns และแสดงระดับ

โลจิกที่อ่านได้จากการทดลอง

A_n	B_n	ช่วงเวลาที่ย้อนข้อมูล (ns)	เวลาที่อ่าน (ns)	$P_{n_cnv.}$	$P_{n_prev.}$	$P_{n_prop.}$
1	1	$DT_1 = 0ns$	25ns	0	0	0
0	0	$DT_2 = 50ns$	75ns	0	0	0
0	1	$DT_3 = 100ns$	125ns	0	1	1
1	0	$DT_4 = 150ns$	175ns	1	1	1
1	1	$DT_5 = 200ns$	225ns	0	0	0



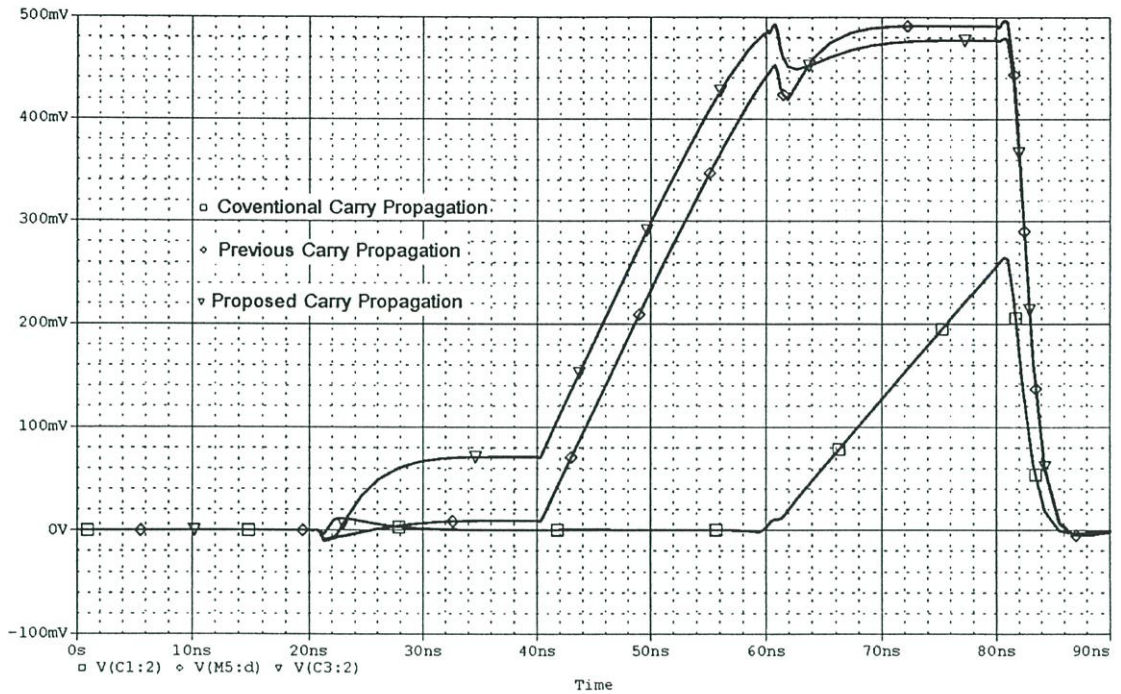
รูปที่ 4.8 แสดงรูปสัญญาณเข้าที่พื้ของวงจร Carry Propagation ทั้งสามวงจรเมื่อค้กดดาไฟเลี้ยง 1.2โวลท์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 30ns

ตารางที่ 4.5 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 30ns และแสดงระดับ

โวลิจที่อ่านได้จากการทดลอง

A_n	B_n	ช่วงเวลาทีป้อนข้อมูล (ns)	ช่วงเวลาทีอ่าน (ns)	$P_{n_conv.}$	$P_{n_prev.}$	$P_{n_prop.}$
1	1	$DT_1 = 0ns$	15ns	0	0	0
0	0	$DT_2 = 30ns$	45ns	0	0	0
0	1	$DT_3 = 60ns$	75ns	0	0	1
1	0	$DT_4 = 90ns$	105ns	1	1	1
1	1	$DT_5 = 120ns$	135ns	0	0	0

จากผลการทดลองวงจร Proposed Carry Propagation สามารถทำงานได้เมื่อดั้งค่าช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 30ns

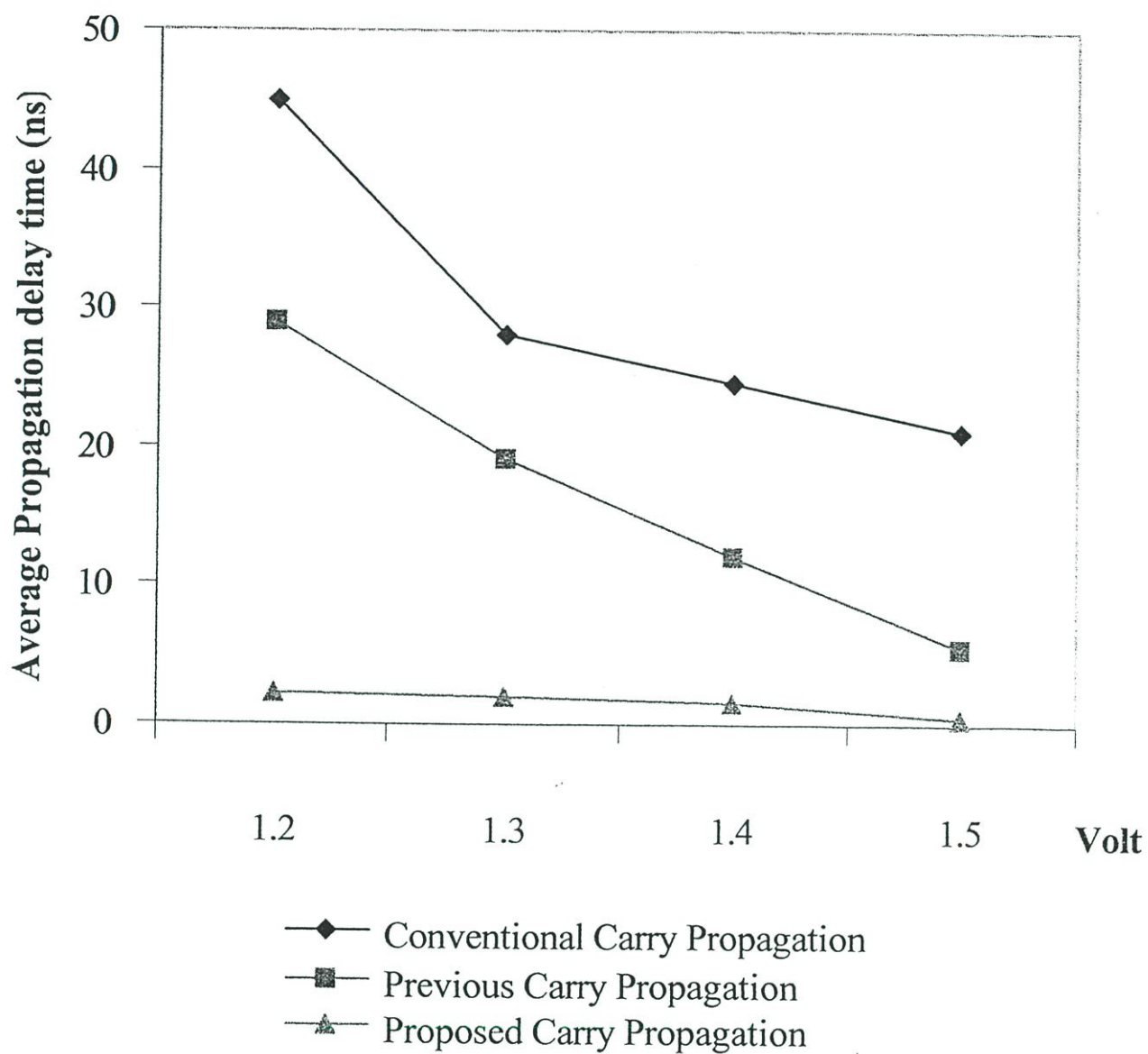


รูปที่ 4.9 แสดงรูปสัญญาณเข้าที่พู่ของวงจร Carry Propagation ทั้งสามวงจรเมื่อคัทดาไฟ
เลี้ยง 1.2 โวลต์ ช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 20ns

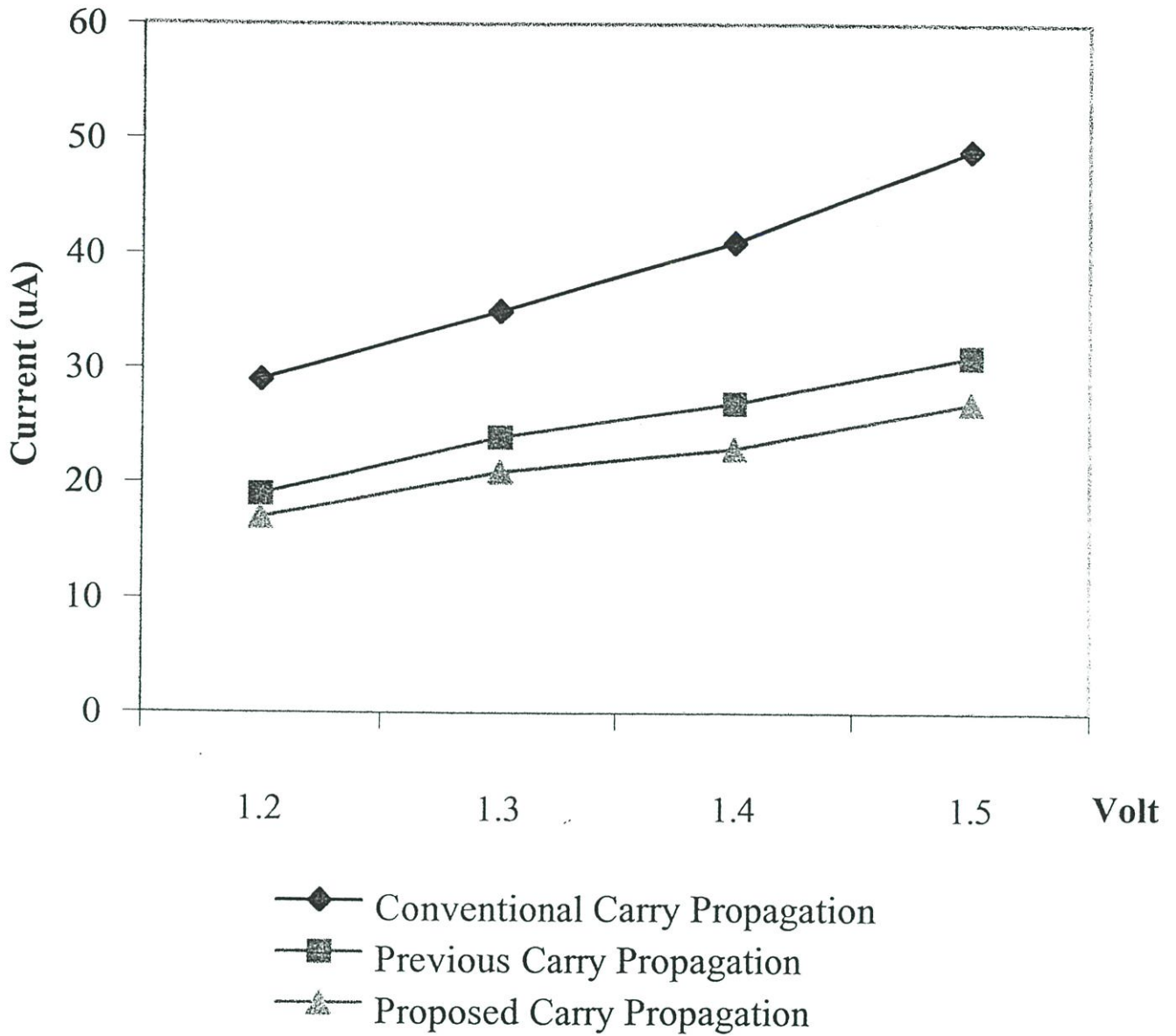
ตารางที่ 4.6 แสดงช่วงเวลาการเปลี่ยนสัญญาณอินพุตข้อมูลช่วงละ 20ns และแสดงระดับ
โลจิกที่อ่านได้จากการทดลอง

A_n	B_n	ช่วงเวลาที่ย้อนข้อมูล (ns)	เวลาที่อ่าน (ns)	$P_{n_cnv.}$	$P_{n_prev.}$	$P_{n_prop.}$
1	1	$DT_1 = 0\text{ns}$	10ns	0	0	0
0	0	$DT_2 = 20\text{ns}$	30ns	0	0	0
0	1	$DT_3 = 40\text{ns}$	50ns	0	0	0
1	0	$DT_4 = 60\text{ns}$	70ns	1	0	0
1	1	$DT_5 = 80\text{ns}$	90ns	0	0	0

จากผลการทดลองทุกวงจรไม่สามารถทำงานได้เมื่อดังค่าข้อมูลช่วงเวลาการเปลี่ยนสัญญาณ
อินพุตข้อมูลช่วงละ 20ns เพราะระดับโลจิกที่เป็น "1" หรือ High มีระดับแรงดันไม่ถึงเทรชโฮล
โวลต์เดท



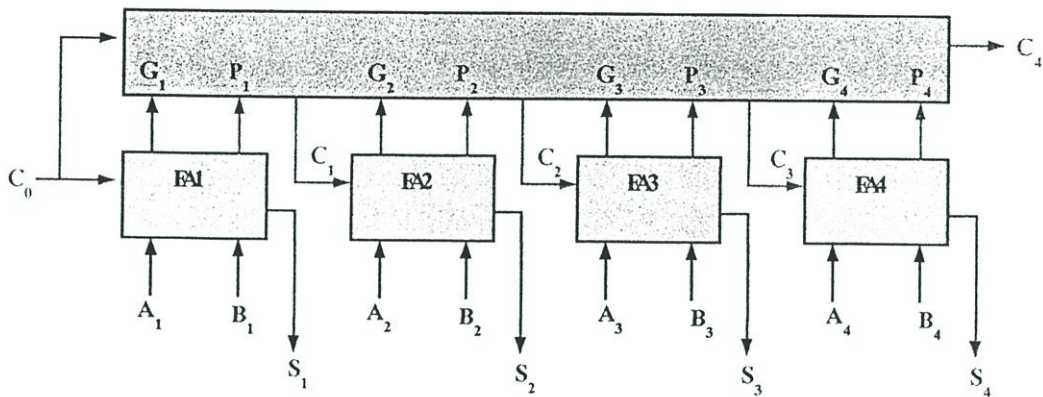
รูปที่ 4.10 แสดงค่าการหน่วงเวลาเมื่อเปลี่ยนแหล่งจ่ายแรงดันเป็นค่าต่าง ๆ



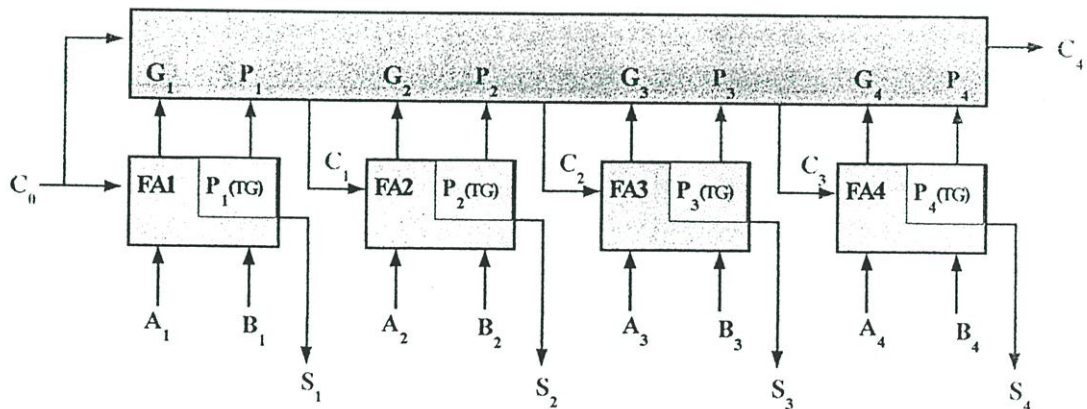
รูปที่ 4.11 แสดงค่าการใช้กระแสของวงจรเมื่อเปลี่ยนค่าแหล่งจ่ายแรงดันเป็นค่าต่าง ๆ

4.4 วงจรบวกเลขฐานสองแบบขนานโดยวิธีแครี่คอสะเอียดด้วยเกตส่งผ่าน

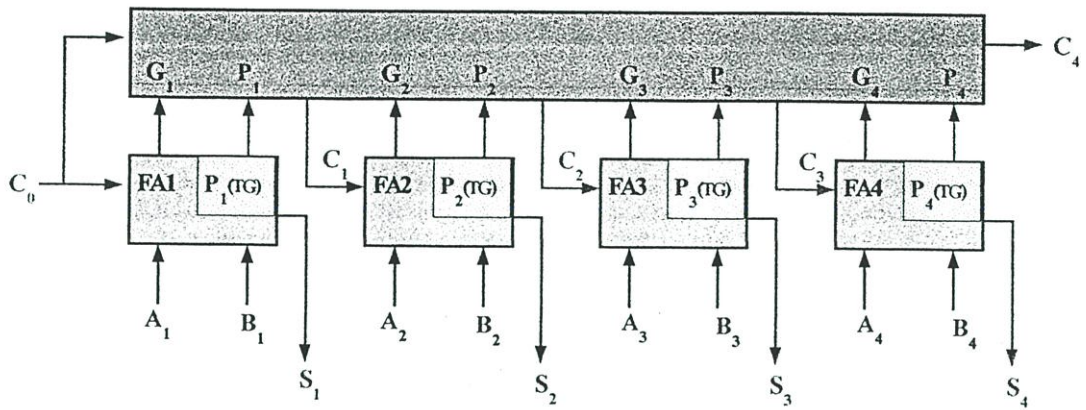
วงจรที่นำมาใช้ในการทดลองออกแบบเป็นวงจรบวกเลขฐานสองแบบขนานขนาด 4 บิตสองจำนวนโดยใช้วงจร Carry Propagation ที่แตกต่างกันคือ วงจร Conventional Carry Propagation วงจร Previous Propagation และ Proposed Carry Propagation แสดงดังรูปที่ 4.8 กำหนดให้แรงดันแหล่งจ่ายที่ป้อนให้มีค่า 1.5 โวลท์



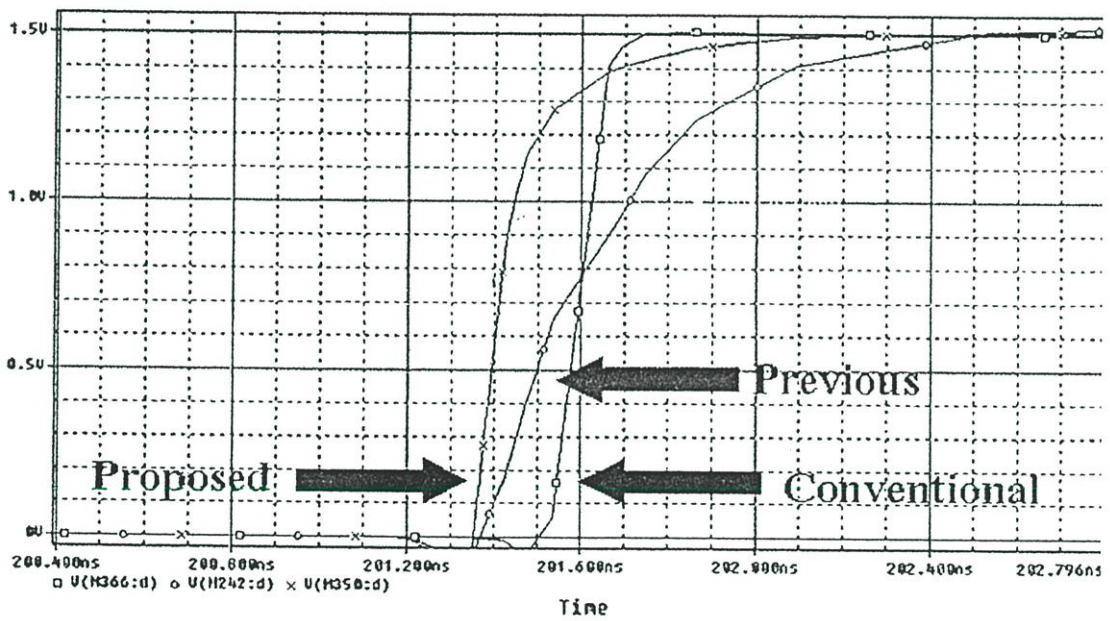
รูปที่ 4.12 วงจร 4 bit Conventional Carry look ahead



รูปที่ 4.13 วงจร 4 bit Previous Carry look ahead

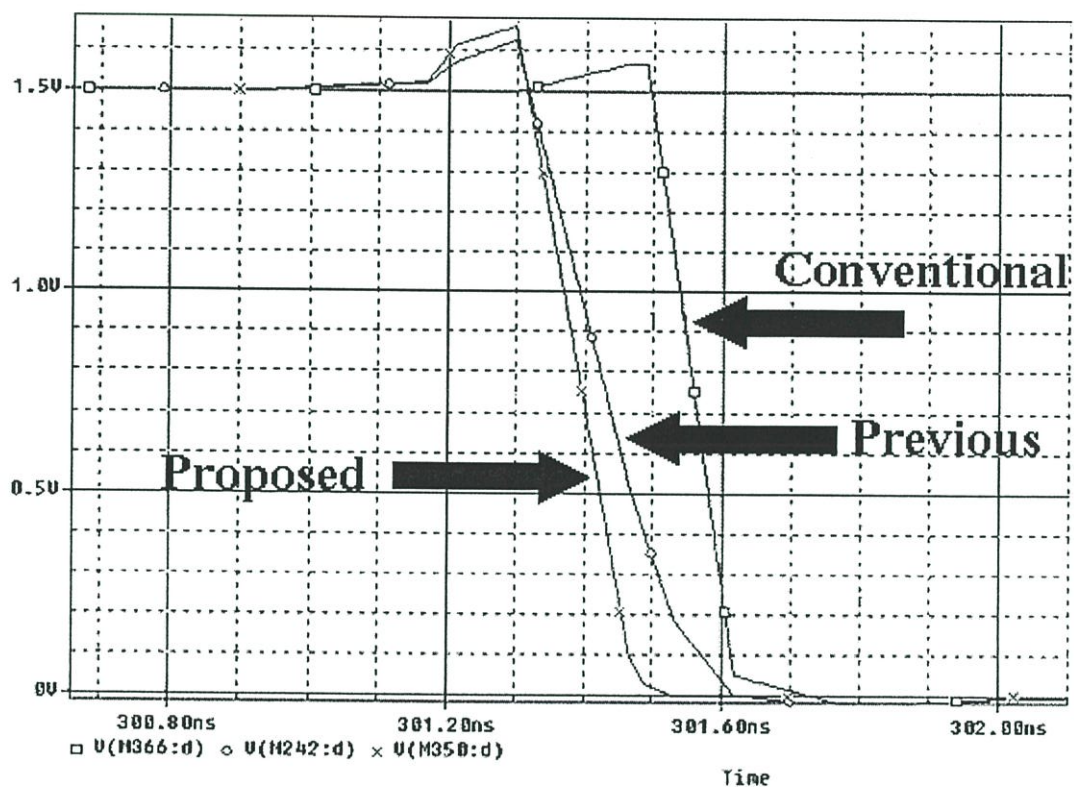


รูปที่ 4.14 วงจร 4 bit Proposed Carry look ahead



รูปที่ 4.15 ผลการทดลองวงจร Carry look ahead ทั้งสามวงจร รูปคลื่นสัญญาณขาขึ้น

กำหนดให้ใช้แหล่งจ่ายแรงดันที่ 1.5 โวลต์ เพราะจะทำการเปรียบเทียบกันทั้งสามวงจร คือ วงจร Conventional Carry look ahead วงจร Previous Carry look ahead และวงจร Proposed Carry look ahead ไม่สามารถทำงานได้อย่างมีประสิทธิภาพจึงไม่สามารถนำมาเปรียบเทียบได้เมื่อตั้งค่าแหล่งจ่ายแรงดันต่ำกว่า 1.5 โวลต์



รูปที่ 4.16 ผลการทดลองวงจร Carry Look ahead ทั้งสามวงจร รูปคลื่นสัญญาณขาออก

4.5 สรุป

วงจร Carry Propagation ที่นำเสนอในวิทยานิพนธ์ฉบับนี้แสดงให้เห็นว่าสามารถทำงานได้ตามระดับโลจิกที่กำหนดเช่นเดียวกับวงจร Conventional Carry Propagation และ Previous Carry Propagation และการหน่วงเวลา วงจรที่นำเสนอมีการหน่วงเวลาน้อยกว่าวงจร Conventional Carry Propagation และ Previous Carry Propagation ในเรื่องของจำนวนมอสทรานซิสเตอร์ที่ใช้ก็ยิ่งน้อยกว่าทำให้ใช้กำลังงานน้อยกว่าวงจร Conventional Carry Propagation และ Previous Carry Propagation และเมื่อนำวงจร Carry Propagation ที่นำเสนอไปออกแบบเป็นวงจรรวมเลขฐานสองแบบขนานโดยวิธีแคร์ริคอกะเฮ็ดมีการทำงานที่มีประสิทธิภาพเร็วกว่าเดิมและยังใช้ทรานซิสเตอร์น้อยลงและประหยัดกำลังขึ้นด้วย

บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทนำ

ในวิทยานิพนธ์ฉบับนี้ได้เสนอวงจรบวกเลขฐานสองแบบขนานโดยวิธีแคริลคอะเฮ็ดด้วยเกตส่งผ่าน ซึ่งวงจรบวกเลขฐานสองโดยวิธีแคริลคอะเฮ็ดด้วยเกตส่งผ่านที่นำเสนอสามารถนำไปสร้างเป็นวงจรรวมได้ โดยการออกแบบได้คำนึงถึงการใช้แหล่งจ่ายแรงดันของวงจรที่นำเสนอในวิทยานิพนธ์นี้ใช้แหล่งจ่ายแรงดันได้ต่ำที่สุดอยู่ที่ 1.2 โวลท์เท่านั้น โดยแนวทางที่ได้กระทำเพื่อพัฒนาวงจรบวกเลขฐานสองแบบขนานโดยวิธีแคริลคอะเฮ็ดด้วยเกตส่งผ่านมีดังนี้

1. เป็นวงจรบวกเลขฐานสองโดยวิธีแคริลคอะเฮ็ดที่พัฒนามาจากงานวิจัยใน [1] วงจรดังกล่าวใช้มอสทรานซิสเตอร์ออกแบบวงจรที่มี pull up และ pull down ทำให้เกิดผลของแรงดันที่สูญเสียเนื่องจากค่าแรงดันเทรชโฮล จึงออกแบบใหม่โดยนำเอาเกตส่งผ่านมาออกแบบวงจร Carry Propagation ทำให้วงจรสามารถทำงานได้ที่แรงดันต่ำที่ 1.2 โวลท์และกินกระแสต่ำลง เพราะแรงดันต่ำลงและจำนวนทรานซิสเตอร์ที่ใช้ลดลง และความเร็วในการบวกยังเพิ่มขึ้นกว่าเดิมที่แรงดัน 1.2 โวลท์ ทำงานได้อย่างมีประสิทธิภาพ

2. เป็นวงจรที่ออกแบบโดยใช้เทคโนโลยีซีมอส เพราะเป็นเทคโนโลยีที่มีราคาไม่แพงสามารถบีบการการใช้พื้นที่ลงได้ง่ายและเป็นเทคโนโลยีที่ได้รับความนิยมมาก โดยวงจรที่ออกแบบควรใช้แรงดันและกำลังงานต่ำ เพื่อให้เหมาะสมกับทิศทางในสภาวะปัจจุบันที่ผู้คนจำนวนมากหันมาให้ความสนใจในเรื่องแหล่งพลังงานและสภาพแวดล้อมกันมากขึ้น

5.2 ข้อเสนอแนะ

1. ถ้าใช้เทคโนโลยีที่มีขนาดเล็กกว่านี้จะสามารถประหยัดพื้นที่ได้มากขึ้นอีก
2. ถ้าใช้เทคโนโลยีที่มีค่าแรงดันเทอร์ซโวลต์ต่ำ ๆ วงจรก็สามารถทำงานได้ที่แรงดันต่ำกว่านี้
3. ควรเพิ่มส่วนวงจรบวกเต็มให้เป็นเกทส่งผ่านทั้งหมด ความเร็วน่าจะดีขึ้นแต่ควรพิจารณาเรื่องกำลังขับด้วย เพราะถ้าจะใช้ไบโพล่าเป็นตัวขับซึ่งมีคุณสมบัติเป็นตัวขับที่มากกว่าเทคโนโลยีซีมอส แต่ข้อดีดังกล่าวอาจต้องแลกมาด้วยราคาในการผลิตที่สูงเพราะเทคโนโลยีไบซีมอสเป็นเทคโนโลยีที่มีขั้นตอนการผลิตที่ยุ่งยากซับซ้อน ลองใช้เทคโนโลยีซีมอสออกแบบให้สามารถขับที่ output น่าจะประหยัดกว่า

บรรณานุกรม

- [1] F. Cheng, S.H. Unger, and M. Theobald, "Self-Timed Carry-Look ahead Adders," IEEE Trans.Computer, Vol. 49, No.7, pp. 659-671, July 2000.
- [2] J.B. Kuo, H.J. Liao and H.P. Chen, "A BiCMOS Dynamic Carry Look Ahead Circuit with Carry Skip for High-Speed Arithmetic Circuits," IEEE Trans. Circuit and Systems – II : Analog and Digital Signal Processing, Vol.39, No.12, pp. 869-871, December 1992.
- [3] Y. Wang, C. Pai, and X. Song, "The Design of Hybrid Carry-Look ahead/Carry - Select Adders, " IEEE Trans. Circuit and Systems –II : Analog and Digital Signal Processing, Vol. 49, No. 1, pp. 16-24, January 2002.
- [4] H. T. Bui, Y. Wang and Y. Jiang, " Design and Analysis of Low - Power 10 Transistor full adder using novel XOR-XNOR Gates, " IEEE Trans. Circuit and Systems –II : Analog and Digital Signal Processing, Vol. 49, No. 1, pp. 25-30, January 2002.
- [5] J.-M. Wang S.-C. Fang, W.-S. Feng, " New Efficient Designs for XOR and XNOR Functions on the Transistor Level, " IEEE J. Solid – State Circuits, Vol. 29, No.7. pp. 780-786, July 1994.
- [6] J. B. Kuo, and J.-H. Lou, "Low-Voltage CMOS VLSI Circuits," John Wiley & Sons, Inc., 1999.
- [7] A. Bellaouar and M.I. Elmasry, Low power digital VLSI design circuits and systems, Kluwer Academic Publishers, 1995.
- [8] J. P. Uyemura, Circuit Design for CMOS VLSI, Kluwer Academic Publishers, 1993
- [9] J. M. Rabaey, Digital Integrated Circuits, Prentice-Hall, INC., 1996.
- [10] S. M. Kang, CMOS Digital Integrated Circuits Analysis and Design, Prentice-Hall, INC., 2003.

ภาคผนวก

ภาคผนวก ก.

ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

- [1] ธนสาร นาคนิยม และ กอบชัย เดชหาญ การออกแบบวงจรรวมเลขฐานสองโดยวิธีแคร์ริคอะแฮ็ดด้วยเกตส่งผ่าน วิศวกรรมลาดกระบัง ฉบับที่ 2 ปีที่ 21 เดือน มิถุนายน พ.ศ. 2547

การออกแบบวงจรวกเลขฐานสองโดยวิธีแครี่ลुकอะเฮ็ดด้วยเกตส่งผ่าน

A Carry Look Ahead Adder Circuit Design Based on Transmission Gate

ธนสาร นาคนิยม กอบชัย เดชหาญ

คณะวิศวกรรมศาสตร์ และสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรวกเลขฐานสองโดยวิธี Carry look ahead เป็นเทคนิคการหา Carry out จากอินพุตโดยตรงเพื่อเพิ่มความเร็วของการบวก วงจรที่นำเสนอได้ออกแบบวงจรร Carry Propagation โดยใช้ Transmission gate ให้ pMOS ส่งผ่านสัญญาณที่เป็นลอจิก “1” และ nMOS ส่งผ่านสัญญาณที่เป็นลอจิก “0” ได้ดีที่สุด ซึ่งวงจรร [1-4] เป็นการออกแบบวงจรรที่มี pull-up และ pull-down แต่วงจรรที่นำเสนอเป็นการออกแบบที่ลด pull-up และ pull-down ทำให้สูญเสียพลังงานน้อยลง ใช้จำนวนมอสทรานซิสเตอร์น้อยกว่าและความเร็วในการทำงานเพิ่มขึ้น เนื่องจากวงจรร [1-4] ทำงานที่ 1.5 โวลท์ ทำให้สิ้นเปลืองพลังงานและใช้จำนวนมอสทรานซิสเตอร์มากแต่วงจรรที่นำเสนอสามารถทำงานที่ระดับแรงดัน 1.2 โวลท์และใช้จำนวนมอสทรานซิสเตอร์น้อยกว่าเดิม จึงทำให้พื้นที่ของวงจรรและค่ากำลังงานสูญเสียต่ำกว่าเมื่อเทียบกับบทความที่ผ่าน มา [1-3] จำลองการทำงานโดยใช้โปรแกรม PSPICE ตรวจสอบคุณสมบัติของวงจรรโดยใช้ซิมูเลชันของ MOSIS ขนาด 0.35 μm

ABSTRACT

This paper presents a design of binary adder circuit by using carry look ahead method. It is the technique for searching directly carry out from the input in order to increase the speed of adding. The circuit is a kind of transmission gate circuit advantage of pMOS to transfer the logic “1” and nMOS to transfer the logic “0”. This transmission gate circuit is able to save the loss energy of pull-up and pull-down which bring about a reduction of energy and number of transistor. and increase the speed of adding because the previous circuits in the reference [1] to [4] operate with 1.5 volts and use a lot of transistors but this proposed circuit operates at 1.2 volts and reduces the number of transistors. All simulations results are carry out by using the PSPICE program with 0.35 μm CMOS model of MOSIS.

1. บทนำ

วงจรวกเลขฐานสองเป็นองค์ประกอบหลักของการประมวลสัญญาณเชิงเลข นิยมสร้างเป็นส่วนหนึ่งในวงจรรวมการประยุกต์ใช้งานมีอย่างกว้างขวางหลายสาขาทั้งในด้าน โทรคมนาคมหรือ อิเล็กทรอนิกส์ต่างๆ

การปรับปรุงให้วงจรวกเลขฐานสองแบบขนานมีการคำนวณถูกต้องรวดเร็ว แม่นยำมีหลายวิธีซึ่งวิธีที่ดีที่สุดในการเพิ่มความเร็วได้มากที่สุดคือวิธีแครี่-ลुकอะเฮ็ด แต่ยังคงใช้กำลังงานมากอยู่ ในบทความวิจัยนี้จะนำเสนอ

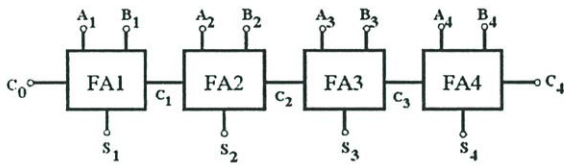
วงจรวกเลขฐานสอง โดยวิธีแคร์ริคอะ-เฮ็ดใช้ Transmission Gate เพื่อลดการสิ้นเปลืองพลังงาน และเพิ่มความเร็วในการคำนวณ และมีประสิทธิภาพดี

2. หลักการวกเลขฐานสองโดยวิธีแคร์ริคอะ-เฮ็ด

บทความ [1] นำเสนอองจรวกเลขฐานสอง โดยวิธีแคร์ริคอะ-เฮ็ด หลายวิธี ในบทความนี้นำเสนอ หลักการใหม่ที่จะนำ Transmission Gate ช่วยในการ ออกแบบวง Carry Propagation ใหม่ทำให้วงจรวก เลขฐานสองโดยวิธีแคร์ริคอะ-เฮ็ดมีประสิทธิภาพในการ บวกคี่ขึ้นและประหยัดพลังงาน วงจรที่นำเสนอจะ ประกอบด้วยวงจรถ่างๆ เช่นวงจรร Carry Generation, Carry Propagation และ วงจรประมวลผลตัวทศโดยจะ อธิบายในแต่ละส่วนในต่อไป

2.1 วงจรวกแบบขนาน

วงจรวกแบบขนานจะรับตัวเลขที่ต้องการบวก เข้ามาบวกพร้อมกันทุกบิตดังรูปที่ 1



รูปที่ 1 Ripple carry adder

อินพุตข้อมูลชุดแรกแทนด้วยตัวแปร A และอินพุต ข้อมูลชุดที่สองแทนด้วยตัวแปร B ส่วนตัวทศแทน ด้วยตัวแปร C สามารถเขียนเป็นสมการมูลฐานได้ดังนี้

$$S_n = A_n \oplus B_n \oplus C_{n-1} \tag{1}$$

$$C_n = A_n \cdot B_n \tag{2}$$

วงจรรูปที่ (1) เกิดปัญหา Propagation Delay ต้อง รอตัวทศจากหลักก่อนเมื่อจำนวนข้อมูลมีหลายบิต [1]

2.2 หลักการวงจรวกเลขฐานสองโดยวิธีแคร์ริคอะ-เฮ็ด

วงจรวกเลขฐานสองโดยวิธีแคร์ริคอะ-เฮ็ดที่ นำเสนอใน [1] ใช้วิธีการหา Carry Out จากอินพุต โดยตรงโดยพิจารณาตารางที่ 1 จะได้สมการที่ (3) หา

Carry Propagation, สมการที่ (4) หา Carry Generation, สมการที่ (5) หาผลรวม, สมการที่ (6) หาตัวทศที่ n ซึ่ง n คือ จำนวนบิต

ตารางที่ 1 แสดง Carry Propagation และ Carry Generation

A_n	B_n	C_n	Remark
0	0	0	No carry
0	1	C_{n-1}	P_n
1	0	C_{n-1}	P_n
1	1	1	G_n

$$\text{Carry Propagation } (P_n) = A_n \oplus B_n \tag{3}$$

$$\text{Carry Generation } (G_n) = A_n \cdot B_n \tag{4}$$

$$\begin{aligned} \text{Sum } (S_n) &= A_n \oplus B_n \oplus C_{n-1} \\ &= P_n \oplus C_{n-1} \end{aligned} \tag{5}$$

$$\text{Carry out } (C_n) = G_n + P_n \cdot C_{n-1} \tag{6}$$

จากสมการ (3), (4), (5), (6) สามารถกระจาย C_n ได้ เป็น ซึ่งนำเสนอใน [1]

$$\begin{aligned} C_n &= G_n + P_n \cdot G_{n-1} + P_n \cdot P_{n-1} \cdot G_{n-2} + \dots \\ &\quad + P_n \cdot P_{n-1} \dots P_1 \cdot C_0 \end{aligned} \tag{7}$$

นำ (7) มาหาค่า Carry out ที่หลักต่างๆ ได้ดังนี้

$$C_1 = G_1 + P_1 \cdot C_0$$

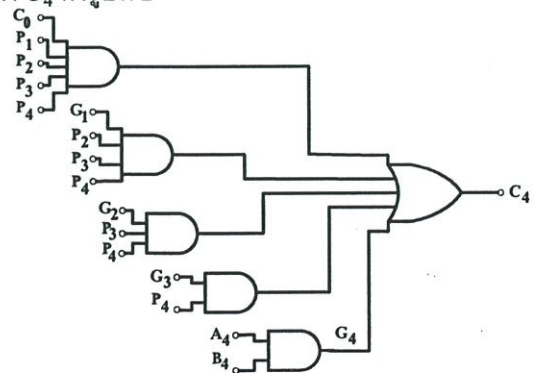
$$C_2 = G_2 + P_2 \cdot (G_1 + P_1 \cdot C_0)$$

$$C_3 = G_3 + P_3 \cdot (G_2 + P_2 \cdot (G_1 + P_1 \cdot C_0))$$

$$C_4 = G_4 + P_4 \cdot (G_3 + P_3 \cdot (G_2 + P_2 \cdot (G_1 + P_1 \cdot C_0)))$$

โดยบทความเสนอการทดสอบการวกเลขฐานสอง จำนวน 4 บิต จากสมการที่ (7) สามารถเขียนวงจรรหา

ค่า C_4 ดังรูปที่ 2



รูปที่ 2 วงจรรหาตัวทศที่ C_4

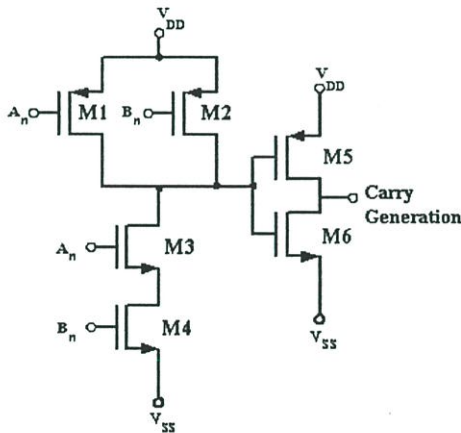
เนื่องจากความเร็วของอิเล็กตรอนใน nMOS เร็วกว่า pMOS และ μ เป็นค่าสภาพความคล่องของพาหะ [1] ซึ่งในบทความนี้ใช้ซีมอสโมเดล ของ MOSIS ขนาด $0.35 \mu\text{m}$ โดยกำหนดให้ μ_p มีค่า 213 และ μ_n มีค่า 437 นำสมการที่ (8) ออกแบบวงจร CMOS INVERTER นำสมการที่ (9) ออกแบบวงจร NOR ที่มีอินพุต N บิต และนำสมการที่ (10) ออกแบบวงจร NAND ที่มีอินพุต N บิต ในรูปที่ 2

$$\left(\frac{W}{L}\right)_p = \left(\frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{W}{L}\right)_n \tag{8}$$

$$\left(\frac{W}{L}\right)_p = N \cdot \left(\frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{W}{L}\right)_n \tag{9}$$

$$\left(\frac{W}{L}\right)_p = \frac{N}{\left(\frac{\mu_n}{\mu_p}\right)} \cdot \left(\frac{W}{L}\right)_n \tag{10}$$

2.3 วงจร Carry Generation

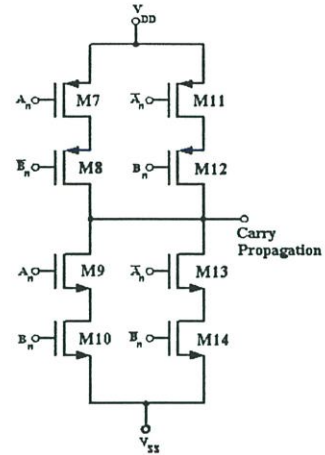


รูปที่ 3 วงจร Carry Generation

กำหนดให้ A_n และ B_n มีลอจิกเป็น “1” ทำให้ G_n มีลอจิกเป็น “1” นอกนั้น G_n มีลอจิกเป็น “0” ลอจิก G_n ที่ได้จากวงจรนี้นำไปต่อกับวงจรประมวลผลตัวทศ ส่วนวงจรในรูปที่ 4 กำหนดให้ A_n มีลอจิกเท่ากับ B_n ทำให้ P_n มีลอจิก “0” เมื่อตัวแปร A_n มีลอจิกต่างกับ B_n ทำให้ P_n มีลอจิก “1” ลอจิก P_n ที่ได้จากวงจรนี้นำไปต่อกับวงจรประมวลผลตัวทศในรูปที่ 2 วงจร Carry Generation รูปที่ 3 หากค่า W_p ของ M1 – M4 ได้จาก สมการที่ (10) และหาค่า W_n ของ M5, M6 ได้จาก

สมการที่ (9) โดยกำหนดค่า $L = 0.35$ ทั้งหมด $W_n = 0.35$

2.4 วงจร Carry Propagation

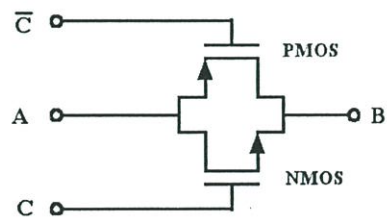


รูปที่ 4 วงจร Conventional Carry Propagation

วงจร Carry Propagation ที่นำเสนอใน[1] รูปที่ 4 กำหนดให้ M7, M8, M11, M12 กำหนดค่า $W_p = 0.8$ และ $L = 0.35$ และ M9, M10, M13, M14 กำหนดค่า $W_n = 0.35$ และ $L = 0.35$

2.5 ซีมอส Transmission Gate (TG)

ในหลักการของซีมอส Transmission Gate ประกอบด้วยทรานซิสเตอร์ nMOS 1 ตัว และ pMOS 1 ตัว ต่อขนานกันสามารถส่งผ่านสัญญาณได้สองทิศทางระหว่าง node A และ node B ซึ่งสามารถควบคุมการส่งผ่านสัญญาณได้โดย node C ดังรูปที่ 5



รูปที่ 5 Transmission Gate

ซึ่งการนำซีมอส Transmission Gate มาใช้งานต้องคำนึงถึงค่าคุณสมบัติของทรานซิสเตอร์ nMOS และ pMOS

$$R_{eq,n} = \frac{V_{DD} - V_{out}}{I_{DS,n}}$$

$$R_{eq,p} = \frac{V_{DD} \cdot V_{out}}{I_{DS,p}} \quad (11)$$

คำนวณค่าความต้านทานการทำงานใน 3 ช่วง

ช่วงที่หนึ่ง เมื่อ $V_{out} < |V_{T,p}|$

pMOS ทำงานช่วง Saturation

nMOS ทำงานช่วง Saturation

$$R_{eq,n} = \frac{2(V_{DD} - V_{out})}{k_n(V_{DD} - V_{out} - V_{T,n})^2} \quad (12)$$

$$R_{eq,p} = \frac{2(V_{DD} - V_{out})}{k_p(V_{DD} - |V_{T,p}|)^2} \quad (13)$$

ช่วงที่สอง เมื่อ $|V_{T,p}| < V_{out} < (V_{DD} - V_{T,n})$

pMOS ทำงานช่วง Linear

nMOS ทำงานช่วง Saturation

$$R_{eq,n} = \frac{2(V_{DD} - V_{out})}{k_n(V_{DD} - V_{out} - V_{T,n})^2} \quad (14)$$

$$R_{eq,p} = \frac{2}{k_p[2(V_{DD} - |V_{T,p}|) - (V_{DD} - V_{out})]} \quad (15)$$

ช่วงที่สาม เมื่อ $V_{out} > (V_{DD} - V_{T,n})$

pMOS ทำงานช่วง Linear

nMOS ทำงานช่วง Turn off

$$R_{eq,p} = \frac{2}{k_p[2(V_{DD} - |V_{T,p}|) - (V_{DD} - V_{out})]} \quad (16)$$

กระแสรวมที่ไหลผ่าน Transmission Gate ดังสมการ

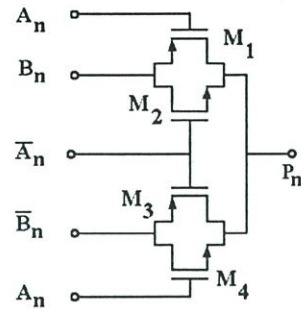
$$I_D = I_{DS,n} + I_{SD,p} \quad (17)$$

นำสมการที่ (8) ถึง (14) หาค่าที่เหมาะสมให้กับวงจร Carry Propagation ที่ออกแบบโดย Transmission Gate โดย Transconductance parameters เขียนได้ดังสมการ (18) และ (19)

$$k_n = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \quad (18)$$

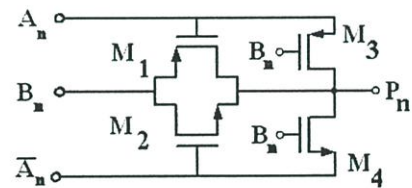
$$k_p = \mu_p \cdot C_{OX} \cdot \frac{W}{L} \quad (19)$$

2.6 วงจร Carry Propagation



รูปที่ 6 Previous Carry Propagation

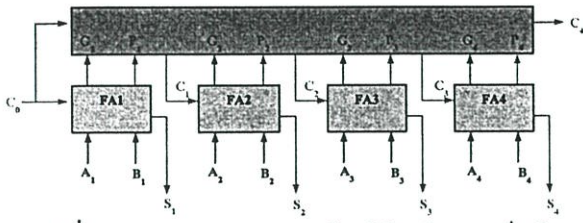
จากรูปที่ 6 กำหนดให้ $A_n = 0$ และ $B_n = 0$ มีผลทำให้ทรานซิสเตอร์ M_1 และ M_2 อยู่ในสถานะ ON และ M_3 และ M_4 อยู่ในสถานะ OFF ทำให้ $P_n = B_n = 1$ เมื่อ $A_n = 1$ และ $B_n = 0$ มีผลทำให้ M_1 และ M_2 อยู่ในสถานะ OFF และ M_3 และ M_4 อยู่ในสถานะ ON ทำให้ $P_n = B_n = 1$ และเมื่อ $A_n = 1$ และ $B_n = 1$ มีผลทำให้ M_1 และ M_2 อยู่ในสถานะ OFF และ M_3 และ M_4 อยู่ในสถานะ ON ทำให้ $P_n = B_n = 0$ ใช้ในการตรวจสอบการเกิดตัวทวดเนื่องจากการบวกกันของแต่ละหลัก



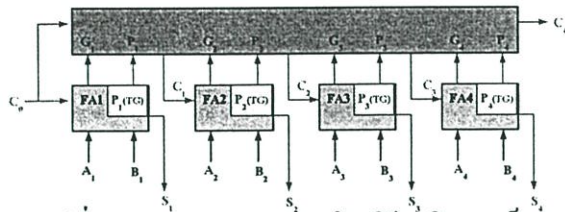
รูปที่ 7 Carry Propagation ที่นำเสนอ

จากรูปที่ 7 กำหนดให้ $A_n = 0$ และ $B_n = 0$ มีผลทำให้ทรานซิสเตอร์ M_1 และ M_2 และ M_3 อยู่ในสถานะ ON และ M_4 อยู่ในสถานะ OFF ทำให้ $P_n = B_n = 0$ เมื่อ $A_n = 1$ และ $B_n = 0$ มีผลทำให้ M_1 และ M_2 และ M_4 อยู่ในสถานะ OFF และ M_3 อยู่ในสถานะ ON ทำให้ $P_n = A_n = 1$ และเมื่อ $A_n = 0$ และ $B_n = 1$ มีผลทำให้ M_1 และ M_2 และ M_4 อยู่ในสถานะ ON และ M_3 อยู่ในสถานะ OFF ทำให้ $P_n = B_n = 1$ และเมื่อ $A_n = 1$ และ $B_n = 1$ มีผลทำให้ M_1 และ M_2 และ M_3 อยู่ในสถานะ OFF และ M_4 อยู่ในสถานะ ON ทำให้ $P_n = B_n = 0$ และกำหนดค่า $L = 0.35 \mu m$ $W_n = 0.35$ และหาค่า W_p ได้จากสมการที่ (8)

2.7 วงจรบวกเลขฐานสองโดยวิธีแครี่คอสเท็ค



รูปที่ 8 วงจรบวกเลขฐานสองโดยวิธีแครี่คอสเท็คเดิม



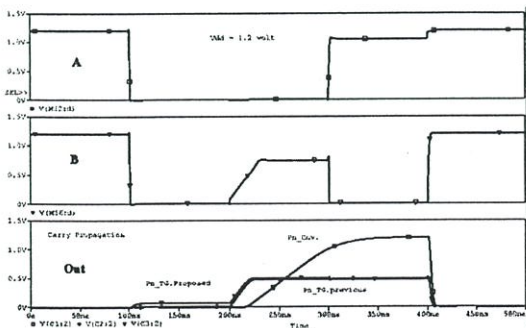
รูปที่ 9 วงจรบวกเลขฐานสองโดยวิธีแครี่คอสเท็ค

นำเสนอ

วงจรในรูปที่ 8 ใช้วงจรในรูปที่ 4 จาก [1] ในการตรวจ Carry Propagation ของหลักต่าง ๆ แต่วงจรในรูปที่ 9 ใช้วงจรที่นำเสนอรูปที่ 7 ในการหาค่า Carry Propagation ของหลักต่าง ๆ การหาค่าเฉลี่ย Propagation delay หาได้จากสมการที่ (20) โดยที่ τ_p คือค่าเฉลี่ย Propagation delay time และ τ_{PHL} คือ ช่วงเวลา 50% ที่ระดับแรงดันอินพุตเปลี่ยนระดับจากแรงดันต่ำไปยังระดับแรงดันสูงจนถึงช่วงเวลา 50% ที่ระดับแรงดันเอาต์พุตเปลี่ยนระดับแรงดันสูงไประดับแรงดันต่ำ τ_{PLH} คือ ช่วงเวลา 50% ที่ระดับแรงดันอินพุตเปลี่ยนระดับจากแรงดันสูงไปยังระดับแรงดันต่ำจนถึงช่วงเวลา 50% ที่ระดับแรงดันเอาต์พุตเปลี่ยนระดับแรงดันต่ำไประดับแรงดันสูง

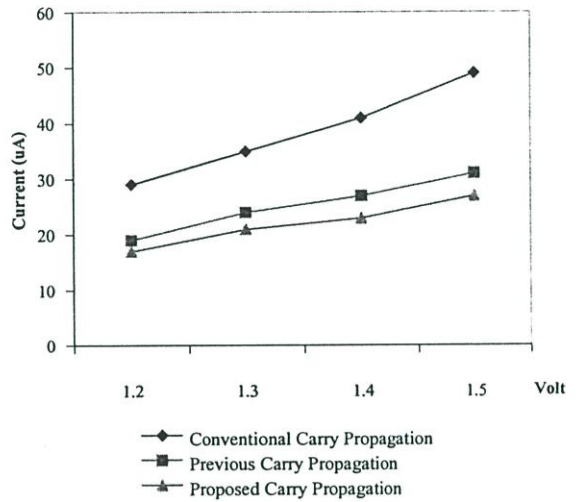
$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (20)$$

3. การทดลองและผลการทดลอง

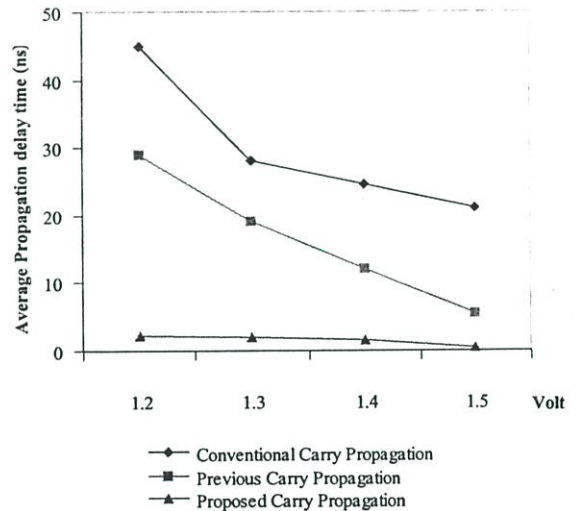


รูปที่ 10 ผลการทดลอง Carry Propagation

ผลการจำลองการทำงานของวงจรรูปที่ 4 โดย [1] เปรียบเทียบกับวงจรที่นำเสนอรูปที่ 7 จะเห็นว่าวงจรในรูปที่ 4 โดย [1] และ วงจรในรูปที่ 7 ที่นำเสนอ ให้ผลระดับลอจิกเหมือนกันแต่วงจรรูปที่ 7 มีค่าเฉลี่ย Propagation delay น้อยกว่าวงจรรูปที่ 4 และวงจรที่นำเสนอในรูปที่ 7 สามารถทำงานที่ระดับแรงดัน 1.2 โวลท์

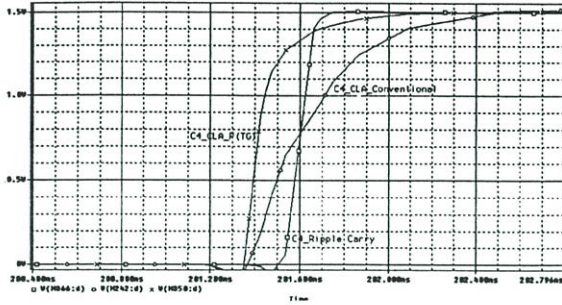


รูปที่ 11 แสดงการเปรียบเทียบใช้กระแส

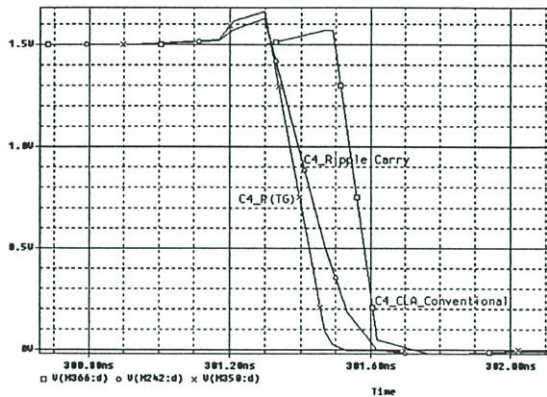


รูปที่ 12 ค่าเฉลี่ย Propagation delay time

โดยกำหนดช่วงการเปลี่ยนสัญญาณข้อมูลแต่ละชุด โดยห่างกันช่วงละ 100ns เช่น 0ns, 100ns, 200ns, 300ns, 400ns และทดลองโดยการเปลี่ยนค่าแหล่งจ่ายทุกๆ 0.1 โวลท์ โดยเริ่มจาก 1.2 โวลท์และ 1.3 โวลท์ และ 1.4 โวลท์ และ 1.5 โวลท์ ตามลำดับ



รูปที่ 12 ผลการทดลองวงจรแควรีลูคอะเฮ็ดชอบขาขึ้น



รูปที่ 13 ผลการทดลองวงจรแควรีลูคอะเฮ็ดชอบขาลง

เมื่อพิจารณาผลในรูปที่ 11 และรูปที่ 12 จะเห็นว่า Carry out ที่ได้จากวงจรบวกเลขฐานสองโดยวิธีแควรีลูคอะเฮ็ดที่นำเสนอสามารถทำงานได้เร็วกว่าวงจรบวกเลขฐานสองโดยวิธีแควรีลูคอะเฮ็ดเดิม

4. สรุปผลการทดลอง

บทความนี้เป็นการนำเสนอแนวทางการออกแบบวงจรบวกเลขฐานสองโดยวิธี “Carry Look Ahead” โดยใช้เทคโนโลยี 0.35 μm ที่แหล่งจ่ายแรงดันต่ำกว่า 1.5 โวลต์ เป็นการตรวจดูบิตอินพุตทั้งหมดพร้อมกัน และจะรู้ล่วงหน้าว่าตัวทคออก Carry Out เป็นเช่นไร นำเอา Transmission Gate ไปออกแบบวงจรบวกเลขฐานสองโดยวิธี Carry Look Ahead ในส่วน Carry Propagation ทำให้ใช้จำนวนทรานซิสเตอร์ลดลง สามารถทำงานได้เร็วและสูญเสียกำลังงานต่ำกว่า [1-3] ลดพื้นที่และค่าการหน่วงเวลา สามารถนำวงจรบวกโดยวิธี “Carry Look Ahead” ที่นำเสนอในบทความนี้ ไปออกแบบวงจร Multi-bit ripple carry adder ที่มีประสิทธิภาพได้

5. เอกสารอ้างอิง

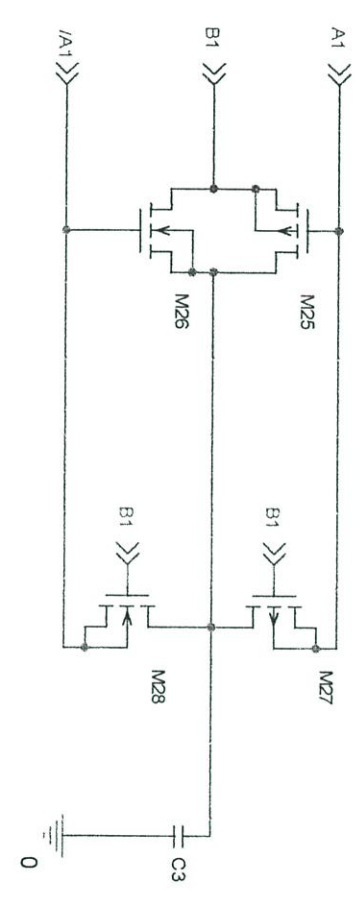
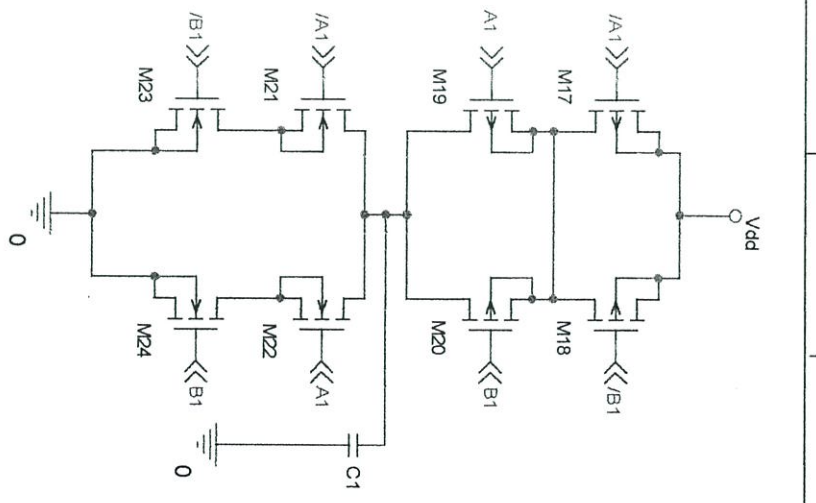
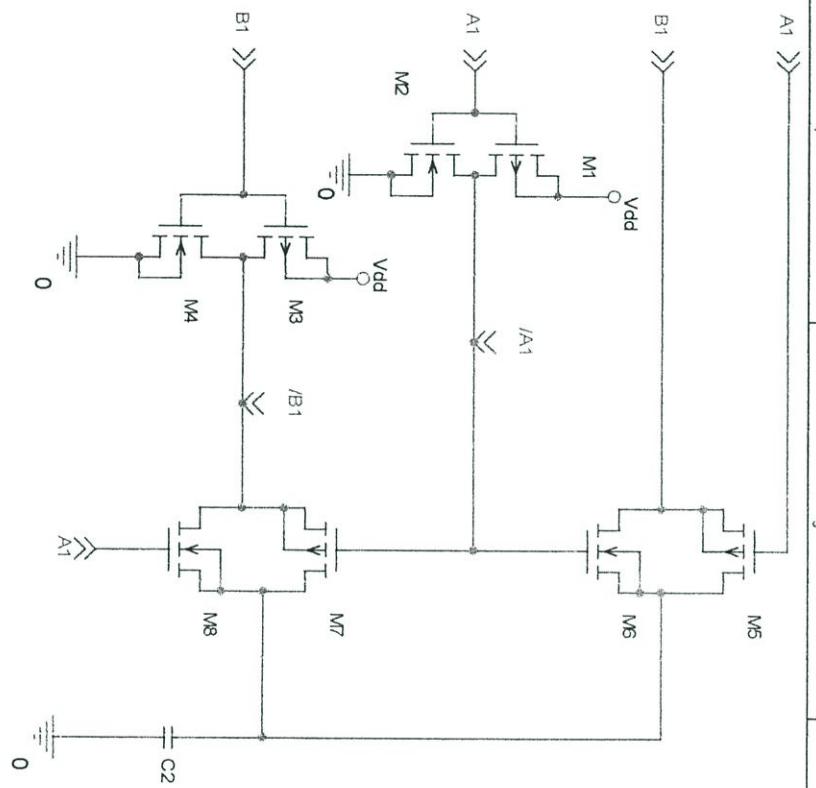
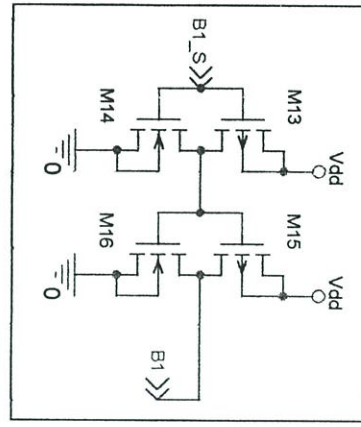
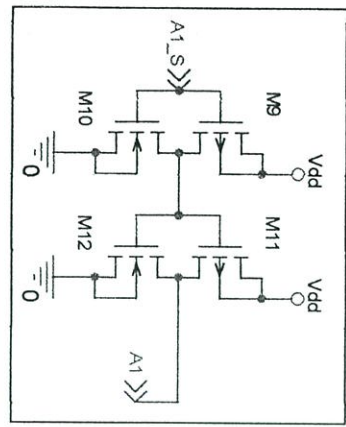
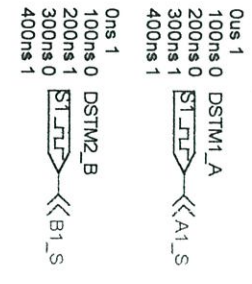
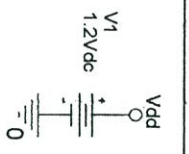
- [1] F. Cheng, S.H. Unger, and M. Theobald, “Self-Timed Carry-Look ahead Adders,” IEEE Trans. Computer, Vol. 49, No.7, pp. 659-671, July 2000.
- [2] J.B. Kuo, H.J. Liao and H.P. Chen, “A BiCMOS Dynamic Carry Look Ahead Circuit with Carry Skip for High-Speed Arithmetic Circuits,” IEEE Trans. Circuit and Systems – II : Analog and Digital Signal Processing, Vol.39, No.12, pp. 869-871, December 1992.
- [3] Y. Wang, C. Pai, and X. Song, “The Design of Hybrid Carry-Look ahead/Carry-Select Adders,” IEEE Trans. Circuit and Systems – II : Analog and Digital Signal Processing, Vol. 49, No. 1, pp. 16-24, January 2002.
- [4] H. T. Bui, Y. Wang and Y. Jiang, “Design and Analysis of Low- Power 10-Transistor full adder using novel XOR-XNOR Gates,” IEEE Trans. Circuit and Systems – II : Analog and Digital Signal Processing, Vol. 49, No. 1, pp. 25-30, January 2002.
- [5] J.-M. Wang S.-C. Fang, W.-S. Feng, “New Efficient Designs for XOR and XNOR Functions on the Transistor Level,” IEEE J. Solid – State Circuits, Vol. 29, No.7. pp. 780-786, July 1994.
- [6] J. B. Kuo, and J.-H. Lou, “Low-Voltage CMOS VLSI Circuits,” John Wiley & Sons, Inc., 1999.

ภาคผนวก ข.

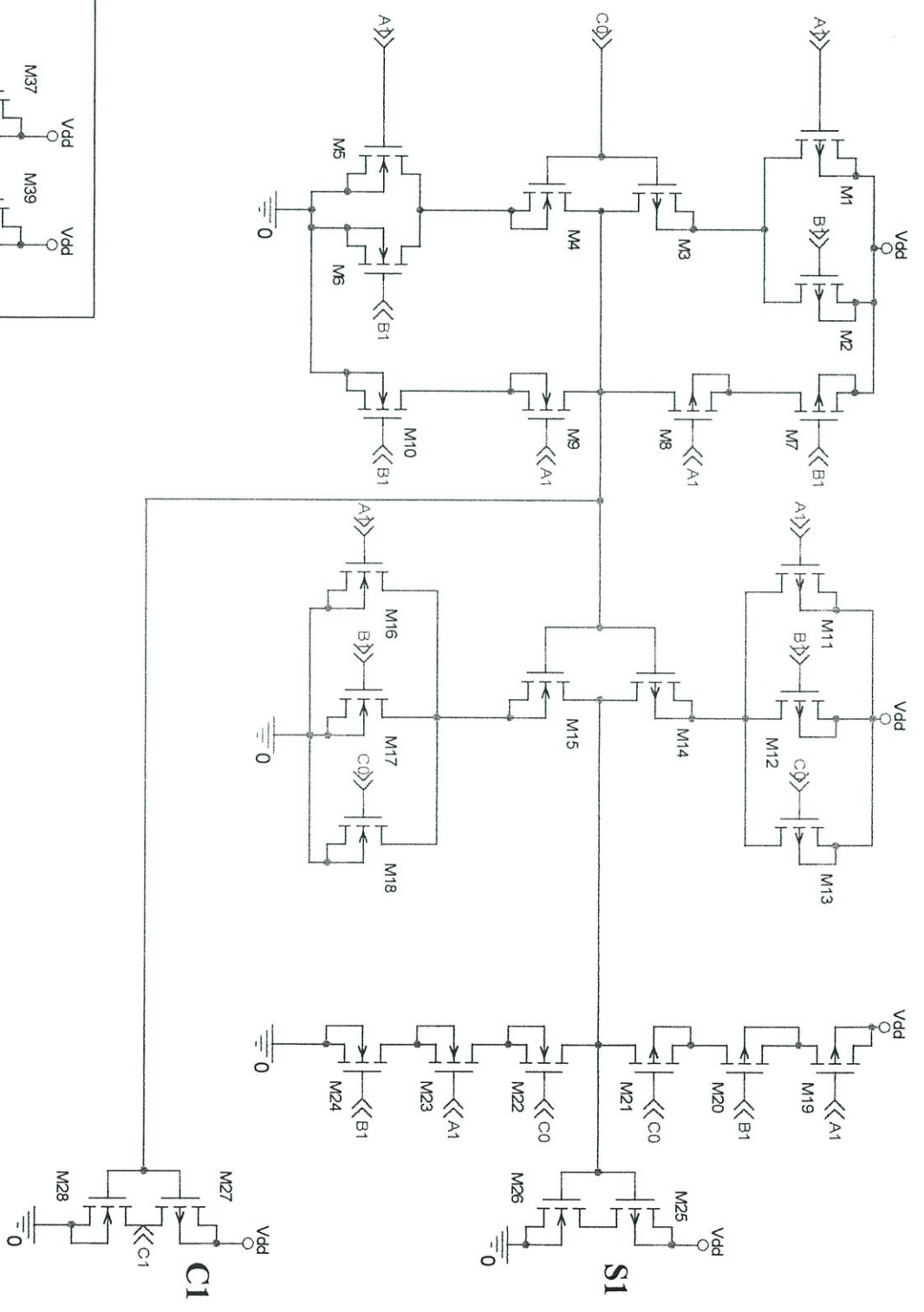
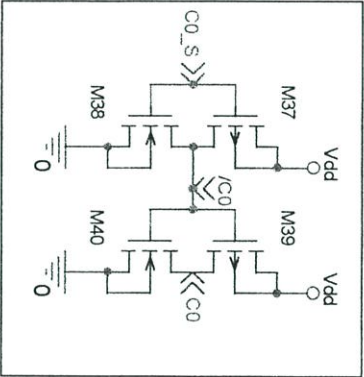
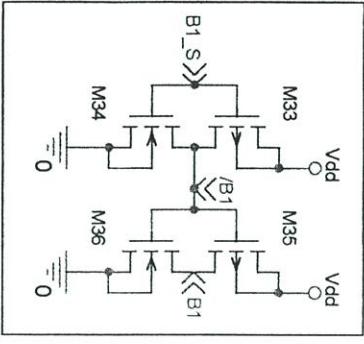
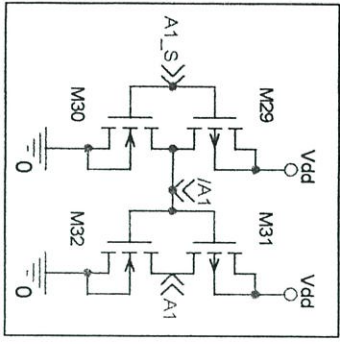
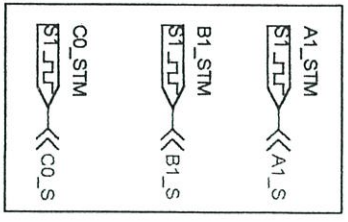
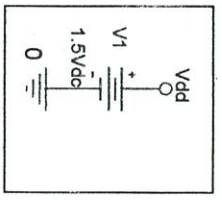
วงจรที่ใช้วิเคราะห์ในวิทยานิพนธ์

```
.MODEL CMOSN NMOS (                LEVEL = 3
+TOX  = 7.9E-9    NSUB  = 1E17    GAMMA = 0.5827871
+PHI  = 0.7      VTO   = 0.5445549  DELTA = 0
+UO   = 436.256147  ETA   = 0      THETA = 0.1749684
+KP   = 2.055786E-4  VMAX  = 8.309444E4  KAPPA = 0.2574081
+RSH  = 0.0559398  NFS   = 1E12    TPG   = 1
+XJ   = 3E-7      LD    = 3.162278E-11  WD    = 7.046724E-8
+CGDO = 2.82E-10  CGSO  = 2.82E-10  CGBO  = 1E-10
+CJ   = 1E-3      PB    = 0.9758533  MJ    = 0.3448504
+CJSW = 3.777852E-10  MJSW  = 0.3508721  )
```

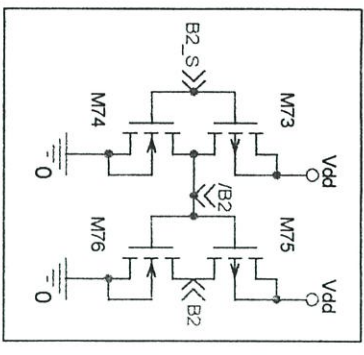
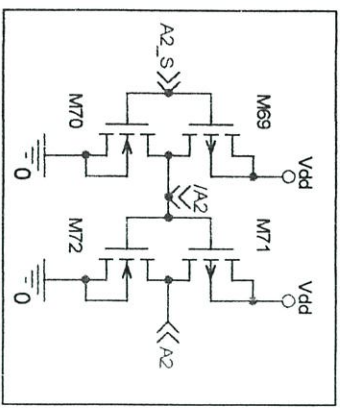
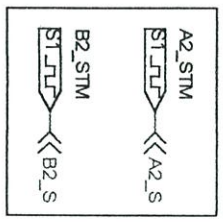
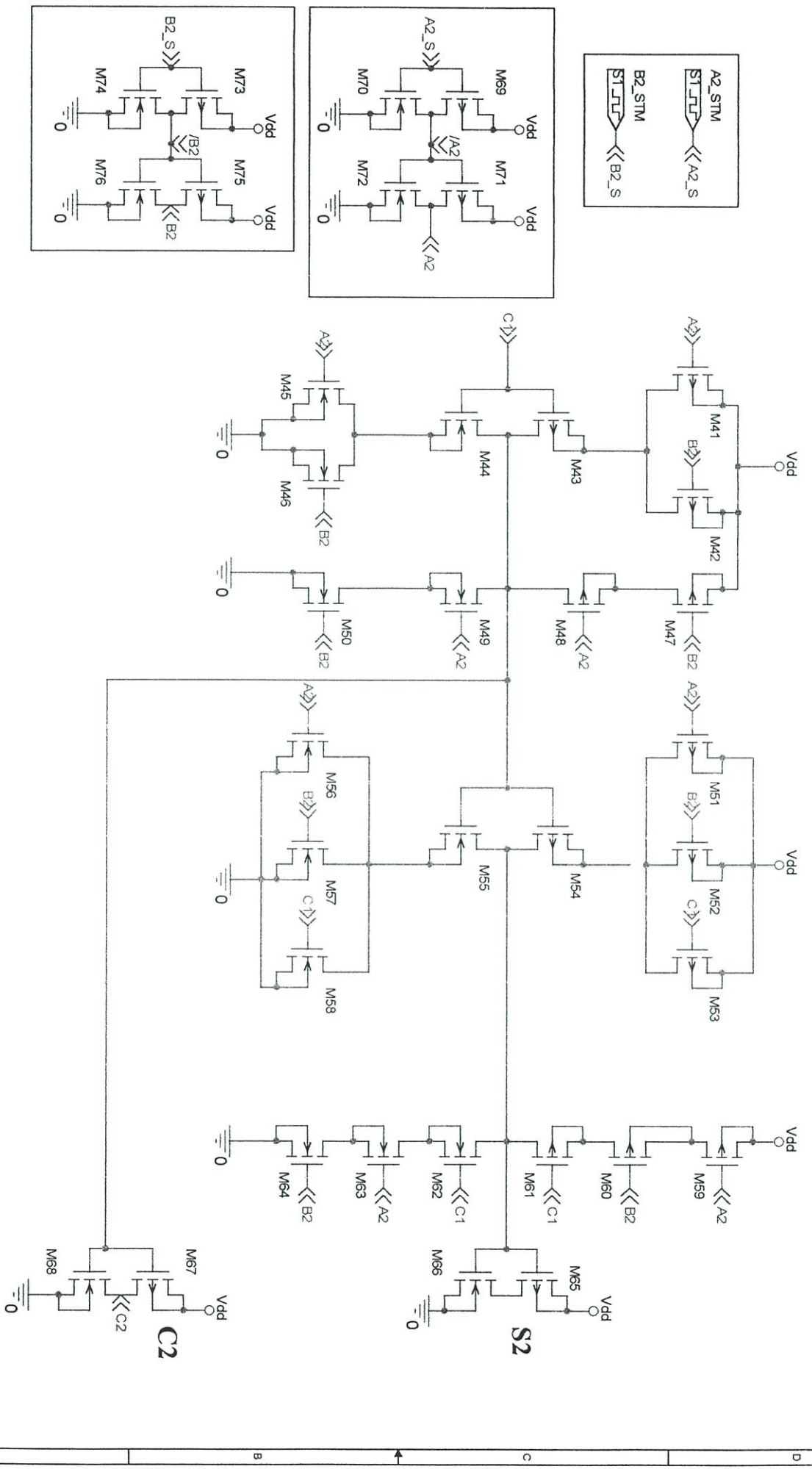
```
.MODEL CMOSP PMOS (                LEVEL = 3
+TOX  = 7.9E-9    NSUB  = 1E17    GAMMA = 0.4083894
+PHI  = 0.7      VTO   = -0.7140674  DELTA = 0
+UO   = 212.2319801  ETA   = 9.999762E-4  THETA = 0.2020774
+KP   = 6.733755E-5  VMAX  = 1.181551E5  KAPPA = 1.5
+RSH  = 30.0712458  NFS   = 1E12    TPG   = -1
+XJ   = 2E-7      LD    = 5.000001E-13  WD    = 1.249872E-7
+CGDO = 3.09E-10  CGSO  = 3.09E-10  CGBO  = 1E-10
+CJ   = 1.419508E-3  PB    = 0.8152753  MJ    = 0.5
+CJSW = 4.813504E-10  MJSW  = 0.5      )
```



Full Adder 28T; INPUT = (A1,B1,C0) OUTPUT = (S1,C1)



FA2_28T; INPUT = (A2,B2,C1) OUTPUT = (S2,C2)



5

4

3

2

1

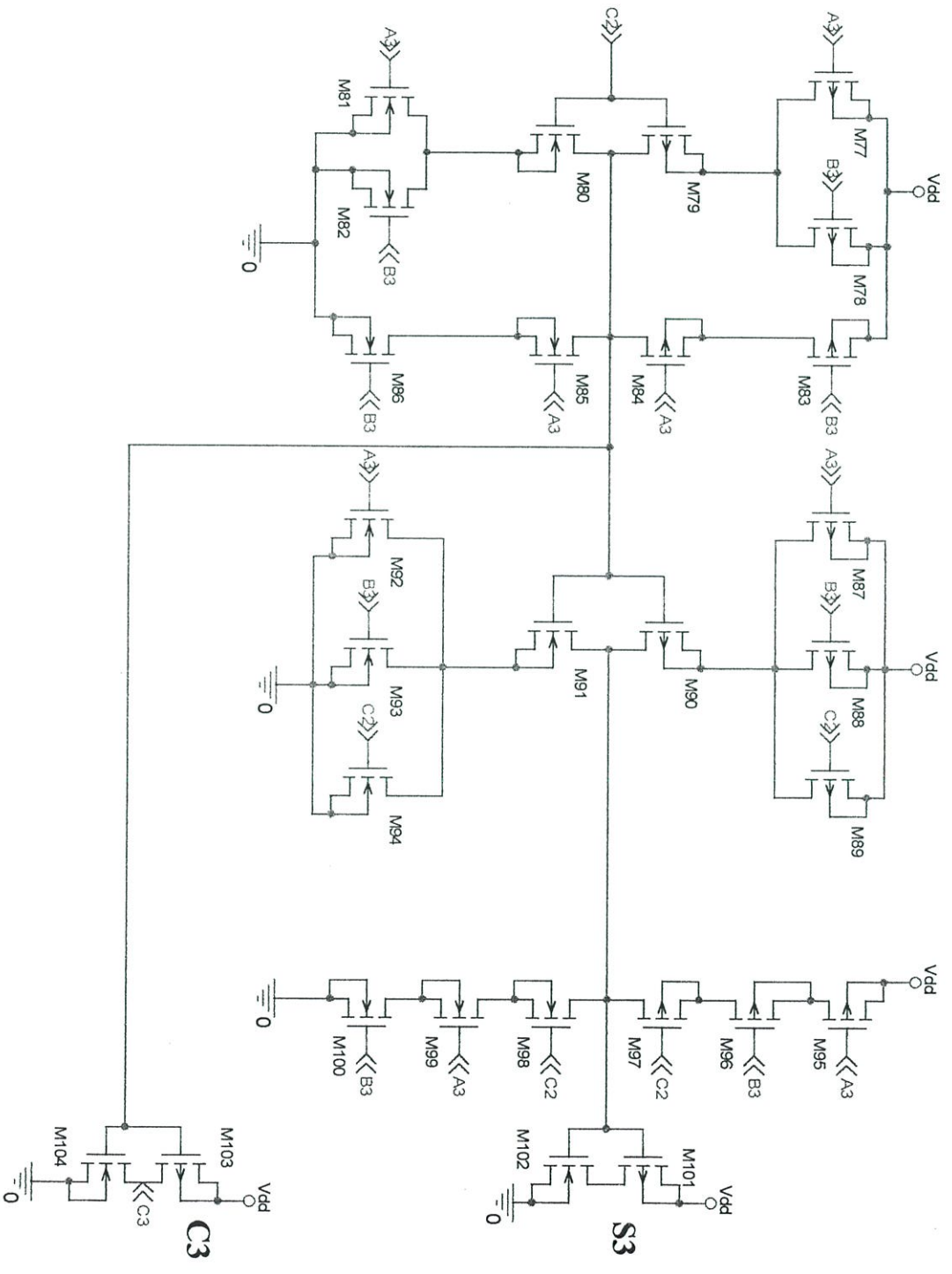
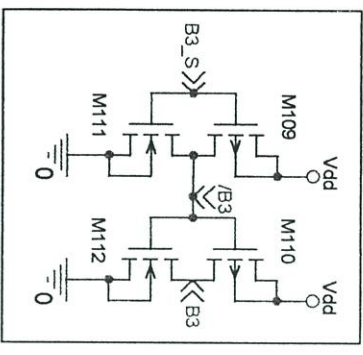
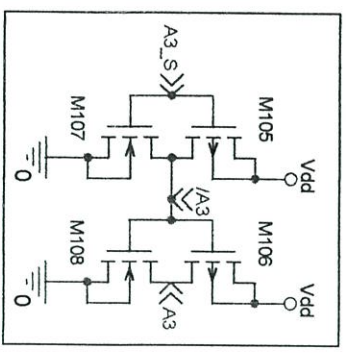
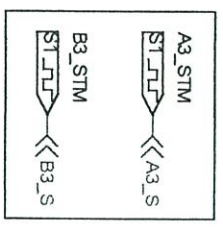
A

B

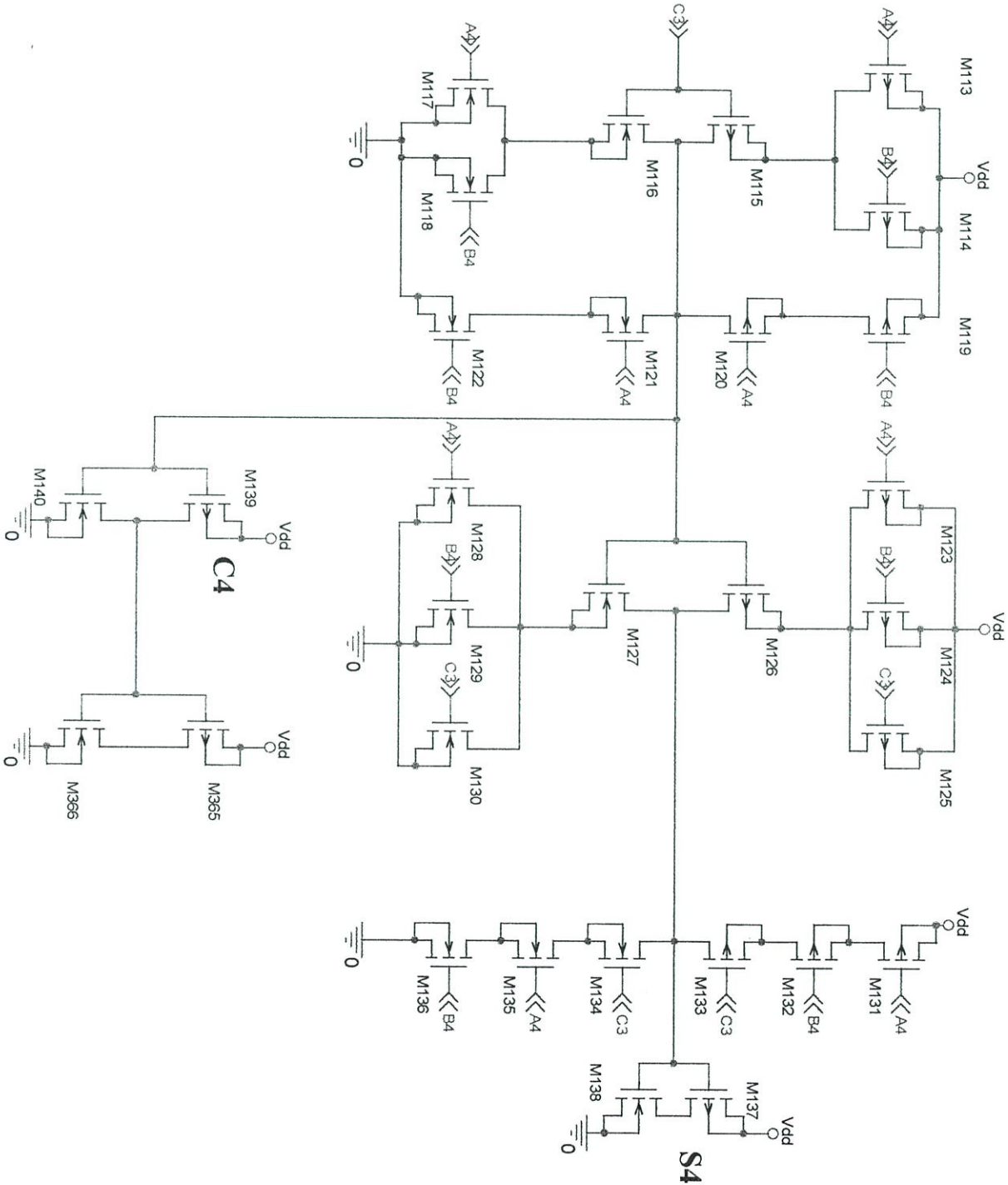
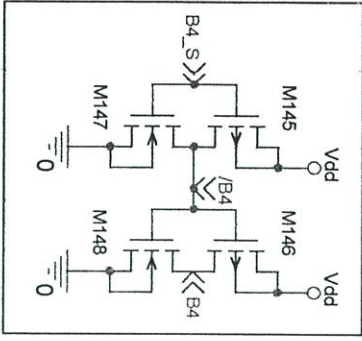
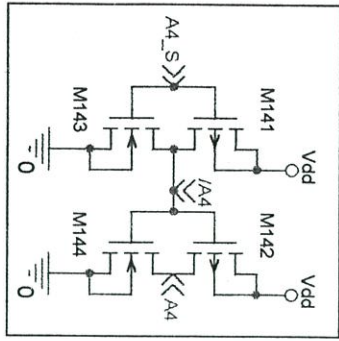
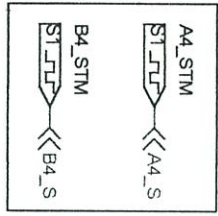
C

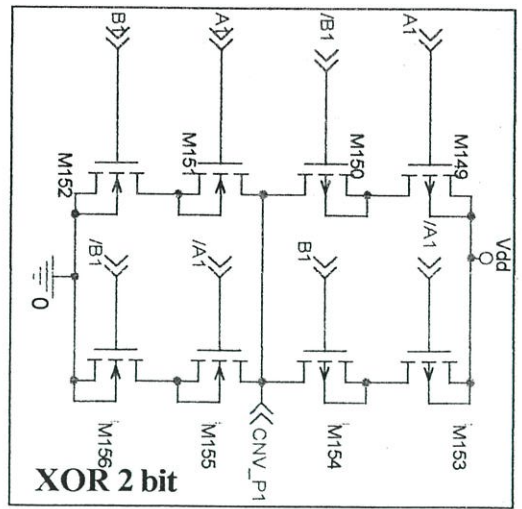
D

FA3_28T; INPUT=(A3,B3,C2) OUTPUT=(S3,C3)

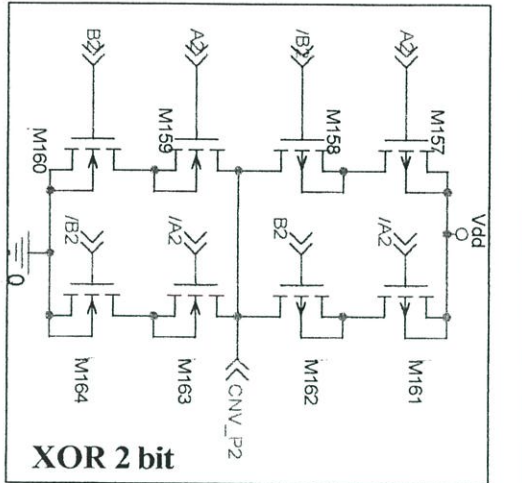


FA4_28T; INPUT=(A4,B4,C3) OUTPUT=(S4,C4)

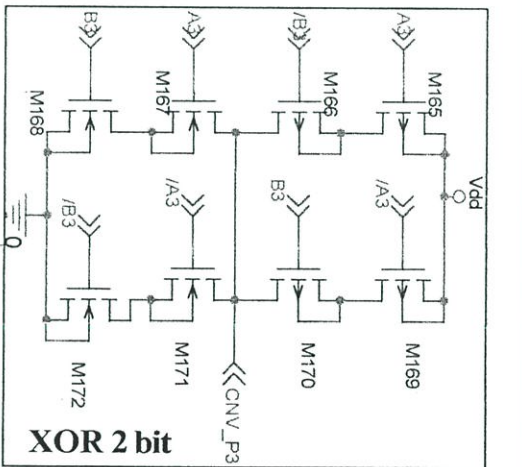




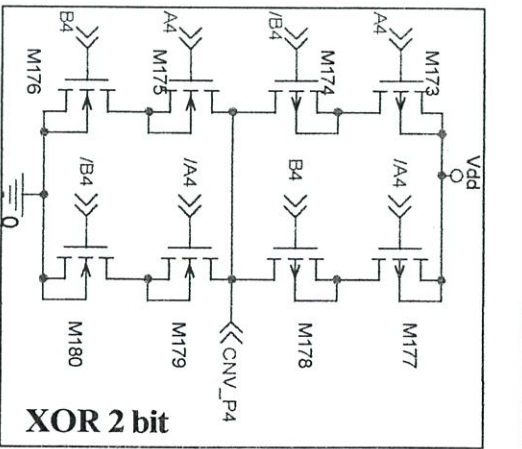
XOR 2 bit



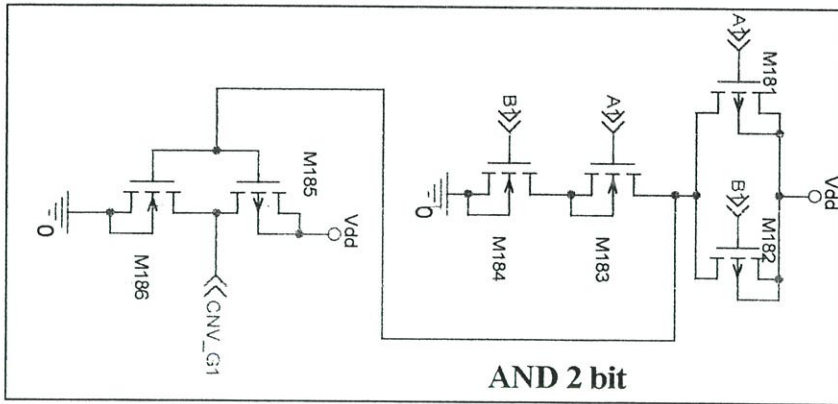
XOR 2 bit



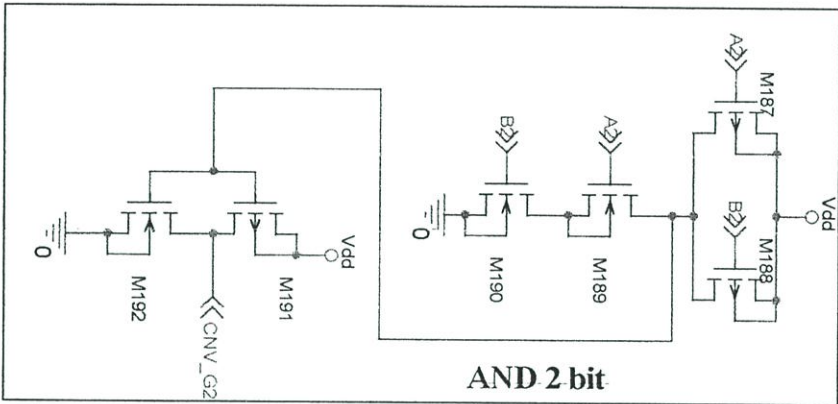
XOR 2 bit



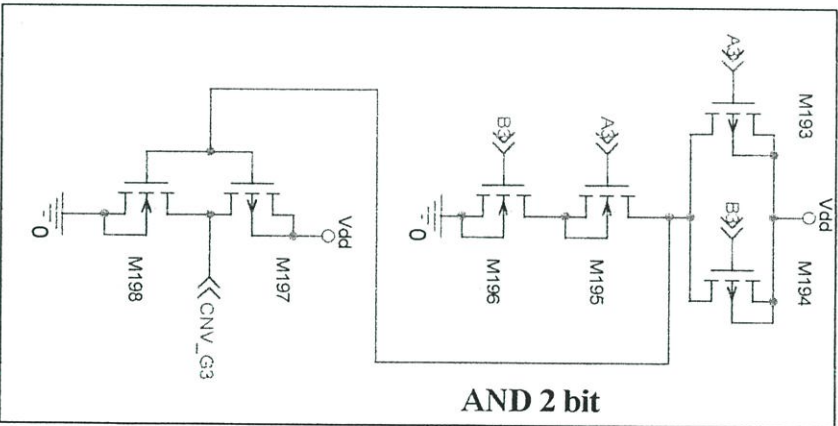
XOR 2 bit



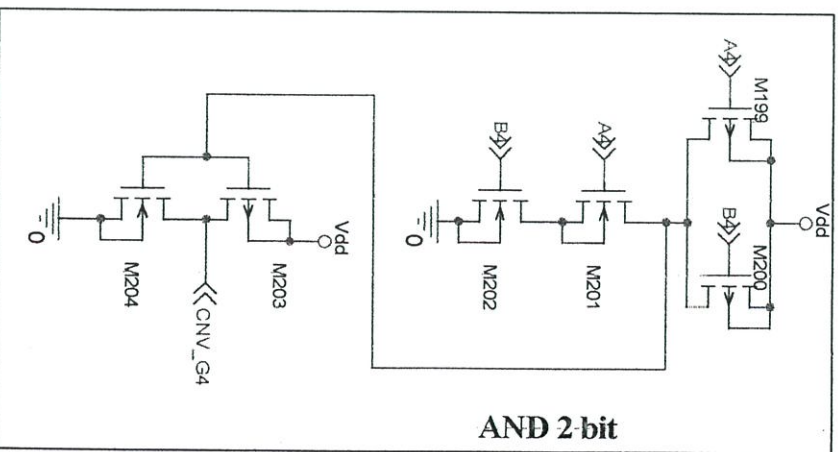
AND 2 bit



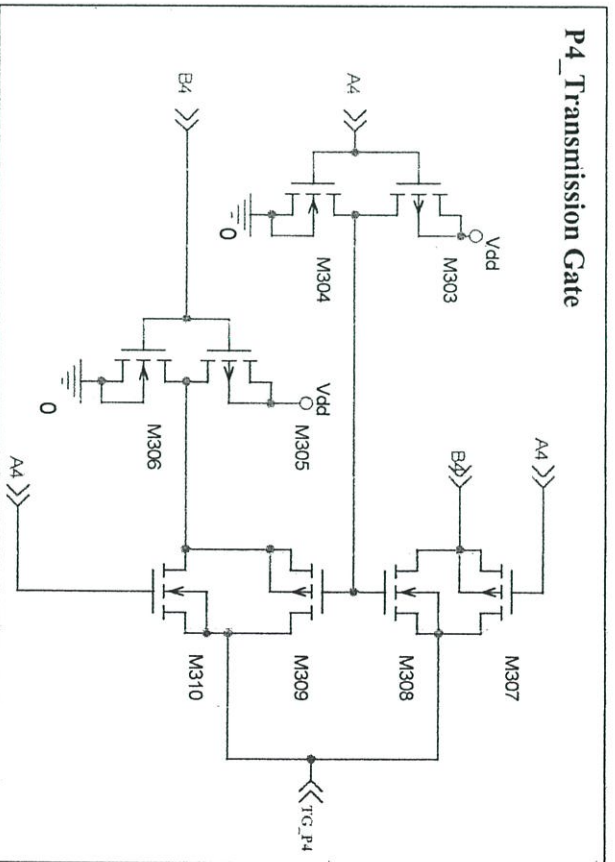
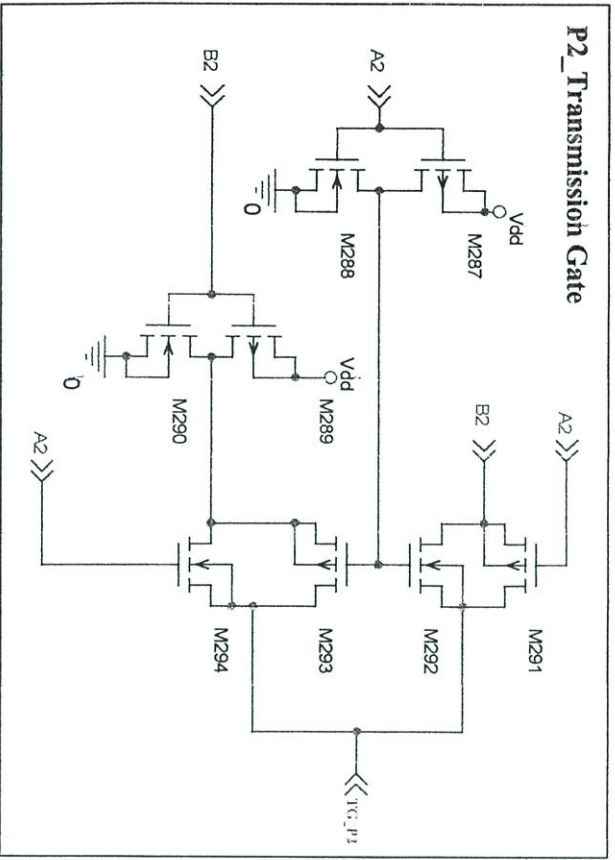
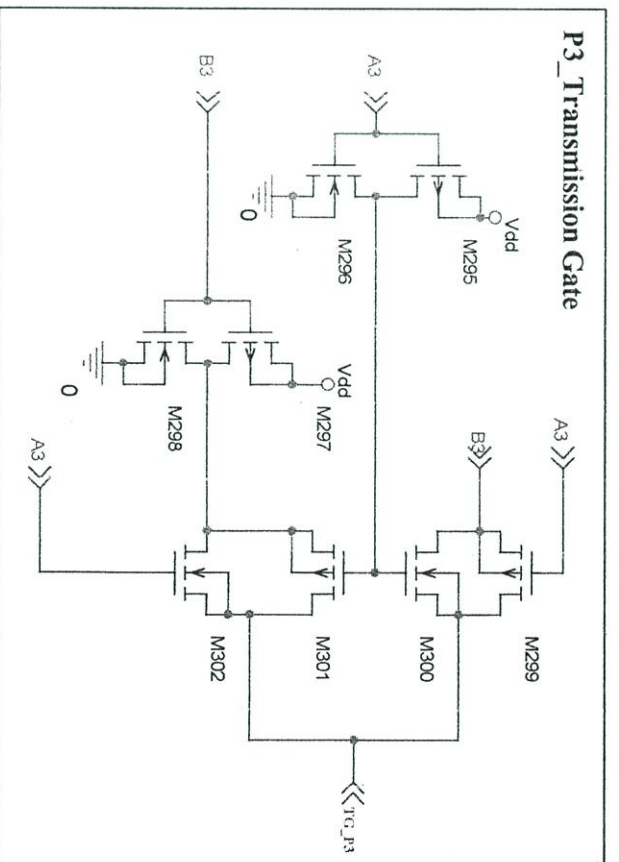
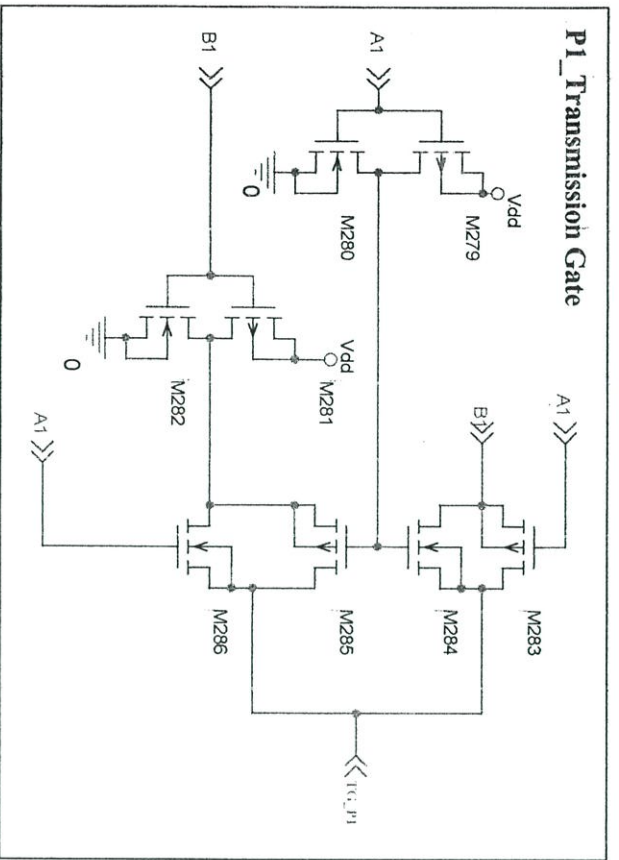
AND 2 bit



AND 2 bit



AND 2 bit



ประวัติผู้เขียน

นายธนสาร นาคนิยม เกิดเมื่อวันที่ 28 มกราคม 2519 จังหวัดกรุงเทพมหานคร
สำเร็จการศึกษาระดับปริญญาตรี สาขาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเกษตรศาสตร์ ปีการศึกษา 2540