

การออกแบบวงจรกรองสัญญาณมัลติฐานด้วยซีมอส

CMOS MEDIAN FILTER CIRCUIT DESIGN

อังคณา จารุวาระกุล
AUNGKANA JARUVARAKUL

วิทยานิพนธ์เสนอเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. ๒๕๔๕

ISBN 974-324-009-8

การออกแบบวงจรกรองสัญญาณด้วยซีมอส

CMOS MEDIAN FILTER CIRCUIT DESIGN

อังคณา จารูวาระกุล

AUNGKANA JARUVARAKUL

เลขหมู่.....
เลขทะเบียน..... 44054
วัน, เดือน, ปี 25 ๓.๐. 2545

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2545

ISBN 974-324-009-8

CMOS MEDIAN FILTER CIRCUIT DESIGN

AUNGKANA JARUVARAKUL

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LARDKRABANG
2002
ISBN 974-324-009-8**

COPYRIGHT 2002

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การออกแบบวงจรกรองสัญญาณมัลติชิมอส
นักศึกษา	อังคณา จารุวาระกุล
รหัสประจำตัว	42061137
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2545
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เศษหาญ

บทคัดย่อ

เนื้อหาของวิทยานิพนธ์เล่มนี้ นำเสนอวงจรกรองสัญญาณมัลติชิมอสใช้เทคโนโลยีของ CMOS ซึ่งเป็นวงจรที่มีความสำคัญทั้งงานด้านประมวลผลสัญญาณดิจิทัลและอนาล็อก สำหรับการในงานประมวลผลสัญญาณอนาล็อกสิ่งที่น่าสนใจที่มีความจำเป็นต่อการใช้งาน คือการประมวลผลสัญญาณอนาล็อกในลักษณะเวลาจริง เพราะวงจรมีความซับซ้อนน้อยกว่าทางด้านการประมวลผลดิจิทัล วงจรกรองสัญญาณมัลติชิมอส 3 อินพุตนี้ ได้ถูกออกแบบมาเพื่อประมวลผลสัญญาณอนาล็อกในลักษณะเวลาจริง โครงสร้างของวงจรประกอบด้วยส่วนหลักคือ วงจรขยายผลต่างและวงจรเลือกค่าสัญญาณมัลติชิมอส ใช้แหล่งจ่ายไฟ +5 โวลต์ผลการทดสอบกระทำโดยใช้โปรแกรมทดสอบการทำงาน PSpice เทคโนโลยีชิมอส 0.8 μm เพื่อยืนยันประสิทธิภาพของวงจร

Thesis Title	CMOS Median Filter Circuit Design
Student	Miss Aungkana Jaruvrukul
Student ID.	42061137
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2002
Thesis Advisor	Assoc.Prof.Dr. Kobchai Dejhan

ABSTRACT

The Median Filter has an importance roles in the signal pocessing areas. For the analog real-time signal processing is very interested. This thesis proposes a CMOS Median Filter circuit to improve speed and bandwidth on the analog processing system. The non-complicated structure circuit consist of 3-input median filter circuit based on CMOS 0.8 μm technology. Its structure consists of two main parts. First part is differential amplifier circuit, second part is median value selective circuit, and operated at +5 volts single supply. The results of this circuit are shown by using the PSpice simulation program to demonstrate the performances of this circuit. The frequency response approaches 100 MHz for signal and image processing.

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ รศ. ดร. กอบชัย เดชหาญ อาจารย์ที่ปรึกษาเป็นอย่างสูงที่ให้ความรู้ความช่วยเหลือให้คำปรึกษาชี้แนะแนวทางและให้โอกาสตลอดจนให้แนวทางปรับปรุงวิทยานิพนธ์ฉบับนี้จนทำให้วิทยานิพนธ์ฉบับนี้มีความสมบูรณ์สำเร็จลุล่วงได้ด้วยดี และบิดา มารดาที่ให้การสนับสนุนและให้กำลังใจตลอดการศึกษา และอาจารย์ทุกท่านที่ได้อบรมสั่งสอน ว่ากล่าวตักเตือนตั้งแต่อดีตถึงปัจจุบัน

นอกจากนี้ขอขอบคุณ คุณนิวัตร จารูวาระกุล เพื่อนๆ และ พี่ๆ ทุกคน ที่ให้กำลังใจตลอดมา

อังคณา จารูวาระกุล

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญภาพ.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของการศึกษา.....	1
1.3 สมมุติฐานของการศึกษา.....	2
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	3
1.6 ขั้นตอนการศึกษา.....	3
บทที่ 2 ทฤษฎีการทำงานของมอสเฟต.....	4
2.1 บทนำ.....	4
2.2 โครงสร้างมอสเฟต.....	4
2.3 สัญลักษณ์มอสเฟต.....	7
2.4 คุณสมบัติการทำงานของมอสเฟต.....	8
2.4.1 การจัดไบอัสการทำงานของมอสเฟต.....	14
2.4.2 ผลของการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส.....	17
2.4.3 ผลการเปลี่ยนที่เกิดจากอุณหภูมิ (Temperature Effect)	19
2.4.4 การเกิดเบรกดาวน์และการป้องกันทางอินพุต.....	19
2.5 แบบจำลองของมอสเฟตบนโปรแกรม PSPICE.....	20
2.5.1 แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดใหญ่.....	24
2.5.2 แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็ก (Small Signal Mode).....	26
2.5.3 แบบจำลองที่ใช้สำหรับสัญญาณขนาดเล็กที่ความถี่สูง.....	29
2.5.3.1 ค่าความจุไฟฟ้าที่แต่ละรอยต่อ.....	30

สารบัญ (ต่อ)

	หน้า
2.5.3.2 แบบจำลองสัญญาณขนาดเล็กของการทำงานย่านไทรโอค.....	31
2.5.3.3 แบบจำลองสัญญาณขนาดเล็กของการทำงานย่านคัตออฟ.....	34
2.6 บทสรุป.....	38
บทที่ 3 ทฤษฎีการทำงาน	
3.1 หลักการทำงานของวงจรกรองสัญญาณมัลติชาน.....	39
3.2 ภาควงจรขยายความต่างทางด้านอินพุต.....	41
3.3 ภาควงจรสะท้อนกระแสแบบ High-Swing.....	43
3.4 วงจรขยายความต่าง Two-Stage Differential Amplifier.....	47
3.5 วงจร Rank Selector.....	52
3.6 วงจรกรองสัญญาณมัลติชาน.....	54
3.7 บทสรุป.....	57
บทที่ 4 ผลการทดลอง	
4.1 ผลจำลองการทำงานของวงจรกรองสัญญาณมัลติชาน.....	59
4.1.1 ผลการจำลองการทำงานที่แหล่งจ่ายไฟ +5 โวลต์.....	61
4.1.2 ผลการจำลองการทำงานที่แหล่งจ่ายไฟ +3 โวลต์.....	64
4.2 บทสรุป.....	66
บทที่ 5 บทสรุปและข้อเสนอแนะ.....	67
5.1 บทสรุป.....	67
5.2 ข้อเสนอแนะ.....	67
เอกสารอ้างอิง.....	68
ภาคผนวก.....	69
ประวัติผู้เขียน.....	71

สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงสัญลักษณ์ของมอสเฟตแบบต่างๆ	8
2.2 แสดงพารามิเตอร์ของแบบจำลองมอสเฟตที่ใช้ใน โปรแกรม PSPICE.....	21
4.1 แสดงค่าความกว้างและค่าความยาวของแชลแนล.....	60

สารบัญภาพ

ภาพที่	หน้า
2.1 แสดงโครงสร้างของมอสเฟตแบบดีเฟลทชั้นชนิด N-Channel	6
2.2 แสดงโครงสร้างของมอสเฟตแบบดีเฟลทชั้นชนิด P-Channel.....	6
2.3 แสดงโครงสร้างของมอสเฟตแบบเอนฮานเมนที่ชนิด N-Channel.....	7
2.4 แสดงโครงสร้างของมอสเฟตแบบเอนฮานเมนที่ชนิด P-Channel.....	7
2.5 แสดงภาพตัดขวางในขณะที่ไม่มีการป้อนแรงดันเข้าที่มอสเฟต.....	10
2.6 แสดงการเกิดชั้นกลับ (Inversion Layer) ขึ้นเมื่อมีการป้อนแรงดันเข้าที่ขาเกต.....	10
2.7 แสดงผลการเกิดช่องทางเดินกระแสที่เพิ่มขึ้นที่มีขนาดเพิ่มขึ้นตามแรงดันเกรนเทียบซอส ที่ป้อนเข้าไปในมอสเฟตโดยที่ $V_{GS} > 0$ แต่ $V_{GS} < V_{GS} - V_{TO}$	11
2.8 แสดงกราฟความสัมพันธ์ของกระแสเกรนกับแรงดันเกรนเทียบซอส โดยที่เมื่อพิจารณาผล ของแรงดันเกตเทียบซอสและแสดงย่านการทำงานต่างๆ ของมอสเฟต.....	12
2.9 ภาพตัดขวางของมอสเฟตในขณะที่มีเกิดการเกิด Pinched-Off ขึ้นที่ Channel	12
2.10 แสดงภาพตัดขวางของ PMOS และ NMOS รวมอยู่ในชั้นสารที่มีฐานรองเดียวกันเป็น CMOS.....	13
2.11 แสดงโครงสร้างของ CMOS.....	13
2.12 กราฟความสัมพันธ์ของคุณสมบัติถ่ายโอนของมอสเฟต.....	17
2.13 ผลความสัมพันธ์ของกระแสและแรงดันของกระแส ID และแรงดัน VDS เมื่อมีการเกิด มอดูเลชัน.....	18
2.14 การกำหนดการจัดวางขั้วแรงดันและทิศทางกระแสที่ NMOS และ PMOS ตามลำดับ.....	24
2.15 วงจรสมมูลของมอสเฟตสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำและความถี่กลาง.....	27
2.16 วงจรสมมูลที่ใช้สำหรับสัญญาณขนาดเล็กที่มีความถี่สูง.....	30
2.17 ภาพตัดขวางการเกิดความจุไฟฟ้าต่างๆของ NMOS ในขณะอยู่ในย่านอิมิตัว.....	30
2.18 วงจรที่ใช้อธิบายการทำงานที่สัญญาณขนาดเล็กในย่านไทร โอดของมอสเฟตที่ ความถี่สูง.....	32
2.19 วงจรสมมูลอย่างง่ายของสัญญาณขนาดเล็กที่มอสเฟตทำงานย่านไทร โอดที่ความถี่สูง.....	32
2.20 ภาพตัดขวางของการเกิดความจุไฟฟ้าที่รอยต่อต่างๆ ของมอสเฟตที่อยู่ในย่านไทร โอด.....	34
2.21 แสดงวงจรสมมูลอย่างง่ายของสัญญาณขนาดเล็กในมอสเฟตในย่านคัตออฟที่ความถี่สูง..	35
2.22 ภาพตัดขวางแสดงผลของการเกิดความจุไฟฟ้าที่รอยต่อต่างๆ.....	36
2.23 แสดงการหาอัตราขยายกระแสขณะปีดวงจร.....	37

สารบัญภาพ(ต่อ)

ภาพที่	หน้า
3.1	บล็อกไดอะแกรมของวงจรกรองสัญญาณมัชฌมาน..... 41
3.2	วงจรขยายความแตกต่างอย่างง่าย pMOS.....42
3.3	วงจรสะท้อนกระแสแบบสองทรานซิสเตอร์.....43
3.4	วงจร High-Swing Current Mirror..... 44
3.5	วงจรขยายความต่างแบบ Two-Stage 48
3.6	วงจรเสมือนสัญญาณขนาดเล็กของวงจรขยายความต่าง Two-Stage.....48
3.7	ทิศทางการเคลื่อนที่ของโพลเมื่อ CC มีค่าเพิ่มจากศูนย์.....51
3.8	แสดงส่วน RC CC Compensation..... 52
3.9	วงจร CASCODE หนึ่งคู่ของภาค Rank Selector..... 52
3.10	วงจรเลือก Rank Selector Circuit..... 53
3.11	บล็อกไดอะแกรมหาค่ามัชฌมานเปรียบเทียบการเลือกค่าของวงจร Rank Selector.....54
3.12	วงจรภาคขยายความต่างและส่วนป้อนกลับ 55
3.13	วงจรกรองสัญญาณมัชฌมาน..... 56
3.14	โครงสร้างเพื่อหาค่า PSRR และ โมเดล.....57
4.1	กราฟแสดงสัญญาณอินพุตที่ $V_1=1.5\text{ V}$, $V_2=3\text{Vp-p}(5\text{MHz})$, $V_3=3.5\text{ V}$61
4.2	กราฟแสดงสัญญาณมัชฌมาน V_{OUT} ที่ได้จากอินพุต $V_1=1.5\text{ V}$, $V_2=3\text{Vp-p}(5\text{MHz})$, $V_3=3.5\text{V}$ 62
4.3	กราฟแสดงผลการตอบสนองความถี่ของวงจรหาค่าสัญญาณมัชฌมาน..... 62
4.4	แสดงกรุปดีเลย์ของวงจรกรองสัญญาณมัชฌมาน..... 63
4.5	แสดงการเปลี่ยนเฟสของวงจรกรองสัญญาณมัชฌมาน.....63
4.6	กราฟแสดงสัญญาณอินพุตที่ $V_1=1.0\text{ V}$, $V_2=3\text{Vp-p}(5\text{MHz})$, $V_3=3.0\text{ V}$64
4.7	กราฟแสดงสัญญาณมัชฌมาน V_{OUT} ที่ได้จากอินพุต $V_1=1.0\text{ V}$, $V_2=3\text{Vp-p}(5\text{MHz})$, $V_3=3.0\text{V}$64
4.8	กราฟแสดงผลการตอบสนองความถี่ของวงจรหาค่าสัญญาณมัชฌมาน.....65
4.9	แสดงกรุปดีเลย์ของวงจรกรองสัญญาณมัชฌมาน.....65
4.10	แสดงการเปลี่ยนเฟสของวงจรกรองสัญญาณมัชฌมาน.....66

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์และโทรคมนาคมได้พัฒนาการไปอย่างรวดเร็ว จึงทำให้เทคโนโลยีการออกแบบวงจรอิเล็กทรอนิกส์ ที่ใช้ในการประมวลผลสัญญาณภาพและเสียง ถูกพัฒนาตามไปด้วย ดังนั้นวงจรกรองสัญญาณมัธยฐานที่ถูกนำมาประยุกต์ใช้ในงานด้านการประมวลผลสัญญาณภาพและเสียงจึงมีความสำคัญอย่างยิ่ง วงจรที่กล่าวถึงเป็นวงจรกรองสัญญาณมัธยฐานที่สร้างขึ้นด้วยวงจรถานลิเนียร์ของไบโพลาร์ทรานซิสเตอร์

ซึ่งวงจรกรองสัญญาณมัธยฐานดังกล่าวมีขนาดใหญ่วงจรมีการต่อที่ซับซ้อนยุ่งยากในระยะหลังการออกแบบวงจรรวมโดยใช้เทคโนโลยีซีมอส ได้ถูกนำมาใช้ในการออกแบบวงจรรวมมากขึ้น เนื่องจากมอสเฟททรานซิสเตอร์ (Metal-Oxide Semiconductor Field Effect Transistor) หรือ MOSFET เป็นอุปกรณ์อิเล็กทรอนิกส์ที่มีโครงสร้างและขบวนการสร้างที่ง่ายไม่ซับซ้อนใช้พื้นที่น้อยทำให้สามารถสร้างให้มีจำนวนทรานซิสเตอร์ได้มากทำให้มีความหนาแน่นของดีไวซ์ Device ต่อพื้นที่มาก และคุณสมบัติของมอสเฟทจะดีกว่าไบโพลาร์ทรานซิสเตอร์ในหลายประการเช่น มีความต้านทานอินพุตสูง (High Input Impedance) มีอัตราสูญเสียกำลังงานต่ำมาก (Low Power Dissipate) เป็นต้น ทำให้มีความสนใจในการพัฒนาการออกแบบวงจรโดยใช้อุปกรณ์ประเภทมอสเฟททรานซิสเตอร์ซึ่งเป็นจุดเริ่มต้นของวิทยานิพนธ์ฉบับนี้

วิทยานิพนธ์ฉบับนี้จึงได้เริ่มค้นคว้า วิจัยและพัฒนาวงจรที่ทำงานในลักษณะไม่เป็นเชิงเส้น โดยจะศึกษาวงจรกรองสัญญาณมัธยฐาน โดยใช้ซีมอสที่สามารถตอบสนองความถี่สูง ซึ่งวงจรดังกล่าวมีการประยุกต์ใช้กันอย่างมากในด้านการสื่อสาร โทรคมนาคม

1.2 วัตถุประสงค์ของการศึกษา

จุดมุ่งหมายของงานวิจัยที่นำเสนอเพื่อศึกษาและพัฒนา การออกแบบวงจรกรองสัญญาณมัธยฐาน แบบนอนลิเนียร์ความเร็วสูง โดยใช้เทคโนโลยีซีมอส สามารถตอบสนองสัญญาณอินพุตได้มากกว่า 1 MHz และมีการตอบสนองแถบความถี่ใช้งานถึง 100 MHz วงจรมีความผิดเพี้ยนของสัญญาณต่ำ มีความเหมาะสมที่จะนำไปประยุกต์ใช้งานด้านต่างๆ อุปกรณ์จำนวนน้อยทำให้วงจรมีขนาดเล็กใช้พื้นที่น้อย สามารถนำไปสร้างวงจรได้จริง

1.3 สมมติฐานของการศึกษา

ในการออกแบบวงจรกรองสัญญาณมัธยฐานที่ผ่านมามีปัญหา คือวงจรมีลักษณะการต่อที่ซับซ้อนใช้การต่อแบบไบโพล่าทรานซิสเตอร์และออปแอมป์ มีการตอบสนองทางความถี่ที่ใช้งานต่ำ โดยอาศัยเทคนิคการออกแบบวงจรที่ใช้อุปกรณ์ซิมอสทำให้สามารถลดจำนวนอุปกรณ์และผลที่ตามมาคือจะทำให้มีความสามารถทำงานได้ที่ความถี่สูงขึ้น จากเทคนิคการออกแบบวงจรทำให้มีช่องตอบสนองสัญญาณอินพุตได้กว้างขึ้น

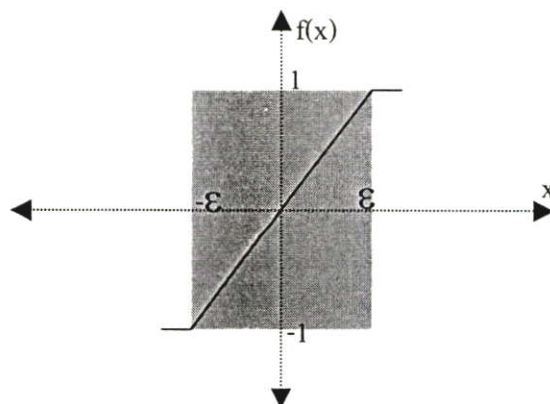
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

วงจรกรองสัญญาณมัธยฐานเป็นหัวใจในการกรองสัญญาณ เพื่อนำเอาค่ากลางหรือค่ามัธยฐานมาใช้งานในการประมวลผลสัญญาณ โดยจะต้องจำแนกค่าสูงสุด ค่ากลางและค่าต่ำสุด ได้อย่างแม่นยำ [3] ฉะนั้นอินพุตของสัญญาณจะต้องมีอย่างน้อยสามสัญญาณเพื่อให้เกิดค่ามัธยฐานในการกรองสัญญาณและขยายผลในการประยุกต์ใช้งานด้านต่าง ๆ ถ้าสามารถสร้างวงจรกรองสัญญาณมัธยฐานโดยใช้ซิมอสนี้ได้ตามความมุ่งหมาย

แนวคิดที่ใช้ในการวิจัยจาก [3] สมมติให้ $f(x)$ มีค่าเท่ากับสมการ (1) ช่วงการเปลี่ยนแปลงฟังก์ชัน $f(x)$ อยู่ระหว่าง 1 ถึง -1 ซึ่งเป็นค่าขอบเขตระหว่างค่าสูงสุดและต่ำสุด

$$f(x) = \begin{cases} 1, & \text{สำหรับ } x > \mathcal{E} \\ x, & \text{สำหรับ } |x| \leq \mathcal{E} \\ -1, & \text{สำหรับ } x < -\mathcal{E} \end{cases} \quad (1.1)$$

ค่าที่อยู่ระหว่าง \mathcal{E} ถึง $-\mathcal{E}$ จะอยู่ในช่วงค่ากลางแสดงได้ดังรูปที่ 1



รูปที่ 1.1 กราฟแสดงค่าของฟังก์ชัน $f(x)$

ในการแยกแยะความแตกต่าง ใช้วงจรขยายความแตกต่างของสัญญาณ [5-6] $f(x)$ ทั้งสาม อินพุตผ่านวงจรเปรียบเทียบความแตกต่าง

1.5 ขอบเขตการวิจัย

ในการวิจัยนี้ เป็นการศึกษาและออกแบบวงจรกรองสัญญาณมัชฐานนอนลิเนียร์ความเร็วสูง โดยใช้เทคโนโลยีซีมอส $0.8 \mu\text{m}$ ใช้ Single Supply ขนาดไม่เกิน 5 Volts ศึกษาและจำลองผล เพื่อตรวจสอบการออกแบบด้วยโปรแกรม PSpice เพื่อยืนยันประสิทธิภาพของวงจร

1.6 ขั้นตอนของการศึกษา

ศึกษาการทำงานจาก [1-6] ซึ่งเป็นวิธีการหาค่ามัชฐานด้วยการเปรียบเทียบความแตกต่างของสัญญาณอินพุตสามสัญญาณ เปรียบเทียบความสัมพันธ์ในของขนาดความสูงของสัญญาณที่ป้อน เพื่อคัดเลือกค่ามัชฐาน การตอบสนองต่อความถี่ของวงจรโดยรวม และใช้แนวคิดวงจรจาก [5-6] ดัดแปลงให้เหมาะสมกับเอาต์พุตที่ต้องการตามทฤษฎี

บทที่ 2

ทฤษฎีการทำงานของมอสเฟต

2.1 บทนำ

มอสเฟต (MOSFET) เป็นอุปกรณ์ในด้านสารกึ่งตัวนำมาจากคำเต็มว่า (Metal Oxide Semiconductor Field-Effect Transistor) หรือมีอีกชื่อเป็นอินซูลเกตเฟต (Insulated Gate Field-Effect Transistor) โครงสร้างของเฟตเองที่ขั้วเกตจะมีกระแสไหลน้อยมากเพราะว่าเป็นฉนวน ซึ่งมอสเฟตเป็นอุปกรณ์สารกึ่งตัวนำที่การทำงานจะเป็นผลมาจากพาหะข้างมาก (Majority Carrier) ชนิดใดชนิดหนึ่ง ดังนั้นจึงเป็นอุปกรณ์ชนิดยูนิโพลาร์ที่ความสัมพันธ์ของกระแสเอาต์พุตในมอสเฟต ถูกควบคุมด้วยสนามไฟฟ้า (Electrical Field) ซึ่งในปัจจุบัน MOSFET สร้างจากขบวนการ “SILICON-GATE TECHNOLOGY” โดยที่ใช้ “POLYSILICON” แทนโลหะที่เกต ซึ่งได้เข้ามาแทนไบโพลาร์ทรานซิสเตอร์ เนื่องจากมอสเฟตมีความต้านทานอินพุตสูง การสูญเสียกำลังต่ำ มีโครงสร้างง่ายสามารถสร้างได้มีขนาดเล็กทำให้ใช้พื้นที่ของซิลิคอนบนไอซีน้อย กระบวนการผลิตไม่ซับซ้อน เมื่อเทียบกับทรานซิสเตอร์ชนิดไบโพลาร์ เป็นต้นจึงเป็นสาเหตุที่ทำให้ใช้เทคโนโลยีซีมอสในวงจรรวม VLSI (Very-Large-Scale-Integrated) ซึ่งเป็นการผลิตวงจรที่นิยมใช้กันมากในด้านการประมวลผลสัญญาณ (Signal Processing) แบบวงจรร่วมชิปเดี่ยว (Single Chip Circuit) การทำงานจะมีประสิทธิภาพมาก ในวงจรรอนาลอก (Analog Circuit) ก็เป็นบทบาทสำคัญของการผลิตไอซีโดยการออกแบบที่เป็น VLSI

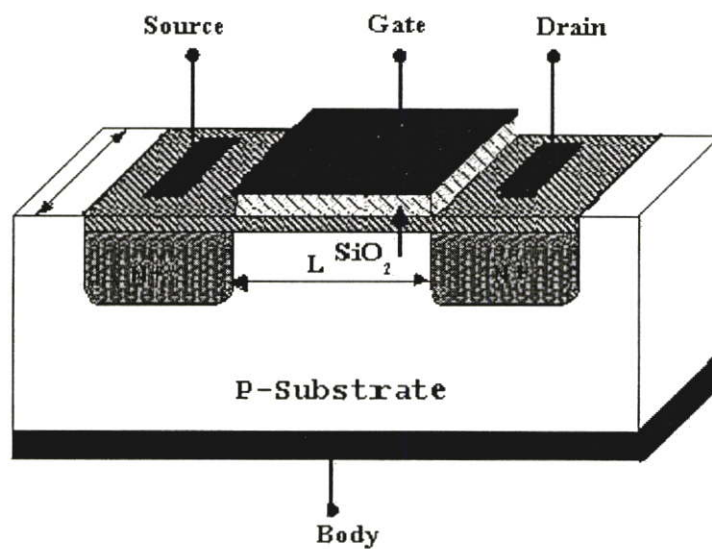
มอสเฟตแบ่งได้เป็น 2 ชนิดคือ พีแชนแนล (P-channel) หรือเรียกว่า PMOS ซึ่งนิยมประยุกต์ใช้กับงานดิจิทัลมากกว่าเอ็นแชนแนล (N-channel) หรือเรียกว่า NMOS อีกเทคโนโลยีหนึ่งก็คือเมื่อนำทั้งสองชนิดนี้ มาผลิตบนชิปไอซีเดียวกัน ในลักษณะที่เป็นคอมพลิเมนต์ซิมเมตรีมอส (Complementary-Symmetry MOS) (COSMOS หรือ CMOS) ซึ่งในปัจจุบันนี้นิยมใช้ CMOS ในการสร้างวงจรตรรกะ ยิ่งกว่านั้นก็คือ CMOS สามารถรวมวงจรดิจิทัลและวงจรรอนาลอกไว้ด้วยกันได้

2.2 โครงสร้างของมอสเฟต

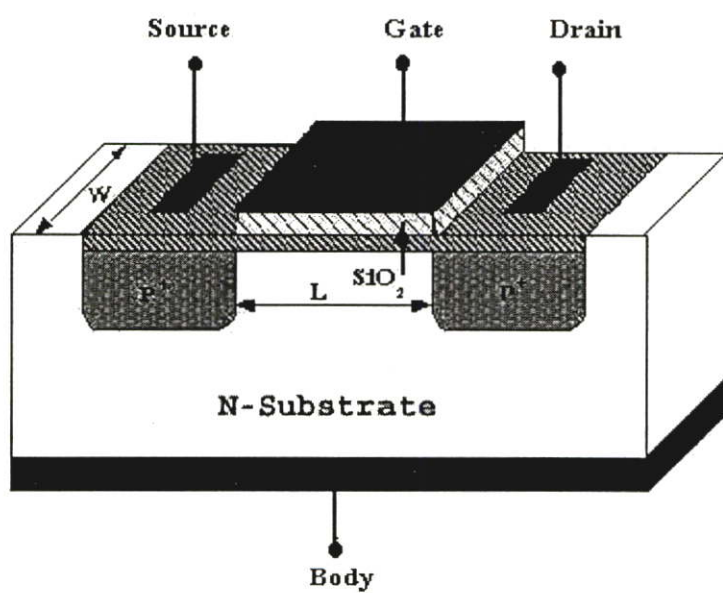
จากที่กล่าวมาแล้วว่ามอสเฟต เป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่งในตระกูลของสิ่งประดิษฐ์สารกึ่งตัวนำประเภทที่ควบคุมด้วยสนามไฟฟ้า (Field Effect Devices) มีลักษณะคือ มีความต้องการกำลังไฟฟ้าต่ำและให้ประสิทธิภาพในการทำงานสูง เมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่นๆ ที่มีลักษณะการใช้งานแบบเดียวกันจึงทำให้ มอสเฟตเป็นที่นิยมใช้ในการออกแบบวงจรทั่ว

ไปโดยเฉพาะในวงจรที่ต้องการใช้กำลังงานต่ำๆ หรือในประเภทของวงจรรวม (Integrated Circuit) ที่มีจำนวนตัวอุปกรณ์ (Component) มาก และโครงสร้างการทำงานของมอสเฟตสามารถแบ่งได้เป็น 2 ประเภทคือ มอสเฟตแบบดีเพลทชัน (Depletion Mode MOSFET) และมอสเฟตแบบเอนฮานซ์เมนต์ (Enhancement Mode MOSFET) ในแต่ละโครงสร้างยังสามารถแบ่งย่อย ออกไปได้อีก 2 ชนิดคือ N-Channel หรือที่เรียกว่า NMOS โดยมีลักษณะการทำงานคือ จะใช้ประจุพาหะอิเล็กตรอนเป็นตัวนำกระแส และ P-Channel หรือที่เรียกว่า PMOS โดยที่ลักษณะการทำงานคือจะใช้ประจุพาหะโฮลเป็นพาหะ ในการนำกระแสโครงสร้างของมอสเฟตแบบดีเพลทชันชนิด N-Channel และชนิด P-Channel แสดงในรูปที่ 2.1 และ 2.2 ตามลำดับ สำหรับโครงสร้างมอสเฟตแบบเอนฮานซ์เมนต์ชนิด N-Channel และ P-Channel จะแสดงไว้ในรูปที่ 2.3 และ 2.4 ตามลำดับ

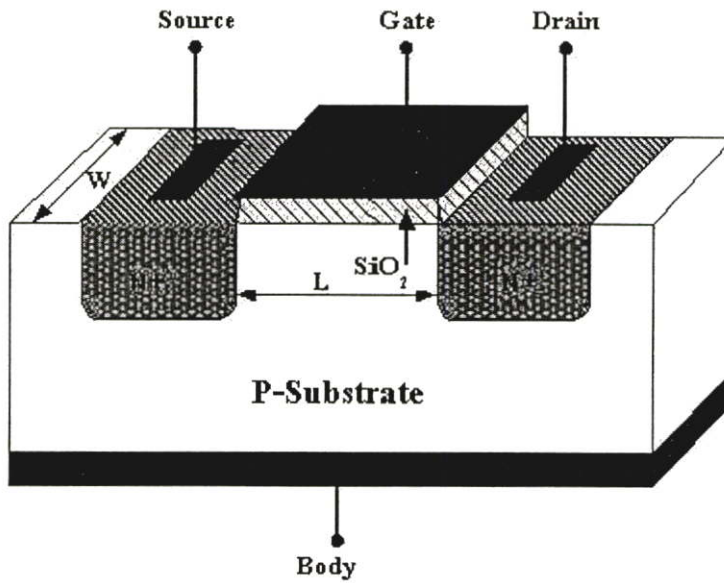
จากรูปที่ 2.1 แสดงถึงโครงสร้างของมอสเฟตแบบดีเพลทชันชนิด N-Channel ซึ่งประกอบด้วยแผ่นผลึกฐานรองชนิด P ความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ซึ่งเป็น (Single-Crystal Silicon Wafer) ซึ่งจะเรียกว่า บอดี้ (Body) มีการต่ออิเล็กโทรดเข้าตรงบริเวณที่กำหนดเป็นเดรน (Drain;D) และซอส (Source;S) เป็นบริเวณที่มีการเจือสารกึ่งตัวนำชนิด N ที่มีความหนาแน่นมาก (Heavily Doped N-Type Region) โดยที่จะทำการเชื่อมต่อบริเวณเดรนและซอสด้วยสารกึ่งตัวนำชนิด N ความหนาแน่นน้อย (Lightly Doped N-Type Region) เป็นบริเวณหนึ่งซึ่งจะเรียกว่าเป็นช่องทางเดินกระแส (Channel) โดยที่เหนือบริเวณ Channel นั้นจะมีการทำฉนวนบางๆซึ่งทำจากซิลิกอนไดออกไซด์ (SiO_2) วางอยู่จากนั้นก็ทำการต่ออิเล็กโทรดเข้าที่ขั้วเกต (Gate;G) ซึ่งจะเป็นโลหะบนซิลิกอนไดออกไซด์ส่วนโครงสร้างของมอสเฟตแบบดีเพลทชันชนิด P-Channel นั้นจะมีลักษณะคล้ายกันแต่เปลี่ยนใช้ฐานของ (Substrate) เป็นชนิด N ทำให้บอดี้เป็นสารชนิด N ความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ส่วนของเดรนและซอสเป็นสารชนิด P ที่มีความหนาแน่นมาก ส่วน Channel เป็นสารชนิด P ที่มีความหนาแน่นน้อยดังแสดงไว้ในรูปที่ 2.2 ส่วนของรูปที่ 2.3 เป็นโครงสร้างของมอสเฟตแบบเอนฮานซ์เมนต์ชนิด N-Channel ประกอบด้วยแผ่นฐานรองเป็นชนิด P ความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ที่มีอิเล็กโทรดบริเวณเดรน (D) และซอส (S) ต่อกับบริเวณที่ทำการเติมสารเจือชนิด N ความหนาแน่นสูงเข้าไปในฐานรอง แต่บริเวณที่สารกึ่งตัวนำถูกเจือสารนี้จะไม่เชื่อมต่อกันเกิดเป็นช่องทางเดินกระแส เหมือนในกรณีของดีเพลทชันแต่จะทำการเคลือบซิลิกอนไดออกไซด์ (SiO_2) เป็นฉนวนลงบนฐานรองแล้วทำการต่ออิเล็กโทรดที่เป็นโลหะเข้าที่เกต (G) โดยส่วนที่อยู่ระหว่าง D และ S จะเรียกว่าช่องทางเดินกระแสซึ่งจะถูกสร้างขึ้นมาจากการไบอัสโดยมีระยะห่างระหว่างช่องทางเดินกระแส เป็นความยาว Channel (Channel Length) เป็น L และมีความกว้างของ Channel (Channel Width) ให้เป็น W ส่วนของมอสเฟตแบบเอนฮานซ์เมนต์ ชนิด P-Channel นั้นจะมีลักษณะคล้ายกับชนิด N-Channel แต่สลับกันคือ ประกอบด้วยฐานรองชนิด N ความหนาแน่นน้อยเป็นส่วนของบอดี้ ที่ประกอบด้วยสารกึ่งตัวนำชนิด P ความหนาแน่นมาก 2 ส่วนแพร่อยู่บนบอดี้แทน ดังแสดงในรูปที่ 2.4



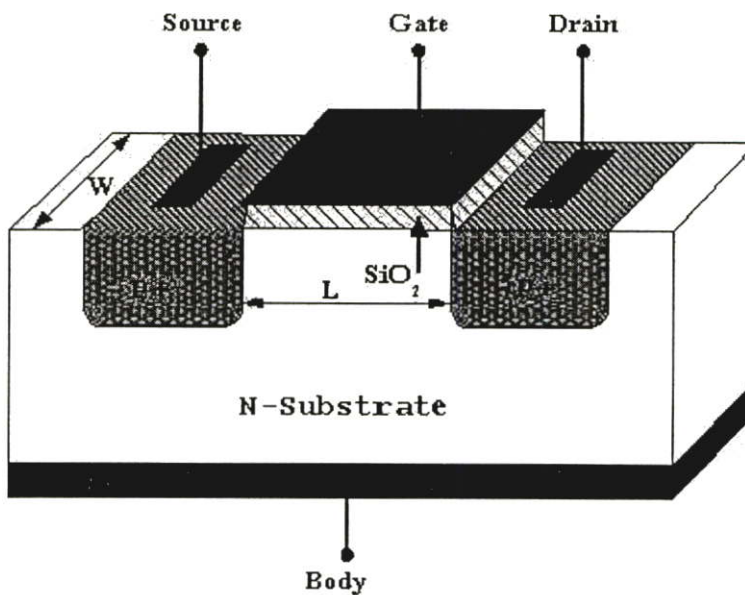
รูปที่ 2.1 แสดงโครงสร้างของมอสเฟตแบบดีเฟลทชันชนิด N-Channel



รูปที่ 2.2 แสดงโครงสร้างของมอสเฟตแบบดีเฟลทชันชนิด P-Channel



รูปที่ 2.3 แสดงโครงสร้างของมอสเฟตแบบเอนฮานเมนท์ชนิด N-Channel



รูปที่ 2.4 แสดงโครงสร้างของมอสเฟตแบบเอนฮานเมนท์ชนิด P-Channel

2.3 สัญลักษณ์ของมอสเฟต

จากตารางที่ 2.1 แสดงสัญลักษณ์ของมอสเฟตชนิดต่างๆ [7] ตามลำดับ โดยเริ่มจากมอสเฟตแบบเอนฮานเมนท์ชนิด N-Channel และ P-Channel โดยที่ระหว่างขั้วฐานรอง (Bulk) และขั้วซอส (Source) ต่อถึงกัน จึงได้แสดงขั้วซอสออกมาเพียงขั้วเดียวเสมอ และลำดับต่อไปเป็นสัญลักษณ์แสดงโครงสร้างมอสเฟตแบบเอนฮานเมนท์ชนิด N-Channel และ P-Channel ที่มีการแสดงขั้วฐานรองแยกออกจากขั้วของซอส โดยที่ขาทั้งสองไม่ได้เชื่อมต่อกันดังนั้นแรงดันระหว่าง

ฐานรอง (Bulk) และซอส (Source) ไม่จำเป็นต้องเท่ากันส่วนลำดับที่ 3 เป็นสัญลักษณ์ของ มอสเฟตแบบดีเพลสชันชนิด N-Channel และ P-Channel เมื่อระหว่างขั้วฐานรอง (Bulk) และขั้วซอส (Source) เชื่อมต่อกันจึงแสดงขั้วซอสเท่านั้น

ตารางที่ 2.1 แสดงสัญลักษณ์ของมอสเฟตแบบต่างๆ

MODE	nMOS	pMOS
Enhancement		
Enhancement		
Depletion		
Depletion		

2.4 คุณสมบัติการทำงานของมอสเฟต

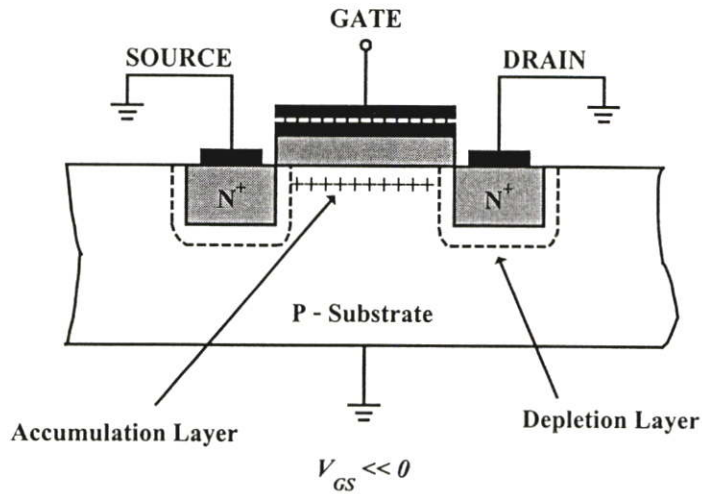
การทำงานของมอสเฟตทั้ง 2 ชนิดคือ NMOS และ PMOS นั้นมีหลักการทำงานที่เหมือนกันแต่ ลักษณะของแรงดันการป้อนไบอัสจะแตกต่างกันในเรื่องของเครื่องหมายหรือทิศทางเท่านั้น [7] จึงสามารถอธิบายหลักการทำงานของทั้ง 2 แบบด้วยการอ้างอิงชนิด N-Channel

การทำงานเมื่อไม่มีการป้อนแรงดันเข้าที่ขาเกต ขณะที่ไม่มีแรงดันป้อนเข้าที่เกตซอสเดรน และฐานรองต่อลงกราวด์ ในกรณีนี้มีผลให้ทรานซิสเตอร์ทำงานคล้ายตัวเก็บประจุ โคนเกตและผิวของซิลิกอนใต้ฉนวนซิลิกอนไดออกไซด์ทำหน้าที่เสมือนแผ่นระนาบ (Plate) ของตัวเก็บประจุซึ่งมีซิลิกอนไดออกไซด์เป็นฉนวนคั่นระหว่าง ถ้า V_{GS} มีค่าเป็นลบประจุพาหะชนิดบวกหรือโฮลจะถูกดึงดูดเข้ามาสะสมบริเวณเซนแนล มีผลให้บริเวณเซนแนลกลายเป็น P' และเรียกว่า เซนแนลสะสม (Accumulated Channel) บริเวณซอสและเดรนที่เป็น N ถูกแยกจากกันด้วยเซนแนล P เมื่อ

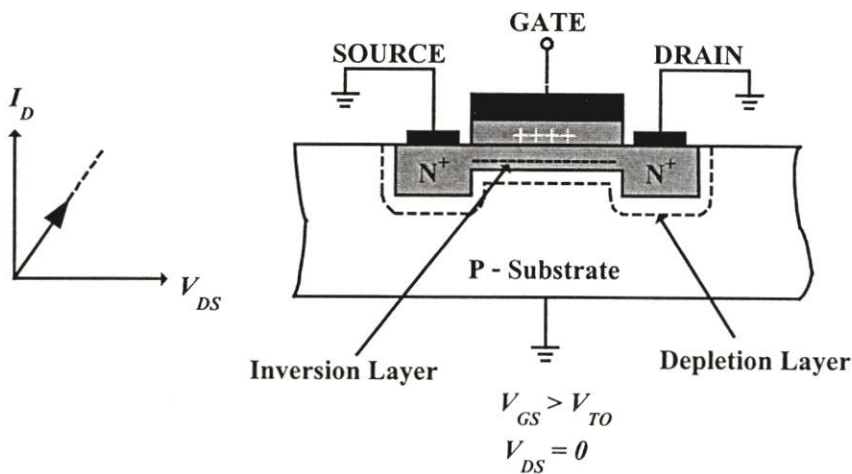
มองในลักษณะของวงจรมูลพบว่ามอสเฟตจะเสมือนกับเป็นไดโอด 2 ตัวหันหลังชนกัน (Back-to-Back Diode) ไดโอดแต่ละตัวจะเป็นรอยต่อพีเอ็นระหว่างบริเวณเดรน (Drain;D) กับฐานรองชนิดพีและบริเวณซอส (Source;S) เมื่อป้อนแรงดันเดรนเทียบซอส V_{DS} ดังรูปที่ 2.5 ดังนั้นถ้าจะเกิดกระแสไหลได้แรงดันที่ซอสเดรนจะต้องมีค่ามากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหล (Leakage Current) หรือกรณีที่แรงดันซอสเดรนมีค่ามากจนทำให้ทรานซิสเตอร์เบรกควาน์

ในรูปที่ 2.6 แสดงการต่อแรงดันต่างๆให้กับมอสเฟตแบบเอนฮานเมนซ์ชนิด N-Channel และทำการต่อซอสลงกราวด์เช่นเดียวกับฐานรวมทั้งที่เดรน (D) ด้วย จากนั้นป้อนแรงดันบวกที่เกตซึ่งแรงดันดังกล่าวจะทำให้โฮลที่ฐานรองได้เกิดถูกผลักออกเกิดเป็นเขตปลอดพาหะขึ้น (Depletion Region) ซึ่งในบริเวณดังกล่าวจะมีเฉพาะอิเล็กตรอนซึ่งมีอิเล็กตรอนเป็นพาหะส่วนน้อย (Minority Carrier) โดยไม่มีพาหะส่วนมาก (Majority Carrier) คือโฮล (Hole) แรงดันบวกเทียบกับบอดี้ที่ปรากฏที่เกตจะดึงดูดอิเล็กตรอนจากเดรนและซอสไปยังช่องทางเดินกระแส (Channel Region) เมื่อมีอิเล็กตรอนสะสมมากพอที่บริเวณใต้เกตจะทำให้เกิดบริเวณ N ที่ทำหน้าที่เชื่อมเดรนและซอสเข้าด้วยกัน บริเวณ N ที่เกิดขึ้นใหม่เป็นช่องทางเดินกระแสกลับที่เรียกว่า "Inversion Layer" เนื่องจากเปลี่ยนฐานรองจากสารชนิด P เป็นสารชนิด N บริเวณ N ที่เกิดขึ้นนี้จะเป็นช่องทางเดินกระแสสำหรับให้กระแสไหลจากเดรนไปซอส แรงดันที่เกตเทียบกับซอส V_{GS} ที่ทำให้เกิดชั้นกลับ (Inversion Layer) ขึ้นจะเรียกว่าแรงดันขีดเริ่ม (Threshold Voltage; (V_{TO}))

นอกจากนี้เกตและฐานรองยังทำหน้าที่คล้ายเป็นตัวเก็บประจุที่มี SiO_2 เป็นไดอิเล็กตริก (Dielectric) หลังจกที่เกิดบริเวณ N หรือ Induce N-Type Channel ซึ่งเกิดจากการป้อนแรงดัน V_{GS} แล้วทำการป้อนแรงดันบวกระหว่างเดรนกับซอส V_{DS} ซึ่งมีค่าน้อยๆแรงดังดังกล่าวจะทำให้อิเล็กตรอนเคลื่อนที่จากซอสไปยังเดรนทำให้มีกระแสเดรน I_D ไหลจากเดรนไปยังซอส โดยขนาดของกระแสเดรน I_D ขึ้นอยู่กับความหนาแน่นของอิเล็กตรอนที่ช่องทางเดินกระแสซึ่งก็คือจะขึ้นกับแรงดันเกตเทียบกับซอสอีกที ที่แรงดัน $V_{GS}=V_{TO}$ ช่องทางเดินกระแสเพิ่งจะเริ่มเกิดขึ้น ดังนั้นกระแสเดรน I_D ที่ไหลจะมีค่าน้อยมากซึ่งค่า V_{GS} มีค่าเกิน V_{TO} ก็จะเกิดอิเล็กตรอนในช่องทางเดินกระแสมากขึ้นด้วยหรือมีความนำของช่องทางเดินกระแสมากขึ้น โดยความนำของช่องทางเดินกระแสจะแปรผันโดยตรงกับแรงดันเกินที่เกต ($V_{GS}-V_{TO}$) ซึ่งกระแสเดรน I_D ก็จะแปรผันตาม ($V_{GS}-V_{TO}$)



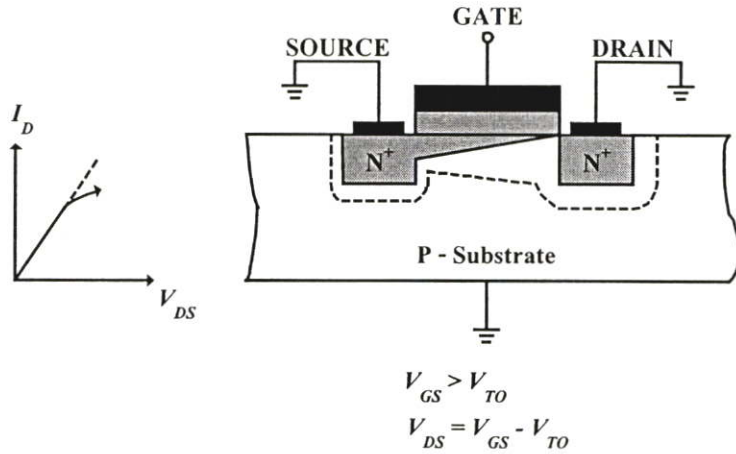
รูปที่ 2.5 แสดงภาพในขณะที่ไม่มีการป้อนแรงดันเข้าที่มอสเฟต



รูปที่ 2.6 แสดงการเกิดชั้นกลับ (Inversion Layer) ขึ้นเมื่อมีการป้อนแรงดันเข้าที่ขาเกต

ถ้าให้แรงดัน V_{GS} มีค่าคงที่ค่าหนึ่งที่มีค่ามากกว่า V_{TO} และทำการเพิ่ม V_{DS} ดังแสดงในรูปที่ 2.7 สังเกตเห็นว่าแรงดัน V_{DS} จะตกคร่อมตามความยาวของช่องทางเดินกระแสซึ่งแรงดันตามช่องทางเดินกระแสจากเดรนเทียบกับซอส จะพบว่าแรงดันที่วัดได้เมื่อเทียบกับซอสแล้วจะเพิ่มจาก 0 ถึง V_{DS} ดังนั้นแรงดันระหว่างเกตและจุดที่ไปตามช่องทางเดินกระแสจะลดลงจาก V_{GS} ที่ซอสเป็น $V_{GS} - V_{DS}$ ที่เดรนเนื่องจากความลึกของช่องทางเดินกระแสขึ้นกับแรงดันดังกล่าว ดังนั้นที่ซอสจะมีความลึกมากที่สุดและตื้นที่สุดที่ปลายเดรนขณะที่ V_{DS} เพิ่มขึ้นความต้านทานจะมากขึ้น ดังนั้นกราฟความสัมพันธ์ของกระแส I_D กับแรงดัน V_{DS} จะเป็นไปตามกราฟรูปที่ 2.8 และเมื่อแรงดัน V_{DS} เพิ่มขึ้น

จนกระทั่งแรงดันระหว่างเกตกับช่องทางเดินกระแสที่เดรนมีค่าเท่ากับแรงดัน V_{TO} กล่าวคือ $V_{GS} - V_{DS} = V_{TO}$ ดังนั้น $V_{DS} = V_{GS} - V_{TO}$ ความลึก



รูปที่ 2.7 แสดงผลการเกิดช่องทางเดินกระแสที่เกิดขึ้นที่มีขนาดเพิ่มขึ้นตามแรงดันเดรนเทียบชอสที่ป้อนเข้าไปในมอสเฟตโดยที่ $V_{GS} > 0$ แต่ $V_{GS} < V_{GS} - V_{TO}$

ที่เดรนจะมีค่าเข้าใกล้ศูนย์ซึ่งเรียกว่า เกิดปรากฏการณ์ Pinched Off แสดงในรูปที่ 2.9 ที่ช่องทางเดินกระแส ซึ่งการเพิ่มแรงดัน V_{DS} ที่มีค่ามากกว่านี้จะไม่มีผลต่อกระแส นั่นก็คือ กระแส I_D จะมีค่าคงที่ที่ $V_{DS} = V_{GS} - V_{TO}$ กระแสเดรนจะอิมิต์ที่ค่าแรงดัน V_{DS} ดังกล่าวและมอสเฟตจะเข้าสู่ย่านอิมิต์ด้วยแรงดัน V_{DS} ที่ทำให้เกิดการอิมิต์จะเขียนแทนด้วย $V_{DS,SAT}$

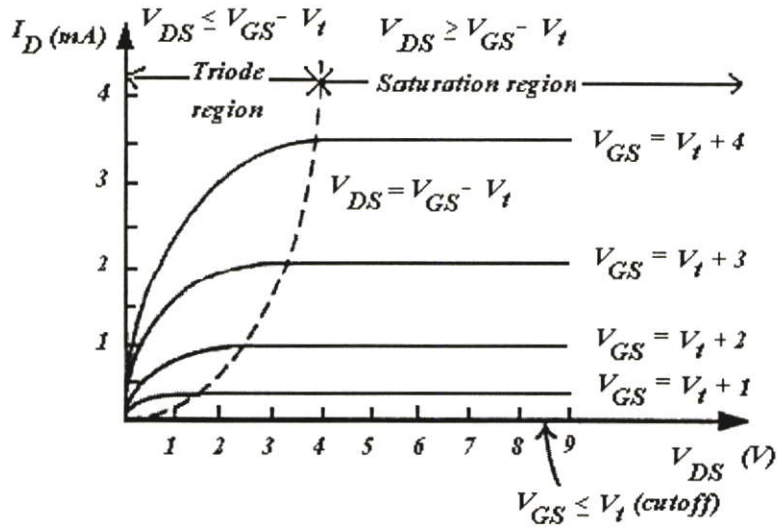
$$V_{DS,SAT} = V_{GS} - V_{TO} \quad (2.1)$$

จะเห็นว่าทุกค่าของ $V_{GS} \geq V_{TO}$ จะมีค่าของ $V_{DS,SAT}$ ที่สอดคล้องกัน โดย MOSFET จะทำงานย่านอิมิต์ตัวถ้า $V_{DS} \geq V_{DS,SAT}$ และกราฟของกระแส I_D กับ V_{GS} โดยที่แรงดัน $V_{DS} \leq V_{GS} - V_{TO}$ จะเป็นย่านการทำงานที่เรียกว่า ย่านการทำงานไตรโอด (Triode Region)

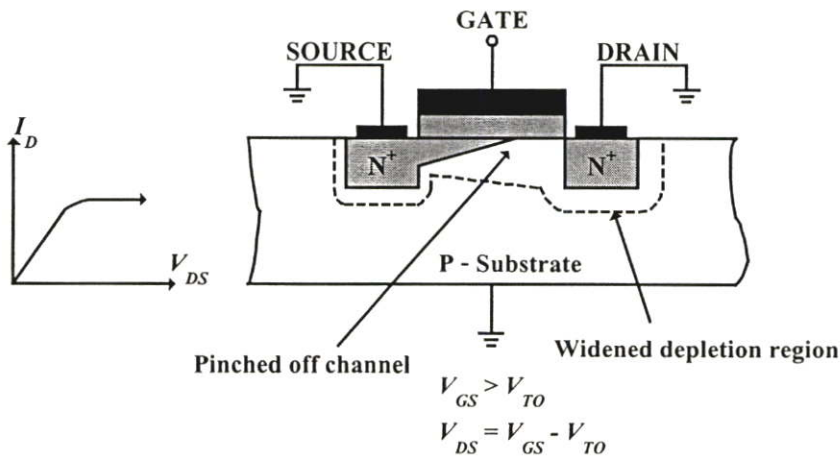
ผลของ V_{DS} ที่ V_{GS} มีค่าคงที่พบว่าเมื่อเพิ่มแรงดัน V_{DS} ขึ้นมากกว่า $V_{DS,SAT}$ จะไม่มีผลต่อกระแส I_D โดยจะมีค่าคงที่ตลอดย่านการทำงาน

มอสเฟตชนิด P-Channel จะตรงกันข้ามกับมอสเฟตชนิด N-Channel เช่นที่ฐานรอง (Substrate) จะเป็นสารกึ่งตัวนำชนิด N ในขณะที่ชอสกับเดรนซึ่งเป็นสารชนิด P+ โดยมีพาหะสำหรับนำกระแสจะเป็นโฮล การทำงานจะเหมือนกันกับ N-Channel แต่ต่างกันที่แรงดัน V_{GS} และ V_{DS} จะเป็น

ลบเช่นเดียวกับแรงดัน V_{TO} รวมทั้งกระแส I_D จะไหลเข้าซอสและออกจากที่เดรน เนื่องจาก NMOS



รูปที่ 2.8 แสดงกราฟความสัมพันธ์ของกระแสเดรนกับแรงดันเดรนที่ขอบเขตโดยที่เมื่อพิจารณาผลของแรงดันเกิดที่ขอบซอสและแสดงย่านการทำงานต่างๆของมอสเฟต

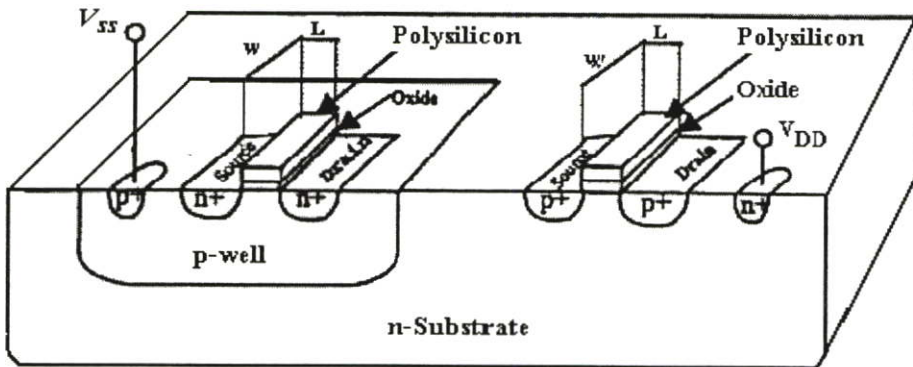


รูปที่ 2.9 ภาพตัดขวางของมอสเฟตในขณะที่มีการเกิด Pinched-Off ขึ้นที่ Channel

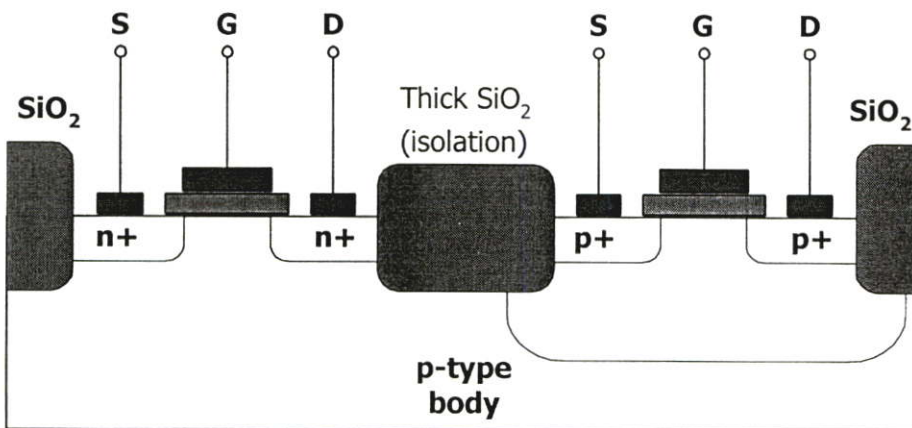
สามารถสร้างได้เล็กกว่าและทำงานได้เร็วกว่า PMOS นอกจากนั้นยังทำงานที่แหล่งจ่ายดิสซีที่ต่ำกว่า ดังนั้น NMOS เทคโนโลยีได้แทนที่ PMOS แต่ยังคงมีการใช้ PMOS ร่วมกับ NMOS รวมอยู่ในวงจรเดียวกันซึ่งเรียกว่า CMOS

CMOS ย่อมาจาก Complementary MOS เป็นเทคโนโลยีที่นำมอสเฟตทั้งชนิด NMOS และ PMOS มาสร้างลงบนฐานรองเดียวกัน แม้ว่าวงจร CMOS จะสร้างได้ยากกว่า NMOS แต่ก็มีความดีคือสามารถทำให้ออกแบบวงจรได้อย่างรวดเร็วและมีประสิทธิภาพ ในปัจจุบัน CMOS มีบทบาทสำคัญมากในเทคโนโลยีวงจรรวมแบบมอสเฟตและสามารถใช้ได้ทั้งวงจรรวมเชิงอุปมาน (Analog) และเชิงเลข (Digital) ในส่วนของเทคโนโลยีแบบ CMOS ได้เติบโตขึ้นอย่างรวดเร็วจึงทำให้นักออกแบบวงจรให้ความสนใจในการออกแบบวงจรโดยใช้ CMOS มากขึ้นและได้มีการแปลงวงจรประยุกต์ (Application) จากเทคโนโลยีไบโพลาร์ไปเป็นเทคโนโลยีแบบ CMOS มากมาย

รูปที่ 2.10 และ 2.11 แสดงภาพตัดขวางของ PMOS และ NMOS ที่รวมอยู่ในชั้นสารที่มีฐานรองเดียวกันและแสดงโครงสร้างของ CMOS ตามลำดับ เป็นการอธิบายถึงการสร้าง PMOS และ NMOS บนแผ่นฐานรองเดียวกันสังเกตว่าขณะนี้ NMOS สามารถสร้างได้โดยตรงแต่ PMOS จะสร้างขึ้นได้โดยต้องสร้างบ่อ N (n well) ขึ้นก่อนโดยที่ MOS ทั้งสองตัวถูกแยกจากกันด้วยฉนวนออกไซด์



รูปที่ 2.10 แสดงภาพตัดขวางของ PMOS และ NMOS รวมอยู่ในชั้นสารที่มีฐานรองเดียวกันเป็น CMOS



รูปที่ 2.11 แสดงโครงสร้างของ CMOS

จากการทำงานของมอสเฟตจะเห็นว่า เป็นการให้แรงดันไฟฟ้าควบคุมปริมาณกระแสไฟฟ้าและมีสมการความสัมพันธ์ของกระแสเดรน (I_D) กับแรงดันเกตซอส (V_{GS}) และค่าพารามิเตอร์ต่างๆ ของมอสเฟตได้แสดงไว้ในสมการที่ (2.1) อังอิงการไบอัสของมอสเฟตที่เป็นแบบเอนฮานเม้นท์ชนิด N-Channel ดังนี้

$$I_D = K' \frac{W}{L} \left\{ (V_{GS} - V_T) \times V_{DS} - \frac{V_{DS}^2}{2} \right\} \quad (2.2)$$

โดยที่ K' = ค่าทรานส์คอนดักแตนซ์ (Process Transconductance) ของกระบวนการสร้างมีค่าเท่ากับ μC_{OX}

μ = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)

C_{OX} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance per Unit area of the Gate Oxide)

W = ความกว้างของช่องทางเดินกระแส (Channel Width)

L = ความยาวของช่องทางเดินกระแส (Channel Length)

V_{GS} = แรงดันไฟฟ้าระหว่างเกตกับซอส (Gate-Source Voltage)

V_{DS} = แรงดันไฟฟ้าระหว่างเดรนกับซอส (Drain-Source Voltage)

V_{TO} = แรงดันขีดเริ่ม (Threshold Voltage)

2.4.1 การจัดไบอัสการทำงานของมอสเฟต

การจัดไบอัสการทำงานของมอสเฟตแบ่งออกเป็น 3 ช่วงโดยพิจารณาจากค่า ($V_{DS}-V_{TO}$) เป็นหลัก โดยสมการทั้งหมดอังอิงการไบอัสมอสเฟตแบบเอนฮานเม้นท์ชนิดN-Channelดังต่อไปนี้

1. มอสเฟตไม่ทำงาน (Cut Off Region) เป็นช่วงที่ทำให้การไบอัสแรงดันที่ขาเกตกับซอส (V_{GS}) มีค่าน้อยกว่า V_{TO} (Threshold Voltage) มีผลทำให้ไม่มีกระแสเดรนไหล

$$I_D = 0 \quad , \quad V_{GS} < V_T \quad (2.3)$$

2. มอสเฟตทำงานในช่วงไม่อิ่มตัว (Non-saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือไทรโอด (Triode Region) จะต้องมีเงื่อนไขการไบอัสให้แรงดันระหว่างเกตและซอส (V_{GS}) มีค่ามากกว่า V_{TO} ขณะเดียวกันให้ค่าแรงดันไฟฟ้าที่เดรนกับซอส (V_{DS}) มีค่าน้อยกว่าค่า ($V_{GS}-V_{TO}$) นั่นคือ

$$V_{GS} > V_{TO} \quad (\text{Induced Channel})$$

และรักษาแรงดัน V_{DS} ให้มีค่าน้อยๆ เพื่อให้ช่องทางเดินกระแสมีความต่อเนื่องนั่นคือ

$$V_{GD} = V_{TO} \quad (\text{Continuous Channel})$$

ซึ่งสามารถเขียนใหม่ได้เป็น

$$\begin{aligned} V_{GD} &= V_{GS} + V_{SD} = V_{GS} - V_{DS} \\ \text{ดังนั้น} \quad V_{GS} - V_{DS} &= V_T \\ \text{จะได้เป็น} \quad V_{GS} - V_T &= V_{DS} \end{aligned}$$

ในย่านการทำงานจะสามารถประมาณได้โดยสมการที่ (2.2)

$$I_D = K' \frac{W}{L} \left\{ (V_{GS} - V_T) \times V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

$$\begin{aligned} \text{มีช่วงขอบเขตการทำงานคือ} \quad V_{GS} - V_T &> 0 \\ 0 < V_{DS} &\ll (V_{GS} - V_T) \end{aligned}$$

ถ้า V_{DS} มีค่าน้อยกว่า 1 หรือไบอัสให้ $0 < V_{DS} \ll (V_{GS} - V_T)$ จะสามารถตัดเทอม $V_{DS}^2/2$ ในสมการได้และสามารถประมาณสมการได้เป็น

$$I_D = K' \frac{W}{L} \{ (V_{GS} - V_T) \times V_{DS} \} \quad (2.4)$$

$$\begin{aligned} \text{มีช่วงขอบเขตการทำงานคือ} \quad V_{GS} - V_T &> 0 \\ 0 < V_{DS} &\ll (V_{GS} - V_T) \end{aligned}$$

จากความสัมพันธ์อย่างเชิงเส้นจะแสดงการทำงานของมอสเฟตเป็นค่าความต้านทานที่มีความเป็นเชิงเส้น R_{DS} ถูกควบคุมด้วยค่าแรงดันของ V_{GS}

$$R_{DS} = \frac{V_{DS}}{I_D} \cong K' \frac{W}{L} (V_{GS} - V_T) \quad (2.5)$$

3. มอสมเฟดทำงานในช่วงอิ่มตัว (Saturation Region) กล่าวคือไบอัสให้แรงดันระหว่างเดรนและซอส (V_{DS}) มากกว่าหรือเท่ากับ ($V_{GS} - V_T$)

$$V_{GS} \geq V_T \quad (\text{Induce Channel})$$

และที่ Pinched Off

$$V_{GD} - V_{TO} \quad (\text{Pinched Off Channel})$$

หรือสามารถเขียนใหม่ได้เป็น

$$V_{DS} \geq V_{GS} - V_T \quad (\text{Pinched Off Channel})$$

การทำงานในย่านอิ่มตัว V_{GS} จะมีค่ามากกว่า V_T และแรงดันที่เดรนเทียบกับเกตจะมากกว่าแรงดันขีดเริ่ม ส่วนขอบเขตระหว่างย่านไทรโอดและย่านอิ่มตัวแสดงได้ดังนี้

$$V_{DS} = V_{GS} - V_T \quad (\text{Boundary})$$

เมื่อแทนค่า V_{DS} ลงในสมการที่ (2.2) จะได้สมการความสัมพันธ์ของย่านอิ่มตัว

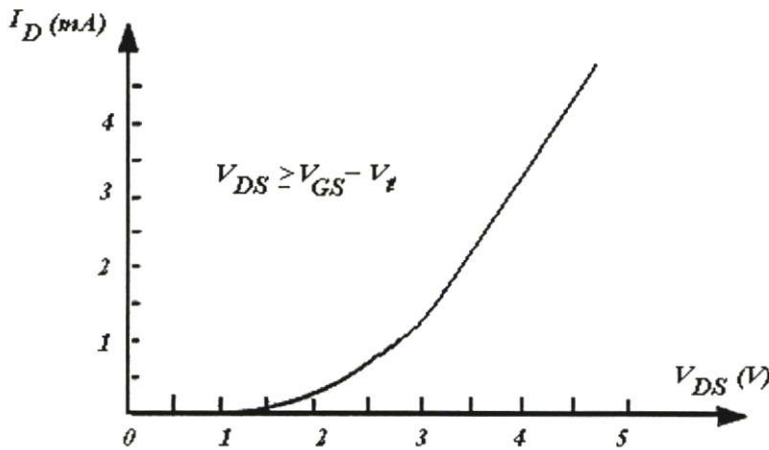
$$I_D = K' \frac{W}{L} \{ (V_{GS} - V_T) \}^2 \quad (2.6)$$

มีช่วงขอบเขตการทำงานคือ $V_{GS} - V_T > 0$

$$0 < (V_{GS} - V_T) \leq V_{DS}$$

จะเห็นได้ว่า สมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับแรงดันที่ขั้วเดรนและขั้วซอส (V_{DS}) แต่จะขึ้นอยู่กับค่าแรงดัน ($V_{GS} - V_T$) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square Law Equation) โดยมีกราฟแสดงคุณสมบัติการถ่ายโอน (Transfer Characteristic) ดังแสดงในรูปที่ 2.12 ที่ขอบเขตระหว่างย่านไทรโอดกับย่านอิ่มตัวจะถูกกำหนดด้วยสมการ $V_{DS} = V_{GS} - V_T$ ทำการแทนค่า V_{DS} ลงในสมการในย่าน Triode Region และ Saturate Region จะได้ว่า

$$I_D = K' \frac{W}{L} (V_{DS})^2 \quad (2.7)$$



รูปที่ 2.12 กราฟความสัมพันธ์ของคุณสมบัติถ่ายโอนของมอสเฟต

2.4.2 ผลของการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส

จากการทำงานในย่านอิ่มตัว กระแส I_D จะเป็นอิสระจากแรงดัน V_{DS} โดยจะมีค่าความต้านทานที่ขาเดรนมีค่าเท่ากับอนันต์ จากที่ทราบมาแล้วว่าเมื่อช่องทางเดินกระแสเกิดการ Pinched-Off ที่เดรน การเพิ่มขึ้นของค่า V_{DS} จะไม่มีผลต่อรูปร่างของช่องทางเดินกระแสเลย แต่ในทางปฏิบัติการเพิ่มขึ้นของ V_{DS} จากค่า $V_{DS,SAT}$ นั้น จะมีผลต่อรูปร่างของช่องทางเดินกระแส กล่าวคือในขณะที่ V_{DS} เพิ่มขึ้นนั้น จุด Pinched-Off จะเคลื่อนที่จากเดรนไปยังซอสเล็กน้อย ทำให้ความยาวประสิทธิผล (The Effective Channel Length) จะมีค่าลดลง ปรากฏการณ์ดังกล่าวนี้เรียกว่า การเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส [8] จะได้ว่า K' ซึ่งแปรผกผันตามกับ L ดังนั้น K' และ I_D จะเพิ่มขึ้นตาม V_{DS}

จากผลของการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส (Channel Length Modulation) นั้นจะสามารถนำมาสร้างเป็นสมการแสดงความสัมพันธ์กับกระแส I_D ได้ดังนี้

$$I_D = K' \frac{W}{L} \{ (V_{GS} - V_T)^2 \times V_{DS} \} (1 + \lambda \cdot V_{DS}) \quad (2.8)$$

โดยที่ λ = Channel Length Modulation Factor

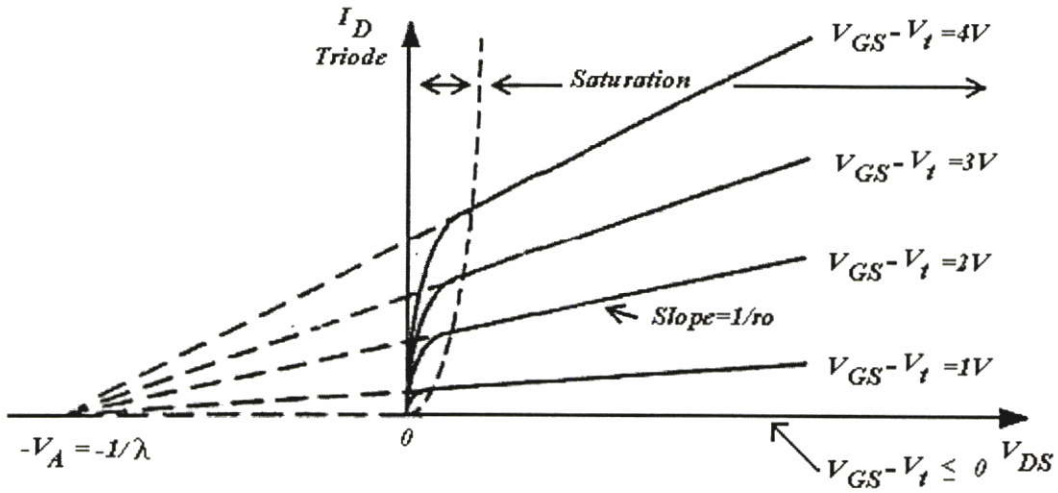
ซึ่งค่าคงที่ λ ของมอสเฟตจะมีค่าพารามิเตอร์เป็นบวก

จากรูปที่ 2.13 จะเห็นว่าเส้นประที่ลากจากเส้นตรงของกราฟ $I_D - V_{DS}$ ในย่านอิ่มตัวจะตัดแกน V_{DS} ที่ $-V_A$

$$V_{DS} = \frac{-1}{\lambda} \equiv -V_A \quad (2.9)$$

ผลของการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแสจะทำให้เกิดความต้านทานด้านออก

$$r_o = \left[\frac{\partial I_D}{\partial V_{DS}} \right]_{V_{GS}=\text{CONSTANT}}^{-1} \quad (2.10)$$



รูปที่ 2.13 ผลความสัมพันธ์ของกระแสและแรงดันของกระแส I_D และแรงดัน V_{DS} เมื่อมีการเกิดมอดูเลชันตามความยาวช่องทางเดินกระแส

โดยแทนความสัมพันธ์ในสมการที่ (2.8)

$$r_o = [\lambda \cdot K'(V_{GS} - V_T)^2]^{-1} \quad (2.11)$$

สามารถประมาณได้ว่า

$$r_o = [\lambda \cdot I_D]^{-1} \quad (2.12)$$

ในวงจรรวมขนาดใหญ่พื้นฐานรองจะเป็นขั้วร่วม (Common) สำหรับมอสทรานซิสเตอร์หลายๆตัวในวงจรรวม ในการรักษาแรงดันไบอัสย้อนกลับระหว่างฐานรองกับช่องทางเดินกระแสจะถูกต่อกับแหล่งจ่ายไฟที่เป็นลบสำหรับ NMOS และแหล่งจ่ายไฟที่เป็นบวกสำหรับ PMOS ผลของแรงดันไบอัสย้อนกลับระหว่างซอสและบอดี V_{SB} ใน End-Channel จะมีผลต่อการทำงานของมอสเฟต พิจารณา NMOS ที่ฐานรองจะมีค่าเป็นลบเมื่อเทียบกับซอสแรงดันไบอัสย้อนกลับจะเป็น

สาเหตุทำให้เขตปลอดพาหะกว้างขึ้น ซึ่งจะทำให้ความลึกของช่องทางเดินกระแสลดลงถ้าต้องการจะทำให้กลับเป็นเหมือนลักษณะเดิม จะต้องเพิ่มแรงดัน V_{GS} ซึ่งจะทำให้ผลของ V_{SB} ที่มีต่อทางเดินกระแสสามารถพิจารณาเป็นการเปลี่ยนแปลงของ V_T โดยการเพิ่มขึ้นของ V_{SB} จะทำให้ V_T เพิ่มขึ้นไปด้วย

$$V_T = V_{T0} + \gamma \left[\sqrt{|2\phi_f| + V_{SB}} - \sqrt{2\phi_f} \right] \quad (2.13)$$

โดยที่

$$\gamma = \frac{\sqrt{2qN_A K_s \epsilon_0}}{C_{ox}} \quad (2.14)$$

ซึ่ง V_{T0} คือค่าแรงดันขีดเริ่ม (Threshold Voltage) ที่ $V_{SB} = 0$

γ คือ Process Parameter

ϕ_f คือ Physical Parameter

แสดงให้เห็นว่าการเพิ่มขึ้นของ V_{SB} จะทำให้ V_T มีค่าเพิ่มขึ้นเช่นกันส่งผลทำให้ I_D ลดลงแม้ว่า V_{GS} อาจจะมีค่าคงที่ จะได้ว่าบอดีจะถูกควบคุมการไหลของกระแสครน I_D ดังนั้นบอดีจะประพฤติตัวเป็นเกตอีกทาง ซึ่งก็คือปรากฏการณ์ที่เรียกว่า “Body Effect” สำหรับมอสเฟต

2.4.3 ผลการเปลี่ยนที่เกิดจากอุณหภูมิ (Temperature Effect) [9]

ทั้ง V_T และ K' จะเปลี่ยนแปลงตามอุณหภูมิ ขนาดของ V_T มีค่าลดลงประมาณ $2 \text{ mV}/^\circ\text{C}$ การลดลงของ V_T จะทำให้กระแส I_D เพิ่มขึ้น ในขณะที่อุณหภูมิเพิ่มขึ้น ค่า K' จะลดลงตามอุณหภูมิและการลดลงของ K' จะมีผลมากกว่า V_T ดังนั้นผลที่ทำให้กระแสครน I_D ลดลงในขณะที่อุณหภูมิสูงขึ้นคือค่า K'

2.4.4 การเกิดเบรกดาวน์และการป้องกันทางอินพุท

ขณะที่ทำการเพิ่มแรงดันที่เดรนจนกระทั่ง แรงดันไบอัสย้อนกลับระหว่างเดรนและฐานรองถึงเบรกดาวน์ที่เป็นแบบ Avalanche จะทำให้มีการเพิ่มปริมาณของกระแสขึ้นอย่างมาก ซึ่งแรงดันดังกล่าวโดยทั่วไปจะเกิดขึ้นที่แรงดัน 50-100 V จะทำให้มีกระแสไหลเพิ่มขึ้นอย่างมาก

ปรากฏการณ์เบรกดาวน์ที่เกิดขึ้นที่แรงดันต่ำๆ (ประมาณ 20 V) เรียกว่า “Punch-Through” ซึ่งมักจะเกิดในมอสเฟตที่มีขนาดของช่องทางเดินกระแสที่สั้น เมื่อเพิ่มแรงดันที่เดรนจนถึงจุดที่ปลอดพาหะ รอบๆบริเวณเดรนขยายผ่านช่องทางเดินกระแสไปยังซอส กระแสเดรนจะเพิ่มขึ้นอย่างรวดเร็ว ปกติปรากฏการณ์ Punch-Through จะไม่ทำให้เกิดการเสียหายของมอสเฟต

เบรกดาวน์ของชนิดหนึ่งที่จะทำให้เกิดความเสียหายของมอสเฟตอย่างถาวรคือ เบรกดาวน์ที่เกิดจากแรงดันระหว่างเกตและซอสมีค่ามากกว่า 50 V ซึ่งเป็นเบรกดาวน์ของออกไซด์ที่เกิดถึงแม้

ว่า 50V จะมีค่าสูงแต่ความต้านทานด้านเข้าของมอสเฟตมีค่าสูงมาก ดังนั้นจำนวนประจุสถิตเพียงเล็กน้อยที่สะสมบนเกตก็สามารถทำให้แรงดันมีค่าสูงเกินค่าแบรคควาน์ได้ ในการป้องกันการสะสมของประจุที่เกิดทำได้โดยการต่อ Clamping Diode เข้าไปที่อินพุตของวงจรรวมที่ใช้มอสเฟต

2.5 แบบจำลองของมอสเฟตบนโปรแกรม PSPICE

ในปัจจุบันการออกแบบวงจรรวมต่างๆ สามารถทำการทดลองออกแบบและทราบถึงผลของการออกแบบได้โดยที่ยังไม่จำเป็นต้องทำการผลิตหรือทำการสร้างวงจร เพื่อใช้ทดลองหาค่าพารามิเตอร์ต่างๆ เนื่องจากในการออกแบบได้อาศัยโปรแกรมคอมพิวเตอร์เข้ามาช่วยโดยในโปรแกรมคอมพิวเตอร์นั้นสามารถจำลองลักษณะการทำงานของวงจรได้ใกล้เคียงกับวงจรที่ต้องการจะทำการสร้างขึ้น ทำให้ทราบถึงผลของการออกแบบที่ยังไม่ได้ทำการผลิตจริง ดังนั้นในปัจจุบันโปรแกรมเหล่านี้จึงได้มีบทบาทสำคัญมาก ในงานอุตสาหกรรมของการออกแบบวงจรรวมอิเล็กทรอนิกส์ เพราะจะช่วยให้ประหยัดเวลาและต้นทุนในการผลิตวงจร ปัจจุบันโปรแกรมที่นิยมใช้ได้แก่ SPICE HSPICE และ PSPICE โดยโปรแกรมเหล่านี้ได้ถูกพัฒนาขึ้นจากมหาวิทยาลัย Berkeley California ประเทศสหรัฐอเมริกา

มอสเฟตและโปรแกรม PSPICE ได้ถือกำเนิดในช่วงเวลาใกล้เคียงกันจึงทำให้ได้รับการพัฒนาควบคู่กันมาโดยตลอดและในการพิจารณาถึงแบบจำลอง (Model) ของมอสเฟตนั้นสามารถจำแนกออกเป็น 3 รูปแบบ ซึ่งสามารถสรุปถึงความแตกต่างของแบบจำลองทั้ง 3 ชนิดของมอสเฟตได้ดังนี้

1. LEVEL 1 ที่อ้างอิงถึงแบบจำลองของ Shichman-Hodges โดยใช้คณิตศาสตร์ในการคำนวณสามารถจำลองค่าได้อย่างคร่าวๆได้ ซึ่งไม่ต้องการค่าที่เที่ยงตรงมากนักใช้สำหรับมอสเฟตที่มีช่องทางเดินกระแสยาวและเกตออกไซด์หนา โปรแกรมจะไม่พิจารณาถึงพฤติกรรมของช่องทางเดินกระแสที่สั้น (Short Channel Behavior) คือใช้แบบจำลองของมอสเฟตที่มีการประมาณมาจากทฤษฎีแบบจำลอง LEVEL 1 นี้มีข้อดีคือ ใช้เวลาในการคำนวณและประสิทธิภาพของเครื่องคอมพิวเตอร์ไม่มาก เพราะเป็นการจำลองหาประสิทธิภาพของวงจรรอยคร่าวๆ

2. LEVEL 2 จะมีความแตกต่างจาก LEVEL 1 ทั้งวิธีการคำนวณค่าความยาวของช่องทางเดินกระแสสัมผัส (ผลของ λ) และการเปลี่ยนสภาวะจากช่วงไม่อิ่มตัวไปอยู่ในช่วงอิ่มตัว จะมีประโยชน์สำหรับมอสเฟตที่มีความยาวของช่องทางเดินกระแสสั้นเพราะจะใช้จำนวนพารามิเตอร์ในการคำนวณมากขึ้น ดังนั้นแบบจำลองนี้จะต้องใช้เวลาและประสิทธิภาพของ CPU (Central Processing Unit) สูงในการคำนวณหรือการประมวลผลของวงจรทำให้ประสบปัญหาบ่อยครั้งเกี่ยวกับการ Convergence ของ Newton-Raphson Algorithm ที่ไม่พิจารณาถึงการช้อนทับที่อาจเกิดขึ้นของบริเวณปลอดพาหะ (Depletion Region) ของซอสและเดรนในอุปกรณ์ที่มีช่องทางเดินกระแสสั้นๆ นั่นก็คือ ผลของสนามไฟฟ้าทางด้านข้าง (Lateral Field Effect) ที่มีต่อความคล่องตัวของ

พาหะและ Drain-Induced Barrier Lowering (DIBL) จะทำการพิจารณาถึงผลของช่องทางเดิน กระแสที่สั้น (Short Channel Effect) เพียงบางส่วนเท่านั้น

3. LEVEL 3 โดยพื้นฐานแล้วจะมีลักษณะคล้ายคลึงกับ LEVEL 2 แต่เป็นแบบจำลองที่ได้ทำการแก้ไขข้อบกพร่องต่างๆที่กล่าวถึงใน LEVEL 2 ในแง่โครงสร้างของพารามิเตอร์จะมีจำนวนหลายตัวเหมือนกันหรือใกล้เคียงกันมากแต่แตกต่างกันที่ LEVEL 3 นั้นจะใช้แบบจำลองกึ่งการทดลอง (Semi-Empirical Model) คือใช้แบบจำลองของแรงดันขีดเริ่มที่เพิ่มขึ้น เพิ่มพารามิเตอร์ η ซึ่งใช้อธิบาย DIBL นอกจากนี้แบบจำลอง Channel Length Modulation ที่ใช้ใน LEVEL 1 และ LEVEL 2 ซึ่งใช้ λ จะถูกแทนที่ด้วยแบบจำลองที่ซับซ้อนเพิ่มขึ้นเล็กน้อยเกี่ยวกับพารามิเตอร์ V_{max} และพารามิเตอร์กึ่งการทดลอง (Semi-Empirical Model) อีกตัวหนึ่งและสุดท้ายจะพิจารณาถึงการทดลองของค่าความคล่องตัวของพาหะเมื่อสนามไฟฟ้าด้านข้างมีค่ามาก แบบจำลองใน LEVEL 3 นี้ใช้ในการจำลองการทำงานของวงจรรในขั้นสุดท้ายเพื่อให้ได้ค่าประสิทธิภาพและคุณสมบัติต่างๆของวงจรถัดไปใกล้เคียงกับวงจรถือต้องการจะสร้างขึ้น ดังนั้นแบบจำลองใน LEVEL 3 นี้จะคิดทุกผลกระทบที่เกิดขึ้นกับมอสเฟตและพารามิเตอร์ทุกตัวเพื่อให้ได้ค่าต่างๆใกล้เคียงกับความจริงมากที่สุด จึงสรุปได้ว่าแบบจำลอง LEVEL 3 สามารถให้รายละเอียดของผลการทดลองได้มากที่สุด จำเป็นต้องใช้เวลาและประสิทธิภาพของ CPU มากที่สุด ค่าพารามิเตอร์ของมอสเฟตที่ใช้ในโปรแกรม PSPICE ได้สรุปไว้ในตารางที่ 2.2

ตารางที่ 2.2 แสดงพารามิเตอร์ของแบบจำลองมอสเฟตที่ใช้ในโปรแกรม PSPICE

Symbol	SPICE Keyword	LEVEL	Parameter name	Default value	Typical value	Units
V_{TO}	VTO	1-3	Zero-bias threshold voltage	1.0	1.0	V
K'	KP	1-3	Transconductance parameter	2×10^{-5}	2×10^{-5}	A/V^2
Γ	GAMMA	1-3	Ody-effect parameter	0.0	0.35	$V^{1/2}$
$2\phi_F$	PHI	1-3	Surface inversion potential	0.6	0.65	V
λ	LAMBDA	1-2	Channel-length modulation	0.0	0.02	V^{-1}
T_{ox}	TOX	1-3	Thin oxide thickness	1×10^{-7}	1×10^{-7}	M
N_A	NSUB	1-3	Substrate doping	0.0	1×10^{15}	cm^{-3}

ตารางที่ 2.2 (ต่อ)

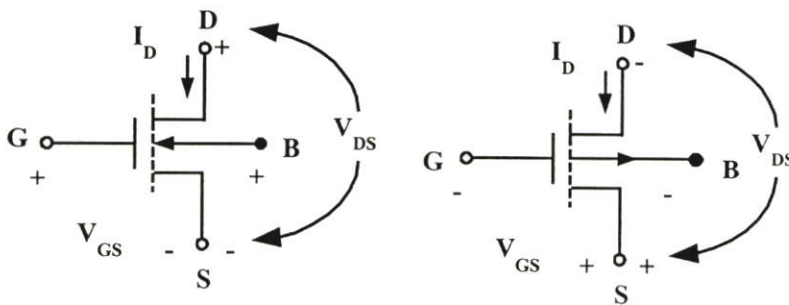
Symbol	SPICE Keyword	LEVEL	Parameter name	Default value	Typical value	Units
N_{SS}	NSS	1-3	Surface state density	0.0	1×10^{10}	cm^{-2}
N_{FS}	NFS	2,3	Surface-fast state density	0.0	1×10^{10}	cm^{-2}
N_{eff}	NEFF	2	Total channel charge coefficient	1	5	
X_j	XJ	2,3	Metallurgical junction depth	0.0	1×10^{-6}	m
X_{jl}	LD	1-3	Lateral diffusion	0.0	0.8×10^{-6}	m
T_{PG}	TPG	1-3	Type of gate material	1	1	
μ_o	UO	1-3	Surface mobility	600	700	$\text{cm}^2/(\text{V.s})$
U_c	UCRIT	2	Critical electric field for mobility	1×10^{-4}	1×10^4	V/cm
U_e	UEXP	2	Exponential coefficient for mobility	0.0	0.1	
U_t	UTRA	2	Transverse field mobility	0.0	0.5	
V_{max}	VMAX	2,3	Maximum drift velocity of carriers	0.0	5×10^4	m/s
X_{QC}	XQC	2,3	Coefficient of channel charge share	0.0	0.4	
δ	DELTA	2,3	Width effect on threshold voltage	0.0	1.0	
K	KAPPA	3	Saturation field factor	0.2	1.0	
η	ETA	3	Static feedback on threshold voltage	0.0	1.0	
θ	THETA	3	Mobility modulation	0.0	0.05	V^{-1}
α_F	AF	1-3	Flicker-noise exponent	1.0	1.2	
K_F	KF	1-3	Flicker-noise coefficient	0.0	1×10^{-26}	
I_s	IS	1-3	Bulk junction saturation current	1×10^{-14}	1×10^{-15}	A

ตารางที่ 2.2 (ต่อ)

Symbol	SPICE Keyword	LEVEL	Parameter name	Default value	Typical value	Units
J_s	JS	1-3	Bulk junction saturation current per square meter	0.0	1×10^{-8}	A
Ψ_o	PB	1-3	Bulk junction potential	0.80	0.75	V
C_j	CJ	1-3	Zero-bias bulk capacitance per square meter	0.0	2×10^{-4}	F/m^2
l/n	MJ	1-3	Bulk junction grading coefficient	0.5	0.5	
C_{jsw}	CJSW	1-3	Zero-bias perimeter capacitance per meter	0.0	1×10^{-9}	F/m
M_{jsw}	MJSW	1-3	Perimeter capacitance grading coefficient	0.33	0.33	
FC	FC	1-3	Forward-bias depletion capacitance coefficient	0.5	0.5	
C_{gbo}	CGBO	1-3	Gate-bulk overlap capacitance per meter	0.0	2×10^{-10}	F/m
C_{gdo}	CGDO	1-3	Gate-drain overlap capacitance per meter	0.0	4×10^{-11}	F/m
C_{gso}	CGSO	1-3	Gate source overlap capacitance per meter	0.0	4×10^{-11}	F/m
R_D	RD	1-3	Drain ohmic resistance	0.0	10.0	Ω
R_S	RS	1-3	Source ohmic resistance	0.0	10.0	Ω
R_{sh}	RSH	1-3	Source and drain sheet resistance	0.0	30.0	Ω

2.5.1 แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดใหญ่

แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดใหญ่ทั้งหมด ได้ถูกพัฒนาขึ้น โดยใช้อุปกรณ์มอสเฟตชนิด N-Channel ที่มีลักษณะการจัดวางขั้วของแรงดันและทิศทางกระแสเป็นไปดังแสดงไว้ในรูปที่ 2.14 ซึ่งก็สามารถจะใช้แบบจำลองเดียวกันนี้กับอุปกรณ์มอสเฟตชนิด P-Channel ด้วย โดยในการใช้งานเพียงแต่ต้องกำหนดให้แรงดันตกคร่อมและทิศทางกระแสจะต้องกลับทิศทั้งหมดกับมอสเฟตชนิด N-Channel นั่นก็คือการคูณค่าของอุปกรณ์มอสเฟตชนิด N-Channel ด้วยค่า (-1) และใช้ค่าสัมบูรณ์กับค่าแรงดันขั้วเริ่มของมอสเฟตชนิด N-Channel จะได้ค่าที่เกิดขึ้นในมอสเฟตชนิด N-Channel จะมีค่าเป็นบวกเสมอเมื่อใช้ทิศทางกำหนดอ้างอิงดังแสดงในรูป 2.14



รูปที่ 2.14 การกำหนดการจัดวางขั้วแรงดันและทิศทางกระแสที่ NMOS และ PMOS ตามลำดับ

เมื่อความยาวหรือความกว้างมากกว่า $10 \mu\text{m}$ จะทำให้มีแรงดันตกคร่อมในวัสดุฐานรองจะมีค่าค่อนข้างต่ำดังนั้นแบบจำลองจึงง่ายพอที่จะสามารถออกแบบ ซึ่งเป็นแบบจำลองที่นำเสนอโดย Sah และที่ใช้ใน SPICE จะเป็นแบบจำลองที่ถูกนำเสนอโดย Shichman และ Hodges ซึ่งเป็นแบบจำลองที่พัฒนามาจากสมการ ความสัมพันธ์ที่ถูกกำหนดให้มีผลของการมอดูเลชันทางช่องทางเดินกระแส ประกอบอยู่ด้วยตามสมการ

$$I_D = \mu_{ox} C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) - \left(\frac{V_{DS}}{2} \right) \right] V_{DS} (1 + \lambda V_{DS}) \quad (2.15)$$

λ = พารามิเตอร์ของการมอดูเลชันตามความยาวช่องทางเดินกระแส (Channel Length Modulation Parameter) มีหน่วยเป็น (volt^{-1})

โดยที่ V_T คือค่าแรงดันขั้วเริ่มมีความสัมพันธ์ตามสมการ (2.16)

$$V_T = V_{TO} \left[\sqrt{|2\phi_f| + V_{BS}} - \sqrt{|2\phi_f|} \right] \quad (2.16)$$

$$V_{TO} = V_T \left| V_{SB=0} = V_{FB} + 2|\phi_f| + \frac{\sqrt{2q\epsilon_{Si}N_{SUB}}|2\phi_f|}{C_{OX}} \right. \quad (2.17)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_{SUB}}}{C_{OX}} \quad (2.18)$$

γ = พารามิเตอร์ค่าขีดเริ่มของบัก (Bulk Threshold Parameter) มีหน่วยเป็น (volt^{-1/2})

$$\phi_F = \frac{KT}{q} \ln\left(\frac{N_{SUB}}{n_i}\right) \quad (2.19)$$

ϕ_F = ความต่างศักย์ที่พื้นผิวกลับอย่างหนาแน่น (Strong Inversion Surface Potential)

$$v_{FB} = \phi_{GB} - \frac{\phi_{SS}}{C_{OX}} \quad (2.20)$$

v_{FB} = ค่าแรงดันแถบราบ (Flat Band Voltage) มีหน่วยเป็น (volt)

$$\phi_{GB} = \phi_F(\text{substrate}) - \phi_f(\text{gate}) \quad (2.21)$$

$$\phi_f(\text{substrate}) = \frac{KT}{q} \ln\left(\frac{n_i}{N_{SUB}}\right) \quad (2.22)$$

$$\phi_f(\text{gate}) = \frac{KT}{q} \ln\left(\frac{N_{gate}}{n_i}\right) \quad (2.23)$$

$$Q_{SS} = N_{SS}q = \text{ประจุออกไซด์ (Oxide charge)} \quad (2.24)$$

γ = พารามิเตอร์ค่าขีดเริ่มของบัก (Bulk Thershold Parameter)

ϕ_F = ความต่างศักย์ที่พื้นผิวที่ผิวกลับอย่างหนาแน่น (Strong Inversion Surface Potential)

V_{FB} = ค่าแรงดันแบนราบ (Flat Band Voltage)

K = ค่าคงที่ของโบล์แมน (Boltzmann's Constant) มีค่า $1.38 \times 10^{-23} \text{ J}^\circ\text{K}$

T = ค่าอุณหภูมิ

n_i = ความหนาแน่นของพาหะภายใน (Intrinsic Carrier Concentration) มีค่า 1.45×10^{-10} cm⁻³

ϵ_{Si} = สภาพยอมของซิลิกอน (Permittivity of Silicon) มีค่า 1.0359×10^{-12} F/cm

ϵ_{OX} = สภาพยอมของซิลิกอนไดออกไซด์ (Permittivity of SiO₂) มีค่า 3.45×10^{-13} F/cm

ในการออกแบบวงจรมักจะออกแบบเพื่ออธิบายสมการของแบบจำลองที่มีพารามิเตอร์อยู่ในเทอมทางไฟฟ้ามากกว่าเทอมทางฟิสิกส์

$$i_D = \beta \left[(V_{GS} - V_T) - \left(\frac{v_{DS}}{2} \right) \right] v_{DS} (1 + \lambda v_{DS}) \quad (2.25)$$

$$\beta = \mu_{ox} C_{ox} \frac{W}{L} \text{ มีหน่วยเป็น (Amp/volt}^2) \quad (2.26)$$

β = Device Transconductance Parameter

เนื่องจากมอสเฟตมีการทำงานหลายย่าน สามารถแบ่งพิจารณาออกเป็น

1. ย่านคัตออฟ (Cutoff Region)

$$i_D = 0, \quad v_{GS} - V_T \leq 0$$

ช่องทางเดินกระแสจะมีพฤติกรรมเป็นการเปิดวงจร

2. ย่านไตรโอด (Triode Region)

$$i_D = \beta \left[(v_{GS} - V_T) - \left(\frac{v_{DS}}{2} \right) \right] v_{DS} (1 + \lambda v_{DS}), \quad 0 \leq v_{DS} \leq v_{GS} - V_T$$

3. ย่านอิ่มตัว (Saturation Region)

$$i_D = \beta \left[(v_{GS} - V_T) \right]^2, \quad 0 \leq v_{GS} - V_T \leq v_{DS}$$

2.5.2 แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็ก (Small Signal Mode)

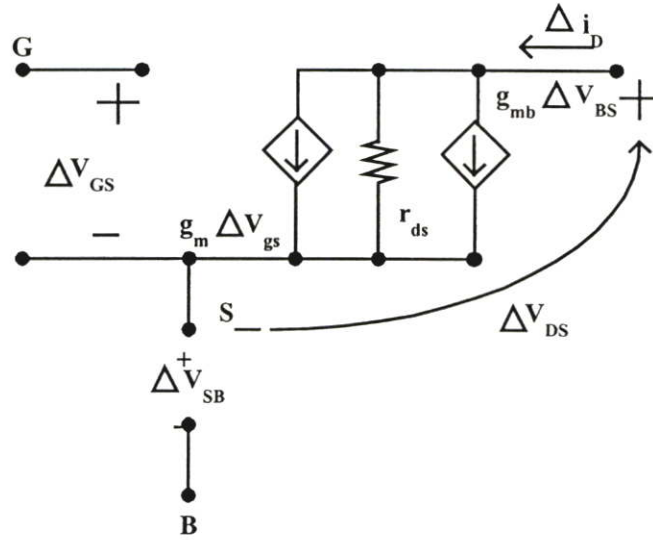
วงจรสมมูล (Small-Signal Equivalent Circuit Models) ของมอสเฟตหรือแบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กเป็นการแทนอุปกรณ์มอสเฟตด้วยวงจรไฟฟ้าเพื่อนำไปใช้ในการวิเคราะห์ผลตอบสนองหรือพฤติกรรมของสัญญาณขนาดเล็กที่มีการเปลี่ยนแปลงกับเวลาเข้าไปในมอสเฟต ณ ที่จุดไบอัสหนึ่งนั้นมอสเฟตจะทำงานได้เป็นเชิงเส้น ในช่วงเวลาเล็กน้อยนั้นซึ่งแบบจำลองที่ใช้พิจารณาสามารถทำให้อยู่ในรูปที่เข้าใจได้ง่ายและตัดผลของแรงดันไบอัสจะได้ดังรูปที่ 2.15 จากความสัมพันธ์

$$i_D = \beta \left[v_{GS} - V_{TO} - \gamma \sqrt{2|\phi_f| + v_{SB}} + \gamma \sqrt{2|\phi_f|} \right]^2 (1 + \lambda v_{DS}) \quad (2.27)$$

โดยที่

$$v_{GS} \equiv v_G - v_S$$

$$v_{DS} \equiv v_D - v_S$$



รูปที่ 2.15 วงจรสมมูลของมอสเฟตสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำและความถี่กลาง

ถึงแม้ว่า $v_S \neq 0$ แต่เมื่อมีการเปลี่ยนแปลงเล็กน้อยของ i_D , v_{GS} , v_{DS} และ v_{SB} แล้วสมการนี้สามารถอธิบายได้โดยการแทนความสัมพันธ์ของการเปลี่ยนแปลงเล็กน้อย ด้วยการประมาณของทอยเลอร์แบบอันดับหนึ่ง (First-order Taylor Approximation) โดยที่เมื่ออยู่ใกล้กับจุดไบอัส กระแสเดรนที่ใหญ่จะเป็นฟังก์ชันที่ขึ้นอยู่กับการผันแปรตำแหน่งต่างๆ ของมอสเฟต

$$i_D^0 = f(v_{GS}^0, v_{DS}^0, v_{SB}^0) \quad (2.28)$$

ดังนั้นเมื่อมีการเปลี่ยนแปลงสัญญาณขนาดเล็กใดๆ เข้าที่มอสเฟตจะได้รับความสัมพันธ์ของกระแสเป็น

$$i_D^0 + \Delta i_D^0 \cong i_D^0 + \left(\frac{\partial i_D}{\partial v_{GS}} \right)^0 \Delta v_{GS} + \left(\frac{\partial i_D}{\partial v_{DS}} \right)^0 \Delta v_{DS} + \left(\frac{\partial i_D}{\partial v_{SB}} \right)^0 \Delta v_{SB} \quad (2.29)$$

โดยที่ $\left(\frac{\partial i_D}{\partial v_{GS}}\right)^0$ เป็นการหาค่าอนุพันธ์ย่อยที่จุดไบอัส

ส่วน Δi_D เป็นกระแสเดรนที่มีการเปลี่ยนแปลงไปจากค่ากระแสเดรนที่จุดไบอัส, Δv_{GS} , Δv_{DS} , Δv_{SB} เป็นค่าที่เปลี่ยนแปลงของค่า v_{GS} , v_{DS} , v_{SB} ตามลำดับ จากค่าที่จุดไบอัสซึ่งการเปลี่ยนแปลงทั้งหมดต้องมีค่าน้อยเพียงพอ เพื่อให้สมการเป็นจริง ดังจะได้สมการความสัมพันธ์เป็น

$$\Delta i_D = g_m \Delta v_{GS} + g_d \Delta v_{DS} + g_{mb} \Delta v_{SB} \quad (2.29)$$

โดยที่

$$g_m \equiv \left(\frac{\partial i_D}{\partial v_{GS}}\right)^0 \quad (2.30a)$$

$$g_d \equiv \left(\frac{\partial i_D}{\partial v_{DS}}\right)^0 \quad (2.30b)$$

$$g_{mb} \equiv \left(\frac{\partial i_D}{\partial v_{SB}}\right)^0 \quad (2.30c)$$

g_d เป็นค่าความนำที่เดรน (Drain Conductance) ที่มีการเพิ่มขึ้น ส่วน g_m และ g_{mb} เป็นตัวส่งความนำผ่าน (Transconductance) ที่จะทำการแทนด้วยแหล่งจ่ายกระแสที่ถูกแรงดัน (VCCS) ซึ่งสามารถเขียนเป็นแบบจำลองของสมการได้เป็นดังรูปที่ 2.15 ซึ่งเป็นแบบจำลองของมอสเฟตที่สัญญาณขนาดเล็กในความถี่ต่ำ พิจารณา g_m โดยอาศัยความสัมพันธ์ของสมการ (2.30a) กับสมการ (2.25)

$$g_m \equiv \left(\frac{\partial i_D}{\partial v_{GS}}\right)^0 = 2\beta \left(v_{GS}^0 - V_{T0} - \gamma \sqrt{2|\phi_f| + v_{SB}^0} + \gamma \sqrt{2|\phi_f|} \right) \left(1 + \lambda v_{DS}^0 \right) \quad (2.31)$$

โดยที่สามารถจัดรูปสมการ (2.31) ให้อยู่ในรูปที่เข้าใจได้ง่ายขึ้น โดยใช้ความสัมพันธ์กับสมการ (2.25)

$$g_m = 2\sqrt{\beta(1 + \lambda v_{DS}^0) \cdot i_D^0} \quad (2.32)$$

กรณีไม่คิดผลของ λ, γ

$$g_m = \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_T) \quad (2.33)$$

โดยจัดให้อยู่ในรูปผลของการแสดเรน

$$g_m = 2 \frac{i_D}{(v_{GS} - V_T)} \quad (2.34)$$

$$g_{mb} = \left(\frac{\partial i_D}{\partial v_{SB}} \right) = -K \left(v_{GS}^0 - V_{T0} - \gamma \sqrt{2|\phi_f| + v_{SB}^0} + \gamma \sqrt{2|\phi_f|} \right) \left(1 + \lambda v_{DS}^0 \right) \frac{\gamma}{\sqrt{2|\phi_f| + v_{SB}^0}} \quad (2.35)$$

โดยจัดให้อยู่ในรูปผลของ g_m

$$g_{mb} = \frac{-\gamma}{2} g_m \frac{1}{\sqrt{2|\phi_f| + v_{SB}^0}} \quad (2.36)$$

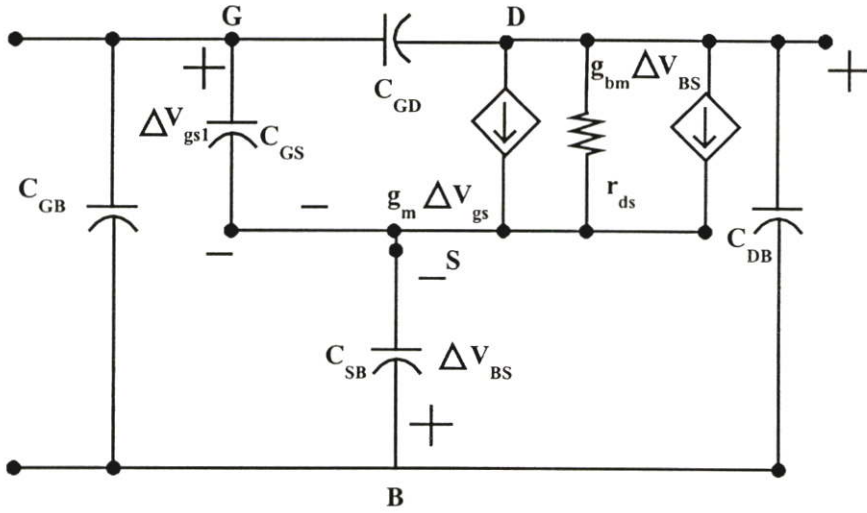
$$g_d \equiv \left(\frac{\partial i_D}{\partial v_{DS}} \right)^0 = K \left(v_{GS}^0 - V_{T0} - \gamma \sqrt{2|\phi_f| + v_{SB}^0} + \gamma \sqrt{2|\phi_f|} \right)^2 (\lambda) \quad (2.37)$$

โดยจัดให้อยู่ในรูปผลของการแสดเรน

$$g_d = \frac{\lambda i_D^0}{(1 + \lambda v_{DS}^0)} \quad (2.38)$$

2.5.3 แบบจำลองที่ใช้สำหรับสัญญาณขนาดเล็กที่ความถี่สูง

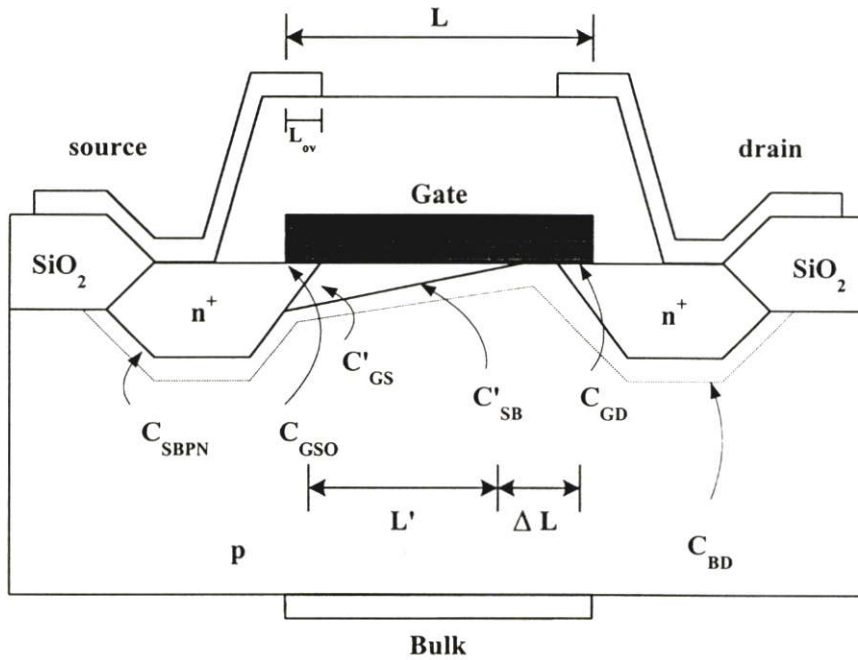
จากความสัมพันธ์ตามสมการ (2.32) และ (2.36) จะเห็นได้ว่า ค่าส่งผ่านความนำ g_m และ g_{mb} เป็นค่าที่ขึ้นอยู่กับค่ารากที่ 2 ของกระแสเดรนที่จุดไบอัส ส่วนค่าของความนำที่เดรนจะขึ้นอยู่กับค่ากระแสเดรนที่จุดไบอัส เมื่อต้องพิจารณาที่ความถี่สูงขึ้นพบว่า มีผลของตัวเก็บประจุขอรอยต่อต่างๆ กระทำออกมา ซึ่งสามารถพิจารณาเป็นแบบจำลองที่ใช้สำหรับสัญญาณขนาดเล็กที่ความถี่สูงได้ดังรูปที่ 2.16



รูปที่ 2.16 วงจรสมมูลที่ใช้สำหรับสัญญาณขนาดเล็กที่มีความถี่สูง

2.5.3.1 ค่าความจุไฟฟ้าที่แต่ละรอยต่อ

จากรูปที่ 2.17 ค่าของตัวเก็บประจุที่แต่ละรอยต่อดัง สามารถแบ่งพิจารณาได้เป็น



รูปที่ 2.17 ภาพตัดขวางการเกิดความจุไฟฟ้าต่างๆของ NMOS ในขณะที่อยู่ในย่านอิมิตัว

1. C_{GD} เป็นค่าความจุไฟฟ้าจากเกตไปเดรน ซึ่งก็คือส่วนค่าความจุไฟฟ้าของชั้นออกไซด์ของส่วนเชื่อมต่อชั้นกันของการแพร่สารเจือของที่เดรนกับเกต ซึ่งเป็นค่าที่ไม่ขึ้นอยู่กับการไบอัสแรงดัน
2. C_{GS} เป็นค่าความจุไฟฟ้าจากเกตไปซอส ซึ่งค่าความจุไฟฟ้าประกอบด้วย 2 ส่วนคือ
 - 2.1. C_{GSO} เป็นค่าความจุไฟฟ้าของชั้นออกไซด์บางที่เกิดการเชื่อมต่อชั้นกันของเกตกับซอส
 - 2.2. C_{GS} เป็นค่าความจุไฟฟ้าที่รอยต่อจากเกตไปยังช่องทางเดินกระแสมีค่าประมาณ $2/3$ ส่วนของ C_{OX} เป็นค่าความจุไฟฟ้าทั้งหมดของชั้นออกไซด์บางที่ต่อระหว่างเกตกับพื้นผิววัสดุฐานรอง โดยที่ค่าของ C_{GS} นี้ถ้าอยู่ในช่วงอิมิตัวจะมีค่าที่ไม่ขึ้นอยู่กับการไบอัส
3. C_{SB} เป็นค่าความจุไฟฟ้าจากซอสไปวัสดุฐานรอง ซึ่งจะประกอบไปด้วยค่าความจุไฟฟ้า 2 ส่วน
 - 3.1. C_{SBPN} เป็นค่าความจุไฟฟ้าที่รอยต่อ PN ที่อยู่ระหว่างพื้นที่เจือสารที่ซอสกับวัสดุฐานรอง
 - 3.2. C_{SB} เป็นค่าความจุไฟฟ้าที่ประเมินว่าเป็น $2/3$ ส่วนของค่าความจุไฟฟ้าของย่านปลอดพาหะที่อยู่ใต้ส่วนของช่องทางเดินกระแส ดังนั้นค่าความจุไฟฟ้าจากซอสไปวัสดุฐานรอง $C_{SB} = C_{SB} + C_{SBPN}$ จะเป็นค่าที่ขึ้นอยู่กับการไบอัสซึ่งมีส่วนคล้ายกับที่เกิดขึ้นในรอยต่อ PN ที่เป็นชั้น
4. C_{DB} เป็นค่าความจุไฟฟ้าจากเดรนไปวัสดุฐานรอง เป็นค่าความจุไฟฟ้าที่เกิดขึ้นจากรอยต่อ PN ดังนั้นจึงขึ้นอยู่กับการไบอัส
5. C_{GB} เป็นค่าความจุไฟฟ้าจากเกตไปวัสดุฐานรอง เป็นค่าความจุไฟฟ้าที่น้อยมากถ้าทำงานอยู่ในย่านอิมิตัว มีค่าประมาณ $0.1 C_{OX}$

2.5.3.2 แบบจำลองสัญญาณขนาดเล็กของการทำงานย่านไทรโอด

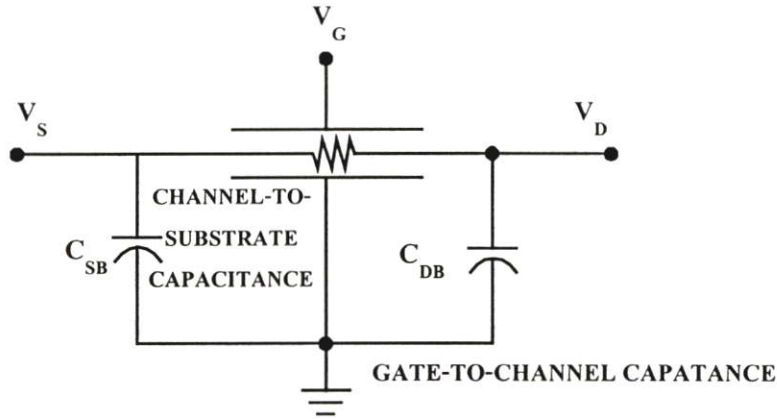
แบบจำลองสัญญาณขนาดเล็กของการทำงานย่านไทรโอดจะสามารถแทนด้วยความต้านทานจากสมการที่ (2.15) ความสัมพันธ์

$$i_D = \mu C_{OX} \frac{W}{L} \left[(v_{GS} - V_T) - \left(\frac{v_{DS}}{2} \right) \right] v_{DS} (1 + \lambda v_{DS})$$

$$0 \leq v_{DS} \leq v_{GS} - V_T$$

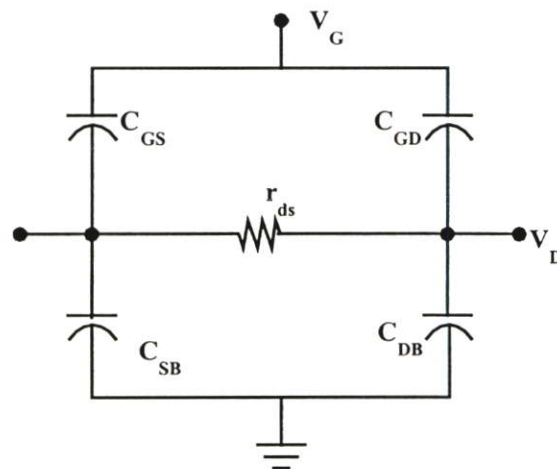
$$i_D = \mu C_{OX} \frac{W}{L} [(v_{GS} - V_T)] v_{DS} \quad (2.39)$$

$$\left(\frac{\partial i_D}{\partial v_{DS}}\right)^0 = \frac{1}{r_{ds}} \mu C_{ox} \frac{W}{L} [(v_{GS} - V_T)] \quad (2.40)$$



รูปที่ 2.18 วงจรที่ใช้อธิบายการทำงานที่สำคัญขนาดเล็กลงในย่านไทรโอดของมอสเฟตที่ความถี่สูง

แต่เมื่อพิจารณาที่ความถี่สูง เพื่อจะได้แบบจำลองที่มีความถูกต้องมากขึ้น สามารถแทนแบบจำลองนี้ได้ดังรูปที่ 2.18 โดยที่ค่าความจุไฟฟ้าของเกตไปยังช่องทางเดินกระแส และค่าความจุไฟฟ้าของช่องทางเดินกระแสไปยังวัสดุฐานรองเป็นอุปกรณ์กระจายตัว RC พบว่ามีความไม่เป็นเชิงเส้นสูงเพราะว่าค่าความจุไฟฟ้าในรอยต่อที่ซอสและเดรนเป็นค่าความจุไฟฟ้าในเขตปลอดพาหะที่ไม่เป็นเชิงเส้น เช่นเดียวกับค่าความจุไฟฟ้าที่เกิดระหว่างช่องทางเดินกระแสต่อหน่วยความยาวก็จะเพิ่มขึ้นเมื่อเคลื่อนที่เข้าใกล้เดรน ซึ่งแบบจำลองนี้มีความยุ่งยากซับซ้อนกว่าจะวิเคราะห์หัดด้วยมือแบบจำลองที่ง่ายและใช้เสมอในกรณีที่ v_{DS} มีค่าน้อยๆ ดังแสดงในรูปที่ 2.18 และภาพตัดขวางแสดงผลของการเกิดความจุไฟฟ้าที่รอยต่อต่างๆ ดังรูปที่ 2.19



รูปที่ 2.19 วงจรสมมูลอย่างง่ายของสัญญาณขนาดเล็กลงที่มอสเฟตทำงานย่านไทรโอดที่ความถี่สูง

ค่าความต้านทานเป็นไปตามสมการ(2.40) ส่วนค่าความจุไฟฟ้าจากเกตไปยังช่องทางเดินกระแส ถูกแบ่งออกเป็น 2 ส่วนคือระหว่างโนคของซอสและโนคของเดรน

$$C_{gs} = C_{gd} = WL \frac{C_{ox}}{2} = A_{ch} \frac{C_{ox}}{2} \quad (2.41)$$

จากสมการความสัมพันธ์ที่ได้ไม่รวมผลของค่าความจุไฟฟ้าที่เชื่อมต่อซ้อนทับกันของรอยต่อเกตถ้าต้องการความถูกต้องสูงควรจะรวมผลของค่าความจุไฟฟ้าที่เชื่อมต่อซ้อนทับกันของรอยต่อเกตไว้ด้วยค่าความจุไฟฟ้าที่ช่องทางเดินกระแสกับวัสดุฐานรองจะถูกแบ่งออกเป็น 2 ส่วนอย่างละครึ่งและร่วมระหว่างรอยต่อซอสกับเดรน แต่ละส่วนของค่าความจุไฟฟ้าจะต้องรวมผลของค่าความจุไฟฟ้าที่รอยต่อกับวัสดุฐานรองและผลของค่าความจุไฟฟ้าของรอยต่อบริเวณผนังเข้าที่โนคที่เหมาะสมซึ่งจะได้เป็น

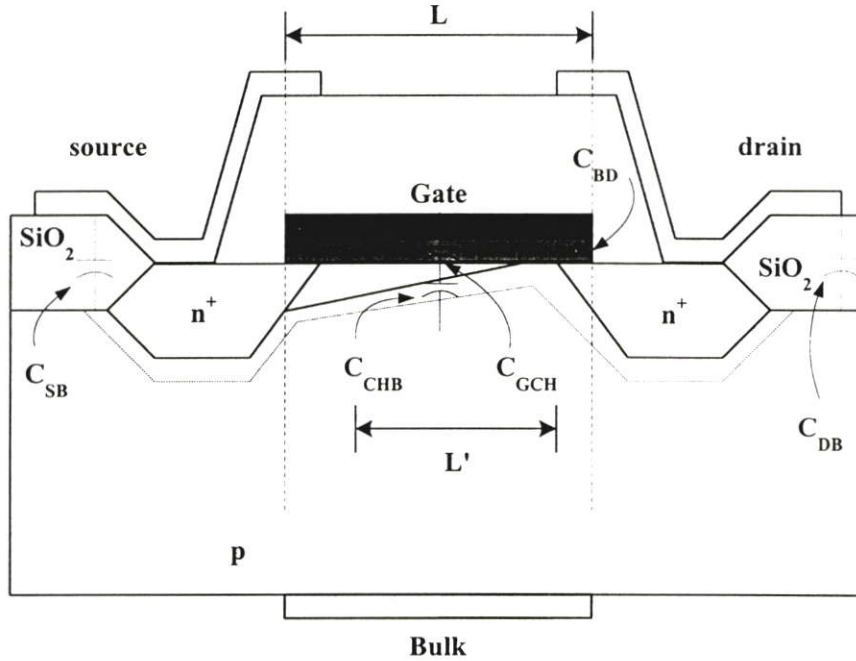
$$C_{SB=0} = C_{jo} \left(A_S + \frac{A_{ch}}{2} \right) + C_{jsw0} P_S \quad (2.42)$$

$$C_{DB=0} = C_{jo} \left(A_D + \frac{A_{ch}}{2} \right) + C_{jsw0} P_D \quad (2.43)$$

$$C_{SB} = \frac{C_{SB=0}}{\sqrt{1 + v_{SB} / \phi_f}} \quad (2.44)$$

$$C_{DB} = \frac{C_{DB=0}}{\sqrt{1 + v_{SB} / \phi_f}} \quad (2.45)$$

- โดยที่ A_X เป็นพื้นที่ของส่วนของ X
 C_{X0} เป็นค่าความจุไฟฟ้าของรอยต่อ X ที่แรงดันไบอัสเป็นศูนย์
 C_{jo} เป็นค่าความจุไฟฟ้าขานปลอดพาหะที่แรงดันไบอัสเป็นศูนย์
 C_{jsw0} เป็นค่าความจุไฟฟ้าต่อความยาวของที่ผนังด้านข้างที่แรงดันไบอัสเป็นศูนย์
 P_X เป็นความยาวเส้นรอบของด้านนั้นที่ต่อร่วมกันอยู่ที่เกต



รูปที่ 2.20 ภาพตัดขวางของการเกิดควมจุไฟฟ้าที่รอยต่อต่างๆ ของมอสเฟตที่อยู่ในย่านไทรโอด

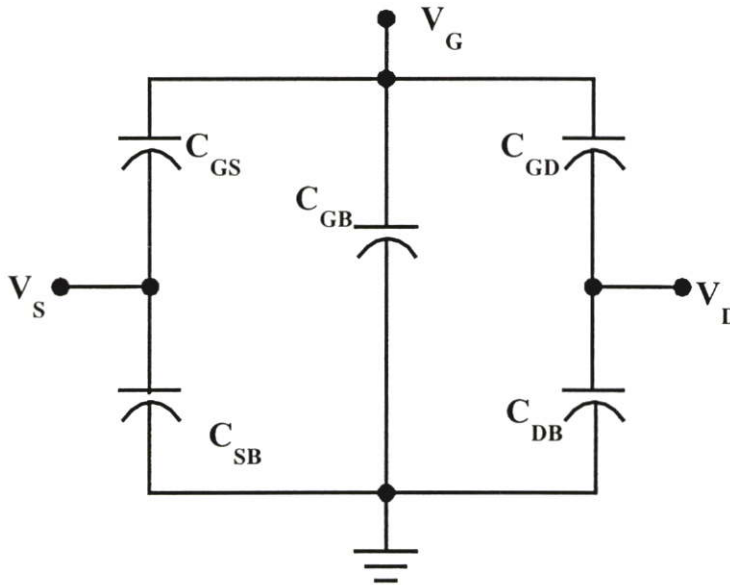
2.5.3.3 แบบจำลองสัญญาณขนาดเล็กของการทำงานย่านคัตออฟ

แบบจำลองสัญญาณขนาดเล็ก ที่ใช้งานย่านคัตออฟจะมีลักษณะคล้ายกับแบบจำลองการทำงานในย่านไทรโอด แต่จะแตกต่างกันที่ค่าต่างๆ คือ r_{DS} จะมีค่าเป็นอนันต์หรือเสมือนเปิดวงจร ส่วนค่าความจุไฟฟ้าจะแตกต่างจากย่านไทรโอดคือ C_{GS} และ C_{GD} จะมีค่าเล็กกว่ามากเพราะว่าช่องทางเดินกระแสไม่ได้เกิดขึ้น ดังนั้นค่าความจุไฟฟ้าจะมีเพียงที่เป็นส่วนของเหลื่อมซ้อนได้เป็น

$$C_{GS} = A_{ch} C_{OX} = WL_{OV} C_{OX} \quad (2.46)$$

การลดลงของ C_{GS} และ C_{GD} ไม่ได้ทำให้ค่าความจุไฟฟ้าที่เกิดทั้งหมดจะมีค่าน้อยลงเท่าไร เพราะว่ามีตัวค่าความจุไฟฟ้า C_{GB} ที่เป็นค่าความจุไฟฟ้าเกิดไปยังวัสดุฐานรองซึ่งมีค่าไม่เป็นเชิงเส้นและขึ้นอยู่กับกรไบอัสแรงดันที่เกิด จะได้ความสัมพันธ์ดังสมการที่ (2.47)

$$C_{GB} = A_{ch} C_{OX} = WLC_{OX} \quad (2.47)$$

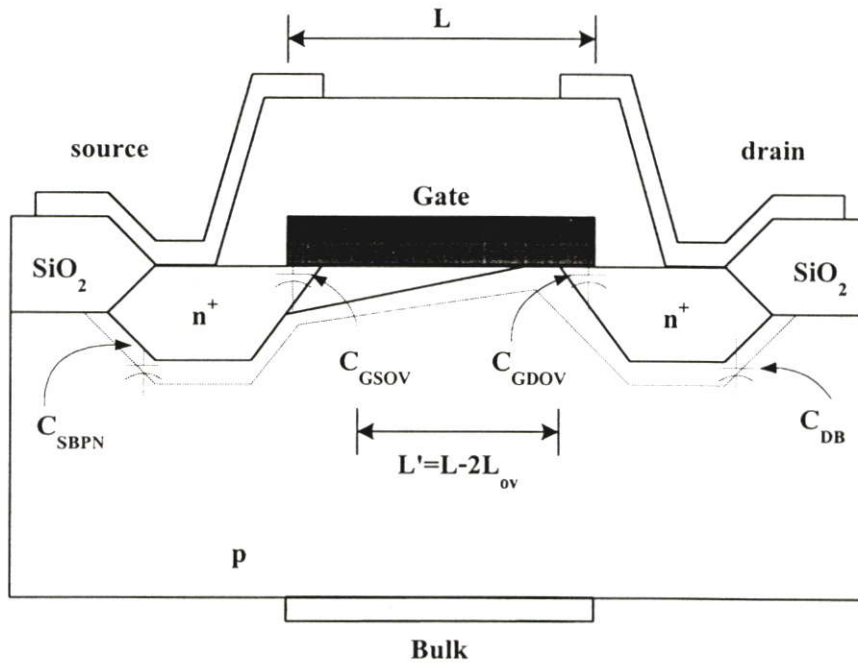


รูปที่ 2.21 แสดงวงจรสมมูลอย่างง่ายของสัญญาณขนาดเล็กในมอสเฟตในย่านคัตออฟที่ความถี่สูง

ซึ่งสามารถแสดงในรูปที่ 2.21 และสามารถเข้าใจได้ดีขึ้นโดยใช้ภาพตัดขวางการเกิดควมจุไฟฟ้าที่รอยต่อต่างๆ ดังแสดงในรูปที่ 2.22 ถ้าแรงดันที่เกิดไปขอสมีค่าเข้าใกล้ 0 Volt ดังนั้นจะเป็นการต่ออนุกรมของค่าความจุไฟฟ้าของเขตผลิตพาหะของช่องทางเดินกระแส ทำให้ค่าความจุไฟฟ้า C_{SB} และ C_{DB} จะมีค่าน้อยกว่าเมื่อไม่มีช่องทางเดินกระแสปรากฏ

$$C_{SB=0} = A_S C_{J_0} \quad (2.48)$$

$$C_{DB=0} = A_D C_{J_0} \quad (2.49)$$



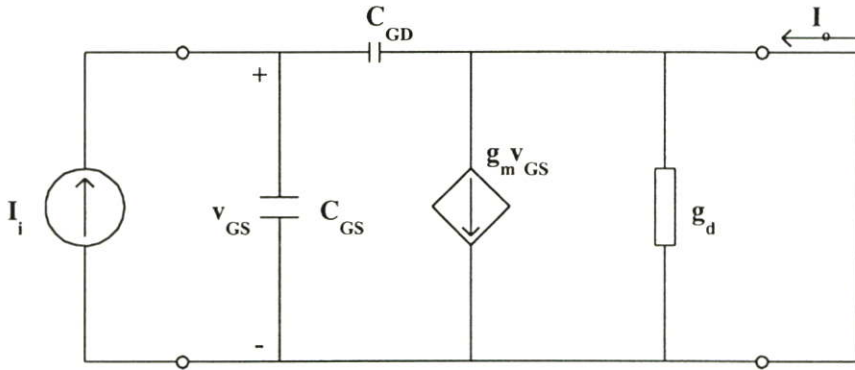
รูปที่ 2.22 ภาพตัดขวางแสดงผลของการเกิดควมจุไฟฟ้าที่รอยต่อต่างๆ

นอกจากนี้ค่าความจุ C_{GS} ยังต้องรวมกับส่วนที่เกิดจากค่าความจุออกไซด์แฝงเนื่องจากพื้นที่บางส่วนของเกตซ้อนทับกับพื้นที่บางส่วนของซอส คุณสมบัติที่สำคัญอีกประการหนึ่งสำหรับการทำงานที่ความถี่สูงของมอสเฟตที่ทำงานเป็นวงจรรขยาย คือ ความถี่ที่อัตราขยายเป็นหนึ่ง (Unity-gain Frequency) f_T โดยมีนิยามว่า เป็นความถี่อัตราขยายกระแสของมอสเฟตที่อยู่ในรูปแบบวงจรรขยายรวม (Common Source Configuration) มีค่าเป็นหนึ่งขณะที่ปัดวงจร (Short Circuit) จากรูปที่ 2.23 แสดงแบบจำลองไฮบริด-ไพ (Hybrid- π) ของมอสเฟตในลักษณะซอสรวมระหว่างอินพุตและเอาต์พุต ในการหาอัตราขยายกระแสขณะปัดวงจรจะต้องทำการป้อนแหล่งกำเนิดกระแส I_s ที่อินพุตและที่เอาต์พุตปัดวงจรและทำการหากระแสที่เอาต์พุตได้

$$I_o = g_m v_{GS} - SC_{GD} v_{GS} \quad (2.50)$$

จากที่กล่าวข้างต้น C_{GD} มีค่าน้อยมากทำให้พจน์สุดท้ายของสมการ (2.50) เข้าใกล้ศูนย์ดังนั้นจะได้สมการใหม่เป็น

$$I_o \cong g_m v_{GS} \quad (2.51)$$



รูปที่ 2.23 แสดงการหาอัตราขยายกระแสขณะปิดวงจร

จากรูปที่ 2.23 สามารถแสดง v_{GS} ในพจน์ของการเสือนพหุ I_i ได้

$$v_{GS} = \frac{I_i}{s(C_{GS} + C_{GD})} \quad (2.52)$$

จากสมการ (2.50) และ (2.51) จะได้อัตราขยายกระแสขณะปิดวงจร

$$\frac{I_O}{I_i} = \frac{g_m}{s(C_{GS} + C_{GD})} \quad (2.53)$$

โดย $s=j\omega$ และจะได้ขนาดของอัตรการขยายกระแสมีค่าเป็นหนึ่งที่ความถี่

$$\omega_T = \frac{g_m}{(C_{GS} + C_{GD})} \quad (2.54)$$

ดังนั้นความถี่ที่อัตราขยายเป็นหนึ่ง $f_T = \omega_T/2\pi$ คือ

$$f_T = \frac{g_m}{2\pi(C_{GS} + C_{GD})} \quad (2.55)$$

ซึ่งค่าของ f_T แปรผันตามค่า g_m และแปรผกผันกับค่าความจุไฟฟ้าภายในตัวมอสเฟต เมื่อแทนค่า ในสมการ (2.34) จะพบว่าค่า f_T จะขึ้นอยู่กับค่ากระแสเดรน I_D ซึ่งสามารถสรุปได้ว่ากระแสเดรนมีส่วนในการทำงานของมอสเฟตความถี่สูง ค่าโดยทั่วไปของ f_T จะมีค่าอยู่ในช่วงประมาณ 100 เมกกะเฮิร์ตซ์ (MHz) สำหรับเทคโนโลยีแบบเก่า(เช่นเทคโนโลยีการผลิตกระบวนการผลิต

CMOS 5 ไมครอน) และสูงถึงกิกะเฮิร์ตซ์ (GHz) สำหรับเทคโนโลยีความเร็วสูง (High-speed Technologies) ที่ใหม่กว่า (เช่น เทคโนโลยีกระบวนการผลิต CMOS 0.8 ไมครอน)

2.6 บทสรุป

ที่กล่าวมาในบทนี้เป็นการอ้างอิงถึงชนิดของมอสเฟต โดยแบ่งตามลักษณะการทำงานและได้อธิบายถึงโครงสร้างของมอสที่เป็น N-Channel และ P-Channel แสดงสัญลักษณ์ทั้ง nMOS และ pMOS ในดีพลีชันและเอนฮานซ์โหมด อธิบายการทำงานของมอสเฟตของการเกิดช่องทางเดินกระแสแสดงแบบจำลองของมอสเฟตที่แบ่งเป็นแบบจำลองสัญญาณขนาดใหญ่ และแบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็ก และแสดงให้เห็นแบบจำลอง ที่ใช้สำหรับสัญญาณขนาดเล็กที่ความถี่สูงเทคโนโลยี CMOS การตอบสนองทางความถี่ซึ่งต้องพิจารณาถึงค่าความจุไฟฟ้าต่างๆ ที่เกิดขึ้นจากโครงสร้างของมอสเฟต ผลการของอนุภูมิภาคที่มีต่อมอสเฟต สิ่งทีกล่าวถึงทั้งหมดนี้จะ เป็นพื้นฐานของการออกแบบ วงจร โดยใช้ออสเฟตที่จะกล่าวถึงต่อไป

บทที่ 3

ทฤษฎีการทำงาน

การทำงานของวงจรเกิดจากนำวิธีการหาค่ามัธยฐานทางทฤษฎีที่เรียกว่า Order Statistic [1] และนำมาสังเคราะห์วงจรให้สามารถทำงานและได้ผลคือสัญญาณค่ามัธยฐานออกทางด้านเอาต์พุต โดยอาศัยมอสทรานซิสเตอร์ประกอบเป็นวงจรขยายผลต่าง สำหรับอินพุตจำนวน n และวงจรเลือกค่ามัธยฐานซึ่งมีการทำงานดังนี้

3.1 หลักการทำงานของวงจรกรองสัญญาณมัธยฐาน

ในหลายๆ ส่วนขององค์ประกอบที่เป็นอนาล็อก หรือที่เป็นไฮบริดจ์ ซึ่งผสมผสานระหว่าง ดิจิตอลและอนาล็อกนั้นจะพบเห็นในหลาย ๆ วงจร ได้มีการประยุกต์ใช้งานของตัวกรองสัญญาณค่ามัธยฐานนี้อย่างกว้างขวางดังเช่น นิวรอนเน็ตเวิร์ค (Neural Network) ตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล (Successive Approximation A/D Converters) หรือใช้ร่วมกับวงจรโฮลด์ (Holding Circuit) ที่ใช้ร่วมในวงจรเปรียบเทียบกับสัญญาณฟันเลื่อย (Sawtooth Waveform) ซึ่งส่วนใหญ่ของวงจรที่พบเห็นจะค่อนข้างยุ่งยากซับซ้อน โดยทั่วไปในการแยกค่าของสัญญาณจะใช้การหาค่าสูงสุดและต่ำสุด (Min/Max Value) จากอินพุต $In_i, i = 1$ to n ซึ่งเอาต์พุตจะขึ้นกับสัญญาณอินพุตตามระดับความสูงมากน้อยของสัญญาณเรียงลำดับด้วยค่าจริง (Real Numbers)

จากหลักการของ Order Statistic

$$x_1, x_2, \dots, x_n \quad (3.1)$$

นำอินพุตมาทำการจัดเรียงลำดับ

$$x_1 \leq x_2 \leq \dots \leq x_n \quad (3.2)$$

จะได้เอาต์พุตที่ถูกจัดเรียงลำดับจากมากไปน้อยในสมการ (3.1)

$$Out_1 \geq Out_2 \geq \dots \geq Out_n \quad (3.3)$$

ในการหาค่าลำดับที่ต้องการจาก rank k

$$Out_k = rank_k (In_1, In_2, \dots, In_n) \quad (3.4)$$

ในการหาค่ากลางนั้นอินพุตต้องเป็นจำนวนคี่ (Odd Number) การวิจัยนี้จะใช้ 3 อินพุต ก็จะสามารถหาค่ากลางหรือค่ามัธยฐานได้จากสมการ (3.7) จะเห็นว่าค่าอินพุตที่มีขนาดข้อมูลที่ใหญ่มากซึ่งเกิดจากสมาชิก x ใด ๆ เช่นเดียวกับอินพุตที่มีขนาดข้อมูลเล็กนำมาหักล้างกันกับข้อมูลแต่ก็เป็นการยากที่จะแยกแยะจึงแก้ไขด้วยการป้อนกลับสัญญาณเพื่อจำกัดค่าความนำของภาคขยาย สัญญาณซึ่งจะเป็นไปตามสมการ (3.8) ดังนี้

จากสัญญาณอินพุตนำมาหาค่าสูงสุดต่ำสุด (Min/Max Value) โดยการเปรียบเทียบ

$$(x_1, x_2) \rightarrow \min(x_1, x_2) = \frac{1}{2}(x_1 + x_2) - \frac{1}{2}|x_1 - x_2| \quad (3.5)$$

$$(x_1, x_2) \rightarrow \max(x_1, x_2) = \frac{1}{2}(x_1 + x_2) + \frac{1}{2}|x_1 - x_2| \quad (3.6)$$

$$\text{med}(In_1, In_2, In_3) = \max(\min(In_1, In_2), \min(In_2, In_3), \min(In_3, In_1)) \quad (3.7)$$

med : Median Value หรือค่ามัธยฐาน

max : Maximum Value หรือค่าสูงสุด

min : Minimum Value หรือค่าต่ำสุด

X_i : ค่าของสัญญาณอินพุตจาก 3 อินพุต ที่ $i = 1$ ถึง 3

จะได้สมการ $f(x)$

$$f(x) = \begin{cases} 1, & \text{สำหรับ } x > \mathcal{E} \\ \frac{x}{\mathcal{E}}, & \text{สำหรับ } |x| \leq \mathcal{E} \\ -1, & \text{สำหรับ } x < -\mathcal{E} \end{cases} \quad (3.8)$$

\mathcal{E} : เป็นค่าระดับช่วงเล็กๆ ที่เปลี่ยนในช่วงระหว่างหรือใกล้ถึงค่าที่อินพุตสูงสุดหรือต่ำสุด

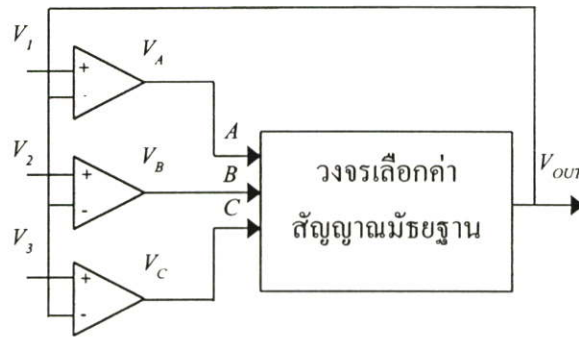
x : เป็นช่วงที่อินพุตมีค่าเป็นบวกหรือลบ

จากสมการสมมติให้ $f(x)$ มีค่าเท่ากับสมการ (3.8) ช่วงการเปลี่ยนแปลงของฟังก์ชัน $f(x)$ อยู่ระหว่าง 1 ถึง -1 ซึ่งเป็นค่าขอบเขตระหว่างค่าสูงสุดและค่าต่ำสุด

ในกรณี n อินพุตสามารถหาขอบเขตของค่า x_i ที่ $i = 1$ ถึง n จะได้ค่ามัธยฐานเป็น x_n สามารถนำมาเขียนได้เป็นสมการ (3.9) โดยค่า $\mathcal{E} \rightarrow 0$

$$\lim_{\varepsilon \rightarrow 0} \sum_{i=1}^n f(x_i - x_M) = 0 \quad (3.9)$$

จากสมการ (1.1) และรูปที่ 1 ถ้านำค่ามาเปรียบเทียบเพื่อให้ได้ค่ามัธยฐานหรือค่ากลางคือค่าที่อยู่ระหว่าง ε และ $-\varepsilon$ โดยที่ค่าที่เป็นค่ามัธยฐานจะอยู่ในบริเวณแถบสีเทา ในการออกแบบนั้นจะอาศัยบล็อกไดอะแกรมในรูปที่ 3.1 เป็นพื้นฐานในการออกแบบส่วนประกอบของวงจรกรองสัญญาณมัธยฐาน โดยมี V_1 , V_2 และ V_3 เป็นสัญญาณอินพุตที่ต้องการหาค่ามัธยฐานและมีการป้อนกลับจาก V_{OUT} เพื่อนำค่าเอาต์พุตมาเปรียบเทียบหาความแตกต่างของค่าอินพุตจะได้ V_A , V_B และ V_C ออกจากภาค วงจรขยายความแตกต่าง และป้อนเข้าสู่ภาควงจรเลือกค่าสัญญาณมัธยฐานให้ได้ค่า V_{OUT} ที่เป็นค่าสัญญาณมัธยฐาน



รูปที่ 3.1 บล็อกไดอะแกรมของวงจรกรองสัญญาณมัธยฐาน

$$V_1 \pm V_{OUT} = V_A \quad (3.10)$$

$$V_2 \pm V_{OUT} = V_B \quad (3.11)$$

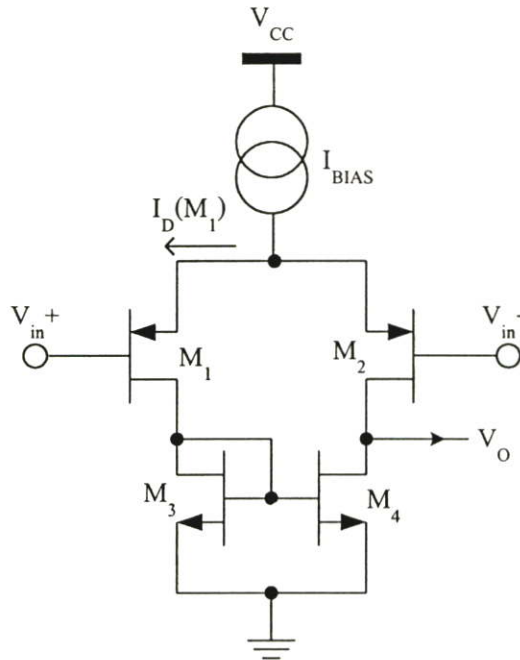
$$V_3 \pm V_{OUT} = V_C \quad (3.12)$$

3.2 ภาควงจรขยายความต่างด้านอินพุต

วงจขยายความแตกต่างนั้นได้ใช้ [5] วงจขยายความแตกต่างแบบพื้นฐานทรานสคอนดักเตอร์ ซึ่งประกอบด้วยส่วนของขยายผลต่างดังรูปที่ 3.2 ให้เกณฑ์การขยายที่สูงโดยมีแหล่งจ่ายกระแสคงที่ให้เป็นไบแอสกับวงจร ดังนี้

$$I_{BIAS} = I_D(M_1) + I_D(M_2) \quad (3.13)$$

จากรูปที่ 3.2 จะได้สมการที่ (3.10) , (3.11) และ (3.12) ตามลำดับโดยที่ค่า W/L ของ M_1 เท่ากับ M_2 จะเห็นว่าค่า V_{in} ก็คือค่า V_{gs} ของ pMOS ทรานซิสเตอร์ถ้าค่า V_{in} มีค่าน้อยมากก็จะได้สมการที่ (3.16) และ (3.17) ตามลำดับ



รูปที่ 3.2 วงจรขยายความแตกต่างอย่างง่าย pMOS

$$I_D(M_1) = \frac{K_P}{2} (V_{gs} - V_{t1})^2 \quad (3.14)$$

$$K_P = \mu_p C_{ox} \frac{W}{L} \quad (3.15)$$

กรณีของ M1

$$I_D(M_1) = \frac{K_P}{2} (V_{in}^+ - V_c - V_{TP})^2 \quad (3.16)$$

V_{TP} : Threshold voltage ของ pMOS

กรณีของ M2

$$I_D(M_2) = \frac{K_P}{2} (V_{in}^- - V_c - V_{TP})^2 \quad (3.17)$$

เพราะฉะนั้นความต่างของกระแสเอาต์พุต $I_D(M_1) - I_D(M_2)$ มีค่า

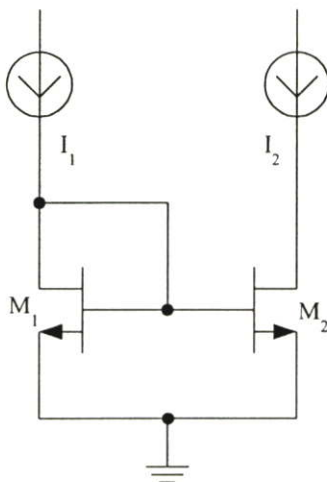
$$I_D(M_1) - I_D(M_2) = \frac{K_P}{2} (V_{in}^+ - V_{in}^-)(V_{in}^+ + V_{in}^- - 2V_C - 2V_{TP}) \quad (3.18)$$

วงจรในส่วนสะท้อนกระแสใช้นี้ ใช้หลักการจากวงจรสะท้อนกระแสแบบ Cascode

3.3 ภาควงจรสะท้อนกระแสแบบ High-Swing

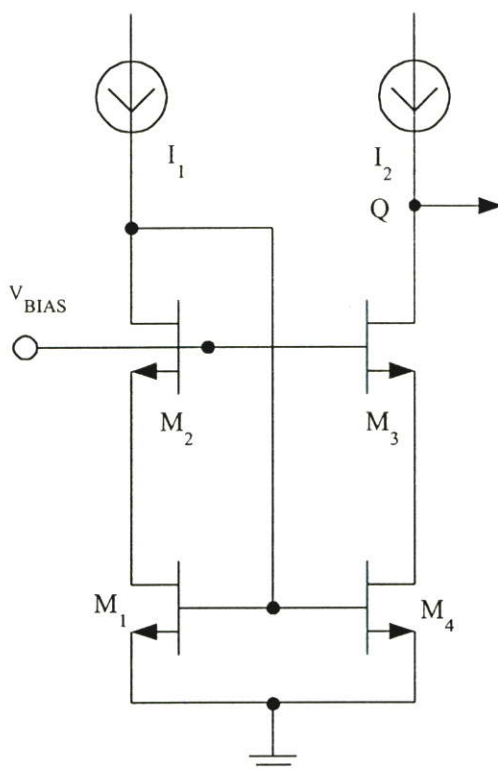
ภาควงจรสะท้อนกระแสยึดหลักการการทำงานของวงจรสะท้อนกระแสดังรูปที่ 3.3 ซึ่งเป็นส่วนด้านล่างของวงจรในรูปที่ 3.2 จะได้ว่า

$$I_1 = I_2 \quad (3.19)$$



รูปที่ 3.3 วงจรสะท้อนกระแสแบบสองทรานซิสเตอร์

แต่เนื่องจากวงจรสะท้อนกระแสในรูปที่ 3.3 นี้ประกอบด้วยทรานซิสเตอร์เพียงสองตัวทำให้วงจรมีการสะท้อนกระแสที่มีความต้านทานทางอินพุตและเอาต์พุต ค่อนข้างต่ำการเปลี่ยนแปลงของแรงดันที่มอดคร่อมมีน้อยเป็นแบบ Lower Swing เพราะระดับแรงดันที่มอดคร่อมและการเปลี่ยนแปลงมีไม่สูงมากนักจึงมีการปรับปรุงโดยต่อวงจรในลักษณะแบบที่เรียกว่า Cascode ซึ่งจะทำให้มีความต้านทานสูงขึ้นกว่าเดิม ทำให้การเปลี่ยนแปลงของแรงดันคร่อมมีการเปลี่ยนแปลงมากขึ้นที่เป็นแบบ High-Swing นั่นก็คือวงจร High-Swing Current Mirror แสดงในรูปที่ 3.4



รูปที่ 3.4 วงจร High-Swing Current Mirror

ค่าไบแอสที่ให้จะเป็นแรงดันที่ทำให้ตัวทรานซิสเตอร์ M_3 และ M_4 ทำงานในช่วงเข้าสู่ Saturation ในขณะที่ กระแส I_1 และ I_2 จะสามารถไหลสูงสุดในแต่ละสาขา ซึ่งจะให้มีแรงดันตกคร่อมที่จุด Q มีค่าเป็น $V_{DS}(M_2) + V_{DS}(M_4)$ และค่ากระแสต่ำสุดที่ไหลผ่านวงจรคือ $V_{T2} + V_{DS}(M_{2sat}) + V_{DS}(M_{4sat})$ ดังนั้นจะเห็นว่าวงจรสามารถทำงานได้ที่แหล่งจ่ายไฟระดับต่ำ โดยการกำหนดค่าแรงดันไบอัสมีความเหมาะสมที่จะนำวงจร High-swing current mirror แม้จะใช้กับแหล่งจ่ายไฟที่ระดับต่ำได้จาก รูปเป็นอัตราส่วนของ W/L ของชุด M_1 และ M_4 มีค่า

$$W_1/L_1 = W_4/L_4 \quad (3.20)$$

M_2 และ M_3 มีค่า

$$W_2/L_2 = W_3/L_3 \quad (3.21)$$

ที่ W_1, W_2, W_3 และ W_4 ตามลำดับ คือความกว้างของช่องทางเดินกระแส L_1, L_2, L_3 และ L_4 เป็นความยาวของช่องทางเดินกระแส ของ M_1 ถึง M_4 ตามลำดับ

โดยไม่คำนึงถึง Bulk effect จากรูปกระแสอินพุต I_1 และ I_2 จะมีผลต่อแรงดันไฟที่ Gate–Source และ Drain–Source ดังต่อไปนี้

$$V_{gs1} = V_T + \sqrt{\frac{2I_1}{K' \frac{W_1}{L_1}}} \quad (3.22)$$

$$V_{gs2} = V_T + \sqrt{\frac{2I_2}{K' \frac{W_2}{L_2}}} \quad (3.23)$$

$$V_{ds1} = V_{BIAS} - V_{gs2} = V_{BIAS} - V_T - \sqrt{\frac{2I_2}{K' W_2 / L_2}} \quad (3.24)$$

$$V_{ds2} = V_{gs1} - V_{ds1} \quad (3.25)$$

$$V_{ds2} = 2V_T - V_{BIAS} + \sqrt{\frac{2I_1}{K'}} \left(\frac{1}{\sqrt{\frac{W_1}{L_1}}} + \frac{1}{\sqrt{\frac{W_2}{L_2}}} \right) \quad (3.26)$$

V_T : แรงดัน Threshold voltage

V_{BIAS} : แรงดันไบแอสที่ขาเกต

K' : Transconductanceพารามิเตอร์

ในสถานะที่ทรานซิสเตอร์ทำงานในย่านอิ่มตัวจะได้ว่า $V_{gs} - V_T \leq V_{ds}$ นั่นก็คือ ค่า V_{BIAS} ที่ให้จะต้องมีค่ามากกว่าหรือเท่ากับ $V_{ds1} + V_{gs2}$ เพื่อให้มอส M_1 และ M_2 จะได้ทำงานในย่านอิ่มตัวดังนั้น ค่า V_{BIAS} เท่ากับ

$$V_T + \sqrt{\frac{2I_1}{K'}} \left(\frac{1}{\sqrt{\frac{W_1}{L_1}}} + \frac{1}{\sqrt{\frac{W_2}{L_2}}} \right) \leq V_{BIAS} \quad (3.27)$$

เพราะฉะนั้น V_{BIAS} ที่ทำให้มอสเริ่มนำกระแสจะทำงานในย่าน Triode Region จะมีค่าเท่ากับสมการ (3.28)

$$V_{BIAS} \leq 2V_T + \sqrt{\frac{2I_1}{K' \frac{W_1}{L_1}}} \quad (3.28)$$

จาก (3.27) เป็นการทำงานที่สภาวะ Saturation ของ M_2 ซึ่งทำให้กระแส I_1 ที่ไหลเข้าสู่สภาวะ Max เนื่องจากการให้ไบแอส V_{BIAS} ที่ขาเกตของ M_2 ในสภาวะที่เหมาะสม และค่า I_1 เท่ากับ

$$I_{1,max} = \frac{K' W_1}{2L_1} (V_{BIAS} - V_T)^2 \left(\frac{\sqrt{(W_2/L_2)/(W_1/L_1)}}{1 + \sqrt{(W_2/L_2)/(W_1/L_1)}} \right)^2 \quad (3.29)$$

จากสมการ (3.28) สามารถหาค่าต่ำสุดของ I_1 ดังสมการ (3.26) ที่สภาวะ Saturation ของ M_2

$$I_{1,min} = \frac{K'}{2} (V_{BIAS} - 2V_T)^2 \frac{W_1}{L_1} \quad (3.30)$$

ในกรณีเงื่อนไขที่สำคัญอีกประการคือ ที่สภาวะ $I_{1,min} = 0$ V_{BIAS} จะต้องมีค่าเป็น

$$V_{BIAS} \leq 2V_T \quad (3.31)$$

ดังนั้นสามารถคำนวณหาค่าของความยาวและความกว้างหรือ W/L ของทั้งคู่ทรานซิสเตอร์ตัวบน และล่างได้ดังจากสมการ(3.28) และ (3.29)

$$\frac{W_1}{L_1} \left(\frac{\sqrt{(W_2/L_2)/(W_1/L_1)}}{1 + \sqrt{(W_2/L_2)/(W_1/L_1)}} \right)^2 \geq \frac{2I_{1,max}}{V_T^2 K'} \quad (3.32)$$

ในกรณีกำหนดค่า $W_1 = W_2$ และ $L_1 = L_2$ ทำให้มีสัดส่วนที่เท่ากันแล้วด้วยคุณสมบัติการสะท้อนกระแสของทรานซิสเตอร์ทั้งสองคู่นี้จะได้

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} \geq \frac{W}{L} \frac{2I_{1,max}}{V_T^2 K'} \quad (3.33)$$

แรงดันเกต-ซอสคือ

$$V_{gs1} - V_T = \sqrt{\frac{2I_1}{K' \frac{W_1}{L_1}}} = \frac{V_T}{2} \sqrt{\frac{I_1}{I_{1,max}}} \quad (3.34)$$

ทำให้สามารถหาแรงดันเอาต์พุตต่ำสุดที่ได้จากการสะท้อนกระแสคือ

$$V_{out,min} = V_{BIAS} - V_T = V_T \quad (3.35)$$

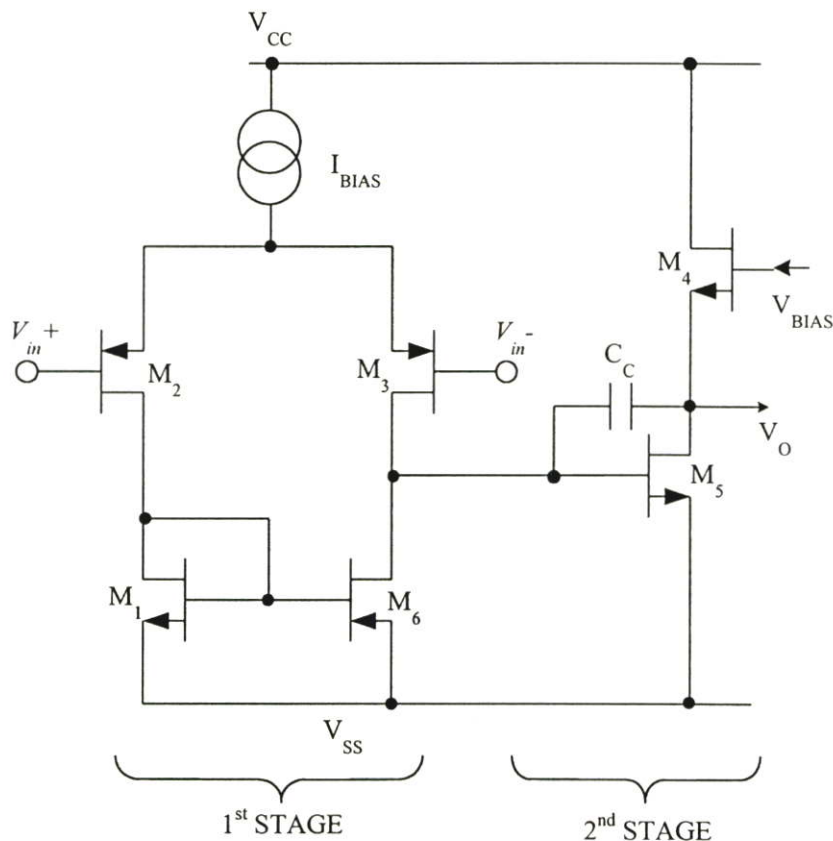
จากสมการทำให้เห็นว่าแรงดันเอาต์พุตจะเป็นอิสระจากกระแสอินพุต ค่าแรงดันเกต-ซอส $V_{gs1} - V_T$ สามารถเพิ่มค่าให้มากขึ้นจาก (3.33) โดยเพิ่มค่าอัตราส่วนของ W/L ของคู่บนคือ W_2/L_2 และ W_3/L_3 ตามลำดับ ถ้าอัตราส่วน W/L นี้มีความต่างกันสูงระดับแรงดันเกต-ซอสก็จะลดลง

3.4 วงจรขยายความต่าง Two-Stage Differential Amplifier

วงจรขยายความต่างแบบ สองสเตจคิฟเฟอร์เรนเซียลนี้ มีลักษณะการเชื่อมต่ออุปกรณ์ มอสทรานซิสเตอร์ที่ไม่ซับซ้อนและมีส่วนประกอบที่มีคุณสมบัติดังนี้

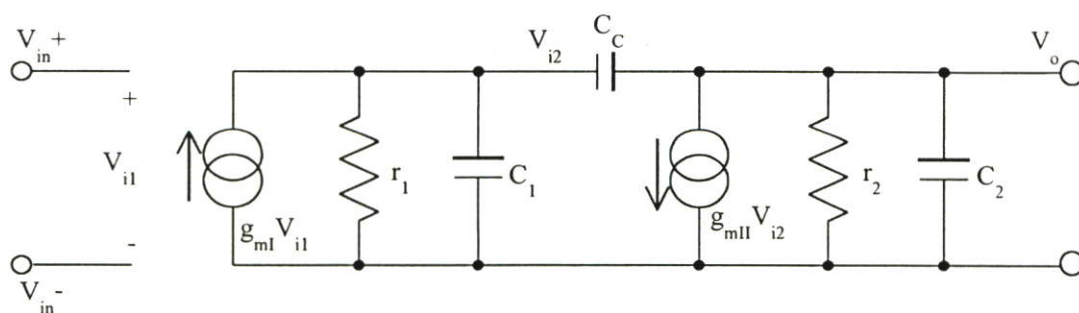
1. มีสมรรถภาพต่อสัญญาณรบกวนได้ดี
2. มีวงจรในส่วนที่สองเพื่อช่วยในการยกระดับสัญญาณ
3. มีวงจรสะท้อนกระแส
4. เพิ่มประสิทธิภาพในด้าน Power Supply Rejection Ratio (PSRR)
5. มี Self Compensating

ลักษณะวงจรขยายความต่างเบื้องต้นแสดงดังในรูปที่ 3.5 จากวงจรเป็นวงจรที่ใช้ pMOS คู่เป็นอินพุตและมีวงจรสะท้อนกระแสในส่วนด้านล่างของวงจรโดยใช้ nMOS คู่และวงจรในส่วนที่สองของวงจรขยายความต่างนี้จะเป็นส่วนขาออกหรือเป็นบัฟเฟอร์



รูปที่ 3.5 วงจรขยายความต่างแบบ Two-Stage

จากวงจรรูปที่ 3.5 สัญญาณที่ได้จากวงจรดิฟเฟอเรนเชียลจะเกิดอินพุต V_{in+} และ V_{in-} ซึ่งมีความแตกต่างกันทำให้เกิดการขยายของวงจรขยายความต่างหรือดิฟเฟอเรนเชียลนี้ส่งผลให้มีกระแส I_D จากมอส M_2 และ M_3 เป็นผลให้กระแสไหลผ่านวงจรสะท้อนกระแสส่งผลให้มีกระแสไหลจากวงจรในส่วนภาคแรกหรือ 1st STAGE ผ่านไปยังขาเดรนของ M_5 ของภาคที่สองหรือ 2nd STAGE ส่งต่อเป็นสัญญาณออกเอาต์พุต V_O สามารถเขียนวงจรเสมือนเพื่อพิจารณาร่วมกับสัญญาณขนาดเล็กได้แสดงในรูปที่ 3.6



รูปที่ 3.6 วงจรเสมือนสัญญาณขนาดเล็กของวงจรขยายความต่าง Two-Stage

จากรูปที่ 3.6 วงจรเสมือนสัญญาณขนาดเล็กของวงจรขยายความต่าง Two-Stage จะได้ V_{il} เป็น

$$v_{il} = v_{in}^+ - v_{in}^- \quad (3.36)$$

ส่วนของ r_1 และ r_2 จะเป็นการนำค่าความต้านทานของทรานซิสเตอร์ที่ขนานกันในรูปวงจรเสมือน

$$r_1 = r_{O3} // r_{O6} \quad (3.37)$$

$$r_2 = r_{O4} // r_{O5} \quad (3.38)$$

ค่าความจุ C_1 และ C_2 ก็เช่นกันจะเป็นการนำค่าความจุภายในตัวทรานซิสเตอร์มารวมกัน

$$C_1 = C_{GD3} + C_{GS5} + C_{DS6} \quad (3.39)$$

$$C_2 = C_{GS4} + C_{DS5} + C_L \quad (3.40)$$

ค่า C_C จะเป็นค่าตัวเก็บประจุที่ใช้ในการคลีปปลิงสัญญาณซึ่งต้องรวมกับค่าความจุระหว่างเกตและเดรนของทรานซิสเตอร์ M_5

$$C_C' = C_C + C_{GD5} \quad (3.41)$$

ค่าความนำ Transconductance ของ g_{mI} เป็นค่าของทรานซิสเตอร์ที่อินพุต

$$g_{mI} = g_{m2} = g_{m3} \quad (3.42)$$

และที่เอาต์พุตมีค่า

$$g_{mII} = g_{m5} \quad (3.43)$$

เขียนสมการโดยประมาณของอัตราขยายวงจรถิฟแอมป์ของส่วนแรก

$$a_v = \frac{g_{mI}}{g_{ds2} + g_{ds3}} \quad (3.44)$$

จากรูปที่ 3.5 และวงจรเสมือนในรูปที่ 3.6 สามารถหาค่าทรานสเฟอร์ฟังก์ชันของวงจรเสมือนได้คือ

$$\frac{V_O}{V_{i1}} = \frac{-g_{mI}r_1r_2(g_{mII} - sC_C)}{s^2(C_1C_2 + C_2C_C + C_1C_C)r_1r_2 + s(r_1C_1 + r_2C_2 + r_1C_C + r_2C_C + g_{mII}r_1r_2C_C) + 1} \quad (3.45)$$

จากสมการ(3.45) ตำแหน่งของ Positive Real Zero จะได้ว่า

$$z = \frac{g_{mII}}{C_C} \quad (3.46)$$

ซึ่งจะได้โพลของระบบและรากของสมการจากสมการ โพลิโนเมียล

$$s^2(C_1C_2 + C_2C_C + C_1C_C)r_1r_2 + s(r_1C_1 + r_2C_2 + r_1C_C + r_2C_C + g_{mII}r_1r_2C_C) + 1 = 0 \quad (3.47)$$

$$s_1, s_2 = \frac{-(r_1C_1 + r_2C_2 + r_1C_C + r_2C_C + g_{mII}r_1r_2C_C) \pm \sqrt{(r_1C_1 + r_2C_2 + r_1C_C + r_2C_C + g_{mII}r_1r_2C_C)^2 - 4(C_1C_2 + C_2C_C + C_1C_C)r_1r_2}}{2(C_1C_2 + C_2C_C + C_1C_C)r_1r_2} \quad (3.48)$$

แสดงให้เห็นถึงความยุ่งยากซับซ้อนของสมการแต่ในการทำงานของวงจร พฤติกรรมของตำแหน่งโพลเป็นตัวบ่งชี้เสถียรภาพของวงจรจากสมการ (3.43) ใช้ General Quadratic Equation แยกเพื่อให้ได้สมการของโพลซึ่งมีสองตัวคือ p_1 และ p_2 ดังนี้

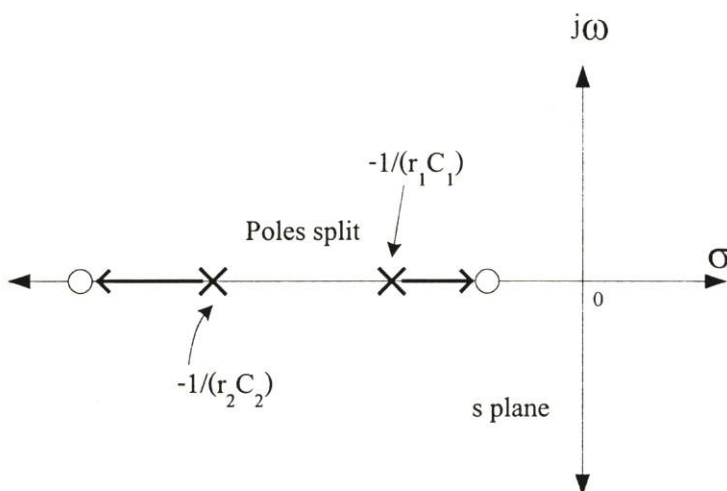
$$p_1 = \frac{-1}{r_1(C_1 + C_C) + r_2(C_2 + C_C) + g_{mII}r_1r_2C_C} \quad (3.49)$$

$$p_2 = -\frac{r_1C_1 + r_2C_2 + r_1C_C + r_2C_C + g_{mII}r_1r_2C_C}{(C_1C_2 + C_1C_C + C_2C_C)r_1r_2} \quad (3.50)$$

จากสมการด้านบน p_1 เป็นโพลที่เรียกว่า Dominant Pole และ p_2 เป็น Nondominant Pole จากผลของมิลเลอร์เอฟเฟกต์ ถ้า C_c มีค่ามากๆ และ $g_{m1}r_1, g_{m1}r_2 \gg 1$ ก็จะได้ค่าโดยประมาณ

$$p_1 \cong -\frac{1}{g_{m1}r_1r_2C_c} \quad (3.51)$$

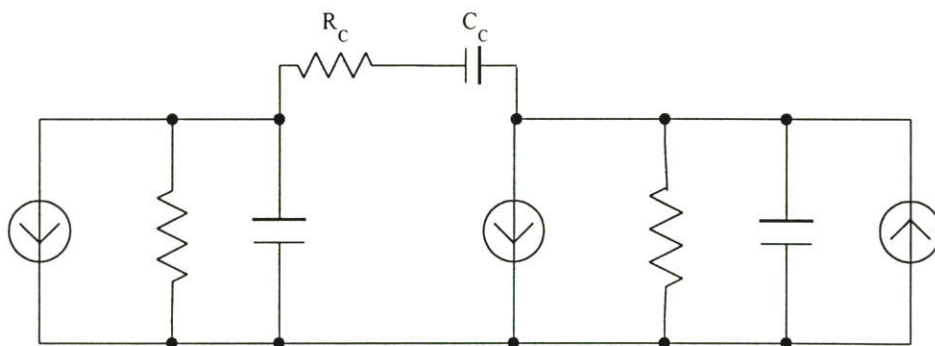
ค่า $|p_1|$ ลดลงถ้าค่า C_c เพิ่มขึ้น ขณะที่ $|p_2|$ เพิ่มขึ้นขณะที่ C_c เพิ่มขึ้น ดังนั้นการเพิ่มของค่า เป็นเหตุให้เกิดการแยกตัวของโพลออกจากกันดังแสดงในรูปที่ 3.7 ถ้าค่าของ $r_1C_1 \gg r_2C_2$ ค่าของ p_1 จะมีค่า $-1/(r_1C_1)$ ส่วน p_2 จะมีค่าเป็น $-1/(r_2C_2)$



รูปที่ 3.7 ทิศทางการเคลื่อนที่ของโพลเมื่อ C_c มีค่าเพิ่มจากศูนย์

ในวงจรที่ออกแบบค่า C_c นั้นไม่เป็นศูนย์จริงเพราะถ้าไม่มีการต่อก็จะเป็นภาวะ Precompensation ก็คือจะมีความจุของ C_{gd} อยู่แต่การต่อ C_c เข้าเพิ่มจากภายนอกหรือเรียกว่า Postcompensation ทำให้สามารถเลือกสรรค่าที่เหมาะสมได้เพราะไม่ได้ผูกติดกับโมเดลของมอส

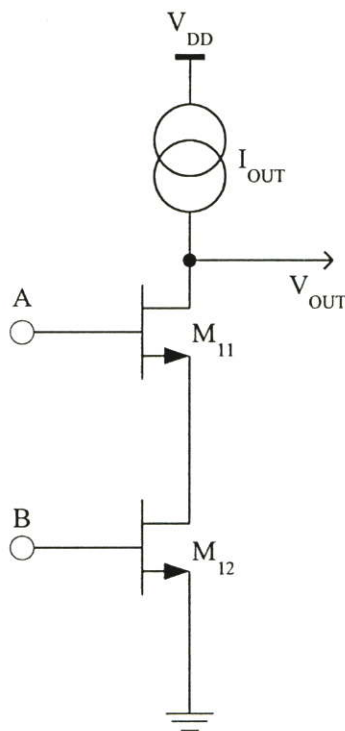
วิธีการหนึ่งที่นิยมใช้ในการเคลื่อนซีโรไปอินฟินิตี้ คือเพิ่มตัวต้านทานเข้าไปอนุกรมกับตัวเก็บประจุ Compensation C_c เมื่อความถี่เข้าสู่อินฟินิตี้ค่าความต้านต่อความถี่ของตัวเก็บประจุจะลดลงเป็นศูนย์ดังนั้นจะเป็นหน้าที่ของตัวต้านทานที่อนุกรมอยู่



รูปที่ 3.8 แสดงส่วน $R_C C_C$ Compensation

3.5 วงจร Rank Selector

วงจรถูกเลือกหรือ Selector Circuit นั้นประกอบด้วยมอสทรานซิสเตอร์หกตัวสามคู่แต่ละคู่จะต่อในลักษณะดังรูปที่ 3.9 โดยที่คุณสมบัติของมอสทรานซิสเตอร์ M_{11} เท่ากับ M_{12} และจะทำงานในสถานะ Saturation ในระดับ “High” หรือ “Low” และจะทำให้เกิดกระแส I_{OUT} ไหลเกิดผลให้ได้สัญญาณเอาต์พุต V_{OUT} ตามระดับของสัญญาณที่จุด A และ B ที่จะทำให้กระแส I_{OUT} มากน้อย



รูปที่ 3.9 วงจร CASCODE หนึ่งในคู่ของภาค Rank Selector

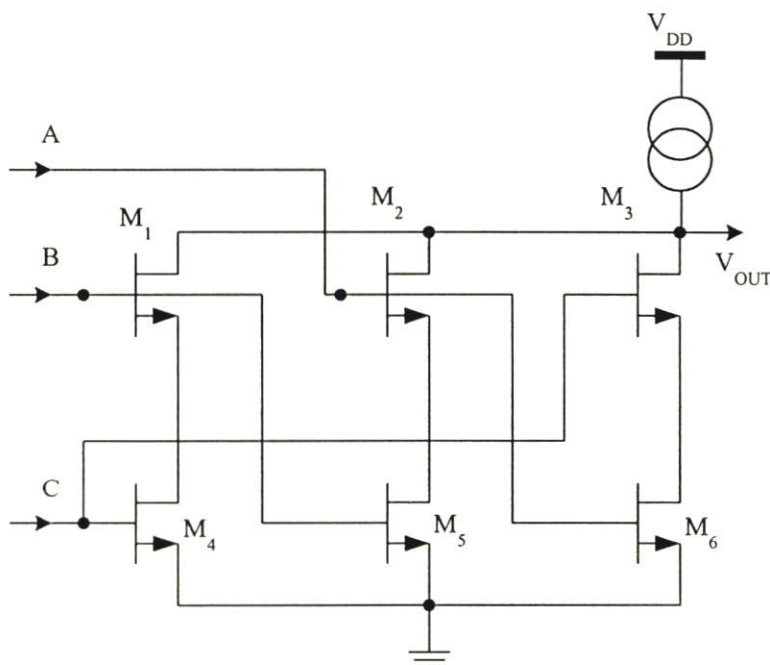
จากสมการ (3.7) ในกรณีที่ A น้อยกว่า B ก็จะได้ A เป็นค่าต่ำสุดนั้นหมายถึงว่าแรงดันไฟฟ้าที่จุด A มีค่าน้อยซึ่งเป็นผลจากสัญญาณอินพุตทำให้กระแสที่ไหลผ่าน M_{11} มีผลเป็นเหตุให้กระแสที่ควรจะมีการไหลอย่างมากใน M_{12} ก็จะถูบบังคับโดยภาวะการต่อแบบ Cascode เมื่อรวมวงจรทั้งหมดจะทำให้ได้กระแส I_{OUT} แสดงในรูปที่ 3.9 เป็นผลต่อแรงดันไฟที่เป็นค่ามัธยฐาน ตัวมอสทรานซิสเตอร์ทั้งคู่ต้องเท่ากันดังนั้นจึงมีค่า $W_{11}/L_{11} = W_{12}/L_{12}$ เนื่องจากต้องมีอินพุตรองรับทั้งหมดหกชุดคู่ของ nMOS ทรานซิสเตอร์ทั้งหมดสามชุดก็จะมีค่า W/L เท่ากัน จากสมการ (3.52)–(3.54) เป็นอินพุตที่

$$\min(I_{n_1}, I_{n_2}) \Rightarrow I_{n_1} |_{\min} \quad (3.52)$$

$$\min(I_{n_2}, I_{n_3}) \Rightarrow I_{n_2} |_{\min} \quad (3.53)$$

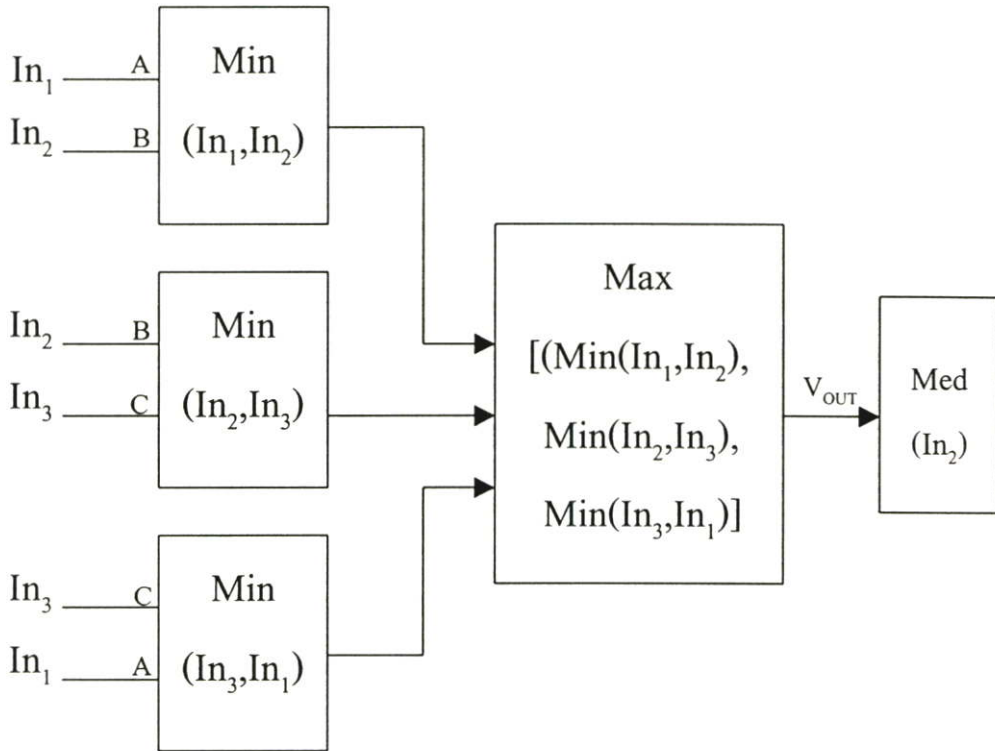
$$\min(I_{n_3}, I_{n_1}) \Rightarrow I_{n_1} |_{\min} \quad (3.54)$$

ทำให้เกิดแรงดันไฟที่จุด A, B และ C ตามลำดับจะเห็นว่าจากการเปรียบเทียบแต่ละชุดของ Rank Selector ได้ผลลัพธ์ I_{n_1} , I_{n_2} และ I_{n_3} ก็จะได้ค่าสูงสุดคือ I_{n_2} จากผลลัพธ์ที่มี I_{n_1} , I_{n_2} และ I_{n_3} ที่จุด A, B และ C ที่เป็นค่ามัธยฐานก็คือค่า I_{n_2} นั้นเอง ผลอันนี้จะทำให้ภาวะของแต่ละคู่หรืออย่างน้อยสองโหนดที่จุด A, B หรือ C ต้องมีสัญญาณระดับแรงดันไฟที่สูงจะทำงานในสภาวะ



รูปที่ 3.10 วงจรเลือก Rank Selector Circuit

Saturate “High” Saturate “Low” และสถานะ Active เมื่อเกณฑ์การขยายของคิฟแอมป์สูงพอถึงระดับของแต่ละอินพุตจะถูกนำมาเปรียบเทียบโดย nMOS แต่ละคู่เพื่อให้ได้ค่ามัธยฐาน



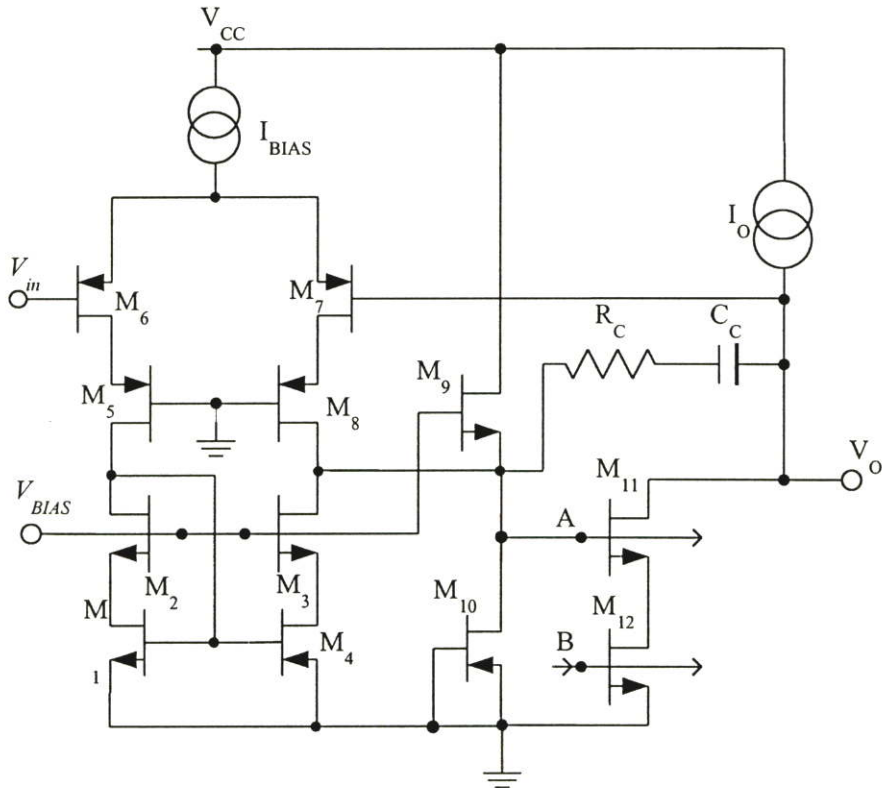
รูปที่ 3.11 บล็อกไดอะแกรมหาค่ามัธยฐานเปรียบเทียบการเลือกค่าของวงจรรank Selector

เมื่อมีแรงดันไฟฟ้าที่จุด A , B และ C ที่เกิดจากการเปรียบเทียบของอินพุตที่วงจรรขยายความต่าง นำค่าที่ได้มาทำการหาค่าสูงสุดและต่ำสุดของ โดยในหนึ่งบล็อกที่ใช้หาค่าต่ำสุดจะเปรียบเทียบเป็นมอสทรานซิสเตอร์หนึ่งคู่ ดังรูปที่ 3.9 แล้วนำค่าต่ำสุดของแต่ละบล็อกมาหาค่าสูงสุดจากค่าที่ได้ของทั้งสามบล็อกหรือของมอสทั้งสามชุด และนำค่าสูงสุดที่ได้ในบล็อกสุดท้ายซึ่งเป็นค่ามัธยฐานแสดงออกที่เอาต์พุต V_{OUT}

3.6 วงจรรองสัญญาณมัธยฐาน

ในส่วนของการขยายสัญญาณนั้นวงจรรใช้กับแหล่งจ่ายไฟบวกกับกราวด์ และได้เพิ่มเติมมอสทรานซิสเตอร์เข้าไปชั้นระหว่างวงจรรคิฟแอมป์เพื่อให้เกิดการเพิ่มค่าแรงดันไฟ Threshold เพื่อให้เกิดภาวะ Back Bias Effect รูปแบบการต่อแบบคาสโคดและทำให้ลดค่ากระแสสะท้อน (Cascode Current Mirror) ของวงจรรส่วนล่างที่เป็น High Swing เมื่อเอาต์พุตแเอ็คติฟที่จุด A ในรูปที่ 3.7 จะมีค่าระดับดีซีค่อนข้างจะสูงกว่าแรงดันไฟของ nMOS Threshold Voltage ดังนั้นที่เกทไบอัสของคาสโคด M_5 และ M_6 ที่เป็น pMOS จึงสามารถต่อลงกราวด์ และมั่นใจถึงการคงสถานะการแเอ็คติฟ

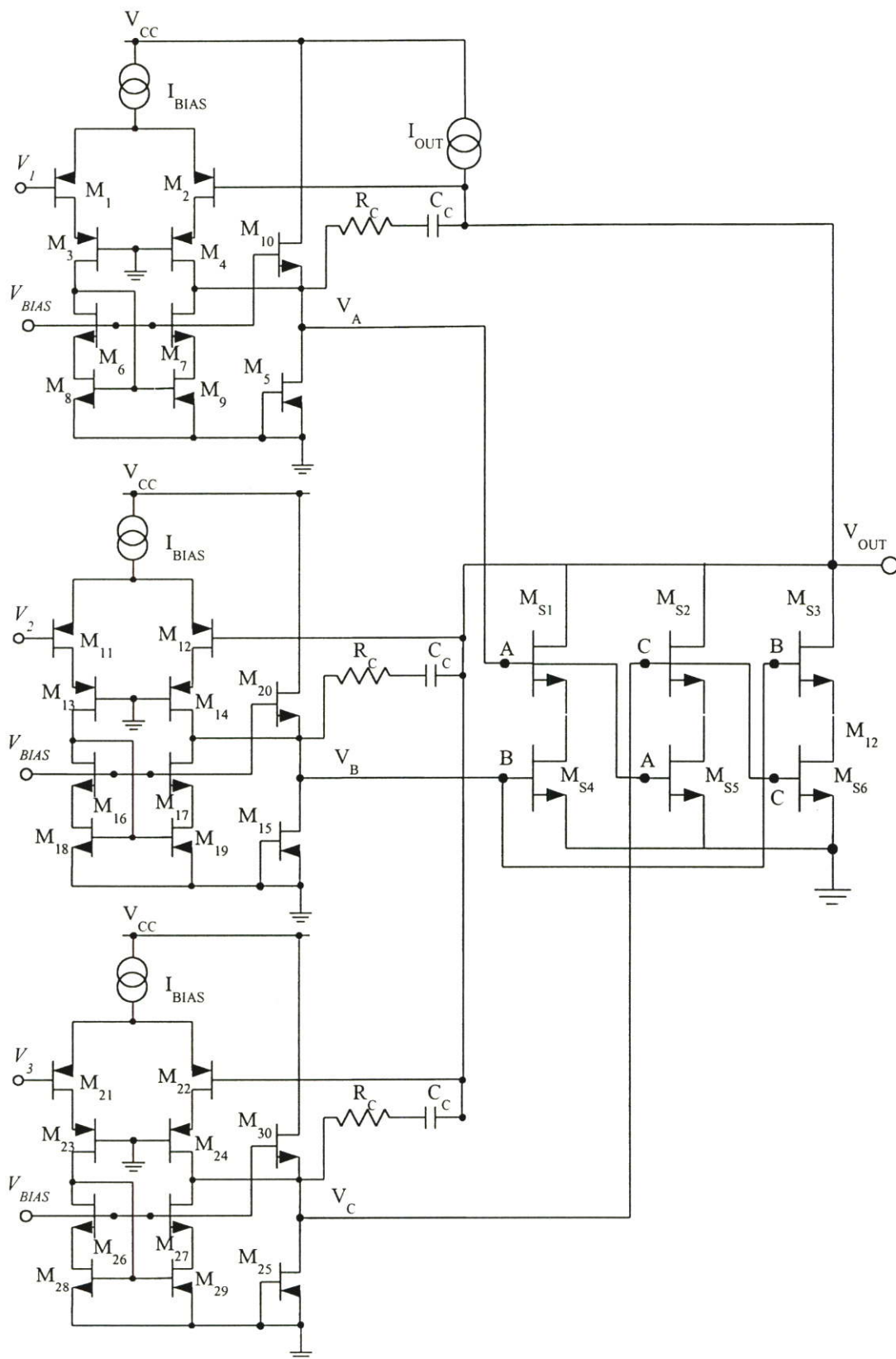
ที่ Saturation โดยที่ให้ M_5 M_6 M_7 และ M_8 มีค่า W/L เท่ากัน และ M_1 M_2 M_3 และ M_4 มีค่า W/L เท่ากัน ส่วน M_9 และ M_{10} เป็นทรานซิสเตอร์ที่จำกัดระดับแรงดันไฟที่สวิงของโหนด A ที่ระดับเป็นมิลลิโวลต์ ทั้งนี้จะขึ้นกับระดับแรงดันไฟไบแอส V_{BIAS} ถ้าไม่มีจะทำให้ระดับสัญญาณออกจากภาคขยายสูงกว่าระดับแหล่งจ่ายไฟซึ่งจะทำให้เกิดทรานเซียนขนาดใหญ่เมื่อเกิดการสวิทช์จากอินพุตตัวอื่นคือระหว่าง จุด A B หรือ C



รูปที่ 3.12 วงจรภาคขยายความต่างและส่วนป้อนกลับ

เมื่อนำแต่ละส่วนมาต่อรวมกันก็จะได้วงจรในรูปที่ 3.13 จากวงจรจะเห็นได้ว่าเอาต์พุตจะถูกป้อนกลับมายังอินพุตขาอินเวอร์ตติงของวงจรขยายความต่างของแต่ละชุด ทำให้ได้วงจรกรองสัญญาณมัธยฐานที่มีอินพุตสามอินพุต มีวงจรเลือกหรือ Rank Selector เพื่อเลือกค่ามัธยฐานส่งออกไปยัง

V_{OUT}

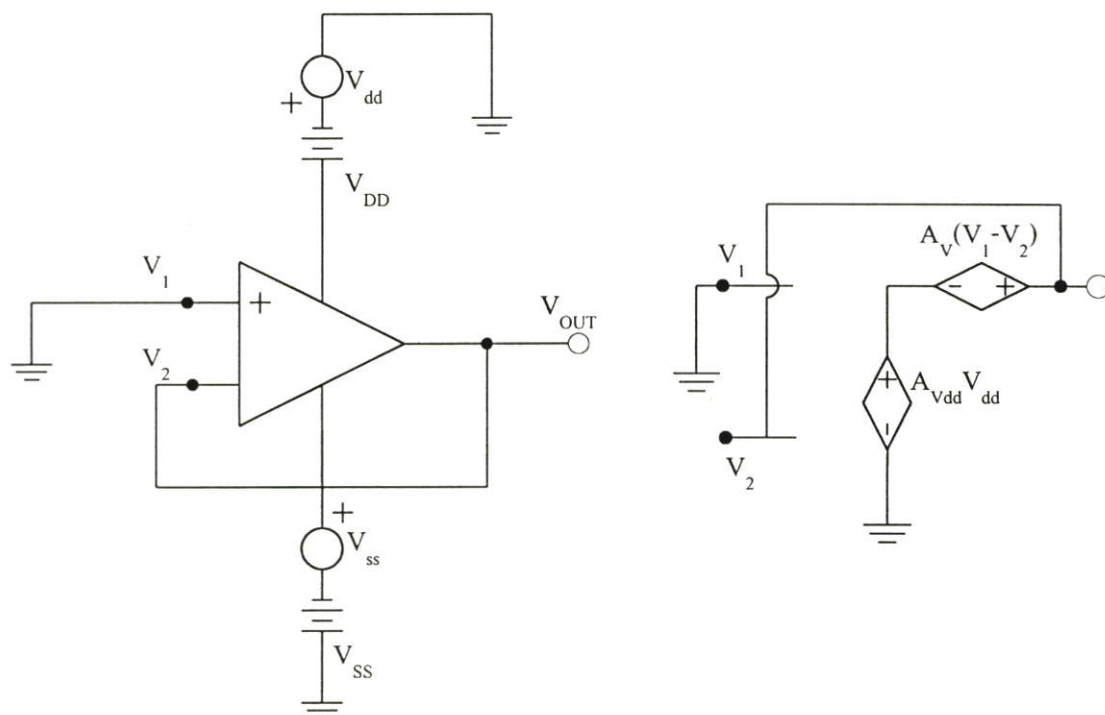


รูปที่ 3.13 วงจรกรองสัญญาณมัธยฐาน

การใช้วงจรกับความถี่จำเป็นต้องพิจารณาถึงผลกระทบของแหล่งจ่ายไฟ ถ้าพิจารณาวงจรขยายความต่างในรูปของออปแอมป์เพื่อหาค่า Power Supply Rejection Ratio (PSRR) โดยพิจารณาจากสมการ(3.55)

$$PSRR = \frac{\Delta V_{DD}}{\Delta V_{OUT}} A_v(S) = \frac{V_O / V_{in}(V_{dd} = 0)}{V_O / V_{dd}(V_{in} = 0)} \quad (3.55)$$

จากรูปโมเดลโดยพิจารณาเป็นออปแอมป์



รูปที่ 3.14 โครงสร้างเพื่อหาค่า PSRR และ โมเดล

$$\frac{V_{out}}{V_{dd}} \cong \frac{1}{PSRR^+} \quad or \quad \frac{V_{out}}{V_{ss}} \cong \frac{1}{PSRR^-} \quad (3.56)$$

แต่เนื่องจากวงจรในรูปที่ 3.12 นั้นใช้แหล่งจ่ายไฟเพียงด้านบวกกับกราวด์อย่างเดียวทำให้ผลลัพธ์ที่เกิดจากการกระเพื่อมของแหล่งจ่ายลง ได้อย่างมาก

3.7 บทสรุป

จากทฤษฎีค่ามัธยฐานรวมถึงองค์ประกอบของวงจรขยายความต่าง วงจรสะท้อนกระแสแบบ High Swing เป็นภาคขยายที่หนึ่งหรือเรียกว่า 1st STAGE และมีส่วนของวงจรระดับซึ่งสามารถ

ปรับระดับได้ด้วยการให้ไบแอสที่เหมาะสมที่จุดวงจรสะท้อนกระแสและวงจรถอดหรือเรียกว่า 2nd STAGE รวมถึงส่วนการป้อนกลับเพื่อชดเชยความถี่ทำให้วงจรสามารถตอบสนองแถบความถี่ได้สูงและมีเสถียรภาพที่ดี สามารถสังเคราะห์เป็นวงจรโดยรวมได้ดังรูปที่ 3.12 ซึ่งวงจรที่ใช้ได้ออกแบบให้ใช้กับไฟบวกกับกราวด์ทำให้ลดผลของการเกิดสัญญาณรบกวนจากแหล่งจ่ายลงได้

บทที่ 4

ผลการทดลอง

ผลการทดลองในบทนี้ แสดงให้เห็นถึงประสิทธิภาพ การทำงานของวงจรกรองสัญญาณ มัธยฐานที่ออกแบบ ที่ได้กล่าวไว้ในบทที่ 3 โดยใช้วงจรในรูปที่ 3.13 โดยได้จำลองการทำงานที่ ระดับของแหล่งจ่ายไฟที่แตกต่างกันที่กำหนด โดยใช้วงจรกรองสัญญาณมัธยฐานที่ประกอบด้วย ส่วนของวงจรขยายความต่างรวมและวงจร Rank Selector โดยกำหนดค่าพารามิเตอร์เดียวกัน และ ป้อนสัญญาณทดสอบอินพุตที่เป็นค่ากลางด้วย Sinusoidal Waveform ผลการทดลองแสดงให้เห็น ค่าสัญญาณมัธยฐาน ที่ได้จากค่าสัญญาณอินพุตทั้ง 3 สัญญาณที่ป้อนให้วงจร ผลการเลียนแบบได้ กระทำโดยโปรแกรมเลียนแบบการทำงาน PSpice

4.1 ผลจำลองการทำงานวงจรกรองสัญญาณมัธยฐาน

การจำลองการทำงานของวงจรทั้งหมด ที่ได้รวมกันทั้งส่วนของวงจรดิฟเฟอเรนเชียล และส่วนของ วงจร Rank Selector ดังแสดงในรูป 3.13 ด้วย PSpice โมเดลซีมอส 0.8 μm กำหนดให้ไฟเลี้ยง วงจร +5 โวลต์ ให้ V_1 เป็นสัญญาณค่าต่ำสุด 1.5 โวลต์ ส่วน V_2 เป็นสัญญาณค่ากลางมีค่า 3Vp-p (5MHz) เป็นค่าที่ใช้ในการทดสอบการทำงานของวงจรและ V_3 เป็นสัญญาณค่าสูงสุด 3.5 โวลต์ และกำหนดไฟเลี้ยงวงจร +3 โวลต์ ให้ V_1 เป็นสัญญาณค่าต่ำสุด 1.0 โวลต์ ส่วน V_2 เป็น สัญญาณค่ากลางมีค่า 3Vp-p(5MHz) เป็นค่าที่ใช้ในการทดสอบการทำงานของวงจรและ V_3 เป็น สัญญาณค่าสูงสุด 3.0 โวลต์ ตามลำดับ กระแส I_{BIAS} มีค่า 100 μA กระแส I_O มีค่า 1 mA ใช้ค่า W/L ตามตารางที่ 1 ผลการจำลองการทำงานของวงจร แสดงดังรูปที่ 4.1 ถึง รูปที่ 4.5 และรูปที่ 4.6 ถึง รูปที่ 4.10 ตามลำดับ จากเกณฑ์การขยายสัญญาณที่สูงพอของวงจรขยายผลต่างสัญญาณ ทำให้ได้ ค่าสัญญาณมัธยฐานออกไปยัง เอาต์พุต โดยมีวงจรป้อนกลับชดเชยความถี่ R-C ต่อระหว่างเอาต์พุต ของวงจรถับจุด V_A, V_B และ V_C สามจุดเพื่อชดเชยความถี่ทำให้มีการตอบสนองความถี่ดีขึ้น $R=2\text{k}\Omega$ และ $C=10\text{nF}$ จะเห็นว่าผลของการจำลองโดยปรับเปลี่ยนความถี่ของวงจรหาค่าสัญญาณมัธยฐาน มีผลตอบสนองต่อความถี่ได้สูงถึง 96.97 MHz แสดงในรูปที่ 4.3 และรูปที่ 4.8 ตามลำดับ

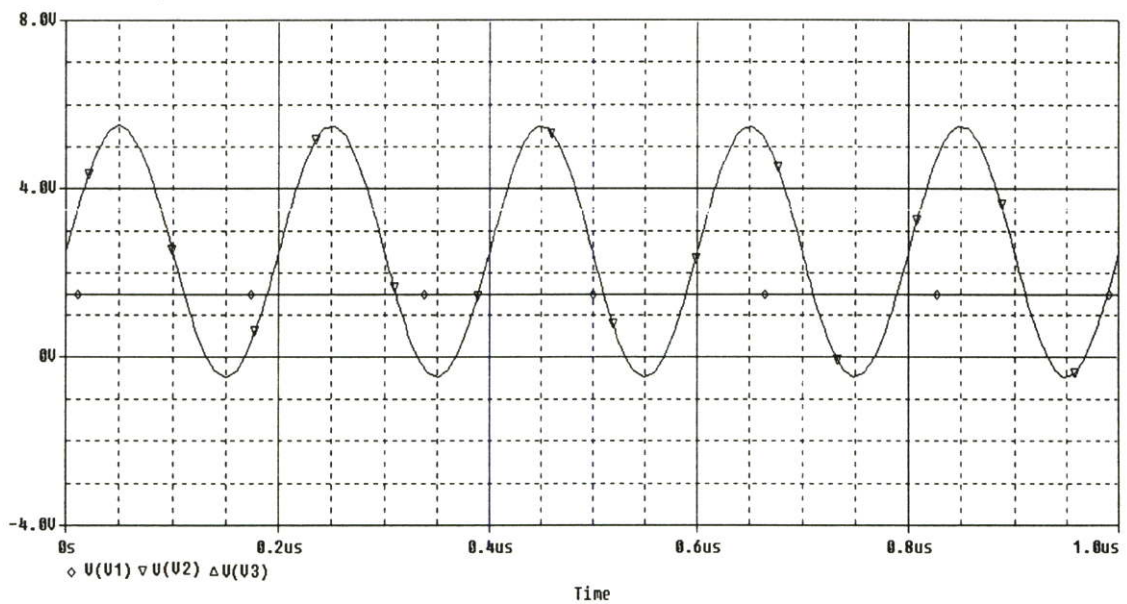
ตารางที่ 4.1 แสดงค่าความกว้างและค่าความยาวของเซลล์แนล

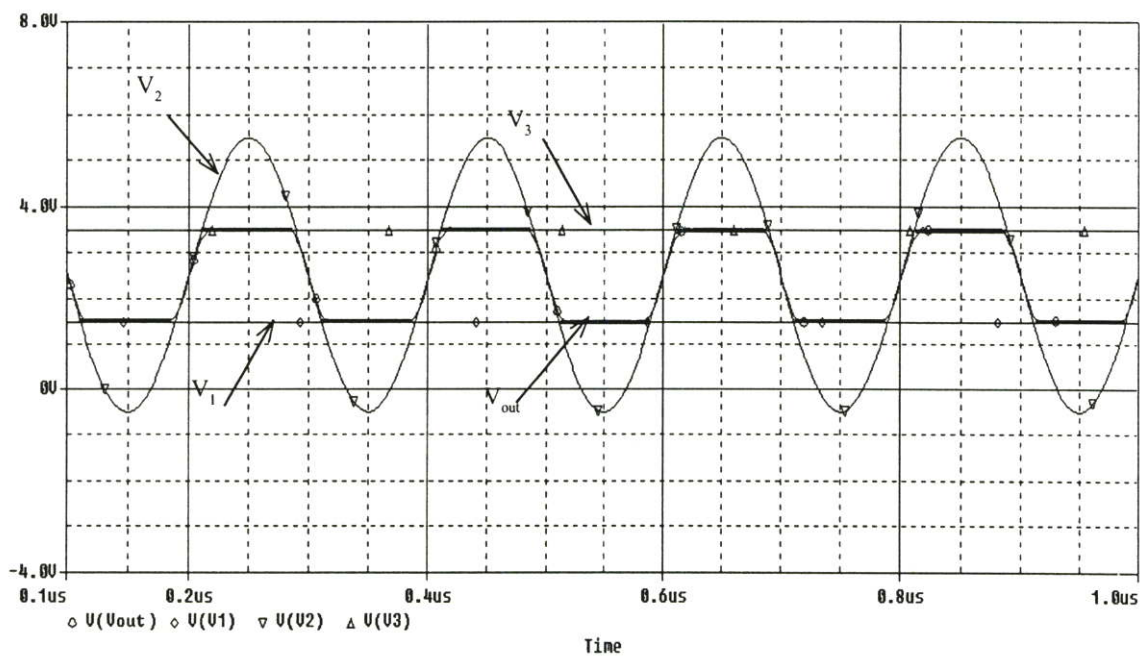
ทรานซิสเตอร์	ความกว้าง (μm)	ความยาว (μm)
M ₁	20	1.6
M ₂	20	1.6
M ₃	20	1.6
M ₄	20	1.6
M ₅	20	1.6
M ₆	8	4.8
M ₇	8	4.8
M ₈	8	4.8
M ₉	8	4.8
M ₁₀	8	4.8
M ₁₁	20	1.6
M ₁₂	20	16
M ₁₃	20	1.6
M ₁₄	20	1.6
M ₁₅	20	1.6
M ₁₆	8	4.8
M ₁₇	8	4.8
M ₁₈	8	4.8
M ₁₉	8	4.8
M ₂₀	8	4.8
M ₂₁	20	1.6
M ₂₂	20	16
M ₂₃	20	1.6
M ₂₄	20	1.6
M ₂₅	20	1.6
M ₂₆	8	4.8
M ₂₇	8	4.8
M ₂₈	8	4.8
M ₂₉	8	4.8

ตารางที่ 4.1 (ต่อ)

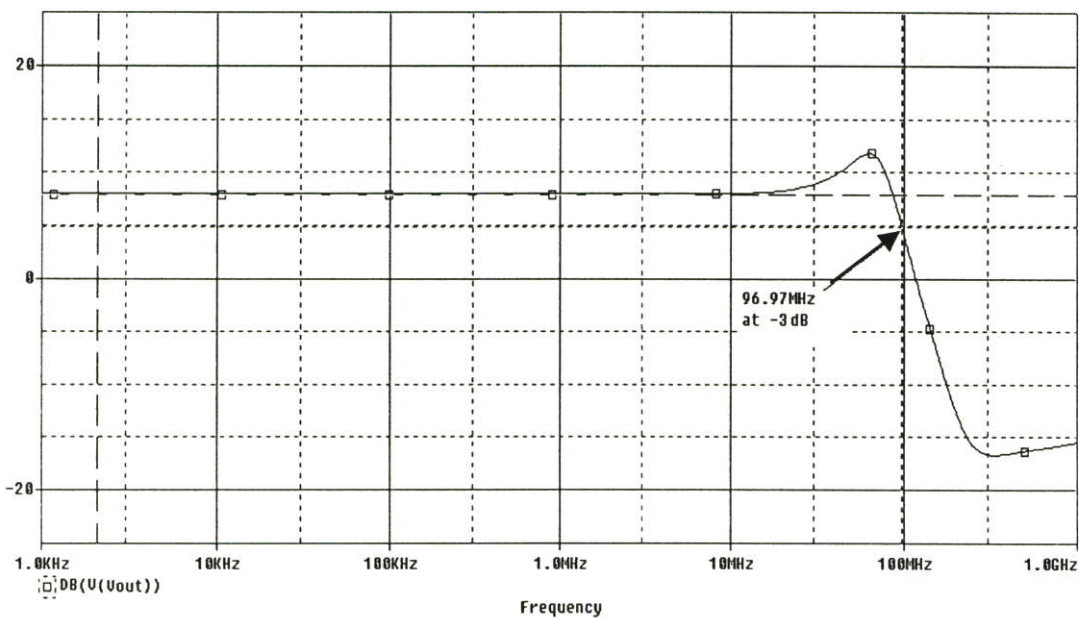
ทรานซิสเตอร์	ความกว้าง (μm)	ความยาว (μm)
M_{30}	8	4.8
M_{S1}	100	4.8
M_{S2}	100	4.8
M_{S3}	100	4.8
M_{S4}	100	4.8
M_{S5}	100	4.8
M_{S6}	100	4.8

4.1.1 ผลการจำลองการทำงานที่แหล่งจ่ายไฟ +5 โวลต์

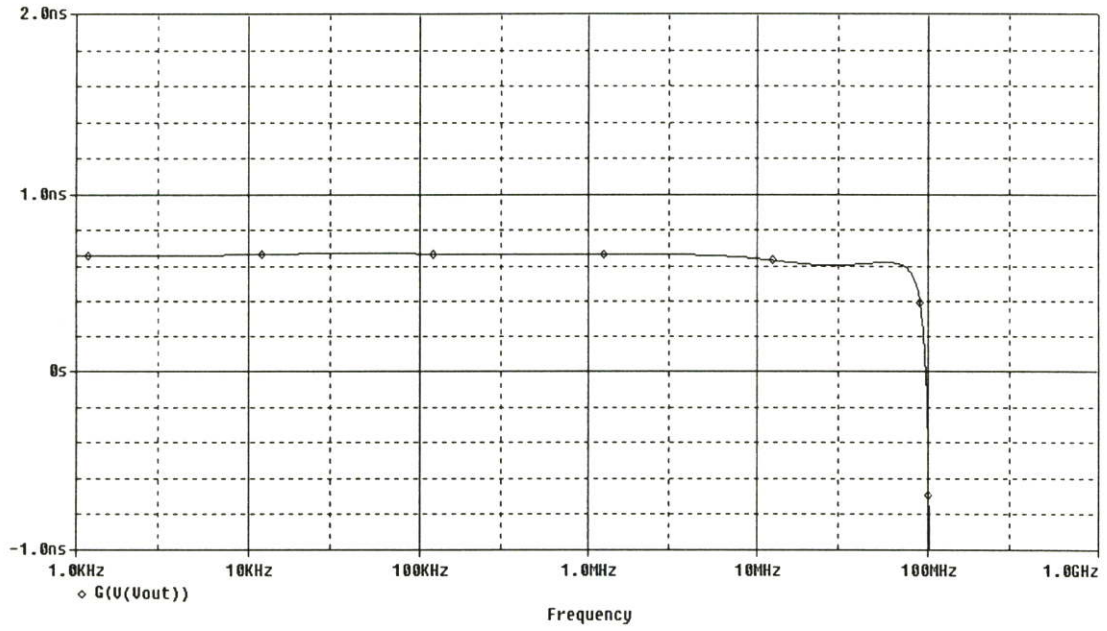
รูปที่ 4.1 กราฟแสดงสัญญาณอินพุตที่ $V_1 = 1.5 \text{ V}$, $V_2 = 3\text{Vp-p}(5\text{MHz})$, $V_3 = 3.5 \text{ V}$



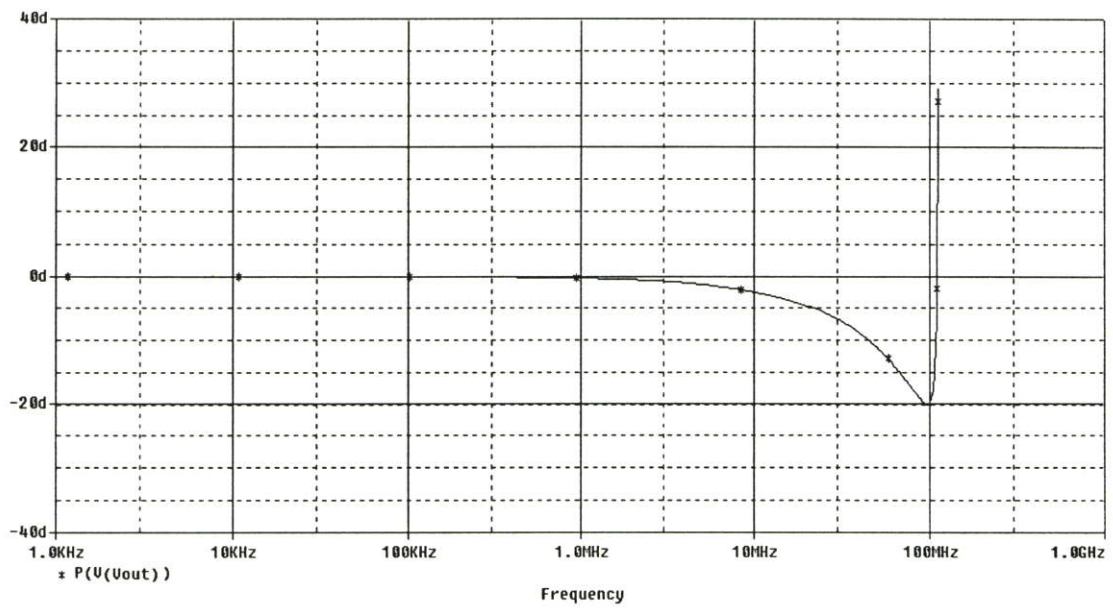
รูปที่ 4.2 กราฟแสดงสัญญาณมาตรฐาน V_{OUT} ที่ได้จากอินพุต $V_1=1.5$ V, $V_2=3$ Vp-p(5MHz), $V_3=3.5$ V



รูปที่ 4.3 กราฟแสดงผลการตอบสนองความถี่ของวงจรถ้าค่าสัญญาณมาตรฐาน

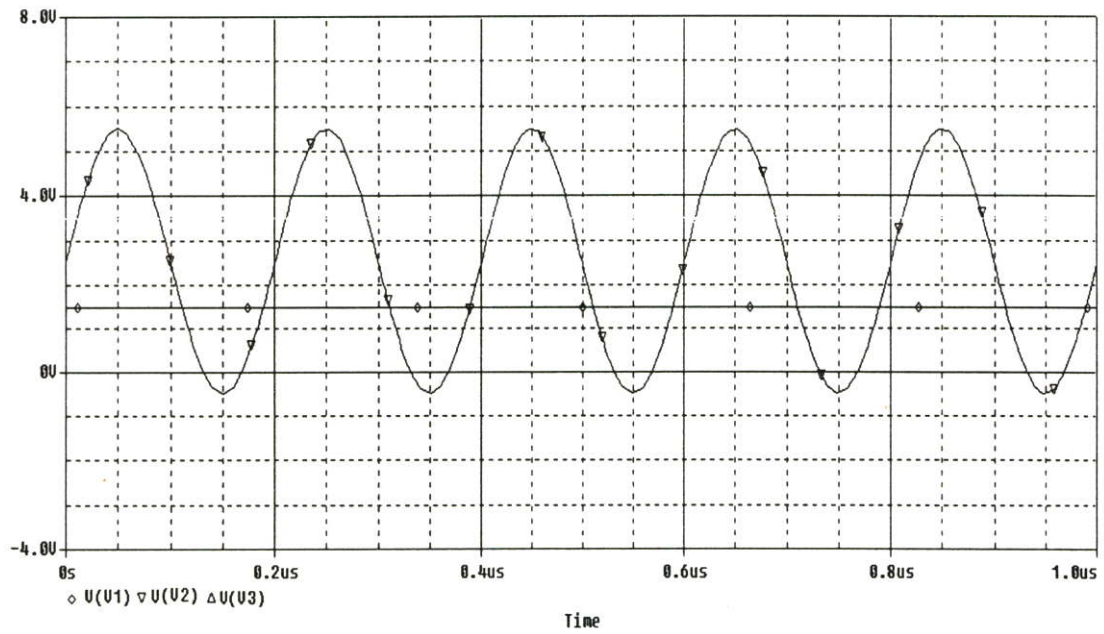


รูปที่ 4.4 แสดงกรุปคี่เลขของวงจรกรองสัญญาณมัธยฐาน

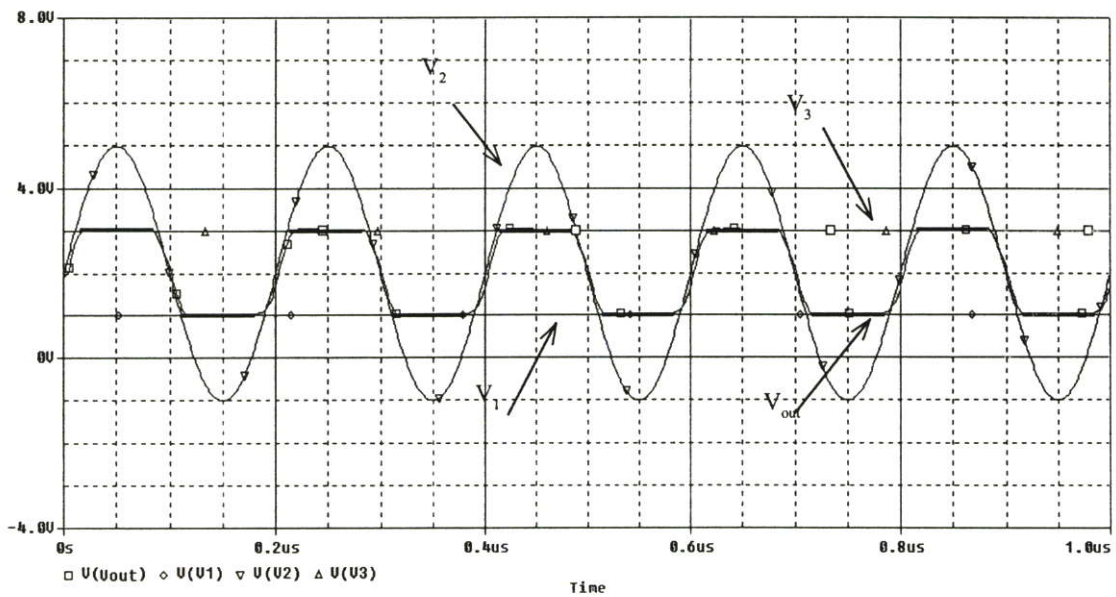


รูปที่ 4.5 แสดงการเปลี่ยนเฟสของวงจรกรองสัญญาณมัธยฐาน

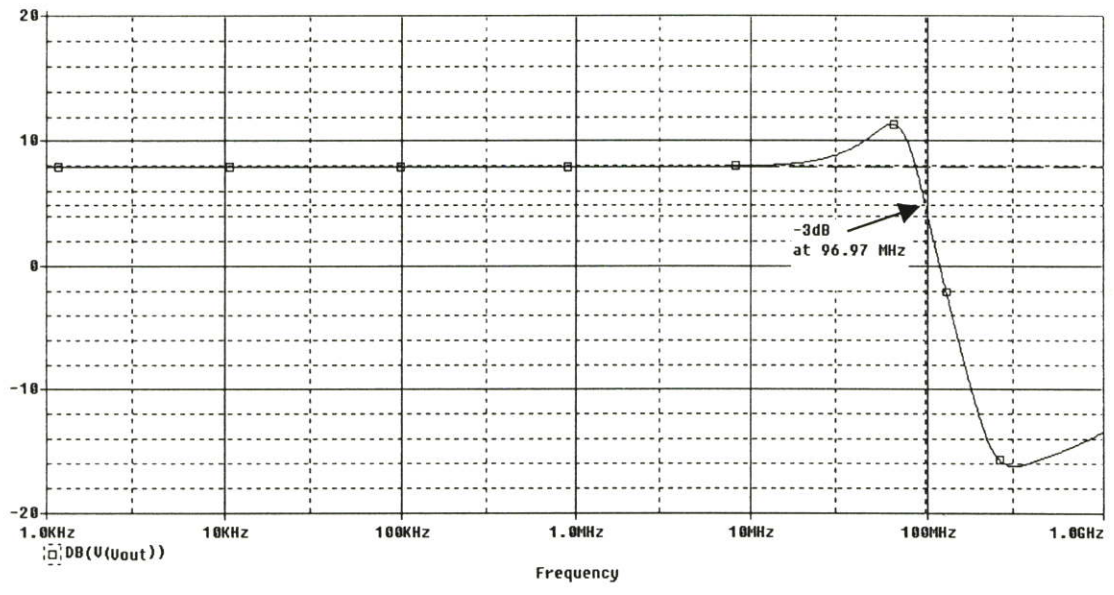
4.1.2 ผลการจำลองการทำงานที่ไฟเลี้ยง +3 โวลต์



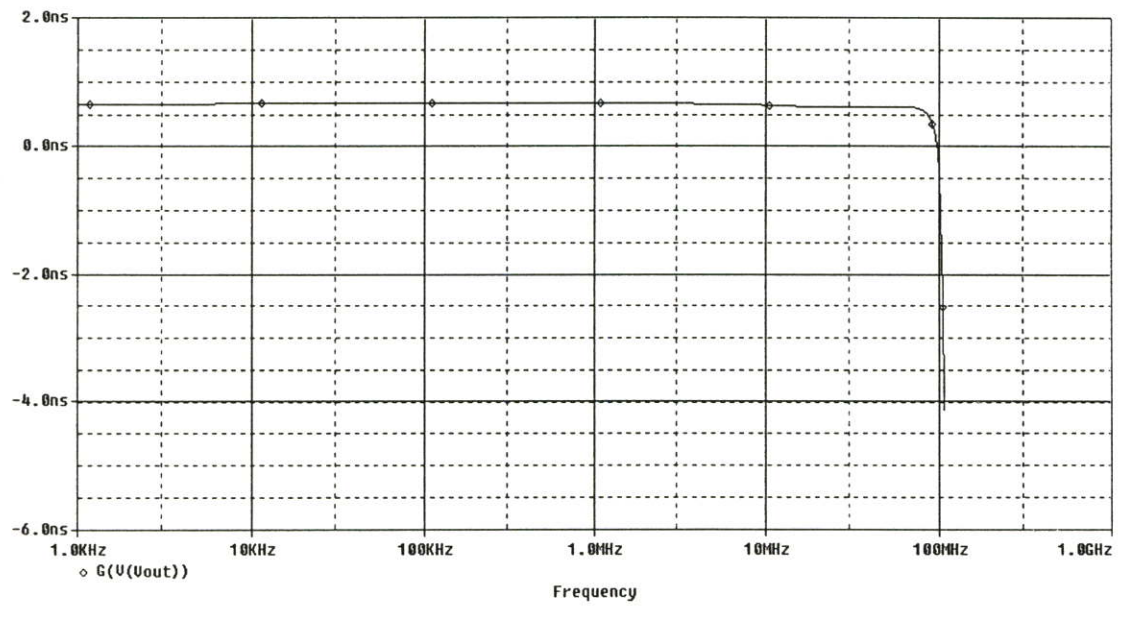
รูปที่ 4.6 กราฟแสดงสัญญาณอินพุตที่ $V_1 = 1.0 \text{ V}$, $V_2 = 3\text{Vp-p}(5\text{MHz})$, $V_3 = 3.0 \text{ V}$



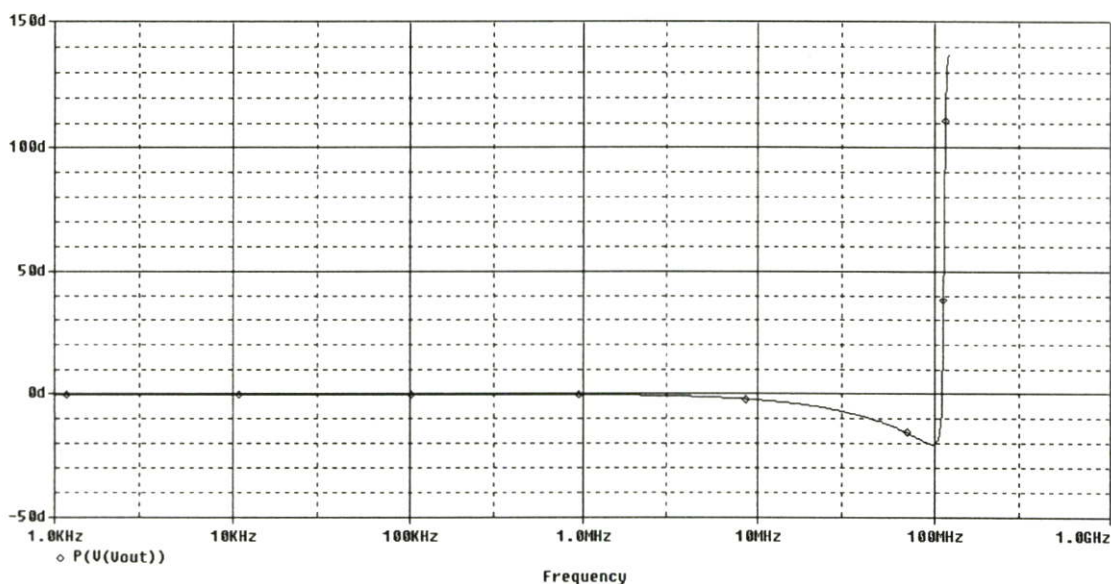
รูปที่ 4.7 กราฟแสดงสัญญาณมีรชฐาน V_{OUT} ที่ได้จากอินพุต $V_1 = 1.0 \text{ V}$, $V_2 = 3\text{Vp-p}(5\text{MHz})$, $V_3 = 3.0\text{V}$



รูปที่ 4.8 กราฟแสดงผลการตอบสนองความถี่ของวงจรค่าสัญญาณมาตรฐาน



รูปที่ 4.9 แสดงกรุปดีเลย์ของวงจรกรองสัญญาณมาตรฐาน



รูปที่ 4.10 แสดงการเปลี่ยนแปลงเฟสของวงจรกรองสัญญาณมัธยฐาน

4.2 บทสรุป

จากผลการจำลองการทำงานที่แหล่งจ่ายไฟ +5 โวลต์ รูปที่ 4.2 แสดงผลการตอบสนองของสัญญาณอินพุตความถี่ 3Vp-p/5 MHz นั้นได้ผลสัญญาณเอาต์พุตที่เป็นค่ามัธยฐานจากแรงดันไฟ V_2 ที่จุดกึ่งกลางคือ 2.5 โวลต์ รูปที่ 4.3 กราฟแสดงผลการตอบสนองความถี่ของวงจรหาค่าสัญญาณมัธยฐานที่ได้ประมาณ 100 MHz มีเกนซ์เฉลี่ยประมาณ 8 dB รูปที่ 4.4 แสดงถึงการดีเลย์ของกลุ่มสัญญาณทั้งแถบความถี่ประมาณ 0.65 ns และรูปที่ 4.5 แสดงถึงสภาวะเฟสของสัญญาณที่เปลี่ยนแปลงไปนั้นจะเปลี่ยนเฉพาะในช่วงความถี่ 10 MHz ขึ้นไปถึงช่วงความถี่คัทออฟของวงจรประมาณ -20 องศาตามลำดับ

จากผลการจำลองการทำงานที่แหล่งจ่ายไฟ +3 โวลต์ รูปที่ 4.7 แสดงผลการตอบสนองของสัญญาณอินพุตความถี่ 3Vp-p/5 MHz นั้นได้ผลสัญญาณเอาต์พุตที่เป็นค่ามัธยฐานจากแรงดันไฟ V_2 ที่จุดกึ่งกลางคือ 2.0 โวลต์ รูปที่ 4.8 กราฟแสดงผลการตอบสนองความถี่ของวงจรหาค่าสัญญาณมัธยฐานที่ได้ประมาณ 100 MHz มีเกนซ์เฉลี่ยประมาณ 8 dB รูปที่ 4.9 แสดงถึงการดีเลย์ของกลุ่มสัญญาณทั้งแถบความถี่ประมาณ 0.65 ns และรูปที่ 4.10 แสดงถึงสภาวะเฟสของสัญญาณที่เปลี่ยนแปลงไปนั้นจะเปลี่ยนเฉพาะในช่วงความถี่ 10 MHz ขึ้นไปถึงช่วงความถี่คัทออฟของวงจรประมาณ -20 องศาตามลำดับ

จากผลการทดลองที่ได้ของวงจรที่ออกแบบสรุปได้ว่า วงจรสามารถใช้งานที่แหล่งจ่ายไฟที่แตกต่างกันที่กำหนดให้เป็น +5 โวลต์ และ +3 โวลต์ สามารถหาค่าสัญญาณมัธยฐานได้อย่างถูกต้องมีความเพี้ยนของสัญญาณมัธยฐานกับสัญญาณอินพุตต่ำ แสดงให้เห็นถึงประสิทธิภาพของวงจรที่ออกแบบ

บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทสรุป

จากผลของการจำลองการทำงานของวงจร จะเห็นว่าวงจรสามารถให้ค่ามัธยฐาน ได้ตรงตามสัญญาณอินพุตทั้งสามอินพุตได้ถูกต้อง และมีรูปคลื่นสัญญาณการตอบสนองที่เอาต์พุตเหมือนกับอินพุตได้ สำหรับค่ามัธยฐานที่ถูกคลิปลงส่วนด้านบนและด้านล่างของสัญญาณออกตามเงื่อนไขของการหาค่ามัธยฐานซึ่งแสดงในรูปที่ 4.1 สามารถตัดสัญญาณที่อยู่ต่ำกว่าค่า minimum และสูงกว่าค่า maximum ทำให้สัญญาณรบกวนที่เป็นสัญญาณระดับต่ำและสัญญาณขนาดระดับสูงที่มี Impulsive Noise ปะปนมาได้ถูกรองออกไปหายไปได้วงจรที่ออกแบบนี้สามารถนำไปประยุกต์ใช้งานในการหาค่ามัธยฐานของสัญญาณไฟฟ้าในลักษณะที่เรียกว่าสัญญาณไฟฟ้าในเวลาจริง (Real-Time) ได้ทั้งด้านเสียง หรือ ภาพในงานประมวลผลสัญญาณอนาลอกได้ตามความเหมาะสม

เนื่องจากวงจรสามารถทำงานได้โดยมีแรงดันไฟที่แหล่งจ่ายที่ +5 โวลต์ และที่ +3 โวลต์ ซึ่งแสดงผลในรูปที่ 4.1 และรูปที่ 4.5 ตามลำดับ อีกทั้งตัววงจรมีขนาดเล็กใช้มอสทรานซิสเตอร์เพียงสิบตัวต่อหนึ่งอินพุตสัญญาณ ทำให้วงจรมีขนาดเล็ก ไม่ยุ่งยากซับซ้อนดังรูปที่ 3.13 โดยกำหนดค่า W/L ในแต่ละส่วนของวงจรให้เหมาะสมดังแสดงในตารางที่ 4.1 รวมถึงการให้ไบอัสที่เหมาะสมด้วย ที่จะนำไปใช้งานจริง และสามารถให้การตอบสนองต่อความถี่ได้สูงถึงประมาณ 100 MHz แสดงดังรูปที่ 4.2 จากผลการจำลองที่ใช้ความถี่ของสัญญาณมัธยฐานที่ระดับความสูง 3Vp-p ที่ความถี่อินพุต 5MHz นั้น จึงเป็นการยืนยันว่าเหมาะสมสามารถนำไปประยุกต์ในงานการประมวลผลสัญญาณอนาลอกทั้งทางด้านภาพและเสียงได้ อีกทั้งวงจรยังมีการดีเลย์ของสัญญาณค่อนข้างต่ำดังในรูปที่ 4.3 รวมถึงการเปลี่ยนเฟสของสัญญาณของมีค่าน้อยมาก ในช่วงความถี่ต่ำเลยไปถึงความถี่ที่สูงกว่า 5MHz ที่ใช้ทดสอบการทำงานของวงจรรองสัญญาณมัธยฐานนี้

5.2 ข้อเสนอแนะ

แนวทางในการวิจัยและพัฒนาต่อไป ในการออกแบบวงจรกำหนดให้มีอินพุต 3 อินพุต ดังนั้นสามารถที่จะพัฒนาออกแบบให้วงจรที่ใช้งานเพิ่มหลายสัญญาณอินพุต เพื่อให้เหมาะสมและได้ผลลัพธ์ที่ดีตามต้องการ สามารถพัฒนาโดยเปลี่ยนเทคโนโลยีทางด้าน CMOS มาเป็นเทคโนโลยีทางด้าน BiCMOS และออกแบบลดจำนวนอุปกรณ์ซึ่งจะทำให้กำลังสูญเสียของวงจรลดลง

เอกสารอ้างอิง

- [1] J. Tukey. "Exploratory Data Analysis, Reading, Massachusetts: Addison-Wesley, 1977.
- [2] T. Jarske, O. Vainio, Y. Neuvo, and S. Long, "GaAs MESFET switched-capacitor linear-median hybrid filter," Proc. IEEE Int. Symp. Circuits Syst., pp. 1461-1464, 1988.
- [3] P. Dietz and R. Carley, "An Analog Circuit Technique for Finding the Median," Proc. IEEE Custom Integrated Circuits Conf., San Diego, CA, pp. 6.1.1-6.1.4, May 9-12, 1993.
- [4] J. S. Jimmy Li and W.H. Holmes, "Analog Implementation of Median Filters for Real-Time Signal Processing," IEEE Trans. Circuits and Systems, pp. 1032-1033, 1988.
- [5] B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill, 2000.
- [6] I. Mohammed, F. Terri, "Analog VLSI Signal and Information Processing," McGraw-Hill, 1994.
- [7] R. C. Jaeger, "Microelectronic Circuit Design," McGraw-Hill, 1997.
- [8] R. Gregorian, G. Temes, "Analog MOS Integrated Circuits for Signal Processing," John Wiley & Sons, 1986.
- [9] P. Gray, R. Meyer, "Analysis and Design of Analog Integrated Circuit," 3rd , John Wiley & Sons, 1993.
- [10] D. Richards, "VLSI Median Filters," IEEE Trans. on Acoustics, Speech and Signal Processing, vol. 38, pp. 145-153, 1990.

ภาคผนวก

ภาคผนวก
ผลงานที่ได้รับการตีพิมพ์

- [11] อังคณา จารูวาระกุล และกอบชัยเดชหาญ วงจรไบซีมอสอินทรีเกรเตอร์กรองความถี่ต่ำชนิดมีการสูญเสียทำงานในโหมดกระแส วิศวกรรมลาดกระบัง ปีที่ 16 ฉบับที่ 2 หน้า 58-61 เดือน มิถุนายน 2542
- [12] K. Dejhan, A. Jaruvarakul, A. Trirat, F. Cheevasuvit and C. Soonyeechan, "A BiCMOS current-mode lossy integrator low-pass filter," Proc. 8th International Symposium on IC Technology. Systems & Application (ISIC-99), pp.279-281, Singapore, September 9-10, 1999
- [13] อังคณา จารูวาระกุล และกอบชัยเดชหาญ การออกแบบวงจรกรองสัญญาณมัลติชานด้วยซีมอส วิศวกรรมลาดกระบัง ปีที่ 19 ฉบับที่ 2 เดือน มิถุนายน 2545

ประวัติผู้เขียน

นางสาวอังคณา จารูวาระกุล เกิดเมื่อวันที่ 13 เมษายน 2515 จังหวัดราชบุรี สำเร็จการศึกษา
ระดับปริญญาตรี วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2538