

การออกแบบวงจรออปแอมป์แรงดันต่ำโดยใช้ซีมอส

A DESIGN OF CMOS LOW-VOLTAGE OPERATION AMPLIFIERS

ชุมชอล จิตรนัททรัพย์
CHUMCHOL JITNUMSUP

วิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2545
ISBN 974-324-026-8

การออกแบบวงจรออปแอมป์แรงดันต่ำโดยใช้ซีมอส

A DESIGN OF CMOS LOW-VOLTAGE OPERATION AMPLIFIERS

ชুমชล จิตรนำทรัพย์

CHUMCHOL JITNUMSUP

เลขหมู่.....
เลขทะเบียน 44049
วัน, เดือน, ปี 25 ต.ค. 2545

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2545

ISBN 974-324-026-8

A DESIGN OF CMOS LOW-VOLTAGE OPERATION AMPLIFIERS

CHUMCHOL JITNUMSUP

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIRMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2002

ISBN 974-324-026-8

COPYRIGHT 2002

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การออกแบบวงจรรอปแอมป์แรงดันต่ำโดยใช้ซีมอส
นักศึกษา	นายชุมชด จิตรนำทรัพย์
รหัสประจำตัว	39061033
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2545
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. กอบชัย เศรษฐาญ

บทคัดย่อ

บทความนี้เสนอวงจรรอปแอมป์ที่อินพุตและเอาต์พุตมีช่วงปฏิบัติงานเป็นแบบ rail-to-rail โดยออกแบบด้วยเทคโนโลยีซีมอสมาตรฐานทั่ว ๆ ไป มอสทรานซิสเตอร์จะถูกลดค่าแรงดันแตรซโสดโดยกระตุ้นอินพุตเข้าที่ขา bulk วงจรทำงานที่แหล่งจ่ายแรงดัน ± 1 โวลต์ ภาคเอาต์พุตปฏิบัติงานแบบ rail-to-rail โดยจัดเป็นคลาส AB และจะใช้ภาค folded cascode เพื่อรักษาการสวิงของสัญญาณทางอินพุตและเอาต์พุตที่สูงเอาไว้ การจำลองการทำงานใช้โปรแกรม PSpice โดยใช้พารามิเตอร์ซีมอส 1.2 ไมคอน Level 3 ของ MOSIS ซึ่งผลการจำลองค่า DC gain คือ 86 dB ค่าแบนด์วิดท์ที่ unity-gain คือ 8 MHz และ phase margin คือ 46°

Thesis Title	A Design of CMOS Low-Voltage Operational Amplifiers
Student	Mr. Chumchol Jitnumsup
Student ID.	39061033
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2002
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis proposes the low-voltage op-amp circuit with rail-to-rail input and output ranges. The circuit can operate at ± 1 volt power supply and is designed by using standard CMOS process. The MOS threshold voltage can be reduced by forcing a constant current through the transistor bulk terminal. The output stage rail-to-rail operation with a Class AB and provides the high gain while keeping the high input and high output swing by folded cascode stage. PSpice simulations are performed by using 1.2 μm parameters, level 3 of MOSIS. This op-amp has a DC gain of 86 dB, unity-gain bandwidth of 8 MHz, and phase margin of 46° .

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จสมบูรณ์เรียบร้อยเนื่องด้วยอาจารย์ รศ. ดร. กอบชัย เฉลยหาญ ที่ได้ให้คำแนะนำและคำปรึกษาให้โอกาสรวมถึงความช่วยเหลือในด้านต่างๆ ผู้วิจัยรู้สึกซาบซึ้งในความกรุณาจากท่านและขอกราบขอบพระคุณเป็นอย่างสูง และขอขอบคุณ คุณมนตรี คำเงิน ให้การช่วยเหลือและคำแนะนำในด้านต่างๆในการทำวิทยานิพนธ์เป็นอย่างมาก ขอขอบคุณอาจารย์ทุกท่านที่เป็นผู้อบรมสั่งสอนจากอดีตจนปัจจุบันและกำลังใจความช่วยเหลือจากเพื่อนๆที่ทุกคน

สุดท้ายนี้ขอกราบขอบพระคุณ คุณพ่อ มานพ คุณแม่ มาลี และคุณวรรณ จิตรนำทรัพย์ ที่เป็นกำลังใจและให้การสนับสนุนผู้วิจัยตลอดมา คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอมอบแด่พระคุณทุกท่าน

ชুমชล จิตรนำทรัพย์

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	VI
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 บทนำ.....	1
1.2 ที่มาของงานวิจัย.....	2
1.3 จุดประสงค์งานวิจัย.....	2
1.4 รายละเอียดในวิทยานิพนธ์.....	2
1.5 สรุป.....	3
บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์.....	4
2.1 บทนำ.....	4
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	4
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	9
2.4 คุณสมบัติการทำงาน of มอสทรานซิสเตอร์.....	10
2.4.1 คุณสมบัติการทำงานทั่วไปของมอสทรานซิสเตอร์.....	10
2.4.2 คุณสมบัติการทำงาน of ขา bulk ของมอสทรานซิสเตอร์.....	16
2.5 สรุป.....	19
บทที่ 3 คุณสมบัติและพารามิเตอร์ของออปแอมป์.....	20
3.1 บทนำ.....	20
3.2 คุณสมบัติของออปแอมป์.....	20
3.2.1 ลักษณะของออปแอมป์.....	20

สารบัญ (ต่อ)

หน้า

3.2.2 อัตราการขยายแรงดันแบบรูปเปิด.....	21
3.2.3 แรงดันเข้าพุทออฟเซ็ท.....	22
3.2.4 ความต้านทานทางด้านอินพุท.....	23
3.2.5 ความต้านทานทางเข้าพุท.....	24
3.2.6 ค่าสตูร์เรท.....	24
3.2.7 อัตราการขจัดโหมคร่วม.....	25
3.5 สรุป.....	28
บทที่ 4 ทฤษฎี.....	29
4.1 บทนำ.....	29
4.2 ภาคอินพุท.....	29
4.2.1 วงจรคิฟเฟอเรนเชียลแอมพลิไฟล์.....	29
4.2.2 การลดค่าแรงดันแทรกโซลโดยกระตุ้นกระแสที่ขา bulk.....	33
4.2.3 ภาค Folded Cascode.....	36
4.2.4 วงจรเลื่อนระดับ.....	37
4.3 ภาคเข้าพุทแบบคลาส AB.....	40
4.4 การชดเชยของออปแอมป์.....	43
4.5 การออกแบบวงจรออปแอมป์.....	45
4.6 สรุป.....	46
บทที่ 5 วงจรซิมอสออปแอมป์.....	47
5.1 บทนำ.....	47
5.2 การทำงานของวงจรซิมอสออปแอมป์.....	47
5.3 การจำลองและผลการจำลองวงจรซิมอสออปแอมป์.....	49
5.3.1 ผลการจำลองคุณสมบัติถ่ายโอน.....	50

สารบัญ (ต่อ)

	หน้า
5.3.2 ผลการจำลองวงจรแบบรูปเปิด.....	51
5.3.3 ผลการจำลองวัดค่าอัตราการจัดโหมคร่วม	53
5.3.4 ผลการจำลองการวัดค่าสแคว์เวด.....	55
5.3.5 ผลการจำลองเมื่อทดลองเปลี่ยนแหล่งจ่ายและโหลด.....	55
5.4 สรุป.....	58
บทที่ 6 สรุปและข้อเสนอแนะ.....	59
6.1 บทสรุป.....	59
6.2 ข้อเสนอแนะ.....	59
บรรณานุกรม.....	61
ภาคผนวก.....	63
ภาคผนวก ก. ค่าพารามิเตอร์ของซีมอสขนาด 1.2 ไมครอน ของ MOSIS ที่ใช้ในการ จำลองการทำงานของวงจรด้วยโปรแกรม Pspice.....	64
ภาคผนวก ข. ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา.....	65
ประวัติผู้เขียน.....	72

สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงสัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่าง ๆ	10
5.2 แสดงค่าความกว้างและค่าความยาวของเซนแนล.....	50
5.2 แสดงผลการจำลองวงจรซิมูเลชันเมื่อแหล่งจ่ายแรงดันเท่ากับ ± 1 โวลต์ R_L เท่ากับ $10\text{ k}\Omega$, C_C เท่ากับ 2 pF และ C_L เท่ากับ 10 pF	56
5.3 แสดงผลการจำลองวงจรซิมูเลชันเมื่อแหล่งจ่ายแรงดันเท่ากับ ± 0.9 โวลต์ R_L เท่ากับ $10\text{ k}\Omega$, C_C เท่ากับ 2 pF และ C_L เท่ากับ 10 pF	56
5.4 แสดงผลการจำลองวงจรซิมูเลชันเมื่อแหล่งจ่ายแรงดันเท่ากับ ± 0.75 โวลต์ R_L เท่ากับ $10\text{ k}\Omega$, C_C เท่ากับ 0.3 pF และ C_L เท่ากับ 10 pF	57
5.5 แสดงค่าพารามิเตอร์ของไบโพล่า ออปแอมป์ เบอร์ AD8631 Rail-to-Rail Low Power Operational Amplifiers เมื่อแหล่งจ่ายแรงดันเท่ากับ 0 ถึง $+2.2$ โวลต์ R_L เท่ากับ $10\text{ k}\Omega$	57

สารบัญรูป

รูปที่	หน้า
2.1 แสดงภาพตัดขวางโครงสร้างมอสทรานซิสเตอร์ทั่วไป.....	5
2.2 แสดงลักษณะโครงสร้างของมอสทรานซิสเตอร์ทั้ง 4 แบบ	
(ก) เอ็นแชนแนลเอ็นฮาร์น เมนท์โหมคมอสทรานซิสเตอร์ (N-channel enhancement mode MOS)	7
(ข) เอ็นแชนแนลดีพลีทชัน โหมคมอสทรานซิสเตอร์ (N-channel depletion mode MOS).....	7
(ค) ชันแนลดีพลีทชัน โหมคมอสทรานซิสเตอร์ (P-channel depletion mode MOS).....	8
(ง) พีแชนแนล ดีพลีทชัน โหมคมอสทรานซิสเตอร์ (P-channel depletion MOS).....	8
2.3 แสดงการสร้างช่องทางเดินกระแสให้กับมอสทรานซิสเตอร์แบบเอ็นแชนแนล เอ็นฮาร์นเมนท์โหมค.....	11
2.4 แสดงการกำหนดจุดการทำงานให้มอสทรานซิสเตอร์เมื่อ $V_{gs} > V_{th}$ และ V_{ds} ค่าน้อย.....	12
2.5 กราฟแสดงความสัมพันธ์ระหว่างกระแสครนกับแรงดันค่าน้อย ๆ ที่ขาครนกับซอร์ส.....	12
2.6 แสดงการกำหนดจุดการทำงานให้มอสทรานซิสเตอร์ เมื่อ $V_{gs} > V_{th}$ และปรับค่า V_{th} และปรับค่า V_{th} เพิ่มขึ้นทีละระดับ.....	12
2.7 แสดงคุณสมบัติของมอสทรานซิสเตอร์ในแต่ละช่วงการทำงาน.....	14
2.8 แสดงการควบคุมการไหลของกระแสในช่องทางเดินกระแสโดยการปรับแรงดันระหว่างขา bulk และซอส (V_{bs}).....	16
2.9 แสดงกระแสครน (I_D) เมื่อแปรค่าแรงดันระหว่างขา bulk และซอส (V_{bs}).....	18
3.1 แสดงลักษณะทั่วไปของออปแอมป์.....	21
3.2 แสดงวงจรสำหรับหาค่าอัตราขยายแรงดันแบบรูปเปิด.....	27
3.3 แสดงความต้านทานอินพุท R_i ของออปแอมป์เมื่อมองจากอินพุท 1 และ 2.....	23
3.4 แสดงความต้านทานทางเข้าพุท R_o	24
3.5 แสดงสัญญาณอินพุทและผลของสัญญาณเข้าพุทที่เพิ่มขึ้นไป.....	25
3.6 วงจรหาอัตราขยายสัญญาณ โหมคความแตกต่าง.....	26
3.7 วงจรหาค่าอัตราขยายสัญญาณ โหมคร่วม.....	27

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.1 แสดงภาคอินพุตที่ใช้มอสทรานสเตอร์ชนิด P-channel หรือ N-channel.....	30
4.2 วงจรภาคอินพุตคิฟเฟอเรนเชียลแบบคอมพลิเมนทารี.....	31
4.3 แสดงความสัมพันธ์ระหว่างค่า g_m และอินพุตคอมมอนโมด.....	32
4.4 แสดงการกระตุ้นกระแสที่ขา bulk (ก) ใช้แหล่งจ่ายกระแส (ข) ใช้มอสทรานซิสเตอร์ใน ทางปฏิบัติ	33
4.5 แสดงค่ากระแสครนต่อแรงดันระหว่างเกตและซอร์สเมื่อเปลี่ยนค่าแรงดันระหว่าง bulk และซอร์สเป็นค่าต่าง ๆ	34
4.6 แสดงการกระตุ้นกระแสที่ขา bulk ของมอสทรานซิสเตอร์ชนิด P-channel ของ คิฟเฟอเรนเชียลแบบคอมพลิเมนทารี.....	35
4.7 (ก) วงจรแบบคาตโอดเบื้องต้น (ข) วงจรแบบคาตโอดใช้โหลดแบบแอ็กทีฟ (ค) วงจรแบบคาตโอดใช้โหลดแบบแอ็กทีฟต่อคาตโอด.....	36
4.8 แสดงวงจรเลื่อนระดับ (ก) เมื่อไบอัสโดย M2 ต่อเป็นไดโอด (ข) เมื่อไบอัส M2 โดยใช้ แหล่งจ่ายแรงดันอิสระ.....	38
4.9 แสดงฟังก์ชันการถ่ายโอนของคลาส AB ที่ต้องการ.....	41
4.10 แสดงหลักการเบื้องต้นของวงจรแบบคลาส AB (ก) เมื่อไบอัสจากแรงดันอิสระ (ข) เมื่อไบอัสด้วยกระแส.....	42
4.11 แสดงระบบการป้อนกลับ.....	43
4.12 แสดงการตอบสนองทางความถี่และทางเฟสของระบบอันดับที่สอง.....	45
5.1 วงจรซิมอสออปแอมป์.....	48
5.2 แสดงคุณสมบัติถ่ายโอนระหว่างอินพุตและเอาพุตของออปแอมป์.....	51
5.3 แสดงความสัมพันธ์ระหว่างแรงดันอินพุตและเอาพุต.....	52
5.4 แสดงผลการตอบสนองความถี่ของออปแอมป์.....	52
5.5 แสดงผลการตอบสนองทางเฟสของออปแอมป์.....	53
5.6 แสดงวงจรที่ใช้จำลองเพื่อวัดค่าอัตราการจัดโหมคร่วม.....	53
5.7 แสดงการตอบสนองความถี่ CMRR	54
5.8 แสดงการตอบสนองทางเฟส.....	54
5.9 แสดงวงจรที่ใช้หาค่าสlew rate และผลการจำลอง.....	55

บทที่ 1

บทนำ

1.1 บทนำ

ออปเปอเรชันแนลแอมพลิไฟเออร์ (Operational Amplifier: Op-Amp) หรือมักเรียกสั้นๆ ว่า “ออปแอมป์” คืออุปกรณ์อิเล็กทรอนิกส์ที่มีความสำคัญอย่างมากในวงจรประเภทอนาล็อกซึ่งมีการนำไปใช้งานอย่างกว้างขวางในงานอิเล็กทรอนิกส์ โทรคมนาคมและเครื่องมือวัด เนื่องจากเป็นอุปกรณ์ที่มีความสำคัญและเป็นอุปกรณ์เอนกประสงค์ที่สามารถประยุกต์ใช้งานได้หลายอย่างจึงทำให้ออปแอมป์ได้รับความสนใจและพัฒนาอย่างต่อเนื่องจวบจนถึงปัจจุบันนี้ ซึ่งในพัฒนาการจะเน้นการออกแบบให้ออปแอมป์มีความเหมาะสมกับการใช้งานในแต่ละด้าน เช่น การออกแบบวงจรออปแอมป์ที่เน้นให้มีความเร็วการตอบสนอง (Slew Rate) สูง ๆ หรือวงจรที่มีค่าอัตราการจัดโหมดร่วม (Common-Mode Rejection Ratio: CMRR) สูง ๆ สำหรับใช้งานในวงจรกรองความถี่แบบ Switched-Capacitor วงจรออปแอมป์ที่มีค่าทรานส์คอนดักแตนซ์คงที่หรืออาจจะเป็นวงจรออปแอมป์ที่มีค่าอัตราขยายที่สูงสำหรับเป็นอุปกรณ์ใช้งานทั่วไปเป็นต้น และในปัจจุบันนี้มนุษย์เราหันมาใส่ใจในเรื่องทรัพยากรกันมากขึ้นรวมทั้งเครื่องมือสื่อสารและอุปกรณ์ประเภทพกพาได้มีส่วนช่วยผลักดันให้มีความต้องการอุปกรณ์ที่ทำงานด้วยแรงดันและกำลังงานที่ต่ำกันมากขึ้น จึงทำให้แหล่งจ่ายถูกนำมาเป็นพารามิเตอร์ที่สำคัญอันหนึ่งที่ต้องพิจารณาสำหรับออกแบบวงจรประเภทต่าง ๆ ด้วย ดังนั้นจึงเป็นที่มาของวิทยานิพนธ์นี้ซึ่งจะกล่าวถึงวงจรซิมอสออปแอมป์ที่ทำงานด้วยแรงดันต่ำ มีช่วงอินพุตและเอาพุตปฏิบัติการแบบ rail-to-rail โดยใช้เทคโนโลยีซิมอสมาออกแบบเพราะข้อดีที่น่าสนใจหลายประการ เช่น การสูญเสียกำลังงานต่ำ มีค่าอินพุตอิมพีแดนซ์สูง ใช้พื้นที่น้อยเป็นต้น โดยการออกแบบจะคำนึงถึงการใช้กำลังงานของแอมป์โดยกำหนดให้ออปแอมป์ใช้แหล่งจ่ายพลังงานที่น้อยที่สุด

1.2 ที่มาของงานวิจัย

จากความสำคัญของออปแอมป์ที่เป็นอุปกรณ์สำคัญสำหรับวงจรทางด้านอนาล็อกและข้อดีต่างๆของเทคโนโลยีซีมอสจึงทำให้นำมาออกแบบวงจรออปแอมป์ที่มีช่วงอินพุตและเอาต์พุตปฏิบัติงานแบบ rail-to-rail โดยวงจรออปแอมป์สามารถทำงานได้ด้วยแรงดันที่ต่ำโดยการลดค่าแรงดันแทรนซิสของมอสทรานซิสเตอร์ลงโดยกระตุ้นกระแสเข้าที่ขา bulk ภาคอินพุตปฏิบัติงานแบบ rail-to-rail ทำได้โดยใช้มอสทรานซิสเตอร์ประกอบเป็นคู่คิฟเฟอเรนเชียลแบบคอมพลีเมนทารี (Complementary differential pair) สองคู่ขนานกัน โดยใช้คู่มอสทรานซิสเตอร์ชนิด N-channel และ P-channel จากนั้นจะใช้วงจร folded cascode เพื่อรักษาการสวิงของสัญญาณทางอินพุต และเอาต์พุตที่สูงสุดเอาไว้ เอาต์พุตสามารถปฏิบัติงานแบบ rail-to-rail ได้โดยจัดไบอัสเป็นแบบคลาส AB

1.3 จุดประสงค์ของงานวิจัย

จุดมุ่งหมายของงานวิจัยที่นำเสนอมาคือต้องการออกแบบวงจรออปแอมป์ที่ทำงานได้ด้วยแหล่งจ่ายแรงดันต่ำ อินพุตและเอาต์พุตปฏิบัติงานแบบ rail-to-rail โดยใช้เทคโนโลยีซีมอส วงจรสามารถทำงานได้ด้วยแหล่งจ่ายแรงดันต่ำ โดยจะศึกษาวิเคราะห์คุณภาพของวงจรและใช้โปรแกรม PSpice ในการจำลองการทำงานของวงจรเพื่อยืนยันประสิทธิภาพของวงจร

1.4 รายละเอียดในวิทยานิพนธ์

สำหรับวิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 6 บท บทที่ 1 จะกล่าวถึงที่มาของงานวิจัยและวัตถุประสงค์ของงานวิจัย ส่วนเนื้อหาในบทต่อมามีดังต่อไปนี้

บทที่ 2 จะกล่าวถึงทฤษฎีการทำงานของมอสทรานซิสเตอร์

บทที่ 3 จะกล่าวถึงคุณสมบัติและพารามิเตอร์ที่สำคัญของออปแอมป์

บทที่ 4 จะกล่าวถึงทฤษฎีของภาคอินพุตที่ใช้วงจรคิฟเฟอเรนเชียลคอมพลีเมนทารีโดยใช้คู่มอสทรานซิสเตอร์ชนิด N-channel และ P-channel และการลดค่าแรงดันแทรนซิสโดยกระตุ้นกระแสที่ขา bulk วงจรแบบ Folded Cascode วงจรเลื่อนระดับ (Level-shift stage) และภาคเอาต์พุตแบบคลาส AB

บทที่ 5 จะกล่าวถึงการจำลองและผลการจำลองวงจรซีมอสออปแอมป์ พร้อมเปรียบเทียบผลการจำลอง กับพารามิเตอร์ของออปแอมป์ AD8631

บทที่ 6 จะกล่าวถึงบทสรุปและข้อเสนอแนะ

1.5 สรุป

ในบทนี้จะกล่าวถึงที่มาและวัตถุประสงค์ของงานวิจัยและรายละเอียดในวิทยานิพนธ์ ซึ่งประกอบด้วยเนื้อหาที่สำคัญคือทฤษฎีต่าง ๆ ที่ใช้ในการออกแบบวงจรซีมอสอปแอมป์ที่นำเสนอในวิทยานิพนธ์นี้ การจำลองและผลการจำลองการทำงานวงจรออปแอมป์

บทที่ 2

ทฤษฎีการทำงานของมอสทรานซิสเตอร์

2.1 บทนำ

มอสทรานซิสเตอร์เป็นอุปกรณ์ที่ทำงานโดยใช้ศักย์เป็นตัวกำหนดช่องของช่องทางเดินของกระแส ซึ่งมอสทรานซิสเตอร์แบ่งออกเป็น 2 ชนิดคือมอสทรานซิสเตอร์ แบบเอ็นฮาร์มันเมนต์ (Enhancement MOS) โดยทั้งสองแบบจะใช้สนามไฟฟ้า (Electric Field) ที่เกิดจากการป้อนแรงดันบริเวณขาคัดเป็นตัวกำหนดช่องทางเดินกระแสระหว่างขาเดรนและซอร์สและโดยปกติจะใช้งานขาของมอสทรานซิสเตอร์ที่ใช้เป็นทางเดินของสัญญาณอยู่ด้วยกัน 3 ขาคือ ขาคาเดรน ขาคัด และขาซอร์ส ส่วนขา Bulk หรือบริเวณฐานรอนนั้นจะใช้ในการกำหนดค่าแรงดันแธรชโฮลด์ (Threshold voltage) ที่เป็นค่าคงที่ โดยปกติแล้วขาเบ้าที่จะต่อเข้ากับขาซอร์สเพื่อให้ได้ค่าแรงดันแธรชโฮลด์ที่มีค่าต่ำที่สุดเท่ากับ V_{TO} แต่ในวิทยานิพนธ์จะนำเสนอการนำเอาขา bulk ของมอสทรานซิสเตอร์มาใช้งานให้เกิดประโยชน์มากขึ้นโดยการกระตุ้นที่ขา bulk ของมอสทรานซิสเตอร์จะทำให้ค่าแรงดันแธรชโฮลด์ของมอสทรานซิสเตอร์ลดลงซึ่งแสดงได้ตาม [1-2]

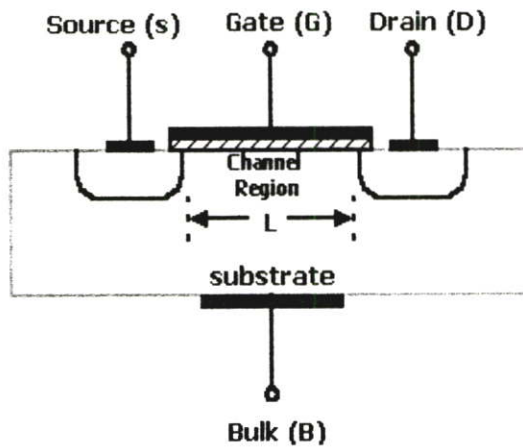
ในการออกแบบวงจรรวมในปัจจุบันจะเห็นว่าเทคโนโลยีซีมอสได้มีการนำมาใช้อย่างกว้างขวาง ด้วยคุณลักษณะเด่นของมันคือสร้างได้ง่ายอีกทั้งใช้พื้นที่บนชิปน้อยรวมถึงคุณสมบัติความต้องการกำลังงานไฟฟ้าต่ำและคุณสมบัติที่ดีอื่น ๆ อีกหลายประการ ดังนั้นจึงได้มีการพัฒนาและวิจัยการออกแบบวงจร โดยใช้เทคโนโลยีซีมอสทรานซิสเตอร์กันเรื่อยมา

2.2 โครงสร้างของมอสทรานซิสเตอร์

จากข้างต้นตามที่ได้กล่าวมาแล้วนั้น มอสทรานซิสเตอร์เป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่งในตระกูลสารกึ่งตัวนำประเภทที่ควบคุมด้วยสนามไฟฟ้า (Field Effect Devices) ซึ่งมีลักษณะเด่นคือมีความต้องการกำลังงานไฟฟ้าต่ำและให้ประสิทธิภาพทางการทำงานสูงเมื่อเปรียบเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่น ๆ ที่มีการใช้งานแบบเดียวกัน จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้ในการออกแบบวงจรทั่วไป โดยเฉพาะวงจรที่ต้องการกำลังงานต่ำๆหรือในประเภทของวงจรในประเภทของวงจรรวม (Integrated Circuit) ที่มีจำนวนอุปกรณ์ (Component) มาก ๆ และเมื่อศึกษาโครงสร้างการทำงานของมอสทรานซิสเตอร์สามารถที่จะพิจารณาได้จากรูปที่ 2.1

จากรูปที่ 2.1 แสดงภาพตัดขวางโครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นฮาร์มันเมนต์ ซึ่งประกอบด้วยส่วนสำคัญ 4 ส่วนคือส่วนเดรน (Drain Region) ส่วนเกต (Gate Region) ส่วนซอร์ส

(Source Region) และส่วนขา bulk หรือฐานรอง (Bulk Region) โดยแต่ละส่วนมีหน้าที่การทำงาน และคุณสมบัติที่แตกต่างกันดังนี้



รูปที่ 2.1 แสดงภาพตัดขวางโครงสร้างมอสทรานซิสเตอร์ทั่วไป

ส่วนเดรน (Drain Region) เป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิดกับฐานรองหรือส่วนของเบาท์แต่เป็นสารกึ่งตัวนำชนิดเดียวกับซอร์ส ซึ่งทำหน้าที่เป็นทางออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากส่วนซอร์ส

ส่วนซอร์ส (Source Region) เป็นบริเวณสารกึ่งตัวนำที่ต่างชนิดกับฐานรองหรือส่วนของเบาท์ทำหน้าที่เป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไหลระหว่างเดรนกับซอร์ส (I_{DS})

ส่วนเกต (Gate Region) เป็นบริเวณที่เชื่อมอยู่ระหว่างขาเดรนกับซอร์สมีโครงสร้างโดยทั่วไปจะใช้ชั้นบนสุดเป็นโลหะตัวนำ ชั้นรองลงมาทำจากออกไซด์ของสารกึ่งตัวนำที่ถูกนำมาใช้ในการสร้าง และชั้นล่างสุดเป็นสารกึ่งตัวนำซึ่งแบบฐานรอง ส่วนเกตนี้จะทำหน้าที่ควบคุมปริมาณประจุพาหะที่เคลื่อนที่จากส่วนซอร์สไปยังเดรนตามต้องการ

ส่วน bulk หรือฐานรอง (Bulk Region or Substrate) ซึ่งเป็นสารกึ่งตัวนำที่ใช้เป็นฐานรองของช่องทางเดินกระแส โดยใช้กำหนดช่องทางเดินของกระแสซึ่งโดยปกติส่วนขา bulk หรือฐานรองนี้จะถูกต่อเข้ากับส่วนซอร์สเพื่อให้ผลแรงดันเทรชโวลต์มีค่าเท่ากับ V_{TO}

จากลักษณะโครงสร้างดังกล่าวกระแสไหลผ่านส่วนเกตไปได้เพียงเล็กน้อยเท่านั้น เนื่องจากมีชั้นฉนวนป้องกันอยู่ชั้นหนึ่ง ดังนั้นในขณะที่ใช้งานในส่วนเกตจึงเป็นเพียงแหล่งจ่ายแรงดันเท่านั้นซึ่งไม่จำเป็นต้องใช้แหล่งจ่ายกระแสจึงทำให้มอสทรานซิสเตอร์มีความต้องการกำลังงานในขณะที่ใช้งานค่าน้อยเอง สำหรับส่วนเดรนและซอร์สนั้นโดยปกติแล้วจะมีโครงสร้างเหมือนกันทุกประการซึ่งสามารถใช้แทนกันได้อันเป็นคุณสมบัติพิเศษอีกประการของมอสทรานซิสเตอร์ที่เรียกว่ามีความสมมาตรทั้งสองด้าน (Bilateral Symmetry) แต่โดยทั่วไปสำหรับในโครงสร้างของมอส

ทรานซิสเตอร์ตัวเดียวกันนั้นเพื่อความสะดวกในการใช้งานจึงสร้างให้ส่วนซอร์สเชื่อมกับขา bulk ของฐานรอง ดังนั้นบางที่สัญลักษณ์ของมอสทรานซิสเตอร์จึงเขียนขา bulk หรือฐานรองเชื่อมกับขาซอร์ส แต่ในวิทยานิพนธ์ฉบับนี้จะนำส่วนของขา bulk หรือฐานรองมาใช้ประโยชน์ในรูปการทำงานที่เหมือนกับขาเกตของเจฟทจึงเขียนสัญลักษณ์ของมอสแบบที่มีส่วนของขา bulk ด้วย

เมื่อให้ไบอัสที่เหมาะสมกับส่วนต่าง ๆ ของมอสทรานซิสเตอร์แล้วประจุพาหะจากซอร์สจะเคลื่อนที่ผ่านช่องทางเดินกระแสในส่วนเกตไปยังส่วนเดรนซึ่งทำให้กระแสไฟฟ้าไหลระหว่างขาเดรนกับซอร์ส (I_{DS}) ของมอสทรานซิสเตอร์ที่จะนำไปใช้งานต่อไป โดยช่องทางเดินกระแสนี้จะเกิดจากการเปลี่ยนชนิดของสารกึ่งตัวนำที่อยู่บริเวณพื้นผิวฐานรองภายใต้แผ่นฉนวนของเกต (Inversion Layer) ไปเป็นสารชนิดเดียวกันกับส่วนของเดรนและซอร์สและการเคลื่อนที่ของประจุพาหะที่ผ่านทางช่องทางเดินกระแสที่นั้นเกิดจากสนามไฟฟ้าคกรวมตลอดจากส่วนซอร์สถึงส่วนของเดรนและอันเนื่องมาจากความต่างศักย์ระหว่างส่วนทั้งสองนั้น โดยที่กระแสดังกล่าวจะถูกเรียกว่ากระแสครีฟท์ ซึ่งขึ้นอยู่กับสนามไฟฟ้าที่คกรวมบริเวณช่องทางเดินกระแส กระแสครีฟท์ที่เกิดขึ้นนี้เกิดจากการเคลื่อนที่ของประจุพาหะส่วนมากที่มีอยู่ในสารกึ่งตัวนำชนิดนั้นเพียงชนิดเดียวด้วยเหตุนี้มอสทรานซิสเตอร์จึงถูกเรียกอีกแบบหนึ่งว่าทรานซิสเตอร์แบบยูนิโพลาร์ (Unipolar Transistor) และเนื่องจากประจุพาหะส่วนมากในสารกึ่งตัวนำมีสองชนิดคืออิเล็กตรอนคือประจุเป็นลบในสารกึ่งตัวนำชนิดเอ็นหรือโฮลหรือประจุบวกในสารกึ่งตัวนำชนิดพีดังนั้นจึงสามารถแบ่งมอสทรานซิสเตอร์ตามชนิดของประจุพาหะที่ช่องทางเดินกระแสในขณะที่เกิดกระแสครีฟท์ได้เป็นสองชนิดคือ

-เอ็นแชนแนลมอสทรานซิสเตอร์ (N-channel MOS Transistor: NMOS) ซึ่งหมายถึงมอสทรานซิสเตอร์ที่มีประจุลบหรืออิเล็กตรอนเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสครีฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้จึงมีส่วนของเดรนและส่วนของซอร์สที่เป็นสารกึ่งตัวนำชนิดเอ็น (N-type Semiconductor)

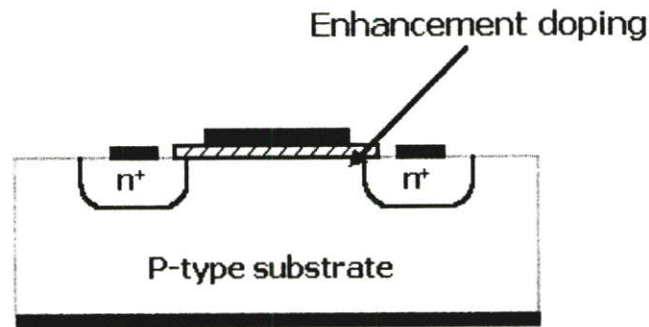
-พีแชนแนลมอสทรานซิสเตอร์ (P-channel MOS Transistor: PMOS) ซึ่งหมายถึงมอสทรานซิสเตอร์ที่มีประจุบวกหรือโฮลเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสครีฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้จึงมีส่วนของเดรนและส่วนของซอร์สที่เป็นสารกึ่งตัวนำชนิดพี (P-type Semiconductor)

อย่างไรก็ตามในสภาวะปกติก่อนให้ไบอัสของมอสทรานซิสเตอร์ทุกๆไป สารกึ่งตัวนำบริเวณช่องทางเดินกระแสกับสารกึ่งตัวนำบริเวณส่วนเดรนและซอร์ส อาจเป็นสารชนิดเดียวกันหรือต่างกันได้ซึ่งแต่ละแบบจะมีผลต่อคุณสมบัติในขณะใช้งานต่างกัน ดังนั้นจึงมีนิยามคำศัพท์เพื่อบอกของประเภทสารกึ่งตัวนำบริเวณช่องทางเดินกระแสไว้ดังนี้

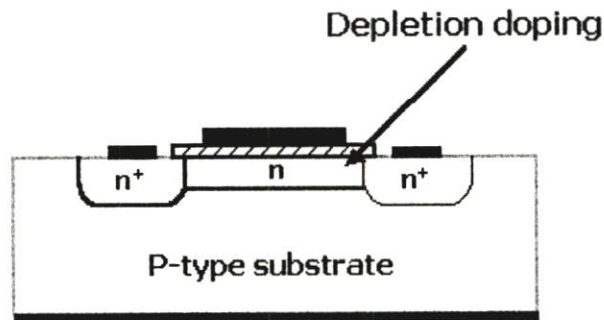
-ดีพลีชัน (Depletion) หมายถึงสารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเดียวกันกับสารกึ่งตัวนำส่วนซอร์สและเดรน

-เอ็นฮาร์เมนต์ (Enhancement) หมายถึงสารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำต่างชนิดกันกับสารกึ่งตัวนำซอร์สและเดรน

ดังนั้นจึงสามารถที่จะแบ่งมอสทรานซิสเตอร์ตามลักษณะการควบคุมปริมาณประจุพาหะภายในช่องทางเดินกระแสได้เป็น 4 แบบโดยแสดงโครงสร้างภายในของทั้ง 4 แบบดังรูปที่ 2.2

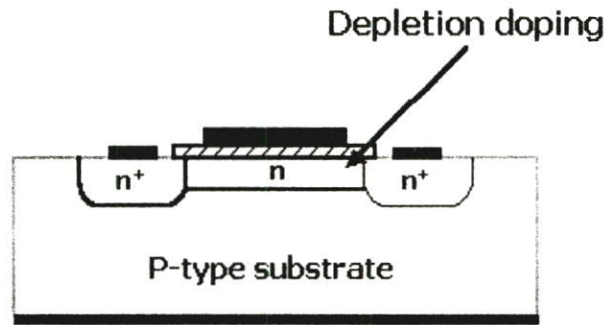


(ก)

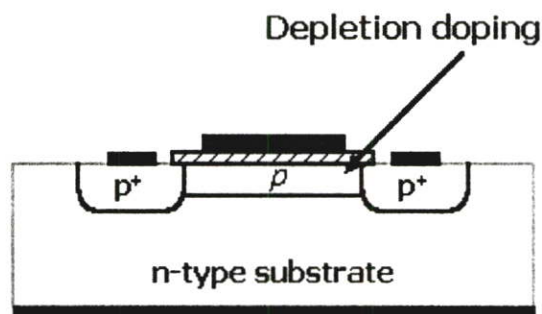


(ข)

รูปที่ 2.2 แสดงลักษณะโครงสร้างของมอสทรานซิสเตอร์ทั้ง 4 แบบ (ก) เอ็นแชนแนลเอ็นฮาร์มันต์โหมดมอสทรานซิสเตอร์ (N-channel enhancement mode MOS) (ข) เอ็นแชนแนลดีพลีทชันโหมดมอสทรานซิสเตอร์ (N-channel depletion mode MOS)



(ค)



(ง)

รูปที่ 2.2 (ต่อ) แสดงลักษณะโครงสร้างของมอสทรานซิสเตอร์ทั้ง 4 แบบ (ค) ชั้นแนลตีฟลิตชัน โหมดมอสทรานซิสเตอร์ (P-channel depletion mode MOS) (ง) พีแชนแนล ดีฟลิตชัน โหมดมอสทรานซิสเตอร์ (P-channel depletion MOS)

1. จากรูปที่ 2.2 (ค) เอ็นแชนแนลเอ็นแชนแนลเอ็นฮาร์นเมนท์โหมด มอสทรานซิสเตอร์ (N-channel enhancement mode MOS) หมายถึง เอ็นแชนแนลมอสทรานซิสเตอร์ที่อยู่ในสภาวะปกติ ก่อนให้ไปอัสที่ขาคจะจะมีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดพี ดังนั้นในขณะที่ใช้งานจึงจำเป็นต้องเหนี่ยวนำให้สารกึ่งตัวนำชนิดพีที่บริเวณช่องทางเดินกระแสให้เปลี่ยนเป็นสารกึ่งตัวนำชนิดเอ็นก่อน โดยการให้แรงดันไฟฟ้าที่เกิดเป็นบวกเมื่อเทียบกับฐานรอง

2. จากรูปที่ 2.2 (ง) เอ็นแชนแนล ดีฟลิตชันโหมดมอสทรานซิสเตอร์ (N-channel depletion mode MOS) หมายถึง เอ็นแชนแนลมอสทรานซิสเตอร์ในสภาวะปกติก่อนให้ไปอัสที่เกิดจะมีสารกึ่งตัวนำบริเวณช่องทางเดินกระแสเป็นชนิดเอ็น ทำให้เกิดการเชื่อมต่อเนื้อสารกึ่งตัวนำระหว่างส่วนซอสกับส่วนเดรน อันเป็นผลให้เกิดกระแสครีฟที่ขึ้นทันทีเมื่อมีความต่างศักย์ระหว่างส่วนเดรน

กับส่วนซอร์สในการควบคุมปริมาณกระแสคริปท์นี้ทำได้โดยการควบคุมแรงดันไฟฟ้าที่เกิดเมื่อเทียบกับฐานรอง โดยเมื่อต้องการกระแสคริปท์เพิ่มขึ้นก็คือการควบคุมให้แรงดันที่เกิดเป็นบวกเมื่อเทียบกับฐานรองและเมื่อต้องการกระแสคริปท์ลดลงก็โดยการให้แรงดันไฟฟ้าที่เกิดเป็นลบเมื่อเทียบกับฐานรอง

3. จากรูปที่ 2.2 (ค) พีแชนแนล เอ็นฮาร์เมนท์โหมด มอสทรานซิสเตอร์ (P-channel enhancement mode MOS) หมายถึงพีแชนแนลมอสทรานซิสเตอร์ในสภาวะปกติก่อนให้ไบอัสในส่วนเกตจะมีสารกึ่งตัวนำในช่องทางเดินกระแสเป็นชนิดเอ็น ดังนั้นในขณะที่ใช้งานจึงจำเป็นต้องเหนี่ยวนำให้สารกึ่งตัวนำชนิดเอ็นที่บริเวณช่องทางเดินกระแสให้เปลี่ยนเป็นสารกึ่งตัวนำชนิดพี ก่อนโดยการให้แรงดันไฟฟ้าที่เกิดเป็นลบเมื่อเทียบกับฐานรอง


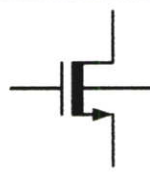
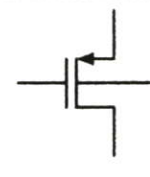

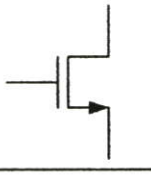
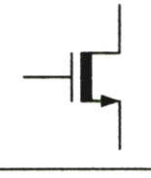
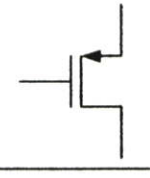

4. จากรูปที่ 2.2 (ง) พีแชนแนลดีพลิชันโหมด มอสทรานซิสเตอร์ (P-channel depletion mode MOS) หมายถึงพีแชนแนลมอสทรานซิสเตอร์ ในสภาวะปกติก่อนให้ไบอัสที่เกิดมีสารกึ่งตัวนำบริเวณช่องทางเดินกระแสชนิดพี ดังนั้นทำนองเดียวกันกับเอ็นแชนแนลดีพลิชันโหมด มอสทรานซิสเตอร์ คือทำให้เกิดการเชื่อมต่อเนื้อสารกึ่งตัวนำระหว่างส่วนซอร์สกับส่วนเดรน โดยในการควบคุมปริมาณกระแสคริปท์ก็ทำได้โดยการควบคุมแรงดันไฟฟ้าที่เกิดเมื่อเทียบกับฐานรอง และเมื่อต้องการกระแสคริปท์ลดลงก็โดยให้แรงดันไฟฟ้าที่เกิดเป็นบวกเมื่อเทียบกับฐานรองนั่นเอง

2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

ลักษณะทั่วไปของสัญลักษณ์ของมอสทรานซิสเตอร์ทั้ง 4 แบบดังตารางที่ 1 แถวที่ A ซึ่งจะเห็นว่าสัญลักษณ์แต่ละแบบจะบอกให้ทราบถึงลักษณะทางโครงสร้างมอสทรานซิสเตอร์ในแต่ละแบบ โดยในลักษณะของดีพลิชันโหมด จะเห็นว่าส่วนเดรนฐานรองและซอร์สจะขีดเส้นต่อกันซึ่งหมายถึงสารกึ่งตัวนำทั้ง 3 ส่วนนั้นเป็นชนิดเดียวกันทั้งหมดและในสัญลักษณ์ของเอ็นฮาร์เมนท์โหมดจะเห็นว่าส่วนเดรน, ฐานรองและซอร์ส ขีดเป็นเส้นประไม่ต่อกัน ซึ่งหมายความว่าในสภาวะปกติที่ไม่ได้ไบอัสให้มอสทำงานทั้งสามส่วน คือ เดรน, ฐานรอง, และซอร์สที่ไม่ต่อกันหรือแยกขาดจากกันทางไฟฟ้านั้นคือส่วนของฐานรองจะเป็นสารกึ่งตัวนำต่างชนิดกับส่วนซอร์สและส่วนเดรน

อย่างไรก็ตามดังที่ได้กล่าวมาแล้วข้างต้นว่าต้นมอสทรานซิสเตอร์ตัวเดียวๆ โดยทั่วไปส่วนของซอร์สจะถูกต่อกับฐานรอง ดังนั้นสัญลักษณ์ของมอสตัวเดียว ๆ โดยทั่วไป จึงลากเส้นเชื่อมต่อกันและมีเพียงสามขา โดยตัดขาของฐานรองหรือขา bulk ออกที่ได้แสดงไว้ในตารางที่ 1 แถว โดยแยกมอสแบบเอ็นฮาร์เมนท์โหมดกับดีพลิชันโหมดออกจากกันคือสัญลักษณ์ดีพลิชันโหมดมอสทรานซิสเตอร์จะถูกลากเส้นระหว่างขาเดรนกับขาซอร์สเป็นเส้นทึบแต่สัญลักษณ์ของเอ็นฮาร์เมนท์โหมดมอสทรานซิสเตอร์จะถูกลากเส้นระหว่างระหว่างขาเดรนกับซอร์สเป็นเส้นปกติ

ตารางที่ 2.1 แสดงสัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ

	N-channel		P-channel	
แถวที่	มอสทรานซิสเตอร์ แบบเอ็นฮาร์มันเมนต์	มอสทรานซิสเตอร์ แบบดีพลีทชัน	มอสทรานซิสเตอร์ แบบเอ็นฮาร์มันเมนต์	มอสทรานซิสเตอร์ แบบดีพลีทชัน
A				
B				

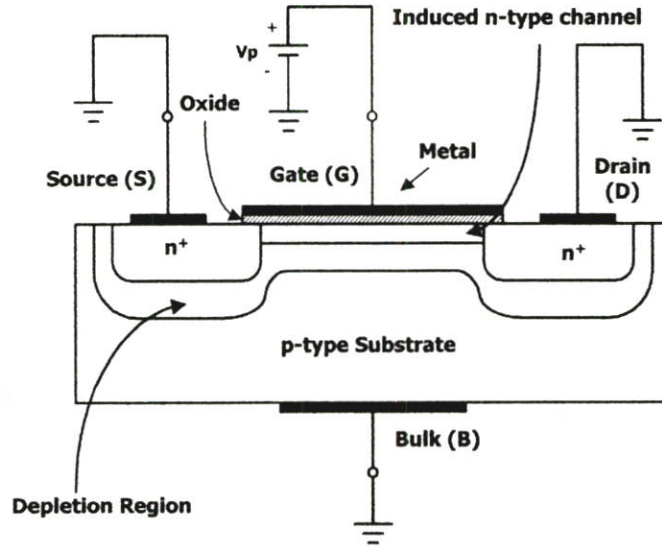
ในวิทยานิพนธ์ฉบับนี้จะนำพา bulk มาประยุกต์ในการออกแบบวงจรด้วยจึงใช้สัญลักษณ์ของมอสทรานซิสเตอร์แบบ 4 ขา มาใช้รูปวงจรที่ได้ออกแบบ

2.4 คุณสมบัติการทำงานของมอสทรานซิสเตอร์

2.4.1 คุณสมบัติการทำงานทั่วไปของมอสทรานซิสเตอร์

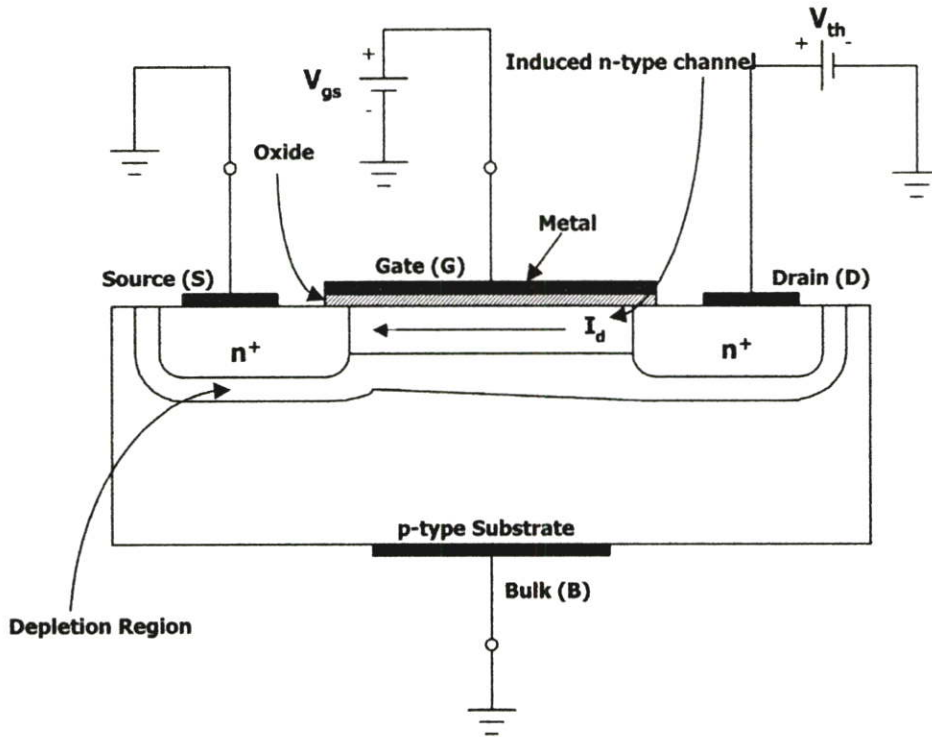
การนำมอสทรานซิสเตอร์ไปใช้งานนั้นต้องทำการกำหนดจุดการทำงานให้เหมาะสมซึ่งในที่นี้จะศึกษาคุณสมบัติการทำงานในแต่ละช่วงการทำงานของมอสทรานซิสเตอร์ดังนี้

โดยที่ทราบกันอยู่แล้วว่าการควบคุมกระแสที่ไหลในช่องทางเดินกระแสของมอสทรานซิสเตอร์นั้นจะทำได้โดยการป้อนแรงดันไฟฟ้าที่บริเวณเกตของมอสทรานซิสเตอร์ ในที่นี้จะยกตัวอย่างการกำหนดจุดการทำงานของมอสทรานซิสเตอร์แบบเอ็นแฮนเมนต์ เอ็นฮาร์มันเมนต์โหมดคิง ในรูปที่ 2.3 เป็นการกำหนดจุดการทำงานของมอสทรานซิสเตอร์

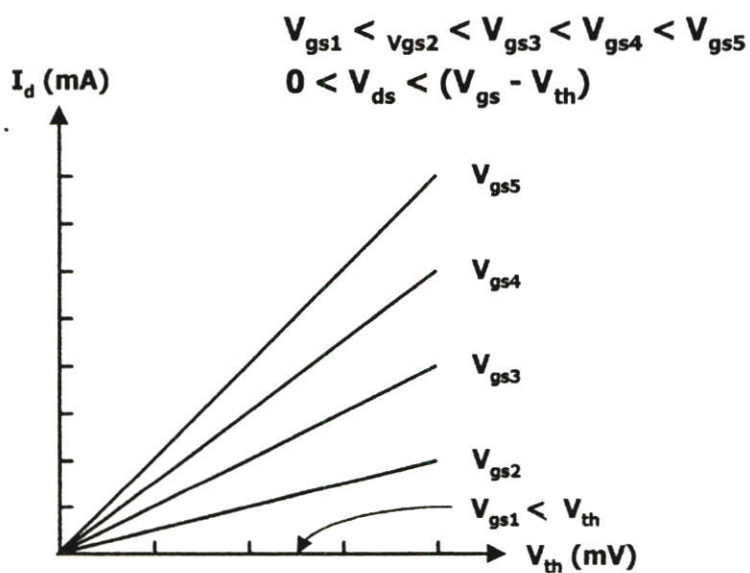


รูปที่ 2.3 แสดงการสร้างช่องทางเดินกระแสให้กับมอสทรานซิสเตอร์แบบเอ็นแชนแนล เอ็นฮาร์มันเมนต์โหมด

จากรูปที่ 2.3 จะเห็นว่าการสร้างช่องทางเดินกระแสให้เกิดขึ้นโดยการป้อนแรงดันค่าบวกที่เกตเทียบกับซอร์สในกรณียกตัวอย่างซอร์สถูกต่อเชื่อมกับฐานรองทำให้เกิดการเรียงตัวของประจุลบที่บริเวณช่องทางเดินกระแส ดังนั้นทำให้เกิดการเชื่อมกันระหว่างส่วนแคบและซอสที่เป็นเนื้อสารเอ็นที่มีพาหะข้างมากเป็นประจุลบหรืออิเล็กตรอน ซึ่งค่าของแรงดันที่เกิดเทียบกับซอสที่เพียงพอ ทำให้เกิดช่องทางเดินกระแสได้นั้นถูกเรียกว่าแรงดันแธรชโฮลด์ (Threshold Voltage: V_{th}) โดยจากรูปที่ 2.3 นี้ยังไม่มีกระแสไหลผ่านช่องทางเดินกระแสเนื่องจากยังไม่มีความต่างศักย์ระหว่างขาแคบกับขาซอร์ส ในทำนองเดียวกันการเกิดช่องทางเดินกระแสในมอสทรานซิสเตอร์แบบพีแชนแนล เอ็นฮาร์มันเมนต์โหมดโดยการป้อนแรงดันค่าลบเข้าที่เกตเทียบกับซอร์สซึ่งยกตัวอย่างกรณีต่อซอร์สถูกเชื่อมกับฐานรอง เพื่อให้เกิดการเรียงตัวของประจุบวกที่บริเวณช่องทางเดินกระแสซึ่งเป็นที่ทราบกันดีอยู่แล้วว่าพาหะข้างมากในสารชนิดพีคือประจุบวกหรือโฮลนั่นเอง

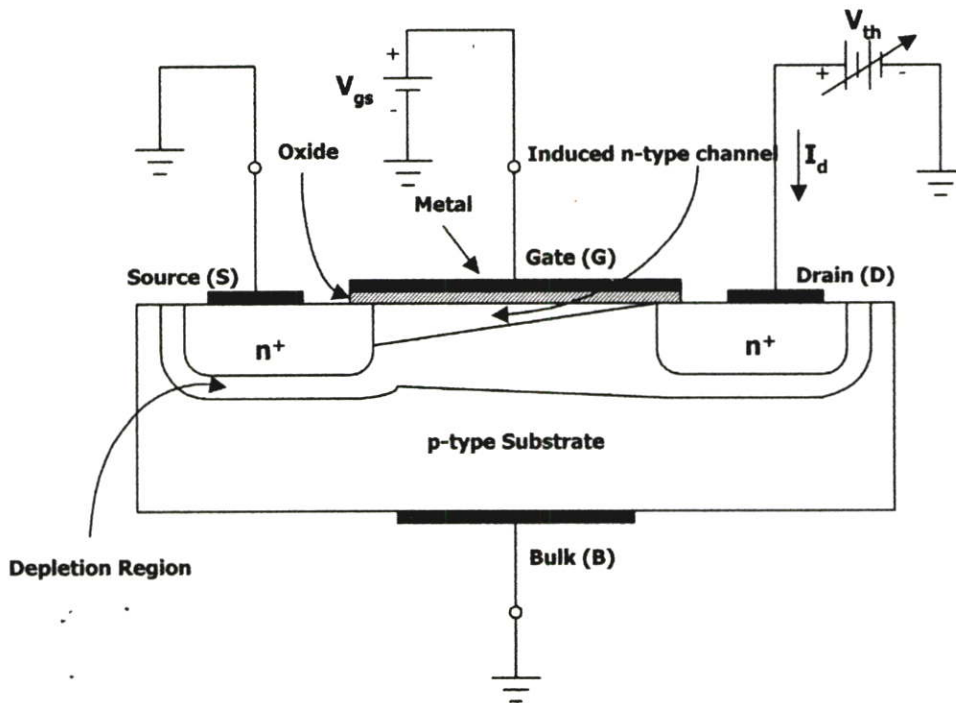


รูปที่ 2.4 แสดงการกำหนดจุดการทำงานให้มอสทรานซิสเตอร์เมื่อ $V_{gs} > V_{th}$ และ V_{ds} ค่าน้อย ๆ



รูปที่ 2.5 กราฟแสดงความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันค่าน้อย ๆ ที่ขาเดรนกับซอร์ส

จากรูปที่ 2.4 เมื่อกำหนดช่องทางเดินกระแสโดยการป้อนแรงบวกเข้าที่บริเวณขาค่เทียบ กับขาซอร์ส และเมื่อป้อนแรงดันบวกน้อยๆ ($V_{th} < V_{gs} - V_{th}$) เข้าที่ขาเดรนเทียบกับขาซอร์สทำให้เกิดความต่าง ๆ ขึ้นที่ขั้วระหว่างขั้วทั้งสอง ซึ่งจะมีกระแสเดรนไหลผ่านช่องทางกระแสจากขาเดรนไปยังขาซอร์ส โดยคุณสมบัติของกระแสเดรน I_d เมื่อเทียบกับแรงดันค่าน้อยๆ ที่คกคร่อมระหว่างขาเดรนและขาซอร์ส V_{th} จะถูกแสดงดังรูปที่ 2.5 จะเห็นความสัมพันธ์ของกระแสเดรนกับแรงดันที่คกคร่อมระหว่างขาเดรนและซอร์ส V_{ds} จะเป็นแบบเชิงเส้น ซึ่งลักษณะการทำงานของมอสทรานซิสเตอร์ช่วงนี้เป็นแบบความต้านทานเชิงเส้นที่ถูกควบคุมโดยแรงดันที่ขาเกตเทียบกับซอร์ส V_{sg}

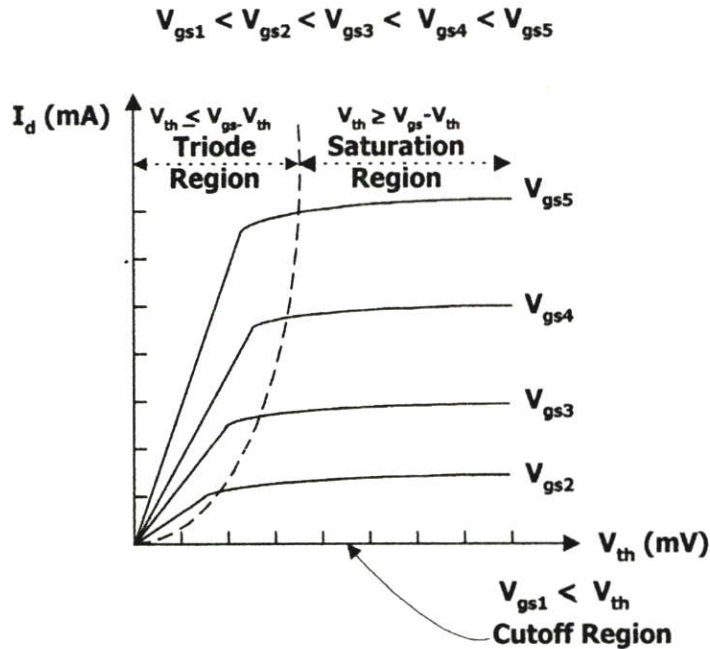


รูปที่ 2.6 แสดงการกำหนดจุดการทำงานให้มอสทรานซิสเตอร์ เมื่อ $V_{gs} > V_{th}$ และปรับค่า V_{th} และปรับค่า V_{th} เพิ่มขึ้นทีละระดับ

จากรูปที่ 2.6 เมื่อปรับแรงดันที่คกคร่อมระหว่างขาเดรนและซอร์ส V_{ds} เพิ่มขึ้นเรื่อยๆ และคงค่าแรงดันที่ขาเกตเทียบกับขาซอร์สให้มีค่ามากกว่าแรงดันเทรชโฮลไว้ $V_{gs} > V_{th}$ ค่าหนึ่งไว้ จะเห็นว่าลักษณะของช่องทางเดินกระแสจะเปลี่ยนไปโดยจะมีลักษณะที่ลาดเอียงไปในส่วนของเดรน ซึ่ง

ช่องทางเดินกระแสทางด้านขาเดรนจะแคบขึ้นเรื่อย ๆ จนถึงจุดที่เรียกว่าจุดพริ่นซ์ออฟ (Pinched Off) โดยที่จุดนี้จะมีค่า $V_{gs} - V_{th} = V_{th}$ หรือ $V_{ds} = V_{gs} - V_{th}$

จากคุณสมบัติการทำงานค่าต่างๆ ให้มอสที่กล่าวมาแล้วข้างต้นจะเห็นว่าสามารถที่จะกำหนดช่องทางการทำงานของมอสทรานซิสเตอร์โดยดูจากรูปที่ 2.7 ดังนี้



รูปที่ 2.7 แสดงคุณสมบัติของมอสทรานซิสเตอร์ในแต่ละช่วงการทำงาน

ช่วงที่ 1 ช่วงที่แรงดัน $V_{gs} < V_{th}$ ซึ่งช่วงการทำงานนี้มอสทรานซิสเตอร์จะไม่ทำงาน (Cutoff Region) เป็นผลให้ค่ากระแสเดรนมีค่าเป็นศูนย์

$$I_d = 0, V_{gs} < V_{th} \quad (2.1)$$

ช่วงที่ 2 คือเมื่อ $V_{gs} > V_{th}$ และ $0 < V_{th} < V_{gs} - V_{th}$ ซึ่งเมื่อมอสทรานซิสเตอร์จะเริ่มนำกระแสโดยสมการกระแสเดรนจะเป็นดังนี้

$$I_D = \frac{K'W}{2L} \left[\left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \right] V_{ds} (1 + \lambda V_{ds}) \quad (2.2)$$

โดยเรียกกระแสเดรนช่วงนี้ว่า ช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงการทำงานที่เป็นเชิงเส้น (Linear Region หรือ Triode Region) ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงการทำงานนี้ อ้างอิงจากสมการที่ (2.2) จะเห็นว่าค่าแรงดันระหว่างขาเดรนกับขาซอร์ส (V_{ds}) มีค่าน้อย ๆ จะทำให้ค่าของกระแสเดรน (I_d) มีความเป็นเชิงเส้นเมื่อเทียบกับแรงดันระหว่างเดรนและซอร์ส (V_{ds}) ดังรูปที่ 2.7 และเส้นกราฟจะโค้งงอขึ้นเรื่อย ๆ ตามค่าแรงดันระหว่างเดรนกับซอร์ส (V_{ds}) ที่เพิ่มขึ้นซึ่งเป็นผลมาจากความต้านทานบริเวณช่องทางเดินกระแสที่เพิ่มขึ้นในขณะที่เพิ่มแรงดันระหว่างเดรนและซอร์ส (V_{ds}) โดยการเปลี่ยนรูปร่างของทางเดินกระแสที่เป็นลักษณะลาดเอียงและเล็กขึ้นในบริเวณใกล้กับส่วนเดรน

ช่วงที่ 3 $V_{gs} > V_{th}$ และ $V_{th} \geq V_{gs} - V_{th}$ เรียกช่วงการทำงานนี้ว่าช่วงอิ่มตัว (Saturation Region) ซึ่งสมการกระแสเดรนจะเป็นดังนี้

$$I_d = \frac{K'W}{2L}(V_{gs} - V_{th})^2(1 + \lambda V_{ds}) \quad (2.3)$$

โดยที่

$$K' = \mu_n C_{ox} \quad (2.4)$$

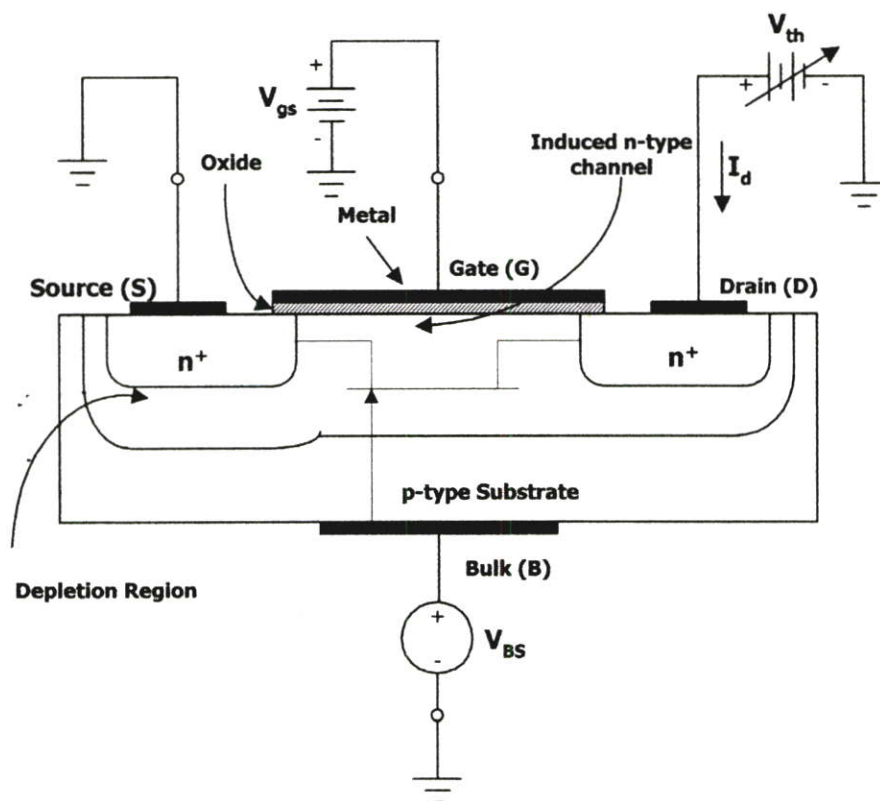
เมื่อ	I_d	คือกระแสเดรน (Drain current)
	V_{gs}	คือแรงดันไฟฟ้าระหว่างเกตกับซอร์ส (Gate – Source voltage)
	V_{ds}	คือแรงดันไฟฟ้าระหว่างเดรนกับซอร์ส (Drain – Source voltage)
	K'	คือค่าสัมประสิทธิ์ความนำ (Transconductance parameter) มีค่าเท่ากับ $\mu_n C_{ox}$
	μ_n	คือค่าสภาพความคล่องตัวของอิเล็กตรอน (Electron mobility)
	C_{ox}	คือค่าความจุต่อหน่วยพื้นที่ของเกตต่อออกไซด์ (Oxide capacitance)
	W	คือความกว้างของแชนแนล (Channel width)
	L	คือความยาวของแชนแนล (Channel length)
	V_{th}	คือแรงดันขีดเริ่ม (Threshold voltage)
	λ	คือแชนแนลเลนจัมมอดูเลชันพารามิเตอร์ (Channel length modulation parameter)

จากรูปกราฟที่แสดงในรูปที่ 2.7 เมื่อทำการเพิ่มแรงดันระหว่างเดรนและซอร์ส (V_{ds}) จากศูนย์ถึงจุดพริ้นท์ออฟ (Pinched Off) จะทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation Region) ดังสมการที่ 2.4 จะเห็นว่าถ้าละเลยผลของแชนแนลเลนจัมมอดูเลชันพารามิเตอร์ (Channel length modulation ; λ) ค่าของกระแสเดรน (I_d) จะไม่ขึ้นกับแรงดันที่ตกคร่อมระหว่างขาเดรนและ

ซอร์ส (V_{ds}) ซึ่งรูปกราฟในช่วงอิ่มตัว (Saturation Region) ในรูปที่ 2.7 นั้นควรที่จะเป็นเส้นตรงที่มีความชันเป็นศูนย์ แต่เนื่องจากในความเป็นจริงแล้วในการทำงานของมอสทรานซิสเตอร์จะเกิดผลของแชนแนลเลนจ์มอดูเลชันพารามิเตอร์ ดังรูปกราฟการทำงานในช่วงอิ่มตัว (Saturation Region) จึงมีความชันบ้างเล็กน้อย และจากสมการที่ (2.4) นั้นจะเห็นว่ากระแส (I_d) จะมีคุณสมบัติที่เป็นกำลังสอง ซึ่งคุณสมบัตินี้มีความเหมาะสมที่จะนำไปประยุกต์ในการออกแบบวงจรหลายประเภท อาทิเช่น วงจรทวีความถี่, วงจรคุณสัญญาณ เป็นต้น

โดยทั่วไปการวิเคราะห์ห้วงจรด้วยมือ (Hand Analysis) จะประมาณให้ผลของแชนแนลเลนจ์มอดูเลชัน พารามิเตอร์ มีค่าเท่ากับศูนย์เพื่อง่ายต่อการวิเคราะห์และการคำนวณในการออกแบบ

2.4.2 คุณสมบัติการทำงานของขา bulk ของมอสทรานซิสเตอร์



รูปที่ 2.8 แสดงการควบคุมการไหลของกระแสในช่องทางเดินกระแสโดยการปรับแรงดันระหว่างขา bulk และซอร์ส (V_{bs})

ในที่นี้จะยกตัวอย่างเป็นมอสแบบเอ็นแชนแนล เอ็นฮาร์เมนท์โหมด (N-channel enhancement mode MOS) จากรูปที่ 2.8 เมื่อกำหนดจุดการทำงานให้มอสทำงานในช่วงอิ่มตัว (Saturation Region) โดยคงค่าของแรงดันที่ขาคัดเทียบกับชาซอร์ส (V_{gs}) และที่ขาเดรนเทียบกับชาซอร์ส (V_{ds}) ไว้แล้วทำการปรับค่าของแรงดันระหว่างขา bulk กับซอร์สจากตั้งแต่ค่าลบไปเป็นค่าบวกซึ่งผลที่ได้จะเป็นดังรูปที่ 2.9 จากรูปจะเห็นว่า การป้อนแรงดันแบบไบแอสกลับหรือแรงดันค่าลบระหว่างขาเบากับซอร์ส (V_{bs}) ซึ่งจะทำให้เกิดพื้นที่ปลอดประจุ (Depletion region) ไปกำหนดช่องทางเดินกระแส ซึ่งเปรียบเสมือนการทำงานแบบดีพลีชันโหมด (Depletion mode) ขณะป้อนแรงดันไบอัสเข้าที่ขาเกตของเจเฟตนั้นเองและจากรูปกราฟจะเห็นได้ว่ายังสามารถที่จะป้อนแรงดันระหว่างขา bulk กับซอร์ส (V_{bs}) ที่เป็นค่าศูนย์และเป็นค่าบวกน้อย ๆ ด้วย แต่การไบอัสแรงดันที่เป็นบวกเข้าที่ขาเบาก็มีข้อจำกัดว่าแรงดันที่ให้นั้นจะต้องไม่เกินแรงดันแทรงโซลที่จะนำไปสู่การไบอัสตรงบริเวณรอยต่อของสารพีและเอ็นที่บริเวณฐานรอง (Substrate) และช่องทางเดินกระแสโดยพิจารณาได้จากรูปที่ 2.9 จะเห็นได้ว่าค่ากระแสเดรนจะตกลงในขณะที่ไบอัสแรงดันบริเวณขา bulk กับซอร์ส (V_{bs}) มีค่าเป็นบวกมากเกินไปเพราะคุณสมบัติช่องทางเดินกระแสที่เปลี่ยนไปอันเนื่องมาจากผลของการไบอัสตรงบริเวณฐานรองที่เป็นสารกึ่งตัวนำชนิดพีกับช่องทางเดินกระแสซึ่งเป็นสารกึ่งตัวนำชนิดเอ็น

จากที่ทราบกันแล้วว่าค่าของแรงดันระหว่างขา bulk กับชาซอร์ส (V_{bs}) จะเป็นฟังก์ชันของแรงดันแทรงโซล (Threshold voltage ; V_{th}) ดังสมการที่ (2.5)

$$V_{th} = V_{TO} + \gamma \left[\sqrt{2|\phi_F| - V_{bs}} - \sqrt{2|\phi_F|} \right] \quad (2.5)$$

เมื่อ

V_{bs} คือแรงดันระหว่าง bulk กับซอร์ส (Gate – Source voltage)

V_{TO} คือแรงดันขีดเริ่มขณะที่ $V_{bs} = 0$

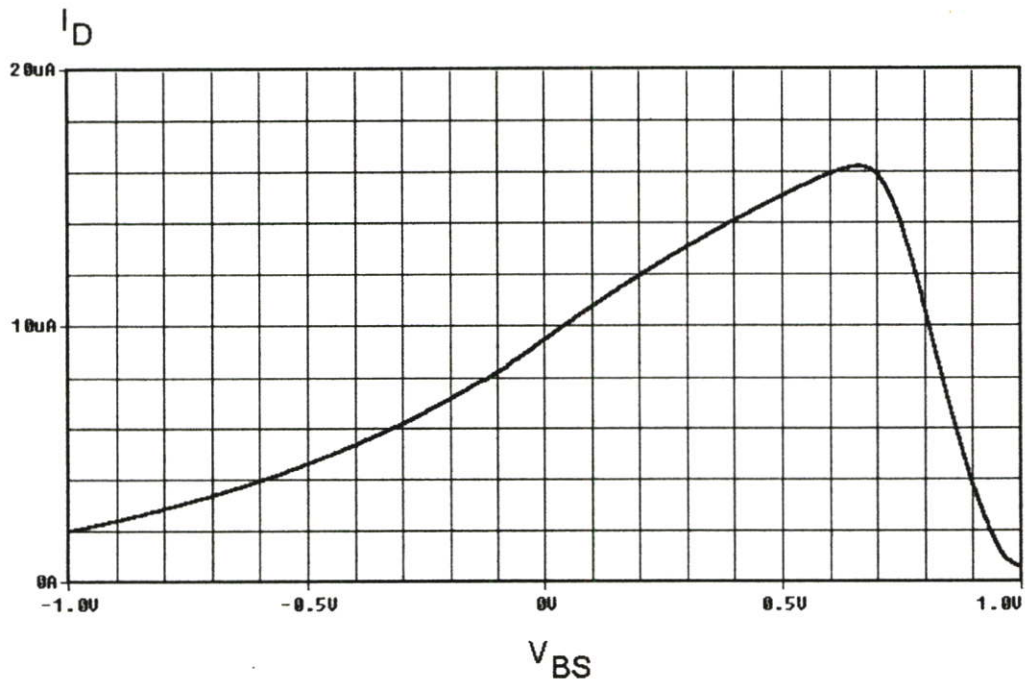
γ คือเบ้าแทรงโซลท์พารามิเตอร์ (Bulk threshold parameter)

ϕ_F คือค่าศักดาบริเวณพื้นผิวของสตรองอินเวอร์ชัน (Strong inversion surface potential)

ดังนั้นค่าของกระแสเดรน (I_D) ในช่วงการทำงานอิ่มตัว (Saturation Region) ก็จะอยู่ในรูปของสมการที่มีตัวแปรเป็นแรงดันระหว่างขาเบากับซอร์ส (V_{bs}) ดังสมการที่ (2.6)

$$I_d = \frac{K'W}{2L} \left\{ V_{gs} - \left(V_{TO} + \gamma \left[\sqrt{2|\phi_F| - V_{bs}} - \sqrt{2|\phi_F|} \right] \right) \right\}^2 (1 + \lambda V_{ds}) \quad (2.6)$$

ซึ่งสมการที่ (2.6) นี้จะถูกนำไปประยุกต์ใช้ในการออกแบบวงจรออปแอมป์ในวิชานีพนธ์ฉบับนี้ต่อไป



รูปที่ 2.9 แสดงกระแสเดรน (I_D) เมื่อแปรค่าแรงดันระหว่างขา bulk และซอส (V_{bs})

2.5 สรุป

จากทฤษฎีการทำงานของของมอสที่กล่าวมาข้างต้นนั้นทำให้ทราบถึงโครงสร้างและรายละเอียดต่างๆ ในการนำมอสทรานซิสเตอร์มาใช้งาน ซึ่งมอสทรานซิสเตอร์จะทำงานโดยใช้แรงดันไปควบคุมปริมาณกระแสและสามารถจะแบ่งช่วงการทำงานของมอสทรานซิสเตอร์ได้เป็น 3 ส่วนใหญ่ ๆ คือช่วงหยุดการทำงาน (Cutoff region), ช่วงการทำงานแบบเชิงเส้น (Linear region หรือ Triode region) และช่วงการทำงานแบบอิ่มตัว (Saturation region) ซึ่งในที่นี้จะกล่าวถึงช่วงที่มอสทรานซิสเตอร์ทำงานคือช่วงการทำงานแบบเชิงเส้น (Linear region หรือ Triode region) และช่วงการทำงานแบบอิ่มตัว (Saturation region) โดยที่สองช่วงการทำงานนี้มีฟังก์ชันของกระแสทรานที่ต่างกันดังนั้นการออกแบบวงจรที่มีโครงสร้างเป็นมอสทรานซิสเตอร์จึงต้องกำหนดจุดการทำงานของมอสทรานซิสเตอร์ให้ตรงกับฟังก์ชันของกระแสทรานที่ต่างกันดังนั้นในการออกแบบวงจรที่มีโครงสร้างเป็นมอสทรานซิสเตอร์จึงต้องกำหนดจุดการทำงานของมอสทรานซิสเตอร์ให้ตรงกับฟังก์ชันของกระแสทรานที่ทำการออกแบบ

บทที่ 3

คุณสมบัติและพารามิเตอร์ของออปแอมป์

3.1 บทนำ

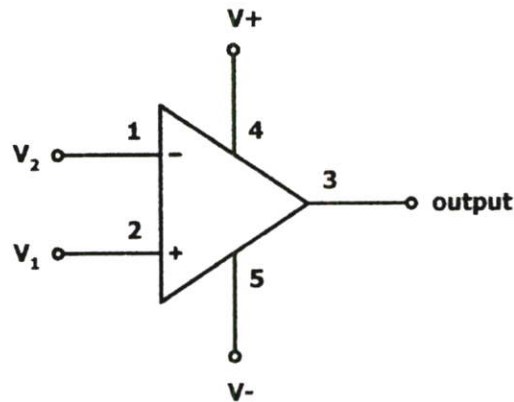
ออปแอมป์เป็นอุปกรณ์ที่ใช้งานได้หลากหลาย สำหรับวงจรทางด้านอนาล็อก เช่น ออกแบบเป็นวงจรผสมสัญญาณ วงจรกรองความถี่ วงจรขยายสัญญาณ เป็นต้น ดังนั้นอุปกรณ์ออปแอมป์จึงเป็นสิ่งจำเป็นสำหรับการประยุกต์ใช้งานในด้านต่างๆ ดังนั้นการเข้าใจคุณสมบัติและพารามิเตอร์ของออปแอมป์จึงจำเป็นสำหรับการนำออปแอมป์เหล่านี้มาใช้งานและร่วมไปถึงการออกแบบด้วยเพราะออปแอมป์แต่ละเบอร์มีคุณสมบัติและพารามิเตอร์ที่แตกต่างกันนั่นเอง ซึ่งเกิดจากการออกแบบวงจรภายในที่แตกต่างกันนั่นเอง เช่น ออปแอมป์บางเบอร์ใช้ JFET เป็นอินพุตทำให้อินพุตอิมพีแดนซ์สูงมาก บางเบอร์ใช้ไบโพลาร์ที่ออกแบบมีคุณสมบัติไม่โคคเคนในด้านไคด้่านหนึ่งเพื่อใช้เป็นอุปกรณ์ทั่วไปเช่นเบอร์ที่นิยมคือ 741 หรือ AD8631 เป็นต้น

ดังนั้นในบทนี้จะกล่าวถึงคุณสมบัติและพารามิเตอร์ของออปแอมป์ที่สำคัญที่มีความจำเป็นต้องรู้และเข้าใจเพื่อใช้ในการออกแบบ ต่อไปซึ่งพารามิเตอร์เหล่านี้จะพบเห็นได้จากคู่มือของออปแอมป์ในแต่ละเบอร์ (Data sheet) โดยได้แบ่งเนื้อหาออกเป็นสองส่วนคือ คุณสมบัติของออปแอมป์และพารามิเตอร์ของออปแอมป์

3.2 คุณสมบัติของออปแอมป์

3.2.1 ลักษณะของออปแอมป์

ลักษณะของออปแอมป์โดยทั่วไปประกอบด้วยขั้วจำนวน 3 ขั้ว คือ ขั้วอินพุต 2 ขั้ว และขั้วเอาพุต 1 ขั้ว โดยตัวออปแอมป์จะใช้สัญญาณเป็นรูปสามเหลี่ยมที่สามารถแสดงได้ดังรูป 3.1 ออปแอมป์ส่วนมากมักต้องการแหล่งจ่ายไฟตรงสองส่วนคือ แหล่งจ่ายไฟบวกและไฟลบ นอกจากขั้วสัญญาณทั้ง 3 ขั้วและขั้วจ่ายไฟ 2 ขั้วแล้วออปแอมป์อาจเป็นขั้วอื่นๆเพื่อวัตถุประสงค์เฉพาะงาน เช่น ขั้วสำหรับการชดเชยความถี่ ขั้วสำหรับปรับออฟเซต เป็นต้น



รูปที่ 3.1 แสดงลักษณะทั่วไปของออปแอมป์

จากรูปที่ 1 เลขหมายที่กำกับตามจุดต่างๆ ของออปแอมป์เป็นตำแหน่งขาของอุปกรณ์เมื่อถูกสร้างเป็นวงจรรวมซึ่งนิยามวางรูปตำแหน่งดังรูป ออปแอมป์ที่มีคุณสมบัติใกล้เคียงค่าทางอุดมคติมากที่สุดคือออปแอมป์ที่ดีซึ่งคุณสมบัติทางอุดมคตินี้ดังนี้

1. อินพุตอิมพีแดนซ์ที่ขั้ว 1 และขั้ว 2 ควรมีค่าเป็นอนันต์
2. กระแสที่อินพุตขั้ว 1 และขั้ว 2 มีค่าเท่ากับศูนย์
3. เอ้าพุทอิมพีแดนซ์ที่ขั้ว 3 ควรเท่ากับศูนย์
4. อัตราการขยายผลต่างมีค่าเท่ากับอนันต์
5. แรงดันเอ้าพุทที่ขั้ว 3 เท่ากับ $A(V_1 - V_2)$ และไม่ขึ้นกับกระแสที่ไหลไปยังโหลด
6. สัญญาณทางเอ้าพุทกับอินพุท V_2 มีเฟสเหมือนกันและกลับเฟสกับอินพุท V_1 180° ขั้ว 1 จึงเรียกว่าขาอินเวอร์ตติ้ง (Inverting) และขั้ว 2 จึงเรียกว่าขานอนอินเวอร์ตติ้ง (Noninverting) โดยจะใช้สัญลักษณ์เครื่องหมายลบและบวกตามลำดับ
7. ค่าอัตราการขจัดโหมคร่วมเท่ากับอนันต์
8. มีแบนด์วิดท์เป็นอนันต์

3.2.2 อัตราการขยายแรงดันแบบรูปเปิด (Open-loop Voltage Gain: A_{VOL})

อัตราการขยายแรงดันแบบรูปเปิดของออปแอมป์คืออัตราการขยาย ความแตกต่างที่อยู่ภายใต้เงื่อนไขคือต้องไม่มีการป้อนกลับแบบลบ ซึ่งสามารถแสดงได้ดังรูปที่ 3.2 ในทางอุดมคติค่า A_{VOL} จะมีค่าเป็นอนันต์ ซึ่งสามารถเขียนเป็นสมการได้คือ

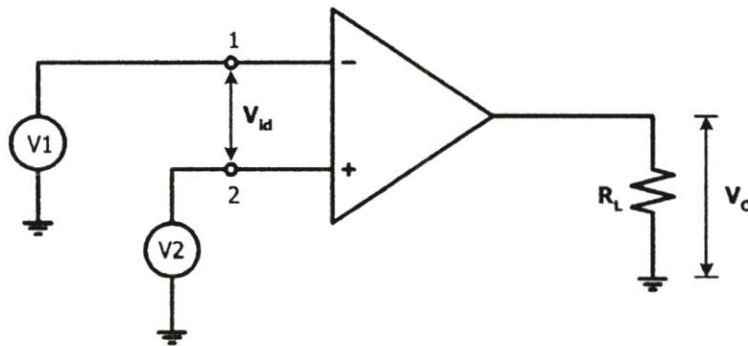
$$A_{VOL} = \frac{V_O}{V_{id}} = \frac{V_O}{V_1 - V_2} = -\infty \quad (3.1)$$

เครื่องหมายลบหมายความว่าเอาพุท V_o และอินพุท V_{id} มีเฟสตรงข้ามกัน (out of phase) ค่าอัตรา
การขยายที่เป็นอนันต์เป็นค่าทางทฤษฎี จุดสำคัญที่ต้องเข้าใจคือว่าสัญญาณทางด้านเอาพุท V_o
ของออปแอมป์ควรจะมึขนาดที่ใหญ่กว่าสัญญาณความแตกต่างทางด้านอินพุท V_{id} มากที่สุด ตาม
ปกติอัตราขยายแบบรูปเปิด A_{VOL} จะมีช่วงอยู่ประมาณจาก 5000 (74dB) ถึง 1,000,000 (120dB)
หรือเขียนได้

$$5000 \leq A_{VOL} \leq 1,000,000 \quad (3.2)$$

หรือ

$$75dB \leq A_{VOL} \leq 120dB$$



รูปที่ 3.2 แสดงวงจรสำหรับหาค่าอัตราขยายแรงดันแบบรูปเปิด

สัญญาณเอาพุท V_o มีขนาดใหญ่มากกว่าสัญญาณอินพุท V_{id} 5000 ถึง 10^6 เท่าไม่ได้หมายความว่า V_o มีขนาดใหญ่มากจริงเท่านั้นได้ ขนาดแอมพลิฟิเคชันทางด้านบวกและลบจะถูกจำกัดให้มีค่าน้อยกว่า แหล่งจ่ายแรงดันทางด้านบวกและทางด้านลบเล็กน้อย

3.2.3 แรงดันเอาพุทออฟเซ็ท (Output Offset Voltage: V_{of})

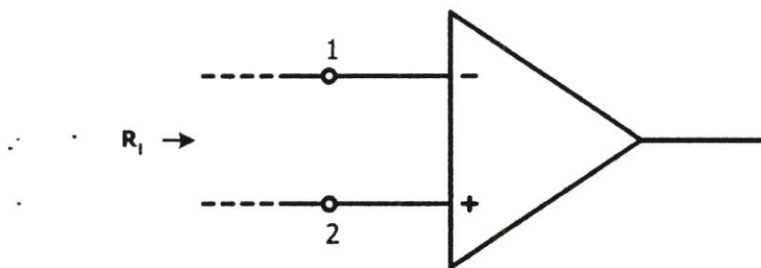
แรงดันเอาพุทออฟเซ็ทของออปแอมป์คือแรงดันเอาพุทเทียบกับกราวด์ที่อยู่ภายใต้เงื่อนไข
เมื่อแรงดันความแตกต่างทางด้านอินพุท $V_{id} = 0$ ในทางอุดมคติแรงดันเอาพุทออฟเซ็ทเท่ากับ
ศูนย์ ($V_{of} = 0$) ในทางปฏิบัติความไม่สมดุลและการไม่เท่ากันเกิดจากวงจรขยายความแตกต่าง
(Differential Amplifier) ที่อยู่ภายในตัวของออปแอมป์ แรงดันเอาพุทออฟเซ็ทจะปรากฏขึ้นเมื่ออิน

พุท $V_{id} = 0$ และถ้าอัตราขยายแบบรูปเปิด A_{OL} ของออปแอมป์มีค่าสูง และไม่มีการป้อนกลับ แรงดันเข้าพุทออฟเซทจะมีค่ามากซึ่งอาจเพียงพอให้เข้าพุทอิ่มตัวได้ (Saturate) แต่เมื่อได้รับการแก้ไขที่ทำให้ นำไปสู่เข้าพุทเท่ากับศูนย์ 0 เมื่อสัญญาณอินพุทคือ 0 จะเรียกออปแอมป์ที่มีความสมดุล (balanced หรือ nulled)

ถ้าอินพุทถูกป้อนด้วยแรงดันที่จำกัดเหมือนกันคู่ซึ่งก็คือ $V_1 - V_2 = V_{id} = 0$ และถ้าเข้าพุท $V_o = 0$ ผลก็คือออปแอมป์มีค่าการขจัดโหมดร่วม (Common-Mode Rejection: CMR) เป็นอุดมคติส่งผลให้ออปแอมป์มีความสามารถ CMR ที่ดีในทางปฏิบัติ และส่งผ่านแรงดันคอมมอนโหมด (V_{CMO}) จะมีค่าน้อยกว่า 100 ถึง 1000 เท่าของแรงดันอินพุทคอมมอนโหมด (V_{CM})

3.2.4 ความต้านทานทางด้านอินพุท (R_i)

ความต้านทานทางด้านอินพุทของออปแอมป์ (R_i) ความต้านทานที่มองเข้ามาจากขั้วอินพุท 1 และ 2 ที่แสดงในรูปทางอุดมคติ $R_i = \infty$ ในทางปฏิบัติความต้านทานอินพุทของออปแอมป์ไม่เป็นอนันต์แต่จะอยู่ในช่วงประมาณ $\geq 5 \text{ k}\Omega$ ถึง $\leq 5 \text{ M}\Omega$ ขึ้นอยู่กับแต่ละชนิดของออปแอมป์ ค่าความต้านทานต่ำของช่วงดังกล่าวดูเหมือนจะมีค่าน้อยถ้าเปรียบเทียบกับความต้านทานอินพุททางอุดมคติ (∞) ซึ่งต้องการค่ามากเมื่อเปรียบเทียบกับความต้านทานที่ต่ำของขั้วแหล่งจ่ายสัญญาณที่ตามปกติจะต่ออยู่ที่อินพุทของออปแอมป์โดยทั่วไปถ้านำแหล่งจ่ายสัญญาณที่มีค่าความต้านทานสูงมาป้อนให้กับออปแอมป์ ความต้านทานทางด้านอินพุทของออปแอมป์ควรจะมีค่ามาก

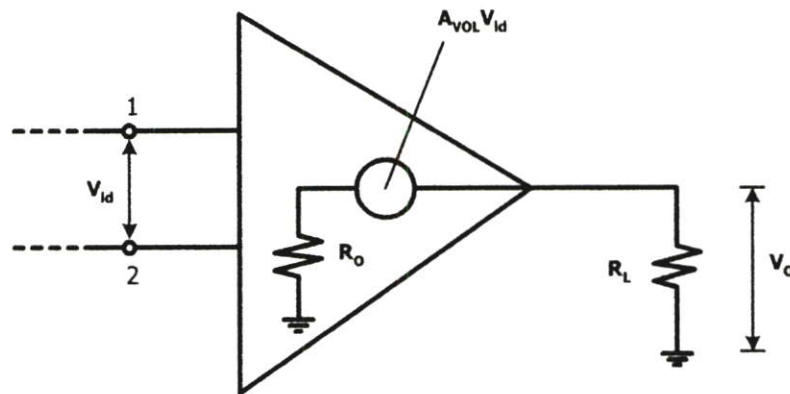


รูปที่ 3.3 แสดงความต้านทานอินพุท R_i ของออปแอมป์เมื่อมองจากอินพุท 1 และ 2

ผลความต้านทาน (Effective input resistance: $R_{i(ef)}$) สามารถทำให้มีค่ามากกว่า R_i ที่กำหนดมาจากผู้ผลิต โดยใช้การป้อนกลับแบบรูปเปิด (open-loop)

3.2.5 ความต้านทานทางเอาพุท (R_o)

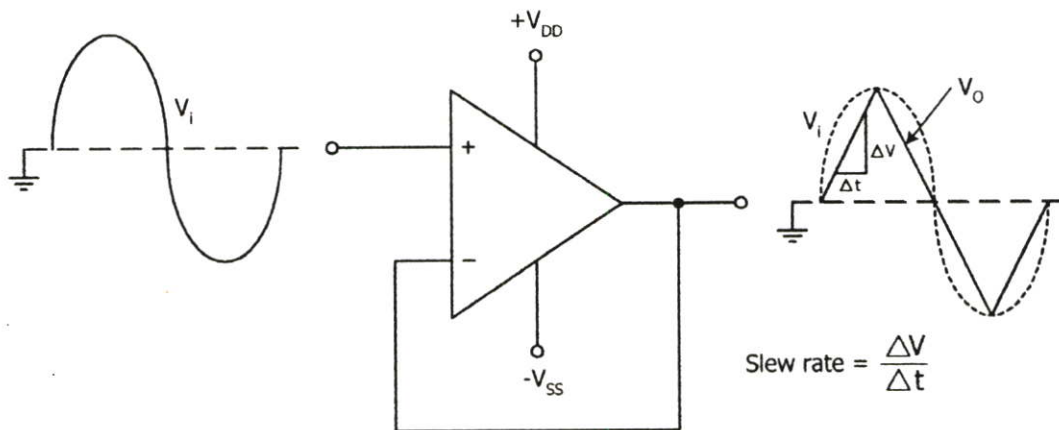
เมื่อป้อนสัญญาณความแตกต่างทางอินพุท (V_{id}) ออปแอมป์จะเหมือนตัวกำเนิดสัญญาณที่โหลดต่ออยู่ที่เอาพุทซึ่งแสดงได้ดังรูปที่ 3.4 ออปแอมป์เสมือนกำลังกำเนิดสัญญาณแบบเปิดวงจรของ $A_{VOL} V_{id}$ และความต้านทานภายในเป็น $R_o = 0$ วงจรในรูปที่ 3.4 สัญญาณเอาพุท $A_{VOL} V_{id}$ ที่ได้ปรากฏที่เอาพุทและคร่อมโหลด R_L ขึ้นอยู่กับแต่ละชนิดของออปแอมป์ ความต้านทานทางเอาพุท R_o ที่กำหนดตามสเปกโดยทั่วไปจะมีค่าอยู่ภายใต้เงื่อนไขขั้วเปิด (ไม่มีการป้อนกลับ) ค่าผลของความต้านทานทางเอาพุท (effective output resistance: $R_{o(ef)}$) จะมีค่าน้อยลงเมื่อออปแอมป์มีการป้อนกลับซึ่งทำให้ ความต้านทานทางเอาพุทของออปแอมป์ เข้าใกล้ค่าทางอุดมคติ ($= 0$)



รูปที่ 3.4 แสดงความต้านทานทางเอาพุท R_o

3.2.6 ค่าสจวร์เรท (Slew Rate)

ค่าสจวร์เรท (SR) ของออปแอมป์คืออัตราสูงสุดที่แรงดันเอาพุทสามารถเปลี่ยนแปลงเมื่ออัตราการสจวร์ตตอบสนองต่ออินพุทเข้า ผลคือการเพี้ยนซึ่งได้แสดงดังรูปที่ 3.5 โดยเมื่อป้อนสัญญาณรูปคลื่นซายน์ที่อินพุทของวงจรตามแรงดัน (Voltage follower) จะทำให้ผลทางเอาพุทเป็นรูปคลื่นสี่เหลี่ยม ซึ่งสาเหตุมาจากเอาพุทของออปแอมป์ไม่สามารถเปลี่ยนแปลงได้อย่างรวดเร็วได้ทันสัญญาณซายน์ที่อินพุท



รูปที่ 3.5 แสดงสัญญาณอินพุตและผลของสัญญาณเข้าพุทที่เพี้ยนไป

สมมติให้ออปแอมป์มีค่าสเล็วเรท $0.5 \text{ V}/\mu\text{s}$ หมายความว่าเวลา μs จะต้องให้อ้าพุทเปลี่ยนแปลง 0.5 V สมการของเวลาการเปลี่ยนแปลงแรงดันและค่าสเล็วเรทคือ

$$\Delta t = \frac{\Delta V_o}{SR} \quad (3.3)$$

3.2.7 อัตราการขจัดโหมคร่วม (Common-Mode Rejection Ratio: CMRR)

ออปแอมป์ในทางอุดมคติเมื่อมีสัญญาณป้อนเข้าที่อินพุทเท่ากันสัญญาณทางด้านออกจะต้องเท่ากับศูนย์ แต่ในความเป็นจริงนั้นออปแอมป์ที่ใช้งานในทางปฏิบัติทั่วไป เมื่อสัญญาณป้อนเข้าที่ขาทั้งสองเท่ากัน จะยังคงมีสัญญาณออกทางด้านเข้าพุท อัตราการขยายที่ได้เรียกว่า “อัตราการขยายโหมคร่วม” ในทางปฏิบัติค่าอัตราการขยายโหมคร่วมเป็นค่าที่ไม่ต้องการ ออปแอมป์ที่มีอัตราการขยายโหมคร่วมต่ำจะเป็นออปแอมป์ที่มีคุณภาพดี สัดส่วนการขจัดโหมคร่วม ก็คือสัดส่วนของอัตราการขยายสัญญาณ เมื่อมีสัญญาณที่ขาทั้งสองเท่ากันซึ่งเรียกว่าอัตราการขยายลูปเปิด (open-loop gain) หรืออัตราการขยายสัญญาณโหมคความแตกต่าง (differential mode) ต่อการขยายโหมคร่วม ดังนั้นสัดส่วนการขจัดโหมคร่วมจึงเท่ากับ

$$CMRR = \frac{A_{vo}}{A_{cm0}} \quad (\text{ที่สัญญาณไฟตรง}) \quad (3.4)$$

หรือ
$$CMRR = \frac{A_v}{A_{cm}} \quad (\text{ที่สัญญาณความถี่ใดๆ}) \quad (3.5)$$

โดยที่ A_{vo} คืออัตราขยายสัญญาณ โหมดความแตกต่างที่สัญญาณไฟตรง

A_{cm0} คืออัตราขยายสัญญาณ โหมดร่วมที่สัญญาณไฟตรง

A_v คืออัตราขยายสัญญาณ โหมดความแตกต่างที่ความถี่ใดๆ

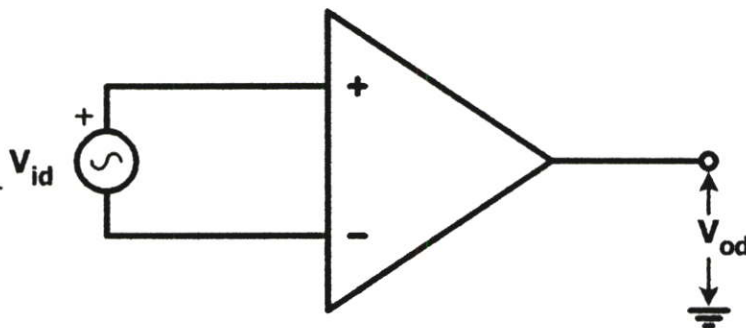
A_{cm} คืออัตราขยายสัญญาณ โหมดร่วมที่ความถี่ใดๆ

ค่าอัตราขยายสัญญาณ โหมดความแตกต่างของออปแอมป์อุดมคติแสดงได้ดังรูปที่ 3.6 จากรูปอัตราขยายสัญญาณ โหมดความแตกต่างเท่ากับ

$$A_v = \frac{V_{od}}{V_{id}} \quad (3.6)$$

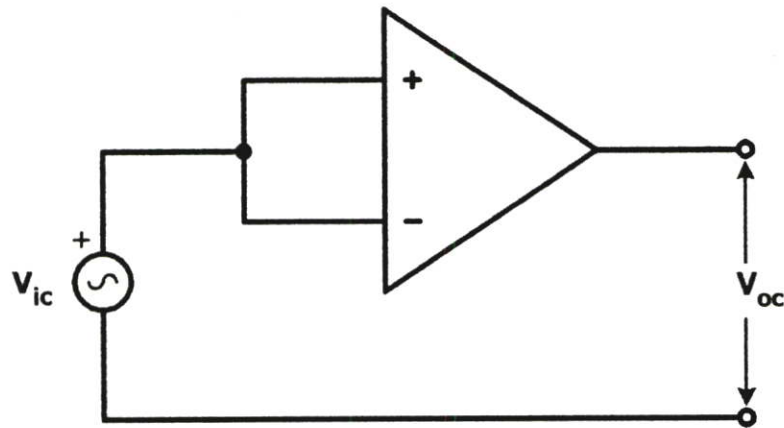
โดยที่ V_{id} คือแรงดัน โหมดความแตกต่างทางอินพุต

V_{od} คือแรงดัน โหมดความแตกต่างทางเอาพุต



รูปที่ 3.6 วงจรหาอัตราขยายสัญญาณ โหมดความแตกต่าง

ส่วนอัตรการขยายสัญญาณโหมคร่วมหาได้จากวงจรรูปที่ 3.7



รูปที่ 3.7 วงจรหาค่าอัตรการขยายสัญญาณโหมคร่วม

จากรูปที่ 3.7 อัตรการขยายสัญญาณ โหมคร่วมเท่ากับ

$$A_{cm} = \frac{V_{oc}}{V_{ic}} \quad (3.7)$$

เมื่อ V_{ic} คือแรงดันเฉลี่ยระหว่างอินพุตขั้วบวกและขั้วลบ ทางด้านอินพุต
 V_{oc} คือแรงดันโหมคร่วมทางเอาพุต

ในกรณีออปแอมป์ในทางอุดมคติ เมื่อป้อนแรงดัน V_{ic} ดังรูปที่ 3.7 สัญญาณทางด้านเข้าพุตจะต้องเป็นศูนย์ แต่ถ้าเป็นออปแอมป์ที่ใช้งานจริงจะมีค่าแรงดันโหมคร่วมทางเข้าพุต ซึ่งมักจะแสดงค่าเป็นหน่วย เดซิเบล (dB) ซึ่งหาได้คือ

$$CMRR_{dB} = 20 \log_{10} CMRR \text{ dB} \quad (3.8)$$

3.3 สรุป

บทนี้ได้กล่าวถึงค่าพารามิเตอร์ที่สำคัญของออปแอมป์ซึ่งมีความจำเป็นที่จะต้องรู้และเข้าใจเพื่อใช้เป็นพื้นฐานในการออกแบบวงจรออปแอมป์ที่จะกล่าวถึงในบทต่อไปและสามารถใช้เป็นพื้นฐานสำหรับเลือกออปแอมป์มาประยุกต์ใช้งานได้ ซึ่งค่าพารามิเตอร์เหล่านี้มักจะพบเห็นได้ในหนังสือคู่มือ (data sheet) ของอุปกรณ์ออปแอมป์ทั่วไป

บทที่ 4

ทฤษฎี

4.1 บทนำ

ในการออกแบบวงจรออปแอมป์สามารถใช้ทฤษฎี ที่เป็นวิธีการพิเศษเข้ามาช่วยทำให้ออปแอมป์มีเสถียรภาพได้มากมาย แต่อย่างไรก็ตามวงจรที่เป็นส่วนสำคัญก็จะคงมีหลักการทำงานคล้ายกัน เช่นวงจรออปแอมป์ทุกวงจรจะต้องมีภาคอินพุตเป็นดิฟเฟอเรนเชียลเอมพลิไฟร์ ส่วนภาคเอาพุตจะป็นวงจรขยายสัญญาณซึ่งอาจจะเป็น class-A หรือ class-AB เป็นต้น สำหรับวิทยานิพนธ์นี้จะขอกล่าวถึงทฤษฎีที่นำมาใช้ออกแบบในวิทยานิพนธ์นี้เท่านั้นคือ วงจรดิฟเฟอเรนเชียลแบบคอมพลิเมนทารี (Complementary differential) ที่ทำให้อินพุตของออปแอมป์สามารถปฏิบัติงานได้แบบ rail-to-rail การลดค่าแรงดันแทรกโซลโดยการกระตุ้นกระแสที่ขา bulk วงจรแบบ folded cascode ภาคเข้าพุตแบบ class-AB เพื่อจะได้เป็นพื้นฐานก่อนนำไปใช้ออกแบบเป็นวงจรที่จะกล่าวถึงในบทต่อไป

4.2 ภาคอินพุต (Input stage)

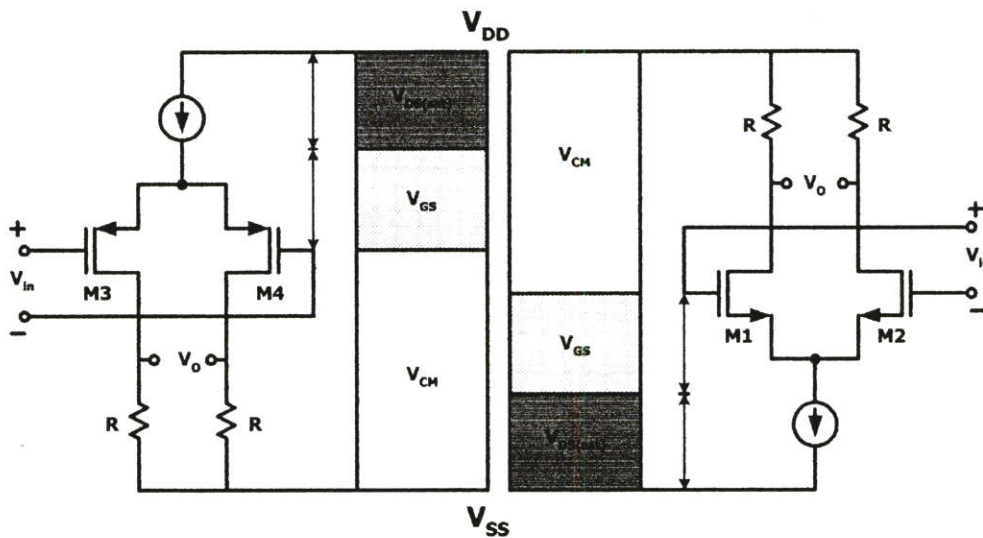
4.2.1 วงจรดิฟเฟอเรนเชียลเอมพลิไฟร์

ภาคอินพุตของออปแอมป์โดยทั่วไปจะประกอบด้วยคู่ของดิฟเฟอเรนเชียลเอมพลิไฟร์ คู่ของดิฟเฟอเรนเชียลสามารถประกอบขึ้นจากมอสทรานซิสเตอร์ชนิด N-channel M1-M2 หรือใช้ชนิด P-channel M3-M4 ซึ่งแสดงได้ดังรูปที่ 4.1 ซึ่งคู่ดิฟเฟอเรนเชียลเอมพลิไฟร์นี้สัญญาณอินพุตจะแตกต่างกันและไม่ยอมรับแรงดันอินพุตแบบคอมมอนโหมด ช่วงแรงดันอินพุตคอมมอนโหมดคือพารามิเตอร์ที่เป็นกุญแจสำคัญของภาคอินพุต มันจะกำหนดช่วงของแรงดันคอมมอนโหมดที่ซึ่งภาคอินพุตสามารถตอบสนองสัญญาณความแตกต่างของอินพุตได้เป็นอย่างดี สำหรับช่วงแรงดันอินพุตคอมมอนโหมดของออปแอมป์นี้ควรจะกว้าง

จากรูปที่ 4.1 สามารถเขียนช่วงแรงดันอินพุตคอมมอนโหมดของมอสทรานซิสเตอร์ชนิด P-channel ได้คือ

$$V_{SS} < V_{common} < V_{DD} - V_{DS(sat)} - V_{sgp} \quad (4.1)$$

เมื่อ V_{sgp} คือ แรงดันระหว่างซอร์สและเกตของมอสทรานซิสเตอร์อินพุต $V_{DS(sat)}$ คือ แรงดันที่ตกคร่อมแหล่งจ่ายกระแส ส่วน V_{DD} และ V_{SS} คือแหล่งจ่ายแรงดัน



รูปที่ 4.1 แสดงภาคอินพุตที่ใช้มอสทรานซิสเตอร์ชนิด P-channel หรือ N-channel

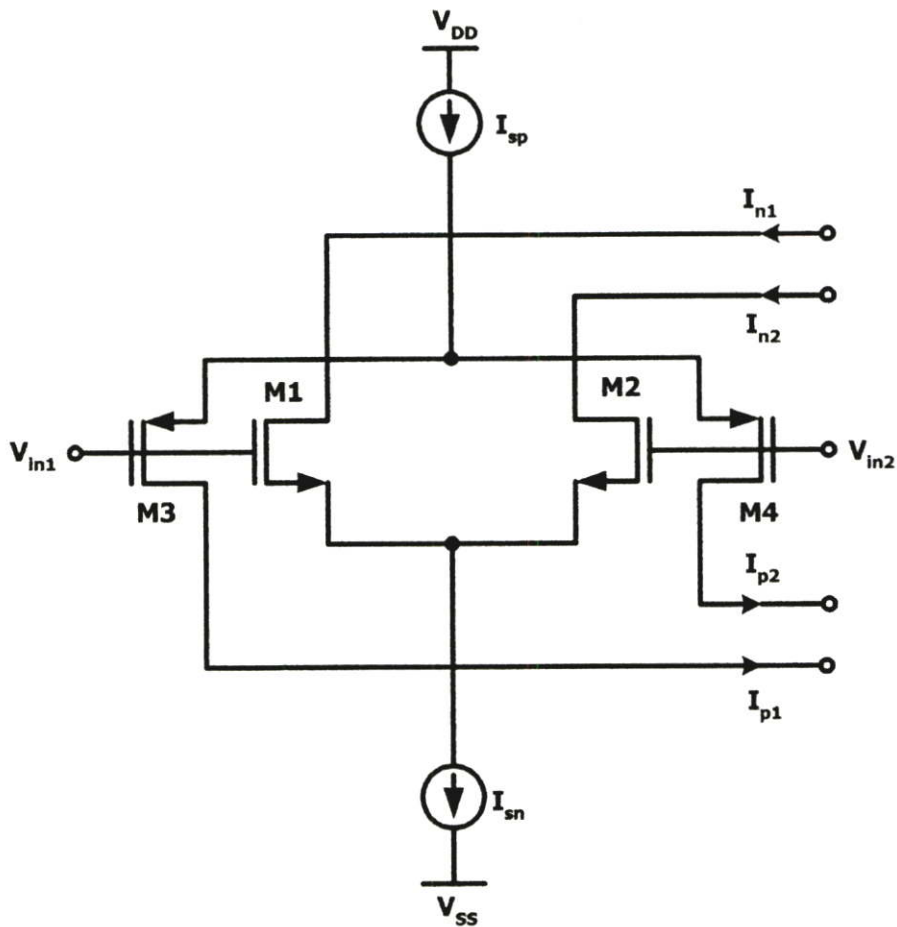
ช่วงแรงดันอินพุตคอมมอนโหมดของอินพุตที่เป็นมอสทรานซิสเตอร์ชนิด N-channel ในรูปที่ 4.1 กำหนดได้

$$V_{DD} - V_{DS(sat)} - V_{gsn} < V_{common} < V_{DD} \quad (4.2)$$

ในการออกแบบวงจรประเภทที่ใช้แรงดันต่ำ ช่วงแรงดันอินพุตคอมมอนโหมดของคู่ดิฟเฟอเรนเชียลแบบเดี่ยว (Single differential pair) จะมีค่าน้อยมากเนื่องจากภาคอินพุตไม่สามารถมีแรงดันพอเพียงสำหรับแรงดันอินพุตคอมมอนโหมดที่มากได้ สำหรับการเพิ่มค่าช่วงแรงดันอินพุตคอมมอนโหมดจะใช้มอสทรานซิสเตอร์ชนิด N-channel M1-M2 และชนิด P-channel M3-M4 โดยวางคู่อินพุตทั้งสองขนานกัน [3-4] ซึ่งแสดงได้ดังรูปที่ 4.2 ลักษณะการต่อแบบนี้มักจะเรียกว่า ภาคอินพุตดิฟเฟอเรนเชียลแบบคอมพลิเมินทารี (Differential complementary input stage) ช่วงของแรงดันอินพุตคอมมอนโหมดของภาคอินพุตแบบคอมพลิเมินทารีสามารถแบ่งการทำงานออกเป็นสามส่วนคือ

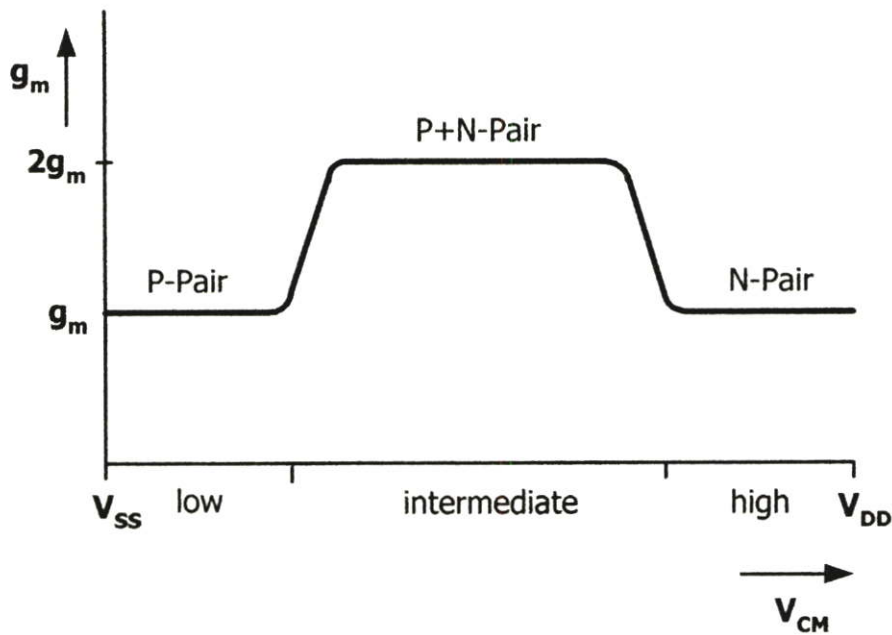
- แรงดันอินพุตคอมมอนโหมดด้านต่ำจะเฉพาะ มอสทรานซิสเตอร์ชนิด P-channel เท่านั้นที่ทำงาน
- แรงดันอินพุตคอมมอนโหมดที่บริเวณช่วงกลาง มอสทรานซิสเตอร์ชนิด P-channel และ N-channel ทั้งคู่ทำงาน

- แรงดันอินพุตคอมมอนโหมดค่านสูงจะเฉพาะ มอสทรานซิสเตอร์ชนิด N-channel เท่านั้นที่ทำงาน



รูปที่ 4.2 วงจรภาคอินพุตคิฟเฟอเรนเชียลแบบคอมพลิเมนทารี

จากรูปที่ 4.2 ที่มีช่วงอินพุตคอมมอนโหมดปฏิบัติงานแบบ rail-to-rail ช่วงอินพุตคอมมอนโหมดสามารถมีช่วงกว้างเกือบจะถึงแหล่งจ่ายไฟในแต่ละด้านได้ในทางปฏิบัติ แต่ข้อเสียของภาคอินพุตแบบคอมพลิเมนทารี คือค่าทรานส์คอนดักแตนซ์ (g_m) จะมีการเปลี่ยนแปลงเป็นสองเท่าที่บริเวณช่วงกลางของอินพุตคอมมอนโหมดเนื่องจากมอสทรานซิสเตอร์ทั้งสองชนิดจะทำงานพร้อมกัน ซึ่งแสดงในรูปที่ 4.3 เมื่อสมมติว่าค่า g_m ของมอสทรานซิสเตอร์ชนิด P-channel และค่า g_m ของมอสทรานซิสเตอร์ชนิด N-channel เท่ากัน

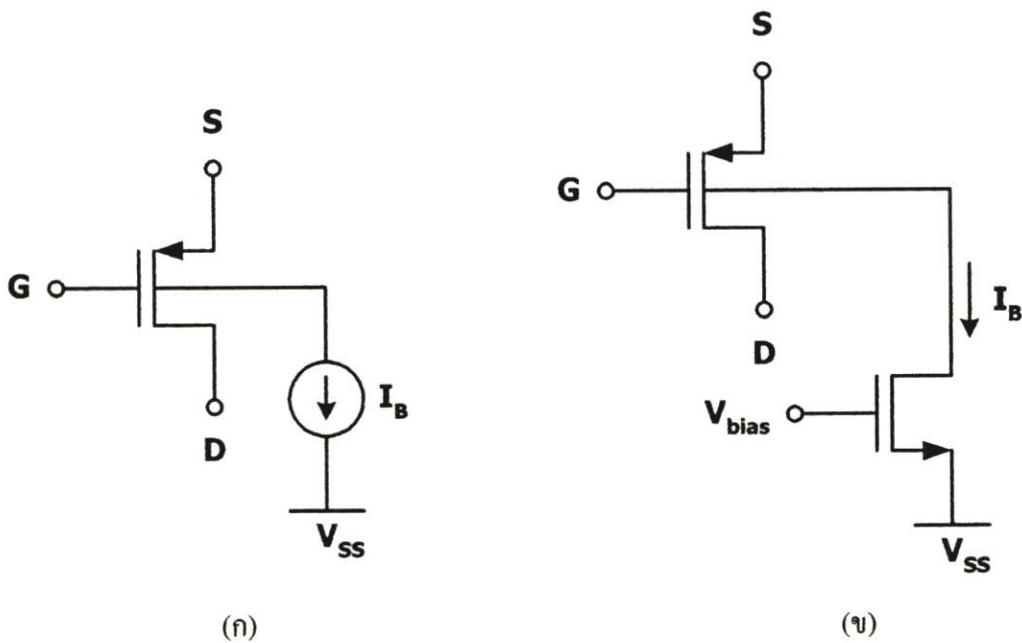


รูปที่ 4.3 แสดงความสัมพันธ์ระหว่างค่า g_m และอินพุตคอมมอนโหมด

สำหรับวิธีการแก้ปัญหาดังกล่าวได้มีผู้แนะนำหลักการทำให้ค่าทรานส์คอนดักแตนซ์คงที่ไว้พอสมควร เช่น การใช้ซีเนอร์ไดโอดแบบอิเล็กทรอนิกส์ [5] เพื่อรักษาระดับแรงดันระหว่างเกตและซอร์สของคู่อินพุตให้คงที่ การใช้มอสทรานซิสเตอร์มาเป็นสวิทช์ [6] โดยจะตั้งค่าแรงดันคงที่ค่าหนึ่งไว้ที่ขาเกตของมอสทรานซิสเตอร์และเมื่อแรงดันอินพุตคอมมอนโหมดเพิ่มมาจนมากกว่าแรงดันที่คงที่ที่ตั้งไว้มอสทรานซิสเตอร์ก็จะนำกระแสซึ่งจะเป็นการชลอมให้มอสทรานซิสเตอร์อีกคู่ทำงานช้าลง หรือการใช้คู่อินพุตคิฟเฟอเรนเชียลแบบคอมพลิเมนต์ารี่สองชุดทำงานใน strong inversion และ weak inversion [7] เป็นต้น ถึงแม้ว่าการควบคุมค่าทรานส์คอนดักแตนซ์ให้คงที่จะมีข้อดีอยู่มากแต่ก็จะเป็นการเพิ่มการใช้แรงดันและกระแสซึ่งเป็นการเพิ่มการใช้กำลังงานโดยตรง รวมไปถึงการเพิ่มขนาดของพื้นที่ของชิปเมื่อนำไปสร้างเป็นวงจรรวม ดังนั้นออปแอมป์ที่นำเสนอในวิทยานิพนธ์นี้จึงไม่กล่าวถึงการควบคุมค่าทรานส์คอนดักแตนซ์ให้คงที่แต่จะกล่าวถึงวิธีการลดค่าแรงดันเทรซโฮลโดยกระตุ้นกระแสที่ขา bulk ซึ่งจะได้กล่าวถึงต่อไป

4.2.2 การลดค่าแรงดันแทรชโฮลโดยกระตุ้นกระแสที่ขา bulk

การออกแบบวงจรโดยใช้มอสทรานซิสเตอร์ ค่าแรงดันแทรชโฮล (Threshold voltage) คือ สิ่งสำคัญที่จะเป็นตัวประมาณค่าแหล่งจ่ายแรงดันที่ต้องใช้สำหรับวงจรมัน ๆ การลดค่าแรงดันแทรชโฮลลงมานั้นหมายถึงการลดการใช้แหล่งจ่ายโดยตรงซึ่งในวิทยานิพนธ์นี้จะใช้วิธีกระตุ้นกระแสเข้าที่ขา bulk ซึ่งเป็นวิธีการที่ทำได้กับเทคโนโลยีซีมอสมาตรฐานทั่ว ๆ ไปที่ไม่ต้องใช้วิธีการพิเศษเข้ามาช่วย การกระตุ้นกระแสที่ขา bulk แสดงได้ดังรูปที่ 4.4 โดยรูปที่ 4.4(ก) แสดงหลักการโดยใช้แหล่งจ่ายกระแสอิสระ การป้อนกระแสเข้าที่ขา bulk จะทำให้เกิดแรงดันแตกต่างระหว่าง bulk และซอร์ส



รูปที่ 4.4 แสดงการกระตุ้นกระแสที่ขา bulk (ก) ใช้แหล่งจ่ายกระแส (ข) ใช้มอสทรานซิสเตอร์ในทางปฏิบัติ

ค่าแรงดันแทรชโฮลของมอสทรานซิสเตอร์ที่แสดงอยู่ในฟังก์ชันของแรงดันระหว่าง bulk และซอร์ส V_{BS} กำหนดได้โดย

$$V_{th} = V_{th0} + \gamma \left(\sqrt{|2\phi_F - V_{BS}|} - \sqrt{|2\phi_F|} \right) \quad (4.3)$$

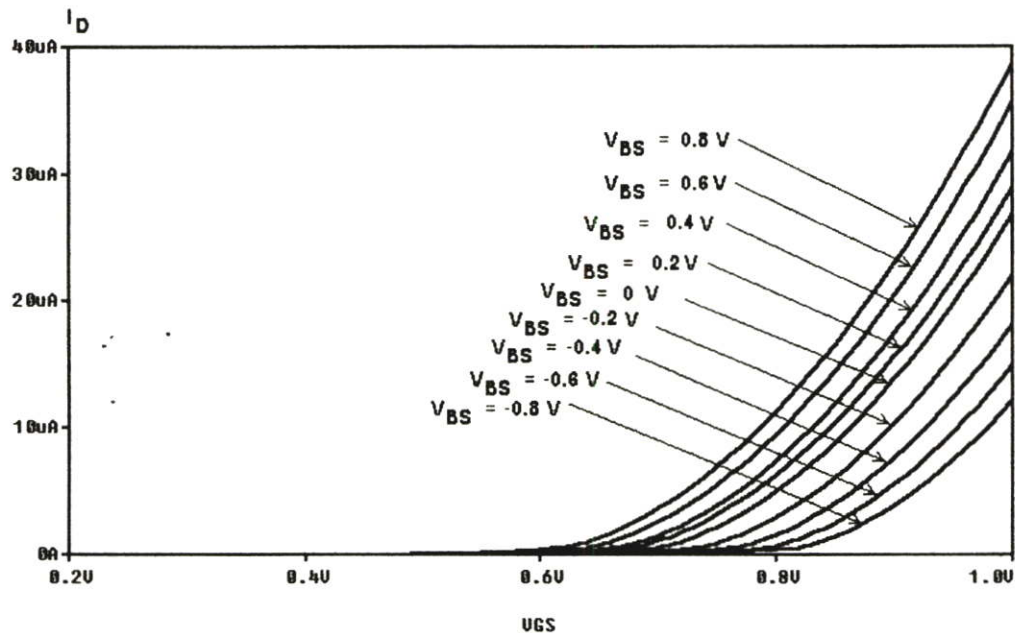
โดยที่

V_{th0} คือแรงดันแธรชโฮลเมื่อ $V_{BS} = 0$

γ คือค่าสัมประสิทธิ์จาก body effect

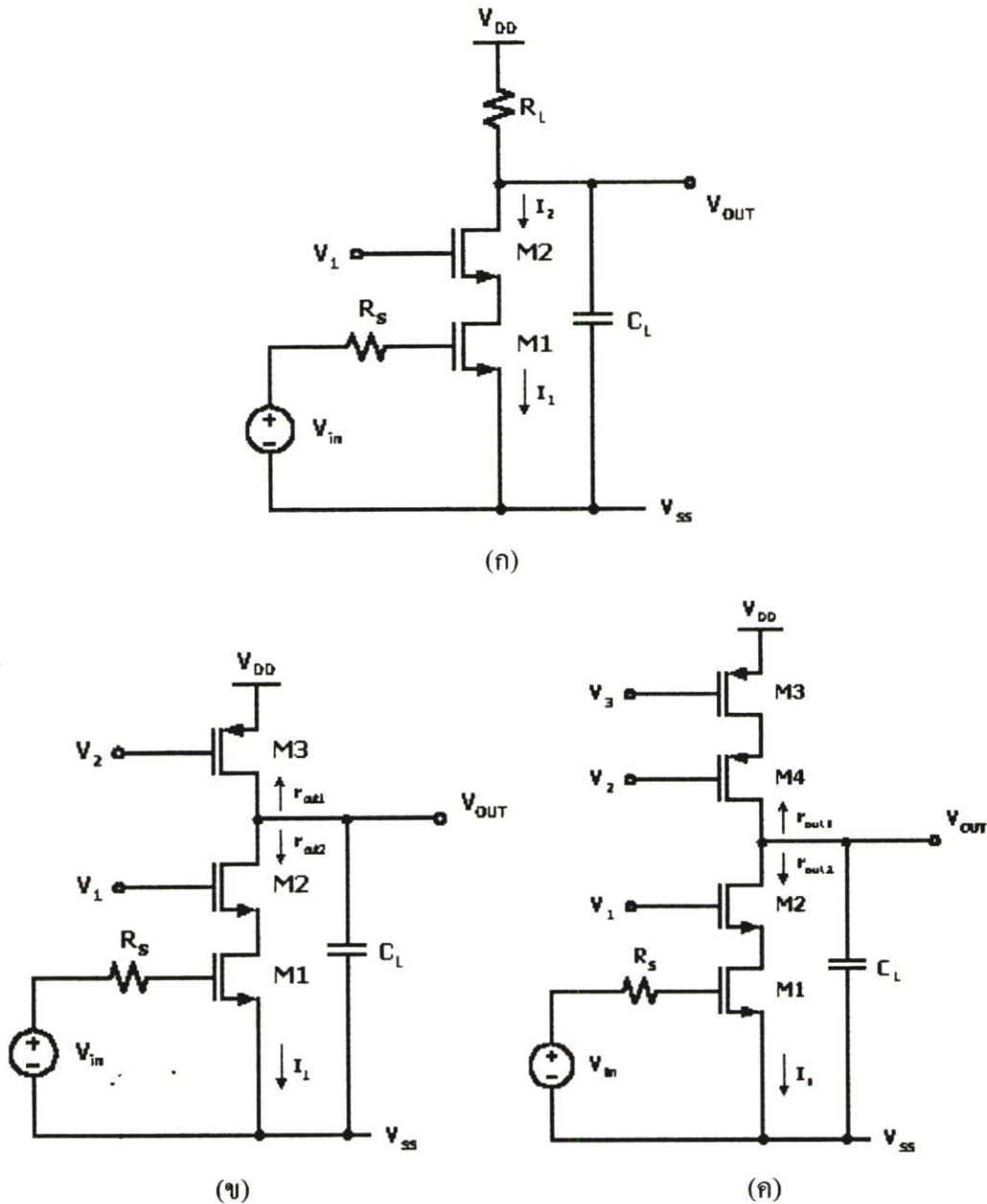
ϕ_F คือค่า Fermi potential

สำหรับซีมอสขนาด 1.2 ไมคอนที่ใช้ในวิทยานิพนธ์นี้ มอสทรานซิสเตอร์ชนิด P-channel มีค่า $2\phi_F$ เท่ากับ -0.7 V มีค่า γ เท่ากับ -0.3303 V^{1/2} และมีค่า V_{th0} เท่ากับ -0.7917 V และมอสทรานซิสเตอร์ชนิด N-channel มีค่า $2\phi_F$ เท่ากับ 0.7 V มีค่า γ เท่ากับ 0.6375 V^{1/2} และมีค่า V_{th0} เท่ากับ 0.6488 V เมื่อได้ทำการจำลองโดยใช้มอสทรานซิสเตอร์ชนิด P-channel ใช้พารามิเตอร์ซีมอส 1.2 ไมคอน ความสัมพันธ์ระหว่างกระแสเดรนและแรงดันระหว่างเกตและซอร์สเมื่อทำการเปลี่ยนค่าแรงดันระหว่าง bulk และซอร์สเป็นค่าต่าง ๆ แสดงได้ดังรูปที่ 4.5 โดยจำลองจากมอสทรานซิสเตอร์ชนิด P-channel ขนาด $W/L=35 \mu\text{m} / 1.2 \mu\text{m}$



รูปที่ 4.5 แสดงค่ากระแสเดรนต่อแรงดันระหว่างเกตและซอร์สเมื่อเปลี่ยนค่าแรงดันระหว่าง bulk และซอร์สเป็นค่าต่าง ๆ

4.2.3 ภาวะ Folded Cascode



รูปที่ 4.7 (ก) วงจรแบบคาสโคดเบื้องต้น (ข) วงจรแบบคาสโคดใช้โหลดแบบแอกทีฟ

(ค) วงจรแบบคาสโคดใช้โหลดแบบแอกทีฟต่อคาสโคด

รูปแบบของการต่อวงจรแบบ Cascode สามารถแสดงเป็นวงจอย่างง่ายโดยใช้มอสทรานซิสเตอร์ต่อแบบอนุกรมซึ่งแสดงได้ดังรูปที่ 4.7(ก) มอสทรานซิสเตอร์ตัวล่าง (M1) จะทำหน้าที่เป็นตัวขยายสัญญาณ กระแสเข้าทุกกำหนดได้โดยแหล่งจ่ายแรงดันอินพุต กระแสเข้าทุกนี้เป็นกระแสที่ไหลผ่านมอสทรานซิสเตอร์ M2 ซึ่งไบอัสด้วย V_1 มอสทรานซิสเตอร์ M2 จะต่อ cascode กับมอส

ทรานซิสเตอร์ M1 โดยจัดวงจรแบบเกตร่วม (common-gate) ี้าพุทของวงจรจะอยู่ที่ขาเครนของ มอสทรานซิสเตอร์ที่ต่อคาสโอด จากวงจรในรูปที่ 4.7(ก) สามารถแทนตัวต้านทานด้วยโหลคที่เป็น มอสทรานซิสเตอร์เพื่อให้เหมาะกับการใช้งานในวงจรรวมมากยิ่งขึ้น โดยมอสทรานซิสเตอร์จะถูก ต่อให้เป็นโหลคแบบแอกทิฟและสามารถแสดงได้ดังรูปที่ 4.7(ข) และจากรูปจะสามารถกำหนดค่า อัตราการขยายได้โดย

$$A_{VO} = g_{m1}(r_{out1} // r_{out2}) \quad (4.4)$$

เมื่อ

$$r_{out1} = r_{o3}$$

และ

$$r_{out2} = r_{o1} + r_{o2}(1 + g_{m2}r_{o1}) \approx r_{o2}(1 + g_{m2}r_{o1}) \quad (4.5)$$

จากรูปที่ 4.7(ข) สามารถพัฒนาให้เหมาะสมกับการใช้งานมากขึ้นโดยทำให้วงจรมีความ ด้านทานเข้าพุทสูงขึ้นเพื่อวงจรจะได้มีอัตราการขยายที่สูง โดยได้ต่อคาสเคดทรานซิสเตอร์เพิ่มเข้า ไป ซึ่งแสดงได้ดังรูปที่ 4.7(ค) ค่า r_{out1} จะกำหนดได้โดย

$$r_{out1} = r_{o3} + r_{o4}(1 + g_{m4}r_{o3}) \approx r_{o4}(1 + g_{m4}r_{o3}) \quad (4.6)$$

อัตราการขยาย A_{VO} สามารถประมาณได้ (ถ้า $g_m r_o \gg 1$)

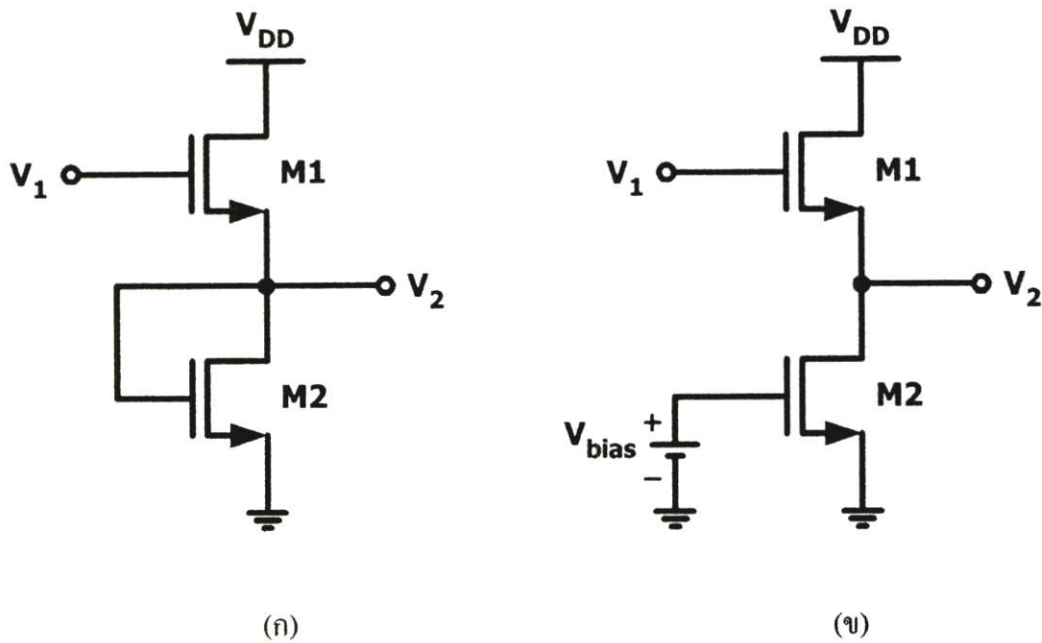
$$A_{VO} = \frac{1}{2} g_{m1} r_{o1} g_{m2} r_{o2} \quad (4.7)$$

ถ้า r_{out1} มีค่าใหญ่กว่า r_{out2} และ $I_1=I_2$ ค่า A_{VO} นี้สามารถมีค่าที่มากตามต้องการ

4.2.4 วงจรเลื่อนระดับ (Level-Shift Circuit)

วงจรเลื่อนระดับคือวงจรที่ใช้เชื่อมต่อระหว่างเข้าพุทของวงจรหนึ่งกับอินพุทของอีกวงจร หนึ่งเข้าด้วยกัน มีหลายวิธีการที่จะทำการปรับแรงดันให้ได้ตามต้องการ สำหรับออปแอมป์จะนำวง จรเลื่อนระดับมาเป็นวงจรเชื่อมต่อระหว่างภาคอินพุทและภาคเข้าพุทเข้าด้วยกันตามปกติเมื่อไม่มี สัญญาณไฟสลัปป้อนเข้ามาจุดสงบ (quiescent point) ของแรงดันด้านเข้าพุทของออปแอมป์จะต้อง เป็นศูนย์ ถ้าผลต่างของแรงดันทางด้านอินพุทเป็นศูนย์ แต่ในวงจรจริงแรงดันทางด้านเข้าพุทของ ภาคอินพุทจะมีค่าไม่เป็นศูนย์ดังนั้นจึงต้องใช่วงจรเลื่อนระดับนี้เพื่อปรับแรงดัน วงจรเลื่อนระดับ

สามารถจัดวงจรได้หลายรูปแบบ แต่สำหรับในวิทยานิพนธ์นี้จะเป็นวงจรแบบตามขาซอร์ส (Source follower) ดังนั้นจึงขออธิบายแต่เพียงวงจรลักษณะนี้เท่านั้นซึ่งวงจรได้แสดงดังรูปที่ 4.8



รูปที่ 4.8 แสดงวงจรเลื่อนระดับ (ก) เมื่อไบอัสโดย M2 ต่อเป็นไดโอด (ข) เมื่อไบอัส M2 โดยใช้แหล่งจ่ายแรงดันอิสระ

จากรูปวงจรเลื่อนระดับจะใช้มอสทรานซิสเตอร์ชนิด N-channel มอสทรานซิสเตอร์ M_1 ทำงานเป็นแบบตามขาซอร์ส (Source follower) ส่วนมอสทรานซิสเตอร์ M_2 ทำหน้าที่ไบอัสกระแสระดับแรงดันที่เลื่อนไปเท่ากับ V_{GS1} และจะคงค่าอยู่อย่างนั้นตลอดไปถ้า $V_1 \leq (V_{DD} - V_{TH})$ M_1 จะทำงานในช่วงอิ่มตัว ถ้าสมการกระแสของมอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัวโดยให้ $\lambda = 0$ วงจรรูปที่ 4.8 จะเขียนสมการได้

$$I_{D1} = K_1' \left(\frac{W}{L} \right)_1 (V_1 - V_2 - V_{T1})^2 \quad (4.8)$$

$$I_{D2} = K_2' \left(\frac{W}{L} \right)_2 (V_2 - V_{T2})^2 \quad (4.9)$$

ถ้าสมมติให้มอสทรานซิสเตอร์ทั้งสองมีคุณสมบัติเหมือนกันทุกประการ $K'_1 = K'_2$ และ $V_{T1} = V_{T2} = V_{TH}$ ดังนั้นจากวงจร $I_{D1} = I_{D2}$ จะได้

$$V_2 = \frac{V_1}{1 + \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}}} - V_{TH} \left(\frac{1 - \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}}}{1 + \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}}} \right) \quad (4.10)$$

ถ้า $\left(\frac{W}{L}\right)_2 \ll \left(\frac{W}{L}\right)_1$ สมการที่ 4.10 จะประมาณได้เท่ากับ

$$V_2 = V_1 - V_{TH} \quad (4.11)$$

และถ้าในกรณีที่ $\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2$ วงจรนี้จะเป็นวงจรแบ่งแรงดันเขียนได้เป็น

$$V_2 = \frac{1}{2} V_1 \quad (4.12)$$

และถ้าใช้แรงดันไบอัสอิสระดังแสดงในรูปที่ 4.8(ข) มอสทรานซิสเตอร์ M2 ทำงานในช่วงอิ่มตัวจะได้

$$I_{D1} = K'_1 \left(\frac{W}{L}\right)_1 (V_1 - V_2 - V_{T1})^2 \quad (4.13)$$

$$I_{D2} = K'_2 \left(\frac{W}{L}\right)_2 (V_{bias} - V_{T2})^2 \quad (4.14)$$

ถ้าสมมติให้มอสทรานซิสเตอร์ทั้งสองมีคุณสมบัติเหมือนกันทุกประการดังนั้น $K'_1 = K'_2$ และ $V_{T1} = V_{T2} = V_{TH}$

$$V_2 \leq \frac{V_1}{1 + \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}}} - \frac{\left(1 - \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}}\right)}{1 + \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}}} V_{TH} \quad (4.15)$$

และแรงดันเลื่อนระดับคือ

$$V_2 = V_1 - \left(1 - \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}}\right) V_{TH} - \sqrt{\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}} V_{bias} \quad (4.16)$$

$$\text{ถ้า } \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2$$

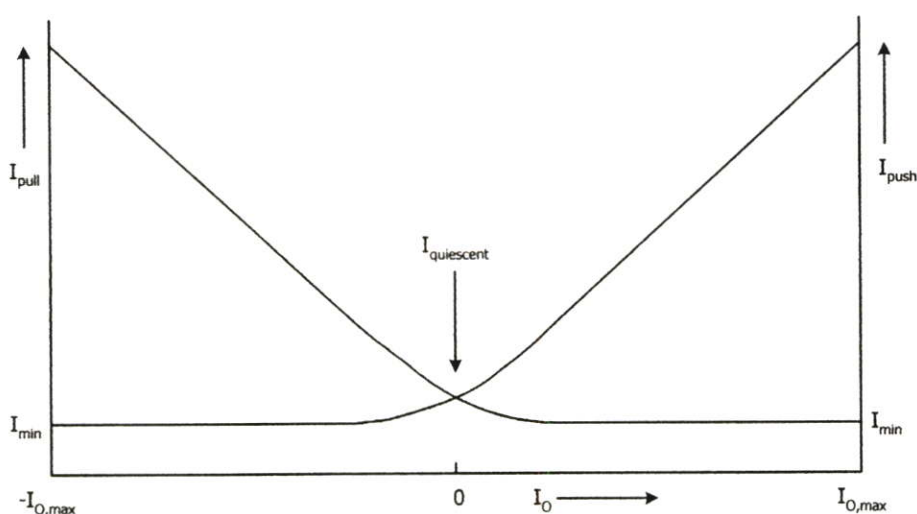
$$V_1 = V_2 = V_{bias} \quad (4.17)$$

4.3 ภาคเข้าพุทแบบคลาส AB (Class-AB)

สำหรับการใช้แหล่งจ่ายพลังงาน ภาคเข้าพุทควรมีกระแสไหลได้สูงสุดและมีกระแสสงบ (quiescent current) ที่ต่ำเพื่อตอบสนองความต้องการนี้สามารถไบอัสด้วยคลาส B เพราะภาคเข้าพุทที่จัดด้วยคลาส B นี้จะให้กระแสเข้าพุทที่มากได้และมีกระแสสงบใกล้ที่ประมาณศูนย์ ในการกำหนดประสิทธิภาพการใช้พลังงาน (power-efficiency) ของภาคเข้าพุทแบบคลาส B สามารถกำหนดได้จากประสิทธิภาพการใช้พลังงานของภาคเข้าพุทเท่ากับค่าเฉลี่ยของสัญญาณและหารโดยพลังงานจากแหล่งจ่าย การใช้ข้อกำหนดนี้สามารถคำนวณจาก ประสิทธิภาพการใช้พลังงานของภาคเข้าพุทคลาส B ที่ปฏิบัติงานแบบ rail-to-rail ซึ่งประมาณ 60%-75% ของสำหรับเข้าพุทของคลื่นไซน์ (Sinusoidal wave) แบบ rail-to-rail

แต่ข้อเสียในการไบอัสแบบคลาส B ที่กล่าวมาคือ ความเพี้ยนที่บริเวณช่วงรอยต่อของสัญญาณซีกบวกและซีกลบ (cross-over distortion) การลดความเพี้ยนนี้ให้ต่ำสุดสามารถใช้คลาส A ได้แต่อย่างไรก็ตามกระแสเข้าพุทสูงสุดของคลาส A จึงยังไม่สูงเท่าที่ต้องการ

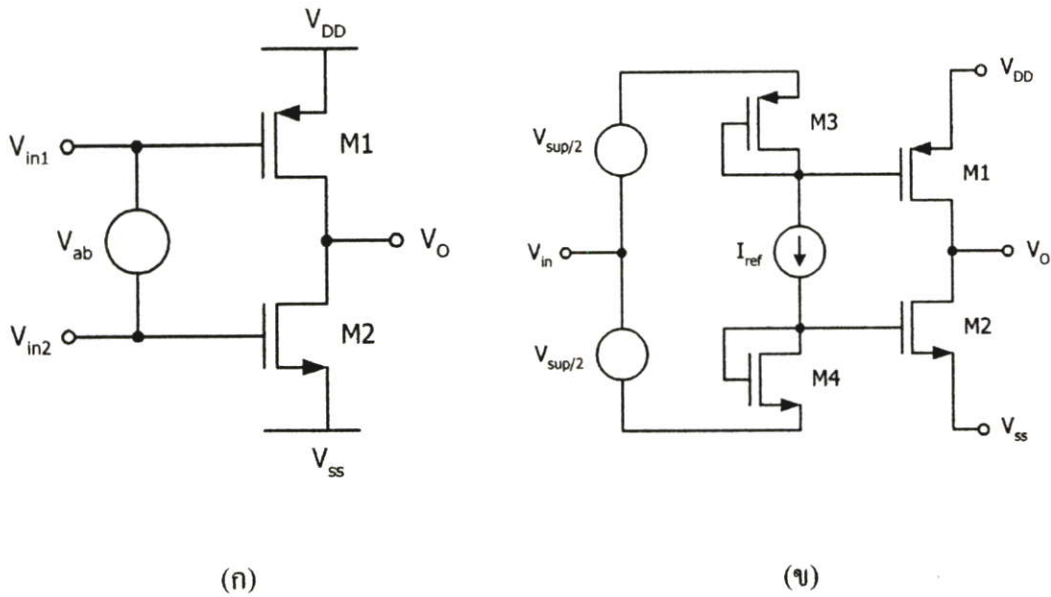
สำหรับเพื่อให้ได้ความลดตัวระหว่าง ความเพี้ยนและกระแสสลับ ที่สูญเสียไปจึงต้องไบอัสให้ภาคเข้าพุทอยู่ระหว่างคลาส A และคลาส B ซึ่งวิธีการนี้จะเรียกว่าเป็นการไบอัสแบบคลาส AB รูปที่ 4.9 แสดงการถ่ายโอน (transfer function) คลาส AB ที่ต้องการ จากกราฟจะเห็นทรานซิสเตอร์ถูกไบอัสด้วยกระแสสลับที่ต่ำ ซึ่งทำให้ลดความเพี้ยนของสัญญาณที่บริเวณรอยต่อซีกบวกและซีก ลบเมื่อเปรียบเทียบกับภาคเข้าพุทแบบคลาส B กระแสสูงสุดของภาคเข้าพุทจะมีค่ามากกว่ากระแสสลับของมัน ซึ่งทำให้เพิ่มค่าประสิทธิภาพเมื่อเทียบกับภาคเข้าพุทแบบคลาส A รูปที่ 4.9 แสดงเข้าพุททรานซิสเตอร์ซึ่งต้องไบอัสด้วยกระแสที่น้อย (I_{min}) ซึ่งกระแสที่ไหลในระดับต่ำ ๆ นี้จะช่วยป้องกันการหน่วงของทรานซิสเตอร์เข้าพุทจากการหยุดนำกระแสมาเป็นนำกระแสซึ่งจะทำให้ลดการเพี้ยนที่บริเวณรอยต่อซีกบวกและซีกลบ (cross-over distortion) [9-10]



รูปที่ 4.9 แสดงฟังก์ชันการถ่ายโอนของคลาส AB ที่ต้องการ

ภาคเข้าพุทปฏิบัติงานแบบ rail-to-rail การโอนถ่าย Class-AB สามารถเป็นจริงได้โดยรักษาแรงระหว่างเกดของทรานซิสเตอร์เข้าพุทให้คงที่หลักการนี้แสดงได้ดังรูปที่ 4.10(ก) ซึ่งแสดงความสัมพันธ์ระหว่างกระแสในช่วง Push และ pull ของทรานซิสเตอร์เข้าพุท แหล่งจ่ายกระแส V_{AB} สามารถสร้างขึ้นจากวงจรในรูปที่ 4.10(ข) จากวงจร M_3 - M_4 เป็นไดโอดที่ไบอัสจากแหล่งจ่ายกระแสคงที่ I_{ref} และแหล่งจ่ายแรงดันคงที่สองแหล่งจ่ายคือ $V_{sup}/2$ ความสัมพันธ์ระหว่างกระแสช่วง push (I_{d1}) และ กระแสช่วง pull (I_{d2}) ของ เข้าพุททรานซิสเตอร์กำหนดได้โดย

$$\sqrt{I_{push}} + \sqrt{I_{pull}} = 2\sqrt{I_q} \quad (4.18)$$



รูปที่ 4.10 แสดงหลักการเบื้องต้นของวงจรแบบคลาส AB (ก) เมื่อไบอัสจากแรงดันอิสระ
(ข) เมื่อไบอัสด้วยกระแส

เมื่อสมมติว่าทรานซิสเตอร์เข้าพุททำงานใน Strong inversion และค่าทรานส์คอนดักแตนซ์เขียนได้

$$K \frac{W}{L} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_n = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_p \quad (4.19)$$

กระแสสงบ I_q ของภาคเข้าพุทกำหนดโดย

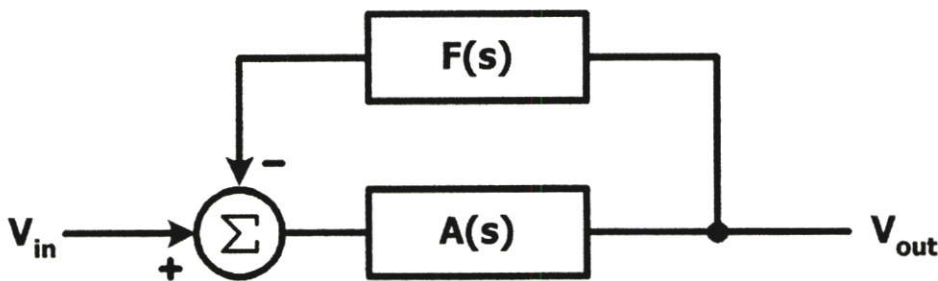
$$I_q = \frac{\left(\frac{W}{L} \right)_1}{\left(\frac{W}{L} \right)_3} I_{ref} \quad (4.20)$$

4.4 การชดเชยของออปแอมป์

รูปที่ 4.9 แสดงลักษณะทั่วไปของการป้อนกลับแบบลบ $A(s)$ คืออัตราขยายของแอมพลิไฟร์ และโดยปกติจะเป็นอัตราขยายความแตกต่างแบบรูปเปิด และ $F(s)$ เป็นฟังก์ชันการถ่ายโอนสำหรับการป้อนกลับภายนอกที่อินพุตของออปแอมป์อัตราขยายของลูปของระบบนี้กำหนดได้

$$\text{Loop Gain} = L(s) = -A(s)F(s) \quad (4.21)$$

ถ้าพิจารณาในกรณีเมื่ออัตราขยายจาก V_{in} สู่ V_{out} เป็นหนึ่ง คำนึงถึงจะสามารถแสดงไว้ได้ว่าถ้า อัตราขยายแบบรูปเปิดที่ดิสซี (DC) $A(0)$ คืออยู่ระหว่าง 1,000 และ 2,000 และ F เท่ากับ 1 อัตราขยายแบบป้อนไปข้างหน้าจะเปลี่ยนแปลงจาก 0.999 ถึง 0.9995 สำหรับลูปที่มีอัตราขยายสูงๆ การหาค่าฟังก์ชันถ่ายโอน $\frac{V_{out}}{V_{in}}$ ที่มีความแน่นอนจะถูกควบคุมโดยโครงสร้างป้อนกลับซึ่งวิธีการนี้จะถูกนำมาใช้กับออปแอมป์



รูปที่ 4.11 แสดงระบบการป้อนกลับ

เงื่อนไขที่ต้องการสำหรับหลีกเลี่ยงการไม่เสถียรของออปแอมป์ กำหนดได้ตามสมการ

$$|A(j\omega_{0^*})F(j\omega_{0^*})| = |L(j\omega_{0^*})| < 1 \quad (4.22)$$

เมื่อ ω_{0^*} หาค่าได้จาก

$$\text{Arg}[-A(j\omega_{0^*})F(j\omega_{0^*})] = \text{Arg}[L(j\omega_{0^*})] = 0^\circ \quad (4.23)$$

เงื่อนไขที่ต้องการคือ

$$\text{Arg}[-A(j\omega_{0dB})F(j\omega_{0dB})] = \text{Arg}[L(j\omega_{0dB})] > 0^\circ \quad (4.24)$$

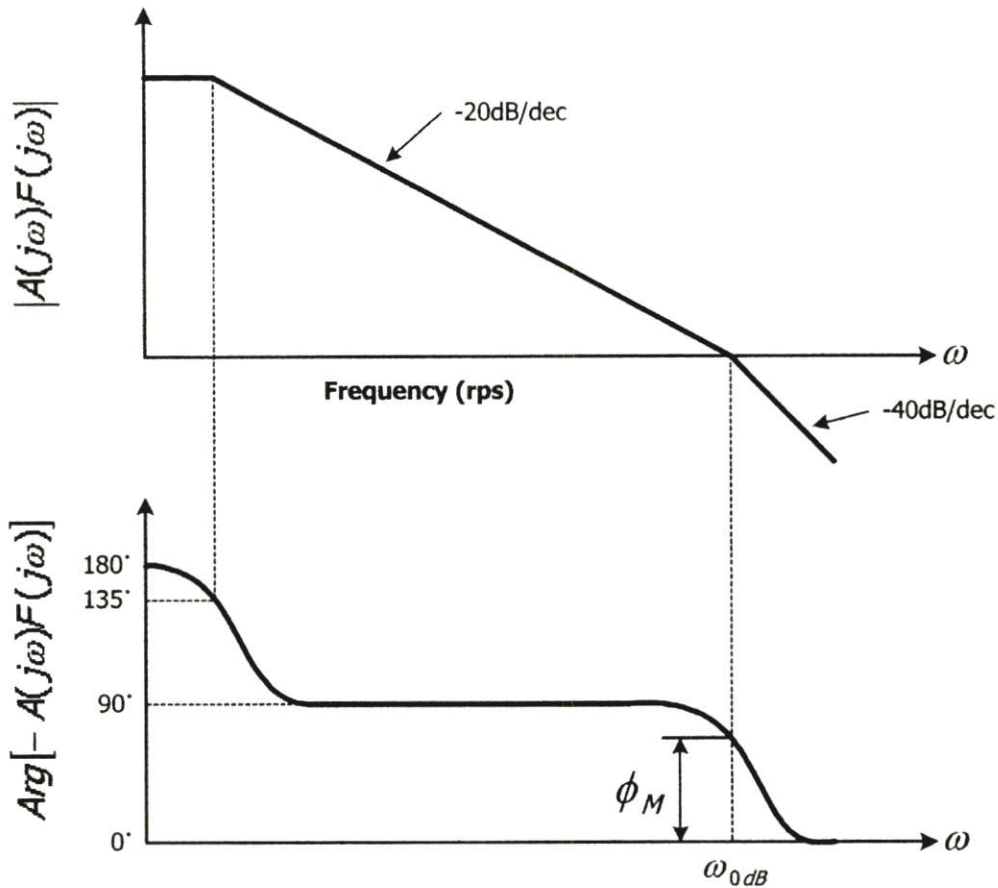
เมื่อ ω_{0dB} หาค่าได้จาก

$$|A(j\omega_{0dB})F(j\omega_{0dB})| = |L(j\omega_{0dB})| = 1 \quad (4.25)$$

ถ้าเป็นไปตามเงื่อนไขดังกล่าว จะพูดได้ว่าระบบป้อนกลับมีความเสถียร จากรูป แสดงการตอบสนองของ $|A(j\omega)F(j\omega)|$ และ $\text{Arg}[-A(j\omega)F(j\omega)]$ เทียบกับฟังก์ชันของความถี่ ระบบมีความเสถียรกราฟของ $|A(j\omega)F(j\omega)|$ จะตัดกับจุด 0 dB ก่อนที่ $\text{Arg}[-A(j\omega)F(j\omega)]$ จะตัดกับ 0 degree การวัดเสถียรภาพของระบบถูกกำหนดโดยค่าของเฟสเมื่อ $|A(j\omega)F(j\omega)|$ เป็นหนึ่งซึ่งการวัดลักษณะนี้เรียกว่า phase margin และถูกกำหนดโดย

$$\begin{aligned} \text{Phase margin} &= \text{Arg}[-A(j\omega_{0dB})F(j\omega_{0dB})] \\ &= \text{Arg}[L(j\omega_{0dB})] \end{aligned} \quad (4.26)$$

สิ่งสำคัญของระบบที่มีเสถียรภาพที่ดี กำหนดได้จากค่า phase margin ที่เพียงพอซึ่งเป็นการพิจารณาจากการตอบสนองของระบบลูปิดในโดเมนของเวลา รูปที่ 4.12 แสดงการตอบสนองของเวลาของระบบลูปิดอันดับที่สองโดยได้เปลี่ยนค่า Phase margin เป็นค่าต่างๆ จะเห็นว่าถ้า phase margin มีค่ามากผลก็คือเกิดการ “ringing” น้อยที่เข้าพุทการเกิด ringing มากที่เข้าพุทสามารถแก้ไขได้ ดังนั้นสิ่งที่สำคัญคือต้องรักษาค่า phase margin ไว้ที่การ ringing ในระดับที่ยอมรับได้



รูปที่ 4.12 แสดงการตอบสนองทางความถี่และทางเฟสของระบบอันดับที่สอง

4.5 การออกแบบวงจรออปแอมป์

การออกแบบวงจรออปแอมป์สามารถแบ่งออกเป็นสองส่วนคือส่วนแรกคือการเลือกหรือการวางลักษณะโครงสร้างพื้นฐานของออปแอมป์ โดยอาจจะวางเป็นบล็อกไดอะแกรมที่เชื่อมต่อถึงกันเพื่อแสดงขั้นตอนการทำงาน โครงสร้างนี้มักจะไม่มีเปลี่ยนแปลงแต่บางครั้งคุณสมบัติที่เลือกไว้ อาจเปลี่ยนแปลงไปได้ถ้ามีการปรับปรุงโครงสร้างใหม่ ส่วนที่สองเป็นการเลือกค่ากระแสดีซี (DC current) และเริ่มต้นกำหนดขนาดของมอสทรานซิสเตอร์และสุดท้ายกำหนดส่วนประกอบในการชดเชยของออปแอมป์

ก่อนที่จะมีการออกแบบออปแอมป์ให้มีค่าต่าง ๆ ที่แน่นอนควรต้องเริ่มต้นจากการกำหนดเงื่อนไขและขอบเขต เพื่อใช้เป็นสิ่งนำทางในการออกแบบ ซึ่งเงื่อนไขขอบเขตที่ต้องพิจารณาคือ

1. พารามิเตอร์ของซิมอสที่จะใช้ออกแบบ เช่น V_{th} , K' , C_{ox} เป็นต้น
2. แหล่งจ่ายแรงดันและช่วงที่ต้องการใช้งาน
3. แหล่งจ่ายกระแสและช่วงที่ต้องการใช้งาน
4. อุณหภูมิของการทำงาน และช่วงของอุณหภูมิที่ต้องการ

จากนั้นก็เป็นการกำหนดคุณสมบัติของออปแอมป์ที่ต้องการคือ

1. อัตราการขยาย (A_v)
2. แบนด์วิดท์ (Bandwidth: BW)
3. ค่า Setting time
4. ค่าสลูว์เรต (Slew rate) (SR)
5. ช่วงอินพุตคอมมอนโหมด (CMR)
6. อัตราการขจัดโหมคร่วม (CMRR)
7. อัตราการขจัดแหล่งจ่ายกำลัง (PSRR)
8. การสวิงของสัญญาณทางเข้าพุท
9. ความต้านทานทางเข้าพุท
10. ค่าออฟเซต (Offset)

สำหรับขั้นตอนโดยทั่วไปในการออกแบบวงจรออปแอมป์มีขั้นตอนดังนี้

1. กำหนดโครงสร้างที่ต้องการ จากนั้นก็กำหนดรายละเอียดของโครงสร้างที่ต้องการ ตัวอย่างเช่นถ้าต้องการออปแอมป์ที่มีสัญญาณรบกวนและออฟเซตต่ำโครงสร้างของภาคอินพุทจะต้องมีอัตราการขยายที่สูง หรือถ้าต้องการออปแอมป์ที่ใช้กำลังงานต่ำภาคเข้าพุทควรจะต้องเป็นคลาส AB เป็นต้น

2. กำหนดชนิดของการชดเชยในโครงสร้างของวงจรซึ่งมีวิธีการมากมายสำหรับชดเชยวงจรขยายแต่ควรจะต้องเลือกหนึ่งวิธีการที่เหมาะสมกับโครงสร้างที่ได้กำหนดไว้ ตัวอย่างเช่นออปแอมป์ที่จำเป็นต้องขับโหลดที่เป็นตัวเก็บประจุที่มีค่ามากบางทีอาจจะต้องมีการชดเชยที่เข้าพุทด้วย

3. ออกแบบขนาดของตัวอุปกรณ์ที่สัมพันธ์กันกับคุณสมบัติทาง DC และคุณสมบัติทาง AC ซึ่งเริ่มต้นจากการคำนวณด้วยมือซึ่งเป็นการประมาณจากสมการ หลังจากนั้นใช้การจำลองสำหรับปรับค่าอีกครั้งเพื่อให้ได้ค่าที่แน่นอน

4.6 สรุป

ในบทนี้ได้กล่าวถึงทฤษฎีที่จะใช้ออกแบบวงจรซิมอสออปแอมป์ในวิทยานิพนธ์นี้ โดยจะใช้หลักการต่าง ๆ คือ วงจรภาคอินพุทคิฟเฟอเรนเชียลแบบคอมพลิเมนทารี การลดค่าแรงดันแทรกโซลโดยกระตุ้นกระแสเข้าที่ขา bulk วงจรภาค Folded cascode วงจรเลื่อนระดับ และสุดท้ายวงจรภาคเข้าพุทแบบคลาส AB จากนั้นเป็นหลักการและขั้นตอนของการออกแบบวงจรซึ่งวงจรที่จะได้ออกแบบมานั้นเป็นวงจรที่มีภาคอินพุทและเข้าพุทปฏิบัติงานแบบ rail-to-rail

บทที่ 5

วงจรซิมอสออปแอมป์

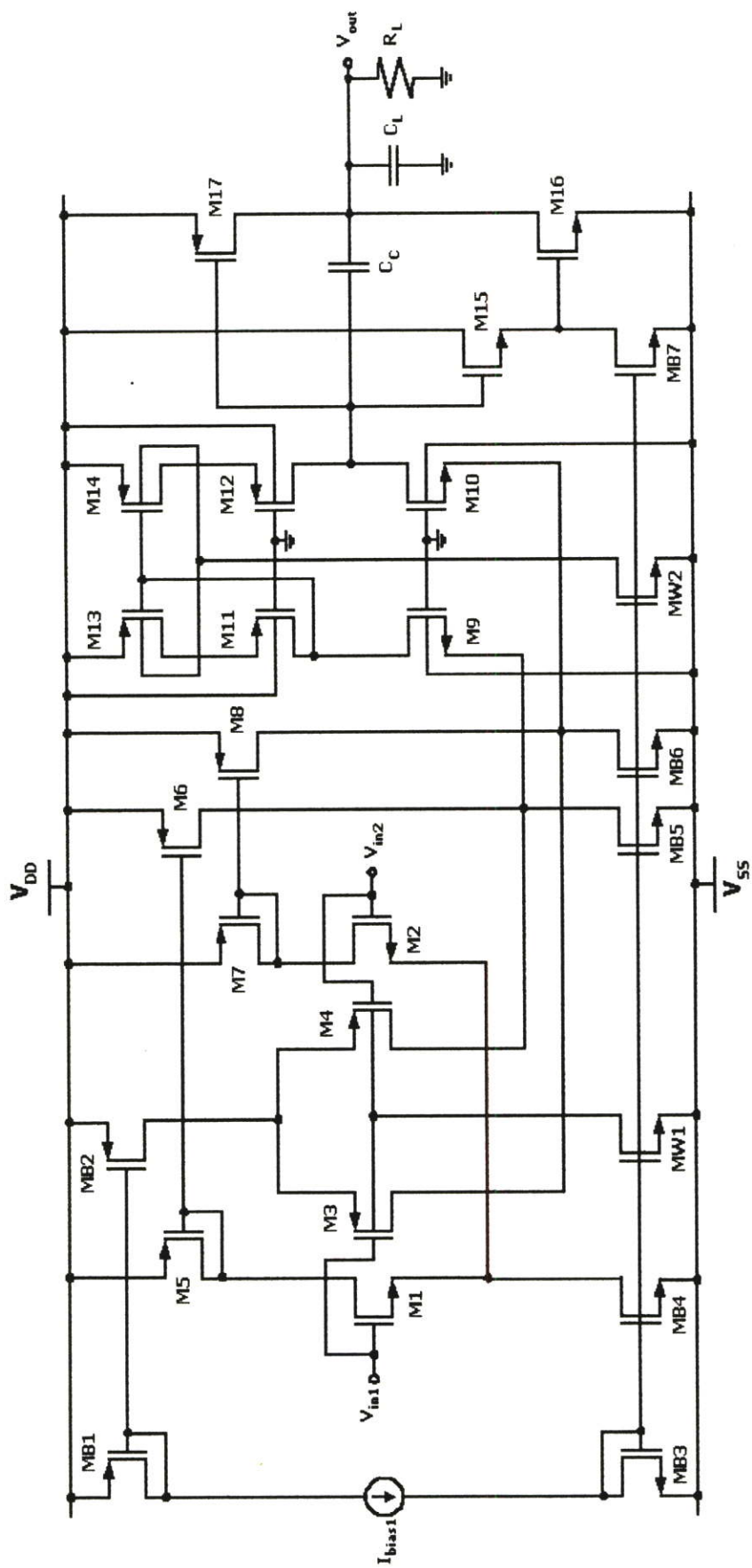
5.1 บทนำ

ในปัจจุบันนี้วงจรออปแอมป์ได้รับความสนใจและพัฒนาอยู่ตลอดเวลาเพราะเป็นอุปกรณ์ที่มีความสำคัญสำหรับวงจรอนาล็อก สำหรับออปแอมป์ที่ใช้กำลังงานต่ำก็มีการนำเสนอออกมามากมาย โดยใช้วิธีการต่างๆเข้ามาช่วยเพื่อลดการใช้พลังงานของวงจรลงเช่น ใช้ออสทราทอนซิสเตอร์แบบปล่อยขาคัดลอย [11] หรือใช้เทคโนโลยีแบบไบซิมอส [12-13] แต่วิธีการที่กล่าวมาแล้วการใช้งานจะต้องเพิ่มวิธีการที่พิเศษเข้าไป การใช้ออสทราทอนซิสเตอร์แบบปล่อยขาคัดลอยจะต้องใช้ตัวเก็บประจุซึ่งจะต้องมีการปรับให้ได้ค่าที่เหมาะสม หรือใช้เทคโนโลยีแบบไบซิมอสจะมีที่ราคาแพงเมื่อเทียบกับเทคโนโลยีซิมอสและไบโพล่า

สำหรับในวิทยานิพนธ์นี้ได้นำเสนอวงจรออปแอมป์ที่ทำงานได้ด้วยแรงดันต่ำโดยจะใช้วิธีลดค่าแรงดันแตรซโวลของมอสทราทอนซิสเตอร์ลงมาโดยใช้กระแสกระตุ้นที่ขา bulk ของมอสทราทอนซิสเตอร์ อินพุทและเอาพุทปฏิบัติงานแบบ rail-to-rail โดยอินพุทเป็นวงจรดิฟเฟอเรนเชียลแบบคอมพลิเมนทารีจึงสามารถปฏิบัติงานแบบ rail-to-rail ได้และจะใช้วงจรแบบ Folded cascode เพื่อให้วงจรรักษาการสวิงที่สูงทางอินพุทและเอาพุทไว้ ส่วนทางเอาพุทปฏิบัติงานแบบ rail-to-rail โดยใช้วงจรแบบคลาส AB ผลการจำลองได้กระทำโดยใช้โปรแกรมจำลองการทำงาน PSpice

5.2 การทำงานของวงจรซิมอสออปแอมป์

วงจรซิมอสออปแอมป์ที่มีอินพุทและเอาพุทปฏิบัติงานแบบ rail-to-rail แสดงดังรูปที่ 5.1 ซึ่งประกอบด้วยวงจรต่าง ๆ คือ ภาคอินพุทที่ปฏิบัติงานแบบ rail-to-rail โดยใช้วงจรดิฟเฟอเรนเชียลแบบคอมพลิเมนทารี ภาค Folded cascode วงจรเลื่อนระดับ และภาคเอาพุทปฏิบัติงานแบบ rail-to-rail ไบอัสแบบคลาส AB โดยการออกแบบได้กำหนดให้วงจรใช้แรงดันและกำลังงานต่ำที่สุดเพื่อให้วงจรใช้กำลังงานต่ำ



รูปที่ 5.1 วงจรซีเอ็มอสออปแอมป์

อินพุตที่ปฏิบัติงานแบบ rail-to-rail จะใช้มอสทรานซิสเตอร์ชนิด N-channel ซึ่งได้แก่ M1-M2 และชนิด P-channel ได้แก่ M3-M4 มาประกอบเป็นคู่อิฟเฟอเรนเชียลแบบคอมพลิเมนต์ารี่ที่ขนานกัน ที่ขา bulk ของมอสทรานซิสเตอร์ชนิด P-channel จะใช้กระแสกระตุ้นประมาณ 10 nA โดยใช้มอสทรานซิสเตอร์ MW1 เป็นตัวกำหนด ซึ่งจะทำให้แรงดันเทรซโฮลของมอสทรานซิสเตอร์ชนิด P-channel ลดลงมาอยู่ในระดับใกล้เคียงกับมอสทรานซิสเตอร์ชนิด N-channel มอสทรานซิสเตอร์ MB1 และ MB2 ทำหน้าที่เป็นวงจรถ่ายกระแสให้กับมอสทรานซิสเตอร์คู่อิฟเฟอเรนเชียลชนิด P-channel โดยกระแสอ้างอิงที่ใช้คือ 15 μA และมอสทรานซิสเตอร์ MB3 และ MB4 ทำหน้าที่จ่ายกระแสให้กับมอสทรานซิสเตอร์คู่อิฟเฟอเรนเชียลชนิด N-channel ภาค Folded cascode จะทำหน้าที่รวมสัญญาณเข้าด้วยกันและช่วยจำกัดการสวิตจทางเข้าพุท มอสทรานซิสเตอร์ M9 ถึง M10 เป็นมอสทรานซิสเตอร์ที่ต่อแบบคาเดคด กระแสจะถูกกำหนดให้เท่ากับกระแส I_{bias} โดยใช้มอสทรานซิสเตอร์ MB5 และ MB6 ทำหน้าที่สะท้อนกระแส กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M9 ถึง M14 จะเท่ากับกระแสที่ไหลผ่านมอสทรานซิสเตอร์อินพุท M1 ถึง M4 ที่ขา bulk ของ M13 และ M14 จะถูกกระตุ้นด้วยกระแสประมาณ 10 nA มอสทรานซิสเตอร์เข้าพุท M16 ถึง M17 จะกำหนดให้ทำงานแบบคลาส AB ในช่วงที่ไม่มีสัญญาณเข้ามาจะมีกระแสไหล 10 μA และช่วงที่มีสัญญาณเข้ามาหรือช่วงนำกระแสมีกระแสไหล 94 μA

5.3 การจำลองและผลการจำลองวงจรซีมอสออปแอมป์

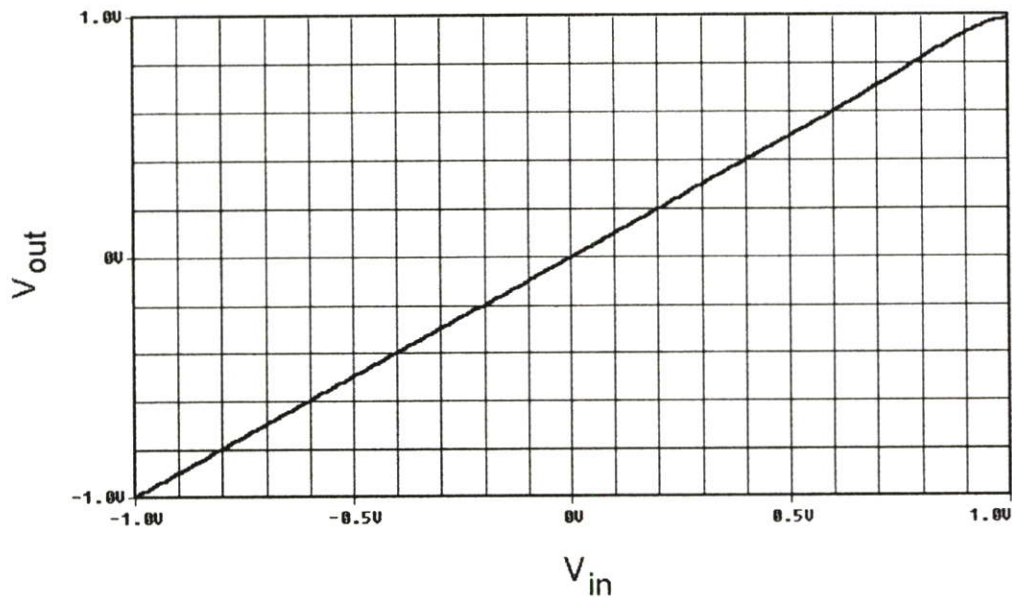
เพื่อเป็นการยืนยันการทำงานของวงจรซีมอสออปแอมป์ที่มีค่าทรานส์คอนดักแตนซ์คงที่ที่ได้บอกในหัวข้อที่ 5.2 จึงได้ทำการวิเคราะห์การทำงานของวงจรถูกกล่าวด้วยโปรแกรม PSpice จากรูปที่ 5.1 วงจรแหล่งจ่าย $V_{DD} = V_{SS} = 1$ โวลต์ และใช้กระแส $I_{bias} = 15 \mu\text{A}$ โดยใช้พารามิเตอร์ของเทคโนโลยีซีมอสขนาด 1.2 ไมครอน Level 3 ของ MOSIS โดยกำหนดค่าความกว้างของแชนแนล (W) และค่าความยาวของแชนแนล (L) ดังแสดงในตารางที่ 5.1 โดยการวิเคราะห์วงจรจะกระทำในโหมด DC, AC และ Transient

ตารางที่ 5.1 แสดงค่าความกว้างและค่าความยาวของเซลล์แนล

มอสทรานซิสเตอร์	ขนาด W/L (μm)
M1, M2	80.4/1.8
M3, M4	26.8/1.8
M5, M6, M7, M8	18/1.8
M9, M10	18/1.8
M11, M12	96/1.8
M13, M14	19.2/1.8
M15	115/1.2
M16, M17	60/1.8
MB1, MB2	44/1.8
MB3, MB4, MB5, MB6	12/1.8
MB7	1.2/1.2
MW1, MW2	1.8/110

5.3.1 ผลการจำลองคุณสมบัติถ่ายโอน

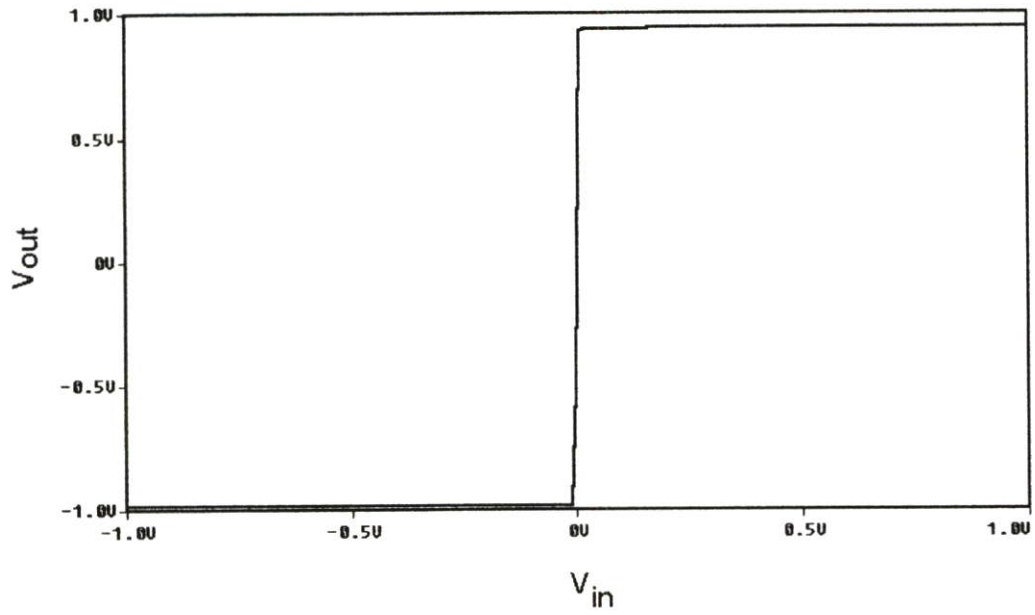
การจำลองการทำงานเกี่ยวกับคุณสมบัติการถ่ายโอนระหว่างอินพุตและเอาพุตเพื่อเป็นการตรวจสอบและแสดงถึงความสามารถของวงจรที่มีช่วงการสวิงของอินพุตที่กว้างเนื่องจากปฏิบัติงานแบบ rail-to-rail โดยได้แสดงเป็นความสัมพันธ์ระหว่างอินพุตและเอาพุต โดยจัดวงจรเป็นแบบ Unity-gain follower และอินพุตถูกป้อนด้วยแรงดันในช่วง -1 โวลต์ถึง $+1$ โวลต์ แล้ววัดแรงดันที่เอาพุต ผลการจำลองและแสดงได้ดังรูปที่ 5.2 จากการจำลองช่วงการสวิงของอินพุตคือ -0.98 ถึง $+0.92$ โวลต์ โดยจำลองในโหมด DC



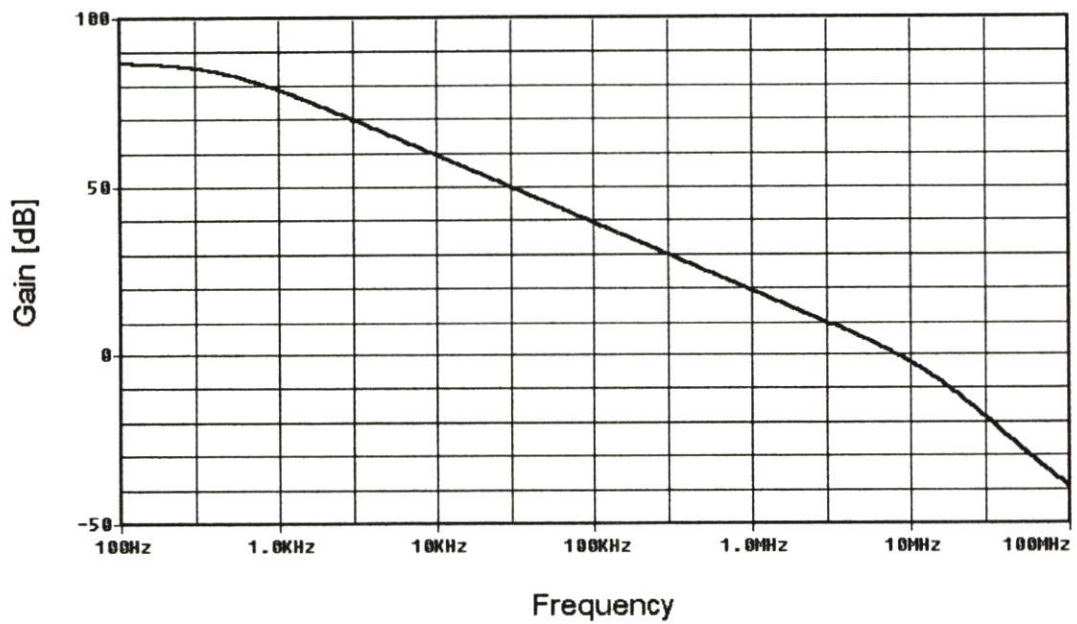
รูปที่ 5.2 แสดงคุณสมบัติถ่ายโอนระหว่างอินพุตและเอาพุตของออปแอมป์

5.3.2 ผลการจำลองวงจรแบบรูปเปิด

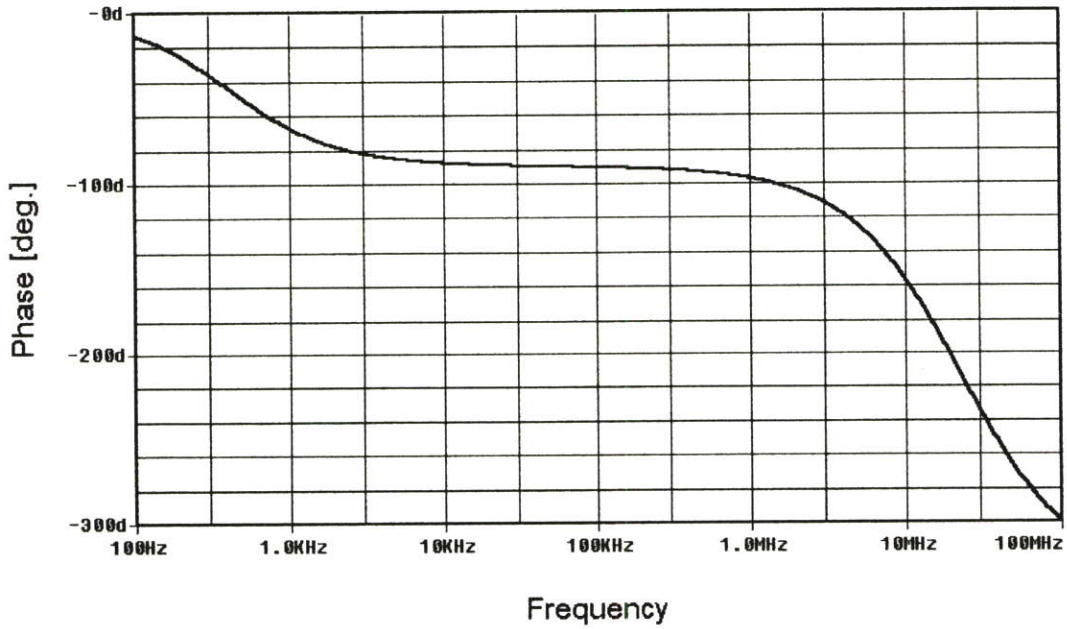
การจำลองวงจรแบบรูปเปิดจะทำการจำลองในสองโหมดคือโหมด DC และ โหมด AC ในโหมด DC จะทดลองโดยป้อนแรงดันอินพุตเป็นสัญญาณ DC ในช่วง -1 โวลต์ ถึง $+1$ โวลต์ แล้ววัดแรงดันทางเอาพุตผลการจำลองแสดงได้ดังรูปที่ 5.3 ส่วนการจำลองในโหมด AC จะเป็นการจำลองผลการตอบสนองความถี่ของออปแอมป์ ได้ทดลองโดยกำหนดให้ R_L เท่ากับ $10\text{k}\Omega$ C_c เท่ากับ 2 pF และ C_L เท่ากับ 10 pF ซึ่งเป็นโหลดในสภาวะปกติของออปแอมป์ ในการทดลองจะประกอบวงจรแบบรูปเปิด (Open-loop) ทำการจำลองในโหมด AC ผลการจำลองแสดงได้ดังรูปที่ 5.4 และ รูปที่ 5.5 จากผลจำลองการทำงานปรากฏว่าวงจรมีอัตราขยายไฟตรง (DC gain) คือ 86 dB มีค่า Gain Bandwidth (GBW) เท่ากับ 8 MHz ในขณะที่ Phase margin (PM) เท่ากับ 46°



รูปที่ 5.3 แสดงความสัมพันธ์ระหว่างแรงดันอินพุตและเอาพุต



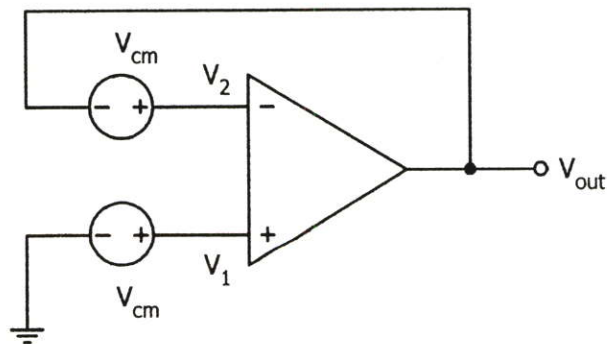
รูปที่ 5.4 แสดงผลการตอบสนองความถี่ของออปแอมป์



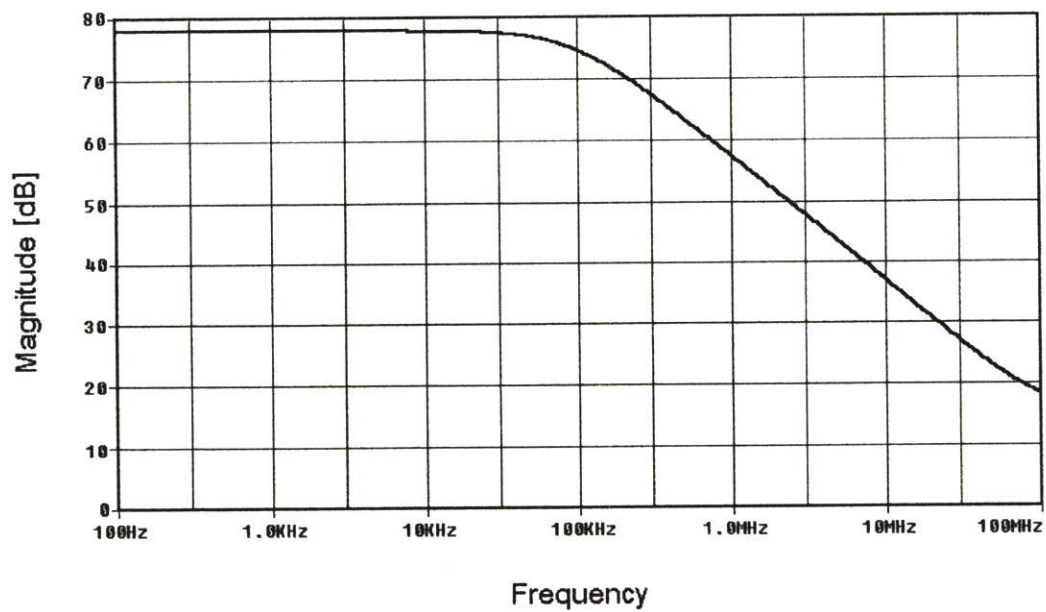
รูปที่ 5.5 แสดงผลการตอบสนองทางเฟสของออปแอมป์

5.3.3 ผลการจำลองวัดค่าอัตราการจัดโหมคร่วม (CMRR)

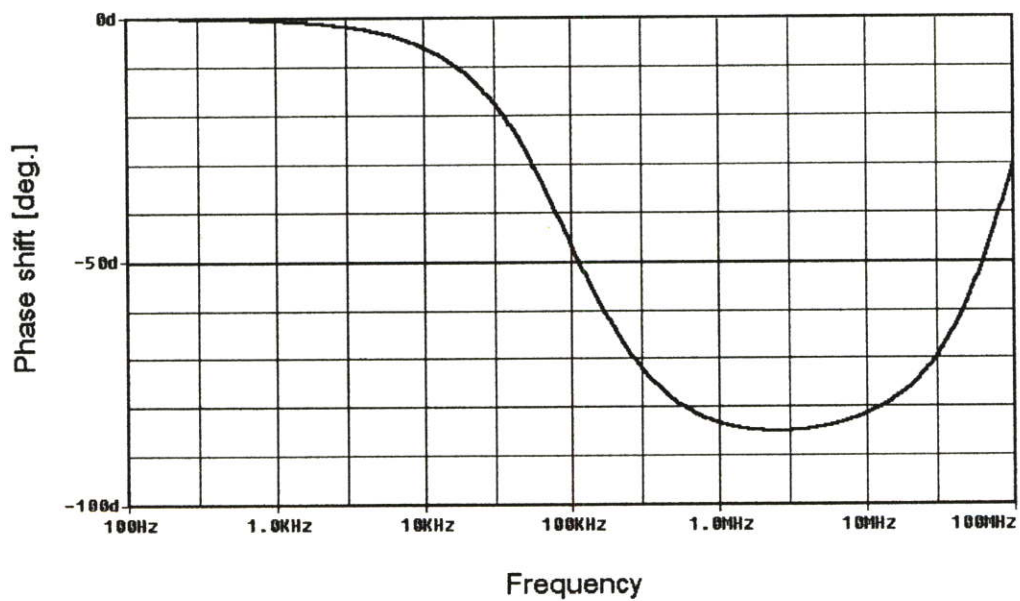
ในการจำลองการทำงานเพื่อวัดค่า CMRR ของออปแอมป์สามารถทำได้โดยประกอบวงจร ดังรูป 5.6 โดยการจำลองจะกระทำในโหมด AC จากการจำลองการทำงานปรากฏว่าวงจรมีค่า CMRR เท่ากับ 77.8 dB โดยผลการจำลองแสดงได้ดังรูป 5.7 และรูปที่ 5.8 ซึ่งเป็นผลการจำลองทาง ขนาดและเฟสตามลำดับ



รูปที่ 5.6 แสดงวงจรที่ใช้จำลองเพื่อวัดค่าอัตราการจัดโหมคร่วม

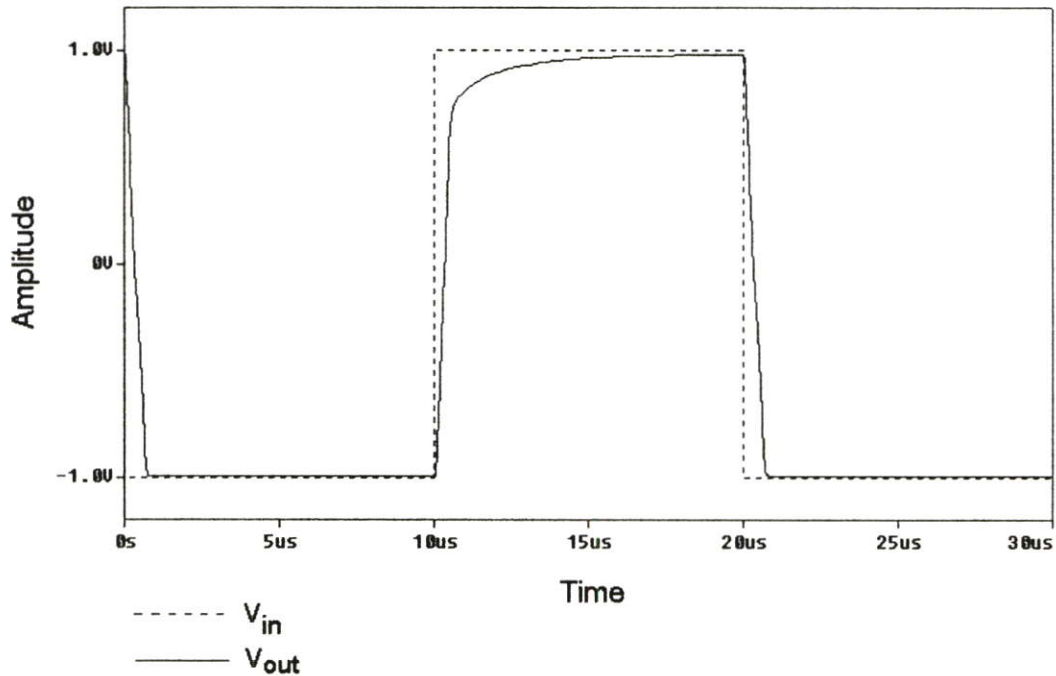


รูปที่ 5.7 แสดงตอบสนองความถี่ CMRR



รูปที่ 5.8 แสดงการตอบสนองทางเฟส

5.3.4 ผลการจำลองการวัดค่าสlew rate



รูปที่ 5.9 แสดงวงจรที่ใช้หาค่าสlew rate และผลการจำลอง

ในการจำลองเพื่อวัดค่าสlew rate จะต้องวงจรเป็นแบบ Unity-gain follower โดยป้อนสัญญาณอินพุตเป็นรูปคลื่นสี่เหลี่ยม มีขนาด ± 1 โวลต์ ความถี่เท่ากับ 1MHz มีค่า rise time เท่ากับ 1 nS และ fall time เท่ากับ 1 nS และ C_L เท่ากับ 10 pF จากการจำลองออปแอมป์ที่มีค่าสlew rate เท่ากับ $3.4\text{V}/\mu\text{S}$ ซึ่งผลการจำลองแสดงได้ดังรูป 5.9

5.3.5 ผลการจำลองเมื่อทดลองเปลี่ยนแหล่งจ่าย

ในส่วนนี้จะเป็นการทดสอบวงจร โดยได้จำลองการทำงานของวงจรเมื่อทำการลดแหล่งจ่าย จาก ± 1 โวลต์ ลงมา ± 0.9 โวลต์ และ ± 0.75 โวลต์ ตามลำดับเพื่อศึกษาดูพารามิเตอร์ของวงจรที่เปลี่ยนแปลงไปจากการจำลองเพื่อเปรียบเทียบกับค่าพารามิเตอร์ไบโพลาร์ออปแอมป์เบอร์ AD8631 แสดงได้ดังตารางดังต่อไปนี้

ตารางที่ 5.2 แสดงผลการจำลองวงจรซิมูเลชันเมื่อแหล่งจ่ายแรงดันเท่ากับ ± 1 โวลต์

R_L เท่ากับ $10\text{ k}\Omega$, C_C เท่ากับ 2 pF และ C_L เท่ากับ 10 pF

พารามิเตอร์	ค่า
ช่วงอินพุตคอมมอนโหมด	-0.980 V ถึง +0.970 V
ช่วงเอาพุตสวิง	-0.920 V ถึง +0.890 V
GBW	8 MHz
CMRR (DC)	77.8 dB
ค่าสลัว์เรต	3.4 V/ μ S
DC gain	86 dB
Input offset voltage	-5.8 mV
Phase margin	46 $^\circ$
การใช้กำลังงาน	189 μ W

ตารางที่ 5.3 แสดงผลการจำลองวงจรซิมูเลชันเมื่อแหล่งจ่ายแรงดันเท่ากับ ± 0.9 โวลต์

R_L เท่ากับ $10\text{ k}\Omega$, C_C เท่ากับ 2 pF และ C_L เท่ากับ 10 pF

พารามิเตอร์	ค่า
ช่วงอินพุตคอมมอนโหมด	-0.890 V ถึง +0.830 V
ช่วงเอาพุตสวิง	-0.880V ถึง +0.850 V
GBW	2.1 MHz
CMRR (DC)	67.6 dB
ค่าสลัว์เรต	1.72 V/ μ S
DC gain	57.3 dB
Input offset voltage	- 5 mV
Phase margin	51 $^\circ$
การใช้กำลังงาน	101 μ W

ตารางที่ 5.4 แสดงผลการจำลองวงจรซิมูเลชันของออปแอมป์เมื่อแหล่งจ่ายแรงดันเท่ากับ ± 0.75 โวลต์

R_L เท่ากับ $10\text{ k}\Omega$, C_C เท่ากับ 0.3 pF และ C_L เท่ากับ 10 pF

พารามิเตอร์	ค่า
ช่วงอินพุตคอมมอน โหมด	-0.743 V ถึง +0.457 V
ช่วงเอาพุตสวิง	-0.730 V ถึง +0.730 V
GBW	1.4 MHz
CMRR (DC)	53 dB
ค่าสลัว์เรต	1.65 V/ μ S
DC gain	86 dB
Input offset voltage	-8 mV
Phase margin	54 $^{\circ}$
การใช้กำลังงาน	39.4 V/ μ S

ตารางที่ 5.5 แสดงค่าพารามิเตอร์ของไบโพล่า ออปแอมป์ เบอร์ AD8631 Rail-to-Rail Low Power .

Operational Amplifiers เมื่อแหล่งจ่ายแรงดันเท่ากับ 0 ถึง +2.2 โวลต์ R_L เท่ากับ $10\text{ k}\Omega$

พารามิเตอร์	ค่า
ช่วงอินพุตคอมมอน โหมด	0.0V ถึง +2.2 V
ช่วงเอาพุตสวิง	0.5V ถึง +1.7V
GBW	4.3 MHz
CMRR (DC)	70 dB
ค่าสลัว์เรต	2.5 V/ μ S
DC gain	54dB
Input offset voltage	0.8 mV
Phase margin	50 $^{\circ}$
การใช้กำลังงาน	275 μ W

ผลการจำลองเมื่อทดลองลดแหล่งจ่ายจาก ± 1 โวลต์ ลงมาที่ ± 0.9 โวลต์ และ ± 0.75 โวลต์ แสดงได้ดังตาราง โดยการจำลองเมื่อใช้แหล่งจ่าย ± 0.75 โวลต์ ได้ลดค่าตัวเก็บประจุที่ทำหน้าที่ชดเชย (C_c) จาก 2 pF ลงมาที่ 0.3 pF เพื่อรักษา Phase margin ให้อยู่ในค่าที่ต้องการ

5.4 สรุป

วงจรซิมูเลชันแบบที่ใช้แหล่งจ่ายแรงดันต่ำ อินพุตและเอาพุตปฏิบัติงานแบบ rail-to-rail มออสทรานซิสเตอร์จะถูกลดค่าแรงดันแตรซโซลลงมาโดยกระตุ้นกระแสเข้าที่ขา bulk ดังนั้นวงจรสามารถทำงานได้ด้วยแรงดันต่ำ การออกแบบจะคำนึงถึงการใช้กำลังงานของวงจรจึงกำหนดให้วงจรใช้กระแสไม่สูงมากวงจรได้ทดสอบโดยจำลองการทำงานด้วยโปรแกรม PSpice เมื่อทำการเปรียบเทียบผลการจำลองในตารางที่ 4.2 กับค่าพารามิเตอร์ไบโพลาร์ออปแอมป์เบอร์ AD8631 ในตารางที่ 4.5 จะพบว่า การตอบสนองความถี่เท่ากับ 4.3 MHz ใช้กำลังงาน 275 μ W ค่าสlew rate 2.5V/ μ s ที่แหล่งจ่ายแรงดัน +2.2 โวลต์ซึ่งใกล้เคียงแหล่งจ่ายวงจรซิมูเลชัน ออปแอมป์ที่ได้แนะนำเสนอเท่ากับ ± 1 โวลต์ แต่ประสิทธิภาพ การตอบสนองความถี่ และค่าสlew rate ค่าต่ำกว่าในขณะที่กินกำลังมากกว่า วงจรซิมูเลชันแบบที่แนะนำเสนอ แต่ลักษณะเด่นของออปแอมป์เบอร์ AD8631 จะใช้แหล่งเพียงแหล่งจ่ายเดียวซึ่งจะทำให้สะดวกต่อการใช้งาน

บทที่ 6

สรุปและข้อเสนอแนะ

6.1 บทสรุป

จากวงจรซิมอสออปแอมป์ที่สามารถทำงานได้ด้วยแหล่งจ่ายแรงดันต่ำโดยที่อินพุตและเอาต์พุตปฏิบัติงานแบบ rail-to-rail ที่ได้นำเสนอในวิทยานิพนธ์นี้จะใช้วิธีกระตุ้นกระแสที่เข้าขา bulk ของมอสทรานซิสเตอร์ ภาคอินพุตปฏิบัติงานแบบ rail-to-rail โดยใช้คู่อิพเฟอร์เรนเซียลแบบคอมพลิเมนต์ที่ประกอบขึ้นจากมอสทรานซิสเตอร์ชนิด N-channel และชนิด P-channel ทำให้การสวิงของอินพุตกว้างและได้ให้วงจรแบบ Folded cascode มาเป็นวงจรบัฟเฟอร์ (Buffer circuit) เพื่อช่วยให้รักษาการวิ่งที่สูงเอาไว้ ส่วนภาคเอาต์พุตเป็นแบบคลาส AB ซึ่งจะช่วยให้การสวิงเอาต์พุตสูงเช่นกัน โดยวงจรซิมอสออปแอมป์ที่เสนอในวิทยานิพนธ์นี้สามารถทำงานได้ที่แหล่งจ่ายแรงดัน ± 1 โวลต์ซึ่งสามารถใช้ได้กับแหล่งจ่ายพลังงานเทคโนโลยีแบตเตอรี่ประเภท NiCd และ NiMH [7] ที่สามารถจ่ายแรงดันประมาณ 1 โวลต์ออกมาได้ ส่วนประสิทธิภาพของวงจรสามารถยืนยันผลการจำลองด้วยโปรแกรม PSpice โดยได้แสดงผลของค่าทรานส์คอนดักแตนซ์คุณสมบัติการถ่ายโอนระหว่างอินพุตและเอาต์พุตของออปแอมป์ หรือการตอบสนองความถี่ของวงจรเป็นต้น จากผลการจำลองมีช่วงอินพุตคอมมอนโหมคกว้างเป็นที่น่าพอใจเพราะมีช่วงกว้างเกือบจะถึงแหล่งจ่ายทั้งซีกบวกและลบ มีค่าอัตราขยายไฟตรง (DC gain) 86 dB ซึ่งยังไม่มากเท่าที่ควรทั้งนี้เพราะคำนึงถึงขนาดของมอสทรานซิสเตอร์อินพุตที่ใช้ด้วย ที่แหล่งจ่ายแรงดัน ± 1 โวลต์ วงจรใช้กำลังงานรวม 189 ไมโครวัตต์

6.2 ข้อเสนอแนะ

วงจรซิมอสออปแอมป์ที่สามารถทำงานได้ด้วยแหล่งจ่ายแรงดันต่ำเน้นการนำเสนอเพื่อเป็นอีกทางเลือกหนึ่งที่สามารถนำมาประยุกต์ใช้งานหรือออกแบบวงจรต่างๆที่ใช้ในงานด้านวิศวกรรมไฟฟ้า ซึ่งคุณสมบัติดังที่ได้กล่าวมาแล้ว วงจรซิมอสออปแอมป์นี้สามารถพัฒนาให้มีประสิทธิภาพการทำงานดีขึ้นได้โดย

1. ลดการใช้แรงดันที่ต่ำกว่านี้ได้ โดยเปลี่ยนเทคโนโลยีซิมอสมาเป็นเทคโนโลยีทางด้านไบซิมอส (BiCMOS) ซึ่งยังจะส่งผลให้สามารถลดกำลังสูญเสียลงได้ด้วย
2. การหลีกเลี่ยงการต่ออุปกรณ์แบบคาสโคด (cascode) จะทำให้วงจรทำงานได้ดีมากยิ่งขึ้น

3. วงจรซีมอสออปแอมป์นี้ยังไม่รักษาค่าทรานส์คอนดักแตนซ์ให้คงที่ทั้งนี้เพื่อต้องการให้วงจรใช้แรงดันต่ำและใช้กำลังงานน้อยที่สุด ดังนั้นถ้าจะให้วงจรมีค่าอัตราขยายคงที่และความถี่ที่ Unity-gain ไม่เปลี่ยนแปลงรวมไปถึงค่า Common-mode rejection ratio (CMRR) ไม่ลดลงและค่าสlew rate คงที่ด้วยก็จะต้องทำให้ค่าทรานส์คอนดักแตนซ์นี้คงที่

บรรณานุกรม

- [1] B. J. Blalock, P. E. Allen and G. A. Rincon-Mora, "Designing 1-V opamp using standard digital CMOS Technology," IEEE Trans. Circuits Syst. II, vol. 45, no. 7, pp. 769-780, July 1998.
- [2] P. Lehmann and M. Cassia, "1-V power supply CMOS cascode amplifier," IEEE J. Solid-State Circuits, vol. 36, no.7, pp. 1082-1086, July 2001.
- [3] J. Fonderie, M. M. Maris, E. J. Schnitger and J. H. Huijsing, "1-V Operational Amplifier with Rail-to-Rail input and Output Ranges," IEEE J. Solid-State Circuits, vol. 24, no. 6, pp. 1551-1559, December 1989.
- [4] M. Wang, T. L. Mayhugh, S. H. K. Embabi and E. Sanchez-Sinencio, "Constant- g_m rail-to-rail CMOS op-amp input stage with overlapped transition regions," IEEE J. Solid-State Circuits, vol. 34, no. 2, pp. 148-156, February 1999.
- [5] R. Hogervorst, J. P. Tero and J. H. Huijsing, "Compact CMOS Constant- g_m Rail-to- Rail Input Stage with g_m -Control by an Electronic Zener Diode," IEEE J. Solid-State Circuits, vol. 31, no. 7, pp. 1035-1040, July 1996.
- [6] J. H. Huijsing and D. Linebarger, "Low-Voltage Operational Amplifier with Rail-to-Rail Input and Output Ranges," IEEE J. Solid-State Circuits, vol. SC-20, pp. 1144-1150, December 1985.
- [7] J. H. Botma, R. F. Wassenaar and J. H. Wiegerink, "Simple rail-to- rail low-voltage constant-transconductance CMOS input in weak inversion," Electronic Letters, vol. 29, no. 12, pp. 1145-1147, June 1993.
- [8] R. Griffith, R. L. Vyne, R. N. Dotson and T. Petty, "A 1-V BiCMOS Rail-to-Rail Amplifier with n-Channel Depletion Mode Input Stage," IEEE J. Solid-State Circuits, vol. 32, no. 12, pp. 2012-2022, December 1997.
- [9] P. R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuit, John Wiley & Sons, 1993.
- [10] R. Hogervorst and J. H. Huijsing, Design of Low-Voltage, Low-Power Operational Amplifier Cells, Kluwer Academic Publishers, 1996.

- [11] J. Ramirez-Angulo, R. G. Carvajal, J. Tombs and G. A. Torralba, "Low-Voltage CMOS Op-Amp with Rail-to-Rail Input and Output Signal Swing for Continuous-Time Signal Processing Using Multiple-Input Floating-Gate Transistors," *IEEE Trans. Circuits Syst. II*, vol. 48, no. 1, pp. 111-116, January 2001.
- [12] O. H. Schade Jr. and E. J. Kramer, "A low-voltage BiMOS Op-Amp," *IEEE J. Solid-State Circuits*, vol. SC-16, no.6, pp. 661-668, December 1981.
- [13] J. Fonderie and J. H. Huijsing, "Operational Amplifier with 1-V rail-to-rail multipath-driven output stage," *IEEE J. Solid-State Circuits*, vol. 26, no. 12, pp. 1817-1824, December 1991.
- [14] M. Ismail and T. Fiez, *Analog VLSI signal and Information processing*, McGraw-Hill, 1994.
- [15] K. R. Laker and W. M. C. Sansen, *Design of Analog Integrated Circuit and Systems*, McGraw-Hill, 1994.

ภาคผนวก

ภาคผนวก ก.

ค่าพารามิเตอร์ของซีมอสขนาด 1.2 ไมครอน ของ MOSIS ที่ใช้ในการจำลองการทำงานของวงจรด้วยโปรแกรม Pspice

N87R SPICE LEVEL 3 PARAMETERS

```
.MODEL CMOSN NMOS (LEVEL=3 PHI=0.700000 TOX=3.1600E-08 XJ=0.200000U
+TPG=1 VTO=0.6488 DELTA=1.3120E+00 LD=1.1000E-09 KP=7.4931E-05 UO=685.7
+THETA=1.0510E-01 RSH=1.4430E+01 GAMMA=0.6375 NSUB=1.4620E+16
+NFS=7.1250E+11 VMAX=1.9690E+05 ETA=8.7220E-02 KAPPA=1.7070E-01
+CGDO=5.0000E-11 CGSO=5.0000E-11 CGBO=3.3679E-10 CJ=2.8467E-04
+MJ=5.1265E-01 CJSW=1.2852E-10 MJSW=1.0000E-01 PB=9.6031E-01)
```

*Weff=Wdrawn-Delta_W

*The suggested Delta_W is 8.8200E-07

```
.MODEL CMOSN PMOS (LEVEL=3 PHI=0.700000 TOX=3.1600E-08 XJ=0.200000U
+TPG=-1 VTO=-0.7917 DELTA=2.6770E+00 LD=9.1170E-10 KP=1.9473E-05 UO=178.2
+THETA=1.0930E-01 RSH=1.2190E+00 GAMMA=0.3303 NSUB=3.9240E+15
+NFS=6.4990E+11 VMAX=1.8190E+05 ETA=1.3250E-01 KAPPA=9.0000E+00
+CGDO=5.0000E-11 CGSO=5.0000E-11 CGBO=3.2839E-10 CJ=2.8734E-04
+MJ=4.3663E-01 CJSW=1.6570E-10 MJSW=1.0000E-01 PB=7.6293E-01)
```

*Weff=Wdrawn-Delta_W

*The suggested Delta_W is 8.4240E-07

ภาคผนวก ข.

ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

- [1] ชุมชล จิตรนาทรพัทธ์ และ กอบชัย เดชหาญ “วงจรชิมอซอฟแอมป์ที่มีค่าทรานส์คอนดักแตนซ์คงที่และมีช่วงอินพุตและเอาต์พุตปฏิบัติงานแบบ Rail-to-Rail” วิศวกรรมสารลาดกระบัง ปีที่ 19 ฉบับที่ 1 หน้า 30-34 มีนาคม 2545



1. The Voltage Controlled Negative Resistance Phenomenon in Silicon n-i-n injection gate Diode <i>C. Janyaham and S. Supadech</i>	1
2. Synthesis of Surface Conductive Layer from Intrinsic Diamond Films by H-Termination <i>P. Chinnavornrungeee and W. Titirungruang</i>	7
3. Low Voltage Squaring and Square-root Circuit <i>C. Sakul K. Dejhan and V. Sailee</i>	13
4. A Class AB Transconductance Circuit with Rail to Rail Input Range <i>W. Sailee and I. Chaisayun</i>	19
5. A 60 Hz Stop-Band Notch Filter Circuit Using Transconductor Circuit <i>M. Kuningem K. Dejhan W. Oboom and W. Khorprayakhin</i>	25
6. CMOS Op-Amp Circuit with Constant Transconductance and Rail to-Rail Input and Output Ranges <i>C. Jitnumsup and K. Dejhan</i>	30
7. A g_m -C Bulk-Driven MOS Transistor Integrator <i>M. Kuningem K. Dejhan C. Tanwongval and W. Khorprayakhin</i>	35
8. Calculation of the Radiation Field of Microstrip Yagi Array Antennas <i>K. Petcharaburanin and C. Surawatpanya</i>	41
9. Rain Rate Estimation Method Using UHF Wind Profiler <i>K. Visessiri C. Somboonlarb N. Leelarujj and N. Hemmakorn</i>	47
10. Line Code 2B1Q Improvement for Increasing Coding Efficiency of Data Transmission <i>A. Leartsupasart K. Dejhan and P. Muangnual</i>	53
11. Critical Clearing Time Determination of Large Power System Using Artificial Neural Network <i>C. Pothisarn S. Jirivibhakorn and S. Bunjongjit</i>	59
12. Distinction Between Transformer Magnetizing Inrush Current and Fault Using Discrete Wavelet Transform <i>K. Kittiwawut A. Kunakorn and S. Bunjongjit</i>	65
13. Analysis of Boost Converter Supplied with Fullwave Voltage <i>C. Huoham and V. Pichetjamroen</i>	71
14. Simulation of Direct Torque Control of Three-Phase Induction Motor <i>O. Ketphasa K. Sirijanpong and V. Kinnares</i>	77
15. Design and Analysis of $1-\phi$ Delta Modulated PWM Inverter with Regulated Output Voltage <i>K. Kleebua and V. Kinnares</i>	83
16. Three-Phase PWM AC-AC Matrix Converter in Terms of Mathematics and its Practical Implementation <i>V. Hotongceom and V. Pichetjamroen</i>	89
17. Electrical Machine Set for Representing the Pneumatic System <i>P. Prisuwanna and S. Wootthipatanapan</i>	95
18. The Forecasting Using an Averaging Methods and Exponential Smoothing Methods <i>N. Singteintrakul and S. Jirivibhakorn</i>	101
19. Lane Detection Using Expanding and Shrinking Template <i>K. Sirisantisamrid and K. Kulsong</i>	107
20. Printed Thai Character Recognition by Using Skeleton Direction Following <i>N. Saowadee P. Gudchomsri and T. Weerathaweemas</i>	113
21. Weighted Constrained Load Balancing on PVM <i>T. Charanasri and B. Piyatamrong</i>	119
22. Low Complexity Transform With Low Loss Compression <i>K. Dejhan S. Homjun N. Sara-Ium and A. Trirat</i>	125
23. An Application of Microcontroller on Networking <i>S. Chunchay K. Dejhan and S. Wattanapitakpong</i>	131
24. Portable Computer Programming Design for Monitoring and Operating the Process Control System <i>T. Kumsri K. Dejhan and S. Thongmee</i>	137

วงจรมือถือออปแอมป์ที่มีค่าทรานส์คอนดักแตนซ์คงที่และมีช่วงอินพุตและเอาต์พุตปฏิบัติงานแบบ Rail-to-Rail

CMOS Op-Amp Circuit with Constant Transconductance and Rail-to-Rail Input and Output Ranges

ชุมชล จิตรนัททรัพย์ กอบชัย เคชหาญ

คณะวิศวกรรมศาสตร์และสำนักจัดการสื่อสารและเทคโนโลยีสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
บทคัดย่อ

บทความนี้เสนอวงจรรออปแอมป์ที่มีค่าทรานส์คอนดักแตนซ์ (g_m) คงที่และอินพุตและเอาต์พุตมีช่วงปฏิบัติงานเป็นแบบ rail-to-rail โดยออกแบบด้วยเทคโนโลยีซีมอส วงจรทำงานที่แหล่งจ่ายแรงดัน ± 1 โวลต์ และสามารถควบคุมให้ค่าทรานส์คอนดักแตนซ์คงที่ได้โดยรักษาผลรวมของกระแสที่ใช้ไบอัสคู่คิฟเฟอเรนเชียลให้คงที่โดยใช้แรงดันอ้างอิง ภาคเอาต์พุตปฏิบัติงานแบบ rail-to-rail โดยใช้โครงสร้างแบบ Class AB และจะใช้ภาค folded cascode เพื่อรักษาการสวิงของสัญญาณทางอินพุตและเอาต์พุตที่สูงเอาไว้ การจำลองการทำงานใช้โปรแกรม PSpice โดยใช้พารามิเตอร์ซีมอส 1.2 ไมครอน Level 3 ของ MOSIS ซึ่งผลการจำลองค่า DC gain คือ 82 dB ค่าแบนด์วิดท์ที่ อัตรายายเป็นหนึ่งคือ 4.17 MHz และ phase margin คือ 48°

Abstract

This paper proposes a design to op-amp circuit with constant-transconductance (g_m) and rail-to-rail input and output ranges. The circuit can be operated at ± 1 volt supply voltage based on CMOS technology and operating with constant transconductance by keeping the sum of tail current constant based on the voltage reference. The output stage is rail-to-rail operation with a class AB and provides high gain while keeping the input and output swing full swing by using the folded cascode stage. PSpice simulation is performed by using 1.2 μm parameters level 3 of MOSIS. This op-amp has 82 dB DC gain , 4.17 MHz unity-gain bandwidth , and 48° phase margin .

1. บทนำ

ออปแอมป์เป็นอุปกรณ์ที่สำคัญสำหรับวงจรแบบอนาล็อกที่มีการใช้กันอย่างแพร่หลายสามารถนำมาออกแบบเป็นวงจรต่างๆที่ใช้ในงานในสาขาต่างๆมากมายเช่นวงจรผสมสัญญาณ วงจรขยายสัญญาณ วงจรกรองความถี่ เป็นต้นจึงทำให้ออปแอมป์ได้รับการพัฒนามาอย่างต่อเนื่อง

แต่ในปัจจุบันนี้วงจรถอนาล็อกมีการประยุกต์ใช้งานในวงจรประเภทใช้แรงดันต่ำกันมากจึงเป็นผลทำให้ความต้องการออปแอมป์ที่ทำงานที่แหล่งจ่ายพลังงานต่ำได้เพิ่มมากขึ้นด้วย [1] เมื่อออปแอมป์ต้องทำงานที่แหล่งจ่ายแรงดันต่ำผลที่ตามมาคือจะไปลดช่วงอินพุตคอมมอนโหมมดลง แต่ปัญหานี้สามารถแก้ไขได้โดยออกแบบวงจรรออปแอมป์

ให้ปฏิบัติงานเป็นแบบ rail-to-rail โดยใช้คู่อุปกรณ์เฟอเรนเชียลแบบคอมพลิเมนต์ารี (Complementary differential pair) สองคู่มาขนานกัน [2-4] โดย NMOS จะทำงานที่แรงดันอินพุตคอมมอนโหมคด้านสูงและ PMOS จะทำงานที่แรงดันอินพุตคอมมอนโหมคด้านต่ำ โดยจะต้องสลับกันทำงาน สมมติว่าออปแอมป์มีช่วงอินพุตคอมมอนโหมคเป็นบวกและลบที่กึ่งกลางของช่วงทั้งสองเป็นจุดรวม เมื่อลดระดับแรงดันอินพุตคอมมอนโหมคด้านใดด้านหนึ่งลงมาจนเข้าใกล้ศูนย์จะต้องมีคู่อุปกรณ์เฟอเรนเชียลคู่เดียวเท่านั้นที่ทำงานส่วนอีกคู่จะต้องหยุดนำกระแส ที่บริเวณกึ่งกลางของช่วงอินพุตคอมมอนโหมคคู่ NMOS และคู่ PMOS จะทำงานทั้งคู่จึงทำให้ค่ารวมของทรานส์คอนดักแตนซ์เพิ่มเป็นสองเท่าซึ่งไม่เป็นที่ต้องการเพราะจะมีผลทำให้อัตราขยายไม่คงที่และค่าที่ unity-gain เปลี่ยนแปลงรวมไปถึงค่า Common mode rejection ratio (CMRR) ลดลง โดยต้องการค่ามากและยังเป็นต้นเหตุให้ค่า Slew rate เปลี่ยนไปด้วย ดังนั้นบทความนี้จะเสนอวงจรรูปแบบที่มีค่าทรานส์คอนดักแตนซ์คงที่และอินพุตปฏิบัติงานแบบ Rail-to-Rail เพื่อแก้ปัญหาดังกล่าวและจะใช้วงจรแบบ Folded cascode ช่วยให้วงจรมีอัตราขยายที่สูงและสามารถรักษาการสวิงที่สูงทางอินพุตและเอาต์พุตไว้ ส่วนทางเอาต์พุตปฏิบัติงานแบบ Rail-to-Rail โดยใช้วงจรแบบ Class AB

2. หลักการทำงานของวงจรมอสออปแอมป์

วงจรรูปแบบที่มีค่าทรานส์คอนดักแตนซ์คงที่และอินพุตและเอาต์พุตปฏิบัติงานแบบ Rail-to-Rail แสดงได้ดังรูปที่ 1 โดยวงจรสามารถแบ่งได้สามส่วนคือ ภาคอินพุตปฏิบัติงานแบบ Rail-to-Rail ภาค Folded cascode และภาคเอาต์พุตปฏิบัติงานแบบ Rail-to-Rail ซึ่งมีการทำงานดังต่อไปนี้

2.1 ภาคอินพุตปฏิบัติงานแบบ Rail-to-Rail

อินพุตที่ปฏิบัติงานแบบ Rail-to-Rail ทำได้โดยใช้ NMOS (M1-M2) และ PMOS (M3-M4) ประกอบเป็นคู่อุปกรณ์เฟอเรนเชียลแบบคอมพลิเมนต์ารีที่ขนานกัน MB1 และ

MB2 ทำหน้าที่เป็นวงจรรายกระแส (Current source) ถ้าแรงดันอินพุตคอมมอนโหมคมีระดับอยู่ใกล้แหล่งจ่ายแรงดันซิกลอป คู่ PMOS (M3-M4) จะทำงานโดยมี MB2 จ่ายกระแสให้ ถ้าแรงดันอินพุตคอมมอนโหมคเพิ่มสูงขึ้นเกินกว่าแรงดันอ้างอิง V_{ref} กระแสจาก MB2 ก็จะไหลผ่าน MS1 และผ่านมายัง MS2 สร้างเป็นกระแสอ้างอิงสะท้อนให้กับ MS3 จ่ายกระแสให้กับคู่ NMOS (M1-M2) ทำให้คู่ NMOS นี้ทำงานส่วนคู่ PMOS จะหยุดนำกระแส จากวงจรได้กำหนด V_{ref} เท่ากับ 0.97 โวลต์ (แหล่งจ่ายเท่ากับ ± 1 โวลต์) ดังนั้นแรงดันอินพุตคอมมอนโหมคทางซิกลอปต้องเพิ่มระดับจาก -1 โวลต์ จนเกินค่าที่กำหนด -0.03 โวลต์ จึงจะมีกระแสไปไบอัสคู่ NMOS ให้ทำงาน ดังนั้นจึงสามารถควบคุมค่าทรานส์คอนดักแตนซ์ให้คงที่ได้ซึ่งปัญหาที่บริเวณช่วงกลางของอินพุตคอมมอนโหมคที่เพิ่มเป็นสองเท่าก็จะหมดไป จากวงจรรูปที่ 1 เมื่อ M1-M2 และ M3-M4 เป็นคู่อุปกรณ์เฟอเรนเชียลแบบคอมพลิเมนต์ารี ชนิด N และชนิด P ตามลำดับ ค่า g_m ของอินพุตนี้จะคงที่ถ้าเป็นไปตามสมการที่กำหนดตาม [3-4] คือ

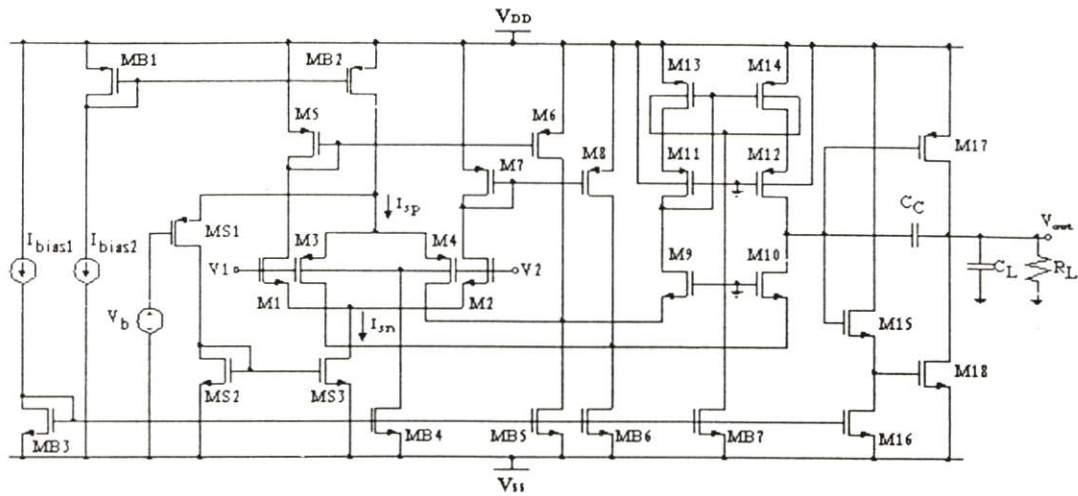
$$\sqrt{\beta_n I_{sn}} + \sqrt{\beta_p I_{sp}} = \text{constant} \quad (1)$$

เมื่อ $\beta_n = \mu_n C_{ox} W_n / L_n$ และ $\beta_p = \mu_p C_{ox} W_p / L_p$ ส่วน I_{sn} และ I_{sp} เป็นกระแสไบอัสที่ไบอัสให้กับมอสทรานซิสเตอร์คู่ N และคู่ P ในกรอกแบบจะสามารถกำหนดให้ $\beta_n = \beta_p$ ได้โดยปรับที่ค่า L ของมอสทรานซิสเตอร์ ดังนั้นค่าทรานส์คอนดักแตนซ์ที่มีค่าคงที่จะแสดงได้

$$g_m (\text{constant}) = \sqrt{I_{sn}} + \sqrt{I_{sp}} \quad (2)$$

2.2 ภาค Folded cascode

ภาค Folded cascode ประกอบด้วย M9-M14 เป็นวงจรรูปแบบที่ช่วยให้ออปแอมป์มีอัตราขยายที่สูงและสามารถรักษาการสวิงที่สูงทางอินพุตและเอาต์พุตไว้ ซึ่งวงจรรูปแบบนี้จะมีความต้านทานทางเอาต์พุตสูง โดยใช้ M11-M12 ต่อแบบ cascode กับ M13-M14 ที่ขา bulk ของ M13-M14 จะไบอัสด้วยกระแสเพื่อกระตุ้นทำให้มอสทรานซิสเตอร์



รูปที่ 1 วงจรสมบูรณ์ซีมอสออปแอมป์ที่นำเสนอ

ทำงานเร็วขึ้น โดยใช้กระแสไบอัสประมาณ 20nA ที่ขา Bulk โดยใช้ MB4 เป็นตัวกำหนด การกระตุ้นที่ขา Bulk ของมอสทรานซิสเตอร์จะทำให้ค่าแรงดันแทรกซอลของมอสทรานซิสเตอร์ลดลงซึ่งแสดงได้ตาม [5-6] คือ

$$I = I_0 + \gamma(\sqrt{|2\phi_F - V_{BS}|} - \sqrt{|2\phi_F|}) \quad (3)$$

เมื่อ

I_0 = แรงดันแทรกซอลเมื่อ $V_{BS} = 0$

γ = bulk effect factor

ϕ_F = Fermi potential

V_{BS} = แรงดันระหว่าง bulk และซอส

ดังนั้นเมื่อใช้กระแส 20 nA ไบอัสที่ขา Bulk ของ M13-M14 โดยใช้ MB4 จะทำให้มีแรงดันคกร้อม V_{BS} M13-M14 ซึ่งสามารถลดค่าแรงดันแทรกซอลทำให้มอสทรานซิสเตอร์ทำงานเร็วขึ้น การลดค่าแรงดันแทรกซอลวิธีนี้ยังใช้กับคู่ PMOS (M3-M4) ของภาคคิฟเฟอเรนเชียลซึ่งประโยชน์ของการลดค่าแรงดันแทรกซอลลงก็จะทำให้ได้ช่วง Overlap อินพุตและเอาต์พุตเพิ่มขึ้นมาเพราะการลดค่าแรงดันแทรกซอลจะหมายถึงการเพิ่มช่วงอินพุตคอมมอน โหมด (CMR) โดยตรง

2.3 ภาคเอาต์พุตปฏิบัติงานแบบ Rail-to-Rail

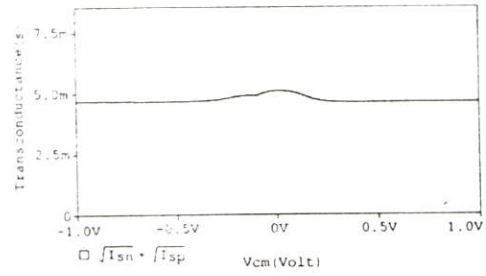
ภาคเอาต์พุตปฏิบัติงานแบบ Rail-to-Rail ทำได้โดยจัดวงจรภาคเอาต์พุตเป็น Class AB จากรูปที่ 2 M15-M16 จะเป็นวงจรเลื่อนระดับ (Level-shift) เพื่อใช้เป็นตัวขับ (Drive) ให้กับตัวเอาต์พุต (M17-M18) โดยมอสทรานซิสเตอร์ตัวสุดท้าย (M17-M18) จะมีกระแสไหลสูงสุด 95 μ A และในสภาวะที่ไม่มีสัญญาณเข้ามา (standby) มีกระแสไหล 20 μ A

3. ผลการจำลองการทำงาน

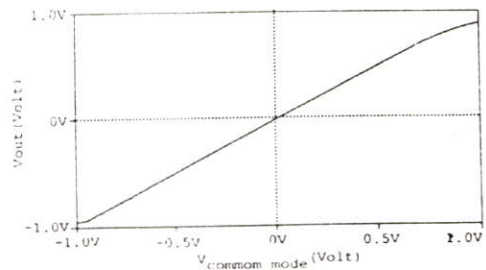
การจำลองการทำงานของวงจรได้ใช้โปรแกรม PSpice มาช่วยตรวจสอบการทำงาน โดยใช้แหล่งจ่ายแรงดัน ± 1 โวลต์ กระแสไบอัส $I_{bias1} = 10\mu A$, $I_{bias2} = 20\mu A$ โดยใช้พารามิเตอร์ของเทคโนโลยีซีมอสขนาด 1.2 ไมคอน Level 3 ของ MOSIS ซึ่งมีค่า $V_{T(NMOS)} = 0.67$ โวลต์ $V_{T(PMOS)} = -0.79$ โวลต์ ตัวเก็บประจุที่ใช้ชดเชยเฟส $C_C = 3pF$ ตัวเก็บประจุที่ใช้เป็นโหลด $C_L = 10pF$ และตัวต้านทานที่ใช้เป็นโหลด $R_L = 10k\Omega$ จากการออกแบบใช้มอสทรานซิสเตอร์มีขนาดดังนี้

ตารางที่ 1 แสดงขนาดของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์	ขนาด W/L (μm)
M1,M2	83.25/1.8
M3,M4	63/1.8
M5,M6,M7,M8	52.5/1.8
M9,M10	15/1.8
M11,M12	65/1.8
M13,M14	20/1.8
M15	56/1.2
M16	1.2/1.2
M17,M18	60/1.8
MB1,MB2	36/1.8
MB3,MB5,MB6, MS2,MS3	7.2/1.8
MB4,MB7	1.8/100
MS1	20/1.8
MS2,MS3	7.2/1.8



รูปที่ 2 แสดงค่าทรานส์คอนดักแตนซ์ที่วัดได้

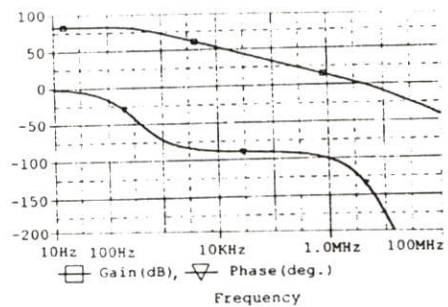


รูปที่ 3 แสดงค่าคุณสมบัติถ่ายโอนระหว่างอินพุตและเอาต์พุตของวงจรรูปแอมป์

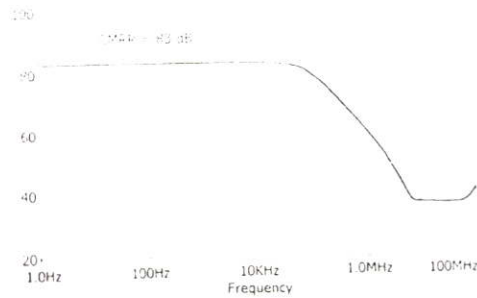
รูปที่ 2 แสดงค่าทรานส์คอนดักแตนซ์ที่วัดได้เมื่อกระแสไบอัส $I_{bias2} = 20\mu\text{A}$ โดยได้เปลี่ยนค่าแรงดัน V_{cm} อยู่ในช่วง -1V ถึง 1V แล้ววัดค่าทรานส์คอนดักแตนซ์จากผลรวมของ $\sqrt{I_{Dn}} + \sqrt{I_{Dp}}$ จากผลการจำลองค่าทรานส์คอนดักแตนซ์ของวงจรมีการเปลี่ยนแปลงสูงสุดประมาณ 9.2 %

รูปที่ 3 แสดงค่าคุณสมบัติถ่ายโอนระหว่างอินพุตและเอาต์พุตของออปแอมป์ที่วัดได้ โดยกำหนดให้วงจรมีลักษณะ unity-gain follower จากรูปได้แสดงช่วงการสวิงของแรงดันอินพุตคอมมอนโหมดแบบ rail-to-rail เทียบกับแรงดันเอาต์พุตแบบ rail-to-rail

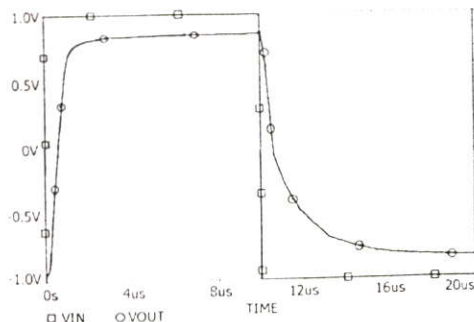
รูปที่ 4 แสดงการตอบสนองความถี่ของออปแอมป์ที่มีค่าทรานส์คอนดักแตนซ์คงที่ โดยแสดงการตอบสนองความถี่แบบ Open-loop และคุณสมบัติของเฟสจากรูปค่า DC gain คือ 82 dB ค่า GBW คือ 4.17 MHz และ Phase margin คือ 48° เมื่อ R_L เท่ากับ $10\text{ k}\Omega$ และ C_L เท่ากับ 10 pF



รูปที่ 4 แสดงการตอบสนองความถี่ของวงจรรูปแอมป์



รูปที่ 5 แสดงค่า CMRR ของออปแอมป์



รูปที่ 6 แสดงค่าสัณฐานเมื่อ โหลดเป็น 10kΩ/10pF

รูปที่ 5 แสดงค่า CMRR ของออปแอมป์ จากรูปวัดค่า CMRR ได้เท่ากับ 83 dB และรูปที่ 6 แสดงค่าสัณฐานซึ่งมีค่าเท่ากับ 1.39V/μs เมื่อ R_L เท่ากับ 10 kΩ และ C_L เท่ากับ 10pF จากนั้นได้ทำการเปลี่ยนค่าโหลดให้ R_L เท่ากับ 1MΩ และ C_L เท่ากับ 5pF เพื่อดูคุณสมบัติของวงจรเมื่อวงจรทำงานเบาขึ้น โดยได้เปรียบเทียบกับ โหลดปกติ (10kΩ/10pF) ซึ่งผลแสดงเปรียบเทียบได้ดังตารางที่ 2

4. สรุป

จากวงจรออปแอมป์ที่นำเสนอในบทความนี้ ซึ่งเสนอวงจรที่อินพุตและเอาต์พุตปฏิบัติงานแบบ Rail-to-Rail และมีค่าทรานส์คอนดักแตนซ์คงที่ การจำลองการทำงานใช้โปรแกรม PSpice ขึ้นชั้นผลการทำงาน โดยได้แสดงคุณสมบัติทรานส์คอนดักแตนซ์ ผลการตอบสนอง ความถี่และทางเฟส ค่า CMRR และค่าสัณฐาน

ตารางที่ 2 แสดงคุณสมบัติ DC และ AC ของออปแอมป์

พารามิเตอร์	10kΩ/10pF	1MΩ/5pF
CM input range	-0.91V ถึง 0.93V	-0.91V ถึง 0.93V
Output swing	-0.87V ถึง 0.87V	-1.0V ถึง 1.0V
GBW	4.17 MHz	5.38MHz
Phase margin	48°	49°
Slew rate	1.39V/μs	1.5V/μs
CMRR (DC)	83dB	139dB
DC gain	82 dB	97.3dB
Input offset voltage	4.5mV	4.5mV
Power dissipation	0.271mW	0.271mV

5. เอกสารอ้างอิง

- [1] M. Ismail, and T. Fiez, "Analog VLSI signal and information processing," McGraw-Hill, 1994.
- [2] J. Fonderic, M. M. Maris, E. J. Schnitger, and J. H. Huijsing, "1-V Operational Amplifier with Rail-to-Rail input and Output Ranges," IEEE J. Solid-State Circuits, vol. 24, no.6, pp.1551-1559, December 1989.
- [3] V. I. Prodanov, and M. M. Green, "Simple rail-to-rail constant-transconductance input stage operating in strong inversion," Proceeding, 1996 Midwest symp. On Circuit and Systems, pp. 957-960.
- [4] M. Wang, T. L. Mayhugh, S. H. K. Embabi, and E. Sanchez-Sinencio, "Constant- g_m rail-to-rail CMOS op-amp input stage with overlapped transition regions," IEEE J. Solid-State Circuits, vol. 34, no. 2, pp. 148-156, February, 1999.
- [5] B. J. Blalock, P. E. Allen, and G. A. Rincon-Mora, "Designing 1-V opamp using standard digital CMOS Technology," IEEE Trans. Circuits Syst. II, vol. 45, pp. 769-780, July 1998.
- [6] P. Lehmann, and M. Cassia, "1-V power supply CMOS cascode amplifier," IEEE J. Solid-State Circuits, vol. 45, no.7, pp. 1082-1086, July, 2001.

ประวัติผู้เขียน

นายชุมพล จิตรนาทรพัญ์ เกิดเมื่อวันที่ 18 มกราคม 2517 จังหวัดสมุทรสาคร สำเร็จการ
ศึกษาปริญญาอุตสาหกรรมศาสตรบัณฑิต สาขาอิเล็กทรอนิกส์ จากมหาวิทยาลัยสยาม ปีการศึกษา
2539