

วงจรวекเตอร์นอร์มอลไอเซชันแบบทรานส์ลิเนียร์

A NEW TRANSLINEAR LOOPS BASED VECTOR NORMALIZATION
CIRCUIT

ทรงพล กลิ่นสุคนธ์
SONGPOL KLINSUKON

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2551

KMITL-2008-EN-M-010-341

วงจรเวกเตอร์นอร์มอลไลเซชันแบบทรานส์ลิเนียร์

**A NEW TRANSLINEAR LOOPS BASED VECTOR NORMALIZATION
CIRCUIT**

ทรงพล กลิ่นสุคนธ์

SONGPOL KLINSUKON

เลขที่.....
เลขทะเบียน..... **82899**
วัน,เดือน,ปี..... **25 ก.ค. 2551**

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2551

KMITL-2008-EN-M-010-341

**A NEW TRANSLINEAR LOOPS BASED VECTOR NORMALIZATION
CIRCUIT**

SONGPOL KLINSUKON

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2008

KMITL-2008-EN-M-010-341

COPYRIGHT 2008

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	วงจรวกเตอร์นอร์มอลไลเซชันแบบทรานส์ลิเนียร์
นักศึกษา	นายทรงพล กลิ่นสุคนธ์
รหัสนักศึกษา	48060946
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2551
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรวกเตอร์-นอร์มอลไลเซชัน ซึ่งเป็นส่วนสำคัญในระบบประมวลผลสัญญาณทั่วไป ซึ่งหลักการออกแบบวงจรรูอยู่บนพื้นฐานของวงจรวกเตอร์นอร์มอลไลเซชันของไบโพลาร์ทรานซิสเตอร์ โดยมีลักษณะเป็นแบบโมดูลาและสามารถต่อขยายเพิ่มเติมได้ อินพุตเวกเตอร์ในรูปกระแสจะถูกนอร์มอลไลซ์โดยขึ้นกับขนาดของเวกเตอร์ตามระยะแบบ Euclidean ก่อนส่งไปยังเอาต์พุต การทดสอบวงจรถูกทำโดยโปรแกรมจำลอง PSICE ซึ่งในบทความนี้จะใช้แบบจำลองทรานซิสเตอร์ของ CA3906 จาก Intersil โดยจะแสดงถึงประสิทธิภาพของวงจรถือออกแบบและนำเสนอ

Thesis Title	A New Translinear Loops Based Vector Normalization Circuit
Student	Mr.Songpol Klinsukon
Student ID.	48060946
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2008
Thesis Advisor	Assoc.Prof.Dr.Kobchai dejhan

ABSTRACT

This paper proposes the implementation for a vector-normalization circuit, which widely use in many signal-processing system. The circuit design based on a translinear BJT circuit in modular design. Therefore, the number of input and output can be easily expanded. The input current vector was map to output vector with respect to a Euclidean measure. The simulation is performed by PSICE simulator with the transistor arrays CA3906 SPICE model from Intersil's. The results confirm the success of the propose technique.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ ที่ให้ความช่วยเหลือ ให้ชี้แนะช่วยแก้ปัญหาตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า

ขอขอบพระคุณ อ.สมปอง วิเศษพานิชกิจ ที่ได้ให้คำปรึกษา คำแนะนำ และความช่วยเหลือต่างๆ ในการทำงานวิจัยนี้

ขอกราบขอบพระคุณคุณพ่อและแม่ของผู้เขียนที่ให้กำลังใจอย่างมากตลอดเวลาในขณะที่ศึกษาอยู่ในการทำวิทยานิพนธ์สุดท้ายขอขอบคุณท่าน อาจารย์และเพื่อนๆ ที่มีส่วนเกี่ยวข้องทุกท่าน ซึ่งคอยเป็นกำลังใจให้มาโดยตลอดมา

ทรงพล กลิ่นสุคนธ์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาของปัญหา.....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์.....	1
1.3 สมมุติฐานของการศึกษา.....	2
1.4 ทฤษฎีและแนวคิดที่ใช้ในวิทยานิพนธ์.....	3
1.5 ขอบเขตของวิทยานิพนธ์.....	3
1.6 ขั้นตอนการศึกษา.....	4
บทที่ 2 ทรานส์ลิเนียร์รูป.....	5
2.1 หลักการทำงานของวงจรทรานส์ลิเนียร์.....	6
2.2 วงจรทรานส์ลิเนียร์รูปแบบไบโพลาร์ทรานซิสเตอร์.....	7
2.3 หลักการทำงานของวงจรทรานส์ลิเนียร์รูปแบบมอสทรานซิสเตอร์.....	11
2.4 การออกแบบวงจรทรานส์ลิเนียร์แบบแรงดันไฟเลี้ยงต่ำ.....	13
บทที่ 3 วงจรขยายมอสเฟต.....	18
3.1 วงจรนอร์มอลไลเซชันแบบไบโพลาร์ทรานส์ลิเนียร์รูป.....	19
3.2 วงจร Normalization Locked Loop	21
3.3 วงจรนอร์มอลไลเซชันแบบมอสทรานซิสเตอร์เลียนแบบหลักการ ไบโพลาร์ทรานส์ลิเนียร์	26
3.4 วงจรเวกเตอร์นอร์มอลไลเซชัน	30
3.5 วงจรนอร์มอลไลเซชันแบบ OTA	34
3.6 นอร์มอลไลเซชันแบบปรับค่าแบบ.....	35

สารบัญ (ต่อ)

	หน้า
บทที่ 4 วงจรนอร์มอลไลเซชันกำลังสอง.....	37
4.1 วงจรนอร์มอลไลเซชันสัญญาณกำลังสอง.....	37
4.2 วงจรถอดรากลกำลังสอง.....	40
บทที่ 5 ผลการจำลองการทำงานวงจร.....	43
5.1 การจำลองและผลการทดสอบวงจรถอดรากลที่สอง.....	43
5.2 การจำลองและผลการทดสอบวงจรมอดไลซ์.....	52
บทที่ 6 สรุปและวิจารณ์.....	60
เอกสารอ้างอิง.....	61
ภาคผนวก.....	64
ภาคผนวก ก ผลงานวิจัยที่ได้รับการตีพิมพ์.....	64
ประวัติผู้เขียน.....	73

สารบัญตาราง

ตารางที่	หน้า
5.1 ผลการทดสอบ Normality test สำหรับค่าผิดพลาดวงจรถอดครากที่สอง.....	50
5.2 ผล Sensitivity test ของวงจรถอดครากที่สอง.....	51
5.3 ผลการทดสอบ Normality test สำหรับค่าผิดพลาดวงจรถอดครากที่สอง.....	58
5.4 ผล Sensitivity test ของวงจรถอดครากที่สอง.....	59

สารบัญรูป

รูปที่	หน้า
2.1	ทิศทางการต่อของไดโอดในวงจรทรานส์ลิเนียร์6
2.2	ทิศทางการต่อไบโพลาร์ทรานซิสเตอร์ในวงจรทรานส์ลิเนียร์.....7
2.3	ส่วนองค์ประกอบทรานลิเนียร์ (Translinear Elements: TEs)8
2.4	ทิศทางการไหลของกระแสในวงจรทรานส์ลิเนียร์.....9
2.5	วงจรอครากสัญญาณกระแส.....10
2.6	วงจรรยกกำลังสอง.....10
2.7	วงจรรคูณหารสัญญาณกระแส.....11
2.8	โครงสร้างวงจรทรานลิเนียร์แบบมอสทรานซิสเตอร์ (a) Up-Down (b) Stack.....13
2.9	วงจรมอสทรานลิเนียร์แบบชดเชยแรงดันด้วยแหล่งจ่ายแรงดันลอยตัว.....14
2.10	การลดแหล่งจ่ายแรงดันลอยตัว.....15
2.11	วงจรแรงดันอ้างอิงแบบลอยตัว.....16
2.12	วงจรหาค่าเฉลี่ยเรขาคณิตแบบ Stack ที่มีการเพิ่มแหล่งจ่ายแรงดันคงที่ลอยตัว.....17
3.1	ระบบควบคุมพีซซีลอจิก.....18
3.2	บล็อกไดอะแกรมวงจรมงจรีพีซซี.....19
3.3	วงจรวงจรนอร์มอลไลเซชันแบบไบโพลาร์ทรานลิเนียร์รูป [25]19
3.4	วงจรวงจรนอร์มอลไลเซชันแบบไบโพลาร์ทรานลิเนียร์รูปแบบ 3 อินพุต/เอาต์พุต.....20
3.5	วงจรแปลงสัญญาณคิกคาเป็นกระแสแบบ OTA.....21
3.6	ฟังก์ชันสมาชิกแบบสามเหลี่ยม.....22
3.7	วงจรวงจรนอร์มอลไลเซชันแบบ NLL.....24
3.8	วงจรวงจร NLL ที่สร้างด้วยเทคโนโลยี CMOS.....24
3.9	วงจรวงจรน้ำหนักร.....25
3.10	วงจรวงจรนอร์มอลไลเซชันแบบมอสทรานซิสเตอร์เลียนแบบหลักการไบโพลาร์ ทรานส์ลิเนียร์.....26
3.11	การประยุกต์วงจรวงจรนอร์มอลไลซ์แบบมอสในวงจรวงจรคำนวณแบบอนาล็อก.....29
3.12	วงจรวงจร Renormalization.....30
3.13	วงจรวงจรเวกเตอร์นอร์มอลไรเซอร์ (Vector normalizer)30
3.14	วงจรวงจรแปลงสัญญาณ I-V และส่วนไบอัสกระแส.....31

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.15 วงจรนอร์มอลไลเซชันแบบ OTA.....	34
3.16 วงจรนอร์มอลไลเซชันแบบปรับค่าด้วยคิิจิตอล.....	35
3.17 วงจรถ่วงน้ำหนักที่มีแหล่งกำหนดกระแสแบบปรับค่าได้แบบคิิจิตอล.....	36
4.1 วงจรนอร์มอลไลเซชันสัญญาณกำลังสอง.....	37
4.2 วงจรถอดรากลกำลังสอง.....	41
4.3 วงจรเวกเตอร์นอร์มอลไลเซชัน.....	41
5.1 ผลตอบสนองวงจรถอดรากลที่สอง (DC-Sweep)	43
5.2 ผลตอบสนอง Transient วงจรถอดรากลที่สอง ที่ความถี่ 100 kHz.....	44
5.3 ผลตอบสนอง Transient วงจรถอดรากลที่สอง ที่ความถี่ 500 kHz.....	44
5.4 ผลการวิเคราะห์ THD วงจรถอดรากลที่สอง ที่ความถี่ 200 kHz.....	45
5.5 ผลตอบสนอง Transient วงจรถอดรากลที่สอง ที่ความถี่ 1 MHz.....	46
5.6 ค่าผิดพลาดวงจรถอดรากลที่สองที่ความถี่ต่าง ๆ.....	47
5.7 ค่าผิดพลาดวงจรถอดรากลที่สองที่อุณหภูมิต่าง ๆ.....	48
5.8 ผลตอบสนองความถี่วงจรถอดรากลที่สองที่อุณหภูมิ 0 °c , 27 °c และ 75 °c	48
5.9 การกระจายค่าความผิดพลาดวงจรถอดรากลที่สองเมื่อขนาดทรานซิสเตอร์เปลี่ยนไป จากนั้นทำการทดสอบค่าการกระจายแบบปกติ (normality test) พบว่าผลที่ได้จาก การสุ่มทดสอบมีการกระจายแบบปกติ.....	49
5.10 Normality test สำหรับค่าผิดพลาดวงจรถอดรากลที่สอง.....	50
5.11 เปอร์เซนต์ความผิดพลาดของวงจรถอดรากลที่สองที่ระดับความเชื่อมั่น 95%.....	50
5.12 เปอร์เซนต์ความผิดพลาดเมื่อทดสอบแบบ DC-Sweep.....	52
5.13 ผลการจำลองการทำงานวงจรเวกเตอร์นอร์มอลไลเซชันสำหรับอินพุตแบบ sinusoidal ที่ความถี่ 100 kHz.....	53
5.14 ผลการจำลองการทำงานวงจรเวกเตอร์นอร์มอลไลเซชันสำหรับอินพุตแบบ sinusoidal ที่ความถี่ 500 kHz.....	54
5.15 ค่าผิดพลาดวงจรถอดรากลไลเซชันที่ความถี่ต่าง ๆ.....	55
5.16 ค่าผิดพลาดวงจรถอดรากลที่สองที่อุณหภูมิต่าง ๆ.....	56
5.17 ผลตอบสนองทางความถี่ ของวงจรเวกเตอร์นอร์มอลไลเซชัน.....	56

สารบัญรูป(ต่อ)

รูปที่	หน้า
5.18 การกระจายค่าความผิดพลาดวงจรถอดครากที่สองเมื่อขนาดทรานซิสเตอร์เปลี่ยนไป จากนั้นทำการทดสอบค่าการกระจายแบบปกติ (Normality test) พบว่าผลที่ได้จาก การสุ่มทดสอบมีการกระจายแบบปกติ.....	57
5.19 Normality test สำหรับค่าผิดพลาดวงจรถอดครากที่สอง.....	58
5.20 เปอร์เซนต์ความผิดพลาดของวงจรถอดครากที่สองที่ระดับความเชื่อมั่น 95%.....	58

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรมอดไลเซชันถือเป็นส่วนสำคัญในระบบประมวลผลต่าง ๆ เช่น ระบบควบคุม ระบบประมวลผลภาพ และ สัญญาณ (Image and signal processing) ซึ่งรวมถึงการใช้ในการปรับสภาพสัญญาณ (Signal conditioning) การบีบอัดข้อมูล (Data compression) [8] และงานประมวลผลข้อมูลเฉพาะด้าน เช่น การจดจำรูปแบบ (Pattern-recognition) และการแบ่งประเภท (Classification) [9,10,11,12] โดยข้อมูลจะถูกคำนวณบนพื้นฐานของอัตราส่วนของสัญญาณอินพุตทุกช่องสัญญาณอินพุต ซึ่งรวมกันอยู่ในรูปแบบของเวกเตอร์สัญญาณอินพุต (Input vector) นำมาประมวลผลร่วมกัน แทนที่จะประมวลผลจากขนาดของสัญญาณแต่ละสัญญาณ

งานวิจัยนี้มุ่งออกแบบวงจรมอดไลเซชันซึ่งมีพื้นฐานบนสมการคณิตศาสตร์ดังแสดงในสมการที่ 1.1 โดยเป็นการหาอัตราส่วนระหว่างแต่ละ Element ของอินพุตเวกเตอร์ $X_i = (x_{i1}, \dots, x_{iN})$ กับระยะทาง Euclidean ของเวกเตอร์นั้น ๆ

$$X_0 \equiv (x_{01}, \dots, x_{0N}) = \frac{x_i}{\|X_i\|} \quad ; \quad \text{เมื่อ } \|X_i\| = \sqrt{\sum_{k=1}^N x_{ik}^2} \quad (1.1)$$

แม้จะมีผู้นำเสนอหลักการออกแบบวงจรมอดไลเซชันที่ให้ฟังก์ชันถ่ายโอนข้างต้น [3] อย่างไรก็ตาม วงจรที่เขย่นเสนอไว้กลับมีช่วงสัญญาณปฏิบัติงาน หรือช่วงพิสัยพลวัต (Dynamic range) ที่แคบไม่เหมาะแก่การประยุกต์ใช้ และยังคงต้องการออกแบบวงจรให้ทำงานได้อย่างถูกต้อง แม้วิธีการลดทอนขนาดสัญญาณจะช่วยแก้ไขปัญหาวงกว้างสัญญาณนี้ได้ แต่ก็ไม่เหมาะสมกับงานบาทประเภทที่ขนาดสัญญาณมีขนาดเล็ก ที่ง่ายต่อการรบกวนหรือการผิดเพี้ยนไปเนื่องจากการดำเนินการ เช่น การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (A/D conversion) และการหาลักษณะเด่นของภาพ (Feature-extraction)

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

เพื่อหาวิธีออกแบบวงจรมอดไลเซชันที่มีประสิทธิภาพสูง ให้สัญญาณเอาต์พุตที่มีความถูกต้อง แม่นยำ และ มีความทนต่อการเปลี่ยนแปลงอุณหภูมิ พร้อมทั้งแก้ไขข้อจำกัดการทำงาน ของวงจรถัดไป ในขณะที่ยังคงต้องการเป็นไปโดยง่าย สะดวกต่อการนำไปใช้ ประกอบร่วมกับวงจรอื่น ในระบบคำนวณแบบอนาลอก สามารถออกแบบให้วงจรมีขนาดมิติ

ของเวกเตอร์ (N-dimensional vector) เพิ่มได้ตามต้องการโดยไม่จำเป็นต้องออกแบบวงจรใหม่ทั้งหมด

1.3 สมมุติฐานของการศึกษา

เนื่องจากวิธีการนอร์มอลไลเซชันสามารถนิยามได้ด้วยสมการทางคณิตศาสตร์ได้หลายวิธี นอกเหนือจากการนอร์มอลไลเซชันด้วยระยะ Euclidean กระบวนการนอร์มอลไลซ์สัญญาณสามารถทำได้ทางอื่น[4]เช่นการหาอัตราส่วนสัญญาณต่อสัญญาณเข้าสูงสุด ซึ่งสามารถแสดงความสัมพันธ์ได้ดังนี้

$$X_0 \equiv (x_{01}, \dots, x_{0N}) = x_{0(\max)} \frac{x_i}{\max(x_i)} \quad (1.2)$$

เมื่อ x_i คือค่าของสัญญาณอินพุตที่ i และ x_{0i} คือค่าของสัญญาณเอาต์พุตออกที่ตรงกันในเวกเตอร์ของสัญญาณเอาต์พุต $x_{0(\max)}$ มีค่าสัญญาณออกที่มีค่ามากที่สุด โดย $\max()$ คือการหาค่ามากที่สุด หรือวิธีการที่ 2 คือ การหาอัตราส่วนสัญญาณอินพุตต่อสัญญาณอินพุตเฉลี่ยจากทุกช่องสัญญาณ ซึ่งสามารถแสดงความสัมพันธ์ได้ดังนี้

$$X_0 \equiv (x_{01}, \dots, x_{0N}) = k_0 \frac{x_i}{\text{average}(x_i)} \quad (1.3)$$

เมื่อ k_0 คือค่าคงที่ที่สามารถปรับตั้งได้เพื่อให้ได้ขนาดสัญญาณเอาต์พุตที่เหมาะสมซึ่งมักกำหนดให้มีค่า $k_0 = \sum_{i=0}^N x_{0k}$ และ $\text{average}()$ คือผลจากการเฉลี่ยของค่าทุกช่องสัญญาณอินพุต หรือ $\text{average}(x_i) = \frac{1}{N} \sum_{i=0}^N x_{ik}$ ซึ่งแต่ละวิธีต่างมีข้อดีข้อเสียต่างกัน การนำวงจรไปประยุกต์ใช้ จึงขึ้นอยู่กับคุณลักษณะ โดยรวมเมื่อนำไปประกอบเป็นระบบประมวลผลอนาล็อกว่าเป็นไปตามวัตถุประสงค์หรือไม่

จากการศึกษาเอกสารอ้างอิงที่ถูกลำเสนอไว้ (Literature review) พบว่าวงจรนอร์มอลไลเซชันซึ่งต้องอาศัยการคูณและหารเป็นหลักนั้น สามารถออกแบบได้โดยง่ายด้วยหลักการวงจรทรานซิลิเนียร์แบบไบโพลาร์ อย่างไรก็ตาม หลักการนี้กลับถูกประยุกต์ใช้กับวงจรนอร์มอลไลเซชันทางอ้อม (สมการที่ 1.2 และ 1.3) ในขณะที่วงจรนอร์มอลไลเซชันแบบอัตราส่วน Euclidean ซึ่งต้องมีการยกกำลังสองและการถอดรากที่สองนอกเหนือจากการคูณและหาร ได้ถูกลำเสนอเฉพาะการออกแบบด้วยมอสทรานซิสเตอร์ ซึ่งสะดวกต่อการทำการยกกำลังสองและการถอดรากจากความสัมพันธ์ระหว่างศักดาและกระแสของมอสทรานซิสเตอร์ หรือที่เรียกกันว่า กฎกำลังสองของมอสทรานซิสเตอร์แต่กลับยากให้การออกแบบในการคูณและหาร ดังนั้นงานวิจัยนี้จึงศึกษาความเป็นไปได้ในการหาวิธีการออกแบบวงจรนอร์มอลไลเซชันแบบอัตราส่วน Euclidean แบบหลักการไบโพลาร์ทรานซิลิเนียร์

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

งานวิจัยนี้จึงนำแนวความคิดการออกแบบวงจรนอร์มอลไลเซชันทางอ้อมที่ถูกนำเสนอไว้แล้ว มาพัฒนาให้เป็นวงจรนอร์มอลไลเซชันแบบอัตราส่วนระยะ Euclidean ที่มีพื้นฐานทางทฤษฎีวงจรถานส์ลิเนียร์แบบไบโพลาร์ ซึ่งมีข้อดีหลายประการเมื่อเทียบกับการออกแบบด้วยมอสทรานซิสเตอร์ โดยมุ่งเน้นให้วงจรที่ออกแบบให้เป็นวงจรง่ายที่มีอุปกรณ์น้อยไม่ซับซ้อนแต่มีประสิทธิภาพสูง

1.5 ขอบเขตการวิจัย

งานวิจัยในวิทยานิพนธ์นี้ จะจำกัดเฉพาะการออกแบบวงจรนอร์มอลไลเซชันทางตรง $X_0 \equiv (x_{01}, \dots, x_{0N}) = \frac{x_i}{\|X_i\|}$ ที่ได้จากการหาอัตราส่วนระยะทาง Euclidean และจากเอกสารงานวิจัยที่ได้มีการนำเสนอไว้ก่อนหน้านี้อีกแล้ว มักใช้มอสทรานซิสเตอร์เป็นอุปกรณ์หลัก วงจรจึงมีความสลับซับซ้อนและต้องอาศัยการป้อนกลับรวม (Global feedback) เป็นตัวกำหนดการทำงานของวงจร ทำให้ผลตอบสนองของวงจรไม่ดีเท่าที่ควร นอกจากนี้ยังต้องมีส่วนวงจรที่ทำหน้าที่เปลี่ยนสัญญาณจากศักย์ไฟฟ้าเป็นสัญญาณกระแส (Voltage to current converter) ซึ่งวงจรประเภทนี้จะมีข้อจำกัดด้านความแม่นยำและความเร็ว ทั้งหมดนี้ทำให้วงจรมีประสิทธิภาพที่ไม่ดีนัก

ดังนั้นงานวิจัยนี้ จึงกำหนดขอบเขตการวิจัย โดยใช้เทคโนโลยีไบโพลาร์บนหลักการของวงจรถานส์ลิเนียร์ (Bipolar translinear circuit) ซึ่งเป็นที่ทราบโดยทั่วไป ว่าสามารถออกแบบให้วงจรมีความสามารถในการ คูณ หาร [5] และ นอร์มอลไลเซชันด้วย [6] โดยวงจรเวกเตอร์นอร์มอลไลเซชันที่นำเสนอจะประกอบไปด้วยวงจรสองส่วนหลัก คือ วงจรนอร์มอลไลเซชันสัญญาณกำลังสอง (Square-normalization circuit) และ วงจรถอดรากกำลังสอง (Square-rootercircuit) ซึ่งต่างมีพื้นฐานจากวงจรไบโพลาร์ทรานส์ลิเนียร์ทั้งสิ้นข้อดีประการหนึ่งซึ่งเป็นลักษณะเฉพาะของวงจรที่สร้างบนพื้นฐานของวงจรถานส์ลิเนียร์แบบไบโพลาร์คือ มีค่าความไวต่ออุณหภูมิต่ำ นอกจากนี้วงจรที่นำเสนอ ยังมีคุณสมบัติแบบโมดูลา คือสามารถออกแบบให้วงจรมีขนาดมิติของเวกเตอร์ (N-dimensional vector) ได้ตามต้องการ โดยมีการทดสอบวงจรในหลายด้านเช่น ผลตอบสนองไฟตรง ผลตอบสนอง Transient ผลตอบสนองความถี่ การทดสอบประสิทธิภาพวงจรภายใต้อุณหภูมิต่าง ๆ และ การทดสอบประสิทธิภาพวงจรจากความแปรปรวนเนื่องจากกระบวนการผลิตแบบ Monte Carlo เป็นต้น ทั้งนี้เพื่อให้แน่ใจว่าวงจรที่ออกแบบจะสามารถนำไปใช้งานได้จริง

1.6 ขั้นตอนของการศึกษา

บทที่ 1 บทนำ ความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ หลักการใหม่ของวิทยานิพนธ์

บทที่ 2 วิธีการประเมินเปรียบเทียบระหว่างข้อมูลสองชุดหรือมากกว่าที่นิยม มากกว่าการทดสอบด้วยระยะ Euclidean โดยตรง คือ การนอร์มอลไลซ์แต่ละขาสัญญาณด้วยระยะ Euclidean นำมาสร้างขึ้นด้วยหลักการของวงจรถานสลีเนียร์รูปซึ่งมีการทำงานบนพื้นฐานของสัญญาณกระแส ทำให้การออกแบบวงจรเป็นไปได้โดยง่าย วงจรที่ได้มีขนาดกระทัดรัด และยังคงอุปสรรคในการเชื่อมต่อวงจรและลดการแปลงสัญญาณไปกลับระหว่างแรงดันไฟฟ้าและกระแสในวงจร

บทที่ 3 วงจรรนอร์มอลไลเซชัน ในหลายรูปแบบและหลายวิธี ซึ่งแต่ละวิธีการมีข้อดี และข้อเสียแตกต่างกัน เช่น วิธีการหาทางตรง โดยที่มีโครงสร้างวงจรถานสลีเนียร์ โดยที่ I_0 ถูกกำหนดให้มีค่าคงที่และเท่ากับผลรวมของสัญญาณกระแสเอาต์พุต

บทที่ 4 วงจรรนอร์มอลไลเซชันกำลังสอง ให้สามารถประมวลค่านอร์มอลไลเซชันสัญญาณแบบกำลังสอง โดยเพิ่มไบโพลาร์ทรานซิสเตอร์เข้าไปอีกเพียงเล็กน้อย สำหรับการประมวลค่านอร์มอลไลเซชันสัญญาณแบบกำลังสอง

บทที่ 5 ผลการจำลองการทำงานของวงจรสำหรับการทำงานของวงจรจะถูกทดสอบด้วยโปรแกรมจำลองการทำงาน PSPICE โดยใช้แบบจำลอง ทรานซิสเตอร์ CA3906 (Transistor array) [ch1-Intersil] จาก Intersil กำหนดให้ I_{bias} มีค่าเท่ากับ 50 ไมโครแอมป์ และ R_{load} มีค่าเท่ากับ 10 กิโลโอห์ม โดยทดสอบภายใต้แหล่งจ่ายไฟเดี่ยวขนาด 3.3 โวลต์

บทที่ 6 สรุปและข้อเสนอแนะ เป็นการสรุปผลการวิจัยและข้อเสนอต่างๆ ที่น่าจะเป็นประโยชน์เพื่อการศึกษาในอนาคต

บทที่ 2

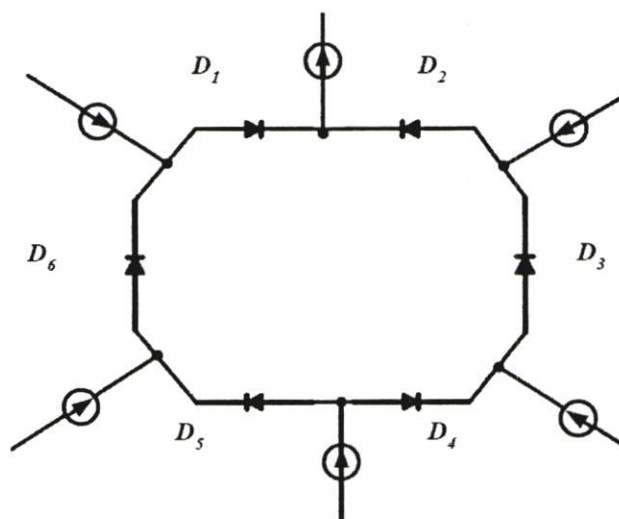
ทรานส์ลิเนียร์รูป

ในระบบโครงข่ายประสาทเทียม ขั้นตอนหนึ่งในการประมวลผลที่สำคัญคือการประเมินเปรียบเทียบระหว่าง ข้อมูลสองชุดหรือมากกว่าและวิธีการหนึ่งที่นิยมคือการทดสอบด้วยระยะ Euclidean [13] โดยตรง ซึ่งที่ผ่านมามีการนำเสนอวงจรที่ทำหน้าที่คำนวณหาระยะ Euclidean ไว้ในหลายบทความ [14,15,16,17] ซึ่งโดยมากจะถูกรออกแบบโดยอาศัยกฎกำลังสองของมอสทรานซิสเตอร์ (MOS transistor's Square Law) โดยศักดาอินพุตจะถูกป้อนเข้าที่ขาเกตและซอร์สจะถูกยกกำลังสองเมื่อมอสทรานซิสเตอร์ทำงานในช่วงอิมิต์และให้เอาต์พุตในรูปของกระแสทราน ทำให้ วงจรดังกล่าว ต้องมีการแปลงสัญญาณไปมาระหว่างศักดา และกระแสเมื่อนำไปเชื่อมต่อกับระบบประมวลผลสัญญาณแบบกระแส นอกจากนี้ช่วงสัญญาณทางไดนามิก (Dynamic range) ก็เป็นอีกอุปสรรคหนึ่งในการเชื่อมต่อกับวงจรอื่น ๆ หนึ่งในวงจรที่ถูกนำเสนอไว้คือ วงจร WRED (Wide-range Euclidean distance) [14] ซึ่งได้พยายามปรับแก้ข้อจำกัดช่วงการทำงาน โดยอาศัยเทคนิคการออกแบบวงจร นอกจากนี้วงจรใน [15,16] กลับใช้อุปกรณ์พิเศษคือ ทรานซิสเตอร์แบบ Floating-gate เพื่อเพิ่มช่วงสัญญาณการทำงาน แต่กลับเป็นอุปสรรคในการจำลองการทำงานและสร้างวงจรภายหลัง ในทางกลับกันวงจรที่ถูกเสนอใน [17,18] ใช้เทคนิคการต่อวงจรเพื่อใช้แทนทรานซิสเตอร์แบบ Floating-gate อย่างไรก็ตามทั้งหมดยังทำงาน บนกฎพื้นฐานของกฎกำลังสองของมอสทรานซิสเตอร์ทั้งสิ้น จากความยุ่งยากข้างต้น วิธีการประเมินเปรียบเทียบระหว่างข้อมูลสองชุดหรือมากกว่าที่นิยมมากกว่าการทดสอบด้วยระยะ Euclidean โดยตรง คือ การนอร์มอลไลซ์แต่ละขาสัญญาณด้วยระยะ Euclidean $X_0 \equiv (x_{01}, \dots, x_{0N}) = \frac{x_i}{\|X_i\|}$; เมื่อ $\|X_i\| = \sqrt{\sum_{k=1}^N x_{ik}^2}$ ดังที่ได้กล่าวไว้ในบทที่ 1 แล้วนั้น เมื่อนำมาสร้างขึ้นด้วยหลักการของวงจรทรานส์ลิเนียร์รูปซึ่งมีการทำงานบนพื้นฐานของสัญญาณกระแส ทำให้การออกแบบวงจรเป็นไปได้โดยง่าย วงจรที่ได้มีขนาดกระทัดรัด และยังคงอุปสรรคในการเชื่อมต่อวงจรและลดการแปลงสัญญาณไปกลับระหว่างแรงดันไฟฟ้าและกระแสในวงจร วงจรที่ออกแบบในลักษณะดังกล่าว ได้ถูกเสนอโดย [19] โดยเป็นวงจรรยกกำลังสองแบบโหมคกระแสสองวงจรประกอปกัน ในบทนี้จะได้กล่าวถึง หลักการทำงานของวงจร ทรานส์ลิเนียร์รูปทั้งแบบไบโพลาร์ทรานซิสเตอร์ [20] และแบบมอสทรานซิสเตอร์ [21] นอกจากนี้ บทนี้จะได้กล่าวเพิ่มเติมในส่วนวงจรรกระดับสัญญาณ (DC-level shifting) ตลอดจนเทคนิคการไบอัสสัญญาณ สำหรับการออกแบบวงจรแรงดันไฟเลี้ยงต่ำ (Low supply voltage circuit) และการเพิ่มช่วงการทำงาน (Dynamic range) ของสัญญาณ

2.1 หลักการทำงานของวงจรถรานส์ลิเนียร์

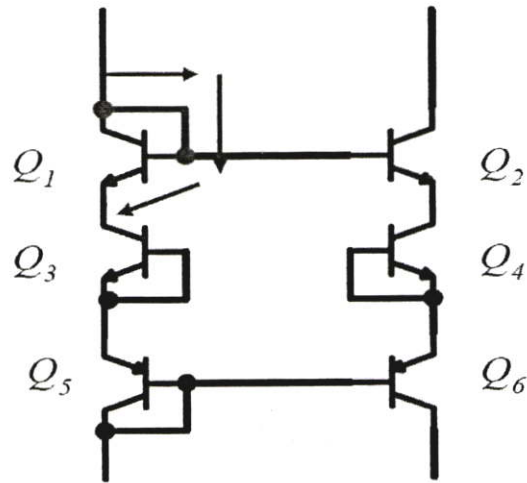
วงจรถรานส์ลิเนียร์ถูกนำเสนอครั้งแรกโดย Gilbert [5] ในปี 1975 เป็นวงจรถรานส์ลิเนียร์อินพุตและเอาต์พุตอยู่ในรูปของสัญญาณกระแสโดยค่าจัดความของวงจรถรานส์ลิเนียร์ หมายถึง วงจรถรานส์ลิเนียร์ที่ประกอบด้วยอุปกรณ์ต่างๆ ที่มีค่าทรานสคอนดักแตนซ์ (g_m) มีความสัมพันธ์เป็นเชิงเส้น (Linear) กับกระแส คุณสมบัติสำคัญของวงจรถรานส์ลิเนียร์คือ

- วงจรมีขนาดเล็ก
- ต้องการแรงดันจากภายนอกต่ำ
- การทำงานของวงจรถรานส์ลิเนียร์ไม่ขึ้นกับอุณหภูมิ



รูปที่ 2.1 ทิศทางการต่อของไดโอดในวงจรถรานส์ลิเนียร์

โครงสร้างหลักของวงจรถรานส์ลิเนียร์ประกอบด้วย วงรอบของรอยต่อ p - n ซึ่งอาจเกิดจากไดโอด หรือรอยต่อเบส-อิมิตเตอร์ของไบโพลาร์ทรานซิสเตอร์ ดังแสดงในรูปที่ 2.1 และรูปที่ 2.2 ตามลำดับอย่างไรก็ตามแนวคิดนี้ได้ถูกขยายออกไปด้วยการประยุกต์ใช้กับมอสทรานซิสเตอร์ที่ทำงานในช่วง Weak inversion ด้วยซึ่งจะกล่าวในหัวข้อถัดไป



รูปที่ 2.2 ทิศทางการต่อไบโพลาร์ทรานซิสเตอร์ในวงจรทรานส์ลิเนียร์

2.2 วงจรทรานส์ลิเนียร์รูปแบบไบโพลาร์ทรานซิสเตอร์

โดยอาศัยความสัมพันธ์แบบเชิงเส้นระหว่างค่าทรานส์คอนดักแตนซ์ (Transconductance, g_m) กระแสในไบโพลาร์ทรานซิสเตอร์ในโหมดทรานส์ซิสเตอร์ที่ทำงานในช่วง (Weak inversion) ที่มีฟังก์ชันการทำงานของอุปกรณ์ $I_C = I_0 \exp(V_{BE} / V_T)$ ดังนั้นค่าทรานส์คอนดักแตนซ์สำหรับไบโพลาร์ทรานซิสเตอร์สามารถหาได้จาก

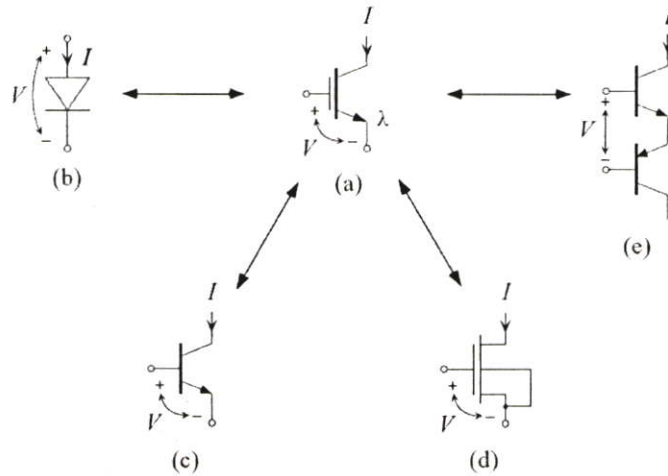
$$\frac{\partial I_C}{\partial V_{BE}} = \left(\frac{I_0}{V_T} \right) \exp\left(\frac{V_{BE}}{V_T} \right) \quad (2.1)$$

$$g_m = \frac{dI_C}{dV} = bI \quad (2.2)$$

โดยที่ b เป็นค่า Scaling factor

I_C เป็นค่ากระแสคอลเลกเตอร์

I_0 เป็นกระแสย้อนกลับอิมิตต์วที่รอยต่อเบส-อิมิตเตอร์

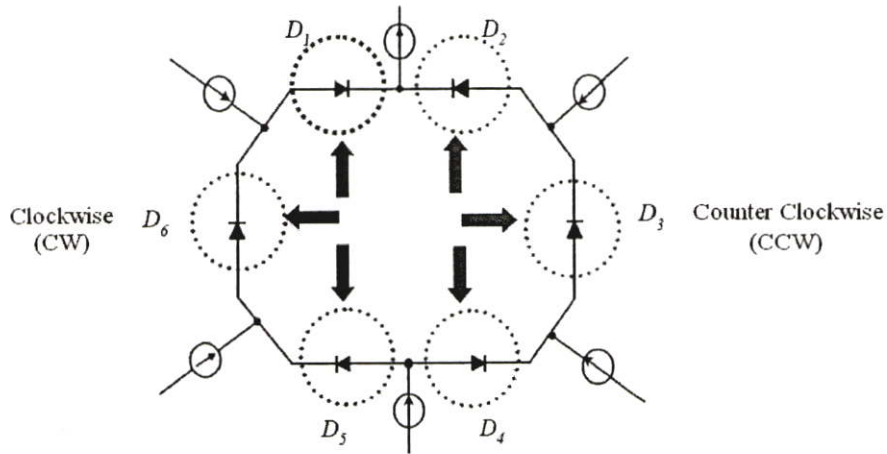


รูปที่ 2.3 ส่วนองค์ประกอบทรานส์ลิเนียร์ (Translinear Elements: TEs)

- (a) สัญญาณลักษณะทางวงจรในอุดมคติ ที่ให้กระแส I ซึ่งมีความสัมพันธ์แบบ exponential กับสัญญาณควบคุม V
- (b) ไดโอด
- (c) ไบโพลาร์ทรานซิสเตอร์แบบ NPN
- (d) มอสทรานซิสเตอร์ที่ทำงานในช่วง Subthreshold และมีการเชื่อมขา Source เข้ากับ Bulk
- (e) Compound TE ที่ประกอบด้วยไบโพลาร์ทรานซิสเตอร์แบบ NPN และ PNP ที่ต่อ Emitter เข้าด้วยกัน [22]

เมื่อทำการเชื่อมต่อทรานซิสเตอร์ที่นำเบสต่อเข้ากับอิมิตเตอร์ ในทิศทางตามเข็มนาฬิกา (Clockwise, CW) และ ทวนเข็มนาฬิกา (Counter clockwise, CCW) ดังแสดงในรูปที่ 2.3 โดยกำหนดให้ทรานซิสเตอร์ทุกตัวทำงาน ในช่วงแอกทีฟโดยจะได้รับความสัมพันธ์ของกระแสในวงจรถานส์ลิเนียร์ดังนี้

$$\sum_{CW} \ln \frac{I_C}{I_0} = \sum_{CCW} \ln \frac{I_C}{I_0} \quad (2.3)$$



รูปที่ 2.4 ทิศทางการไหลของกระแสในวงจรถานสี่ลิเนียร์

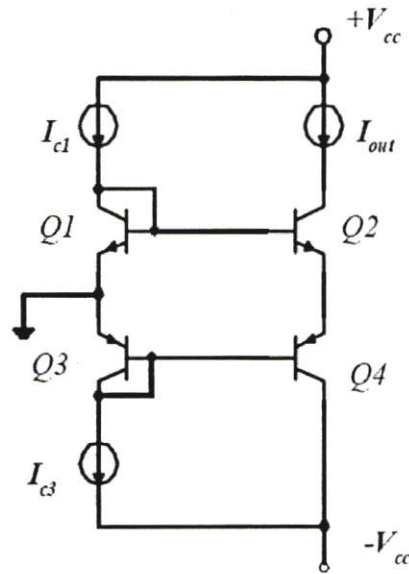
สังเกตว่า หากกำหนดเงื่อนไขเฉพาะคือ กำหนดให้ I_0 หรือกระแสย้อนกลับอิมิตตัวที่รอยต่อเบส-อิมิตเตอร์ มีค่าเท่ากันสำหรับทุกทรานซิสเตอร์ที่ประกอบขึ้นเป็นวงจรถานสี่ลิเนียร์ ดังนั้นสมการ (2.3) สามารถลดรูปให้อย่างในรูปแบบอย่างง่าย

$$\prod_{CW} I_C = \prod_{CCW} I_C \quad (2.4)$$

จากสมการข้างต้นพบว่าเป็นความสัมพันธ์กันระหว่างกระแสที่ไหลผ่านไบโพลาร์ทรานซิสเตอร์ ที่ประกอบขึ้นเป็นแกนของวงจรถานสี่ลิเนียร์ การประยุกต์ใช้วงจรถานสี่ลิเนียร์แบบไบโพลาร์ทรานซิสเตอร์ ในลักษณะผลคูณ ซึ่งสามารถถูกประยุกต์เป็นวงจรที่ทำหน้าที่ทางคณิตศาสตร์จำนวนมาก เช่น วงจรลอการิทึม วงจรคูณ วงจรยกกำลัง วงจรหาร เป็นต้น

วงจรถานสี่ลิเนียร์ พิจารณารูปที่ 2.4 จากสมการที่ (2.4) เมื่อกำหนดให้ $I_{C2} = I_{C4}$ เป็นสัญญาณกระแสเอาต์พุต โดยที่ I_{C1} และ I_{C3} เป็นสัญญาณกระแสอินพุต ดังนั้นสมการถ่ายโอน (Transfer function) สามารถแสดงได้ดังนี้

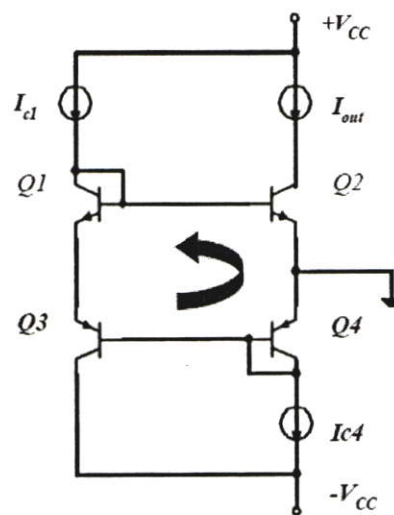
$$I_{C2} = \sqrt{I_{C1}} \times \sqrt{I_{C3}} \quad (2.5)$$



รูปที่ 2.5 วงจรถอดรากลัสัญญาณกระแส

วงจรถอดกำลังสองพิจารณารูปที่ 2.5 จากสมการที่ (2.4) เมื่อกำหนดให้ $I_{C1} = I_{C3}$ และ I_{C4} เป็นสัญญาณกระแสอินพุต โดยที่ I_{C2} เป็นสัญญาณกระแสเอาต์พุต ดังนั้นสมการถ่ายโอน สามารถแสดงได้ดังนี้

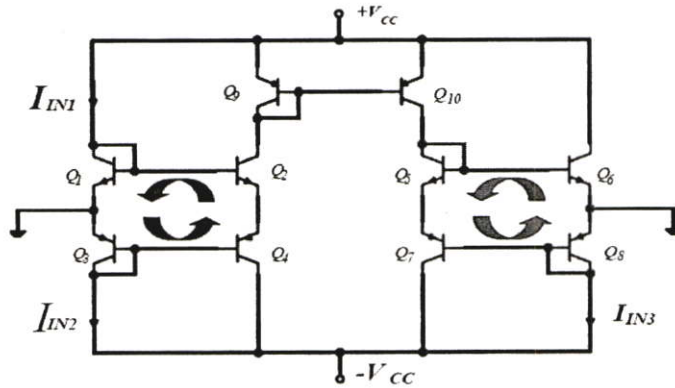
$$I_{C2} = \frac{I_{C1}^2}{I_{C4}} \quad (2.6)$$



รูปที่ 2.6 วงจรถอดกำลังสอง

วงจรคูณหารสัญญาณกระแสพิจารณารูปที่ 2.6 ประกอบด้วยวงจรถานสลีเนียร์สองวงจรรอบที่หนึ่ง ทางด้านซ้ายจะทำหน้าที่เป็นวงจรถอดรากที่สอง เช่นเดียวกับรูปที่ 2.4 ดังนั้นจากความสัมพันธ์ $I_{C2} = \sqrt{I_{C1}} \times \sqrt{I_{C3}} = \sqrt{I_{in1}} \times \sqrt{I_{in2}}$ จากนั้นค่ากระแส I_C จะถูกถ่ายโอนไปยังวงจรถานสลีเนียร์ที่สองทางด้านขวามือด้วย วงจรสะท้อนกระแสที่ประกอบด้วยทรานซิสเตอร์ Q_9 และ Q_{10} ในขณะที่วงจรถานสลีเนียร์ทางขวามือจะทำหน้าที่เป็นวงจรถากกำลังเช่นเดียวกับรูปที่ 2.5 ซึ่งมีความสัมพันธ์คือ $I_{C6} = \frac{I_{C5}^2}{I_{C8}}$ หากกำหนดให้อัตราส่วนการสะท้อนกระแสมีค่าเป็น 1 หรือ $I_{C2} = I_{C5}$ โดยที่กำหนดให้ $I_{C8} = I_{in3}$ เป็นสัญญาณกระแสอินพุต ในขณะที่ $I_{C6} = I_{out}$ ดังนั้น สมการถ่ายโอน (transfer function) สามารถแสดงได้ดังนี้

$$I_{out} = \frac{I_{in1} \times I_{in2}}{I_{in3}} \quad (2.7)$$



รูปที่ 2.7 วงจรคูณหารสัญญาณกระแส

2.3 หลักการทำงานของวงจรถานสลีเนียร์รูปแบบมอสทรานซิสเตอร์

สำหรับวงจรถานสลีเนียร์แบบใช้มอสทรานซิสเตอร์ กลับมีความสัมพันธ์เชิงเส้นระหว่างค่าทรานส์คอนดักแตนซ์กับแรงดันแทนที่จะเป็นความสัมพันธ์เชิงเส้นกับกระแสดัง เช่น วงจรถานสลีเนียร์แบบไบโพลาร์ หรือ แบบไดโอด ดังแสดงในสมการที่ 2.8

$$g_m = \frac{dI}{dV} = bV \quad (2.8)$$

โดยที่ b คือ Scaling Factor

ดังนั้นแนวความคิดของทรานส์สลีเนียร์จึงถูกขยายออกไป ในการวิเคราะห์วงจรถานสลีเนียร์แบบมอสทรานซิสเตอร์ เริ่มจากกฎ Quasi-quadratic ของมอสทรานซิสเตอร์ที่แสดงในรูปแบบสมการทั่วไปได้ในสมการที่ 2.9

$$I = \frac{b}{2} V^2 + B \quad (2.9)$$

โดยที่ B คือ ค่าคงที่ใดๆ และเมื่อทำการหาการเปลี่ยนแปลงของกระแสต่อสัญญาณแรงดันควบคุม (V) ทรานส์คอนดักแตนซ์ที่สอดคล้องกับสมการที่ 2.8 กล่าวคือ มีความสัมพันธ์เชิงเส้นกับสัญญาณควบคุม V หลักการทรานส์ลิเนียร์นี้รู้จักในนามของ หลักการทรานส์ลิเนียร์แบบมอสทรานซิสเตอร์ หรือ ทรานส์ลิเนียร์แบบแรงดัน

จากกฎ Quasi-quadratic ที่แสดงในรูปแบบทั่วไปดังสมการที่ 2.9 สามารถสร้างขึ้นอย่างง่าย ด้วยการไบอัสมอสทรานซิสเตอร์ให้ทำงานอยู่ในช่วง Strong Inversion หรือช่วงอิมิตัว ซึ่งสามารถแสดงในรูปแบบจำลองทางคณิตศาสตร์อันดับหนึ่ง (1st Order) ดังนี้

$$I_D = K_n \frac{W}{2L} (V_{gs} - V_T)^2 \quad (2.10)$$

โดยที่	V_{gs}	=	แรงดันเกต-ซอร์ส
	K_n	=	มอส ทรานส์คอนดักแตนซ์ พารามิเตอร์
	V_T	=	แรงดันเทรชโฮลด์
	W	=	ความกว้างช่องทางเดินกระแส (channel width)
	L	=	ความยาวช่องทางเดินกระแส (channel length)

เปรียบเทียบสมการ (2.9) และ (2.10) พบว่า

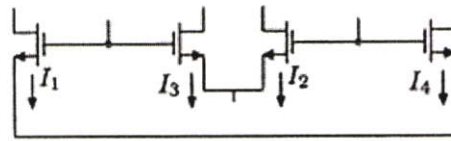
$$\begin{aligned} b &= W/LK_n \\ V &= V_{gs} - V_T \text{ และ} \\ B &= 0 \end{aligned}$$

ดังนั้นความสัมพันธ์ของกระแสจากวงจรทรานส์ลิเนียร์แบบมอสทรานซิสเตอร์สามารถแสดงได้ดังสมการที่ 2.11

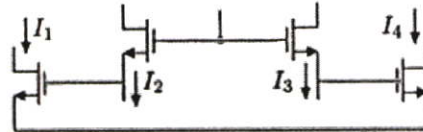
$$\sum_{CW} \sqrt{\frac{I_D}{\frac{W}{L}}} = \sum_{CCW} \sqrt{\frac{I_D}{\frac{W}{L}}} \quad (2.11)$$

ลักษณะเด่นที่สำคัญของสมการที่ 2.11 คือ ความสัมพันธ์ระหว่างกระแสดังกล่าวไม่ขึ้นการเปลี่ยนอุณหภูมิและความไม่แน่นอนของกระบวนการผลิตจากการหักล้างซึ่งกันอันเป็นผลจากการต่อวงจร ในการออกแบบวงจรทรานส์ลิเนียร์แบบมอสทรานซิสเตอร์ในทางปฏิบัติมักนิยมออกแบบ

ให้มีโครงสร้างวงจรใน 2 รูปแบบ หรือโทโปโลยี คือ แบบ up-down และ แบบ stack ตัวอย่าง วงจรทรานซิสเตอร์แบบทรานซิสเตอร์ 4 ตัว แสดงได้ในรูปที่ 2.8



(a) Up-Down



(b) Stack

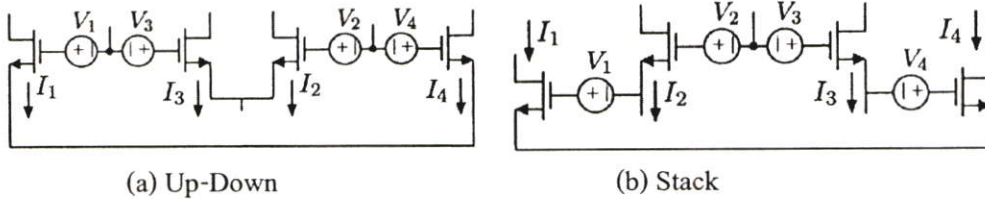
รูปที่ 2.8 โครงสร้างวงจรทรานซิสเตอร์แบบมอสทรานซิสเตอร์ (a) Up-Down (b) Stack

แม้ว่าการต่อวงจรทั้งสองแบบจะให้ผลลัพธ์ในเชิงความสัมพันธ์ของทรานซิสเตอร์เหมือนกัน กล่าวคือเราสามารถออกแบบวงจรมอสทรานซิสเตอร์ ด้วยวิธีใดก็ได้และสามารถแปลงไปเป็นอีก โครงสร้างหนึ่งได้เสมอ อย่างไรก็ตาม หากเมื่อต้องการออกแบบให้วงจรสามารถทำงานได้ที่ แหล่งจ่ายแรงดันจำกัด ไม่ว่าจะด้วยเหตุผลใด เช่น เพื่อใช้สำหรับอุปกรณ์ประเภทพกพา หรือเพื่อ ประหยัดพลังงานที่เป็นผลมาจากเทคนิคการลดขนาดวงจร (Scaling) ไปสู่วงจร CMOS ในระดับ ซับไมครอนยุคใหม่ จะพบว่า โครงสร้างแบบ Up-Down จะมีความเหมาะสมกว่าโครงสร้างแบบ Stack โดยการหลีกเลี่ยงการเชื่อมต่อ Gate-source ในลักษณะทับซ้อน (Stack) และ ขอบเขตต่ำสุด ด้านแรงดันไฟเลี้ยงที่ยังคงให้วงจรทรานซิสเตอร์นี้ทำงานได้อย่างถูกต้องจะมีค่าเท่ากับ $V_{GS} + 2V_{DSsat}$ ดังจะได้กล่าวในหัวข้อถัดไป

2.4 การออกแบบวงจรทรานซิสเตอร์แบบแรงดันไฟเลี้ยงต่ำ

ปัญหาใหญ่ในการใช้งานวงจรทรานซิสเตอร์รูป คือต้องการแรงดันไฟเลี้ยงขนาดสูงเพื่อให้ เบส-อิมิตเตอร์ (หรือ เกต-ซอร์ส สำหรับมอสทรานซิสเตอร์) มีแรงดันตกคร่อมมากกว่าแรงดันขีด เริ่ม (หรือแรงดันเทรชโฮลด์) และ ทรานซิสเตอร์ทุกตัวยังคงทำงานในช่วงแอกทีฟ (หรือในช่วง อิมิตัว สำหรับมอสทรานซิสเตอร์) ขนาดแรงดันไฟเลี้ยงยังเป็นตัวกำหนดช่วงขนาดสัญญาณอินพุต เอาต์พุตของวงจรอีกด้วย ซึ่งเป็นอุปสรรคสำคัญสำหรับอุปกรณ์อิเล็กทรอนิกส์แบบพกพา ซึ่งความ เป็นจริงแล้ว สิ่งนี้ยังรวมทั้งผลกระทบจากการลดขนาด (Scaling) ในกระบวนการการออกแบบ อันเป็น แรงขับให้การพัฒนาวงจรรอนาล็อกแบบแรงดันต่ำ (Low voltage analog circuit) ทำให้เกิดเทคนิค

การออกแบบในระดับชั้นการออกแบบต่าง ๆ โดยแต่ละวิธีก็ให้ผลลัพธ์ที่แตกต่างกัน หรือสามารถทำงานในสถานะแวดล้อมที่ต่างกัน เช่น ในการออกแบบในระดับระบบ (System level) มีการนำเสนอโครงสร้างใหม่ๆ โดยอาศัยความสัมพันธ์ของแรงดันไม่เป็นเชิงเส้นกับกระแสวงจร เช่น มอสทรานซิสเตอร์ที่เป็นไปตามกฎการอันดับสอง และไบโพลาร์ทรานซิสเตอร์ที่เป็นไปตามกฎลอการิทึม โดยจะบีบอัดแรงดันไปพร้อมกับกระแส ซึ่งช่วยลดข้อจำกัดด้านช่วงขนาดสัญญาณ (Signal Dynamic Range) โดยเฉพาะอย่างยิ่ง เมื่อมีการลดขนาดแรงดันแหล่งจ่ายลง สำหรับวงจรถานสลีเนียร์รูปสี่ (TL) ที่ถูกสร้างขึ้นจากมอสทรานซิสเตอร์และไบโพลาร์ทรานซิสเตอร์ ต่างใช้หลักการดังกล่าวข้างต้น ทำให้ช่วงขนาดสัญญาณมีขนาดกว้างขึ้น กล่าวคือลดการอิ่มตัวของทรานซิสเตอร์ลง อย่างไรก็ตาม หลักการของวงจรถานสลีเนียร์มีพื้นฐานจากการวิเคราะห์ผลตอบสัญญาณขนาดใหญ่ (Large signal analysis) ดังนั้น ภายใต้แรงดันไฟเลี้ยงต่ำจึงเป็นอุปสรรคต่อการใช้งานวงจรถานสลีเนียร์ เทคนิคหนึ่งในการออกแบบวงจรถานสลีเนียร์ที่ถูกนำเสนอโดย [21] คือ ทำการเพิ่มแหล่งจ่ายแรงดันลอยตัว (Floating voltage source) ซึ่งทำหน้าที่เป็นวงจรถานสลีเนียร์เข้ากับวงจรถานสลีเนียร์รูปสี่อย่างเหมาะสม ทำให้สามารถลดขนาดแรงดันไฟเลี้ยงและเพิ่มช่วงขนาดสัญญาณได้ โดยการต่อแหล่งจ่ายแรงดันลอยตัวระหว่างขาเกตและเดรนของมอสทรานซิสเตอร์ เพื่อชดเชยแรงดันเทรคโวลต์ ดังแสดงในรูปที่ 2.9



รูปที่ 2.9 วงจรมอสทรานซิสเตอร์แบบชดเชยแรงดันด้วยแหล่งจ่ายแรงดันลอยตัว

เมื่อพิจารณารูปที่ 2.9 กำหนดให้ V_1 , V_2 , V_3 และ V_4 เป็นแหล่งจ่ายไฟลอยตัวคงที่ ดังนั้นความสัมพันธ์ของวงจรถานสลีเนียร์สามารถแสดงได้ดังนี้

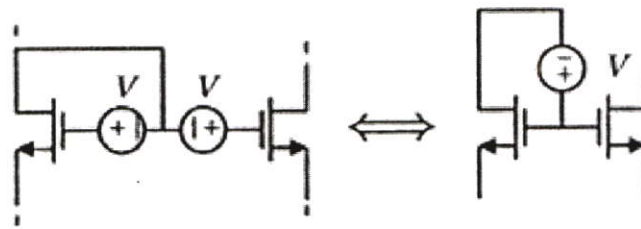
$$\sqrt{I_1} + \sqrt{I_2} - \sqrt{\frac{\beta}{2}} (V_1 + V_2) = \sqrt{I_3} + \sqrt{I_4} - \sqrt{\frac{\beta}{2}} (V_3 + V_4) \quad (2.12)$$

เพื่อให้ง่ายต่อการวิเคราะห์ห้วงจร ทรานซิสเตอร์ทั้งหมดถูกพิจารณาให้มี อัตรา W/L เท่ากัน สังเกตว่าแหล่งจ่ายแรงดันของทรานซิสเตอร์แต่ละตัวจะถูกเพิ่มที่ Gate ของมัน เพื่อให้ได้ความสัมพันธ์กระแสเช่นเดียวกับในวงจรถานสลีเนียร์ TL ความสัมพันธ์ของแรงดันในสมการ (2.11) และ (2.12) ดังนั้น

$$(V_1 + V_2) = (V_3 + V_4) \quad (2.13)$$

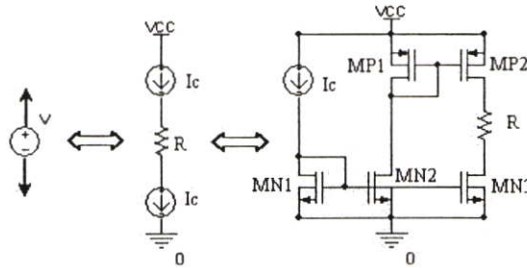
สังเกตว่าไม่มีข้อจำกัดใดเลยบนแหล่งจ่ายไฟลอยตัวดังกล่าว ดังนั้น V_j จึงเป็นได้ทั้ง ลิเนียร์ และนอนลิเนียร์ และเป็นอิสระกับเวลา แต่ต้องสอดคล้องกับสมการที่ (2.13) อย่างไรก็ตาม ต้องไม่มีกระแสไหลผ่านแหล่งจ่ายแรงดัน ซึ่งอาจทำให้กระแสไหลเข้าสู่ทรานซิสเตอร์รูป สิ่งนี้เป็นสิ่งจำเป็นในการประยุกต์ใช้เทคนิคนี้ในการออกแบบวงจร ดังนั้นในขั้นตอนการหาค่าที่เหมาะสมของ V_j เพื่อให้เป็นไปตามข้อกำหนดและตรงจุดประสงค์จะต้องคำนึงถึงการทำงานของ TL ทรานซิสเตอร์ที่แรงดันต่ำด้วยเป็นสำคัญ

ขีดจำกัดสำคัญในการกำหนดขนาดแรงดันคงที่ลอยตัว เพื่อใช้การชดเชยศักดาตกคร่อมเกต-เดรน โดยที่ทรานซิสเตอร์ยังคงทำงานช่วงอิมิตัวซึ่งทำให้สมการทรานส์ลิเนียร์ (2.11) ยังคงเป็นจริง คือ แรงดันไฟเลี้ยงขบกลางต้องไม่ต่ำกว่า $V_{GS} + 2V_{DSSat}$ สำหรับวงจรทรานส์ลิเนียร์ที่ประกอบด้วยขั้วละทรานซิสเตอร์สองตัวสำหรับ CW และ CCW โดยแรงดันขบกลางจะขยับสูงขึ้นสำหรับวงจรที่มีจำนวนทรานซิสเตอร์ในวงรอบทรานส์ลิเนียร์ (TL) เพิ่มขึ้นสำหรับ โครงสร้างวงจรแบบ stack แต่สำหรับโครงสร้างแบบ Up-down เทคนิคการไบอัสที่เหมาะสม แรงดันแหล่งจ่ายสามารถลดลงสู่ค่าเดียวกันคือ $V_{GS} + 2V_{DSSat}$ โดยไม่ขึ้นกับจำนวนทรานซิสเตอร์ในวงรอบทรานส์ลิเนียร์ นอกจากนี้ ยังต้องคำนึงถึงค่า Dynamic Range ของวงจร ในทางปฏิบัติ วงจรแหล่งจ่ายคงที่ลอยตัวนี้ต้องการแหล่งจ่ายไฟเดียวกับวงจรทรานส์ลิเนียร์ ดังนั้นการออกแบบวงจรแหล่งจ่ายแรงดันลอยตัวนี้ จะต้องมิตขนาดแหล่งจ่ายแรงดันไม่มากกว่า $V_{GS} + 2V_{DSSat}$ เช่นกัน



รูปที่ 2.10 การลดแหล่งจ่ายแรงดันลอยตัว

การสร้างแหล่งจ่ายแรงดันลอยตัวนี้ สามารถสร้างขึ้นได้หลายวิธี เช่น 1) สร้างจากมอสทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัว หรือในช่วง Weak inversion 2) สร้างขึ้นได้จากมอสทรานซิสเตอร์แบบ Floating-gate 3) สร้างด้วยวิธี Switched floating capacitor หรือ 4) สร้างด้วยวิธีแบบง่ายจากแหล่งจ่ายแรงดันพร้อมกับตัวต้านทาน โดยสามวิธีแรกต้องการแหล่งจ่ายแรงดันมากกว่า $2V_{GS} + V_{DSSat}$ ซึ่งไม่เหมาะกับวงจรประเภทแรงดันต่ำ ดังนั้นวิธีการที่ 4 จึงเหมาะสมในการนำมาใช้ในวงจรแบบแรงดันต่ำ ดังแสดงในรูปที่ 2.11



รูปที่ 2.11 วงจรแรงดันอ้างอิงแบบลอยตัว

ค่าแรงดันลอยตัว (V) สามารถกำหนดได้โดยการปรับค่ากระแส I_c และกำหนดค่า R ที่เหมาะสม ซึ่งจะมีค่าเท่ากับ $V = I_c * R$ ตัวกำหนดค่ากระแสและตัวตัวทานที่เหมาะสมได้แก่แบนด์วิดท์ (Bandwidth) หรือช่วงกว้างความถี่ปฏิบัติงาน เนื่องจากแรงจ่ายแรงดันลอยตัวนี้จะถูกต่อเข้ากับ ขาเกต-เดรนของทรานซิสเตอร์ที่ทำหน้าที่เป็นแกนของวงจรถานลิเนียร์ การต่อขานี้เป็นค่าหนึ่งวงเวลาให้กับวงจรถานลิเนียร์จากการเพิ่มของความจุแฝงและความต้านทานต่อขานาน ดังนั้นเพื่อให้มั่นใจว่าเทคนิคนี้จะไม่ส่งผลกระทบต่อผลตอบสนองทางความถี่ ค่าคงตัวของวงจรถานลิเนียร์ ควรจะมีค่าต่ำกว่าค่าหนึ่งวงเวลาจากวงจรถานลิเนียร์มาก ๆ ด้วยการออกแบบให้ค่าความต้านทานในวงจรถานลิเนียร์ลอยตัวมีค่าต่ำ และกระแส I_c มีค่าไม่สูงมาก ซึ่งช่วยให้สามารถออกแบบทรานซิสเตอร์ให้มีค่าความกว้างทางเดินกระแส (Channel width: W) ไม่สูงมากเพื่อลดผลของความจุที่เกิดขึ้นปัญหาด้านกำลังงาน เนื่องจากมีการเพิ่มวงจรถานลิเนียร์จำนวนมากเข้าในส่วนของวงจรถานลิเนียร์ จากรูปที่ 2.11 วงจรถานลิเนียร์จะเกิดการสูญเสียกำลังงาน (Power dissipation) เท่ากับ $P = V_{DD} \times (2+n)I_c$ เมื่อ n เป็นจำนวนแหล่งจ่ายแรงดันลอยตัวที่ต้องใช้ในวงจรถานลิเนียร์ทั้งหมด ดังนั้นขนาด I_c ที่เหมาะสมสามารถลดกำลังงานสูญเสียของวงจรถานลิเนียร์ได้

ปัญหาด้านพื้นที่ พื้นที่ส่วนมากจะถูกใช้ไปกับความต้านทาน (R) ดังนั้นเพื่อลดผลของพื้นที่ที่เพิ่มขึ้นจากวงจรถานลิเนียร์ เมื่อทำการกำหนดค่าแรงดันคงที่ (V) สิ่งต่อมาคือการพิจารณาขนาด I_c มากพอเพื่อลดขนาดความต้านทาน อย่างไรก็ตามปัญหาด้านพื้นที่และด้านกำลังงานมีลักษณะขัดแย้งกัน และต้องพิจารณาควบคู่กันเสมอ

ปัญหาด้านความไม่เท่ากันของแหล่งจ่ายแรงดัน จากสมการที่ (2.13) หากในกระบวนการผลิตทำให้เกิดผลต่างค่าแรงดันลอยตัว (mismatch) ซึ่งมักเกิดจากค่าความต้านทานขนาดใหญ่ที่ยากต่อการควบคุม โดยนำไปสู่ข้อผิดพลาดในการประมวลผลของวงจรถานลิเนียร์ สิ่งที่ทำให้เกิดค่าความคลาดเคลื่อนของสัญญาณเอาต์พุต ความรุนแรงจะขึ้นอยู่กับฟังก์ชันของวงจรถานลิเนียร์ซึ่งต้องพิจารณาเป็นกรณี ๆ ไป เช่น สำหรับวงจรถานลิเนียร์เรขาคณิต (Geometric mean circuit) ดังแสดงในรูป 2.12 ค่าความคลาดเคลื่อนของแหล่งจ่ายแรงดัน (ΔV) ส่งผลให้การทำงานของวงจรถานลิเนียร์

เป็น $I_z = 2\sqrt{I_x I_y} - \sqrt{\frac{\beta}{2}}(\sqrt{I_x} + \sqrt{I_y})\Delta V + \frac{\beta\Delta V^2}{8}$ โดยเทอมที่สองและสามทางขวามือเป็น

บทที่ 3

วงจรมอดไลเซชัน

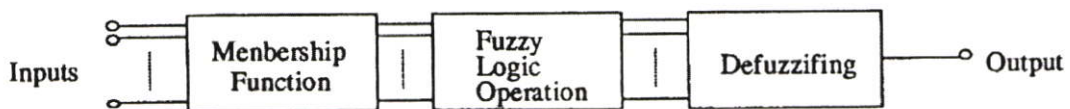
วงจรมอดไลเซชันสามารถพบได้ทั่วไปในวงจรประมวลสัญญาณต่าง ๆ โดยเฉพาะวงจรควบคุมแบบฟัซซี่ โดยวงจรมอดไลเซชันนี้จะไปส่วนประกอบหลักของวงจรดีฟัซซี่ (Defuzzy circuit) ซึ่งประกอบด้วย วงจรฟังก์ชันความเป็นสมาชิก (Membership function circuit: MFC) วงจรหาค่าต่ำสุด (Minimum operation circuit: MIN) และวงจรมอดไลเซชัน (Normalization circuit: NORM) ดังแสดงในรูปที่ 3.1 และ 3.2 ซึ่งในที่นี้มีจำนวน 3 วงจรตามจำนวนกฎฟัซซี่ โดยมีสัญญาณอินพุตเป็น x และ y และมีสัญญาณเอาต์พุต G_0 สมการถ่ายโอนของระบบควบคุมนี้แสดงได้ดังนี้

$$G_0 = \frac{(w_1 h_1 + w_2 h_2 + w_3 h_3)}{h_1 + h_2 + h_3} \quad (3.1)$$

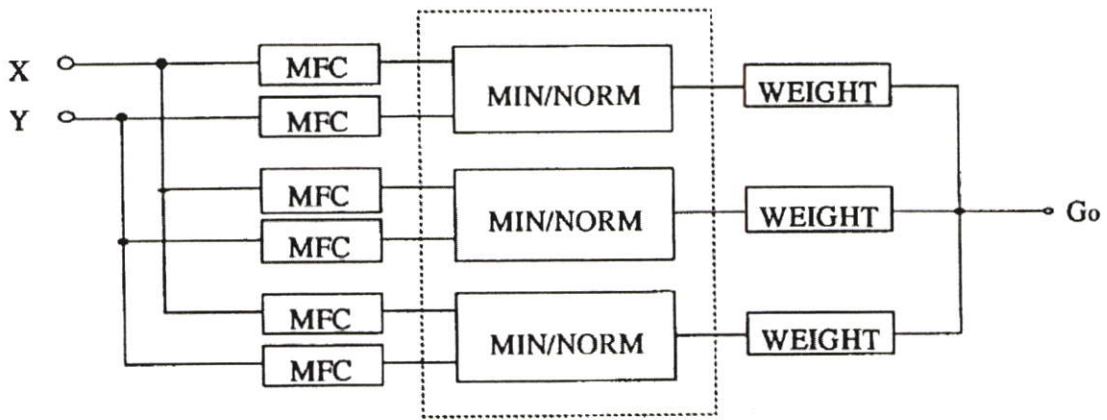
เมื่อ $h_i = \min(M_{x_i}(x), M_{y_i}(y))$ และ $i = 1, 2$ และ 3

$M_{x_i}(x)$ และ $M_{y_i}(y)$ คือค่าได้จากวงจรฟังก์ชันความเป็นสมาชิก MFC

จากสมการข้างต้นพบในการสร้างระบบควบคุมนี้ จำเป็นต้องมีวงจรหาร ซึ่งมีความยุ่งยากและกินพื้นที่วงจรรวมเป็นจำนวนมาก เพื่อลดผลของปัญหาดังกล่าว วิธีการแก้ไขทางหนึ่งคือการกำหนดให้ผลรวมของตัวหารในที่นี้คือ $(h_1 + h_2 + h_3)$ มีค่าเท่ากับ 1 หรืออีกวิธีการหนึ่งคือการหาค่านอร์มอลไลซ์ของแต่ละเทอมโดยตรงคือ $\frac{h_i}{(h_1 + h_2 + h_3)}$ โดยใช้วงจรมอดไลเซชัน (Normalization circuit) ที่สามารถออกแบบได้โดยง่ายแทน



รูปที่ 3.1 ระบบควบคุมฟัซซี่ลอจิก



MFC: Membership function circuit

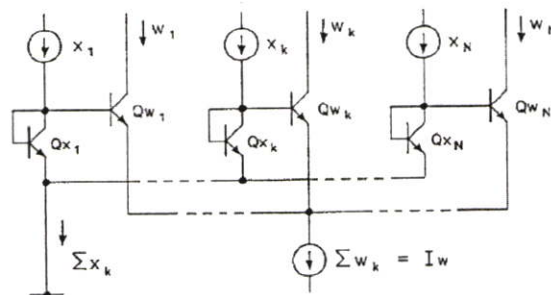
MIN: Minimum operation circuit

NORM: Normalization circuit

รูปที่ 3.2 บล็อกไดอะแกรมวงจรดิจิทัลฟัซซี่

จากบทที่ 1 พบว่าการนอร์มอลไลเซชันสามารถนิยามด้วยสมการทางคณิตศาสตร์ได้หลายวิธี เช่น การนอร์มอลไลซ์ด้วยระยะ Euclidean (สมการที่ 1.1) การนอร์มอลไลซ์ด้วยขนาดสัญญาณสูงสุด (สมการที่ 1.2) การนอร์มอลไลซ์ด้วยค่าเฉลี่ยของทุกสัญญาณอินพุต (สมการที่ 1.3) เป็นต้น ดังนั้นในการสร้างและออกแบบวงจรนอร์มอลไลเซชันจึงสามารถออกแบบได้หลายวิธีขึ้นอยู่กับนิยามทางคณิตศาสตร์และเทคโนโลยีการออกแบบวงจรที่เลือกใช้ ในบทนี้จะกล่าวถึงการออกแบบวงจรนอร์มอลไลเซชันแบบต่าง ๆ ได้แก่ วงจรนอร์มอลไลเซชันแบบไบโพลาร์ทรานสิเอียร์รูป วงจรนอร์มอลไลเซชันแบบซิมอสเลี่ยนแบบวงจรไบโพลาร์ทรานสิเอียร์ วงจรเวกเตอร์นอร์มอลไลเซชัน วงจรนอร์มอลไลซ์ที่ใช้หลักการการป้อนกลับ เป็นต้น

3.1 วงจรนอร์มอลไลเซชันแบบไบโพลาร์ทรานสิเอียร์รูป

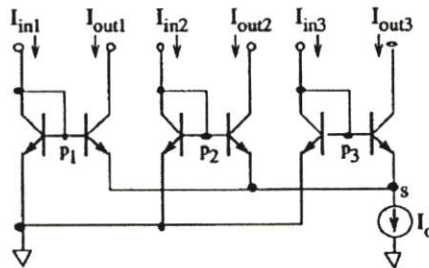


รูปที่ 3.3 วงจรนอร์มอลไลเซชันแบบไบโพลาร์ทรานสิเอียร์รูป [25]

วงจรมอดไลเซชันแบบไบโพลาร์ทรานซิสเตอร์รูปมักพบได้ทั่วไปเนื่องจากวงจรมีขนาดกระทัดรัดและง่ายต่อการสร้าง บางครั้งมักถูกเรียกว่า วิธีการมอดไลเซชันแบบทางตรง [25] ซึ่งจะให้สมการถ่ายโอนแบบสมการที่ 1.2 กล่าวคือเป็นวงจรมอดไลเซชันสัญญาณอินพุตด้วยค่าเฉลี่ยของทุกสัญญาณอินพุต จากรูปที่ 3.3 ส่วนประกอบหลักของวงจร ประกอบด้วยไบโพลาร์ทรานซิสเตอร์ที่ต่อกันอยู่ในรูปแบบของทรานส์ลิเนียร์รูปคั้งที่ได้กล่าวในบทที่ 2 โดยมีสัญญาณอินพุตในรูปกระแสคือ $X_1, X_2, \dots, X_k, \dots, X_N$ ที่ป้อนเข้าสู่ทรานซิสเตอร์ $Q_{x1}, Q_{x2}, \dots, Q_{xk}, \dots, Q_{xN}$ ที่ถูกต่อในลักษณะของไดโอดตามลำดับ ในขณะที่ปลายของทรานซิสเตอร์ถูกต่อเข้าด้วยกัน ทำให้เกิดการรวมกันของกระแสอินพุตทั้งหมด และทำให้ศักดาที่ตกคร่อมที่เบสของทรานซิสเตอร์ถูกกระจายในลักษณะค่าเฉลี่ยของสัญญาณเข้าทั้งหมด และจากผลของวงจรมอดไลเซชัน ดังนั้นสัญญาณเอาต์พุตในรูปกระแสที่คอลเลกเตอร์จึงถูกนอร์มอลไลซ์ด้วยค่าเฉลี่ยของสัญญาณเข้า ซึ่งสามารถแสดงได้ในสมการที่ 3.2

$$W_0 \equiv (w_1, w_2, w_k, \dots, w_N) = I_W \frac{X_k}{\sum_{k=0}^N X_k} \quad (3.2)$$

$$\text{เมื่อ } I_W = \sum_{k=0}^N w_k$$



รูปที่ 3.4 วงจรมอดไลเซชันแบบไบโพลาร์ทรานซิสเตอร์รูปแบบ 3 อินพุต/เอาต์พุต

และเพื่อให้ง่ายต่อการอธิบายหลักการทำงานของวงจรมอดไลเซชันที่มีจำนวนสัญญาณอินพุตและเอาต์พุตเท่ากัน จำนวน 3 คู่ในรูปของสัญญาณกระแส ดังแสดงในรูปที่ 3.4 โดยที่ I_0 ถูกกำหนดให้มีค่าคงที่และเท่ากับผลรวมของสัญญาณกระแสเอาต์พุต $I_{out1} + I_{out2} + I_{out3}$ เนื่องจากที่ศักดาที่ p_i มีค่าเท่ากับ $V_{P(i)} = V_T \ln\left(\frac{I_{in(i)}}{I_s}\right)$ ดังนั้นสัญญาณกระแสเอาต์พุตที่ i จึงมีค่าเท่ากับ

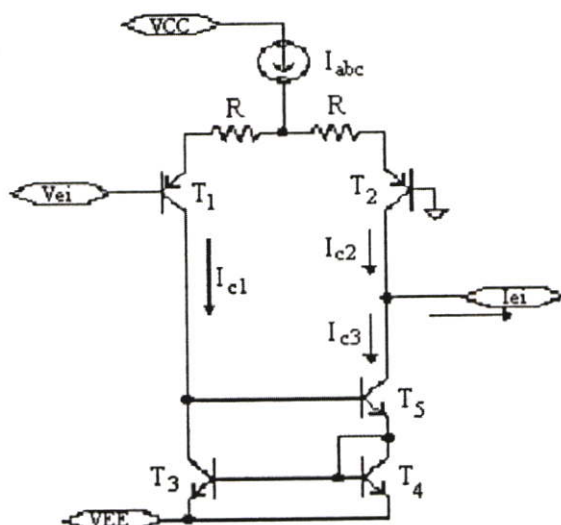
$$I_{out(i)} = I_s \exp\left(\frac{V_{P(i)} - V_s}{V_T}\right) \quad (3.3)$$

โดยที่ $V_s = V_T \ln\left(\frac{I_{in1} + I_{in2} + I_{in3}}{I_0}\right)$ จากความสัมพันธ์กระแสของทรานซิสเตอร์ที่ประกอบขึ้นเป็นวงรอบทรานส์ลิเนียร์ ดังที่ได้กล่าวไว้แล้วในบทที่ 2 ดังนั้นเมื่อแทนค่า $V_{P(i)}$ และ V_s ในสมการ 3.3 จะได้สมการถ่ายโอนวงจรมอลไลเซชันดังนี้

$$I_{out(i)} = I_0 \frac{I_{in(i)}}{I_{in1} + I_{in2} + I_{in3}} \quad (3.4)$$

และเมื่อเทียบกับสมการที่ 3.2 จะพบว่าสอดคล้องกัน โดย $I_w = I_0$

ในบางกรณีที่วงจรถูกหาค่าสัญญาณต่ำสุด (MIN) ซึ่งอยู่ส่วนหน้าของวงจรมอลไลเซชันนี้ ให้สัญญาณเอาต์พุตในรูปศักดา ในขณะที่วงจรมอลไลเซชันมีสัญญาณอินพุตแบบกระแส ดังนั้นจึงจำเป็นต้องมีวงจรแปลงศักดาเป็นกระแสหรือวงจร Voltage-current converter ดังแสดงในรูปที่ 3.5



รูปที่ 3.5 วงจรแปลงสัญญาณศักดาเป็นกระแสแบบ OTA [30]

3.2 วงจร Normalization Locked Loop

วงจรมอลไลเซชันประเภทนี้บางครั้งถูกเรียกว่าวงจร NLL [1,2] มักถูกสร้างขึ้นจากเทคโนโลยีซีมอสทำให้วงจรมีขนาดเล็ก หากพิจารณาสมการมอลไลเซชันทั้งหมดที่กล่าวไว้ในบทที่ 1 คือสมการ 1.1 – 1.3 พบว่าทุกสมการประกอบด้วยการคูณและการหาร เพื่อหลีกเลี่ยงการคูณและการหารสัญญาณซึ่งยากต่อการออกแบบวงจร และทำให้วงจรมีขนาดใหญ่ ดังนั้นวงจรนี้จึงเลี่ยงโดยการคำนวณหาค่าจุดศูนย์ถ่วงแทน ซึ่งสามารถแสดงได้ดังนี้

$$\bar{x} = \frac{\sum_{i=1}^N w_i x_i}{\sum_{i=1}^N w_i} \quad (3.5)$$

เมื่อ w_i เป็นค่าถ่วงน้ำหนักที่ i
 x_i เป็นสัญญาณอินพุตที่ i

และหากกำหนดให้ผลรวมค่าถ่วงน้ำหนักรวมมีค่าเท่ากับ 1.0 ดังนั้นการนอร์มอลไลซ์สามารถลดรูปได้ดังนี้

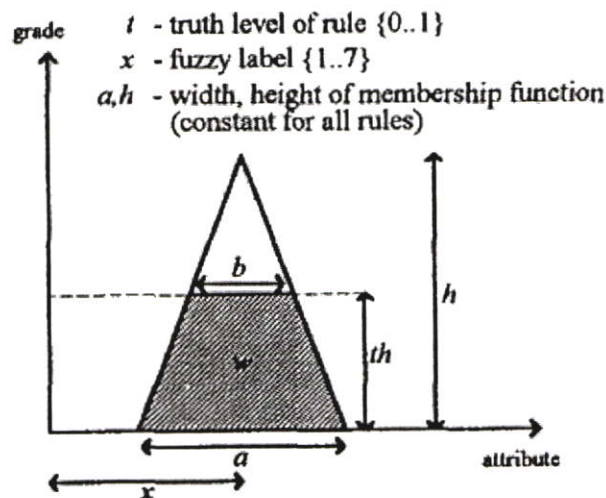
$$\bar{x} = \frac{\sum_{i=1}^N w_i x_i}{\sum_{i=1}^N w_i} = \frac{\sum_{i=1}^N w_i x_i}{1} = \sum_{i=1}^N w_i x_i \quad (3.6)$$

สมการข้างต้นกำหนดให้ \bar{w} เป็นค่าจุดศูนย์กลางของฟังก์ชันความเป็นสมาชิก (MFC) ที่มีรูปแบบการถ่ายโอนแบบสามเหลี่ยม ดังแสดงในรูป 3.6 ดังนั้น สมการถ่ายโอนของฟังก์ชันความเป็นสมาชิกสามารถแสดงได้ดังนี้

$$w = \frac{1}{2}ah - \frac{1}{2}bh(1-t) \quad (3.7)$$

โดย t คือค่าเป็นจริง (Truth level)

a, h คือความกว้างและความสูงของฟังก์ชันความเป็นสมาชิก



รูปที่ 3.6 ฟังก์ชันสมาชิกแบบสามเหลี่ยม

หากกำหนดให้ฟังก์ชันความเป็นสมาชิกของระบบดีฟัซซีที่มีค่าเท่ากันในทุกกฎฟัซซี ดังนั้น

$$\frac{b}{a} = \frac{(1-t)h}{h} = \frac{(t')h}{h} \quad \text{เมื่อ } t' = (1-t) \quad \text{โดยที่เอาต์พุตของฟังก์ชันความเป็นสมาชิกมีค่าเท่ากับ}$$

$m = wx$ จากสมการที่ 3.7 ผลบวกค่าถ่วงน้ำหนักจึงค่าเท่ากับ

$$\sum_{i=1}^N w_i = \frac{1}{2} ah \sum_{i=1}^N t_i(1-t_i) \quad (3.8)$$

และค่าผลรวมของทุกเอาต์พุตของฟังก์ชันความเป็นสมาชิกมีค่าเท่ากับ

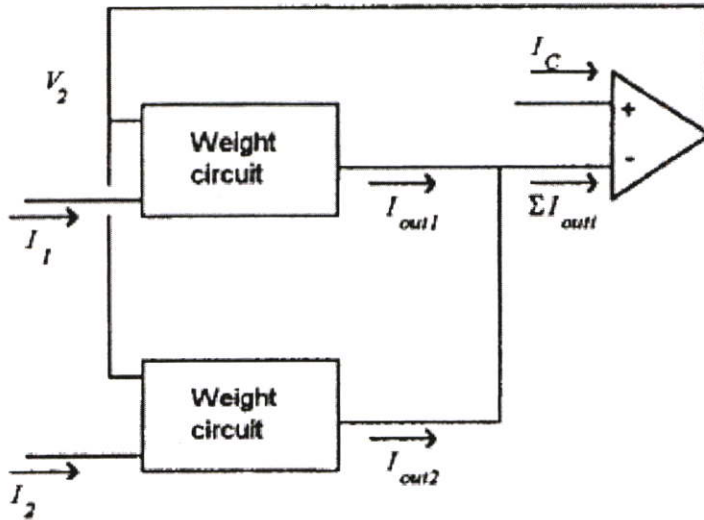
$$\sum_{i=1}^N m_i = \frac{1}{2} ah \sum_{i=1}^N x_i(1-(t_i')^2) \quad (3.9)$$

เมื่อแทนสมการที่ 3.8 และ 3.9 ลงในสมการที่ 3.6 ดังนั้นเอาต์พุตของวงจรมอดไลซ์สามารถแสดงได้ดังนี้

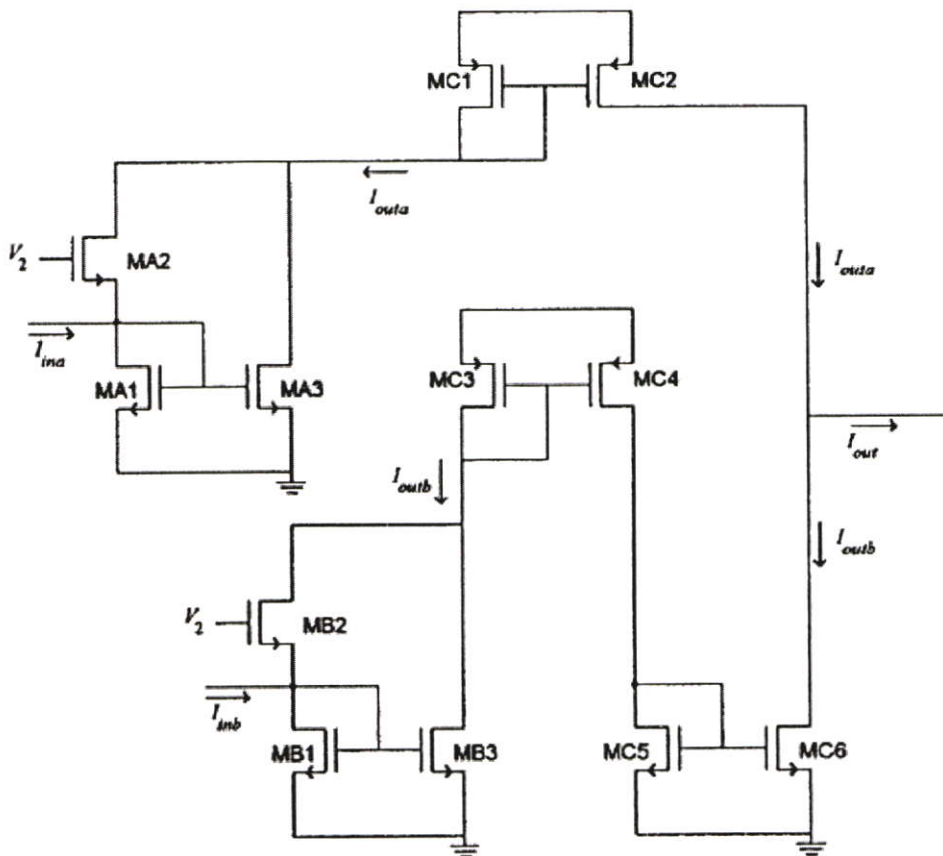
$$\bar{x} = \frac{\sum_{i=1}^N \bar{m}_i}{\sum_{i=1}^N \bar{w}_i} = \frac{\sum_{i=1}^N \bar{m}_i}{1} = K \sum_{i=1}^N x_i(1-(t_i')^2) \quad (3.10)$$

โดยที่ K มีค่าเท่ากับ $\frac{1}{2} ah$

วงจรมอดไลซ์แบบ NLL นี้สามารถสร้างขึ้นบนเทคโนโลยี CMOS โดยใช้วงจรเปรียบเทียบ (Comparator) เปรียบเทียบกับค่ากระแสถ่วงน้ำหนักรวม $\sum I_w$ กับกระแสหนึ่งหน่วย I_c เอาต์พุตของตัวเปรียบเทียบจะถูกใช้ในการป้อนกลับ เพื่อปรับขนาดกระแสถ่วงน้ำหนักของแต่ละกฎฟัซซี เพื่อให้กระแสถ่วงน้ำหนักรวมจะยังมีค่าเท่ากับ 1.0 ดังแสดงในรูปที่ 3.7 ในขณะที่รูปที่ 3.8 แสดงวงจรที่ถูกรอกแบบด้วยเทคโนโลยี CMOS ทรานซิสเตอร์

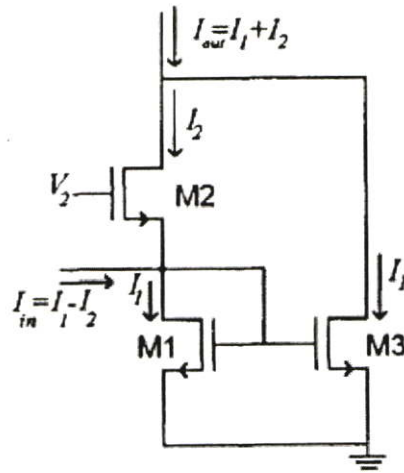


รูปที่ 3.7 วงจรนอร์มอลไลเซชันแบบ NLL



รูปที่ 3.8 วงจร NLL ที่สร้างด้วยเทคโนโลยี CMOS

จากรูปที่ 3.8 วงจรเปรียบเทียบสามารถสร้างขึ้นอย่างง่ายเนื่องจากวงจรทำงานในโหมดกระแส ในขณะที่วงจรถ่วงน้ำหนักทั้งสองวงจรสามารถแสดงรายละเอียดได้ในรูปที่ 3.9



รูปที่ 3.9 วงจรถ่วงน้ำหนัก

การทำงานของวงจรถ่วงน้ำหนักสามารถอธิบายได้ดังนี้ กำหนดให้ทรานซิสเตอร์ทุกตัวทำงานในช่วงแอกทีฟดังนั้น

$$I_{out} = \frac{1}{4} \beta (V_2 - 2V_T)^2 + \frac{I_{in}^2}{\beta (V_2 - 2V_T)^2} \quad (3.10)$$

เมื่อ β คือ ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์

V_T คือ ค่าศักดาเทอร์คโฮลด์

V_2 คือ ค่าศักดาไบอัสของวงจร

จากรูปที่ 3.8 เมื่อนำเอาดีฟุคของวงจรถ่วงน้ำหนักสองวงจรมาห้กลับกัน ดังนั้นเทอมคงที่ $\frac{1}{4} \beta (V_2 - 2V_T)^2$ จึงถูกหักล้างไปและให้ผลลัพธ์ดังนี้

$$I_{out} = \frac{I_C^2 - I_{inb}^2}{\beta (V_2 - 2V_T)^2} \quad (3.11)$$

หากเทียบกับสมการที่ 3.10 จะพบว่าต้องกำหนดให้ $I_{inb} = I'$, $I_C^2 = 1$ และ

$$\frac{1}{\beta (V_2 - 2V_T)^2} = K$$

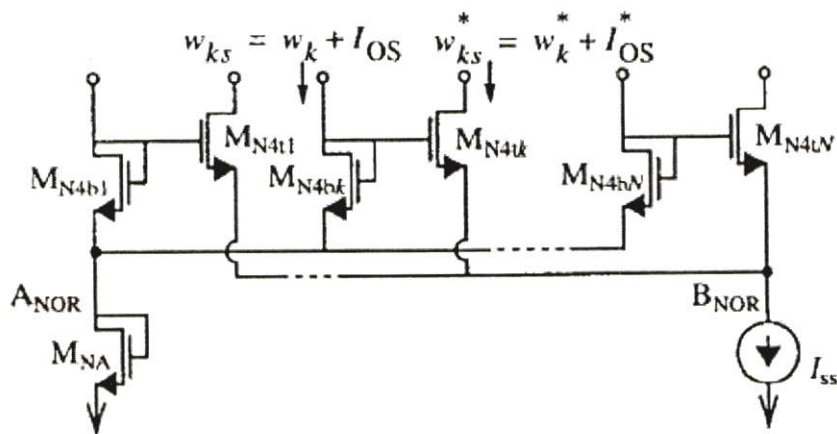
ข้อพิจารณาในการประยุกต์ใช้วงจร NLL

- NLL เป็นรูปแบบอย่างง่ายของการนอร์มอลไลซ์ โดยนำหนักของกฎพีชชีแต่ละข้อถูกกำหนดให้มีค่าเท่ากับระดับค่าความจริงสำหรับแต่ละกฎพีชชี ซึ่งมีความหมายโดยนัยคือ รูปแบบของฟังก์ชันการเป็นสมาชิกจะมีลักษณะเป็นสี่เหลี่ยม ($w = at$) แทนที่จะมีลักษณะแบบสามเหลี่ยม หรือ ในรูปแบบพื้นฐานเกาส์เซียน ที่นิยมทั่วไป

- ผลคูณของ $\bar{w}_i x$ จะถูกหาได้จากการกำหนดสมประสิทธิ์ของวงจร กล่าวคือ ในการคูณของกฎพีชชี ให้ \bar{w}_i เป็นตัวดำเนินการ โดยการกระตุ้นวงจรสะท้อนกระแส (current mirror) ของแฟกเตอร์ที่เหมาะสม

อย่างไรก็ตาม การเปลี่ยนแปลงของกระแส I_u จะส่งผลให้ค่าตาม ค่ากระแสถ่วงน้ำหนักของกฎพีชชีที่ถูกนอร์มอลไลซ์เกิดการเปลี่ยนแปลงในลักษณะผลต่างแทนที่จะเป็นลักษณะผลคูณ ดังนั้นกระบวนการดีพีชชี ต้องทำให้แน่ใจว่า การกระจายค่าถ่วงน้ำหนักยังคงทำให้ $\bar{w}_i = k w_i$ สำหรับกฎแต่ละค่า และกฎทั้งหมด

3.3 วงจรนอร์มอลไลเซชันแบบมอสทรานซิสเตอร์เลียนแบบหลักการไปโพลาร์ทรานส์ลิเนียร์



รูปที่ 3.10 วงจรนอร์มอลไลเซชันแบบมอสทรานซิสเตอร์เลียนแบบหลักการไปโพลาร์ทรานส์ลิเนียร์[28]

จากรูปที่ 3.10 สังเกตว่ามีโครงสร้างคล้ายกับรูปที่ 3.3 เพียงแต่ไปโพลาร์ทรานซิสเตอร์จะถูกแทนที่ด้วยมอสทรานซิสเตอร์ ทั้งนี้เพื่อหลีกเลี่ยงวิธีการนอร์มอลไลซ์แบบป้อนกลับสัญญาณ [29] และด้วยเหตุนี้ วงจรจึงมีผลตอบสนองเชิงไดนามิกที่รวดเร็วกว่า จากรูปที่ 3.10 สามารถที่จะแบ่งแยกไปได้ N เซลล์หนึ่งต่ออินพุตเอาต์พุตแต่ละคู่ร่วมกับวงจรประกอบอื่นเล็กน้อยคือ ทรานซิสเตอร์ M_{NA} และ แหล่งจ่ายกระแส I_{SS} สมมุติว่าทรานซิสเตอร์อยู่ใน Strong inversion ซึ่งจะพบว่าวงจรจะไม่

เป็นไปตามหลักการของไบโพลาร์ทรานซิลิเอร์อีกต่อไป จากการวิเคราะห์พบว่าวงจรมอดไลซ์ที่สร้างจากรวมจอร์มอลจะมีความสัมพันธ์แบบไม่เป็นเชิงเส้นดังนี้

$$w_{ks}^* = \frac{\beta_{N4t}}{\beta_{N4b}} w_{ks} \left[1 + \frac{\eta(w_s)}{\sqrt{w_{ks}}} \right]^2 \quad (3.12)$$

โดยที่ ฟังก์ชัน $\eta(w_s)$ คือ

$$\eta(w_s) = \frac{\sum_s \sqrt{w_{ks}}}{N} \left(\sqrt{1 + \frac{N(I'_{ss} - \sum_k w_{ks})}{\left(\sum_s \sqrt{w_{ks}}\right)^2}} - 1 \right), \quad (3.13)$$

$$I'_{ss} = \frac{\beta_{N4b}}{\beta_{N4t}} I_{ss}$$

และ

$$w_k^* = w_{ks}^* - I_{os}^*; \quad I_{os}^* = w_{ks}^*(I_{os}) \quad (3.14)$$

ค่ากระแส offset คือ I_{os} ที่ใส่เพิ่มในวงจรเพื่อปรับปรุงผลตอบสนองเชิงพลวัตของระบบด้วยการเพิ่มค่ากระแส I_c โดยไม่จำเป็นต้องปรับขนาดทรานซิสเตอร์ในการเพิ่มขนาดกระแส

คุณสมบัติวงจรมอดไลซ์แบบมอสทรานซิสเตอร์นี้ สามารถสรุป ได้ดังต่อไปนี้

1. ผลรวมของกระแสเอาต์พุต ทั้งหมดที่เป็นค่าคงที่และมีค่าเท่ากับ I_{ss}

2. จากสมการที่ 3.12 พบว่า ความสัมพันธ์ของค่าอินพุต-เอาต์พุตไม่ได้เป็นการนอร์มอลไลซ์

โดยตรง หากแต่เพียงมีลักษณะแบบ Soft-monotonic นั่นคือ เมื่อกระแสอินพุตสูงขึ้น กระแสเอาต์พุตจะสูงตามไปด้วย ซึ่งมีลักษณะคล้ายกับการนอร์มอลไลซ์ และแม้จะมีความไม่เป็นเชิงเส้นแต่ก็ไม่เป็นปัญหา เนื่องจากเมื่อนำมาประยุกต์ใช้กับวงจรระบบควบคุมพีซีซี ซึ่งก็มีลักษณะความไม่เป็นเชิงเส้นสูงในตัวเองอยู่แล้ว ในความเป็นจริงการวิเคราะห์ระดับระบบ (System-level analysis) แสดงให้เห็นว่าแม้ความไม่เป็นเชิงเส้นจะกระบวนการณ์นอร์มอลไลซ์ โดยระบบดีพีซีซีที่มีโครงสร้างแบบนอร์มอลไลซ์->บวก->ถ่วงน้ำหนัก จะให้คุณสมบัติที่ใกล้เคียงและมีความคลาดเคลื่อนของการประมาณค่าในช่วงแบบเชิงเส้น (Linear interpolation) เพียงเล็กน้อยเมื่อเทียบกับวงจรมอดไลซ์ทางอุดมคติที่มีโครงสร้างแบบถ่วงน้ำหนัก-บวก-หาร

สำหรับข้อพิจารณาในการออกแบบวงจรมอดไลซ์แบบมอสทรานซิสเตอร์เลียนแบบหลักการไบโพลาร์ทรานซิลิเอร์ สิ่งแรกที่ต้องพิจารณาคือช่วงของอินพุตของวงจรมอดไลซ์เมื่อ

ต่อเข้าไปในรูปที่ 10 โดยเริ่มพิจารณาจากช่วงของโหมคร่วม โดยกำหนดให้สัญญาณกระแสอินพุตทั้งหมดมีค่าเท่ากัน เมื่อกระแสอินพุตทั้งหมดมีค่าสูงขึ้น ทรานซิสเตอร์ M_{N4ik} จะเข้าสู่บริเวณโอห์มมิก ในทางกลับกัน ถ้ากระแสอินพุตลดลง ทรานซิสเตอร์ที่ใช้สำหรับแหล่งจ่ายกระแส I_{SS} จะเข้าสู่บริเวณ โอห์มมิก ดังนั้น ช่วงของอินพุตของโหมคร่วม (Common mode range) สามารถหาได้จาก

$$I_{Bi} - I_{os} \leq \omega_k \leq I_{Bh} - I_{os},$$

$$I_{Bi} = \frac{\left[V_{Bnorm\Omega} - V_{T0N} + \sqrt{\frac{I_{SS}}{N\beta_{N4i}}} \right]^2}{\sqrt{\frac{1}{\beta_{N4b}}} + \sqrt{\frac{N}{\beta_{NA}}}}$$

$$I_{Bh} = \frac{\left[V_{DD} - V_{T0P} - V_{T0N} - \sqrt{\frac{I_{SS}}{N\beta_{P3S}}} \right]^2}{\sqrt{\frac{1}{\beta_{N4b}}} + \sqrt{\frac{N}{\beta_{NA}}}} \quad (3.15)$$

โดยที่ $V_{Bnorm\Omega}$ คือ แรงดันจำกัดสำหรับแหล่งจ่ายกระแส I_{SS} และเมื่อสมมติว่าแรงดันเทรชโวลของทรานซิสเตอร์ด้านบน (M_{N4ik}) และด้านล่าง (M_{N4bk}) จะมีค่าเท่ากันโดยประมาณ อันเนื่องมาจากสัปดาห์ขาของทรานซิสเตอร์ดังกล่าวมีค่าใกล้เคียงกัน ค่าจำกัดด้านล่างในสมการที่ (3.15) จะเป็นจริงเสมอเมื่อ $(V_{Bnorm\Omega} \geq V_{T0N} - \sqrt{I_{SS}/(N\beta_{N4i})})$ นอกจากนั้นเงื่อนไขของการจำกัดจริงจะเป็นศูนย์ วงจรสะท้อนกระแสแบบช่วงกว้างที่ต่อคาสโคดกันในรูปแบบที่ 10 นี้จึงให้ช่วงโหมคร่วมที่กว้างและมีกำหนดค่าได้อย่างแม่นยำ จากสมการ $V_{Bnorm\Omega} = \sqrt{I_{SS}/(N\beta_{NSS})} + \sqrt{I_{SS}/(N\beta_{NSC})}$

เมื่อพิจารณาช่วงกว้างการทำงานโหมคผลต่าง (Differential mode range) ถ้ากระแสอินพุตตัวใดตัวหนึ่งเพิ่มขึ้นในขณะที่ตัวอื่นคงที่ ทรานซิสเตอร์ตัวบนที่ใช้สำหรับเปลี่ยนค่ากระแสจะขับกระแส I_{SS} ทั้งหมด และทรานซิสเตอร์ด้านล่างตัวอื่นๆจะกัคออฟ ช่วงกว้างการทำงานโหมคผลต่างสามารถหาได้จากสมการ

$$0 \leq \omega_k \leq \beta_{N4b} \left(\sqrt{\frac{I_{OS}}{\beta_{N4b}}} + \sqrt{\frac{I_{SS}}{\beta_{N4i}}} \right)^2 - I_{OS} \quad (3.16)$$

หากเมื่อพิจารณาว่ากลุ่มของกฎฟิซซี่ไม่มีการเปลี่ยนแปลง กล่าวคือ เมื่ออินพุตมีค่าสูงสุด ส่วนที่เหลือมีค่าเป็นศูนย์ค่าความผิดพลาดเชิงระบบมีสาเหตุ 3 ประการ ได้แก่ อิมพีแดนซ์จำกัดของ I_{SS} ความไม่เท่ากันของค่าแรงดันไฟตรงระหว่างโนดเอ๊าท์พุตของส่วนหลักวงจร (ทรานซิสเตอร์ M_{N4ik} และ M_{N4bk} ในรูป 3.10) และความไม่เท่ากันของแรงดันไฟตรงระหว่างโนดอินพุตและเอ๊าท์พุตที่เอ๊าท์พุตของวงจรสะท้อนกระแสจาก pMOS ทรานซิสเตอร์

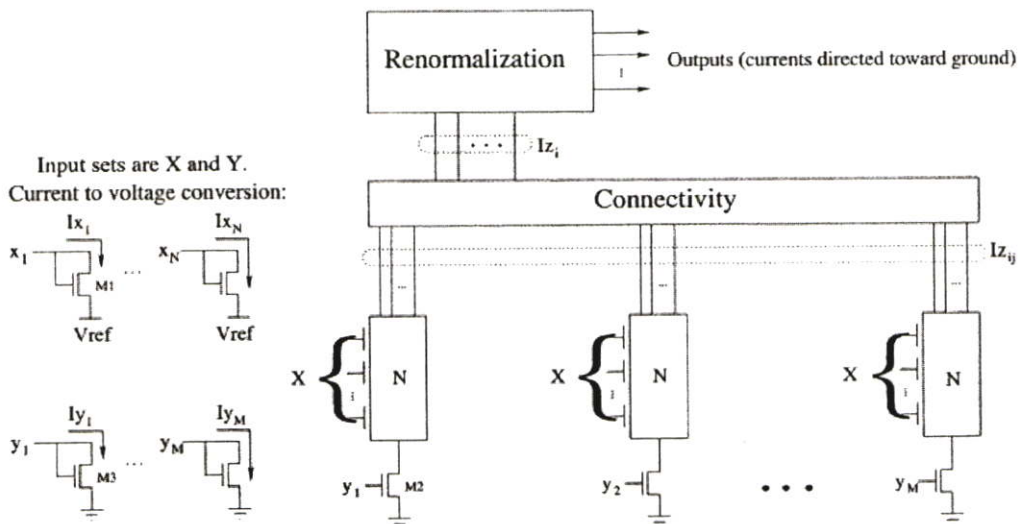
วิธีการต่อแบบคาสโคดของ I_{SS} ที่เลือกใช้ ทำให้สาเหตุของความผิดพลาดข้อแรกลดลงจนเหลือเพียงเล็กน้อยจนสามารถละเลยได้ นอกจากนี้ เนื่องจากทรานซิสเตอร์ด้านบนต่อกับ โนดที่มี

อิมพีแดนซ์ต่ำ ทำให้สาเหตุของความผิดพลาดข้อที่สองสามารถลดทอนลงได้มากด้วยค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์แบบ pMOS ที่ใช้ในโนดเหล่านี้ และสำหรับสาเหตุความผิดพลาดข้อที่สาม สามารถลดลงให้เหลือน้อยที่สุดได้โดยการต่อคาสโตนทรานซิสเตอร์เข้าไป ความผิดพลาดจะหาได้จากสมการ

$$\varepsilon(\omega_{ks}^*) = \frac{\omega_{ks}^*(V_{DD} - 2V_{T0P} - \sqrt{\frac{\omega_{ks}^*}{\beta_{P3S}}} - \sqrt{\frac{\omega_{ks}^*}{\beta_{P3C}}} - V_{CP3})}{V_{AP3S}} \quad (3.17)$$

ซึ่งสามารถลดลงให้เหลือน้อยที่สุดโดยการเลือกค่า V_{CP3} ที่เหมาะสม กล่าวคือ จะต้องเลือกค่าของสัญญาณที่เฉพาะเพื่อใช้เลือกค่าของ V_{CP3} เนื่องจากเอาท์พุตส่วนใหญ่ใช้สำหรับจับค่ากระแส I_{OS} ระดับของกระแสเหล่านี้จะใช้กำหนดตัวเลือกที่ดีที่สุด ดังนั้น V_{CP3} หาได้จาก (28) เมื่อ $\varepsilon = 0$ และ $\omega_{ks}^* = I_{OS}$ เมื่อพิจารณาถึงผลตอบสนองพลวัต (dynamic response) จากการวิเคราะห์พบว่า ควรปรับค่าความกว้างของ M_{NA} และค่าของ I_{SS} ในลักษณะแปรผันตามจำนวนอินพุตของวงจรรวมมอลโลไซ์ กล่าวคือเป็นกฎที่ใช้ในควบคุม สำหรับการรักษาผลตอบสนองไดนามิก ในขณะที่ความซับซ้อนเพิ่มขึ้น

วงจรรวมมอลโลไซ์แบบมอสทรานซิสเตอร์เลียนแบบหลักการไบโพลาร์ทรานส์ลิเนียร์ ยังถูกใช้งานในรูปแบบอื่นดังแสดงในรูปที่ 3.11 ซึ่งเป็นการประยุกต์ใช้วงจรรวมมอลโลไซ์ในวงจรคำนวณซ้ำแบบวนซ้ำ [26]



รูปที่ 3.11 การประยุกต์วงจรรวมมอลโลไซ์แบบมอสในวงจรคำนวณแบบวนซ้ำ

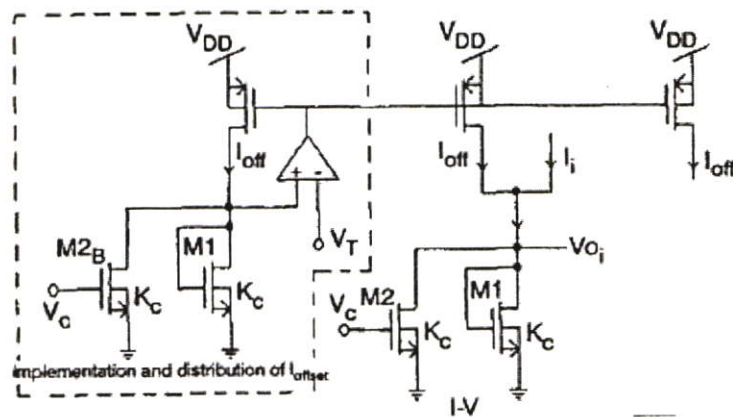
$$\mathbf{X}_0 \equiv \frac{\mathbf{X}_i}{\|\mathbf{X}_i\|} \quad (3.18)$$

$$\text{โดยที่ } \|\mathbf{X}_i\| = \sqrt{\sum_{k=1}^n X_{ik}^2}$$

ในส่วนการทำงานของวงจรสามารถอธิบายได้ดังนี้ จากรูปที่ 3.13 สัญญาณเวกเตอร์อินพุต ซึ่งอยู่ในรูปกระแส $\mathbf{I} = (I_1, I_2, \dots, I_N)$ จะถูกป้อนให้กับวงจร และได้สัญญาณเอาต์พุตในรูปศักดา $V_o = (V_{o1}, V_{o2}, \dots, V_{oN})$ ซึ่งแปรผันตามสัญญาณอินพุตที่ถูกลอว์มอดไลซ์

$$V_o \propto \frac{\mathbf{I}_i}{\|\mathbf{I}_i\|} \quad (3.19)$$

การแปลงสัญญาณอินพุตกระแสเป็นสัญญาณเอาต์พุตได้จากวงจรแปลงสัญญาณ (I-V converter) ซึ่งสามารถกำหนดอัตราขยายได้จากสัญญาณศักดาควบคุม V_c ในขณะที่ศักดาเอาต์พุต (V_{oi}) จะถูกป้อนเข้าที่ขาเกตของมอสทรานซิสเตอร์ทำหน้าที่ยกกำลังสองสัญญาณเอาต์พุต โดยมอสทรานซิสเตอร์ถูกกำหนดให้ทำงานในช่วงอิมิตัว กระแสรวมที่เกิดขึ้นจะถูกต่อร่วมกันและกำหนดโดยศักดา V_B ที่เกิดจากมอสทรานซิสเตอร์ M_B และมีค่าคงที่เท่ากับ I_B ที่จุด D เสมือนเป็นวงจรเปรียบเทียบกระแส โดยศักดาที่เกิดขึ้นที่จุดนี้ จะมีค่าเท่ากับศักดาที่เกิดขึ้นกระแสตรงต่ำสุด (ที่เกิดจาก V_{oi} ต่ำสุด) ศักดาที่เกิดขึ้นที่จุดนี้จะถูกต่อเข้ากับวงจรขยายสัญญาณ เพื่อทำการปรับค่าศักดาควบคุม V_c ที่ใช้ในการกำหนดอัตราขยายของวงจรแปลงสัญญาณ การป้อนกลับสัญญาณแบบลบนี้เพื่อให้ระบบเกิดเสถียรภาพและวงจรขยายยังคงทำงานแบบเชิงเส้น



รูปที่ 3.14 วงจรแปลงสัญญาณ I-V และส่วนไบอัสกระแส

วงจรแปลงสัญญาณ I-V ที่แสดงในรูปที่ 3.14 ถูกปรับปรุงให้มีการควบคุมอัตราขยายด้วยตัวต้านทานแบบปรับค่าได้ด้วยศักดาที่ต่อกราวด์ (Voltage-controlled grounded resistor) สมมติให้

$0 \leq V_{oi} \leq V_c - V_T$ ดังนั้น M2B และ M2 จะทำงานในช่วง triode และหากกำหนดให้วงขยายทำงานช่วงเชิงเส้น ($V_+ = V_- = V_T$) ดังนั้น

$$I_{off} = K_c V_c V_T - \frac{3}{2} K_c V_T^2 \quad (3.20)$$

พิจารณาตามกฎกระแสของ Kirchhoff ที่จุด V_o ดังนั้น

$$V_{oi} = \frac{I_i}{K_c (V_c - 2V_T)} + V_T \quad (3.21)$$

โดยที่ V_T ไบอัสที่ขาอินพุตลบของวงจขยายดังแสดงในรูปที่ 3.14

การทำงานของวงจรมอลไลเซชันเริ่มขึ้นสัญญาณกระแสแวกเตอร์อินพุตถูกแปลงเป็นสัญญาณศักดาเอาต์พุตตามสมการที่ (3.21) จากนั้นศักดาเอาต์พุตนี้จะถูกป้อนที่ขาเกตของทรานซิสเตอร์ M_i (รูปที่ 3.14) และกระแสจะถูกรวมกันที่จุด D ดังนั้น

$$I_{SQ} \equiv \sum_{i=1}^n I_{D_{Mi}} = \sum_{i=1}^n \frac{K}{2} (V_{oi} - V_T)^2 = \frac{K}{2K_c^2} \frac{\sum_{i=1}^n I_i^2}{(V_c - 2V_T)^2} \quad (3.22)$$

ในรูปแบบนี้ อธิบายถึง ขนาดEuclideanกำลังสอง ของสัญญาณกระแสแวกเตอร์อินพุต ปริมาณนี้เปรียบเทียบกับขนาดEuclideanกำลังสอง ซึ่งอธิบายในวงจร ด้วย I_B ถ้า $I_{SQ} > I_B$ แล้ว V_D จะมีแนวโน้มลดลง เมื่อใช้วงจขยายแบบกลับเฟส สัญญาณ V_c จะเพิ่มขึ้น ดังนั้นจะสอดคล้องตามสมการที่ (3.22) ซึ่ง I_{SQ} จะมีค่าลดลง ผลของการตอบสนองสำหรับกรณีที่ $I_{SQ} < I_B$ นั้นพบว่า ค่าของ I_{SQ} จะมีค่าเพิ่มขึ้น จากการวิเคราะห์ความสัมพันธ์ของระดับแรงดัน V_c เห็นได้อย่างชัดเจนว่าเป็นดังนี้

$$I_{SQ} = I_B \quad (3.23)$$

และ V_c เป็นความสัมพันธ์ของขนาดEuclidean ของแวกเตอร์อินพุต ทำการแทนสมการที่ (3.22) ลงในสมการที่ (3.23) ทำการหา V_c จะได้ดังนี้

$$V_c = 2V_T + \frac{1}{K_c} \sqrt{\frac{K}{2I_B}} \sqrt{\sum_{i=1}^n I_i^2} \quad (3.24)$$

จากสมการที่ (3.24) แสดงให้เห็นว่าคือความสัมพันธ์ของขนาดEuclideanของเวกเตอร์อินพุต ทำการแทนสมการที่ (3.24) ลงในสมการที่ (3.21) ผลสุดท้ายจะได้เวกเตอร์เอาต์พุตดังนี้

$$V_{oi} = \sqrt{\frac{2I_B}{K}} \frac{I_i}{\sqrt{\sum_{i=1}^n I_i^2}} + V_T = \sqrt{\frac{2I_B}{K}} \frac{I_i}{\|\mathbf{I}\|} + V_T \quad (3.25)$$

จากสมการที่ (3.25) แสดงให้เห็นว่าเวกเตอร์เอาต์พุตจริงๆแล้วถูกนอร์มอลไลซ์ของขนาดEuclideanจากอินพุตเวกเตอร์ ด้วยการออฟเซตให้เท่ากับ V_{T-}

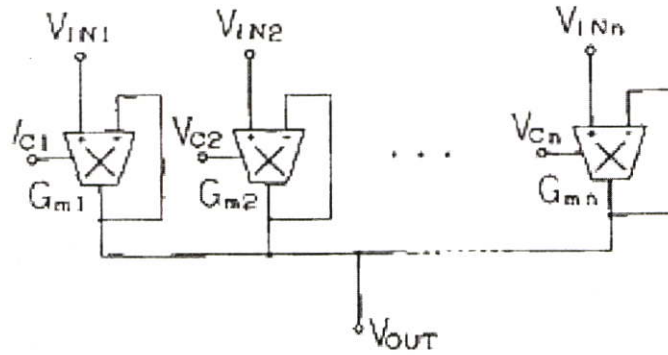
สำหรับข้อจำกัดของการทำงานของวงจรรดับแรงดัน V_C เป็นตัวจำกัดสำหรับการทำงานที่ถูกของ I - V เพราะว่าทรานซิสเตอร์ M_{2B} และ M_2 ของส่วนหนึ่งของวงจรถูกเปลี่ยนสัญญาณ I-V จะทำงานในช่วงtriode ($2V_T \leq V_C \leq V_{DD}$) ดังนั้น $\|\mathbf{I}\|$ คือขอบเขตที่เหมาะสมของสมการที่ (3.24)

$$\|\mathbf{I}\| \leq K_C \sqrt{\frac{2I_B}{K}} (V_{DD} - 2V_T) \quad (3.26)$$

การทำงานที่ถูกของ I - V ($V_{oi\max} \leq V_C - V_T$) ยิ่งไปกว่านั้นถูกกำหนดขอบเขตของกระแสอินพุตสูงสุดในความสัมพันธ์ตามขนาดEuclidean ของกระแสเวกเตอร์อินพุต อย่างไรก็ตามสามารถพิสูจน์ได้โดยง่ายว่าข้อจำกัดนี้สามารถถูกมองข้ามโดยการเลือก $I_B \leq 2KV_T^2$ แน่แน่นอนว่าการเลือกแบบนี้สนับสนุนข้อจำกัดขอบเขตของ $\|\mathbf{I}\|$ ตามสมการที่ (3.26)

เมื่อพิจารณาผลกระทบลำดับที่ 2 (Second order effect) อันเกิดจากทรานซิสเตอร์ซึ่งจะมีผลกระทบเพียงเล็กน้อยและสามารถละเลยได้ แม้ว่าจากการวิเคราะห์วงจรที่ผ่านมาไม่ได้แสดงให้เห็นผลกระทบของ Body effect ซึ่งแสดงในรูปของความยาวของช่องสัญญาณมอดูเลต (Channel-length modulation) ซึ่งจะเปลี่ยนแปลงค่าสัมประสิทธิ์ K เพียงเล็กน้อยด้วยค่าคงที่ $(1 + \lambda V_D)$ ทั้งนี้เนื่องจาก V_D มีค่าค่อนข้างคงที่ โดยถูกตั้งค่าไว้ที่ระดับของ inverter ที่ใช้สำหรับการป้อนกลับ

3.5 วงจรนอร์มอลไลเซชันแบบ OTA



รูปที่ 3.15 วงจรนอร์มอลไลเซชันแบบ OTA [29]

จากรูปที่ 3.15 เป็นวงจรนอร์มอลไลเซชันที่สร้างขึ้นด้วย OTA (Operational Transconductance Amplifier) ที่มีฟังก์ชันถ่ายโอนแบบดังแสดงในสมการที่ 3.27 ซึ่งต่างจากสมการที่ 1.3 หรือการนอร์มอลไลซ์ด้วยค่าเฉลี่ยสัญญาณอินพุตทั้งหมด โดยวงจรนี้จะให้ค่าเอาต์พุตเพียงสัญญาณเดียว โดยมีค่าเท่ากับผลบวกของผลคูณสัญญาณอินพุตแต่ละค่าถ่วงน้ำหนัก ซึ่งในที่นี้คือสัญญาณด้วยศักดาควบคุม V_c และทำการนอร์มอลไลซ์ด้วยค่าถ่วงน้ำหนักรวม

$$V_{out} = \frac{\sum_{i=1}^N V_{in(i)} V_{c(i)}}{\sum_{i=1}^N V_{c(i)}} \quad (3.27)$$

การวิเคราะห์การทำงานของวงจรในรูปที่ 3.15 แสดงได้ด้วยสมการ Kirchhoff's current law ดังแสดงในสมการที่ 3.28

$$G_{m1}(V_{in1} - V_{out}) + G_{m2}(V_{in2} - V_{out}) + \dots + G_{m(n)}(V_{in(n)} - V_{out}) = 0 \quad (3.28)$$

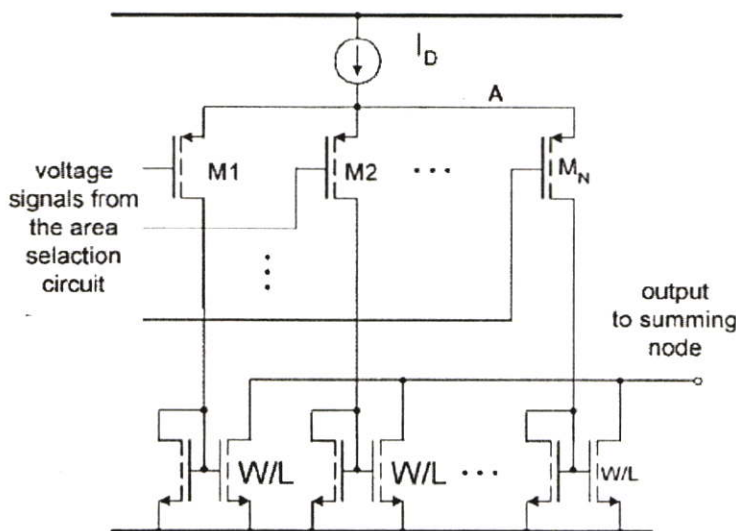
และจากฟังก์ชันถ่ายโอนของวงจร OTA $I_{out} = G_m (V_{in+} - V_{in-})$

ดังนั้น

$$V_{out} = \frac{\sum_{i=1}^N V_{in(i)} G_{m(i)}}{\sum_{i=1}^N G_{m(i)}} \quad (3.29)$$

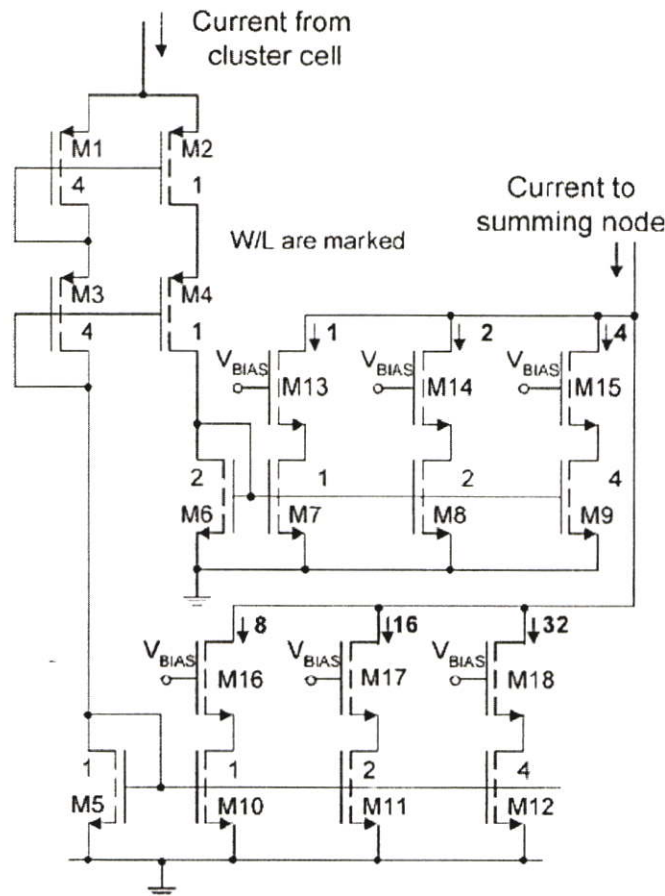
3.6 วงจรนอร์มอลไลเซชันแบบปรับค่าแบบดิจิทัล

วงจรประเภทนี้แม้ว่าจะไม่อยู่ในข่ายการประมวลผลแบบอนาล็อก แต่ที่กล่าวถึงเพื่อให้เห็นการประยุกต์ใช้วงจรมอร์มอลไลเซชันข้างต้นแต่เพิ่มในส่วนการปรับค่าด้วยดิจิทัล ดังแสดงในรูปที่ 3.16



รูปที่ 3.16 วงจรนอร์มอลไลเซชันแบบปรับค่าด้วยดิจิทัล [24]

ขั้นตอนการทำงานและสร้างวงจรนี้ ประยุกต์มาจากวงจรที่ใช้ในการเลือกกฎพีซซี (Rule selection circuit) จากรูปที่ 3.16 สัญญาณอินพุตลบเมื่อเทียบกับแหล่งจ่ายไฟเลี้ยงจะถูกป้อนเข้ากับ PMOS ทรานซิสเตอร์ (M_1 - M_N) โดยที่ขาซอร์สถูกต่อร่วมกันและมีแหล่งจ่ายกระแสที่ I_D ทำหน้าที่จ่ายกระแสให้กับวงจร ดังนั้นศักจรวมที่จุด A จึงมีค่าเท่ากับศักจรวมต่ำสุดที่เกิดจากสัญญาณอินพุตต่ำสุด เมื่อกำหนดให้ค่าอัตราส่วนที่กระแส (W/L) ของวงจรสะท้อนกระแสด้านล่างวงจรมีค่าต่างกันตามขนาดกลุ่มสัญญาณเอาต์พุต ดังนั้นกระแสเอาต์พุตรวมมาจากวงจรสะท้อนกระแสที่ถูกถ่วงน้ำหนักด้วยค่าขนาดทรานซิสเตอร์ในแต่ละวงจรสะท้อนกระแส แต่ให้ง่ายต่อการควบคุมดังนั้นการปรับค่าถ่วงน้ำหนักจะใช้วิธีการต่อขนานทรานซิสเตอร์ซึ่งทรานซิสเตอร์แต่ละตัวสามารถถูกควบคุมได้ด้วยศักจรวมที่ขาเกตในลักษณะของดิจิทัล ซึ่งสะดวกต่อการควบคุมค่าถ่วงน้ำหนัก



รูปที่ 3.17 วงจรถ่วงน้ำหนักที่มีแหล่งกำหนดกระแสแบบปรับค่าได้แบบดิจิทัล

ค่าน้ำหนักของกลุ่มที่แตกต่างกันสามารถกำหนดโดยการตั้งค่าอัตราสะท้อนกระแส (W/L) ของแหล่งจ่ายไฟในรูปที่ 3.16 ตัวอย่างการปฏิบัติสามารถใช้เพียง fuzzy controller ซึ่งถูกออกแบบให้ใช้ในด้านในด้านหนึ่งจาก mask level จุดประสงค์ในการศึกษาคือพัฒนาให้ตัวคอนโทรลพีซีซึ่งแบบดิจิทัลที่สามารถโปรแกรมได้ (Digitally programmable fuzzy controller) ทำการร้องขอการควบคุมจากด้านนอกได้ งานนี้สำเร็จได้จากการริเริ่มการทำวงจรถ่วงน้ำหนักกระแสแบบดิจิทัลที่สามารถโปรแกรมได้ (Digitally programmable current mirror) แสดงในรูปที่ 3.17 วงจรถ่วงน้ำหนักกระแสแบบต่อเรียงกัน (M1-M4) แยกออกเป็นกระแสอินพุตซึ่งใช้อัตราจากตัวที่ 4 ถึงตัวที่ 1 โดยใช้ค่าที่ต่างกันของอัตราสะท้อนกระแสจากกระแสสองแขนง การจัดเรียงของทรานซิสเตอร์ M5-M12 ให้เป็น 2 เอนท์พุตของการสะท้อนกระแส ซึ่งมีหลายกระแสเป็นตัวประกอบคือ 1,2,4,8,16 และ 32 ขึ้นอยู่กับอัตราสะท้อนกระแสที่ใช้ ทรานซิสเตอร์ M13-M16 ทำงานเป็นสวิตช์ควบคุมกระแสแบบดิจิทัล ส่วนการนอร์มอลไลเซชันสามารถทำได้โดยง่ายจากการคำนวณเชิงเลขแทน

บทที่ 4

วงจรมอดไลเซชันกำลังสอง

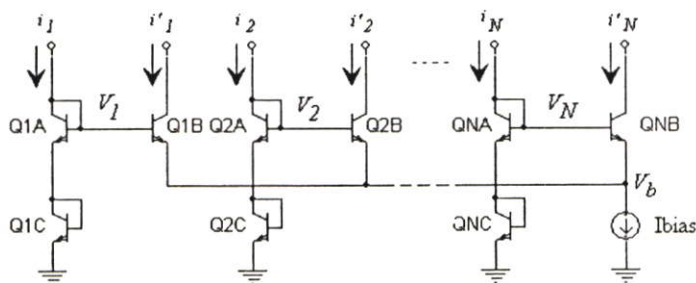
4.1 วงจรมอดไลเซชันสัญญาณกำลังสอง

จากวงจรมอดไลเซชันแบบ Gilbert's cell วิทยานิพนธ์นี้ได้ขยายแนวความคิดออกไปให้สามารถประมวลค่ามอดไลเซชันสัญญาณแบบกำลังสอง โดยเพิ่มไบโพลาร์ทรานซิสเตอร์เข้าไปอีกเพียงเล็กน้อย สำหรับการประมวลค่ามอดไลเซชันสัญญาณแบบกำลังสอง สามารถแสดงได้ดังนี้

$$x'_k = \frac{x_k^2}{\sum_{i=1}^N x_i^2} \quad (4.1)$$

รูปที่ 4.1 แสดงวงจรมอดไลเซชันสัญญาณแบบกำลังสองที่นำเสนอ สังเกตว่าวงจรจะไม่มีส่วนของป้อนกลับรวม (Global feedback) ดังนั้นผลตอบสนองที่ดีกว่า นอกจากนี้ เนื่องจากความเรียบง่ายของวงจร กล่าวคือ ต้องการทรานซิสเตอร์เพียง 3 ตัวต่ออินพุต (x_i) และแหล่งจ่ายกระแสคงที่ (I_{bias}) อีกตัวเท่านั้น คุณลักษณะของวงจรสามารถสรุปได้ดังนี้

1. แต่ละเซลล์ถูกต่อแบบไบโพลาร์ทรานซิสต์ลิเนียร์โดยต่อปลายด้านหนึ่ง (Q_{iB}) ร่วมกัน
2. ผลบวกกระแสเอาต์พุตของแต่ละเซลล์มีค่าคงที่และถูกกำหนดโดยแหล่งจ่ายกระแสคงที่ (I_{bias})
3. ความสัมพันธ์ระหว่างอินพุตและเอาต์พุตในแต่ละเซลล์มีลักษณะแบบ Monotonic กล่าวคือ เซลล์ใดที่มีอินพุตมาก ก็จะมีเอาต์พุตมากด้วยเช่นกัน



รูปที่ 4.1 วงจรมอดไลเซชันสัญญาณกำลังสอง

จากรูปที่ 4.1 แสดงวงจรค่านอร์มอลไลเซชันสัญญาณแบบกำลังสองประกอบด้วยเซลล์จำนวน N เซลล์ โดยแต่ละเซลล์ประกอบไปด้วยหนึ่งอินพุตและหนึ่งเอาต์พุต และถูกต่อร่วมเข้ากับแหล่งจ่ายกระแส (Ibias) ที่จุด V_b โดยทรานซิสเตอร์ทุกตัวจะทำงานช่วง Forward-active ซึ่งทำให้เกิดการต่อเชื่อมแบบไบโพลาร์ทรานลิเนียร์ (Q1C-Q1A-Q1B) และหากสมมติว่าไบโพลาร์ทรานซิสเตอร์ที่เลือกใช้มีค่าอัตราขยายกระแสสูง ($\beta_0 \gg 1$) ดังนั้นเราสามารถประมาณกระแสคอลเลคเตอร์มีขนาดใกล้เคียงกับกระแสอิมิตเตอร์ ($I_c \approx I_E$) และดังนั้น

$$I_E = I_0 \exp\left(\frac{V_{BE}}{V_T}\right) \quad (4.2)$$

เมื่อ V_T คือ Thermal voltage ซึ่งมีค่าเท่ากับ kT/q และ I_0 มีค่าเท่ากับ $1.0E-15$ Amp สำหรับ CA3906 (ทรานซิสเตอร์ที่เลือกใช้ในการทดสอบในวิทยานิพนธ์นี้) จากสมการที่ 3 สามารถเขียนใหม่ได้ดังนี้

$$V_{BE} = V_T \ln\left(\frac{I_E}{I_0}\right) \quad (4.3)$$

และหากสมมติว่าทรานซิสเตอร์ทุกตัวที่ใช้มีคุณสมบัติเหมือนกัน เมื่อพิจารณาในเซลล์ที่ 1

$$V_1 = V_{BE(Q1A)} + V_{BE(Q1C)} \quad (4.4)$$

$$= V_T \ln\left(\frac{i_1}{I_0}\right) + V_T \ln\left(\frac{i_1}{I_0}\right)$$

ดังนั้น,

$$V_1 = V_T \ln\left(\frac{i_1^2}{I_0^2}\right) \quad (4.5)$$

และด้วยวิธีการเดียวกันสำหรับเซลล์อื่น ดังนั้นความสัมพันธ์ทั่วไปสามารถแสดงได้ดังนี้

$$V_i = V_T \ln\left(\frac{i_i^2}{I_0^2}\right)$$

หรือ

$$\exp\left(\frac{V_i}{V_T}\right) = \frac{i_i^2}{I_0^2} \quad (4.6)$$

ต่อไป พิจารณาที่จุกคร่อม (V_b) ที่ต่อกับแหล่งจ่ายกระแสคงที่ I_{bias} สำหรับเซลล์ที่ 1

$$V_b = V_1 + V_{BE(Q1B)} \quad (4.7)$$

แทนสมการที่ (4.3) และ (4.6) ลงใน (4.7) ดังนั้น

$$\begin{aligned} V_b &= V_T \ln\left(\frac{i_1^2}{I_0^2}\right) - V_T \ln\left(\frac{i_1'}{I_0}\right) \\ &= V_T \ln\left(\frac{i_1^2}{I_0 i_1'}\right) \end{aligned}$$

หรือ

$$\exp\left(\frac{V_b}{V_T}\right) = \frac{i_1^2}{I_0 i_1'} \quad (4.8)$$

สุดท้าย เมื่อนำกระแสเอาต์พุตมารวมกันและกำหนดให้มีค่าคงที่

$$\begin{aligned} I_{bias} &= i_1' + i_2' + \dots + i_N' \\ &= I_0 \exp\left(\frac{V_{BE(Q1B)}}{V_T}\right) + \dots + I_0 \exp\left(\frac{V_{BE(QNB)}}{V_T}\right) \\ &= I_0 \exp\left(\frac{V_1 - V_b}{V_T}\right) + \dots + I_0 \exp\left(\frac{V_N - V_b}{V_T}\right) \\ &= I_0 \exp\left(-\frac{V_b}{V_T}\right) \left[\exp\left(\frac{V_1}{V_T}\right) + \dots + \exp\left(\frac{V_N}{V_T}\right) \right] \end{aligned} \quad (4.9)$$

โดยแทนสมการ (4.7) และ (4.8) ลงในสมการ (4.9) ผลที่ได้คือ

$$I_{bias} = \frac{I_0^2 i_i'}{i_i^2} \left(\frac{i_1^2}{I_0^2} + \frac{i_2^2}{I_0^2} + \dots + \frac{i_N^2}{I_0^2} \right) = \frac{i_i'}{i_i^2} \sum_{i=1}^N i_i^2$$

ดังนั้นค่าออร์มอลโดเซชันกำลังสองของแต่ละเซลล์สามารถหาได้จากวงจรที่นำเสนอ กล่าวคือ

$$i'_i = I_{bias} \frac{i_i^2}{\sum_{i=1}^N i_i^2} \quad (4.10)$$

4.2 วงจรถอดรากลำดับสอง

เพื่อที่จะได้วงจรเวกเตอร์นอร์มอลไลเซชัน จำเป็นต้องมีวงจรถอดรากลำดับสองในแต่ละเอาต์พุตของแต่ละเซลล์ที่ได้จากวงจรนอร์มอลไลเซชันลำดับสองดังที่ได้กล่าวไว้ในหัวข้อก่อนหน้านี้ จากสมการ (4.10) เมื่อถอดรากลำดับสอง ดังนั้นจะได้ความสัมพันธ์ดังนี้

$$i'_{oi} = I_{bias}^{0.5} \frac{i_i}{\sqrt{\sum_{i=1}^N i_{0i}^2}} \quad (4.11)$$

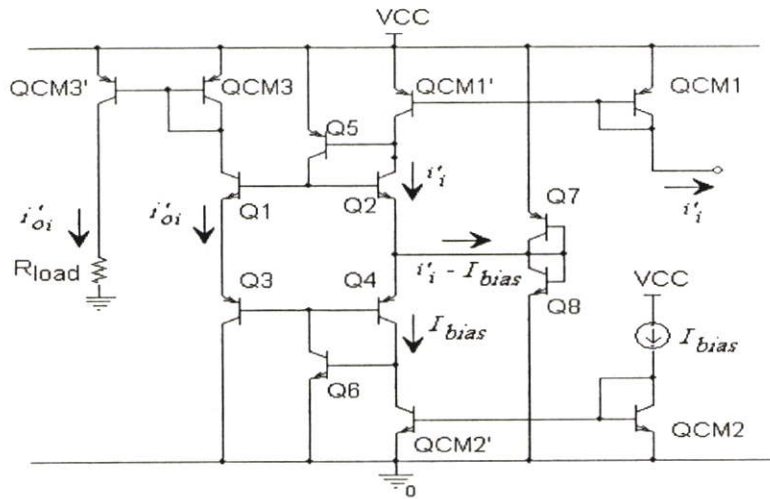
รูปที่ 4.2 แสดงวงจรถอดรากลำดับสอง โดยทรานซิสเตอร์ Q1-Q4 ถูกต่ออยู่ในลักษณะไบโพลาร์ทรานส์ลิเนียร์ ดังนั้น

$$I_{CQ1}I_{CQ3} = I_{CQ2}I_{CQ4} \quad (4.12)$$

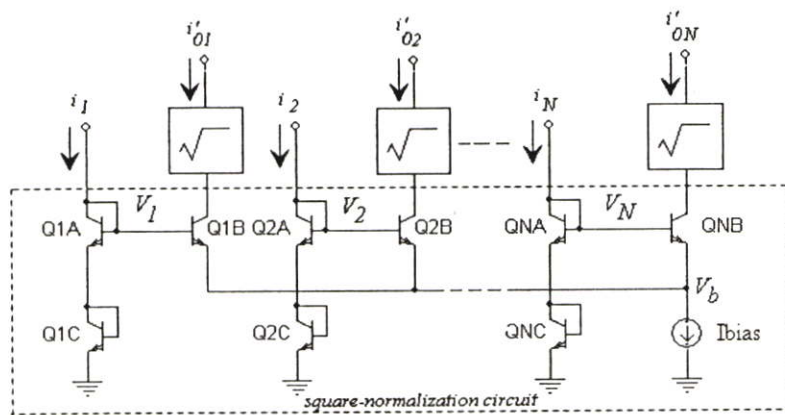
วงจรสะท้อนกระแส (QCM1-QCM1') ทำหน้าที่สะท้อนกระแสเอาต์พุต i'_i ที่ได้จากวงจรนอร์มอลไลเซชันลำดับสองโดยป้อนให้กับ Q2 ในขณะเดียวกัน ที่ส่วนล่างของวงจร วงจรสะท้อนกระแส (QCM2-QCM2') ก็ทำการสะท้อนกระแสค่ากระแสคงที่ I_{bias} ให้กับ Q4 โดยส่วนเอาต์พุตของวงจรประกอบด้วยทรานซิสเตอร์ Q1 และ Q3 ซึ่งต่อช้อนกันอยู่และมีกระแสไหลผ่านเท่ากันเท่ากับ i'_{oi} โดยมีส่วนวงจรสะท้อนกระแสขาออก (QCM3-QCM3') ทำหน้าที่สะท้อนกระแสเป็นเอาต์พุตของวงจร โดยความสัมพันธ์ของกระแสในส่วนไบโพลาร์ทรานส์ลิเนียร์ (Q1-Q4) คือ $i'_i I_{bias} = i'_{oi} i'_{oi}$ หรือแสดงในรูปของการถอดรากลำดับสองได้ดังนี้

$$i'_{oi} = \sqrt{i'_i I_{bias}} \quad (4.13)$$

นอกจากนี้ Q7-Q8 ในวงจรจะทำหน้าที่เป็น Active load โดยจะกำจัดกระแสส่วนเกินที่เกิดจาก $i'_i - I_{bias}$ และ Q5-Q6 ยังทำหน้าที่เพิ่มความแม่นยำให้กับวงจรทรานส์ลิเนียร์ โดยทำหน้าที่ป้อนกระแสเบสให้กับทรานซิสเตอร์ Q1-Q2 และ Q3-Q4 ตามลำดับ



รูปที่ 4.2 วงจรลดครากกำลังสอง



รูปที่ 4.3 วงจรเวกเตอร์นอร์มอลไลเซชัน

สำหรับการวิเคราะห์ผลตอบสนองทางความถี่ สามารถทำได้โดยแบ่งการพิจารณาเป็นสองส่วนคือส่วนวงจรลดครากกำลังสอง และวงจรมอดไลสัญญาณกำลังสอง สำหรับวงจรแรกผลตอบสนองทางความถี่จะขึ้นกับวงจรสะท้อนกระแสเป็นหลัก โดยเฉพาะวงจรสะท้อนกระแสในส่วนอินพุต (QCM1-QCM1') และส่วนเอาต์พุต (QCM3-QCM3') นอกจากนี้ยังขึ้นกับวงจรถานส์ลิเนียร์ (Q1-Q4) เนื่องจากทรานซิสเตอร์ทุกตัวถูกออกแบบให้เหมือนกัน โดย Q1 และ Q3 ยังมีกระแสไหลผ่านเท่ากัน ทำให้ทรานซิสเตอร์ทั้งสองมีคุณสมบัติเหมือนกัน ส่วนทรานซิสเตอร์ก็มีเฉพาะกระแสหลักที่ (I_{bias}) ไหลผ่าน ดังนั้นผลตอบสนองความถี่ของวงจรลดครากกำลังสองสามารถแสดงได้ดังนี้

$$\frac{I_{C(Q1)}}{I_{C(Q2)}}(s) = \frac{1}{1 + g_{m(Q2)} [r_{\pi(Q1)} // (1/sC_{\pi(Q1)})]} \quad (4-14)$$

โดย C_{π} = ค่าความจุไฟฟ้าที่เบส C_b + ค่าความจุไฟฟ้าที่รอยต่อ เบส-อิมิตเตอร์ C_{je}

$$= \tau_F g_m + C_{je}$$

τ_F = ค่าเวลาข้ามผ่าน(Forward transit time)

g_m = ค่าความทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ (Transconductance = $\frac{qI_C}{kT}$)

r_{π} = ค่าความต้านทานขาเข้า(Input resistance = $\frac{\beta_0}{g_m}$)

จากสมการที่ 4.14 พบว่าผลตอบสนองความถี่จะขึ้นอยู่กับค่า Transconductance ของทรานซิสเตอร์ Q2 - ($g_{m(Q2)}$) ซึ่งรับค่ากระแสอินพุตมาจากวงจรสะท้อนกระแสเป็นสำคัญ และเนื่องจากวงจรลดครากกำลังสองมีความสัมพันธ์ระหว่างกระแสอินพุตและกระแสเอาต์พุตแบบ Soft-monotonic ดังนั้นขนาดของกระแสไม่ส่งผลกับผลตอบสนองเชิงความถี่

สำหรับผลตอบสนองวงจรมอดไลเซชันสัญญาณกำลังสอง ซึ่งขึ้นอยู่กับความสัมพันธ์เชิงความถี่ระหว่างสัญญาณกระแสอินพุต (i_i) และสัญญาณกระแสเอาต์พุต (i_i') สามารถแสดงได้ในสมการที่ (4.15)

$$\frac{i_i'}{i_i}(s) = \frac{r_{\pi(Q1B)} // (1/sC_{\pi(Q1B)})}{\frac{g_{m(Q1A)}}{2} \left(\frac{N}{N-1} \right) r_{\pi(Q1B)} // (1/sC_{\pi(Q1B)}) + 1} \quad (4.15)$$

เมื่อ N คือ มิตติของเวกเตอร์และมิตติมากกว่า 1

สังเกตว่า เมื่อ N เพิ่มขึ้นผลตอบสนองวงจรมอดไลเซชันจะค่อย ๆ ลดลงอันมีผลมาจากการต่อวงจรขนานกัน

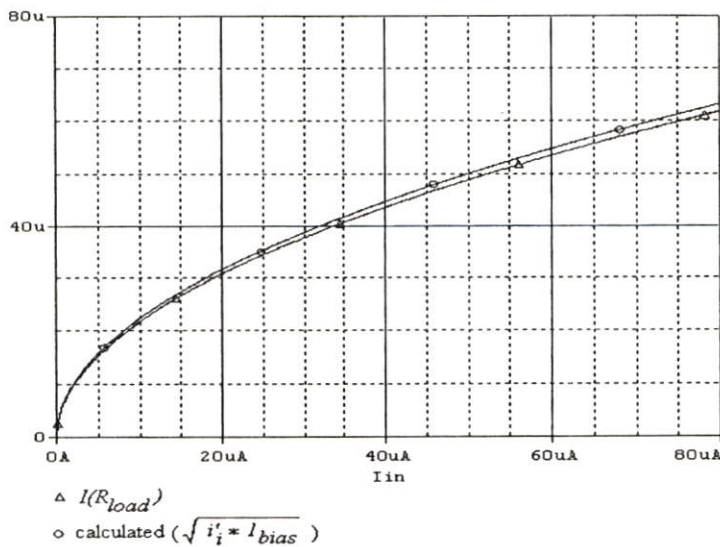
บทที่ 5

ผลการจำลองการทำงานวงจร

สำหรับการทำงานของวงจร จะถูกทดสอบด้วยโปรแกรมจำลองการทำงาน PSpice โดยใช้แบบจำลอง ทรานซิสเตอร์ CA3906 (Transistor array) จาก Intersil กำหนดให้ I_{bias} มีค่าเท่ากับ 50 ไมโครแอมป์ และ R_{load} มีค่าเท่ากับ 10 กิโลโอห์ม โดยทดสอบภายใต้แหล่งจ่ายไฟเดี่ยวขนาด 3.3 โวลต์

5.1 การจำลองและผลการทดสอบวงจรอครากที่สอง

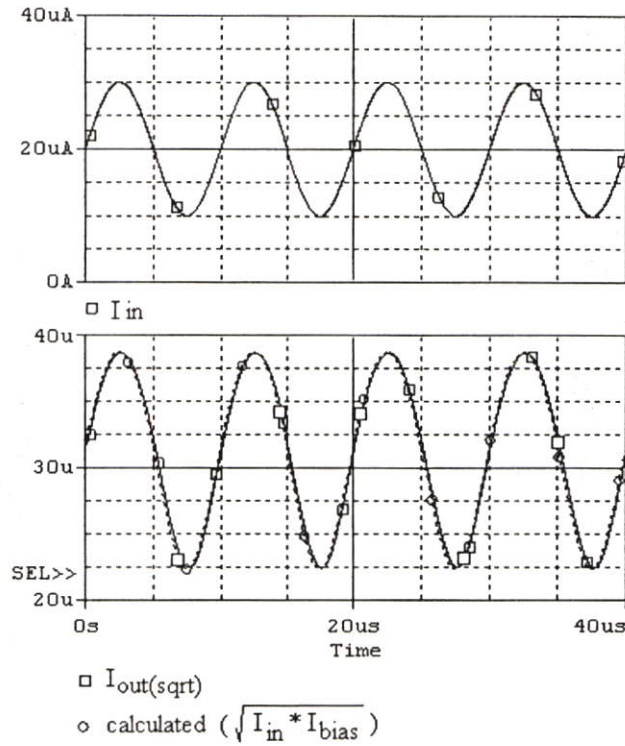
เริ่มจากการทดสอบผลตอบสนองไฟตรง โดยปรับกระแสตั้งแต่ 0-80 ไมโครแอมป์ รูปที่ 5.1 แสดงผลการจำลองค่าทำงานของวงจรอครากที่สอง (รูปที่ 4.2)



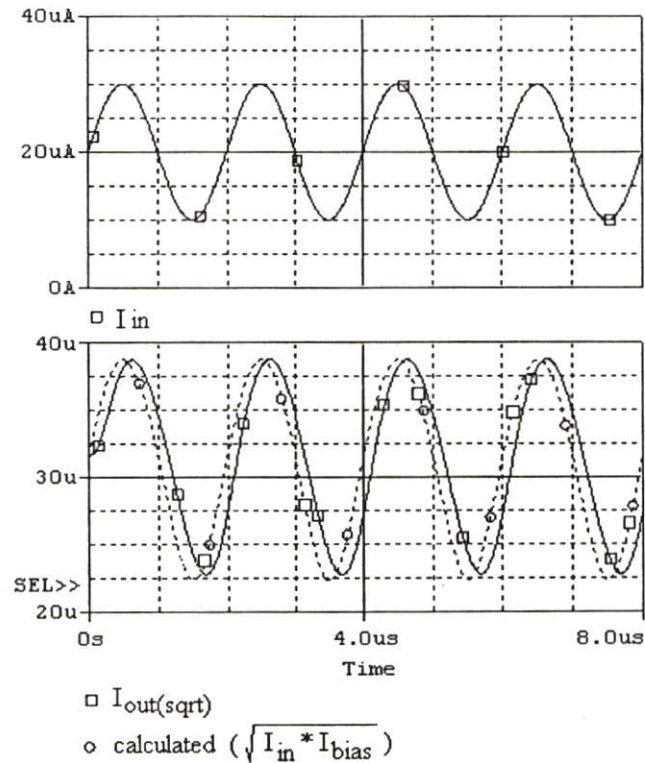
รูปที่ 5.1 ผลตอบสนองวงจรถอดครากที่สอง (DC-Sweep)

เมื่อทำการทดสอบผลตอบสนอง Transient โดยทำการป้อนสัญญาณไซน์ที่มีความถี่ 100kHz และ 500kHz กำหนดให้มีขนาดสัญญาณกระแส (Amplitude) เท่ากับ 10 μA และกระแสออฟเซตไฟตรงค่าเท่ากับ 10 μA ผลการทดสอบโดยเปรียบเทียบกับค่าที่ได้จากการคำนวณ (ค่าในอุดมคติ) แสดงในรูปที่ 5.2 และ 5.3 ตามลำดับ การทดสอบนี้ทำที่อุณหภูมิ 27c พบว่าเกิดการเลื่อนเฟสเกิดขึ้นโดยที่ความถี่ 100kHz เฟสเลื่อนไปมีค่าเท่ากับ 154ns หรือ 1.54% ของสัญญาณเอาต์พุตที่ได้

จากการคำนวณและที่ความถี่ 500kHz เฟสเลื่อนไปมีค่าเท่ากับ 147 ns หรือ 7.35% ของสัญญาณเอาต์พุตที่ได้จากการคำนวณ



รูปที่ 5.2 ผลตอบสนอง Transient วงจรทรานซิสเตอร์ที่สอง ที่ความถี่ 100 kHz



รูปที่ 5.3 ผลตอบสนอง Transient วงจรทรานซิสเตอร์ที่สอง ที่ความถี่ 500 kHz

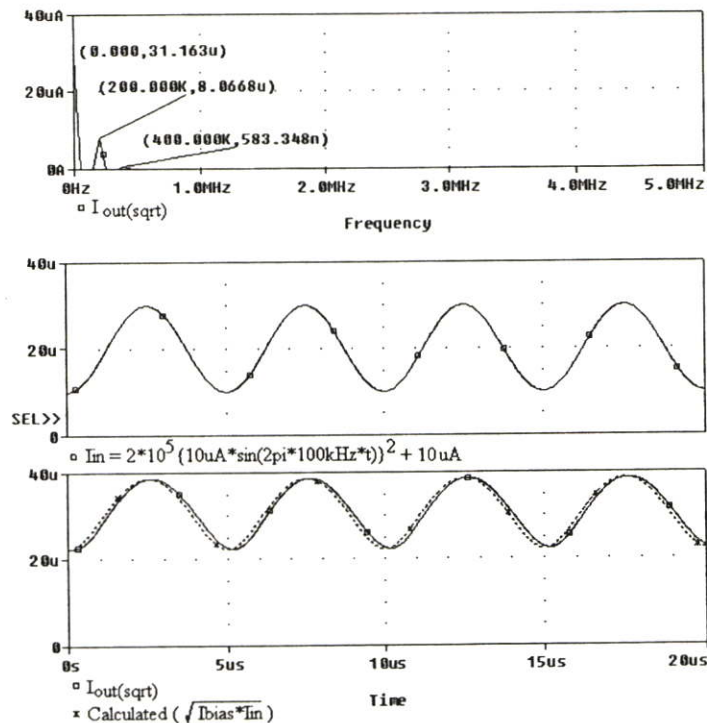
เพื่อทำการทดสอบความผิดเพี้ยนของสัญญาณเอาต์พุตของวงจรดอครากที่สอง ดังนั้นจึงทำการวัดค่า THD (Total Harmonic Distortion) ของสัญญาณเอาต์พุตที่เป็นสัญญาณไซน์ที่ Harmonic ที่ 1 เทียบกับ Harmonic อื่น ๆ แต่เนื่องจากการทำงานของวงจรเป็นฟังก์ชันดอครากที่สอง ดังนั้นเพื่อให้ได้สัญญาณเอาต์พุตแบบสัญญาณไซน์ จึงจำเป็นต้องกำหนดให้สัญญาณกระแสอินพุตได้จากสัญญาณไซน์ที่ถูกยกกำลังสอง ในที่นี้กำหนดให้สัญญาณอินพุต เกิดจากการยกกำลังสัญญาณไซน์ที่มีความถี่ 100 kHz และ 500 kHz ค่าขนาดสัญญาณเท่ากับ 10uA จากนั้นทำการปรับขนาดสัญญาณให้เหมาะสมด้วยการขยาย 2×10^5 เท่า และยกระดับสัญญาณด้วยค่ากระแสออฟเซตไฟตรง ที่ขนาด 10uA ซึ่งสามารถแสดงด้วยสมการต่อไปนี้

$$I_{in} = 2 * 10^5 * (10uA * \sin 2\pi f) + 10uA$$

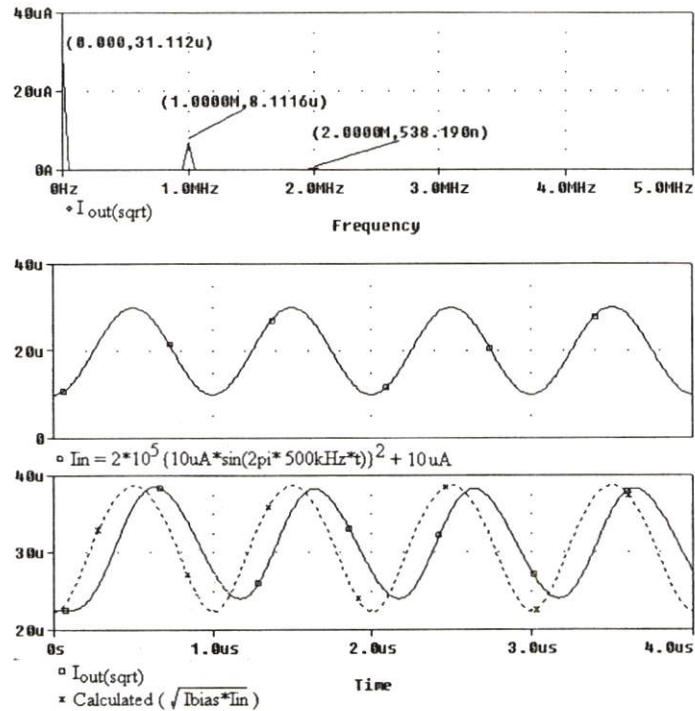
ผลการทดสอบ Transient ที่ได้จะถูกแปลงให้อยู่ในองค์ประกอบความถี่ด้วย DFT จากนั้นจึงคำนวณค่า THD จากสมการ 5.1 ซึ่งมีค่าเท่ากับ 0.52% และ 0.44% ดังแสดงในรูปที่ 5.4 และ 5.5 ตามลำดับ

$$THD(\%) = \frac{\left(\sum_{k=1}^{\infty} i_k^2 \right)^{\frac{1}{2}}}{i_1} * 100 \quad (5.1)$$

โดย i_k แสดงค่าองค์ประกอบความถี่ที่ k (Harmonic k^{th})

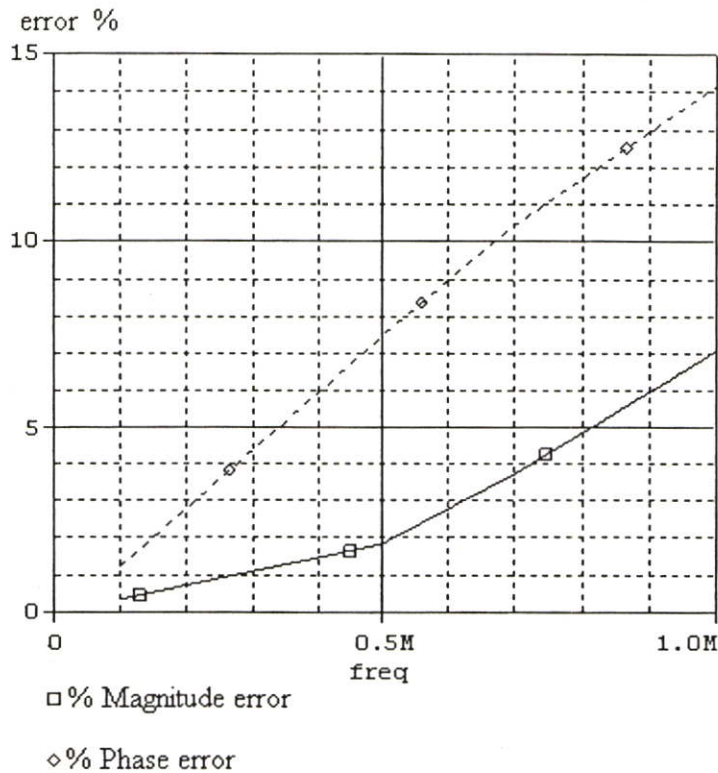


รูปที่ 5.4 ผลการวิเคราะห์ THD วงจรดอครากที่สอง ที่ความถี่ 200 kHz



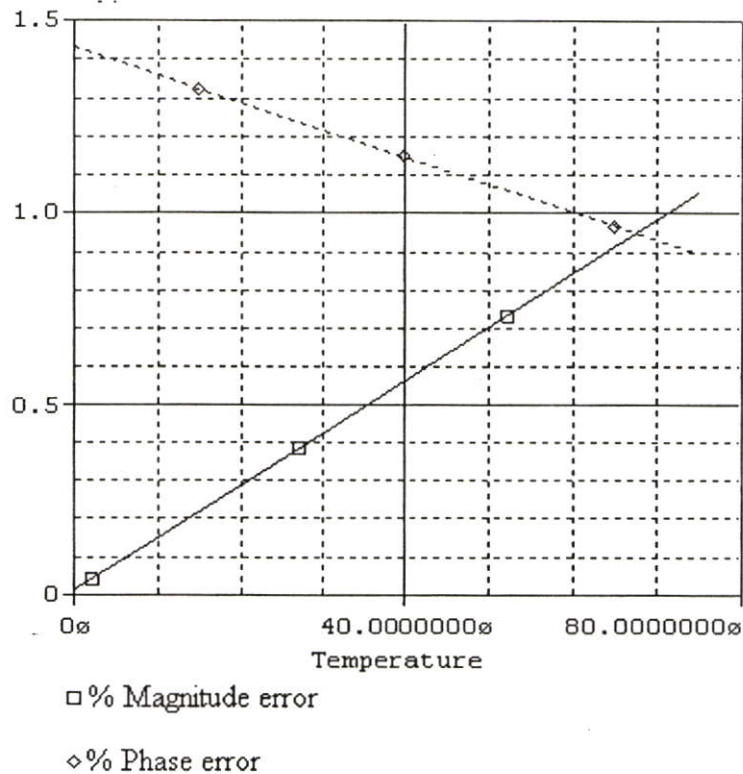
รูปที่ 5.5 ผลตอบสนอง Transient วงจรอครากที่สอง ที่ความถี่ 1 MHz

การทดสอบความผิดพลาดต่อความถี่สัญญาณอินพุตนอกจากแสดงได้ด้วยการทดสอบ THD แล้ว ยังสามารถทำการทดสอบโดยตรงโดยการหาค่าเปอร์เซ็นต์ผิดพลาดสูงสุด โดยเทียบสัญญาณเอาต์พุตของวงจรกับสัญญาณที่ได้จากการคำนวณ โดยการเปลี่ยนความถี่ที่ค่าต่าง ๆ กำหนดให้สัญญาณกระแสอินพุตมีขนาด 10 μA และกระแสออฟเซตเท่ากับ 20 μA ซึ่งเป็นสัญญาณทดสอบแบบเดียวกันกับการทดสอบที่ผ่านมา จากนั้นทำการเปลี่ยนความถี่ ผลที่ได้แสดงในรูปที่ 5.6 ซึ่งพบว่า ค่าความผิดพลาดเชิงขนาดจะมีค่าเพิ่มขึ้นอย่างมากเมื่อความถี่เพิ่มขึ้น โดยที่ความถี่ 500kHz มีค่าผิดพลาดเท่ากับ 1.8% และ ที่ความถี่ 1MHz มีค่าผิดพลาดเท่ากับ 7.1% ในขณะที่เปอร์เซ็นต์ความผิดพลาดของการเลื่อนเฟสมีอัตราที่สูงกว่าแต่คงที่เมื่อความถี่เพิ่มขึ้น โดยมีค่าเท่ากับ 7.5% และ 14.2% ที่ความถี่ 500kHz และ 1MHz ตามลำดับ



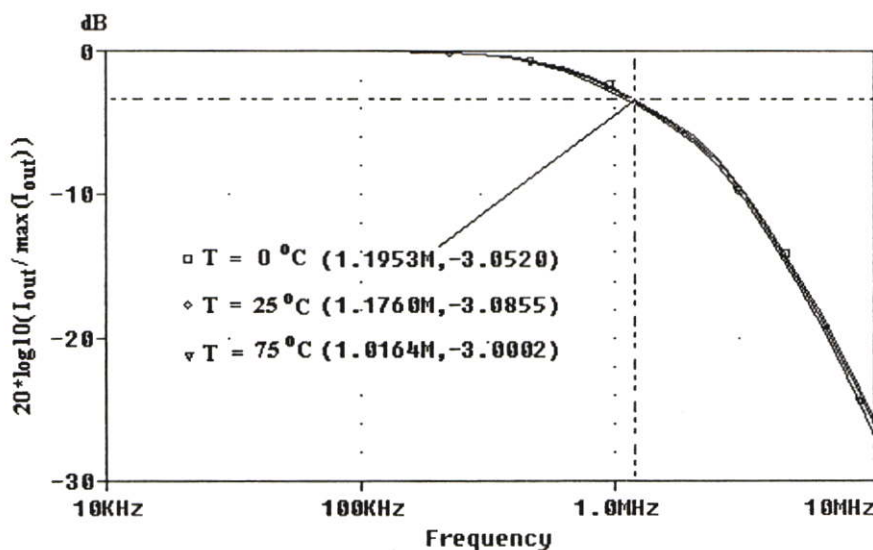
รูปที่ 5.6 ค่าผิดพลาดวงจรถอดราก็สองที่ความถี่ต่าง ๆ

การทดสอบเสถียรภาพของวงจรถอดราก็สองต่ออุณหภูมิจะทำวิธีการเดียวกัน โดยการหาค่าความผิดพลาดสูงสุดต่อขนาด และการเลื่อนเฟสของสัญญาณเอาต์พุตวงจรเทียบกับสัญญาณเอาต์พุตที่ได้จากการคำนวณโดยกำหนดให้สัญญาณอินพุตเป็นสัญญาณไซน์ที่ความถี่ 100 kHz ขนาดสัญญาณเท่ากับ 10 uA และกระแสออฟเซตเท่ากับ 20 uA ทำการทดสอบที่อุณหภูมิต่าง ๆ ได้ผลดังแสดงในรูปที่ 5.7 ซึ่งผลที่ได้พบว่าค่าผิดพลาดเชิงขนาดและเฟสของวงจรมีค่าต่ำ หรือหมายถึงวงจรมีเสถียรภาพทางอุณหภูมิสูง ทั้งนี้เนื่องจาก วงจรถอดราก็สองนี้มีโครงสร้างวงจรแบบทรานส์ลีนีเยร์ ซึ่งทรานซิสเตอร์จะถูกต่อกลับด้านกันในลักษณะทวนเข็มและตามเข็มนาฬิกา ซึ่งได้กล่าวไว้แล้วในบทที่ 3 ดังนั้นเมื่ออุณหภูมิเกิดการเปลี่ยนแปลง สัญญาณผิดพลาดต่าง ๆ ในวงจรจะทำการหักล้างและชดเชยซึ่งกันและกันเอง จากรูปที่ 5.7 พบว่าค่าความผิดพลาดเชิงขนาดจะมีค่าเพิ่มขึ้นเมื่ออุณหภูมิเพิ่มขึ้น และมีค่า 1.15% ที่อุณหภูมิ 85c ซึ่งเป็นอุณหภูมิปฏิบัติงานวงจรสูงสุด (maximum operating temperature) ของวงจรเชิงพาณิชย์ทั่วไป ในทางกลับกัน ค่าความผิดพลาดการเลื่อนเฟสกับมีค่าลดลงเมื่ออุณหภูมิเพิ่มขึ้น โดยมีค่าสูงสุดเท่ากับ 1.44% ที่อุณหภูมิ 0c ซึ่งเป็นอุณหภูมิปฏิบัติงานวงจรต่ำสุด (Minimum operating temperature) ของวงจรเชิงพาณิชย์ทั่วไปเช่นกัน



รูปที่ 5.7 ค่าผิดพลาดวงจรถอดราก็สองที่อุณหภูมิต่าง ๆ

และเมื่อทำการทดสอบผลตอบแทนเชิงความถี่ (Frequency response) ของวงจรถอดราก็สองที่อุณหภูมิต่าง ๆ พบว่ามีค่าความถี่คutoff ประมาณ 1MHz ดังแสดงในรูปที่ 5.8 ซึ่งเป็นความถี่คutoffของวงจรมอดไลซ์ด้วย จากการวิเคราะห์เชิงความถี่พบว่าโดมิแนนท์โพลเกิดขึ้นที่เอาต์พุตของวงจร อย่างไรก็ตามในการวิเคราะห์นี้ได้กำหนดให้โหลดของวงจรเป็น Resistive load ที่มีค่าเท่ากับ $10\text{ k}\Omega$

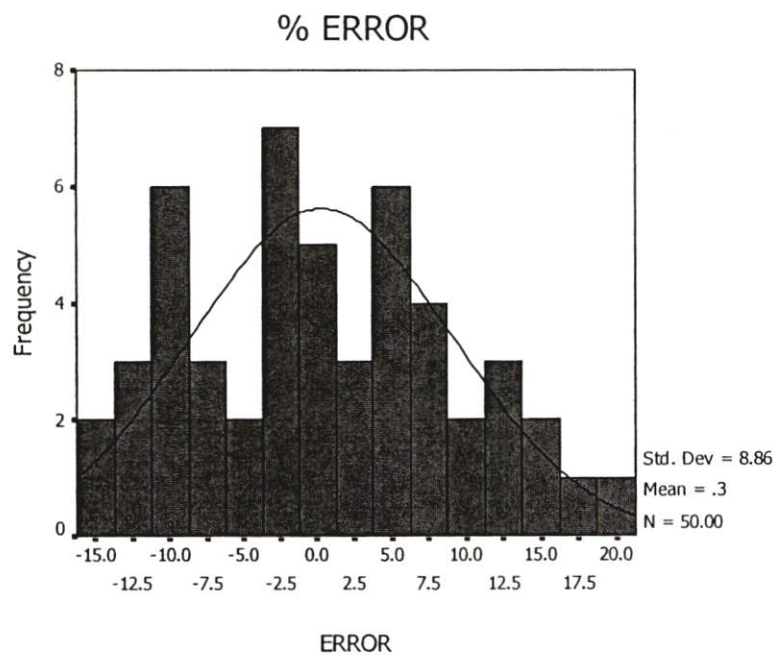


รูปที่ 5.8 ผลตอบสนองความถี่วงจรถอดราก็สอง ที่ อุณหภูมิ 0°C , 27°C และ 75°C

สำหรับการทดสอบประสิทธิภาพวงจร โดยการวัดเปอร์เซ็นต์ความผิดพลาดของสัญญาณเอาต์พุตจากวงจรอดราก็ที่สองเมื่อกระบวนการผลิตไบโพลาร์เปลี่ยนไป โดยเทียบกับสัญญาณเอาต์พุตจากวงจรที่กระบวนการปกติหรือที่ออกแบบ โดยสามารถแสดงความสัมพันธ์ได้ดังนี้

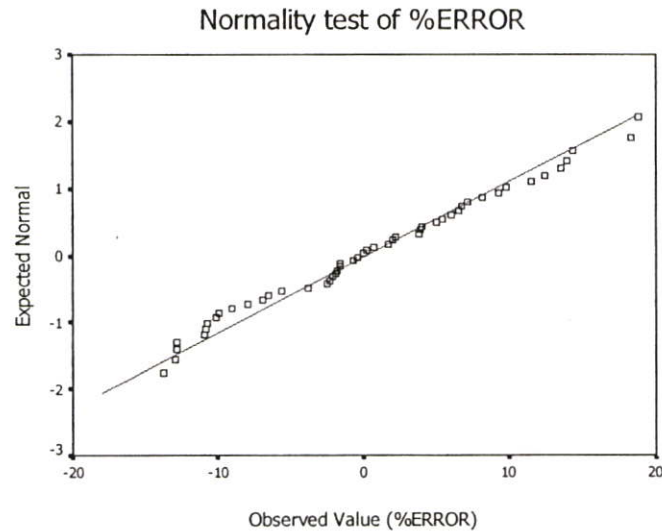
$$\%error = \frac{I'_{sqr} - I_{sqr(0)}}{I_{sqr(0)}} * 100 \quad (5.2)$$

เมื่อ I'_{sqr} เป็นค่ากระแสเอาต์พุตของวงจรอดราก็ที่สองเมื่อกระบวนการผลิตเปลี่ยนไป ในที่นี้กำหนดให้ขนาดของไบโพลาร์ที่ได้จากกระบวนการผลิตมีการเปลี่ยนแปลงไปได้ โดยมีค่า tolerance เท่ากับ $\pm 5\%$ โดยมีการกระจายแบบปกติ และ $I_{sqr(0)}$ เป็นค่ากระแสเอาต์พุตของวงจรที่กระบวนการปกติหรือทางอุดมคติ โดยขนาดที่เปลี่ยนไปส่งผลตรงกับกระแสอิมิตัวย้อนกลับของทรานซิสเตอร์ (I_{β}) ในลักษณะแปรผันตรง ดังนั้นในการทดสอบด้วยวิธี Monte-Carlo จะทำการสุ่มค่ากระแสอิมิตัวย้อนกลับด้วยความน่าจะเป็นที่มีการกระจายแบบปกติ จากนั้นทำการทดสอบวงจรเพื่อให้ค่ากระแสเอาต์พุต ในที่นี้จะทำการทดสอบเป็นจำนวน 50 ครั้ง จากนั้นจึงหาค่าผิดพลาดในแต่ละครั้งตามสมการที่ 5.2 ซึ่งสามารถแสดงได้ดังรูปที่ 5.9



รูปที่ 5.9 การกระจายค่าความผิดพลาดวงจรอดราก็ที่สองเมื่อขนาดทรานซิสเตอร์เปลี่ยนไป

จากนั้นทำการทดสอบค่าการกระจายแบบปกติ (normality test) พบว่าผลที่ได้จากการสุ่มทดสอบมีการกระจายแบบปกติดังแสดงในรูปที่ 5.10



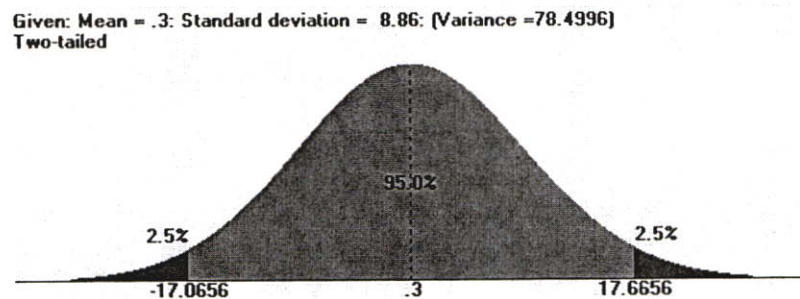
รูปที่ 5.10 Normality test สำหรับค่าผิดพลาดวงจรถอดครากที่สอง

ตารางที่ 5.1 ผลการทดสอบ Normality test สำหรับค่าผิดพลาดวงจรถอดครากที่สอง

Tests of Normality			
สถิติทดสอบ Kolmogorov-Smirnov			
	ค่าสถิติที่ได้	degree of freedom	ค่าที่ระดับนัยสำคัญ 95%
ERROR	0.074721164	50	0.2*

* This is a lower bound of the true significance.

และเมื่อทราบผลลัพธ์ที่ได้จากการทดสอบ Monte-Carlo นี้มีการกระจายแบบปกติ จากนั้นจึงทำการหาช่วงความผิดพลาดที่ระดับนัยสำคัญ 95% ได้ดังรูปที่ 5.11 โดยกำหนดให้โค้งปกติมีที่เฉลี่ย (mean) เท่ากับ 0.3% และค่าเบี่ยงเบนมาตรฐานเท่ากับ 8.86%



รูปที่ 5.11 เปอร์เซนต์ความผิดพลาดของวงจรถอดครากที่สองที่ระดับความเชื่อมั่น 95%

ดังนั้นสามารถสรุปได้ว่ากระบวนการผลิตที่เปลี่ยนไป ที่ส่งผลให้ขนาดของไบโพลาร์ทรานซิสเตอร์ใดที่ใช้ภายในวงจรเปลี่ยนไป ซึ่งเป็นผลให้ขนาดกระแสอิมิตชันกลับ (I_S) เปลี่ยนไป ภายใต้ค่าที่ยอมรับได้ (Tolerance) ที่ 5% และมีการกระจายแบบปกติ ทำให้สัญญาณเอาต์พุตผิดพลาดไปได้อยู่ในช่วง -17.06% ถึง 17.66% ที่ระดับความเชื่อมั่นที่ 95% ซึ่งมีค่าสูง เพื่อที่จะค้นหาว่าทรานซิสเตอร์ตัวใดที่ส่งผลต่อความผิดพลาดกระแสเอาต์พุตของวงจรอครากที่สองนี้ สามารถทำได้โดยการทดสอบความไว (Sensitivity test) โดยสมมติว่าหากกระบวนการเปลี่ยนไปส่งผลให้ขนาดหรือในที่นี้คือกระแสอิมิตชันกลับของทรานซิสเตอร์หนึ่งๆ มีขนาดเปลี่ยนไป 1% แล้ว ค่าการเปลี่ยนแปลงของกระแสเอาต์พุตสามารถแสดงได้ดังตารางที่ 5.2

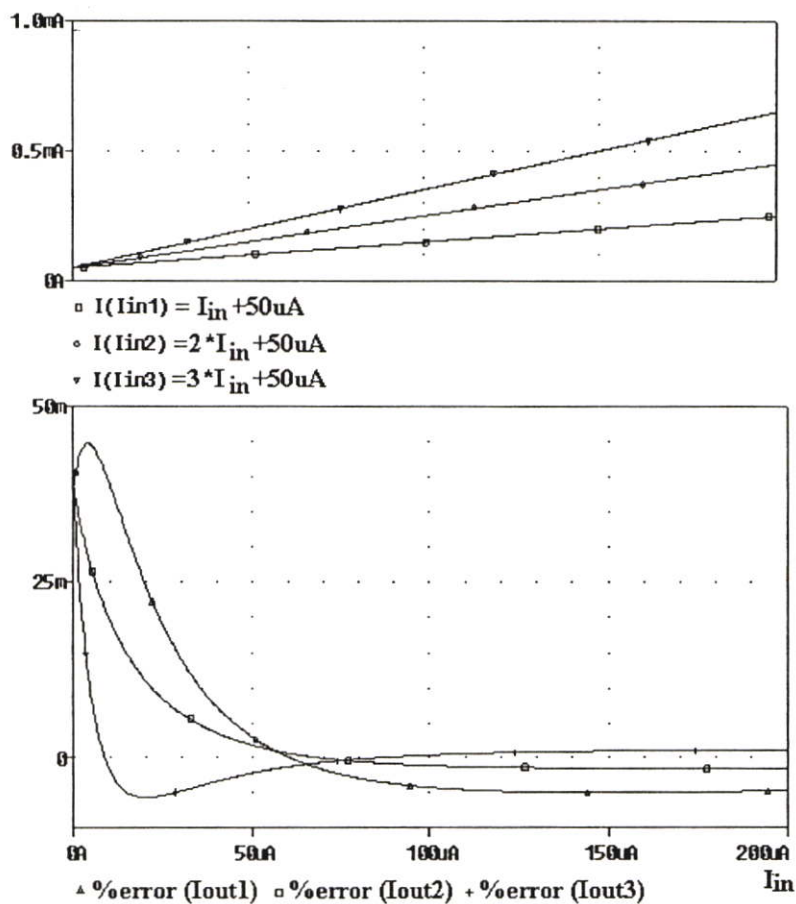
ตารางที่ 5.2 ผล Sensitivity test ของวงจรอครากที่สอง

กระแสอิมิตชันกลับ (I_S) ของ ทรานซิสเตอร์ (รูปที่ 4.2)	%เปลี่ยนแปลงกระแสเอาต์พุต ต่อ 1% การเปลี่ยน I_S
Q1	0.49%
Q2	-0.49%
Q3	0.49%
Q4	-0.49%
Q5	-0.0015%
Q6	-0.0017%
Q7	-0.0022%
Q8	-0.0021%
QCM1'	0.47%
QCM1	-0.47%
QCM2'	0.51%
QCM2	-0.51%
QCM3'	0.95%
QCM3	-0.95%

จากตารางที่ 5.2 พบว่าการเปลี่ยนค่ากระแสอิมิตชันกลับ (I_S) ไป 1% ของทรานซิสเตอร์หลักที่ทำหน้าที่วงจรไบโพลาร์ทรานส์เซียน์ (Q1-Q4) จะส่งผลเอาต์พุตเปลี่ยนไปเท่ากับ 0.49% โดย Q1 และ Q3 ทำให้กระแสเอาต์พุตเพิ่มขึ้นในขณะที่ Q2 และ Q4 จะทำให้กระแสเอาต์พุตลดลง และทรานซิสเตอร์ที่ส่งผลต่อการเปลี่ยนแปลงกระแสเอาต์พุตมากที่สุด คือ วงจรสะท้อนกระแสที่เอาต์พุตของวงจรอครากที่สอง (QCM3-QCM3') จะทำให้เอาต์พุตเปลี่ยนแปลงไปมากที่สุดคือประมาณ 1% เมื่อ I_S เปลี่ยนไป 1% ดังนั้นหากต้องการเพิ่มเสถียรภาพให้กับวงจรจากผลความแปรปรวนในกระบวนการผลิต วงจรสะท้อนกระแสขาออกควรออกแบบให้มีประสิทธิภาพสูงขึ้น โดยใช้ออกแบบด้วยวงจรสะท้อนกระแสแบบคาสโคคอด เป็นต้น

5.2 การจำลองและผลการทดสอบวงจรนอร์มอลไลซ์

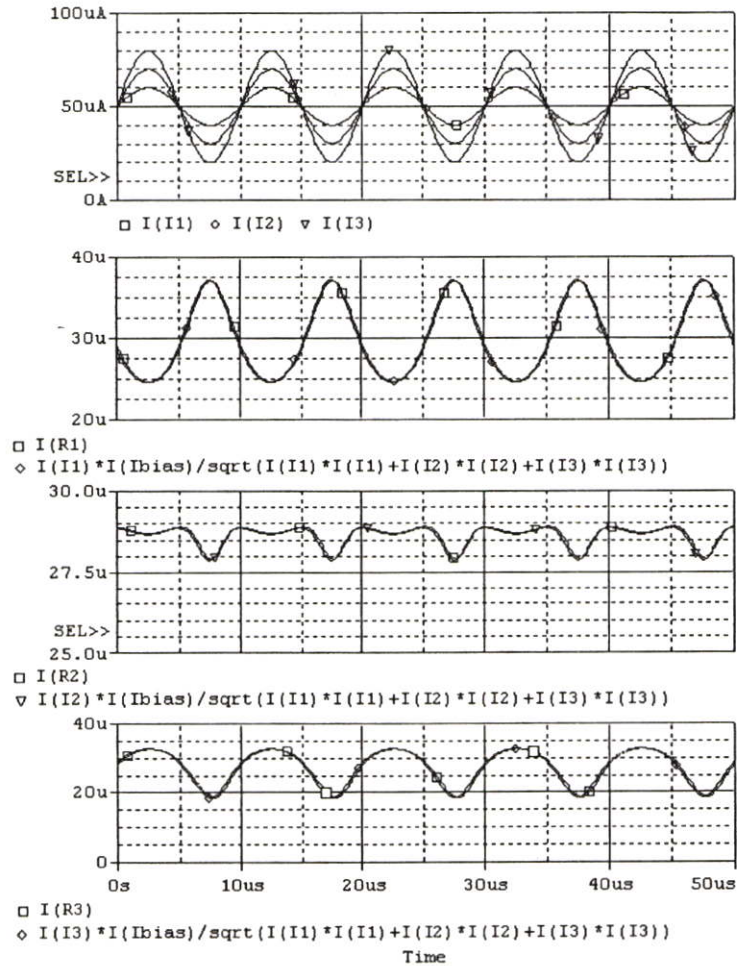
เพื่อสะดวกในการทดสอบวงจร ดังนั้นกำหนดให้วงจรเวกเตอร์นอร์มอลไลซ์ชั้น (รูปที่ 4.3) ที่ใช้ในการทดสอบมี 3 อินพุต คือ I_1 - I_3 และในทำการทดสอบช่วงกว้างสัญญาณหรือพิสัยพลวัต (dynamic range) สามารถทำการทดสอบได้โดยการปรับค่าสัญญาณอินพุต โดยกำหนดให้แต่ละสัญญาณกระแสอินพุตมีค่าเท่ากับ $I_{in(i)} = I_{in} * i + 50\mu A$ เมื่อ $i = 1, 2$ และ 3 และ I_{in} เปลี่ยนแปลงเริ่มจาก 0 จนถึง 200 μA ผลการทดสอบแสดงด้วยค่า %error ซึ่งเป็นการเทียบค่าที่ได้จากการจำลองการทำงานกับค่าที่คำนวณได้จากสมการคณิตศาสตร์ ดังแสดงในรูป 5.12 ซึ่งพบว่าค่าความผิดพลาดจะมีค่าสูงที่ระดับสัญญาณต่ำและลดลงเมื่อระดับสัญญาณสูงขึ้น อย่างไรก็ตามเปอร์เซ็นต์ความผิดพลาดก็มีค่าต่ำมากจนสามารถละเลยได้



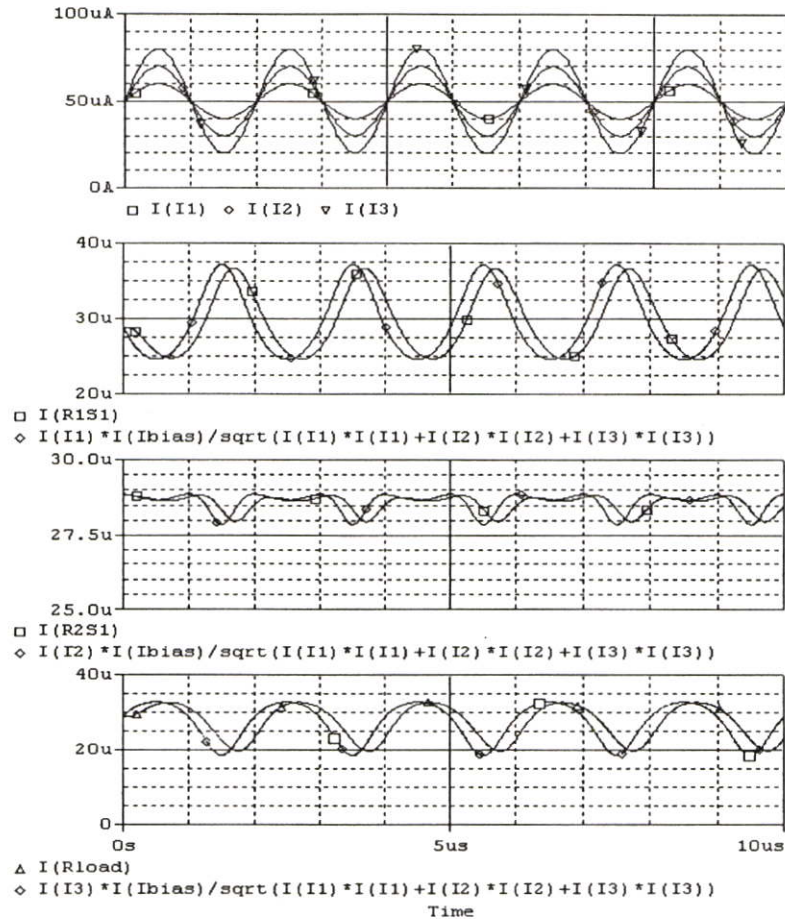
รูปที่ 5.12 เปอร์เซนต์ความผิดพลาดเมื่อทดสอบแบบ DC-Sweep

ผลสำหรับการทดสอบผลตอบสนอง Transient กำหนดให้มีค่ากระแสออฟเซตมีค่าเท่ากันทุกสัญญาณอินพุตเท่ากับ 50 μA และกำหนดให้มีค่าไฟกระแสสลับบนไฟตรงไปแบบ sinusoidal โดย I_1 , I_2 และ I_3 ขนาดไฟสลับตั้งแต่ขดถึงขด (V_{p-p}) เท่ากับ 10, 20 และ 30 μA ตามลำดับ รูปที่

5.13 และ 5.14 เป็นผลการทดสอบเมื่อกำหนดให้ความถี่ไฟสลับของกระแสอินพุตทุกตัวมีค่าเท่ากับ 100 kHz และ 500 kHz ตามลำดับ โดยรูปย่อยบนสุดจะแสดงถึงกระแสอินพุต ($I_1 \sim I_3$) และรูปย่อยต่อมาจะแสดงผลแต่ละเอาต์พุตจากวงจรเวกเตอร์นอร์มอลไลเซชัน ($i'_{01} \sim i'_{03}$) เมื่อทำการต่อด้วย R_{load} ขนาด $10k\Omega$ พร้อมทั้งค่าจากการคำนวณที่ได้จากสมการที่ (4.11) เพื่อการเปรียบเทียบ

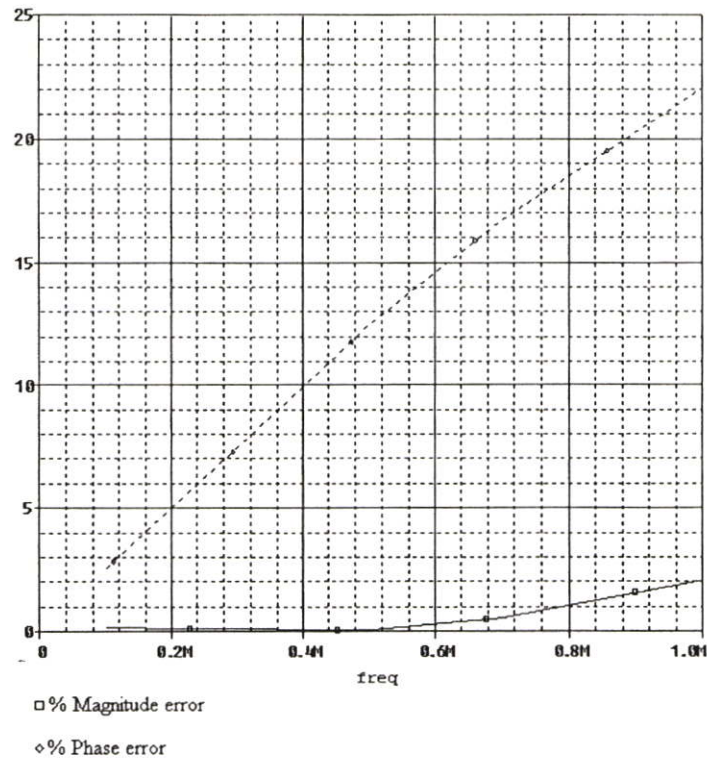


รูปที่ 5.13 ผลการจำลองการทำงานวงจรเวกเตอร์นอร์มอลไลเซชันสำหรับอินพุตแบบ Sinusoidal ที่ความถี่ 100 kHz



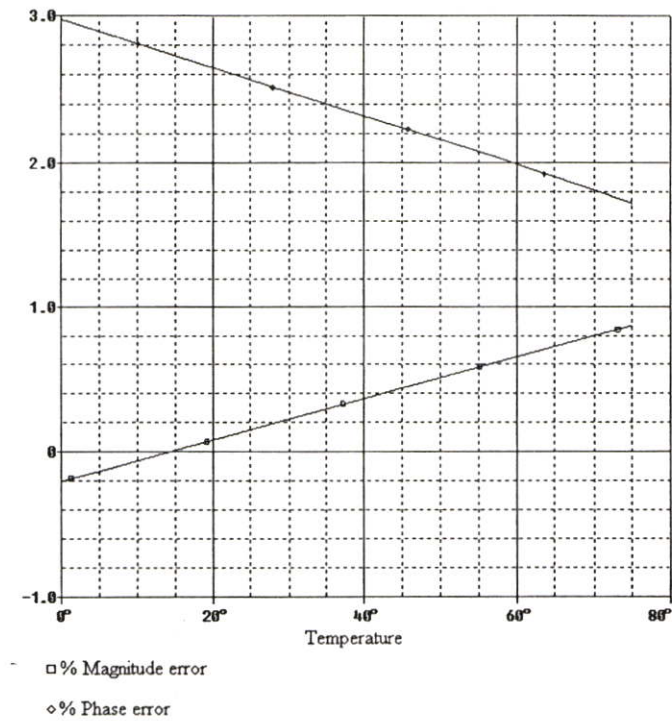
รูปที่ 5.14 ผลการจำลองการทำงานวงจรเวกเตอร์นอร์มอลไลเซชันสำหรับอินพุตแบบ Sinusoidal ที่ความถี่ 500 kHz

ในการทดสอบความผิดพลาดต่อความถี่สัญญาณอินพุต สามารถทำได้โดยการทดสอบทางตรงโดยการหาค่าเปอร์เซ็นต์ผิดพลาดสูงสุด โดยเทียบสัญญาณเอาต์พุตของวงจรกับสัญญาณที่ได้จากการคำนวณ โดยการเปลี่ยนความถี่ที่ค่าต่าง ๆ กำหนดให้สัญญาณกระแสอินพุตมีขนาด 10 uA, 20 uA และ 30uA ตามลำดับ และกระแสออฟเซตเท่ากับ 50 uA ซึ่งเป็นสัญญาณทดสอบแบบเดียวกันกับการทดสอบผลตอบสนอง transient (รูปที่ 5.13 และ 5.14) แต่ทำการทดสอบที่ความถี่สัญญาณอินพุตต่าง ซึ่งผลที่ได้แสดงในรูปที่ 5.15 โดยพบว่า ค่าความผิดพลาดเชิงขนาดจะมีค่าเพิ่มขึ้นเพียงเล็กน้อยความถี่เพิ่มขึ้น โดยที่ความถี่ 1MHz มีค่าผิดพลาดเพียง 2.1% ในขณะที่เปอร์เซ็นต์ความผิดพลาดของการเลื่อนเฟส มีอัตราที่สูงกว่าและเพิ่มขึ้นอย่างรวดเร็วเมื่อความถี่เพิ่มขึ้น โดยมีค่าเท่ากับ 22% ที่ความถี่ 1MHz ซึ่งเป็นความถี่คัทออฟของวงจร(รูปที่ 5.17)



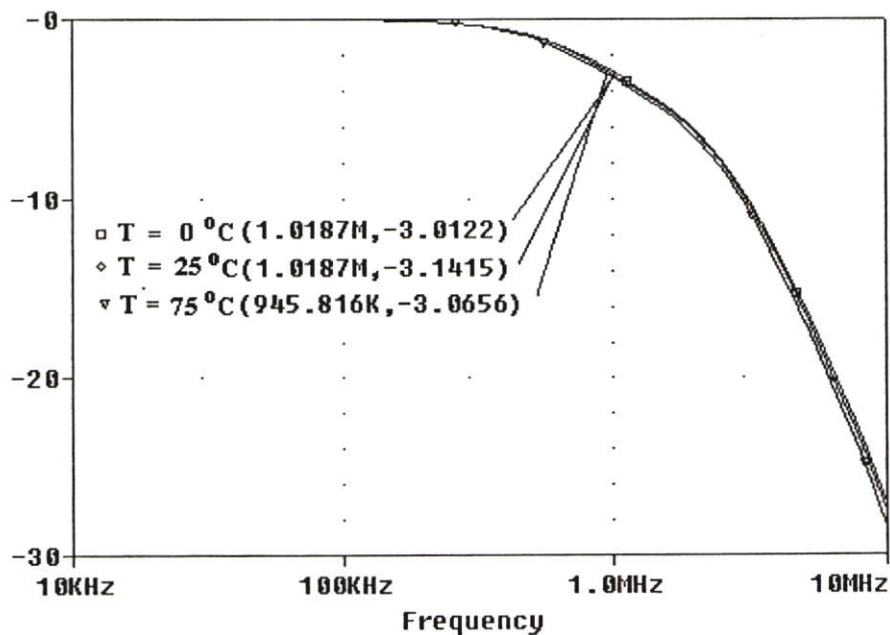
รูปที่ 5.15 ค่าผิดพลาดวงจรนอร์มอลไลเซชันที่ความถี่ต่าง ๆ

การทดสอบเสถียรภาพของวงจรอครากที่สองต่ออุณหภูมิจะทำวิธีการเดียวกัน โดยการหาค่าความผิดพลาดสูงสุดต่อขนาด และการเลื่อนเฟสของสัญญาณเอาต์พุตวงจรเทียบกับสัญญาณเอาต์พุตที่ได้จากการคำนวณ โดยกำหนดให้สัญญาณอินพุตเป็นสัญญาณไซน์ที่ความถี่ 100kHz ขนาดสัญญาณเท่ากับเช่นเดียวกันกับการทดสอบผลตอบสนอง transient และกระแสออฟเซ็ทเท่ากับ 50 uA ทำการทดสอบที่อุณหภูมิต่าง ๆ ได้ผลดังแสดงในรูปที่ 5.16 ซึ่งผลที่ได้พบว่าค่าผิดพลาดเชิงขนาดและเฟสของวงจรมีค่าต่ำ หรือหมายถึงวงจรมีเสถียรภาพทางอุณหภูมิสูง ทั้งนี้เนื่องจากการชดเชยซึ่งกันและกันเองภายในวงจรที่มีโครงสร้างวงจรแบบทรานส์ลิเนียร์ ซึ่งพบว่าค่าความผิดพลาดเชิงขนาดจะมีค่าเพิ่มขึ้นเมื่ออุณหภูมิเพิ่มขึ้น และมีค่า 0.85% ที่อุณหภูมิ 75°C ในทางกลับกัน ค่าความผิดพลาดการเลื่อนเฟสก็มีค่าลดลงเมื่ออุณหภูมิเพิ่มขึ้น โดยมีค่าสูงสุดเท่ากับ 3% ที่อุณหภูมิ 0°C ดังแสดงรูปที่ 5.16



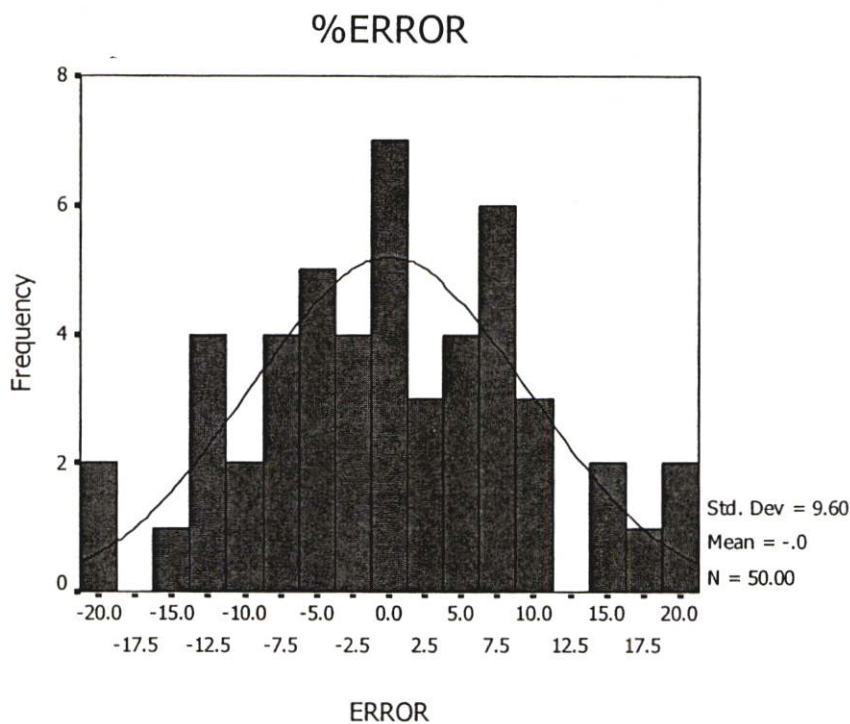
รูปที่ 5.16 ค่าผิดพลาดวงจรถอดครากที่สองที่อุณหภูมิต่าง ๆ

สำหรับผลการจำลองผลตอบสนองทางความถี่แสดงในรูปที่ 5.14 ซึ่งวงจรถอดแบบสามารถทำงานได้ดีจนถึงช่วงความถี่ประมาณ 1 MHz ทั้งนี้ขึ้นอยู่กับทรานซิสเตอร์ที่เลือกใช้ แต่มีค่าค่อนข้างคงที่ภายใต้อุณหภูมิปฏิบัติงานต่าง ๆ



รูปที่ 5.17 ผลตอบสนองทางความถี่ ของวงจรวกเตอร์นอร์มอลไลเซชัน

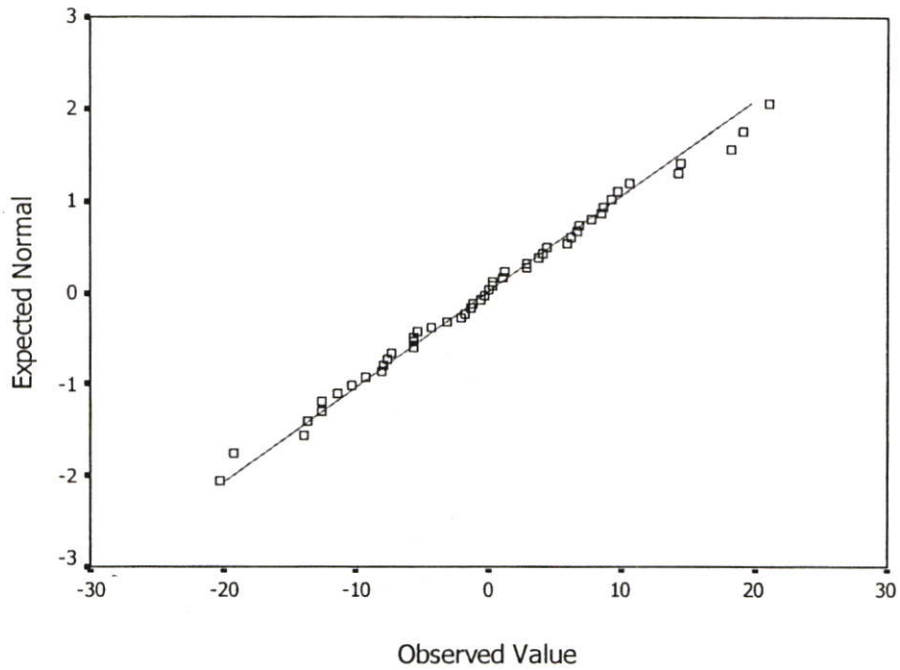
สำหรับการทดสอบประสิทธิภาพวงจร โดยการวัดเปอร์เซ็นต์ความผิดพลาดของสัญญาณเอาต์พุตจากวงจรสองเมื่อกระบวนการผลิตไบโพลาร์เปลี่ยนไป โดยเทียบกับสัญญาณเอาต์พุตจากวงจรที่กระบวนการปกติหรือที่ออกแบบ โดยสามารถแสดงความสัมพันธ์ในสมการที่ (5.2) โดยกำหนดให้ขนาดของไบโพลาร์ที่ได้จากกระบวนการผลิตมีการเปลี่ยนแปลงไปได้ โดยมีค่า tolerance เท่ากับ $\pm 5\%$ โดยมีการกระจายแบบปกติ เช่นเดียวกับการทดสอบวงจรสอง โดยขนาดที่เปลี่ยนไปส่งผลตรงกับกระแสอิมิตชันกลับของทรานซิสเตอร์ (I_S) ในลักษณะแปรผันตรง ดังนั้นในการทดสอบด้วยวิธี Monte-Carlo จะทำการสุ่มค่ากระแสอิมิตชันกลับด้วยความน่าจะเป็นที่มีการกระจายแบบปกติ จากนั้นทำการทดสอบวงจรเพื่อให้ค่ากระแสเอาต์พุต ในที่นี้จะทำการทดสอบเป็นจำนวน 50 ครั้ง จากนั้นจึงหาค่าผิดพลาดในแต่ละครั้งสามารถแสดงได้ดังรูปที่ 5.18



รูปที่ 5.18 การกระจายค่าความผิดพลาดวงจรสองเมื่อขนาดทรานซิสเตอร์เปลี่ยนไป

จากนั้นทำการทดสอบค่าการกระจายแบบปกติ (Normality test) พบว่าผลที่ได้จากการสุ่มทดสอบมีการกระจายแบบปกติดังแสดงในรูปที่ 5.19

Normality test of %Error (Normalization circuit)



รูปที่ 5.19 Normality test สำหรับค่าผิดพลาดวงจรถอดรากลที่สอง

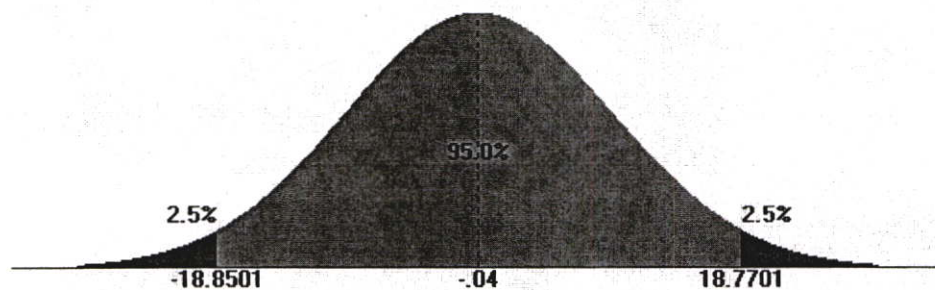
ตารางที่ 5.3 ผลการทดสอบ Normality test สำหรับค่าผิดพลาดวงจรนอร์มอลไลเซชัน

Tests of Normality			
สถิติทดสอบ Kolmogorov-Smirnov			
	ค่าสถิติที่ได้	degree of freedom	ค่าที่ระดับนัยสำคัญ 95%
ERROR	0.049	50	0.200*

* This is a lower bound of the true significance.

และเมื่อทราบค่าผลที่ได้จากการทดสอบ Monte-Carlo นี้มีการกระจายแบบปกติ จากนั้นจึงทำการหาช่วงความผิดพลาดที่ระดับนัยสำคัญ 95% ได้ดังรูปที่ 5.20 โดยกำหนดให้โค้งปกติมีที่เฉลี่ย (mean) เท่ากับ -0.04% และค่าเบี่ยงเบนมาตรฐานเท่ากับ 9.597%

Given: Mean = $-.04$; Standard deviation = 9.597 ; (Variance = 92.1024)
Two-tailed



รูปที่ 5.20 เปอร์เซนต์ความผิดพลาดของวงจรถอดรากลที่สองที่ระดับความเชื่อมั่น 95%

ดังนั้นสามารถสรุปได้ว่ากระบวนการผลิตที่เปลี่ยนไป ที่ส่งผลให้ขนาดของไบโพลาร์ทรานซิสเตอร์ใดที่ใช้ภายในวงจรเปลี่ยนไป ซึ่งเป็นผลให้ขนาดกระแสอิมิตัวย้อนกลับ (I_S) เปลี่ยนไป ภายใต้ค่าที่ยอมรับได้ (tolerance) ที่ 5% และมีการกระจายแบบปกติ ทำให้สัญญาณเอาต์พุตผิดพลาดไปได้อยู่ในช่วง -18.85% ถึง 18.77% ที่ระดับความเชื่อมั่นที่ 95% ซึ่งมีค่าสูง เพื่อที่จะค้นหว่าทรานซิสเตอร์ตัวใดที่ส่งผลต่อความผิดพลาดกระแสเอาต์พุตของวงจรถอดราก็สองนี้ สามารถทำได้โดยการทดสอบความไว (sensitivity test) โดยสมมติว่าหากกระบวนการเปลี่ยนไปส่งผลให้ขนาดหรือในที่นี้คือกระแสอิมิตัวย้อนกลับของทรานซิสเตอร์หนึ่งๆ มีขนาดเปลี่ยนไป 1% แล้ว ค่าการเปลี่ยนแปลงของกระแสเอาต์พุตสามารถแสดงได้ดังตารางที่ 5.4

ตารางที่ 5.4 ผล Sensitivity test ของวงจรมอลไลเซชันยกกำลังสอง (รูปที่ 4.1)

กระแสอิมิตัวย้อนกลับ (I_S) ของทรานซิสเตอร์	%เปลี่ยนแปลงกระแสเอาต์พุตต่อ 1% การเปลี่ยน I_S
Q1A	-0.22%
Q1B	0.21%
Q1C	-0.22%
Q2A	0.15%
Q2B	-0.15%
Q2C	0.15%
Q3A	0.07%
Q3C	0.06%
Q3C	-0.07%

จากตารางที่ 5.4 พบว่าการเปลี่ยนค่ากระแสอิมิตัวย้อนกลับ (I_S) ไป 1% ของทรานซิสเตอร์จะเปลี่ยนไปเพียงเล็กน้อย ประมาณ 0.22% ซึ่งขึ้นอยู่กับขนาดของสัญญาณอินพุต โดยสัญญาณอินพุตค่าต่ำจะมีค่าการเปลี่ยนแปลงมากกว่าสัญญาณอินพุตที่มีค่ามาก ดังนั้นพบว่าค่าการเปลี่ยนแปลงรวมของวงจรจะขึ้นอยู่กับวงจรสะท้อนกระแสเอาต์พุตของวงจรถอดราก็สองมากที่สุด

บทที่ 6

สรุปและวิจารณ์

วงจรเวกเตอร์นอร์มอลไลเซชันที่น่าเสนอ ซึ่งถูกออกแบบบนหลักการของวงจรไบโพลาร์ทรานซิสเตอร์ สำหรับหาค่าขนาดของระยะ Euclidean โดยอินพุตอยู่ในรูปกระแส และสามารถขยายออกไปได้ตามต้องการ โดยไม่จำเป็นต้องปรับปรุงวงจรอื่นใด ทำให้สะดวกในการนำไปประยุกต์ใช้งานการประมวลผลสัญญาณเวกเตอร์ ด้วยโครงสร้างวงจรแบบ-ทรานซิสเตอร์ ทำให้วงจรมีเสถียรภาพต่ออุณหภูมิสูง โดยเปอร์เซ็นต์ค่าผิดพลาดสูงสุดทางขนาดและการเลื่อนเฟส เมื่อเทียบกับผลที่ได้จากการคำนวณมีค่าต่ำกว่า 3.0% ตลอดช่วงอุณหภูมิ $0^{\circ}\text{C} \sim 85^{\circ}\text{C}$ อย่างไรก็ตามวงจรยังมีความถี่คutoffค่อนข้างต่ำ คือมีค่าประมาณ 1MHz ที่โหลดความต้านทาง $10\text{ k}\Omega$ โดยจะลดลงเมื่อมีการต่อขยายจำนวนอินพุต-เอาต์พุตออกไปอันมีผลมาจากการต่อวงจรขนานกัน และเนื่องด้วยสาเหตุที่แบบจำลองทรานซิสเตอร์ไบโพลาร์ที่เลือกใช้เป็นเทคโนโลยีค่อนข้างล้าสมัยแต่สามารถหาซื้อได้ตามท้องตลาดในรูปของทรานซิสเตอร์อาร์เรย์ โดยผู้สนใจสามารถหาซื้อมาประกอบเป็นวงจร โดยไม่จำเป็นต้องทำการสร้างเป็นวงจรซึ่งเหมาะกับขั้นตอนการพัฒนาและทดสอบวงจร ดังนั้นการปรับปรุงประสิทธิภาพเชิงความถี่สามารถทำได้โดยการเลือกเทคโนโลยีไบโพลาร์ใหม่

และเนื่องจากวงจรถูกออกแบบด้วยไบโพลาร์ทรานซิสเตอร์ จึงเหมาะกับการออกแบบในวงจรรวมที่ใช้เทคโนโลยีการสร้างแบบ BJT และ แบบ BiCMOS และ เนื่องจากวงจรที่น่าเสนอใช้ทรานซิสเตอร์ขนาดเดียวกันทั้งวงจร โดยขนาดของกระแสเอาต์พุตยังสามารถควบคุมได้โดยการกำหนดค่ากระแสคงที่ (I_{bias}) ดังนั้นจึงสะดวกในการออกแบบใช้งานและเชื่อมต่อกับวงจรอื่น ๆ

เอกสารอ้างอิง

- [1] S. Pammu & S.F. Quigley, "Novel Analogue CMOS Defuzzification Circuit Technique," IEE, Savoy Place, London, UK, pp. 8/1-8/3, 1994.
- [2] S. Pammu and S.F. Quigley, "An Analogue CMOS Defuzzification Circuit with Representation of Triangular Membership Functions," Proc. IEEE international Symposium on Circuits and System (ISCAS'94) pp. 495- 498, June 1994.
- [3] G. Fikos and S. Siskos, "Analogue CMOS vector normalization circuit," *Elec. Letters*, vol.35, no.25, pp.2197-2198, Dec.1999.
- [4] B. Gilbert, "Solid-State Circuits Conference Digest of Technical Papers 1984: An Analog Array Processing," ISSCC 84, vol. XXVII, pp. 286-287, Feb. 1984.
- [5] B. Gilbert, "Translinear Circuits: A proposed classification", *Elec. Letters*, vol.11, no.1, pp. 14-16, Jan.1975.
- [6] B. Gilbert, "Current-mode circuits from a translinear view point: A tutorial," in *Analogue IC Design: The Current-Mode Approach*, C. Toumazou, .F.J. Lidgey, and D.G. Haigh, Eds. London, UK: Peter Peregrinus Ltd., 1990.
- [7] Intersil™, CA3096 and CA3083 Transistor Array SPICE Models, Intersil Americas Inc., CA. Doc.no.MM9710, July 1997.
- [8] T.G. Morris and S.P. Deweerth, " Analog VLSI Excitatory Feedback Circuit for Attentional Shifts and Tracking," *Analog Integ. Circuits Signal Process*, vol.13, pp. 79-91, 1997.
- [9] T. Frank, F.K. Kraiss and T. Kuhlen, "Comparative Analysis of Fuzzy ART and ART-2A Network Clustering Performance," *IEEE Trans. Neural Networks*, vol.9, pp. 544-559, May 1998.
- [10] P.K. Simpson, "Foundations of Neural Networks," IEEE press: Artificial Neural Networks: Paradigms, Applications and Hardware Implementations, 1992.
- [11] J. Cao, M. Ahmadi and M. Shridhar, "Handwritten Numeral and Machine Printed Multiple Font Character Recognition Using Neural Network Classifier," *J. Circuits Syst. Comput.*, vol. 6, no. 6, pp.569-580, 1996.
- [12] W. Kaminski and P. Strummilo, "Kernel Orthonormalization in Radial Basis Function Neural Networks," *IEEE Trans. Neural Networks*, vol. 8, pp 1177-1183, 1997.
- [13] T. Kohonen, "Self-organization and associative memory," Springer-Verlag, Berlin, pp. 119-157, 1988.

- [14] A. Gopalan and A.H. Titus, "A new wide range Euclidean Distance circuit for neural network hardware implementations," *IEEE Trans. Neural networks*, vol. 14, no. 5, Sep. 2003.
- [15] S. Collins, G.F. Marshall and D.R. Brown, "Analogue radial basis function circuit using a compact Euclidean distance calculator," *IEEE Int. Symp. Circuit Systems*, 1994.
- [16] T. Shibata, M. Konda and Y. Yamashita, "Neuron MOS based association hardware for real-time event recognition," *IEEE Proc. MicroNeuro*, pp. 94-101, 1996. S. Aras and D.Y. Aksin, "A compact distance cell for analog classifiers," *IEEE Proc. ISCAS05*, pp.3627-3630, 2005.
- [17] U. Cilingioglu and D.Y. Aksin, "A 4-transistor Euclidean distance cell for analog classifiers," *IEEE Proc. ISCAS98*, pp.I-84 – I-87, 1998.
- [18] U. Cilingioglu and D.Y. Aksin, "A 4-transistor Euclidean distance cell for analog classifiers," *IEEE Proc. ISCAS98*, pp.I-84 – I-87, 1998.
- [19] O. Landolt, E. Vittoz and P. Heim, "CMOS selfbiased Euclidean distance computing circuit with high dynamic range," *Electronics letters*, vol.28, no.4, pp.352-354, 1992.
- [20] B. Gilbert, "Translinear circuits: An historical overview," *Analog Integrated circuits Signal Processing*, vol.9, pp.95-118, 1996.
- [21] C.A. De la Cruz-Blas, A. Lopez-Martin and A. Carlosena, "1.5-V MOS Translinear Loops with Improved Dynamic Range and Their Applications to Current-mode signal processing," *IEEE Trans. Circuits and systems*, vol.50, no.12, pp. 918- 927. 2003
- [22] B.A. Minch, "Analysis and Synthesis of Static Translinear Circuits," Technical Report, no. CSL-TR-2000-1002, Computer system laboratory, Cornell university, NY, March 2000.
- [23] B.A. Minch, "MOS Translinear Principle for All Inversion Levels," *IEEE trans Circuit and System II: Analog and Digital Signal Processing*, vol. 55, pp. 121-125, Feb. 2008.
- [24] B.M. Wilamowski, R.C. Jaeger and M.O. Kaynak, "Neuro-Fuzzy Architecture for CMOS Implementation," *IEEE Trans. Industrial Electronics*, vol. 46, no. 6, pp.1132-1136, Dec. 1999.
- [25] O. Ishizuka, K.Tanno, Z. Tang and H. Matsumoto, "Design of a Fuzzy Controller with Normalization Circuits," *IEEE Conf. Fuzzy Systems*, pp.1303-1308, Mar. 1992.
- [26] C. Winstead, N. Nguyen, V.C. Gaudet and C. Schlegel, "Low-Voltage CMOS Circuits for Analog Iterative Decoders," *IEEE Trans. Circuit and System*, vol. 53, no. 4, pp.829-841, Apr. 2006.

- [27] J. Castillo, J.L. Perez, "Design of A Fuzzy Controller based on Analog Electronics," J. Mexican Society of Instrumentation, vol.3, pp. 45-58, 1998.
- [28] A.R. Vazquez, R. Navas, M.D. Restituto and F.V. Verdu, "A Modular Programmable CMOS Analog Fuzzy Controller Chip," IEEE Trans. Circuit and Systems-II: Analog and Digital Signal Processing, vol. 46, no.3, pp. 251-265, Mar. 1999.
- [29] K. Tsukano and T. Inoue, "Synthesis of Operational Transconductance Amplifier-based Analog Fuzzy Functional Blocks and its Application", IEEE Trans Fuzzy Systems, vol. 3, no.1, pp. 61-68, Feb. 1995.
- [30] J. Castillo and J.L. Perez, "Design of a Fuzzy Controller based on Analog Electronics", J. Instrumentation and Deveopment, vol.3, pp. 45-58, Nov. 1998.
- [31] B. Gilbert, "An analog Array Processor," Proc. IEEE International Solid-state Circuits Conference (ISSCC), pp. 286-287, Feb.1984.
- [32] T. Yamakawa, "Stabilization of an Inverted Pendulum by a High-Speed Fuzzy Logic Controller Hardware System," Fuzzy Sets and Systems, Vol.32, pp. 161-180, 1989.
- [33] F.J. Pelayo, I. Rojas, J. Ortega and A. Prieto, "Current-Mode Analogue Defuzzifier," Electronics Letters, vol. 29, no. 9, pp. 743-744, April 1993.
- [34] T.Yamakawa, "Stabilization of an Inverted Pendulum by a High-Speed Fuzzy Logic Controller Hardware System," Fuzzy Sets and Systems, Vol. 32, pp. 161-180, 1989.
- [35] F.J. Pelayo, I. Rojas, J. Ortega and A. Prieto, "Current-Mode analogue Defuzzifier," Electronics Letters, Vol. 29, no. 9, pp. 743-744, April 1993.
- [36] M.Sasaki, N. Ishakawa, F. Ueno and T. Inoue, "Current-Mode Analog Fuzzy Hardware with voltage Input Interface and Normalization Locked Loop," IEICE Trans. Fundamentals, vol. E75-a, no. 6, pp. 650-654, June 1992.
- [37] T.G. Morris and S.P. Deweerth, "Analog VLSI Excitatory Feedback Circuits for Attentional Shifts and Tracking', Analog Integrated Circuits Signal Processing, vol. 13, pp. 79-91, 1997
- [38] P.K. Simpson, "Foundations of neural networks, Aritificial neural networks: Paradigms, application and hardware implementations," IEEE press, 1992.
- [39] J. CAO, M. Ahmadi and M. Shridhar, "Handwritten numeral and machine printed multiple font character recognition using neural network classifier", J. Circuits, Syst. Comput., vol. 6, no. 6, pp. 569-580, 1996.

ภาคผนวก ก.

ผลงานวิจัยที่ได้รับการตีพิมพ์

- (1) วงจรเวกเตอร์นอร์มอลไลเซชันแบบทรานส์ลิเนียร์ ตีพิมพ์ในวารสารลาดกระบัง ปีที่ 24 ฉบับที่ 1 เดือนมีนาคม 2550 ลำดับที่ 10 หน้า 55-60



ISSN 0125-1724

วิศวกรรม 65

ลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

LADKRABANG ENGINEERING JOURNAL

ปีที่ 24 ฉบับที่ 1

มีนาคม 2550

1. การประมาณค่าแรงดึงผิวของพอลิเมอร์ผสม
นิกร เกิดทองกลาง พงศ์ประกาศ ปิยมโนชา ณัฐพล อุดมชัยพานิช สุวัฒน์ อารีรัตน์ 1
2. วิธีการแบบประหยัดสำหรับการประเมินประสิทธิภาพขณะใช้งานของมอเตอร์พัดลมระบายอากาศ
ในอุโมงค์รถไฟใต้ดิน
อารีย์ หวังศุภผล ธนภักดิ์ฉวี ภูมิภาค ชัยวุฒิ ฉัตรอุทัย 7
3. การศึกษามอเตอร์เหนี่ยวนำสามเฟสในสภาวะแรงดันไฟฟ้าที่แหล่งจ่ายไม่สมดุลโดยใช้แบบจำลอง
พลวัต
เอกวัฒน์ กิณเรศ อานันท์วัฒน์ คุณากร 13
4. การเปรียบเทียบแบบจำลองทางพลวัตของเครื่องกำเนิดไฟฟ้าเหนี่ยวนำกระตุ้นด้วยตนเองชนิดเชื่อมต่อ
กับระบบไฟฟ้า
สิโรจน์ ใจขาน อานันท์วัฒน์ คุณากร 19
5. การวิเคราะห์และออกแบบแหล่งจ่ายแรงดันเอซีปรับค่าได้แบบสแตติก
ณัฐวุฒิ พลชะดิน วิริยะ พิเชฐจำเริญ 25
6. การออกแบบและวิเคราะห์บัลลาสต์อิเล็กทรอนิกส์สำหรับหลอดโซเดียมความดันสูง 250 วัตต์
ที่ใช้หลักการจุดหลอดแบบภายใน
ภูธร พงษ์ไทย วิจิตร กิณเรศ 31
7. ชุดควบคุมอย่างประหยัดสำหรับระบบการให้ความร้อนด้วยวิธีเหนี่ยวนำทางไฟฟ้า
ยนต์ ไชยสงคราม วิจิตร กิณเรศ 37
8. การใช้วิธีทางพันธุศาสตร์ในการคัดเลือกรูปแบบที่เหมาะสมสำหรับโครงข่ายประสาทเทียมแบบแพร่กลับ
ค่าความผิดพลาด
กฤษฎา ธิเชียว เอื้อน ปิ่นเงิน 43
9. วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสโดยใช้เฉพาะอุปกรณ์แอกทีฟจำนวนน้อย
สิทธิพงษ์ สุริยะคำวงศ์ พิพัฒน์ พรหมมี มนตรี คำเงิน กอบชัย เดชหาญ 49
10. วงจรเวกเตอร์นอร์มอลไลเซชันแบบทรานส์ลิเนียร์
ทรงพล กลิ่นสุคนธ์ กอบชัย เดชหาญ 55
11. Numeric Identification for Thai Spoken Language by Recognizing Vowels and Tones Using
Critical Band Intensity and Quantized Pitch
Pakdee Chantraket and Kraisin Songwatana 61



ISSN 0125-1724

วิศวกรรม 66

ลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

LADKRABANG ENGINEERING JOURNAL

Volume 24 Number 1

March 2007

1. Estimation of Surface Tension for Polymer Blends 1
N. Kerdonglang P. Piyamanocha N. Udomchaipanich and S. Areerat
2. Economical On-Site Efficiency Estimation Technique of Subway Tunnel Ventilation Fan Motor 7
A. Wangsupphaphol T. Pumipak and C. Chat-Uthai
3. Studies of Three-Phase Induction Motor Under Unbalanced Voltage Supply Conditions
Using Dynamic Models 13
E. Kinnares and A. Kunakorn
4. A Comparison of Dynamic Models Used for A Grid-Connected Self-Excited Induction
Generators 19
S. Jaikhan and A. Kunakorn
5. Analysis and Design of Static Variable AC Voltage Source 25
N. Polchatin and V. Pichetjamroen
6. Design and Analysis of An Electronic Ballast for A 250 W High Pressure Sodium Lamp
Using Internal Ignition 31
P. Pongthai and V. Kinnares
7. A Low Cost Controller for Induction Heating 37
Y. Chaisongkram and V. Kinnares
8. Genetic Algorithms Based Optimal Topology for Backpropagation Neural Network 43
K. Tikeaw and O. Pinngern
9. Minimum Active-only Devices Current-Mode Universal Filter 49
S. Suriyakhumwong P. Prommee M. Kumngern and K. Dejhan
10. A New Translinear Loops-Based Vector Normalization Circuit 55
S. Klinsukon and K. Dejhan
11. Numeric Identification for Thai Spoken Language by Recognizing Vowels and Tones Using
Critical Band Intensity and Quantized Pitch 61
P. Chantraket and K. Songwatana

วงจรวกเตอร์นอร์มอลไลเซชันแบบทรานส์ลิเนียร์

A New Translinear Loops-Based Vector Normalization Circuit

ทรงพล กลิ่นสุคนธ์ กอบชัย เดชหาญ

คณะวิศวกรรมศาสตร์และสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้เสนอการออกแบบวงจรวกเตอร์-นอร์มอลไลเซชัน ซึ่งเป็นส่วนสำคัญในระบบประมวลผลสัญญาณทั่วไป ซึ่งหลักการออกแบบวงจรวกเตอร์อยู่บนพื้นฐานของวงจรวกทรานส์ลิเนียร์ของไบโพลาร์ทรานซิสเตอร์ โดยมีลักษณะเป็นแบบโมดูลและสามารถต่อขยายเพิ่มเติมได้ อินพุตเวกเตอร์ในรูปแบบกระแสจะถูกนอร์มอลไลซ์โดยขึ้นกับขนาดของเวกเตอร์ตามระยะแบบ Euclidean ก่อนส่งไปยังเอาต์พุต การทดสอบวงจรวกเตอร์จะใช้โปรแกรมจำลอง PSPICE และในบทความนี้จะใช้แบบจำลองทรานซิสเตอร์ของ CA3906 จาก Intersil™ โดยจะแสดงถึงประสิทธิภาพของวงจรวกเตอร์ที่ออกแบบและนำเสนอ

Abstract

This paper proposes the implementation for a vector-normalization circuit, which is widely used in many signal processing system. The circuit design based on a translinear BJT circuit in modular design. Therefore, the number of input and output can be easily expanded. The input current vector was map to output vector with respect to a Euclidean measure. The simulation is performed by PSPICE simulator with the transistor arrays CA3906 SPICE model from Intersil. The results confirm the success of the proposed technique.

1. บทนำ

วงจรวกเตอร์นอร์มอลไลเซชันเป็นส่วนสำคัญในระบบประมวลผลต่าง ๆ เช่น ระบบควบคุม ระบบประมวลผลภาพและสัญญาณ ซึ่งรวมถึงการใช้ในการปรับสภาพสัญญาณ การบีบอัดข้อมูล และงานประมวลผลข้อมูลเฉพาะด้าน เช่นการจดจำและการแบ่งประเภท โดยการนอร์มอลไลซ์จะอยู่บนพื้นฐานของการหาอัตราส่วนระหว่างแต่ละ element ของอินพุตเวกเตอร์ $X_i = (x_{i1}, \dots, x_{iN})$ กับระยะทาง Euclidean ของเวกเตอร์นั้น ๆ

$$X_0 \equiv (x_{01}, \dots, x_{0N}) = \frac{x_i}{\|X_i\|} \quad (1)$$

$$\text{เมื่อ } \|X_i\| = \sqrt{\sum_{k=1}^N x_{ik}^2}$$

วงจรวกเตอร์นอร์มอลไลเซชันที่ถูกนำเสนอไว้ก่อนหน้านี้ในเอกสารอ้างอิง [1] จะใช้มอสทรานซิสเตอร์เป็นอุปกรณ์หลัก ซึ่งวงจรวกเตอร์จะมีความสลับซับซ้อนและอาศัยการป้อนกลับรวม (Global feedback) เป็นตัวกำหนดการทำงานของวงจรวกเตอร์ ทำให้ผลตอบสนองของวงจรวกเตอร์ไม่ดีเท่าที่ควร นอกจากนี้ยังต้องมีส่วนวงจรวกทรานส์ลิเนียร์ที่เปลี่ยนศักดาของสัญญาณไฟฟ้าเป็นกระแส (Voltage-to-current converter) โดยวงจรวกทรานส์ลิเนียร์จะมีข้อจำกัดด้านความแม่นยำและความเร็ว ซึ่งทั้งหมดนี้ทำให้วงจรวกเตอร์มีประสิทธิภาพที่ไม่ดีนัก ในทางตรงกันข้ามสำหรับวงจรวกเตอร์ที่ออกแบบด้วยไบโพลาร์ทรานซิสเตอร์ตามหลักการของวงจรวกทรานส์ลิเนียร์ (Bipolar translinear circuit) เป็นที่ทราบโดยทั่วไปว่าสามารถออกแบบให้วงจรวกเตอร์มีความสามารถในการคูณหาร [2] และ นอร์มอลไลเซชัน [3]

วงจรวอร์มอลไลเซชันที่นำเสนอมจะประกอบไปด้วยวงจรสองส่วนหลัก คือ วงจรวอร์มอลไลเซชันสัญญาณกำลังสอง (Square-normalization circuit) และ วงจรถอดรากกำลังสอง (Square-rooter circuit) โดยต่างมีพื้นฐานจากวงจรวอร์มอลไลเซชันที่นำเสนอมนี้ ซึ่งข้อดีประการหนึ่งของวงจรวอร์มอลไลเซชันที่นำเสนอมนี้คือ โดยสามารถออกแบบให้วงจรมีขนาดมิติของเวกเตอร์ (N-dimension vector) ได้ตามต้องการ สำหรับรายละเอียดและการออกแบบวงจรวอร์มอลไลเซชันสัญญาณกำลังสอง และวงจรถอดรากกำลังสอง จะแสดงในส่วนที่ 2 และ 3 ตามลำดับ จากนั้นจึงเป็นส่วนที่แสดงถึงผลการจำลองการทำงานของวงจรวอร์มอลไลเซชันที่ได้จาก โปรแกรมจำลอง PSPICE โดยใช้แบบจำลองทรานซิสเตอร์ของ CA3906 ของ Intersil [4].

2. วงจรวอร์มอลไลเซชันสัญญาณกำลังสอง

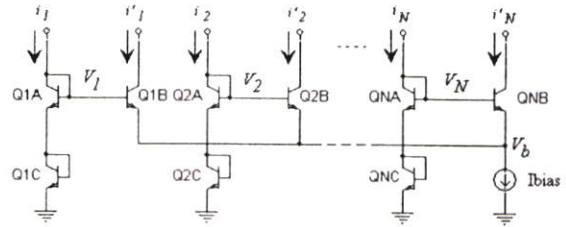
จากวงจรวอร์มอลไลเซชันแบบ Gilbert's cell [3] บทความนี้ได้เสนอขยายแนวความคิดออกไป ให้สามารถประมวลค่าวอร์มอลไลเซชันสัญญาณแบบกำลังสอง โดยเพิ่มไบโพลาร์ทรานซิสเตอร์เข้าไปอีกเพียงเล็กน้อย สำหรับการประมวลค่าวอร์มอลไลเซชันสัญญาณแบบกำลังสอง สามารถแสดงได้ดังนี้

$$x_k' = \frac{x_k^2}{\sum_{i=1}^N x_i^2} \quad (2)$$

รูปที่ 1 แสดงวงจรวอร์มอลไลเซชันสัญญาณแบบกำลังสองที่นำเสนอม สังกัดว่าวงจรวอร์มอลไลเซชันสัญญาณแบบกำลังสอง (Global feedback) ดังนั้นผลตอบสนองที่คิดวอร์มอลไลเซชัน นอกจากนี้อาจความเรียบง่ายของวงจรวอร์มอลไลเซชันที่นำเสนอมนี้คือ ต้องการทรานซิสเตอร์เพียง 3 ตัวคืออินพุต (x_i) และแหล่งจ่ายกระแสที่ (I_{bias}) อีกตัวเท่านั้น คุณสมบัติของวงจรวอร์มอลไลเซชันสามารถสรุปได้ดังนี้

1. แต่ละเซลล์ถูกต่อแบบไบโพลาร์ทรานซิสต์ลิเนียร์ โดยต่อปลายด้านหนึ่ง (Q_{IB}) ร่วมกัน
2. ผลบวกกระแสเอาต์พุตของแต่ละเซลล์มีค่าคงที่ และถูกกำหนดโดยแหล่งจ่ายกระแสที่ (I_{bias})

3. ความสัมพันธ์ระหว่างอินพุตและเอาต์พุตในแต่ละเซลล์มีลักษณะแบบ Monotonic กล่าวคือ เซลล์ใดที่มีอินพุตมาก ก็จะมีเอาต์พุตมากด้วยเช่นกัน



รูปที่ 1 วงจรวอร์มอลไลเซชันสัญญาณกำลังสอง

จากรูปที่ 1 แสดงวงจรวอร์มอลไลเซชันสัญญาณแบบกำลังสองประกอบด้วยเซลล์จำนวน N เซลล์ โดยแต่ละเซลล์ประกอบไปด้วยหนึ่งอินพุตและหนึ่งเอาต์พุต และถูกต่อร่วมเข้ากับแหล่งจ่ายกระแส (I_{bias}) ที่จุด V_b โดยทรานซิสเตอร์ทุกตัวจะทำงานช่วง forward-active ซึ่งทำให้เกิดการต่อเชื่อมแบบไบโพลาร์ทรานซิสต์ลิเนียร์ (Q1C-Q1A-Q1B) และหากสมมติว่าไบโพลาร์ทรานซิสเตอร์ที่เลือกใช้มีค่าอัตราขยายกระแสสูง ($\beta_0 \gg 1$) ดังนั้นสามารถประมาณกระแสคอลเลกเตอร์มีขนาดใกล้เคียงกับกระแสเบส ($I_c \approx I_E$) และดังนั้น

$$I_E = I_0 \exp\left(\frac{V_{BE}}{V_T}\right) \quad (3)$$

เมื่อ V_T คือ Thermal voltage ซึ่งมีค่าเท่ากับ kT/q และ I_0 มีค่าเท่ากับ 1 fA สำหรับ CA3906 (ทรานซิสเตอร์ที่เลือกใช้ในการทดสอบในบทความนี้) และจากสมการที่ 3 สามารถเขียนใหม่ได้ดังนี้

$$V_{BE} = V_T \ln\left(\frac{I_E}{I_0}\right) \quad (4)$$

และหากสมมติว่าทรานซิสเตอร์ทุกตัวที่ใช้มีคุณสมบัติเหมือนกัน เมื่อพิจารณาในเซลล์ที่ 1

$$\begin{aligned} V_1 &= V_{BE(Q1A)} + V_{BE(Q1C)} \\ &= V_T \ln\left(\frac{i_1}{I_0}\right) + V_T \ln\left(\frac{i_1}{I_0}\right) \end{aligned} \quad (5)$$

$$\text{ดังนั้น} \quad V_1 = V_T \ln\left(\frac{i_1^2}{I_0^2}\right) \quad (6)$$

และด้วยวิธีการเดียวกันสำหรับเซลล์อื่น คำนวณความ
สัมพันธ์ทั่วไปสามารถแสดงได้ดังนี้

$$V_i = V_T \ln\left(\frac{i_i^2}{I_0^2}\right)$$

$$\text{หรือ} \quad \exp\left(\frac{V_i}{V_T}\right) = \frac{i_i^2}{I_0^2} \quad (7)$$

พิจารณาที่จุดรวม V_b ที่ต่อกับแหล่งจ่ายกระแสคงที่ I_{bias}
สำหรับเซลล์ที่ 1

$$V_b = V_1 + V_{BE(Q1B)} \quad (8)$$

แทนสมการที่ (4) และ (6) ลงใน (8) ดังนี้

$$\begin{aligned} V_b &= V_T \ln\left(\frac{i_1^2}{I_0^2}\right) - V_T \ln\left(\frac{i_1}{I_0}\right) \\ &= V_T \ln\left(\frac{i_1^2}{I_0 i_1}\right) \end{aligned}$$

$$\text{หรือ} \quad \exp\left(\frac{V_b}{V_T}\right) = \frac{i_1^2}{I_0 i_1} \quad (9)$$

เมื่อนำกระแสเอาต์พุตมารวมกันและกำหนดค่าให้มีค่าคงที่

$$\begin{aligned} I_{bias} &= i_1 + i_2 + \dots + i_N \\ &= I_0 \exp\left(\frac{V_{BE(Q1B)}}{V_T}\right) + \dots + I_0 \exp\left(\frac{V_{BE(QNB)}}{V_T}\right) \\ &= I_0 \exp\left(\frac{V_1 - V_b}{V_T}\right) + \dots + I_0 \exp\left(\frac{V_N - V_b}{V_T}\right) \\ &= I_0 \exp\left(-\frac{V_b}{V_T}\right) \left[\exp\left(\frac{V_1}{V_T}\right) + \dots + \exp\left(\frac{V_N}{V_T}\right) \right] \end{aligned} \quad (10)$$

โดยแทนสมการ (7) และ (9) ลงในสมการ (10) จะได้คือ

$$I_{bias} = \frac{I_0^2 i_i}{i_i^2} \left(\frac{i_1^2}{I_0^2} + \frac{i_2^2}{I_0^2} + \dots + \frac{i_N^2}{I_0^2} \right) = \frac{i_i}{I_0^2} \sum_{i=1}^N i_i^2$$

โดย $i = 1, 2, \dots, N$ เมื่อ N เป็นจำนวนเต็มบวก

ดังนั้นค่าออร์มอลไลเซชันกำลังสองของแต่ละเซลล์
สามารถหาได้จากวงจรที่นำเสนอ กล่าวคือ

$$i_i' = I_{bias} \frac{i_i^2}{\sum_{i=1}^N i_i^2} \quad (11)$$

3. วงจรถอดรอกำลังสอง

เพื่อจะได้วงจรแอมพลิฟายเออร์ออร์มอลไลเซชัน จำ
เป็นต้องมีวงจรถอดรอกำลังสองในแต่ละเอาต์พุตของแต่ละ
เซลล์ที่ได้จากวงจรออร์มอลไลเซชันกำลังสองดังที่ได้
กล่าวไว้ในหัวข้อก่อนหน้านี้ จากสมการ (11) เมื่อถอด
รอกำลังสอง ดังนั้นจะได้ความสัมพันธ์ดังนี้

$$i_{oi}' = I_{bias}^{0.5} \frac{i_i}{\sqrt{\sum_{i=1}^N i_i^2}} \quad (12)$$

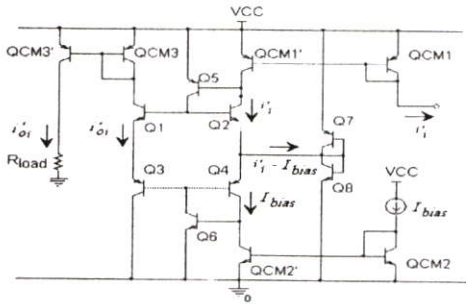
รูปที่ 2 แสดงวงจรถอดรอกำลังสอง โดย
ทรานซิสเตอร์ Q1-Q4 ถูกต่ออยู่ในลักษณะไบโพลาร์ทราน
สลิเนียน์ ดังนั้น

$$I_{CQ1} I_{CQ3} = I_{CQ2} I_{CQ4} \quad (13)$$

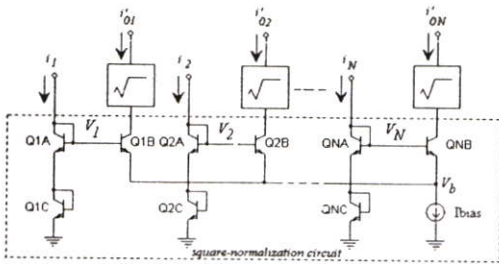
วงจรสะท้อนกระแส (QCM1-QCM1') ทำหน้าที่สะท้อน
กระแสเอาต์พุต i_i' ที่ได้จากวงจรออร์มอลไลเซชันกำลัง
สองโดยป้อนให้กับ Q2 ในขณะเดียวกัน ที่ส่วนล่างของ
วงจร วงจรสะท้อนกระแส (QCM2-QCM2') ก็ทำการ
สะท้อนกระแสค่ากระแสคงที่ I_{bias} ให้กับ Q4 โดยส่วน
เอาต์พุตของวงจรประกอบด้วยทรานซิสเตอร์ Q1 และ Q3
ซึ่งต่อขึ้นกันอยู่และมีกระแสไหลผ่านเท่ากันเท่ากับ i_{oi}'
โดยมีส่วนวงจรสะท้อนกระแสขาออก (QCM3-QCM3')
ทำหน้าที่สะท้อนกระแสเป็นเอาต์พุตของวงจร โดย
ความสัมพันธ์ของกระแสในส่วนไบโพลาร์ทรานสลิเนียน์
(Q1-Q4) คือ $i_i' I_{bias} = i_{oi}'^2$ หรือแสดงในรูปของการ
ถอดรอกำลังสองได้ดังนี้

$$i_{oi}' = \sqrt{i_i' I_{bias}} \quad (14)$$

นอกจากนี้ Q7-Q8 ในวงจรจะทำหน้าที่เป็นแอกติฟโหลด (active load) โดยจะกำจัดกระแสส่วนเกินที่เกิดจาก $i_i - I_{bias}$ และ Q5-Q6 ยังทำหน้าที่เพิ่มความแม่นยำให้กับวงจรทรานส์ลิเนียร์ โดยทำหน้าที่ป้อนกระแสเบสให้กับทรานซิสเตอร์ Q1-Q2 และ Q3-Q4 ตามลำดับ



รูปที่ 2 วงจรอครากกำลังสอง



รูปที่ 3 วงจรเวกเตอร์นอร์มอลไลเซชัน

สำหรับการวิเคราะห์ผลตอบสนองทางความถี่ สามารถทำได้โดยแบ่งการพิจารณาเป็นสองส่วนคือส่วนวงจรรากกำลังสอง และวงจรมอดไลสัญญาณกำลังสอง สำหรับวงจรแรก ผลตอบสนองทางความถี่จะขึ้นกับวงจรสะท้อนกระแสเป็นหลัก โดยเฉพาะวงจรสะท้อนกระแสในส่วนอินพุต (QCM1-QCM1') และส่วนเอาต์พุต (QCM3-QCM3') นอกจากนี้ยังขึ้นกับวงจรทรานส์ลิเนียร์ (Q1-Q4) เนื่องจากทรานซิสเตอร์ทุกตัวถูกออกแบบให้เหมือนกัน โดย Q1 และ Q3 ยังมีกระแสไหลผ่านเท่ากัน ทำให้ทรานซิสเตอร์ทั้งสองมีคุณสมบัติเหมือนกัน ส่วนทรานซิสเตอร์ก็มีเฉพาะกระแสที่ (I_{bias}) ไหลผ่าน ดังนั้นผลตอบสนองความถี่ของวงจรรากกำลังสองสามารถแสดงได้ดังนี้

$$\frac{I_{C(Q1)}(s)}{I_{C(Q2)}}(s) = \frac{1}{1 + g_{m(Q2)}[r_{\pi(Q1)} // (1/sC_{\pi(Q1)})]} \quad (15)$$

โดย C_{π} = ค่าความจุไฟฟ้าที่เบส C_b + ค่าความจุไฟฟ้าที่รอยต่อ เบส-อิมิตเตอร์ C_{je}
 $= \tau_F g_m + C_{je}$

τ_F = ค่าเวลาข้ามผ่าน (Forward transit time)

g_m = ค่าความทรานส์คอนดักแตนซ์ของทรานซิสเตอร์
 (transconductance = $\frac{qI_C}{kT}$)

r_{π} = ค่าความต้านทานขาเข้า (input resistance)
 $= \frac{\beta_0}{g_m}$

จากสมการที่ 15 พบว่าผลตอบสนองความถี่จะขึ้นอยู่กับค่า transconductance ของทรานซิสเตอร์ Q2 ($g_{m(Q2)}$) ซึ่งรับค่ากระแสอินพุตมาจากวงจรสะท้อนกระแสเป็นสำคัญและเนื่องจากวงจรรากกำลังสองมีความสัมพันธ์ระหว่างกระแสอินพุตและกระแสเอาต์พุตแบบ soft-monotonic ดังนั้นขนาดของกระแสไม่ส่งผลกับผลตอบสนองเชิงความถี่

สำหรับผลตอบสนองวงจรมอดไลเซชัน สัญญาณกำลังสองซึ่งขึ้นอยู่กับความสัมพันธ์เชิงความถี่ระหว่างสัญญาณกระแสอินพุต (i_i) และสัญญาณกระแสเอาต์พุต (i_o) สามารถแสดงได้ในสมการที่ (16)

$$\frac{i_o}{i_i}(s) = \frac{r_{\pi(Q1B)} // (1/sC_{\pi(Q1B)})}{\frac{g_{m(Q1A)}}{2} \left(\frac{N}{N-1} \right) r_{\pi(Q1B)} // (1/sC_{\pi(Q1B)}) + 1} \quad (16)$$

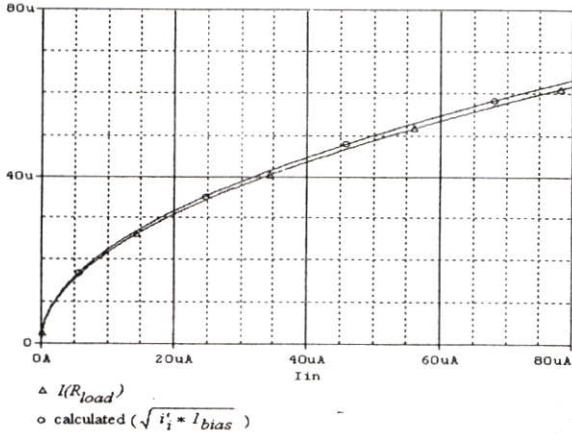
เมื่อ N คือ มติของเวกเตอร์และมีความมากกว่า 1

เมื่อ N เพิ่มขึ้นผลตอบสนองวงจรรจะค่อย ๆ ลดลงอันมีผลมาจากการต่อวงจรขนานกัน

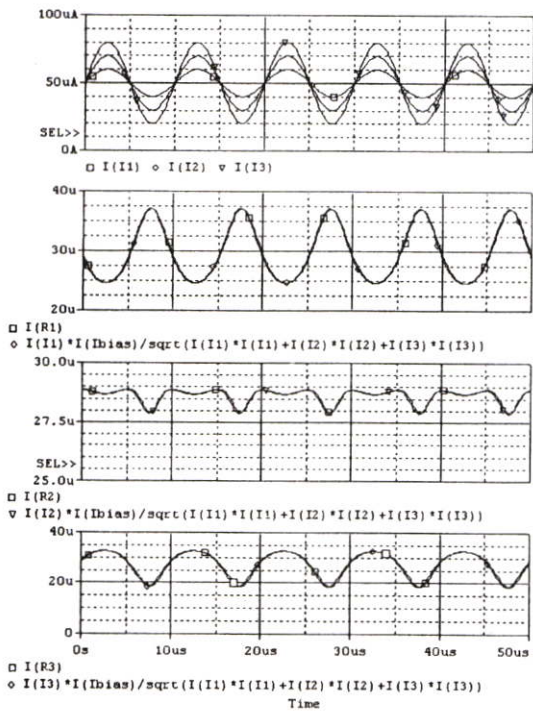
4. การจำลองและผลการทดสอบ

สำหรับการทำงานของวงจร จะถูกทดสอบด้วยโปรแกรมจำลองการทำงาน PSPICE โดยใช้แบบจำลองทรานซิสเตอร์ CA3906 (transistor array) จาก Intersil

กำหนดให้ I_{bias} มีค่าเท่ากับ 50 ไมโครแอมป์ และ R_{load} มีค่าเท่ากับ 10 กิโลโอห์ม โดยทดสอบภายใต้แหล่งจ่ายไฟเดี่ยวขนาด 3.3 โวลต์ รูปที่ 2 แสดงผลการจำลองของการทำงานของวงจรอครากำลังสอง (รูปที่ 4) โดยปรับกระแสตั้งแต่ 0-80 ไมโครแอมป์

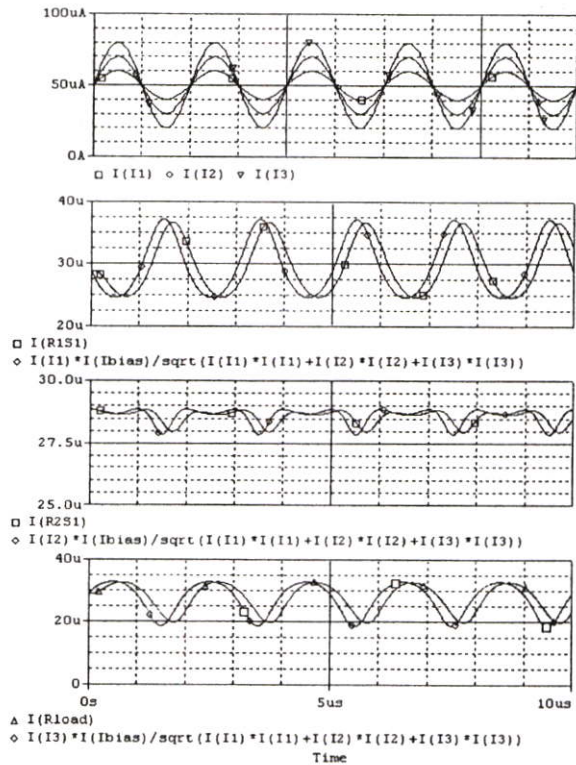


รูปที่ 4 ผลการทดสอบวงจรอครากำลังสอง



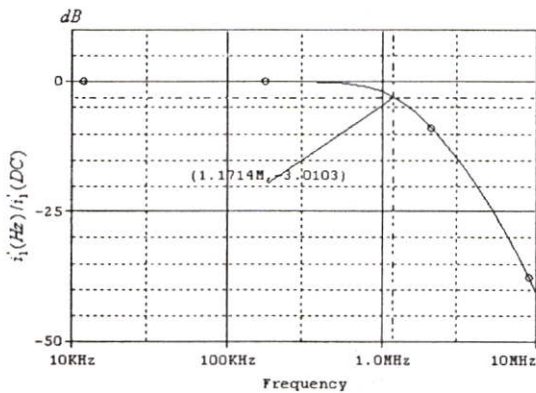
รูปที่ 5 ผลการจำลองการทำงานของวงจรแอมพลิฟายเออร์โวลเทจสำหรับอินพุตแบบ sinusoidal ที่ความถี่ 100 kHz

เพื่อสะดวกในการทดสอบวงจร ดังนั้นกำหนดให้วงจรแอมพลิฟายเออร์โวลเทจ (รูปที่ 3) ที่ใช้ในการทดสอบมี 3 อินพุต คือ I_1, I_2 โดยกำหนดให้มีค่า offset ไฟตรงเท่ากันเท่ากับ 50 μA และกำหนดให้มีค่าไฟกระแสสลับบนไฟตรงไปแบบ sinusoidal โดย I_1, I_2 และ I_3 ขนาดไฟสลับตั้งแต่ขอดีถึงขอด (V_{p-p}) เท่ากับ 10, 20 และ 30 μA ตามลำดับ รูปที่ 5 และ 6 เป็นผลการทดสอบเมื่อกำหนดให้ความถี่ไฟสลับของกระแสอินพุตทุกตัวมีค่าเท่ากับ 100 kHz และ 500 kHz ตามลำดับ โดยรูปย่อยบนสุดจะแสดงถึงกระแสอินพุต (I_1, I_2, I_3) และรูปย่อยต่อมาจะแสดงผลแต่ละเอาต์พุตจากวงจรแอมพลิฟายเออร์โวลเทจ ($i'_{01} \sim i'_{03}$) เมื่อทำการต่อกับ R_{load} ขนาด 10k Ω พร้อมทั้งค่าจากการคำนวณที่ได้จากสมการที่ (12) เพื่อการเปรียบเทียบ



รูปที่ 6 ผลการจำลองการทำงานของวงจรแอมพลิฟายเออร์โวลเทจสำหรับอินพุตแบบ sinusoidal ที่ความถี่ 500 kHz

สำหรับผลการจำลองผลตอบสนองทางความถี่แสดงในรูปที่ 7 ซึ่งวงจรที่ออกแบบสามารถทำงานได้ดีจนถึงช่วงความถี่ประมาณ 1 MHz ทั้งนี้ขึ้นอยู่กับทรานซิสเตอร์ที่เลือกใช้



รูปที่ 7 ผลตอบสนองทางความถี่ ของวงจรเวกเตอร์ออร์มอลไลเซชัน

5. สรุป

จากวงจรเวกเตอร์ออร์มอลไลเซชันที่นำเสนอถูกออกแบบจากหลักการของวงจรวายโพลาไรทรานส์ลิเนียร์สำหรับหาค่าขนาดของระยะ Euclidean โดยอินพุตอยู่ในรูปของกระแส และสามารถขยายออกไปได้ตามต้องการโดยไม่จำเป็นต้องปรับปรุวงจรอื่นใด ทำให้สะดวกในการนำไปประยุกต์ใช้งานด้านการประมวลผลสัญญาณเวกเตอร์และเนื่องจากวงจรถูกออกแบบด้วยไบโพลาร์ทรานซิสเตอร์ จึงเหมาะสำหรับการออกแบบในวงจรรวมที่ใช้เทคโนโลยีการสร้างทั้งแบบ BJT และ BiCMOS เนื่องจากวงจรที่นำเสนอใช้ทรานซิสเตอร์ขนาดเดียวกันทั้งวงจร โดยขนาดของกระแสเอาต์พุตยังสามารถควบคุมได้โดยการกำหนดค่ากระแสไบอัสซึ่งคงที่ (I_{bias}) ดังนั้นจึงสะดวกในการออกแบบใช้งานและเชื่อมต่อกับวงจรอื่นๆ

6. เอกสารอ้างอิง

- [1] G. Fikos and S. Siskos, "Analogue CMOS vector normalization circuit," *Elec. Letters*, vol.35, no.25, pp.2197-2198, Dec. 1999.
- [2] B. Gilbert, "Translinear Circuits: A proposed classification", *Elec. Letters*, vol.11, no.1, pp. 14-16, Jan. 1975.
- [3] B. Gilbert, "Current-mode circuits from a translinear view point: A tutorial," in *Analogue IC Design: The Current-Mode Approach*, C. Toumazou, F.J. Lidgley, and D.G. Haigh, Eds. London, UK: Peter Peregrinus Ltd., 1990.
- [4] Intersil™, CA3096 and CA3083 Transistor Array SPICE Models, Intersil Americas Inc., CA. Doc.no.MM9710, July 1997.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายทรงพล กลิ่นสุคนธ์
วัน เดือน ปีเกิด	15 มกราคม 2511
ที่อยู่	7/59 ซอยเลียบคูนายกิม 13 ถนนเลียบคูนายกิมสาย 1 แขวงสีกัน เขตดอนเมือง กรุงเทพมหานคร
ประวัติการศึกษา	จบการศึกษาระดับ ปวช-ปวส เทคนิคบูรณพนธ์ สาขาวิชาอิเล็กทรอนิกส์ จบการศึกษาระดับปริญญาตรีที่ มหาลัยเซนจอห์น สาขาวิชาไฟฟ้ากำลัง
ปัจจุบัน	กำลังศึกษาต่อระดับ ปริญญาโทที่ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง สาขาวิชา วิศวกรรมโทรคมนาคม ทำงานเป็นพนักงานบริษัท แอดวานอิน โฟร์เซอร์วิส มหาชน จำกัด เป็นเจ้าของที่เครือข่ายโทรศัพท์มือถือระบบ GSM