การเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะ ชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์หลายระดับ ชนิดฟลายอิ้งคาปาซิเตอร์

PERFORMANCE COMPARISON BETWEEN PHASE-SHIFTED AND LEVEL-SHIFTED MULTI-CARRIER PWM SCHEMES FOR FLYING CAPACITOR MULTILEVEL INVERTER

สถิตย์พร เกตุสกุล
SATITPORN KETSAKOON

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2550

KMITL-2007-EN-M-020-060

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์

PERFORMANCE COMPARISON BETWEEN PHASE-SHIFTED AND LEVEL-SHIFTED MULTI-CARRIER PWM SCHEMES FOR FLYING CAPACITOR MULTILEVEL INVERTER

สถิตย์พร เกตุสกุล

SATITPORN KETSAKOON

เลขหมู่.................................
เลขทะเบียน........76724
วัน,เดือน,ปี........- 6 ธ.ค. 2550

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2550

KMITL-2007-EN-M-020-060

PERFORMANCE COMPARISON BETWEEN PHASE-SHIFTED AND LEVEL-SHIFTED MULTI-CARRIER PWM SCHEMES FOR FLYING CAPACITOR MULTILEVEL INVERTER

SATITPORN KETSAKOON

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2007

KMITL-2007-EN-M-020-060

หัวข้อวิทยานิพนธ์	การเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์
นักศึกษา	นายสถิตย์พร เกตุสกุล
รหัสประจำตัว	47060219
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2550
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ดร. สมภพ ผลไม้

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและชนิดเลื่อนระดับสำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งค์คาปาซิเตอร์ โดยหัวข้อที่ทำการเปรียบเทียบคือ คุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการสมดุลพลังงานที่ตัวเก็บประจุ และผลจากเดดไทม์ที่มีผลต่อค่าความเพี้ยนของแรงดันด้านขาออก นอกจากนี้ยังได้นำเสนอการสร้างสัญญาณขับนำสวิตช์ของอินเวอร์เตอร์ด้วย FPGA สำหรับเทคนิคพีดับบลิวเอ็มทั้งสองชนิดที่ทำการศึกษา วิธีการอัดประจุเริ่มต้นให้กับตัวเก็บประจุฟลายอิ้งค์ในวงจรอินเวอร์เตอร์ รวมทั้งนำเสนอวิธีการสมดุลพลังงานของตัวเก็บประจุฟลายอิ้งค์สำหรับเทคนิคพีดับบลิวเอ็มชนิดเลื่อนระดับด้วยการหมุนวนสัญญาณขับนำ จากผลการจำลองและการทดลองด้วยวงจรอินเวอร์เตอร์ต้นแบบ พบว่าเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับแบบเฟสตรงกันนั้นให้แรงดันเอาต์พุตที่มีค่าความเพี้ยนต่ำกว่าตลอดย่านของมอดดูเลตชันอินเด็กซ์เมื่อเทียบกับเทคนิคอื่นๆ ที่ทำการศึกษาแต่เทคนิคนี้ไม่สามารถรักษาสมดุลพลังงานที่ตัวเก็บประจุฟลายอิ้งค์ได้ในขณะที่เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสสามารถรักษาสมดุลพลังงานที่ตัวเก็บประจุฟลายอิ้งค์ได้แต่ให้แรงดันเอาต์พุตที่มีค่าความเพี้ยนสูงกว่า นอกจากนี้ยังพบว่าค่าเวลาเดดไทม์มีผลกระทบต่อคุณภาพของแรงดันขาออกน้อยมาก เมื่อพิจารณาการนำไปใช้กับระบบขับเคลื่อนกระแสสลับที่ต้องมีการปรับค่ามอดดูเลตชันอินเด็กซ์ตามความถี่แล้วพบว่า เทคนิคพีดับบลิวเอ็มชนิดเลื่อนระดับแบบเฟสตรงกันมีความเหมาะสมในการนำไปใช้มากกว่า แต่ต้องมีการปรับปรุงการสมดุลพลังงานของตัวเก็บประจุฟลายอิ้งค์ จึงได้ทำการปรับปรุงโดยเพิ่มการหมุนวนพัลส์ของสัญญาณขับนำในแต่ละกิ่งของอินเวอร์เตอร์ในทุกๆ ไซเคิลของสัญญาณอ้างอิง ยังผลให้สามารถรักษาสมดุลพลังงานที่ตัวเก็บประจุฟลายอิ้งค์ไว้ได้ อย่างไรก็ตามยังคงมีการกระเพื่อมของแรงดันที่ตัวเก็บประจุฟลายอิ้งค์อยู่อีกเล็กน้อย และยังคงต้องการการศึกษาเพื่อแก้ไขปรับปรุงต่อไปในอนาคต เพื่อให้สามารถนำอินเวอร์เตอร์ชนิดฟลายอิ้งค์นี้ไปประยุกต์ใช้ในงานด้านการขับเคลื่อนกระแสสลับได้อย่างเหมาะสมต่อไป

Thesis Title	Performance Comparison Between Phase-shifted and Level-shifted multi-carrier PWM schemes for Flying Capacitor Multilevel Inverter
Student	Mr. Satitporn Ketsakoon
Student ID.	47060219
Degree	Master of Engineering
Program	Electrical of Engineering
Year	2007
Thesis Advisor	Dr. Sompob Polmai

ABSTRACT

This thesis presents performance comparison between phase-shifted and level-shifted multi-carrier PWM schemes for a five-level flying capacitor inverter. The comparison is based on line-to-line voltage THD, energy balancing of the flying capacitors and the effect of the dead-time on the line-to-line voltage THD. In addition, this thesis proposes generation of gate signals for the inverter using FPGA for the both modulation schemes, method for start-up charging of the flying capacitors, and method for balancing the energy of the flying capacitors using pulse rotation technique. From the simulations and experiments results from this study, it can be said that the in-phase disposition PWM (IPDPWM) scheme gives the lowest output voltage THD for over the range of modulation index compared to other modulation schemes. But IPDPWM cannot balance the energy of the flying capacitors while the phase-shifted modulation scheme can balance the energy of the flying capacitors with a higher output voltage THD. It is also found that the effect of the dead-time on the output voltage THD is negligible. For the field of AC drive application, where the modulation index varies with the output frequency, the IPDPWM is considered more suitable. However the problem of energy balancing of the flying capacitors has to be solved. In this thesis, the method of pulse rotation is adopted for the gate signals on each inverter branch. The rotation of gate signal is carried out for every fundamental cycle. The energy balance of the flying capacitor is retained but still there is a small ripple on the flying capacitor voltage. Further investigation is needed for improvement in order to bring this flying capacitor inverter to the AC drive applications.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้เป็นอย่างดีด้วยคำแนะนำ และการให้คำปรึกษาจาก ดร.สมภพ ผลไม้ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ และ ผศ.ดร.สุพัฒน์ กิตติรัตน์สัจจา ข้าพเจ้ารู้สึกซาบซึ้งในพระคุณและความอนุเคราะห์จากท่านอาจารย์ทั้งสองท่าน จึงขอกราบขอบพระคุณเป็นอย่างสูง

ขอกราบขอบพระคุณท่าน ดร.ชนากานต์ ยืนยง อธิการบดีมหาวิทยาลัยปทุมธานี ที่ให้การสนับสุนนด้านทุนการศึกษารวมจนถึงด้านเวลา ตลอดระยะเวลาในการศึกษาในระดับปริญญาโท

ขอกราบขอบพระคุณคณาจารย์ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุก ๆ ท่าน ที่ได้ประสิทธิ์ประสาทวิชาให้กับข้าพเจ้า ตลอดการศึกษาในระดับปริญญาโท

ขอกราบขอบพระคุณคณาจารย์สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยปทุมธานี ทุก ๆ ท่าน ที่ได้ประสิทธิ์ประสาทวิชาทั้งใน-นอกตำรา (ใน-นอกสถานที่) ให้กับข้าพเจ้าตลอดการศึกษาในระดับปริญญาโท

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ในห้องทำวิจัย Power Applications and Energy Conversion Research Laboratory (Pearl lab) Room ECC407 ในภาควิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกคนที่ให้คำแนะนำต่างๆ และคอยให้กำลังใจเสมอมา

ขอขอบคุณเพื่อนๆ น้องๆ พี่ๆ ในภาควิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกคนที่ให้คำแนะนำต่างๆ และคอยให้กำลังใจเสมอมา

ขอขอบคุณบัณฑิตศึกษาและบัณฑิตวิทยาลัย คณะวิศวกรรมศาสตร์ ที่ให้ความช่วยเหลือ ในเรื่องต่างๆ

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และกำลังใจจากครอบครัวของข้าพเจ้าที่ให้การสนับสนุนในทุกเรื่องๆ ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

คุณค่าและประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

สถิตย์พร เกตุสกุล

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญตาราง VII

สารบัญรูป VIII

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 4

1.3 ทฤษฎีและแนวคิดที่ใช้ในการวิจัย 4

1.4 ขอบเขตการวิจัย 4

1.5 ประโยชน์ที่ได้รับจากการวิจัย 5

1.6 โครงสร้างวิทยานิพนธ์ 5

1.7 ขั้นตอนของการศึกษา 6

บทที่ 2 มัลติเลเวลอินเวอร์เตอร์และเทคนิคการมอดดูเลต 7

2.1 บทนำ 7

2.2 มัลติเลเวลอินเวอร์เตอร์อินเวอร์เตอร์ 7

2.2.1 ตัวย่อที่ใช้ในการวิจัย 10

2.2.2 ตัวแปรที่สำคัญที่ใช้ในการวิจัย 10

2.2.3 โครงสร้างพื้นฐานและหลักการทำงานของอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์ 11

2.2.4 ข้อดีและข้อเสียของวงจรอินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ 15

2.3 เทคนิคการพีดับบลิวเอ็มสำหรับมัลติเลเวลอินเวอร์เตอร์ 15

2.3.1 เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส 16

2.3.2 เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ 17

สารบัญ (ต่อ)

หน้า

บทที่ 3 การจำลองการทำงานของ FCI ด้วยโปรแกรมคอมพิวเตอร์ PSCAD/EMTDC............ 20

3.1 บทนำ.. 20

3.2 การสร้างแบบจำลองของวงจรอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ แบบ 3 เฟส.. 20

3.3 การจำลองและผลการจำลองในส่วนของคุณภาพของแรงดันด้านขาออก ระหว่างสาย (THDv) 22

3.4 การจำลองและผลการจำลองในส่วนของการสมดุลพลังงานที่ตัวเก็บประจุแบบ ฟลายอิ้งค์ใน FCI... 28

3.5 การจำลองและผลการจำลองในส่วนของผลจากเดดไทม์ที่มีต่อความเพี้ยนของ แรงดันด้านขาออกระหว่างสาย (THDv) ใน FCI 30

3.6 สรุปผลการจำลอง.. 32

บทที่ 4 เทคนิคการสตาร์ทอัพและเทคนิคการรักษาสมดุลพลังงานที่ตัวเก็บประจุใน FCI........ 34

4.1 บทนำ.. 34

4.2 เทคนิคการสตาร์ทอัพระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI....... 34

4.3 เทคนิคการรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI.................... 41

4.3.1 วิธีการ Rotate pulse.. 44

4.3.2 การสร้างวงจรการ Rotate pulse บน FPGA 45

4.3.3 การสร้างสัญญาณพัลส์ที่ใช้ในการ Rotate pulse ด้วยไมโครโปรเซสเซอร์.. 46

บทที่ 5 การทดลองและผลการทดลอง.. 47

5.1 บทนำ.. 47

5.2 การเขียนโปรแกรม VB6 เพื่อติดต่อกับบอร์ด 8255-PCI...................................... 48

5.3 การสร้างสัญญาณเกตจาก FPGA.. 49

5.4 การทดลองและผลการทดลองในส่วนของฮาร์มอนิกส์ (THDv) ของแรงดันด้าน ขาออกระหว่างสาย.. 55

5.5 การทดลองและผลการทดลองในส่วนของผลจาก Dead-time ที่มีผลต่อ THDv ในFCI... 60

สารบัญ (ต่อ)

หน้า

5.6 การทดลองและผลการทดลองในส่วนของการสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI 62

บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ 72
6.1 สรุปผลการวิจัย 72
6.2 อุปสรรคและข้อเสนอแนะ 74
6.2.1 อุปสรรค 74
6.2.2 แนวทางแก้ไข 75
6.2.3 แนวทางการศึกษาในอนาคต 75

บรรณานุกรม 76

ภาคผนวก
ภาคผนวก ก 78
ภาคผนวก ข 96
ภาคผนวก ค 99
ภาคผนวก ง 103

ประวัติผู้เขียน 109

สารบัญตาราง

ตารางที่ หน้า

2.1 การทำงานของสวิตช์กำลังในอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิ้งคาปาซิเตอร์ (leg A)...... 13

2.2 การหาค่ามอดดูเลตชันอินเด็กซ์โดยวิธีการควบคุมต่างๆ........ 19

3.1 ค่าพารามิเตอร์ที่ใช้ในการจำลองการทำงานของ FCI ด้วยเทคนิค PWM ทั้ง 2 แบบ........... 22

3.2 ตารางสรุป %THDv ของแรงดันด้านขาออก v_{AB} ที่ได้จากการจำลองด้วยเทคนิค SPWM ชนิดต่างๆ........ 27

3.3 ผลของ %THDv ที่เกิดจากการจำลองโดยการทดสอบเปลี่ยนค่าเวลาเดดไทม์ 31

3.4 ตารางสรุปและเปรียบเทียบผลการจำลอง 32

4.1 ตารางสถานการณ์ทำงานของสวิตช์กำลังในขั้นตอนการ Start-up ใน 1 leg........ 38

4.2 การทำงานของอุปกรณ์สวิตช์กำลัง และแรงดัน ของอินเวอร์เตอร์ 5 ระดับ ใน 1 leg แบบฟลายอิ้งคาปาซิเตอร์........ 41

5.1 ค่าพารามิเตอร์ที่ใช้ในการทดลอง........ 47

5.2 รายละเอียดอุปกรณ์เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิ้งคาปาซิเตอร์........... 47

6.1 ตารางสรุปและเปรียบเทียบผลการทดลอง........ 73

สารบัญรูป

รูปที่ หน้า

1.1 การทำงานพื้นฐานของอินเวอร์เตอร์ *n* ระดับ.. 1

1.2 โครงสร้างอินเวอร์เตอร์หลายระดับ ประเภทอินเวอร์เตอร์ 5 ระดับ........................... 2

1.3 ผังงาน (Flow chart) ขั้นตอนการศึกษาวิทยานิพนธ์.. 6

2.1 แผนภาพของอินเวอร์เตอร์ที่มีหลายระดับ 7

2.2 โครงสร้างอินเวอร์หลายระดับ ประเภทอินเวอร์เตอร์ 5 ระดับ.. 8

2.3 วงจรพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์แบบ 1 leg................. 12

2.4 วงจรพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ แบบ 3 เฟส............... 12

2.5 ตัวอย่างการสร้างระดับแรงดันด้านขาออกบางสถานะ.. 14

2.6 รูปแบบการสร้างสัญญาณควบคุมการสวิตช์.. 15

2.7 ตัวอย่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส.. 16

2.8 ตัวอย่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ.. 18

3.1 แบบจำลองทางไฟฟ้าของวงจรฟลายอิ้งคาปาซิเตอร์ แบบ 5 ระดับแรงดัน.................... 21

3.2 แบบจำลองของวงจรที่ใช้ในการสร้างสัญญาณ PWM ทั้ง 2 แบบ สำหรับ FCI ใน 1 leg.... 21

3.3 แบบจำลองของวงจรที่ใช้ในการกำหนดอัตราการทอดดูเลตของสัญญาณไซน์ ทั้ง 3 เฟส.. 21

3.4 สัญญาณที่ได้จากการจำลองของ FCI ด้วยเทคนิค PSPWM ($m_f = 15$,
$m_a = 1.0$, $f_m = 50$ Hz, $f_{cr} = 750$ Hz และ $f_{sw,dev} = 750$ Hz)....................... 23

3.5 เปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ได้จาก
การจำลองด้วยเทคนิค PSPWM ที่มอดดูเลตชันอินเด็กซ์ค่าต่างๆ (m_f = 15, f_m = 50 Hz,
f_{cr} = 750 Hz, และ $f_{sw,dev}$ = 750 Hz).. 24

3.6 สัญญาณที่ได้จากการจำลองของ FCI ด้วยเทคนิค IPDPWM ($m_f = 60$, $m_a = 1.0$,
$f_m = 50$ Hz, $f_{cr} = 3000$ Hz และ $f_{sw,dev} = 750$ Hz)....................... 25

3.7 เปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ได้จาก
การจำลองด้วยเทคนิค IPDPWM ที่มอดดูเลตชันอินเด็กซ์ค่าต่างๆ ($m_f = 60$,
$m_a = 1.0$, $f_m = 50$ Hz, $f_{cr} = 3000$ Hz และ $f_{sw,dev} = 750$ Hz)....................... 26

3.8 กราฟสรุป %THDv ของแรงดันด้านขาออก v_{AB} ที่ได้จากการจำลองด้วย SPWMชนิด
ต่างๆ ที่ค่า $0.1 \le m_a \le 1.0$ 27

3.9 เปรียบเทียบรูปแบบการมอดดูเลตของเทคนิค PSPWM กับ APODPWM ที่ค่า
$m_a = 0.8$ ที่ได้จากการจำลอง 28

สารบัญรูป(ต่อ)

รูปที่ หน้า

3.10 กระแสการอัดประจุ-คาย ของตัวเก็บแบบฟลายอิ้งค์ที่ได้จากการจำลองของ FCI ด้วยเทคนิค SPWM ชนิดต่างๆ ที่ค่า $m_a = 1.0$ ที่สภาวะ RL-load 29

3.11 ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ที่ได้จากการจำลองของ FCI ด้วยเทคนิค SPWM ชนิดต่างๆ ที่ค่า $m_a = 1.0$ ที่สภาวะ RL-load 29

3.12 กราฟสรุปผลของ %THDv ที่เกิดจากการจำลองเปลี่ยนค่าเวลาเดดไทม์ของแรงดันด้านขาออก v_{AB} ใน FCI ที่ได้จากการจำลองด้วยเทคนิค SPWM ชนิดต่างๆ โดยช่วงเวลา เดดไทม์ที่พิจารณาคือ 1.0 μs, 2.0 μs และ 4.0 μs ที่ค่า $0.1 \le m_a \le 1.0$ 31

4.1 วงจรกำลังแบบ 3 เฟสของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ในทางทฤษฎี.. 35

4.2 วงจรกำลังแบบ 3 เฟสของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ เครื่องต้นแบบ.. 35

4.3 วงจร 1 โมดูลของวงจรตรวจจับระดับแรงดัน (Level voltage detector) ที่ตัวเก็บประจุใน FCI.. 36

4.4 วงจรกำลัง 1 กิ่ง ที่ใช้ในการทดลอง Start-up ระดับแรงดันให้กับตัวเก็บประจุใน FCI....... 36

4.5 โหมดการทำงานของสถานะของสวิตช์กำลังที่ใช้ในการทดลองการ Start-up................ 37

4.6 วงจรสร้างสัญญาณเกตด้วยเทคนิค PSPWM ของ FPGA ที่เพิ่มวงจร Start-up............... 39

4.7 วงจรสร้างสัญญาณเกตด้วยเทคนิค IPDPWM ของ FPGA ที่เพิ่มวงจร Start-up.............. 39

4.8 ผังงานที่ใช้ในการประมวลสัญญาณเกตของวงจรตรวจจับระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ในโหมดต่างๆ ของขั้นตอนการ Start-up.................................. 40

4.9 ผลทดลอง Start-up ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว.................... 40

4.10 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันทางด้านขาออก 3*E* เกิดจาก 4*E* – 1*E*.............. 42

4.11 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันทางด้านขาออก 3*E* เกิดจาก 4*E* – 2*E* + 1*E*.......... 42

4.12 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันทางด้านขาออก 3*E* เกิดจาก 4*E* – 3*E* + 2*E*......... 43

4.13 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันทางด้านขาออก 3*E* เกิดจาก 3*E*..................... 43

4.14 ตัวอย่างการสร้างสัญญาณเกตของเทคนิค PSPWM.. 44

4.15 ตัวอย่างการสร้างสัญญาณเกตของเทคนิค IPDPWM... 44

4.16 ตัวอย่างการสร้างสัญญาณเกตด้วยวิธี Rotate pulse ของเทคนิค IPDPWM.................... 45

4.17 ผลของสัญญาณเกตเมื่อใช้วิธี Rotate pulse ทำให้เกิดการ Share switching loss 45

4.18 การออกแบบวงจร Rotate pulse บน FPGA ใน 1 leg.. 46

4.19 ผังงานการสร้างสัญญาณพัลส์ในการ Rotate pulse สัญญาณเกตของเทคนิค IPDPWM..... 46

สารบัญรูป(ต่อ)

รูปที่ หน้า

5.1 บล็อกไดอะแกรมการทำงานโดยรวม 48

5.2 ลักษณะการเขียนโปรแกรม VB6 เพื่อส่งข้อมูลให้กับ FPGA.............................. 48

5.3 ผังงาน (Flow chart) การคำนวณค่าการมอดดูเลตและส่งข้อมูลสัญญาณควบคุมต่างๆ....... 49

5.4 แสดงการสร้างสัญญาณแคเรียร์แบบ PSPWM ของวงจรนับ (Counter) ทั้ง 4 ตัว............. 50

5.5 บล็อกไดอะแกรมวงจรมอดดูเลตใน 1 กิ่งด้วย FPGA ที่ใช้เทคนิค PSPWM................. 51

5.6 สัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค PSPWM ที่ $m_a = 0.8$.............................. 51

5.7 แสดงการสร้างสัญญาณแคเรียร์แบบ IPDPWM ของวงจรนับ (Counter) ทั้ง 4 ตัว........... 52

5.8 บล็อกไดอะแกรมของวงจรมอดดูเลตแบบ IPDPWM ด้วย FPGA............................. 53

5.9 สัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค IPDPWM ที่ $m_a = 0.8$.............................. 53

5.10 บล็อกไดอะแกรมของวงจรมอดดูเลตแบบ IPDPWM (rotate pulse) ด้วย FPGA............ 54

5.11 สัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค IPDPWM (rotate pulse) ที่ $m_a = 0.8$.......... 54

5.12 วงจรกำลัง 1 กิ่ง ที่ใช้ทดลองผลของสเปกตรัมฮาร์มอนิกส์และเปอร์เซ็นต์ THDv ของ
แรงดันด้านออกระหว่างสาย v_{AB} 55

5.13 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองที่ $m_a = 0.8$
ที่สภาวะ No-load 56

5.14 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองที่ $m_a = 0.8$
ที่สภาวะ R-load (หลอดไฟ 6 หลอด/100W ต่อเป็น 3 เฟสแบบ Y) 57

5.15 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองที่ $m_a = 0.8$
ที่สภาวะ RL-load (หลอดไฟ 100W จำนวน 5 หลอดและบัลลาสแกนเหล็ก 5 ตัว / 1 เฟส).. 58

5.16 กราฟแสดงความสัมพันธ์ระหว่าง Fundamental voltage กับ modulation index และ
กราฟการวิเคราะห์ผลการทดลอง %THDv ที่ $0.1 \le m_a \le 1.0$ 59

5.17 กราฟสรุปผล %THDv ของแรงดัน v_{AB} ที่เกิดจากการปรับเปลี่ยนช่วงเวลาเดดไทม์ใน
FCI ของเทคนิค PSPWM ค่าเดดไทม์ที่พิจารณาคือ 2.6 μs, 3.0 μs, 4.0 μs และ 5.0 μs...... 60

5.18 กราฟสรุปผล %THDv ของแรงดัน v_{AB} ที่เกิดจากการปรับเปลี่ยนช่วงเวลาเดดไทม์ใน
FCI ของเทคนิค IPDPWM(rotate pulse) ค่าเดดไทม์ที่พิจารณาคือ 2.6 μs, 3.0 μs,
4.0 μs และ 5.0 μs 61

5.19 กราฟแสดงความสัมพันธ์ระหว่าง Fundamental voltage กับ modulation index เมื่อ
ทำการทดสอบโดยการเปลี่ยนแปลงค่าเดดไทม์ที่ 2.6 μs, 3.0 μs, 4.0 μs และ 5.0 μs....... 61

สารบัญรูป(ต่อ)

รูปที่ หน้า

5.20 วงจรกำลัง 1 กิ่ง ที่ใช้ทดลองสมดุลพลังงานของตัวเก็บประจุใน FCI 62

5.21 วงจร 1 โมดูลของวงจรตรวจจับระดับแรงดัน (Voltage detector) ที่ตัวเก็บประจุใน FCI 62

5.22 ผลของระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัวของ leg A ที่เกิดจากเทคนิคการ Start-up 63

5.23 สัญญาณเกตและกระแสการอัด-คายประจุที่ตัวเก็บประจุแบบฟลายอิ้งค์ 63

5.24 ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ของ leg A แต่ละตัวในช่วง 10 cycles 64

5.25 การเปลี่ยนแปลงระดับพลังงานที่เกิดขึ้นที่ตัว C_2 และ C_4 กรณีทดสอบด้วยเทคนิค PSPWM (500ms/div) ที่สภาวะ RL-load (m_a = 1.0) 66

5.26 การเปลี่ยนแปลงระดับพลังงานที่เกิดขึ้นที่ตัว C_2 และ C_4 กรณีทดสอบด้วยเทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse ที่สภาวะ RL-load (m_a = 0.5) 67

5.27 การเปลี่ยนแปลงระดับพลังงานที่เกิดขึ้นที่ตัว C_2 และ C_4 กรณีทดสอบด้วยเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse ที่สภาวะ RL-load (m_a = 1.0) 68

5.28 รูปคลื่นของแรงดันด้านออกที่ได้จากเทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse โดยทดสอบจ่ายโหลดประเภท R-load 69

5.29 ผลของสัญญาณทางด้านขาออก ที่ได้จากการทดสอบจ่ายโหลด 3 ลักษณะ ของเทคนิค PSPWM ที่ m_a = 0.8 69

5.30 ผลของสัญญาณทางด้านขาออก ที่ได้จากการทดสอบจ่ายโหลด 3 ลักษณะ ของเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse ทำงานที่ m_a = 0.8 70

6.1 ตัวอย่างการสร้างสัญญาณเกตที่ได้จากเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse 74

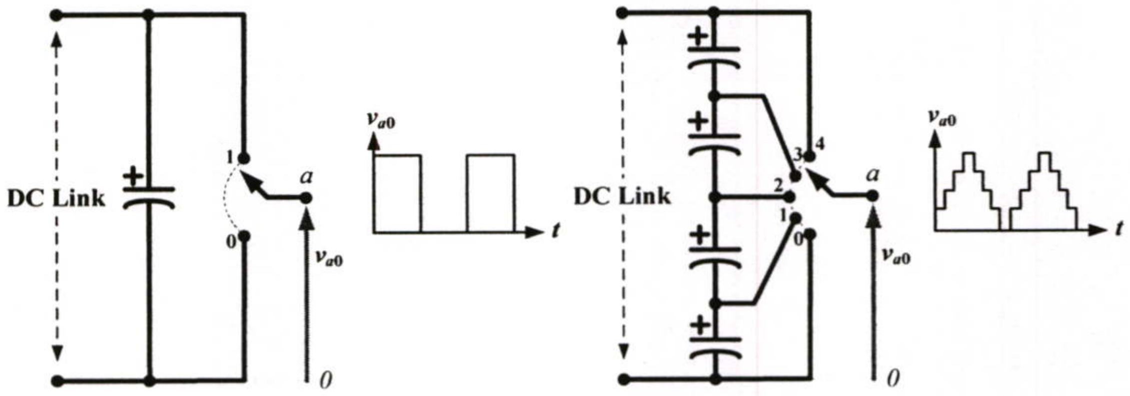
6.2 อุปสรรคและข้อเสนอแนะ 74

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

อุปกรณ์ขับกระแสสลับ (AC Drive) กำลังสูงในอุตสาหกรรมส่วนใหญ่ จะต่อเข้ากับระบบไฟฟ้าแรงดันปานกลาง ซึ่งมีระดับแรงดันไฟฟ้าที่สูงเป็นระดับกิโลโวลต์ จึงเป็นการยากที่จะนำอุปกรณ์สวิตช์กำลัง (Power semiconductor) เพียงตัวเดียวมาต่อโดยตรงกับระบบ (2.3, 3.3 หรือ 6.9 kV) วงจรอินเวอร์เตอร์หลายระดับ (Multilevel inverter) จึงได้ถูกนำมาใช้แทนที่วงจรขับกระแสสลับแบบ 2 ระดับ (Two-level inverter) [1-3]



(ก) แบบ 2 ระดับ (ข) แบบหลายระดับ (5 ระดับ)

รูปที่ 1.1 การทำงานพื้นฐานของอินเวอร์เตอร์ n ระดับ

ในอินเวอร์เตอร์แบบ 2 ระดับ ดังแสดงในรูปที่ 1.1 (ก) เมื่อนำมาใช้ที่ระดับแรงดันสูงทำให้ต้องคำนึงถึงข้อจำกัดต่างๆ ดังต่อไปนี้ คือ

1. ในด้านของรูปคลื่นแรงดันด้านขาออกของอินเวอร์เตอร์ 2 ระดับจะให้รูปคลื่นแรงดันไฟฟ้าเป็นสี่เหลี่ยม
2. เกิดการสูญเสียที่สวิตช์กำลัง (Switching loss) มาก
3. แรงดันที่ถูกสร้างขึ้นมีความผิดเพี้ยนมาก และ d*v*/d*t* สูง
4. กระแสด้านขาออกมีความผิดเพี้ยนมาก
5. ต้องนำสวิตช์กำลังมาอนุกรมกันเพื่อเพิ่มอัตราการทนแรงดันให้เพิ่มขึ้น ทำให้การควบคุมการขับนำสวิตช์กำลังให้ทำงานพร้อมกันทำได้ยากที่ความถี่สูง เนื่องจากคุณสมบัติของ

อุปกรณ์สวิตช์กำลังในแต่ละตัวจะมีคุณสมบัติ (Turn on-off characteristic) ที่ต่างกันเล็กน้อยจากกระบวนการผลิตจากโรงงาน

ดังนั้นเมื่อนำอินเวอร์เตอร์แบบหลายระดับ ดังแสดงในรูปที่ 1.1 (ข) มาใช้ที่ระดับแรงดันสูงทำให้มีข้อได้เปรียบ คือ

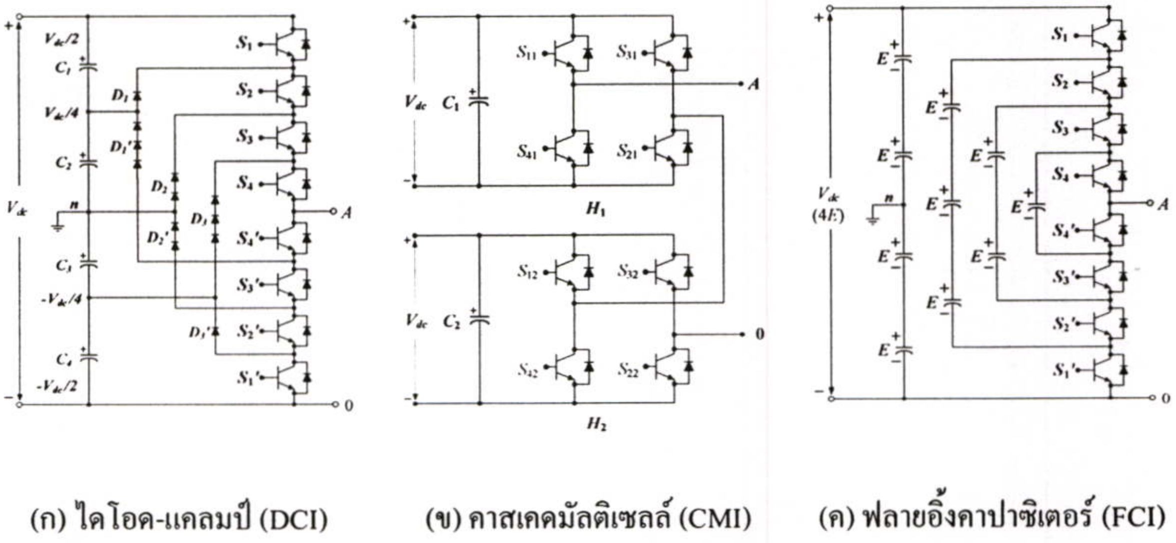
1. ในด้านของรูปคลื่นแรงดันด้านขาออกของอินเวอร์เตอร์จะให้รูปคลื่นแรงดันไฟฟ้าใกล้เคียงไซน์
2. แรงดันที่ถูกสร้างขึ้นมีความผิดเพี้ยนน้อย และ dv/dt ต่ำ
3. กระแสด้านขาออกมีความผิดเพี้ยนน้อย
4. สวิตช์กำลังแต่ละตัวทำงานที่สวิตชิ่งความถี่ต่ำ

อย่างไรก็ตาม การใช้งานอินเวอร์เตอร์หลายระดับก็มีข้อจำกัดบางประการ คือ

1. มีแหล่งจ่าย หรือตัวเก็บประจุจำนวนมาก
   - ส่งผลให้ต้องจัดหาแหล่งกำเนิดแรงดันจำนวนมาก
   - การรักษาระดับแรงดันที่ตัวเก็บประจุทำได้ยาก
2. เนื่องจากมีสวิตช์กำลังจำนวนมากทำให้ต้องใช้สัญญาณเกตจำนวนมาก

อินเวอร์เตอร์หลายระดับที่ได้รับการวิจัยและศึกษาเป็นอย่างมากในขณะนี้มี 3 ชนิด คือ

- อินเวอร์เตอร์ไดโอดแคลมป์ (Diode-clamped inverter , DCI)
- อินเวอร์เตอร์คาสเคดมัลติเซลล์ (Cascaded multicell inverter , CMI)
- อินเวอร์เตอร์ฟลายอิ้งคาปาซิเตอร์ (Flying capacitor inverter , FCI)



(ก) ไดโอด-แคลมป์ (DCI) (ข) คาสเคดมัลติเซลล์ (CMI) (ค) ฟลายอิ้งคาปาซิเตอร์ (FCI)

รูปที่ 1.2 โครงสร้างอินเวอร์เตอร์หลายระดับ ประเภทอินเวอร์เตอร์ 5 ระดับ

จากรูปที่ 1.2 เป็นลักษณะการต่อใช้งานของอินเวอร์เตอร์หลายระดับซึ่งการต่อวงจรแต่ละรูปแบบมีข้อจำกัดและข้อเด่น-ข้อด้อย ต่างกัน คือ

1. อินเวอร์เตอร์ชนิดไดโอด-แคลมป์ (Diode-clamped inverter, DCI) ในรูปที่ 1.2 (ก)
   - ไม่สามารถเลือกรูปแบบการสวิตช์กำลังได้
   - มีคอมมอนดีซีลิ้งค์
   - การสมดุลพลังงานที่ตัวเก็บประจุที่ดีซีลิ้งค์ทำได้ยาก (รูปแบบการสวิตช์มีจำกัด)
2. อินเวอร์เตอร์ชนิดคาสเคดมัลติเซลล์ (Cascaded multi-cell inverter, CMI) ในรูปที่ 1.2 (ข)
   - สามารถเลือกรูปแบบการสวิตช์กำลังได้
   - ไม่มีคอมมอนดีซีลิ้งค์
   - มีตัวเก็บประจุแยกอิสระในแต่ละเซลล์ จึงสิ้นเปลืองแหล่งจ่ายอิสระหลายแหล่งเช่นกัน
3. อินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ (Flying capacitor inverter, FCI) ในรูปที่ 1.2 (ค)
   - สามารถเลือกรูปแบบการสวิตช์กำลังได้
   - มีคอมมอนดีซีลิ้งค์
   - สิ้นเปลืองตัวเก็บประจุ และตัวเก็บประจุที่ใช้มีขนาดใหญ่

หากมองในแง่ของการนำไปใช้งานกับอินเวอร์เตอร์ขับมอเตอร์กระแสสลับ อินเวอร์เตอร์แบบ FCI มีข้อได้เปรียบ กล่าวคือ ใช้แหล่งจ่าย DC link เพียงแหล่งจ่ายเดียว อีกทั้งสามารถรักษาระดับแรงดันที่ตัวเก็บประจุได้เองโดยไม่ต้องใช้อุปกรณ์เฉพาะเพิ่มขึ้น จากข้อได้เปรียบที่กล่าวไว้ข้างต้นของ FCI ในวิทยานิพนธ์นี้จึงได้เลือกวงจรอินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ (Flying capacitor inverter , FCI) มาทำการศึกษาและวิจัย

โดยเทคนิคการพีดับบลิวเอ็มที่สามารถนำมาใช้ควบคุมสวิตช์กำลัง ในการสร้างแรงดันไฟฟ้าด้านขาออกของ มัลติเลเวลอินเวอร์เตอร์ สามารถใช้ได้กับเทคนิคการมอดดูเลตแบบต่างๆ แต่เทคนิคที่นิยมนำมาใช้ในการสร้างสัญญาณขับเกตมากที่สุดคือ วิธีการมัลติเลเวลไซนูซอยดอลพัลส์วิดมอดดูเลตชัน (Multilevel Sinusoidal Pulse Width Modulation, SPWM) ซึ่งมีด้วยกัน 2 แบบ คือ

1. เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme) หรือเรียกว่า PSPWM
2. เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ (Level-shifted multi-carrier PWM scheme) แบ่งออกได้
   - IPD (In-Phase disposition) หรือเรียกว่า IPDPWM
   - APOD (Alternative phase opposite disposition) หรือเรียกว่า APODPWM
   - POD (Phase opposite disposition) หรือเรียกว่า PODPWM

วิทยานิพนธ์นี้ได้ศึกษาและออกแบบสัญญาณขับเกตแบบพีดับบลิวเอ็มชนิดเลื่อนเฟสและเลื่อนระดับ เพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มทั้ง 2 แบบ สำหรับอินเวอร์เตอร์

5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ โดยทำการศึกษาเปรียบเทียบคุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการสมดุลพลังงานที่ตัวเก็บประจุ และผลของเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1.2.1 ศึกษาวิธีการมอดดูเลตแบบหลายแคเรียร์สำหรับมัลติเลเวลคอนเวอร์เตอร์

1.2.2 ศึกษาเปรียบเทียบ ข้อดี-ข้อด้อย ของการมอดดูเลตแบบต่างๆ ในข้อ 1 ในด้านต่างๆ ดังนี้

- คุณภาพของแรงดันด้านขาออก v_{AB} ที่ได้ (THDv)
- การสมดุลพลังงานของตัวเก็บประจุในมัลติเลเวลอินเวอร์เตอร์
- ผลของ Dead-time ที่มีต่อ THDv ของอินเวอร์เตอร์

1.2.3 เพื่อหาวิธีมอดดูเลตที่เหมาะสมต่อการ ประยุกต์ใช้งานในระบบ AC Drive โดยใช้อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ เป็นวงจรกำลังสำหรับทำการศึกษาเปรียบเทียบ

1.3 ทฤษฎีและแนวคิดที่ใช้ในการวิจัย

โดยในวิทยานิพนธ์เป็นการนำเอาเทคนิคการสร้างสัญญาณพีดับบลิวเอ็มชนิดเลื่อนเฟสและเลื่อนระดับ [1] ทั้ง 2 แบบ มาเปรียบเทียบสมรรถนะการทำงาน เพื่อหาเทคนิคการสร้างสัญญาณพีดับบลิวเอ็มที่เหมาะสมที่สุด สำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ (เครื่องต้นแบบ) เพื่อที่จะสามารถนำไปประยุกต์ใช้งานในระบบ AC Drive ให้มีประสิทธิภาพสูงสุด โดยทำการศึกษาเปรียบเทียบคุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการสมดุลพลังงานที่ตัวเก็บประจุ และผลของเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก โดยสัญญาณ PWM ทั้ง 2 แบบจะสร้างบน FPGA และได้นำเอาเทคนิคการ rotate pulse เข้ามาแก้ปัญหาของสวิตช์กำลังเฉลี่ยแต่ละตัวใน FCI ทำงานไม่สม่ำเสมอ (IPDPWM) ทำให้เทคนิค PWM ทั้ง 2 แบบสามารถจ่ายกำลังงานไฟฟ้าด้านขาออกได้จริง

1.4 ขอบเขตการวิจัย

ศึกษาและเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์ การพีดับบลิวเอ็มเป็นแบบมัลติแคเรียร์ไซนูซอยดอลพัลส์วิดมอดดูเลตชัน หัวข้อที่ทำการศึกษา คือ

1.4.1 คุณภาพของแรงดันด้านขาออก v_{AB} ที่ได้ (THDv)

- การจำลองและการทดลองกำหนดให้ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์เป็นค่าคงที่

1.4.2 การสมดุลพลังงานของตัวเก็บประจุในมัลติเลเวลอินเวอร์เตอร์

- ทำการสร้างชุด Start-up ระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI เพื่อทดลองการรักษาสมดุลของพลังงานของตัวเก็บประจุใน FCI
- ออกแบบวงจรสร้างสัญญาณเกตด้วยวิธี rotate pulse ด้วย FPGA สำหรับแก้ปัญหาการทำงานของสวิตช์กำลังแต่ละตัว ที่ทำงานเฉลี่ยไม่เท่ากัน (IPDPWM)
- ทำการปรับปรุงวงจรสร้างสัญญาณเกตบน FPGA เพื่อกำหนดรูปแบบการสวิตช์สำหรับ ให้กับชุด Start-up

1.4.3 ผลของ Dead-time ที่มีต่อ THDv ของอินเวอร์เตอร์

- ทดลองผลของ Dead-time ที่มีผลต่อค่าของ THDv ในอินเวอร์เตอร์หลายระดับ โดยพิจารณาผลของเดดไทม์ที่เวลา 2.6 μs, 3.0 μs, 4.0 μs และ 5.0 μs

โดยเปรียบเทียบทั้งผลของการจำลองและผลของการทดลอง เพื่อยืนยันว่าผลของจำลองและผลของการทดลองที่ได้มีค่าตรงกับทฤษฎี [1]

1.5 ประโยชน์ที่ได้รับจากการวิจัย

เพื่อหาเทคนิคการสร้างสัญญาณพีดับบลิวเอ็มที่เหมาะสมที่สุด สำหรับอินเวอร์เตอร์ 5 ระดับชนิด ฟลายอิ้งคาปาซิเตอร์ เพื่อที่จะสามารถนำไปประยุกต์ใช้งานในระบบ AC Drive ให้มีประสิทธิภาพสูงสุดโดยศึกษาและเปรียบเทียบจากสมรรถนะระหว่างเทคนิคการสร้างสัญญาณพีดับบลิวเอ็มชนิดเลื่อนเฟสและเลื่อนระดับ ในหัวข้อดังต่อไปนี้ คือ คุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการสมดุลพลังงานที่ตัวเก็บประจุ และผลของเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก

1.6 โครงสร้างวิทยานิพนธ์

วิทยานิพนธ์นี้เป็นการศึกษาและเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์ โดยทำการศึกษาเปรียบเทียบคุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการสมดุลพลังงานที่ตัวเก็บประจุ และผลของเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก ที่ค่ามอดดูเลตชันค่าต่างๆ โดยรายละเอียดที่จะกล่าวถึงในวิทยานิพนธ์ได้แบ่งออกเป็น 6 บทดังต่อไปนี้

บทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ของการวิจัย ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย ขอบเขตของการวิจัย ขั้นตอนของการศึกษา และประโยชน์ที่คาดว่าจะได้รับ

บทที่ 2 กล่าวถึงทฤษฎีของมัลติเลเวลอินเวอร์เตอร์แบบต่างๆ และเทคนิคการพีดับบลิวเอ็มสำหรับมัลติเลเวลอินเวอร์เตอร์

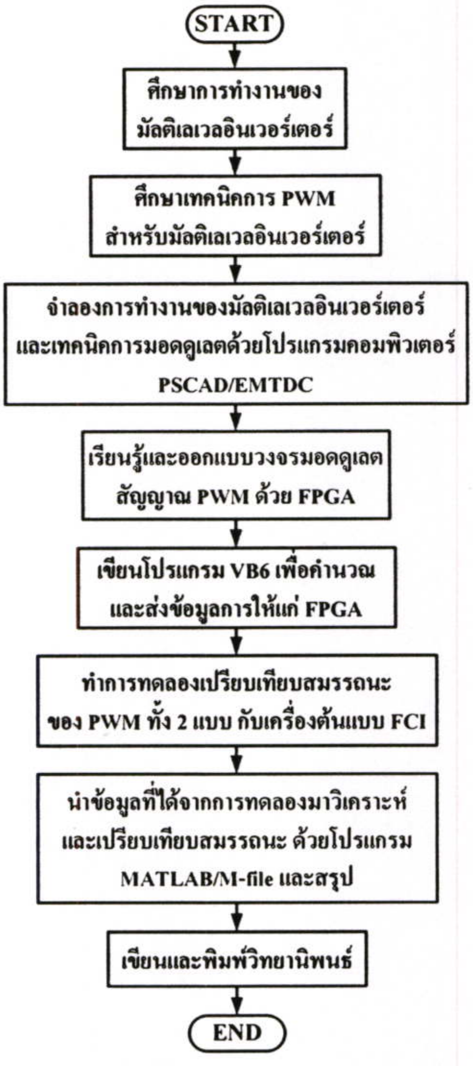
บทที่ 3 กล่าวถึงการจำลองการทำงานของมัลติเลเวลอินเวอร์เตอร์ด้วยโปรแกรมคอมพิวเตอร์ PSCAD/EMTDC

บทที่ 4 กล่าวถึงเทคนิคการสตาร์ทอัฟและการรักษาสมดุลพลังงานของตัวเก็บประจุใน FCI

บทที่ 5 กล่าวถึงออกแบบสัญญาณขับเกตแบบพีดับบลิวเอ็มชนิดเลื่อนเฟสและเลื่อนระดับเพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มทั้ง 2 แบบ สำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ โดยหัวข้อที่ทำการทดลองเพื่อเปรียบเทียบ คือ คุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการสมดุลพลังงานที่ตัวเก็บประจุ และผลของ dead-time ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก

บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ

1.7 ขั้นตอนของการศึกษา



รูปที่ 1.3 ผังงาน (Flow chart) ขั้นตอนการศึกษาวิทยานิพนธ์

บทที่ 2

มัลติเลเวลอินเวอร์เตอร์และเทคนิคการมอดดูเลต

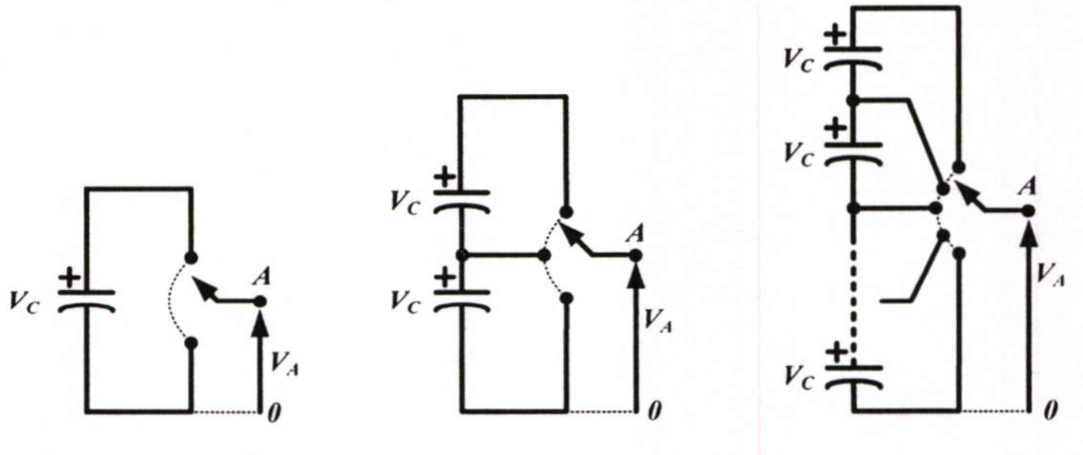
2.1 บทนำ

ในวิทยานิพนธ์ในบทนี้ได้นำเสนอทฤษฎีเบื้องต้นและหลักทำงานของมัลติเลเวลอินเวอร์เตอร์แบบต่างๆ เช่นอินเวอร์เตอร์ไดโอดแคลมป์ (Diode-clamped inverter, DCI) อินเวอร์เตอร์คาสเคดมัลติเซลล์ (Cascaded multicell inverter , CMI) อินเวอร์เตอร์ฟลายอิ้งคาปาซิเตอร์ (Flying capacitor inverter , FCI) เป็นต้น [1-2] อีกทั้งในวิทยานิพนธ์ในบทนี้ได้นำเสนอเทคนิคการมอดดูเลชันแบบต่างๆ ที่ใช้ในการควบคุมสวิตช์กำลังสำหรับมัลติเลเวลอินเวอร์เตอร์ [2]

2.2 มัลติเลเวลอินเวอร์เตอร์อินเวอร์เตอร์ [1-5]

อินเวอร์เตอร์หลายระดับจะอาศัยการต่ออนุกรมกันของอุปกรณ์สวิตช์กำลัง เพื่อใช้ในการแบ่งแรงดันและเพิ่มจำนวนระดับของสัญญาณด้านขาออกระหว่างสายมีลักษณะเข้าใกล้เคียงไซน์มากยิ่งขึ้นเมื่อเปรียบเทียบกับอินเวอร์เตอร์ 2 ระดับ การอนุกรมกันของอุปกรณ์สวิตช์กำลังดังกล่าวทำให้อินเวอร์เตอร์หลายระดับมีความสามารถในการทำงานที่ระดับกำลังไฟฟ้าที่สูงกว่าอินเวอร์เตอร์ 2 ระดับ

ในการสร้างมัลติเลเวลอินเวอร์เตอร์ในครั้งแรก ถูกสร้างเป็นอินเวอร์เตอร์แบบ 3 ระดับ ต่อมามีการเพิ่มจำนวนระดับของอินเวอร์เตอร์ ทำให้แรงดันด้านขาออกของอินเวอร์เตอร์ที่ได้มีระดับเป็นขั้นบันไดมากขึ้น ซึ่งจะเป็นการช่วยลดฮาร์มอนิกส์ แต่อย่างไรก็ตามการควบคุมก็ทำได้ยากขึ้นเช่นเดียวกันเนื่องจากสวิตช์กำลังที่ใช้ในมัลติเลเวลมีจำนวนมาก



(ก) แบบ 2 ระดับ (ข) แบบ 3 ระดับ (ค) แบบ *n* ระดับ

รูปที่ 2.1 แผนภาพของอินเวอร์เตอร์ที่มีหลายระดับ

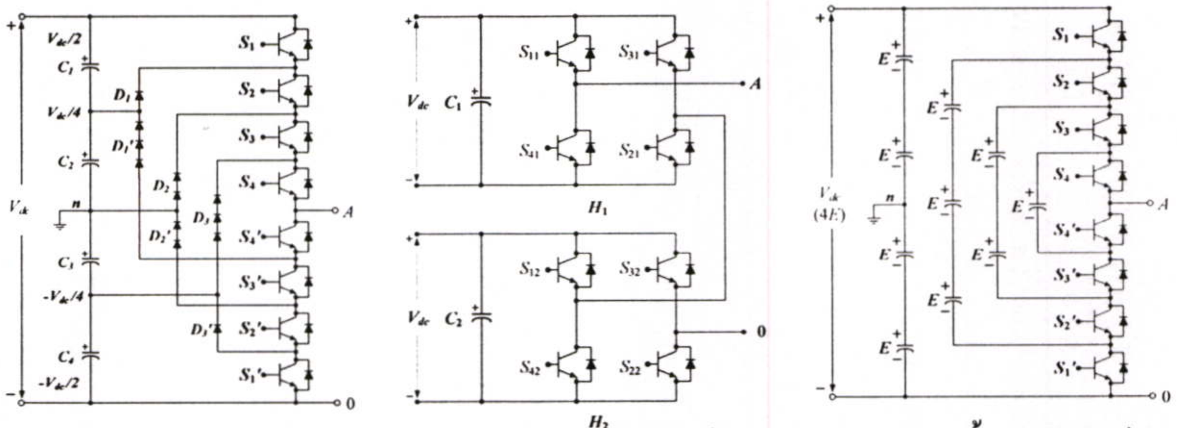
จากรูปที่ 2.1 แสดงแผนภาพของอินเวอร์เตอร์ที่มีหลายระดับ โดยในที่นี้อุปกรณ์สวิตช์กำลังถูกสมมุติให้เป็นสวิตช์ในอุดมคติ อินเวอร์เตอร์ 2 ระดับ ดังแสดงในรูปที่ 2.1 (ก) จะสามารถสร้างแรงดันได้ 2 ค่า เมื่อเทียบกับจุดอ้างอิง ซึ่งจุดอ้างอิงในที่นี้ คือ ขาลบของตัวเก็บประจุ (Negative DC-link) ขณะที่อินเวอร์เตอร์ 3 ระดับ ดังแสดงในรูปที่ 2.1 (ข) จะสามารถสร้างแรงดันได้ 3 ค่า เมื่อเทียบกับจุดอ้างอิง ขณะที่อินเวอร์เตอร์ n ระดับ ดังรูปที่ 2.1 (ค) จะสามารถสร้างแรงดันได้ n ค่า เช่นเดียวกัน

คุณสมบัติที่น่าสนใจของอินเวอร์เตอร์หลายระดับ

1. ในด้านของรูปคลื่นแรงดันด้านขาออกของอินเวอร์เตอร์จะให้รูปคลื่นแรงดันไฟฟ้าใกล้เคียงไซน์
2. แรงดันที่ถูกสร้างขึ้นมีความผิดเพี้ยนน้อย และ dv/dt ต่ำ
3. กระแสด้านขาออกมีความผิดเพี้ยนน้อย
4. สวิตช์กำลังแต่ละตัวทำงานที่สวิตชิ่งความถี่ต่ำ

ในการประยุกต์ใช้มัลติเลเวลอินเวอร์เตอร์มีหลากหลายรูปแบบทั้งใช้เป็นอุปกรณ์ขับมอเตอร์กระแสสลับ แก้ไขค่าฮาร์มอนิกส์ และปรับปรุงค่าตัวประกอบกำลังไฟฟ้า หรือใช้เป็นตัวจ่ายค่ากำลังไฟฟ้าแอคทีฟและรีแอคทีฟให้กับภาระทางไฟฟ้าแทนระบบ เป็นต้น

อินเวอร์เตอร์หลายระดับที่ได้รับการวิจัยและศึกษากันโดยทั่วไป ในขณะนี้มี 3 ชนิด คือ อินเวอร์เตอร์ไดโอดแคลมป์ (Diode-clamped inverter, DCI) อินเวอร์เตอร์คาสเคดมัลติเซลล์ (Cascaded multicell inverter , CMI) อินเวอร์เตอร์ฟลายอิ้งคาปาซิเตอร์ (Flying capacitor inverter , FCI) โดยวงจรอินเวอร์เตอร์หลายระดับจะมีส่วนประกอบหลัก คือ อุปกรณ์สวิตช์กำลังจำนวนมาก และมีตัวเก็บประจุหรือแหล่งจ่ายอิสระจำนวนมาก เพื่อที่จะทำการสร้างระดับแรงดันเป็นรูปคลื่นขั้นบันไดโดยค่าแรงดันที่ได้นั้นเกิดจากการจัดเรียงระดับแรงดันที่ตัวเก็บประจุหรือแหล่งจ่ายอิสระทำให้ได้ค่าระดับแรงดันมีค่าที่สูงขึ้น



(ก) ไดโอด-แคลมป์ (ข) คาสเคดมัลติเซลล์ (ค) ฟลายอิ้งคาปาซิเตอร์

รูปที่ 2.2 โครงสร้างอินเวอร์หลายระดับ ประเภทอินเวอร์เตอร์ 5 ระดับ

จากรูปที่ 2.2 เมื่อพิจารณาอินเวอร์เตอร์หลายระดับในแต่ละประเภทจากลักษณะการต่อวงจร ทำให้สามารถเห็นข้อจำกัด และข้อเด่น-ข้อด้อย แตกต่างกัน คือ

1. อินเวอร์เตอร์ชนิดไดโอด-แคลมป์ (Diode-clamped inverter, DCI) ในรูปที่ 1.2 (ก)
   - ไม่สามารถเลือกรูปแบบการสวิตช์กำลังได้
   - มีคอมมอนดีซีลิ้งค์
   - การสมดุลพลังงานที่ตัวเก็บประจุที่ดีซีลิ้งค์ทำได้ยาก (รูปแบบการสวิตช์มีจำกัด)
2. อินเวอร์เตอร์ชนิดคาสเคดมัลติเซลล์ (Cascaded multi-cell inverter, CMI) ในรูปที่ 1.2 (ข)
   - สามารถเลือกรูปแบบการสวิตช์กำลังได้
   - ไม่มีคอมมอนดีซีลิ้งค์
   - มีตัวเก็บประจุแยกอิสระในแต่ละเซลล์ จึงสิ้นเปลืองแหล่งจ่ายอิสระหลายแหล่งเช่นกัน
3. อินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ (Flying capacitor inverter, FCI) ในรูปที่ 1.2 (ค)
   - สามารถเลือกรูปแบบการสวิตช์กำลังได้
   - มีคอมมอนดีซีลิ้งค์
   - สิ้นเปลืองตัวเก็บประจุ และตัวเก็บประจุที่ใช้มีขนาดใหญ่

หากมองในแง่ของการนำไปใช้งานกับอินเวอร์เตอร์เพื่อขับมอเตอร์กระแสสลับ อินเวอร์เตอร์แบบ FCI มีข้อได้เปรียบ กล่าวคือ ใช้แหล่งจ่าย DC link เพียงแหล่งจ่ายเดียว อีกทั้งยังสามารถรักษาระดับแรงดันที่ตัวเก็บประจุได้เองโดยไม่ต้องมีอุปกรณ์เฉพาะเพิ่มขึ้น จากข้อได้เปรียบที่กล่าวไว้ข้างต้นของ FCI ในวิทยานิพนธ์นี้จึงได้เลือกวงจรอินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ (Flying capacitor inverter, FCI) มาทำการศึกษาและวิจัย

2.2.1 ตัวย่อที่ใช้ในการวิจัย

FCI	คือ Flying capacitor inverter
DCI	คือ Diode clamped inverter
CMI	คือ Cascade multi cell inverter
PWM	คือ Pulse width modulation
SPWM	คือ Sinusoid pulse width modulation technique
PSPWM	คือ Phase-shifted PWM scheme
IPDPWM	คือ In-phase disposition PWM scheme
PODPWM	คือ Phase opposite disposition PWM scheme
APODPWM	คือ Alternative phase opposite disposition PWM scheme

2.2.2 ตัวแปรที่สำคัญที่ใช้ในการวิจัย

m	คือ จำนวนระดับของแรงดันเมื่อเทียบกับขั้วลบของดีซีลิ้ง (Voltage level)
SW	คือ จำนวนสวิตช์กำลัง (Power semi-conductor)
C	คือ จำนวนตัวเก็บประจุแบบฟลายอิ้งค์ (Flying capacitor)
k	คือ จำนวนระดับของแรงดันระหว่างสาย (Line voltage)
p	คือ จำนวนระดับของแรงดันเฟสของภาระไฟฟ้า 3 เฟส (Phase voltage)
f_m	คือ ความถี่มูลฐาน (Fundamental frequency)
f_{cr}	คือ ความถี่พาหะ (Carrier frequency)
$f_{sw,dev}$	คือ ความถี่ของการทำงานของอุปกรณ์สวิตชิ่ง (Frequency switching device)
$f_{sw,inv}$	คือ ความถี่การสวิตชิ่งของอินเวอร์เตอร์ (Switching frequency of inverter)
m_f	คือ อัตราส่วนระหว่าง f_{cr}/f_m (Frequency modulation index)
m_a	คือ อัตราการมอดดูเลตระหว่างสัญญาณมูลฐานและสัญญาณพาหะ
m	คือ จำนวนระดับของแรงดันเมื่อเทียบกับขั้วลบของดีซีลิ้งค์
v_{cr}	คือ แรงดันสัญญาณพาหะ หรือแรงดันสัญญาณแคเรียร์
v_m	คือ แรงดันสัญญาณมูลฐาน หรือแรงดันสัญญาณไซน์
$\hat{V}_{cr}$	คือ แรงดันแอมปลิจูดของสัญญาณพาหะ หรือแรงดันแอมปลิจูดของสัญญาณแคเรียร์
$\hat{V}_m$	คือ แรงดันแอมปลิจูดของสัญญาณมูลฐาน หรือแรงดันแอมปลิจูดของสัญญาณไซน์
t_d	คือ ค่าเวลาช่วงเดดไทม์ (Dead-time)

2.2.3 โครงสร้างพื้นฐานและหลักการทำงานของอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์ [1-2]

โครงสร้างของอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์ หรือเรียกว่า คาปาซิเตอร์แคลมป์ (Capacitor-clamped) แสดงดังรูปที่ 2.3 และ 2.4 ซึ่งจะมีส่วนประกอบหลักด้วยกัน 2 ส่วน คือ ตัวเก็บประจุ (Capacitor) และอุปกรณ์สวิตช์กำลัง (Power Semi-conductor) โดยตัวเก็บประจุวงนอกสุดเรียกว่า คอมมอนดีซีลิ้งค์ (Common DC link) เป็นตัวสะสมพลังงาน ขณะที่ตัวเก็บประจุตัวอื่นๆ เรียกว่า ตัวเก็บประจุแบบฟลายอิ้งค์ (Flying capacitor) เป็นตัวสร้างแรงดันระดับต่างๆ โดยแรงดันที่ได้ในแต่ละระดับ เกิดจากผลรวมของแรงดันที่ตกคร่อมที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว ที่ต่ออนุกรมกันในวงนั้น ซึ่งแรงดันที่ตกคร่อมตัวเก็บประจุแบบฟลายอิ้งค์ในแต่ละตัว คือ $1E$ โดยอินเวอร์เตอร์ที่ศึกษาในวิทยานิพนธ์นี้เป็นอินเวอร์เตอร์ประเภท 5 ระดับ ดังแสดงในรูปที่ 2.3 และ 2.4 ซึ่งสมการพื้นฐานของวงจรอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิ้งคาปาซิเตอร์สามารถสรุปเป็นสมการ ได้ดังนี้

เมื่อทำการพิจารณาองค์ประกอบของวงจรใน 1 leg ดังแสดงในรูปที่ 2.3

$$SW = (m-1)\times 2 \tag{2.1}$$

$$C = \frac{(m-1)\times(m-2)}{2} \tag{2.2}$$

$$m = \frac{SW}{2}+1 \tag{2.3}$$

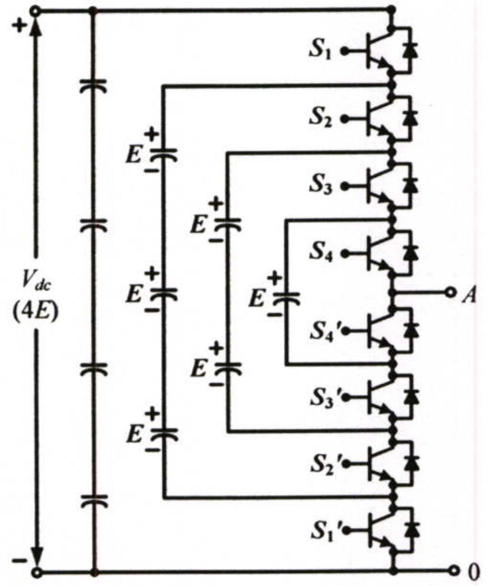
เมื่อทำการพิจารณาองค์ประกอบของวงจรในแบบ 3 เฟส ดังแสดงในรูปที่ 2.4

$$SW = ((m-1)\times 2)\times 3 \tag{2.4}$$

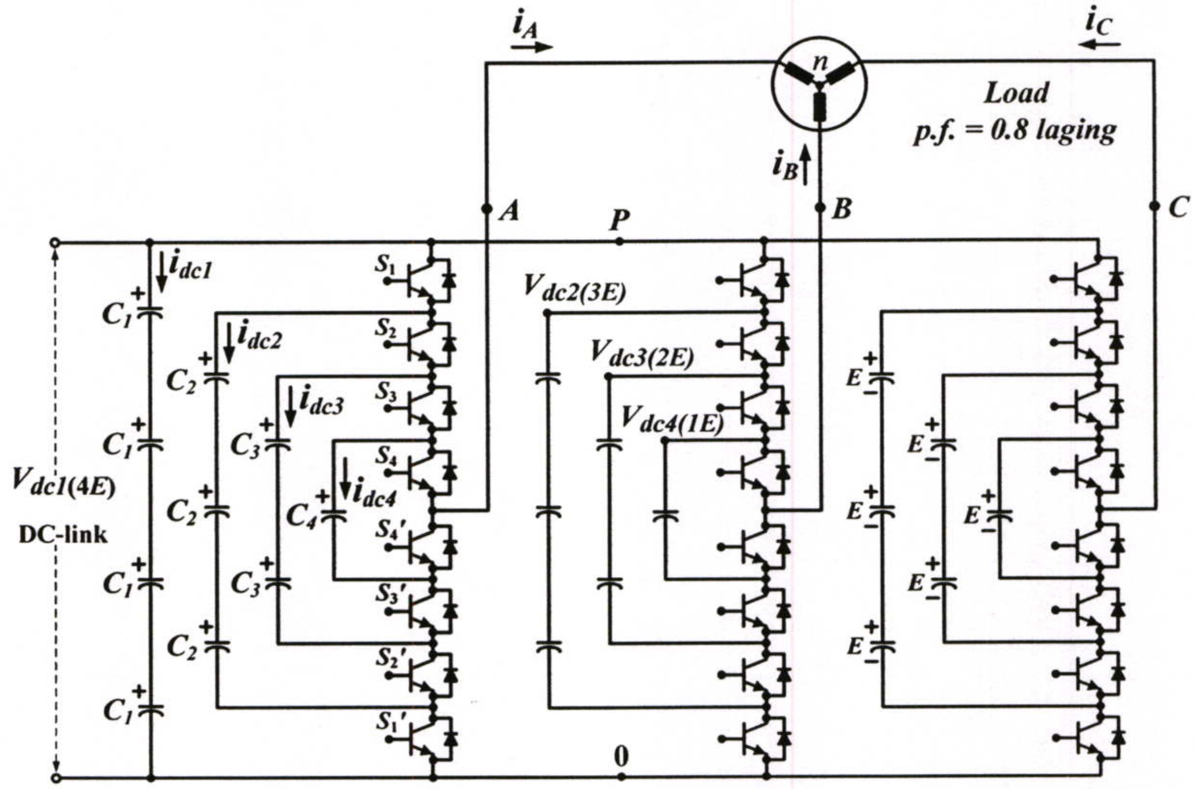
$$C = \left(\frac{(m-1)\times(m-2)}{2}\right)\times 3 \tag{2.5}$$

$$k = 2m-1 \tag{2.6}$$

$$p = 2k-1 \tag{2.7}$$



รูปที่ 2.3 วงจรพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์แบบ 1 leg



รูปที่ 2.4 วงจรพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ แบบ 3 เฟส

จากรูปที่ 2.4 เมื่อทำการกำหนดแหล่งจ่ายไฟ DC ให้มีค่าเท่ากับ V_{dc} โดยที่ตัวเก็บประจุแบบฟลายอิ้งค์ในแต่ละตัวจะมีแรงดันตกคร่อมที่ตัวเก็บประจุเท่ากัน คือ 1*E* ดังนั้นแรงดันของตัวเก็บประจุวงนอกสุดจะมีระดับแรงดันเป็น 4*E*, 3*E*, 2*E* และวงในสุดมีระดับแรงดัน 1*E* ตามลำดับ

โดยจะขึ้นอยู่กับการ "ON" และ "OFF" ของสวิตช์กำลังแต่ละตัว นอกจากนั้นระดับแรงดันด้านขาออกเดียวกันยังสามารถสร้างได้หลายวิธี แต่มีผลการประจุและคายประจุของตัวเก็บประจุแต่ละวงที่แตกต่างกัน โดยที่สามารถนำข้อมูลมาเขียนเป็นความสัมพันธ์ของระดับแรงดันด้านขาออกได้ดังตารางที่ 2.1

ตารางที่ 2.1 การทำงานของสวิตช์กำลังในอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิ้งคาปาซิเตอร์ (leg A)

Switching states				Output voltage related of capacitor	Output phase voltage v_{A0}	C_2	C_3	C_4
S_1	S_2	S_3	S_4					
1	1	1	1	$4E$	V_{dc} $(4E)$	N	N	N
1	1	1	0	$4E - 1E$	$3E$	N	N	+
1	1	0	1	$4E - 2E + 1E$		N	+	-
1	0	1	1	$4E - 3E + 2E$		+	-	N
0	1	1	1	$3E$		-	N	N
1	1	0	0	$4E - 2E$	$2E$	N	+	N
1	0	1	0	$4E - 3E + 2E - 1E$		+	-	+
0	1	1	0	$3E - 1E$		-	N	+
1	0	0	1	$4E - 3E + 1E$		+	N	-
0	1	0	1	$3E - 2E + 1E$		-	+	-
0	0	1	1	$2E$		N	-	N
1	0	0	0	$4E - 3E$	$1E$	+	N	N
0	1	0	0	$3E - 2E$		-	+	N
0	0	1	0	$2E - 1E$		N	-	+
0	0	0	1	$1E$		N	N	-
0	0	0	0	0	0	N	N	N

กำหนดให้ 1 คือ สถานะ SW-On

0 คือ สถานะ SW-Off

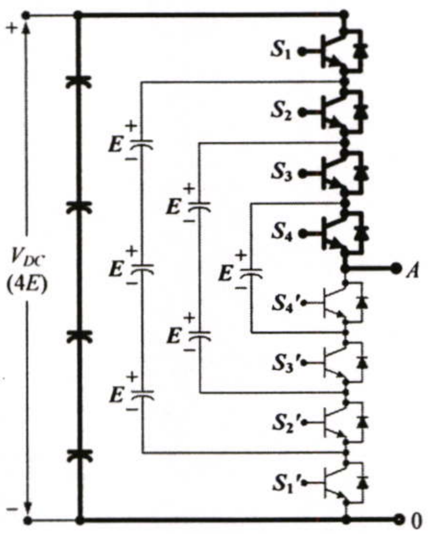
N คือ ไม่ใช้งาน

\+ คือ สถานะ การอัดประจุ (Charging mode)

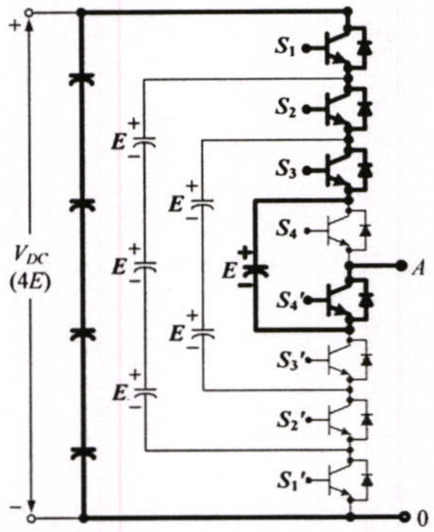
\- คือ สถานะ การคายประจุ (Discharge mode)

ข้อสังเกตการทำงานของสวิตช์กำลัง โดยพิจารณาที่ระดับแรงดันทางด้านขาออกของอินเวอร์เตอร์ คือ หากต้องการระดับแรงดัน $4E$ ก็ให้เลือกสวิตช์กำลังทำงาน 4 ตัว หรือถ้าต้องการระดับแรงดัน $3E$ ก็เลือกสวิตช์กำลัง 3 ใน 4 ตัวทำงาน หรือถ้าต้องการระดับแรงดัน $2E$ ก็เลือกสวิตช์กำลัง 2 ใน 4 ตัวทำงาน และหากต้องการระดับแรงดัน $1E$ ก็เลือกสวิตช์กำลัง 1 ใน 4 ตัวทำงาน จะเห็นได้ว่าลักษณะการทำงานของสวิตช์กำลังสามารถเลือกทำงานได้หลายแบบตามระดับแรงดันที่ต้องการ ซึ่งการควบคุมการทำงานของสวิตช์กำลังจะเกิดจากการนำค่าสัญญาณมูลฐานกับสัญญาณแคเรียร์มาทำการเปรียบเทียบกัน ทำให้ได้เป็นสัญญาณขับเกต เพื่อนำไปขับสวิตช์กำลัง ซึ่งเรียกว่าวิธีมัลติเลเวลไซนูซอยดอลพัลส์วิดมอดคูเลตชัน ซึ่งมีด้วยกันหลายเทคนิค โดยแบ่งตามลักษณะการ

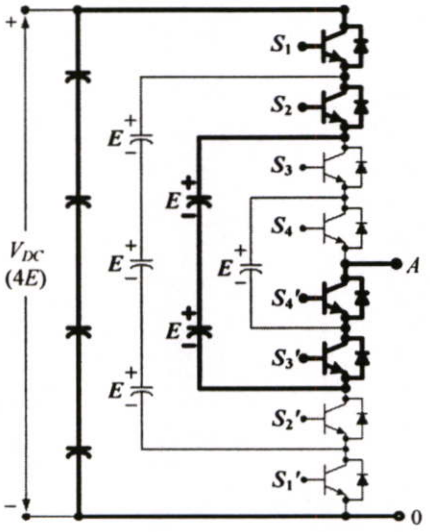
จัดรูปแบบของสัญญาณแคเรียร์ สัญญาณขับเกตที่ได้จากการมอดดูเลตในช่วง 1 cycle จึงมีโอกาสที่จะทำให้สวิตช์กำลังทำงานไม่เท่ากัน ทั้งนี้เป็นผลทำให้เกิดกำลังสูญเสียที่สวิตช์กำลังมีค่าไม่เท่ากัน ทำให้อัตราของกระแสการอัดประจุและคายประจุไม่เท่ากัน ซึ่งส่งผลโดยตรงต่อการลดระดับของแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ ในการใช้งานอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์ จึงต้องคำนึงถึงการทำงานของสวิตช์กำลังเฉลี่ยเป็นหลัก ในรูปที่ 2.5 แสดงตัวอย่างการสร้างระดับแรงดันด้านขาออกของอินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ ในบางสถานะ



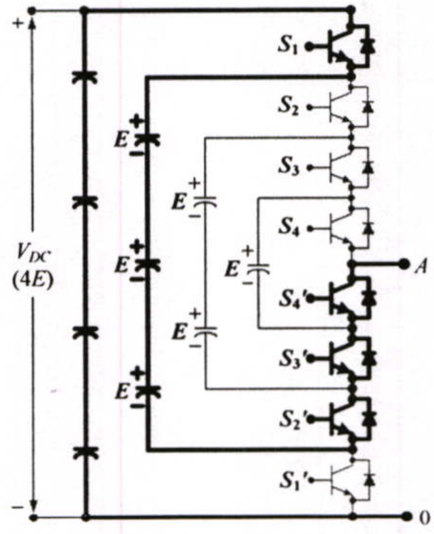
(ก) แรงดันด้านขาออก คือ 4E



(ข) แรงดันด้านขาออก คือ 3E



(ค) แรงดันด้านขาออก คือ 2E



(ง) แรงดันด้านขาออก คือ 1E

รูปที่ 2.5 ตัวอย่างการสร้างระดับแรงดันด้านขาออกบางสถานะ

2.2.4 ข้อดีและข้อเสียของวงจรอินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์

ข้อดี

- แรงดันตกคร่อมสวิตช์กำลังแต่ละตัวมีขนาดต่ำ จึงสามารถนำอุปกรณ์อิเล็กทรอนิกส์ที่ทนแรงดันต่ำมาสร้างแรงดันด้านขาออกที่สูงขึ้นได้

- ให้คุณภาพของรูปคลื่นของแรงดันด้านขาออกที่มีคุณภาพสูงมีความใกล้เคียงไซน์ โดยที่สวิตช์กำลังแต่ละตัวทำงานที่สวิตช์ความถี่ต่ำ

- ด้านแรงดันไฟฟ้าด้านจาออก จะมีค่าความผิดพลาดต่ำ และมีผลของ dv/dt ต่ำ ซึ่งจะลดปัญหาเกี่ยวกับ EMC

- มีแรงดันโหมดผลร่วมต่ำ (Common mode voltage) จะช่วยลดผลสัญญาณรบกวน

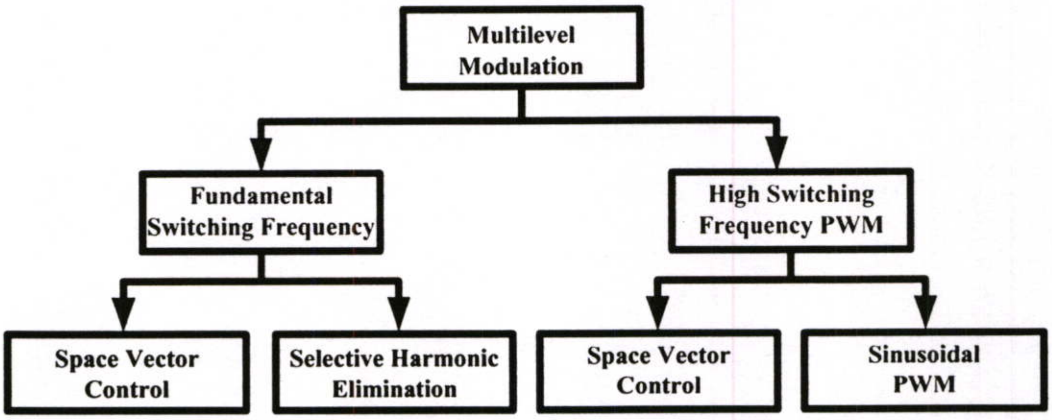
ข้อเสีย

- ต้องใช้ตัวเก็บประจุในวงจรจำนวนมาก

- เนื่องจากใช้อุปกรณ์สวิตช์กำลังจำนวนมากทำให้ต้องใช้สัญญาณเกตจำนวนมากตามไปด้วย (ความน่าเชื่อถือของวงจรลดลง)

2.3 เทคนิคการพีดับบลิวเอ็มสำหรับมัลติเลเวลอินเวอร์เตอร์ [1-3]

ในการสร้างสัญญาณควบคุมการทำงานของอุปกรณ์สวิตช์กำลังในมัลติเลเวลอินเวอร์เตอร์นั้น สามารถใช้ได้กับเทคนิคการมอดดูเลตแบบต่างๆ ซึ่งเทคนิคที่ได้รับการพัฒนาและนำมาใช้ในอินเวอร์เตอร์โดยทั่วไป มีด้วยกันหลายแบบ ซึ่งสามารถแบ่งตามความถี่ของการสวิตช์กำลังได้ดังในรูปที่ 2.6 เช่น มัลติเลเวลไซนูซอยดอลพัลส์วิดมอดดูเลตชัน (Multilevel sinusoidal pulse width modulation, SPWM) สเปซเวคเตอร์คอนโทรล (Space vector control, SVC) และมัลติเลเวลซีเลคทีฟฮาร์มอนิกส์อิลิมิเนชัน (Multilevel selective harmonic elimination) เป็นต้น [1]



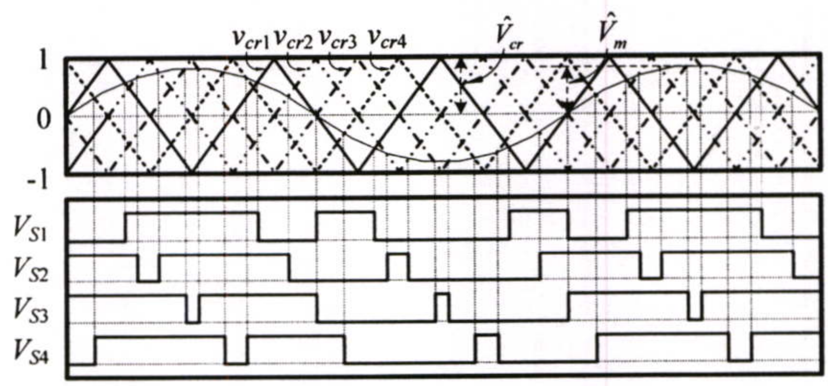
รูปที่ 2.6 รูปแบบการสร้างสัญญาณควบคุมการสวิตช์

จากข้างต้นเทคนิคการสร้างสัญญาณควบคุมสวิตช์กำลัง ที่นำมาใช้ในการสร้างแรงดันไฟฟ้าด้านขาออกของมัลติเลเวลอินเวอร์เตอร์ สามารถใช้ได้กับเทคนิคการมอดดูเลตแบบต่างๆ แต่เทคนิคที่นิยมนำมาใช้ในการสร้างสัญญาณขับเกตมากที่สุดคือ วิธีการมัลติเลเวลไซนูซอยดอลพัลส์วิดมอดดูเลตชัน (Multilevel Sinusoidal Pulse Width Modulation, SPWM) [5] ซึ่งมีด้วยกัน 2 แบบ คือ

1. เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme)
2. เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ (Level-shifted multi-carrier PWM scheme) แบ่งออกได้
   - IPD (In-Phase disposition)
   - APOD (Alternative phase opposite disposition)
   - POD (Phase opposite disposition)

2.3.1 เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme) [2-4]

เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme) ซึ่งต่อจากนี้จะเรียกว่า PSPWM มีลักษณะของการจัดเรียงสัญญาณพาหะแบบเลื่อนเฟสเป็นมุมเท่าๆ กันตามจำนวนของสัญญาณพาหะที่ใช้ โดยในรูปที่ 2.7 แสดงตัวอย่างของเทคนิค PSPWM ที่ใช้ในอินเวอร์เตอร์แบบ 5 ระดับ ($m=5$) ดังนั้นจำนวนของสัญญาณพาหะที่ใช้จึงเท่ากับ $(m-1)=4$ สัญญาณ ซึ่งผลที่ได้จากการนำเทคนิค PSPWM ไปใช้งาน มีผลทำให้ความถี่ของการทำงานของอุปกรณ์สวิตช์กำลัง (Device switching frequency, $f_{sw,dev}$) มีค่าเท่ากับความถี่ของสัญญาณพาหะ (Carrier frequency, f_{cr})



รูปที่ 2.7 ตัวอย่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

คุณสมบัติต่าง ๆ ที่ได้จากเทคนิค PSPWM [2]

- อัตราการมอดดูเลตชันอินเด็กซ์

$$m_a = \hat{V}_m / \hat{V}_{cr} \qquad \text{เมื่อ } 0 \le m_a \le 1 \tag{2.8}$$

- อัตราส่วนจำนวนเท่าระหว่างความถี่สัญญาณพาหะและความถี่สัญญาณมูลฐาน

$$m_f = f_{cr} / f_m \tag{2.9}$$

- ความถี่ของการทำงานของอุปกรณ์สวิตช์กำลัง (Frequency Switching Device)

$$f_{sw,dev} = f_{cr} \tag{2.10}$$

- ความถี่การสวิตชิ่งของอินเวอร์เตอร์ (Switching Frequency of Inverter)

$$f_{sw,inv} = (m-1) f_{sw,dev} \tag{2.11}$$

ซึ่งแรงดันด้านขาออกที่ได้ของอินเวอร์เตอร์ FCI จะมีฮาร์มอนิกส์ปรากฏที่อันดับสูงคือ ปรากฏขึ้นบริเวณรอบๆ ฮาร์มอนิกส์อันดับที่ $(m-1)m_f = 4m_f$ จึงทำให้สามารถกรองฮาร์มอนิกส์ลำดับต่ำได้ง่าย โดยที่อินเวอร์เตอร์เป็นแบบสามเฟส มีสัญญาณอ้างอิงเป็นสัญญาณแบบไซน์ นำมาเปรียบเทียบกับสัญญาณสามเหลี่ยมซึ่งก็คือสัญญาณพาหะแบบเลื่อนเฟสจำนวน 4 สัญญาณ แล้วนำผลของสัญญาณพัลส์ ที่ได้ไปควบคุมการทำงานของอุปกรณ์สวิตช์กำลังในแต่ละเฟส โดยเลือกใช้สัญญาณพาหะจำนวน $(m-1)$ = 4 สัญญาณ ซึ่งแต่ละสัญญาณมีมุมเลื่อนเฟสกัน $\phi_{cr} = 360°/(m-1)$ = 90 องศา

2.3.2 เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ (Level-shifted multi-carrier PWM scheme) [2-5]

เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ จะมีลักษณะการจัดเรียงของสัญญาณพาหะแบบเลื่อนระดับ ตามจำนวนของสัญญาณพาหะที่ใช้ โดยในรูปที่ 2.8 แสดงตัวอย่างของเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ ที่ใช้ในอินเวอร์เตอร์แบบ 5 ระดับ ($m = 5$) ดังนั้นจำนวนของสัญญาณพาหะที่ใช้จึงเท่ากับ $(m-1) = 4$ สัญญาณ ซึ่งสามารถแบ่งตามลักษณะการจัดเรียงมุมเฟสของสัญญาณพาหะทั้ง 4 สัญญาณ ได้อีก 3 แบบ คือ

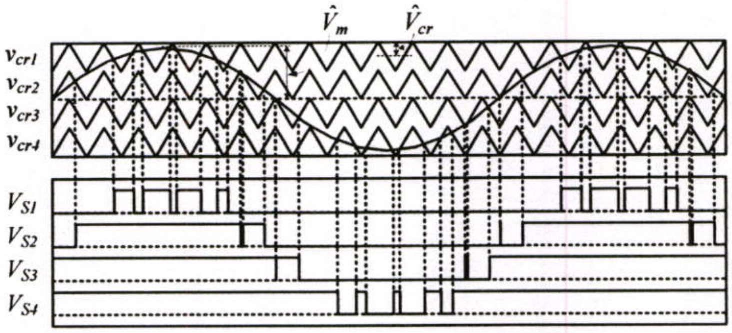
- In-phase disposition ซึ่งต่อจากนี้จะเรียกว่า IPDPWM มีลักษณะของการจัดเรียงมุมเฟสระหว่างสัญญาณพาหะ $v_{cr1} - v_{cr4}$ เป็นแบบ อินเฟสกัน (in-phase) ดังแสดงในรูปที่ 2.8 (ก)

- Alternative phase opposite disposition ซึ่งต่อจากนี้จะเรียกว่า APODPWM มีลักษณะของการจัดเรียงมุมเฟสระหว่างสัญญาณพาหะ v_{cr1} และ v_{cr3} เป็นแบบอินเฟสกัน ส่วน v_{cr2} และ v_{cr4} จะเลื่อนเฟสออกไป 180 องศา ดังแสดงในรูปที่ 2.8 (ข)

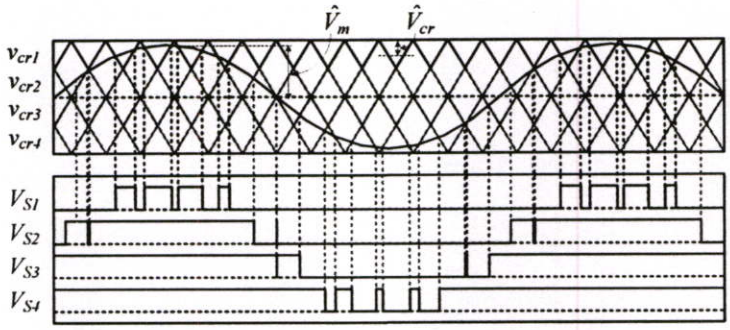
76724

- Phase opposite disposition ต่อจากนี้จะเรียกว่า PODPWM มีลักษณะของการจัดเรียงมุมเฟสระหว่างสัญญาณพาหะ v_{cr1} และ v_{cr2} เป็นแบบอินเฟสกัน ส่วน v_{cr3} และ v_{cr4} จะเลื่อนเฟสออกไป 180 องศา ดังแสดงในรูปที่ 2.8 (ค)

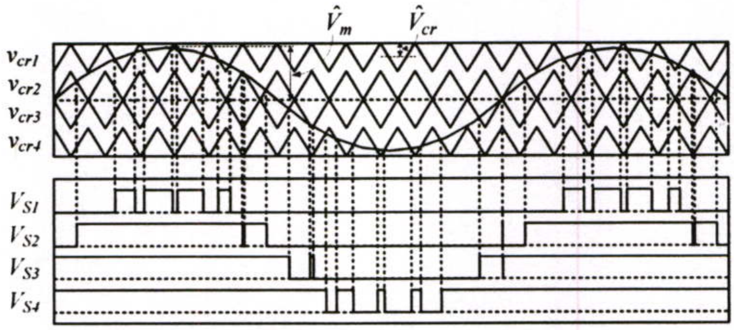
ด้วยคุณสมบัติของเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ (Level-shifted multi-carrier PWM scheme) ทั้ง 3 แบบ มีผลทำให้ความถี่การสวิตชิ่งของอินเวอร์เตอร์ (Switching frequency of inverter, $f_{sw,inv}$) จะเท่ากับความถี่ของสัญญาณพาหะ (Carrier frequency, f_{cr})



(ก) In-phase disposition (IPDPWM)



(ข) Alternative phase opposite disposition (APODPWM)



(ค) Phase opposite disposition (PODPWM)

รูปที่ 2.8 ตัวอย่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับ

คุณสมบัติต่างๆ ของรูปแบบ PWM ด้วยวิธีวิธีเลื่อนระดับ (Level-shifted multi-carrier PWM scheme) สามารถสรุปได้ดังนี้ [2]

- อัตราการมอดดูเลตชันอินเด็กซ์

$$m_a = \hat{V}_m / \hat{V}_{cr}(m-1) \qquad \text{เมื่อ } 0 \le m_a \le 1 \tag{2.12}$$

- อัตราส่วนจำนวนเท่าระหว่างความถี่สัญญาณพาหะและความถี่สัญญาณมูลฐาน

$$m_f = f_{cr} / f_m \tag{2.13}$$

- ความถี่การสวิตชิ่งของอินเวอร์เตอร์ (Switching frequency of inverter)

$$f_{sw,inv} = f_{cr} \tag{2.14}$$

- ความถี่ของการทำงานของอุปกรณ์สวิตชิ่ง (Device switching frequency)

$$f_{sw,dev} = f_{cr} / (m-1) \tag{2.15}$$

ซึ่งแรงดันด้านขาออกที่ได้ของอินเวอร์เตอร์ FCI จะมีฮาร์มอนิกส์ปรากฏที่อันดับสูงคือ ปรากฏขึ้นบริเวณรอบๆ ฮาร์มอนิกส์อันดับที่ m_f จึงทำให้สามารถกรองฮาร์มอนิกส์ลำดับต่ำได้ง่าย โดยที่อินเวอร์เตอร์เป็นแบบสามเฟส มีสัญญาณอ้างอิงเป็นสัญญาณแบบไซน์ นำมาเปรียบเทียบกับสัญญาณสามเหลี่ยมซึ่งก็คือสัญญาณพาหะแบบเลื่อนระดับจำนวน 4 สัญญาณ แล้วนำผลของสัญญาณพัลส์ที่ได้ไปควบคุมการทำงานของอุปกรณ์สวิตช์กำลังในแต่ละเฟส โดยจำนวนระดับสัญญาณพาหะหาได้จากจำนวนระดับของแรงดันที่ได้อินเวอร์เตอร์ที่ออกแบบ จึงเป็น $(m-1) = 4$ ระดับ

ตารางที่ 2.2 การหาค่ามอดดูเลตชันอินเด็กซ์โดยวิธีการควบคุมต่างๆ [5]

วิธี	**APODPWM**	**PODPWM**	**IPDPWM**	**PSPWM**
m_a	$\dfrac{\hat{V}_m}{\frac{m-1}{2}\hat{V}_{cr}}$	$\dfrac{\hat{V}_m}{\frac{m-1}{2}\hat{V}_{cr}}$	$\dfrac{\hat{V}_m}{\frac{m-1}{2}\hat{V}_{cr}}$	$\dfrac{\hat{V}_m}{\hat{V}_{cr}}$

โดยในวิทยานิพนธ์ฉบับนี้ได้ทำการศึกษาเปรียบเทียบสมรรถนะของเทคนิคพีดับบลิวเอ็มทั้ง 2 แบบ เพื่อหาเทคนิคการสร้างสัญญาณพีดับบลิวเอ็มที่เหมาะสมที่สุด สำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ เพื่อหาเทคนิคการพีดับบลิวเอ็มที่เหมาะสมที่สุดในการนำไปประยุกต์ใช้งาน ในระบบ AC Drive ให้มีประสิทธิภาพสูงสุด โดยเทคนิคพีดับบลิวเอ็มทั้ง 2 ชนิดจะสร้างบน IC FPGA และสามารถรับข้อมูลสัญญาณควบคุมต่างๆ จากไมโครโปรเซสเซอร์ได้

บทที่ 3

การจำลองการทำงานของ FCI ด้วยโปรแกรมคอมพิวเตอร์ PSCAD/EMTDC

3.1 บทนำ

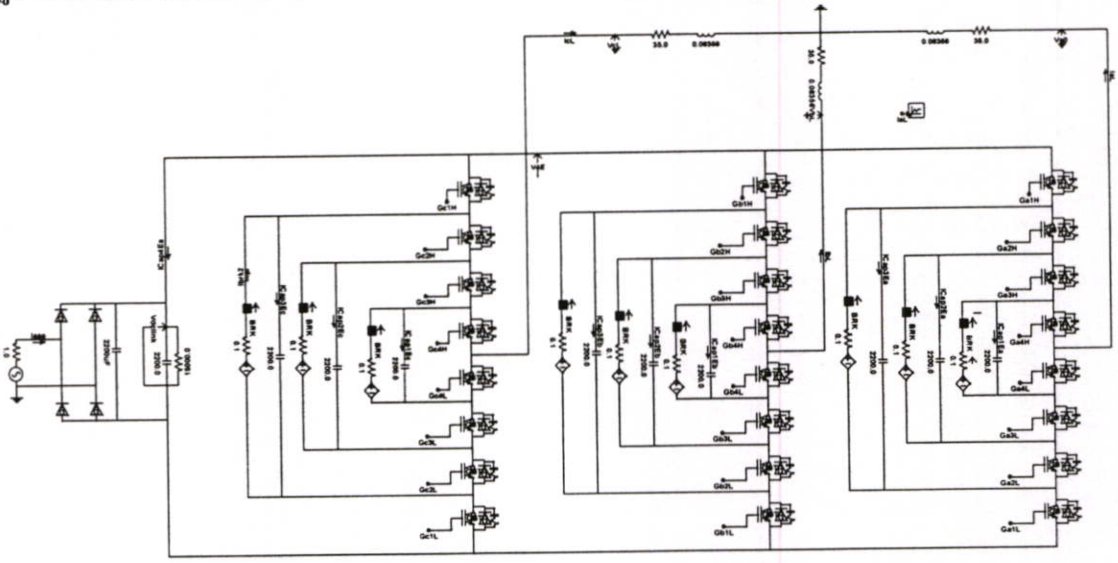
วิทยานิพนธ์ในบทนี้จะกล่าวถึงการสร้างแบบจำลองทางไฟฟ้าของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ โดยใช้โปรแกรม PSCAD/EMTDC ซึ่งวัตถุประสงค์เพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์หลายระดับชนิดฟลายอิ้งคาปาซิเตอร์ โดยหัวข้อทำการศึกษาเปรียบเทียบ คือ คุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการรักษาสมดุลพลังงานที่ตัวเก็บประจุ และผลของเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก ซึ่งข้อมูลที่ได้จะใช้เป็นแนวทางในการนำไปทดลองกับเครื่องต้นแบบ FCI

3.2 แบบจำลองทางไฟฟ้าของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์แบบ 3 เฟส

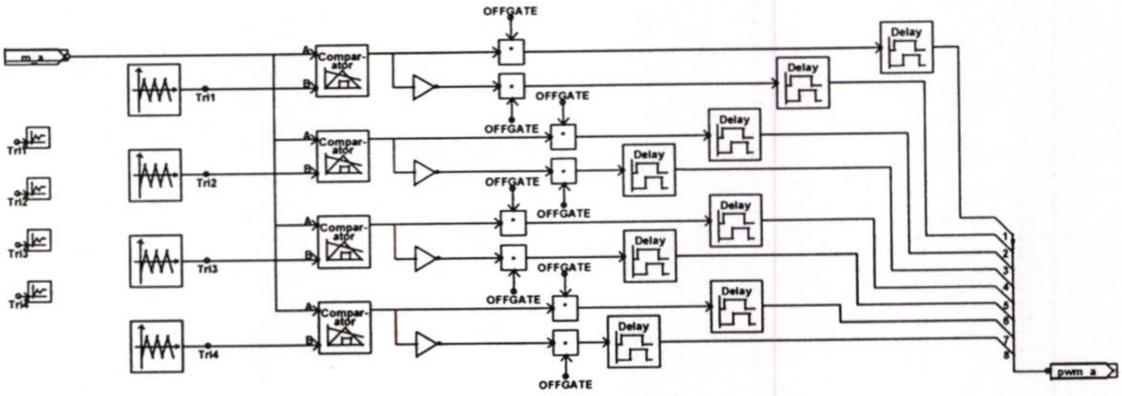
จากรูปที่ 3.1 เป็นการสร้างแบบจำลองทางไฟฟ้าของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์โดยใช้โปรแกรม PSCAD/EMTDC ในการสร้างแบบจำลองทางไฟฟ้าได้ทำการจำลองเป็นแบบ 3 เฟส โดยทำการต่อโหลด เป็นแบบวาย (Star) ซึ่งขั้นตอนในการจำลองจะแตกต่างกันไปตามหัวข้อที่ทำการศึกษา คือ คุณภาพของแรงดันด้านขาออกที่ได้ และผลของเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก จะทำการจำลองในสภาวะแรงดันที่ตัวเก็บประจุมีค่าคงที่ (ใช้แหล่งจ่าย DC แทนตัวเก็บประจุ) ส่วนหัวข้อความสามารถในการรักษาสมดุลพลังงานที่ตัวเก็บประจุ จะต้องใช้แรงดันจากตัวเก็บประจุแบบฟลายอิ้งค์ในการสร้างแรงดันระดับต่างๆ โดยในช่วงก่อนการสร้างแรงดันทางด้านขาออกของ FCI จะใช้แหล่งจ่าย DC สร้างแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว ผ่านทางอุปกรณ์ช่วยในโปรแกรมคือ ไทเมอร์เบรคเกอร์ลอจิก (Timed breaker logic) ทำการตั้งเวลาการเปิดวงจร (Open circuit) ล่วงหน้า เมื่อระดับแรงดันที่ตัวเก็บประจุถึงค่าที่ตั้งไว้ก็ให้เปิดวงจร โดยทำการกำหนดแรงดันดีซีลิงค์เท่ากับ 200 โวลต์ และแรงดันของตัวเก็บประจุแบบฟลายอิ้งค์ เท่ากับ 150 โวลต์, 100 โวลต์ และ 50 โวลต์ ตามลำดับ

ในการจำลองนั้นได้กำหนดค่าพารามิเตอร์ที่ใช้ในการจำลองและเปรียบเทียบการทำงานของ PWM ทั้ง 2 แบบ ของอินเวอร์เตอร์ FCI โดยกำหนดให้ค่าความถี่การทำงานของสวิตช์กำลังเฉลี่ยเท่ากันเป็น 750 Hz และความถี่ของแรงดันด้านขาออกของอินเวอร์เตอร์เท่ากับ 3000 Hz แสดงในตารางที่ 3.1

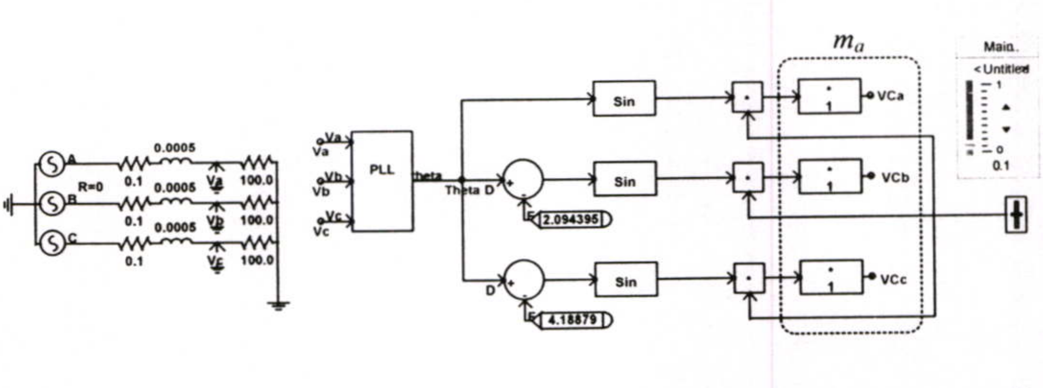
โดยในรูปที่ 3.2 แสดงวงจรที่ใช้ในการกำหนดค่าเริ่มต้นของสัญญาณแคเรียร์ (Tri1-Tri4) เพื่อสร้างสัญญาณพีดับบลิวเอ็มทั้ง 2 แบบ รวมถึงการปรับช่วงการประวิงเวลา (Dead-time) ส่วนใน รูปที่ 3.3 แสดงวงจรที่ใช้ในการกำหนดค่าอัตราการมอดดูเลตของสัญญาณไซน์



รูปที่ 3.1 แบบจำลองทางไฟฟ้าของวงจรฟลายอิ้งคาปาซิเตอร์ แบบ 5 ระดับแรงดัน



รูปที่ 3.2 แบบจำลองของวงจรที่ใช้ในการสร้างสัญญาณ PWM ทั้ง 2 แบบ สำหรับ FCI ใน 1 leg



รูปที่ 3.3 แบบจำลองของวงจรที่ใช้ในการกำหนดอัตราการมอดดูเลตของสัญญาณไซน์ ทั้ง 3 เฟส

ตารางที่ 3.1 ค่าพารามิเตอร์ที่ใช้ในการจำลองการทำงานของ FCI ด้วยเทคนิค PWM ทั้ง 2 แบบ

Parameter operating	Phase-shifted PWM (PSPWM)	Level-shifted PWM (IPDPWM)
f_m	50 Hz	50 Hz
f_{cr}	750 Hz	3000 Hz
m_f	15	60
$f_{sw,dev}$	750 Hz	750 Hz
$f_{sw,inv}$	3000 Hz	3000 Hz

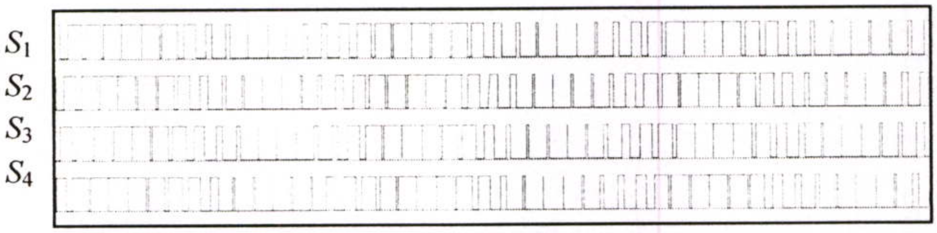
3.3 การจำลองและผลการจำลองในส่วนของคุณภาพของแรงดันด้านขาออกระหว่างสาย (%THDv)

การจำลองเพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (PSPWM) และเลื่อนระดับ (IPDPWM) สำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ในส่วนคุณภาพของแรงดันด้านขาออกที่ได้ โดยพิจารณาผลสเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย (Line voltage) ซึ่งในการจำลองได้กำหนดให้ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์เป็นค่าคงที่

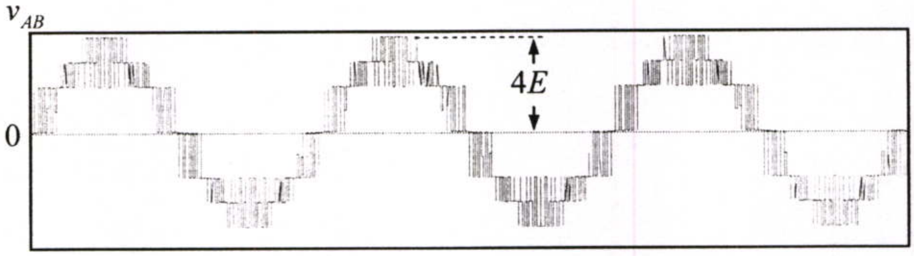
ผลของสัญญาณที่ได้จากการจำลองของ FCI ด้วยเทคนิค PSPWM แสดงในรูปที่ 3.4 ซึ่งทำงานที่พารามิเตอร์ต่างๆ ดังนี้ $m_f = 15$, $m_a = 1.0$, $f_m = 50$ Hz, $f_{cr} = 750$ Hz และ $f_{sw,dev} = 750$ Hz ซึ่งผลการจำลองประกอบไปด้วย สัญญาณเกตที่ได้จากเทคนิค PSPWM ดังแสดงในรูปที่ 3.4 (ก) แรงดันด้านขาออกระหว่างสาย v_{AB} ดังแสดงในรูปที่ 3.4 (ข) และสเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย v_{AB} ดังแสดงในรูปที่ 3.4 (ค) ซึ่งได้จากการคำนวณด้วยโปรแกรม MATLAB/M-file โดยทำการพิจารณาถึงฮาร์มอนิกส์อันดับที่ 100th ส่วนในรูปที่ 3.5 แสดงสเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ค่ามอดดูเลตชันอินเด็กซ์ค่าต่างๆ

ผลของสัญญาณที่ได้จากการจำลองของ FCI ด้วยเทคนิค IPDSPWM แสดงในรูปที่ 3.6 ซึ่งทำงานที่พารามิเตอร์ต่างๆ ดังนี้ $m_f = 60$, $m_a = 1.0$, $f_m = 50$ Hz, $fcr = 3000$ Hz และ $f_{sw,dev} = 750$ Hz ซึ่งผลการจำลองประกอบไปด้วย สัญญาณเกตที่ได้จากเทคนิค IPDPWM ดังแสดงในรูปที่ 3.6 (ก) แรงดันด้านขาออกระหว่างสาย v_{AB} ดังแสดงในรูปที่ 3.6 (ข) และสเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย v_{AB} ดังแสดงในรูปที่ 3.6 (ค) ซึ่งได้จากการคำนวณด้วยโปรแกรม MATLAB/M-file โดยทำการพิจารณาถึงฮาร์มอนิกส์อันดับที่ 100th ส่วนในรูปที่ 3.7 แสดงสเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ค่ามอดดูเลต

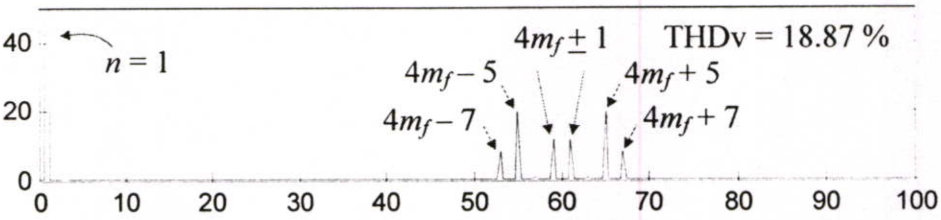
ชันอินเด็กซ์ค่าต่างๆ ซึ่งผลการคำนวณ %THDv จากสเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออก v_{AB} ที่ได้จากจำลองด้วยเทคนิคพีดับบลิวแบบต่างๆ ที่ค่ามอดดูเลตชันอินเด็กซ์ค่าต่างๆ ด้วยโปรแกรม MATLAB/M-file โดยพิจารณาถึงฮาร์มอนิกส์อันดับที่ 100^{th} ได้แสดงไว้ในตารางที่ 3.2 และนำข้อมูลทั้งหมดพล็อตเป็นกราฟดังแสดงในรูปที่ 3.8



(ก) สัญญาณเกตของเทคนิค PSPWM

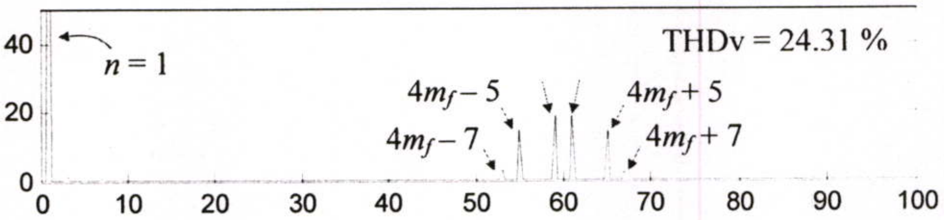


(ข) รูปสัญญาณของแรงดันด้านขาออกระหว่างสาย v_{AB}

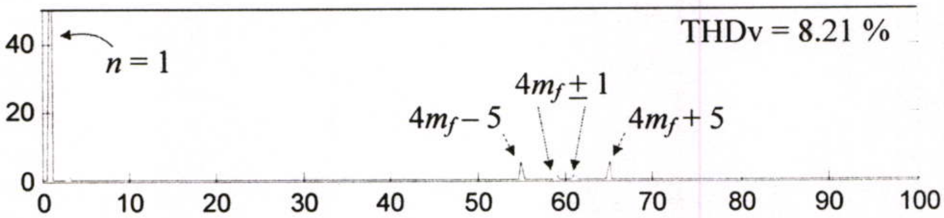


(ค) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB}

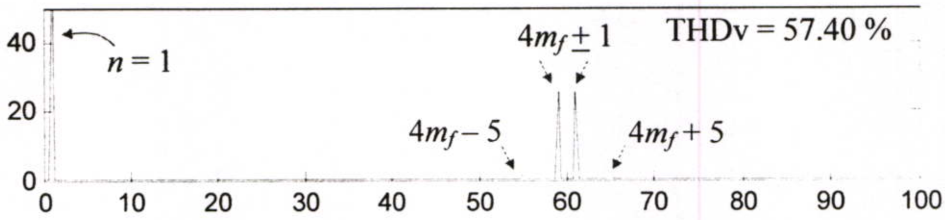
รูปที่ 3.4 สัญญาณที่ได้จากการจำลองของ FCI ด้วยเทคนิค PSPWM ($m_f = 15$, $m_a = 1.0$, $f_m = 50$ Hz, $f_{cr} = 750$ Hz และ $f_{sw,dev} = 750$ Hz)



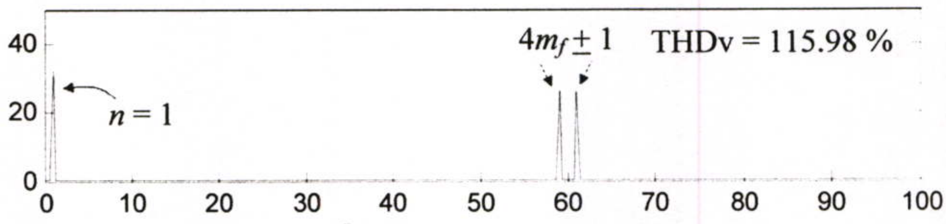
(ก) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ $m_a = 0.8$



(ข) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ $m_a = 0.6$



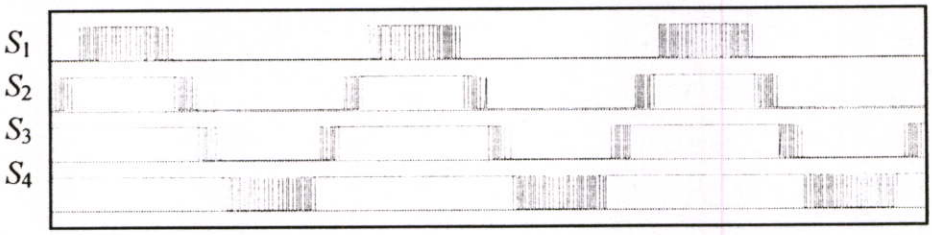
(ค) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ $m_a = 0.4$



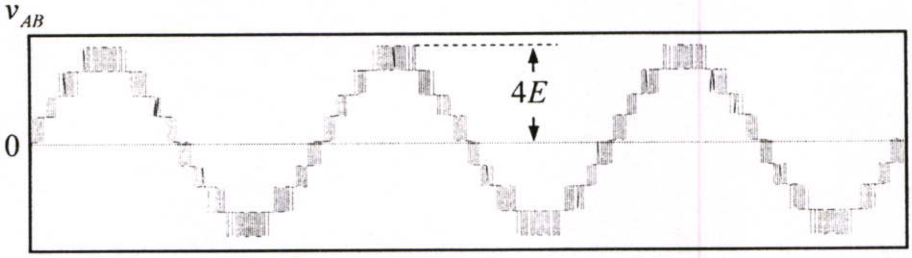
(ง) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ $m_a = 0.2$

รูปที่ 3.5 เปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ได้จากการจำลองด้วยเทคนิค PSPWM ที่มอดดูเลตชันอินเด็กซ์ค่าต่างๆ (m_f = 15, f_m = 50 Hz, f_{cr} = 750 Hz, และ $f_{sw,dev}$ = 750 Hz)

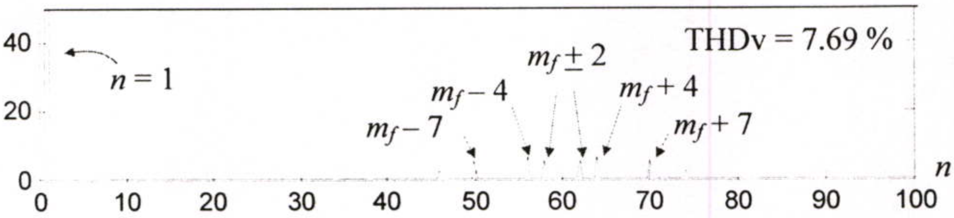
การจำลองผลทางด้าน THDv และ ฮาร์มอนิกส์ของอินเวอร์เตอร์ 5 ระดับ มอดดูเลตชันด้วยสัญญาณพาหะแบบเลื่อนระดับชนิด IPD (In-Phase Disposition)



(ก) สัญญาณเกตของเทคนิค IPDPWM

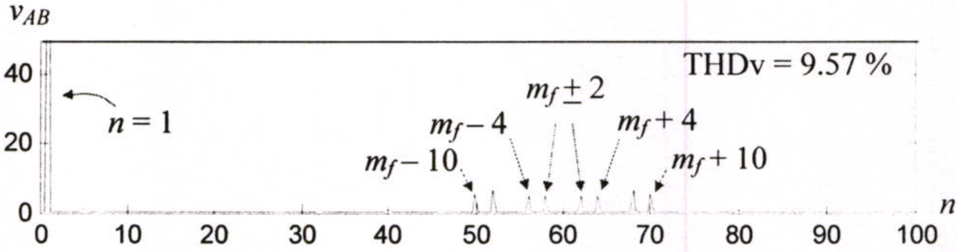


(ข) รูปสัญญาณของแรงดันด้านขาออกระหว่างสาย v_{AB}

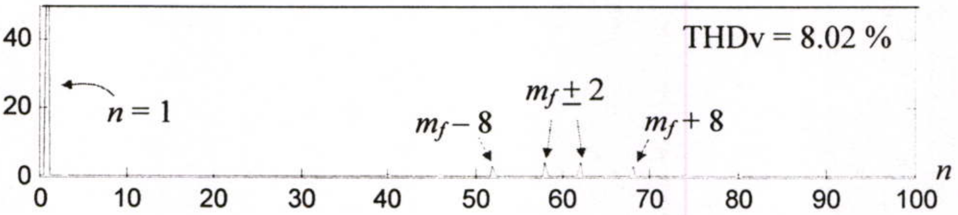


(ค) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB}

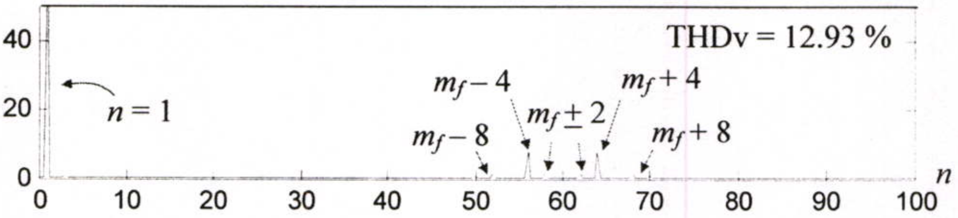
รูปที่ 3.6 สัญญาณที่ได้จากการจำลองของ FCI ด้วยเทคนิค IPDPWM ($m_f = 60$, $m_a = 1.0$, $f_m = 50$ Hz, $fcr = 3000$ Hz และ $f_{sw,dev} = 750$ Hz)



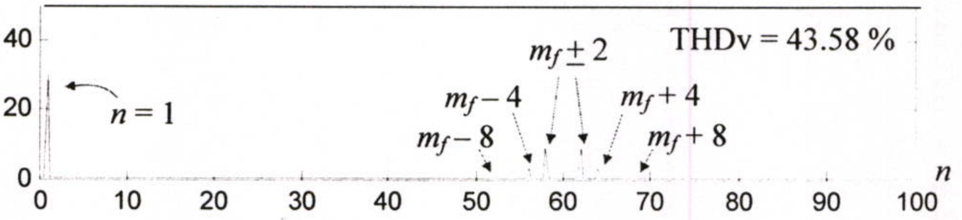
(ก) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ $m_a = 0.8$



(ข) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ $m_a = 0.6$



(ค) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ $m_a = 0.4$

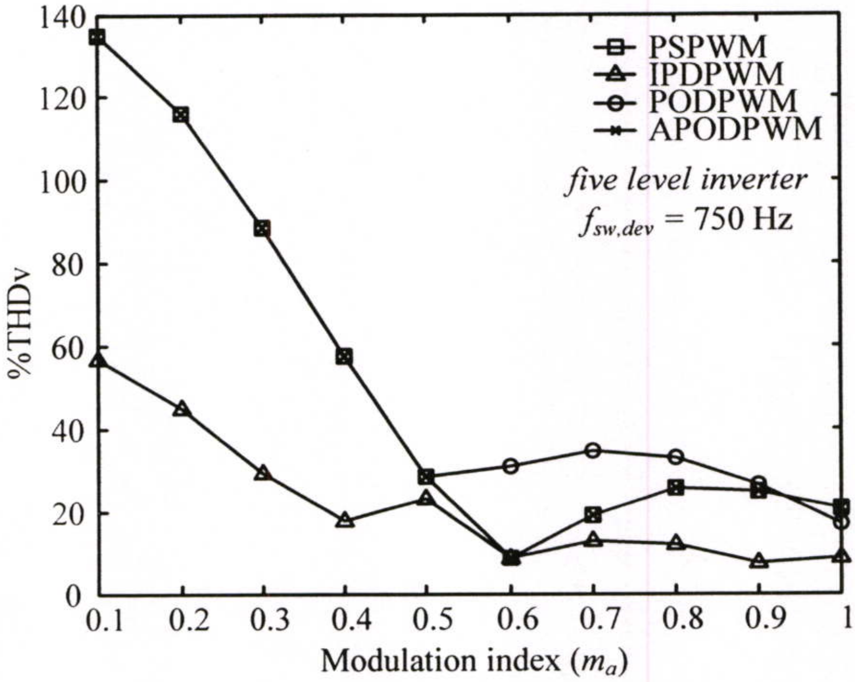


(ง) สเปกตรัมของฮาร์มอนิกส์ ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ $m_a = 0.2$

รูปที่ 3.7 เปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย v_{AB} ที่ได้จากการจำลองด้วยเทคนิค IPDPWM ที่มอดดูเลตชันอินเด็กซ์ค่าต่างๆ ($m_f = 60$, $m_a = 1.0$, $f_m = 50$ Hz, $fcr = 3000$ Hz และ $f_{sw,dev} = 750$ Hz)

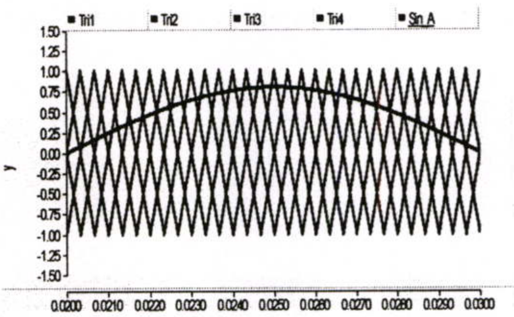
ตารางที่ 3.2 ตารางสรุป %THDv ของแรงดันด้านขาออก v_{AB} ที่ได้จากการจำลองด้วยเทคนิค SPWM ชนิดต่างๆ

m_a	%THDv ที่ได้จากการจำลองด้วยเทคนิค SPWM ชนิดต่างๆ			
	PSPWM	**IPDPWM**	**PODPWM**	**APODPWM**
0.1	134.8395	56.8035	134.8326	134.8495
0.2	115.9540	45.0092	115.9566	115.9486
0.3	88.4891	29.1052	88.5018	88.5143
0.4	57.4241	17.9406	57.4367	57.4263
0.5	28.3376	23.0944	28.4075	28.3603
0.6	8.7757	8.6513	30.9429	8.7908
0.7	18.9268	12.8034	34.4924	18.8778
0.8	25.4310	12.2347	32.9688	25.3861
0.9	24.8761	7.4747	26.4189	24.8547
1.0	20.7686	8.9887	16.8058	20.7245

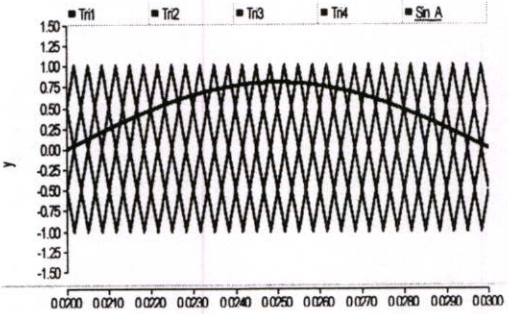


รูปที่ 3.8 กราฟสรุป %THDv ของแรงดันด้านขาออก v_{AB} ที่ได้จากการจำลองด้วย SPWM ชนิดต่างๆ ที่ค่า $0.1 \le m_a \le 1.0$

จากกราฟสรุปผลของ %THDv ในรูปที่ 3.8 เห็นได้ว่าเทคนิค IPDPWM ให้ผลของ %THDv ดีตลอดช่วงการมอดดูเลต ส่วนเทคนิคที่เหลือในช่วงการมอดดูเลตสูงๆ มีผลของ %THDv ที่ดี (ช่วง m_a 0.5-1.0) ส่วนในช่วงการมอดดูเลตต่ำๆ มีผลของ %THDv ปานกลาง และในส่วนของเทคนิค PSPWM กับ APOD มีแนวโน้มของ %THDv ทับซ้อนกันตลอดช่วงการมอดดูเลต เนื่องจากรูปแบบการจัดเรียงสัญญาณพาหะในการมอดดูเลตกับสัญญาณมูลฐาน นั้นมีหน้าตาคล้ายคลึงกัน ซึ่งผลการจำลองการมอดดูเลตสัญญาณพีดับบลิวเอ็มทั้ง 2 แบบ แสดงในรูปที่ 3.9



(ก) เทคนิค PSPWM

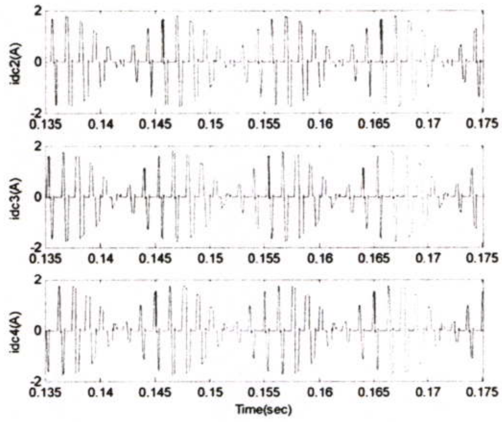


(ข) เทคนิค APODPWM

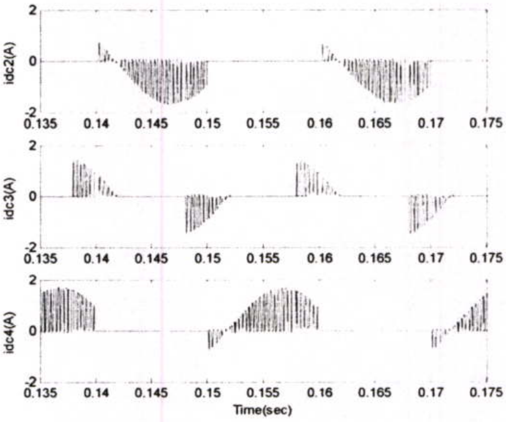
รูปที่ 3.9 เปรียบเทียบรูปแบบการมอดดูเลตของเทคนิค PSPWM กับ APODPWM ที่ค่า $m_a = 0.8$ ที่ได้จากการจำลอง

3.4 การจำลองและผลการจำลองในส่วนของการรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI

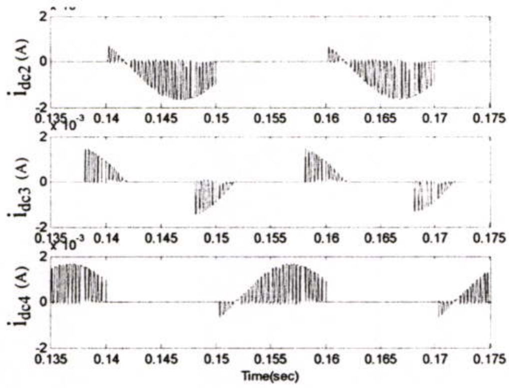
การจำลองเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ในหัวข้อความสามารถในการรักษาสมดุลพลังงานที่ตัวเก็บประจุ จะต้องใช้แรงดันจากตัวเก็บประจุแบบฟลายอิ้งค์ในการสร้างแรงดันระดับต่างๆ โดยในช่วงก่อนการสร้างแรงดันทางด้านขาออกของ FCI จะใช้แหล่งจ่าย DC สร้างแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว ผ่านทางอุปกรณ์ช่วยในโปรแกรมคือ ไทเมอร์เบรคเกอร์ลอจิก (Timed breaker logic) ทำการตั้งเวลาการเปิดวงจร (Open circuit) ล่วงหน้า เมื่อระดับแรงดันที่ตัวเก็บประจุถึงค่าที่ตั้งไว้ก็ให้เปิดวงจร โดยทำการกำหนดแรงดันดีซีลิงค์เท่ากับ 200 โวลต์ และแรงดันของตัวเก็บประจุแบบฟลายอิ้งค์ เท่ากับ 150 โวลต์, 100 โวลต์ และ 50 โวลต์ ตามลำดับ ซึ่งผลการจำลองได้พิจารณา 2 ส่วน คือ กระแสโหมดการอัดประจุและคายประจุ แสดงในรูปที่ 3.10 และระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว แสดงในรูปที่ 3.11



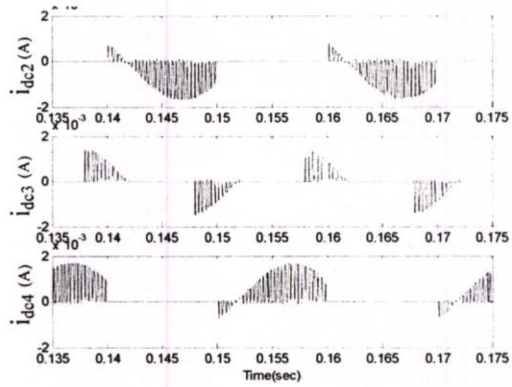
(ก) เทคนิค PSPWM



(ข) เทคนิค IPDPWM

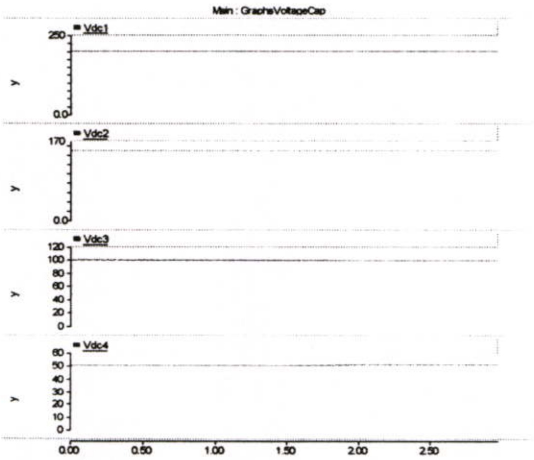


(ค) เทคนิค PODPWM



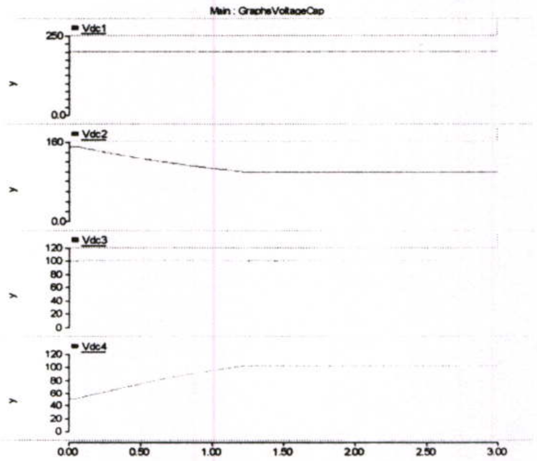
(ง) เทคนิค APODPWM

รูปที่ 3.10 กระแสการอัดประจุ-คาย ของตัวเก็บประจุแบบฟลายอิ้งค์ที่ได้จากการจำลองของ FCI ด้วยเทคนิค SPWM ชนิดต่างๆ ที่ค่า $m_a = 1.0$



Time(sec)

(ก) เทคนิค PSPWM



Time(sec)

(ข) เทคนิค IPDPWM

รูปที่ 3.11 ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ที่ได้จากการจำลองของ FCI ด้วยเทคนิค SPWM ชนิดต่างๆ ที่ค่า $m_a = 1.0$

จากรูปที่ 3.10 เห็นได้ว่าเมื่อพิจารณาที่กระแสโหมดการอัดประจุและคายประจุ ของตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัวในแต่ละเทคนิคแล้วนั้น มีเพียงเทคนิคของ PSPWM เท่านั้นที่มีค่ากระแสโดยเฉลี่ยเป็น “0” ดังแสดงในรูปที่ 3.10 (ก) ทำให้สามารถรักษาระดับของแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ไว้ได้ ดังแสดงในรูปที่ 3.11 (ก) ส่วนเทคนิค IPDPWM PODPWM และ APODPWM มีพฤติกรรมของกระแสคล้ายคลึงกัน คือ มีค่ากระแสเฉลี่ยไม่เท่ากับ “0” ดังแสดงในรูปที่ 3.10 (ข) รูปที่ 3.10 (ค) และรูปที่ 3.10 (ง) ทำให้ไม่สามารถรักษาระดับของแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ไว้ได้ ดังแสดงในรูปที่ 3.11 (ข)

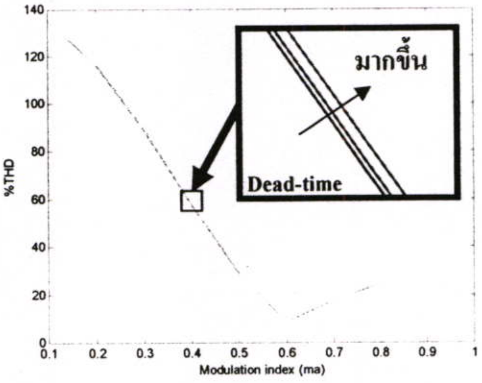
จากผลการจำลองด้านการรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ ทำให้สามารถสรุปได้ว่าการรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI นั้นขึ้นอยู่กับรูปแบบการทำงานของสวิตช์กำลัง (Switching pattern) กล่าวคือ หากสวิตช์กำลังเฉลี่ยแต่ละตัวทำงานเท่ากัน ก็จะสามารถรักษาระดับแรงดันที่ตัวเก็บประจุไว้ได้ แต่ปัญหาในด้านการสมดุลพลังที่ตัวเก็บประจุแบบฟลายอิ้งค์ที่เกิดจากเทคนิค IPDPWM นั้น สามารถแก้ไขได้โดยการนำเทคนิคการโรเตตสัญญาณ (Rotating switching pattern) เข้ามาปรับปรุงทำให้สวิตช์กำลังเฉลี่ยแต่ละตัวทำงานเท่ากันได้ในช่วง 4 cycles (กล่าวถึงในบทที่ 4)

3.5 การจำลองและผลการจำลองในส่วนของผลจากเดดไทม์ที่มีต่อความเพี้ยนของแรงดันด้านขาออกระหว่างสาย (%THDv) ใน FCI

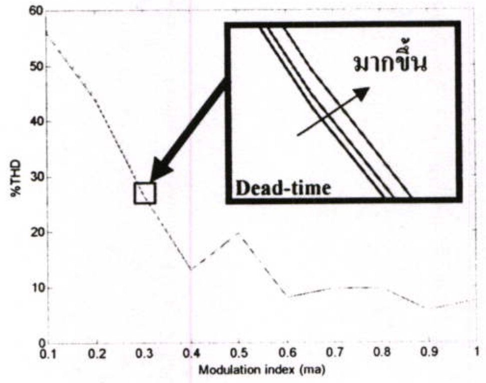
การจำลองสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ในส่วนของผลจากเดดไทม์ที่มีต่อความเพี้ยนของแรงดันด้านขาออกระหว่างสาย (%THDv) ใน FCI โดยในการจำลองได้กำหนดให้ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์เป็นค่าคงที่ ซึ่งแบบจำลองทางไฟฟ้าที่ใช้ เป็นวงจรเดียวกันกับวงจรการจำลอง ผลคุณภาพของแรงดันด้านขาออกระหว่างสาย (%THDv) ดังแสดงในรูปที่ 3.1 และทำการปรับเปลี่ยนค่าเวลาเดดไทม์จากแบบจำลองของวงจรที่ใช้ในการสร้างสัญญาณ PWM แสดงในรูปที่ 3.2 ซึ่งค่าเวลาเดดไทม์ที่พิจารณา คือ 1.0 μs, 2.0 μs และ 4.0 μs ได้ทำการจำลองตามลำดับ ซึ่งผลการจำลองจะพิจารณาจาก %THDv ที่ได้จากการคำนวณสเปกตรัมของฮาร์-มอนิกส์ของแรงดันด้านขาออก v_{AB} ด้วยโปรแกรม MATLAB/M-file โดยพิจารณาถึงฮาร์มอนิกส์อันดับที่ 100th ซึ่งในตารางที่ 3.3 ได้แสดงผลของ %THDv ที่เกิดจากการจำลองเปลี่ยนค่าเวลาเดดไทม์ ของ FCI ที่ใช้เทคนิคพีดับบลิวเอ็มชนิดต่างๆ และนำข้อมูลทั้งหมดพล็อตเป็นกราฟดังแสดงในรูปที่ 3.12

ตารางที่ 3.3 ผลของ %THDv ที่เกิดจากการจำลองโดยการทดสอบเปลี่ยนค่าเวลาเดดไทม์

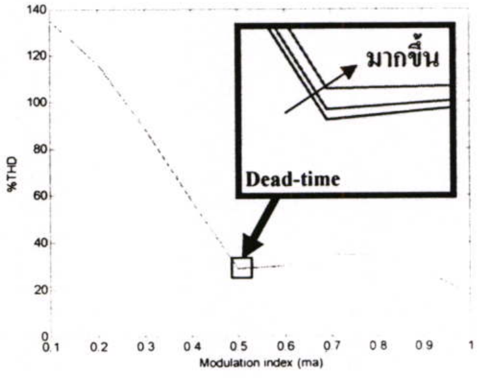
PWM schemes	Dead-time	m_a									
		0.1	**0.2**	**0.3**	**0.4**	**0.5**	**0.6**	**0.7**	**0.8**	**0.9**	**1.0**
PS PWM	1μs	134.9	116.1	88.71	57.60	28.40	8.19	17.98	24.29	23.39	18.92
	2μs	135.1	116.4	89.10	58.01	28.74	8.19	17.79	24.25	23.45	19.01
	4μs	135.3	117.0	89.88	58.84	29.43	8.22	17.41	24.16	23.57	19.20
IPD PWM	1μs	55.95	43.67	26.57	12.96	19.78	8.05	9.73	9.61	5.69	7.64
	2μs	56.13	43.85	26.80	13.04	19.58	8.10	9.67	9.69	5.75	7.56
	4μs	56.46	44.24	27.25	13.21	19.19	8.23	9.55	9.82	5.90	7.38
POD PWM	1μs	134.95	116.12	88.70	57.60	28.42	30.08	34.89	34.06	27.49	17.44
	2μs	135.07	116.42	89.09	58.00	28.73	29.96	34.82	34.07	27.60	17.59
	4μs	135.32	117.00	89.87	58.83	29.37	29.71	34.67	34.07	27.80	17.88
APOD PWM	1μs	134.95	116.16	88.67	57.64	28.42	8.25	17.96	24.22	23.34	18.88
	2μs	135.07	116.45	89.06	58.04	28.72	8.25	17.77	24.18	23.41	18.98
	4μs	135.33	117.03	89.83	58.85	29.35	8.28	17.39	24.09	23.53	19.17



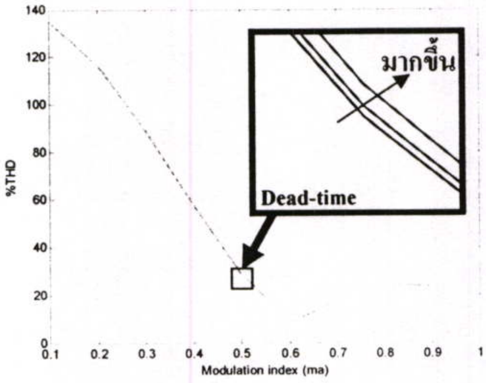
(ก) เทคนิค PSPWM



(ข)เทคนิค IPDPWM



(ค) เทคนิค PODPWM



ง) เทคนิค APODPWM

รูปที่ 3.12 กราฟสรุปผลของ %THDv ที่เกิดจากการจำลองเปลี่ยนค่าเวลาเดดไทม์ของแรงดันด้านขาออก v_{AB} ใน FCI ที่ได้จากการจำลองด้วยเทคนิค SPWM ชนิดต่างๆ โดยช่วงเวลาเดดไทม์ที่พิจารณาคือ 1.0 μs, 2.0 μs และ 4.0 μs ที่ค่า $0.1 \le m_a \le 1.0$

จากผลการจำลองในรูปที่ 3.12 เห็นได้ว่าผลจากเดดไทม์ที่มีต่อความเพี้ยนของแรงดันด้านขาออกระหว่างสาย (%THDv) ใน FCI ที่ได้จากการจำลองด้วยเทคนิค SPWM ชนิดต่างๆ โดยช่วงเวลาเดดไทม์ที่พิจารณาคือ 1.0 μs, 2.0 μs และ 4.0 μs ที่ค่ามอดดูเลตชันอินเด็กซ์ต่างๆ ส่งผลเพียงเล็กน้อยต่อทุกรูปแบบการพีดับบลิวเอ็มที่ใช้จำลอง

3.6 สรุปผลการจำลอง

จากการจำลองเพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ โดยมีหัวข้อที่ทำการศึกษาเปรียบเทียบ คือ คุณภาพของแรงดันด้านขาออกที่ได้ (%THDv) ความสามารถในการรักษาสมดุลพลังงานที่ตัวเก็บประจุ และผลของเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก สามารถสรุปผลการจำลองได้ดังแสดงในตารางที่ 3.4

ตารางที่ 3.4 ตารางสรุปและเปรียบเทียบผลการจำลอง

Comparison		PSPWM	IPDPWM	PODPWM	APODPWM
Device switching frequency		สวิตช์แต่ละตัวทำงานสม่ำเสมอ	สวิตช์แต่ละตัวทำงานไม่สม่ำเสมอ	สวิตช์แต่ละตัวทำงานไม่สม่ำเสมอ	สวิตช์แต่ละตัวทำงานไม่สม่ำเสมอ
Balancing of capacitor voltage		เก็บประจุและคายประจุสม่ำเสมอ	เก็บประจุและคายประจุไม่สม่ำเสมอ	เก็บประจุและคายประจุไม่สม่ำเสมอ	เก็บประจุและคายประจุไม่สม่ำเสมอ
Line-to-line voltage THDv	$0.6 \le m_a \le 1$	ดี	ดีที่สุด	ปานกลาง	ดี
	$m_a = 0.6$	ดีที่สุด	ดีที่สุด	ปานกลาง	ดีที่สุด
	$0.1 \le m_a \le 0.6$	ปานกลาง	ดีที่สุด	ปานกลาง	ปานกลาง
Dead-time		%THDv เพิ่มเล็กน้อย	%THDv เพิ่มเล็กน้อย	%THDv เพิ่มเล็กน้อย	%THDv เพิ่มเล็กน้อย

จากผลสรุป ดังตารางที่ 3.4 สังเกตได้ว่า มีเพียงเทคนิค PSPWM สามารถสมดุลของพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ได้ แต่ในด้านคุณภาพแรงดันทางด้านขาออกค่า %THDv มีค่าต่ำที่ช่วงค่ามอดดูเลตชันอินเด็กซ์สูงๆ แต่ในช่วงค่าการมอดดูเลตชันอินเด็กซ์ (m_a) ต่ำ ๆ มีค่า %THDv ที่สูง และเมื่อพิจารณาเทคนิค IPDPWM เห็นได้ว่าไม่สามารถสมดุลพลังงานที่ตัวเก็บประจุแบบฟลาย-

อิ้งค์ไว้ได้ แต่ในด้านของคุณภาพของแรงดันทางด้านขาออก มีค่าของ %THDv ที่ต่ำที่สุด ตลอดช่วงของค่าการมอดดูเลตชันอินเด็กซ์

จากทั้งหมดที่กล่าวมานั้น สรุปได้ว่าเทคนิค IPDPWM เหมาะแก่การนำไปใช้งานมากที่สุด แต่ต้องแก้ไขปัญหาในเรื่อง การรักษาระดับแรงดันที่ตัวเก็บประจุ ซึ่งสามารถแก้ไขได้โดย การสร้างเทคนิคการโรเตตสัญญาณ (Rotating switching pattern) ดังที่จะกล่าวในบทต่อไป

บทที่ 4

เทคนิคการสตาร์ทอัพและเทคนิคการรักษาสมดุลพลังงานที่ตัวเก็บประจุใน FCI

4.1 บทนำ

วิทยานิพนธ์ในบทนี้ได้เสนอเทคนิคการ Start-up และเทคนิคการสมดุลของพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ ของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ด้วย FPGA เพื่อใช้ในการแก้ปัญหาในเรื่องของการรักษาระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์

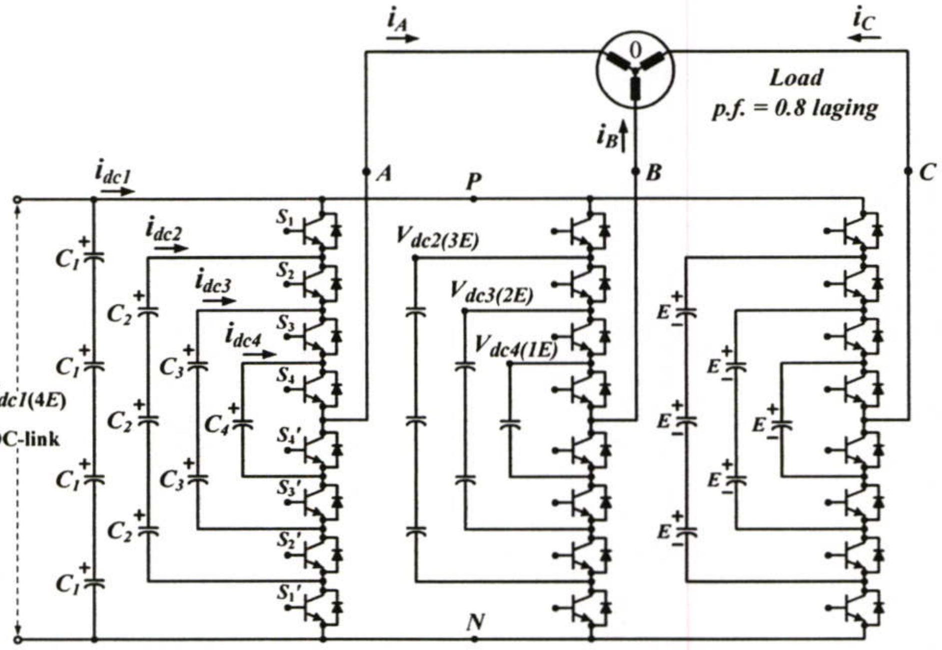
4.2 เทคนิคการสตาร์ทอัพระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI

ในการทำงานของมัลติเลเวลอินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ หรือเรียกว่าคาปาซิเตอร์แคลมป์ อินเวอร์เตอร์ชนิดนี้จะอาศัยตัวเก็บประจุแบบฟลายอิ้งค์ในการสร้างแรงดันระดับต่างๆ ของแรงดันด้านขาออกของอินเวอร์เตอร์ ดังนั้นในการใช้งานของ FCI ในช่วงแรกจำเป็นต้อง Start-up ระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์ก่อนเสมอ ซึ่งในทางทฤษฎีวงจร FCI แบบ 5 ระดับ ดังแสดงในรูปที่ 4.1 จะต้องใช้ตัวเก็บประจุจำนวนมาก (ตัวเก็บประจุแบบฟลายอิ้งค์) ซึ่งได้กำหนดให้ตัวเก็บประจุแต่ละตัวมีแรงดันตกคร่อมเท่ากัน คือ $1E$ เพื่อใช้ในการสร้างระดับแรงดันชั้นต่างๆ ทำให้ต้องใช้ตัวเก็บประจุจำนวนมาก แต่ในวิทยานิพนธ์นี้ได้ใช้ตัวเก็บประจุแบบฟลายอิ้งค์ในแต่ละชั้นเพียงตัวเดียว ดังแสดงในรูปที่ 4.2 (เครื่องต้นแบบ FCI แบบ 5 ระดับ ในวิทยานิพนธ์ก่อนหน้า) โดยได้กำหนดให้ตัวเก็บประจุแต่ละตัว (ตัวเก็บประจุแบบฟลายอิ้งค์) มีระดับแรงดัน คือ ตัวเก็บประจุ C_1 จะต่อเข้ากับแหล่งจ่าย DC-link ให้มีแรงดันตกคร่อมเท่ากับ $4E$ ตัวเก็บประจุ C_2 จะมีแรงดันตกคร่อมเท่ากับ $3E$ ตัวเก็บประจุ C_3 มีแรงดันตกคร่อมเท่ากับ $2E$ และตัวเก็บประจุ C_4 มีแรงดันตกคร่อมเท่ากับ $1E$ (ระดับแรงดันดังกล่าวจะเกิดจากเทคนิคการ Start-up ระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์)

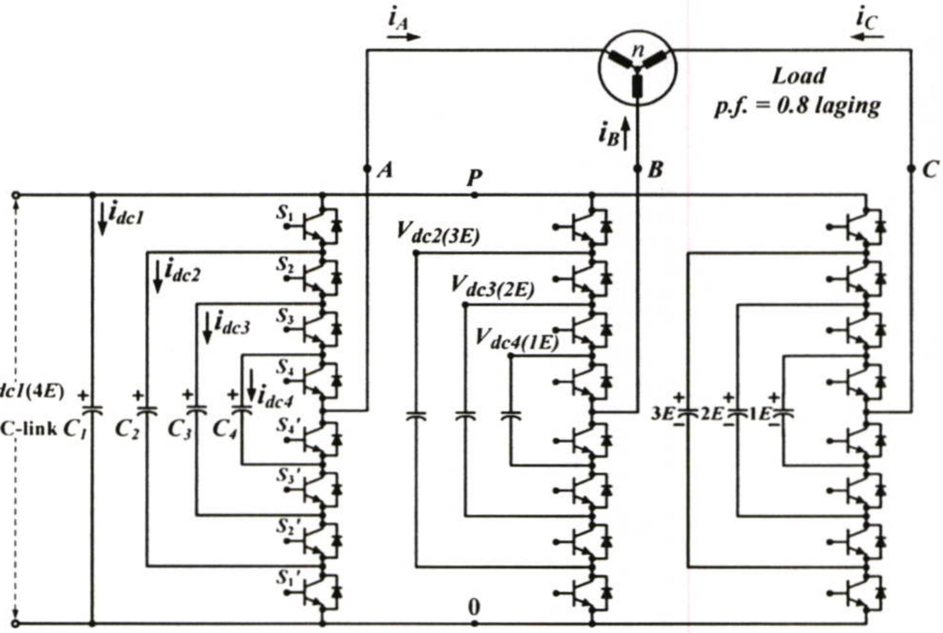
ดังนั้นในการ Start-up ระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัวของวงจรกำลัง ซึ่งเครื่องต้นแบบที่ใช้ในวิทยานิพนธ์ ได้ทำการติดตั้งวงจรตรวจจับระดับแรงดัน (รูปที่ 4.3) ไว้ที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว จำนวน 9 โมดูล ซึ่งในแต่ละโมดูลจะตรวจจับระดับแรงดันที่ค่าต่างกันในแต่ละชั้นของตัวเก็บประจุแบบฟลายอิ้งค์ โดยสามารถปรับแต่งระดับแรงดันที่ทำการตรวจจับได้จากแรงดันอ้างอิง V_{ref} (รูปที่ 4.3) โดยสัญญาณด้านขาออกของวงจรตรวจจับระดับแรงดันจะเป็นสัญญาณเกต โดยที่วงจรตรวจจับระดับแรงดันมีลักษณะการทำงานเป็นแบบ Active lower และสัญญาณเกตที่ได้จะส่งเข้าไมโครโปรเซสเซอร์ เพื่อประมวลและสร้างสถานะของสวิตช์

กำลังต่อไป ซึ่งวงจรที่ใช้ในการทดลอง Start-up ระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์ ได้แสดงไว้ในรูปที่ 4.4

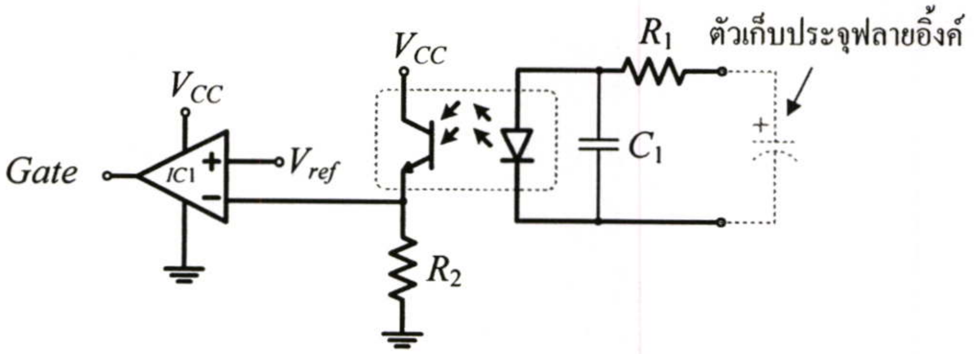
จากโหมดการทำงานของสถานะของสวิตช์กำลังที่ใช้ในการทดลองการ Start-up ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ในแต่ละระดับ ดังแสดงในรูปที่ 4.5 สามารถสรุปสถานะการทำงานของสวิตช์กำลังได้ดังตารางที่ 4.1



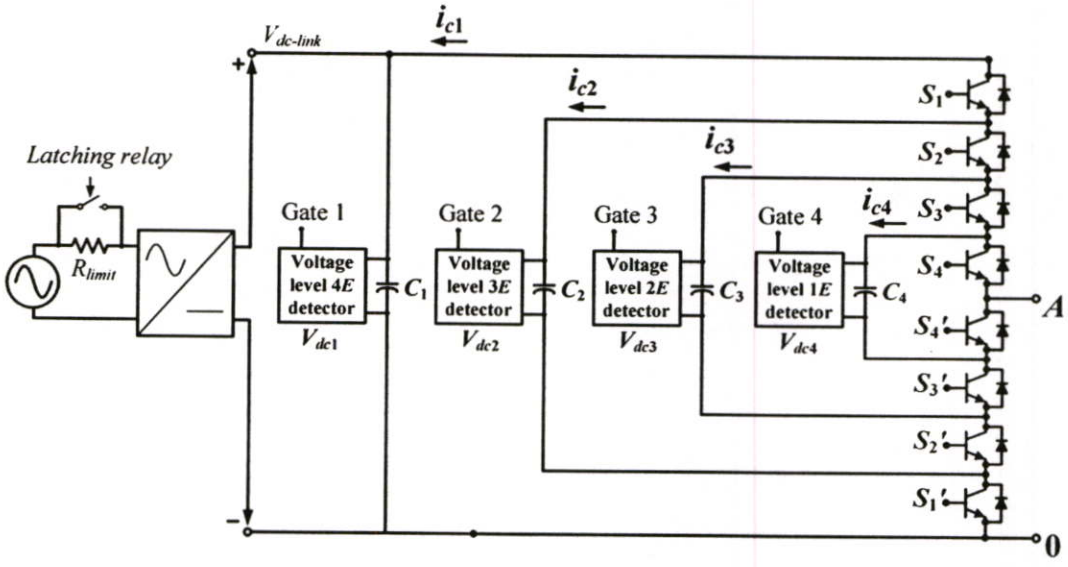
รูปที่ 4.1 วงจรกำลังแบบ 3 เฟสของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ในทางทฤษฎี



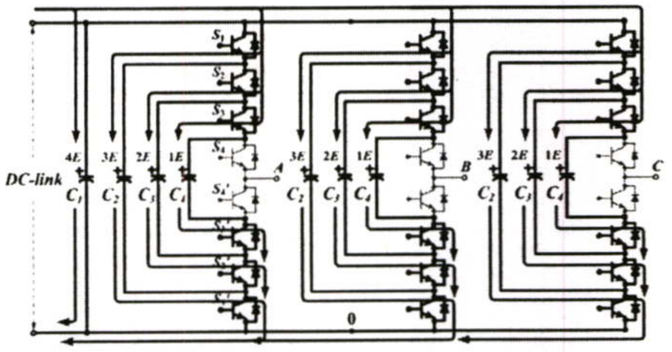
รูปที่ 4.2 วงจรกำลังแบบ 3 เฟสของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ เครื่องต้นแบบ



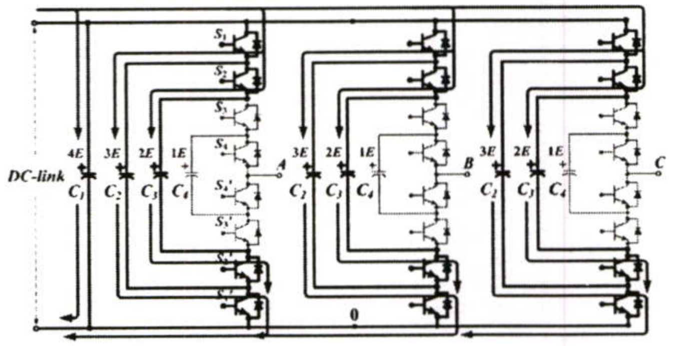
รูปที่ 4.3 วงจร 1 โมดูลของวงจรตรวจจับระดับแรงดัน (Level voltage detector) ที่ตัวเก็บประจุใน FCI



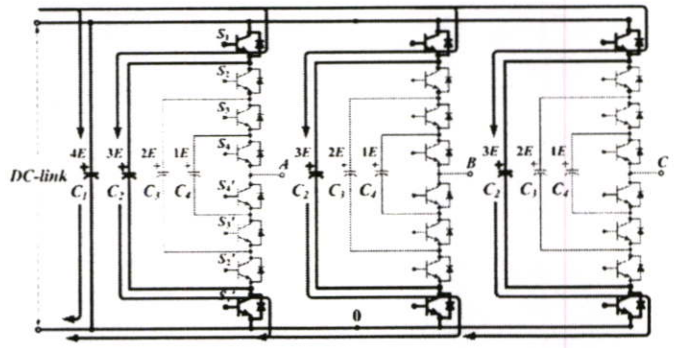
รูปที่ 4.4 วงจรกำลัง 1 กิ่ง ที่ใช้ในการทดลอง Start-up ระดับแรงดันให้กับตัวเก็บประจุใน FCI



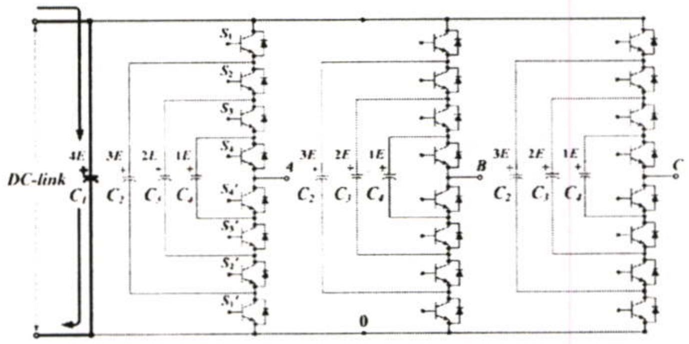
(ก) โหมด 1



(ข) โหมด 2



(ค) โหมด 3



(ง) โหมด 4

รูปที่ 4.5 โหมดการทำงานของสถานะของสวิตช์กำลังที่ใช้ในการทดลองการ Start-up

ตารางที่ 4.1 ตารางสถานะ การทำงานของสวิตช์กำลังในขั้นตอนการ Start-up ใน 1 leg

Mode	**Switching state**								**Charging mode**	**Voltage level**	**Gate**		
	S_1	S_2	S_3	S_4	S_4'	S_3'	S_2'	S_1'			G_2	G_3	G_4
0	0	0	0	0	0	0	0	0	--	0	1	1	1
1	1	1	1	0	0	1	1	1	C_1, C_2, C_3, C_4	$1E$	1	1	0
2	1	1	0	0	0	0	1	1	C_1, C_2, C_3	$2E$	1	0	0
3	1	0	0	0	0	0	0	1	C_1, C_2	$3E$	0	0	0
4	0	0	0	0	0	0	0	0	C_1	$4E$	DC-link		

จากรูปที่ 4.5 เมื่อพิจารณาร่วมกับตารางที่ 4.1 สามารถอธิบายขั้นตอนการ Start-up ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ได้ดังนี้

โหมด 0 สถานะของสวิตช์กำลังจะเป็น "OFF" ทั้งหมด และได้สัญญาณเกตจากตัวตรวจจับระดับแรงดันเป็น "1" ทั้งหมด เมื่อเริ่มขั้นตอนการ Start-up จะเข้าโหมด 1

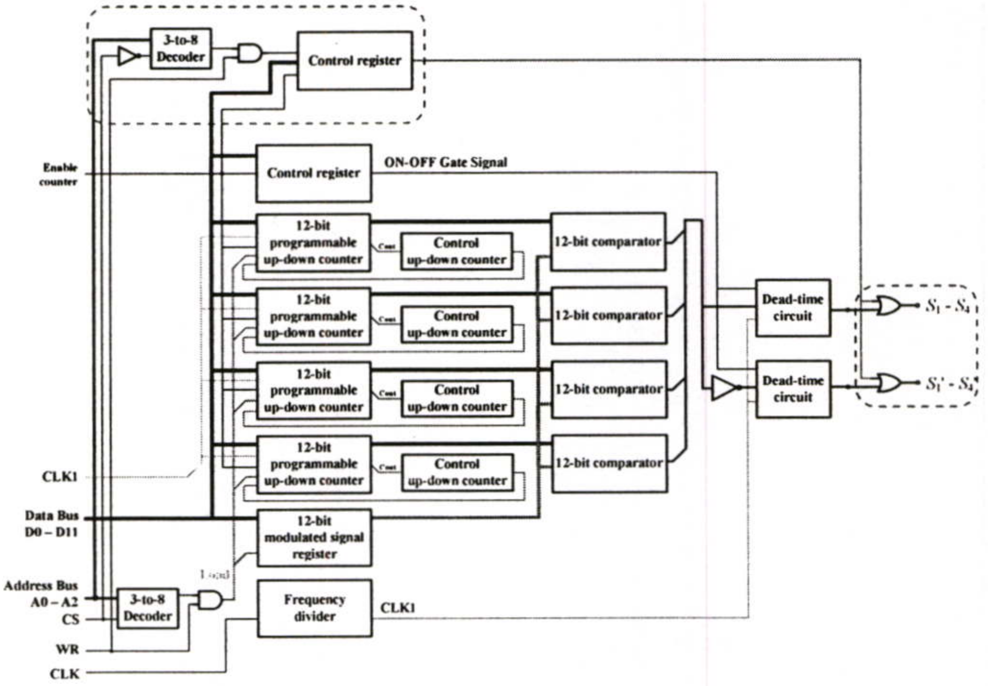
โหมด 1 สถานะของสวิตช์กำลัง "ON" ดังนี้ $S_1, S_2, S_3, S_3', S_2', S_1'$ ทำให้ตัวเก็บประจุ C_1, C_2, C_3 และ C_4 เข้าสู่โหมดเก็บประจุ เมื่อระดับแรงดันตกคร่อมตัวเก็บประจุเท่ากับ $1E$ สัญญาณ G_4 จะเปลี่ยนสถานะเป็น "0" ทำให้สถานะของสวิตช์กำลังจะเข้าสู่โหมด 2

โหมด 2 สถานะของสวิตช์กำลัง "ON" ดังนี้ S_1, S_2, S_2', S_1' ทำให้ตัวเก็บประจุ C_1, C_2 และ C_3 เข้าสู่โหมดเก็บประจุ เมื่อระดับแรงดันตกคร่อมตัวเก็บประจุเท่ากับ $2E$ สัญญาณ G_3 จะเปลี่ยนสถานะเป็น "0" สถานะของสวิตช์กำลังจะเข้าสู่โหมด 3

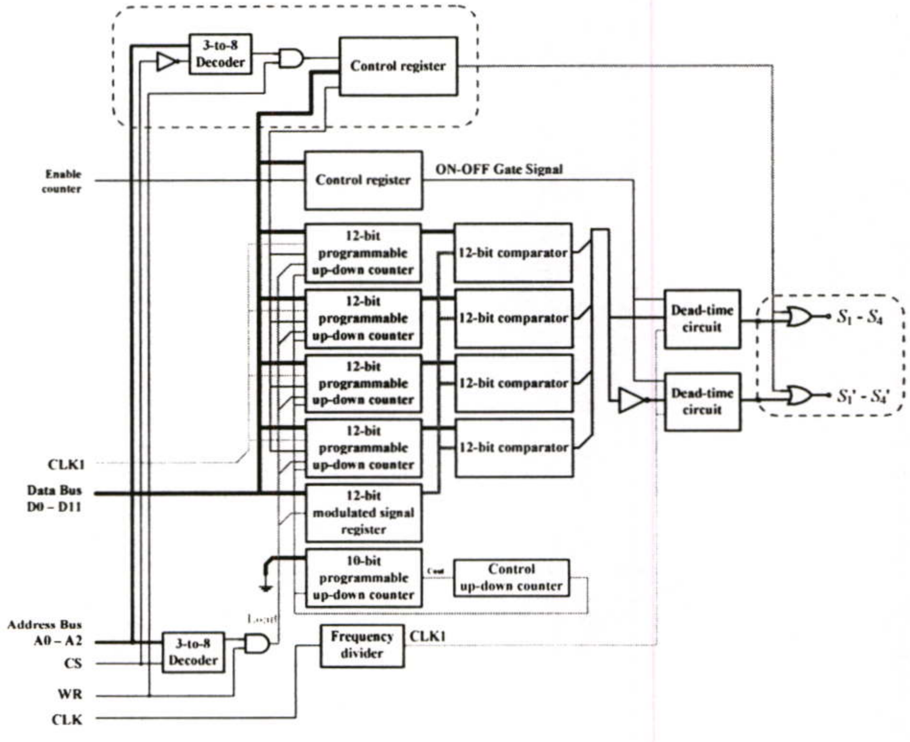
โหมด 3 สถานะของสวิตช์กำลัง "ON" ดังนี้ S_1, S_1' ทำให้ตัวเก็บประจุ C_1 และ C_2 เข้าสู่โหมดเก็บประจุ เมื่อระดับแรงดันตกคร่อมตัวเก็บประจุเท่ากับ $3E$ สัญญาณ G_2 จะเปลี่ยนสถานะเป็น "0" สถานะของสวิตช์กำลังจะเข้าสู่โหมด 4

โหมด 4 สถานะของสวิตช์กำลัง "OFF" ดังนี้ $S_1, S_2, S_3, S_4, S_4', S_3', S_2', S_1'$ ทำให้ตัวเก็บประจุ C_1 เข้าสู่โหมดเก็บประจุ เมื่อระดับแรงดันตกคร่อมตัวเก็บประจุเท่ากับ $4E$ หรือแรงดันที่ตัวเก็บประจุ C_1 มีระดับแรงดันเท่ากับแหล่งจ่าย DC-link ถือเป็นการสิ้นสุดขั้นตอนการ Start-up จึงเข้าสู่ขั้นตอนการสร้างสัญญาณพีดับบลิวเอ็มที่ใช้ศึกษาเปรียบเทียบจะขอกล่าวในหัวข้อต่อไป

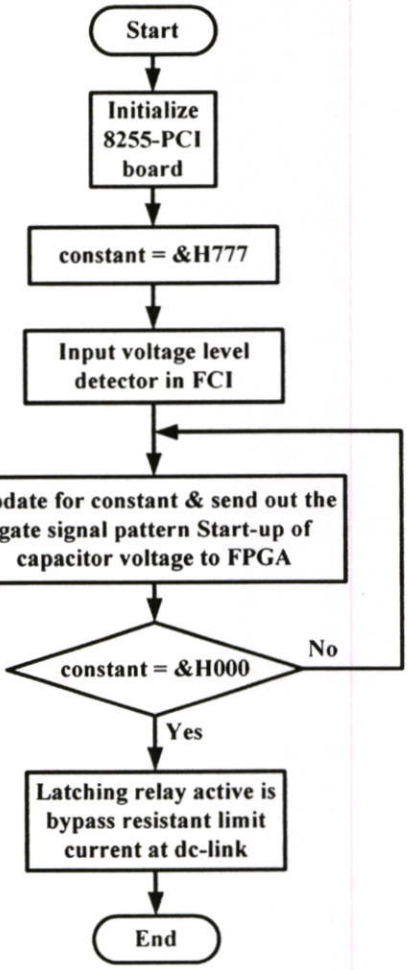
ในรูปที่ 4.6 และ 4.7 คือวงจรมอดดูเลตภายใน FPGA ของเทคนิค PSPWM และ IPDPWM ที่มีการเพิ่มเติมวงจร การกำหนดสถานะของสัญญาณเกตที่ใช้ควบคุมการทำงานของสวิตช์กำลัง ซึ่งประกอบไปด้วย วงจรถอดรหัส (Decoder), หน่วยเก็บข้อมูลชั่วคราว (Latch) และแอนเกต (AND gate) ทำให้สามารถควบคุมสถานะ การทำงานของสวิตช์กำลังได้อย่างอิสระทั้ง 24 สัญญาณ โดยการกำหนดสถานะสวิตช์กำลังในขั้นตอน Start-up จะประมวลจากสัญญาณเกตของวงจรตรวจจับระดับแรงดันผ่านทางไมโครโปรเซสเซอร์ ซึ่งผังงาน (Flow chart) ที่ใช้แสดงไว้ในรูปที่ 4.8 โดยผลที่ได้จากการทดลองสร้างระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์ แสดงในรูปที่ 4.9



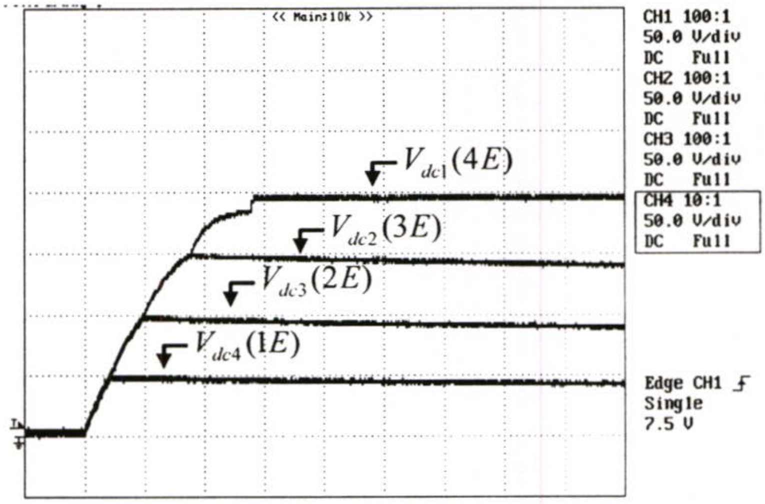
รูปที่ 4.6 วงจรสร้างสัญญาณเกตด้วยเทคนิค PSPWM ของ FPGA ที่เพิ่มวงจร Start-up



รูปที่ 4.7 วงจรสร้างสัญญาณเกตด้วยเทคนิค IPDPWM ของ FPGA ที่เพิ่มวงจร Start-up



รูปที่ 4.8 ผังงานที่ใช้ในการประมวลสัญญาณเกตของวงจรตรวจจับระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ในโหมดต่างๆ ของขั้นตอนการ Start-up



รูปที่ 4.9 ผลทดลอง Start-up ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว

4.3 เทคนิคการรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI [5]

ด้วยคุณสมบัติของวงจรมัลติเลเวลอินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ นั้นมีรูปแบบการสวิตช์กำลังให้เลือกใช้งานได้หลากหลาย จึงมีคุณสมบัติในการสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ ได้โดยไม่ต้องใช้อุปกรณ์เฉพาะเพิ่มอีก โดยสังเกตได้จากตารางการทำงานของสวิตช์กำลัง ในตารางที่ 4.2 ซึ่งในรูปที่ 4.10 – 4.13 แสดงตัวอย่างบางสถานะของสวิตช์กำลังที่มีการซ้ำซ้อน (Redundancy)

ตารางที่ 4.2 การทำงานของอุปกรณ์สวิตช์กำลัง และแรงดัน ของอินเวอร์เตอร์ 5 ระดับ ใน 1 leg แบบฟลายอิ้งคาปาซิเตอร์

Switching states				Output voltage related of capacitor	Output phase voltage v_{A0}	C_2	C_3	C_4
S_1	S_2	S_3	S_4					
1	1	1	1	$4E$	V_{dc} $(4E)$	N	N	N
1	1	1	0	$4E - 1E$	$3E$	N	N	+
1	1	0	1	$4E - 2E + 1E$		N	+	-
1	0	1	1	$4E - 3E + 2E$		+	-	N
0	1	1	1	$3E$		-	N	N
1	1	0	0	$4E - 2E$	$2E$	N	+	N
1	0	1	0	$4E - 3E + 2E - 1E$		+	-	+
0	1	1	0	$3E - 1E$		-	N	+
1	0	0	1	$4E - 3E + 1E$		+	N	-
0	1	0	1	$3E - 2E + 1E$		-	+	-
0	0	1	1	$2E$		N	-	N
1	0	0	0	$4E - 3E$	$1E$	+	N	N
0	1	0	0	$3E - 2E$		-	+	N
0	0	1	0	$2E - 1E$		N	-	+
0	0	0	1	$1E$		N	N	-
0	0	0	0	0	0	N	N	N

กำหนดให้ 1 คือ สถานะ SW-On

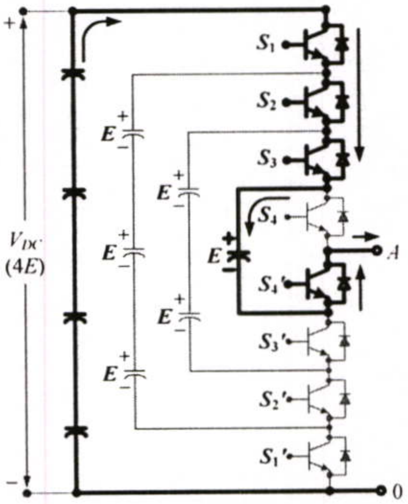
0 คือ สถานะ SW-Off

N คือ ไม่ใช้งาน

\+ คือ สถานะ การอัดประจุ (Charging mode)

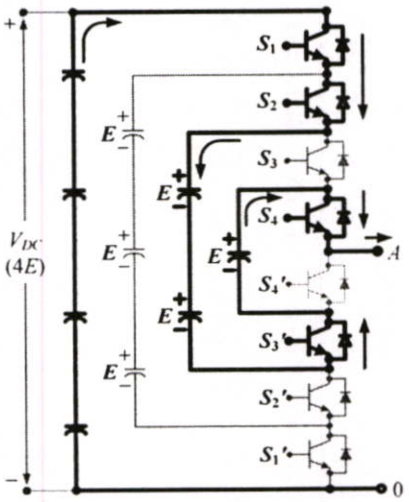
\- คือ สถานะ การคายประจุ (Discharge mode)

Switching states				Output voltage related of capacitor	Output phase voltage v_{A0}	C_2	C_3	C_4
S_1	S_2	S_3	S_4					
1	1	1	1	$4E$	$4E$ (V_{dc})	N	N	N
1	1	1	0	$4E$ - $1E$	$3E$	N	N	+
1	1	0	1	$4E$ - $2E$ + $1E$		N	+	-
1	0	1	1	$4E$ - $3E$ + $2E$		+	-	N
0	1	1	1	$3E$		-	N	N
1	1	0	0	$4E$ - $2E$	$2E$	N	+	N
1	0	1	0	$4E$ - $3E$ + $2E$ - $1E$		+	-	+
0	1	1	0	$3E$ - $1E$		-	N	+
1	0	0	1	$4E$ - $3E$ + $1E$		+	N	-
0	1	0	1	$3E$ - $2E$ + $1E$		-	+	-
0	0	1	1	$2E$		N	-	N
1	0	0	0	$4E$ - $3E$	$1E$	+	N	N
0	1	0	0	$3E$ - $2E$		-	+	N
0	0	1	0	$2E$ - $1E$		N	-	+
0	0	0	1	$1E$		N	N	-
0	0	0	0	0	0	N	N	N



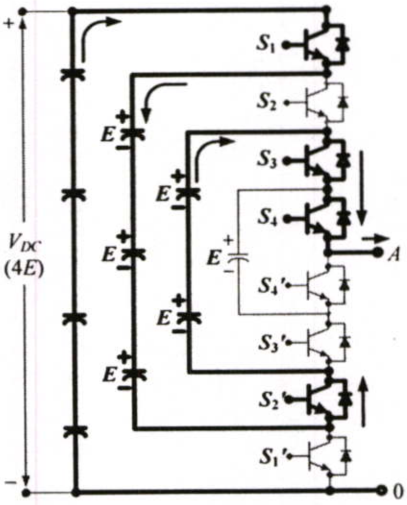
รูปที่ 4.10 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันทางด้านขาออก $3E$ เกิดจาก $4E - 1E$

Switching states				Output voltage related of capacitor	Output phase voltage v_{A0}	C_2	C_3	C_4
S_1	S_2	S_3	S_4					
1	1	1	1	$4E$	$4E$ (V_{dc})	N	N	N
1	1	1	0	$4E$ - $1E$		N	N	+
1	1	0	1	$4E$ - $2E$ + $1E$	$3E$	N	+	-
1	0	1	1	$4E$ - $3E$ + $2E$		+	-	N
0	1	1	1	$3E$		-	N	N
1	1	0	0	$4E$ - $2E$	$2E$	N	+	N
1	0	1	0	$4E$ - $3E$ + $2E$ - $1E$		+	-	+
0	1	1	0	$3E$ - $1E$		-	N	+
1	0	0	1	$4E$ - $3E$ + $1E$		+	N	-
0	1	0	1	$3E$ - $2E$ + $1E$		-	+	-
0	0	1	1	$2E$		N	-	N
1	0	0	0	$4E$ - $3E$	$1E$	+	N	N
0	1	0	0	$3E$ - $2E$		-	+	N
0	0	1	0	$2E$ - $1E$		N	-	+
0	0	0	1	$1E$		N	N	-
0	0	0	0	0	0	N	N	N



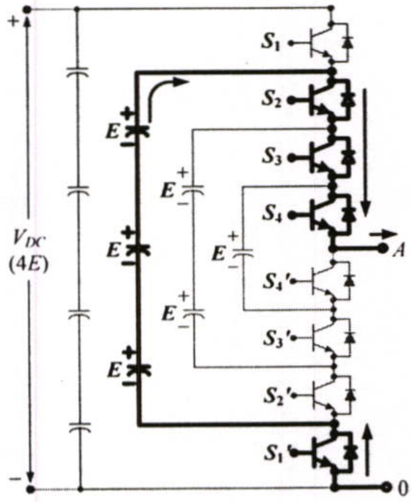
รูปที่ 4.11 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันทางด้านขาออก $3E$ เกิดจาก $4E - 2E + 1E$

Switching states				Output voltage related of capacitor	Output phase voltage v_{A0}	C_2	C_3	C_4
S_1	S_2	S_3	S_4					
1	1	1	1	$4E$	$4E\ (V_{dc})$	N	N	N
1	1	1	0	$4E - 1E$		N	N	+
1	1	0	1	$4E - 2E + 1E$		N	+	-
1	0	1	1	$4E - 3E + 2E$	$3E$	+	-	N
0	1	1	1	$3E$		-	N	N
1	1	0	0	$4E - 2E$		N	+	N
1	0	1	0	$4E - 3E + 2E - 1E$		+	-	+
0	1	1	0	$3E - 1E$	$2E$	-	N	+
1	0	0	1	$4E - 3E + 1E$		+	N	-
0	1	0	1	$3E - 2E + 1E$		-	+	-
0	0	1	1	$2E$		N	-	N
1	0	0	0	$4E - 3E$		+	N	N
0	1	0	0	$3E - 2E$	$1E$	-	+	N
0	0	1	0	$2E - 1E$		N	-	+
0	0	0	1	$1E$		N	N	-
0	0	0	0	0	0	N	N	N



รูปที่ 4.12 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันทางด้านขาออก $3E$ เกิดจาก $4E - 3E + 2E$

Switching states				Output voltage related of capacitor	Output phase voltage v_{A0}	C_2	C_3	C_4
S_1	S_2	S_3	S_4					
1	1	1	1	$4E$	$4E\ (V_{dc})$	N	N	N
1	1	1	0	$4E - 1E$		N	N	+
1	1	0	1	$4E - 2E + 1E$		N	+	-
1	0	1	1	$4E - 3E + 2E$		+	-	N
0	1	1	1	$3E$	$3E$	-	N	N
1	1	0	0	$4E - 2E$		N	+	N
1	0	1	0	$4E - 3E + 2E - 1E$		+	-	+
0	1	1	0	$3E - 1E$	$2E$	-	N	+
1	0	0	1	$4E - 3E + 1E$		+	N	-
0	1	0	1	$3E - 2E + 1E$		-	+	-
0	0	1	1	$2E$		N	-	N
1	0	0	0	$4E - 3E$		+	N	N
0	1	0	0	$3E - 2E$	$1E$	-	+	N
0	0	1	0	$2E - 1E$		N	-	+
0	0	0	1	$1E$		N	N	-
0	0	0	0	0	0	N	N	N

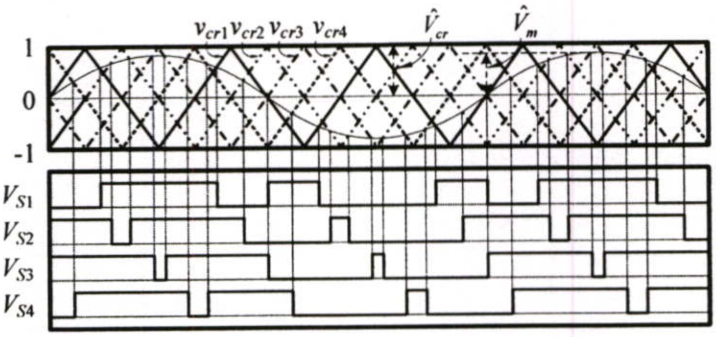


รูปที่ 4.13 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันทางด้านขาออก $3E$ เกิดจาก $3E$

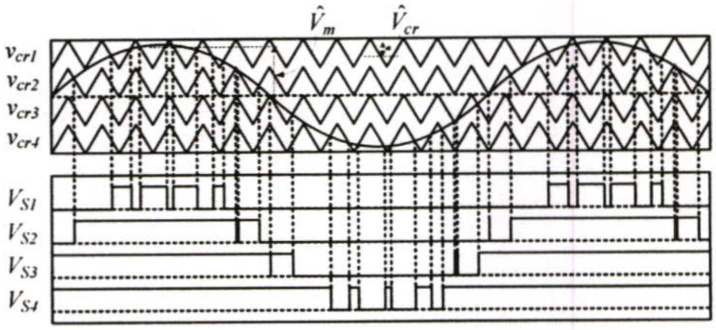
จากการวิเคราะห์การทำงานของอินเวอร์เตอร์จะเห็นว่า เมื่อเครื่องหมายหน้าแรงดันตกคร่อมแล้วเป็นประจุเป็นลบ (-) แสดงว่าในขณะนั้นอยู่ในช่วงของการคายประจุ (Discharging mode) ของตัวเก็บประจุ และถ้าเป็นบวก (+) ก็แสดงว่าอยู่ในช่วงของการอัดประจุ (Charging mode) ของตัวเก็บประจุ ซึ่งด้วยรูปแบบของการสวิตช์กำลังที่มีให้เลือกมากทำให้สามารถออกแบบรูปแบบการสวิตช์ในการแก้ไขปัญหาด้านการสมดุลพลังที่ตัวเก็บประจุแบบฟลายอิ้งค์ได้

4.3.1 วิธีการ Rotate pulse

จากบทที่ 3 ในการจำลองด้วยโปรแกรมคอมพิวเตอร์มีเพียงเทคนิค PSPWM ที่สามารถสมดุลของพลังงานที่ตัวเก็บประจุไว้ได้ก็เนื่องด้วยเทคนิค PSPWM ให้ผลของสัญญาณเกตในช่วง 1 cycle ทำให้การทำงานของสวิตช์กำลังเฉลี่ยแต่ละตัวทำงานเท่ากัน ดังแสดงในรูปที่ 4.14 แต่เทคนิคการมอดูเลตชันแบบเลื่อนระดับสัญญาณแคเรียร์ในทุกแบบให้ผลของสัญญาณเกตคล้ายคลึงกัน คือ สวิตช์กำลังเฉลี่ยในแต่ละตัวทำงานไม่เท่ากัน ดังแสดงในรูปที่ 4.15 (เลือกพิจาณา IPDPWM เพราะผล THD ดีที่สุดในกลุ่ม)



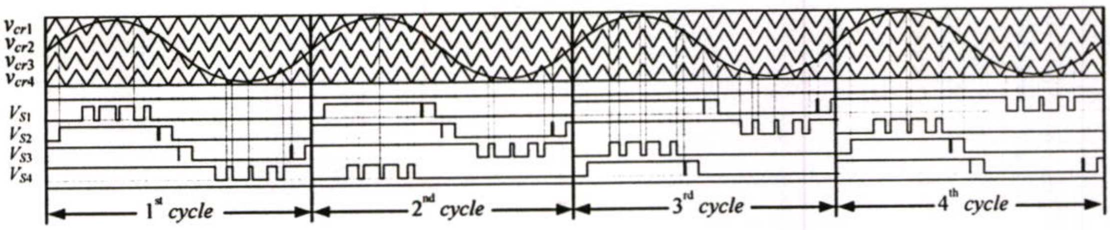
รูปที่ 4.14 ตัวอย่างการสร้างสัญญาณเกตของเทคนิค PSPWM



รูปที่ 4.15 ตัวอย่างการสร้างสัญญาณเกตของเทคนิค IPDPWM

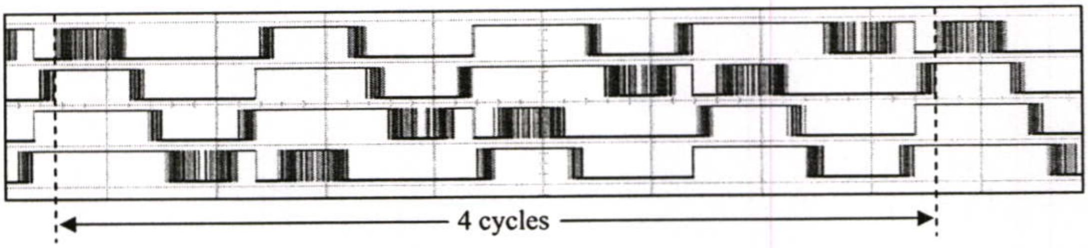
จากรูปที่ 4.15 เมื่อพิจารณาที่สัญญาณเกตของเทคนิค IPDPWM จะเห็นได้ว่าสัญญาณเกต V_{S1} ในช่วง 1 cycle มีสถานะ “ON” อยู่ครู่หนึ่งจากนั้นจะมีสถานะ “OFF” ตลอด และเมื่อสังเกตสัญญาณเกต V_{S4} ในช่วง 1 cycle ก็มีสถานะ “OFF” เป็นช่วง อยู่ครู่หนึ่งจากนั้นจะมีสถานะ “ON” ตลอด จึงพอสรุปได้ถึงสาเหตุที่ทำให้อัตราการอัดประจุ - คายประจุ ของตัวเก็บประจุแบบฟลายอิ้งค์ไม่สมดุลกัน ทำให้ไม่สามารถรักษาสมดุลของพลังงานที่ตัวเก็บประจุไว้ได้

ในการวิทยานิพนธ์นี้จึงนำวิธี รูปแบบการโรเตตสัญญาณเกต (Rotating of switching pattern) มาใช้ในการแก้ไขปัญหาของเทคนิค IPDPWM ในส่วนของสวิตช์กำลังเฉลี่ยแต่ละตัวทำงานไม่เท่ากัน แสดงดังรูปที่ 4.16



รูปที่ 4.16 ตัวอย่างการสร้างสัญญาณเกตด้วยวิธี Rotate pulse ของเทคนิค IPDPWM

จากรูปที่ 4.16 ในการโรเตตสัญญาณเกต (Rotate pulse) นั้นจะทำการสลับสัญญาณเกตในทุกช่วง 1 cycle การทำงานของสัญญาณไซน์ ดังนั้นจะเห็นได้ว่าใน cycle ที่ 5 สัญญาณเกตของเทคนิค IPDPWM จะกลับมามีรูปแบบของสัญญาณเกตเหมือนกับ cycle ที่ 1 อีกครั้ง เทคนิค Rotate pulse จึงสามารถช่วยทำให้สวิตช์กำลังเฉลี่ยแต่ละตัวทำงานเท่ากัน ในช่วง 4 cycles ได้

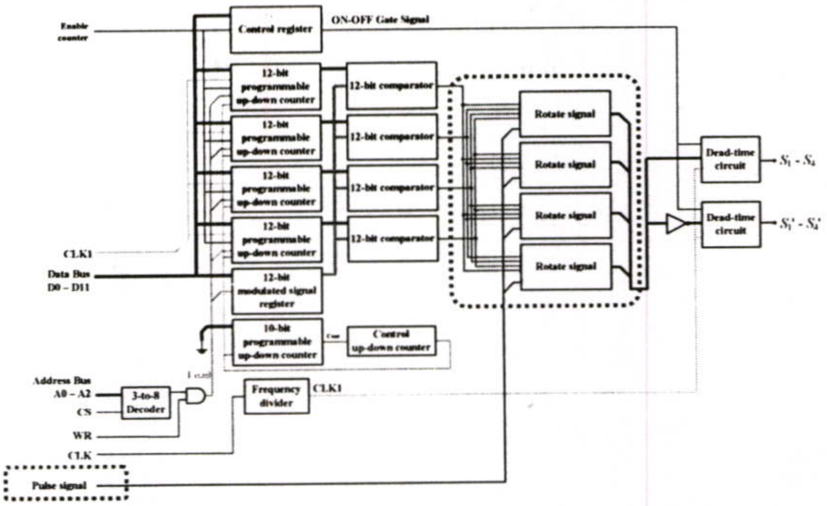


รูปที่ 4.17 ผลของสัญญาณเกตเมื่อใช้วิธี Rotate pulse ทำให้เกิดการ Share switching loss

จากรูปที่ 4.17 เป็นผลของสัญญาณเกตที่จากเทคนิค IPDPWM ที่ทำการปรับปรุงด้วยวิธีการโรเตตสัญญาณเกต (Rotate pulse) ในทุกช่วง 1 cycle หากพิจารณาจากการ ON และ OFF ของสัญญาณเกตในช่วง 4 cycles จะเห็นได้ว่ามีจำนวนครั้งในการ ON และ OFF ที่เท่ากัน ส่งผลให้สวิตช์กำลังเฉลี่ยทำงานเท่ากันตามไปด้วย อีกทั้งเทคนิคดังกล่าวยังทำให้เกิดการ Share switching loss ทำให้ยืนอายุการใช้งานโดยรวมของสวิตช์กำลังแต่ละตัวเพิ่มขึ้นได้

4.3.2 การสร้างวงจรการ Rotate pulse บน FPGA

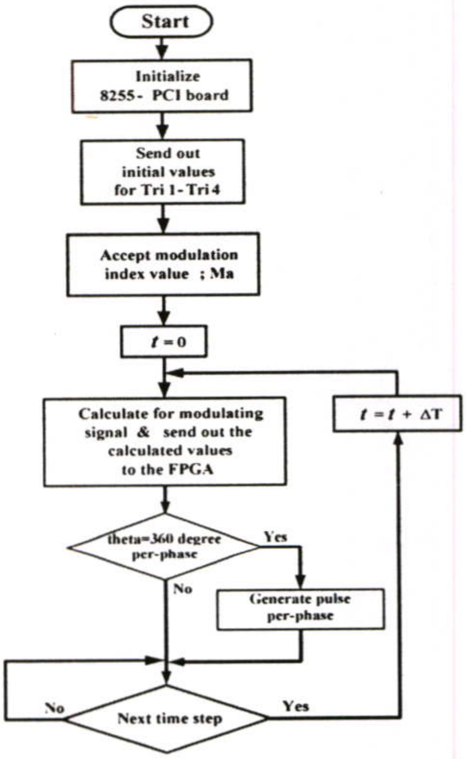
ในการสร้างวิธี Rotate pulse บน FPGA ได้ทำการแก้ไขวงจรมอดดูเลตของ IPDPWM โดยเพิ่มตัว Rotate signal เข้าไปในวงจร แสดงในรูปที่ 4.18 เพื่อทำหน้าที่สลับตำแหน่งสัญญาณเกตในรูปแบบการ Rotate pulse โดยจะทำการ Rotate pulse ตามสัญญาณควบคุม Pulse signal ที่ได้จากไมโครโปรเซสเซอร์ (VB6)



รูปที่ 4.18 การออกแบบวงจร Rotate pulse บน FPGA ใน 1 leg

4.3.3 การสร้างสัญญาณพัลส์ที่ใช้ในการ Rotate pulse ด้วยไมโครโปรเซสเซอร์

ในส่วนของไมโครโปรเซสเซอร์ได้เข้ามาเกี่ยวข้องในการสร้างสัญญาณพัลส์ที่ใช้ในการ Rotate pulse ผังงานที่ใช้แสดงในรูปที่ 4.19 ไมโครโปรเซสเซอร์ทำหน้าที่คำนวณอัตราการส่งข้อมูล (Sampling) และกำหนดคาบเวลาของข้อมูลสัญญาณไซน์อ้างอิง เมื่อสัญญาณอ้างอิงสัญญาณไซน์ของแต่ละเฟสมีมุม Theta เท่ากับ 360 องศา ก็จะกำเนิดสัญญาณพัลส์ Pulse signal เพื่อเป็นสัญญาณในการ Rotate pulse ให้แก่ FPGA ต่อไป



รูปที่ 4.19 ผังงานการสร้างสัญญาณพัลส์ในการ Rotate pulse สัญญาณเกตของเทคนิค IPDPWM

บทที่ 5

การทดลองและผลการทดลอง

5.1 บทนำ

ในบทนี้เป็นขั้นตอนการทดลองและนำผลของสัญญาณเกตที่ได้ทำการออกแบบจาก FPGA มาทดลองกับเครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ เพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับ โดยแบ่งหัวข้อการทดลองดังนี้ คุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการรักษาสมดุลพลังงานที่ตัวเก็บประจุ และผลจากเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก

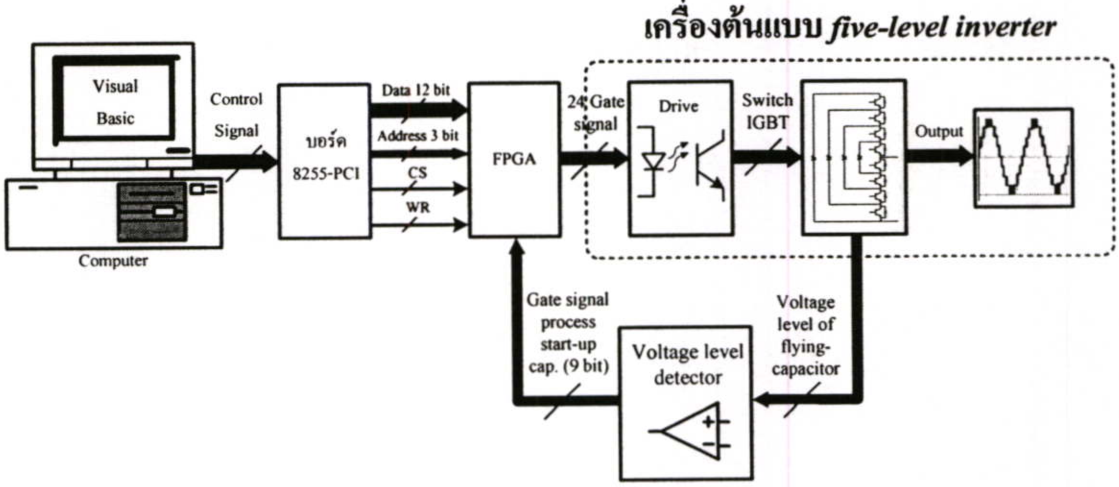
ในการทดลองแต่ละหัวข้อได้กำหนดคุณสมบัติการทำงานของ FCI (รูปที่ 4.2) ภายใต้ค่าพารามิเตอร์ดังตารางที่ 5.1 และในตารางที่ 5.2 แสดงรายละเอียดอุปกรณ์ของเครื่องต้นแบบที่ใช้ทดลอง โดยในรูปที่ 5.1 เป็นบล็อกไดอะแกรมการทำงานของสวิตช์กำลังโดยรวม ซึ่งจะได้ทำการกล่าวถึงต่อไป

ตารางที่ 5.1 ค่าพารามิเตอร์ที่ใช้ในการทดลอง

Parameter operating	**Phase-shifted PWM (PSPWM)**	**Level-shifted PWM (IPDPWM)**
f_m	50 Hz	50 Hz
f_{cr}	750 Hz	3000 Hz
m_f	15	60
$f_{sw,dev}$	750 Hz	750 Hz
$f_{sw,inv}$	3000 Hz	3000 Hz

ตารางที่ 5.2 รายละเอียดอุปกรณ์เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิ้งคาปาซิเตอร์

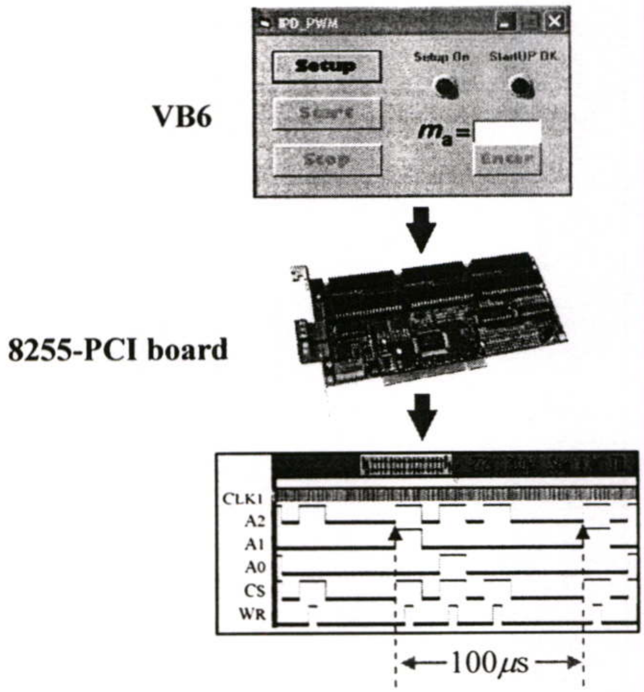
Altera (FPGA)	ACEX1K EP1K30TC144-3
DC link capacitor	2200 μF 450VDC
Flying capacitor	2200 μF 450VDC
DC link voltage	200 V
IGBT	G2BN60B3D (1200V,40 A)
R-load	หลอดไฟ 6 หลอด/100W (3 เฟส ต่อแบบ Y)
RL-load	หลอดไฟ 15 หลอด/100W และบัลลาสแกนเหล็ก 15 ตัว/ขนาด 40W (3 เฟส ต่อแบบ Y)



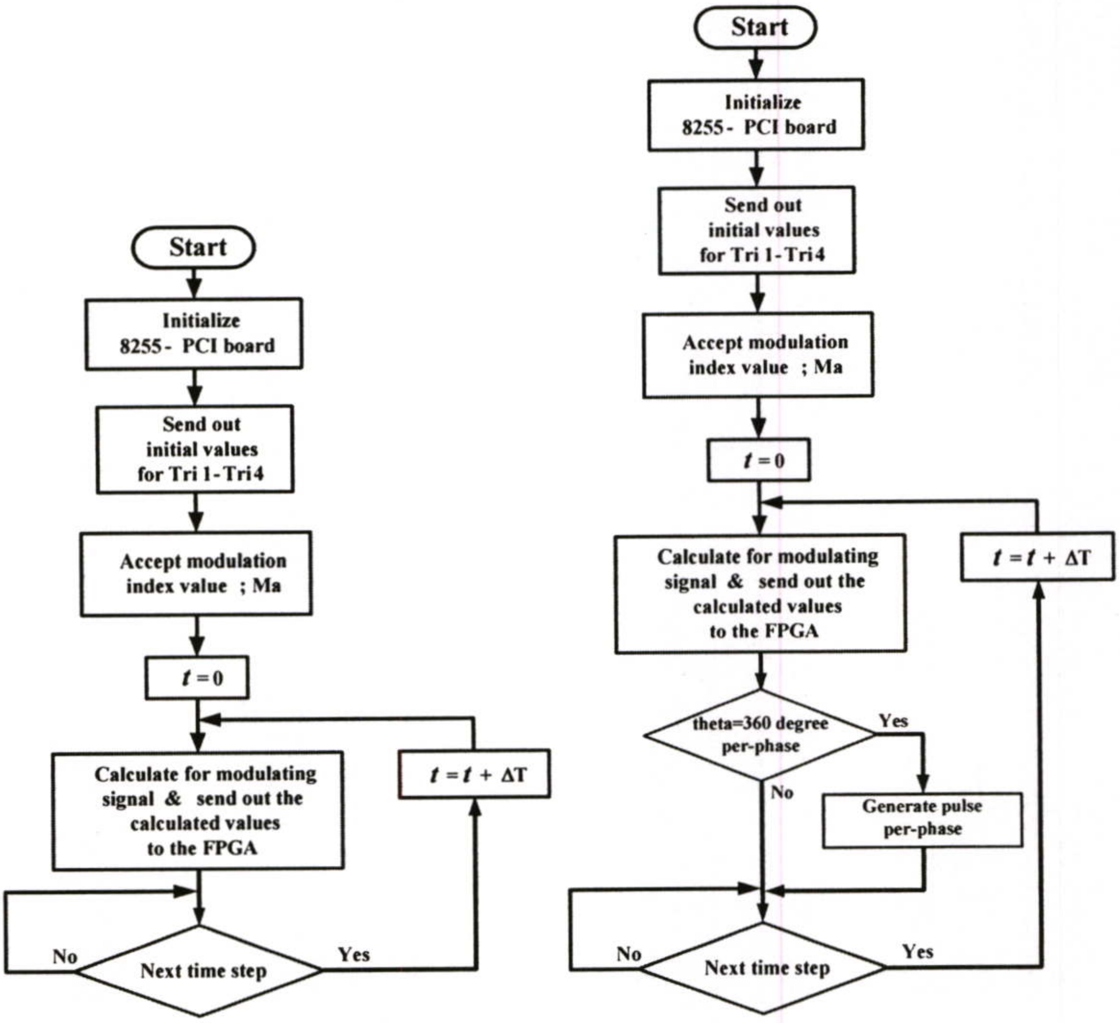
รูปที่ 5.1 บล็อกไดอะแกรมการทำงานโดยรวม

5.2 การเขียนโปรแกรม VB6 เพื่อติดต่อกับบอร์ด 8255-PCI

โปรแกรมวิชวลเบสิคมีหน้าที่ คำนวณอัตราการมอดดูเลต แซมปลิ้งสัญญาณไซน์ และสัญญาณควบคุมต่างๆ โดยส่งสัญญาณผ่านทางบอร์ด 8255-PCI (ขยาย I/O พอร์ต) ทาง PCI สล๊อต เพื่อใช้ส่งบัสข้อมูลขนาด 12 บิต แอดเดรส 3 บิต สัญญาณ CS สัญญาณ WR รวมถึงการสร้างเงื่อนไขของสัญญาณเกตการ Start-up ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ด้วย ลักษณะการทำงานแสดงดังในรูปที่ 5.2 และในรูปที่ 5.3 เป็นผังงานของโปรแกรม



รูปที่ 5.2 ลักษณะการเขียนโปรแกรม VB6 เพื่อส่งข้อมูลให้กับ FPGA



(ก) คำนวณเทคนิค PSPWM (ข) คำนวณเทคนิค IPDPWM (rotate pulse)

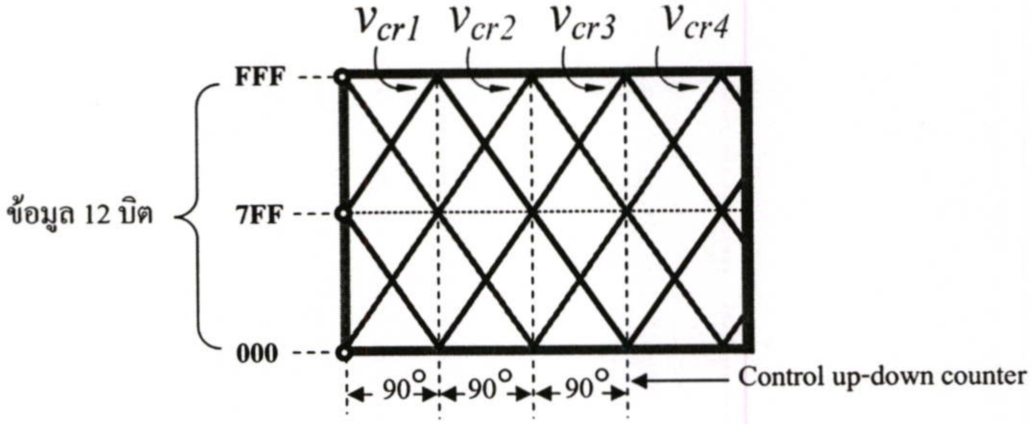
รูปที่ 5.3 ผังงาน (Flow chart) การคำนวณค่าการมอดดูเลตและส่งข้อมูลสัญญาณควบคุมต่างๆ

5.3 การสร้างสัญญาณเกตจาก FPGA

การออกแบบและโปรแกรม FPGA จะกระทำบนโปรแกรม QuartusII 5.1 Web Edition ในการออกแบบ โดยการสร้างบล็อกไดอะแกรมจาก MEGA Function ทำให้สามารถลดข้อผิดพลาดในการออกแบบ และไม่ต้องเรียนรู้ภาษา VHDL

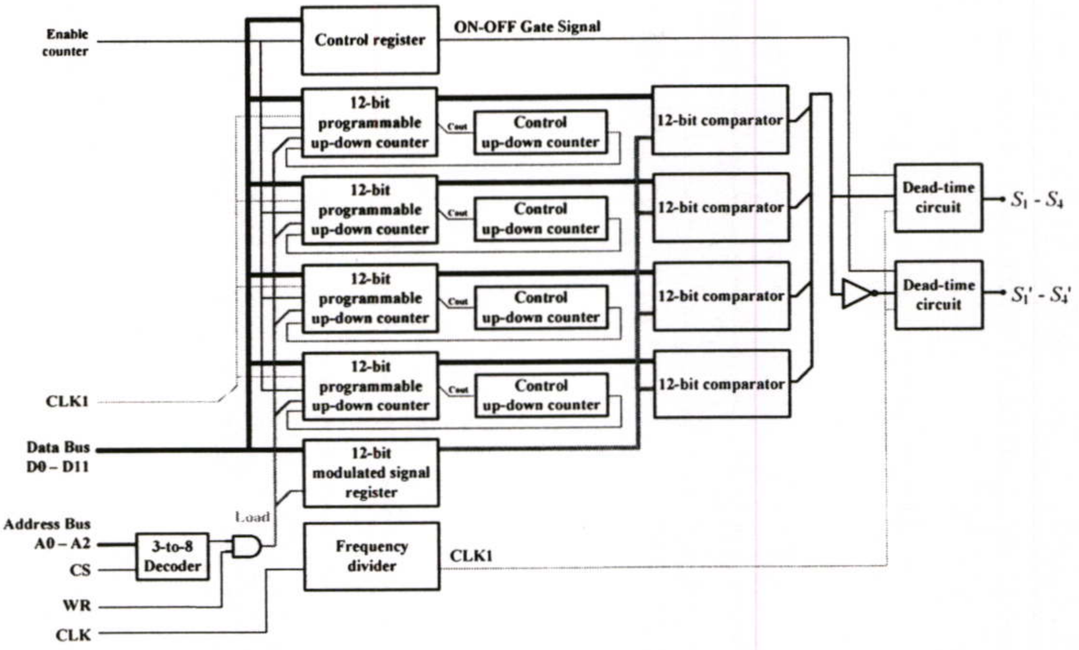
ในการสร้างวงจรมอดูเลตสัญญาณเกตสำหรับ FCI ด้วย FPGA จะประกอบไปด้วยวงจรถอดรหัส (Decoder) ,หน่วยเก็บข้อมูลชั่วคราว (Latch) ,วงจรนับ (Counter) ,วงจรเปรียบเทียบ (Comparator) ,วงจรสร้างความถี่ (Clock signal) และวงจรประวิงเวลา (Dead-time) ซึ่งวงจรที่ได้ออกแบบสามารถเชื่อมต่อกับระบบไมโครโปรเซสเซอร์ผ่านทางบัสข้อมูล 12 บิต และบัสแอสเดรส

3 บิต โดยสามารถควบคุมการ เปิด-ปิด สัญญาณเกตได้โดยผ่านทางไมโครโปรเซสเซอร์ สัญญาณเกตที่ทำการสร้างมีด้วยกัน 2 แบบ คือ เทคนิคการพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme ; PSPWM) [7] ดังแสดงในรูปที่ 5.4 และเทคนิคการพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับแบบเฟสตรงกันทุกระดับ (Level-shifted multi-carrier PWM scheme by in-phase disposition PWM ; IPDPWM) ดังแสดงในรูปที่ 5.7

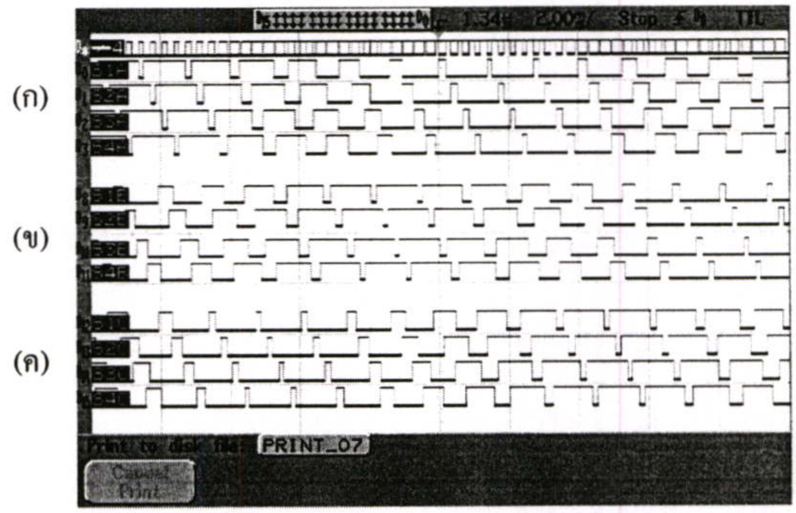


รูปที่ 5.4 แสดงการสร้างสัญญาณแคเรียร์แบบ PSPWM ของวงจรนับ (Counter) ทั้ง 4 ตัว

จากรูปที่ 5.4 เป็นรูปแบบการสร้างพีดับบลิวเอ็มชนิด PSPWM มีลักษณะสัญญาณแคเรียร์ 4 สัญญาณ แต่ละสัญญาณมีเฟสต่างกัน 90 องศา และในแต่ละแคเรียร์มียอดคลื่นเท่ากันในแต่ละแคเรียร์ จากลักษณะดังกล่าวสามารถนำไปสร้างแคเรียร์ด้วย FPGA ได้ดังนี้ โดยการใช้วงจรนับขึ้น-ลง (Up-down counter) (ในวิทยานิพนธ์นี้เลือกศึกษาบัสข้อมูล 12 บิต) ในการสร้างสัญญาณแคเรียร์ทั้ง 4 สัญญาณ ส่วนการเลื่อนเฟสต่างกัน 90 องศา สามารถทำได้โดยการกำหนดค่าเริ่มต้นของแคเรียร์ (เป็น Hexadecimal) ดังต่อไปนี้คือ Tri1 = BFF (สถานะนับขึ้น), Tri2 = 7FF (สถานะนับขึ้น), Tri3 = 3FF (สถานะนับลง) และ Tri4 = 000 (สถานะนับลง) จากนั้นใช้ตัวควบคุมการนับขึ้น-ลง (Control up-down counter ; $v_{ref,cr}$) เป็นตัวกำหนดยอดคลื่นของวงจรนับ ทำให้ใช้ตัวควบคุมการนับขึ้น-ลง (Control up-down counter) ถึง 4 ตัว เนื่องจากในแต่ละแคเรียร์มียอดคลื่นของแคเรียร์ต่างกัน 90 องศา โดยในรูปที่ 5.5 แสดงบล็อกไดอะแกรมของวงจรมอดูเลตใน 1 กิ่งของ FCI แบบ IPDPWM และในรูปที่ 5.6 แสดงสัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค PSPWM ที่ $m_a = 0.8$



รูปที่ 5.5 บล็อกไดอะแกรมวงจรมอดูเลตใน 1 กิ่งด้วย FPGA ที่ใช้เทคนิค PSPWM

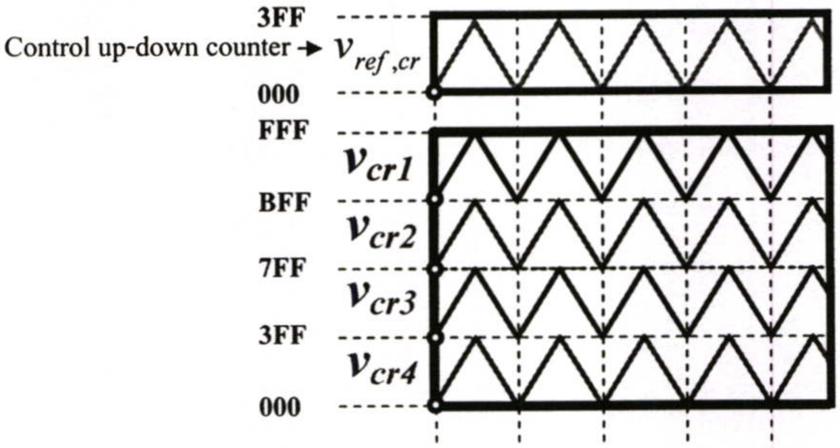


รูปที่ 5.6 สัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค PSPWM ที่ $m_a = 0.8$

(ก) สัญญาณเกต S_{1A}-S_{4A} (4 เส้นบน) (2.00ms/div, Digital analyzer)

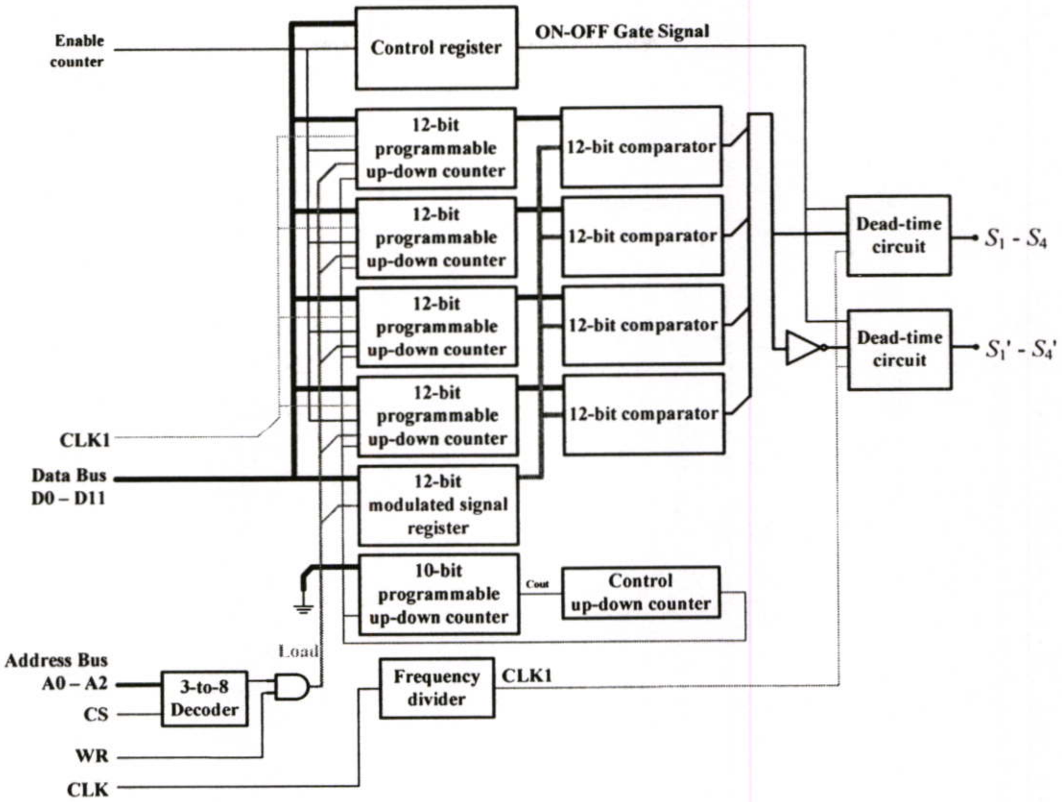
(ข) สัญญาณเกต S_{1B}-S_{4B} (4 เส้นกลาง) (2.00ms/div, Digital analyzer)

(ค) สัญญาณเกต S_{1C}-S_{4C} (4 เส้นล่าง) (2.00ms/div, Digital analyzer)



รูปที่ 5.7 แสดงการสร้างสัญญาณแคเรียร์แบบ IPDPWM ของวงจรนับ (Counter) ทั้ง 4 ตัว

จากรูปที่ 5.7 เป็นรูปแบบการสร้างสัญญาณพีดับบลิวเอ็มชนิด IPDPWM มีลักษณะสัญญาณแคเรียร์ 4 สัญญาณ แบบยกระดับต่างกัน 4 ระดับ และในแต่ละแคเรียร์มียอดคลื่นเท่ากันในแต่ละแคเรียร์ จากลักษณะดังกล่าวสามารถนำไปสร้างแคเรียร์ด้วย FPGA ได้ดังนี้ โดยการใช้วงจรนับขึ้น-ลง (Up-down counter) (ในวิทยานิพนธ์นี้เลือกศึกษาบัสข้อมูล 12 บิต) ในการสร้างสัญญาณแคเรียร์ทั้ง 4 สัญญาณ ส่วนการยกระดับของสัญญาณแคเรียร์ทั้ง 4 สัญญาณ ทำได้โดยเริ่มจากการกำหนดค่าเริ่มต้นของแคเรียร์ (เป็น Hexadecimal) ดังต่อไปนี้คือ Tri1 = BFF (สถานะนับขึ้น), Tri2 = 7FF (สถานะนับขึ้น), Tri3 = 3FF (สถานะนับขึ้น) และ Tri4 = 000 (สถานะนับขึ้น) จากนั้นใช้ตัวควบคุมการนับขึ้น-ลง (Control up-down counter ; $v_{ref,cr}$) เป็นตัวกำหนดยอดคลื่นของวงจรนับ ทำให้ใช้ตัวควบคุมการนับขึ้น-ลง (Control up-down counter) เพียงตัวเดียว โดยในรูปที่ 5.8 แสดงบล็อกไดอะแกรมของวงจรมอดดูเลตใน 1 กิ่งของ FCI แบบ IPDPWM และรูปที่ 5.9 แสดงสัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค IPDPWM ที่ $m_a = 0.8$

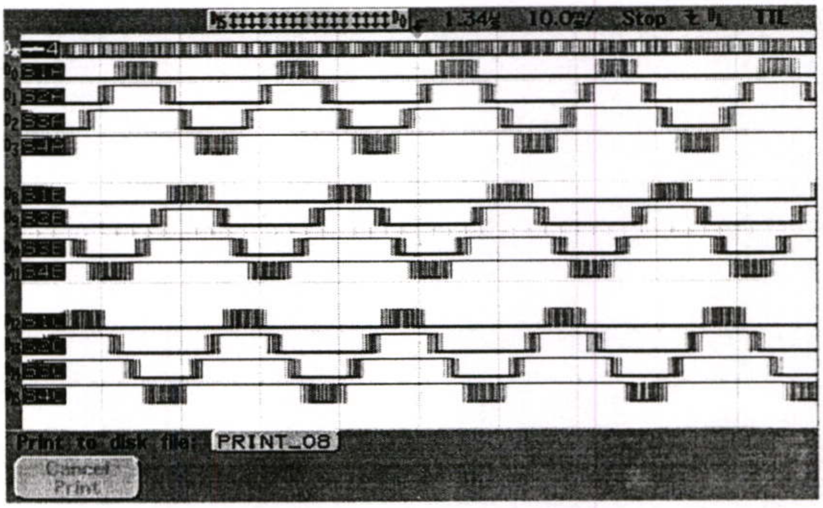


รูปที่ 5.8 บล็อกไดอะแกรมของวงจรมอดดูเลตแบบ IPDPWM ด้วย FPGA

(ก)

(ข)

(ค)

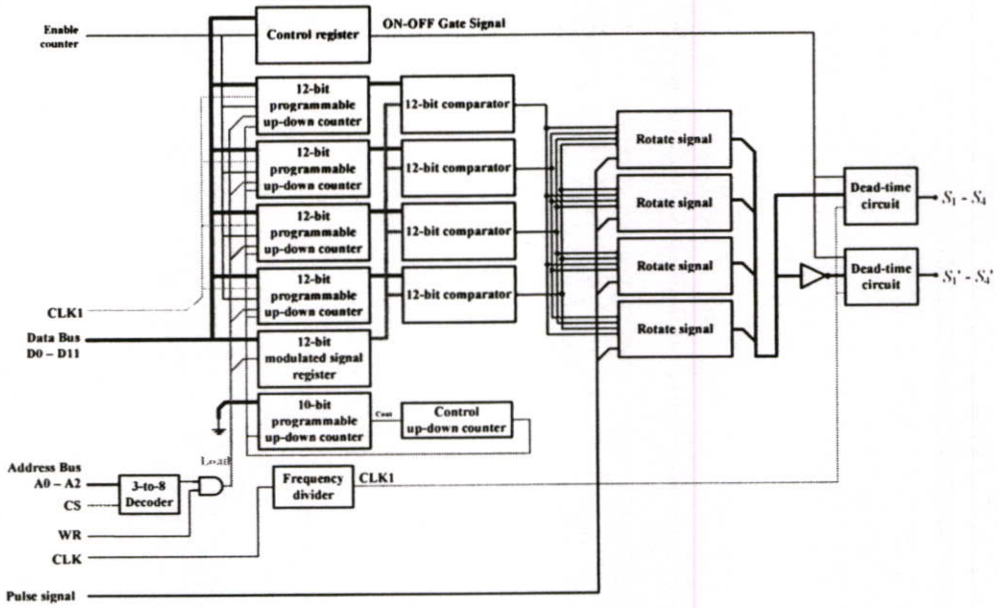


รูปที่ 5.9 สัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค IPDPWM ที่ $m_a = 0.8$

(ก) สัญญาณเกต S_{1A}-S_{4A} (4 เส้นบน) (10.00ms/div, Digital analyzer)

(ข) สัญญาณเกต S_{1B}-S_{4B} (4 เส้นกลาง) (10.00ms/div, Digital analyzer)

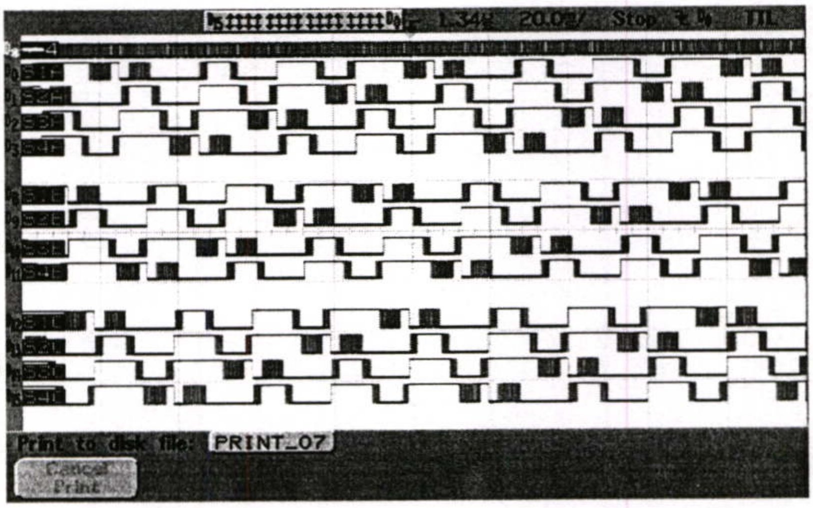
(ค) สัญญาณเกต S_{1C}-S_{4C} (4 เส้นล่าง) (10.00ms/div, Digital analyzer)



รูปที่ 5.10 บล็อกไดอะแกรมของวงจรมอดดูเลตแบบ IPDPWM (rotate pulse) ด้วย FPGA

จากรูปที่ 5.10 แสดงบล็อกไดอะแกรมของวงจรมอดดูเลตแบบ IPDPWM ที่ทำการปรับปรุงในส่วนของการทำงานของสวิตช์กำลังทำงานเฉลี่ยแต่ละตัวทำงานไม่เท่ากัน โดยทำการปรับเปลี่ยนโครงสร้างของวงจรมอดดูเลตแบบ IPDPWM ใน FPGA โดยเพิ่มเทคนิคการการ Rotate pulse ในทุก 1 cycle (บทที่ 4) โดยรับสัญญาณพัลส์จากไมโครโปรเซสเซอร์ สัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค IPDPWM (rotate pulse) ที่ $m_a = 0.8$ แสดงดังรูปที่ 5.11

(ก)
(ข)
(ค)



รูปที่ 5.11 สัญญาณเกตที่ได้จากการทดลองด้วยเทคนิค IPDPWM(rotate pulse) ที่ $m_a = 0.8$

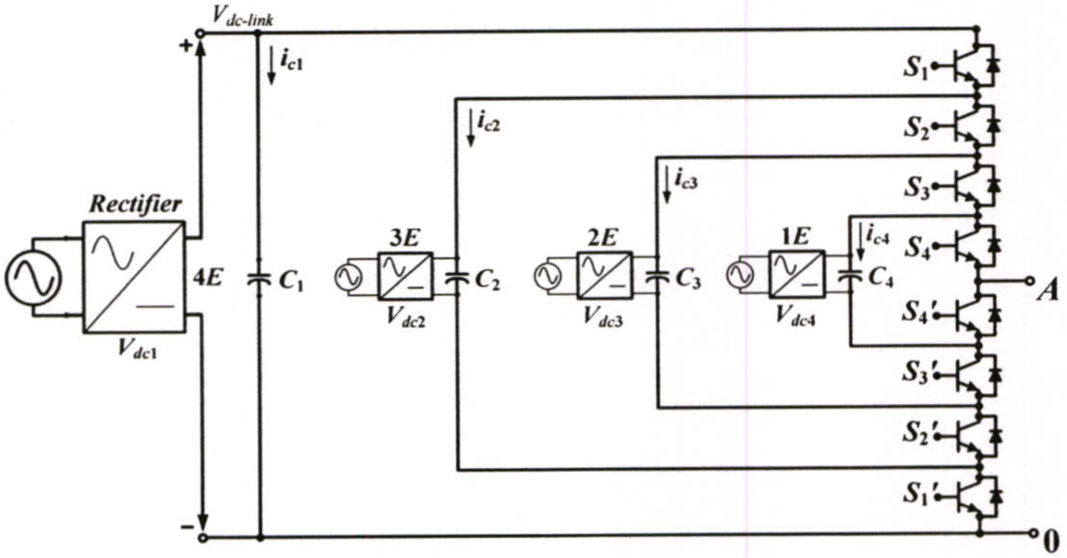
(ก) สัญญาณเกต S_{1A}-S_{4A} (4 เส้นบน) (10.00ms/div, Digital analyzer)

(ข) สัญญาณเกต S_{1B}-S_{4B} (4 เส้นกลาง) (10.00ms/div, Digital analyzer)

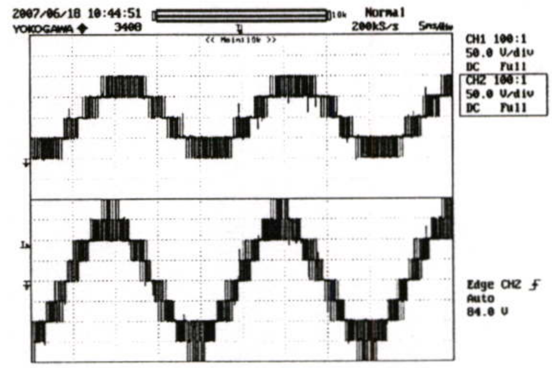
(ค) สัญญาณเกต S_{1C}-S_{4C} (4 เส้นล่าง) (10.00ms/div, Digital analyzer)

5.4 การทดลองและผลการทดลองในส่วนของฮาร์มอนิกส์ (THDv) ของแรงดันด้านขาออกระหว่างสาย

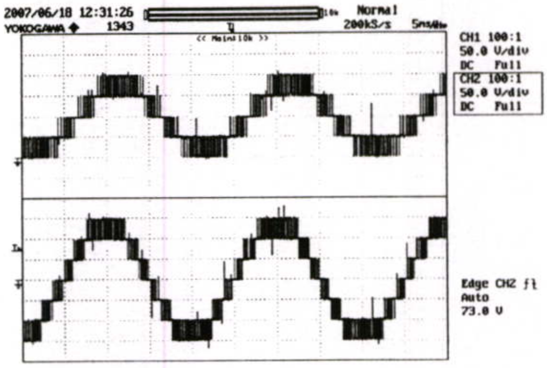
การทดลองเพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ในส่วนผลสเปกตรัมของ ฮาร์มอนิกส์ของแรงดันด้านขาออกระหว่างสาย (Line voltage) โดยในการทดลองได้กำหนดให้ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์เป็นค่าคงที่ ดังแสดงในรูปที่ 5.12 โดยการทดลองแบ่งเป็นการทดลองกรณีไร้โหลด กรณีโหลดเป็นหลอดไฟ (R-load) และกรณีโหลดเป็นหลอดไฟขนาด 100W ต่ออนุกรมกับบัลลาสแกนเหล็กขนาด 40W (RL-load) ซึ่งผลการทดลองของแรงดันด้านขาออกระหว่างสาย (ข้อมูล) ที่ได้นำมาคำนวณเปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ที่เกิดขึ้น ด้วยโปรแกรม MATLAB/M-file โดยในการคำนวณ %THDv ได้คำนวณถึงอันดับที่ 100^{th} และ 500^{th} นำมาพล็อตกราฟเพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มทั้ง 2 แบบ ตั้งแต่ค่ามอดดูเลตชันอินเด็กซ์ (m_a) 0.1 – 1.0 ดังแสดงในรูปที่ 5.16 (ผลการทดลองเพิ่มเติมจะอยู่ในภาคผนวก)



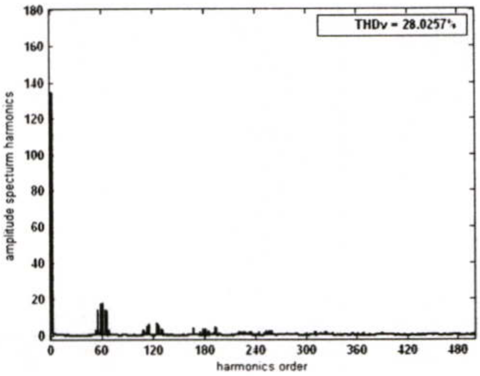
รูปที่ 5.12 วงจรกำลัง 1 กิ่ง ที่ใช้ทดลองผลของสเปกตรัมฮาร์มอนิกส์และเปอร์เซ็นต์ THDv ของแรงดันด้านออกระหว่างสาย v_{AB}



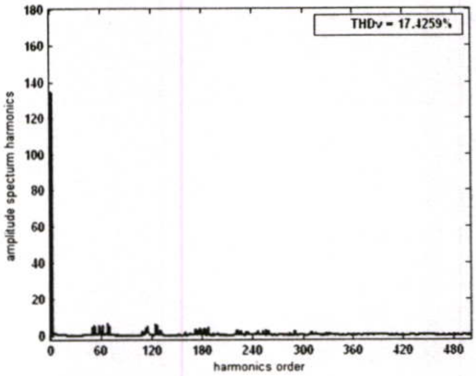
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)



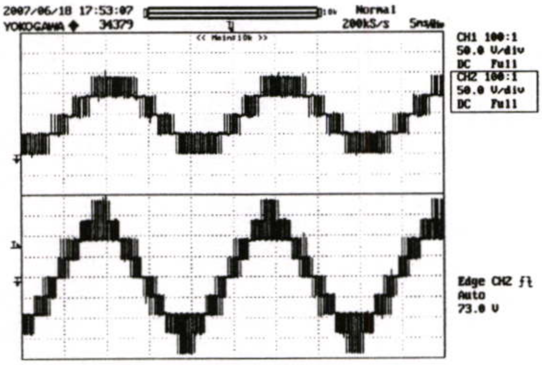
(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM



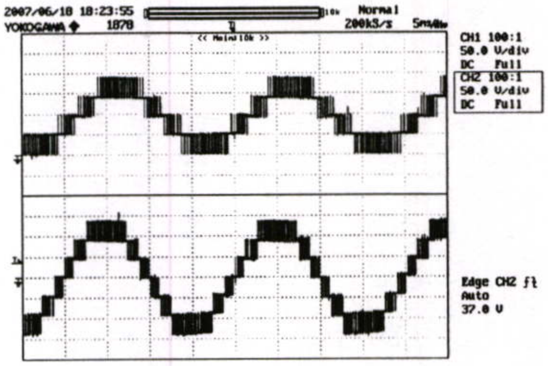
(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

รูปที่ 5.13 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองที่ $m_a = 0.8$ ที่สภาวะ No-load

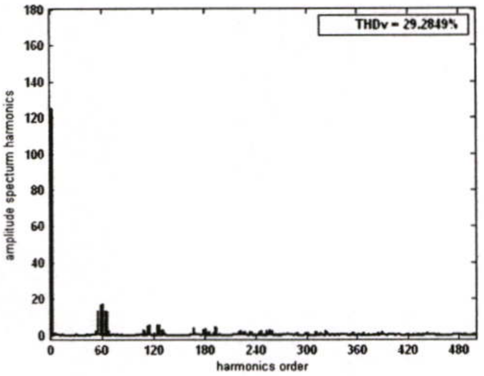
จากรูปที่ 5.13 เป็นผลการทดลองที่ $m_a = 0.8$ ในรูปที่ 5.13 (ก) และรูปที่ 5.13 (ข) เป็นรูปคลื่นที่ได้จากการทดลองกรณีทดสอบการทำงานด้วย PWM ทั้ง 2 เทคนิค ที่สภาวะ No-load ซึ่งได้แสดงผลให้ 2 รูปคลื่น โดยที่เส้นบนเป็นผลที่ได้จากการวัดที่ตำแหน่ง v_{A0} (วัดเทียบกับ Negative bus ของ dc-link) เส้นล่างเป็นผลที่ได้จากการวัดที่ตำแหน่ง v_{AB} (วัดเทียบระหว่างสาย) ซึ่งผลของแรงดันระหว่างสายดังกล่าวจะนำมาคำนวณเปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ที่เกิดขึ้น ดังแสดงในรูปที่ 5.13 (ค) และรูปที่ 5.13 (ง) ด้วยโปรแกรม MATLAB/M-file โดยในการคำนวณ %THDv ได้คำนวณถึงฮาร์มอนิกส์อันดับที่ 500^{th} (ความยาวคลื่นของ v_{AB} ที่นำมาพิจารณาผล %THDv มีความยาวคลื่น 2 cycles)



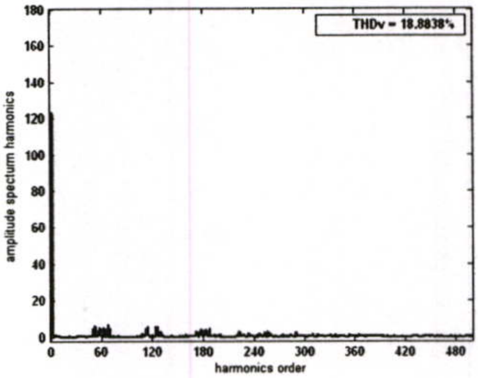
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)



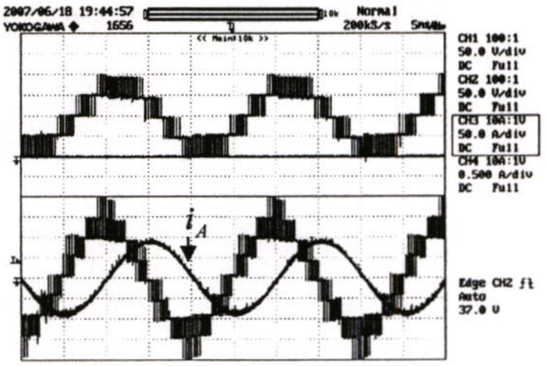
(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM



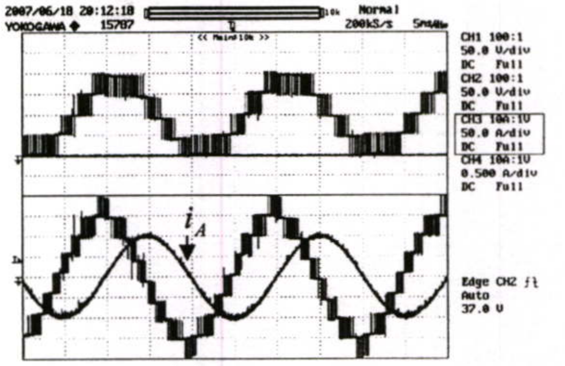
(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

รูปที่ 5.14 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองที่ $m_a = 0.8$ ที่สภาวะ R-load (หลอดไฟ 6 หลอด/100W ต่อเป็น 3 เฟสแบบ Y)

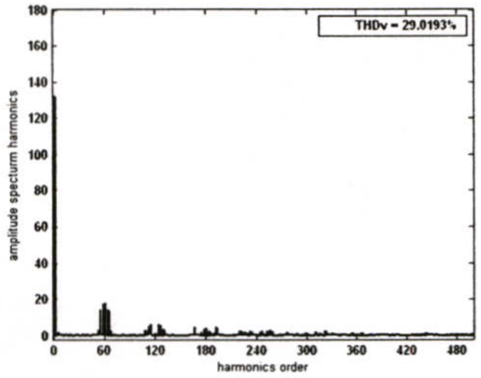
จากรูปที่ 5.14 เป็นผลการทดลองที่ $m_a = 0.8$ ในรูปที่ 5.14 (ก) และรูปที่ 5.14 (ข) เป็นรูปคลื่นที่ได้จากการทดลองกรณีทดสอบการทำงานด้วย PWM ทั้ง 2 เทคนิค ที่สภาวะ R-load ซึ่งได้แสดงผลให้ 2 รูปคลื่น โดยที่เส้นบนเป็นผลที่ได้จากการวัดที่ตำแหน่ง v_{A0} (วัดเทียบกับ Negative bus ของ dc-link) เส้นล่างเป็นผลที่ได้จากการวัดที่ตำแหน่ง v_{AB} (วัดเทียบระหว่างสาย) ซึ่งผลของแรงดันระหว่างสายดังกล่าวจะนำมาคำนวณเปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ที่เกิดขึ้นดังแสดงในรูปที่ 5.14 (ค) และรูปที่ 5.14 (ง) ด้วยโปรแกรม MATLAB/M-file โดยในการคำนวณ %THDv ได้คำนวณถึงฮาร์มอนิกส์อันดับที่ 500^{th} (ความยาวคลื่นของ v_{AB} ที่นำมาพิจารณาผล %THDv มีความยาวคลื่น 2 cycles)



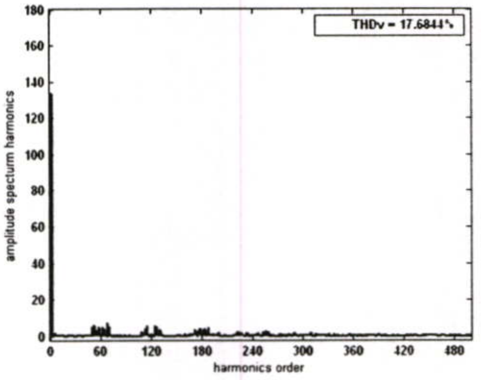
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค IPDPWM(pulse rotate)



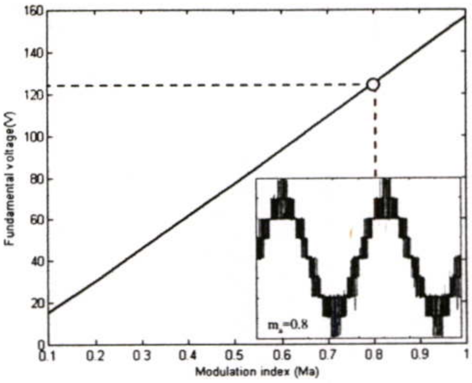
(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM



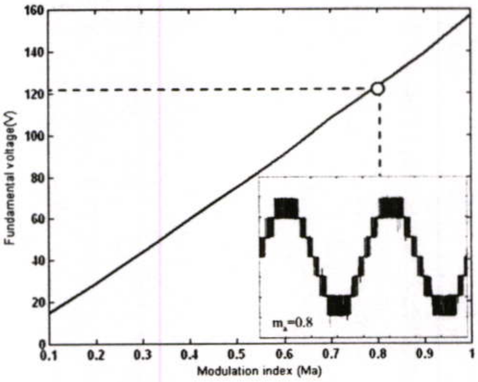
(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

รูปที่ 5.15 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองที่ $m_a = 0.8$ ที่สภาวะ RL-load (หลอดไฟ 100W จำนวน 5 หลอดและบัลลาสแกนเหล็ก 5 ตัว / 1 เฟส)

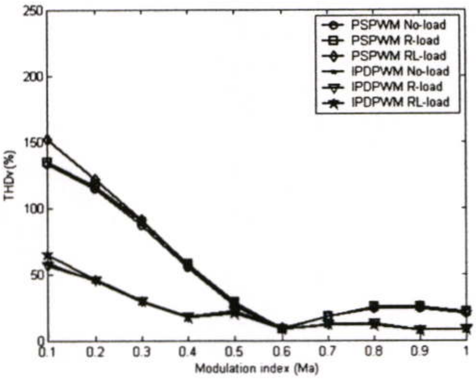
จากรูปที่ 5.15 เป็นผลการทดลองที่ $m_a = 0.8$ ในรูปที่ 5.15 (ก) และรูปที่ 5.15 (ข) เป็นรูปคลื่นที่ได้จากการทดลองกรณีทดสอบการทำงานด้วย PWM ทั้ง 2 เทคนิค ที่สภาวะ RL-load ซึ่งได้แสดงผลให้ 2 รูปคลื่น โดยที่เส้นบนเป็นผลที่ได้จากการวัดที่ตำแหน่ง v_{A0} (วัดเทียบกับ Negative bus ของ dc-link) เส้นล่างเป็นผลที่ได้จากการวัดที่ตำแหน่ง v_{AB} (วัดเทียบระหว่างสาย) ซึ่งผลของแรงดันระหว่างสายดังกล่าวจะนำมาคำนวณเปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ที่เกิดขึ้น ดังแสดงในรูปที่ 5.15 (ค) และรูปที่ 5.15 (ง) ด้วยโปรแกรม MATLAB/M-file โดยในการคำนวณ %THDv ได้คำนวณถึงฮาร์มอนิกส์อันดับที่ 500^{th} (ความยาวคลื่นของ v_{AB} ที่นำมาพิจารณาผล %THDv มีความยาวคลื่น 2 cycles)



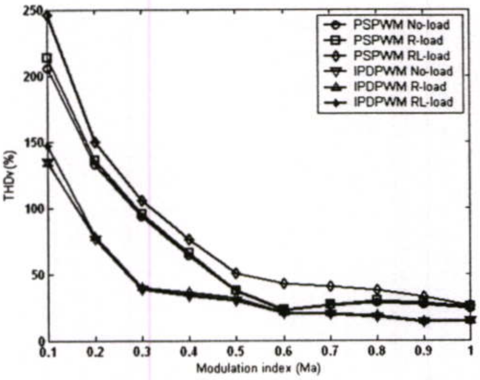
(ก) กราฟแสดงความสัมพันธ์ระหว่าง Fundamental voltage และ modulation index กรณีทดสอบด้วยเทคนิค PSPWM



(ข) กราฟแสดงความสัมพันธ์ระหว่าง Fundamental voltage และ modulation index กรณีทดสอบด้วยเทคนิค IPDPWM(rotate pulse)



(ค) กราฟสรุปการทดลอง %THDv กรณีพิจารณาถึงฮาร์มอนิกส์อันดับที่ 100th



(ง) กราฟสรุปการทดลอง %THDv กรณีพิจารณาถึงฮาร์มอนิกส์อันดับที่ 500th

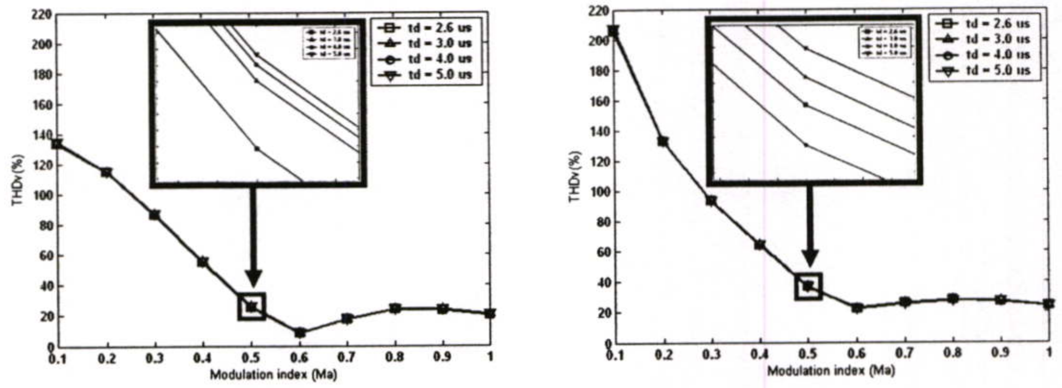
รูปที่ 5.16 กราฟแสดงความสัมพันธ์ระหว่าง Fundamental voltage กับ modulation index และกราฟการวิเคราะห์ผลการทดลอง %THDv ที่ $0.1 \le m_a \le 1.0$

จากรูปที่ 5.16 เป็นการวิเคราะห์ผลที่ได้จากการทดสอบการทำงานด้วย PWM ทั้ง 2 เทคนิค ตั้งแต่ $m_a = 0.1 - 1.0$ โดยแยกการวิเคราะห์ออกเป็น 2 ส่วนในรูปที่ 5.16 (ก) และรูปที่ 5.16 (ข) เป็นกราฟแสดงความสัมพันธ์ระหว่าง Fundamental voltage และ modulation index โดยนำเฉพาะ Amplitude ของ Spectrum harmonics ที่ฮาร์มอนิกส์อันดับที่ 1 (Fundamental) มาทำการพล็อตกราฟ

ในรูปที่ 5.16 (ค) และรูปที่ 5.16 (ง) เป็นกราฟสรุปผลการทดลอง %THDv จากการทดสอบการทำงานด้วย PWM ทั้ง 2 เทคนิคตั้งแต่ $m_a = 0.1 - 1.0$ โดยทำการทดสอบกับโหลด 3 กรณี คือ No-load, R-load และ RL-load โดยพิจารณาถึงฮาร์มอนิกส์อันดับที่ 100th และ 500th จะเห็นได้ว่าเทคนิค IPDPWM ให้ผลด้าน %THDv ต่ำที่สุด ตลอดช่วงการมอดดูเลต

5.5 การทดลองและผลการทดลองในส่วนของผลจาก Dead-time ที่มีผลต่อ THDv ใน FCI

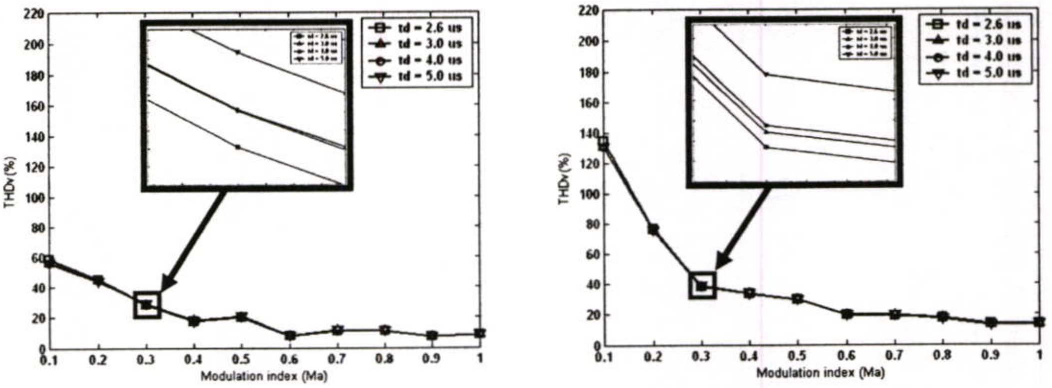
การทดลองสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ในด้านผลจากเดดไทม์ (Dead-time) ที่มีผลต่อ THD ใน FCI ในการทดลองได้กำหนดให้ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์เป็นค่าคงที่ ใช้วงจรการทดลองเดียวกันกับหัวข้อ 5.4 วงจรที่ใช้ทดลองแสดงในรูปที่ 5.12 ในการปรับเปลี่ยนช่วงเวลาเดดไทม์ของแต่ละเทคนิคการพีดับบลิวเอ็มกระทำบน FPGA ช่วงเวลาเดดไทม์ที่พิจารณาคือ 2.6 μs, 3.0 μs, 4.0 μs และ 5.0 μs โดยการทดลองพิจารณาเฉพาะกรณีไร้โหลด โดยผลของแรงดันด้านออก (ข้อมูล) ที่ได้นำมาคำนวณเปอร์เซ็นต์สเปกตรัมของฮาร์มอนิกส์ที่เกิดขึ้นด้วยโปรแกรม MATLAB/M-file โดยในการคำนวณ %THDv ได้คำนวณถึงอันดับที่ 100th และ 500th เพื่อเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มทั้ง 2 แบบ ตั้งแต่ค่ามอดูเลตชันอินเด็กซ์ (m_a) 0.1 – 1.0 โดยกราฟสรุปผล %THDv ที่ได้จากทดสอบโดยใช้เทคนิค PSPWM แสดงในรูปที่ 5.17 และกราฟสรุปผล %THDv ที่ได้จากทดสอบโดยใช้เทคนิค IPDPWM(rotate pulse) แสดงในรูปที่ 5.18 ส่วนในรูปที่ 5.19 จะเป็นกราฟแสดงความสัมพันธ์ระหว่าง Fundamental voltage กับ modulation index ที่เกิดจากการทดสอบเปลี่ยนค่าเดดไทม์ที่ 2.6 μs, 3.0 μs, 4.0 μs และ 5.0 μs ตามลำดับ



(ก) ผลของ %THDv ที่เกิดจากการปรับค่า t_d กรณีพิจารณาถึงฮาร์มอนิกส์อันดับที่ 100th

(ข) ผลของ %THDv ที่เกิดจากการปรับค่า t_d กรณีพิจารณาถึงฮาร์มอนิกส์อันดับที่ 500th

รูปที่ 5.17 กราฟสรุปผล %THDv ของแรงดัน v_{AB} ที่เกิดจากการปรับเปลี่ยนช่วงเวลาเดดไทม์ใน FCI ของเทคนิค PSPWM ค่าเดดไทม์ที่พิจารณาคือ 2.6 μs, 3.0 μs, 4.0 μs และ 5.0 μs

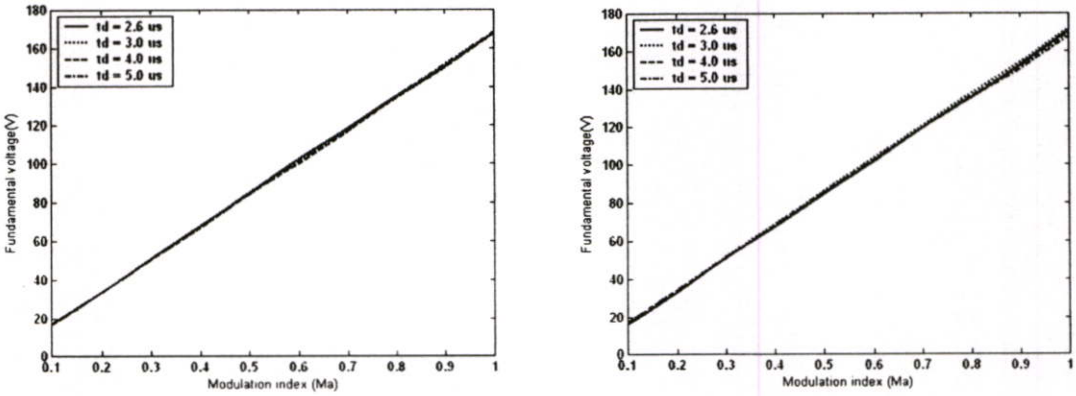


(ก) ผลของ %THDv ที่เกิดจากการปรับค่า t_d กรณีพิจารณาถึงฮาร์มอนิกส์อันดับที่ 100^{th}

(ข) ผลของ %THDv ที่เกิดจากการปรับค่า t_d กรณีพิจารณาถึงฮาร์มอนิกส์อันดับที่ 500^{th}

รูปที่ 5.18 กราฟสรุปผล %THDv ของแรงดัน v_{AB} ที่เกิดจากการปรับเปลี่ยนช่วงเวลาเดดไทม์ใน FCI ของเทคนิค IPDPWM(rotate pulse) ค่าเดดไทม์ที่พิจารณาคือ 2.6 μs, 3.0 μs, 4.0 μs และ 5.0 μs

จากผลการทดลองในรูปที่ 5.17 และรูปที่ 5.18 เห็นได้ว่าผลกระทบของ %THDv ของแรงดันขาออกระหว่างสาย (v_{AB}) ที่เกิดจากผลของ Dead-time ที่ทำการทดสอบด้วยเทคนิค PWM ทั้ง 2 แบบ มีผลกระทบที่น้อยมาก อันเนื่องมาจากรูปคลื่นของแรงดันด้านออกระหว่างสายของมัลติเลเวลอินเวอร์เตอร์มีรูปคลื่นของแรงดันทางด้านออกเป็นแบบขั้นบันไดทำให้ผลจากการเปลี่ยนแปลงค่าเดดไทม์ส่งผลเพียงเล็กน้อยต่อรูปคลื่นของแรงดันทางด้านขาออกระหว่างสาย



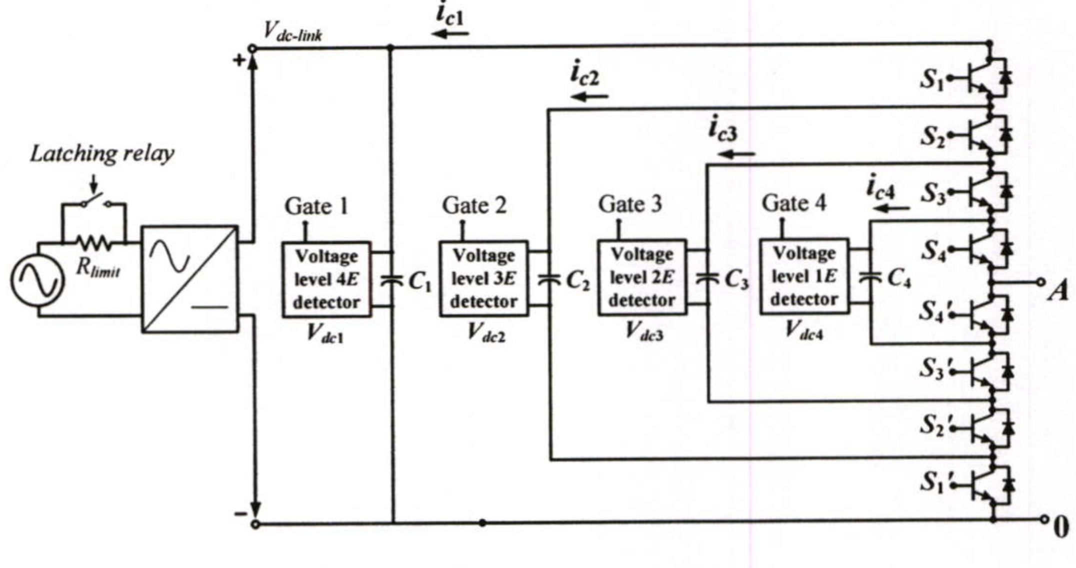
(ก) กรณีของเทคนิค PSPWM

(ข) กรณีของเทคนิค IPDPWM(rotate pulse)

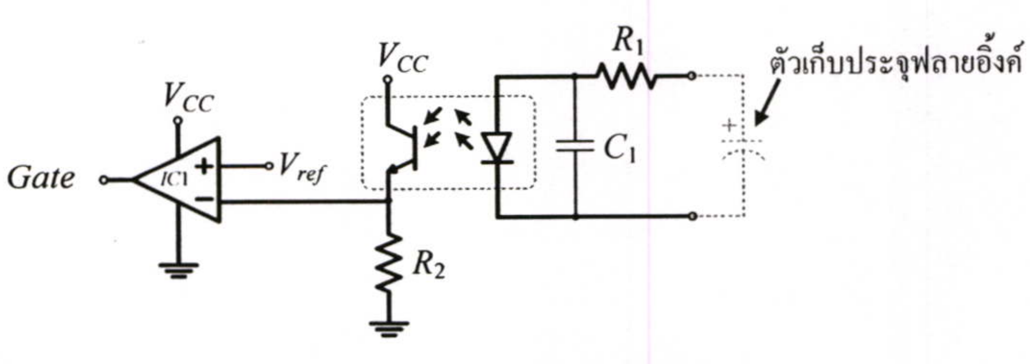
รูปที่ 5.19 กราฟแสดงความสัมพันธ์ระหว่าง Fundamental voltage กับ modulation index เมื่อทำการทดสอบโดยการเปลี่ยนแปลงค่าเดดไทม์ที่ 2.6 μs, 3.0 μs, 4.0 μs และ 5.0 μs

5.6 การทดลองและผลการทดลองในส่วนของการรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI

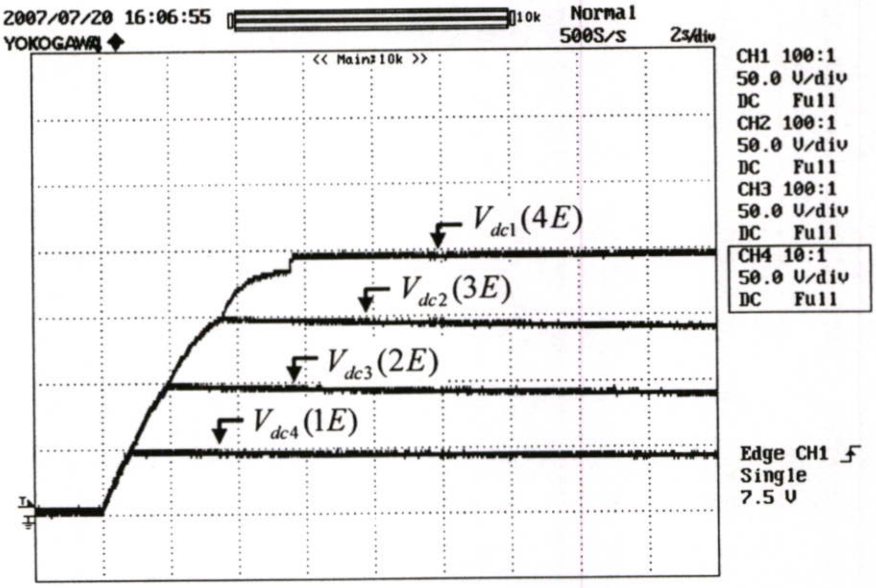
การทดลองเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ในส่วนของการรักษาสมดุลของพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ใน FCI ซึ่งวงจรที่ใช้ในการทดลองแสดงในรูปที่ 5.20 โดยได้เพิ่มวงจรตรวจจับระดับแรงดัน (Voltage detector) ตามรูปที่ 5.21 เพื่อตรวจจับระดับแรงดันของตัวเก็บประจุแบบฟลายอิ้งค์ ขณะทำการ Start-up ระดับแรงดันให้กับตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว (บทที่ 4) ซึ่งในรูปที่ 5.22 จะเป็นผลของระดับแรงดันที่ตัวเก็บประจุแต่ละตัวของ leg A ใน FCI ที่เกิดจากเทคนิคการ Start-up ซึ่งเทคนิคดังกล่าวจะใช้เวลาประมาณ 3 วินาที (เป็นผลมาจากการเลือกค่า R_{limit} กระแสขณะอัดประจุ (Start-up) ไว้ที่ 100 Ω ทางด้านแหล่งจ่าย AC ดูรูปที่ 5.20 ประกอบ (ค่า R_{limit} ดังกล่าวสามารถเปลี่ยนแปลงได้ตามความเหมาะสม) จึงได้ระดับแรงดันที่ตัวเก็บประจุแต่ละตัวตามต้องการ (V_{C1}=200V (dc-link), V_{C2}=150V, V_{C3}=100V และ V_{C4}=50V)



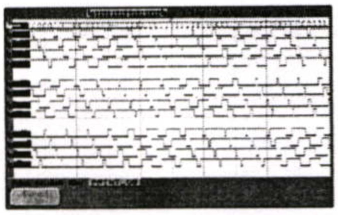
รูปที่ 5.20 วงจรกำลัง 1 กิ่ง ที่ใช้ทดลองสมดุลพลังงานของตัวเก็บประจุใน FCI



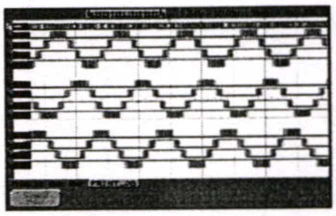
รูปที่ 5.21 วงจร 1 โมดูลของวงจรตรวจจับระดับแรงดัน (Voltage detector) ที่ตัวเก็บประจุใน FCI



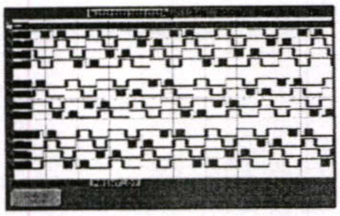
รูปที่ 5.22 ผลของระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัวของ leg A ที่เกิดจากเทคนิคการ Start-up



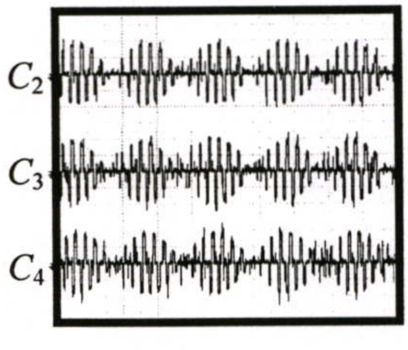
(ก) สัญญาณเกตของเทคนิคPSPWM



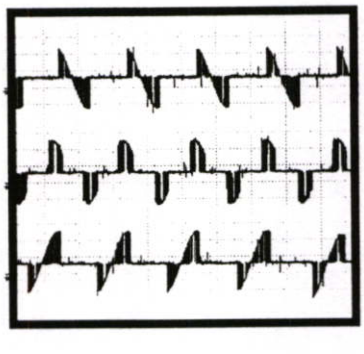
(ข) สัญญาณเกตของเทคนิคIPDPWM



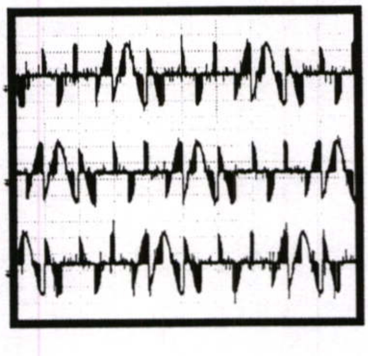
(ค) สัญญาณเกตของเทคนิค IPDPWM (rotate pulse)



(ง) กระแส อัด-คายประจุ ที่ตัวเก็บประจุแบบฟลายอิ้งค์ ของเทคนิค PSPWM

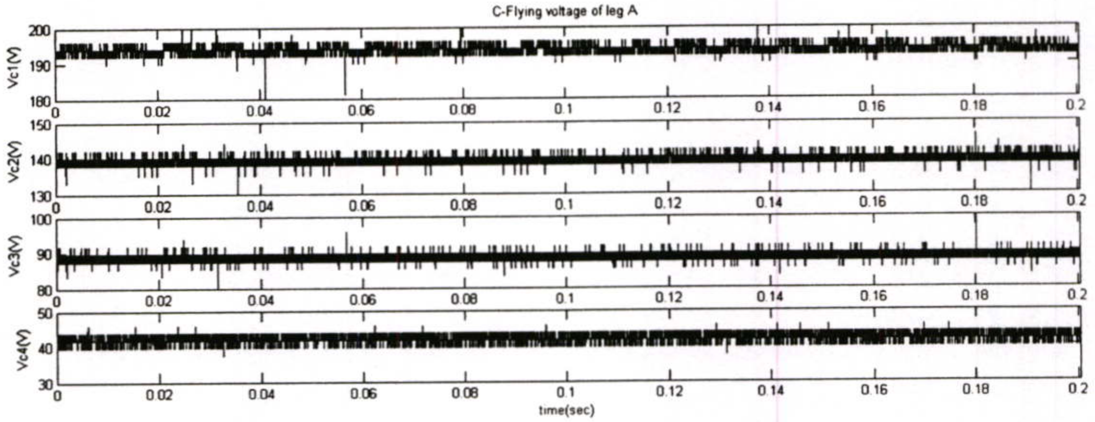


(จ) กระแส อัด-คายประจุ ที่ตัวเก็บประจุแบบฟลายอิ้งค์ ของเทคนิค IPDPWM

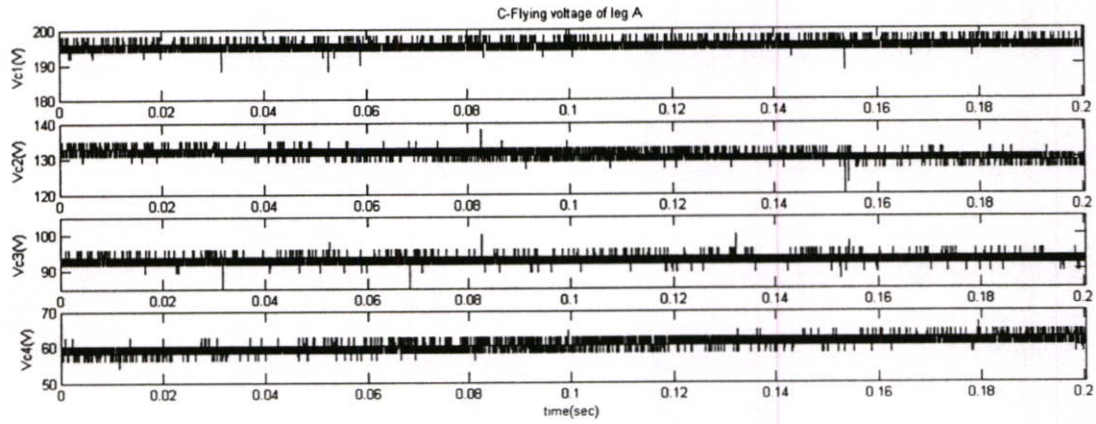


(ฉ) กระแส อัด-คายประจุ ที่ตัวเก็บประจุแบบฟลายอิ้งค์ ของเทคนิค IPDPWM(rotate pulse)

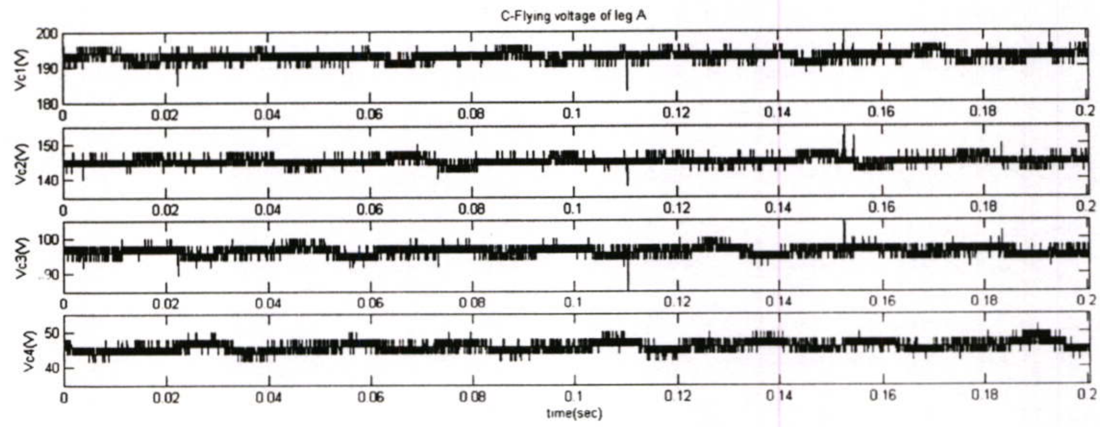
รูปที่ 5.23 สัญญาณเกตและกระแสการอัด-คายประจุที่ตัวเก็บประจุแบบฟลายอิ้งค์



(ก) กรณีทดสอบด้วยเทคนิค PSPWM (20ms/div)



(ข) กรณีทดสอบด้วยเทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse (20ms/div)



(ค) กรณีทดสอบด้วยเทคนิค IPDPWMที่มีการปรับปรุงด้วยวิธี Rotate pulse (20ms/div)

รูปที่ 5.24 ระดับแรงดันที่ตัวเก็บประจุแบบฟลายอิ้งค์ของ leg A แต่ละตัวในช่วง 10 cycles

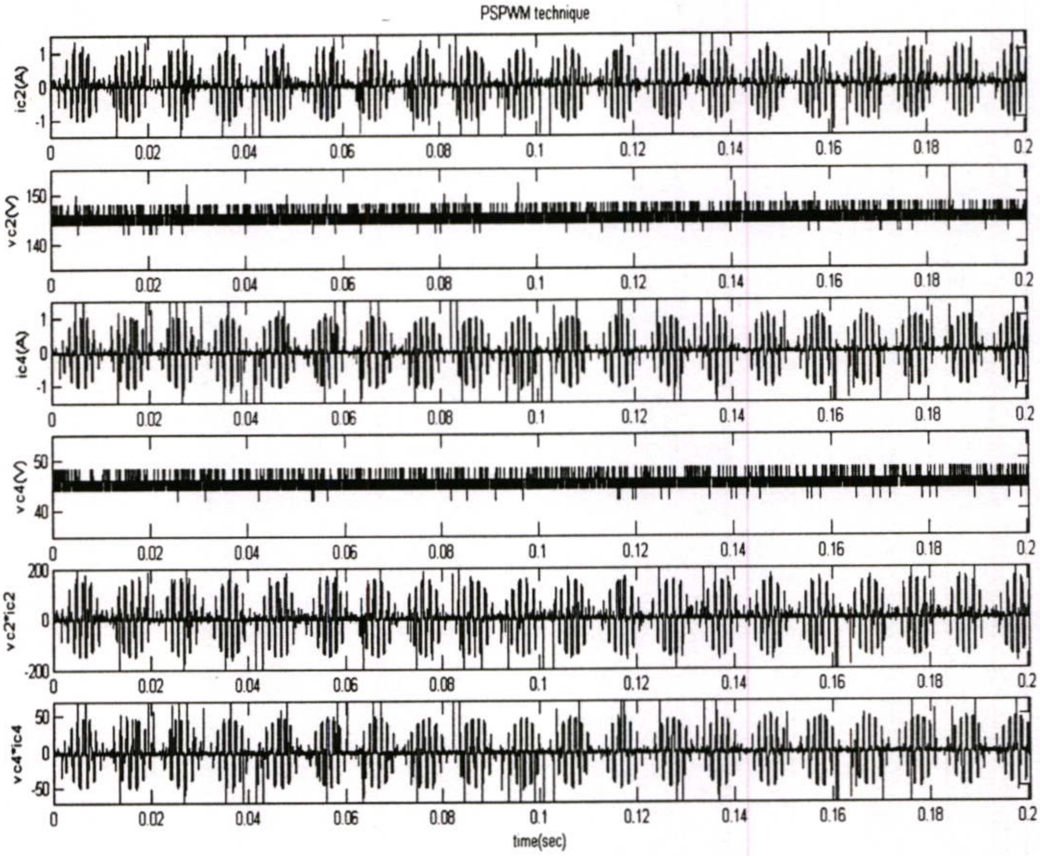
จากรูปที่ 5.23 แสดงกระแสการอัด-คายประจุของตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว และรูปที่ 5.24 แสดงระดับแรงดันของตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว ซึ่งจะใช้ผลการทดลองทั้ง 2 นี้ในการพิจารณาด้านการรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ได้ โดยจะขอแยกพิจารณาในแต่ละเทคนิคดังนี้

ในรูปที่ 5.23 (ก) เนื่องด้วยลักษณะของสัญญาณเกตที่ได้จากการใช้เทคนิค PSPWM จะเห็นได้ว่าสัญญาณเกตที่ได้ในแต่ละสัญญาณนั้น มีความสม่ำเสมอทำให้การทำงานของสวิตช์กำลังมีการทำงานที่สม่ำเสมอตามไปด้วย ดังนั้นจึงทำให้ผลของกระแสเฉลี่ย (กระแสอัด-คายประจุของตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว) ที่ได้ในรูปที่ 5.23 (ง) มีแนวโน้มของกระแสเฉลี่ยเป็นศูนย์ จึงเป็นผลให้สามารถรักษาระดับแรงดันที่ตัวเก็บประจุแต่ละตัวไว้ได้ ดังแสดงไว้ในรูปที่ 5.24 (ก)

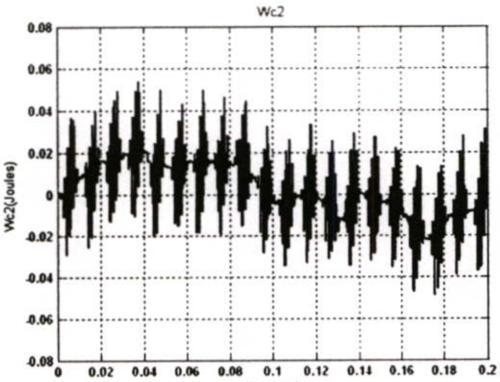
ในรูปที่ 5.23 (ข) เนื่องด้วยลักษณะของสัญญาณเกตที่ได้จากการใช้เทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse จะเห็นได้ว่าสัญญาณเกตที่ได้ในแต่ละสัญญาณไม่มีความสม่ำเสมอ (“ON” และ “OFF” เฉลี่ยไม่เท่ากัน) ทำให้การทำงานของสวิตช์กำลัง มีการทำงานที่ไม่สม่ำเสมอตามไปด้วย จึงทำให้ผลของกระแสเฉลี่ย (กระแสอัด-คายประจุที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว) ที่ได้ในรูปที่ 5.23 (จ) มีแนวโน้มของกระแสเฉลี่ยไม่เป็นศูนย์ (ที่ตัวเก็บประจุ C_2 และ C_4) ศูนย์ จึงเป็นผลให้ไม่สามารถรักษาระดับแรงดันที่ ตัวเก็บประจุแต่ละตัวไว้ได้ ดังแสดงไว้ในรูปที่ 5.24 (ข) และสังเกตได้ว่าที่ตัวเก็บประจุ C_2 (V_{C2} ลดลง) และ C_4 (V_{C4} เพิ่มขึ้น)

ในรูปที่ 5.23 (ค) เนื่องด้วยลักษณะของสัญญาณเกตที่ได้จากการใช้เทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse จะเห็นได้ว่าสัญญาณเกตที่ได้ในแต่ละสัญญาณ มีความสม่ำเสมอกันในช่วง 4 cycles ทำให้การทำงานของสวิตช์กำลังเฉลี่ยมีการทำงานที่สม่ำเสมอกันในช่วง 4 cycles ตามไปด้วย จึงทำให้ผลของกระแสเฉลี่ย (กระแสอัด-คายประจุที่ตัวเก็บประจุแบบฟลายอิ้งค์แต่ละตัว) ที่ได้ในรูปที่ 5.23 (ฉ) มีแนวโน้มของกระแสเฉลี่ยเป็นศูนย์ (ในช่วง 4 cycles) จึงเป็นผลให้สามารถรักษาระดับแรงดันที่ตัวเก็บประจุในแต่ละตัวไว้ได้ ซึ่งได้แสดงไว้ในรูปที่ 5.24 (ค) โดยที่ในรูปนี้สังเกตได้ว่าที่ระดับแรงดันที่ตัวเก็บประจุแต่ละตัว มีการกระเพื่อมของระดับแรงดันในช่วง 4 cycles

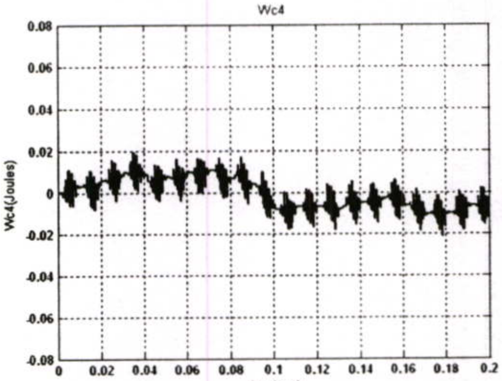
จากผลการทดลองในรูปที่ 5.23 และรูปที่ 5.24 การเปลี่ยนแปลงในด้านการสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ จะเกิดขึ้นกับตัวเก็บประจุ C_2 และตัวเก็บประจุ C_4 มากที่สุด ดังนั้นในรูปที่ 5.25 – รูปที่ 5.27 แสดงการวิเคราะห์ด้านการเปลี่ยนแปลงพลังงานของตัวเก็บประจุทั้ง 2 ตัว โดยพิจารณาค่าของกระแสและแรงดันของตัวเก็บประจุที่เกิดจากการทดสอบด้วยเทคนิคการพีดับบลิวเอ็มในแต่ละชนิดมาคำนวณ (ในการคำนวณค่าการเปลี่ยนแปลงของพลังงานไฟฟ้าที่ตัวเก็บประจุนั้นเกิดความคลาดเคลื่อนในส่วนของกระแสไปบางส่วน เนื่องจากมีกระแส (อัด-คายประจุ) บางส่วนไหลผ่านตัว $R_{discharging}$ ที่ต่อคร่อมกับตัวเก็บประจุแต่ละตัวใน FCI ขณะทำการทดลอง)



(ก) กรณีทดสอบด้วยเทคนิค PSPWM (20ms/div)

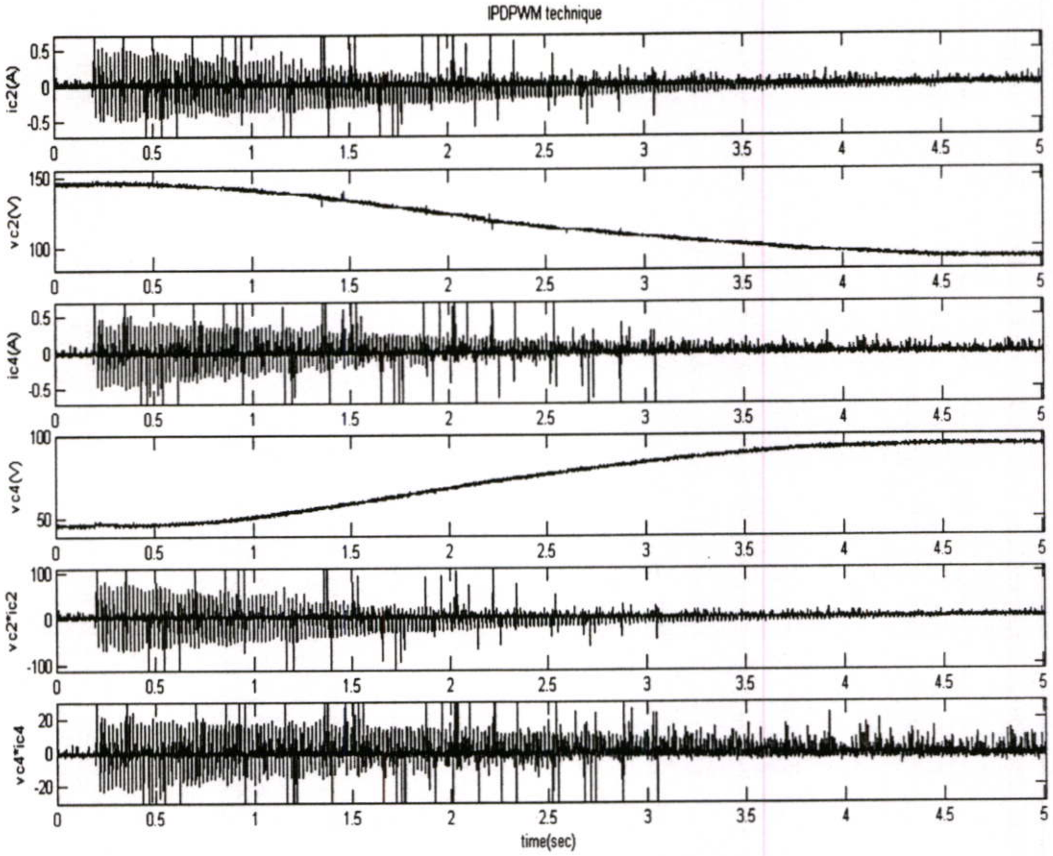


(ข) การเปลี่ยนแปลงพลังงาน W_{C_2} (Joules) ของตัว C_2

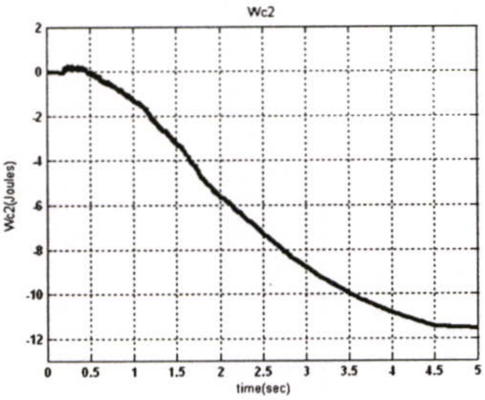


(ค) การเปลี่ยนแปลงพลังงาน W_{C_4} (Joules) ของตัว C_4

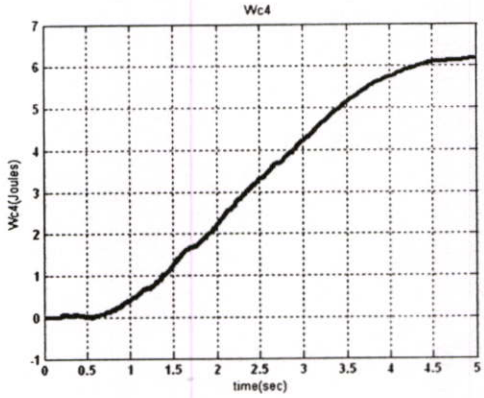
รูปที่ 5.25 การเปลี่ยนแปลงระดับพลังงานที่เกิดขึ้นที่ตัว C_2 และ C_4 กรณีทดสอบด้วยเทคนิค PSPWM (500ms/div) ที่สภาวะ RL-load (m_a = 1.0)



(ก) กรณีทดสอบด้วยเทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse (500ms/div)

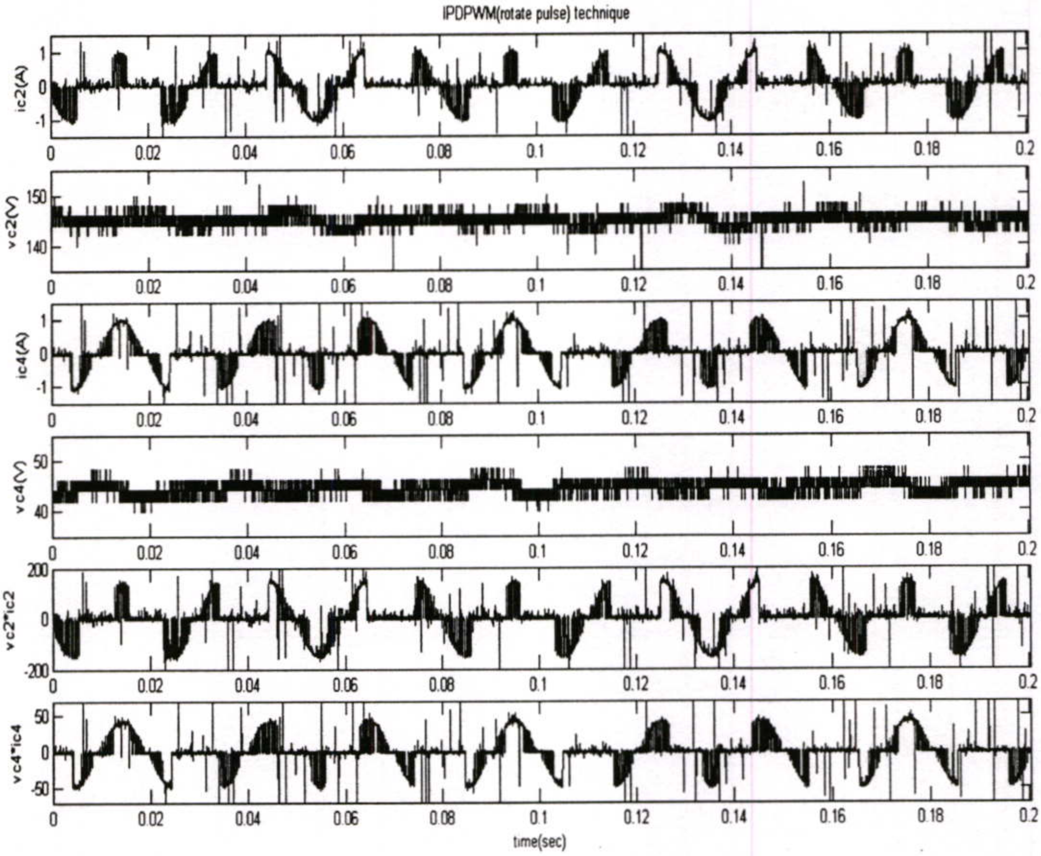


(ข) การเปลี่ยนแปลงพลังงาน W_{C_2} (Joules) ของตัว C_2

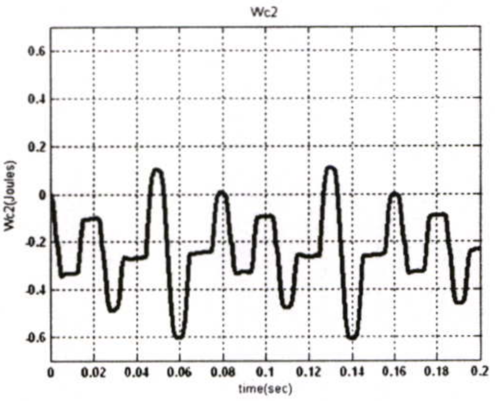


(ค) การเปลี่ยนแปลงพลังงาน W_{C_4} (Joules) ของตัว C_4

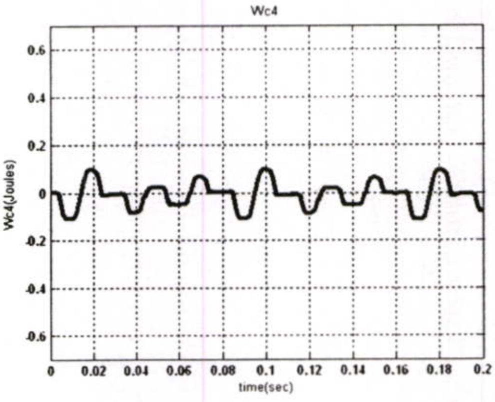
รูปที่ 5.26 การเปลี่ยนแปลงระดับพลังงานที่เกิดขึ้นที่ตัว C_2 และ C_4 กรณีทดสอบด้วยเทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse ที่สภาวะ RL-load (m_a = 0.5)



(ก) กรณีทดสอบด้วยเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse (20ms/div)

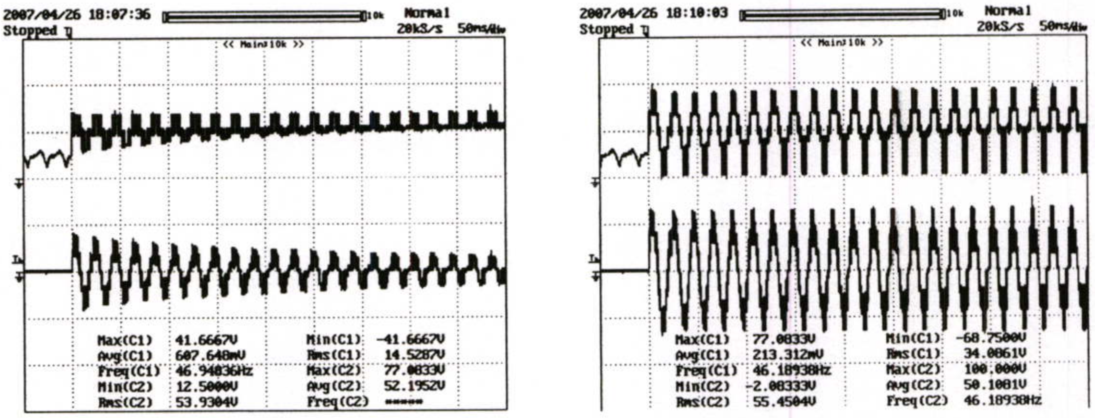


(ข) การเปลี่ยนแปลงพลังงาน W_{C_2} (Joules) ของตัว C_2



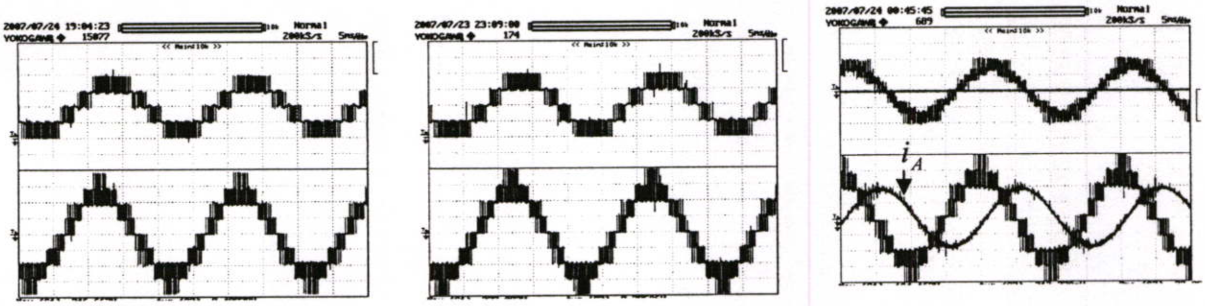
(ค) การเปลี่ยนแปลงพลังงาน W_{C_4} (Joules) ของตัว C_4

รูปที่ 5.27 การเปลี่ยนแปลงระดับพลังงานที่เกิดขึ้นที่ตัว C_2 และ C_4 กรณีทดสอบด้วยเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse ที่สภาวะ RL-load (m_a = 1.0)



(ก) ที่ค่า $m_a = 0.5$ (ข) ที่ค่า $m_a = 0.8$

รูปที่ 5.28 รูปคลื่นของแรงดันด้านออกที่ได้จากเทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse โดยทดสอบจ่ายโหลดประเภท R-load

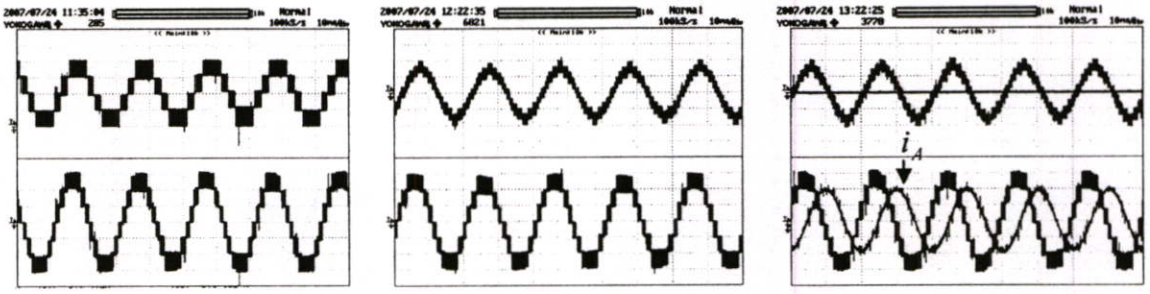


(ก) กรณีทดสอบกับ No-load
v_{A0} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div

(ข) กรณีทดสอบกับ R-load
v_{A0} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div

(ค) กรณีทดสอบกับ RL-load
v_{A0} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div
i_A (เส้นล่าง) 0.5A/div

รูปที่ 5.29 ผลของสัญญาณทางด้านขาออก ที่ได้จากการทดสอบจ่ายโหลด 3 ลักษณะของเทคนิค PSPWM ที่ $m_a = 0.8$



(ก) กรณีทดสอบกับNo-load v_{A0} (เส้นบน) 50V/div v_{AB} (เส้นล่าง) 50V/div

(ข) กรณีทดสอบกับ R-load v_{AN} (เส้นบน) 50V/div v_{AB} (เส้นล่าง) 50V/div

(ค) กรณีทดสอบกับ RL-load v_{AN} (เส้นบน) 50V/div v_{AB} (เส้นล่าง) 50V/div i_A (เส้นล่าง) 0.5A/div

รูปที่ 5.30 ผลของสัญญาณทางด้านขาออก ที่ได้จากการทดสอบจ่ายโหลด 3 ลักษณะ ของเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse ทำงานที่ $m_a = 0.8$

ในรูปที่ 5.25 แสดงแนวโน้มการเปลี่ยนแปลงพลังที่ตัวเก็บประจุ C_2 และ C_4 ที่เกิดจากการทดสอบด้วยเทคนิค PSPWM ที่สภาวะโหลด RL-load โดยในรูปที่ 5.25 (ก) เป็นกระแสและแรงดันที่ได้จากตัวเก็บประจุทั้ง 2 ตัว ส่วนรูปที่ 5.25 (ข) และรูปที่ 5.25(ค) เป็นแนวโน้มการเปลี่ยนแปลงของพลังงานที่ตัวเก็บประจุทั้ง 2 ตัว จะเห็นได้ว่าระดับพลังงานไฟฟ้าที่ตัวเก็บประจุทั้ง 2 ตัว เกิดการเปลี่ยนแปลงน้อยมาก อันเนื่องมาจากเทคนิค PSPWM มีคุณสมบัติทำให้สวิตช์กำลังเฉลี่ยแต่ละตัวใน FCI ทำงานสม่ำเสมอ ส่งผลให้สามารถรักษาระดับแรงดันและสมดุลกระแส (อัด-คายประจุ) ที่ตัวเก็บประจุได้เป็นอย่างดี

ในรูปที่ 5.26 แสดงแนวโน้มการเปลี่ยนแปลงพลังที่ตัวเก็บประจุ C_2 และ C_4 ที่เกิดจากการทดสอบด้วยเทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse ที่สภาวะโหลด RL-load โดยในรูปที่ 5.26 (ก) เป็นกระแสและแรงดันที่ได้จากตัวเก็บประจุทั้ง 2 ตัว ส่วนในรูปที่ 5.26 (ข) แสดงการเปลี่ยนแปลงของระดับพลังงานไฟฟ้าที่ตัวเก็บประจุ C_2 จะเห็นได้ว่ามีค่าเฉลี่ยเป็น (-) ในช่วงที่เวลาเพิ่มขึ้น ทำให้ระดับแรงดันที่ตัวเก็บประจุ C_2 ลดระดับลง และในรูปที่ 5.26 (ค) แสดงการเปลี่ยนแปลงของระดับพลังงานไฟฟ้าที่ตัวเก็บประจุ C_4 จะเห็นได้ว่ามีค่าเฉลี่ยเป็น (+) ในช่วงที่เวลาเพิ่มขึ้น ทำให้ระดับแรงดันที่ตัวเก็บประจุ C_4 เพิ่มสูงขึ้น

ในรูปที่ 5.27 แสดงแนวโน้มการเปลี่ยนแปลงพลังที่ตัวเก็บประจุ C_2 และ C_4 ที่เกิดจากการทดสอบด้วยเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse ที่สภาวะโหลด RL-load โดยในรูปที่ 5.27 (ก) เป็นกระแสและแรงดันที่ได้จากตัวเก็บประจุทั้ง 2 ตัว ส่วนรูปที่ 5.27 (ข) และรูปที่ 5.27(ค) แสดงการเปลี่ยนแปลงของระดับพลังงานไฟฟ้าที่ตัวเก็บประจุทั้ง 2 ตัว จะเห็นได้ว่าระดับพลังงานไฟฟ้าเกิดการเปลี่ยนแปลงในช่วง 4 cycles อย่างเห็นได้ชัดและเป็นข้อยืนยันได้ว่าเทคนิค

ดังกล่าวสามารถสมดุลพลังงานไฟฟ้าไว้ได้ในช่วง 4 cycles แต่ระดับแรงดันไฟฟ้าที่ตัวเก็บประจุทั้ง 2 ตัว ก็จะเกิดการกระเพื่อมในช่วง 4 cycles ตามไปด้วย

ส่วนรูปที่ 5.29 และรูปที่ 5.30 เป็นผลการทดลองในการทดสอบกรณีจ่ายโหลด 3 กรณี คือ No-load, R-load และ RL-load เพื่อทดสอบสมรรถนะการทำงานของเทคนิคการ PWM ทั้ง 2 ชนิด ตามวัตถุประสงค์ของวิทยานิพนธ์

ในรูปที่ 5.28 แสดงผลของแรงดันด้านขาออกสภาวะจ่ายโหลดประเภท R-load ที่เกิดจากการทดสอบด้วยเทคนิค IPDPWM ที่ไม่มีการปรับปรุงด้วยวิธี Rotate pulse เห็นได้ว่าเทคนิคดังกล่าวไม่สามารถรักษารูปร่างสัญญาณทางด้านขาออกไว้ได้ เนื่องจากเทคนิคดังกล่าวไม่สามารถรักษาสมดุลพลังงานที่ตัวเก็บประจุไว้ได้ และข้อยืนยันได้ว่าเทคนิคดังกล่าวไม่สามารถนำไปใช้งานได้

ในรูปที่ 5.29 แสดงผลของแรงดันด้านขาออกสภาวะจ่ายโหลด 3 ลักษณะ ที่เกิดจากการทดสอบด้วยเทคนิค PSPWM เห็นได้ว่าเทคนิคดังกล่าวมีความสามารถในด้านการรักษาสมดุลพลังงานที่ตัวเก็บประจุได้เป็นอย่างดี ทำให้ส่งผลถึงประสิทธิภาพในการนำไปใช้งานและจ่ายโหลดทำได้ดีตามไปด้วย

ในรูปที่ 5.30 แสดงผลของแรงดันด้านขาออกสภาวะจ่ายโหลด 3 ลักษณะ ที่เกิดจากการทดสอบด้วยเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse เห็นได้ว่าเทคนิคดังกล่าวสามารถนำไปใช้งานได้ แต่จะเกิดการกระเพื่อมของรูปสัญญาณทางด้านขาออกในช่วง 4 cycles เนื่องจากความสามารถในด้านการรักษาสมดุลพลังงานที่ตัวเก็บประจุของเทคนิคนี้สามารถทำได้ในช่วง 4 cycles จึงส่งผลให้ระดับแรงดันที่ตัวเก็บประจุแต่ละตัวเกิดการกระเพื่อมในช่วง 4 cycles ซึ่งเป็นสาเหตุหลักในกระเพื่อมของรูปสัญญาณทางด้านขาออก ซึ่งปัญหาดังกล่าวยังต้องการแนวทางในการแก้ไขและปรับปรุงในการศึกษาต่อไปในอนาคต

จากผลการทดลองทั้งหมดที่ได้จากการทดสอบด้านการรักษาสมดุลพลังงานที่ตัวเก็บประจุใน FCI สามารถสรุปได้ว่าเทคนิค PSPWM สามารถรักษาสมดุลพลังงานที่ตัวเก็บประจุได้ดีที่สุด

บทที่ 6
สรุปผลการวิจัยและข้อเสนอแนะ

6.1 สรุปผลการวิจัย

เทคนิคการสร้างสัญญาณ PWM ที่ใช้ศึกษาเปรียบเทียบในวิทยานิพนธ์ เป็นเทคนิคการสร้างสัญญาณ PWM แบบมัลติเลเวลไซนูซอยดอลพัลส์วิดมอดดูเลตชัน ซึ่งเป็นเทคนิคที่นิยมนำมาสร้างสัญญาณ PWM กันโดยทั่วไป ซึ่งใช้งานในวงจรขับแบบ 2 ระดับ โดยที่เทคนิคดังกล่าวก็สามารถนำมาประยุกต์ใช้งานในการสร้างสัญญาณ PWM ให้กับมัลติเลเวลอินเวอร์เตอร์ได้ โดยจำนวนสัญญาณแคเรียร์จะขึ้นอยู่กับระดับของแรงดันที่ต้องการสร้าง $(m-1)$ กล่าวคือถ้าระดับของแรงดันที่ต้องการสร้างมีค่ามากจำนวนของสัญญาณแคเรียร์ก็จะมีค่ามาก แต่ถ้าระดับของแรงดันที่ต้องการสร้างมีค่าน้อยจำนวนของสัญญาณแคเรียร์ก็จะมีค่าน้อยเช่นเดียวกัน ซึ่งในวิทยานิพนธ์นี้เลือกศึกษาวงจรกำลังของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์แบบ 3 เฟส ทำให้จำนวนสวิตช์กำลังมีมากถึง 24 ตัว จึงเป็นอุปสรรคในการที่จะหาวิธีการควบคุมการทำงานของสัญญาณเกตทั้ง 24 สัญญาณ ดังนั้นในวิทยานิพนธ์ฉบับนี้ได้นำ FPGA มาประยุกต์ใช้งานในการควบคุมการทำงานของสวิตช์กำลังทั้ง 24 สัญญาณ โดยการออกแบบและโปรแกรม FPGA จะกระทำบนโปรแกรม QuartusII 5.1 Web Edition ซึ่งการสร้างบล็อกไดอะแกรมจาก MEGA Function ที่อยู่ในโปรแกรม QuartusII 5.1 Web Edition ทำให้สามารถลดข้อผิดพลาดในการออกแบบ และไม่ต้องเรียนรู้ภาษา VHDL โดยในการสร้างวงจรมอดดูเลตสัญญาณเกตสำหรับ FCI ด้วย FPGA จะประกอบไปด้วยวงจรถอดรหัส (Decoder) ,หน่วยเก็บข้อมูลชั่วคราว (Latch) ,วงจรนับ (Counter) ,วงจรเปรียบเทียบ (Comparator) ,วงจรสร้างความถี่ (Clock signal) และวงจรประวิงเวลา (Dead-time) ซึ่งวงจรที่ได้ออกแบบสามารถเชื่อมต่อกับระบบไมโครโปรเซสเซอร์ผ่านทางบัสข้อมูล 12 บิต และบัสแอสเดรส 3 บิต โดยสามารถควบคุมการ เปิด-ปิด สัญญาณเกตได้โดยผ่านทางไมโครโปรเซสเซอร์ สัญญาณเกตที่ทำการสร้างและศึกษาในวิทยานิพนธ์นี้มีด้วยกัน 2 แบบ คือ เทคนิคการพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme ; PSPWM) [7] และเทคนิคการพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับแบบเฟสตรงกันทุกระดับ (Level-shifted multi-carrier PWM scheme by in-phase disposition PWM ; IPDPWM) โดยที่วัตถุประสงค์ของวิทยานิพนธ์นี้ คือ เพื่อทำการเปรียบเทียบสมรรถนะของเทคนิคการพีดับบลิวเอ็มทั้ง 2 แบบสำหรับใช้งานในอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ เพื่อหาวิธีมอดดูเลตที่เหมาะสมต่อการประยุกต์ใช้งานในระบบ AC Drive โดยหัวข้อที่ใช้ในการศึกษาและเปรียบเทียบเทคนิคการพีดับบลิวเอ็มทั้ง 2 แบบ คือ คุณภาพของแรงดันด้านขาออกที่ได้ ความสามารถในการรักษาสมดุล

พลังงานที่ตัวเก็บประจุ และผลของเดดไทม์ที่มีผลต่อความเพี้ยนของแรงดันด้านขาออก ซึ่งผลการทดลองจากหัวข้อดังกล่าวสามารถสรุปผลการทดลองได้ดังตารางที่ 6.1

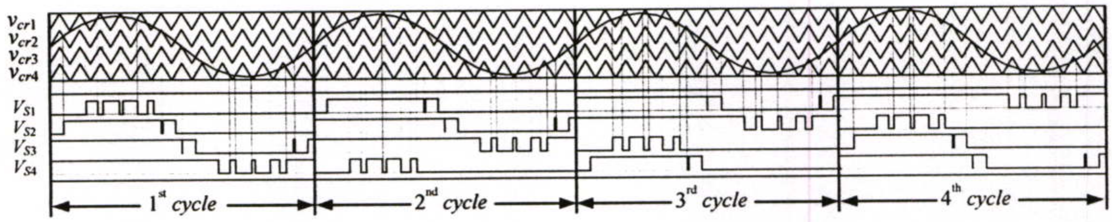
ตารางที่ 6.1 ตารางสรุปและเปรียบเทียบผลการทดลอง

Comparison		**PSPWM**	**IPDPWM**	**IPDPWM (rotate pulse)**
Device switching frequency		สวิตช์กำลังแต่ละตัวทำงานสม่ำเสมอ	สวิตช์กำลังแต่ละตัวทำงานไม่สม่ำเสมอ	สวิตช์กำลังแต่ละตัวทำงานสม่ำเสมอ (ในช่วง 4 cycles)
Balancing of capacitor voltage		สามารถรักษาสมดุลพลังที่ตัวเก็บประจุแบบฟลายอิ้งค์ไว้ได้	ไม่สามารถรักษาสมดุลพลังที่ตัวเก็บประจุแบบฟลายอิ้งค์ไว้ได้	สามารถรักษาสมดุลพลังที่ตัวเก็บประจุแบบฟลายอิ้งค์ไว้ได้ (ในช่วง 4 cycles)
THD	$0.6 \le m_a \le 1$	ดี	ดีที่สุด	ดีที่สุด
of	$m_a = 0.6$	ดีที่สุด	ดีที่สุด	ดีที่สุด
v_{AB}	$0.1 \le m_a \le 0.6$	ปานกลาง	ดีที่สุด	ดีที่สุด
Dead-time on THDv		เพิ่มเล็กน้อย	เพิ่มเล็กน้อย	เพิ่มเล็กน้อย

จากตารางที่ 6.1 เมื่อพิจารณาด้านการรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ (Balancing of capacitor voltage) จะเห็นได้ว่าเทคนิค PSPWM ดีที่สุด แต่ในด้านคุณภาพของแรงดันทางด้านขาออกค่า THDv จะมีค่าต่ำที่ช่วงค่ามอดดูเลตชันอินเด็กซ์สูงๆ แต่ในช่วงค่าการมอดดูเลตชันอินเด็กซ์ (m_a) ต่ำ ๆ THDv จะมีค่าสูง หากพิจารณาในด้านคุณภาพของแรงดันทางด้านขาออก (Line to line voltage THDv) เห็นได้ว่าเทคนิค IPDPWM มีค่าของ THDv ที่ต่ำที่สุด ตลอดช่วงของค่าการมอดดูเลตชันอินเด็กซ์ แต่ไม่สามารถรักษาสมดุลพลังที่ตัวเก็บประจุแบบฟลายอิ้งค์ไว้ได้ เนื่องจากเทคนิค IPDPWM มีรูปแบบของสัญญาณเกตที่ผลส่งต่อการทำงานของสวิตช์กำลังเฉลี่ยในแต่ละตัวทำงานไม่สม่ำเสมอ ส่งผลให้การรักษาสมดุลพลังงานที่ตัวเก็บประจุเสียไป ซึ่งปัญหานี้สามารถแก้ไขได้ โดยการนำเทคนิคการ Rotate pulse ของสัญญาณเกตเข้ามาปรับปรุง

จากทั้งหมดที่กล่าวมาจึงสรุปได้ว่าเทคนิคการพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนระดับแบบอินเฟสกัน (IPDPWM) เหมาะแก่การนำไปใช้งานมากที่สุด แต่ต้องแก้ไขเรื่อง การรักษาสมดุลพลังงานที่ตัวเก็บประจุแบบฟลายอิ้งค์ ซึ่งสามารถแก้ไขได้โดยใช้แนวทางการปรับปรุงที่รูปแบบการสวิตช์ ซึ่งในวิทยานิพนธ์ฉบับนี้ได้นำวิธี Rotate pulse ในช่วงทุกๆ 1 cycle ของสัญญาณไซน์ ดังแสดงในรูปที่ 6.1 ถึงแม้วิธีการดังกล่าวสามารถนำมาใช้แก้ปัญหาด้านการทำงานของสวิตช์กำลัง

เฉลี่ยแต่ละตัวให้ทำงานสม่ำเสมอกันได้ แต่ก็ยังไม่สมบูรณ์ เนื่องจากวิธีดังกล่าวมีลักษณะการ Rotate pulse ในทุกช่วง 1 cycle ทำให้การทำงานโดยเฉลี่ยของสวิตช์กำลังแต่ละตัว ทำงานสม่ำเสมอกันในช่วง 4 cycles เป็นผลทำให้การรักษาสมดุลพลังงานที่ตัวเก็บประจุแต่ละตัวใน FCI เฉลี่ยอยู่ที่ 4 cycles และทำให้ระดับแรงดันที่ตัวเก็บประจุเกิดการกระเพื่อมตามไปด้วย เมื่อนำมาทดสอบโดยการจ่ายโหลด จึงเป็นผลทำให้รูปคลื่นของแรงดันทางด้านขาออกของอินเวอร์เตอร์ที่สร้างขึ้น เกิดการกระเพื่อมในแต่ละระดับชั้นในช่วง 4 cycles ตามไปด้วย ซึ่งปัญหาดังกล่าวยังต้องการแนวทางในการแก้ไขและปรับปรุง เพื่อสามารถนำอินเวอร์เตอร์ชนิดฟลายอิ้งคาปาซิเตอร์ไปประยุกต์ใช้งานด้าน AC Drive ได้อย่างมีประสิทธิภาพสูงสุดในอนาคต

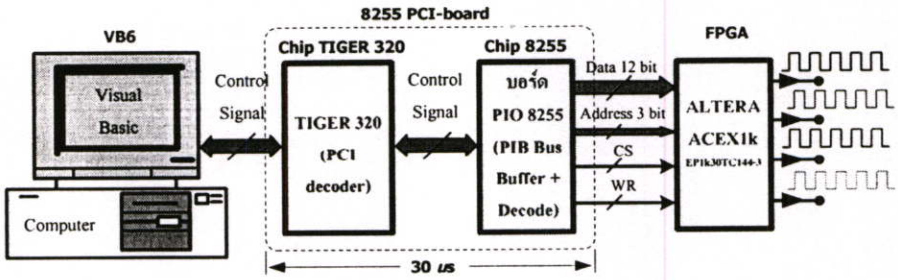


รูปที่ 6.1 ตัวอย่างการสร้างสัญญาณเกตที่ได้จากเทคนิค IPDPWM ที่มีการปรับปรุงด้วยวิธี Rotate pulse

6.2 อุปสรรคและข้อเสนอแนะ

6.2.1 อุปสรรค

ในการทดสอบการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิ้งคาปาซิเตอร์ ในวิทยานิพนธ์ได้ใช้โปรแกรม VB6 ในการสร้างสัญญาณอ้างอิงสัญญาณไซน์ (สะดวกในการกำหนดอัตราการมอดดูเลต) โดยต่อขยาย I/O ด้วย 8255 ผ่านทาง PCI-Bus เพื่อเพิ่ม Data Bus เป็น 12 bit แล้วจึงส่งข้อมูลให้กับ FPGA ทำให้เกิดอุปสรรคด้วยกัน 2 ข้อคือ



รูปที่ 6.2 ปัญหาด้าน Delay time ที่เกิดจาก 8255 PCI-board

1. จากการทดลองแซมปลิ้งสัญญาณออกทาง 8255 PCI-board เกิด Delay time ในช่วงการถอดรหัส ประมาณ 30 μs ปัญหาดังกล่าวเกิดจากตัวบอร์ด ซึ่งไม่สามารถปรับปรุงได้

2. ตัวโปรแกรม VB6 เมื่อเขียนโปรแกรมการคำนวณค่าในการแซมปลิ้งสัญญาณไซน์ที่ 100 μs และตอบสนองผู้ใช้ (ตัว Curser สั่งงาน) ด้วยคำสั่ง doevents ทำให้บางครั้งเกิด Interrupt และหลุดออกจากลูปของโปรแกรมโดยปริยาย

6.2.2 แนวทางแก้ไข

1. ย้ายข้อมูลที่ Sampling ในการสร้างสัญญาณไซน์ ทั้งหมดสร้างเป็น Look-up table บน FPGA (การออกแบบสร้าง look-up table บน FPGA ใช้เวลามาก) เพื่อตัดปัญหาด้าน Delay time ที่เกิดจากการส่งข้อมูลการแซมปลิ้งสัญญาณไซน์จากไมโครโปรเซสเซอร์ไปยัง FPGA

2. เลือกใช้อุปกรณ์ประมวลเป็น DSP (Digital signal processing) ซึ่งเป็นตัวประมวลผลสัญญาณดิจิตอล ที่มีความเร็วในการประมวลผลข้อมูลทางคณิตศาสตร์สูง เพื่อใช้ในการติดต่อกับ FPGA โดยตรง

6.2.3 แนวทางการศึกษาในอนาคต

กรณีที่ใช้อุปกรณ์ประมวล DSP (Digital signal processing) แล้วจะสามารถนำวงจรฟลายอิ้งคาปาซิเตอร์มัลติเลเวลอินเวอร์เตอร์ไปประยุกต์ใช้งานได้หลากหลาย เช่น

1. สามารถนำวงจรมัลติเลเวลอินเวอร์เตอร์มาลิ้งค์เข้ากับระบบการไฟฟ้าได้เพื่อที่จะนำมาประยุกต์ใช้งานด้านการรักษาระดับแรงดันไฟฟ้าแบบอัตโนมัติหรือนำมาใช้เป็นเครื่องสร้างแรงดันไฟตกชั่วขณะได้

2. นำไปประยุกต์เป็นตัวขับเคลื่อนมอเตอร์ (ซึ่งมีคุณสมบัติของ RL และ Back EMF) และประเมินประสิทธิภาพของอินเวอร์เตอร์ 5 ระดับดังกล่าวเพื่อการประยุกต์ใช้งานใน AC Drive ต่อไป เนื่องจากคุณสมบัติของอินเวอร์เตอร์หลายระดับนั้นให้แรงดันเอาต์พุตที่มีความผิดเพี้ยนต่ำจึงทำให้สามารถใช้วงจรกรองที่มีขนาดเล็กลงได้ นอกจากนั้นแรงดันเอาต์พุตยังมี dv/dt ที่ต่ำทำให้กระแสรั่วไหลบนโครงของมอเตอร์เหนี่ยวนำลดลง มีผลทำให้อายุการใช้งานของมอเตอร์ยาวนานขึ้นและลดการบำรุงรักษาให้น้อยลง

3. นำไปประยุกต์เป็นวงจรกรองแบบแอคทีฟกำลัง

4. เป็นตัวจ่ายกำลังรีแอคทีฟให้กับภาระทางไฟฟ้าเพื่อปรับปรุงค่าตัวประกอบกำลังและทำให้สมดุล กระแสในไลน์ เพราะให้คุณภาพของรูปคลื่นเอาต์พุตที่มีคุณภาพดีมีความเป็นไซน์

บรรณานุกรม

[1] Fheng Peng, Rodriguez, and J. Sheng Lai, "Multilevel Inverter: A survey of Topologies, Controls, and Application", IEEE Transactions on Industrial Electronics, Vol. 49, No. 4, August 2002

[2] Bin Wu, High Power Converter and AC Drive, The Institute of Electrical and Electronics Engineering, Inc., 2006, pp.127-136.

[3] Carlos Sanabria, Sinuhe Ramirez, Victor Cardenas and Jaime Arau, "PWM Switching Patterns Optimization for Multilevel Inverter Using a FPGA" IEEE Transactions, pp.207-211, 2004

[4] Brendan Peter McGrath and Donald Grahame Holmes, "Multilevel PWM Strategies for Multilevel Inverter" IEEE Transaction on Industrial Electronics, Vol. 49 No.4 August 2002

[5] G. Ebersohn and M. N. Gitau, "FGPA-implemented Carrier Based SPWM Multilevel Controller", Proceeding of the 7th AFRICON Conference in Africa 2004, Vol. 2, pp. 1175-1178, 2004

[6] Sang-Gil, Dae-Wook Kang, Yo-Han Lee, Dong-Seok Hyum, "The Carrier-based PWM Method for Voltage Balance of Flying Capacitor Multilevel Inverter" Proceeding of IEEE 32nd Annual Power Electronics Specialists Conference PESE 2001, Vol. 1, pp. 126-131, June 2001

[7] ศิวะพัทธ์ คุ้มมะณี, "การพัฒนาอุปกรณ์กำเนิดสัญญาณเกตด้วย FPGA สำหรับอินเวอร์เตอร์หลายระดับแบบฟลายอิ้งคาปาซิเตอร์" วิทยานิพนธ์ วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2550

[8] http://www.astronlogic.com/download.php

[9] http://www.ett.co.th/product/1008.html

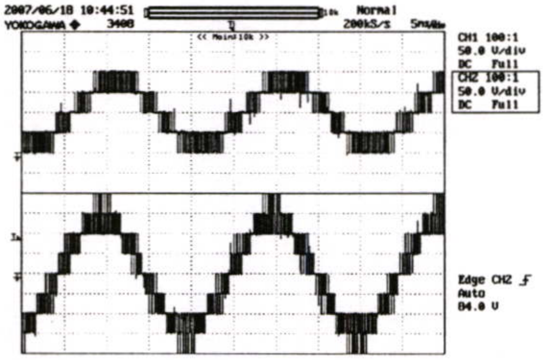
ภาคผนวก

ภาคผนวก ก.

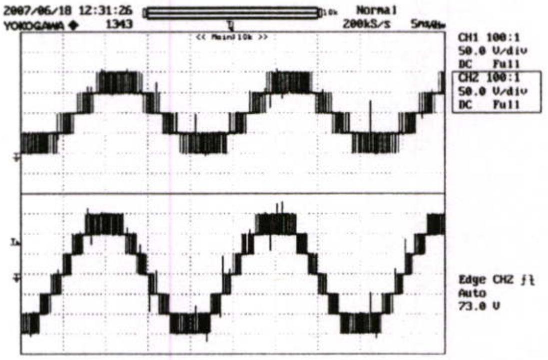
ผลการทดลองเพิ่มเติม

ก.1 การทดสอบ FCI เพื่อเปรียบเทียบคุณภาพของแรงดันทางด้านขาออก กรณีนี้กำหนดให้ตัวเก็บประจุใน FCI เป็นค่าคงที่

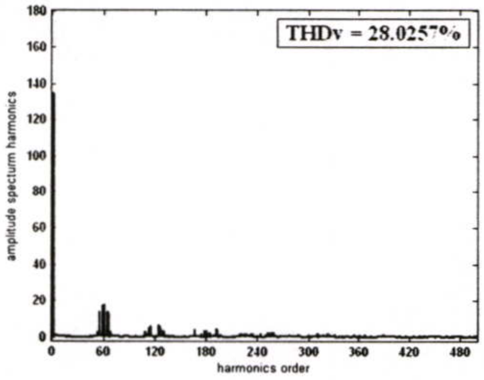
ก.1.1 ผลการทดลองกรณีไร้โหลด (No-load)



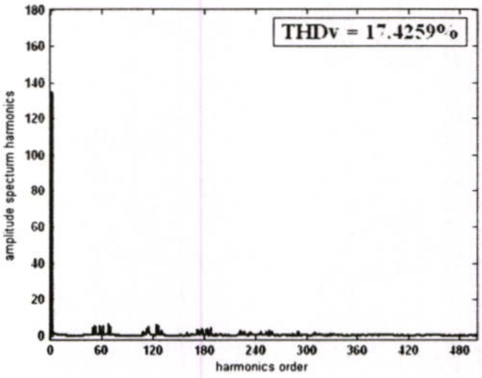
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

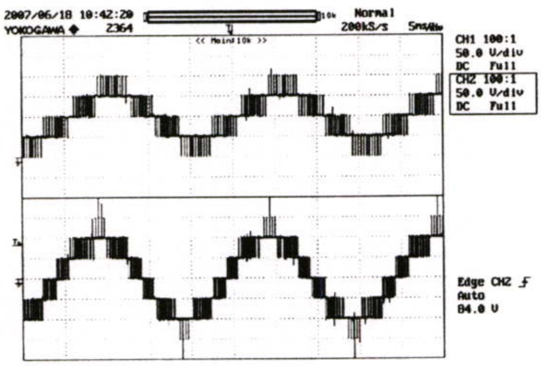


(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

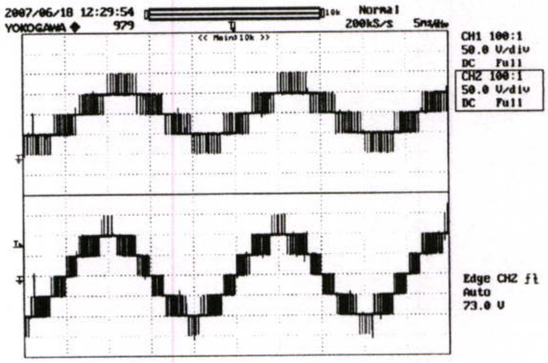


(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

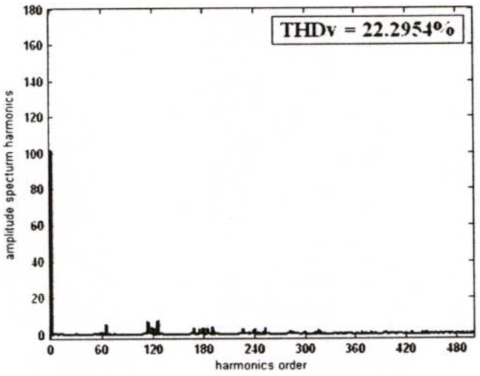
รูปที่ ก.1 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลอง สภาวะ No-load ที่ $m_a = 0.8$



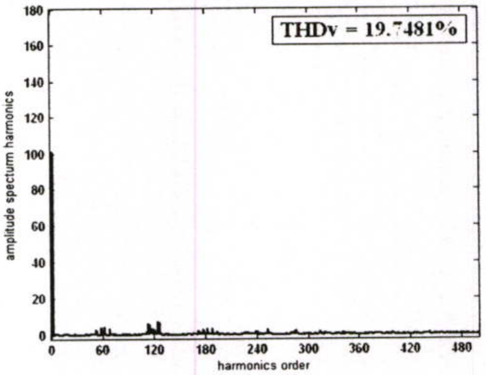
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

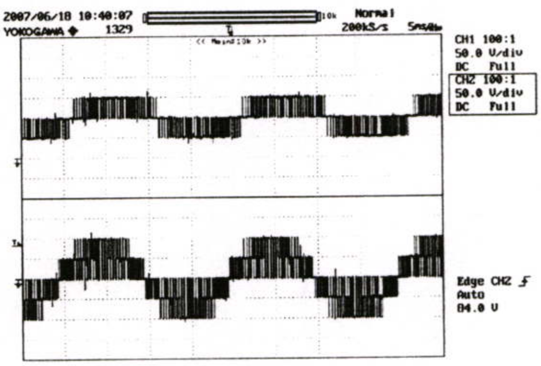


(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

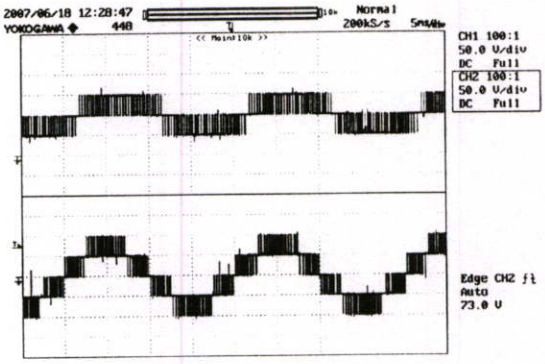


(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

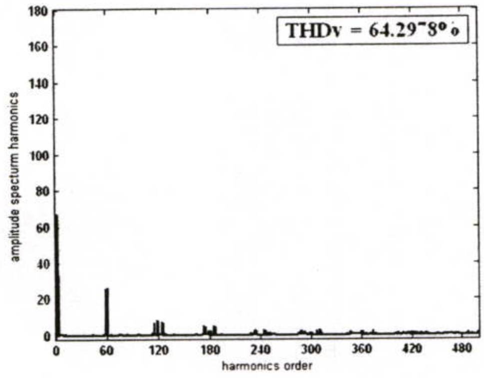
รูปที่ ก.2 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลอง สภาวะ No-load ที่ $m_a = 0.6$



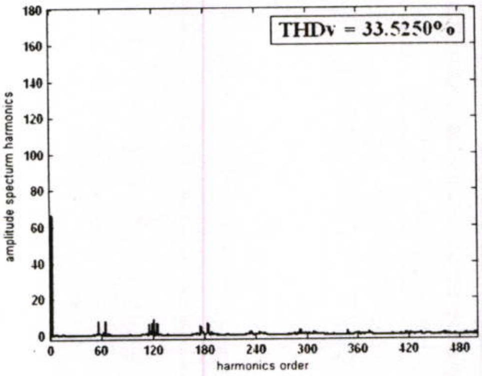
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

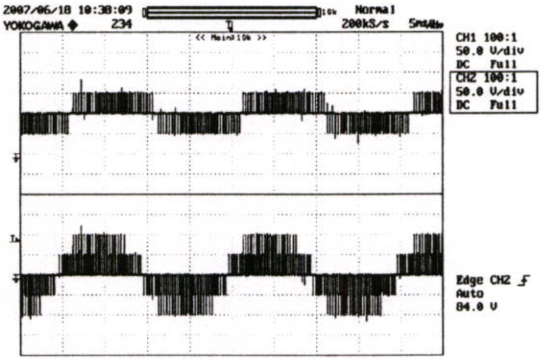


(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

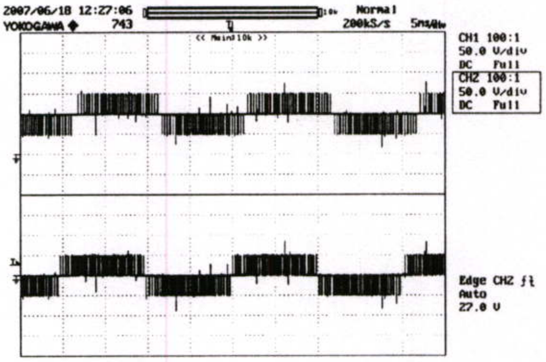


(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

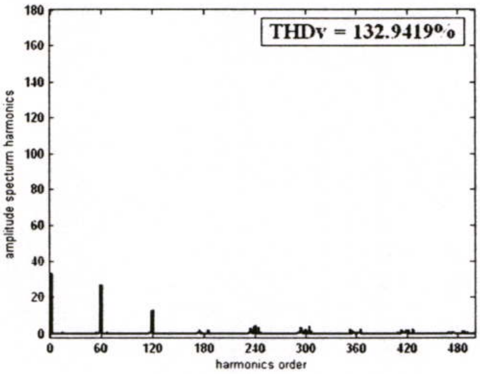
รูปที่ ก.3 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลอง สภาวะ No-load ที่ $m_a = 0.4$



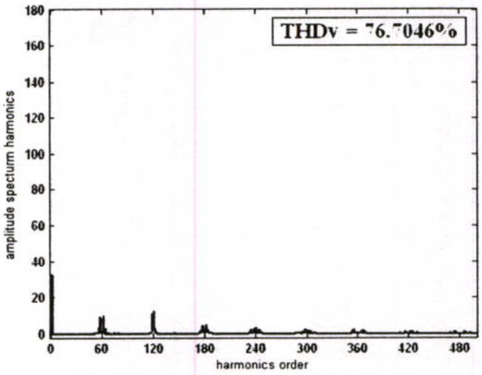
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)



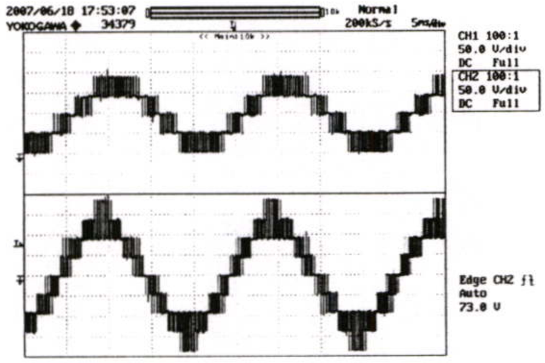
(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM



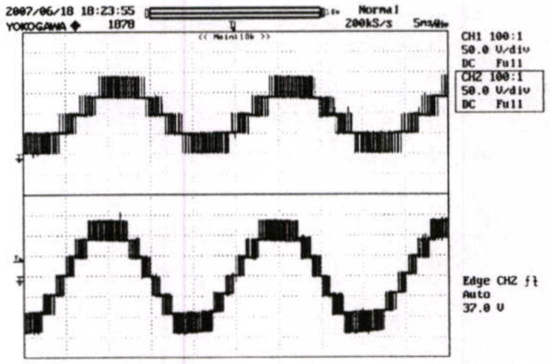
(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

รูปที่ ก.4 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลอง สภาวะ No-load ที่ m_a = 0.2

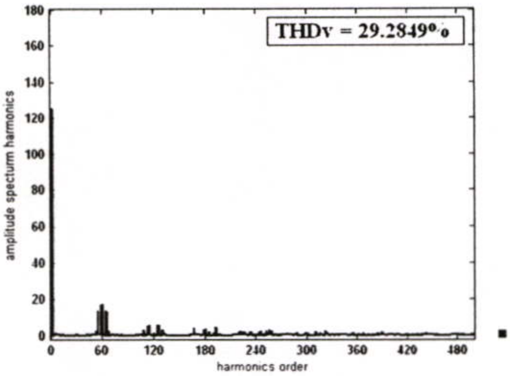
ก.1.2 กรณีโหลดเป็นหลอดไฟ (R-load)



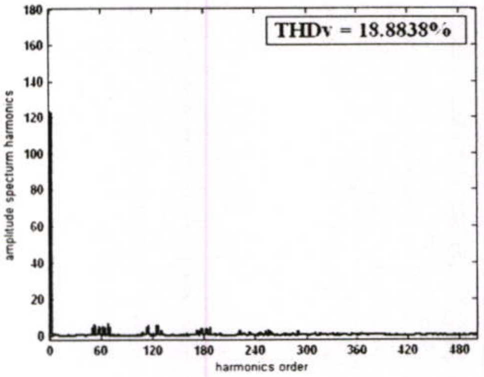
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

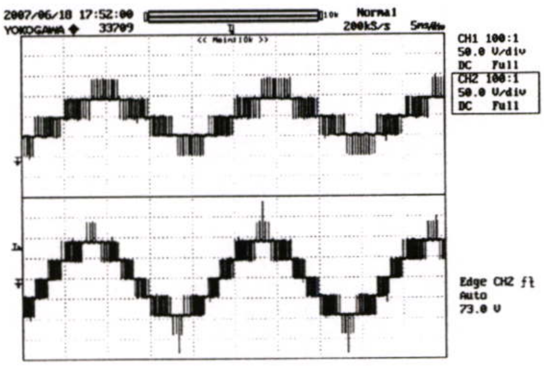


(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

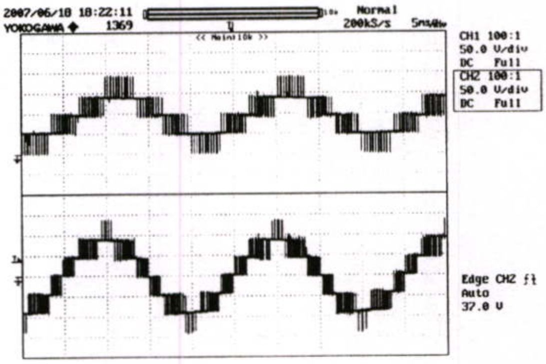


(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

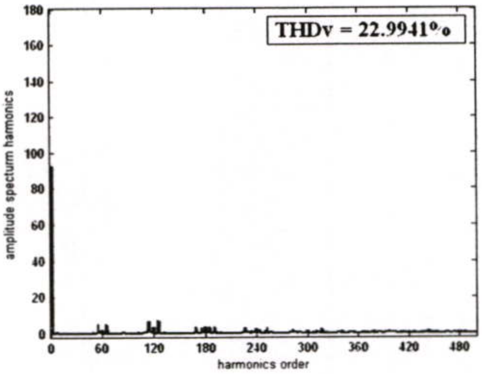
รูปที่ ก.5 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองสภาวะ R-load (หลอดไฟขนาด 100W จำนวน 2 หลอด/เฟส ต่อเป็น 3 เฟส แบบ Y) ที่ $m_a = 0.8$



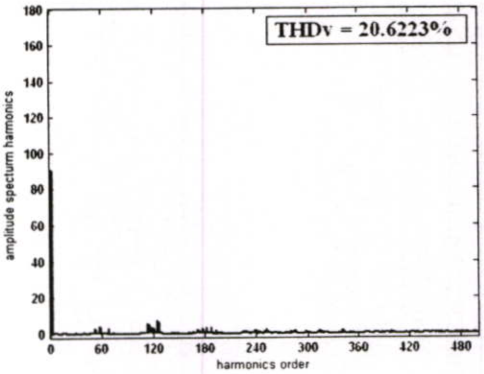
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

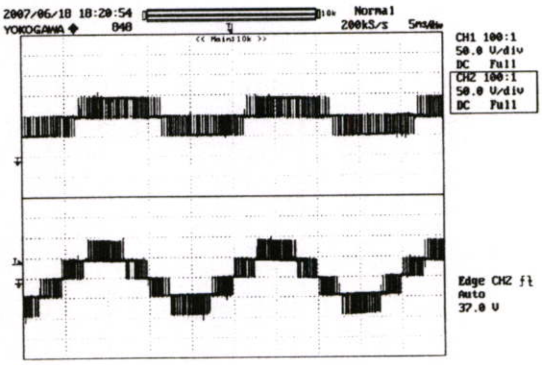


(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

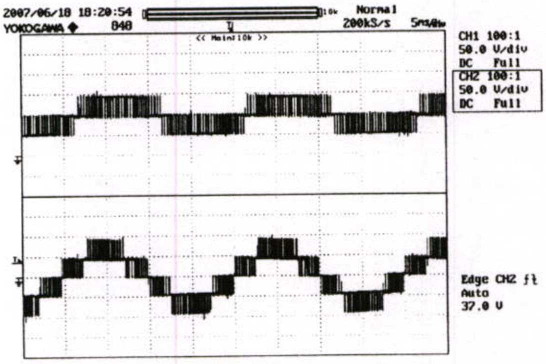


(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

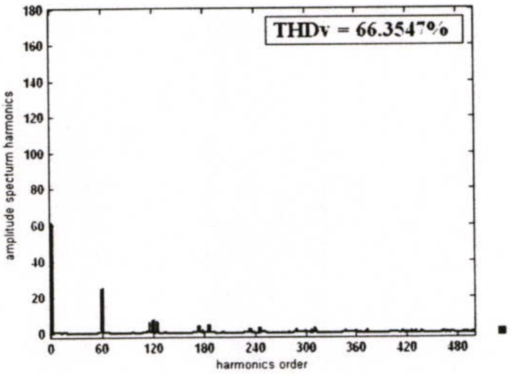
รูปที่ ก.6 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลอง สภาวะ R-load (หลอดไฟขนาด 100W จำนวน 2 หลอด/เฟส ต่อเป็น 3 เฟส แบบ Y) ที่ $m_a = 0.6$



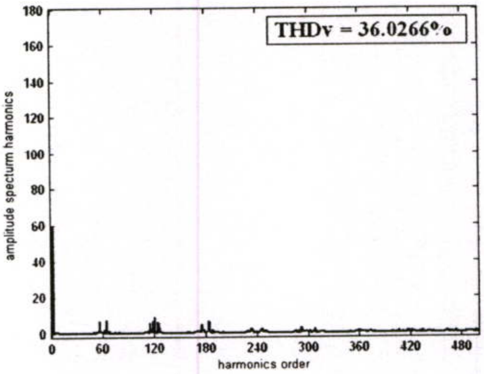
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

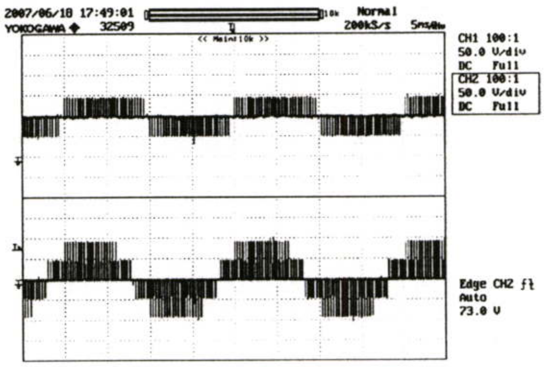


(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

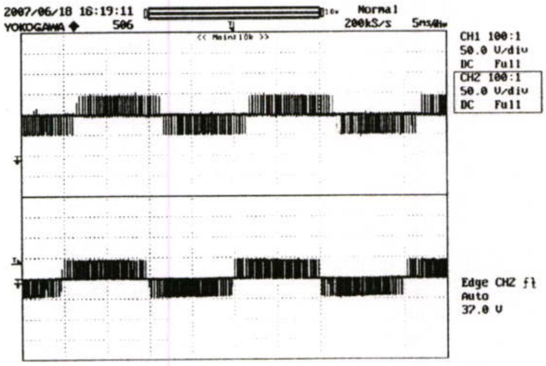


(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

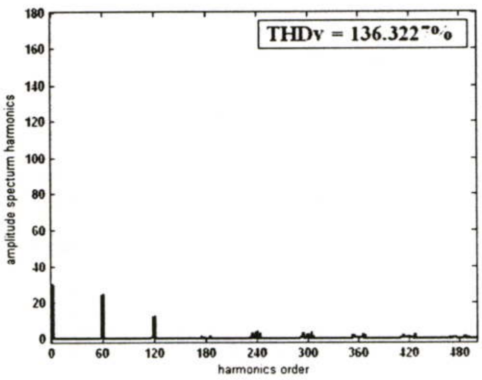
รูปที่ ก.7 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลอง สภาวะ R-load (หลอดไฟขนาด 100W จำนวน 2 หลอด/เฟส ต่อเป็น 3 เฟส แบบ Y) ที่ $m_a = 0.4$



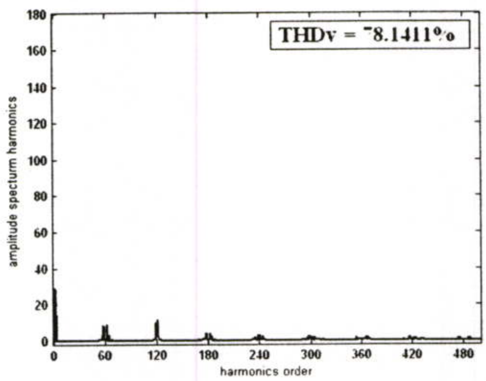
(ก) รูปคลื่น v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) แรงดัน v_{A0} (เส้นบน) และ v_{AB} (เส้นล่าง) ของ FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)



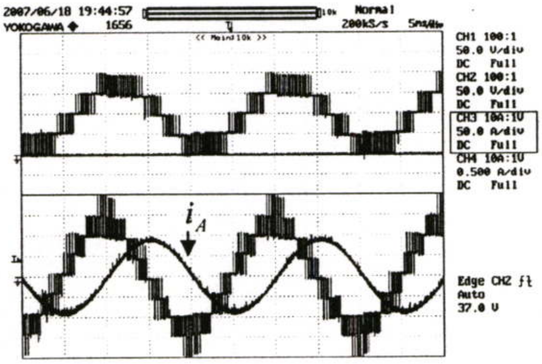
(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM



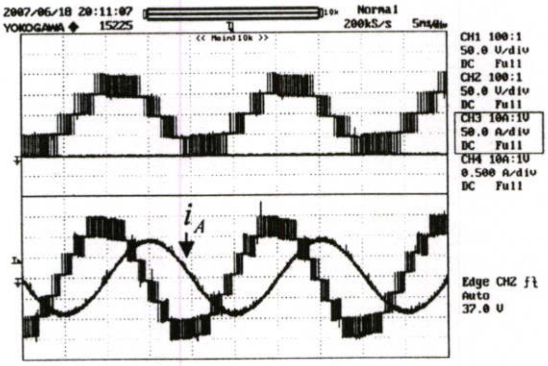
(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

รูปที่ ก.8 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองสภาวะ R-load (หลอดไฟขนาด 100W จำนวน 2 หลอด/เฟส ต่อเป็น 3 เฟส แบบ Y) ที่ $m_a = 0.2$

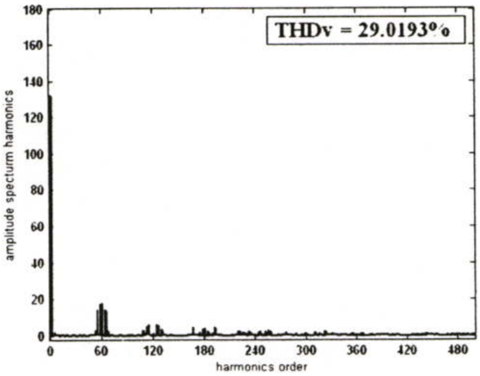
ก.1.3 กรณีโหลดเป็นหลอดไฟกับบัลลาส แกนเหล็ก (RL-load)



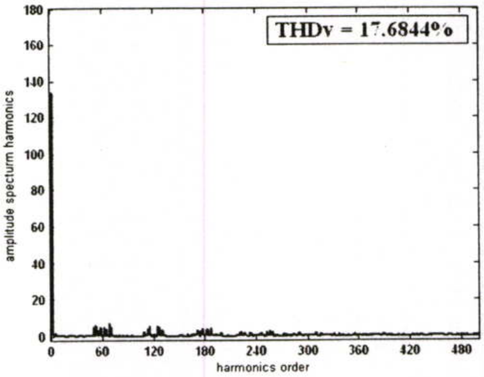
(ก) รูปคลื่น v_{A0} (เส้นบน) v_{AB} (เส้นล่าง) และ i_A (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) รูปคลื่น v_{A0} (เส้นบน) v_{AB} (เส้นล่าง) และ i_A (เส้นล่าง) ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

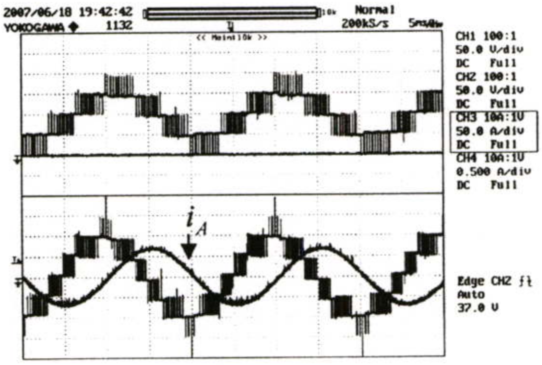


(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

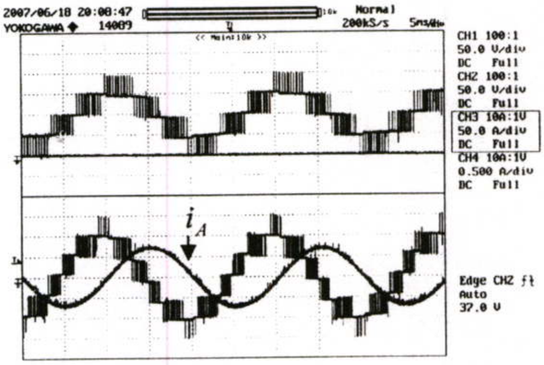


(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

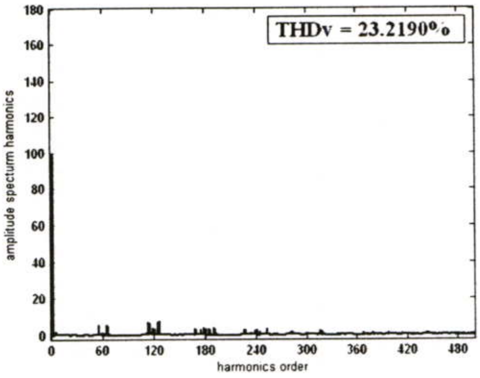
รูปที่ ก.9 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองสภาวะ RL-load (หลอดไฟขนาด 100W จำนวน 5 หลอด ต่ออนุกรมกับบัลลาสแกนเหล็กขนาด 40W จำนวน 5 ตัว/เฟส ต่อเป็น 3 เฟส แบบ Y) ที่ $m_a = 0.8$



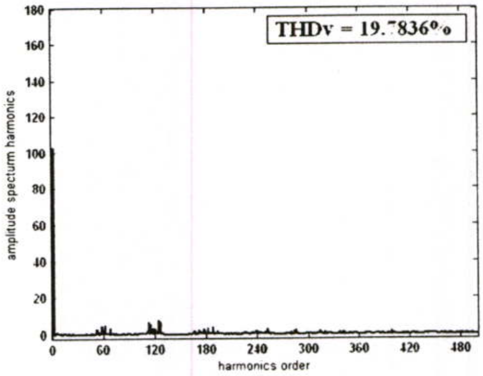
(ก) รูปคลื่น v_{A0} (เส้นบน) v_{AB} (เส้นล่าง) และ i_A (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) รูปคลื่น v_{A0} (เส้นบน) v_{AB} (เส้นล่าง) และ i_A (เส้นล่าง) ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

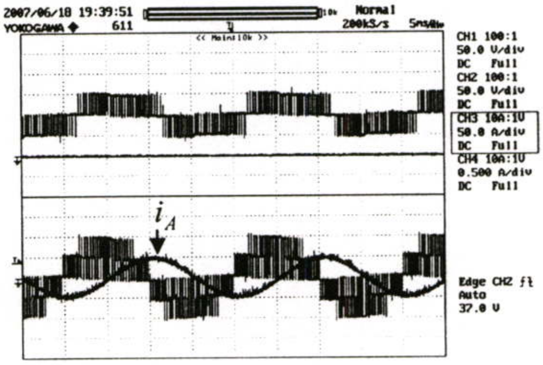


(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

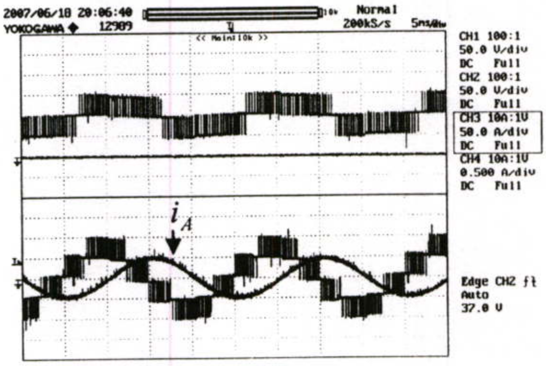


(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

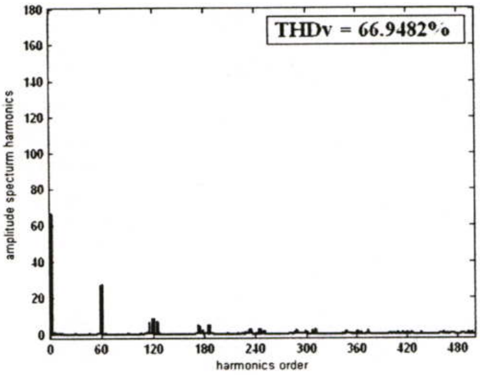
รูปที่ ก.10 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลอง สภาวะ RL-load (หลอดไฟขนาด 100W จำนวน 5 หลอด ต่ออนุกรมกับบัลลาสแกนเหล็กขนาด 40W จำนวน 5 ตัว/เฟส ต่อเป็น 3 เฟส แบบ Y) ที่ $m_a = 0.6$



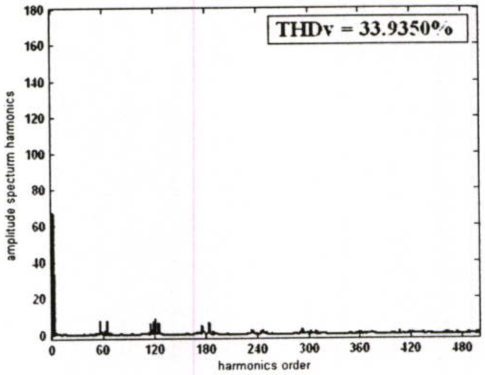
(ก) รูปคลื่น v_{A0} (เส้นบน) v_{AB} (เส้นล่าง) และ i_A (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM



(ข) รูปคลื่น v_{A0} (เส้นบน) v_{AB} (เส้นล่าง) และ i_A (เส้นล่าง) ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

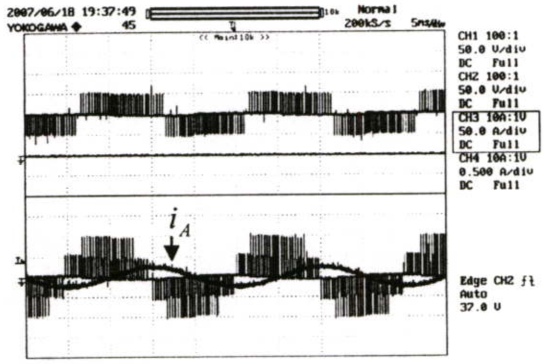


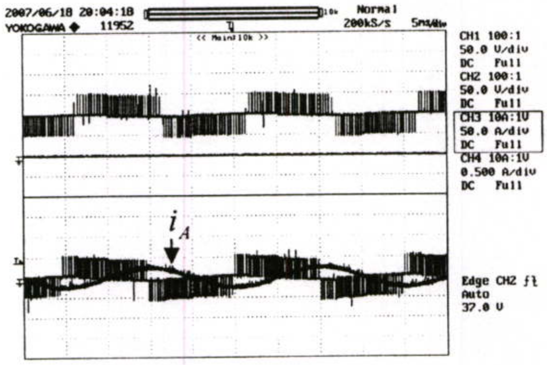
(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM



(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

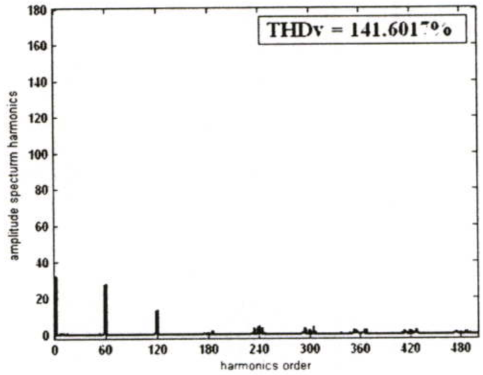
รูปที่ ก.11 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลองสภาวะ RL-load (หลอดไฟขนาด 100W จำนวน 5 หลอด ต่ออนุกรมกับบัลลาสแกนเหล็กขนาด 40W จำนวน 5 ตัว/เฟส ต่อเป็น 3 เฟส แบบ Y) ที่ m_a = 0.4

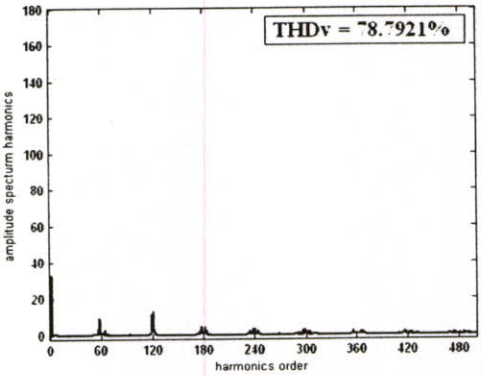




(ก) รูปคลื่น v_{A0} (เส้นบน) v_{AB} (เส้นล่าง) และ i_A (เส้นล่าง) ใน FCI ที่ใช้เทคนิค PSPWM

(ข) รูปคลื่น v_{A0} (เส้นบน) v_{AB} (เส้นล่าง) และ i_A (เส้นล่าง) ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)





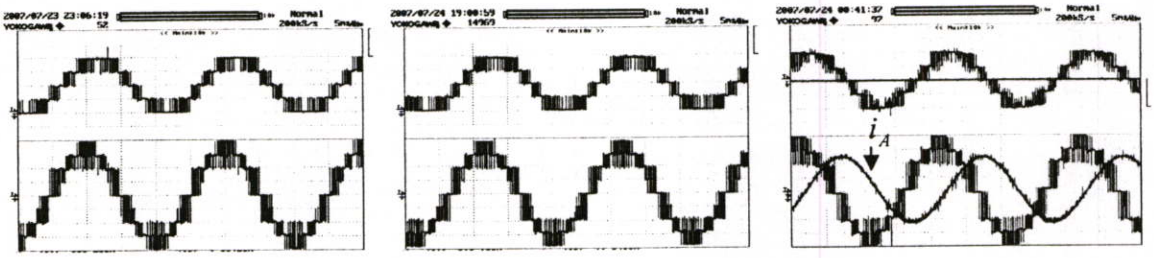
(ค) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค PSPWM

(ง) สเปกตรัมฮาร์มอนิกส์ของ v_{AB} ใน FCI ที่ใช้เทคนิค IPDPWM(rotate pulse)

รูปที่ ก.12 รูปคลื่นของแรงดันด้านออกและสเปกตรัมฮาร์มอนิกส์ที่ได้จากการทดลอง สภาวะ RL-load (หลอดไฟขนาด 100W จำนวน 5 หลอด ต่ออนุกรมกับบัลลาส แกนเหล็กขนาด 40W จำนวน 5 ตัว/เฟส ต่อเป็น 3 เฟส แบบ Y) ที่ m_a = 0.2

ก.2 การทดสอบสมรรถนะการรักษาสมดุลพลังงานที่ตัวเก็บประจุใน FCI ที่สภาวะการจ่ายโหลด 3 ลักษณะ (ระดับแรงดันที่ตัวเก็บประจุใน FCI จะเกิดจากเทคนิคการ Start-up)

ก.2.1 ทดสอบด้วยเทคนิค PSPWM

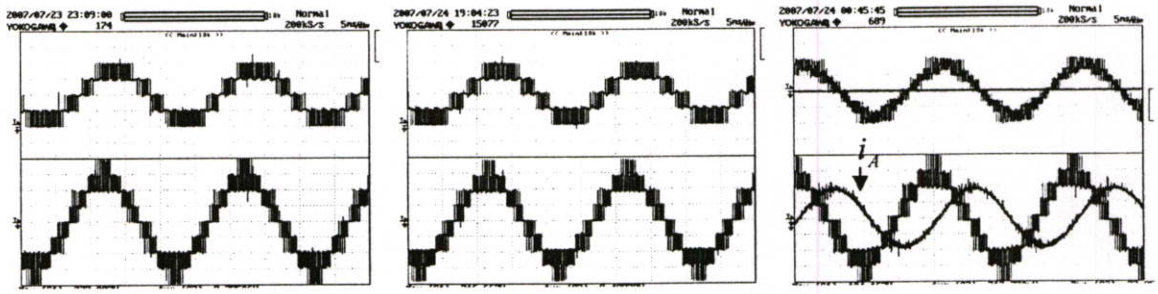


(ก) สภาวะ No-load
v_{A0} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load
v_{A0} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div

(ค) สภาวะ RL-load
v_{AN} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div
i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.13 รูปคลื่นของแรงดันด้านออก ที่ได้จากเทคนิค PSPWM ที่ m_a = 1.0

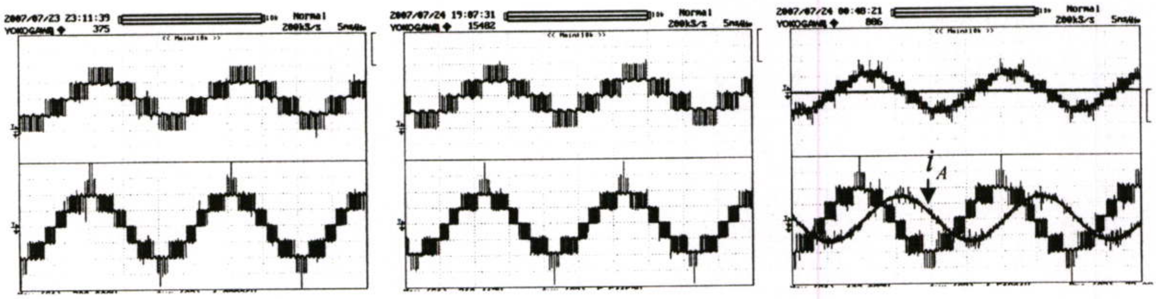


(ก) สภาวะ No-load
v_{A0} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load
v_{A0} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div

(ค) สภาวะ RL-load
v_{AN} (เส้นบน) 50V/div
v_{AB} (เส้นล่าง) 50V/div
i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.14 รูปคลื่นของแรงดันด้านออก ที่ได้จากเทคนิค PSPWM ที่ m_a = 0.8



(ก) สภาวะ No-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

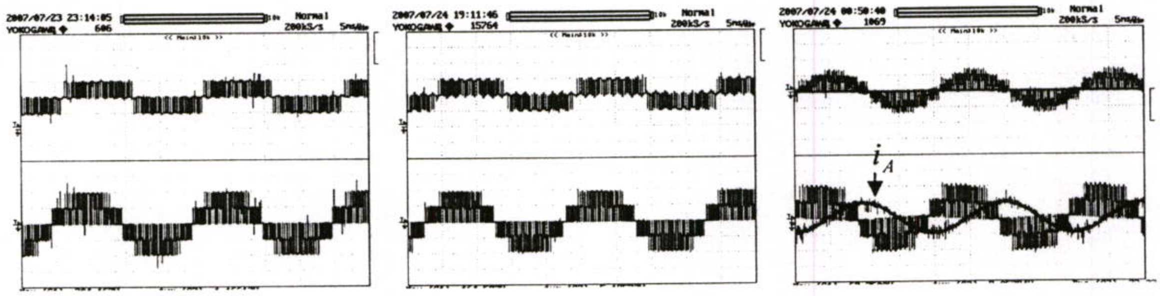
(ค) สภาวะ RL-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.15 รูปคลื่นของแรงดันด้านออก ที่ได้จากเทคนิค PSPWM ที่ $m_a = 0.6$



(ก) สภาวะ No-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

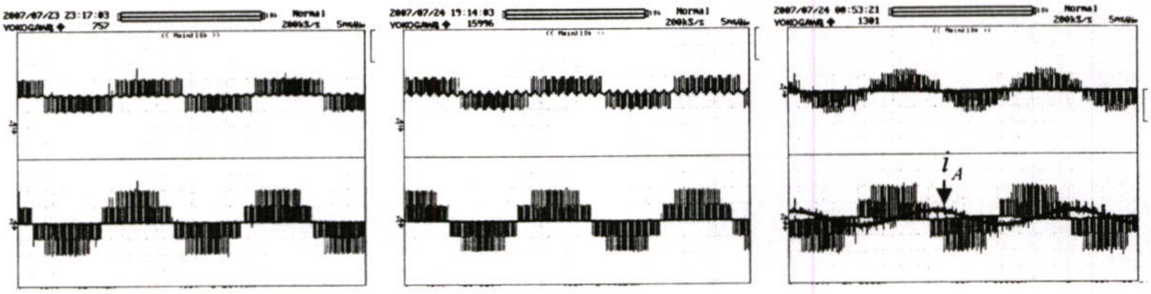
(ค) สภาวะ RL-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.16 รูปคลื่นของแรงดันด้านออก ที่ได้จากเทคนิค PSPWM ที่ $m_a = 0.4$



(ก) สภาวะ No-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ค) สภาวะ RL-load

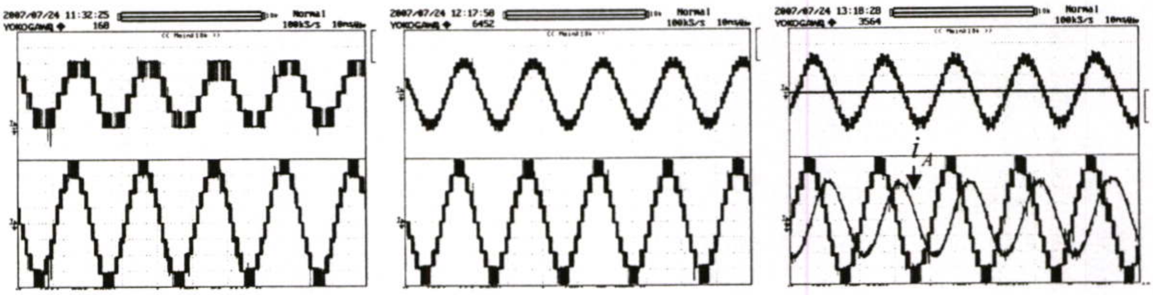
v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.17 รูปคลื่นของแรงดันด้านออก ที่ได้จากเทคนิค PSPWM ที่ m_a = 0.2

ก.2.1 ทดสอบด้วยเทคนิค IPDPWM(rotate pulse)



(ก) สภาวะ No-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

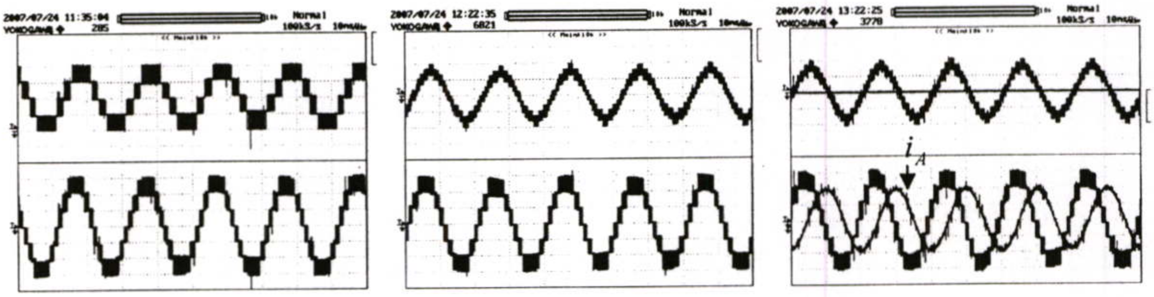
(ค) สภาวะ RL-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.18 ผลการทดลองของแรงดันด้านขาออก ของเทคนิค IPDPWM ที่ใช้วิธี Rotate pulse ที่ m_a = 1.0



(ก) สภาวะ No-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

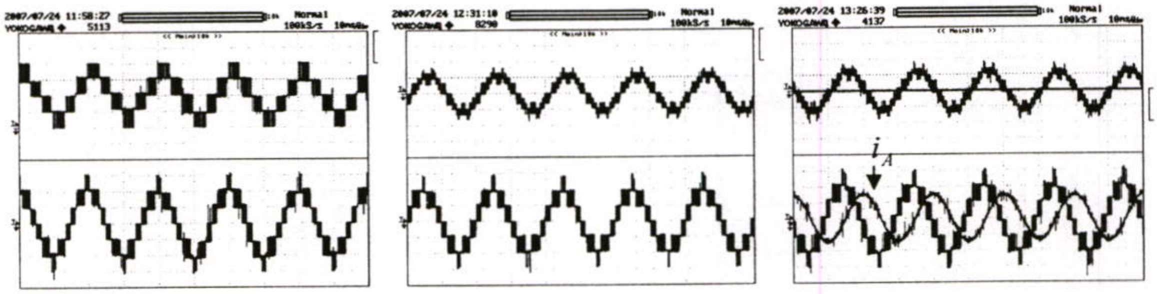
(ค) สภาวะ RL-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.19 ผลการทดลองของแรงดันด้านขาออก ของเทคนิค IPDPWM ที่ใช้วิธี Rotate pulse ที่ $m_a = 0.8$



(ก) สภาวะ No-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

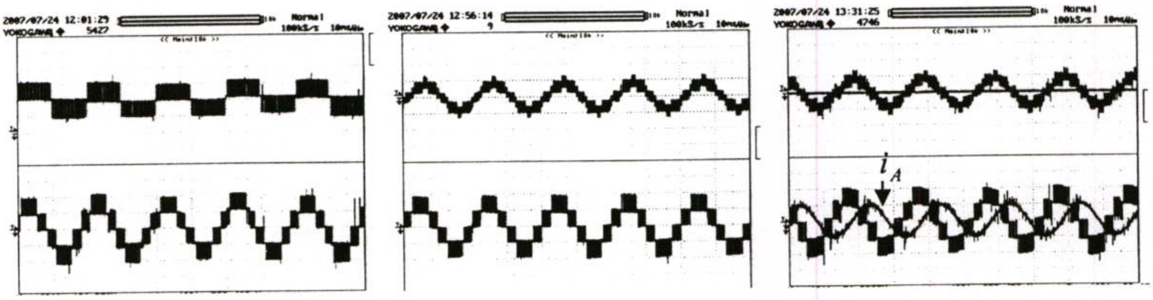
(ค) สภาวะ RL-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.20 ผลการทดลองของแรงดันด้านขาออก ของเทคนิค IPDPWM ที่ใช้วิธี Rotate pulse ที่ $m_a = 0.6$



(ก) สภาวะ No-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

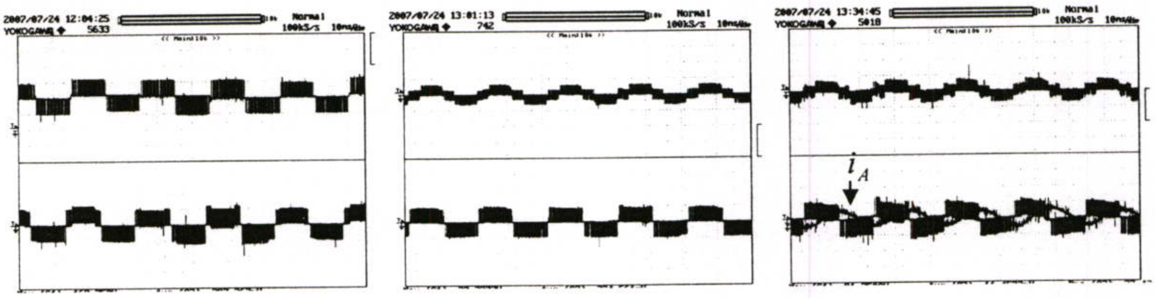
(ค) สภาวะ RL-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.21 ผลการทดลองของแรงดันด้านขาออก ของเทคนิค IPDPWM ที่ใช้วิธี Rotate pulse ที่ m_a = 0.4



(ก) สภาวะ No-load

v_{A0} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ข) สภาวะ R-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

(ค) สภาวะ RL-load

v_{AN} (เส้นบน) 50V/div

v_{AB} (เส้นล่าง) 50V/div

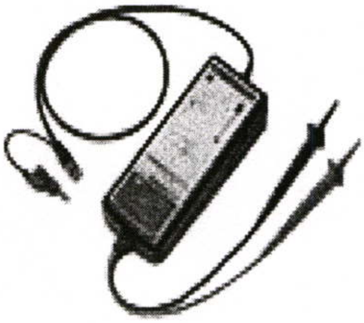
i_A (เส้นล่าง) 0.5A/div

รูปที่ ก.22 ผลการทดลองของแรงดันด้านขาออก ของเทคนิค IPDPWM ที่ใช้วิธี Rotate pulse ที่ m_a = 0.2

ภาคผนวก ข.

เครื่องมือวัดที่ใช้ในวิทยานิพนธ์

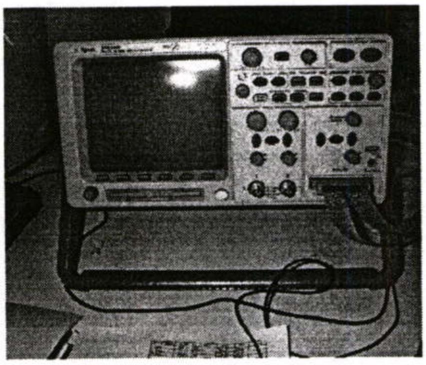
ผลิตภัณฑ์	Digital Oscilloscobe (YOKOGAWA)
รุ่น	DL1540 /DL (4 Channel)
รายละเอียด	150 MHz Analog Bandwidth
	120 MS/s on two channel
	8 bit veetical resolution
	DC to 30 MHz, 850V(DC+AC peak)
	2% DC accuracy
	Internal low pass filter



ผลิตภัณฑ์	Band Differential Probe
รุ่น	700924
รายละเอียด	100 MHz
	A probe lets you make wide-band
	Differential input measurements

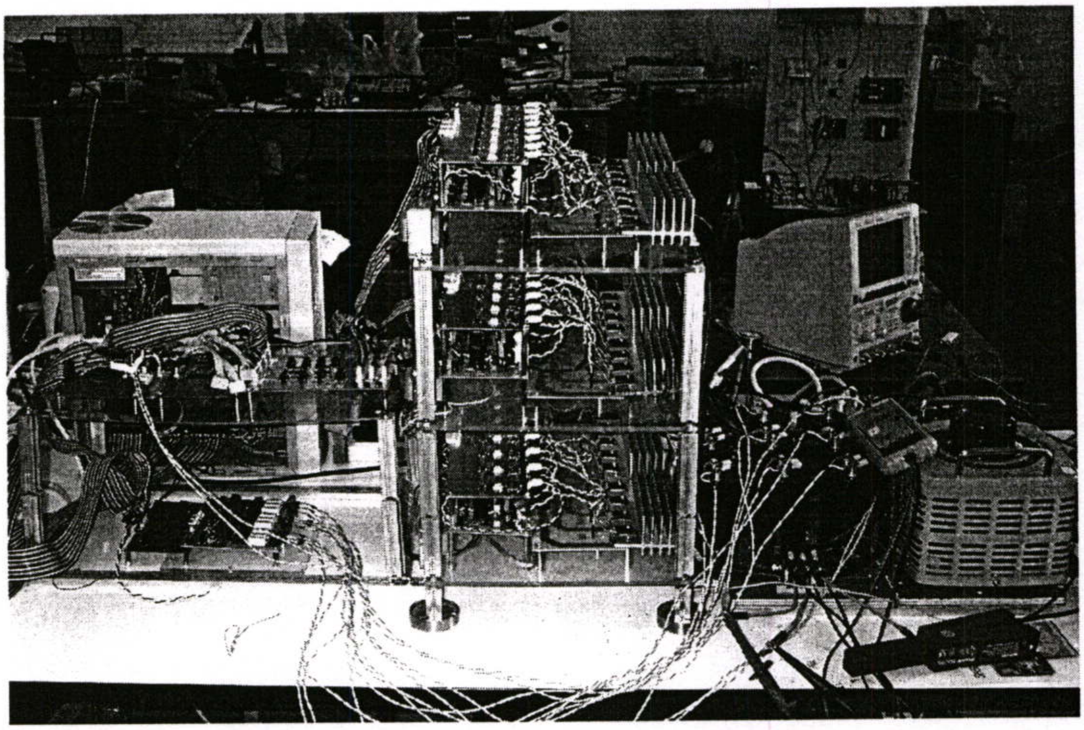
ผลิตภัณฑ์	Current Probe(FLUKE)
รุ่น	80i-110s
รายละเอียด	Current ranges:
	0 to 10 A dc or ac peak
	0 to 100 A dc or ac peak
	Frequency: DC to 100kHz .(@3 db)
	Output signals:
	10 A range: 100 mV/A
	100 A range: 10 mV/A

	ผลิตภัณฑ์ Multi Meter(FLUKE) รุ่น 179 รายละเอียด True RMS 1kHz Accuracy = 0.09% Vac or Vdc : 0.1mV to 1000V Iac to Idc : 0 to 10A

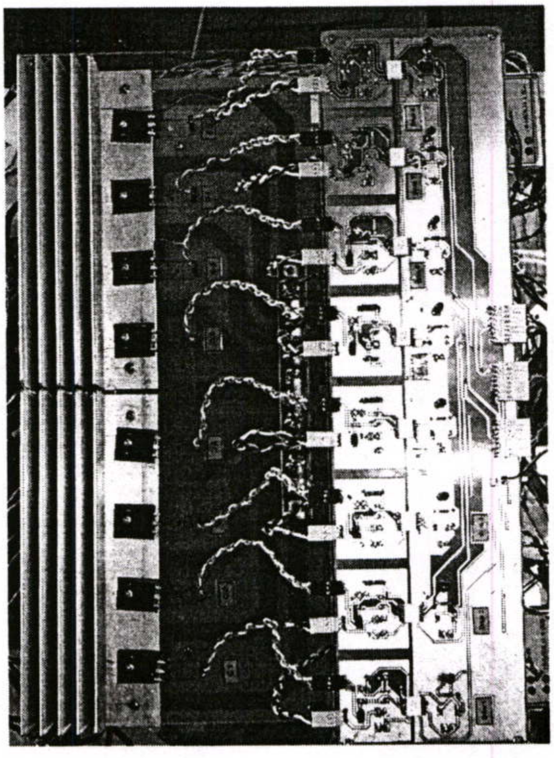
	ผลิตภัณฑ์ MIXED SIGNAL OSCILLOSCOPE รุ่น 54622D รายละเอียด 100 MHz 200 MS/s 100-240 V input 300 Vrms 1.2 A 2 Ch. Analog 16 Ch Digital

ภาคผนวก ค.

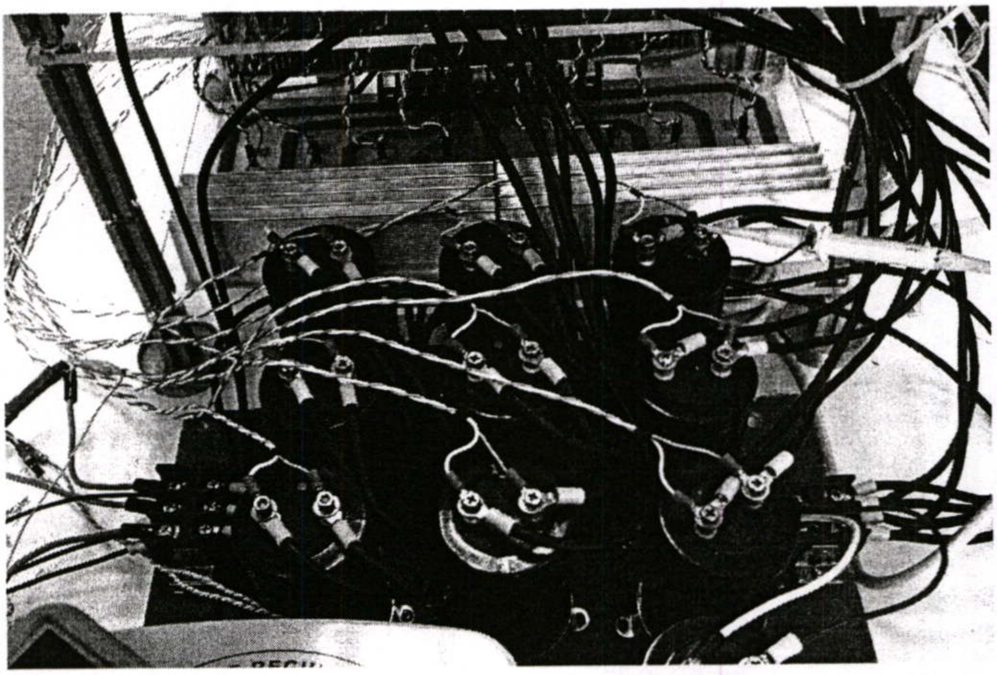
เครื่องต้นแบบที่ใช้ในวิทยานิพนธ์



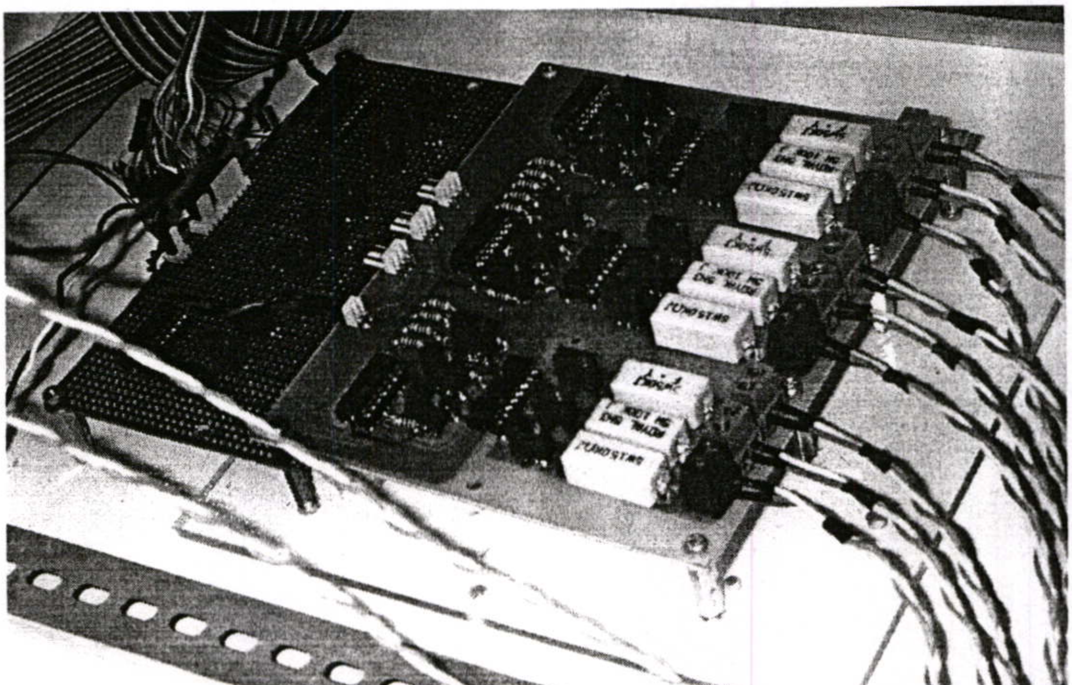
รูปที่ ค.1 ภาพรวมของเครื่องต้นแบบ *five-level inverter* ชนิดฟลายอิ้งคาปาซิเตอร์



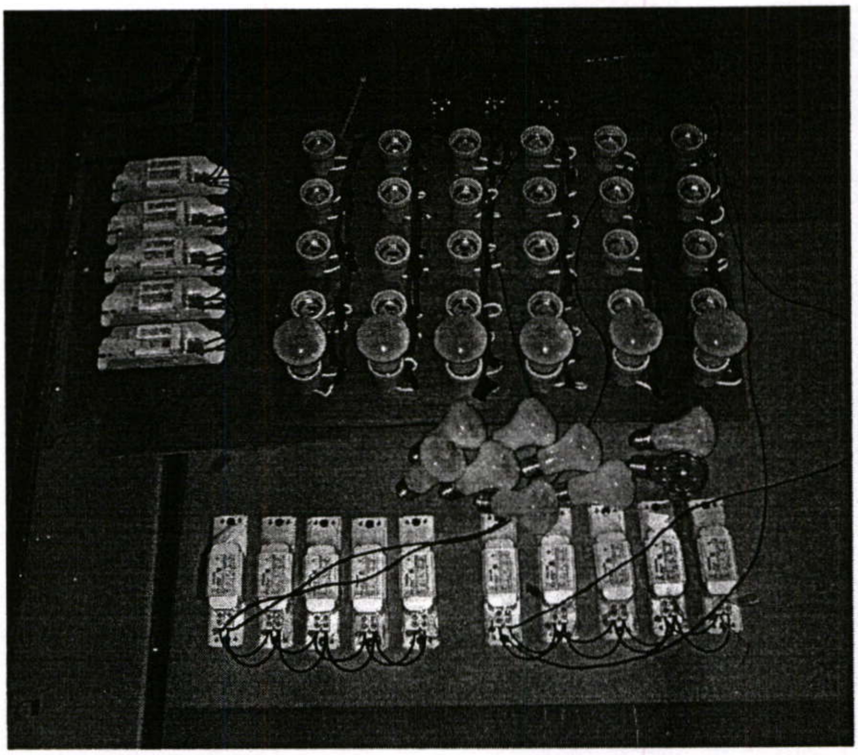
รูปที่ ค.2 วงจรขับเกต



รูปที่ ค.3 ตัวเก็บประจุแบบฟลายอิ้งค์



รูปที่ ค.4 แสดงชุดตรวจจับระดับแรงดัน (Voltage detector) ที่ตัวเก็บประจุแบบฟลายอิ้งค์

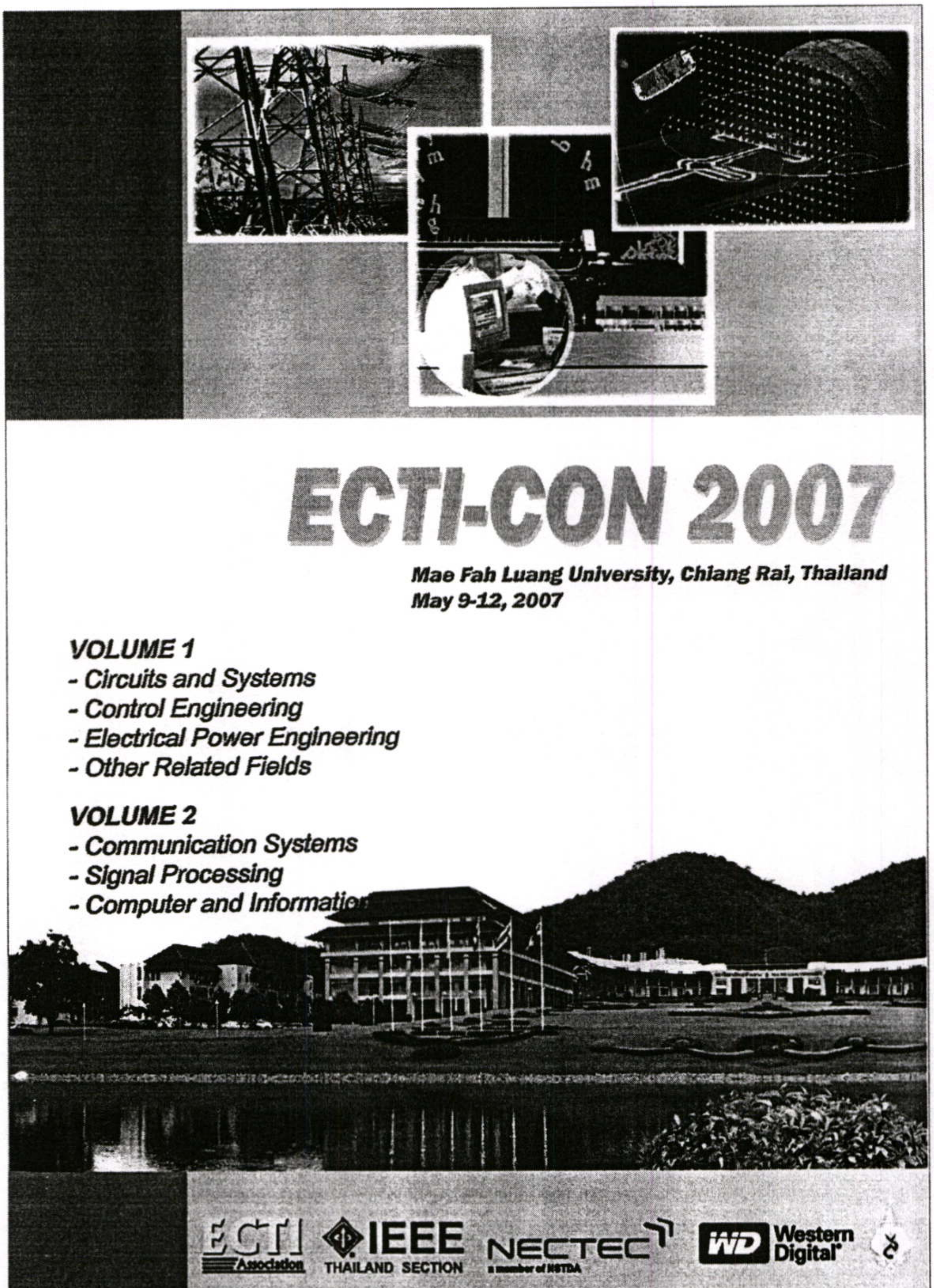


รูปที่ ค.5 โหลดที่ใช้ในการทดลอง

ภาคผนวก ง.

ผลงานวิจัยที่ได้รับการเผยแพร่

1. S. Ketsakoon, S. Polmai, **"Comparison Between Phase- and Level-shifted PWM Schemes for Flying Capacitor Multilevel Inverter"** The 2007 ECTI International Conference (ECTI-CON2007), Mae Fah Luang University, chiang rai, Thailand, May 9-12, 2007.


ECTI-CON 2007
Mae Fah Luang University, Chiang Rai, Thailand
May 9-12, 2007
VOLUME 1
- Circuits and Systems
- Control Engineering
- Electrical Power Engineering
- Other Related Fields
VOLUME 2
- Communication Systems
- Signal Processing
- Computer and Informati
ECTI Association
IEEE THAILAND SECTION
NECTEC
WD Western Digital

Comparison Between Phase- and Level-shifted PWM Schemes for Flying Capacitor Multilevel Inverter

S. Ketsakoon, S. Polmai
Department of Electrical Engineering, Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang (KMITL)
Chalongkrung Rd., Ladkrabang, Bangkok THAILAND 10520
E-mail: s7060219@kmitl.ac.th, kpsompob@kmitl.ac.th

***Abstract*-This paper presents the study and comparison of PWM schemes for five-level flying capacitor inverter. The PWM schemes. Included in this study are phase-shifted and level-shifted multi-carrier sinusoidal modulation. The comparison focuses on output voltage THD, capacitor voltage balancing and effect of the dead time. The results of the comparison will be used to aid the design of five-level flying capacitor inverter in the future.**

***Keywords* - Flying-capacitor multilevel inverter, SPWM, total harmonic distortion, energy balance.**

INTRODUCTION

In recent years, industry has begun to demand higher power equipment, which now reaches the megawatt level. Controlled ac drives in the megawatt range are usually connected to the medium-voltage network. Today, it is hard to connect a single power semiconductor switch directly to medium-voltage grids (2.3, 3.3 or 6.9kV). For these reasons, a new family of multilevel inverters has emerged as the solution for working with higher voltage levels [1]-[2].

Today, multilevel inverters are extensively used in high-power applications with medium voltage levels. The field applications include use in motor drive, harmonic elimination and improvement power factor in system and static VAR compensations to system.

Three different topologies have been proposed for multilevel inverters: diode-clamed (neutral-clamped); capacitor-clamed (flying capacitors); and cascaded multi-cell with separated sources. In addition, several modulation and control strategies have been developed or adopted for multilevel inverters including the following: multilevel sinusoidal pulse width modulation (SPWM), multilevel selective harmonic elimination, and space-vector (SVM) [2].

The most attractive features of multilevel inverters are as follows.

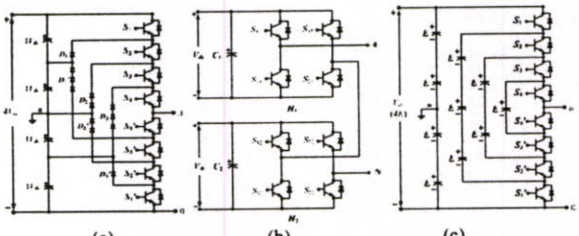
- They can generate output voltages with extremely low distortion and lower *dv/dt*.
- They draw input current with very low distortion.
- They can operate with a lower switching frequency.

Table I shows the comparison of the multilevel inverter topologies. In the application that requires energy source, such as adjustable speed drive of ac machines, the dc link energy is normally fed from the ac source via rectifier or converter circuit. Having only single dc link is the benefit in term of reliability and ease of control. Another issue concerning with multilevel inverter is balancing of voltage across each capacitor. Having capability of balancing the capacitor voltage without additional dedicated hardware is preferable. The flying-capacitor and cascade multi-cell inverter utilize the redundant switching states to solve this problem. Owning to the single dc source constraint, the flying-capacitor inverter is selected for this study.

Multilevel sinusoidal pulse-width modulation (SPWM) is investigated in this study. The PWM schemes included in this study are phase-shifted and level-shifted multi-carrier sinusoidal modulation. The investigation focuses on output voltage THD, capacitor voltage balancing and effect of the dead time. The results of the comparison will be used to aid the design of five-level flying-capacitor inverter in the future.

FLYING CAPACITOR INVERTER CIRCUIT

The flying-capacitor inverter Fig. 2 can produce an inverter phase voltage with five voltage levels. When switches S_1, S_2, S_3, and S_4 conduct, the inverter phase voltage v_{AN} is $4E$, which is the voltage at the inverter terminal A with respect to the negative dc bus N. Similarly, with S_1, S_2, and S_3 switched on, $v_{AN} = 3E$. Table II lists all the voltage levels that can be obtained by the six sets of different switching states.



(a) (b) (c)

Figure 1. Multi-level inverter topology. (a) diode-clamped. (b) cascaded-multicell. (c) capacitor-clamped (flying-capacitor).

TABLE I
COMPARISON OF MULTILEVEL INVERTER CIRCUITS TOPOLOGIES

Comparison	Diode-clamped	Cascaded-multicell	Flying capacitor
Common DC link	✓	✗	✓
Redundant of switching state.	✗	✓	✓
Number of dc capacitors	Few	Few	Many
Isolated voltage dc source	Single	Many	Single

The switching state redundant is a common phenomenon in multilevel converters, which provides a great flexibility for the switching pattern design.

SINUSOIDAL MULTI-CARRIER PULSE-WIDTH MODULATION

Several multi-carrier techniques have been developed to reduce the distortion in multilevel inverters, based on the classical SPWM with triangular carriers [1]. Some methods use carrier disposition and others use phase shifting of multiple carrier signals [3].

A. Phase-shifted Multi-carrier PWM Scheme

Fig. 3 illustrates typical gating signal using phase-shifted multi-carrier PWM for one phase leg of the inverter shown in Fig. 2. In this paper, we choose a number of *m*-voltage levels requires (*m*-1) triangular carriers in one phase with their carriers shifted by an angle given by

$$\theta_{cr} = 360°/(m-1), \tag{1}$$

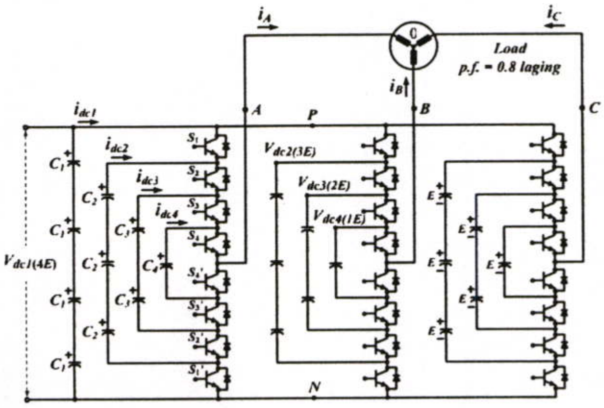


Figure 2. Five-level flying-capacitor inverter.

TABLE II
VOLTAGE LEVEL AND SWITCHING STATE OF A FIVE-LEVEL FLYING-CAPACITOR INVERTER

Switching states				Output voltage related of capacitor	Inverter phase voltage v_{AN}	C_1	C_2	C_3	C_4
S_1	S_2	S_3	S_4						
1	1	1	1	$4E$	$V_{dc}(4E)$	-	N	N	N
1	1	1	0	$4E - 1E$	$3E$	-	N	N	+
1	1	0	1	$4E - 2E + 1E$		-	N	+	-
1	0	1	1	$4E - 3E + 2E$		-	+	-	N
0	1	1	1	$3E$		N	-	N	N
1	1	0	0	$4E - 2E$	$2E$	-	N	+	N
1	0	1	0	$4E - 3E + 2E - 1E$		-	+	-	+
0	1	1	0	$3E - 1E$		N	-	N	+
1	0	0	1	$4E - 3E + 1E$		-	+	N	-
0	1	0	1	$3E - 2E + 1E$		N	-	+	-
0	0	1	1	$2E$		N	N	-	N
1	0	0	0	$4E - 3E$	$1E$	-	+	N	N
0	1	0	0	$3E - 2E$		N	-	+	N
0	0	1	0	$2E - 1E$		N	N	-	+
0	0	0	1	$1E$		N	N	N	-
0	0	0	0	0	0	N	N	N	N

Index: 1-sw on, 0-sw off, N-none, + charging mode, - discharging mode

B. Level-shifted Multi-carrier PWM Scheme

Fig. 4 illustrates three variation of the level-shifted multi-carrier PWM named (a) in-phase disposition (IPD) where all carriers are in phase, (b) alternative phase opposite disposition (APOD) where all carriers are alternatively in opposite disposition and (c) phase opposite disposition (POD) where all carriers above the zero reference are in phase but in opposition with those below the zero reference. In what follows, only IPD modulation scheme is discussed in detail due to page limitation.

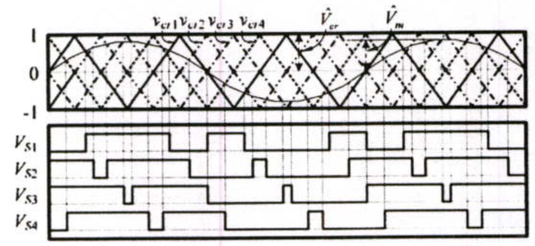
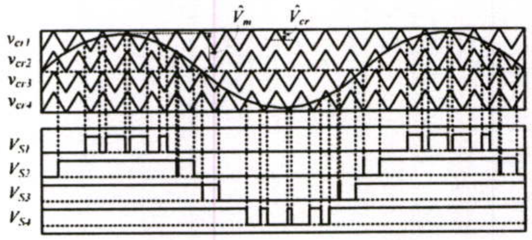
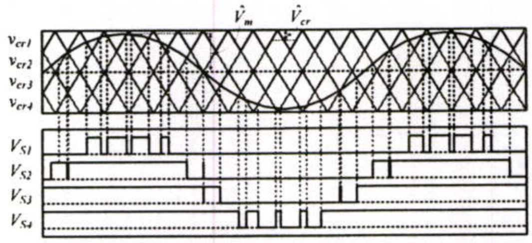


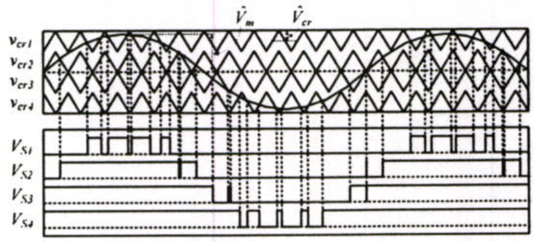
Figure 3. Modified phase-shifted modulation for five-level inverter of one phase-leg.



(a) In-Phase Disposition (IPD).



(b) Alternative Phase Opposite Disposition (APOD).



(c) Phase Opposite Disposition (POD).

Figure 4. Level-shifted multi-carrier modulation for five-level inverter.

The phase-shifted PWM scheme have characteristic as follows.

$$m_a = \hat{V}_m / \hat{V}_{cr}, \quad for \quad 0 \le m_a \le 1, \tag{2}$$

$$f_{sw,dev} = f_{cr}, \tag{3}$$

$$f_{sw,inv} = (m-1) f_{sw,dev}, \tag{4}$$

where

f_m	Fundamental frequency
f_{cr}	Carrier frequency
$f_{sw,dev}$	Frequency switching device
$f_{sw,inv}$	Switching frequency of inverter
m_f	Frequency modulation index (f_{cr}/f_m)
m_a	Modulation index
m	Voltage levels

As stated earlier, the frequency of the dominant harmonic in the inverter output voltage represents the inverter switching $f_{sw,inv}$. Since the dominant harmonics in v_{AN} and v_{AB} distributed around $(m - 1)m_f$.

The level-shifted PWM scheme have characteristic as follows.

$$m_a = \hat{V}_m / \hat{V}_{cr}(m-1), \quad for \ 0 \le m_a \le 1, \tag{6}$$

$$f_{sw,dev} = f_{cr}/(m-1), \tag{7}$$

$$f_{sw,inv} = f_{cr}, \tag{8}$$

As stated earlier, the frequency of the dominant harmonic in the inverter output voltage represents the inverter switching $f_{sw,inv}$. Since the dominant harmonics in v_{AN} and v_{AB} distributed around m_f.

SIMULATION RESULT

The simulations comparisons between both schemes are focused on three topics the output voltage THD, capacitor energy balancing and effect of the dead time. To compare the performance of inverter, it is assumed that the average switching frequency of the solid-state devices is the same in both schemes. Table III shows the important parameters used in the simulations.

Fig. 5 shows the simulated waveforms using phase-shift multi-carrier PWM schemes for the inverter operating under the condition of $m_f = 50$, $m_a = 1.0$, $f_m = 60$ Hz, and $f_{cr} = 750$ Hz. As stated earlier, the frequency of the dominant harmonic in the inverter output voltage represents the inverter switching frequency $f_{sw,inv}$. Since the dominant harmonic in v_{AB} in Fig. 5 are distributed around $4m_f$, the inverter switching frequency can be found from $f_{sw,inv} = 4m_f \times f_m = 4f_{sw,dev}$, which is four times the device switching frequency.

Fig. 6 shows the simulated waveforms using IPD multi-carrier PWM schemes for the inverter operating under the condition of $m_f = 50$, $m_a = 1.0$, $f_m = 60$ Hz and $f_{cr} = 3000$ Hz. Although the carrier frequency of 3000 Hz seems high for high-power converters, the average device switching frequency is only 750 Hz.

Fig. 7 shows the THD profile of the line-to-line voltage v_{AB} produced by the phase- and level-shifted modulation schemes. As can be seen from the Figure, the IPD modulation scheme gives the best THD result all over the length of modulation index. The phase-shift and APOD have the same THD characteristic all the range of modulation index. The THD calculation is performed up to 100[th] order.

TABLE III
INVERTER OPERATING FOLLOWING

Parameter operating	Phase-shifted PWM	Level-shifted modulation
f_m	50 Hz	50 Hz
f_{cr}	750 Hz	3000 Hz
m_f	15	60
$f_{sw,dev}$	750 Hz	750 Hz
$f_{sw,inv}$	3000 Hz	3000 Hz
load	PF = 0.8 *lagging*, 0.414 kVA	

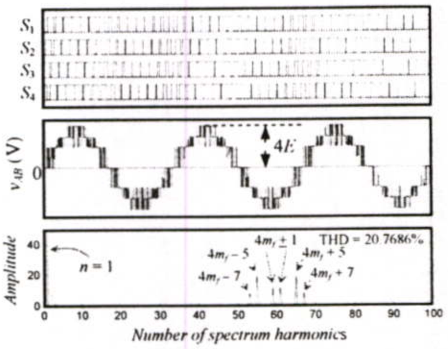


Figure 5. Simulated waveforms for a five-level flying-capacitor inverter with phase-shifted PWM (m_f=15, m_a=1.0, f_m=50 Hz, f_{cr}=750 Hz, and $f_{sw,dev}$=750 Hz).

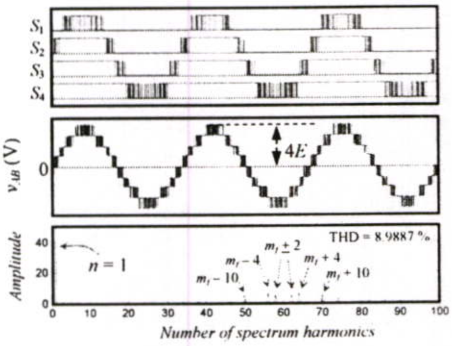


Figure 6. Simulated waveforms for a five-level flying-capacitor inverter with IPD modulation (m_f = 60, m_a = 1.0, f_m = 50 Hz, f_{cr} = 3000 Hz, and $f_{sw,dev}$ = 750 Hz).

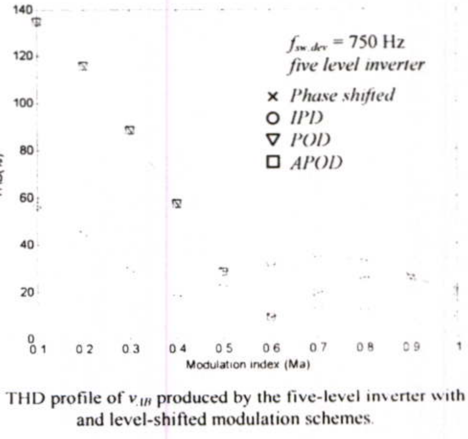


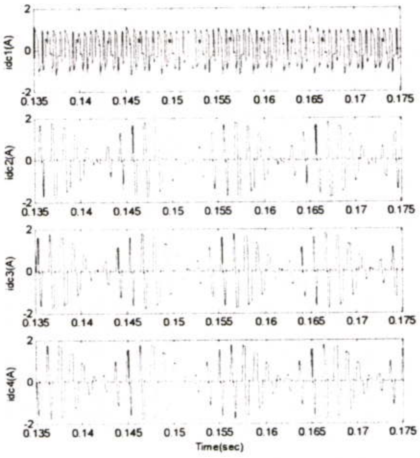
Figure 7. THD profile of v_{AB} produced by the five-level inverter with phase- and level-shifted modulation schemes.

The table IV shows the effect of dead time on THD of the inverter output voltage. The THD increased with the increased dead time but only at a very small fraction.

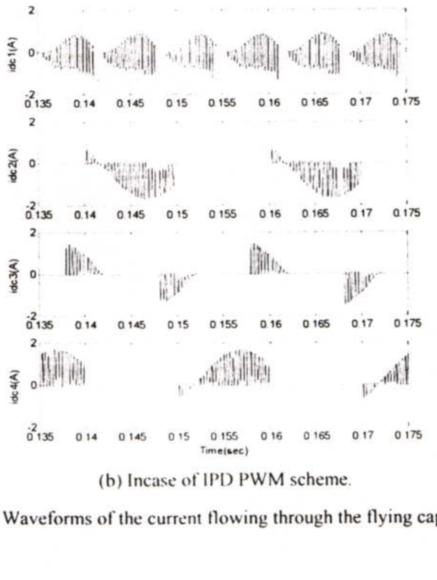
TABLE IV

PERCENT THD OF V_{AB} AFFECTED BY THE DEAD TIME

	dead time	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9	1.0
		Modulation Index : m_a									
Phase-shifted	1 μs	134.97	116.13	88.71	57.60	28.40	8.19	17.98	24.29	23.39	18.92
	2 μs	135.10	116.43	89.10	58.01	28.74	8.19	17.79	24.25	23.45	19.01
	4 μs	135.36	117.02	89.88	58.84	29.43	8.22	17.41	24.16	23.57	19.20
IPD	1us	55.95	43.67	26.57	12.96	19.78	8.05	9.73	9.61	5.69	7.64
	2 μs	56.13	43.85	26.80	13.04	19.58	8.10	9.67	9.69	5.75	7.56
	4 μs	56.46	44.24	27.25	13.21	19.19	8.23	9.55	9.82	5.90	7.38
POD	1 μs	134.95	116.12	88.70	57.60	28.42	30.08	34.89	34.06	27.49	17.44
	2 μs	135.07	116.42	89.09	58.00	28.73	29.96	34.82	34.07	27.60	17.59
	4 μs	135.07	116.45	89.06	58.04	28.72	8.25	17.77	24.18	23.41	18.98
APOD	1 μs	134.95	116.16	88.67	57.64	28.42	8.25	17.96	24.22	23.34	18.88
	2 μs	135.32	117.00	89.87	58.83	29.37	29.71	34.67	34.07	27.80	17.88
	4 μs	135.33	117.03	89.83	58.85	29.35	8.28	17.39	24.09	23.53	19.17



(a) Incase of phase-shifted PWM scheme.



(b) Incase of IPD PWM scheme.

Figure 8. Waveforms of the current flowing through the flying capacitors.

Fig. 8 shows the current flowing through each flying capacitor. In case of phase-shifted PWM scheme the currents flowing in the flying-capacitors are balanced, i.e. the average current is zero. In case of IPD PWM scheme, the currents flowing through the flying-capacitors are not balanced, resulting in a non-zero average current. If no energy source is connected to the flying-capacitor; this would result in uneven level of the output voltage.

CONCLUSION

Simulations of flying-capacitor multilevel inverter have been carried out using phase-shifted and level-shifted PWM schemes. The results of the simulation are compared. The IPD PWM scheme provided the lowest output voltage THD over the range of modulation index. However it could not balance the energy flow of the flying-capacitors and could lead to uneven level of the output voltage. The phase-shifted PWM scheme, while providing a higher output voltage THD, it is capable of balancing the energy flow of the flying-capacitors. Both features, low THD and capacitor energy balancing, could not be attained at the same time by both modulation schemes.

Regarding to the THD performance, IPD PWM scheme will be suitable for adjustable speed-drive application, where full range of modulation is required. Balancing of the capacitor energy under IPD PWM scheme using a technique introduced in [4] as well as other techniques will be reported in the future.

REFERENCES

[1] L. Tolbert, F.-Z. Peng, and T. Habetler, "Multilevel converters for large electric drives," *IEEE Trans. Ind. Applicat.*, vol. 35, pp. 36-44, Jan./Feb. 1999.

[2] F. Zheng Peng, J. Rodriguez, and J. Sheng Lai ,Multilevel Inverter: A Survey of Topologies, Control and Application, *IEEE Trans. Ind. Applicat.*, Vol. 49, No. 4, August 2002.

[3] Bin Wu, *High-Power Converters and ac Drives*, The Institute of Electrical and Electronics Engineerings, Inc., 2006, pp.127-136.

[4] F. Z. Peng and J. S. Lai, "Dynamic performance and control of a static VAR generator using cascade multilevel inverter," *IEEE Trans. Ind. Applicat.*, vol. 33, pp. 748=755, May/June 1997.

ประวัติผู้เขียน

ชื่อ-นามสกุล นายสถิตย์พร เกตุสกุล

วัน เดือน ปีเกิด 26 พฤษภาคม 2523 ที่ลพบุรี

ที่อยู่ 81 หมู่ 15 ต.บางลี่ อ.ท่าวุ้ง จ.ลพบุรี 15150

Tel : 081-4005018

E-mail : s7060219@kmitl.ac.th, satitporn123@hotmail.com

ประวัติการศึกษา สำเร็จการศึกษาระดับปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า มหาวิทยาลัยปทุมธานี ปีการศึกษา 2547 (เกียรตินิยมอันดับ 1) และเข้าศึกษาต่อในระดับปริญญาโทวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2547

สาขางานวิจัยที่สนใจ 1.) Power Electronics

2.) Multilevel Inverter

ประสบการณ์ทำงาน อาจารย์ประจำมหาวิทยาลัยปทุมธานี 2547-ปัจจุบัน

ผลงานทางวิชาการ

1. S. Ketsakoon, S. Polmai, **"Comparison Between Phase- and Level-shifted PWM Schemes for Flying Capacitor Multilevel Inverter"** The 2007 ECTI International Conference (ECTI-CON2007), Mae Fah Luang University, chiang rai, Thailand, May 9-12, 2007.