

การออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุด  
ชนิดหลายอินพุต โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส

DESIGN OF CMOS MULTIPLE-INPUT MAXIMUM AND  
MINIMUM CIRCUITS

ชัยพร พจนสุวรรณชัย  
CHAMAIPORN POJANASUWANCHAI

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมการวัดคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-9708-13-X

การออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุด  
ชนิดหลายอินพุต โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส

DESIGN OF CMOS MULTIPLE – INPUT MAXIMUM AND  
MINIMUM CIRCUITS

ชัยพร พจนสุวรรณชัย

CHAMAIPORN POJANASUWANCHAI

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมการวัดคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-9708-13-X

DESIGN OF CMOS MULTIPLE – INPUT MAXIMUM AND  
MINIMUM CIRCUITS

CHAMAIPORN POJANASUWANCHAI

A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MASTER OF ENGINEERING IN INSTRUMENTATION ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2004

ISBN 974-9708-13-X

COPY RIGHT 2004

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดชนิด หลายอินพุต โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส
นักศึกษา	นางสาวชัชพร พจนสุวรรณชัย
รหัสนักศึกษา	45061157
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมการวัดคุม
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ประสิทธิ์ จุลเสวีวงศ์
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	รศ.ดร. วันชัย ธีรวิจจา

### บทคัดย่อ

วิทยานิพนธ์นี้เป็นการนำเสนอหลักการออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดในโมดกระแสชนิดหลายอินพุต บนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซีมอส ที่มีการทำงานในช่วงนำกระแสอิ่มตัวเป็นหลัก วงจรที่ได้นำเสนอมีความคิดพึ่ยนของสัญญาณเอาต์พุตต่ำ มีความเหมาะสมในการนำไปสร้างเป็นวงจรรวมได้ง่าย และมีประสิทธิภาพการทำงานสูงสามารถนำไปประยุกต์ใช้ในการประมวลผลสัญญาณทางแอนะล็อก การทดสอบสมรรถนะของวงจรที่ได้พัฒนาขึ้นจะทำการเลียนแบบการทำงานด้วยโปรแกรม PSPICE ผลการทดสอบสามารถยืนยันถึงช่วงปฏิบัติการและความถูกต้องในการทำงานของวงจรที่ออกแบบเป็นไปตามหลักการที่นำเสนอไว้

<b>Thesis Title</b>	Design of CMOS Multiple - input maximum and minimum circuits
Student	Miss Chamaiporn Pojanasuwanchai
Student ID.	45061157
Degree	Master of Engineering
Programme	Instrumentation Engineering
Year	2004
Thesis Advisor	Assoc.Prof. Prasit Julsereewong
Co - Thesis Advisor	Assoc.Prof.Dr. Vanchai Riewruja

### **ABSTRACT**

This thesis presents the multiple-input maximum and minimum circuits for analog signal processing, which operates throughout in the current domain. The proposed circuits have the simple realization method and are suitable for fabrication using CMOS technology form as versatile building block. All transistors are operated in their saturation regions. The characteristics of the proposed circuits exhibit the low distortion in the output signal at low-level input signal. The performances of the proposed circuits were studied using the PSPICE analog simulation program. The simulation results verified the circuits performances, i.e. dynamic range and accuracy are agreed with the proposed principle.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี ผู้เขียนขอกราบขอบพระคุณ รองศาสตราจารย์ ประสิทธิ์ จุลเสรีวงศ์ อาจารย์ผู้ควบคุมวิทยานิพนธ์เป็นอย่างสูง ซึ่งสนับสนุนผู้เขียนเข้าศึกษาในระดับปริญญาโท ทั้งให้ความรู้ความคิดริเริ่ม ข้อเสนอแนะและชี้แนะแนวทางการแก้ปัญหาต่างๆเป็นอย่างดี และได้มอบโอกาสที่ดีแก่ผู้เขียนที่จะได้รับประสบการณ์ ได้รับความรู้ต่างๆ อย่างมากมายมาโดยตลอดระยะเวลาการศึกษา

ขอกราบขอบพระคุณ รองศาสตราจารย์ ดร.วันชัย ธีรรุจา อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม ที่ได้ให้ความรู้ต่างๆ ข้อเสนอแนะและแนวทางในการทำวิจัยวิทยานิพนธ์

ขอขอบคุณ อาจารย์อัมพวัน ใจกล้า ที่ได้ให้ความรู้ คำแนะนำต่างๆ ให้การสนับสนุนและให้ความช่วยเหลือแก่ผู้เขียนมาโดยตลอดจนวิทยานิพนธ์ฉบับนี้สำเร็จลงด้วยดี

ขอกราบขอบพระคุณ คุณพ่อคุณแม่ ผู้คอยห่วงใย เป็นกำลังใจ และให้การสนับสนุนในการศึกษา รวมทั้งพี่และน้องที่คอยให้กำลังใจแก่ผู้เขียนมาโดยตลอด

ขอขอบคุณ พี่ๆ น้องๆ นักศึกษาปริญญาโทสาขาวิศวกรรมการวัดคุม ตลอดจนผู้เกี่ยวข้องที่ไม่ได้เอ่ยนามในที่นี้ทุกๆ ท่าน ที่ได้ให้การสนับสนุนและความช่วยเหลือตลอดมา

สุดท้ายนี้ขอขอบคุณทบวงมหาวิทยาลัยและบัณฑิตวิทยาลัย ที่ได้ให้ทุนสนับสนุนในการเดินทางไปสัมมนาวิชาการซึ่งเป็นส่วนหนึ่งในวิทยานิพนธ์นี้

ชมัยพร พจนสุวรรณชัย

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	I
บทคัดย่อภาษาอังกฤษ .....	II
กิตติกรรมประกาศ .....	III
สารบัญ .....	IV
สารบัญตาราง .....	VII
สารบัญรูป .....	VIII
บทที่ 1 บทนำ .....	1
1.1 กล่าวนำ .....	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์ .....	2
1.3 หลักการใหม่ในวิทยานิพนธ์ .....	2
1.4 รายละเอียดของวิทยานิพนธ์ .....	2
บทที่ 2 ทฤษฎีการทำงานของมอสเฟต .....	4
2.1 กล่าวนำ .....	4
2.2 ทฤษฎีการทำงานของมอสเฟต .....	4
2.2.1 คุณสมบัติการทำงาน .....	7
2.2.2 สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ .....	11
2.2.3 ค่าความจุไฟฟ้าในมอสเฟต .....	12
2.2.4 วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก .....	14
2.2.5 เปรียบเทียบข้อดีและข้อเสียระหว่างมอสเฟตกับไบโพลาร์ทรานซิสเตอร์ ...	16
2.3 บทสรุป .....	17
บทที่ 3 วงจรหาค่าสูงสุดและวงจรถ้าต่ำสุดทั่วไป .....	18
3.1 กล่าวนำ .....	18
3.2 วงจรหาค่าสูงสุด .....	19
3.2.1 วงจรหาค่าแรงดันสูงสุดโดยใช้ไอทีเอ .....	19
3.2.2 วงจรหาค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแส .....	22
3.2.3 วงจรหาค่ากระแสสูงสุดโดยใช้มอสเฟต .....	24

## สารบัญ (ต่อ)

	หน้า
3.3 วงจรหาค่าต่ำสุด .....	25
3.3.1 วงจรหาค่าแรงดันต่ำสุดโดยใช้ไอทีเอ .....	25
3.3.2 วงจรหาค่าแรงดันต่ำสุดโดยใช้วงจรสายพานกระแส .....	28
3.3.3 วงจรหาค่ากระแสต่ำสุดโดยใช้ซีมอส .....	29
3.4 วงจรหาค่าสูงสุดและต่ำสุด .....	31
3.4.1 วงจรเลือกหาค่าสูงสุดและต่ำสุดโดยใช้ซีมอส .....	31
3.4.2 วงจรหาค่าสูงสุดและต่ำสุดโดยใช้ซีมอส .....	33
3.5 บทสรุป .....	36
<b>บทที่ 4 การออกแบบวงจรหาค่าสูงสุดและวงจรถ่ายค่าต่ำสุดชนิดหลายอินพุต</b>	
ที่นำเสนอในวิทยานิพนธ์ .....	37
4.1 กล่าวนำ .....	37
4.2 การออกแบบวงจรหาค่าสูงสุดชนิดหลายอินพุต .....	37
4.3 การออกแบบวงจรหาค่าต่ำสุดชนิดหลายอินพุต .....	40
4.4 การวิเคราะห์คุณสมบัติการทำงานของวงจรหาค่าสูงสุดชนิดหลายอินพุต .....	43
4.4.1 การวิเคราะห์หาช่วงปฏิบัติการของกระแสอินพุต .....	43
4.4.2 การวิเคราะห์หาค่าความผิดพลาดของวงจร .....	45
4.4.3 การวิเคราะห์หาผลตอบสนองความถี่ .....	47
4.5 การวิเคราะห์คุณสมบัติการทำงานของวงจรหาค่าต่ำสุดชนิดหลายอินพุต .....	51
4.5.1 การวิเคราะห์หาช่วงปฏิบัติการของกระแสอินพุต .....	52
4.5.2 การวิเคราะห์หาค่าความผิดพลาดของวงจร .....	53
4.5.3 การวิเคราะห์หาผลตอบสนองความถี่ .....	55
4.6 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE .....	58
4.6.1 วงจรหาค่าสูงสุดชนิดหลายอินพุต .....	58
4.6.2 วงจรหาค่าต่ำสุดชนิดหลายอินพุต .....	61
4.7 บทสรุป .....	66

## สารบัญ (ต่อ)

	หน้า
บทที่ 5 ตัวอย่างการประยุกต์ใช้งาน .....	67
5.1 กล่าวนำ .....	67
5.2 ตัวอย่างการประยุกต์ใช้งาน .....	67
บทที่ 6 บทสรุปและวิจารณ์ .....	70
6.1 บทสรุปและวิจารณ์ .....	70
6.2 ข้อเสนอแนะและแนวทางในการทำวิจัยและพัฒนาต่อ .....	71
เอกสารอ้างอิง .....	72
ภาคผนวก ก. ผลงานวิจัยที่ได้รับการตีพิมพ์ .....	74
ประวัติผู้เขียน .....	88

# สารบัญตาราง

ตารางที่	หน้า
4.1 ความกว้างและความยาวของเซนเนลของมอสทรานซิสเตอร์ในวงจรรูปที่ 4.1 .....	58
4.2 ความกว้างและความยาวของเซนเนลของมอสทรานซิสเตอร์ในวงจรรูปที่ 4.2 .....	62
6.1 เปรียบเทียบคุณสมบัติของวงจรถ้าสูงสุดที่นำเสนอกับวงจรถ้าสูงสุด ที่มีการนำเสนอไว้ในอดีต .....	70
6.2 เปรียบเทียบคุณสมบัติของวงจรถ้าต่ำสุดที่นำเสนอกับวงจรถ้าต่ำสุด ที่มีการนำเสนอไว้ในอดีต .....	71

# สารบัญรูป

รูปที่	หน้า
2.1 มอสเฟทแบบลดพาหะ (Depletion-mode) .....	5
2.2 มอสเฟทแบบเอ็นฮานซ์เมนต์โหมด(Enhancement-mode) .....	6
2.3 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นเซนเนล .....	8
2.4 กราฟคุณสมบัติการทำงานของมอสเฟทแบบเอ็นฮานซ์เมนต์โหมด .....	11
2.5 ค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟท .....	12
2.6 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟท .....	14
2.7 วงจรสมมูลของมอสทรานซิสเตอร์ที่ใช้ในวิทยานิพนธ์นี้ .....	15
3.1 การประยุกต์ใช้งานวงจรรหาค่าสูงสุดและวงจรรหาค่าต่ำสุดในตัวควบคุมแบบพีซี .....	18
3.2 วงจรจำกัดกระแสแบบบวก .....	19
3.3 ตัวต้านทานที่ปรับค่าได้ .....	19
3.4 วงจรรหาค่าแรงดันสูงสุดโดยใช้โอทีเอ .....	20
3.5 วงจรรหาค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแสแบบพื้นฐาน .....	22
3.6 วงจรรหาค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแส .....	23
3.7 วงจรรหาค่ากระแสสูงสุดโดยใช้ออสเฟท .....	24
3.8 วงจรรหาค่ากระแสสูงสุดชนิดหลายอินพุต .....	25
3.9 วงจรจำกัดกระแสแบบลบ .....	25
3.10 วงจรรหาค่าแรงดันต่ำสุดโดยใช้โอทีเอ .....	26
3.11 วงจรรหาค่าแรงดันต่ำสุดโดยใช้วงจรสายพานกระแสแบบพื้นฐาน .....	28
3.12 วงจรรหาค่าแรงดันต่ำสุดโดยใช้วงจรสายพานกระแส .....	29
3.13 วงจรรหาค่ากระแสต่ำสุดโดยใช้ซีมอส .....	29
3.14 วงจรรหาค่ากระแสต่ำสุดชนิดหลายอินพุต .....	31
3.15 วงจรเลือกหาค่าสูงสุดและต่ำสุดโดยใช้ซีมอส .....	31
3.16 วงจรรหาค่าสูงสุดและต่ำสุดชนิดสองอินพุต .....	33
4.1 วงจรรหาค่าสูงสุดชนิดหลายอินพุตที่น่าเสนอ .....	38
4.2 วงจรรหาค่าต่ำสุดชนิดหลายอินพุตที่มีพื้นฐานการทำงานมาจากวงจรรหาค่าสูงสุด .....	42
4.3 การทำงานของวงจรรหาค่าสูงสุดที่น่าเสนอ เมื่อจำนวนกระแสอินพุตเท่ากับหนึ่ง .....	43
4.4 วงจรสะท้อนกระแสแบบพื้นฐานโดยใช้ออสเฟท .....	45
4.5 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองความถี่สำหรับวงจรรหาค่าสูงสุด .....	48

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.6 การทำงานของวงจรหาค่าต่ำสุดที่นำเสนอ เมื่อจำนวนกระแสอินพุตเท่ากับหนึ่ง	52
4.7 วงจรสมมูลขนาดเล็กของวงจรสะท้อนกระแสแบบพื้นฐาน	55
4.8 คุณลักษณะของวงจรหาค่าสูงสุด เมื่อกระแสอินพุตทั้งสองเป็นสัญญาณไฟตรง	58
4.9 ผลการเลียนแบบการทำงานของวงจรหาค่าสูงสุดเมื่อจำนวนกระแสอินพุตเท่ากับสาม โดยป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีขนาด $0\mu\text{A}$ ถึง $50\mu\text{A}$	59
4.10 ผลการเลียนแบบการทำงานของวงจรหาค่าสูงสุดเมื่อจำนวนกระแสอินพุตเท่ากับห้า โดยป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีขนาด $0\mu\text{A}$ ถึง $50\mu\text{A}$	60
4.11 ผลตอบสนองของวงจรหาค่าสูงสุด เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว	61
4.12 ผลตอบสนองความถี่ของวงจรหาค่าสูงสุด เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว	61
4.13 ผลตอบสนองของวงจรหาค่าต่ำสุด เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว	62
4.14 ผลการเลียนแบบการทำงานของวงจรหาค่าต่ำสุดเมื่อจำนวนกระแสอินพุตเท่ากับสาม โดยป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีขนาด $50\mu\text{A}$ ถึง $0\mu\text{A}$	63
4.15 ผลการเลียนแบบการทำงานของวงจรหาค่าต่ำสุดเมื่อจำนวนกระแสอินพุตเท่ากับห้า โดยป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีขนาด $50\mu\text{A}$ ถึง $0\mu\text{A}$	64
4.16 ผลการเลียนแบบการทำงานของวงจรหาค่าต่ำสุดเมื่อจำนวนอินพุตเท่ากับสอง โดยป้อนสัญญาณแบบขั้นบันได	65
4.17 ผลตอบสนองความถี่ของวงจรหาค่าต่ำสุด เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว	65
5.1 โครงสร้างของตัวควบคุมแบบพีชชี	67
5.2 สภาพแวดล้อมการทำงานของตัวควบคุมแบบพีชชีชนิดอะแดปทีฟออนไลน์	68
5.3 สถาปัตยกรรมแบบคล้ายเมตริกซ์ของชิปพีชชี ชนิดโปรแกรมได้สำหรับการใช้งานทั่วไป	69

# บทที่ 1

## บทนำ

### 1.1 กล่าวนำ

ในปัจจุบันวงจรที่มีหลักการทำงานในลักษณะของการหาค่าสูงสุดหรือหาค่าต่ำสุดของสัญญาณกระแส มีการประยุกต์ใช้งานอย่างกว้างขวางในด้านของการประมวลผลสัญญาณทางแอนะล็อก การประมวลผลสัญญาณภาพและการควบคุมแบบพีซี วงจรหาค่าสูงสุดและหาค่าต่ำสุดของสัญญาณกระแสได้มีการพัฒนาอย่างต่อเนื่องมาโดยตลอด เช่น การออกแบบวงจรโดยใช้วงจรสายพานกระแสรุ่นที่สอง (Second generation current conveyor: CCII) [1] โดยใช้ทำงานร่วมกับไดโอด ซึ่งทำหน้าที่เป็นสวิตช์อิเล็กทรอนิกส์ ทำให้ความเร็วในการทำงานของวงจรมีแนวโน้มถูกจำกัดด้วยช่วงเวลาในการเปลี่ยนสถานะปิดหรือเปิดของไดโอด และวงจรขยายความนำหรือโอทีเอ (Operational transconductance amplifier: OTA) [2] จะมีช่วงปฏิบัติการในช่วงแคบ อันเป็นผลเนื่องมาจากข้อจำกัดของตัววงจรขยายความนำเอง ดังนั้นจึงได้มีการนำเสนองานออกแบบวงจรหาค่าสูงสุดหรือวงจรหาค่าต่ำสุดโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส [3]-[4] เช่น การนำเสนองานหาค่าสูงสุดสำหรับสัญญาณอินพุตหลายๆ สัญญาณ โดยการนำวงจรหาค่าสูงสุดชนิดสองอินพุตหลายๆ วงจรมาต่อร่วมกันแบบโครงสร้างหลายระดับ (Tree structure) [5] ปัญหาที่เกิดขึ้นจากการต่อวงจรในลักษณะ โครงข่ายหลายระดับนี้คือ ความผิดพลาดสะสมที่เกิดจากวงจรหาค่าสูงสุดชนิดสองอินพุตแต่ละวงจรและความเร็วในการทำงาน จากข้อจำกัดนี้จึงได้มีการนำเสนองานออกแบบวงจรหาค่าสูงสุดชนิดหลายอินพุตในบทความวิจัย [6]-[7] แต่วิธีการที่นำเสนอในบทความดังกล่าวจะเกิดปัญหาทางด้านความเร็วและความถูกต้องในการทำงานของวงจรมันเนื่องมาจากการเปลี่ยนสถานะการทำงานจากช่วงนำกระแสอิ่มตัว (Saturation region) เป็นช่วงนำกระแสไม่อิ่มตัว (Non-saturation region) ของมอสทรานซิสเตอร์

ในวิทยานิพนธ์นี้ได้ทำการศึกษาการออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดชนิดหลายอินพุตสำหรับสัญญาณกระแสในรูปแบบวงจรรวม โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่มีการทำงานในช่วงนำกระแสอิ่มตัวเป็นหลัก ซึ่งจะทำให้ได้วงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดที่มีขนาดเล็ก ใช้อุปกรณ์น้อย รวมทั้งเป็นวงจรที่มีคุณสมบัติและประสิทธิภาพที่ดีในการทำงาน

## 1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

ในการทำวิทยานิพนธ์นี้เป็นการศึกษาและออกแบบวงจรหาค่าสูงสุดและวงจรถ่ายค่าต่ำสุดชนิดหลายอินพุต ที่มีการทำงานในโหมด (Mode) ของกระแสสำหรับสัญญาณแอนะล็อก ในการออกแบบ วงจรโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส ที่มีการทำงานในช่วงนำกระแสอิมิตัวเป็นหลัก โดยมุ่งเน้นให้โครงสร้างของวงจรที่ออกแบบมีโครงสร้างของวงจรที่เหมาะสมที่จะนำไปพัฒนาสร้างเป็นวงจรรวม และเนื่องจากวงจรที่ออกแบบนี้ทำงานอยู่ในโหมดกระแส ดังนั้นจึงสามารถพัฒนาให้ใช้กับแหล่งจ่ายไฟแรงดันต่ำได้ วงจรที่ออกแบบมีประสิทธิภาพในการทำงานสูงตลอดจนให้ค่าความแม่นยำในการทำงานที่ดี โดยมีความผิดพลาดของสัญญาณเอาต์พุตต่ำ และมีช่วงปฏิบัติการทางขนาดและช่วงปฏิบัติการทางความถี่ในย่านกว้าง

## 1.3 หลักการใหม่ในวิทยานิพนธ์

วงจรถ่ายค่าสูงสุดและวงจรถ่ายค่าต่ำสุดชนิดหลายอินพุตแบบใหม่ที่ได้นำเสนอในวิทยานิพนธ์นี้ จะมีการทำงานในโหมดของกระแสสำหรับการประมวลสัญญาณทางแอนะล็อก โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่ทำงานในช่วงอิมิตัวเป็นหลัก โครงสร้างของวงจรที่ออกแบบเป็นวงจรถ่ายค่า AB/B โดยการทำงานของวงจรในคลาส AB จะเป็นการเพิ่มความเร็วในการทำงานที่สูงขึ้น โดยลดผลของช่วงเวลาหน่วง (delay time) เป็นผลทำให้มีความผิดพลาดของสัญญาณเอาต์พุตต่ำ และการทำงานของวงจรในคลาส B จะเป็นการลดขนาดของวงจรให้เล็กลง ใช้อุปกรณ์น้อย เพื่อรองรับกับเทคโนโลยีของวงจรรวมขนาดใหญ่ นอกจากนี้วงจรที่ออกแบบยังใช้กับแหล่งจ่ายไฟแรงดันต่ำ ซึ่งเป็นการพัฒนาเทคโนโลยีของทรานซิสเตอร์แบบซีมอสอีกรูปแบบหนึ่ง เพื่อที่จะสามารถใช้พลังงานจากแหล่งจ่ายเบตเตอรี่หรือแหล่งจ่ายพลังงานแบบพกพาได้ ทำให้เกิดความสะดวกมากยิ่งขึ้นในการใช้งาน

## 1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้แบ่งออกเป็น 6 บท และภาคผนวก 1 ภาค ซึ่งในแต่ละบทมีรายละเอียดดังต่อไปนี้

- บทที่ 1 คือ บทนำ ซึ่งจะเป็นการกล่าวนำถึงวัตถุประสงค์ของวิทยานิพนธ์และรายละเอียดในแต่ละบทของวิทยานิพนธ์
- บทที่ 2 กล่าวถึงทฤษฎีการทำงาน วงจรสมมูล และสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่และสัญญาณขนาดเล็กของมอสเฟต
- บทที่ 3 กล่าวถึงหลักการการทำงานของวงจรถ่ายค่าสูงสุดและวงจรถ่ายค่าต่ำสุดทั่วไป
- บทที่ 4 กล่าวถึงการออกแบบวงจรถ่ายค่าสูงสุดและวงจรถ่ายค่าต่ำสุดชนิดหลายอินพุต โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส การวิเคราะห์หาค่าคุณสมบัติต่างๆ ของวงจร

และการเปลี่ยนแปลงการทำงานของวงจรด้วยโปรแกรม PSPICE เพื่อยืนยัน  
สมรรถนะการทำงานของวงจร

บทที่ 5 เป็นตัวอย่างการประยุกต์ใช้งาน วงจรที่นำเสนอในวิทยานิพนธ์นี้

บทที่ 6 เป็นการสรุปผลงานที่ได้นำเสนอในวิทยานิพนธ์ พร้อมทั้งได้นำเสนอแนวทางใน  
การวิจัยและพัฒนาต่อไป

ภาคผนวก ก. แสดงผลงานวิจัยที่ได้รับการตีพิมพ์ ในการประชุมวิชาการระดับนานาชาติ

จำนวน 2 บทความ

## บทที่ 2

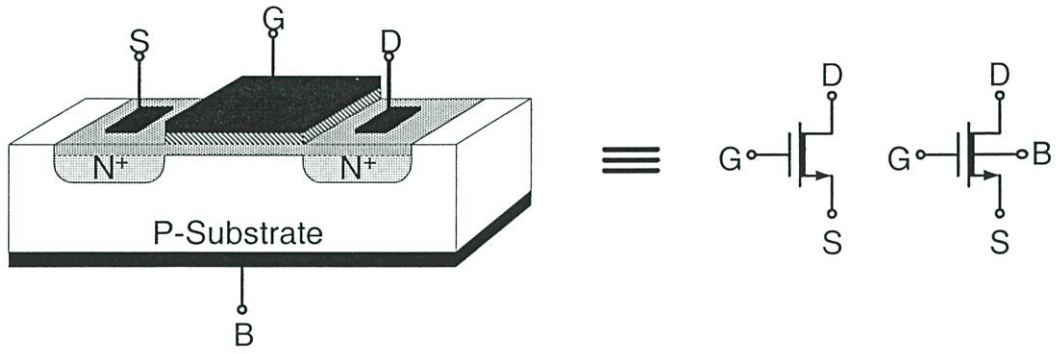
# ทฤษฎีการทำงานของมอสเฟต

### 2.1 กล่าวนำ

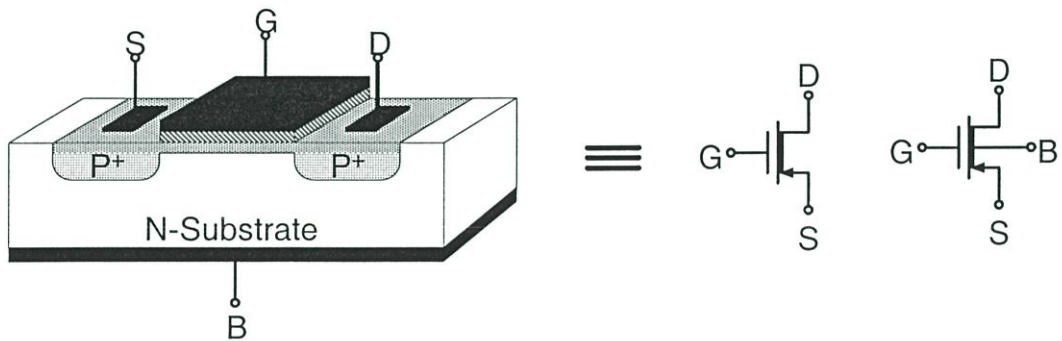
ในวิทยานิพนธ์นี้เป็นการวิจัยและพัฒนารูปแบบวงจรถูกค่าสูงสุดและวงจรถูกค่าต่ำสุดชนิดหลายอินพุตที่มีการทำงานในโหมดของกระแสสำหรับสัญญาณแอนะล็อก โดยอาศัยหลักการของมอสเฟตชนิดเอ็นฮานซ์เมนต์โหมด (Enhancement-mode) ที่มีการทำงานอยู่ในช่วงนำกระแสอิ่มตัว (Saturation Region) เป็นหลัก ดังนั้นเพื่อเป็นแนวทางในการออกแบบซึ่งจะนำไปสู่ผลที่คาดว่าจะเกิดขึ้น และการใช้เป็นข้ออ้างอิงกับผลที่ได้จากการเลียนแบบการทำงานของวงจรถูกค่าต่ำสุดโดยใช้โปรแกรมทางคอมพิวเตอร์ เช่น โปรแกรม PSPICE ซึ่งจะใช้เป็นข้อแสดงถึงสมรรถนะของวงจรถูกค่าต่ำสุดว่ามีคุณสมบัติเป็นไปตามหลักการที่ได้ออกแบบและนำเสนอมาอย่างน้อยเพียงใด เนื้อหาในบทนี้จะขออ้างอิงและกล่าวถึงทฤษฎีการทำงาน วงจรสมมูล และสมการสำคัญของมอสเฟต โดยเฉพาะอย่างยิ่งมอสเฟตชนิดเอ็นฮานซ์เมนต์โหมดที่มีการทำงานในช่วงนำกระแสอิ่มตัว สำหรับสมการและทฤษฎีการทำงาน โดยละเอียดของมอสเฟตนั้นได้มีการนำเสนอไว้แล้วในเอกสารและตำราต่างๆ มากมาย [8]-[13]

### 2.2 ทฤษฎีการทำงานของมอสเฟต [8]-[13]

มอสเฟต (Metal Oxide Semiconductor Field Effect Transistor; MOSFET) หรือ มอสทรานซิสเตอร์ หรือทรานซิสเตอร์แบบมอส ได้มีการพัฒนามาก่อนการสร้างไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor) [8] ในต้นทศวรรษที่ 1930 ได้มีหลักฐานแสดงถึงการจดสิทธิบัตรสำหรับอุปกรณ์ที่คล้ายกับซิลิกอนมอสเฟตในปัจจุบัน แต่ไม่ได้สร้างขึ้นจากซิลิกอน แต่เนื่องจากสมัยนั้นเทคโนโลยีและกระบวนการสร้างยากที่จะควบคุมรอยสัมผัสหรือรอยต่อของฉนวนกับสารกึ่งตัวนำ (Insulator-semiconductor Interface) และยังคงขาดความเข้าใจในกระบวนการของฉนวนและสารกึ่งตัวนำ ทำให้อุปกรณ์ที่คล้ายมอสเฟตในสมัยนั้นไม่สามารถนำไปใช้งานจริงได้ จนกระทั่งการเกิดขึ้นของกระบวนการ Silicon planar และเทคโนโลยีสมัยใหม่สามารถควบคุมรอยต่อระหว่างออกไซด์และซิลิกอนได้ดี ทำให้สามารถสร้างมอสทรานซิสเตอร์และนำมาใช้งานได้จริง ซึ่งเป็นวิธีที่แพร่หลายตั้งแต่ปลายทศวรรษที่ 1970 จนถึงปัจจุบัน [8]-[13]



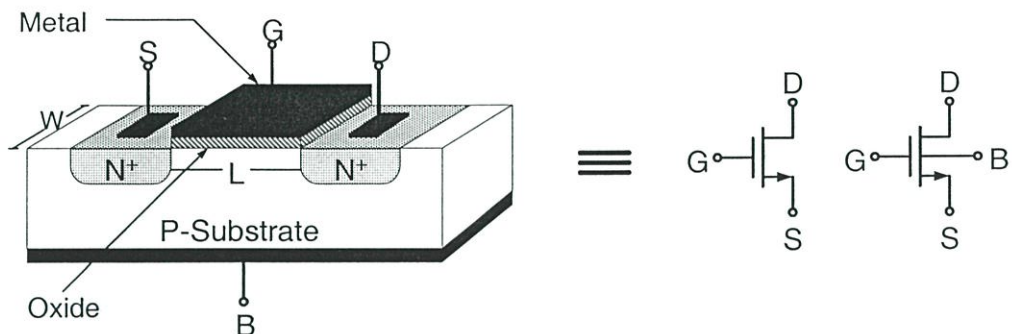
(ก) แบบช่องทางเดินกระแสชนิดเอ็น (N-channel)



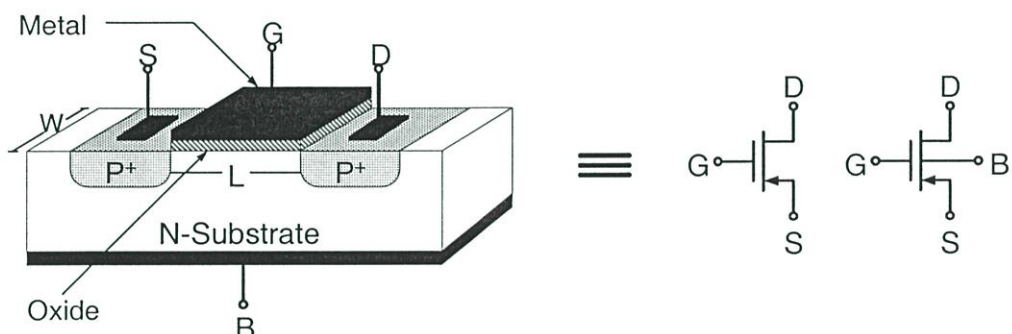
(ข) แบบช่องทางเดินกระแสชนิดพี (P-channel)

### รูปที่ 2.1 มอสเฟตแบบลดพาหะ (Depletion-mode)

มอสเฟตเป็นทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้า สามารถแบ่งเป็นประเภทต่างๆ ได้หลายแบบ ขึ้นอยู่กับเกณฑ์ที่ใช้ในการแบ่ง เช่น ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแส จะสามารถแบ่งได้เป็นสองชนิด คือ มอสเฟตแบบช่องทางเดินกระแสชนิดเอ็น (N-channel MOSFET) ซึ่งเป็นมอสเฟตที่ใช้อิเล็กตรอนเป็นพาหะในการนำกระแส และมอสเฟตแบบช่องทางเดินกระแสชนิดพี (P-channel MOSFET) ซึ่งเป็นมอสเฟตที่ใช้โฮล (hole) เป็นพาหะในการนำกระแส ถ้าแบ่งมอสเฟตตามลักษณะโครงสร้างและการเกิดแชนเนลในขณะที่มีการไบแอสเป็น ศูนย์จะสามารถแบ่งออกได้เป็นสองลักษณะคือ มอสเฟตแบบลดพาหะ (Depletion-mode) และแบบเอ็นฮานซ์เมนต์โหมด (Enhancement-mode) ดังแสดงในรูปที่ 2.1 และ 2.2 ตามลำดับ สำหรับโครงสร้างของมอสเฟตแบบลดพาหะชนิดเอ็น จะประกอบไปด้วยปลายอิเล็กโทรด เกรนและซอร์สที่มีปลายทั้งสองข้างต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกัน ซึ่งเป็นชนิดเอ็นบางๆ ที่ต่อกันในลักษณะของแชนเนล ซึ่งวางอยู่บนผิวหน้าของฐานรอง (Substrate) ชนิดพี จากนั้นจึงวาง อิเล็กโทรดเกต ซึ่งเป็นโลหะ เหนือย่านของแชนเนลชนิดเอ็น ซึ่งกั้นด้วยฉนวนบางๆ ของซิลิกอนออกไซด์ ( $\text{SiO}_2$ ) โดยมีค่าพิคัดความต้านทาน (Resistivity) ประมาณ  $10^{15}\Omega$



(ก) แบบช่องทางเดินกระแสชนิดเอ็น (N-channel)



(ข) แบบช่องทางเดินกระแสชนิดพี (P-channel)

## รูปที่ 2.2 มอสเฟตแบบเอ็นฮานซ์เมนต์โหมด (Enhancement-mode)

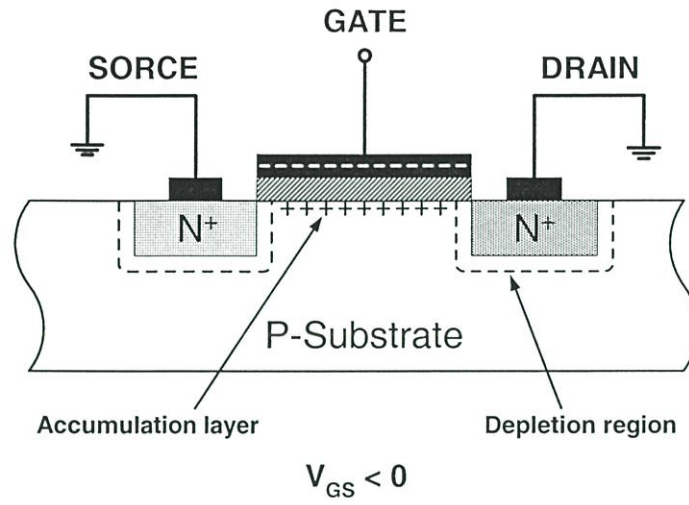
(ณ อุณหภูมิห้อง) [8] ดังรูปที่ 2.1(ก) ในทำนองเดียวกันถ้าเปลี่ยนไปใช้ฐานรองที่เป็นชนิดเอ็นและมีแกนเนลที่วางอยู่บนผิวหน้าของฐานรองเป็นชนิดพี จะเรียกมอสเฟตชนิดนี้ว่าเป็น มอสเฟตแบบลดพาหะชนิดพีแกนเนล ดังแสดงในรูปที่ 2.1(ข) การทำงานของมอสเฟตแบบลดพาหะนี้ สามารถทำงานในย่านดีเฟลทชันด้วยไบแอสย้อนกลับและยังทำงานในย่านเอ็นฮานซ์เมนต์ด้วยไบแอสตรง โดยมี แรงดันไบแอสเกตซอร์ส ( $V_{GS}$ ) ควบคุมการไหลของกระแสเดรน ( $I_D$ ) ที่เกิดขึ้น สำหรับมอสเฟตแบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นและชนิดพี จะมีขบวนการสร้างเช่นเดียวกับการสร้างมอสเฟตแบบลดพาหะชนิดเอ็นและชนิดพีตามลำดับทุกประการ แต่จะแตกต่างกันเฉพาะในส่วนของการสร้างแกนเนลเท่านั้น ซึ่งมอสเฟตแบบเอ็นฮานซ์เมนต์โหมดนี้จะมีส่วนปลายอิเล็กโทรดเดรนและซอร์สทั้งสองข้างต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกันในลักษณะของแกนเนลซึ่งวางอยู่บนผิวหน้าของฐานรอง แต่แกนเนลดังกล่าวจะไม่ต่อถึงกัน โดยที่มีระยะห่างหรือความยาวของแกนเนล (Channel Length) เกิดขึ้นเป็น  $L$  และมีความกว้างของแกนเนล (Channel Width) เป็น  $W$  ดังรูปที่ 2.2 ในการทำงานของมอสเฟตแบบเอ็นฮานซ์เมนต์โหมด สามารถทำงานได้เฉพาะย่านเอ็นฮานซ์เมนต์ด้วยไบแอสตรงเท่านั้น ไม่สามารถทำงานในย่านของดีเฟลทชันด้วยไบแอสย้อนกลับได้

เนื่องจากมอสเฟตแบบเอ็นฮานซ์เมนต์โหมด เป็นแบบที่นิยมใช้กันอย่างแพร่หลายมากกว่าแบบดีฟลิชัน โหมดและเป็นแบบที่ใช้ภายในวิทยานิพนธ์นี้ ดังนั้นหัวข้อที่จะกล่าวดังต่อไปนี้ เป็นรายละเอียดซึ่งอธิบายถึงทฤษฎีการทำงานของมอสเฟตชนิดเอ็นฮานซ์เมนต์โหมด โดยจะพิจารณาที่มอสเฟตในช่วงทางเดินกระแสชนิดเอ็นเป็นหลัก สำหรับชนิดพีจะมีค่าแรงดัน  $V_{GS}$  และทิศทางของกระแสตรงเป็นไปในทิศทางตรงข้าม และเพื่อความกระชับในการกล่าวอ้าง คำว่า “มอสทรานซิสเตอร์” ภายในวิทยานิพนธ์นี้จะหมายถึง “มอสเฟตชนิดเอ็นฮานซ์เมนต์”

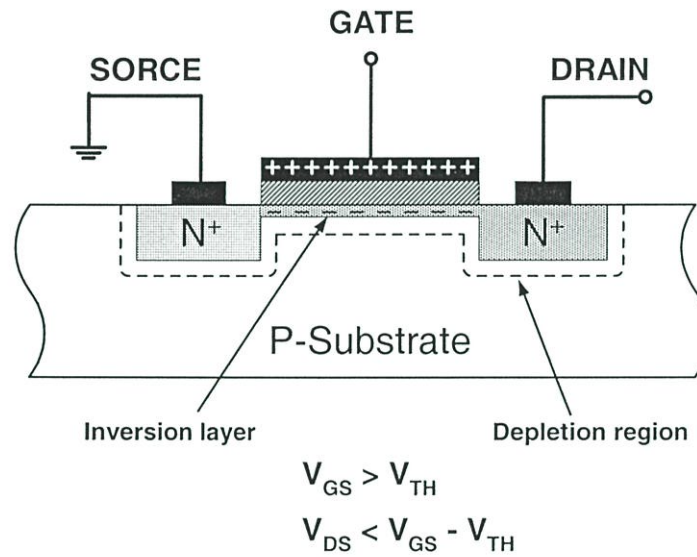
### 2.2.1 คุณสมบัติการทำงาน

ในการอธิบายคุณสมบัติการทำงานของมอสเฟตชนิดเอ็น สามารถที่จะอธิบายการทำงานได้ตามโครงสร้างในรูปที่ 2.3 ซึ่งแสดงถึงการทำงานในช่วงต่างๆ ของ  $V_{GS}$  และ  $V_{DS}$  จากรูปที่ 2.3 (ก) ซอร์ส (Source) เดรน (Drain) และฐานรอง (P-Substrate) ต่อดังกล่าว ในกรณีนี้จะมีผลทำให้ทรานซิสเตอร์ทำงานคล้ายกับตัวเก็บประจุ โดยเกตและผิวของซิลิกอนใต้ฉนวนซิลิกอนไดออกไซด์ทำหน้าที่เสมือนแผ่นระนาบ (plate) ของตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนกั้นระหว่างกลาง ถ้า  $V_{GS}$  มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮลจะถูกดึงดูดเข้ามาสะสมบริเวณแชนเนล มีผลให้บริเวณแชนเนลกลายเป็น  $p^+$  และเรียกว่า แชนเนลสะสม (Accumulated Channel) บริเวณซอร์สและเดรนที่เป็น  $n^+$  ถูกแยกกันด้วยแชนเนล  $p^+$  เมื่อมองในลักษณะวงจร สมมูลแล้ว จะพบว่ามิลักษณะของไดโอดสองตัวต่อหันหลังชนกัน (back-to-back diodes) ดังนั้นถ้าจะเกิดกระแสไหลได้ แรงดันที่ซอร์สและเดรน  $V_{DS}$  จะต้องมีความมากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหล (Leakage Current) หรือกรณีที่แรงดันเดรน-ซอร์ส  $V_{DS}$  มีค่ามากจนทำให้ทรานซิสเตอร์เบรคดาวน์ [29]

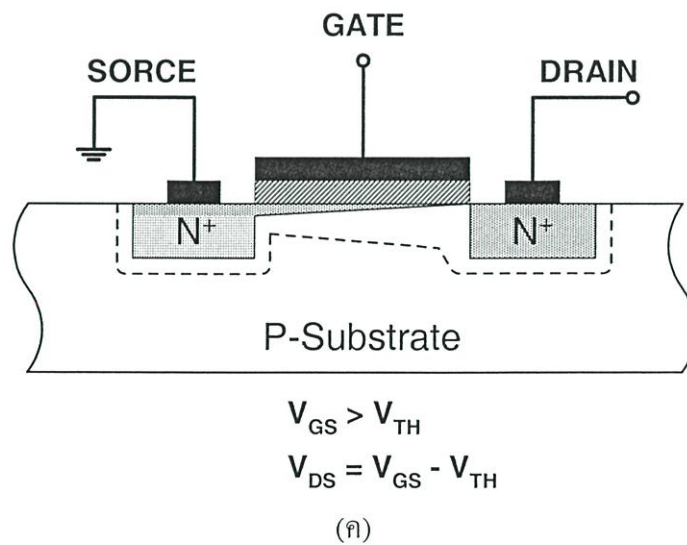
ในกรณีที่แรงดันเกตมีค่าเป็นบวกไม่มาก ประจุข้างใต้เกตจะถูกผลักออกไป ทำให้แชนเนลเปลี่ยนไปเป็น  $p^-$  และเป็นบริเวณปลอดพาหะ (Depletion region) ในที่สุด เมื่อแรงดันที่เกตเพิ่มมากขึ้น ประจุลบหรืออิเล็กตรอนจะถูกดึงดูดเข้ามาที่บริเวณแชนเนล และแชนเนลจะแปรสภาพเป็นบริเวณ  $n$  ตามรูปที่ 2.3(ข) ซึ่งเชื่อมต่อบริเวณซอร์สและเดรนเข้าด้วยกัน และเรียกว่า แชนเนลกลับ (Inverted Channel) แรงดันเกตที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรอง เป็นนิยามของแรงดันขีดเริ่มของทรานซิสเตอร์ (Transistor Threshold Voltage) ใช้สัญลักษณ์  $V_{TH}$  สำหรับค่าแรงดันเกตซอร์สมากกว่า  $V_{TH}$  จะมีแชนเนลชนิดเอ็นเกิดขึ้น และสามารถเกิดการนำไฟฟ้าระหว่างเดรนและซอร์สได้



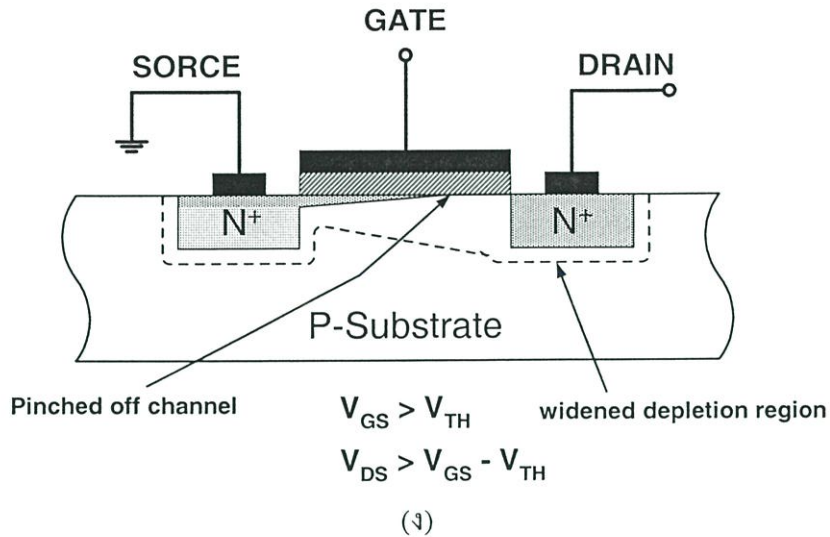
(n)



(u)



(r)



รูปที่ 2.3 การทำงานของมอสเฟตแบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแชนแนล

ถ้าสำหรับกรณีค่าแรงดันที่เกต-ซอร์สน้อยกว่า  $V_{TH}$  จะไม่มีกระแสไหลระหว่างซอร์สและเดรน ซึ่งจะถือว่าทรานซิสเตอร์ไม่ทำงานหรือไม่นำกระแส (ตามความเป็นจริงแล้วจะมีกระแสไหลเล็กน้อยเมื่อแรงดันเกต-ซอร์สมีค่าเข้าใกล้  $V_{TH}$ )

เมื่อแรงดันเกต-ซอร์ส  $V_{GS}$  มีค่ามากกว่า  $V_{TH}$  ทำให้แชนแนลเกิดขึ้น ดังนั้นเมื่อ  $V_{GS}$  เพิ่มขึ้น ความหนาแน่นของอิเล็กตรอนในแชนแนลก็จะเพิ่มขึ้นด้วย และสรุปได้ว่าค่าความหนาแน่นของประจุพาหะจะแปรผันตาม  $V_{GS} - V_{TH}$  ซึ่งนิยามเป็น "แรงดันเกต-ซอร์สประสิทธิผล" (Effective Gate-Source Voltage) ใช้สัญลักษณ์  $V_{eff}$  ดังนั้นค่าความหนาแน่นของประจุอิเล็กตรอน จะเขียนได้ว่า

$$Q = C_{ox}(V_{GS} - V_{TH}) = C_{ox}V_{eff} \quad (2.1)$$

โดยที่  $C_{ox}$  เป็นค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่

เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์โวลต์เล็กน้อย ทำให้เกิดความต่างศักย์ที่ซอร์สและเดรน มีผลให้เกิดกระแสไหลจากเดรนไปซอร์ส ความสัมพันธ์ระหว่าง  $V_{DS}$  และกระแส  $I_D$  จะเหมือนกับกรณีของความต้านทาน โดยมีความสัมพันธ์ดังนี้

$$I_D = \mu_n Q \frac{W}{L} V_{DS} \quad (2.2)$$

ขณะที่  $\mu_n$  เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอน และ  $Q$  เป็นค่าความหนาแน่นของประจุในแชนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการ (2.1) และ (2.2) จะได้

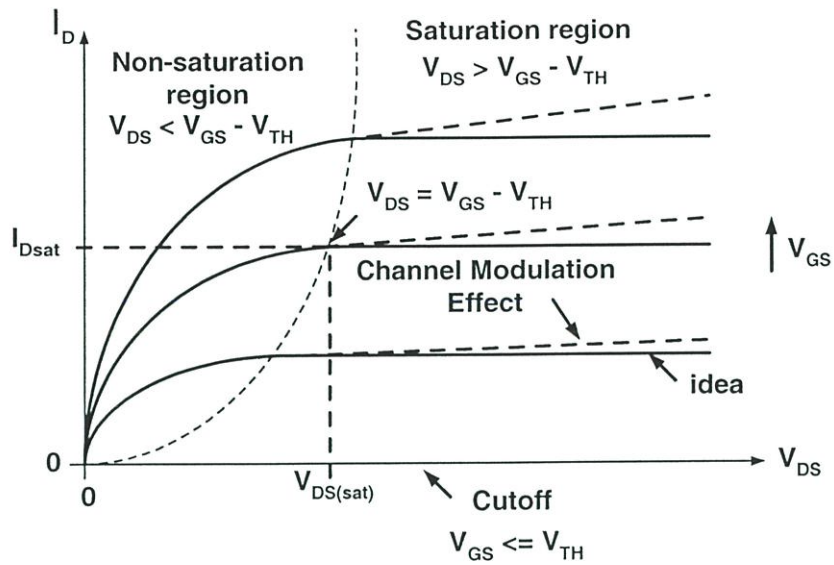
$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.3)$$

จะได้ว่าสมการ (2.3) นี้เป็นความสัมพันธ์ที่สามารถใช้ได้เฉพาะกรณีที่แรงดันเดรน-ซอร์ส  $V_{DS}$  มีค่าเข้าใกล้ศูนย์

การทำงานของทรานซิสเตอร์ในเชิงโครงสร้างอธิบายได้ตามรูปที่ 2.3(ข) โดยเมื่อ  $V_{GS}$  มากกว่า  $V_{TH}$  และ  $V_{DS} = 0V$  ซึ่งขณะนี้เซนเนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหล เนื่องจากแรงดันระหว่างซอร์สและเดรนมีค่าเป็นศูนย์โวลต์ และเมื่อให้แรงดัน  $V_{DS}$  ค่าน้อยๆ ค่าหนึ่งจะทำให้เกิดมีกระแสไหลผ่านเซนเนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้ เสมือนเป็นตัวต้านทาน มีความสัมพันธ์เป็นไปตามสมการ (2.3)

เมื่อแรงดันเดรน-ซอร์สเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่เซนเนลจะลดลงตามแนวเซนเนลจากซอร์สไปเดรน ตามรูปที่ 2.3(ค) การลดลงของประจุพาหะในเซนเนลนี้มีผลให้เกิดแรงดันตกคร่อมเซนเนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือ สมมุติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ซอร์ส จะมีการเพิ่มขึ้นของแรงดันจากซอร์สไปเดรนอย่างต่อเนื่องภายในเซนเนล มีผลให้ แรงดันตกคร่อมระหว่างเกตและเซนเนลจะมีค่าสูงสุดเท่ากับ  $V_{GS}$  ที่ตำแหน่งด้านซอร์ส และแรงดันเกตเซนเนลมีค่าต่ำสุดที่ตำแหน่งปลายด้านเดรน และแรงดันเกตที่ทำให้เกิดเซนเนลคือ  $V_G = V_{GS} - V_{TH}$  (เมื่อ  $V_{GS} < V_{TH}$  กระแสจะไม่ไหลและไม่มีเซนเนลเกิดขึ้น) เพื่อที่จะทำให้เซนเนลจะต้องมีศักย์เป็นบวก จึงจะทำให้เกิดเซนเนล โดยในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ในช่วงไม่นำกระแสอิมิตัว กระแสเดรน  $I_D$  จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน  $V_{DS}$  อย่างไม่เป็นเชิงเส้นตามกราฟในรูปที่ 2.3(ค) การทำงานของทรานซิสเตอร์ในย่านนี้ ( $V_{DS} < V_{GS} - V_{TH}$ ) เรียกว่า “ช่วงไม่นำกระแสอิมิตัว” (Nonsaturation Region) เมื่อ  $V_{DS}$  มีค่ามากขึ้น จนกระทั่งมีค่า  $V_{DS} = V_{GS} - V_{TH}$  ทรานซิสเตอร์เริ่มเข้าสู่สภาวะอิมิตัว และลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูปที่ 2.3(ค)

และเมื่อค่าของแรงดัน  $V_{DS}$  เพิ่มขึ้นไปอีกจนกระทั่งมีค่า  $V_{DS} > V_{GS} - V_{TH}$  ในกรณีนี้แรงดันที่ตกคร่อมเซนเนลที่ปลายด้านเดรนมีค่าสูงกว่า  $V_{GS} - V_{TH}$  ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (Pinch off) กล่าวคือ เซนเนลซึ่งเป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านเดรนทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมาเหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นเซนเนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกัน แสดงดังรูปที่ 2.3(ง) และจะมีกระแสแพร่ (Diffusion Current) จากส่วนของซอร์สไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูงและคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) กระแสเดรนในภาวะนี้จึงมีค่าคงที่ แม้ว่าค่าแรงดัน  $V_{DS}$  จะมีค่าเพิ่มขึ้นก็ตามแสดงในกราฟตามรูปที่ 2.3 (ง) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่า “ช่วงนำกระแสอิมิตัว” (Saturation Region)



รูปที่ 2.4 กราฟคุณสมบัติการทำงานของมอสเฟตแบบเอ็นชานซ์เมนต์โหมด

### 2.2.2 สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่

จากคุณสมบัติของมอสเฟตชนิดเอ็นทีที่ได้กล่าวมาแล้วสามารถที่จะสรุปโดยแบ่งการทำงาน ออกได้เป็น 3 ช่วงโดยพิจารณาจากค่า  $V_{GS} - V_{TH}$  และค่า  $V_{DS}$  ซึ่งจะสามารถเขียนสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-Signal Model) ได้ดังต่อไปนี้

1. ช่วงที่มอสเฟตไม่นำกระแส (Cutoff Region) จะได้

$$I_D = 0 \quad \text{เมื่อ } V_{GS} \leq V_{TH} \quad (2.4)$$

2. ช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น (Non-saturation Region or Triode Region) จะได้

$$I_D = \frac{\mu_n C_{ox} W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{เมื่อ } V_{GS} - V_{TH} > V_{DS} \quad (2.5)$$

3. ช่วงนำกระแสอิ่มตัว (Saturation Region) จะได้

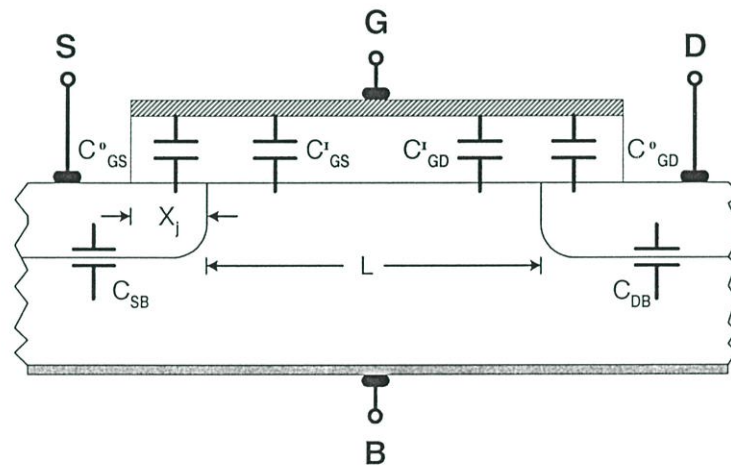
$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2.6)$$

เพื่อความสะดวกในการวิเคราะห์จะตัดผลของค่ามอดูเลชันพารามิเตอร์ของความยาวช่อง ( $\lambda$ ) จึงสามารถลดรูปสมการได้เป็นสมการที่ (2.7)

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{TH})^2 \quad \text{เมื่อ } V_{GS} - V_{TH} \leq V_{DS} \quad (2.7)$$

- โดยที่  $I_D$  คือ ค่ากระแสเดรน (Drain Current)  
 $V_{GS}$  คือ ค่าแรงดันตกรวมขาเกต-ซอร์ส (Gate-Source Voltage)  
 $V_{DS}$  คือ ค่าแรงดันตกรวมขาเดรน-ซอร์ส (Drain-Source Voltage)  
 $\mu_n$  คือ ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)  
 $C_{OX}$  คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per Unit Area of the Gate Oxide)  
 $W$  คือ ความกว้างประสิทธิผลของแชนเนล (Effective Channel Width)  
 $L$  คือ ความยาวประสิทธิผลของแชนเนล (Effective Channel Length)  
 $V_{TH}$  คือ ค่าแรงดันไฟฟ้าขีดเริ่ม (Threshold Voltage)  
 $\lambda$  คือ ค่ามอดูเลชันพารามิเตอร์ของความยาวช่อง (volts<sup>-1</sup>)

### 2.2.3 ค่าความจุไฟฟ้าในมอสเฟต



รูปที่ 2.5 ค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟต

สำหรับค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างภายในของมอสเฟต สามารถพิจารณาได้ตามโครงสร้างในรูปที่ 2.5 โดยมีค่าดังต่อไปนี้

1.  $C_{GS}$  คือ ค่าความจุไฟฟ้ารวมระหว่าง เกตและซอร์ส ซึ่งมีค่าเท่ากับ

$$C_{GS} = C_{GS}^i + C_{GS}^o \quad (2.8)$$

เมื่อ  $C_{GS}^i$  คือ ค่าความจุที่เกิดจากผลของชั้นออกไซด์ระหว่างเกตและสารกึ่งตัวนำบริเวณที่บริเวณใกล้ซอร์ส

$C_{GS}^o$  คือ ค่าความจุแฝงที่เกิดจากการทับซ้อนกันระหว่างเกตและซอร์ส

โดยที่

$$\left. \begin{aligned} C_{GS}^I &= C_{OX} WL \left( 1 - \left[ \frac{V_{GS} - V_{TH} - V_{DS}}{2(V_{GS} - V_{TH})_m V_{DS}} \right] \right) && ; \text{ช่วงไม่นำกระแสอิ่มตัว} \\ C_{GS}^I &= \frac{2}{3} C_{OX} WL && ; \text{ช่วงนำกระแสอิ่มตัว} \end{aligned} \right\} \quad (2.9)$$

และ

$$C_{GS}^O = C_{OX} WX_j \quad (2.10)$$

2.  $C_{GD}$  คือ ค่าความจุไฟฟ้ารวมระหว่างเกตและเดรน ซึ่งมีค่าเท่ากับ

$$C_{GD} = C_{GD}^I + C_{GD}^O \quad (2.11)$$

เมื่อ  $C_{GD}^I$  คือ ค่าความจุที่เกิดจากผลของชั้นออกไซด์ระหว่างเกตและสารกึ่งตัวนำบริเวณที่บริเวณใกล้เดรน

$C_{GD}^O$  คือ ค่าความจุแฝงที่เกิดจากการทับซ้อนกันระหว่างเกตและเดรน

โดยที่

$$\left. \begin{aligned} C_{GS}^I &= C_{OX} WL \left( 1 - \left[ \frac{V_{GS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right]^{-2} \right) && ; \text{ช่วงไม่นำกระแสอิ่มตัว} \\ C_{GS}^I &\approx 0 && ; \text{ช่วงนำกระแสอิ่มตัว} \end{aligned} \right\} \quad (2.12)$$

$$C_{GD}^O = C_{OX} WX_j \quad (2.13)$$

3.  $C_{SB}$  คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างซอร์สกับซับสเตรต ซึ่งมีค่าเท่ากับ

$$C_{SB}(V_{SB}) = \frac{C_{SB}(0)}{\sqrt{1 + V_{SB}/\phi_o}} \quad (2.14)$$

เมื่อ  $C_{SB}(0)$  คือ ค่าความจุที่รอยต่อพี-เอ็นระหว่างซอร์สและฐานรองขณะที่ไบแอสเป็นศูนย์

$\phi_o$  คือ ศักย์ขวางกัน

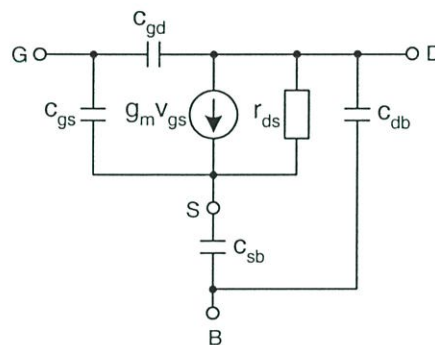
4.  $C_{DB}$  คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างเดรนกับซับสเตรต ซึ่งมีค่าเท่ากับ

$$C_{DB}(V_{DB}) = \frac{C_{DB}(0)}{\sqrt{(1 + V_{DB}/\phi_o)}} \quad (2.15)$$

เมื่อ  $C_{DB}(0)$  คือ ค่าความจุที่รอยต่อพี-เอ็นระหว่างครนและฐานรองขณะที่ไบแอสเป็นศูนย์

### 2.2.4 วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก

ในรูปที่ 2.6 แสดงวงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟตที่ซึ่งทำงานในช่วงนำกระแสอิ่มตัวและไม่อิ่มตัว โดยที่มีค่าของตัวเก็บประจุแต่ละตัวจะมีค่าเป็นไปตามสมการ (2.8)-(2.15) และค่าความนำ (Transconductance) ของวงจรถูกคำนวณหาได้จากสมการที่ (2.5) และสมการที่ (2.7) ซึ่งจะได้ว่า



รูปที่ 2.6 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

$$\left. \begin{aligned} g_m &= \frac{dI_d}{dV_{gs}} \Big|_{V_{GS}=0} = \frac{\mu_n C_{OX} W V_{DS}}{L} && ; \text{ช่วงไม่นำกระแสอิ่มตัว} \\ g_m &= \frac{dI_d}{dV_{gs}} \Big|_{V_{GS}=0} = \frac{\mu_n C_{OX} W}{L} (V_{GS} - V_{TH}) && ; \text{ช่วงนำกระแสอิ่มตัว} \end{aligned} \right\} \quad (2.16)$$

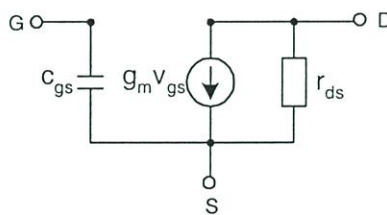
จากสมการที่ (2.16) สำหรับมอสทรานซิสเตอร์ที่มีการทำงานในช่วงนำกระแสอิ่มตัว ค่าความนำของวงจรถูกเขียนความสัมพันธ์ให้อยู่ในรูปของกระแสได้เป็น

$$g_m = \sqrt{\frac{2\mu_n C_{OX} W I_D}{L}} \quad (2.17)$$

สำหรับค่าความต้านทานที่จุดออกของวงจรถูกคำนวณหาได้ตามความสัมพันธ์ดังนี้คือ

$$\left. \begin{aligned} \frac{1}{r_{ds}} = g_{ds} = \frac{dI_d}{dV_{DS}} \Big|_{V_{ds}=0} &= \frac{\mu_n C_{OX} (V_{GS} - V_{TH} - V_{DS})}{L} && ; \text{ช่วงไม่นำกระแสอิ่มตัว} \\ \frac{1}{r_{ds}} = g_{ds} = \frac{dI_d}{dV_{DS}} \Big|_{V_{ds}=0} &= \lambda I_D && ; \text{ช่วงนำกระแสอิ่มตัว} \end{aligned} \right\} (2.18)$$

จากวงจรในรูปที่ 2.6 ได้รวมถึงตัวเก็บประจุจำนวน 4 ตัวคือ  $C_{gs}$ ,  $C_{gd}$ ,  $C_{sb}$  และ  $C_{db}$  ซึ่งค่อนข้างยุ่งยากและซับซ้อนสำหรับการวิเคราะห์ด้วยมือ และมักถูกใช้สำหรับในการวิเคราะห์โดยใช้การจำลองการทำงานด้วยโปรแกรมคอมพิวเตอร์เท่านั้น เนื่องจากในวิทยานิพนธ์นี้เป็นการออกแบบวงจรหาค่าสูงสุดและวงจรถูกหาค่าต่ำสุดสำหรับสัญญาณกระแส โดยใช้ออสทราซิสเตอร์ที่มีการทำงานอยู่ในช่วงนำกระแสอิ่มตัวเป็นหลัก ซึ่งจะเป็นผลให้เกิดสถานะพินช์ออฟ (Pinch off) กล่าวคือแชนเนล (Channel) ซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านเดรนขาดออกหรือแคบมาก และแรงดันที่ขาเดรนจะรบกวนแต่แชนเนลหรือประจุที่ขาเกตน้อยมาก ซึ่งสามารถกล่าวได้ว่าค่าความจุระหว่างเกตกับเดรน ( $C_{gd}$ ) มีค่าน้อยมาก ส่วนค่าความจุระหว่างซอร์สกับซัพสเตท ( $C_{sb}$ ) และเดรนกับซัพสเตท ( $C_{db}$ ) นั้นถือว่ามีค่าน้อยมาก โดยเฉพาะเมื่อซอร์สถูกเชื่อมต่อกับฐานรอง ซึ่งจะพิจารณาเฉพาะค่าความจุระหว่างเกต-ซอร์ส ( $C_{gs}$ ) ซึ่งจะมีค่าประมาณ  $2/3 C_{OX} WL$  และสำหรับค่าความต้านทานเนื่องจากที่ขาเกตของมอสเฟตถูกคั่นด้วยฉนวน ดังนั้นค่าความต้านทานที่เกิดขึ้นระหว่างขาเกตกับซอร์ส ( $R_{gs}$ ) และขาเกตกับเดรน ( $R_{gd}$ ) จึงมีค่าสูงมาก จะมีเฉพาะค่าความต้านทานระหว่างขาเดรนกับซอร์ส ( $R_{ds}$ ) เท่านั้น ดังนั้นเพื่อความสะดวกสำหรับการวิเคราะห์ด้วยมือภายในวิทยานิพนธ์นี้จะใช้วงจรสมมูลของมอสทราซิสเตอร์โดยที่กำหนดให้  $C_{gd}$ ,  $C_{sb}$  และ  $C_{db}$  มีค่าเท่ากับศูนย์ ดังแสดงในรูปที่ 2.7



รูปที่ 2.7 วงจรสมมูลของมอสทราซิสเตอร์ที่ใช้ในวิทยานิพนธ์นี้

## 2.2.5 เปรียบเทียบข้อดีและข้อเสียระหว่างมอสเฟตกับไบโพลาร์ทรานซิสเตอร์

### ก. ข้อดี ของมอสเฟตเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

- ต้องการขั้นตอนการผลิตประมาณ 25% เมื่อเทียบกับกระบวนการสร้างไบโพลาร์ทรานซิสเตอร์ ก็เนื่องจากว่าการออกแบบสร้าง MOSFET มีโครงสร้างและกระบวนการที่ง่าย ทำให้ใช้ต้นทุนในการผลิตต่ำ (Low Cost)
- สิ่งประดิษฐ์ถูกสร้างขึ้นได้มากกว่าและสามารถบรรจุหรือถูกใส่ไปในพื้นที่ที่จำกัดได้ในปริมาณมาก และปัจจุบันเหมาะสมที่จะทำเป็นวงจรร VLSI
- ขาเดรน (Drain) และขาซอร์ส (Source) ของ MOS สามารถสลับแทนที่กันได้ ซึ่งการทำงานยังคงไม่เปลี่ยนแปลงมากนัก เพราะเนื่องจากว่า MOS มีความสมมาตร (Bilaterally Symmetric) ซึ่งแตกต่างกับไบโพลาร์ทรานซิสเตอร์ที่ไม่สามารถจะสลับระหว่างขาอิมิตเตอร์ (Emitter) กับขาคอลเลกเตอร์ (Collector) ได้เพราะปริมาณการโคปสารกึ่งตัวนำที่อิมิตเตอร์กับคอลเลกเตอร์จะไม่เท่ากัน โดยสารกึ่งตัวนำที่อิมิตเตอร์จะมีปริมาณการโคปที่สูงกว่า ซึ่งถ้าทำการสลับขาจะทำให้อัตราการขยาย (Gain) ลดลงอย่างมาก
- จำนวนชนิดพาหะในการนำกระแส โดยมอสเฟตจะใช้ในการนำกระแสเพียงชนิดเดียว คือ โฮล (hole) ใน PMOS หรืออิเล็กตรอน (electron) ใน NMOS ดังนั้นจึงเรียกสิ่งประดิษฐ์สารกึ่งตัวนำชนิดนี้ว่า ยูนิโพลาร์ทรานซิสเตอร์ (unipolar transistor) ซึ่งต่างจากกรณีไบโพลาร์ทรานซิสเตอร์ (bipolar transistor) จะใช้จำนวนพาหะในการนำกระแส 2 ชนิด แบ่งเป็นกระแสของพาหะส่วนใหญ่ (majority carrier) ซึ่งเป็นอิเล็กตรอนสำหรับกรณี npn และเป็นโฮล สำหรับกรณี pnp และกระแสของพาหะส่วนน้อย (minority carrier) ซึ่งเป็นโฮลสำหรับ npn และเป็นอิเล็กตรอนสำหรับกรณี pnp
- การทำงาน มอสทรานซิสเตอร์ทำงานโดยใช้แรงดันไปควบคุมกระแสที่ทางออกและค่าความต้านทานที่ทางเข้า (input impedance) ของมอสเฟตมีค่ามากๆ เนื่องจากที่อินพุตขาเกตต่อกับฉนวน (ซิลิกอนไดออกไซด์) ทำให้มีอัตราสูญเสียกำลังต่ำมาก และสามารถนำไปขับมอสเฟตตัวอื่นๆ ได้จำนวนมาก ขณะที่ไบโพลาร์ทรานซิสเตอร์ทำงาน โดยใช้กระแสทางเข้าควบคุมกระแสทางออกและความต้านทานที่ทางเข้าก็มีค่าน้อยกว่ากรณีของมอสเฟต ทำให้มีอัตราในการสูญเสียกำลังมากกว่า
- เนื่องจาก MOSFET มีการทำงานโดยการใช่แรงดันควบคุม จึงทำให้สามารถขับ (Drive) MOSFET ตัวอื่นๆ ได้มีจำนวนมาก ซึ่งมีค่าแฟนเอาต์สูง (High Fan-out) และมีอัตราสูญเสียกำลังอินพุตที่เกิดขึ้นมีค่าต่ำมาก

- ผลกระทบของอุณหภูมิต่อกระแส (Thermal Runaway) ภายใน MOSFET มีค่าน้อยมาก นั่นคือ ถ้าอุณหภูมิมีค่าเพิ่มขึ้นกระแสที่ไหลผ่าน MOS จะมีค่าค่อนข้างคงที่ จึงไม่เกิดการเสียหาย เนื่องจากผลทางความร้อน ต่างจากไบโพลาร์ทรานซิสเตอร์ซึ่งเมื่ออุณหภูมิเพิ่มขึ้นจะทำให้มีกระแสไหลเพิ่มขึ้น ผลอันนี้เองจะทำให้ลายทรานซิสเตอร์ที่ใช้งานที่กระแสสูงๆ จึงต้องมีฟิวส์คอยป้องกันการไหลเกินของกระแสเพื่อไม่ให้ทรานซิสเตอร์เสียหาย ซึ่งใน MOS ไม่จำเป็นต้องมีวงจรป้องกัน
- การใช้งาน MOS ใช้กำลังต่อซึ่งเป็นผลให้ถูกรบกวนทางไฟฟ้าที่เกิดขึ้นต่ำไปด้วย

ข. ข้อเสีย ของมอสเฟตเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

- ไม่สามารถทำงานโดยการใช้กระแสควบคุมได้
- มีความเร็วในการทำงานที่ต่ำกว่าไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีค่าของคาปาซิแตนซ์ ทางด้านอินพุตที่สูง ซึ่งเป็นข้อจำกัดการใช้งานทางด้านความถี่สูง แต่ปัจจุบันได้มีการใช้โพลีลิทิกอนเทคเทคโนโลยี จึงช่วยลดค่าคาปาซิแตนซ์ที่เกททำให้มีการทำงานเร็วขึ้น
- ค่าของทรานส์คอนดักแตนซ์ (Transconductance) หรือ  $g_m$  มีค่าต่ำ
- สมการที่ใช้วิเคราะห์การทำงาน MOSFET มีความยุ่งยากมากกว่าสมการของไบโพลาร์ทรานซิสเตอร์ อีกทั้งการพิจารณาการทำงานของ MOSFET ยังมีหลายระดับ (LEVEL) อีกด้วย ดังเช่น ในโปรแกรมสำเร็จรูป SPICE 2G.6 แบ่งการทำงานของ MOSFET เป็น 3 ระดับ คือ LEVEL1, LEVEL2 และ LEVEL3

## 2.3 บทสรุป

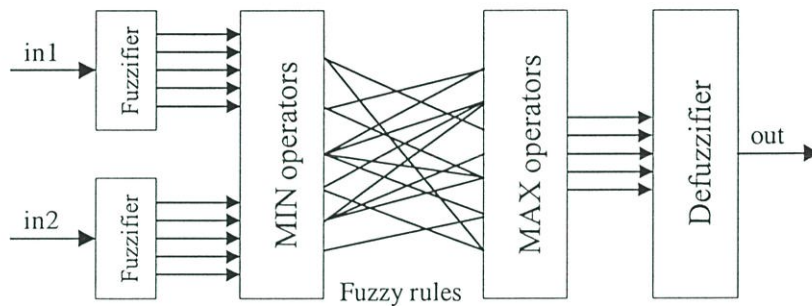
ในบทนี้ได้กล่าวถึงทฤษฎีการทำงานและสมการสำคัญของมอสเฟตโดยจะเน้นที่มอสเฟตแบบเอ็นฮานซ์เมนต์โหมดที่มามีการทำงานในช่วงนำกระแสอิมิตัวเป็นหลัก ซึ่งใช้ในการออกแบบวงจรสำหรับวิทยานิพนธ์ฉบับนี้ และได้กำหนดว่าคำว่า "มอสทรานซิสเตอร์" ภายในวิทยานิพนธ์ฉบับนี้จะเป็นการหมายถึง "มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์"

### บทที่ 3

## วงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดทั่วไป

### 3.1 กล่าวนำ

วงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดสำหรับสัญญาณแอนะล็อก เป็นวงจรที่มีความสำคัญ วงจรหนึ่งสำหรับการประมวลผลสัญญาณในระบบควบคุม ดังตัวอย่างการใช้งานดังรูปที่ 3.1 แสดงหลักการทำงานของตัวควบคุมแบบฟัซซี่ที่ประยุกต์ใช้ตัวดำเนินการหาค่าสูงสุด (Max operator) และการหาค่าต่ำสุด (Min operator) ของสัญญาณ

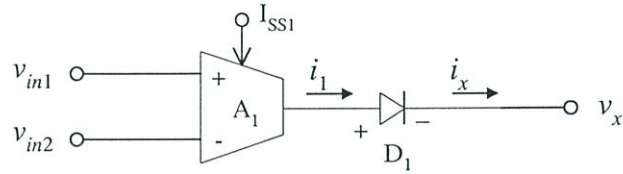


รูปที่ 3.1 การประยุกต์ใช้งานวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดในตัวควบคุมแบบฟัซซี่

จากอดีตถึงปัจจุบันได้มีการพัฒนาและนำเสนอการออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดอย่างต่อเนื่อง เพื่อให้ได้วงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดที่มีคุณสมบัติที่ดี เช่น มีช่วงปฏิบัติทางขนาดและผลตอบสนองทางความถี่ที่กว้าง ใช้พลังงานต่ำ วงจรมีขนาดเล็ก และสะดวกต่อการใช้งาน เป็นต้น ดังนั้นเพื่อเป็นแนวทางสำหรับการพัฒนาการออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดต่อไป ควรศึกษาและทำความเข้าใจข้อดีและข้อจำกัดของหลักการออกแบบที่ได้มีการนำเสนอไว้ในอดีต ในบทนี้เป็นการกล่าวถึงตัวอย่างหลักการออกแบบวงจรหาค่าสูงสุด, วงจรหาค่าต่ำสุด, วงจรเลือกค่าสูงสุดและค่าต่ำสุด, และวงจรหาค่าสูงสุดและค่าต่ำสุด สำหรับสัญญาณแอนะล็อกที่สำคัญๆ 8 ตัวอย่างที่ได้มีการนำเสนอไว้ ซึ่งได้แก่ การใช้โอทีเอตอ์ร่วมกับไดโอด การใช้วงจรสายพานกระแสต่อกับไดโอด การใช้เทคโนโลยีมอสทรานซิสเตอร์ โดยมีรายละเอียดของแต่ละหลักการ ดังต่อไปนี้

### 3.2 วงจรหาค่าสูงสุด

#### 3.2.1 วงจรหาค่าแรงดันสูงสุดโดยใช้โอทีเอ [14]



รูปที่ 3.2 วงจรจำกัดกระแสแบบบวก

ในรูปที่ 3.2 แสดงวงจรจำกัดกระแสแบบบวกโดยใช้โอทีเอ  $A_1$  ต่อร่วมกับไดโอด  $D_1$  โดยมีกระแส  $I_{SS1}$  เป็นกระแสไบแอส (Bias Current) เพื่อใช้ควบคุมค่าความนำ  $g_{m1}$  ของโอทีเอ  $A_1$  จะได้ความสัมพันธ์ระหว่างกระแส  $i_1$  กับผลต่างแรงดันอินพุตทั้งสอง คือ

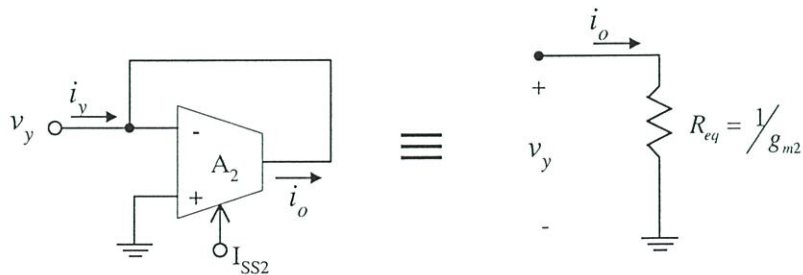
$$i_1 = g_{m1} (v_{in1} - v_{in2}) \tag{3.1}$$

จากคุณสมบัติของไดโอด  $D_1$  จะได้ความสัมพันธ์ระหว่างกระแส  $i_1$  กับ  $i_x$  ดังนี้

$$i_x = \begin{cases} 0 & ; v_{in1} \leq v_{in2} \\ i_1 & ; v_{in1} > v_{in2} \end{cases} \tag{3.2}$$

เมื่อแทนค่ากระแส  $i_1$  จากสมการที่ (3.1) ลงใน (3.2) จะได้ว่า

$$i_x = \begin{cases} 0 & ; v_{in1} \leq v_{in2} \\ g_{m1} (v_{in1} - v_{in2}) & ; v_{in1} > v_{in2} \end{cases} \tag{3.3}$$



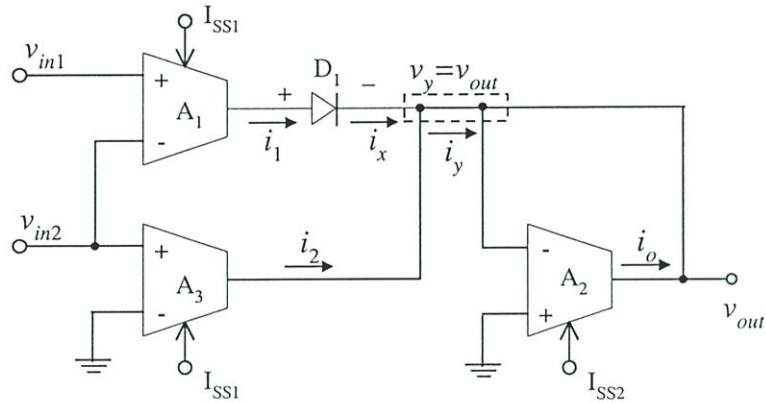
รูปที่ 3.3 ตัวต้านทานปรับค่าได้

ในรูปที่ 3.3 แสดงหลักการการทำงานของโอทีเอ  $A_2$  ทำหน้าที่เป็นตัวต้านทานปรับค่าได้ โดยมีกระแส  $I_{SS2}$  เป็นกระแสไบแอส เพื่อใช้ควบคุมค่าความนำ  $g_{m2}$  (หรือค่าความต้านทาน  $1/g_{m2}$ ) จะได้ความสัมพันธ์ระหว่างค่ากระแส  $i_y$  กับ  $i_o$  คือ

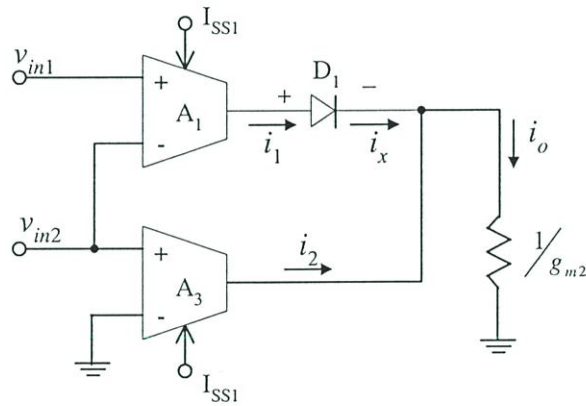
$$i_y = -i_o = g_{m2}(0 - v_y) = -g_{m2}v_y$$

ดังนั้น

$$R_{eq} = \frac{v_y}{i_o} = \frac{1}{g_{m2}} \tag{3.4}$$



(ก)



(ข)

รูปที่ 3.4 วงจรหาค่าแรงดันสูงสุดโดยใช้โอทีเอ

วงจรถ้าค่าแรงดันสูงสุดโดยใช้โอทีเอ ดังแสดงในรูปที่ 3.4(ก) ซึ่งประกอบด้วยโอทีเอ  $A_1$ - $A_3$  และไดโอด  $D_1$  โดยโอทีเอ  $A_1$  และไดโอด  $D_1$  ทำหน้าที่เป็นวงจรถ้าค่ากระแส (ดังรูปที่ 3.2) และ โอทีเอ  $A_2$  ทำหน้าที่เป็นตัวต้านทานที่ปรับค่าได้ (ดังรูปที่ 3.3) เพื่อใช้แปลงค่ากระแส  $i_o$  ให้เป็นค่าแรงดัน  $v_{out}$  เมื่อแทนวงจรถ้าค่าของโอทีเอ  $A_2$  (ตัวต้านทาน  $R_{eq}$ ) ลงในรูปที่ 3.4(ก) จะได้วงจรถ้าค่าแรงดันสูงสุด ดังรูปที่ 3.4 (ข) เมื่อพิจารณาให้โอทีเอทุกตัวมีคุณสมบัติตามอุดมคติ จะพิจารณาได้ว่า

$$i_2 = g_{m1}(v_{in2} - 0) = g_{m1}v_{in2} \quad (3.5)$$

$$i_o = i_x + i_2 \quad (3.6)$$

และ

$$v_{out} = \frac{i_o}{g_{m2}} \quad (3.7)$$

พิจารณาในกรณีที่  $v_{in1} \leq v_{in2}$  จากสมการที่ (3.3) จะได้  $i_x = 0$  ดังนั้น

$$i_o = 0 + i_2 = g_{m1}v_{in2} = g_{m1}v_{out}$$

ดังนั้น

$$v_{out} = \frac{g_{m1}}{g_{m2}}v_{in2} \quad (3.8)$$

ในทางกลับกันถ้า  $v_{in1} > v_{in2}$  จากสมการที่ (3.3) และ (3.6) จะได้ว่า

$$i_o = g_{m1}(v_{in1} - v_{in2}) + g_{m1}v_{in2} = g_{m1}v_{in1}$$

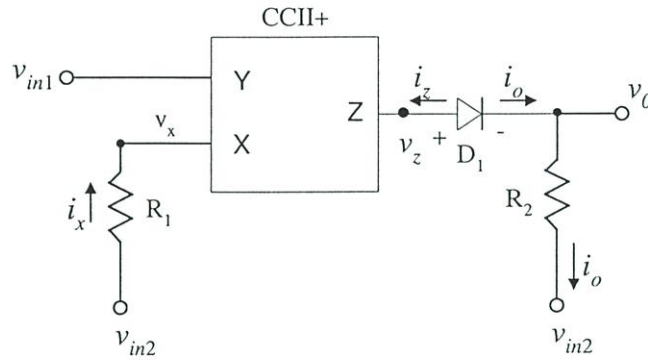
จากสมการที่ (3.7) จะได้แรงดัน  $v_{out}$  คือ

$$v_{out} = \frac{g_{m1}}{g_{m2}}v_{in1} \quad (3.9)$$

จากสมการที่ (3.8) และ (3.9) จะเห็นได้ว่าวงจรในรูปที่ 3.4 เป็นวงจรที่หาค่าแรงดันสูงสุดระหว่างค่าแรงดันอินพุต  $v_{in1}$  และ  $v_{in2}$  ถ้าออกแบบให้  $g_{m1} = g_{m2}$  สามารถเขียนได้ว่า

$$v_{out} = \max(v_{in1}, v_{in2}) = \begin{cases} v_{in2} & ; v_{in1} \leq v_{in2} \\ v_{in1} & ; v_{in1} > v_{in2} \end{cases} \quad (3.10)$$

### 3.2.2 วงจรหาค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแส [1]



รูปที่ 3.5 วงจรหาค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแสแบบพื้นฐาน

จากรูปที่ 3.5 วงจรหาค่าแรงดันสูงสุดแบบพื้นฐาน ซึ่งประกอบด้วยตัวต้านทาน  $R_1$ ,  $R_2$  และไดโอด  $D_1$  ต่อร่วมกับวงจรสายพานกระแสรุ่นที่สอง (Second generation current conveyor : CCII) ที่มีการออกแบบให้สามารถรับสัญญาณอินพุตที่เป็นทั้งกระแสและแรงดัน โดยที่ขั้ว Y มีค่าอินพุตอิมพีแดนซ์สูงมาก ซึ่งเหมาะสำหรับอินพุตที่เป็นแรงดัน ส่วนขั้ว X มีค่าอินพุตอิมพีแดนซ์ต่ำมากซึ่งเหมาะสำหรับอินพุตที่เป็นสัญญาณกระแส และขั้ว Z มีค่าเอาต์พุตอิมพีแดนซ์สูงมากและจะให้เอาต์พุตที่เป็นสัญญาณกระแส วงจรสายพานกระแสที่มีทิศทางกรไหลของกระแส  $i_z$  และ  $i_x$  มีทิศทางเดียวกัน (ดังรูปที่ 3.5 กระแส  $i_z$  และ  $i_x$  ไหลออกจากขั้วทั้งคู่) จะเรียกว่า วงจรสายพานกระแสชนิดบวก (CCII+) จากคุณสมบัติทางอุดมคติของ CCII+ จะได้ว่า

$$v_{in1} = v_x \quad (3.11)$$

$$i_z = i_x = \frac{v_{in2} - v_x}{R_1} \quad (3.12)$$

เมื่อแทนค่าจากสมการที่ (3.11) ลงใน (3.12) จะได้ว่า

$$i_z = i_x = \frac{v_{in2} - v_{in1}}{R_1} \quad (3.13)$$

ถ้าค่ากระแส  $i_z$  มีค่าเป็นลบ ( $v_{in1} > v_{in2}$ ) ไดโอด  $D_1$  จะได้รับแรงดันแบบไบแอสตรง (Forward Bias) เป็นผลทำให้ไดโอด  $D_1$  นำกระแส ทำให้เกิดกระแส  $i_o$  ในทางตรงกันข้าม เมื่อค่ากระแส  $i_z$  มีค่าเป็นบวก ( $v_{in1} \leq v_{in2}$ ) ไดโอด  $D_1$  จะได้รับแรงดันแบบไบแอสกลับ (Reverse Bias) ทำให้ไดโอด  $D_2$  ไม่สามารถนำกระแสได้ เขียนเป็นสมการได้ว่า

$$i_o = \begin{cases} 0 & ; v_{in1} \leq v_{in2} \\ -i_z = -i_x & ; v_{in1} > v_{in2} \end{cases} \quad (3.14)$$

เมื่อ

$$v_o = i_o R_2 + v_{in2} \quad (3.15)$$

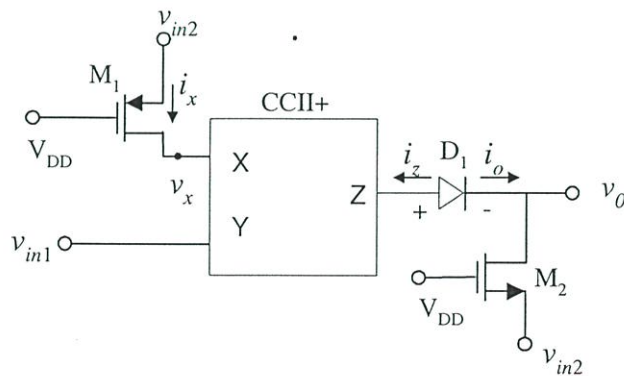
เมื่อแทนค่าจากสมการที่ (3.14) ลงใน (3.15) ดังนั้น

$$v_o = \begin{cases} 0 + v_{in2} = v_{in2} & ; v_{in1} \leq v_{in2} \\ \left[ \frac{v_{in1} - v_{in2}}{R_1} \right] R_2 + v_{in2} & ; v_{in1} > v_{in2} \end{cases} \quad (3.16)$$

จากสมการที่ (3.16) เมื่อออกแบบให้  $R_1 = R_2$  เขียนสมการใหม่ได้ว่า

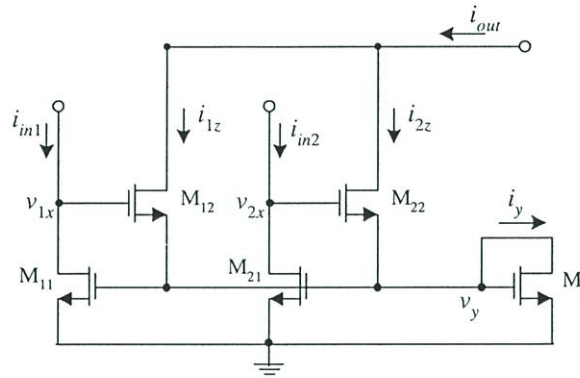
$$v_o = \begin{cases} v_{in2} & ; v_{in1} \leq v_{in2} \\ v_{in1} & ; v_{in1} > v_{in2} \end{cases} \quad (3.17)$$

ข้อจำกัดของวงจรในรูปที่ 3.5 เนื่องจากต้องออกแบบให้ความต้านทาน  $R_1$  และ  $R_2$  ให้มีคุณสมบัติเหมือนกันทุกประการ และต้องใช้พื้นที่ในการสร้างเป็นวงจรรวมหรือไอซีมาก ดังนั้นเพื่อเป็นการปรับปรุงคุณสมบัติของวงจรถ้าค่าแรงดันสูงสุดจากรูปที่ 3.5 จึงได้มีการใช้มอสเฟส  $M_1$  และ  $M_2$  เพื่อสังเคราะห์ค่าความต้านทานแทนการใช้ตัวต้านทานจริง  $R_1$  และ  $R_2$  ตามลำดับ ดังรูปที่ 3.6 เมื่อแรงดัน  $V_{DD}$  คือค่าแรงดันจากแหล่งจ่ายไฟ การทำงานของวงจรถัดกล่าว สามารถอธิบายได้เช่นเดียวกับวงจรถ้าค่าแรงดันสูงสุดจากรูปที่ 3.5



รูปที่ 3.6 วงจรถ้าค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแส

3.2.3 วงจรหาค่ากระแสสูงสุดโดยใช้มอสเฟส [7]



รูปที่ 3.7 วงจรหาค่ากระแสสูงสุดโดยใช้มอสเฟส

จากวงจรในรูปที่ 3.7 มอสเฟสหรือมอสทรานซิสเตอร์  $M_{11}$  และ  $M_{12}$  ต่อร่วมกันสำหรับสัญญาณอินพุตลำดับที่  $i$  (เมื่อ  $i = 1, 2$ ) โดยทรานซิสเตอร์  $M_y$  ใช้เพื่อสังเคราะห์เป็นตัวไดโอด ซึ่งทำหน้าที่เป็นแหล่งจ่ายกระแสไบแอสของวงจร กำหนดให้ทรานซิสเตอร์แต่ละตัวมีความสมพียงกันทุกประการ จากคุณสมบัติของมอสทรานซิสเตอร์ ที่มีการทำงานในช่วงนำกระแสอิ่มตัวตามสมการที่ (2.7) จะได้ว่า เมื่อทรานซิสเตอร์  $M_{11}$ ,  $M_{21}$  และ  $M_y$  ต่อขาเกตและซอร์สร่วมกัน ดังนั้นค่าแรงดันตกคร่อมขาเกต-ซอร์ส ของทรานซิสเตอร์แต่ละตัวเท่ากัน ถ้ากำหนดให้กระแส  $i_{in1} > i_{in2}$  หรือ

$$i_{in1} = \max (i_{in1}, i_{in2}) \tag{3.18}$$

จะได้ว่า

$$|v_{1x} - v_{2x}| > \left( \frac{2i_y}{K} \right)^{1/2} \tag{3.19}$$

เมื่อ  $K$  คือ ค่าพารามิเตอร์ของค่าความนำกระแสของมอสทรานซิสเตอร์

ดังนั้น

$$i_{in1} = i_y = i_{1z} \tag{3.20}$$

และ

$$i_{2z} = 0 \tag{3.21}$$

พิจารณาที่จุดเอาต์พุต จะได้ว่า

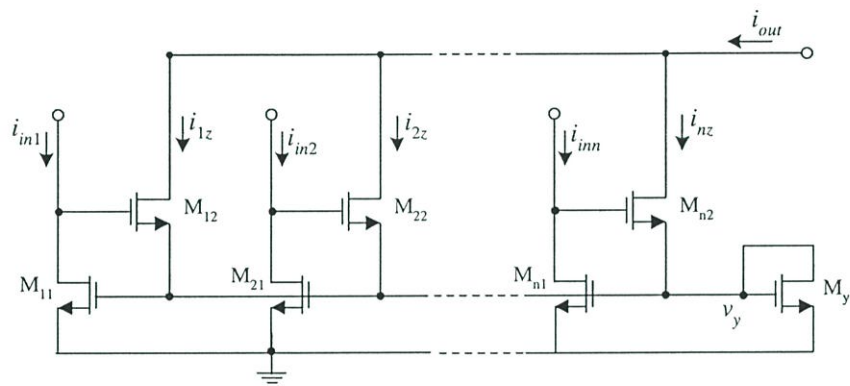
$$i_{out} = i_{1z} + i_{2z} \tag{3.22}$$

เมื่อแทนค่าจากสมการ (3.20) และ (3.21) ลงใน (3.22) จะได้

$$i_{out} = i_{1z} = i_{in1} = \max(i_{in1}, i_{in2}) \tag{3.23}$$

จากวงจรหาค่ากระแสสูงสุดสำหรับสองอินพุตในรูปที่ 3.7 สามารถนำมาประยุกต์เป็นวงจรหาค่ากระแสสูงสุดชนิดหลายอินพุตได้ ดังรูปที่ 3.8 โดยใช้จำนวนทรานซิสเตอร์เท่ากับ  $2n+1$  ตัว เมื่อ  $n$  คือ จำนวนสัญญาณอินพุต สามารถเขียนสมการแสดงความสัมพันธ์ระหว่างกระแส  $i_{out}$  กับกระแสอินพุต  $i_{in1}, i_{in2}, \dots, i_{inn}$  ของวงจร ได้ว่า

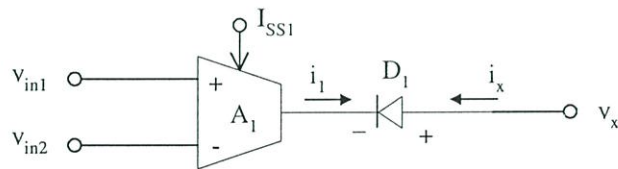
$$i_{out} = \max(i_{in1}, i_{in2}, \dots, i_{inn}) \tag{3.24}$$



รูปที่ 3.8 วงจรหาค่ากระแสสูงสุดชนิดหลายอินพุต

### 3.3 วงจรหาค่าต่ำสุด

#### 3.3.1 วงจรหาค่าแรงดันต่ำสุดโดยใช้โอทีเอ [14]



รูปที่ 3.9 วงจรจำกัดกระแสแบบลบ

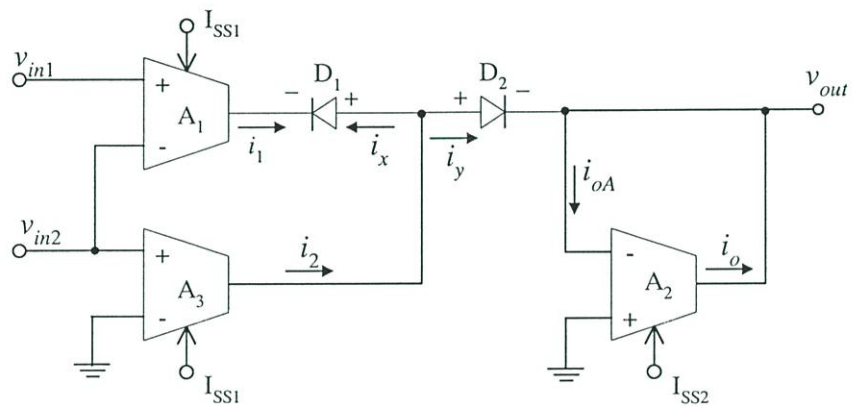
ในรูปที่ 3.9 แสดงวงจรจำกัดกระแสแบบลบโดยใช้โอทีเอ  $A_1$  ต่อร่วมกับไดโอด  $D_1$  โดยมีแหล่งจ่ายกระแส  $I_{SS1}$  เป็นตัวควบคุมค่าความนำ  $g_{m1}$  จากคุณสมบัติของไดโอด  $D_1$  จะได้ความสัมพันธ์ระหว่างค่ากระแส  $i_1$  กับ  $i_x$  ดังนี้

$$i_x = \begin{cases} -i_1 & ; v_{in1} < v_{in2} \\ 0 & ; v_{in1} \geq v_{in2} \end{cases} \quad (3.25)$$

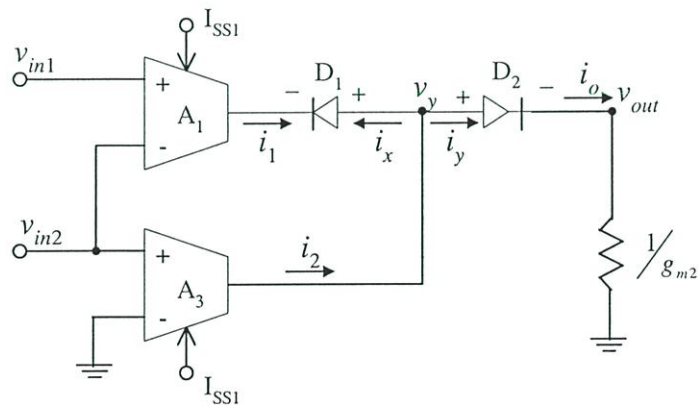
เมื่อ  $i_1 = g_{m1}(v_{in1} - v_{in2})$

ดังนั้น

$$i_x = \begin{cases} -g_{m1}(v_{in1} - v_{in2}) = g_{m1}(v_{in2} - v_{in1}) & ; v_{in1} < v_{in2} \\ 0 & ; v_{in1} \geq v_{in2} \end{cases} \quad (3.26)$$



(ก)



(ข)

รูปที่ 3.10 วงจรหาค่าแรงดันต่ำสุดโดยใช้โอทีเอ

จากรูปที่ 3.10(ก) วงจรหาค่าแรงดันต่ำสุด ซึ่งประกอบด้วยไดโอด 2 ตัว คือ D<sub>1</sub> และ D<sub>2</sub> ต่อร่วมกับโอทีเอ A<sub>1</sub> - A<sub>3</sub> โดยโอทีเอ A<sub>1</sub> และไดโอด D<sub>1</sub> ทำหน้าที่เป็นวงจรจำกัดกระแสแบบลบ

(ดังรูปที่ 3.9) และโอทีเอ  $A_2$  ทำหน้าที่แปลงค่ากระแส  $i_o$  ให้เป็นแรงดัน  $v_{out}$  ซึ่งมีวงจรมูลด ดังรูปที่ 3.3 เมื่อแทนวงจรมูลดของโอทีเอ  $A_2$  ด้วยตัวต้านทานแบบปรับค่าได้ จะได้วงจร ดังรูปที่ 3.10 (ข) เมื่อพิจารณาให้โอทีเอทุกตัวมีคุณสมบัติตามอุดมคติ หลักการทำงานของวงจร อธิบายได้ดังนี้

$$i_y = i_2 - i_x = g_{m1}v_{in2} - i_x \quad (3.27)$$

จากคุณสมบัติของไดโอด  $D_2$  จะได้ความสัมพันธ์ระหว่างกระแส  $i_y$  กับ  $i_o$  ดังนี้

$$i_o = \begin{cases} 0 & ; v_y \leq v_{out} \\ i_y = g_{m1}v_{in2} - i_x & ; v_y > v_{out} \end{cases} \quad (3.28)$$

ถ้ากำหนดให้แรงดัน  $v_y$  มีค่ามากกว่า  $v_{out}$  จะได้ว่า

$$v_{out} = \frac{i_o}{g_{m2}} = \frac{g_{m1}v_{in2} - i_x}{g_{m2}} \quad (3.29)$$

ถ้าแรงดัน  $v_{in1} < v_{in2}$  จากสมการที่ (3.26) และ (3.29) จะได้ว่า

$$v_{out} = \frac{g_{m1}v_{in2} - [g_{m1}(v_{in2} - v_{in1})]}{g_{m2}} = \frac{g_{m1}}{g_{m2}}v_{in1} \quad (3.30)$$

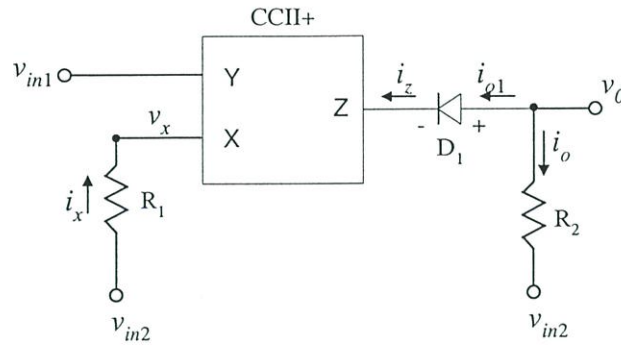
เมื่อพิจารณาในกรณีที่  $v_{in1} \geq v_{in2}$  จะได้ว่าค่าแรงดัน  $v_{out}$  ดังนี้

$$v_{out} = \frac{g_{m1}v_{in2} - 0}{g_{m2}} = \frac{g_{m1}}{g_{m2}}v_{in2} \quad (3.31)$$

จากสมการที่ (3.30) และ (3.31) จะเห็นได้ว่าวงจรในรูปที่ 3.10 เป็นวงจรหาค่าแรงดันต่ำสุด ระหว่างค่าแรงดันอินพุต  $v_{in1}$  และ  $v_{in2}$  ถ้าออกแบบให้  $g_{m1} = g_{m2}$  จะได้

$$v_{out} = \min(v_{in1}, v_{in2}) = \begin{cases} v_{in1} & ; v_{in1} < v_{in2} \\ v_{in2} & ; v_{in1} \geq v_{in2} \end{cases} \quad (3.32)$$

### 3.3.2 วงจรหาค่าแรงดันต่ำสุดโดยวงจรสายพานกระแส [1]



รูปที่ 3.11 วงจรหาค่าแรงดันต่ำสุดโดยใช้วงจรสายพานกระแสแบบพื้นฐาน

จากรูปที่ 3.11 วงจรหาค่าแรงดันต่ำสุดแบบพื้นฐานประกอบด้วย ตัวต้านทาน  $R_1$ ,  $R_2$  และ ไดโอด  $D_1$  ต่อร่วมกับวงจรสายพานกระแสชนิดบวก (CCII+) เมื่อ  $v_x = v_{in1}$  จะได้ว่า

$$i_z = i_x = \frac{v_{in2} - v_{in1}}{R_1} \quad (3.33)$$

จากคุณสมบัติของไดโอด  $D_1$  จะทำงานเมื่อค่ากระแส  $i_z$  มีค่าเป็นบวก จะได้ความสัมพันธ์ระหว่างกระแส  $i_z$  กับ  $i_{o1}$  คือ

$$i_{o1} = \begin{cases} i_z & ; v_{in1} < v_{in2} \\ 0 & ; v_{in1} \geq v_{in2} \end{cases} \quad (3.34)$$

เมื่อแทนค่าจากสมการที่ (3.33) ลงใน (3.34) จะได้ว่า

$$i_{o1} = -i_o = \begin{cases} \frac{v_{in2} - v_{in1}}{R_1} & ; v_{in1} < v_{in2} \\ 0 & ; v_{in1} \geq v_{in2} \end{cases} \quad (3.35)$$

พิจารณาที่จุดเอาต์พุต จะได้แรงดัน  $v_o$  (เมื่อ  $i_o = -i_{o1}$ ) คือ

$$v_o = i_o R_2 + v_{in2} = -i_{o1} R_2 + v_{in2} = v_{in2} - i_{o1} R_2 \quad (3.36)$$

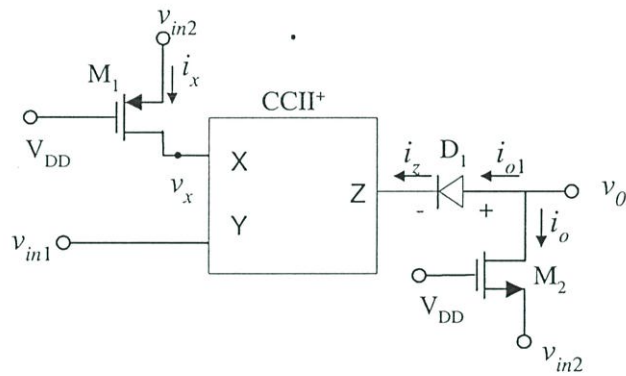
เมื่อแทนค่าจากสมการที่ (3.35) ลงใน (3.36) จะได้

$$v_o = \begin{cases} v_{in2} - R_2 \left[ \frac{v_{in2} - v_{in1}}{R_1} \right] & ; v_{in1} < v_{in2} \\ v_{in2} - 0 = v_{in2} & ; v_{in1} \geq v_{in2} \end{cases} \quad (3.37)$$

จากสมการที่ (3.37) เมื่อกำหนดให้  $R_2 = R_1$  จะเขียนได้ว่า

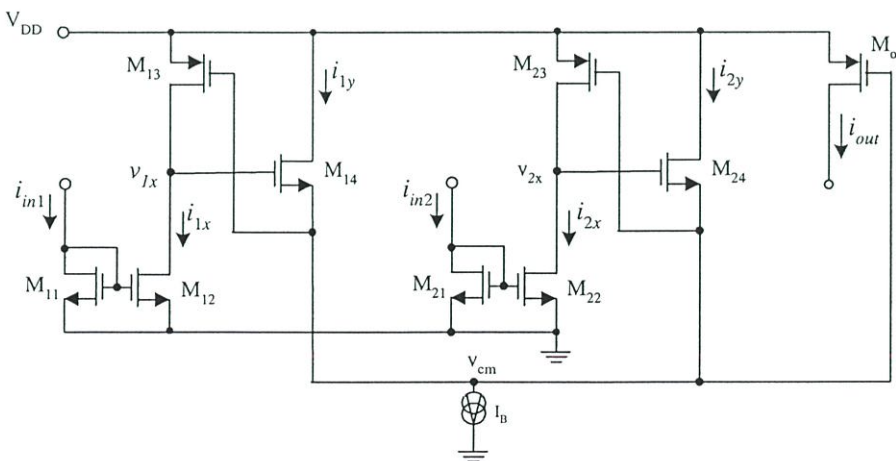
$$v_o = \begin{cases} v_{in1} & ; v_{in1} < v_{in2} \\ v_{in2} & ; v_{in1} \geq v_{in2} \end{cases} \quad (3.38)$$

จากสมการที่ (3.38) แสดงให้เห็นว่า วงจรในรูปที่ 3.11 ทำงานเป็นวงจรถ้าค่าแรงดันต่ำสุดระหว่างแรงดันอินพุต  $v_{in1}$  และ  $v_{in2}$  แต่ข้อจำกัดของวงจรถ้าค่าแรงดันต่ำสุดเช่นเดียวกับวงจรถ้าค่าแรงดันสูงสุดดังรูปที่ 3.5 จึงได้มีการพัฒนาวงจรถ้าค่าแรงดันต่ำสุดโดยใช้ออสเฟส  $M_1, M_2$  สังกะระห้ค่าความต้านทานแทนการใช้ตัวต้านทาน  $R_1, R_2$  ตามลำดับ ดังรูปที่ 3.12 โดยมีหลักการการทำงานเช่นเดียวกับวงจรถ้าค่าแรงดันต่ำสุด ดังรูปที่ 3.11 เมื่อ  $V_{DD}$  แทนแหล่งจ่ายไฟของวงจรถ้าค่า



รูปที่ 3.12 วงจรถ้าค่าแรงดันต่ำสุดโดยใช้วงจรถ้าค่าแรงดันต่ำสุด

### 3.3.3 วงจรถ้าค่าแรงดันต่ำสุดโดยใช้ซีมอส [15]



รูปที่ 3.13 วงจรถ้าค่าแรงดันต่ำสุดโดยใช้ซีมอส

จากวงจรถ้ากระแสต่ำสุดสำหรับกระแสอินพุต  $i_{in1}$  และ  $i_{in2}$  ดังรูปที่ 3.13 มอสทรานซิสเตอร์  $M_{i1} - M_{i4}$  ต่อร่วมกันสำหรับกระแสแต่ละอินพุต ( $i=1, 2$ ) โดยทรานซิสเตอร์  $M_{i1}$  และ  $M_{i2}$  ทำหน้าที่เป็นวงจรถ้ากระแส ทำให้ค่ากระแส  $i_{1x}$  และ  $i_{2x}$  มีค่าเท่ากับกระแสอินพุต  $i_{in1}$  และ  $i_{in2}$  ตามลำดับ ทรานซิสเตอร์  $M_{13}$ ,  $M_{23}$  และ  $M_o$  ต่อขอซอร์สและเกทร่วมกัน ดังนั้นจะมีค่าแรงดันตกคร่อมขาซอร์ส-เกท เท่ากัน คือ  $(V_{DD} - v_{cm})$  โดยที่ค่าแรงดัน  $v_{cm}$  คือแรงดันร่วมซึ่งแปรเปลี่ยนค่าตามกระแส อินพุตที่มีค่าต่ำกว่า แหล่งจ่ายกระแสคงที่  $I_B$  ใช้เป็นกระแสไบแอสของวงจร

กำหนดให้มอสเฟสทุกตัวมีความสมพงษ์กันทุกประการ และมีการทำงานในช่วงนำกระแสอิ่มตัว การทำงานของวงจรสามารถอธิบายได้ดังนี้

ถ้ากำหนดให้กระแสอินพุต  $i_{in1} = i_{in2}$  จะได้ว่าค่าแรงดัน  $v_{1x} = v_{2x}$  และค่ากระแส  $i_{1y} = i_{2y} = I_B/2$  เมื่อกระแสอินพุต  $i_{in1}$  มีค่าลดลง ( $i_{in1} < i_{in2}$ ) จะทำให้ค่าอิมพีแดนซ์ที่โนด  $v_{1x}$  มีค่าเพิ่มขึ้น จะได้ว่า

$$|v_{1x} - v_{2x}| \geq \left( \frac{I_B}{K} \right)^{1/2} \quad (3.39)$$

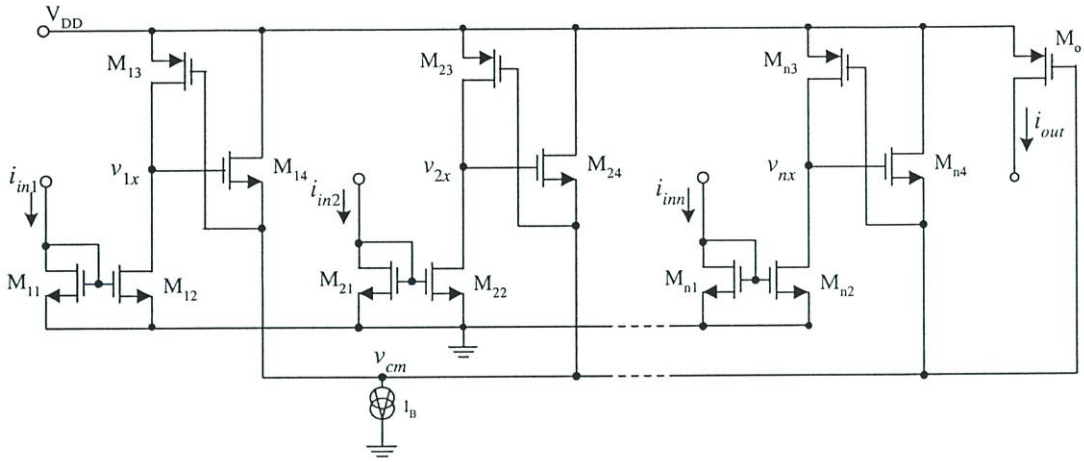
เมื่อ  $K$  คือ ค่าพารามิเตอร์ของค่าความนำกระแสของมอสทรานซิสเตอร์ ดังนั้น

$$i_{1y} = I_B \quad \text{และ} \quad i_{2y} = 0 \quad (3.40)$$

จากสมการที่ (3.40) จะทำให้ค่าแรงดัน  $v_{cm}$  ของวงจรสูงขึ้น ค่าแรงดันตกคร่อมขาซอร์ส-เกท ของทรานซิสเตอร์  $M_{13}$ ,  $M_{23}$  และ  $M_o$  มีค่าลดลงตามค่ากระแส  $i_{in1}$  เป็นผลทำให้ค่ากระแสอินพุต  $i_{2x}$  มีค่าน้อยกว่า  $i_{in2}$  แต่จะมีค่าเท่ากับ  $i_{in1}$  เขียนเป็นสมการได้ว่า

$$i_o = i_{1x} = i_{in1} = \min(i_{in1}, i_{in2}) \quad (3.41)$$

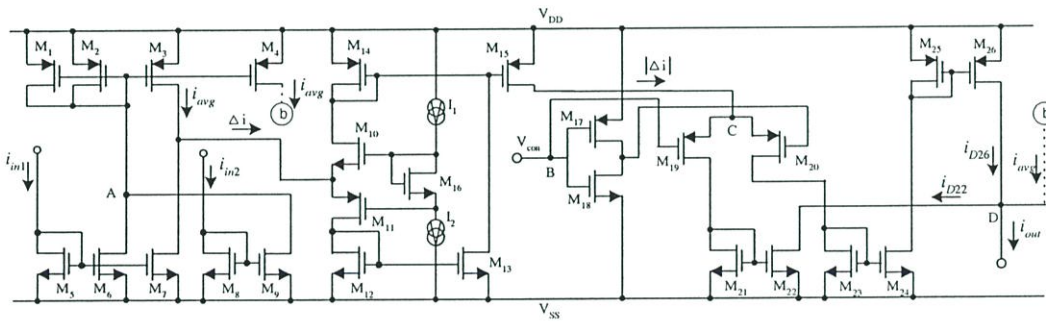
จากวงจรถ้ากระแสต่ำสุดสำหรับสองอินพุต ในรูปที่ 3.13 สามารถนำมาประยุกต์เป็นวงจรถ้ากระแสต่ำสุดชนิดหลายอินพุตได้ ดังรูปที่ 3.14 โดยใช้จำนวนทรานซิสเตอร์เท่ากับ  $4n+1$  ตัว เมื่อ  $n$  คือ จำนวนกระแสอินพุตของวงจร



รูปที่ 3.14 วงจรหาค่ากระแสต่ำสุดชนิดหลายอินพุต

### 3.4 วงจรหาค่าสูงสุดและต่ำสุด

#### 3.4.1 วงจรเลือกหาค่าสูงสุดและต่ำสุดโดยใช้ซีมอส [16]



รูปที่ 3.15 วงจรเลือกหาค่าสูงสุดและต่ำสุดโดยใช้ซีมอส

จากรูปที่ 3.15 แสดงวงจรหาค่าสูงสุดและต่ำสุดชนิดสองอินพุต ซึ่งแบ่งการทำงานเป็น 3 ส่วน คือ วงจรหาค่าเฉลี่ย, วงจรเรียงกระแสแบบเต็มคลื่น และวงจรสวิตช์อิเล็กทรอนิกส์ โดยมอสทรานซิสเตอร์  $M_1$ - $M_4$  ทำหน้าที่เป็นวงจรหาค่าเฉลี่ยระหว่างกระแสอินพุต  $i_{in1}$  และ  $i_{in2}$  โดยมีวงจรสะท้อนกระแส  $M_5$ - $M_7$  และ  $M_8$ - $M_9$  ทำหน้าที่สะท้อนกระแส  $i_{in1}$  และ  $i_{in2}$  มารวมกันไหลผ่านขาเดรนของทรานซิสเตอร์  $M_1$  และ  $M_2$  ถ้ากำหนดให้ทรานซิสเตอร์แต่ละตัว ( $M_1$ - $M_9$ ) มีความสมพียงกันทุกประการ จะได้ค่ากระแสเดรนของ  $M_3$  และ  $M_4$  ซึ่งเป็นค่ากระแสเฉลี่ย ( $i_{avg}$ ) ดังนี้คือ

$$i_{D3} = i_{D4} = i_{avg} = \frac{i_{in1} + i_{in2}}{2} \quad (3.42)$$

สำหรับในส่วนที่ 2 ของวงจรจะเป็นวงจรเรียงกระแสแบบเต็มคลื่น ประกอบด้วยทรานซิสเตอร์  $M_{10}$ - $M_{15}$  และแหล่งจ่ายกระแสคงที่  $I_1$  และ  $I_2$  กระแสเอาต์พุตของวงจรมีค่าเป็น

ค่าบวกของกระแสอินพุตของวงจรเสมอ เมื่อกระแสอินพุตของวงจรคือ  $\Delta i = i_{avg} - i_{in1}$  ดังนั้น กระแสเอาต์พุตของวงจรเรียงกระแสแบบเต็มคลื่นคือ

$$|\Delta i| = |i_{avg} - i_{in1}| \quad (3.43)$$

จากรูปที่ 3.15 และสมการที่ (3.43) พบว่ากระแส  $|\Delta i|$  มีทิศไหลเข้าโนด C เสมอ ซึ่งเป็นอินพุตของวงจรสวิตช์อิเล็กทรอนิกส์และจะไหลผ่านทรานซิสเตอร์  $M_{19}$  และ  $M_{20}$  ตัวใดตัวหนึ่ง โดยมีสัญญาณควบคุมจากภายนอก ( $V_{con} = V_{DD}$  หรือ  $V_{con} = V_{SS}$ ) เป็นตัวตัดสินใจ เมื่อแรงดัน  $V_{con}$  เป็นสัญญาณซีกบวก ( $+V_{DD}$ ) ทำให้แรงดันที่ขาเกตของ  $M_{19}$  เป็นบวกโดยที่ทรานซิสเตอร์  $M_{17}$  และ  $M_{18}$  ต่อร่วมกันเป็นอินเวอร์เตอร์ทำให้แรงดันที่ขาเกตของ  $M_{20}$  มีค่าตรงกันข้าม กล่าวคือเป็นสัญญาณสะท้อนกระแส  $M_{23}$ - $M_{24}$  และ  $M_{25}$ - $M_{26}$  ส่งผ่านไปยังโนด D ในทางตรงกันข้ามหากสัญญาณควบคุมจากภายนอก  $V_{con}$  เป็นสัญญาณซีกลบ ( $-V_{SS}$ ) จะทำให้แรงดันที่ขาเกตของ  $M_{19}$  และ  $M_{20}$  เป็นสัญญาณซีกลบและบวกตามลำดับ กระแส  $|\Delta i|$  จะถูกส่งผ่านไปยังวงจรสะท้อนกระแส  $M_{21}$ - $M_{22}$  เพื่อดึงกระแสออกจากโนด D เมื่อพิจารณาที่โนด D กระแสเอาต์พุตของวงจรที่ได้คือ

$$i_{out} = i_{D26} + i_{avg} - i_{D22} \quad (3.44)$$

และกระแสเดรนของทรานซิสเตอร์  $M_{26}$  และ  $M_{22}$  สามารถเขียนอยู่ในรูปของสมการได้ดังนี้

$$i_{D26} = \begin{cases} |\Delta i| & ; V_{con} = V_{DD} \\ 0 & ; V_{con} = V_{SS} \end{cases} \quad (3.45)$$

$$i_{D22} = \begin{cases} 0 & ; V_{con} = V_{DD} \\ |\Delta i| & ; V_{con} = V_{SS} \end{cases} \quad (3.46)$$

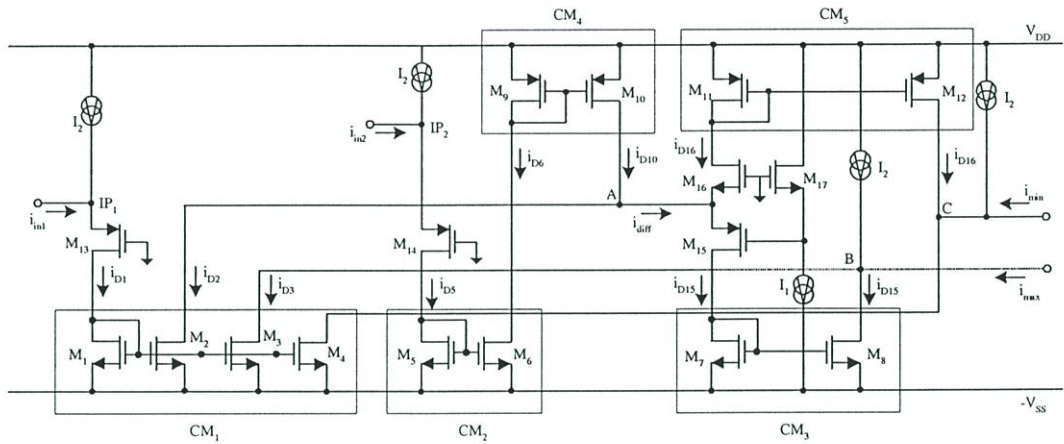
แทนสมการ (3.45) และ (3.46) ลงในสมการ (3.44) จะได้

$$i_{out} = \begin{cases} i_{avg} + |\Delta i| & ; V_{con} = V_{DD} \\ i_{avg} - |\Delta i| & ; V_{con} = V_{SS} \end{cases} \quad (3.47)$$

จากสมการ (3.42) ถึง (3.47) เนื่องจาก  $i_{avg}$  คือ ค่าอยู่ตรงกลางระหว่างค่าสูงสุด ( $i_{in,max}$ ) และค่าต่ำสุด ( $i_{in,min}$ ) จากกระแสอินพุตทั้งสอง ( $i_{in1}$  และ  $i_{in2}$ ) ส่วน  $|\Delta i|$  คือขนาดความแตกต่างของ  $i_{avg}$  กับค่ากระแสอินพุต  $i_{in1}$  ดังนั้นสมการที่ (3.47) จะสามารถเขียนใหม่ได้เป็น

$$i_{out} = \begin{cases} i_{in, max} & ; V_{con} = V_{DD} \\ i_{in, min} & ; V_{con} = V_{SS} \end{cases} \quad (3.48)$$

### 3.4.2 วงจรหาค่าสูงสุดและต่ำสุดโดยใช้ซีมอส [17]



รูปที่ 3.16 วงจรหาค่าสูงสุดและต่ำสุดชนิดสองอินพุต

จากรูปที่ 3.16 แสดงวงจรหาค่าสูงสุดและต่ำสุดชนิดสองอินพุต เมื่อพิจารณาที่โหนด  $IP_1$  และ  $IP_2$  มอสทรานซิสเตอร์  $M_{13}$  และ  $M_{14}$  ทำหน้าที่ผ่านกระแสอินพุต  $i_{in1}$  และ  $i_{in2}$  โดยมีกระแสไบแอส  $I_2$  ทำให้เกิดกระแส  $i_{D1}$  และ  $i_{D5}$  ดังนี้

$$i_{D1} = i_{in1} + I_2 \quad (3.49)$$

และ

$$i_{D5} = i_{in2} + I_2 \quad (3.50)$$

วงจรสะท้อนกระแส  $CM_1$ ,  $CM_2$  และ  $CM_4$  ซึ่งประกอบด้วยมอสทรานซิสเตอร์  $M_1$ - $M_4$ ,  $M_5$ - $M_6$  และ  $M_9$ - $M_{10}$  ตามลำดับ ทำหน้าที่สะท้อนกระแส  $i_{D1}$  และ  $i_{D5}$  ถ้ากำหนดให้มอสทรานซิสเตอร์แต่ละตัวมีความสมพงษ์กันทุกประการ จะได้ค่ากระแสเดรน ดังนี้

$$i_{D1} = i_{D2} = i_{D3} = i_{D4} = i_{in1} + I_2 \quad (3.51)$$

และ

$$i_{D5} = i_{D6} = i_{D10} = i_{in2} + I_2 \quad (3.52)$$

เมื่อพิจารณาที่โหนด A จะได้ผลต่างของกระแส คือ

$$i_{Diff} = i_{in2} - i_{in1} \quad (3.53)$$

กรณี  $i_{in2} > i_{in1}$  ผลต่างของกระแส คือ  $i_{Diff}$  มีค่าเป็นบวก ทำให้กระแส  $i_{Diff}$  ผ่านมอเตอร์านซิสเตอร์  $M_{15}$  วงจรสะท้อนกระแส  $CM_3$  ซึ่งประกอบด้วยมอเตอร์านซิสเตอร์  $M_7$ - $M_8$  ทำหน้าที่สะท้อนกระแส  $i_{D15}$  ขณะที่มอเตอร์านซิสเตอร์  $M_{16}$  อยู่ในสถานะไม่นำกระแส ถ้ากำหนดให้มอเตอร์านซิสเตอร์แต่ละตัวมีความสมพียงกันทุกประการ จะได้ค่ากระแสเดรน ดังนี้

$$i_{D15} = i_{Diff} = i_{in2} - i_{in1} \quad (3.54)$$

$$i_{D16} = 0 \quad (3.55)$$

เมื่อพิจารณาที่โหนด B จะได้  $i_{max}$  คือ

$$i_{max} + I_2 = i_{D15} + i_{D3} \quad (3.56)$$

จากสมการ (3.51) และ (3.54) แทนค่าลงในสมการ (3.56) จะได้

$$i_{max} = i_{in2} \quad (3.57)$$

เมื่อพิจารณาที่โหนด C จะได้  $i_{min}$  คือ

$$i_{min} + I_2 + i_{D16} = i_{D4} \quad (3.58)$$

จากสมการ (3.51) และ (3.55) แทนค่าลงในสมการ (3.58) จะได้

$$i_{min} = i_{in1} \quad (3.59)$$

กรณี  $i_{in2} = i_{in1}$  ผลต่างของกระแส คือ  $i_{Diff}$  มีค่าเป็นศูนย์ ทำให้มอเตอร์านซิสเตอร์  $M_{15}$  และ  $M_{16}$  อยู่ในสถานะไม่นำกระแส ดังนั้น

$$i_{D15} = i_{D16} = 0 \quad (3.60)$$

เมื่อพิจารณาที่โหนด B จะได้  $i_{max}$  คือ

$$i_{max} + I_2 = i_{D3} + i_{D15} \quad (3.61)$$

จากสมการ (3.51) และ (3.60) แทนค่าลงในสมการ (3.61) จะได้

$$i_{max} = i_{in1} \quad (3.62)$$

เมื่อพิจารณาที่โหนด C จะได้  $i_{min}$  คือ

$$i_{min} + I_2 + i_{D16} = i_{D4} \quad (3.63)$$

จากสมการ (3.51) และ (3.60) แทนค่าลงในสมการ (3.63) จะได้

$$i_{min} = i_{in1} \quad (3.64)$$

กรณี  $i_{in2} < i_{in1}$  ผลต่างของกระแส คือ  $i_{Diff}$  มีค่าเป็นลบ ทำให้กระแส  $i_{Diff}$  ผ่านมอสทรานซิสเตอร์  $M_{16}$  วงจรสะท้อนกระแส  $CM_5$  ซึ่งประกอบด้วยมอสทรานซิสเตอร์  $M_{11}$ – $M_{12}$  ทำหน้าที่สะท้อนกระแส  $i_{D16}$  ขณะที่มอสทรานซิสเตอร์  $M_{15}$  อยู่ในสถานะไม่นำกระแส ถ้ากำหนดให้มอสทรานซิสเตอร์แต่ละตัวมีความสมพียงกันทุกประการ จะได้ค่ากระแสเดรน ดังนี้

$$i_{D16} = -i_{Diff} = i_{in1} - i_{in2} \quad (3.65)$$

$$i_{D15} = 0 \quad (3.66)$$

เมื่อพิจารณาที่โหนด B จะได้  $i_{max}$  คือ

$$i_{max} + I_2 = i_{D15} + i_{D3} \quad (3.67)$$

จากสมการ (3.51) และ (3.66) แทนค่าลงในสมการ (3.67) จะได้

$$i_{max} = i_{in1} \quad (3.68)$$

เมื่อพิจารณาที่โหนด C จะได้  $i_{min}$  คือ

$$i_{min} + I_2 + i_{D16} = i_{D4} \quad (3.69)$$

จากสมการ (3.51) และ (3.65) แทนค่าลงในสมการ (3.69) จะได้

$$i_{min} = i_{in2} \quad (3.70)$$

### 3.5 บทสรุป

ในบทนี้เป็นกรกล่าวถึงหลักการออกแบบวงจรหาค่าสูงสุด, วงจรหาค่าต่ำสุด, วงจรเลือกค่าสูงสุดและค่าต่ำสุด, และวงจรหาค่าสูงสุดและค่าต่ำสุด สำหรับสัญญาณแอนะล็อกที่สำคัญๆ และแตกต่างกัน ซึ่งได้มีการนำเสนอไว้ในอดีต และเมื่อทำการพิจารณาเปรียบเทียบคุณสมบัติการทำงาน ของวงจรในแต่ละหลักการ จะได้ว่า

1. การออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุด โดยใช้โอทีเอทีเอตอร์ร่วมกับไดโอด ในหัวข้อ 3.2.1 และ 3.3.1 ตามลำดับ เป็นวงจรที่ทำงานใน โมดของแรงดัน ชนิดสองอินพุต สามารถต่อใช้งานได้ง่าย เนื่องจากโอทีเอทีเอเป็นวงจรสำเร็จที่ได้มีการผลิตออกมาจำหน่ายในท้องตลาด หาซื้อได้ง่าย ราคาไม่แพง แต่มีข้อจำกัดที่ว่า วงจรมีความผิดเพี้ยนของสัญญาณค่อนข้างมาก เนื่องจากไดโอดต้องการแรงดันตกคร่อมระหว่างขั้วประมาณ 0.6V ทำให้ไม่สามารถใช้ได้กับสัญญาณที่มีขนาดเล็กกว่าหรือใกล้เคียงกับแรงดันตกคร่อมไดโอดได้ นอกจากนี้วงจรมีช่วงปฏิบัติการในช่วงแคบ อันเป็นผลเนื่องมาจากข้อจำกัดของตัวโอทีเอ
2. การออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุด โดยใช้วงจรสายพานกระแสต์ร่วมกับไดโอดและมอสทรานซิสเตอร์ ในหัวข้อ 3.2.2 และ 3.3.2 ตามลำดับ การใช้มอสทรานซิสเตอร์ที่มีการทำงานในช่วงเชิงเส้นหรือไม่อิ่มตัว เพื่อสังเคราะห์แทนตัวต้านทานจะมีปัญหาอยู่บ้างที่ช่วงปฏิบัติการของวงจร และมีข้อจำกัดที่ว่า วงจรมีความผิดเพี้ยนของสัญญาณค่อนข้างมาก เนื่องจากการใช้งานไดโอด นอกจากนั้นการทำงานของวงจรเป็นการทำงานใน โมดแรงดันที่รองรับกับจำนวนอินพุตแค่สองสัญญาณ
3. การออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุด โดยใช้เทคโนโลยีมอสทรานซิสเตอร์ ในหัวข้อ 3.2.3 และ 3.3.3 ตามลำดับ การทำงานของวงจรจะทำงานใน โมดกระแส เป็นวงจรที่มีขนาดเล็ก ใช้จำนวนทรานซิสเตอร์น้อย สามารถรองรับจำนวนอินพุตได้หลายสัญญาณ แต่มีข้อจำกัดในเรื่องความเร็วและความถูกต้องในการทำงานของวงจร อันเนื่องมาจากการเปลี่ยนสถานะการทำงานของมอสทรานซิสเตอร์จากช่วงนำกระแสอิ่มตัวเป็นช่วงนำกระแสไม่อิ่มตัว
4. การออกแบบวงจรเลือกค่าสูงสุดและค่าต่ำสุดโดยใช้เทคโนโลยีมอสทรานซิสเตอร์ ในหัวข้อ 3.4.1 เป็นวงจรที่ทำงานใน โมดกระแส สามารถป้อนสัญญาณกระแสได้เพียงแค่สองอินพุตเท่านั้น เนื่องจากอาศัยหลักการการหาค่าเฉลี่ย ทำให้ไม่สามารถออกแบบเป็นวงจรชนิดหลายอินพุตได้ ส่วนกระแสเอาต์พุตจะเป็นค่าสูงสุดหรือค่าต่ำสุดเพียงค่าใดค่าหนึ่งเท่านั้น ทั้งนี้ขึ้นอยู่กับสัญญาณแรงดันควบคุมจากภายนอก
5. การออกแบบวงจรหาค่าสูงสุดและค่าต่ำสุดชนิดสองอินพุต โดยใช้เทคโนโลยีมอสทรานซิสเตอร์ ในหัวข้อ 3.4.2 เป็นวงจรที่ทำงานใน โมดกระแส มีการใช้จำนวนทรานซิสเตอร์ค่อนข้างมาก และประกอบด้วยวงจรสะท้อนกระแสหลายวงจร ทำให้เกิดความผิดพลาดสะสมค่อนข้างสูง

## บทที่ 4

# การออกแบบวงจรถูกค่าสูงสุดและวงจรถูกค่าต่ำสุด ชนิดหลายอินพุตที่นำเสนอในวิทยานิพนธ์

### 4.1 กล่าวนำ

การออกแบบวงจรถูกค่าสูงสุดและวงจรถูกค่าต่ำสุดชนิดหลายอินพุต โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสที่นำเสนอในวิทยานิพนธ์นี้ เป็นวงจรถูกทำงานในโหมดกระแส วงจรมีขนาดเล็ก ใช้อุปกรณ์น้อยเพื่อรองรับกับเทคโนโลยีของวงจรรวมขนาดใหญ่ และมีประสิทธิภาพในการทำงานสูงเหมาะสมที่จะนำไปประยุกต์ใช้ในการประมวลผลสัญญาณทางแอนะล็อก ในบทนี้จะกล่าวถึงหลักการการทำงานของวงจรถูกที่ได้พัฒนาขึ้น สมรรถนะของวงจรถูก และผลการเลียนแบบการทำงานของวงจรถูกด้วยโปรแกรม PSPICE เพื่อเป็นการทดสอบการทำงานของวงจรถูกค่าสูงสุดและวงจรถูกค่าต่ำสุดที่ได้ทำการออกแบบขึ้น

### 4.2 การออกแบบวงจรถูกค่าสูงสุดชนิดหลายอินพุต

จากรูปที่ 4.1 เป็นวงจรถูกค่าสูงสุดที่นำเสนอ มีการทำงานในโหมดกระแส สามารถรองรับกับจำนวนกระแสอินพุตได้หลายสัญญาณ โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันทุกประการ และทำงานในช่วงนำกระแสอิมิตัว สำหรับค่ากระแสเดรนของมอสทรานซิสเตอร์ที่ทำงานในช่วงดังกล่าว สามารถเขียนเป็นสมการได้ดังนี้

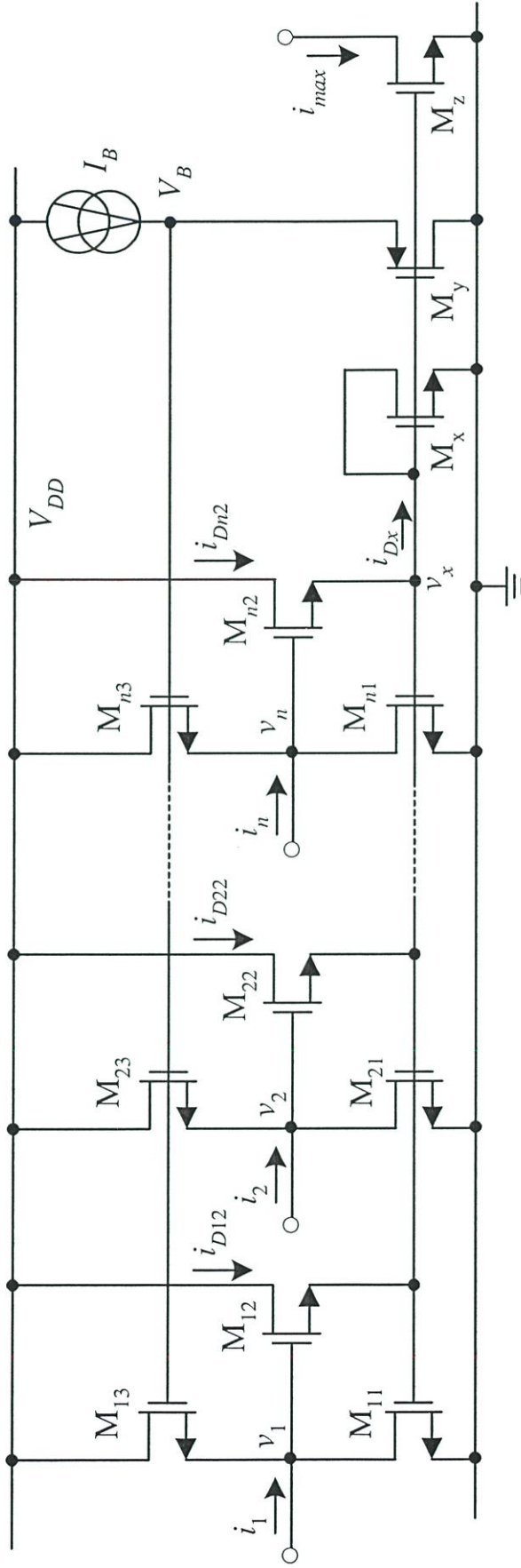
$$i_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (v_{GS} - V_{TH})^2 = K (v_{GS} - V_{TH})^2 \quad (4.1)$$

เมื่อ  $K$  คือ ค่าพารามิเตอร์ของค่าความนำกระแส (Transconductance parameter)

$v_{GS}$  คือ แรงดันที่เกตกับซอร์ส

$V_{TH}$  คือ แรงดันขีดเริ่มเปลี่ยน (Threshold voltage)

ภายในวงจรถูกประกอบด้วยจำนวนทรานซิสเตอร์เท่ากับ  $3n+3$  ตัว และแหล่งจ่ายกระแสไบแอส  $I_B$  เมื่อ  $n$  คือ จำนวนสัญญาณกระแสอินพุตของวงจรถูก โดยมอสทรานซิสเตอร์  $M_{j1}$ ,  $M_{j2}$ , และ  $M_{j3}$  เป็นวงจรถูกย่อยสำหรับสัญญาณอินพุตลำดับที่  $j$  ส่วนทรานซิสเตอร์  $M_x$  และ  $M_z$  คือเป็นวงจรถูกสะท้อนกระแสแบบบวก (positive current mirror) ที่มีอัตรากระแสส่งผ่านกระแสเท่ากับหนึ่ง การทำงานของวงจรถูกในรูปที่ 4.1 สามารถอธิบายได้ดังนี้



รูปที่ 4.1 วงจรหาค่าสูงสุดชนิดหลายอินพุตที่นำเสนอ

ในกรณีที่กระแสอินพุตทุกตัวมีค่าเท่ากับศูนย์ วงจรจะทำงานเป็นวงจรขยายคลาส AB โดยกระแสไบแอส  $I_B$  ที่ไหลผ่านทรานซิสเตอร์  $M_j$  จะทำให้เกิดแรงดัน  $V_B$  ตกคร่อมระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์  $M_{j1}$ ,  $M_{j2}$  และ  $M_{j3}$  ซึ่งมีค่าประมาณ  $3V_{TH}$  โดยแรงดันไบแอส  $V_B$  นี้จะทำให้  $M_{j1}$ ,  $M_{j2}$ , และ  $M_{j3}$  ทำงานอยู่ในช่วงของขอบนำกระแส สามารถเขียนเป็นสมการได้ดังนี้

$$V_B = v_{GSj3} + v_j \approx 3V_{TH} \quad (4.2)$$

เมื่อ 
$$v_j = v_{GSj1} + v_{GSj2} \quad (4.3)$$

ในกรณีที่กระแสอินพุตทุกตัวมีค่าเป็นบวกและกระแสอินพุต  $i_1$  มีค่าสูงสุดเมื่อเปรียบเทียบกับค่ากระแสอินพุตตัวอื่นๆ วงจรจะทำงานเป็นวงจรขยายคลาส B จากการพิจารณาสมการที่ (4.1) และสมการที่ (4.3) เมื่อกระแสอินพุต  $i_1$  ไหลผ่าน  $M_{11}$  มีผลทำให้แรงดันระหว่างขาเกตกับขาซอร์ส ( $v_{GS11}$ ) และแรงดันอินพุต  $v_1$  มีค่าเพิ่มมากขึ้น เนื่องจากขาเกตของ  $M_{11}$ ,  $M_{21}, \dots, M_{n1}$  และ  $M_x$  ต่อขนานกัน ทำให้แรงดันระหว่างขาเกตกับขาซอร์สของ  $M_{11}$ ,  $M_{21}, \dots, M_{n1}$  และ  $M_x$  มีค่าเท่ากัน เขียนเป็นสมการได้ดังนี้

$$v_{GS11} = v_{GS21} = \dots = v_{GSn1} = v_x \quad (4.4)$$

จากสมการที่ (4.1) และ (4.4) จะได้กระแสเดรนของ  $M_{11}$ ,  $M_{21}, \dots, M_{n1}$  และ  $M_x$  มีค่าเท่ากัน เขียนเป็นสมการได้ว่า

$$i_1 = i_{D11} = i_{D21} = \dots = i_{Dn1} = i_{Dx} \quad (4.5)$$

จากสมการที่ (4.2) และสมการที่ (4.3) ในสถานะที่แรงดันระหว่างขาเกตกับขาซอร์สของ  $M_{21}$ ,  $M_{31}, \dots, M_{n1}$  มีค่าเพิ่มขึ้นตามค่าแรงดัน  $v_{GS11}$  เป็นผลทำให้  $M_{22}$ ,  $M_{32}, \dots, M_{n2}$  อยู่ในสถานะไม่นำกระแส ดังนั้นกระแสเดรนของ  $M_{22}$ ,  $M_{32}, \dots, M_{n2}$  จะมีค่าเท่ากับศูนย์ เขียนเป็นสมการได้ว่า

$$i_{D22} = i_{D32} = \dots = i_{Dn2} = 0 \quad (4.6)$$

พิจารณาที่โหนด  $v_x$  จะได้กระแสเดรนของ  $M_x$  เป็นผลรวมของกระแสเดรนของ  $M_{12}$ ,  $M_{22}, \dots, M_{n2}$  เขียนเป็นสมการได้ ดังนี้

$$i_{Dx} = i_{D12} + i_{D22} + \dots + i_{Dn2} \quad (4.7)$$

ถ้าแทนค่ากระแสเดรนของ  $M_{22}$ ,  $M_{32}, \dots, M_{n2}$  ในสมการที่ (4.6) ลงในสมการที่ (4.7) จะได้ค่ากระแสเดรนของ  $M_x$  มีค่าเป็น

$$i_{Dx} = i_{D12} \quad (4.8)$$

จากสมการที่ (4.5) และสมการที่ (4.8) จะได้ว่า

$$i_1 = i_{D12} = i_{Dx} \quad (4.9)$$

เมื่อทรานซิสเตอร์  $M_x$  และ  $M_z$  ต่อเป็นวงจรสะท้อนกระแสแบบบวทที่มีอัตราส่งผ่านกระแสเท่ากับหนึ่ง จะได้กระแสเอาต์พุต  $i_{max}$  คือ

$$i_{max} = i_{Dx} \quad (4.10)$$

จากสมการที่ (4.9) และ (4.10) สามารถสรุปได้ว่ากระแสเอาต์พุตสูงสุด  $i_{max}$  จะมีค่าเท่ากับ

$$i_{max} = i_1 = \max(i_1, i_2, \dots, i_n) \quad (4.11)$$

จากสมการที่ (4.11) จะได้ว่าวงจรในรูปที่ 4.1 เป็นวงจรที่ทำหน้าที่หาค่าสูงสุดของสัญญาณกระแสทั้งหมดจำนวน  $n$  อินพุต

### 4.3 การออกแบบวงจรหาค่าต่ำสุดชนิดหลายอินพุต

วงจรหาค่าสูงสุดที่ได้นำเสนอตั้งรูปที่ 4.1 สามารถนำมาประยุกต์ใช้เป็นวงจรหาค่าต่ำสุดชนิดหลายอินพุตได้ ด้วยกฎของเดอ มอแกน (De Morgan's law) โดยเขียนเป็นสมการได้ดังนี้

$$\min(i_1, i_2, \dots, i_n) = \overline{\max(\overline{i_1}, \overline{i_2}, \dots, \overline{i_n})} \quad (4.12)$$

เมื่อ — คือ ฟังก์ชันคอมพลิเมนต์

การปฏิบัติการฟังก์ชันคอมพลิเมนต์ [11] สำหรับสัญญาณกระแส สามารถเขียนได้ว่า

$$\overline{i_j} = I_R - i_j \quad (4.13)$$

เมื่อ  $i_j$  คือ ค่ากระแสอินพุตลำดับที่  $j$

$I_R$  คือ ค่ากระแสคงที่

จากสมการที่ (4.12) และ (4.13) จะได้กระแสเอาต์พุตต่ำสุด  $i_{min}$  คือ

$$i_{min} = I_R - i_{max} \quad (4.14)$$

ในรูปที่ 4.2 เป็นวงจรหาค่าต่ำสุดชนิดหลายอินพุตที่มีพื้นฐานการออกแบบมาจากการประยุกต์ใช้งานวงจรหาค่าสูงสุดตั้งรูปที่ 4.1 วงจรหาค่าต่ำสุดที่นำเสนอประกอบด้วยมอสทรานซิสเตอร์  $M_{j1}$ - $M_{j5}$  ใช้เป็นวงจรย่อยสำหรับสัญญาณอินพุตลำดับที่  $j$  และแหล่งจ่ายค่ากระแส คงที่  $I_R$  จำนวน  $n+1$  ตัว ทำงานร่วมกับวงจรหาค่าสูงสุดและวงจรสะท้อนกระแสแบบ

บวกที่มีอัตราการส่งผ่านกระแสเท่าหนึ่ง จำนวนวงจรสะท้อนกระแสมีค่าเท่ากับ  $n$  เมื่อ  $n$  คือ จำนวนกระแสอินพุตของวงจร

การทำงานของวงจรหาค่าต่ำสุดดังรูปที่ 4.2 สามารถอธิบายได้ดังนี้ กำหนดให้ มอสทรานซิสเตอร์ทุกตัวมีความสมพียงกันทุกประการและทำงานในช่วงนำกระแสอิมิตวทรานซิสเตอร์  $M_{j4}$  และ  $M_{j5}$  ทำงานเป็นวงจรสะท้อนกระแสแบบบวกที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง ซึ่งจะสะท้อนกระแสอินพุต  $i_j$  ไปที่โหนด  $v_j$  จะได้ค่ากระแสเดรนของ  $M_{j5}$  คือ

$$i_{Dj5} = i_j \quad (4.15)$$

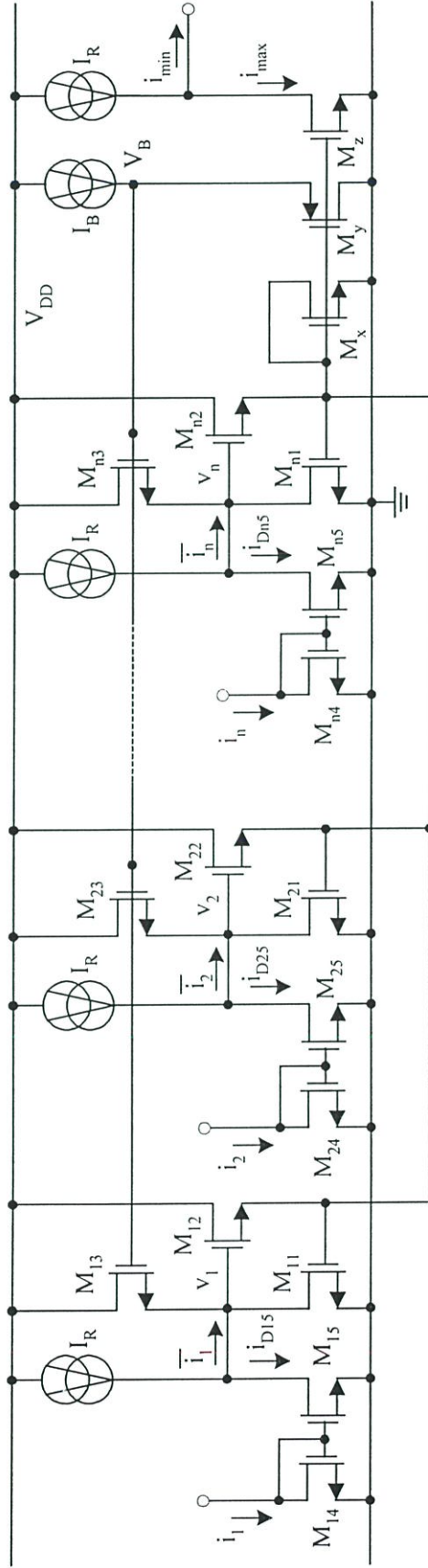
เมื่อพิจารณาที่โหนด  $v_j$  จะได้กระแสอินพุตของแต่ละวงจรรย่อย  $M_{j1}$ - $M_{j3}$  เพื่อหาค่ากระแสสูงสุด คือ

$$\bar{i}_j = I_R - i_j \quad (4.16)$$

ที่โหนดเอาต์พุต จะได้กระแสเอาต์พุตต่ำสุด  $i_{min}$  คือ

$$i_{min} = I_R - i_{max} \quad (4.17)$$

จากสมการที่ (4.16) และ (4.17) จะสอดคล้องกับสมการที่ (4.13) และ (4.14) ดังนั้นวงจรในรูปที่ 4.2 เป็นวงจรที่ทำหน้าที่หาค่าต่ำสุดของสัญญาณกระแสทั้งหมดของวงจร โดยใช้กฎของเดอ มอแกนในการออกแบบวงจร



รูปที่ 4.2 วงจรหาค่าต่ำสุดชนิดหลายอินพุตที่มีพื้นฐานการทำงานมาจากวงจรหาค่าสูงสุด

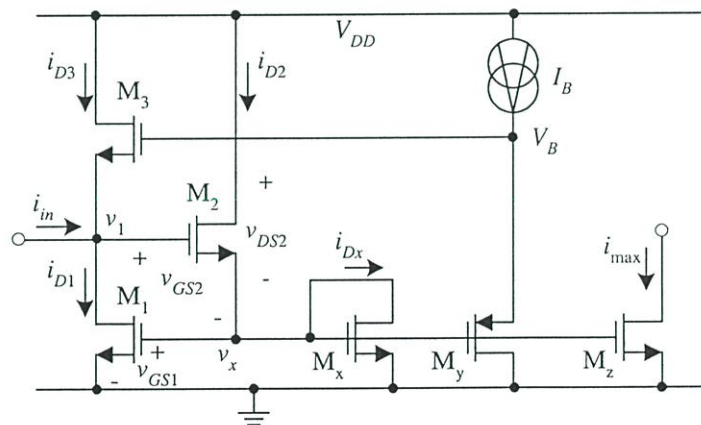
#### 4.4 การวิเคราะห์คุณสมบัติการทำงานของวงจรถ้าค่าสูงสุดชนิดหลายอินพุต

การทำงานของวงจรถ้าค่าสูงสุดชนิดหลายอินพุตสำหรับสัญญาณกระแสที่ได้พัฒนา ออกแบบในหัวข้อที่ 4.2 เป็นการกำหนดให้มอสทรานซิสเตอร์แต่ละตัวมีคุณสมบัติเป็นไปตามอุดม คติ และทรานซิสเตอร์ทุกตัวมีการทำงานในช่วงนำกระแสอิ่มตัว สำหรับในทางปฏิบัติ ทรานซิสเตอร์แต่ละตัวไม่สมพงษ์กันทุกประการและค่าความนำ ( $g_m$ ) ของทรานซิสเตอร์ไม่มีค่า เป็นอนันต์ เป็นผลทำให้สมรรถนะของวงจรมีไม่ไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์ คุณสมบัติของวงจรถ้าค่าสูงสุดที่ได้นำเสนอ ซึ่งได้แก่ ช่วงปฏิบัติการของกระแสอินพุต ค่าความ ผิดพลาดของวงจรถ้าค่าสูงสุด และผลตอบสนองความถี่

##### 4.4.1 การวิเคราะห์หาช่วงปฏิบัติการของกระแสอินพุต

จากวงจรในรูปที่ 4.3 เป็นวงจรถ้าค่าสูงสุดที่นำเสนอ เมื่อป้อนกระแสอินพุตเพียงแค่ สัญญาณเดียว ถ้ากระแสอินพุต  $i_{in}$  มีค่าเป็นบวก หรือ  $i_{in} > 0$  มอสทรานซิสเตอร์  $M_3$  อยู่ในสถานะไม่ นำกระแส ( $i_{D3} = 0A$ ) ดังนั้นกระแสเดรนของ  $M_1$  ( $i_{D1}$ ) จะมีค่าเท่ากับกระแสอินพุต  $i_{in}$  เนื่องจากขา เกทและซอร์สของ  $M_1$  และ  $M_x$  ต่อขานานกัน จะได้ค่ากระแส  $i_{Dx}$  และ  $i_{D2}$  มีค่าเท่ากับกระแส  $i_{D1}$  (หรือค่ากระแสอินพุต  $i_{in}$ ) จากการทำงานของ  $M_x$  และ  $M_z$  ที่ต่อเป็นวงจรถ้าค่าสูงแบบบวก โดยมีย่อตราการส่งผ่านกระแสเท่ากับหนึ่ง จะได้ว่า

$$i_{max} = i_{Dx} = i_{D2} = i_{D1} = i_{in} \quad (4.18)$$



รูปที่ 4.3 การทำงานของวงจรถ้าค่าสูงสุดที่นำเสนอ เมื่อจำนวนกระแสอินพุตเท่ากับหนึ่ง

เมื่อกำหนดให้  $i_{in(max)}$  คือ ค่ากระแสอินพุตสูงสุดที่วงจรยังคงสามารถทำงานได้อย่างถูกต้อง จะ พบว่าค่าแรงดันที่ขาเกตของ  $M_1$  จะมีค่าสูงสุดได้ไม่เกินค่าที่ทำให้  $M_2$  ไม่สามารถจ่ายกระแสได้ ซึ่ง เปรียบเสมือนขาคอนกับขาสอร์สของ  $M_2$  ถูกต่อถึงกัน (Short circuit) จากรูปที่ 4.3 ถ้าพิจารณาที่  $M_1$  และ  $M_2$  จะได้ว่า

$$v_{DS2} = V_{DD} - v_{GS1} \quad (4.19)$$

เงื่อนไขที่ทำให้การทำงานของ  $M_2$  อยู่ในชั้่งนำกระแสอิมตัว คือ

$$v_{DS2} \geq v_{GS2} - V_{TH} \quad (4.20)$$

เมื่อแทนค่าจากสมการที่ (4.19) ลงใน (4.20) จะได้ว่า

$$V_{DD} - v_{GS1} \geq v_{GS2} - V_{TH} \quad (4.21)$$

จากความสัมพันธ์ระหว่างกระแสเดรนและค่าแรงดันระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์ ในช่วงนำกระแสอิมตัว ดังสมการที่ (4.1) จะได้ว่า

$$v_{GSj} = V_{TH} + \sqrt{\frac{i_{Dj}}{\beta_j}} \quad (4.22)$$

โดยที่  $v_{GSj}$  คือ ค่าแรงดันระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์ตัวที่  $j$

$i_{Dj}$  คือ ค่ากระแสเดรนของทรานซิสเตอร์ตัวที่  $j$

$\beta_j$  คือ ค่าพารามิเตอร์ของค่าความนำกระแสของทรานซิสเตอร์ตัวที่  $j$

เมื่อ 
$$\beta_j = \frac{\mu_n C_{ox}}{2} \left( \frac{W}{L} \right)_j \quad (4.23)$$

เมื่อแทนค่าจากสมการที่ (4.22) ลงใน (4.21) จะได้

$$V_{DD} - \left( V_{TH} + \sqrt{\frac{i_{D1}}{\beta_1}} \right) \geq \left( V_{TH} + \sqrt{\frac{i_{D2}}{\beta_2}} \right) - V_{TH}$$

เมื่อ  $i_{D1}$  และ  $i_{D2}$  มีค่าเท่ากับกระแสอินพุต  $i_{in}$  ดังสมการที่ (4.18) จะเขียนได้ว่า

$$(V_{DD} - V_{TH})^2 \geq \left( \sqrt{\frac{i_{in}}{\beta_1}} + \sqrt{\frac{i_{in}}{\beta_2}} \right)^2$$

จัดรูปแบบสมการใหม่ จะได้

$$i_{in} \leq \frac{\beta_1 \beta_2 (V_{DD} - V_{TH})^2}{\beta_1 + \sqrt{\beta_1 \beta_2} + \beta_2} \quad (4.24)$$

ดังนั้นช่วงปฏิบัติการของกระแสอินพุตของวงจรถ้าค่าสูงสุดที่นำเสนอ คือ

$$0 < i_{in} \leq \frac{\beta_1 \beta_2 (V_{DD} - V_{TH})^2}{\beta_1 + \sqrt{\beta_1 \beta_2} + \beta_2} \quad (4.25)$$

จากสมการที่ (4.24) จะได้ว่า ค่ากระแสอินพุตสูงสุด  $i_{in(max)}$  คือ

$$i_{in(max)} = \frac{\beta_1 \beta_2 (V_{DD} - V_{TH})^2}{\beta_1 + \sqrt{\beta_1 \beta_2} + \beta_2} \quad (4.26)$$

จากสมการที่ (4.26) จะเห็นได้ว่า ถ้ากำหนดให้ ค่าแรงดัน  $V_{TH}$  เป็นค่าคงที่ เมื่อต้องการออกแบบให้ค่ากระแส  $i_{in(max)}$  มีค่าสูง สามารถทำได้โดยการออกแบบให้มีค่าแหล่งจ่ายไฟ  $V_{DD}$  มีค่าสูง และกำหนดอัตราส่วนความกว้างและความยาวของแซนเนล ( $W/L$ ) ของทรานซิสเตอร์  $M_1$  และ  $M_2$  ให้มีค่าสูง ตัวอย่างเช่น ถ้ากำหนดให้  $V_{DD} = 2.5V$ ,  $V_{TH} = 0.7V$ ,  $(W/L)_1 = 0.5(W/L)_2$  หรือ  $\beta_1 = 220\mu A/V$ , และ  $\beta_2 = 440\mu A/V$  จะได้ว่าค่ากระแสอินพุตสูงสุด  $i_{in(max)}$  โดยประมาณ คือ  $323\mu A$

#### 4.4.2 การวิเคราะห์หาค่าความผิดพลาดของวงจร

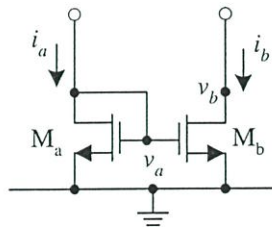
สำหรับการวิเคราะห์หาค่าความผิดพลาดของวงจรหาค่ากระแสสูงสุดที่ออกแบบจะเกิดจากวงจรสะท้อนกระแสเป็นหลัก โดยที่วงจรสะท้อนกระแสที่ใช้ในการออกแบบจะเป็นวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง โดยพิจารณาจากสมการดังต่อไปนี้

$$i_b = (1 - \varepsilon_{CM}) i_a \quad (4.27)$$

โดยที่  $i_b$  คือ กระแสเอาต์พุตของวงจรสะท้อนกระแส

$\varepsilon_{CM}$  คือ ค่าความผิดพลาดที่เกิดจากวงจรสะท้อนกระแส

$i_a$  คือ กระแสอินพุตของวงจรสะท้อนกระแส



รูปที่ 4.4 วงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสเฟต

จากวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง ดังแสดงในรูปที่ 4.4 ซึ่งจะได้ความสัมพันธ์ระหว่างกระแสเอาต์พุต  $i_b$  และกระแสอินพุต  $i_a$  สำหรับสัญญาณขนาดเล็ก [18] ดังนี้

$$i_b = \frac{g_{mb}}{g_{ma}} i_a \quad (4.28)$$

โดยที่  $g_{ma}$  และ  $g_{mb}$  คือ ค่าอัตราขยายความนำของสัญญาณขนาดเล็กในทรานซิสเตอร์  $M_a$  และ  $M_b$  ตามลำดับ

จากสมการที่ (4.27) จัดรูปสมการใหม่จะเขียนได้ว่า

$$\mathcal{E}_{CM} = \frac{i_a - i_b}{i_a} = 1 - \frac{i_b}{i_a} \quad (4.29)$$

เมื่อแทนค่าจากสมการที่ (4.28) ลงใน (4.29) จะได้ค่าความผิดพลาด  $\mathcal{E}_{CM}$  ที่เกิดจากวงจรสะท้อนกระแสแบบพื้นฐาน จะมีค่าเท่ากับ

$$\mathcal{E}_{CM} = 1 - \frac{g_{mb}}{g_{ma}} \quad (4.30)$$

ความผิดพลาดของวงจรถ้าค่าสูงสุดที่ออกแบบ ( $\mathcal{E}_{\max}$ ) เมื่อจำนวนสัญญาณอินพุตเท่ากับหนึ่ง ดังรูปที่ 4.3 จะพิจารณาได้จาก

$$i_{\max} = (1 - \mathcal{E}_{\max}) i_{in} \quad (4.31)$$

ถ้ากระแสอินพุต  $i_{in}$  มีค่าเป็นบวก หรือ  $i_{in} > 0$  มอสทรานซิสเตอร์  $M_3$  จะอยู่ในสถานะไม่นำกระแส ดังนั้นกระแสเดรน  $i_{D1}$  ของ  $M_1$  จะมีค่าเท่ากับกระแสอินพุต  $i_{in}$  เขียนเป็นสมการได้ดังนี้

$$i_{D3} = 0 \quad \text{และ} \quad i_1 = i_{in} \quad (4.32)$$

จากสมการที่ (4.28) จะได้ว่า การทำงานของ  $M_x$  และ  $M_z$  ที่ต่อเป็นวงจรสะท้อนกระแสแบบบวก โดยมีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง จะได้ว่า

$$i_{out} = \frac{g_{mz}}{g_{mx}} i_{Dx} = \frac{g_{mz}}{g_{mx}} i_{D2} \quad (4.33)$$

เนื่องจากขาเกตและขาซอร์สของ  $M_1$  และ  $M_x$  ต่อขนานกัน ทำให้แรงดันระหว่างขาเกตกับขาซอร์สของ  $M_1$  และ  $M_x$  มีค่าเท่ากัน ดังนั้นกระแสเดรนของ  $M_1$  และ  $M_x$  จะมีค่าเท่ากัน เขียนเป็นสมการได้ว่า

$$i_{Dx} = i_{D1} = i_1 \quad (4.34)$$

จากสมการที่ (4.32) ถึง (4.34) จะเขียนสมการได้ว่า

$$i_{out} = \frac{g_{mz}}{g_{mx}} i_{in} \quad (4.35)$$

จากสมการที่ (4.31) และ (4.35) จะได้ความผิดพลาดของวงจรถ้าค่าสูงสุดที่ออกแบบดังรูปที่ 4.3 ที่เกิดจากวงจรสะท้อนกระแสเป็นหลัก ดังนี้

$$\varepsilon_{\max} = 1 - \frac{g_{mz}}{g_{mx}} \quad (4.36)$$

จากสมการที่ (4.36) สามารถคำนวณหาเปอร์เซ็นต์ความผิดพลาดของวงจรถ้าค่าสูงสุดได้ดังนี้

$$\varepsilon_{\max} = \left( 1 - \frac{g_{mz}}{g_{mx}} \right) \times 100\% \quad (4.37)$$

จากสมการที่ (4.37) จะเห็นได้ว่าค่าความผิดพลาดของวงจรสะท้อนกระแส จะขึ้นอยู่กับค่า  $g_{mz}$  และ  $g_{mx}$  และจากผลการเลียนแบบการทำงานของวงจรถ้าด้วยโปรแกรม PSPICE โดยกำหนด  $(W/L)_x = (W/L)_z = 5/2$  ตามตารางที่ 4.1 ( $g_{mz}$  และ  $g_{mx}$  มีค่าไม่เท่ากันเนื่องจากผลกระทบของ  $\lambda$ ) เมื่อป้อนค่า  $i_a = 20 \mu\text{A}$  จะได้  $g_{mx} = 1.553 \mu\text{A/V}$ , และ  $g_{mz} = 1.557 \mu\text{A/V}$  จะได้ความผิดพลาดที่เกิดจากวงจรสะท้อนกระแส  $M_x$ - $M_z$  เท่ากับ  $-0.258 \%$

#### 4.4.3 การวิเคราะห์หาผลตอบสนองความถี่

จากวงจรถ้าค่าสูงสุดชนิดหลายอินพุตที่นำเสนอในรูปที่ 4.1 ถ้ากำหนดให้กระแสอินพุตทุกตัวมีค่าเป็นบวกและกระแสอินพุต  $i_1$  มีค่าสูงสุดเมื่อเปรียบเทียบกับค่ากระแสอินพุตตัวอื่นๆ และกำหนดให้  $i_1 = i_{in}$  การวิเคราะห์หาผลตอบสนองความถี่ของวงจรถ้าค่าสูงสุดจะสามารถวิเคราะห์ด้วยวงจรสมมูลของสัญญาณขนาดเล็กได้ดังรูปที่ 4.5 โดยที่

$$g_{dt} = \sum_{j=1}^n g_{dj1} \quad (4.38)$$

$$g_{mt} = \sum_{j=1}^n g_{mj1} \quad (4.39)$$

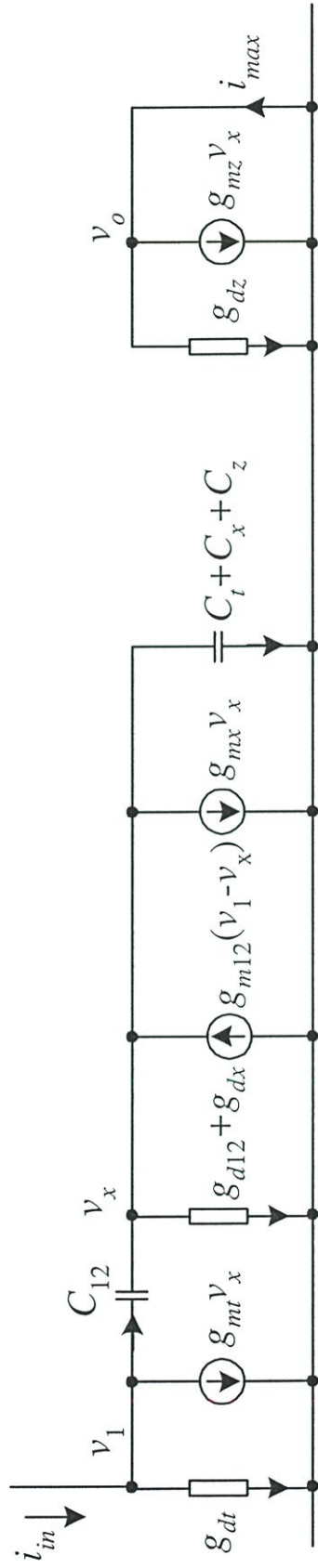
$$C_i = \sum_{j=1}^n C_{gsj1} \quad (4.40)$$

เมื่อ  $g_{dj1}$  คือ ค่าความนำระหว่างขาเดรนกับขาซอร์สของทรานซิสเตอร์  $M_{j1}$

$g_{mj1}$  คือ ค่าความนำของทรานซิสเตอร์  $M_{j1}$

$C_{gsj1}$  คือ ค่าความจุไฟฟ้าระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์  $M_{j1}$

$n$  คือ จำนวนสัญญาณกระแสอินพุตทั้งหมดของวงจรถ้า



รูปที่ 4.5 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองของความถี่สำหรับวงจรหาค่าสูงสุด

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองความถี่สำหรับวงจรถ้าค่าสูงสุด ดังรูป  
ที่ 4.5

$$\text{ที่ โหนด } v_1 \quad i_{in} = (g_{dt} + sC_{12})v_1 + (g_{mt} - sC_{12})v_x \quad (4.41)$$

$$\text{ที่ โหนด } v_x \quad (g_{m12} + sC_{12})v_1 = (g_{m12} + g_{d12} + g_{dx} + g_{mx} + s(C_{12} + C_t + C_x + C_z))v_x$$

$$\text{เมื่อ } C_p = C_{12} + C_t + C_x + C_z$$

$$\text{จะได้ว่า} \quad (g_{m12} + sC_{12})v_1 = (g_{m12} + g_{d12} + g_{dx} + g_{mx} + sC_p)v_x \quad (4.42)$$

$$\text{ที่ โหนด } v_o \quad i_{max} = g_{dz}v_o + g_{mz}v_x \quad (4.43)$$

เมื่อกำหนดให้  $g_m \gg g_d$  เขียนสมการที่ (4.41) ถึง (4.43) ใหม่ได้ว่า

$$i_{in} = sC_{12}v_1 + (g_{mt} - sC_{12})v_x \quad (4.44)$$

$$v_1 = \left( \frac{g_{m12} + g_{mx} + sC_p}{g_{m12} + sC_{12}} \right) v_x \quad (4.45)$$

$$v_x = \frac{i_{max}}{g_{mz}} \quad (4.46)$$

แทนค่าจากสมการที่ (4.45) ลงใน (4.44) จะได้ว่า

$$i_{in} = \left( \frac{s^2(C_p C_{12} - C_{12}^2) + s(g_{mx} C_{12} + g_{mt} C_{12}) + (g_{mt} g_{m12})}{sC_{12} + g_{m12}} \right) v_x \quad (4.47)$$

แทนค่าจากสมการที่ (4.46) ลงใน (4.47) พร้อมทั้งจัดรูปสมการใหม่ จะได้ว่า

$$\frac{i_{max}}{i_{in}} = \left( \frac{g_{mz}(sC_{12} + g_{m12})}{s^2(C_p C_{12} - C_{12}^2) + s(g_{mx} C_{12} + g_{mt} C_{12}) + (g_{mt} g_{m12})} \right) \quad (4.48)$$

หรือ

$$\frac{i_{\max}}{i_{in}} = \left( \frac{\frac{g_{mz}(sC_{12} + g_{m12})}{g_{mi}g_{m12}}}{s^2 \left( \frac{C_p C_{12} - C_{12}^2}{g_{mi}g_{m12}} \right) + s \left( \frac{g_{mx}C_{12} + g_{mi}C_{12}}{g_{mi}g_{m12}} \right) + 1} \right) \quad (4.49)$$

กำหนดให้

$$\frac{i_{\max}}{i_{in}} = \frac{N(s)}{D(s)} \quad (4.50)$$

เมื่อ  $N(s) = 0$  จะได้ค่าซีโร (Zero) ของวงจร คือ

$$\frac{g_{mz}(sC_{12} + g_{m12})}{g_{mi}g_{m12}} = 0 \Rightarrow z_1 = s = -\frac{g_{m12}}{C_{12}} \quad (4.51)$$

ในการวิเคราะห์ค่าโพล (Pole) ของวงจรรดับสอง [12] จะกำหนดให้

$$D(s) = \left(1 - \frac{s}{p_1}\right) \left(1 - \frac{s}{p_2}\right) \quad (4.52)$$

หรือ

$$D(s) = 1 - s \left( \frac{1}{p_1} + \frac{1}{p_2} \right) + s^2 \left( \frac{1}{p_1 p_2} \right) \quad (4.53)$$

โดยที่  $p_1$  คือ ค่าโพลที่ความถี่ต่ำกว่า หรือ โพลโดดเด่น (The lower frequency pole)

$p_2$  คือ ค่าโพลที่ความถี่สูงกว่า หรือ โพลไม่โดดเด่น (The higher frequency pole)

เมื่อ  $|p_2| \gg |p_1|$  จากสมการที่ (4.53) จะเขียนได้ว่า

$$D(s) = 1 - s \left( \frac{1}{p_1} \right) + s^2 \left( \frac{1}{p_1 p_2} \right) \quad (4.54)$$

จากสมการที่ (4.50) เมื่อเปรียบเทียบสัมประสิทธิ์ของสมการที่(4.49) และ (4.54) จะได้

$$p_1 = -\frac{g_{mi}g_{m12}}{g_{mx}C_{12} + g_{mi}C_{12}} \quad (4.55)$$

$$\text{และ} \quad p_2 = \frac{1}{p_1} \left( \frac{g_{m1} g_{m12}}{C_p C_{12} - C_{12}^2} \right) \quad (4.56)$$

เมื่อแทนค่าจากสมการที่ (4.55) ลงใน (4.56) จะได้ว่า

$$p_2 = -\frac{g_{mx} + g_{m1}}{C_t + C_x + C_z} \quad (4.57)$$

จากสมการที่ (4.51) และ (4.55) จะเห็นได้ว่าคุณสมบัติของทรานซิสเตอร์  $M_{12}$  มีผลต่อค่าซีโร  $z_1$  และค่าโพล  $p_1$  ของวงจรถูกค่าสูงสุด จากผลการเขียนแบบการทำงานของวงจรถูกค่าสูงสุดด้วยโปรแกรม PSPICE จะได้  $g_{m1} = g_{m11} = 1.82 \mu\text{A/V}$ ,  $g_{m12} = 2.3 \mu\text{A/V}$ ,  $g_{mx} = 1.55 \mu\text{A/V}$ ,  $C_{12} = 1.1145 \times 10^{-15} \text{ F}$  จะได้  $p_1 = 177.15 \text{ MHz}$

เนื่องจากการวิเคราะห์หาผลตอบสนองความถี่ได้กำหนดให้กระแสอินพุต  $i_1$  มีค่าสูงสุดเมื่อเปรียบเทียบกับค่ากระแสอินพุตตัวอื่นๆ ดังนั้นเมื่อเขียนสมการที่ (4.51) และ (4.55) ใหม่ ให้อยู่ในรูปสมการที่แสดงค่าซีโร  $z_1$  และค่าโพล  $p_1$  ของวงจรถูกค่าสูงสุด เมื่อสัญญาณลำดับที่  $j$  เป็นสัญญาณสูงสุดของวงจร จะได้ว่า

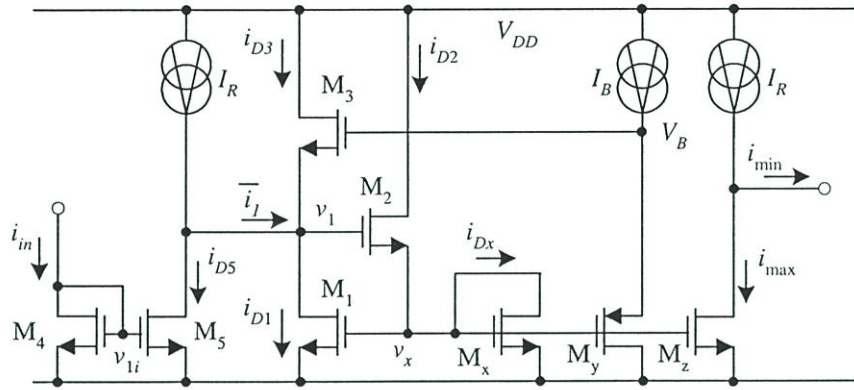
$$Z_1 = -\frac{g_{mj2}}{C_{j2}} \quad (4.58)$$

$$p_1 = -\frac{g_{m1} g_{mj2}}{g_{mx} C_{j2} + g_{m1} C_{j2}} \quad (4.59)$$

#### 4.5 การวิเคราะห์คุณสมบัติการทำงานของวงจรถูกค่าต่ำสุดชนิดหลายอินพุต

การทำงานของวงจรถูกค่าต่ำสุดชนิดหลายอินพุตสำหรับสัญญาณกระแสที่ได้นำเสนอในหัวข้อที่ 4.3 เป็นการกำหนดให้มอสทรานซิสเตอร์แต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติ และทรานซิสเตอร์ทุกตัวมีการทำงานในช่วงนำกระแสอิ่มตัว สำหรับในทางปฏิบัติค่าความนำของทรานซิสเตอร์ไม่มีค่าเป็นอนันต์และทรานซิสเตอร์แต่ละตัวไม่สมพียงกันทุกประการ เป็นผลทำให้คุณสมบัติ การทำงานหรือสมรรถนะของวงจรไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติ ของวงจรถูกค่าต่ำสุด ซึ่งได้แก่ ช่วงปฏิบัติการของกระแสอินพุต ค่าความผิดพลาดของวงจร และผลตอบสนองความถี่ เช่นเดียวกับหัวข้อที่ 4.4

#### 4.5.1 การวิเคราะห์หาช่วงปฏิบัติการของกระแสอินพุต



รูปที่ 4.6 การทำงานของวงจรถ้าค่าต่ำสุดที่นำเสนอ เมื่อจำนวนกระแสอินพุตเท่ากับหนึ่ง

วงจรถ้าค่ากระแสต่ำสุดที่ออกแบบในวิทยานิพนธ์นี้ เป็นวงจรมีพื้นฐานมาจากการประยุกต์ใช้วงจรถ้าค่าสูงสุดด้วยกฎของเดอ มอแกน เมื่อจำนวนกระแสอินพุตของวงจรถ้าค่าหนึ่ง จะได้วงจรถ้าค่าต่ำสุด ดังที่ได้อธิบายในหัวข้อ 4.2 และ 4.3 ตามลำดับ จะได้ว่า

มอสทรานซิสเตอร์  $M_4$  และ  $M_5$  ทำงานเป็นวงจรถ้าค่ากระแสแบบบวกที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง จะส่งผ่านกระแสอินพุต  $i_{in}$  ไปที่โหนด  $v_1$  ดังนั้น  $i_{D5} = i_{in}$  เมื่อพิจารณาที่โหนด  $v_1$  จะได้

$$\bar{i}_1 = I_R - i_{D5} = I_R - i_{in} \quad (4.60)$$

เมื่อค่ากระแส  $\bar{i}_1$  มีค่าเป็นบวก ( $\bar{i}_1 > 0$ ) ทรานซิสเตอร์  $M_3$  จะอยู่ในสถานะไม่นำกระแส ( $i_{D3} = 0$ ) ดังนั้น  $i_{D1} = \bar{i}_1$  เมื่อแทนค่านี้ลงในสมการที่ (4.60) จะได้ว่า

$$i_{D1} = I_R - i_{in} \quad (4.61)$$

จากการทำงานของวงจรถ้าค่ากระแสสูงสุด ซึ่งประกอบด้วย  $M_1$ - $M_3$ ,  $M_x$ ,  $M_y$ ,  $M_z$ , และ  $I_B$  จะได้ว่า

$$i_{\max} = i_{Dx} = i_{D1} \quad (4.62)$$

จากสมการที่ (4.61) และ (4.62) จะได้ว่า

$$i_{\max} = I_R - i_{in} \quad (4.63)$$

พิจารณาที่โหนดเอาต์พุต จะได้กระแสเอาต์พุตต่ำสุด  $i_{\min}$  คือ

$$i_{\min} = I_R - i_{\max} \quad (4.64)$$

เมื่อแทนค่าจากสมการที่ (4.63) ลงใน (4.64) จะได้

$$i_{\min} = I_R - i_{\max} = I_R - (I_R - i_{in}) = i_{in} \quad (4.65)$$

จากสมการที่ (4.64) และ (4.65) จะได้ว่าค่ากระแสเอาต์พุต  $i_{\min}$  หรือค่ากระแสอินพุต  $i_{in}$  จะมีค่าได้สูงสุด คือ

$$i_{\min(\max)} = i_{in(\max)} = I_R \quad (4.66)$$

เช่น เมื่อกำหนดให้  $I_R = 50 \mu\text{A}$  จากสมการที่ (4.66) จะได้ว่า ค่ากระแสอินพุตสูงสุด คือ  $50 \mu\text{A}$  จากข้อจำกัดของวงจรสะท้อนกระแสแบบบวก  $M_4$  และ  $M_5$  ค่ากระแสที่จุดอินพุตของวงจรสะท้อนกระแสจะต้องมีค่าเป็นบวก นั่นคือ ค่ากระแส  $i_{in} > 0$  ดังนั้นช่วงปฏิบัติของกระแสอินพุตของวงจรหาค่าต่ำสุดที่ออกแบบ คือ

$$0 < i_{in} \leq I_R \quad (4.67)$$

จากสมการที่ (4.66) และ (4.67) จะเห็นได้ว่า เมื่อต้องการออกแบบให้ค่า  $i_{in(\max)}$  มีค่าสูงหรือช่วงปฏิบัติการของกระแสอินพุตให้มีช่วงกว้าง สามารถทำได้โดยการออกแบบให้มีค่าแหล่งจ่ายกระแส  $I_R$  มีค่าสูง

#### 4.5.2 การวิเคราะห์หาค่าความผิดพลาดของวงจร

สำหรับการวิเคราะห์หาค่าความผิดพลาดของวงจรหาค่ากระแสต่ำสุดที่ออกแบบจะเกิดจากวงจรสะท้อนกระแสเป็นหลักเช่นเดียวกับวงจรหาค่าสูงสุด เนื่องจากวงจรหาค่าต่ำสุดที่ได้ออกแบบในวิทยานิพนธ์นี้ได้นำเอาวงจรหาค่าสูงสุดมาประยุกต์ใช้เป็นวงจรหาค่าต่ำสุดด้วยกฎของเคอ มอแกน ความผิดพลาดของวงจรหาค่าต่ำสุดดังรูปที่ 4.6 ( $\varepsilon_{\min}$ ) จะพิจารณาได้จาก

$$\varepsilon_{\min} = 1 - \frac{i_{\min}}{i_{in}} \quad (4.68)$$

จากสมการที่ (4.28) เมื่อทรานซิสเตอร์  $M_4$  และ  $M_5$  ทำงานเป็นวงจรสะท้อนกระแสแบบบวกที่มีอัตรากระแสผ่านกระแสเท่ากับหนึ่ง จะสะท้อนกระแสอินพุต  $i_{in}$  ไปที่โหนด  $v_1$  จะได้ว่า

$$i_{D5} = \frac{g_{m5}}{g_{m4}} i_{in} \quad (4.69)$$

พิจารณาที่โหนด  $v_1$  เมื่อค่ากระแส  $\bar{i}_1 > 0$  ทำให้ทรานซิสเตอร์  $M_3$  จะอยู่ในสถานะไม่นำกระแส ( $i_{D3} = 0$ ) ดังนั้น

$$i_{D1} = \bar{i}_1 = I_R - i_{D5} \quad (4.70)$$

เมื่อแทนค่าจากสมการ (4.69) ลงใน (4.70) จะได้ว่า

$$i_{D1} = I_R - \frac{g_{m5}}{g_{m4}} i_{in} \quad (4.71)$$

จากการทำงานของวงจรในส่วนที่หาค่ากระแสสูงสุด ทรานซิสเตอร์  $M_x$  และ  $M_z$  ทำงานเป็นวงจรสะท้อนกระแสแบบบวกที่มีอัตราสักร่องผ่านกระแสเท่ากับหนึ่ง ดังนั้น

$$i_{max} = \frac{g_{mz}}{g_{mx}} i_{Dx} = \frac{g_{mz}}{g_{mx}} i_{D1} \quad (4.72)$$

เมื่อแทนค่าจากสมการ (4.71) ลงใน (4.72) จะได้ว่า

$$i_{max} = \frac{g_{mz}}{g_{mx}} \left( I_R - \frac{g_{m5}}{g_{m4}} i_{in} \right) \quad (4.73)$$

ที่โนดเอาต์พุต จะได้กระแสเอาต์พุตต่ำสุด  $i_{min}$  คือ

$$i_{min} = I_R - i_{max} \quad (4.74)$$

เมื่อแทนค่าจากสมการที่ (4.73) ลงใน (4.74) จะได้

$$i_{min} = I_R - \frac{g_{mz}}{g_{mx}} \left( I_R - \frac{g_{m5}}{g_{m4}} i_{in} \right) = \left( 1 - \frac{g_{mz}}{g_{mx}} \right) I_R + \left( \frac{g_{mz} g_{m5}}{g_{mx} g_{m4}} \right) i_{in} \quad (4.75)$$

เมื่อแทนค่าจากสมการ (4.75) ลงใน (4.68) จะได้ความผิดพลาดของวงจรหาค่าต่ำสุดที่ออกแบบดังรูปที่ 4.3 ที่เกิดจากวงจรสะท้อนกระแสเป็นหลัก ดังนี้

$$\mathcal{E}_{min} = 1 - \left( 1 - \frac{g_{mz}}{g_{mx}} \right) \frac{I_R}{i_{in}} - \left( \frac{g_{mz} g_{m5}}{g_{mx} g_{m4}} \right) \quad (4.76)$$

จากสมการที่ (4.30) และ (4.36) จะเขียนสมการ (4.76) ใหม่ได้ว่า

$$\mathcal{E}_{min} = 1 - (\mathcal{E}_{max}) \frac{I_R}{i_{in}} - (1 - \mathcal{E}_{max}) (1 - \mathcal{E}_{CM(M_4, M_5)}) \quad (4.77)$$

โดยที่  $\mathcal{E}_{max}$  คือ ความผิดพลาดของวงจรหาค่าสูงสุด

$\mathcal{E}_{CM(M_4, M_5)}$  คือ ความผิดพลาดของวงจรสะท้อนกระแส  $M_4$ - $M_5$

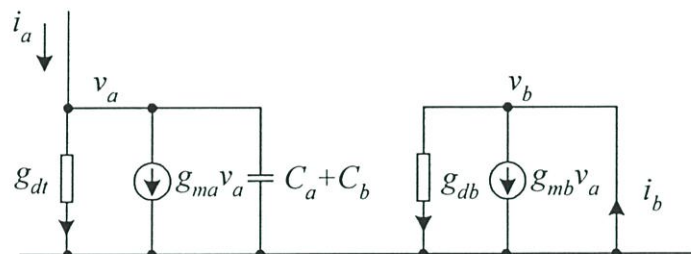
จากสมการที่ (4.77) จะเห็นได้ว่าความผิดพลาดของวงจรถ้าค่าต่ำสุดที่ออกแบบ จะขึ้นอยู่กับความผิดพลาดของวงจรถ้าค่าสูงสุดและค่าความผิดพลาดของวงจรถ้าที่อัตรกระแส  $M_4$ - $M_5$  เมื่อต้องการคำนวณหาเปอร์เซ็นต์ความผิดพลาดของวงจรถ้าค่าต่ำสุด จะได้ว่า

$$\varepsilon_{\min} = \left[ 1 - \left( 1 - \frac{g_{mz}}{g_{mx}} \right) \frac{I_R}{i_m} - \left( \frac{g_{mz}g_{m5}}{g_{mx}g_{m4}} \right) \right] \times 100\% \quad (4.78)$$

จากผลการเลียนแบบการทำงานของวงจรถ้าค่าต่ำสุดด้วยโปรแกรม PSPICE เมื่อป้อนค่า  $I_R = 50 \mu\text{A}$ ,  $i_m = 50 \mu\text{A}$  จะได้  $g_{mx} = 1.553 \mu\text{A/V}$ ,  $g_{mz} = 1.557 \mu\text{A/V}$ ,  $g_{m4} = 1.487 \mu\text{A/V}$ ,  $g_{m5} = 1.476 \mu\text{A/V}$  จะได้ความผิดพลาดที่เกิดจากวงจรถ้าค่าต่ำสุด เท่ากับ 0.135 %

#### 4.5.3 การวิเคราะห์หาผลตอบสนองความถี่

การออกแบบวงจรถ้าค่าต่ำสุดชนิดหลายอินพุตที่นำเสนอด้รูปที่ 4.2 เป็นวงจรถ้าที่ประกอบด้วยวงจรถ้าค่าสูงสุดและวงจรถ้าที่อัตรกระแสแบบพื้นฐาน ดังนั้นการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรถ้าค่าต่ำสุดที่ออกแบบ จะสามารถแยกวิเคราะห์ผลตอบสนองความถี่ออกเป็นสองส่วน คือ ผลตอบสนองความถี่ของวงจรถ้าค่าสูงสุดดังที่ได้วิเคราะห์ในหัวข้อ 4.4.3 และผลตอบสนองความถี่ของวงจรถ้าที่อัตรกระแสแบบพื้นฐาน



รูปที่ 4.7 วงจรสมมูลขนาดเล็กของวงจรถ้าที่อัตรกระแสแบบพื้นฐาน

ในรูปที่ 4.7 เป็นวงจรสมมูลขนาดเล็กของวงจรถ้าที่อัตรกระแสแบบพื้นฐานที่มีอัตรากระแสส่งผ่านกระแสเท่ากับหนึ่ง (ดังรูปที่ 4.4) การหาผลตอบสนองความถี่ของวงจรถ้าที่อัตรกระแส สามารถหาได้ดังนี้

$$\text{ที่ โหนด } v_a \quad i_a = (g_{da} + g_{ma} + C_a s + C_b s) v_a \quad (4.79)$$

$$\text{ที่ โหนด } v_b \quad i_b = g_{mb} v_a + g_{db} v_b \quad (4.80)$$

ถ้ากำหนดให้  $g_d \ll g_m$  สมการที่ (4.79) และ (4.80) จะเขียนได้ว่า

$$i_a = (g_{ma} + C_a s + C_b s) v_a \quad (4.81)$$

$$v_a = \frac{i_b}{g_{mb}} \quad (4.82)$$

เมื่อแทนค่า (4.82) ลงใน (4.81) จะได้ว่า

$$i_a = \left( \frac{g_{ma} + C_a s + C_b s}{g_{mb}} \right) i_b$$

ดังนั้น

$$\frac{i_b}{i_a} = \frac{g_{mb}}{g_{ma} + C_a s + C_b s} \quad (4.83)$$

หรือ

$$\frac{i_b}{i_a} = \frac{g_{mb}}{g_{ma}} \left( \frac{1}{1 + \left( \frac{C_a + C_b}{g_{ma}} \right) s} \right) \quad (4.84)$$

ถ้าพิจารณาที่ความถี่ต่ำๆ หรือ  $s$  มีค่าน้อยมากๆ สมการที่ (4.84) เขียนได้ว่า

$$\frac{i_b}{i_a} = \frac{g_{mb}}{g_{ma}} \quad (4.85)$$

จากวงจรถ้าค่าต่ำสุดในรูปที่ 4.6 ถ้ากำหนดให้กระแสอินพุตทุกตัวมีค่าเป็นบวกและกระแสอินพุต  $i_1$  มีค่าต่ำสุดเมื่อเปรียบเทียบกับค่ากระแสอินพุตตัวอื่นๆ การวิเคราะห์ผลตอบแทนของความถี่ของวงจรถ้าค่าต่ำสุดจะสามารถวิเคราะห์ได้ดังนี้

$$\frac{i_{\min}}{i_1} = \left( \frac{g_{m15}}{g_{m14} + C_{14}s + C_{15}s} \right) \left( \frac{\frac{g_{mz}(sC_{12} + g_{m12})}{g_{mt}g_{m12}}}{s^2 \left( \frac{C_p C_{12} - C_{12}^2}{g_{mt}g_{m12}} \right) + s \left( \frac{g_{mx}C_{12} + g_{mt}g_{m12}}{g_{mt}g_{m12}} \right) + 1} \right) \quad (4.86)$$

จากสมการที่ (4.86) เทอมแรกในด้านขวาจะเป็นผลตอบแทนความถี่ที่เกิดจากวงจรถ้าก่อนกระแส  $M_{14}$ - $M_{15}$  ส่วนเทอมหลังจะเป็นผลตอบแทนที่เกิดจากวงจรถ้าค่าสูงสุด ดังนั้นวงจรถ้าค่าต่ำสุดจะมีโพล และซีโรเดียวกับวงจรถ้าค่าสูงสุดและมีโพล  $p_3$  เพิ่มขึ้นมา คือ

$$p_3 = -\frac{g_{m14}}{C_{14} + C_{15}} \quad (4.87)$$

จากผลการเลียนแบบการทำงานของวงจรถ้าค่าต่ำสุดด้วยโปรแกรม PSPICE จะได้  $g_{j4} = 1.487$   $\mu\text{A/V}$ ,  $C_{j4} = 1.1201 \times 10^{-15}$  F,  $C_{j5} = 1.1245 \times 10^{-15}$  F จะได้  $p_3 = 105.39$  MHz

เนื่องจากในการวิเคราะห์หาผลตอบสนองความถี่ได้กำหนดให้กระแสอินพุต  $i_1$  มีค่าต่ำสุดเมื่อเปรียบเทียบกับค่ากระแสอินพุตตัวอื่นๆ ดังนั้นเมื่อเขียนสมการที่ (4.87) ใหม่ ให้อยู่ในรูปสมการที่แสดงค่าโพล  $p_3$  ของวงจรถ้าค่าต่ำสุด เมื่อสัญญาณลำดับที่  $j$  เป็นสัญญาณต่ำสุดของวงจรถ้าค่าต่ำสุดจะได้ว่า

$$p_3 = -\frac{g_{mj4}}{C_{j4} + C_{j5}} \quad (4.88)$$

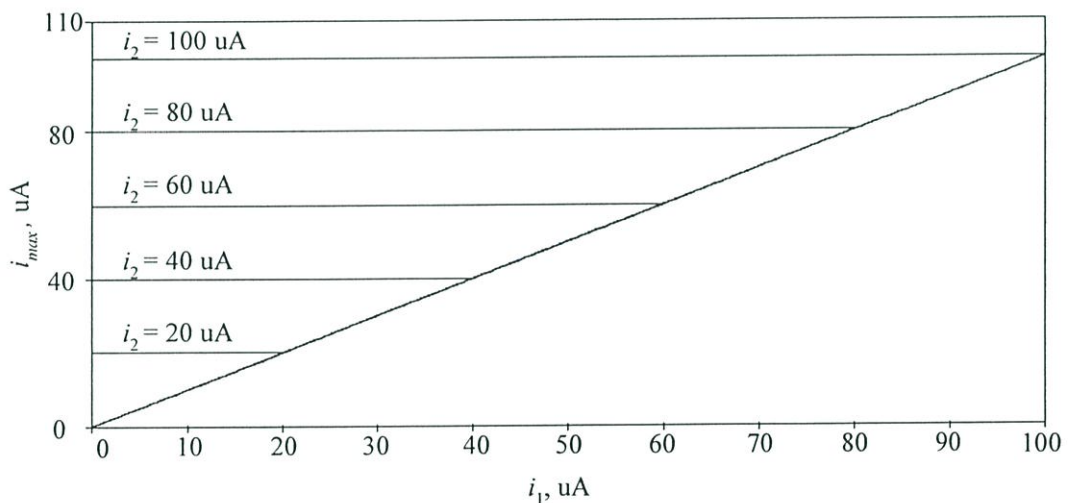
## 4.6 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

### 4.6.1 วงจรหาค่าสูงสุดชนิดหลายอินพุต

เพื่อทดสอบสมรรถนะการทำงานของวงจรที่ได้พัฒนาขึ้น จะทำการทดสอบโดยเลียนแบบการทำงานของวงจรในรูปที่ 4.1 ด้วยโปรแกรม PSPICE โดยใช้เทคโนโลยีซีมอส BSIM ขนาด  $0.5\mu\text{m}$  โดยภายในอุปกรณ์มอสทรานซิสเตอร์แต่ละตัวได้กำหนดให้มีอัตราส่วนความกว้างและความยาวของแซนเนล (W/L) ดังตารางที่ 4.1 และกำหนดแหล่งจ่ายไฟ  $V_{DD}$  เท่ากับ  $2.5\text{V}$  ส่วนแหล่งจ่ายกระแสไบแอส  $I_B$  เท่ากับ  $10\mu\text{A}$

ตารางที่ 4.1 ความกว้างและความยาวของแซนเนลของมอสทรานซิสเตอร์ในวงจรรูปที่ 4.1

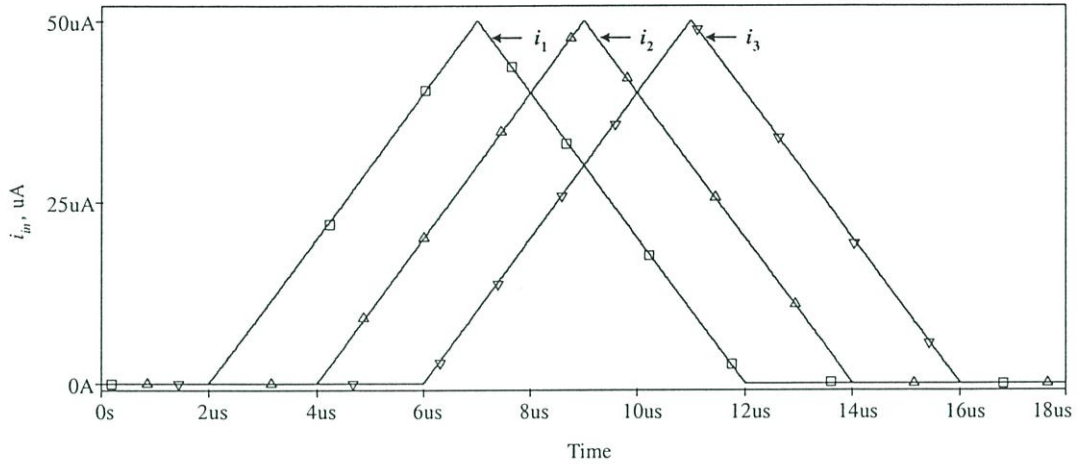
มอสทรานซิสเตอร์	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$M_{j2}, M_{j3}, M_v$	5	1
$M_{j1}, M_x, M_z$	5	2



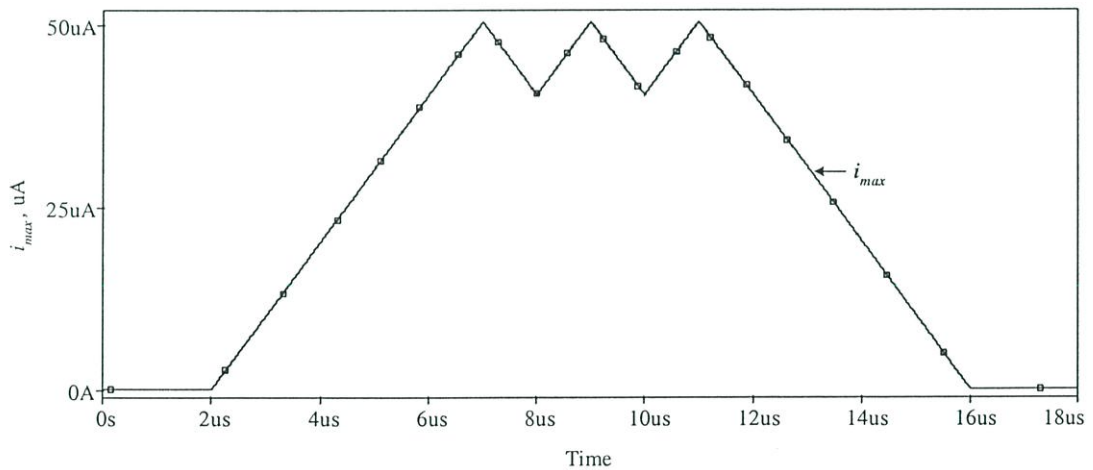
รูปที่ 4.8 คุณลักษณะของวงจรหาค่าสูงสุด เมื่อกระแสอินพุตทั้งสองเป็นสัญญาณไฟตรง

ในรูปที่ 4.8 แสดงคุณลักษณะของวงจรที่ได้จากการเลียนแบบการทำงานของวงจรหาค่าสูงสุดในรูปที่ 4.1 เมื่อจำนวนกระแสอินพุตเท่ากับสอง โดยป้อนกระแสอินพุต  $i_1$  และ  $i_2$  เป็นสัญญาณไฟตรง (DC) เมื่อทำการเพิ่มค่ากระแสอินพุต  $i_1$  ขึ้นอย่างต่อเนื่องจาก  $0\mu\text{A}$  ถึง  $100\mu\text{A}$  ส่วนกระแสอินพุต  $i_2$  เพิ่มขึ้นทีละขั้นๆ ละ  $20\mu\text{A}$  เพื่อทำการทดสอบความเป็นเชิงเส้นของวงจรที่ได้ นำเสนอจากผลการเลียนแบบดังรูปที่ 4.8 จะเห็นได้ว่ากระแสเอาต์พุต  $i_{\text{max}}$  ที่จุดตัดระหว่างกระแสอินพุตทั้งสองมีความคมหรือมีการผิดเพี้ยนของสัญญาณต่ำมาก ทั้งนี้เนื่องจากวงจรที่ได้พัฒนาขึ้นได้มีการออกแบบให้วงจรมีโครงสร้างเป็นวงจรขยายคลาส AB/B ทำให้มอสทรานซิสเตอร์ถูกไบแอสให้อยู่ในสถานะขอบนำกระแส ซึ่งจะเป็นการลดเวลาหน่วงของสัญญาณเอาต์พุต

ในรูปที่ 4.9 และรูปที่ 4.10 เป็นผลการเลียนแบบการทำงานของวงจรในรูปที่ 4.1 เมื่อจำนวนกระแสอินพุตเท่ากับสามและห้า ตามลำดับ โดยป้อนสัญญาณอินพุตต่างๆ เป็นรูปสามเหลี่ยมขนาด  $0\mu\text{A}$  ถึง  $50\mu\text{A}$  ที่มีช่วงคาบของแต่ละสัญญาณเท่ากับ  $10\mu\text{s}$  พบว่ามีความผิดพลาดของวงจรประมาณ  $-0.267\%$

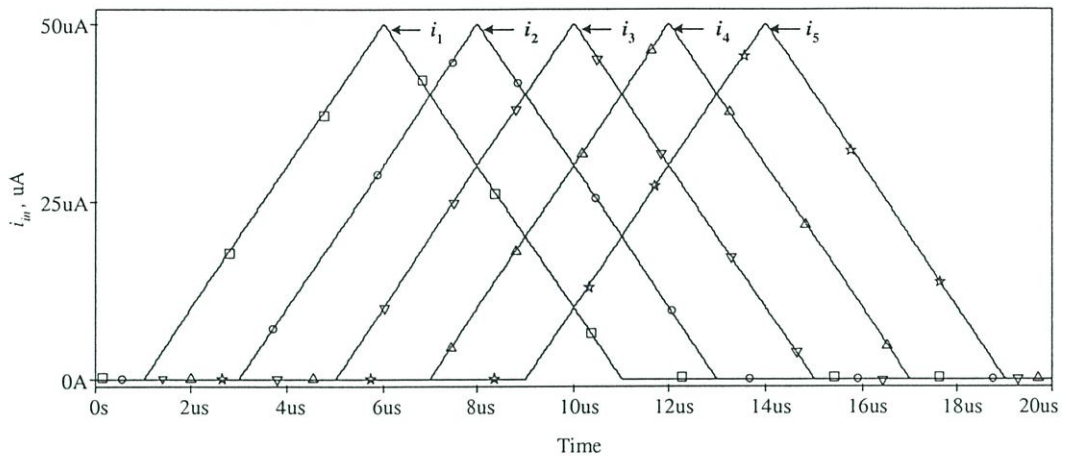
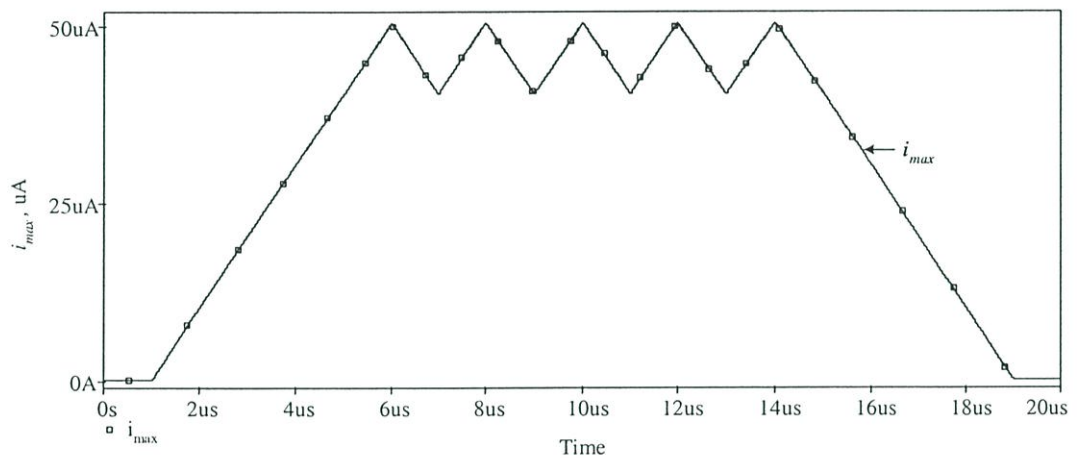


(ก) กระแสอินพุต  $i_1$ ,  $i_2$ , และ  $i_3$



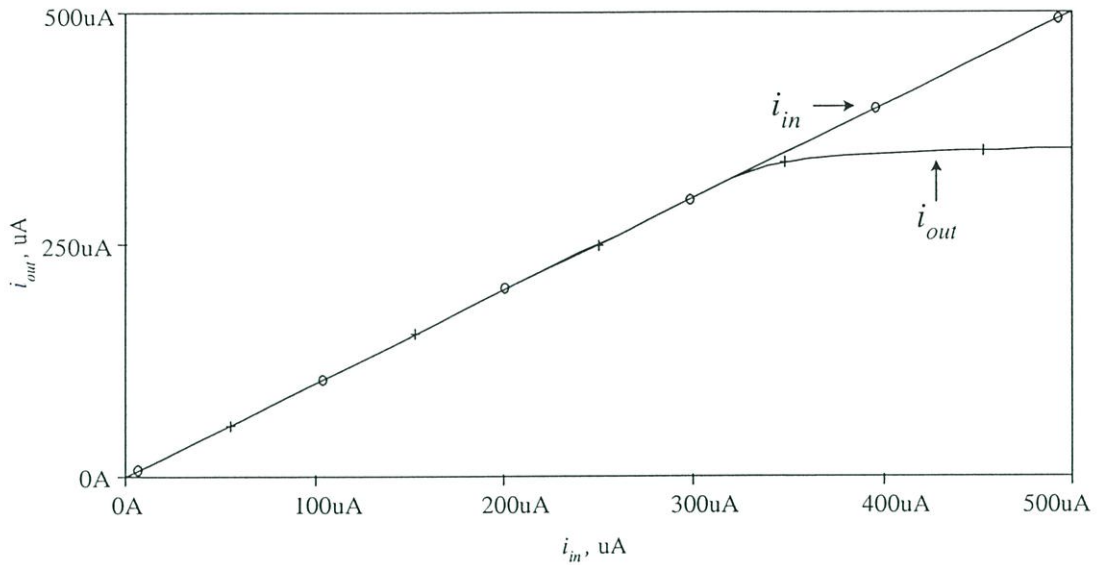
(ข) กระแสเอาต์พุต  $i_{max}$

**รูปที่ 4.9** ผลการเลียนแบบการทำงานของวงจรหาค่าสูงสุด เมื่อจำนวนกระแสอินพุตเท่ากับสาม โดยป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีขนาด  $0\mu\text{A}$  ถึง  $50\mu\text{A}$

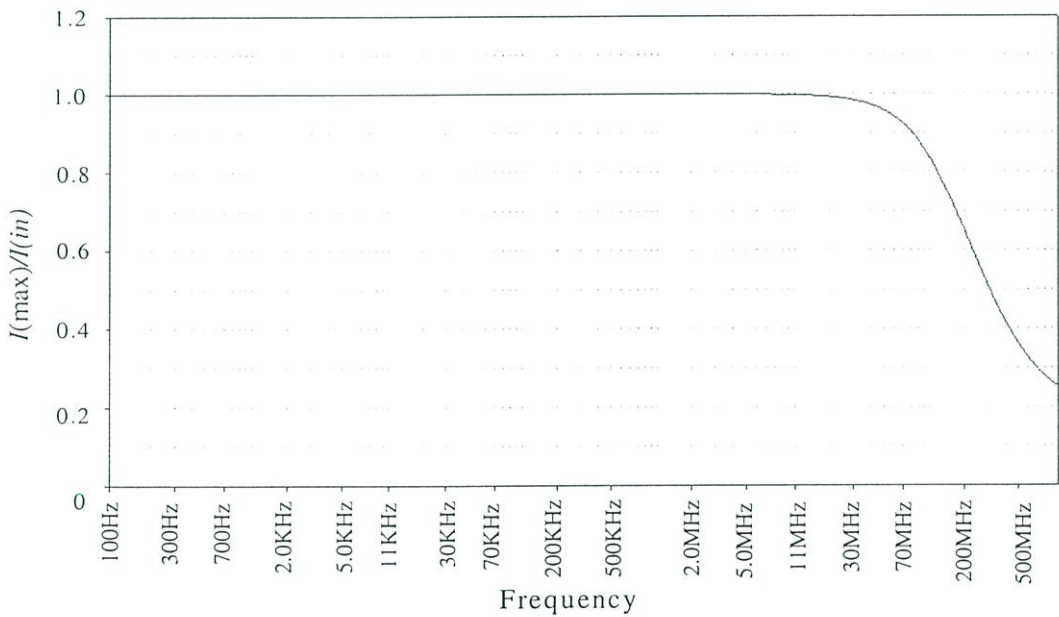
(ก) กระแสอินพุต  $i_1, i_2, i_3, i_4,$  และ  $i_5$ (ข) กระแสเอาต์พุต  $i_{max}$ 

รูปที่ 4.10 ผลการเปลี่ยนแปลงการทำงานของวงจรถ่ายค่าสูงสุด เมื่อจำนวนกระแสอินพุตเท่ากับห้า โดยป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีขนาด  $0\mu\text{A}$  ถึง  $50\mu\text{A}$

ในรูปที่ 4.11 และรูปที่ 4.12 เป็นผลการทดสอบช่วงปฏิบัติการของกระแสอินพุตและผลตอบสนองความถี่ของวงจรถ่ายค่าสูงสุดในรูปที่ 4.1 ตามลำดับ เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว โดยผลการเปลี่ยนแปลงในรูปที่ 4.11 ป้อนค่ากระแสอินพุตตั้งแต่  $0\mu\text{A}$  ถึง  $500\mu\text{A}$  จะเห็นว่าวงจรถ่ายค่ามีช่วงปฏิบัติการในย่านกว้าง ตั้งแต่ค่า  $0\mu\text{A}$  ถึง  $320\mu\text{A}$  ส่วนผลตอบสนองความถี่ในรูปที่ 4.12 จะเห็นว่าความถี่ที่ได้อยู่ที่ประมาณ  $180\text{MHz}$



รูปที่ 4.11 ผลตอบสนองของวงจรหาค่าสูงสุด เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว



รูปที่ 4.12 ผลตอบสนองความถี่ของวงจรหาค่าสูงสุด เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว

### 4.6.2 วงจรหาค่าต่ำสุดชนิดหลายอินพุต

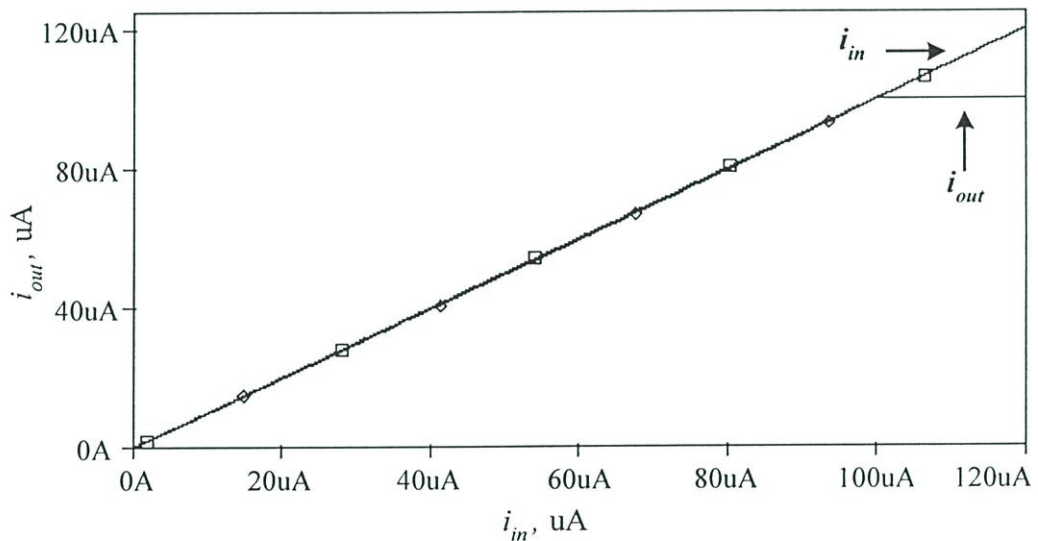
การทดสอบสมรรถนะการทำงานของวงจรค่าต่ำสุดชนิดหลายอินพุตในรูปที่ 4.2 โดยเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ด้วยการใส่แบบจำลองมอสทรานซิสเตอร์ BSIM โดยใช้เทคโนโลยีซีมอส ขนาด 0.5µm ซึ่งภายในอุปกรณ์มอสทรานซิสเตอร์แต่ละตัว ได้กำหนดให้มีอัตราส่วนความกว้างและความยาวของแชนเนล (W/L) ดังแสดงในตารางที่ 4.2 และ

แหล่งจ่ายไฟ  $V_{DD}$  เท่ากับ 2.5 V แหล่งจ่ายกระแสไบแอส  $I_B$  และแหล่งจ่ายกระแสคงที่  $I_R$  เท่ากับ  $10\mu\text{A}$

ตารางที่ 4.2 ความกว้างและความยาวของแขนเนลของมอสทรานซิสเตอร์ในวงจรรูปที่ 4.2

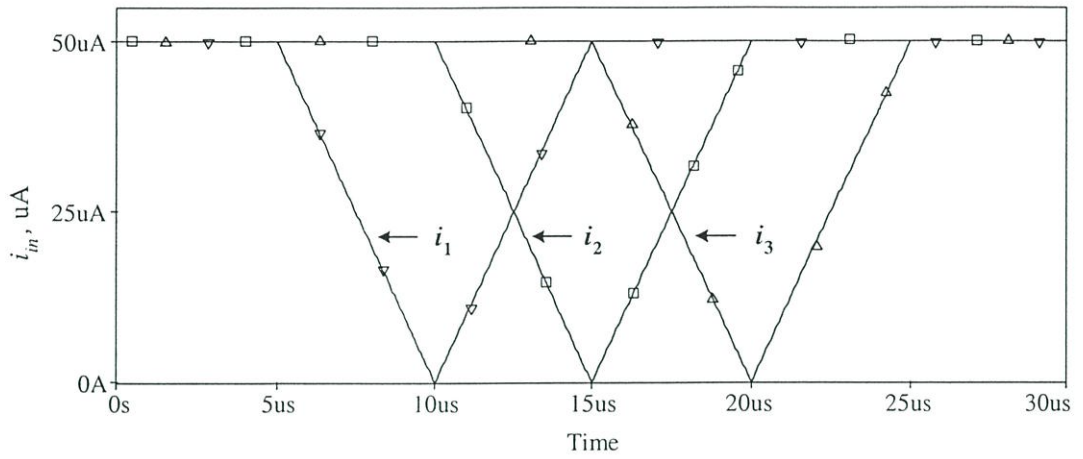
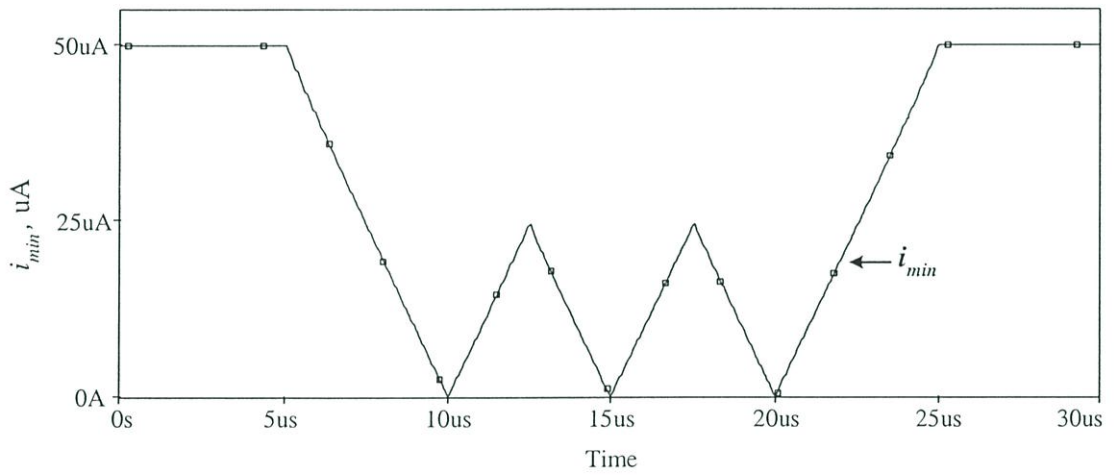
มอสทรานซิสเตอร์	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$M_{j2}, M_{j3}, M_y$	5	1
$M_{j1}, M_{j4}, M_{j5}, M_x, M_z$	5	2

ในรูปที่ 4.13 เป็นผลการตอบสนองของวงจรในรูปที่ 4.2 เมื่อป้อนกระแสอินพุตเพียงแค่สัญญาณเดียว โดยกระแสอินพุตมีค่าตั้งแต่  $0\mu\text{A}$  ถึง  $120\mu\text{A}$  และกำหนดให้แหล่งจ่ายกระแสคงที่  $I_R$  มีค่าเท่ากับ  $100\mu\text{A}$  เพื่อทำการทดสอบผลปฏิบัติการทางขนาดของสัญญาณอินพุต จะเห็นได้ว่า วงจรที่ออกแบบมีช่วงปฏิบัติการตั้งแต่ค่า  $0\mu\text{A}$  ถึง  $100\mu\text{A}$  โดยค่ากระแสอินพุตสูงสุดที่วงจรสามารถตอบสนองได้จะมีค่าเท่ากับแหล่งจ่ายกระแสคงที่  $I_R$

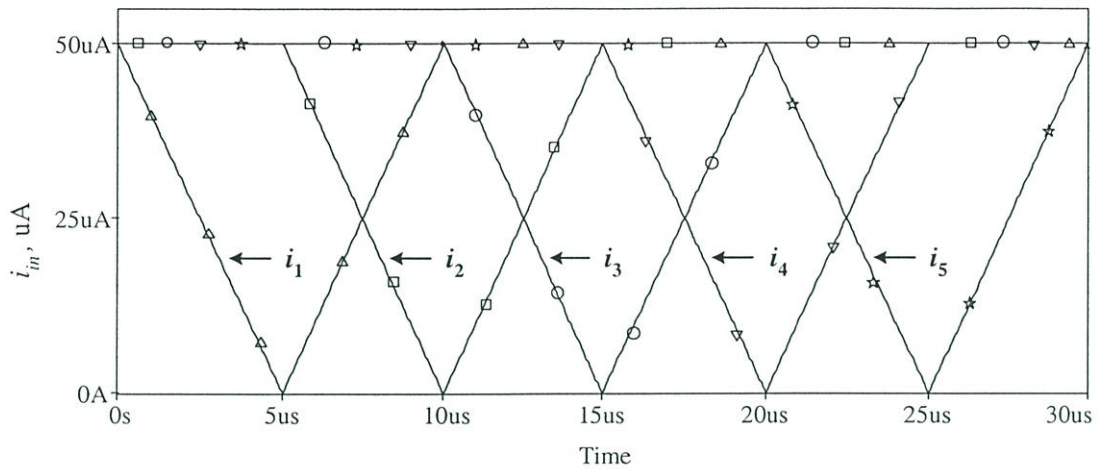


รูปที่ 4.13 ผลตอบสนองของวงจรหาค่าต่ำสุด เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว

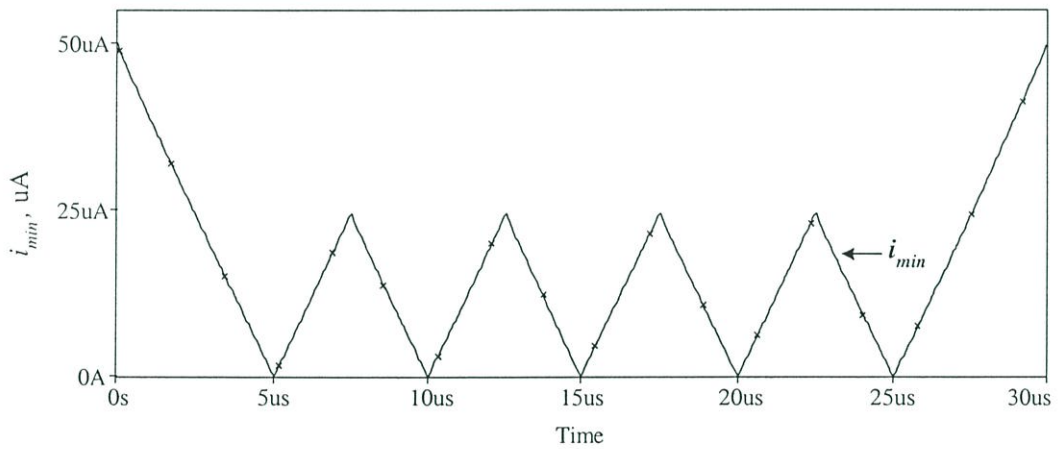
ในรูปที่ 4.14 และรูปที่ 4.15 เป็นผลการเลียนแบบการทำงานของวงจรหาค่าต่ำสุดดังรูปที่ 4.2 เมื่อจำนวนกระแสอินพุตเท่ากับสามและห้า ตามลำดับ โดยทำการป้อนสัญญาณอินพุตต่างๆ เป็นรูปสามเหลี่ยมที่มีขนาด  $50\mu\text{A}$  ถึง  $0\mu\text{A}$  และช่วงคาบของแต่ละสัญญาณมีค่าเท่ากับ  $10\mu\text{s}$  พบว่า มีความผิดพลาดของวงจรประมาณ 0.134%

(ก) กระแสอินพุต  $i_1$ ,  $i_2$ , และ  $i_3$ (ข) กระแสเอาต์พุต  $i_{min}$ 

รูปที่ 4.14 ผลการเขียนแบบการทำงานของวงจรหาค่าต่ำสุด เมื่อจำนวนกระแสอินพุตเท่ากับสาม โดยป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีขนาด  $50\mu\text{A}$  ถึง  $0\mu\text{A}$



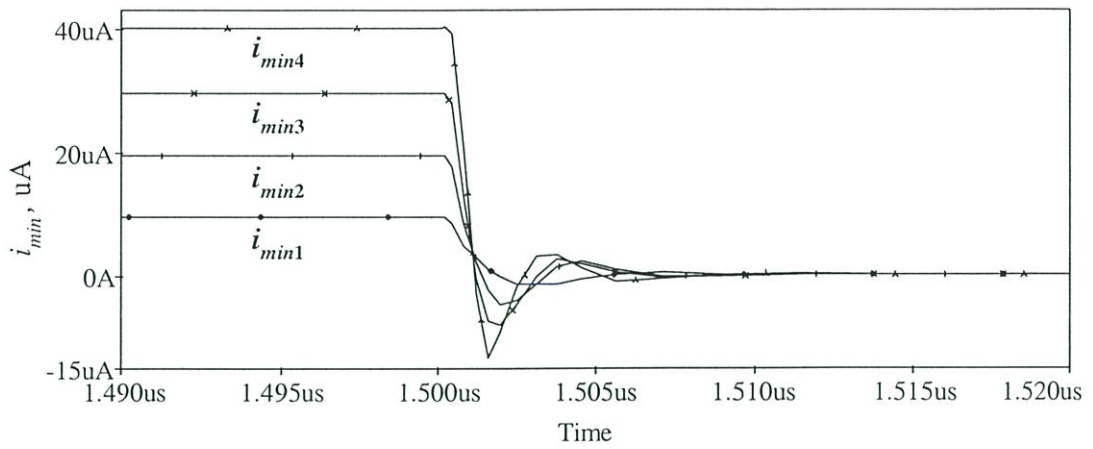
(ก) กระแสอินพุต  $i_1, i_2, i_3, i_4,$  และ  $i_5$



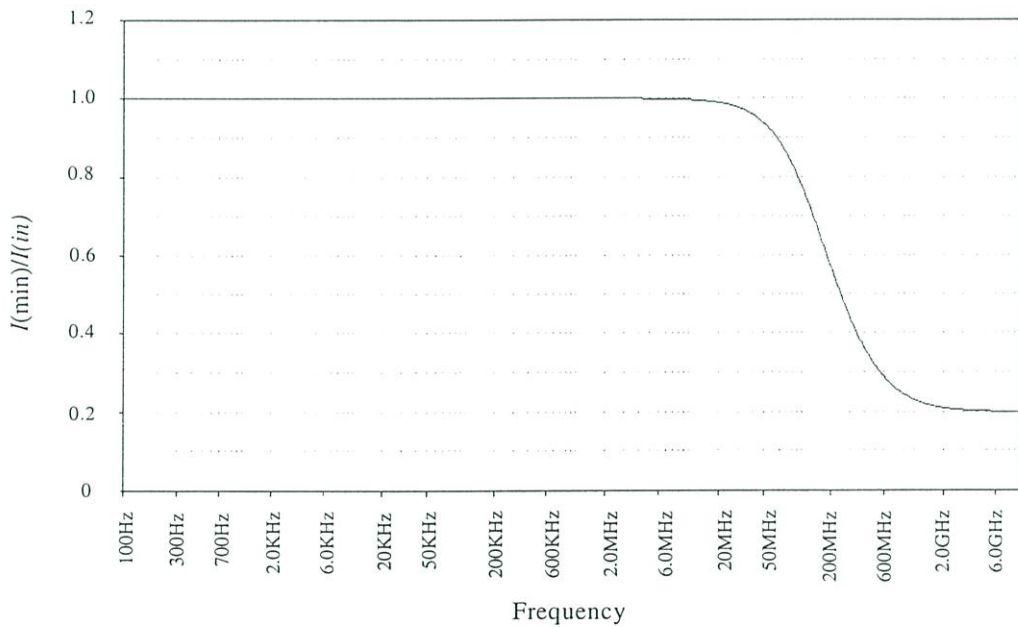
(ข) กระแสเอาต์พุต  $i_{min}$

รูปที่ 4.15 ผลการเปลี่ยนแปลงการทำงานของวงจรหาค่าต่ำสุด เมื่อจำนวนกระแสอินพุตเท่ากับห้า โดยป้อนสัญญาณอินพุตเป็นรูปสามเหลี่ยมที่มีขนาด  $50\mu\text{A}$  ถึง  $0\mu\text{A}$

ในรูปที่ 4.16 เป็นผลการเปลี่ยนแปลงการทำงานของวงจรในรูปที่ 4.2 เมื่อจำนวนอินพุตเท่ากับสอง โดยทำการป้อนกระแสอินพุต  $i_1$  เป็นฟังก์ชันขั้นบันได (Step function) ที่มีค่าลดลงจาก  $10\mu\text{A} - 0\mu\text{A}$ ,  $20\mu\text{A} - 0\mu\text{A}$ ,  $30\mu\text{A} - 0\mu\text{A}$  และ  $40\mu\text{A} - 0\mu\text{A}$  ตามลำดับ ส่วนค่ากระแสอินพุต  $i_2$  กำหนดให้มีค่าคงที่  $0\mu\text{A}$  เพื่อทำการทดสอบการหน่วงเวลาของการหาค่าต่ำสุดของวงจรในรูปที่ 4.2 จากผลการเปลี่ยนแปลงดังกล่าวจะเห็นได้ว่า วงจรหาค่าต่ำสุดที่ออกแบบมีค่าหน่วงเวลาประมาณ  $7\text{ns}$  ในรูปที่ 4.17 แสดงผลตอบสนองความถี่ของวงจรหาค่าต่ำสุด จะเห็นได้ว่าความถี่อยู่ที่ประมาณ  $130\text{MHz}$



รูปที่ 4.16 ผลการเขียนแบบการทำงานของวงจรถาต่ำสุด เมื่อจำนวนอินพุตเท่ากับสอง โดยป้อนสัญญาณแบบขั้นบันได



รูปที่ 4.17 ผลตอบสนองความถี่ของวงจรถาต่ำสุด เมื่อป้อนกระแสอินพุตเพียงสัญญาณเดียว

#### 4.7 บทสรุป

วงจรถ่ายค่าสูงสุดในโมดกระแสชนิดหลายอินพุตที่ได้นำเสนอในวิทยานิพนธ์นี้ วงจรประกอบไปด้วยมอสเฟตจำนวน  $3n+3$  ตัว เมื่อ  $n$  คือจำนวนของกระแสอินพุต วงจรที่ได้เสนอนี้มีขนาดเล็ก ใช้อุปกรณ์น้อย ทำให้สามารถนำไปสร้างเป็นวงจรรวมได้ง่าย และมีประสิทธิภาพในการทำงานสูงตลอดจนให้ค่าความแม่นยำในการทำงานที่ดี นอกจากนี้วงจรถ่ายค่าที่ออกแบบสามารถนำมาประยุกต์เป็นวงจรถ่ายค่าต่ำสุดชนิดหลายอินพุตได้ โดยใช้กฎของเดอ มอแกน วงจรถ่ายค่าต่ำสุดนี้จะประกอบไปด้วยมอสเฟตจำนวน  $5n+3$  ตัว จากผลการเลียนแบบการทำงานของ วงจรที่ได้พัฒนาขึ้นสามารถยืนยันถึงความเหมาะสมสำหรับนำไปประยุกต์ใช้งานในการประมวลผลสัญญาณทางด้านแอนะล็อก

## บทที่ 5

# ตัวอย่างการประยุกต์ใช้งาน

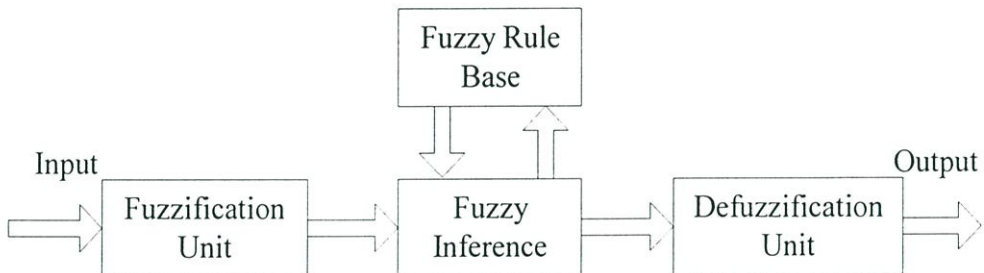
### 5.1 กล่าวนำ

วงจรถวลค่าสูงสุดและวงจรถวลค่าต่ำสุดสำหรับสัญญาณแอนะล็อก เป็นวงจรถวลหนึ่งที่มีการประยุกต์ใช้งานอย่างกว้างขวาง เช่น การประมวลผลสัญญาณทางแอนะล็อก การประมวลผลสัญญาณภาพ และการควบคุมแบบฟัซซี่ สำหรับในบทนี้จะกล่าวถึงตัวอย่างการใช้นวงจรถวลค่าสูงสุดและวงจรถวลค่าต่ำสุด สำหรับตัวควบคุมแบบฟัซซี่

### 5.2 ตัวอย่างการประยุกต์ใช้งาน [19]

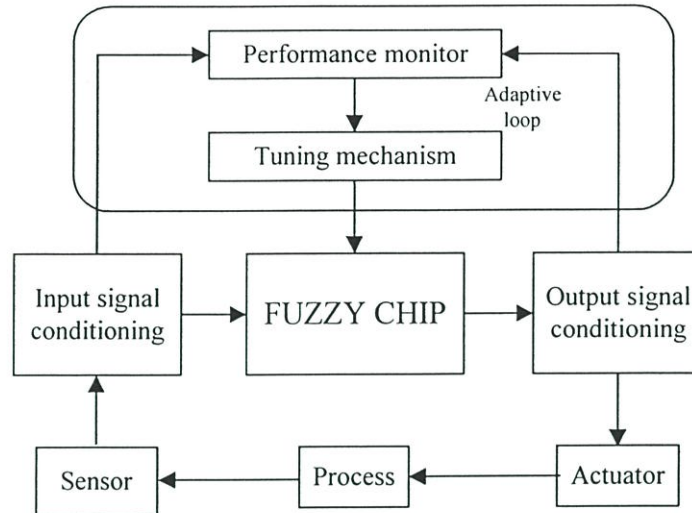
จากรูปที่ 5.1 แสดงโครงสร้างของตัวควบคุมแบบฟัซซี่ ซึ่งประกอบด้วย 4 หน่วย คือ

1. หน่วยฟัซซี่ฟิเคชัน ทำหน้าที่แปลงตัวแปรอินพุต ให้เป็นตัวแปรฟัซซี่
2. หน่วยอินเฟอเรนซ์ ทำหน้าที่หาค่าเอาต์พุตของระบบฟัซซี่จากค่าตัวแปรอินพุตฟัซซี่
3. ฐานการควบคุมฟัซซี่ กำหนดรูปแบบของกฎการควบคุม
4. หน่วยดีฟัซซี่ฟิเคชัน ทำหน้าที่แปลงตัวแปรเอาต์พุต ให้เป็นเอาต์พุตของตัวควบคุม



รูปที่ 5.1 โครงสร้างของตัวควบคุมแบบฟัซซี่

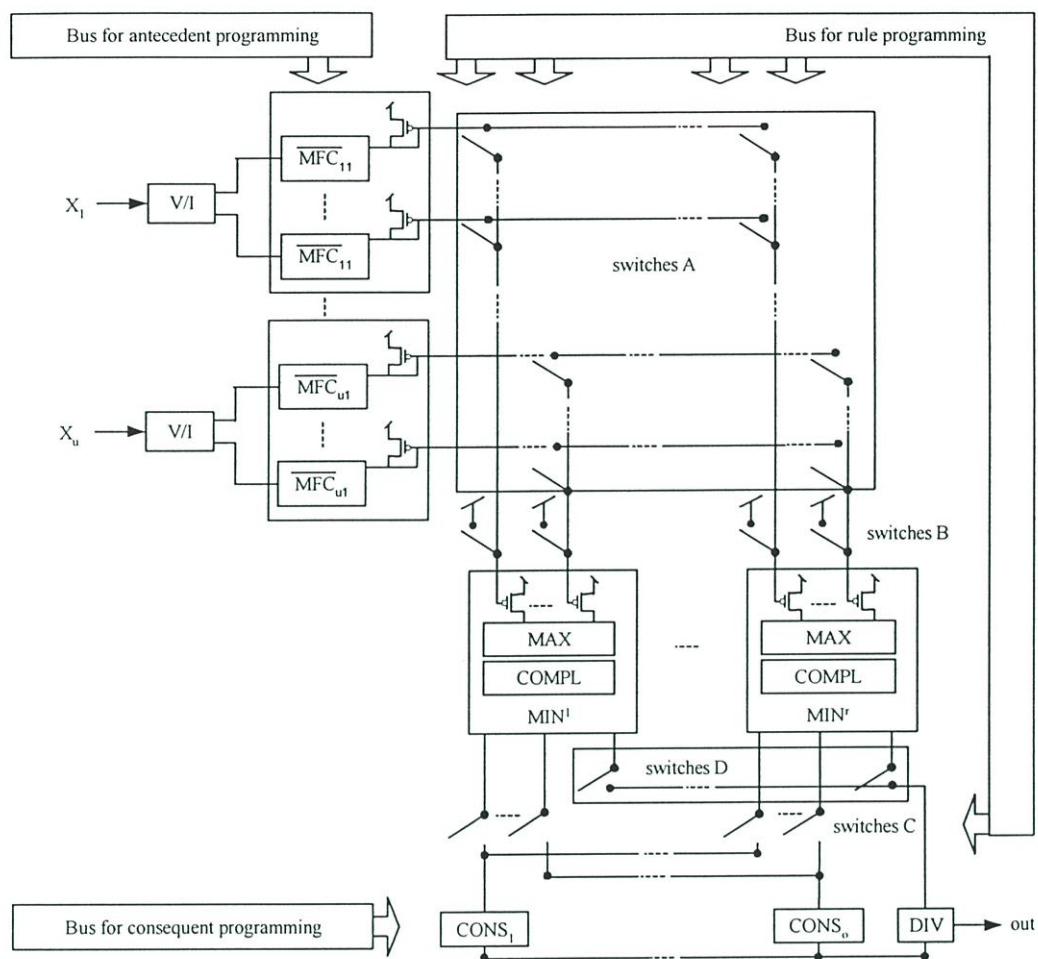
จากรูปที่ 5.2 แสดงสภาพแวดล้อมการทำงานของตัวควบคุมแบบฟัซซี่ชนิดอะแดปทีฟออนไลน์ (An on-line adaptive fuzzy controller) โดยใช้เทคโนโลยีของซิมูเลชันในการออกแบบตัวควบคุมแบบฟัซซี่ที่ถูกออกแบบให้ใช้เทคนิคการดำเนินการในรูปแบบผสมกันทั้งสัญญาณแอนะล็อกคือ โมดกระแสและสัญญาณแบบดิจิทัล เพื่อให้ตัวควบคุมสามารถปรับค่าพารามิเตอร์ที่ใช้ในการควบคุมกระบวนการได้เมื่อสถานะของกระบวนการมีการเปลี่ยนแปลงอย่างไม่คงที่ และสามารถต่อร่วมกับอุปกรณ์ทั้งที่เป็นแบบแอนะล็อก และแบบดิจิทัลได้ ซึ่งสามารถทำควบคุมกระบวนการได้ทั้งจากผู้ใช้งาน (Manual Control) และการควบคุมแบบอัตโนมัติ (Automatic Control)



รูปที่ 5.2 สภาพแวดล้อมการทำงานของตัวควบคุมแบบฟัซซีชนิดอะแด็ปทีฟออนไลน์

จากรูปที่ 5.3 แสดงสถาปัตยกรรมแบบคล้ายเมตริกซ์ของชิปฟัซซีชนิดโปรแกรมได้สำหรับตัวควบคุมแบบฟัซซีชนิดหลายอินพุต โดยมีส่วนของวงจรแปลงแรงดันเป็นกระแส (Voltage-to-Current Converter : V/I) ทำหน้าที่เปลี่ยนสัญญาณอินพุตที่อยู่ใน โหมดแรงดันให้เป็น โหมดกระแส ก่อนเข้าสู่หน่วยฟัซซีพีเคชันเพื่อแปลงค่าสัญญาณอินพุต  $X_1$  ถึง  $X_n$  ให้เป็นตัวแปรฟัซซี โดยการสังเคราะห์ฟังก์ชันการเป็นสมาชิกของฟัซซีเซต (Membership Function Circuit : MFC) ส่วนฐานการควบคุมของฟัซซีจะใช้การประมวลผลสัญญาณดิจิทัล ทั้งนี้เพื่อความสะดวกและความยืดหยุ่นในการปรับเปลี่ยนกฎ ในหน่วยอินเฟอร์เรนซ์จะทำหน้าที่หาค่าเอาต์พุตของระบบ ฟัซซีโดยการประยุกต์ใช้วงจรหาค่าสูงสุด (MAX) และวงจรหาค่าต่ำสุด (MIN) ซึ่งเป็นวงจรที่มีการประมวลผลทางสัญญาณแอนะล็อกเพื่อเพิ่มความเร็วในการทำงานให้แก่ตัวควบคุม ในส่วนของวงจรแปลงสัญญาณแอนะล็อก (Digital-to-Analog Converter : D/A) จะใช้หลักการของวงจรสะท้อนกระแสทำงานร่วมกับสวิตช์ต่างๆ (Switches)

การประยุกต์ใช้งานวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดที่ใช้ในหน่วยอินเฟอร์เรนซ์ของตัวควบคุมดังรูปที่ 5.3 จะเห็นได้ว่า วงจรหาค่าต่ำสุดสามารถออกแบบได้โดยการประยุกต์ใช้วงจรหาค่าสูงสุดทำงานร่วมกับวงจรคอมพลิเมนต์ (Complement : COMP) ซึ่งสอดคล้องกับวงจรหาค่าต่ำสุดที่ได้นำเสนอในวิทยานิพนธ์นี้



รูปที่ 5.3 สถาปัตยกรรมแบบคล้ายเมตริกซ์ของชิปฟิวซีชนิด โปรแกรมได้สำหรับการใช้งานทั่วไป

## บทที่ 6

### บทสรุปและวิจารณ์

#### 6.1 บทสรุปและวิจารณ์

ในการนำเสนอหลักการและวิธีการออกแบบวงจรหาค่าสูงสุดและวงจรหาค่าต่ำสุดชนิดหลายอินพุต ที่มีการทำงานในโหมดกระแส โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอสในวิทยานิพนธ์นี้ เป็นอีกแนวทางหนึ่งที่ได้วิจัยและพัฒนาขึ้นโดยการออกแบบวงจรรหัสหลักการทำงานในช่วงนำกระแสอิมิตัวของมอสทรานซิสเตอร์เป็นหลัก โครงสร้างของวงจรที่ออกแบบเป็นวงจรรขยายคลาส AB/B โดยการทำงานของวงจรในคลาส AB จะเป็นการเพิ่มความเร็วในการทำงานที่สูงขึ้น โดยลดผลของช่วงเวลาหน่วง (delay time) เป็นผลทำให้มีความผิดเพี้ยนของสัญญาณเอาต์พุตต่ำ และการทำงานของวงจรในคลาส B จะเป็นการลดขนาดของวงจรให้เล็กลง เพื่อรองรับกับเทคโนโลยีของวงจรรวมขนาดใหญ่ และใช้กับแหล่งจ่ายไฟแรงดันต่ำ ผลการทำงานของวงจรสามารถยืนยันได้ด้วยผลการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีและผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE โดยวงจรที่ได้ทำการออกแบบนี้มีประสิทธิภาพในการทำงานสูงตลอดจนให้ค่าความแม่นยำในการทำงานที่ดี และสามารถรับกระแสอินพุตได้หลายสัญญาณ

จากตารางที่ 6.1 และ 6.2 เป็นการเปรียบเทียบคุณสมบัติของวงจรรหัสที่นำเสนอในวิทยานิพนธ์นี้กับที่ได้มีการนำเสนอไว้ในอดีต

ตารางที่ 6.1 เปรียบเทียบคุณสมบัติของวงจรรหัสค่าสูงสุดที่นำเสนอกับวงจรรหัสค่าสูงสุดที่มีการนำเสนอไว้ในอดีต

คุณสมบัติของวงจรรหัสค่าสูงสุด	วงจรที่นำเสนอในวิทยานิพนธ์นี้	วงจรที่มีในอดีต [7]
จำนวนทรานซิสเตอร์	$3n+3$	$2n+1$
$V_{DD}$ (V)	2.5	5
ช่วงเวลาหน่วง	6 ns	16 ns
ความผิดพลาด	0.267 %FS (50uA)	~1%FS (20uA)
ผลตอบสนองความถี่	180 MHz	-
คลาสของวงจรรขยาย	AB/B	B

ตารางที่ 6.2 เปรียบเทียบคุณสมบัติของวงจรถ้าค่าต่ำสุดที่นำเสนอกับวงจรถ้าค่าต่ำสุดที่มีการนำเสนอไว้ในอดีต

คุณสมบัติของวงจรถ้าค่าต่ำสุด	วงจรถ้าค่าต่ำสุด ในวิทยานิพนธ์นี้	วงจรถ้าค่าต่ำสุด [15]
จำนวนทรานซิสเตอร์	$5n+3$	$4n+1$
$V_{DD}$ (V)	2.5	3.3
ช่วงเวลาหน่วง	7 ns	7 ns
ความผิดพลาด	0.134 % FS (50uA)	1%FS (120uA)
ผลตอบสนองความถี่	130 MHz	-
คลาสของวงจรถ้าค่าต่ำสุด	AB/B	B

## 6.2 ข้อเสนอแนะและแนวทางในการทำวิจัยและพัฒนาต่อ

วงจรถ้าค่าต่ำสุดและวงจรถ้าค่าต่ำสุดชนิดหลายอินพุตที่ได้นำเสนอในวิทยานิพนธ์นี้ แยกเป็นสองวงจร ซึ่งแต่ละวงจรสามารถใช้เป็นวงจรถ้าค่าต่ำสุดหรือหาค่าต่ำสุดได้เพียงอย่างเดียว การหาค่าต่ำสุดและค่าต่ำสุดได้ด้วยวงจรเพียงวงจรเดียวสำหรับสัญญาณกระแสหลายๆ สัญญาณเป็นอีกแนวทางหนึ่งในการพัฒนาต่อไป อีกทั้งเป็นวงจรถ้าค่าต่ำสุดที่สามารถรองรับกับสัญญาณอินพุตที่มีขนาดเล็กกว่าศูนย์ได้

จากการทำวิจัยยังพบอีกประการหนึ่งคือการสะท้อนกระแสที่ผิดพลาดของวงจรถ้าค่าต่ำสุดกระแส ถ้าสามารถปรับปรุงวงจรถ้าค่าต่ำสุดกระแสให้มีค่าผิดพลาดน้อยลง ก็จะทำให้วงจรถ้าค่าต่ำสุดมีความผิดพลาดน้อยลงด้วยเช่นกัน

## เอกสารอ้างอิง

- [1] S. I. Liu, Y. S. Hwang and J. H. Tsay, "CCII-Based Fuzzy Membership Function and Max/Min Circuit", *Electronics Lett.*, vol. 29, no. 1. pp. 116-118. 1993.
- [2] K. Tsukano and T. Inoue, "Synthesis of Operational Transconductance Amplifier-Based Analog Fuzzy Functional Blocks and Its Application", *IEEE. Trans. Fuzzy System*, vol. 3, no.1, Feb. 1995.
- [3] R.G. Carvajal, J. Ramirez-Angulo and J. Martinez-Heredia, "High-speed high-precision min/max circuits in CMOS technology" *Electronic Lett.*, vol. 36, no. 8, pp. 697-699, Apr. 2000.
- [4] V. Riewruja, T. Chimpalee, A. Chaikla, and S. Supaph, "A High-speed Max/Min Circuit" *KACC 2000, Proceedings of the 15<sup>th</sup> Korea Automatic Control Conference*, Seoul, Korea, Abstract book, pp. 513, October 19-21, 2000.
- [5] T. Yamakawa and T. Miki, "The current-mode fuzzy logic integrated circuits fabricated by the standard CMOS process", *IEEE Trans. Comput.*, vol. 35, no.2, pp.161-167, 1986.
- [6] I. Batruone J.L. Huertas, A. Barriga and S. Sanchez-Solano, "Current-mode multiple-input Max circuit" *Electronic Lett.*, vol. 30, no. 9, pp. 678-680, May 1994.
- [7] C.Y. Hung, B. D. Liu, "Current-mode multiple input maximum circuit for fuzzy logic controllers", *Electronic Lett.*, vol. 30, no. 23, pp. 1924-1925, Nov. 1994.
- [8] Richard S. Muller, Theodore I. Kamins. *Device Electronics for Integrated Circuits*, 2<sup>nd</sup> Ed., John Wiley & Sons, Inc. 1986.
- [9] Sze S.M., *Physics of Semiconductor Devices.*, 2<sup>nd</sup> Ed. John Wiley & Sons, Inc. 1981.
- [10] Ong D.G., *Modern MOS Technology*, Mc Graw-Hill Book Co., Inc. New York, 1986.
- [11] Toumazou C., Lidgey F.J. and Haigh D.G. *Analogue IC Design: The Current Mode Approach.*, London: Peter Peregrinus, 1990.
- [12] Paul R. Gray and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuit*, John Wiley & Sons, Inc., 1993.
- [13] Greeneich E.W. *Analog Integrated Circuits.*, Chapman & Hall., 1997
- [14] T.Inoue, F. Ueno, T. Motomura, O. Setoguchi, R. Matsuo, "New High-speed analogue max and min circuits using OTA-Based bounded-difference operations," *Electronics Lett.*, vol. 27, no. 12, 1991, pp.1034-1035.
- [15] Chun-Yueh Huang, Ching-Jone, and Bin-Da Liu, "Modular Current-mode multiple input minimum circuit for fuzzy logic controllers", *Electronics Lett.*, vol.32, no.12, June 1996, pp.1067-1069.

- [16] ธวัชชัย ฉิมภาลี, “การออกแบบวงจรถูกค่าสูงสุดและต่ำสุดความเร็วสูงชนิดสองอินพุท โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- [17] พรชัย หลายพสุ, “วงจรถูกค่าสูงสุดและต่ำสุดชนิด 2 อินพุท สำหรับการอินเฟอเรนซ์แบบฟัซซี่” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- [18] วันชัย ธีรวิรุจา, “การออกแบบและสังเคราะห์วงจรถูกค่าสูงสุดโดยหลักการวงจรรวม” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- [19] I. Baturone, S. Sanchez-Solano, A. Barriga, and J.L. Huertas, “Flexible Fuzzy Controller Using Mixed-Signal Current-Mode Techniques” 6<sup>th</sup> IEEE Int. Conference on Fuzzy Systems (FUZZIEEE 97), Barcelona, July 1997.

ภาคผนวก ก.

## ผลงานวิจัยที่ได้รับการตีพิมพ์

บทความที่ได้รับการตีพิมพ์ลงในวารสาร มี 2 บทความดังนี้

- [1] C.Pojanasuwanchai, C.Wangwiwattana, A.Chaikla, V.Riewruja, and P.Julsereewong, “Fuzzy Multiple-Input Maximum Circuit in Current-mode”, SICE Annual Conference in Fukui, Japan, pp. 571-575, 2003.
- [2] Y.Mettasitthikorn, C.Pojanasuwanchai, V.Riewruja, A.Jaruwanawat, and P.Julsereewong. “A Current-mode Multiple-Input Minimum Circuit For Fuzzy Logic Controllers” ICCAS Annual Conference in Gyeongju, Korea, pp. 69-72, 2003.

# SICE

SICE Annual Conference 2003 in Fukui  
**Final Program and Abstracts**

Fukui University  
 August 4-6, 2003, Fukui, Japan

## SICE 2003



Sponsored by  
 The Society of Instrument and Control Engineers (SICE),  
 technically cosponsored by  
 The IEEE Industrial Electronics Society, The IEEE Robotics and Automation Society,  
 The IEEE Control Systems Society, The IEEE Systems, Man and Cybernetics Society,  
 The Instrumentation, Systems, and Automation Society.  
 in cooperation with  
 IEEE Japan Council / The Institute of Control, Automation and Systems Engineers, Korea  
 Chinese Automatic Control Society / China Instrument Society / IFAC Japan Council



WPI-2  
 Applied Signal Processing  
 Chairperson: S.Tanaka (Yamaguchi Univ.)

Wednesday, August 6 13:20-15:00 room2

**WPI-2-1[English] Electrical Properties of PIP Anti-fuse for the Logic Circuit Configuration**

\*Philjung Kim *Sungshu College Daeseong Ky Chosun University Laeseong Jeong Chosun University Junghyun Yun Chosun University* Sinyoung Choi *Sungshu College Jongbin Kim Chosun University*

Anti-fuse is used as the program switch element that selectively connects the logic blocks and the wire channels in FPGAs. A novel PIP anti-fuse structure consists of Poly-Si/ONO/Poly-Si layers. The anti-fuse showed a low on-state resistance of 140-200ohm. For the anti-fuse, the rupture voltage was about 7V. The rupture time was very short time of 100-500ms.

**WPI-2-2[English] Realization of Lowpass and Bandpass Leapfrog Filters using OAs and OTAs**

\*Worapong Tangsrirat *King Mongkut's Institute of Technology Ladkrabang (KMUTL)* Teerasitpa Dumawipana *King Mongkut's Institute of Technology North-Bangkok (KMUTNB)* Somalee Unhavanich *King Mongkut's Institute of Technology North-Bangkok (KMUTNB)* Wisulop Surakamponrat *King Mongkut's Institute of Technology Ladkrabang (KMUTL)*

The systematic procedure for realizing lowpass and bandpass leapfrog ladder filters using only active elements is presented. The proposed architecture is composed of only two fundamental active building blocks, i.e., an operational amplifier (OA) and an operational transconductance amplifier (OTA), without external passive element requirement, making the approach conveniently for further integrated circuit implementation with systematic design and dense layout. As illustrations to demonstrate the systematic realization of current-mode ladder filters, a 3rd-order Butterworth low-pass filter and a 6th-order Chebyshev bandpass filter are designed and simulated using PSPICE.

**WPI-2-3[English] Fuzzy Multiple-Input Maximum Circuit in Current-mode**

Chuanjiporn Pojanasuwanchai *KMUTL* Chalompun Wangwiwattana *KMUTL* \*Amphawan Chalkla *KMUTL* Vanchai Riewruja *KMUTL* Prusit Julserewong *KMUTL*

A multiple-input maximum circuit in current-mode is described. The realization method is suitable for fabrication using CMOS technology. The proposed circuit has a very sharp transfer characteristic and is useful building block for a real-time fuzzy controller. The performances of the circuit were studied using PSPICE program. The simulation results verified the circuit performances are agreed with the expected values.

**WPI-2-4[English] A Low-voltage CMOS Instrumentation Amplifier**

Sukhumi Luikittmaongkol *KMUTL* Wandee Peitchameelunka *KMUTL* Vanchai Riewruja *KMUTL* Chalompun Wangwiwattana *KMUTL* \*Amphawan Chalkla *KMUTL*

An instrumentation amplifier with the low supply voltage is proposed in this paper. The proposed circuit consists of two voltage-to-current converters in a balancing circuit. This converter combines accuracy with differential signal handling and a high common-mode rejection ratio. Moreover, high differential gain and bandwidth can be achieved simultaneously. PSPICE simulation results, demonstration the characteristic of this circuit, are included.

## Fuzzy Multiple-Input Maximum Circuit in Current-mode

Chamaiporn Pojanasuwanchai, Chaleompun Wangwiwattana, Amphawan Chaikla  
 Vanchai Riewruja, Prasit Julsereewong

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,  
 Ladkrabang, Bangkok 10520, Thailand

(Tel: 66-2-739-2406-7; Fax: 66-2-739-2406-7 ext. 103; Email: vanchai@cs.eng.kmitl.ac.th)

**Abstract:** A modular current-mode circuit, which provides the maximum of  $n$  analog inputs, is described. The realization method is suitable for fabrication using CMOS technology. The proposed circuit has a very sharp transfer characteristic and is useful building block for a real-time fuzzy controller and a fuzzy computer. The performances of the proposed circuit were studied by the use of the PSPICE analog simulation program. The simulation results verified the circuit performances are agreed with the expected values.

**Keywords:** Current-mode circuit, Maximum circuit, Fuzzy Control

### 1. Introduction

Since fuzzy mathematics was established, it has found applications in expert system, pattern recognition, robotics, and industry control, etc. Fuzzy systems were implemented using software or hardware. The conventional software approach is large in size and its operation speed is low particularly in real-time applications. It always needs ADC and DAC interface for input and output to deal with real-time problems. This interface slows down the whole system and makes its accuracy dependent on this ADC and DAC. For this reason, hardware implementation of fuzzy systems with high speed and high efficiency will be need for real-time use such as image and speech recognition. The fuzzy operation circuits proposed so far can be categorized into the digital approach<sup>1)</sup> and the analog approach<sup>2, 3, 4)</sup>. The digital approach is superior to the analog approach in extension, and ease of design. On the other hand, the analog circuits have higher speed and lower power consumption than their digital counterparts.

The most significant fuzzy logic functions for realizing fuzzy systems are the maximum and minimum functions. Fuzzy systems employing these two functions are used in many applications<sup>2, 3, 4)</sup>. The realizations of maximum and minimum functions in analog circuit form so far have been implemented using either a second generation current conveyor (CCII)<sup>5)</sup> or an operational transconductance amplifier (OTA)<sup>3)</sup> as a basic active circuit element. These approaches require diode function as an electronic switch to eliminate undesirable signal to provide maximum and minimum operations. However, the high-speed performance of these approaches is limited by the delay caused by the transition between "on" and "off" state of diodes. The dynamic ranges of the maximum and minimum circuits using OTA are also limited by the input stage of an OTA. Other approaches are based on the use of CMOS circuit technique to perform maximum and minimum circuits<sup>6, 8, 9)</sup>.

For implementing a fuzzy logic controller or fuzzy

processor by employing maximum and minimum functions, the multiple-input maximum and minimum circuits are needed<sup>5, 6)</sup>. The problems associated with the current-mode two-input maximum and minimum circuit for fuzzy logic controller<sup>7)</sup> are accumulated error and low operation speed as a result of using the binary tree structure to implement the multiple-input maximum circuit. To reduce the accumulated error, the one-stage  $n$ -input maximum circuits have been proposed in the literature<sup>8, 9)</sup>. These approaches are taking the advantage of the fact that MOS transistor operated in saturation region conducts the maximum current for a given gate-source voltage.

This paper aims to present another hardware realization of the multiple-input maximum circuit based on the same principle as in<sup>8, 9)</sup>. However, we exploit this idea in a difference way to provide high accuracy, high speed and wide dynamic range. Simulation results confirming the characteristics of the proposed maximum circuit are also included.

### 2. Circuit Description

A common approach for maximum circuits is the common-source configuration as shown in Fig. 1. This implementation is very popular in bipolar designs<sup>10, 11)</sup>. The two-transistor version of this implementation is the well-known differential pair. The common node X follows the maximum input voltage with an offset that can be

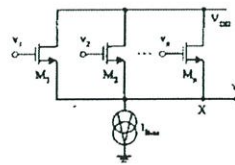


Fig. 1 Common-source implement of maximum circuit



Suppose that the input current  $i_1$  is the maximum current among  $i_1, i_2, \dots, i_n$ . The drain-source voltages  $v_1, v_2, \dots, v_n$  of the transistors  $M_{11}, M_{21}, \dots, M_{n1}$  are established by the input currents  $i_1, i_2, \dots, i_n$ , respectively. The drain-source voltage  $v_1$  is established by the maximum input current  $i_1$ , hence the voltage  $v_1$  is the maximum voltage. The transistors  $M_{21}, M_{31}, \dots, M_{n1}$  are regarded as the differential circuits. Then the current  $i_{Dn}$  will flow through the transistors of the differential circuits with maximum input voltage, the drain current  $i_{D12}$  of transistor  $M_{12}$  is equal to  $i_{Dn}$  and another drain current  $i_{Dn2}$  of transistor  $M_{12}$  is equal to zero. Because the gates of transistor  $M_{11}$  of the maximum cells are connected together, the voltage  $v_n$  is related to the maximum voltage  $v_1$ . Therefore the voltage  $v_n$  is equal to the gate-source voltage of the transistor  $M_{11}$ . In this situation, the transistors  $M_{11}$  and  $M_n$  form as the unity gain current mirror, so the output current  $i_{max}$  is equal to the input current  $i_1$ , which is the maximum input current. Therefore the output current can be written as

$$i_{max} = \max(i_1, i_2, \dots, i_n) = i_1 \quad (7)$$

It is clearly seen that the proposed circuit has the maximum operation of the multiple current inputs.

### 3. Simulation Results

The performances of the proposed circuit were studied by the use of PSPICE analog simulation program. The BSIM MOS model of the 0.5 $\mu$ m CMOS process was used for the circuit simulation. The dimensions W/L of the devices are shown in Table 1. The bias current  $I_B$  and the supply voltage  $V_{DD}$  are set to 10 $\mu$ A and 2.5V, respectively.

Table 1 The ratio of channel widths and lengths

Device	W/L ( $\mu$ m)
$M_{12}, M_{13}, M_1$	5/1
$M_{11}, M_2, M_3$	5/2

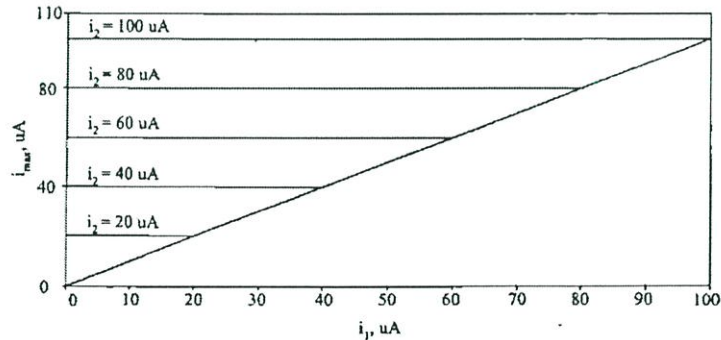
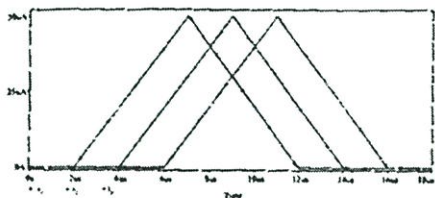


Fig. 4 DC characteristic of the proposed 2-input maximum circuit

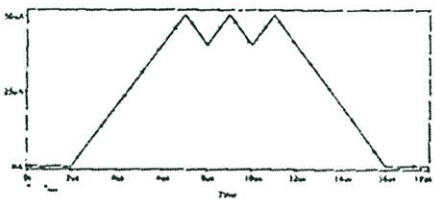
The DC transfer characteristic of the proposed two-input maximum circuit with the input current  $i_1$  continuously changing and the other input current  $i_2$  changing in steps of 20 $\mu$ A is shown in Fig. 4. It confirms very small distortion on the output signal. Fig. 5 and Fig. 6 show the simulated transient response of the proposed three-input and five-input maximum circuits, respectively. The triangular input currents are 50 $\mu$ A peak amplitude and 10 $\mu$ s time period. To compare the propagation delay of the maximum operation of the two-input maximum circuits as shown in Fig. 2 and Fig. 3, the simulation results are given in the Fig. 7. The input currents of each circuit are shown in Fig. 7(a), where the input current  $i_1$  is 1MHz sinusoidal wave with 20 $\mu$ A peak-amplitude and the input current  $i_2$  is kept at zero. The simulated curves in Fig. 7(b) and the comparison results in Fig. 7(c), where  $i_{max}$  (Fig. 2) and  $i_{max}$  (Fig. 3) are the maximum output current of the circuits as shown in Fig. 2 and Fig. 3, respectively. Referring Fig. 7(c), it can be seen that the propagation delay of the maximum operation of the two-input maximum circuits as shown in Fig. 2 and Fig. 3 are about 16ns and 6ns, respectively. The crossover delay is reduced using the MOS class B/AB configuration in Fig. 3.

### 4. Conclusion

The current-mode multiple-input maximum circuit for fuzzy logic controller has been proposed. The proposed circuit designed with 3n+3 transistors, where n is the number of inputs. This structure is simple and modular, so it can be easily expanded to meet the requirement of the number of multiple-input signals. From the simulation results, it is evident that the proposed circuit has the correct function and good performances.

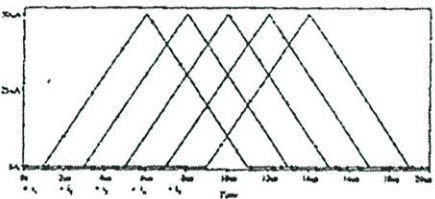


(a)

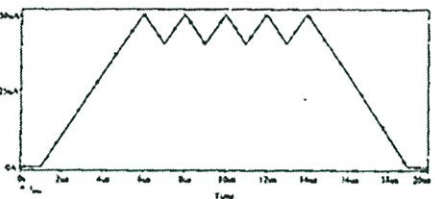


(b)

Fig. 5 Transient response of the 3-input maximum circuit  
(a) the triangular input currents  
(b) the maximum output current

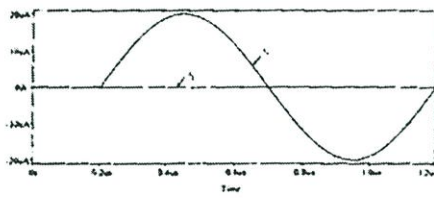


(a)

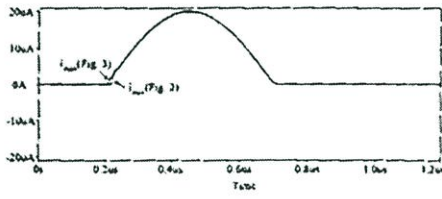


(b)

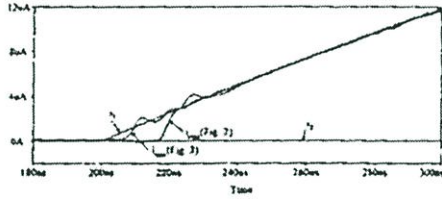
Fig. 6 Transient response of the 5-input maximum circuit  
(a) the triangular input currents  
(b) the maximum output current



(a)



(b)



(c)

Fig. 7 Simulated results for speed performance  
(a) the input currents  
(b) the maximum output currents  
(c) the crossover region

References

- 1) H. Watanabe, W.D. Dettloff, and K.E. Yount, "A VLSI fuzzy logic controller with reconfigurable cascable architecture", IEEE J. Solid-State Circuits, vol.25, no.2, pp.53-62, Jan. 1990
- 2) S. I. Liu, Y. S. Hwang and J. H. Tsay, "CCII-Based Fuzzy Membership Function and Max/Min Circuit", Electronics Lett., vol. 29, no. 1, pp. 116-118, 1993
- 3) K. Tsukano and T. Inoue, "Synthesis of Operational Transconductance Amplifier-Based Analog Fuzzy Functional Blocks and Its Application", IEEE. Trans. Fuzzy System, vol. 3, no.1, Feb. 1995
- 4) R.G. Carvajal, J. Ramirez-Angulo and J. Martinez-Heredia, "High-speed high-precision min/max circuits in CMOS technology" Electronic Lett., vol. 36, no. 8, pp. 697-699, Apr. 2000

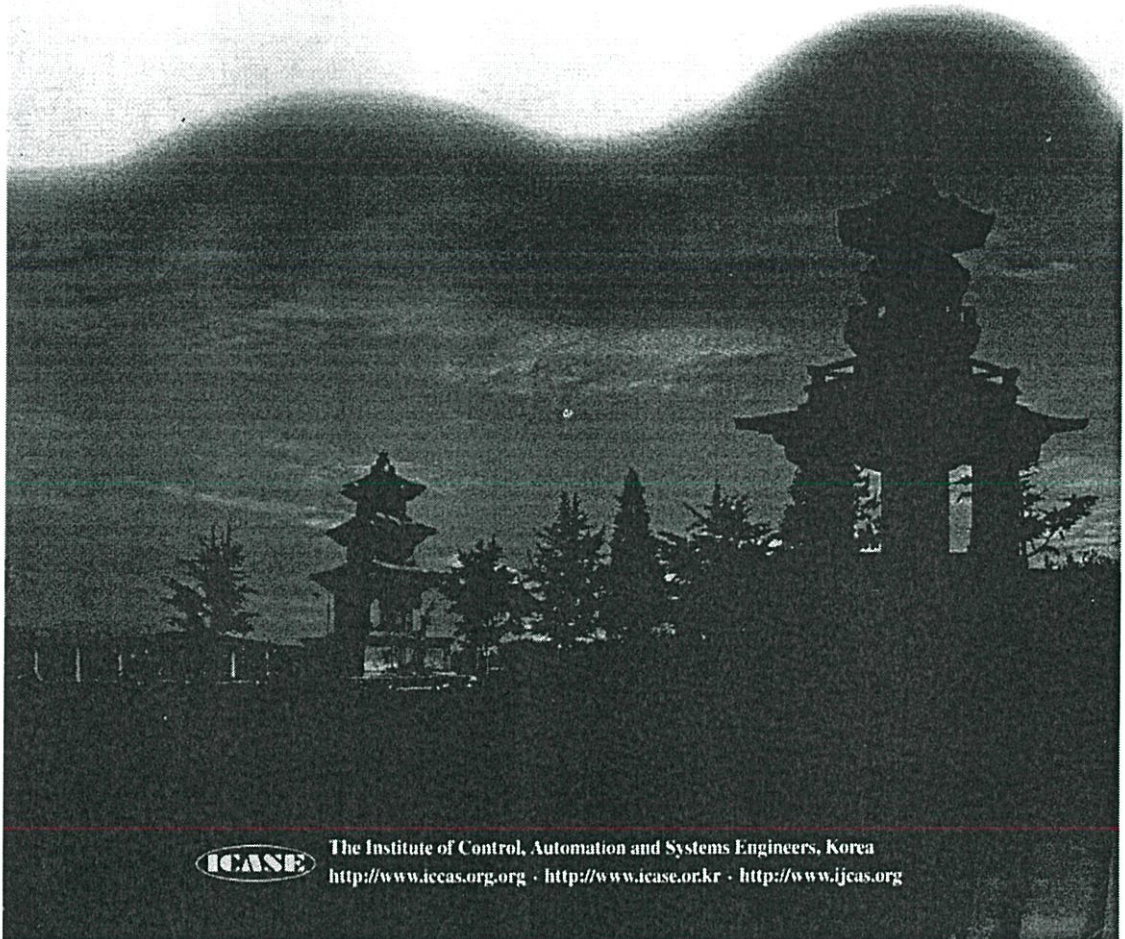
- 5) T. Yamakawa, "Fuzzy microprocessors rule chip and defuzzifier chip" Proc. Int. Workshop Fuzzy Syst. Appl., pp.51-52, Aug. 1988
- 6) L. Liu, Z. Li and B. Shi, "A multi-input fuzzy processor for pattern recognition", Solid-State and Integrated Circuit Technology, 1995 4th International Conference on, pp. 112 -114, 24-28 Oct 1995
- 7) T. Yamakawa and T. Miki, "The current-mode fuzzy logic integrated circuits fabricated by the standard CMOS process", IEEE Trans. Comput., vol. 35, no.2, pp.161-167, 1986
- 8) I. Batruone J.L. Huertas, A. Barriga and S. Sanchez-Solano, "Current-mode multiple-input Max circuit" Electronic Lett., vol. 30, no. 9, pp. 678-680, May 1994
- 9) C.Y. Hung, B. D. Liu, "Current-mode multiple input maximum circuit for fuzzy logic controllers", Electronic Lett., vol. 30, no. 23, pp. 1924-1925, Nov. 1994
- 10) K. Yamamoto, S. Fujii, and K. Matsuoka, "A single ship FSK modem", IEEE J. Solid-State Circuits, vol. SC-19, pp. 855-861, June 1984
- 11) T. Yamakawa, "A fuzzy inference engine in nonlinear analog mode and its applications to a fuzzy logic control", IEEE. Trans. Neural Networks, vol. 4, pp. 496-522, May, 1993
- 12) A. G. Andreou, K. A. Boahen, P. O. Pouliquen, A. Pavasovic, R. E. Jenkins and K. Strobbeln, "Current-Mode Subthreshold MOS Circuits for Analog VLSI Neural Systems", IEEE. Trans. Neural Networks, vol. 2, no. 2, pp. 205-213, March, 1991
- 13) Paul R. Gray and Robert G. Meyer, "Analysis and Design of Analog Integrated Circuit", chapter 1, John Wiley & Sons, Inc., 1993



Final Program & Digest Book

# ICCAS 2003 International Conference on Control, Automation and Systems

October, 22 ~ 25, 2003  
Gyeongju TEMF Hotel, Gyeongju, Korea



The Institute of Control, Automation and Systems Engineers, Korea  
<http://www.iccas.org.org> · <http://www.icase.or.kr> · <http://www.ijcas.org>

## TA03


## Signal Processing I

Time : 09:00 - 11:00

Chairs : Prof. Ohyama Shinji(Tokyo Institute of Technology)

Room : Hyangblpa A

Dr. Dal Hwan Yoon(Semyung Univ., Korea)

<p>09:00 ~ 09:20</p> <p>TA03-1</p> <p><b>Analysis of Knit Fabric Structure with its Voxel Data</b></p> <p>Toshihiro Shinohara, Jun-Ya Takayama, Shinji Ohyama, Akira Kobayashi(Tokyo Institute of Technology)</p> <p>For identifying how a sample knit fabric is woven a method to obtain positional information of each yarn in the sample from voxel data made out of its x-ray CT images is newly proposed in this paper. The positional information is obtained by tracing the each yarn. The each yarn is traced by estimating a direction of the yarn in a certain small region in which the yarn can be regarded as straight and moving the region slightly along the estimated direction alternately. The yarn direction is estimated by correlating the voxel data in the region with a three-dimensional yarn model. The ...</p> 	<p>09:20 ~ 09:40</p> <p>TA03-2</p> <p><b>Adaptive Noise Reduction on the Frequency Domain using the Sign Algorithm.</b></p> <p>Dalhan Yoon, Jaekyung Lee(Semyung Univ., Korea)</p> <p>The proposed structure using the modified DFT(MDFT) has the minimum quantity of operations to enable nonblock in order to process from the stable convergence. In order to improve the convergence speed is applied to Sign algorithm that the input auto-correlation matrix is approximately diagonalized by using the discrete Fourier transform(DFT) and normalized by the time-variable step size algorithm. In General, the normalizing by spectral power effect to improve the convergence speed.</p>
<p>09:40 ~ 10:00</p> <p>TA03-3</p> <p><b>Search Vector Algorithm for BMPC method</b></p> <p>Fuji Torumi, Jun-Ya Takayama, Shinji Ohyama, Akira Kobayashi(Tokyo Institute of Technology, Japan)</p> <ul style="list-style-type: none"> <li>● Introduction</li> <li>● Algorithm of BMPC method</li> <li>● Search vector method</li> <li>● Simulation</li> <li>● Conclusion</li> </ul>	<p>10:00 ~ 10:20</p> <p>TA03-4</p> <p><b>Design and Implementation of IIR Multiple Notch Filter with Modified Pole Zero Placement Algorithm</b></p> <p>Kobchai Dejhan, Payao Thooooluang(King Mongkut's Institute of Technology Ladkrabang., Thailand), Surapun Yimman, Walcharapong Hinyit, Weerasak Ussawongaraya(King Mongkut's Institute of Technology North Bangkok, Thailand)</p> <ul style="list-style-type: none"> <li>● A design and construction of IIR multiple notch filter</li> <li>● The design IIR Notch Filter with Modified Pole Zero Placement Algorithm</li> <li>● The design IIR notch filter by applying least square approximation technique</li> <li>● Algorithm design and system simulation are performed on MATLAB</li> <li>● Implemented on TMS320C31 DSP board</li> </ul>
<p>10:20 ~ 10:40</p> <p>TA03-5</p> <p><b>A Current-mode Multiple-Input Minimum Circuit For Fuzzy Logic Controllers</b></p> <p>Yot Mettasitthikom, Chemsaiyorn Pojanasuwanchai, Vanchai Riewruja, Anuchai Jaruwanaawat, Prasit Jitsereewong(KMITL)</p> <p>This paper presents a current-mode multiple-input minimum circuit. The proposed circuit can be implemented by applying De Morgan's law. The circuit diagram is simple and modular. It operates using a single 2.5V supply and has very low dissipation. The realization method is suitable for fabrication using CMOS technology and all transistors are operated in their saturation region. The performances of this proposed circuit were studied using the PSPICE analog simulation program. The simulation results show the approval of this circuit that it has adequate basic performances for a real-time fuzzy controller and a fuzzy computer.</p>	<p>10:40 ~ 11:00</p> <p>TA03-6</p> <p><b>A high-speed algorithmic ADC based on Maximum Circuit</b></p> <p>Amphawan Chaikla, Tattaya Pukkalanun, Vanchai Riewruja, Chaleompun Wangwiwaitana, Ruedee Masuchun(KMITL)</p> <p>This paper presents a high-speed algorithmic analog-to-digital converter(ADC), which is based on gray coding. The realization method makes use of a two-input maximum circuit to provide a high-speed operation and a low-distortion in the transfer characteristic. The proposed ADC based on the CMOS integrated circuit technique is simple and suitable for implementing a high-resolution ADC. The performances of the proposed circuit were studied using the PSPICE analog simulation program. The simulation-results verifying the circuit performances are agreed with the expected values.</p>

## A Current-mode Multiple-Input Minimum Circuit For Fuzzy Logic Controllers

Yot Mettasitthikorn, Chamaiporn Pojanasuwanchai, Vanchai Riewruja,  
Anuchit Jaruwawat, and Prasit Julsereewong

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand  
(Tel: +66-2-739-2406-7; E-mail: vanchai@cs.eng.kmitl.ac.th)

**Abstract:** This paper presents a current-mode multiple-input minimum circuit. The proposed circuit can be implemented by applying De Morgan's law. The circuit diagram is simple and modular. It operates using a single 2.5V supply and has very low dissipation. The realization method is suitable for fabrication using CMOS technology and all transistors are operated in their saturation region. The performances of this proposed circuit were studied using the PSPICE analog simulation program. The simulation results show the approval of this circuit that it has adequate basic performances for a real-time fuzzy controller and a fuzzy computer.

**Keywords:** current-mode circuit, minimum circuit, CMOS-based circuit, fuzzy logic controller

### 1. INTRODUCTION

The applications of fuzzy logic and fuzzy algorithm in real-time systems are attracting much attention [1]. In recent years, the demand of the real time systems in term of high-speed operation, high-efficiency performance, and lower power consumption arises causing a strong motivation to implement fuzzy based hardware. In literature, the hardware implementation of fuzzy systems can be categorized into the digital approach [2] and the analog approach [3-5]. The digital approach is superior to the analog approach in accuracy, extension, and ease of design. On the other hand, the analog circuits have higher speed and lower power consumption than their digital counterparts. The most significant fuzzy logic functions for realizing fuzzy systems are the maximum and minimum circuits. For fuzzy systems employing these two functions are used in many applications [3-5]. In the past, the realization of maximum and minimum functions in analog circuit form have been implemented using either a second generation current conveyor (CCII) [3] or an operational transconductance amplifier (OTA) [4] as a basic active circuit element. These approaches require diode function as an electronic switch to eliminate undesirable signal to provide maximum and minimum operations. However, the high-speed performance of these approaches is limited by the delay caused by the transition between "on" and "off" state of diodes. The dynamic range of the OTA-based maximum and minimum circuits are also limited by the input stage of an OTA. Other approaches are based on the use of CMOS circuit technique to perform maximum and minimum functions [5, 8-10].

For implementing a fuzzy logic controller or fuzzy processor by employing maximum and minimum functions, the multiple input maximum and minimum circuits are needed [6-7]. The problems of using the binary tree structure based on the two-input maximum and minimum circuit [8] to implement the multiple input maximum and minimum circuits are accumulated errors and low operation speed. To minimize these disadvantages, the one-stage multiple-input maximum and minimum circuits have been proposed in literature [9-10]. The disadvantage of these approaches is the change between the saturation and non-saturation region of the operation regions in MOS transistors that causes the distortion on the output signal and limits the operating speed.

In this paper, the current-mode multiple-input minimum circuit based on De Morgan's law [11] is proposed. The proposed circuit can be implemented using an n-input

maximum circuit and n+1 complement circuits. Where n is the number of current input signals. The proposed circuit operates using a single 2.5V supply and provides high accuracy and high-speed. Simulation results supporting the characteristics of the proposed n-input minimum circuit are also included.

### 2. CIRCUIT DESCRIPTION

From basically design of the proposed circuit, the transistors are all matched and operated in their saturation regions. The drain current of NMOS transistor operated in saturation region is expressed as [12]

$$i_D = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 = K (v_{GS} - V_T)^2 \quad (1)$$

where K,  $v_{GS}$ , and  $V_T$  are the device transconductance parameter, the gate-source voltage, and the threshold voltage, respectively.

#### 2.1 Principle of minimum operation

The minimum operation is related to the maximum operation by De Morgan's law as [11]

$$\min(i_1, i_2, \dots, i_n) = \overline{\max(\bar{i}_1, \bar{i}_2, \dots, \bar{i}_n)} \quad (2)$$

where  $\bar{\phantom{x}}$  is the fuzzy complement operation.

Consequently, the minimum operation can be implemented using the maximum operation and the fuzzy complement operation. The fuzzy complement operation can be expressed as

$$\bar{i}_j = I_R - i_j \quad (3)$$

where  $I_R$  is the reference current corresponding to fuzzy-grade 1. As Eq. (2) indicated in, the minimum output current  $i_{\min}$  can be written as

$$i_{\min} = I_R - i_{\max} \quad (4)$$

According to Eq. (3) and Eq. (4), the complement circuits can be implemented using the current mirrors.

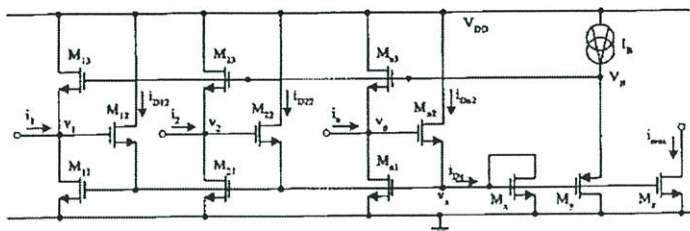


Fig. 1 The multiple-input maximum circuit

## 2.2 Multiple-input maximum circuit

The current-mode  $n$ -input maximum circuit [13] with a very sharp corner in the transfer characteristic is shown in Fig. 1. The transistors are all matched and operated in their saturation region. Each maximum cell for one input variable is composed of three transistors,  $M_{j1}$ ,  $M_{j2}$ , and  $M_{j3}$ . The transistors  $M_{j1}$  and  $M_{j2}$  function as the current maximum selector. The transistor  $M_{j3}$  and the bias current source  $I_B$  provide the bias voltage  $V_B$  approximately equal to  $3V_T$ , where  $V_T$  is the threshold voltage of the transistor. Therefore, the transistors  $M_{j1}$ - $M_{j3}$  are forced to the edge of conduction to minimize the crossover distortion. The transistor  $M_{j3}$  acts as the diode. The transistor  $M_{j3}$  is connected to capture the maximum current to output node. The maximum operation of this circuit, based on the shared gate-to-source voltage corresponding to the saturation value imposed by the maximum input current, can be discussed as follows.

Suppose that there is only one maximum input current among  $i_1, i_2, \dots, i_n$ , and the current  $i_1$  is the largest current, which can be stated as

$$i_1 = \max(i_1, i_2, \dots, i_n) \quad (5)$$

The drain-source voltages  $v_{j1}, v_{j2}, \dots, v_{jn}$  of the transistors  $M_{j1}, M_{j11}, \dots, M_{jn1}$  established by the input currents  $i_1, i_2, \dots, i_n$ , respectively. The drain-source voltage  $v_{j1}$  is established by the maximum input current  $i_1$ , thus the voltage  $v_{j1}$  is the maximum voltage. The gates of transistor  $M_{j11}, M_{j21}, \dots, M_{jn1}$ , and  $M_{j3}$  are connected together. Then their gate-source voltages can be given by

$$v_{GS11} = v_{GS21} = \dots = v_{GSn1} = v_{gs} \quad (6)$$

Based on Eq. (1) and Eqs. (5)-(6), the transistors  $M_{j11}, M_{j21}, \dots, M_{jn1}$ , and  $M_{j3}$  have the same drain current as

$$i_{D11} = i_{D21} = \dots = i_{Dn1} = i_{D3} = i_1 \quad (7)$$

In saturation, the current  $i_{D21}$  flows through the transistor  $M_{j21}$ , increasing the gate-source voltage of the transistor  $M_{j21}$ , which effects the transistor  $M_{j22}$  to cutoff. Similarly, the flow of  $i_{Dj1}$  through the transistor  $M_{j11}$  causes the transistor  $M_{j12}$  to cutoff. Therefore the drain currents  $i_{D22}, i_{D23}, \dots, i_{Dn2}$  can be given by

$$i_{D22} = i_{D32} = \dots = i_{Dn2} = 0 \quad (8)$$

Considering at node  $v_{gs}$ , the drain current  $i_{Dn}$  can be expressed as

$$i_{Dn} = i_{D12} + i_{D22} + \dots + i_{Dn2} \quad (9)$$

Substituting Eq. (8) into Eq. (9), we obtain

$$i_{Dn} = i_{D12} = i_1 \quad (10)$$

The current  $i_{Dn}$  is mirrored into output node by the current mirror  $M_{j4}$  and  $M_{j5}$ . Then the maximum output current  $i_{max}$  can be given by

$$i_{max} = i_1 = \max(i_1, i_2, \dots, i_n) \quad (11)$$

The above discussion supports the maximum operation of the multiple current signals.

## 2.3 The proposed circuit

Fig. 2 shows the proposed current-mode multiple-input minimum circuit, which consists of the  $n$ -input maximum circuit and the complement circuits. The transistors are all matched and operated in their saturation region. Each simple minimum cell for one input variable is composed of five transistors,  $M_{j1}$ - $M_{j5}$ , and the reference current source  $I_R$ . The transistors  $M_{j1}$ - $M_{j3}$  function as the maximum cell. The transistors  $M_{j4}$ - $M_{j5}$  form as the unity gain current mirror, which reflects each input current  $i_j$  to the complementation node  $v_j$ . The drain current of transistor  $M_{j3}$  can be written as

$$i_{Dj3} = i_j \quad (12)$$

Considering at complementation node  $v_j$  the input current of each maximum cell  $\bar{i}_j$  can be expressed as

$$\bar{i}_j = I_R - i_j \quad (13)$$

At output node, the minimum output current  $i_{min}$  of the proposed circuit can be given by

$$i_{min} = I_R - i_{max} \quad (14)$$

It should be noted that the proposed circuit in Fig. 2 has De Morgan's law-based minimum operation as defined in section 2.1.

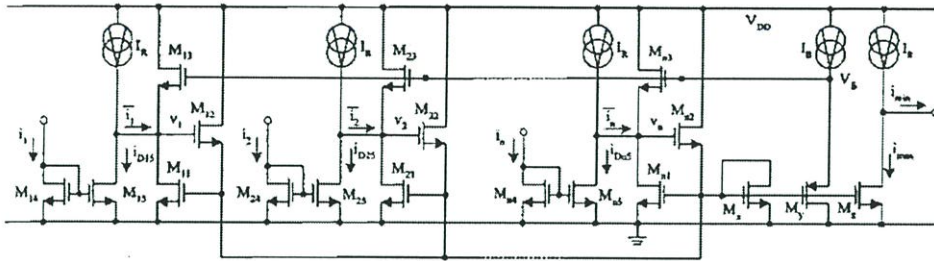


Fig. 2 The proposed multiple-input minimum circuit

### 3. SIMULATION RESULTS

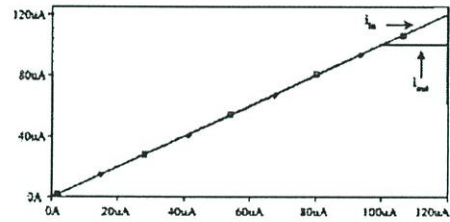
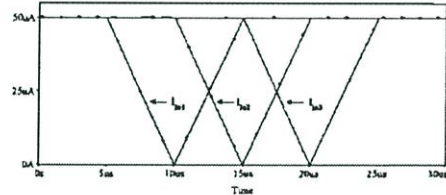
The performances of the proposed circuit as shown in Fig. 2, were observed using PSPICE analog simulation program. The BSIM MOS model of the 0.5 $\mu\text{m}$  CMOS process was used for the circuit simulation. The dimensions W/L of the devices used in the proposed circuit are shown in Table 1. The bias current  $I_B$  and the reference current  $I_{R}$  were set to 10 $\mu\text{A}$  and 50 $\mu\text{A}$ , respectively. The single supply voltage  $V_{DD}$  used was 2.5V.

Table 1 Dimensions of the MOS Transistors

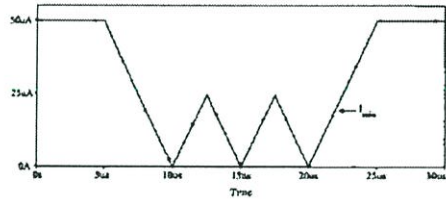
Transistor	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$M_{12}, M_{13}, M_{22}, M_{23}, M_{32}, M_{33}$	5	1
$M_{11}, M_{14}, M_{21}, M_{24}, M_{31}, M_{34}$	5	2

Fig. 3 shows the transient response of the proposed one-input circuit for the input current  $i_{in}$ . Where the input current  $i_{in}$  was varied from 0 $\mu\text{A}$  to 120 $\mu\text{A}$ . The reference current  $I_R$  was set to 100 $\mu\text{A}$ . The dynamic range of the proposed circuit is 100 $\mu\text{A}$ . The results show that the transfer characteristic of the proposed circuit is linear over an entire dynamic range. Fig. 4 and Fig. 5 show the simulated transient response of the proposed three-input and five-input minimum circuits, respectively. The triangular input currents are 50 $\mu\text{A}$  peak amplitude and 10 $\mu\text{s}$  time period. The results show that the output of the proposed circuit is almost consistent with the ideal case's. The maximum error is about 0.134% of full scale value (50 $\mu\text{A}$ ).

To estimate the propagation delay of the proposed three-input minimum circuit, the transient performance of minimum operations were observed. The simulation results are given in Fig. 6, where the input current  $i_{in1}$  were the step-down function currents, and the input currents  $i_{in2}, i_{in3}$  were fixed at zero. The simulation curves in Fig. 6 show the results when the current  $i_{in1}$  were the step function currents from 10 $\mu\text{A}$  to 0 $\mu\text{A}$ , 20 $\mu\text{A}$  to 0 $\mu\text{A}$ , 30 $\mu\text{A}$  to 0 $\mu\text{A}$ , and 40 $\mu\text{A}$  to 0 $\mu\text{A}$ , respectively. It can be seen that the propagation delay of the minimum operation of the proposed circuit is about 7ns. It is evident that the proposed circuit has correct function and good performances.

Fig. 3 Transient response of the one-input minimum circuit for the input current  $i_{in}$ .

(a)



(b)

Fig. 4 Transient response of the three-input minimum circuit  
(a) three triangular input currents  
(b) the minimum output current

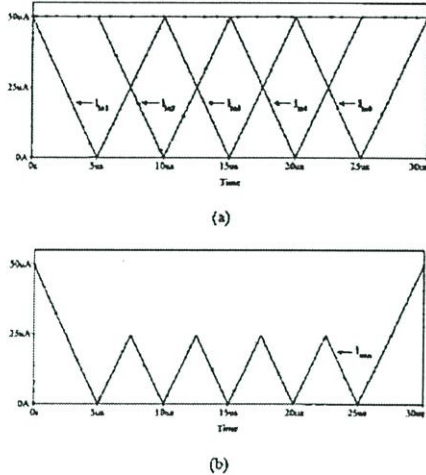


Fig. 5 Transient response of the five-input minimum circuit  
(a) five triangular input currents  
(b) the minimum output current

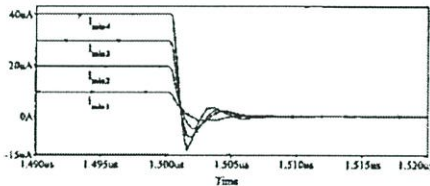


Fig. 6 Step responses of minimum operation

#### 4. CONCLUSION

Based on De Morgan's law, the minimum operation is described. Using this technique, the CMOS-based multiple-input minimum circuit for fuzzy logic controller has been proposed. The proposed circuit was designed with  $5n+3$  transistors, where  $n$  is the number of inputs. This structure is simple and modular, so it can be easily expanded to meet the requirement of the number of multiple-input signals. Under single 2.5V supply voltage, the dynamic range of the proposed circuit can achieve up to  $100\mu\text{A}$  and the propagation delay is about 7ns. The maximum error is about 0.134% of full scale current. From these simulation results it can be concluded that this proposed circuit, has sufficient basic performances suitable for a real-time fuzzy controller and a fuzzy computer.

#### REFERENCES

- [1] H. J. Zimmermann, *Fuzzy Set Theory and applications*, Kluwer Academic Publishers, 1991.
- [2] H. Watanabe, W.D. Dettloff, and K.E. Yount, "A VLSI fuzzy logic controller with reconfigurable cascaded architecture", *IEEE J. Solid-State Circuits*, Vol.25, No.2, pp. 53-62, Jan. 1990.
- [3] S. I. Liu, Y. S. Hwang, and J. H. Tsay, "CCII-Based Fuzzy Membership Function and Max/Min Circuit", *Electronics Lett.*, Vol. 29, No. 1, pp. 116-118, 1993.
- [4] K. Tsukano and T. Inoue, "Synthesis of Operational Transconductance Amplifier-Based Analog Fuzzy Functional Blocks and Its Application", *IEEE. Trans. Fuzzy System*, Vol. 3, No.1, pp. 61-68, Feb. 1995.
- [5] R.G. Carvajal, J. Ramirez-Angulo, and J. Martinez-Heredia, "High-speed high-precision min/max circuits in CMOS technology" *Electronic Lett.*, Vol. 36, No. 8, pp. 697-699, Apr. 2000.
- [6] T. Yamakawa, "Fuzzy microprocessors rule chip and defuzzifier chip" *Proc. Int. Workshop Fuzzy Syst. Appl.*, pp.51-52, Aug. 1988.
- [7] L. Liu, Z. Li, and B. Shi, "A multi-input fuzzy processor for pattern recognition", *Solid-State and Integrated Circuit Technology, 1995 4th International Conference on*, pp. 112-114, 24-28 Oct 1995.
- [8] T. Yamakawa and T. Miki, "The current-mode fuzzy logic integrated circuits fabricated by the standard CMOS process", *IEEE Trans. Comput.*, Vol. 35, No.2, pp. 161-167, 1986.
- [9] C.Y. Hung and B. D. Liu, "Current-mode multiple input maximum circuit for fuzzy logic controllers", *Electronic Lett.*, Vol. 30, No. 23, pp. 1924-1925, Nov. 1994.
- [10] M.A. Yakout, E. I. El-Masry, and A.J. Abdel-Fattah, "Hardware Realization of Analog CMOS Current-Mode Minimum Circuit", *Fifteenth National Radio Science Conference, Egypt*, pp. D8.1-D8.7, Feb. 1998.
- [11] M. Sasaki, T. Inoue, Y. Shirai, and F. Ueno, "Fuzzy multiple-input maximum and minimum circuits in current mode and their analyses using bounded-difference equations", *IEEE. Trans. Comput.*, Vol. 39, No. 6, pp. 768-774, 1990.
- [12] Paul R. Gray and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuit*, chapter 1, John Wiley & Sons, Inc., 1993
- [13] C. Pojanasuwanchai, C. Wangwittatana, A. Chaikla, V. Riewruja, and P. Julserewong, "Fuzzy Multiple-Input Maximum Circuit in Current-mode", *SICE Annual Conference in Fukui, Japan*, pp. 571-575, 2003

## ประวัติผู้เขียน

นางสาวชัชพร พจนสุวรรณชัย เกิดเมื่อวันที่ 14 กันยายน พ.ศ. 2519 จังหวัดสุพรรณบุรี และได้สำเร็จการศึกษาในระดับปริญญาตรี หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมการวัดคุม ภาควิชาวิศวกรรมการวัดคุม จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2540 และในปี พ.ศ. 2545 ได้เข้าศึกษาต่อในระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง