

วงจรสายพานกระแสแรงดันที่มีหลายเอาต์พุตและการประยุกต์ใช้งาน

GENERALIZED MULTI-OUTPUT CURRENT CONVEYOR
AND ITS APPLICATIONS

ภัทรา เพียรชอบ

PATRA PIENCHOB

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของงานวิจัยที่จัดทำขึ้นเพื่อใช้ในการศึกษาวิจัยและพัฒนาระบบควบคุมอัตโนมัติ

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2864-5

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรสายพานกระแสเอนกประสงค์ที่มีหลายเอาต์พุตและการประยุกต์ใช้งาน

GENERALIZED MULTI-OUTPUT CURRENT CONVEYOR
AND ITS APPLICATIONS

ภัทรา เพียรชอบ

PATRA PIENCHOB

เลขหมู่.....
เลขทะเบียน..... 61640
วัน,เดือน,ปี... 19 ก.ค. 2549

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2364-5

**GENERALIZED MULTI-OUTPUT CURRENT CONVEYOR
AND ITS APPLICATIONS**

PATRA PIENCHOB

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRONICS ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2006

ISBN 974-15-2364-5

COPYRIGHT 2006

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	วงจรสายพานกระแสเอนกประสงค์ที่มีหลายเอาต์พุตและ การประยุกต์ใช้งาน
นักศึกษา	นางสาวภัทรา เพียรชอบ
รหัสนักศึกษา	46060517
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ศ.ดร. วัลลภ สุระกำพลธร
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	รศ.ดร. เกียรติศักดิ์ คมวัชระ

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอวิธีการในการออกแบบสร้างและปรับปรุงวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สามแบบมัลติเอาต์พุต ที่มีทั้งชนิดบวกและชนิดลบ โดยใช้โครงสร้างวงจรเดียวกันด้วยเทคโนโลยีซิมอส การทำงานของวงจรประกอบด้วยวงจรเปลี่ยนแรงดันเป็นกระแสทำหน้าที่เป็นวงจรส่วนอินพุต และส่งผ่านกระแสไปยังส่วนเอาต์พุตด้วยวงจรสะท้อนกระแสคาสโคดแบบปรับปรุงที่ใช้แรงดันต่ำ เพื่อให้ได้ค่าความต้านทานเอาต์พุตสูง จากโครงสร้างนี้ทำให้ความต้านทานที่พอร์ต Y และ Z มีค่าสูง และในวงจรได้เพิ่มการใช้เทคนิคการป้อนกลับเข้าที่พอร์ต X ทำให้ค่าความต้านทานที่พอร์ต X มีค่าต่ำประมาณ 1.8 โอห์ม และใช้แหล่งจ่ายไฟแรงดันต่ำเพียง ± 2.5 โวลต์ ในการทดสอบสมรรถนะการทำงานของวงจร โดยใช้โปรแกรม Cadence แสดงผลการจำลองการทำงานของวงจร พบว่าผลที่ได้มีค่าใกล้เคียงกับหลักการที่นำเสนอ

Thesis Title	Generalized multi-output current conveyor and its applications
Student	Miss Patra Pienchob
Student ID	46060517
Degree	Master of Engineering
Programme	Electronics Engineering
Year	2006
Thesis Advisor	Prof. Dr. Wanlop Surakamponorn
Thesis Co-Advisor	Assoc. Prof. Dr. Kiattisak Kumwachara

ABSTRACT

In this thesis, a methodology for the realization of generalized multi-output current conveyor is proposed, where a first generation current conveyor (CCI), a second generation current conveyor (CCII) and a third generation current conveyor (CCIII) can be realized in the same circuit. The circuit consists of a CMOS differential amplifier stage for the voltage input stage and a push-pull stage and an improved cascode current mirrors for the current output stage. A feedback technique is used to provide the exact voltage following action and the exact current following action. The low impedance at the current input node is about 1.8 ohm with ± 2.5 supply voltage. The simulation results, which confirm the theoretical analysis, are reported the conveyors being implemented.

กิตติกรรมประกาศ

คุณความดีอันใดที่ข้าพเจ้าได้กระทำขอบแต่บิดา มารดา และพี่ชายทั้งสองของข้าพเจ้า ผู้ที่คอยห่วงใยและให้การสนับสนุนในการศึกษามาโดยตลอด ขอขอบพระคุณครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิประสาทวิชาความรู้ และถ่ายทอดประสบการณ์ที่ดีแก่ข้าพเจ้า

วิทยานิพนธ์ฉบับนี้สำเร็จสมบูรณ์ลงได้ด้วยดีเนื่องจากได้รับความกรุณาเป็นอย่างสูงจากท่านศาสตราจารย์ ดร.วัลลภ สุระกำพลธร อาจารย์ที่ปรึกษา ที่ได้ช่วยเหลือในการให้คำแนะนำชี้แนะแนวทาง และฝึกฝนข้าพเจ้าให้มีความสามารถในการทำงานวิจัย

ขอขอบพระคุณ รองศาสตราจารย์ ดร. เกียรติศักดิ์ คมวัชระ ที่กรุณาให้คำปรึกษาทั้งวิธีแก้ไขปัญหาที่เกิดขึ้นในการทำวิทยานิพนธ์ ช่วยให้ข้าพเจ้ามีทักษะในการแก้ไขปัญหาในการทำงานมากขึ้น ได้สั่งสอนความรู้ที่จำเป็นที่เป็นพื้นฐานที่สำคัญในการทำวิจัย

ขอขอบคุณ คุณอมร จิระเสรีอมรกุล คุณเฉลิมพันธ์ ฟองสมุทร อาจารย์รัชวิชัย คำศรี อาจารย์วรรณดี เพชรณณิลักษณ์ ที่ได้กรุณาให้คำปรึกษาทั้งปัญหาที่เกิดขึ้นในการทำวิทยานิพนธ์ การเขียนวิทยานิพนธ์ การใช้งาน โปรแกรมคอมพิวเตอร์ต่างๆ ขอขอบคุณ คุณอภิรักษ์ ฤกษ์รัตน์ ที่เป็นพี่ที่ดูแลความเป็นอยู่ของน้องเป็นอย่างดี ขอขอบคุณ ดร. ประเมษฐ์ ประณยานันท์ และ ดร.คงศักดิ์ อนันตหิรัญรัตน์ ในความช่วยเหลือในการติดต่อประสานงานการเดินทางไปประชุมวิชาการ และพี่ๆทุกคนในห้องปฏิบัติการ Mixed Signal Processing ที่เป็นกำลังใจและช่วยสร้างบรรยากาศที่ดีอบอุ่น สร้างความรู้สึกที่ดีในการทำงานในห้องวิจัย

ขอขอบคุณ คุณชำนาญ ปัญญาใส และคุณอภิรดี ยอดเทียน นักวิจัยสังกัดศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ ที่ให้คำแนะนำการใช้โปรแกรม Cadence

ขอขอบคุณ คุณเสนอ สะอาด คุณวัชรพล พงษ์पालิตและเพื่อนๆ ที่เรียนปริญญาโทที่ตั้งใจเรียนด้วยกัน และมีกำลังใจให้กันเสมอมา ขอขอบคุณ คุณสันติชัย พวงแก้ว ที่ช่วยเหลือให้ความเข้าใจ และเป็นกำลังใจที่ดีให้แก่ข้าพเจ้า

สุดท้ายนี้ขอขอบคุณสำนักงานกองทุนสนับสนุนการวิจัย (สกว.) ภายใต้โครงการทุนเมธีวิจัยอาวุโสที่ให้การสนับสนุนในการทำวิจัย ขอขอบคุณ โครงการสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (ReCCIT) ที่ให้การสนับสนุนเครื่องมือทำวิจัย และขอขอบคุณทุนอุดหนุนการทำวิทยานิพนธ์จากทบวงมหาวิทยาลัย ที่ได้จัดสรรทุนช่วยเหลือในการจัดทำวิทยานิพนธ์นี้

ภัทรา เพียรชอบ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	V
สารบัญตาราง.....	X
สารบัญภาพ.....	XIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมติฐานของการศึกษา.....	2
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5 การเปรียบเทียบระหว่างวิธีการที่นำเสนอกับวิธีการแบบพื้นฐาน.....	2
1.6 ขอบเขตการวิจัย.....	3
1.7 ขั้นตอนของการศึกษา.....	3
บทที่ 2 หลักการวงจรสายพานกระแส.....	5
2.1 วงจรสายพานกระแสยุคที่หนึ่ง (CCI).....	5
2.1.1 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอ.....	6
2.1.2 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอบี.....	7
2.1.3 การประยุกต์ใช้งานวงจรสายพานกระแสยุคที่หนึ่ง.....	8
2.2 วงจรสายพานกระแสยุคที่สอง (CCII).....	9
2.2.1 วงจรสายพานกระแสยุคที่สองอย่างง่าย.....	10
2.2.2 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้าง ของวงจรขยายความแตกต่าง.....	11
2.2.3 การประยุกต์ใช้งานวงจรสายพานกระแสยุคที่สอง.....	14
2.3 วงจรสายพานกระแสยุคที่สาม (CCIII).....	15
2.4 วงจรสายพานกระแสแบบมัลติเอาต์พุต.....	16

สารบัญ (ต่อ)

	หน้า
บทที่ 3 การออกแบบวงจรสายพานกระแสแบบมัลติเอาต์พุต.....	19
3.1 หลักการเบื้องต้น.....	19
3.1.1 การปรับปรุงการส่งผ่านแรงดันและความต้านทานที่พอร์ต์ X.....	20
3.1.2 การปรับปรุงการส่งผ่านกระแสและความต้านทานที่พอร์ต์ X.....	20
3.1.3 การปรับปรุงค่าความต้านทานที่พอร์ต์ Z โดยการใช้วงจร สะท้อนกระแสคาสโคดแบบปรับปรุง.....	21
3.2 วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตที่นำเสนอ.....	21
3.3 การวิเคราะห์คุณสมบัติ และสมรรถนะของวงจร.....	22
3.3.1 การวิเคราะห์ค่าของแรงดันอินพุตออฟเซต.....	23
3.3.2 การวิเคราะห์ค่าอัตราขยายทางแรงดันของวงจร ขณะยังไม่มีป้อนกลับ.....	26
3.3.3 ค่าแรงดันส่งผ่าน V_X/V_Y ขณะที่มีการป้อนกลับ.....	29
3.3.4 อัตราขยายทางกระแสของวงจรขณะยังไม่มีป้อนกลับ.....	29
3.3.5 ค่ากระแสส่งผ่าน i_{Z_N}/i_X และ i_{Z_P}/i_X ขณะที่มีการป้อนกลับ.....	31
3.3.6 การวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ต์ X.....	32
3.3.7 ค่าการส่งผ่านความนำของวงจร (Transconductance).....	32
3.3.8 การวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ต์ Y.....	32
3.3.9 การวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ต์ Z_N และ Z_P	34
3.3.10 การวิเคราะห์ช่วงปฏิบัติการทางแรงดันอินพุตพอร์ต์ Y.....	34
3.3.11 การพิจารณาช่วงกระแสปฏิบัติการ.....	35
3.3.12 วงจรสายพานกระแสยุคที่หนึ่ง และวงจรสายพานกระแสยุคที่สาม.....	35
3.4 ผลการจำลองการทำงาน.....	36
3.5 วงจรเลย์เอาต์(Layout) และผลการจำลองการทำงาน.....	45
บทที่ 4 การประยุกต์ใช้งานวงจรสายพานกระแสแบบมัลติเอาต์พุต.....	50
4.1 วงจรเลียนแบบค่าความต้านทาน.....	50
4.2 วงจรกรองความถี่.....	50
4.2.1 หลักการทั่วไปของวงจรกรองความถี่.....	50

สารบัญ (ต่อ)

	หน้า
4.2.2 วงจรกรองความถี่ผ่านหลายหน้าที่.....	54
4.2.2.1 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับหนึ่ง.....	54
4.2.2.2 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับสอง.....	56
4.3 การประยุกต์ใช้งานและผลการทดลอง.....	59
4.3.1 วงจรเลียนแบบค่าความต้านทานแบบลบ.....	59
4.3.2 วงจรเลียนแบบค่าความต้านทานแบบบวก.....	60
4.3.3 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่ง.....	61
4.3.4 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่สอง.....	68
4.4 วงจรเลย์เอาต์และผลการจำลองการทำงาน.....	72
บทที่ 5 สรุปผลการวิจัย และข้อเสนอแนะ.....	76
บรรณานุกรม.....	78
ภาคผนวก.....	82
ก การวิเคราะห์คุณสมบัติของวงจรคลาสเอบี.....	83
ข ทฤษฎีการป้อนกลับแบบลบที่ใช้ในวงจร.....	90
ค การวิเคราะห์คุณสมบัติการส่งผ่านแรงดันของวงจรขยายความแตกต่าง.....	98
ง การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส.....	100
จ วงจรสมมูลแบบจำลองของมอสทรานซิสเตอร์ และพารามิเตอร์พื้นฐาน.....	108
ซ ผลงานวิจัยที่ได้รับการตีพิมพ์.....	110
ประวัติผู้เขียน.....	128

สารบัญตาราง

ตารางที่	หน้า
3.1 ขนาดของมอสทรานซิสเตอร์สำหรับวงจรในรูปที่ 3.5.....	23
3.2 ขนาดของมอสทรานซิสเตอร์สำหรับวงจรไบอัสในรูปที่ 3.11	37
3.3 ผลการจำลองการทำงานของวงจรสายพานกระแสวนที่สองแบบมัลติเอทพุทที่นำเสนอ เปรียบเทียบกับวงจรสายพานกระแสวนที่สองแบบมัลติเอทพุทคลาสเอบีขณะที่วงจร ทั้งสองกำหนดค่าการทำงานที่กำลัง(Power) และแหล่งจ่ายแรงดันเท่ากัน.....	37
3.4 สรุปผลการจำลองการทำงานของเลย์เอาต์วงจรสายพานกระแสวนที่สอง แบบมัลติเอทพุทที่นำเสนอ.....	46

สารบัญรูป

รูปที่	หน้า
2.1 บล๊อควงจรสายพานกระแสยุคที่หนึ่ง	5
2.2 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอ	6
2.3 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอบี	7
2.4 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอบีที่ปรับปรุงเสถียรภาพการไบอัส	7
2.5 วงจรเปลี่ยนแรงดันเป็นกระแส	8
2.6 วงจรเปลี่ยนกระแสเป็นแรงดัน	8
2.7 วงจรแปลงค่าความต้านทานเชิงลบ	9
2.8 บล๊อควงจรสายพานกระแสยุคที่สอง	9
2.9 ทรานซิสเตอร์แบบเอ็นมอส	10
2.10 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างวงจรสะท้อนกระแส	11
2.11 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างแบบคลาสเอบี	11
2.12 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่าง	12
2.13 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่าง ที่ได้รับการปรับปรุง	12
2.14 วงจรสายพานกระแสที่ใช้เอ็นมอสทรานซิสเตอร์	13
2.15 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่าง อย่างง่ายแบบคลาสเอ	13
2.16 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่าง อย่างง่ายแบบคลาสเอบี	13
2.17 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่าง อย่างง่ายแบบคลาสเอบีที่มีการปรับปรุงภาคเอาต์พุต	14
2.18 วงจรขยายกระแส(CCII-based current amplifier)	14
2.19 วงจรดิฟเฟอเรนเชียลแอมพลิฟายเออร์(CCII-based current differentiator)	15
2.20 วงจรอินทิเกรเตอร์(CCII-based current integrator)	15
2.21 บล๊อควงจรสายพานกระแสยุคที่สาม	16
2.22 วงจรสายพานกระแสยุคที่สาม	16
2.23 สัญลักษณ์แทนวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต	17
2.24 สัญลักษณ์แทนวงจรสายพานกระแสแบบมัลติเอาต์พุตยุคที่หนึ่งและยุคที่สาม	17

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.1 วงจรสายพานกระแสชุกที่สองแบบคลาสเอบีแบบมัลติเอาต์พุต.....	20
3.2 การปรับปรุงการส่งผ่านแรงดันและความต้านทานที่พอร์ต์ X	20
3.3 การปรับปรุงการส่งผ่านกระแสและความต้านทานที่พอร์ต์ X	21
3.4 การปรับปรุงค่าความต้านทานที่พอร์ต์ Z โดยการใช้วงจรสะท้อนกระแส คลาสโคคแบบปรับปรุง.....	21
3.5 วงจรสายพานกระแสชุกที่สองแบบมัลติเอาต์พุตที่ได้รับการปรับปรุง.....	22
3.6 วงจรสมมูลของวงจรส่วนส่งผ่านแรงดันรูปที่ 3.5.....	26
3.7 วงจรสมมูลของวงจรส่วนขยายกระแสของวงจรรูปที่ 3.5.....	29
3.8 วงจรสมมูลของวงจรสะท้อนกระแสที่ให้เอาต์พุตเป็น I_{ZN}	31
3.9 วงจรสมมูลของวงจรสะท้อนกระแสที่ให้เอาต์พุตเป็น I_{ZP}	32
3.10 วงจรสมมูลของวงจรคลาสเอบี.....	32
3.11 วงจรที่ใช้ในการจำลองการทำงาน.....	36
3.12 อัตราขยายทางแรงดันและเฟสเทียบกับความถี่ก่อนการป้อนกลับ.....	38
3.13 ความสัมพันธ์ระหว่างแรงดัน V_x เทียบกับ V_y ภายหลังจากการป้อนกลับ.....	38
3.14 อัตราขยายทางกระแสและเฟส เทียบกับความถี่ก่อนการป้อนกลับ โดยไม่มีการต่อชดเชยค่าตัวเก็บประจุ.....	39
3.15 อัตราขยายทางกระแสและเฟสเทียบกับความถี่ก่อนการป้อนกลับ ที่มีการต่อชดเชยค่าตัวเก็บประจุ.....	39
3.16 ความสัมพันธ์ระหว่าง i_{ZN} , i_{ZP} เทียบกับ i_x	40
3.17 การจำลองการส่งผ่านแรงดันของวงจร.....	40
3.18 ความสัมพันธ์ระหว่างอัตราส่วน i_x กับ V_y เทียบกับความถี่.....	41
3.19 การจำลองการส่งผ่านกระแสของวงจร.....	41
3.20 ความสัมพันธ์ระหว่างค่าความต้านทานที่พอร์ต์ X เทียบกับความถี่.....	42
3.21 ผลตอบสนองค่าแรงดันสัญญาณระหว่าง V_y และ V_x กับค่าเวลา.....	42
3.22 ผลตอบสนองค่ากระแสสัญญาณระหว่าง i_{ZP} , i_{ZN} และ i_x กับค่าเวลา.....	43
3.23 การส่งผ่านกระแส i_x และ i_y ในกรณีที่ป็นวงจรสายพานกระแสชุกที่หนึ่ง.....	43
3.24 การส่งผ่านกระแส i_x และ i_y ในกรณีที่ป็นวงจรสายพานกระแสชุกที่สาม.....	44
3.25 เลย์เอาต์ของวงจรสายพานกระแสชุกที่สองแบบมัลติเอาต์พุต.....	45
3.26 ความสัมพันธ์ระหว่างแรงดัน V_x เทียบกับ V_y ของวงจรเลย์เอาต์.....	47

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.27 ความสัมพันธ์ระหว่าง i_{ZN} , i_{ZP} เทียบกับ i_x ของวงจรถ่ายเอาต์.....	47
3.28 การจำลองการส่งผ่านแรงดันของวงจรถ่ายเอาต์.....	48
3.29 ความสัมพันธ์ระหว่างอัตราส่วน i_x กับ V_y เทียบกับความถี่ของวงจรถ่ายเอาต์.....	48
3.30 การจำลองการส่งผ่านกระแสของวงจรถ่ายเอาต์.....	49
3.31 ความสัมพันธ์ระหว่างค่าความต้านทานที่พอร์ต X เทียบกับความถี่ของวงจรถ่ายเอาต์.....	49
4.1 วงจร 2 พอร์ต.....	50
4.2 การตอบสนองทางขนาดเชิงความถี่ของวงจรถ่ายความถี่สูงผ่านในทางอุดมคติ.....	52
4.3 การตอบสนองทางขนาดเชิงความถี่ของวงจรถ่ายความถี่ต่ำผ่านในทางอุดมคติ.....	52
4.4 การตอบสนองทางขนาดเชิงความถี่ของวงจรถ่ายแถบความถี่ผ่านในทางอุดมคติ.....	53
4.5 การตอบสนองทางขนาดเชิงความถี่ของวงจรถ่ายกำจัดแถบความถี่ในทางอุดมคติ.....	53
4.6 การตอบสนองทางขนาดเชิงความถี่ของวงจรถ่ายทุกความถี่ผ่านในทางอุดมคติ.....	53
4.7 ค่าโพลและซีโรบน s-plane ของวงจรถ่ายความถี่สูงผ่านอันดับหนึ่ง.....	54
4.8 การตอบสนองทางขนาดเชิงความถี่ของวงจรถ่ายความถี่สูงผ่านอันดับหนึ่ง.....	54
4.9 ค่าโพลและซีโรบน s-plane ของวงจรถ่ายความถี่ต่ำผ่านอันดับหนึ่ง.....	55
4.10 การตอบสนองทางขนาดเชิงความถี่ของวงจรถ่ายความถี่ต่ำผ่านอันดับหนึ่ง.....	55
4.11 ค่าโพลและซีโรบน s-plane ของวงจรถ่ายทุกความถี่ผ่านอันดับหนึ่ง.....	55
4.12 การตอบสนองทางขนาดเชิงความถี่ของวงจรถ่ายทุกความถี่ผ่านอันดับหนึ่ง.....	56
4.13 ค่าโพลและซีโรบน s-plane ของวงจรถ่ายความถี่อันดับสูงอันดับสอง.....	57
4.14 ค่าโพลและซีโรบน s-plane ของวงจรถ่ายความถี่ต่ำผ่านอันดับสอง.....	57
4.15 ค่าโพลและซีโรบน s-plane ของวงจรถ่ายแถบความถี่ผ่านอันดับสอง.....	58
4.16 ค่าโพลและซีโรบน s-plane ของวงจรถ่ายกำจัดแถบความถี่อันดับสอง.....	58
4.17 ค่าโพลและซีโรบน s-plane ของวงจรถ่ายทุกความถี่ผ่านอันดับสอง.....	59
4.18 วงจรเลียนแบบค่าความต้านทานแบบลบ.....	59
4.19 ความสัมพันธ์ระหว่างกระแสและแรงดันที่ทำให้ได้ ค่า $Re_q = -9.25 \text{ k}\Omega$	60
4.20 วงจรเลียนแบบความต้านทานค่าบวก.....	60
4.21 ความสัมพันธ์ระหว่างกระแสและแรงดันที่ทำให้ได้ ค่า $Re_q = 9.4 \text{ k}\Omega$	61
4.22 วงจรถ่ายความถี่สูงผ่านและกรองความถี่ต่ำผ่านอันดับหนึ่ง.....	61
4.23 วงจรถ่ายความถี่ผ่านหลายหน้าที่อันดับหนึ่ง (แบบที่ 1).....	62
4.24 การทำงานของวงจรถ่ายความถี่ผ่านหลายหน้าที่อันดับที่หนึ่งในรูปที่ 4.23.....	63

สารบัญญรูป(ต่อ)

รูปที่	หน้า
4.25 ค่าความต้านทานที่สังเคราะห์ได้ เมื่อ ให้โหลด $R = 1\text{ k}\Omega$ และ $10\text{ k}\Omega$	64
4.26 ผลตอบสนองค่ากระแสสัญญาณระหว่าง I_m และ I_{LPF} กับค่าเวลา	64
4.27 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่ง (แบบที่ 2)	65
4.28 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่งรูปที่ 4.26	66
4.29 เฟสของวงจรกรองทุกความถี่ผ่านอันดับที่หนึ่งรูปที่ 4.26	67
4.30 ผลตอบสนองค่ากระแสสัญญาณระหว่าง I_m และ I_{LPF} กับค่าเวลา	67
4.31 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่สอง ที่สร้างขึ้นจากวงจรอินทิเกรเตอร์สองชุด	68
4.32 การเขียนแบบสร้างอุปกรณ์พาสซีฟที่ต่อลงกราวนด์ โดยใช้วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต	69
4.33 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่สอง	69
4.34 การทำงานของวงจรกรองความถี่หลายหน้าที่อันดับสองรูปที่ 4.31	71
4.35 ผลตอบสนองค่ากระแสสัญญาณระหว่าง I_m และ I_{LPF} กับค่าเวลา	71
4.36 เลขเอาต์ของวงจรในรูปที่ 4.23	72
4.37 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่งรูปที่ 4.33	72
4.38 ค่าความต้านทานที่สังเคราะห์ได้ เมื่อให้โหลด $R = 1\text{ k}\Omega$ และ $10\text{ k}\Omega$	73
4.39 เลขเอาต์ของวงจรกรองความถี่ในรูปที่ 4.26	73
4.40 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่งรูปที่ 4.36	74
4.41 เฟสของวงจรกรองทุกความถี่ผ่านอันดับที่หนึ่งรูปที่ 4.36	74
4.42 เลขเอาต์ของวงจรกรองความถี่ในรูปที่ 4.36	75
4.43 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่สองรูปที่ 4.39	75
ก.1 วงจรสายพานกระแสคลาสเอบี	79
ก.2 (ก) วงจรคลาสเอบีในส่วนทรานซิสเตอร์ชนิดพี (ข) วงจรสมมูล	81
ก.4 (ก) วงจรคลาสเอบี (ข) วงจรสมมูล	82
ข.1 หลักการป้อนกลับแบบลบ	90
ข.2 การป้อนกลับแบบอินพุตเป็นแรงดันและป้อนกลับแบบแรงดัน	91
ข.3 ความต้านทานเอาต์พุตของวงจรภายหลังการป้อนกลับ	92
ข.4 การป้อนกลับแบบอินพุตเป็นกระแส และป้อนกลับแบบกระแส	93
ข.5 ความต้านทานเอาต์พุตของวงจรภายหลังการป้อนกลับ	94

สารบัญรูป(ต่อ)

รูปที่	หน้า
ข.6 กราฟความสัมพันธ์ของอัตราขยายเทียบกับความถี่ ในกรณีที่วงจรมี 1 โพล	94
ข.7 การส่งผ่าน (ก) แรงดันและ(ข) กระแสที่มีอัตราขยายเท่ากับ 1	96
ข.8 การส่งผ่านแรงดันและกระแสที่มีอัตราขยายเท่ากับ 1 เมื่อมีความผิดพลาด ϵ_v และ ϵ_i เกิดขึ้น	96
ข.9 การลดค่าความผิดพลาดของระบบโดยใช้เทคนิคการป้อนกลับและเพิ่มการสร้าง อัตราขยาย (A)	97
ค.1 (ก) วงจรขยายความแตกต่าง (ข) วงจรสมมูล	98
ง.1 (ก) วงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแซนแนล (ข) วงจรสมมูล	100
ง.2 วงจรสะท้อนกระแสแบบพื้นฐานที่มีจุดออกหลายจุด	101
ง.3 วงจรสะท้อนกระแสคาสโคดโดยใช้มอสทรานซิสเตอร์	102
ง.4 วงจรสะท้อนกระแสคาสโคดที่มีจุดออกหลายจุด	103
ง.5 (ก) วงจรสะท้อนกระแสคาสโคดแบบปรับปรุงที่ใช้แรงดันต่ำ (ข) วงจรสมมูล	104
ง.6 วงจรสะท้อนกระแสคาสโคดแบบปรับปรุงที่ใช้แรงดันต่ำที่มีจุดออกหลายจุด	107
จ.1 วงจรสมมูลของมอสทรานซิสเตอร์ (ก) ชนิดเอ็น (ข) ชนิดพี	108

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันการประยุกต์ใช้งานวงจรสายพานกระแสได้รับความสนใจเป็นอย่างมาก เนื่องจากวงจรสายพานกระแสเป็นวงจรแอกทีฟบล็อก(Analog building block) ที่มีประโยชน์ในงานด้านอนาล็อก และสามารถช่วยในการเพิ่มประสิทธิภาพในการใช้งานวงจรอนาล็อกให้มากขึ้นได้ วงจรสายพานกระแสยุคที่หนึ่ง(CCI) ถูกเสนอโดย Smith และ Sedra ในปี ค.ศ. 1968 [1] อย่างไรก็ตามในการนำไปประยุกต์ใช้เนื่องจากทิศทางกระแสที่ผ่านบล็อกวงจร ทำให้การนำไปใช้งานเกิดข้อจำกัด ดังนั้นจึงได้มีการเสนอมวงจรสายพานกระแสยุคที่สอง(CCII) ขึ้นโดย Sedra และ Smith ในปี ค.ศ. 1970 [2]-[3] วงจรสายพานกระแสยุคที่สองได้รับความสนใจอย่างมากเนื่องจากการนำไปประยุกต์ใช้งานได้ง่าย ถือได้ว่าเป็นบล็อกวงจรที่สำคัญ สามารถนำไปสร้างเป็นวงจรต่างๆ เช่น วงจรขยายสัญญาณ(Amplifiers) วงจรอินทิเกรเตอร์(Integrators) และวงจรฟิลเตอร์(Filters) เป็นต้น ต่อมาได้มีการนำเสนอวงจรสายพานกระแสยุคที่สาม(CCIII) โดย Fabre [4] และ Piovaccari [5] ในปี ค.ศ. 1995 ที่สามารถพิจารณาได้ว่าเป็นแหล่งจ่ายกระแสที่ถูกควบคุมด้วยกระแส(Current controlled-current source)ที่มีอัตราขยายเป็น 1 สามารถนำไปประยุกต์ใช้งานได้ดีเช่นเดียวกัน [6]-[7]

วงจรสายพานกระแสเป็นวงจรที่มีข้อดีและสามารถนำไปใช้งานได้แพร่หลาย แต่อย่างไรก็ตามการพัฒนาการสร้างวงจรสายพานกระแสยังมุ่งเน้นการสร้างเป็นวงจรแบบเฉพาะยุคโดยยุคหนึ่งเท่านั้น ในทางพหุศาสตร์นั้นถ้าวงจรเดียวสามารถดัดแปลงเพื่อนำไปสร้างเป็นวงจรสายพานกระแสได้ทั้ง 3 ยุคจะทำให้มีประโยชน์ต่อการใช้งานและการประยุกต์ใช้งานมากขึ้น วงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สามแบบมัลติเอาต์พุตที่มีโครงสร้างวงจรเดียวกัน ช่วยเพิ่มความสามารถในการประยุกต์ใช้งานให้หลากหลายยิ่งขึ้น ทั้งยังช่วยลดจำนวนอุปกรณ์ที่นำไปประยุกต์ใช้งานได้ ในการจัดทำวิทยานิพนธ์ฉบับนี้ ได้มีการนำเสนอเทคนิคการออกแบบวงจรสายพานกระแส ด้วยวิธีการที่ทำให้วงจรมีสมรรถนะสูงขึ้น โดยอาศัยหลักการการป้อนกลับในการปรับปรุงคุณภาพ วงจรที่ได้มีโครงสร้างเรียบง่าย ตอบสนองความถี่ได้สูง และกินกำลังงานต่ำ นอกจากนี้ยังได้นำเสนอตัวอย่างการประยุกต์ใช้งานที่ทำงานในโหมดกระแส(Current-mode) ซึ่งผลที่ได้นี้ช่วยยืนยันถึงสมรรถนะและความถูกต้องของวงจรที่ทำการออกแบบขึ้นได้เป็นอย่างดี

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้มุ่งหวังเพื่อสร้างวงจรสายพานกระแสที่นำไปประยุกต์ใช้งานได้ง่าย ให้ความแม่นยำสูง ทำงานตามคุณสมบัติของวงจรสายพานกระแสอันได้แก่ การส่งผ่านแรงดัน และการส่งผ่านกระแส วงจรที่ได้นี้สามารถนำไปสังเคราะห์เพื่อใช้งานแทนอุปกรณ์ประเภทพาสซีฟ (Passive) และจากคุณสมบัติที่มีเอาต์พุตหลายทางออก ช่วยให้สามารถลดการใช้จำนวนอุปกรณ์ในการประยุกต์ใช้งานได้ นอกจากนี้ยังได้ทำการออกแบบให้วงจรมีขนาดเล็กและสามารถนำไปออกแบบสร้างเป็นวงจรรวมได้

1.3 สมมติฐานของการศึกษา

การสร้างวงจรสายพานกระแสแบบมัลติเอาต์พุตเพื่อให้ทำงานได้ทั้งเป็นวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สาม เป็นการเพิ่มความสามารถใช้งานภายในวงจรเดียวและได้วงจรที่มีขนาดเล็กกะทัดรัด โดยที่การปรับปรุงวงจรให้มีความเป็นอุดมคติมากยิ่งขึ้นจะช่วยให้เพิ่มประสิทธิภาพเช่นการลดกำลังงานสูญเสีย เพิ่มช่วงความถี่ใช้งาน ความสามารถในการจ่ายกระแส ช่วงปฏิบัติงานทางแรงดันในการนำไปประยุกต์ใช้งานได้ดีขึ้น

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สาม โดยทั่วไปนั้นจะมีโครงสร้างที่หลากหลายแตกต่างกัน เนื่องจากผู้พัฒนามุ่งเน้นที่จะพัฒนาเฉพาะวงจรสายพานกระแสยุคหนึ่งยุคใดแต่เพียงอย่างเดียว ซึ่งทำให้เกิดข้อเสีย คือสามารถนำไปใช้งานได้อย่างจำกัด ต่อมาได้มีผู้พัฒนาวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สาม โดยใช้โครงสร้างที่มีการพัฒนาเพิ่มเติมขึ้นจากวงจรสายพานกระแสยุคที่สอง [4], [8]-[9] ซึ่งการสร้างวงจรสายพานกระแสยุคที่หนึ่งและวงจรสายพานกระแสยุคที่สาม ต้องใช้วงจรสายพานกระแสยุคที่สองมากกว่า 1 บล็อกวงจร ทำให้วงจรมีขนาดใหญ่ และเปลืองพลังงาน ดังนั้นในงานวิจัยที่เกี่ยวกับการสร้างวงจรสายพานกระแสจึงมีจุดประสงค์เพื่อให้ได้บล็อกวงจรที่สามารถใช้งานได้หลากหลายโดยอาศัยคุณสมบัติแบบมัลติเอาต์พุตที่สร้างขึ้น

1.5 การเปรียบเทียบระหว่างวิธีการที่นำเสนอกับวิธีการแบบพื้นฐาน

ในงานวิจัยที่ได้มีการนำเสนอมา ได้มีการนำพื้นฐานวงจรถานสลีเนียร์ (Translinear circuit) มาสร้างเป็นวงจรสายพานกระแส [10] การใช้โครงสร้างวงจรถานสลีเนียร์ให้ผล

ของการส่งผ่านกระแสจากพอร์ต X ไปยังพอร์ต Z ได้ดีภายใต้ช่วงการทำงานที่กว้างและใช้กำลังงานต่ำ [11] อย่างไรก็ตามการส่งผ่านแรงดันจากพอร์ต Y ไปยังพอร์ต X ยังทำได้ไม่ดีนักโดยที่มีค่าของแรงดันออฟเซต(Voltage offset)ค่อนข้างสูง ดังนั้นจึงมีการเสนองานวิจัยเพื่อทำการปรับปรุงแก้ไข[12]-[13] สำหรับงานวิจัยนี้ เป็นการออกแบบปรับปรุงวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตซึ่งใช้คุณลักษณะของมัลติเอาต์พุตในการสร้างวงจรสายพานกระแสยุคที่หนึ่ง และวงจรสายพานกระแสยุคที่สาม โดยการนำเทคนิคหลักการการป้อนกลับ(Feedback) มาใช้ในวงจรและการปรับปรุงบางส่วนของวงจรเช่นภาคเอาต์พุตที่ใช้โครงสร้างที่ให้ความต้านทานเอาต์พุตสูงเป็นทางออกของกระแสที่ดี ทำให้การทำงานของวงจรสายพานกระแสเข้าใกล้ความเป็นอุดมคติมากยิ่งขึ้น

1.6 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวิธีสร้างและปรับปรุงวงจรสายพานกระแสที่มีหลายเอาต์พุต ซึ่งสามารถปรับใช้ได้เป็นทั้งวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สามในวงจรเดียว ด้วยการวิเคราะห์คุณสมบัติของวงจร แสดงให้เห็นว่าวงจรมีประสิทธิภาพที่ดีขึ้น แสดงผลการจำลองการทำงานจากการสร้างเลย์เอาต์(Layout) ของวงจร เพื่อยืนยันให้เห็นว่า สามารถสร้างเป็นวงจรรวมได้ และนำไปใช้งานได้ นอกจากนี้ยังได้แสดงถึงการประยุกต์ใช้งานวงจร โดยใช้คุณสมบัติที่มีหลายเอาต์พุต ซึ่งช่วยในการลดจำนวนอุปกรณ์ใช้งาน

1.7 ขั้นตอนของการศึกษา

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บท และภาคผนวกอีก 6 ภาค โดยในแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำเพื่อกล่าวถึงวัตถุประสงค์และหลักการใหม่ที่ได้นำเสนอไว้ภายในวิทยานิพนธ์

บทที่ 2 หลักการของวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สาม วงจรสายพานกระแสแบบมัลติเอาต์พุต รวมถึงการประยุกต์ใช้งานวงจรสายพานกระแสที่ได้เคยมีการนำเสนอ

บทที่ 3 วงจรสายพานกระแสแบบมัลติเอาต์พุตที่นำเสนอ หลักการทำงาน ผลการจำลองการทำงาน รูปเลย์เอาต์ของวงจร และผลการจำลองการทำงานจากการสร้างเลย์เอาต์

บทที่ 4 การประยุกต์ใช้งานวงจรสายพานกระแสแบบมัลติเอาต์พุตที่นำเสนอ ผลการจำลองการทำงาน และรูปเลย์เอาต์ของวงจรประยุกต์ใช้งาน

บทที่ 5 เป็นบทส่งท้ายเพื่อสรุปผลงานวิจัยที่ได้นำเสนอไว้ภายในวิทยานิพนธ์ พร้อมทั้งได้นำเสนอแนวทางในการทำวิจัยและพัฒนาต่อไป

ในส่วนท้ายของวิทยานิพนธ์จะเป็นภาคผนวกซึ่งแสดงการวิเคราะห์คุณสมบัติของวงจรและสมการที่ใช้

- ภาคผนวก ก. การวิเคราะห์คุณสมบัติของวงจรขยายคลาสเอบี(Class-AB)
- ภาคผนวก ข. ทฤษฎีการป้อนกลับแบบลบ(Negative feedback) ที่นำมาใช้ในวิทยานิพนธ์
- ภาคผนวก ค. การวิเคราะห์คุณสมบัติการส่งผ่านแรงดันของวงจรขยายความแตกต่าง(Differential amplifier)
- ภาคผนวก ง. การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน(Simple current mirror) วงจรสะท้อนกระแสคาสโคด(Cascode current mirror)และวงจรสะท้อนกระแสคาสโคดแบบปรับปรุงที่ใช้แรงดันต่ำ(Improved cascode current mirror)
- ภาคผนวก จ. วงจรสมมูลและแบบจำลองของมอสทรานซิสเตอร์และพารามิเตอร์พื้นฐานที่ใช้ในการทดลอง
- ภาคผนวก ฉ. ผลงานวิจัยที่ได้รับการตีพิมพ์

ประวัติผู้เขียน

บทที่ 2

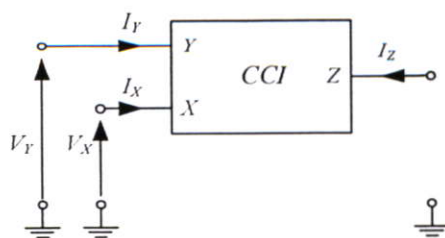
วงจรสายพานกระแส

วงจรสายพานกระแสเป็นวงจรพื้นฐานที่สามารถนำไปประยุกต์ร่วมกับอุปกรณ์อิเล็กทรอนิกส์อื่นๆ ได้ง่าย เนื่องจากคุณสมบัติที่ยืดหยุ่นของตัววงจร สามารถนำไปสร้างใช้ทดแทนอุปกรณ์ประเภทพาสซีฟได้ดี การนำเสนอวงจรสายพานกระแสเกิดขึ้นในปี ค.ศ. 1968 ในขณะที่นั้นวงจรสายพานกระแสยังไม่เป็นที่รู้จักดีเท่าที่ควรเมื่อเทียบกับวงจรออปแอมป์ซึ่งเป็นที่นิยมนำมาใช้กันมาก จนกระทั่งเมื่อมีการพัฒนาออกแบบวงจรยุคใหม่ ที่ทำงานในโหมดกระแส ด้วยเหตุผลที่ว่าวงจรที่ทำงานในโหมดกระแส สามารถใช้งานได้ดีที่ความถี่สูง และไม่ถูกจำกัดด้วยแหล่งจ่ายแรงดัน[14] นอกจากนี้แนวทางการพัฒนาวิจัยยังมุ่งเน้นไปสู่การสร้างวงจรที่ใช้แรงดันต่ำและกินกำลังไฟต่ำด้วย(Low-voltage and low-power circuits)ทำให้วงจรสายพานกระแสกลับมาได้รับความนิยมเพิ่มมากขึ้น และจากการออกแบบพัฒนาวงจรอิเล็กทรอนิกส์เพื่อรองรับเทคโนโลยีการออกแบบวงจรรวม นำไปสู่การพัฒนาอุปกรณ์แอกทีฟรูปแบบใหม่ๆ วงจรสายพานกระแสจึงได้รับการปรับปรุงและนำเสนอให้สามารถสร้างฟังก์ชันการทำงานที่ดีขึ้นเพื่อใช้ร่วมกับการออกแบบวงจรรวมรูปแบบใหม่ได้เป็นอย่างดี

วงจรสายพานกระแสจัดอยู่ในกลุ่มวงจรที่ทำงานในรูปของกระแส(Current-mode) ที่มี 3 พอร์ตและอธิบายความสัมพันธ์ระหว่างแรงดันและกระแสในพอร์ตทั้ง 3 ด้วยไฮบริดจ์พารามิเตอร์ ด้วยคุณสมบัติที่มีการสร้างกระแสและทำการส่งต่อไปที่พอร์ตเอาต์พุท ทำให้ถูกเรียกว่าวงจรสายพานกระแสซึ่งวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สาม ที่ได้มีการนำเสนอขึ้นนั้น ได้รับการพัฒนาและประยุกต์ใช้มาอย่างต่อเนื่องในการพัฒนาวงจรรวมแอกทีฟฟอนาลอก

2.1 วงจรสายพานกระแสยุคที่หนึ่ง (CCI)

วงจรสายพานกระแสยุคที่หนึ่ง หรือ CCI เสนอขึ้นโดย K.C. Smith และ A. Sedra ในปี ค.ศ. 1968 [1] เป็นอุปกรณ์ที่มี 3 พอร์ต แสดงดังรูปที่ 2.1



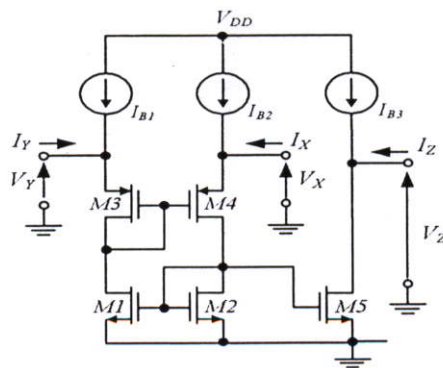
รูปที่ 2.1 บล็อกวงจรสายพานกระแสยุคที่หนึ่ง

วงจรสายพานกระแสยุคที่หนึ่งมีคุณสมบัติดังนี้คือ แรงดันอินพุตที่พอร์ต Y มีค่าเท่ากับแรงดันที่พอร์ต X กระแสที่พอร์ต X เท่ากับกระแสที่พอร์ต Y และที่พอร์ต Z เมื่อมีแรงดันอินพุตเข้าที่พอร์ต Y เท่ากับ V_Y ค่าของแรงดันจะถูกส่งไปที่พอร์ต X ทำให้แรงดันที่พอร์ต X มีค่า $V_X=V_Y=V_m$ แรงดันที่พอร์ต X จะตกคร่อมความต้านทาน R ที่ต่อที่พอร์ต X ทำให้ได้กระแส i_x ทำให้ได้ค่ากระแส $i_y=i_x$ ที่พอร์ต Y และ ค่ากระแส $i_z = i_x$ ที่พอร์ต Z โดยที่กระแสที่พอร์ต Z จะไหลในทิศทางเดียวกับ i_x กรณีที่เป็นวงจรสายพานกระแสแบบบวก และมีทิศทางตรงข้ามกับกระแส i_x ในกรณีที่ เป็นวงจรสายพานกระแสแบบลบ โดย $i_z = -i_x$ ดังสมการ(2.1) จากคุณสมบัติดังกล่าวแสดงให้เห็นว่าแรงดันที่พอร์ต X ขึ้นอยู่กับแรงดันที่พอร์ต Y ค่ากระแสที่พอร์ต Y และ Z ขึ้นอยู่กับกระแสที่พอร์ต X ความต้านทานที่พอร์ต X และพอร์ต Y มีค่าต่ำ ในขณะที่พอร์ต Z มีค่าสูง

$$\begin{bmatrix} V_x \\ i_y \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ V_y \\ V_z \end{bmatrix} \quad (2.1)$$

2.1.1 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอ

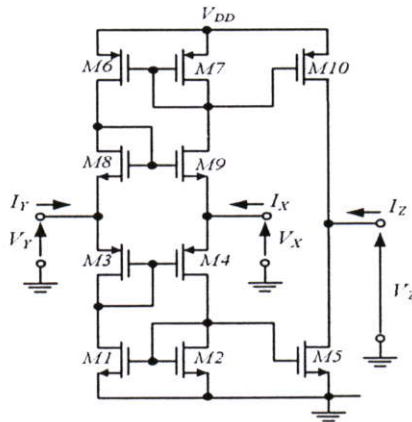
วงจรสายพานกระแสยุคที่หนึ่งแสดงดังรูปที่ 2.2 ซึ่งเป็นวงจรสายพานกระแสที่ทำงานในคลาสเอ [15] เมื่อมีแรงดันป้อนเข้าที่พอร์ต Y จะทำให้เกิดการส่งผ่านแรงดันจากพอร์ต Y ไปยังพอร์ต X ผ่านมอสทรานซิสเตอร์ M3 และ M4 โดยที่วงจรสะท้อนกระแส M1 และ M5 จะทำการสะท้อนกระแสจาก M2 ซึ่งเป็นกระแส i_x ส่งผ่านไปยังพอร์ต Y และพอร์ต Z มอสทรานซิสเตอร์ M1 และ M2 ต่อกันในรูปแบบของการป้อนกลับที่ทำให้กระแสและแรงดันที่พอร์ต X และพอร์ต Y มีค่าตามกัน ข้อเสียของวงจรมันคือกระแสที่พอร์ต X Y และ Z ถูกจำกัดด้วยกระแสไบอัส I_{B1} , I_{B2} และ I_{B3}



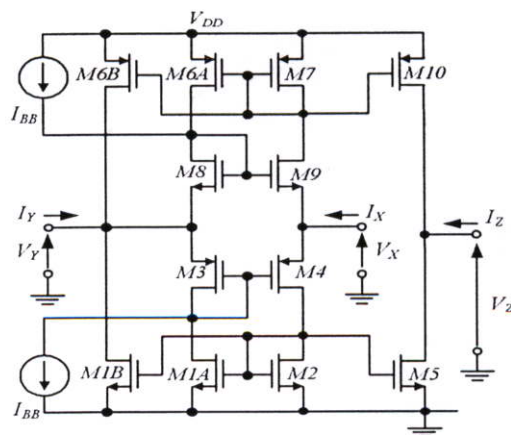
รูปที่ 2.2 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอ

2.1.2 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอบี

การเพิ่มความสามารถในการส่งผ่านกระแสของวงจรสายพานกระแสยุคที่หนึ่ง สามารถทำได้โดยใช้โครงสร้างวงจรสายพานกระแสแบบคลาสเอบี ซึ่งแสดงดังรูปที่ 2.3 [16]-[17] เมื่อมีสัญญาณอินพุตแบบบวกเข้ามาที่พอร์ต Y สัญญาณจะผ่านวงจรคลาสเอบีส่วนล่างซึ่งประกอบไปด้วยมอสทรานซิสเตอร์ M1- M5 ส่งผ่านสัญญาณไปที่พอร์ต X และพอร์ต Z ในกรณีที่สัญญาณอินพุตเป็นแบบลบ สัญญาณจะผ่านวงจรคลาสเอบีส่วนบน ซึ่งประกอบไปด้วยมอสทรานซิสเตอร์ M6-M10 แทน อย่างไรก็ตามเมื่อพิจารณาการไหลของกระแสที่พอร์ต X จะพบว่า การเปลี่ยนแปลงของกระแสสงบนิ่ง (Quiescent current) ส่งผลโดยตรงกับความไม่สมพียงกันของมอสทรานซิสเตอร์ ทำให้การส่งผ่านกระแสและแรงดันในวงจรมีความผิดพลาดสูง วงจรสะท้อนกระแส M1-M2 และ M6-M7 อาจทำให้เกิดอัตราขยายที่ต่ำกว่า 1 ซึ่งจะนำไปสู่ความผิดพลาดของการไบอัสกระแสภายในวงจร



รูปที่ 2.3 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอบี

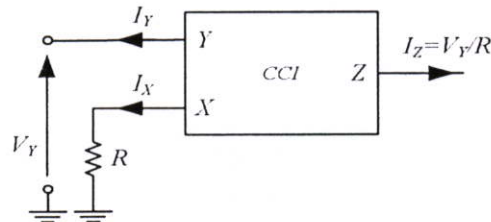


รูปที่ 2.4 วงจรสายพานกระแสยุคที่หนึ่งแบบคลาสเอบีที่ปรับปรุงเสถียรภาพการไบอัส

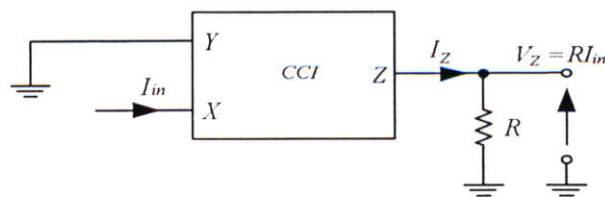
เพื่อแก้ไขปัญหาค่าความไม่มีเสถียรภาพของกระแสไบอัสที่เกิดกับวงจรคลาสิกเอบีรูปที่ 2.4 [18] แสดงโครงสร้างวงจรสายพานกระแสยุคที่หนึ่งแบบคลาสิกเอบีที่ปรับปรุงเสถียรภาพการไบอัสซึ่งทำให้ช่วยในการควบคุมกระแสไบอัสภายในวงจรได้ โดยการแยกมอสทรานซิสเตอร์ M1 และ M6 ในรูปที่ 2.3 ออกเป็น 2 ชุดด้วยขนาดที่ต่างกัน มอสทรานซิสเตอร์ที่ขนาดใหญ่กว่าคือ M1A และ M6A จะมีค่าขนาดความกว้างของมอสทรานซิสเตอร์เท่ากับ λ_{FB} ในขณะที่มอสทรานซิสเตอร์ที่ขนาดเล็กกว่าคือ M1B และ M6B ซึ่งมีค่าขนาดความกว้างของมอสทรานซิสเตอร์เท่ากับ $1-\lambda_{FB}$ ค่าความกว้างของทรานซิสเตอร์รวมยังคงมีค่าเท่าเดิม วิธีการสร้างเสถียรภาพของกระแสส่งบ่งในวงจรทำได้โดยการป้อนกลับกระแสด้วยอัตราส่วน $1-\lambda_{FB}$ จากกระแสที่พอร์ต X ไปยัง พอร์ต Y ผ่านทรานซิสเตอร์ M1B และ M6B โดยมีแหล่งจ่ายกระแสคงที่ I_{BB} ทำหน้าที่จ่ายกระแสให้กับวงจรเพื่อรักษาระดับแรงดันของมอสทรานซิสเตอร์ M3 และ M8 ให้คงที่

2.1.3 การประยุกต์ใช้งานวงจรสายพานกระแสยุคที่หนึ่ง

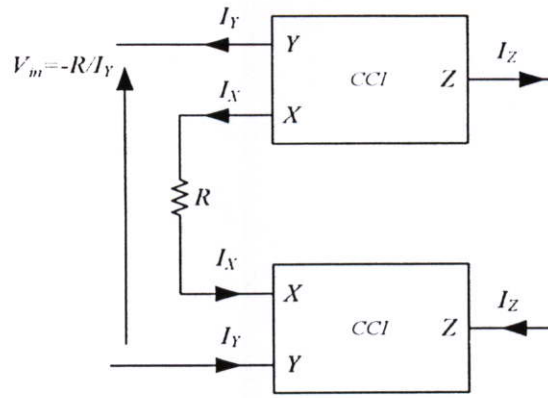
การประยุกต์ใช้งานวงจรสายพานกระแสยุคที่หนึ่งอาศัยคุณสมบัติตามสมการ (2.1) การส่งผ่านแรงดันและกระแสระหว่างพอร์ต Y และพอร์ต X ทำให้ได้แหล่งจ่ายกระแสที่ควบคุมด้วยกระแส (Current-controlled current source) ซึ่งมีประโยชน์ในระบบวัดคุมและการสื่อสาร นอกจากนี้ยังนำไปใช้เป็นวงจรแปลงแรงดันเป็นกระแส วงจรแปลงค่าความต้านทานเชิงลบ ดังตัวอย่างในรูปที่ 2.5-2.7 ซึ่งแสดงการนำบล็อกวงจรสายพานกระแสยุคที่หนึ่งไปประยุกต์ใช้งานทางด้านอนาล็อก



รูปที่ 2.5 วงจรเปลี่ยนแรงดันเป็นกระแส



รูปที่ 2.6 วงจรเปลี่ยนกระแสเป็นแรงดัน

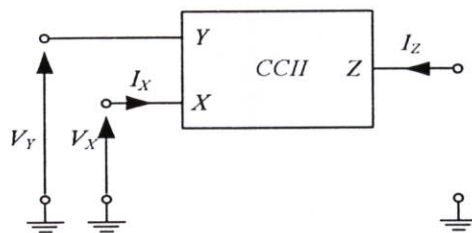


รูปที่ 2.7 วงจรแปลงค่าความต้านทานเชิงลบ

การออกแบบประยุกต์ใช้งานวงจรสายพานกระแสยุคที่หนึ่ง ในบางครั้งก็อาจทำให้เกิดปัญหาในการออกแบบใช้งาน อันเนื่องมาจากการที่ต้องมีกระแสไหลที่ทุกพอร์ตของบล็อกวงจร ทำให้ความคล่องตัวในการออกแบบใช้งานของวงจรสายพานกระแสยุคที่หนึ่งลดลง ดังนั้นในบางกรณีจะพบว่าวงจรสายพานกระแสยุคที่สอง ซึ่งจะได้กล่าวในหัวข้อต่อไป ช่วยแก้ปัญหาที่เกิดขึ้นได้และทำให้สามารถนำไปประยุกต์ใช้งานได้สะดวกและคล่องตัวมากกว่า

2.2 วงจรสายพานกระแสยุคที่สอง (CCII)

วงจรสายพานกระแสยุคที่สองถูกเสนอขึ้น โดย A. Sedra และ K.C. Smith ในปี ค.ศ. 1970 [2]-[3] เป็นวงจรพื้นฐานที่มีประโยชน์มากในการออกแบบสร้างวงจรรองความถี่สัญญาณอนาล็อกและการประยุกต์ใช้งานด้านการประมวลผลสัญญาณ[19]รูปที่ 2.8 แสดงบล็อกไดอะแกรมของวงจรสายพานกระแสยุคที่สองที่อธิบายคุณสมบัติด้วยสมการ (2.2)



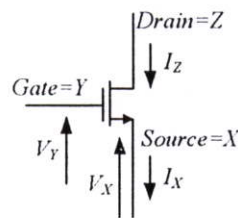
รูปที่ 2.8 บล็อกวงจรสายพานกระแสยุคที่ 2

$$\begin{bmatrix} V_x \\ i_y \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ V_y \\ V_z \end{bmatrix} \quad (2.2)$$

จากสมการ (2.2) สามารถพิจารณาว่าวงจรสายพานกระแสยุคที่สองประกอบไปด้วยวงจรตามแรงดันระหว่างพอร์ต Y และ พอร์ต X และวงจรตามกระแสจากพอร์ต X ไปยังพอร์ต Z วงจรสายพานกระแสยุคที่สองได้รับการพัฒนาโดยการปรับปรุงพอร์ต Y และ Z ให้มีความต้านทานสูง ในขณะที่ความต้านทานที่พอร์ต X มีค่าต่ำ

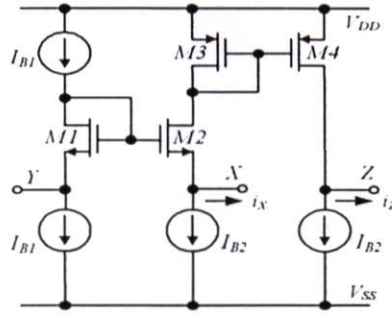
ในทางปฏิบัติพฤติกรรมของวงจรสายพานกระแสจะไม่เป็นตามอุดมคติ พารามิเตอร์ที่สำคัญได้แก่ความต้านทานที่พอร์ต X อัตราขยายแรงดันส่งผ่าน (V_X/V_Y) อัตราขยายกระแสส่งผ่าน (i_Z/i_X) และความต้านทานที่พอร์ต Z จะมีค่าที่ไม่เป็นตามสมการ (2.2) จึงได้มีการนำเสนองานวิจัยเพื่อปรับปรุงคุณสมบัติของวงจรสายพานกระแสยุคที่สองให้เข้าใกล้ความเป็นอุดมคติมากขึ้น

2.2.1 วงจรสายพานกระแสยุคที่สองอย่างง่าย



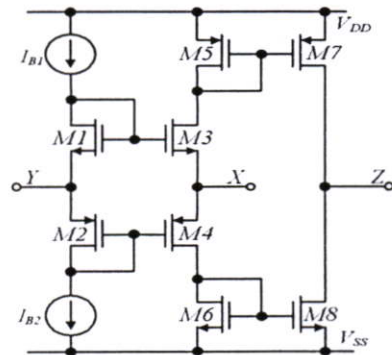
รูปที่ 2.9 ทรานซิสเตอร์แบบเอ็นมอส

ทรานซิสเตอร์แบบเอ็นมอสในรูปที่ 2.9 สามารถมองในรูปแบบของวงจรสายพานกระแสยุคที่สองได้โดยพิจารณาการวิเคราะห์สัญญาณขนาดเล็ก[14] อย่างไรก็ตามเนื่องจากการไบอัสทำให้แรงดันที่พอร์ต Z และ Y มีความแตกต่างกันมีค่าเท่ากับ V_T เมื่อ V_T เป็นค่าแรงดันขีดเริ่ม (Threshold voltage) ความแตกต่างนี้สามารถกำจัดออกได้ด้วยวงจรสะท้อนกระแสแบบเอ็นมอส ซึ่งเรียกว่าเป็นวงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างวงจรสะท้อนกระแส จากวงจรในรูปที่ 2.10 มอสทรานซิสเตอร์ M1 และ M2 ต่อกันอยู่ในรูปของวงจรสะท้อนกระแสแบบเอ็นมอสทำหน้าที่เป็นวงจรสร้างแรงดันตามและส่งผ่านกระแสจากพอร์ต X ไปยังพอร์ต Z ผ่านวงจรสะท้อนกระแสแบบพีมอสคือมอสทรานซิสเตอร์ M3 และ M4 ที่ทำให้ได้เอาต์พุตของวงจรสายพานกระแสยุคที่สองแบบบวก ในกรณีที่ต้องการวงจรสายพานกระแสแบบลบสามารถทำได้โดยการเพิ่มวงจรสะท้อนกระแสแบบลบหรือแบบเอ็นมอสทรานซิสเตอร์กับแหล่งจ่ายกระแสที่เข้าในวงจร เพื่อทำการส่งผ่าน i_X ไปยังเอาต์พุตที่จะทำให้ได้ i_Z ในทิศทางตรงกันข้าม



รูปที่ 2.10 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างวงจรสะท้อนกระแส

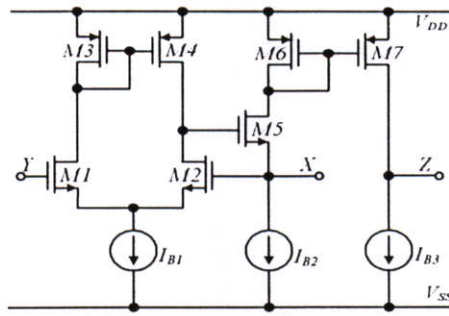
จากโครงสร้างวงจรในรูปที่ 2.10 สามารถปรับปรุงสร้างเป็นวงจรในรูปที่ 2.11 ได้โดยใช้โครงสร้างวงจรคลาสเอบีซึ่งกำหนดให้ I_{B1} และ I_{B2} มีค่าเท่ากัน วงจรนี้ให้ช่วงปฏิบัติงานทางความถี่ที่กว้าง ค่ากระแสไบอัสต่ำ แต่มีข้อเสียคือช่วงปฏิบัติงานทางแรงดันต่ำเนื่องจากโครงสร้างแบบแสตค(Stack) ที่ทำให้ไม่สามารถทำงานที่แรงดันต่ำได้ นอกจากนี้การส่งผ่านแรงดันจากพอร์ต Y ไปยัง พอร์ต X ยังทำได้ไม่ดีนัก



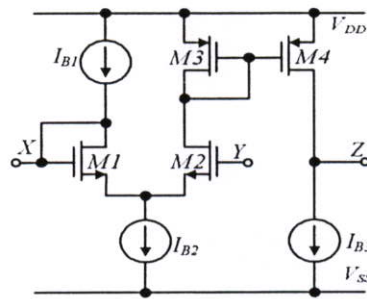
รูปที่ 2.11 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างแบบคลาสเอบี

2.2.2 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่าง

วงจรสายพานกระแสจำนวนมากมักจะเลือกใช้โครงสร้างของวงจรขยายความแตกต่างทำหน้าที่เป็นวงจรบัฟเฟอร์แรงดันในภาคอินพุท ในรูปที่ 2.12 แสดงวงจรสายพานกระแสยุคที่สองรูปแบบแรกที่ใช้โครงสร้างของวงจรขยายความแตกต่าง เนื่องจากพอร์ตที่รับแรงดันจะต่ออยู่กับขาเกตของมอสเฟตทำให้ความต้านทานที่พอร์ต Y มีค่าสูงมาก[20] และเพื่อให้ได้ความต้านทานที่พอร์ต X มีค่าต่ำ มอสทรานซิสเตอร์ M5 ต่อในรูปแบบที่มีการป้อนกลับ วงจรสะท้อนกระแส M6-M7 ใช้ในการส่งกระแสจากพอร์ต X ไปยังพอร์ต Z โดยที่ความต้านทานที่พอร์ต Z มีค่าสูง



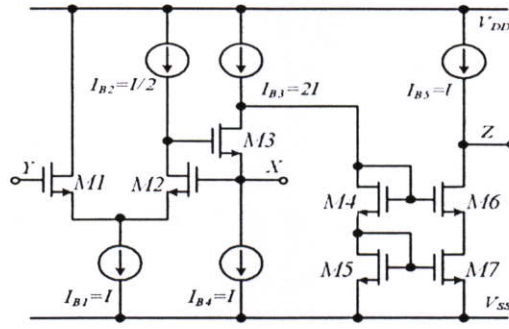
รูปที่ 2.12 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่าง



รูปที่ 2.13 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่างที่ได้รับการปรับปรุง

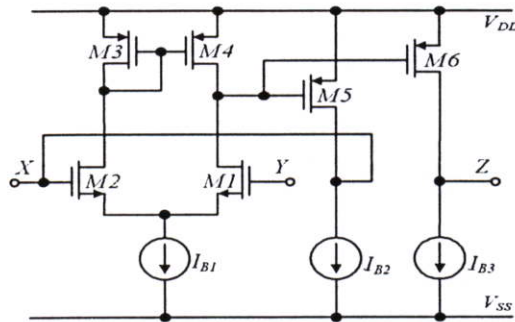
รูปที่ 2.13 แสดงวงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่างที่ได้รับการปรับปรุง [21] รูปแบบการป้อนกลับที่พอร์ต X ทำให้ความต้านทานที่พอร์ต X มีค่าต่ำ การส่งผ่านแรงดันจากพอร์ต Y ไปยัง พอร์ต X กระทำโดยมอสทรานซิสเตอร์ M1 และ M2 ที่ต่อกันอยู่ในรูปคู่ความแตกต่าง ค่าความต้านทานที่พอร์ต Y ถูกกำหนดโดยชั้นเกตออกไซด์ที่สร้างทรานซิสเตอร์ซึ่งมีค่าสูง ค่าความต้านทานที่พอร์ต X ที่มีค่าต่ำนั้นเป็นผลเนื่องมาจากส่วนกลับของค่าความนำในมอสเฟตที่มีค่าเป็น $1/g_m$ ซึ่งอย่างไรก็ตามยังคงมีค่าสูงกว่าโครงสร้างวงจรในรูปที่ 2.12 ในทางปฏิบัติจะพบว่าค่าความต้านทานที่ต่ำนั้นจะต้องมาจากผลของค่าความนำ g_m ที่มีค่าสูงซึ่งทำให้เกิดผลที่ตามมาคือ วงจรต้องใช้กำลังไฟที่สูงขึ้น

เมื่อต้องการปรับปรุงการทำงานของวงจรสายพานกระแสให้ทำงานได้ที่ความถี่สูง ด้วยเหตุผลที่ว่าค่าความถี่สูงสุดหรือ f_T ของเอ็นมอสมีค่าสูงกว่าพีมอสถึง 2 เท่าและเพื่อหลีกเลี่ยงการเลือกใช้พีมอสทรานซิสเตอร์ซึ่งเป็นข้อจำกัดการทำงานของวงจร จึงได้มีการพัฒนาวงจรสายพานกระแสยุคที่สองที่ให้สัญญาณผ่านเฉพาะตัวอุปกรณ์เอ็นมอสเพียงอย่างเดียว[22] แสดงดังรูปที่



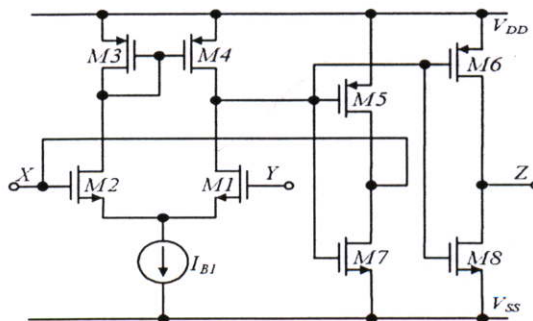
รูปที่ 2.14 วงจรสายพานกระแสที่ใช้เอ็นมอสทรานซิสเตอร์

โครงสร้างวงจรในรูปที่ 2.12 ใช้การป้อนกลับด้วยมอสทรานซิสเตอร์ M5 ที่ต่ออยู่กับพอร์ต X กระแสที่เหลือจากพอร์ต X จะส่งผ่านวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M6 และ M7 ไปยังพอร์ต Z ด้วยหลักการดังกล่าวนี้สามารถนำมาใช้ปรับสร้างโครงสร้างที่ให้ผลในลักษณะเดียวกัน โดยใช้แรงดันที่ต่ำลงแสดงดังรูปที่ 2.15 [23]



รูปที่ 2.15 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่างอย่างง่าย

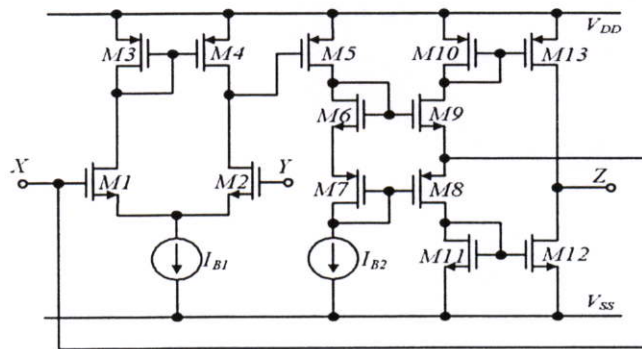
แบบคลาสเอ



รูปที่ 2.16 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่างอย่างง่าย

แบบคลาสบี

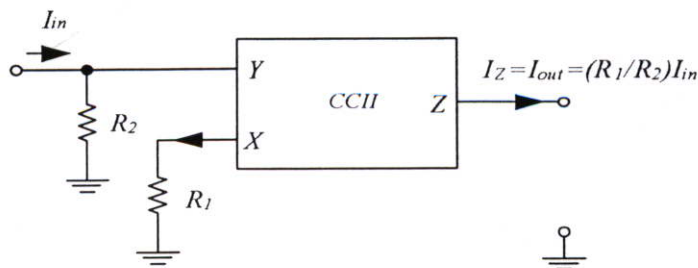
จากวงจรในรูปที่ 2.15 พบว่าอัตราขยายกระแสขึ้นกับโหนดที่ต่อที่พอร์ต์ X และพอร์ต์ Z ซึ่งถูกกำหนดให้ต้องมีค่าต่ำกว่าความต้านทานเอาท์พุทของมอสทรานซิสเตอร์ ในขณะที่โครงสร้างในรูปที่ 2.12 ค่าความต้านทานที่ต่อที่พอร์ต์ Z เท่านั้นที่มีผลต่ออัตราขยายกระแสของวงจร ดังนั้นจึงได้มีการปรับปรุงโครงสร้างให้มีรูปแบบของคลาสเอบี โดยแทนการจ่ายกระแสไบอัส I_{B2} และ I_{B3} ด้วยทรานซิสเตอร์ M7 และ M8 ชนิดเอ็นมอสแสดงดังรูปที่ 2.16 [23] วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่างแบบคลาสเอบีนี้ให้รูปแบบที่กระแส i_x และ i_z สามารถไหลได้ทั้งเข้าและออกจากวงจรอย่างอิสระ และนอกจากนี้ยังให้ค่าช่วงปฏิบัติงานทางแรงดันที่ดีขึ้น วงจรดังรูปที่ 2.17 [24] แสดงรูปแบบวงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่างร่วมกับวงจรทรานส์ลิเนียร์ในการสร้างรูปแบบการป้อนกลับแรงดันเพื่อให้ได้ค่าความต้านทานที่พอร์ต์ X มีค่าต่ำ



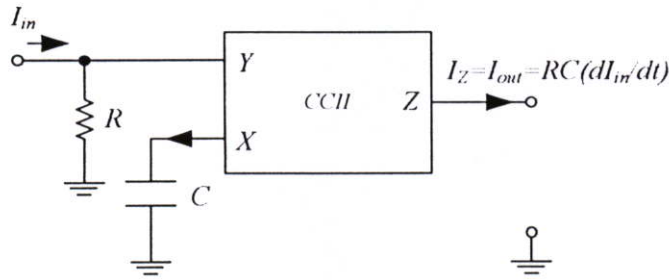
รูปที่ 2.17 วงจรสายพานกระแสยุคที่สองที่ใช้โครงสร้างของวงจรขยายความแตกต่างอย่างง่ายแบบคลาสเอบีที่มีการปรับปรุงภาคเอาท์พุท

2.2.3 การประยุกต์ใช้งานวงจรสายพานกระแสยุคที่สอง

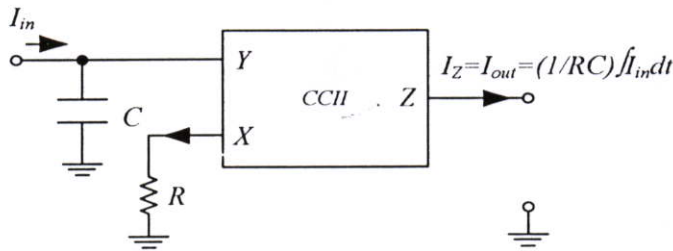
การประยุกต์ใช้งานวงจรสายพานกระแสยุคที่สองอาศัยคุณสมบัติตามสมการ (2.2) ในงานทางด้านอนาล็อก การสังเคราะห์แอกทีฟเนตเวิร์ค สามารถนำวงจรสายพานกระแสยุคที่สองไปประยุกต์สร้างเป็นวงจรพื้นฐานในการคำนวณทางคณิตศาสตร์ได้ แสดงดังรูปที่ 2.18-2.20



รูปที่ 2.18 วงจรขยายกระแส (CCII-based current amplifier)



รูปที่ 2.19 วงจรดิฟเฟอเรนชิเอเตอร์ (CCII-based current differentiator)

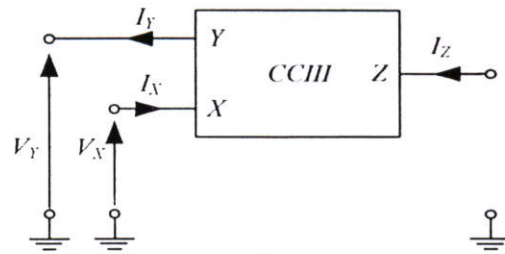


รูปที่ 2.20 วงจรอินทิเกรเตอร์ (CCII-based current integrator)

การนำเสนอวงจรสายพานกระแสยุคที่หนึ่งและวงจรสายพานกระแสยุคที่สองทำให้เป็นวงจรพื้นฐานที่นิยมในการออกแบบประยุกต์ใช้งานวงจรนาฬิกา จึงได้มีผู้นำเสนอวงจรสายพานกระแสยุคที่สาม ที่ช่วยทำให้ฟังก์ชันการทำงานของวงจรสายพานกระแสมีความสมบูรณ์มากยิ่งขึ้น โดยกระแสที่พอร์ต X และกระแสที่พอร์ต Y มีทิศทางตรงข้ามกัน ทำให้พิจารณาได้ว่ากระแสสามารถไหลผ่านบล็อกวงจรในลักษณะลวดตัวระหว่างพอร์ต X และพอร์ต Y ได้ โดยที่ค่าความต้านทานที่กระแสไหลผ่านมีค่าต่ำและพอร์ตเอาต์พุทของกระแสมีค่าความต้านทานสูง

2.3 วงจรสายพานกระแสยุคที่สาม (CCIII)

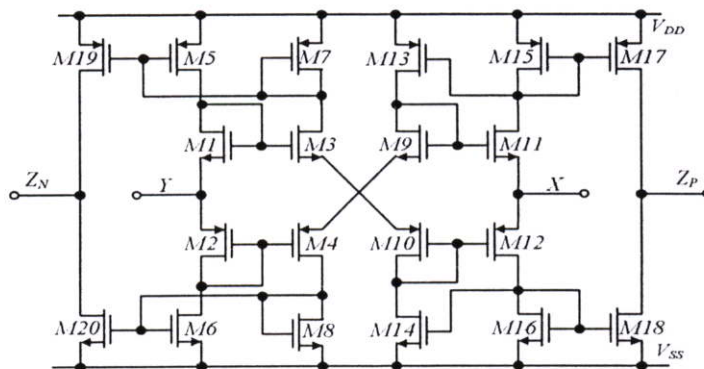
วงจรสายพานกระแสยุคที่สามถูกเสนอขึ้น ในปี ค.ศ. 1995 [4]-[5] รูปที่ 2.21 แสดงบล็อกไดอะแกรมของวงจรสายพานกระแสยุคที่สามโดยอธิบายคุณสมบัติด้วยสมการ(2.3) วงจรสายพานกระแสยุคที่สามถูกพิจารณาให้เป็นวงจรแหล่งจ่ายกระแสที่ควบคุมด้วยกระแสที่มีอัตราขยายเท่ากับ 1 ตัวอย่างการประยุกต์ใช้งานวงจรสายพานกระแสยุคที่สามเช่น การสร้างวงจรรภาคินพุทของเครื่องมือวัดค่ากระแส การสร้างวงจรเลียนแบบลวดหนึ่ยวนำสำหรับวงจรกรองความถี่ [25]-[26]



รูปที่ 2.21 บล็อกวงจรสายพานกระแสยุคที่สาม

$$\begin{bmatrix} V_x \\ i_y \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ -1 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_x \\ V_y \\ V_z \end{bmatrix} \quad (2.3)$$

ตัวอย่าง โครงสร้างของวงจรสายพานกระแสยุคที่สามแสดงดังรูปที่ 2.22 ซึ่งมีโครงสร้างพื้นฐานเป็นวงจรสะท้อนกระแส กระแสจากพอร์ต์ X และพอร์ต์ Y ทำการส่งกระแสไปยังเอาต์พุตของวงจรสายพานกระแสชนิดบวก และชนิดลบ ด้วยวงจรสะท้อนกระแส



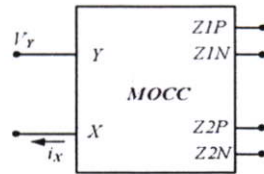
รูปที่ 2.22 วงจรสายพานกระแสยุคที่สาม[5]

2.4 วงจรสายพานกระแสแบบมัลติเอาต์พุต

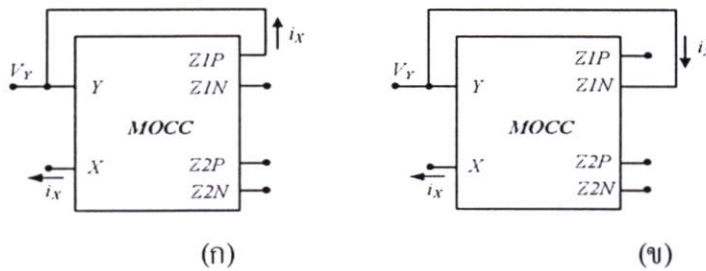
วงจรสายพานกระแสแบบมัลติเอาต์พุตเป็นวงจรสายพานกระแสที่มีการสร้างให้มีเอาต์พุตทั้งชนิดบวกและลบแบบหลายทางออก ซึ่งได้มีการพัฒนาและนำเสนอด้วยจุดมุ่งหมายเพื่อให้สามารถใช้งานได้หลากหลายโดยใช้วงจรเดียว[27]-[29] แต่อย่างไรก็ตามวงจรรังยังมีขนาดใหญ่และให้คุณสมบัติที่ไม่ดีนัก ในงานวิจัยนี้ได้พิจารณาถึงวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตซึ่งสามารถนำมาปรับสร้างเป็นวงจรสายพานกระแสยุคที่หนึ่ง และวงจรสายพานกระแสยุคที่สามได้ โดยที่วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต มีคุณสมบัติกล่าวคือความต้านทานที่พอร์ต์ Y มีค่าสูงเพื่อใช้เป็นพอร์ต์ในการรับแรงดัน โดยที่กระแสที่จะ

เกิดขึ้นที่พอร์ต Y มีค่าใกล้เคียงศูนย์ ความต้านทานที่พอร์ต X มีค่าต่ำเพื่อใช้เป็นพอร์ตทางเข้าของกระแส ส่วนพอร์ตทางออกของกระแสคือพอร์ต Z เลือกออกแบบให้มีความต้านทานสูง

บล็อกไดอะแกรมของวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตแสดงดังรูปที่ 2.23 เป็นวงจรสายพานกระแสที่มีการสร้างให้มีส่วนเอาต์พุต ZIP Z2P Z1N และ Z2N การดัดแปลงจากวงจรสายพานกระแสยุคที่สองเป็นวงจรสายพานกระแสยุคที่หนึ่ง ทำได้โดยการเชื่อมต่อพอร์ต ZP เข้ากับ พอร์ต Y และการสร้างเป็นวงจรสายพานกระแสยุคที่สาม ทำได้โดยเชื่อมต่อพอร์ต ZN เข้ากับ พอร์ต Y แสดงดังรูปที่ 2.24(ก) และ 2.24(ข) ตามลำดับ



รูปที่ 2.23 สัญลักษณ์แทนวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต



รูปที่ 2.24 สัญลักษณ์แทนวงจรสายพานกระแสแบบมัลติเอาต์พุต

(ก) วงจรสายพานกระแสยุคที่หนึ่ง

(ข) วงจรสายพานกระแสยุคที่สาม

$$\begin{bmatrix} V_X \\ i_Y \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ \pm 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_X \\ V_Y \\ V_Z \end{bmatrix}, \text{ MOCCI} \quad (2.4)$$

$$\begin{bmatrix} V_X \\ i_Y \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 0 \\ \pm 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_X \\ V_Y \\ V_Z \end{bmatrix}, \text{ MOCCII} \quad (2.5)$$

$$\begin{bmatrix} V_X \\ i_Y \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ -1 & 0 & 0 \\ \pm 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_X \\ V_Y \\ V_Z \end{bmatrix}, \text{ MOCCIII} \quad (2.6)$$

คุณสมบัติของวงจรสายพานกระแสทั้ง 3 ยุคคือวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สาม แสดงดังสมการที่ (2.4) (2.5) และ (2.6) ตามลำดับ โดยที่เครื่องหมายค่าบวกหรือลบ แสดงถึงความสัมพันธ์ของทิศทางกระแสของกระแส i_z กับกระแส i_x ถ้าเป็นเครื่องหมายบวกแสดงว่าทิศทางกระแสของกระแส i_z กับกระแส i_x มีทิศทางเดียวกันและเรียกว่าเป็นสายพานกระแสชนิดบวก ถ้าเป็นเครื่องหมายลบแสดงว่ากระแส i_z กับกระแส i_x มีทิศทางกระแสตรงข้ามกัน และเรียกว่าเป็นสายพานกระแสชนิดลบ

บทที่ 3

การออกแบบวงจรสายพานกระแสแบบมัลติเอาต์พุต

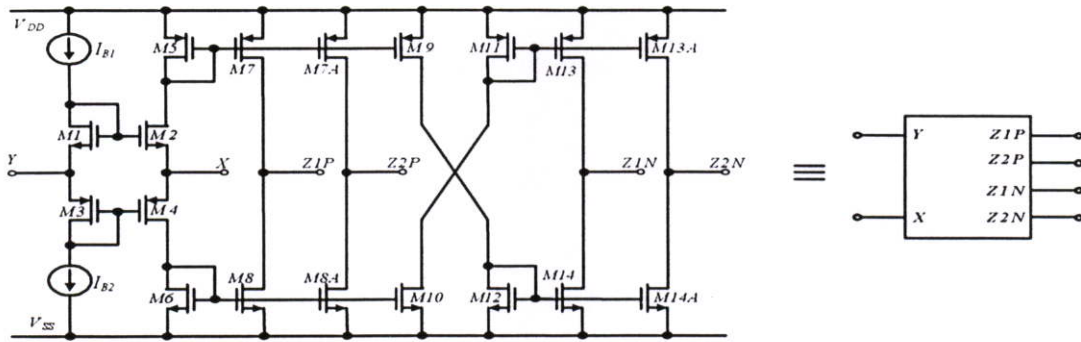
วิธีการออกแบบวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สามที่มีโครงสร้างวงจรเดียวกัน โดยที่วงจรมีรูปแบบโครงสร้างมาจากวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต และเพื่อที่จะเพิ่มเติมสมรรถนะและความสามารถให้กับวงจรดีขึ้น คือใช้กำลังงานต่ำ ค่าแรงดันออฟเซตต่ำ และความต้านทานกระแสอินพุตมีค่าน้อย จึงเลือกออกแบบวงจรที่สร้างด้วยเทคโนโลยีซีมอสที่มีส่วนประกอบวงจรภายในเป็นวงจรรขยายความแตกต่างร่วมกับวงจรคลาสเอบี และใช้หลักการป้อนกลับแรงดันในชุดวงจรที่เปลี่ยนแรงดันเป็นกระแสไปยังพอร์ต X [30]-[31] และหลักการป้อนกลับกระแสในชุดวงจรส่งผ่านกระแสร่วมกับวงจรรขยายกระแสไปยังพอร์ต X อีกครั้ง [32] หลักการป้อนกลับที่เพิ่มเติมเข้าไปในวงจรนี้ ทำให้วงจรที่ได้มีค่าพารามิเตอร์ใกล้เคียงความเป็นอุดมคติ อีกทั้งยังช่วยปรับปรุงวงจรให้มีความทำงานที่กว้าง ประหยัดกำลังงาน และเหมาะที่จะนำไปสร้างเป็นวงจรรวม

3.1 หลักการเบื้องต้น

วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต เป็นวงจรที่ให้ความสัมพันธ์ของแรงดันและกระแสที่พอร์ต X, Y, Z1P, Z2P, Z1N และ Z2N ตามความสัมพันธ์ $i_Y=0$, $V_X=V_Y$, $i_{Z1P}=i_{Z2P}=i_X$ และ $i_{Z1N}=i_{Z2N}=-i_X$ ในการออกแบบ องค์ประกอบหลักของวงจรต้องประกอบไปด้วย วงจรตามแรงดันสัญญาณ (Voltage follower) เพื่อที่จะให้ได้ $V_X=V_Y$ วงจรเปลี่ยนแรงดันให้เป็นกระแส (Voltage to current converter) เพื่อทำการเปลี่ยน V_X ที่ได้มาจาก V_Y เป็นค่า i_X ผ่านค่าความต้านทาน R ซึ่งเป็นค่าความต้านทานที่ต่อไว้ที่พอร์ต X เมื่อเกิดค่ากระแส i_X วงจรสะท้อนกระแส (Current mirror) ที่รับกระแสมาจากพอร์ต X จะทำหน้าที่สะท้อนกระแส i_X ที่เกิดขึ้น ไปเป็นกระแสที่พอร์ต Z1P, Z2P, Z1N และ Z2N โดยมีอัตราขยายเป็นหนึ่งซึ่งมีทิศทางตามกระแส i_X และ ทิศทางตรงกันข้ามกับกระแส i_X ตามลำดับ

วงจรรูปที่ 3.1 เป็นวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต ที่สร้างขึ้นจากวงจรรคลาสเอบี วงจรประกอบด้วยมอสทรานซิสเตอร์ M1-M4 ที่มีกระแส I_{B1} และ I_{B2} เป็นแหล่งจ่ายกระแสคงที่ให้กับวงจร แรงดันอินพุตจะถูกป้อนเข้าที่พอร์ต Y ซึ่งทำให้เกิดค่าแรงดันตามมีค่าเท่ากับสัญญาณอินพุตขึ้นที่พอร์ต X เมื่อมีความต้านทานต่อที่พอร์ต X จะทำให้เกิดค่ากระแส i_X โดยที่ค่ากระแส i_X ที่พอร์ต X จะถูกส่งต่อไปเป็นค่ากระแส i_{Z1P} และ i_{Z1N} ที่พอร์ต Z1P และ Z1N ด้วยวงจรรสะท้อนกระแส M5-M8 และ วงจรรสะท้อนกระแส M5-M14 ตามลำดับ วงจรมีข้อดีอยู่หลายประการคือย่านการใช้กระแส และย่านปฏิบัติงานทางความถี่กว้าง กินกำลังงานต่ำ [33] แต่อย่างไรก็ตามเพื่อที่จะทำให้วงจรมีการส่งผ่านแรงดันและกระแสได้แม่นยำมากขึ้น และมี

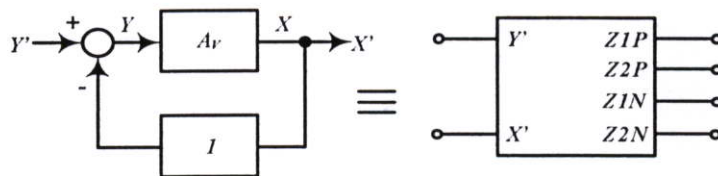
ค่าความต้านทานที่พอร์ต์ X มีค่าต่ำและค่าความต้านทานที่พอร์ต์ Z มีค่าสูงตามอุดมคติจึงได้เสนอวิธีการปรับปรุงวงจรดังนี้



รูปที่ 3.1 วงจรสายพานกระแสยุคที่สองแบบคลาสเอบีแบบมัลติเอาต์พุต

3.1.1 การปรับปรุงการส่งผ่านแรงดันและความต้านทานที่พอร์ต์ X

การปรับปรุงการส่งผ่านแรงดันจากพอร์ต์ Y ไปยังพอร์ต์ X และความต้านทานที่พอร์ต์ X ทำได้โดยการสร้างอัตราขยายทางแรงดันจากพอร์ต์ Y ไปยังพอร์ต์ X แล้วใช้การป้อนกลับ โดยมีอัตราการป้อนกลับเท่ากับ 1 มายังพอร์ต์อินพุต ผลจากการปรับปรุงวงจรในส่วนวงจรส่งผ่านแรงดัน ทำให้ความต้านทานที่พอร์ต์ Y ของวงจรสายพานกระแสในรูปที่ 3.1 มีค่าสูงขึ้นเนื่องจากพอร์ต์ Y ต่ออยู่กับขาเกตของมอสทรานซิสเตอร์ ดังนั้นจึงทำให้กระแส $i_v \approx 0$ ด้วยโครงสร้างของรูปแบบแรงดันป้อนกลับดังกล่าวนี้ทำให้แรงดันที่พอร์ต์ X มีการปรับปรุงค่าให้ใกล้เคียงกับแรงดันอินพุตที่พอร์ต์ Y มากขึ้น อีกทั้งยังทำให้ค่าความต้านทานที่พอร์ต์ X มีค่าต่ำลง เป็น r_x แสดงดังรูปที่ 3.2

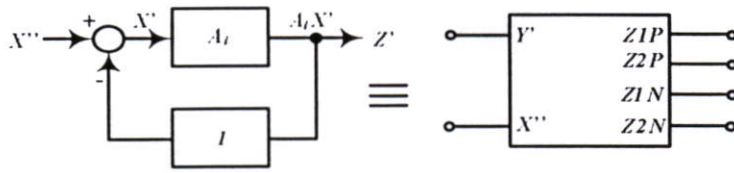


รูปที่ 3.2 การปรับปรุงการส่งผ่านแรงดันและความต้านทานที่พอร์ต์ X

3.1.2 การปรับปรุงการส่งผ่านกระแส และความต้านทานที่พอร์ต์ X

การสร้างรูปแบบการป้อนกลับด้วยกระแสแสดงดังรูปที่ 3.3 สามารถช่วยลดความต้านทานที่พอร์ต์ X ลงได้อีกครั้ง โดยการเพิ่มวงจรป้อนกลับของกระแสเอาต์พุตที่พอร์ต์ ZP กลับมาชดเชยกับกระแสอินพุตที่ป้อนเข้ามายังพอร์ต์ X ที่ได้จากรูปที่ 3.2 การป้อนกลับด้วยกระแสทำให้ได้ค่าความต้านทานเข้าที่พอร์ต์ X ที่เดิมมีค่าเป็น r_x มีค่าใหม่เป็น $r_{x'}$ นอกจากนี้ผล

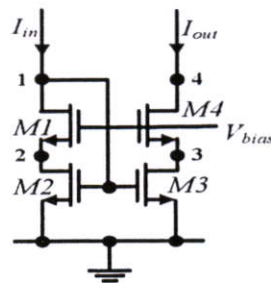
ของการป้อนกลับดังกล่าวยังช่วยลดค่าความผิดพลาดในการสะท้อนกระแส ทำให้การส่งผ่านกระแสจากอินพุทพอร์ต X ไปยังเอาต์พุทพอร์ต ZP และ ZN มีความถูกต้องมากยิ่งขึ้น



รูปที่ 3.3 การปรับปรุงการส่งผ่านกระแสและความต้านทานที่พอร์ต X

3.1.3 การปรับปรุงค่าความต้านทานที่พอร์ต Z โดยการใช้วงจรสะท้อนกระแสคาสโคดแบบปรับปรุง

ในส่วนของพอร์ตเอาต์พุทของวงจรซึ่งเป็นทางออกของกระแสที่พอร์ต ZP และ ZN โดยทั่วไปค่าในอุดมคติจะต้องมีค่าของความต้านทานที่สูงดังนั้นจึงได้เลือกนำเอาวงจรสะท้อนกระแสคาสโคดมาใช้ในการออกแบบเพราะจะทำให้พอร์ต Z มีความต้านทานที่สูงแต่วงจรสะท้อนกระแสคาสโคดทั่วไปต้องการแรงดันไฟให้กับวงจรค่อนข้างมากจึงไม่เหมาะที่จะใช้กับแรงดันไฟต่ำได้ ดังนั้นในการออกแบบวงจรจึงได้เลือกใช้วงจรสะท้อนกระแสคาสโคดแบบปรับปรุง ซึ่งวงจรให้ค่าความต้านทานที่เอาต์พุทสูงและทำงานได้ที่แรงดันต่ำ [ภาคผนวก ง] แสดงดังรูปที่ 3.4



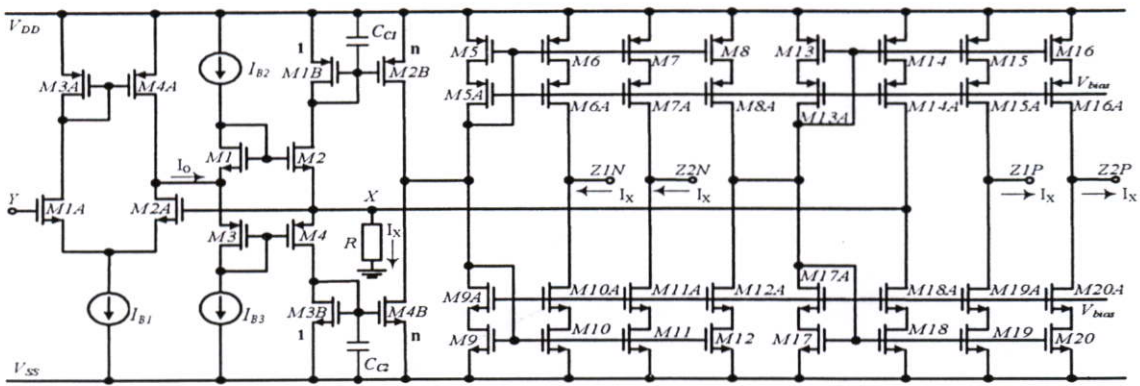
รูปที่ 3.4 การปรับปรุงค่าความต้านทานที่พอร์ต Z โดยการใช้วงจรสะท้อนกระแสคาสโคดแบบปรับปรุง

3.2 วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุทที่นำเสนอ

วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุทที่ได้รับการปรับปรุงแล้วแสดงดังรูปที่ 3.5 วงจรประกอบไปด้วยชุดวงจรที่สำคัญดังนี้ วงจรดิฟเฟอเรนเชียลทำหน้าที่เปลี่ยนแรงดันอินพุทที่พอร์ต Y ให้เป็นกระแสเอาต์พุท (i_o) มีค่าเท่ากับ $I_{D4A} - I_{D2A}$ โดยที่มีทรานซิสเตอร์ M1A และ M2A ต่อกันอยู่ในรูปคู่ความแตกต่าง (Differential pair) และมอสทรานซิสเตอร์ M3A และ

M4A เป็นวงจรสะท้อนกระแส ขณะที่มิแหล่งจ่ายกระแสคงที่ I_{B1} เป็นกระแสไบอัสให้กับวงจร จากนั้นค่ากระแสเอาต์พุต (i_o) จะถูกส่งผ่านไปยังวงจรคลาสเอบีโดยการเปลี่ยนค่ากระแสเอาต์พุตเป็นแรงดันอินพุตให้กับวงจรคลาสเอบีซึ่งประกอบไปด้วยมอสทรานซิสเตอร์ M1-M4 และแหล่งจ่ายกระแสคงที่ I_{B2} และ I_{B3} ทำให้เกิดเป็นค่าแรงดันตามขึ้นที่พอร์ต X การใ้การใช้การป้อนกลับแรงดัน โดยที่ค่าแรงดันที่พอร์ต X จะถูกป้อนกลับไปยังอินพุตขาของวงจรดิเฟอเรนเชียล คือที่ขาเกตของมอสทรานซิสเตอร์ M2Aซึ่งทำให้ได้แรงดัน $V_X=V_Y=V_{in}$ ถ้าความต้านทาน R คือความต้านทานที่ต่อที่พอร์ต X ดังนั้นจะได้ค่ากระแส $i_x = V_{in}/R$ เกิดขึ้น ซึ่งมีทิศทางไหลออกจากพอร์ต X ในขณะที่พิจารณาว่า $V_{in} > 0$

ในการส่งผ่านกระแส พิจารณากรณีแรงดันอินพุต V_{in} ที่เข้ามาที่พอร์ต Y เป็นบวก ทรานซิสเตอร์ M2 จะทำงาน โดยทำหน้าที่เป็นวงจรตามกระแสสัญญาณส่งผ่านกระแสจากขาซอสที่มาจากพอร์ต X คือ i_x มายังขาเดรนของ มอสทรานซิสเตอร์ M1B ค่ากระแสที่ขาเดรน M2B เท่ากับ $i_{D2B} = n i_{D1B} = n i_x$ เมื่อ n คือค่าอัตราขยายทางกระแสเนื่องจากวงจรสะท้อนกระแส (M1B-M2B) และ (M3B-M4B) กระแสที่ถูกขยายแล้วนี้จะป้อนกลับไปที่พอร์ต X ผ่านวงจรสะท้อนกระแส (M5-M18) การส่งผ่านกระแสจากพอร์ต X ไปยังพอร์ต ZN และ ZP กระทำโดยกระแส i_x จะถูกส่งเข้าเป็นอินพุตให้กับชุดวงจรสะท้อนกระแส (M5 – M11) ทำให้ได้กระแส $i_{ZN} = -i_x$ มีทิศทางตรงกันข้ามกับกระแส i_x โดยมีทิศไหลเข้าพอร์ต กระแสในรูปแบบเดียวกันกับ i_{ZN} นี้จะถูกส่งเป็นอินพุตให้กับวงจรสะท้อนกระแส (M13-M20) ด้วยเช่นกัน ผลจากวงจรสะท้อนกระแสทำให้ได้ค่ากระแส $i_{ZP} = i_x$ ทิศทางเดียวกับกระแส i_x



รูปที่ 3.5 วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตที่ได้รับการปรับปรุง

3.3 การวิเคราะห์คุณสมบัติ และสมรรถนะของวงจร

ในหัวข้อนี้ เป็นการวิเคราะห์คุณสมบัติของวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตที่นำเสนอในรูปที่ 3.5 โดยกำหนดค่า แรงดัน $V_{DD} = 2.5 \text{ V}$ แรงดัน $V_{SS} = -2.5 \text{ V}$ กระแสไบอัส $I_{B1} = 150 \mu\text{A}$ กระแสไบอัส $I_{B2} = I_{B3} = 15 \mu\text{A}$ และ ตัวเก็บประจุที่ใช้ในวงจร $C_{C1} = C_{C2} = 1.5 \text{ pF}$

ขณะที่ขนาดของค่า W และ L ในมอสทรานซิสเตอร์แต่ละตัวถูกกำหนดในตารางที่ 3.1 เมื่อพิจารณาถึงค่าของแรงดันอินพุทออฟเซต (Input offset voltage) หรือ V_{os} อัตราส่วนของแรงดัน V_X/V_Y ความต้านทานที่พอร์ต Y พอร์ต X และ พอร์ต Z ค่าความนำของวงจร (Transconductance) หรือ G_m อัตราส่วนของกระแสเอาต์พุทและอินพุท i_{zn}/i_x และ i_{zp}/i_x ช่วงปฏิบัติการทางแรงดัน และกระแสของวงจรสามารถทำการวิเคราะห์ได้ดังนี้

ตารางที่ 3.1 ขนาดของมอสทรานซิสเตอร์สำหรับวงจรในรูปที่ 3.5

ทรานซิสเตอร์	W (μm)	L (μm)
M1, M2, M1A, M2A	50	1
M3, M4	100	1
M2B	75	1
M4B	37.5	1
M3A, M4A, M1B, M5(A), M6(A), M7(A), M8(A), M13(A), M14(A), M15(A), M16(A)	5	1
M3B, M9(A), M10(A), M11(A), M12(A), M17(A), M18(A), M19(A), M20(A)	2.5	1

3.3.1 การวิเคราะห์ค่าของแรงดันอินพุทออฟเซต (Input offset voltage) หรือ V_{os}

จากรูปวงจรที่ 3.5 ถ้าทำให้มอสเฟต M1A และ M2A มีความสมพงษ์กันได้มากที่สุดแล้ว $V_{GS1A} = V_{GS2A}$ หรืออาจกล่าวได้ว่ามีค่าของระดับแรงดันที่พอร์ต Y มีค่าเท่ากับที่พอร์ต X เนื่องจากว่า $\Delta V = V_{GS1A} - V_{GS2A}$ มีค่าเท่ากับศูนย์ แต่ในความเป็นจริง M1A และ M2A ที่ต่อกันอยู่ในรูปคู่ความแตกต่าง จะเกิดความแตกต่างของ V_{GS1A} และ V_{GS2A} เกิดขึ้น ซึ่งทำให้เกิดค่าของ ΔV ซึ่งเป็นค่าของแรงดันอินพุทออฟเซต

พิจารณาจากส่วนอินพุทมอสทรานซิสเตอร์ M1A และ M2A ที่ต่อกันอยู่ในรูปคู่ความแตกต่าง

$$V_{in} = V_Y = V_{GS1A} - V_{GS2A} + V_X \quad (3.1)$$

กำหนดให้

$$\Delta V = V_{GS1A} - V_{GS2A} \quad (3.2)$$

จากสมการของ MOSFET ที่มีการทำงานช่วงอิ่มตัว (Saturated region) แทนค่าในสมการ (3.2) ได้ดังสมการ (3.3)

$$\Delta V = \Delta V_T + \left(\sqrt{\frac{2i_{D1A}}{K_{1A}}} - \sqrt{\frac{2i_{D2A}}{K_{2A}}} \right) \quad (3.3)$$

ถ้ากำหนดให้

$$\Delta V_T = V_{T1A} - V_{T2A} \quad (3.4)$$

ค่าความนำของมอสทรานซิสเตอร์ตัวที่ i มีค่าดังสมการ (3.5) เมื่อ $i = 1, 2, \dots$

$$K_{iA} = \frac{\mu_n C_{ox} W_i}{L_i} \quad (3.5)$$

จากสมการ (3.5) จะได้สมการ (3.6) และ (3.7)

$$K = \frac{K_{1A} + K_{2A}}{2} \quad (3.6)$$

$$\Delta K = \frac{K_{1A} - K_{2A}}{2} \quad (3.7)$$

กำหนด

$$I = i_{D1A} + i_{D2A} \quad (3.8)$$

$$\Delta I = i_{D1A} - i_{D2A} \quad (3.9)$$

จากสมการที่ (3.6) และ (3.7) ได้

$$K_{1A} = \frac{2K + 2\Delta K}{2} \quad (3.10)$$

$$K_{2A} = \frac{2K - 2\Delta K}{2} \quad (3.11)$$

และจากสมการที่ (3.8) และ (3.9) ได้

$$i_{D1A} = \frac{I + \Delta I}{2} \quad (3.12)$$

$$i_{D2A} = \frac{I - \Delta I}{2} \quad (3.13)$$

แทนสมการที่ (3.10) และ (3.11) ลงใน (3.3)

$$\begin{aligned}\Delta V &= \Delta V_T + \left(\sqrt{\frac{4i_{D1A}}{2K + 2\Delta K}} - \sqrt{\frac{4i_{D2A}}{2K - 2\Delta K}} \right) \\ &= \Delta V_T + \left(\left(\frac{2i_{D1A}}{K(1 + \Delta K / K)} \right)^{1/2} - \left(\frac{2i_{D2A}}{K(1 - \Delta K / K)} \right)^{1/2} \right)\end{aligned}\quad (3.14)$$

จากสมการ (3.14) สามารถกระจายเทอมที่อยู่ภายในเลขยกกำลัง $1/2$ ได้โดยพิจารณาจากอนุกรมเทเลอร์ (Taylor's series) คือ $(1+X)^{1/2} = 1 + X/2 - X^2/8 + X^3/16 - \dots$ โดยที่ $-1 < X \leq 1$ ทำให้ได้

$$(1 + \Delta K / K) = (2K + \Delta K) / 2K \quad (3.15)$$

$$(1 - \Delta K / K) = (2K - \Delta K) / 2K \quad (3.16)$$

แทนสมการ (3.15) และ (3.16) ลงใน (3.14)

$$\Delta V = \Delta V_T + \frac{2\sqrt{2i_{D1A}K(2K - \Delta K)} - 2\sqrt{2i_{D2A}K(2K + \Delta K)}}{4K^2 - (\Delta K)^2} \quad (3.17)$$

เมื่อ ΔK มีค่าน้อยมากจึงประมาณ $(\Delta K)^2$ เท่ากับศูนย์ จากสมการที่ (3.17) จะได้

$$\Delta V = \Delta V_T + \frac{2K(\sqrt{i_{D1A}} - \sqrt{i_{D2A}})}{K^2\sqrt{2K}} - \frac{\Delta K(\sqrt{i_{D1A}} + \sqrt{i_{D2A}})}{K^2\sqrt{2K}} \quad (3.18)$$

แทนค่าสมการที่ (3.12) และ (3.13) ลงใน (3.18)

$$\Delta V = \Delta V_T + \frac{2K\left(\sqrt{\frac{I + \Delta I}{2}} - \sqrt{\frac{I - \Delta I}{2}}\right)}{K^2\sqrt{2K}} - \frac{\Delta K\left(\sqrt{\frac{I + \Delta I}{2}} + \sqrt{\frac{I - \Delta I}{2}}\right)}{K^2\sqrt{2K}} \quad (3.19)$$

จากสมการที่ (19) สามารถกระจายเทอมที่อยู่ภายในรากที่สองได้

$$\left(\frac{I + \Delta I}{2}\right)^{1/2} - \left(\frac{I - \Delta I}{2}\right)^{1/2} = \frac{\Delta I}{\sqrt{2I}} \quad (3.20)$$

$$\left(\frac{I + \Delta I}{2}\right)^{1/2} + \left(\frac{I - \Delta I}{2}\right)^{1/2} = \left(\frac{I}{2}\right)^{1/2} \left(2 - \frac{\Delta I^2}{4I^2}\right) \quad (3.21)$$

โหนด 1

$$g_{d1A}(V_2 - V_1) - g_{m1A}(V_Y - V_2) - (sC_{pA} + g_{m3A})V_1 = 0 \quad (3.24)$$

โหนด 2

$$sC_{1A}(V_Y - V_2) - sC_{2A}V_2 + g_{m1A}(V_Y - V_2) - g_{m2A}V_2 - g_{d1A}(V_2 - V_1) - g_{d2A}(V_2 - V_3) = 0 \quad (3.25)$$

โหนด 3

$$g_{m2A}V_2 + g_{d2A}(V_2 - V_3) - g_{m4A}V_1 - g_{d4A}V_3 = 0 \quad (3.26)$$

จากสมการที่ (3.24) ถึง (3.26) จะได้ [ภาคผนวก ค]

$$\frac{V_3}{V_Y} = \frac{g_{m2A}g_{m4A}}{(g_{d2A} + g_{d4A})(g_{m4A} + s(C_{3A} + C_{4A}))} \quad (3.27)$$

โหนด 4

$$(g_{m1} + g_{R2} + sC_1 + sC_2)V_4 = (g_{m1} + sC_1)V_3 + sC_2V_X \quad (3.28)$$

โหนด 5

$$g_{m2}(V_4 - V_X) + (g_{m1B} + g_{d2} + sC_{pB})V_5 = g_{d2}V_X \quad (3.29)$$

โหนด X

$$g_{m2}V_4 + sC_2V_4 + g_{d2}V_5 = (sC_2 + g_{m2} + g_R)V_X \quad (3.30)$$

จากสมการที่ (3.28) ถึง (3.30) จะได้ [ภาคผนวก ก]

$$\frac{V_X}{V_3} = \frac{\left(s + \frac{g_{m1}}{C_1}\right)\left(s + \frac{g_{m2}}{C_2}\right)}{s^2 + s\left(\frac{(g_{m1} + g_{R2})}{C_1} + \frac{(g_{m2} + g_R)(C_1 + C_2)}{C_1C_2}\right) + \left(\frac{(g_{m1} + g_{R2})(g_R + g_{m2})}{C_1C_2}\right)} \quad (3.31)$$

จากสมการที่ (3.27) และ (3.31) ทำให้ได้อัตราขยายทางแรงดันของวงจรถนัวยังไม่มีการป้อนกลับ ดังสมการที่ (3.32)

$$A_{VOP} = \frac{V_X}{V_Y} \Big|_{open} = \left(\frac{\left(\frac{g_{m2A}g_{m4A}}{(g_{d2A} + g_{d4A})(C_{3A} + C_{4A})}\right)\left(s + \frac{g_{m1}}{C_1}\right)\left(s + \frac{g_{m2}}{C_2}\right)}{\left(s + \frac{g_{m4A}}{(C_{3A} + C_{4A})}\right)\left[s^2 + s\left(\frac{(g_{m1} + g_{m1})}{C_1} + \frac{(g_{m2} + g_R)(C_1 + C_2)}{C_1C_2}\right) + \left(\frac{(g_{m1} + g_{m1})(g_R + g_{m2})}{C_1C_2}\right)\right]} \right) \quad (3.32)$$

กำหนดให้ $i = 1, 2, 3, \dots$

เมื่อ g_{mi} คือค่าความนำของทรานซิสเตอร์

g_{dsi} คือค่าความนำที่ขั้วเดรนของทรานซิสเตอร์

และ C_i คือค่าประจุระหว่างขาเกตและขาซอสของมอสทรานซิสเตอร์ที่มีการทำงานในช่วงอิ่มตัว (Saturation region) มีค่าเท่ากับ

$$C_i = C_{gs} = \frac{2}{3} C_{ox} WL \quad (3.33)$$

ถ้าพิจารณาผลการวิเคราะห์ค่าสมการที่ (3.32) ที่ความถี่ต่ำจะพบว่า

$$A_{VOP} = \left. \frac{V_X}{V_Y} \right|_{open} = \left(\frac{g_{m2A}}{g_{d2A} + g_{d4A}} \right) \left(\frac{g_{m1} g_{m2}}{(g_{m1} + g_{B1})(g_R + g_{m2})} \right) \quad (3.34)$$

เมื่อกำหนดให้ค่ากระแสไบอัสให้กับวงจรเป็น $I_{B1} = 150$ ไมโครแอมป์ ทำให้ได้ค่าอัตราขยายทางแรงดันก่อนการป้อนกลับมีค่าเท่ากับ 30 dB

จากสมการที่ (3.32) จะได้ค่า $A_v(s)$ ที่มีขั้วจำกัดทางด้านความถี่เนื่องจากผลของค่าความถี่คัตออฟของสองวงจรคือ

ความถี่แรก หรือ f_1 เป็นความถี่ที่เกิดขึ้นเนื่องจากขั้วจำกัดของการทำงานทางด้านความถี่ของวงจรขยายความแตกต่าง (M1A-M4A) ได้ว่า

$$f_1 = \frac{1}{2\pi} \left(\frac{g_{m4A}}{C_{3A} + C_{4A}} \right) \quad (3.35)$$

จากการคำนวณค่าความถี่คัตออฟพบว่า f_1 มีค่าเท่ากับ 15.2 MHz

ความถี่ที่สอง หรือ f_2 เป็นความถี่ที่เกิดขึ้นเนื่องจากขั้วจำกัดของการทำงานทางด้านความถี่ของวงจรคลาสเอบีที่มีการต่อโหลด R ได้ว่า

$$\omega_2^2 = \left(\frac{g_{m1} + g_{B1}}{C_1 + C_2} \right) \left(\frac{g_{m2} + g_R}{C_2} \right) \quad (3.36)$$

$$f_2 = \frac{1}{2\pi} \sqrt{\left(\frac{g_{m1} + g_{B1}}{C_1 + C_2} \right) \left(\frac{g_{m2} + g_R}{C_2} \right)} \quad (3.37)$$

จากการคำนวณค่าความถี่คัตออฟขณะที่โหลด R = 10 kΩ มีค่าเท่ากับ 5.06 MHz

ดังนั้นค่าความถี่คัตออฟของวงจรอันเนื่องมาจากการส่งผ่านแรงดันจากพอร์ต Y ไปยังพอร์ต X จึงถูกพิจารณาเป็นค่าของ f_2 ที่มีผลให้อัตราขยายของวงจรลดลงเป็นส่วนแรก (f_0)

3.3.3 ค่าแรงดันส่งผ่าน V_X/V_Y ขณะที่มีการป้อนกลับ

ค่าแรงดันระหว่าง V_X และ V_Y ของวงจรในรูปที่ 3.5 ขณะที่มีการป้อนกลับ แสดงดังสมการที่ (3.38)

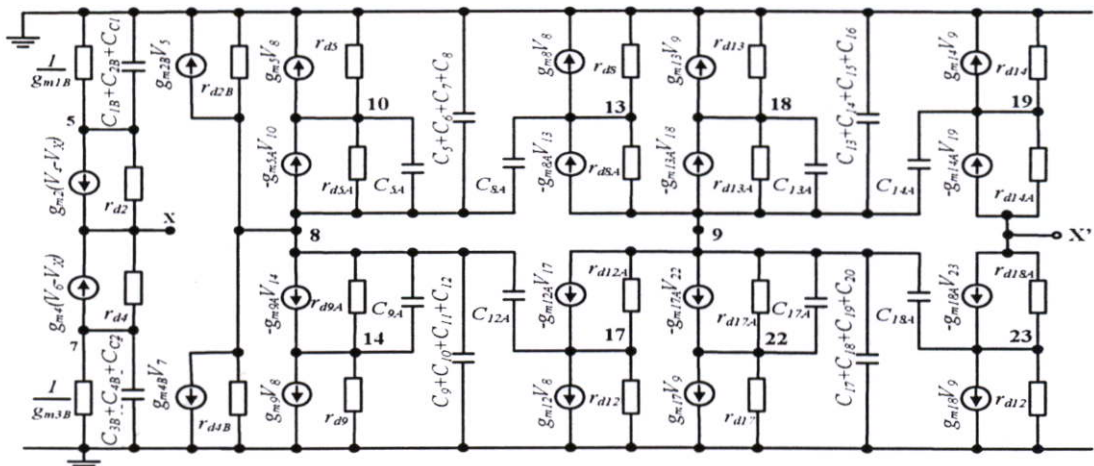
$$\left. \frac{V_X}{V_Y} \right|_{closed} = \frac{1}{1 + \frac{1}{A_{VOP}}} \cong \frac{1}{1 + \left(\frac{g_{ds2A} + g_{ds4A}}{g_{m2A}} \right)} \quad (3.38)$$

A_{VOP} คือ อัตราขยายแรงดันของวงจรสายพานกระแสยุคที่สองแบบมัลติเอ๊าท์พุทจากพอร์ต Y มายังพอร์ต X ขณะที่ยังไม่มีการป้อนกลับ (Open-loop)

ดังนั้นอัตราขยายทางแรงดันเมื่อทำการป้อนกลับแบบลบแล้ว โดยที่อัตราขยายแรงดันขณะที่ยังไม่มีการป้อนกลับ (A_{VOP}) มีค่าเท่ากับ 30 dB จะมีค่าเท่ากับ 0.987 และเนื่องจากการป้อนกลับแบบลบทำให้ค่าปฏิบัติการทางความถี่ที่เพิ่มมากขึ้น [ภาคผนวก ข] ซึ่งจะได้ว่าเมื่อค่าการป้อนกลับ(F) = 1 และ $f_0 = 5.06$ MHz จะได้ ความถี่คัตออฟค่าใหม่เท่ากับ 157 MHz

3.3.4 อัตราขยายทางกระแสของวงจรขณะยังไม่มีการป้อนกลับ

อัตราขยายกระแสของวงจรสายพานกระแสยุคที่สองแบบมัลติเอ๊าท์พุทจากพอร์ต X มายังพอร์ต X' ซึ่งกำหนดให้เป็นพอร์ตเอ๊าท์พุทกระแสขณะที่ยังไม่มีการป้อนกลับ (open-loop) สามารถวิเคราะห์ค่าอัตราการส่งผ่านกระแสในรูปที่ 3.7 ได้ดังสมการ (3.39)



รูปที่ 3.7 วงจรสมมูลส่วนขยายกระแสของวงจรสายพานกระแสยุคที่สองแบบมัลติเอ๊าท์พุท

$$A_{IOP} = \frac{i_{X'}}{i_{X,open}} = \left(\frac{g_{m2B}}{g_{m1B} + s(C_{1B} + C_{2B} + C_{C1})} \right) \left(\frac{(g_{m9A} + sC_{9A})}{(g_{m12A} + sC_{12A})} \right) \left(\frac{g_{m8}g_{m8A}}{(s^2(C_9 + 3 \cdot C_{12})C_{9A} + s(C_9 + 3 \cdot C_{12})g_{m9A} + g_{m9}g_{m9A})} \right) \cdot \left(\frac{(g_{m13A} + sC_{13A})}{(g_{m14A} + sC_{14A})} \right) \left(\frac{g_{m14}g_{m14A}}{(s^2(C_{13} + 3 \cdot C_{14})C_{13A} + s(C_{13} + 3 \cdot C_{14})g_{m13A} + g_{m13}g_{m13A})} \right) \quad (3.39)$$

A_{OP} คือ อัตราขยายกระแสของวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตจากพอร์ต์ X มายังพอร์ต์ X' ณะที่ยังไม่มีการป้อนกลับ (Open-loop)

จากสมการ (3.39) เฟสมาจิน (Φ_M) ของวงจรส่วนขยายกระแสกำหนดโดย

$$\Phi_M = \pm 180^\circ - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{p_1} - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{p_2} - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{p_3} - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{p_4} - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{p_5} \\ - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{p_6} - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{p_7} - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{z_1} - \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right)_{z_2} \quad (3.40)$$

p_1 คือ โพลเนื่องจากวงจรสะท้อนกระแสที่มีอัตราขยายกระแส n เท่า

p_2, p_3, p_4 เป็น โพล และ z_1 เป็น ซีโร่ เนื่องจากวงจรสะท้อนกระแสคาสโคดแบบปรับปรุงที่ให้เอาต์พุตเป็นกระแสมีทิศทางตรงข้ามกับ i_x

p_5, p_6, p_7 เป็น โพล และ z_2 เป็น ซีโร่ เนื่องจากวงจรสะท้อนกระแสคาสโคดแบบปรับปรุงที่ให้เอาต์พุตเป็นกระแสมีทิศทางเดียวกันกับ i_x

จากการพิจารณาสมการ (3.40) พบว่าค่าโพลหลักของวงจรอยู่ที่ p_1 ดังนั้นจึงเลือกให้ p_1 เป็นตัวแทนโพลของวงจรที่จะนำไปออกแบบหรือทำการชดเชย และในกรณีที่ต้องการให้วงจรมีเฟสมาจินมากกว่า 45 องศาเพื่อให้มั่นใจว่าวงจรจะมีเสถียรภาพ ได้ดังสมการ (3.41) (โดยที่เมื่อโพลและซีโร่เนื่องจากวงจรสะท้อนกระแสคาสโคดแบบปรับปรุงแต่ละชุดทำให้เกิดการเลื่อนเฟส 25 องศาจากการทดสอบแทนค่าสมการ(3.40))

$$85^\circ = \tan^{-1}\left(\frac{\text{Im}}{\text{Re}}\right) = \tan^{-1}\left(\frac{C_{1B} + C_{2B} + C_{C1}}{g_{m1B}}\right) \quad (3.41)$$

จากสมการ (3.41) แสดงว่าที่เฟสมาจิน 45 องศา วงจรส่วนขยายกระแสจะมีการเลื่อนเฟสเท่ากับ 85 องศา ซึ่งทำให้ได้ค่าตัวเก็บประจุชดเชยเท่ากับ 1.5 pF

อัตราขยายกระแสที่ย่านการใช้งานความถี่ต่ำเป็นดังสมการ (3.42)

$$A_{OP} \cong \frac{g_{m2B}g_{m8}g_{m14}}{g_{m1B}g_{m5}g_{m13}} \quad (3.42)$$

การวิเคราะห์ค่าความถี่เมื่อมอสทรานซิสเตอร์ทำงานในช่วงอิมิตัว จากสมการที่ (3.39) จะได้ค่า $A_{OP}(s)$ ที่มีขีดจำกัดทางด้านความถี่เนื่องจากขีดจำกัดของการทำงานด้านความถี่ของวงจรสร้างอัตราขยายทางกระแส (M1B-M2B) และค่าตัวเก็บประจุชดเชย $C_{C1} = C_{C2} = 1.5$ pF ที่ได้จากสมการ (3.41)

$$f_1 = \frac{1}{2\pi} \left(\frac{g_{m1B}}{(C_{1B} + C_{2B} + C_{C1})} \right) \tag{3.43}$$

จากการคำนวณค่าความถี่คัตออฟ f_1 มีค่าเท่ากับ 10.2 MHz ซึ่งจะพบว่า เมื่อทำการป้อนกลับโดยมีค่าอัตราการป้อนกลับ(F) เท่ากับ 1 จะได้ค่าความถี่ภายหลังการป้อนกลับเท่ากับ 170 MHz

3.3.5 ค่ากระแสส่งผ่าน i_{zP}/i_x และ i_{zN}/i_x ขณะที่มีการป้อนกลับ

ค่าการส่งผ่านกระแสในส่วนของวงจรสะท้อนกระแสคาสโคดแบบปรับปรุงจะได้ว่า

$$A_{iZN} = \frac{i_{z1N}}{i_x} = \left(\frac{(g_{m9A} + sC_{9A})}{(g_{m10A} + sC_{10A})} \frac{g_{m10}g_{m10A}}{(s^2(C_9 + n \cdot C_{10})C_{9A} + s(C_9 + n \cdot C_{10})g_{m9A} + g_{m9}g_{m9A})} \right) \tag{3.44}$$

$$A_{iZP} = \frac{i_{z1P}}{i_x} = \left(\frac{(g_{m13A} + sC_{13A})}{(g_{m15A} + sC_{15A})} \frac{g_{m15}g_{m15A}}{(s^2(C_{13} + n \cdot C_{15})C_{13A} + s(C_{13} + n \cdot C_{15})g_{m13A} + g_{m13}g_{m13A})} \right) \tag{3.45}$$

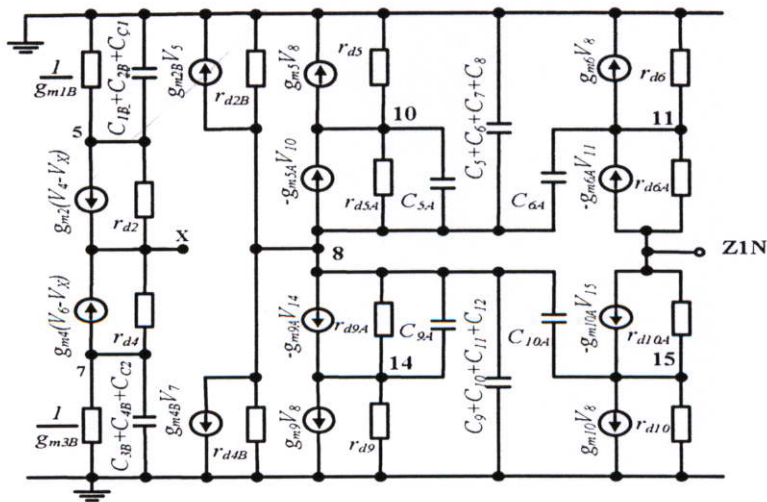
n คือ จำนวนเอาต์พุตของวงจรสะท้อนกระแสคาสโคดแบบปรับปรุง

i_x คือ พอร์ตอินพุตของวงจรสะท้อนกระแสคาสโคดแบบปรับปรุง

A_{iZN} คือ อัตราขยายกระแสของวงจรสะท้อนกระแสคาสโคดแบบปรับปรุงที่มี n เอาต์พุตและให้เอาต์พุตที่มีทิศทางตรงข้ามกับ i_x

A_{iZP} คือ อัตราขยายกระแสของวงจรสะท้อนกระแสคาสโคดแบบปรับปรุงที่มี n เอาต์พุตและให้เอาต์พุตที่มีทิศทางเดียวกันกับ i_x

พิจารณาการส่งผ่านกระแสแบบลดรูปดังรูปที่ 3.8 จะได้สมการ (3.46)



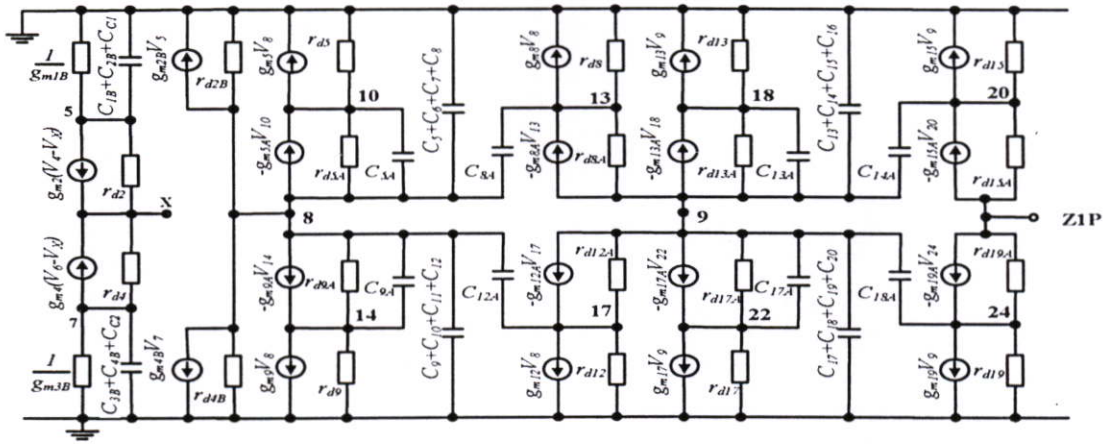
รูปที่ 3.8 วงจรสมมูลของวงจรสะท้อนกระแสที่ให้เอาต์พุตเป็น I_{zN}

การส่งผ่านกระแสแบบลบภายหลังการป้อนกลับกระแส แสดงดังสมการ (3.46)

$$\frac{i_{ZN}}{i_X} = \frac{A_{OP}A_{ZN}}{1+(A_{OP}A_{ZN})(A_{ZP})} \quad (3.46)$$

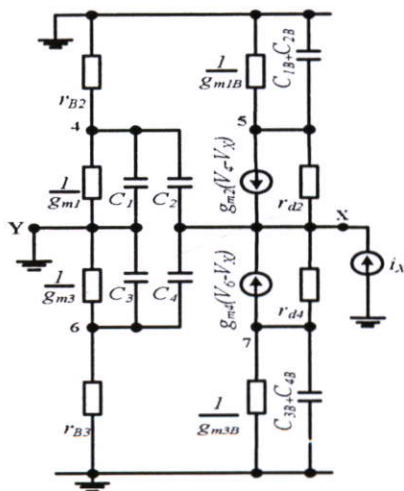
ทำนองเดียวกันในการพิจารณาการส่งผ่านกระแสแบบบวกดังรูปที่ 3.9 จะได้สมการ (3.47)

$$\frac{i_{ZP}}{i_X} = \frac{(A_{OP}A_{ZN}A_{ZP})}{1+(A_{OP}A_{ZN}A_{ZP})} \quad (3.47)$$



รูปที่ 3.9 วงจรสมมูลของวงจรสะท้อนกระแสที่ให้เอาต์พุตเป็น I_{ZP}

3.3.6 การวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ต X



รูปที่ 3.10 วงจรสมมูลของวงจรคลาสเอบี

ในการคำนวณค่าความต้านทานที่พอร์ต X ทำการวิเคราะห์โดยการสร้างวงจรทดเทียบซึ่งสมมติการป้อนสัญญาณกระแสเข้าที่พอร์ต X โดยพิจารณาให้ค่าแรงดันที่พอร์ต Y มีค่าเป็นศูนย์ ซึ่งจะทำได้แรงดันเกิดขึ้นที่พอร์ต X เป็น V_X ดังนั้นค่าความต้านทานที่พอร์ต X ก่อนการป้อนกลับมีค่าตามสมการ (3.48) [ภาคผนวก ก]

$$r_X = \frac{V_X}{I_X} = \frac{1}{(g_{m2} + g_{m4} + s(C_2 + C_4))} \quad (3.48)$$

ค่าความต้านทานที่ได้ภายหลังจากที่มีการป้อนกลับแรงดันและกระแสแล้ว แสดงดังสมการ (3.49)

$$r_{X(new)} = \frac{V_X}{I_X} \Big|_{closed} = \frac{1/(g_{m2} + g_{m4} + s(C_2 + C_4))}{A_{iOP} A_{VOP}} \quad (3.49)$$

จากสมการ (3.49) สามารถกำหนดค่าอัตราขยายทางแรงดันและกระแสได้จากค่าความต้านทานที่ต้องการ โดยที่ในการกำหนดค่าอัตราขยายทางแรงดันและกระแสนั้น ต้องคำนึงถึงช่วงปฏิบัติงานทางแรงดันและกระแสของวงจรด้วยซึ่งจะได้กล่าวต่อไปในหัวข้อ (3.3.10) และ (3.3.11)

3.3.7 ค่าการส่งผ่านความนำของวงจร (Transconductance)

การวิเคราะห์ค่าการส่งผ่านความนำของวงจร โดยการวิเคราะห์สัญญาณขนาดเล็กมีค่าเท่ากับอัตราส่วนของกระแส i_x กับค่าแรงดัน V_y จากกรวิเคราะห์ทำให้ได้ค่าการส่งผ่านความนำของวงจรเป็นดังสมการ(3.50)

$$\frac{i_x}{V_y} = \left(\frac{1}{R + r_{X'}} \right) \left(\frac{1}{1 + \left(\frac{g_{ds2A} + g_{ds4A}}{g_{m2A}} \right)} \right) \quad (3.50)$$

ซึ่งพบว่าถ้า $R \gg r_{X'}$ และค่าแรงดันจากพอร์ต Y ที่ส่งผ่านไปยังพอร์ต X มีค่าใกล้เคียงกันคือมีอัตราขยายทางแรงดันมีค่าใกล้เคียง 1 จะทำให้ค่าการส่งผ่านความนำของวงจรมีค่าประมาณ $1/R$

3.3.8 การวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ต Y

ที่พอร์ต Y หรือที่ขาเกิดของมอสเฟต M1A ภายในสร้างขึ้นจากฉนวนซิลิกอนออกไซด์ (SiO_2) ซึ่งมีความต้านทานสูง ซึ่งมีผลให้ความต้านทานที่พอร์ต Y มีค่าสูงเนื่องจากกระแสดีซี (DC Current) ไม่สามารถผ่านชั้นเกิดของมอสเฟตไปได้ ($i_y \neq 0$) ดังนั้นพอร์ต Y จึงถือว่าเป็นทางเข้าของแรงดันได้เท่านั้น

3.3.9 การวิเคราะห์ค่าอิมพีแดนซ์ที่พอร์ต ZN และ ZP

ค่าความต้านทานที่พอร์ต ZN และ ZP ของวงจร จะประมาณได้เท่ากับค่าความต้านทานจุดออกของวงจรสะท้อนกระแสคาสโคชนิดที่ต่อขนานกับวงจรสะท้อนกระแสคาสโคชนิดอื่นมีค่าดังสมการ

ค่าความต้านทานที่พอร์ต ZN มีค่าเป็น

$$r_{ZN} \cong g_{m24A} r_{ds24A} r_{ds24} // g_{m27A} r_{ds27A} r_{ds27} \quad \Omega \quad (3.51)$$

ค่าความต้านทานที่พอร์ต ZP มีค่าเป็น

$$r_{ZP} \cong g_{m17A} r_{ds17A} r_{ds17} // g_{m21A} r_{ds21A} r_{ds21} \quad \Omega \quad (3.52)$$

ซึ่งเมื่อแทนค่าตามสมการที่ (3.51) และ (3.52) จะได้ค่าความต้านทานที่พอร์ต ZN และ ZP มีค่าเท่ากับ 222 k Ω , 220 k Ω ตามลำดับ

3.3.10 การวิเคราะห์ช่วงปฏิบัติงานทางแรงดันอินพุทพอร์ต Y

จากวงจร จะเห็นว่า M1A และ M2A ต่อกันอยู่ในรูปคู่ความแตกต่าง โดยมี M3A และ M4A เป็นวงจรสะท้อนกระแสทำหน้าที่ควบคุมกระแสเดรน ของ M1A และ M2A ให้มีค่าใกล้เคียงกัน และผลรวมของค่ากระแสทั้งสองจะมีค่าเท่ากับ I_{B1} ซึ่งเป็นแหล่งจ่ายกระแสคาสโคที่ให้กับวงจรขยายความแตกต่าง ความสัมพันธ์เป็นดังสมการ

$$i_{D1A} = i_{D2A} = I_{B1}/2 \quad (3.53)$$

$$i_{D1A} + i_{D2A} = I_{B1} \quad (3.54)$$

ถ้ากำหนดให้ V_{Ymax} และ V_{Ymin} เป็นค่าของแรงดันปฏิบัติงานสูงสุดและต่ำสุดที่เกิดขึ้นที่พอร์ต Y ซึ่งก็คือขาเกตของ M1A ที่ยังคงทำให้ M1A และ M2A มีการทำงานอยู่ในช่วงอิมตัวได้ ดังนั้นสามารถคำนวณหาค่าของ V_{Ymax} จากวงจรได้ดังสมการ

$$V_{Ymax} = V_{DD} - V_{SG3A} + V_{DS1A} - V_{GS1A} \quad (3.55)$$

ส่วนในการคำนวณหาค่า V_{Ymin} แรงดันจะอยู่ในช่วงของ V_{SS} และแหล่งจ่ายกระแสคาสโคที่ I_{B1} ในการคำนวณสมมติให้แหล่งจ่ายกระแสคาสโคที่สร้างขึ้นจากการไบอัสแรงดันที่ขาเกตและซอสของมอสทรานซิสเตอร์มีค่าเท่ากับ V_{GSB1}

$$V_{Ymin} - V_{SS} = V_{GS1A} + V_{DSB1} \quad (3.56)$$

เมื่อ $V_{DD} = 2.5$ โวลต์ $V_{SS} = -2.5$ โวลต์ กระแสไบอัส = $150 \mu\text{A}$ ดังนั้นจะได้ $V_{Y_{\max}} = 1.16$ โวลต์ และ $V_{Y_{\min}} = -1.434$ โวลต์ ทำให้ได้ช่วงปฏิบัติการทางแรงดัน มีค่าเท่ากับ $V_{Y_{\max}} - V_{Y_{\min}} = 2.594$ โวลต์

3.3.11 การพิจารณาช่วงกระแสปฏิบัติการ

เมื่อกำหนดให้ $I_{B2} = I_{B3} = I_b$ ทางเข้าออกของกระแสอยู่ที่พอร์ต X ซึ่งกำหนดให้กระแสที่เข้าออกมีค่าเท่ากับ I_m (ภาคผนวก ก)

$$I_{D2} = \frac{(4I_b - I_m)^2}{16I_b}, \quad |I_m| \leq 4I_b \quad (3.57)$$

จากสมการ(3.57) บอกให้ทราบว่ากระแสที่ไหลเข้าหรือออกที่พอร์ต X ซึ่งเป็นทางเข้าออกของกระแส I_m จะต้องมีค่าไม่เกิน $4I_b$ เท่านั้นที่วงจรยังคงทำงานเป็นคลาสเอบี

ในกรณีที่วงจรทำงานในคลาสบีคือเมื่อ $|I_m| > 4I_b$ จะได้ว่าค่ากระแสที่ได้คือค่ากระแสเดรนที่เกิดขึ้นได้ โดยไม่เกินขีดจำกัดของมอสทรานซิสเตอร์ M1B, M2, M3B และ M4

ส่วนในการพิจารณาช่วงกระแสที่เกิดขึ้นที่พอร์ต Z เมื่อเลือกใช้ค่าแรงดันไบอัส (V_{bias}) ให้กับวงจรสะท้อนกระแสเป็น 1.4 โวลต์ ซึ่งสามารถใส่ค่าแรงดันได้ระหว่าง 0.9 V -1.6 V โดยค่าแรงดันดังกล่าวจะทำให้มอสทรานซิสเตอร์ทำงานอยู่ในช่วงอิมิตัว ดังสมการที่ (ง.27) และ (ง.28) [ภาคผนวก ง] จะได้ช่วงปฏิบัติการของกระแสอยู่ในช่วง $-240 \mu\text{A}$ ถึง $240 \mu\text{A}$

3.3.12 วงจรสายพานกระแสยุคที่หนึ่ง และวงจรสายพานกระแสยุคที่สาม

เมื่อทำการป้อนกลับกระแสจากพอร์ต ZP ไปที่พอร์ต Y เพื่อให้ได้เป็นวงจรสายพานกระแสยุคที่หนึ่งทำให้ได้การส่งผ่านกระแสดังสมการ

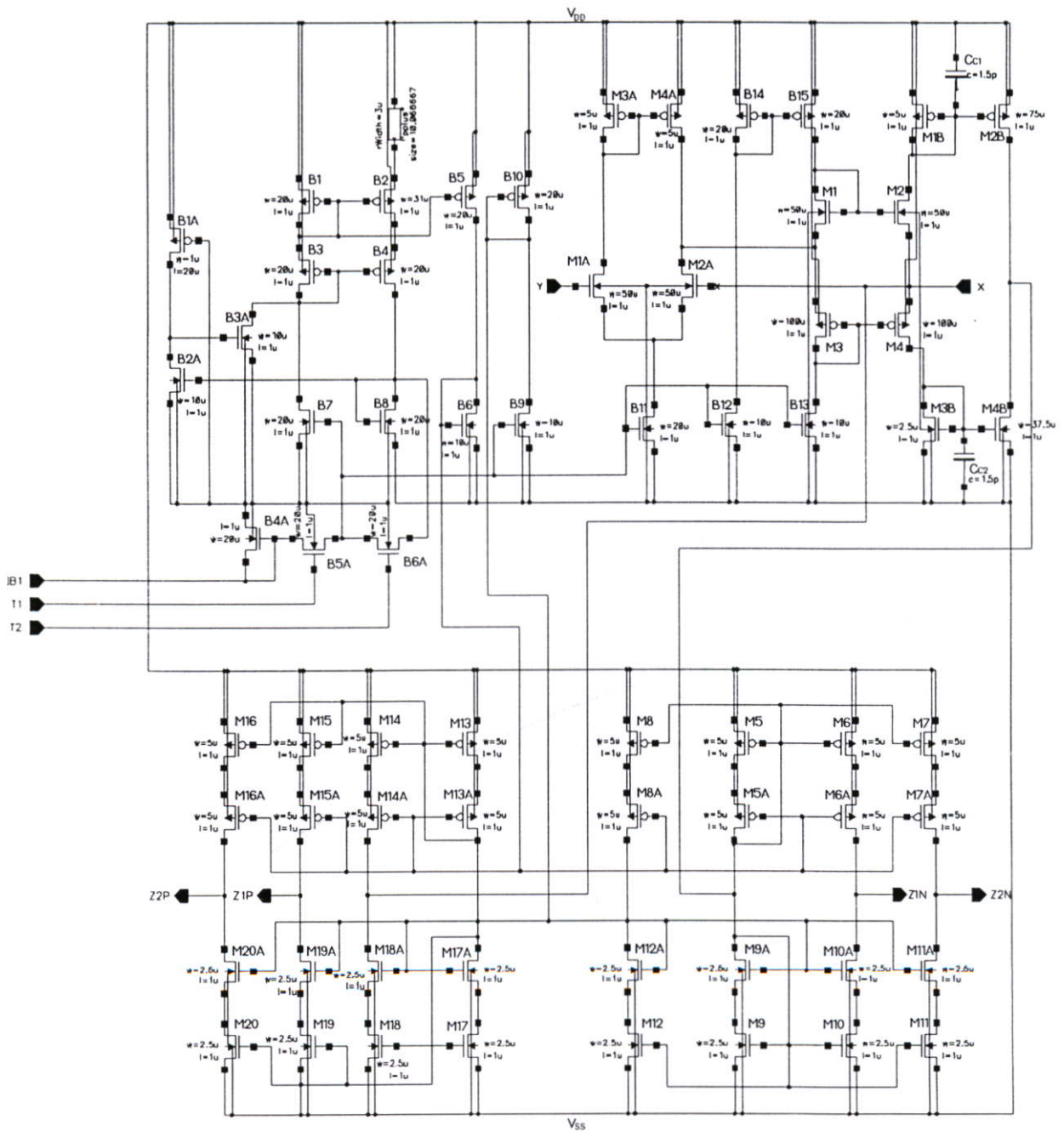
$$\frac{i_Y}{i_X} = \frac{A_{OP}A_{ZN}}{1 + (A_{OP}A_{ZN})(A_{ZP})} \quad (3.58)$$

เมื่อทำการป้อนกลับกระแสจากพอร์ต ZN ไปที่พอร์ต Y เพื่อให้ได้เป็นวงจรสายพานกระแสยุคที่สามทำให้ได้การส่งผ่านกระแสดังสมการ

$$\frac{i_Y}{i_X} = \frac{(A_{OP}A_{ZN}A_{ZP})}{1 + (A_{OP}A_{ZN}A_{ZP})} \quad (3.59)$$

3.4 ผลการจำลองการทำงาน

การศึกษาคุณสมบัติของวงจร จำลองการทำงานของวงจรด้วยโปรแกรม CADENCE SPECTRE โดยใช้เทคโนโลยีซีมอส AMIS ขนาด 0.7 ไมครอน กำหนดไฟเลี้ยงวงจรที่ $V_{DD}=+2.5$ โวลต์และ $V_{SS}=-2.5$ โวลต์ วงจรไบอัสใช้ความต้านทานขนาด 1 kΩ สร้างกระแสไบอัส $I_{DB11}=150\mu A$ และกระแสไบอัสให้กับวงจรคลาสเอบี $I_{DB15}=I_{DB13}=15\mu A$ ขนาดของมอสทรานซิสเตอร์ที่ใช้ในวงจรไบอัสแสดงดังตารางที่ 3.2 และผลการจำลองแสดงค่าสมรรถนะการทำงานของวงจรแสดงดังตารางที่ 3.3



รูปที่ 3.11 วงจรที่ใช้ในการจำลองการทำงาน

ตารางที่ 3.2 ขนาดของมอสทรานซิสเตอร์สำหรับวงจรไบอัสในรูปที่ 3.11

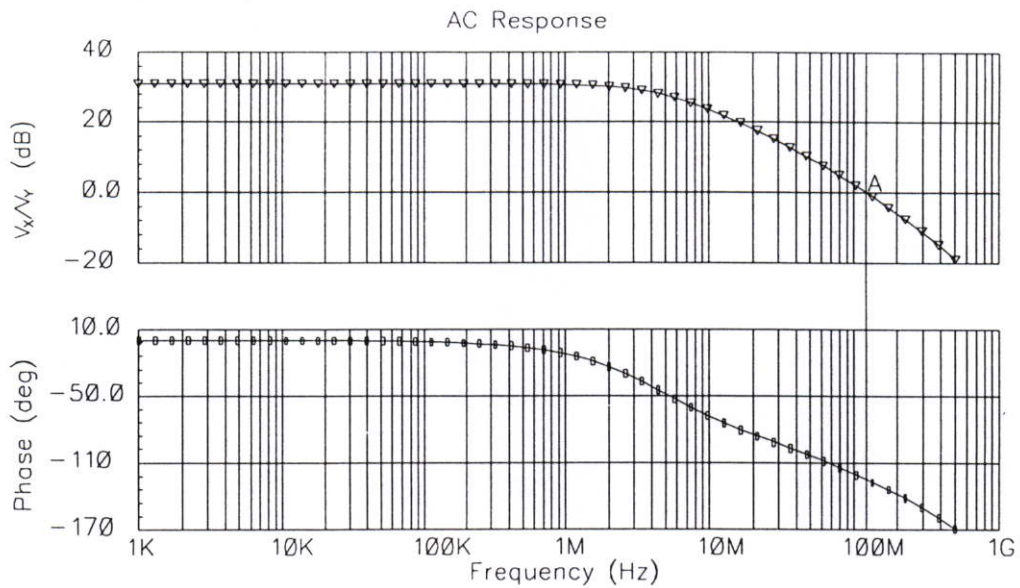
ทรานซิสเตอร์	W (μm)	L (μm)
B1A	1	20
B1, B3, B4, B5, B10, B14, B15	20	1
B2	31	1
B2A, B3A, B6, B9, B11, B12, B13	10	1
B4A, B5A, B6A, B7, B8	20	1

ตารางที่ 3.3 ผลการจำลองการทำงานของวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตที่นำเสนอเปรียบเทียบกับวงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตคลาสเอบี ขณะที่วงจรถั้สองกำหนดค่าการทำงานที่กำล้ง(Power) และแหล่งจ่ายแรงดันเท่ากัน

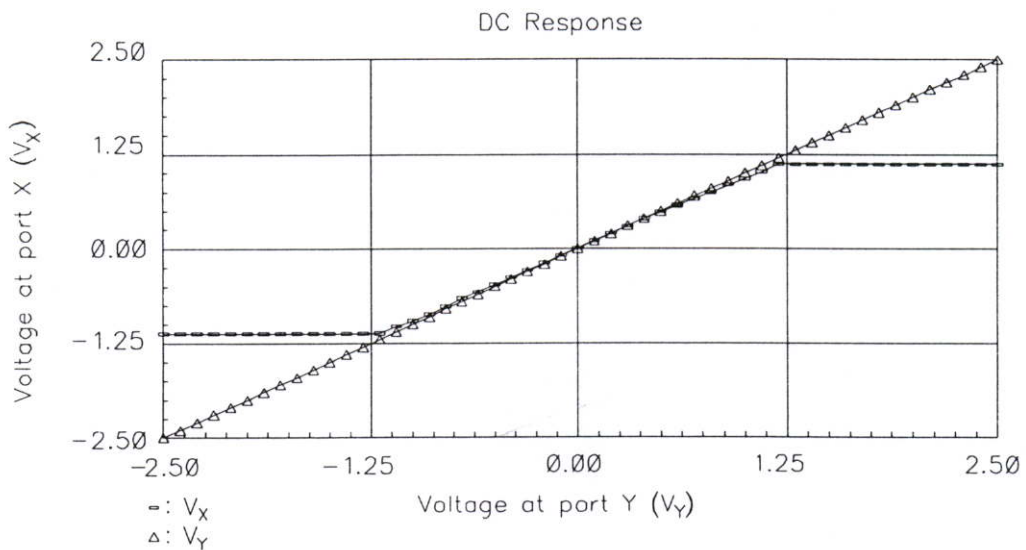
พารามิเตอร์	MOCCII คลาสเอบี	MOCCII ที่นำเสนอ	หน่วย
Voltage supply	± 2.5	± 2.5	V
Voltage range	-1 ถึง 1	-1.2 ถึง 1.129	V
Current range	-600 μ ถึง 600 μ	-200 μ ถึง 200 μ	A
Voltage gain	0.963	0.989	-
Current gain($i_{ZN}/i_X, i_{ZP}/i_X$)	0.98, 0.94	1.056, 0.970	-
Impedance at port Y	35.91 M	2.982G	Ω
Impedance at port X	183	1.8	Ω
Impedance at port Z	100k	220.4k	Ω
Bandwidth (V_X/V_Y)	185	156.6	MHz
Bandwidth (i_X/V_Y)	177.9	148.9	MHz
Bandwidth (i_{ZN}/i_X)	130	193.9	MHz
Bandwidth (i_{ZP}/i_X)	110	187	MHz
Power dissipation	14.02	14.01	mW

รูปที่ 3.12 แสดงอัตราขยายทางแรงดันและเฟสเทียบกับความถี่ก่อนทำการป้อนกลับแรงดัน วัดค่าอัตราขยายแรงดันได้เท่ากับ 30 dB และมีค่าเฟสมาร์จิน(Phase margin) เท่ากับ 50 องศา รูปที่ 3.13 แสดงความสัมพันธ์ระหว่างแรงดัน V_X เทียบกับ V_Y ภายหลังจากการป้อนกลับซึ่งช่วงการทำงานของแรงดันของวงจรมีค่าตั้งแต่ -2.5V ถึง 2.5V ช่วงปฏิบัติการทางแรงดันอยู่ระหว่าง -1.2V ถึง 1.129V เมื่อพิจารณาถึงค่าแรงดันออฟเซตตามสมการ (3.23) จากการทดลองเมื่อค่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์ M1A และ M2A มีค่าเป็น $V_{T1A}=1.167V$ และ

$V_{T2A} = 1.166V$ ตามลำดับ ค่ากระแสในมอสทรานซิสเตอร์ M1A และ M2A มีค่าเป็น $I_{D1A} = 10.71\mu A$ และ $I_{D2A} = 10.71\mu A$ ได้ค่าแรงดันออฟเซตเท่ากับ $3.2 mV$



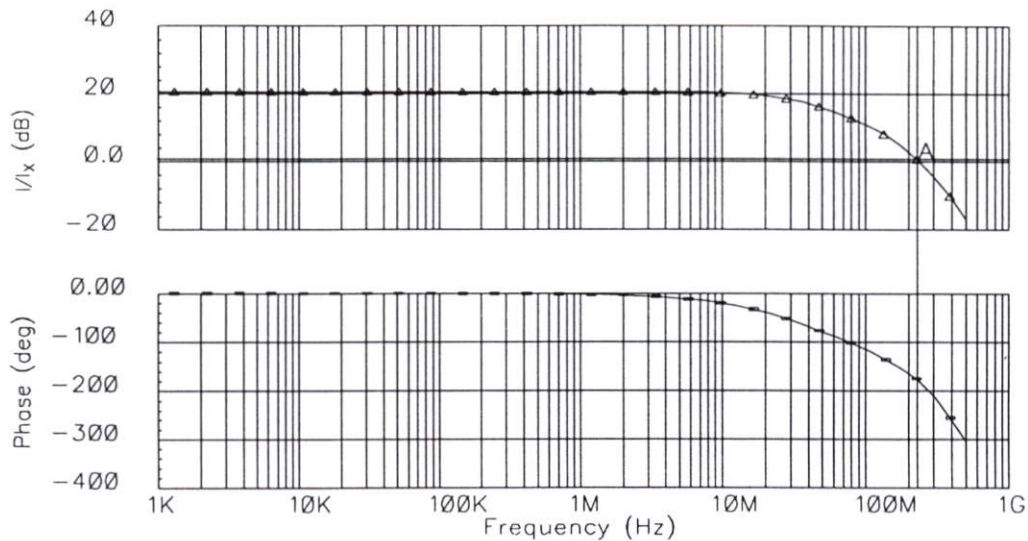
รูปที่ 3.12 อัตรายายทางแรงดันและเฟส เทียบกับความถี่ก่อนการป้อนกลับ



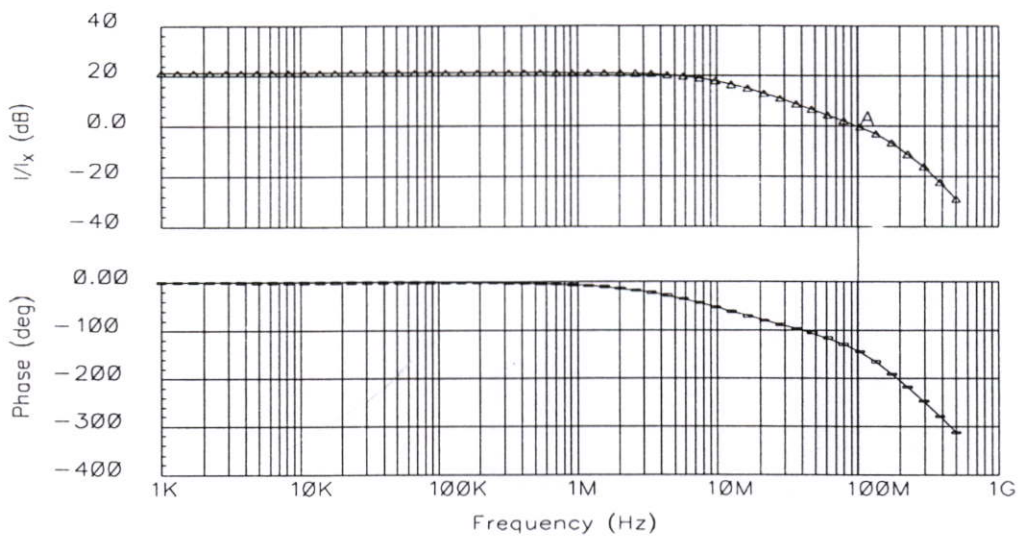
รูปที่ 3.13 ความสัมพันธ์ระหว่างแรงดัน V_x เทียบกับ V_y ภายหลังการป้อนกลับ

รูปที่ 3.14 แสดงค่าอัตรายายทางกระแสและค่าเฟสเทียบกับความถี่ก่อนทำการป้อนกลับ กระแส และยังไม่มีการต่อชดเชยตัวเก็บประจุ C_{C1} และ C_{C2} วัดค่าอัตรายายได้เท่ากับ 20 dB ขณะที่ค่าเฟสมากขึ้นน้อยกว่า 45 องศาซึ่งจะมีผลทำให้วงจรภายหลังการป้อนกลับเกิดความไม่มีเสถียรภาพ ซึ่งในการแก้ไขปรับปรุงวงจรเพื่อให้เกิดความมีเสถียรภาพจึงได้ทำการต่อชดเชยตัว

เก็บประจุได้ผลดังรูปที่ 3.15 โดยค่าอัตราขยายทางกระแสและค่าเฟสเทียบกับความถี่ก่อนทำการป้อนกลับกระแส ภายหลังจากต่อชดเชยตัวเก็บประจุ C_{C1} และ C_{C2} วัตค่าอัตราขยายได้เท่ากับ 20 dB และมีเฟสมาจินเปลี่ยนแปลงค่าเพิ่มขึ้นเท่ากับ 45 องศา



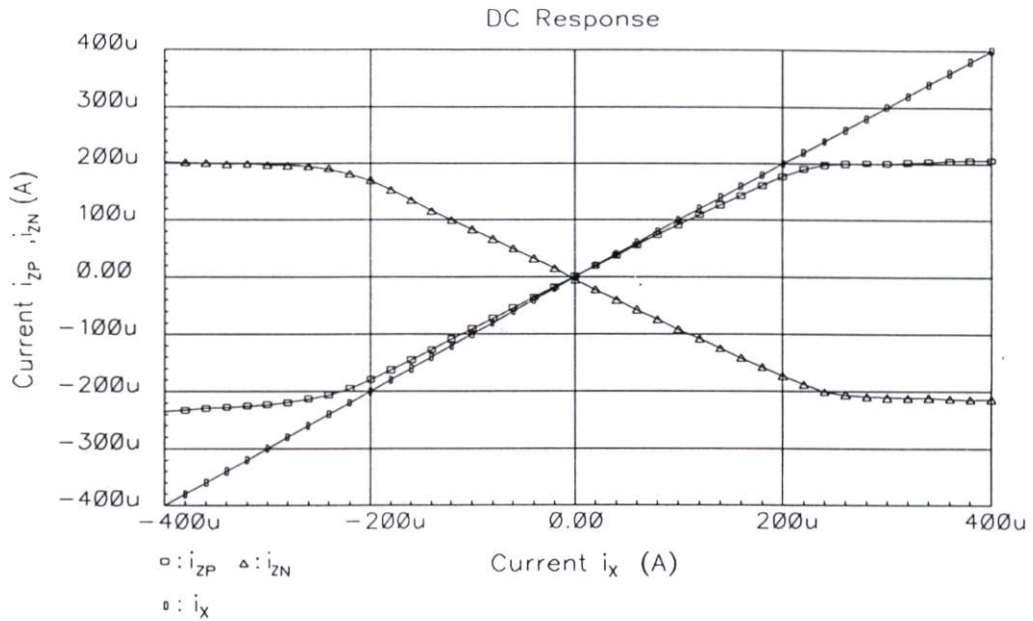
รูปที่ 3.14 อัตราขยายทางกระแสและเฟส เทียบกับความถี่ก่อนการป้อนกลับโดยไม่มีารชดเชยค่าตัวเก็บประจุ



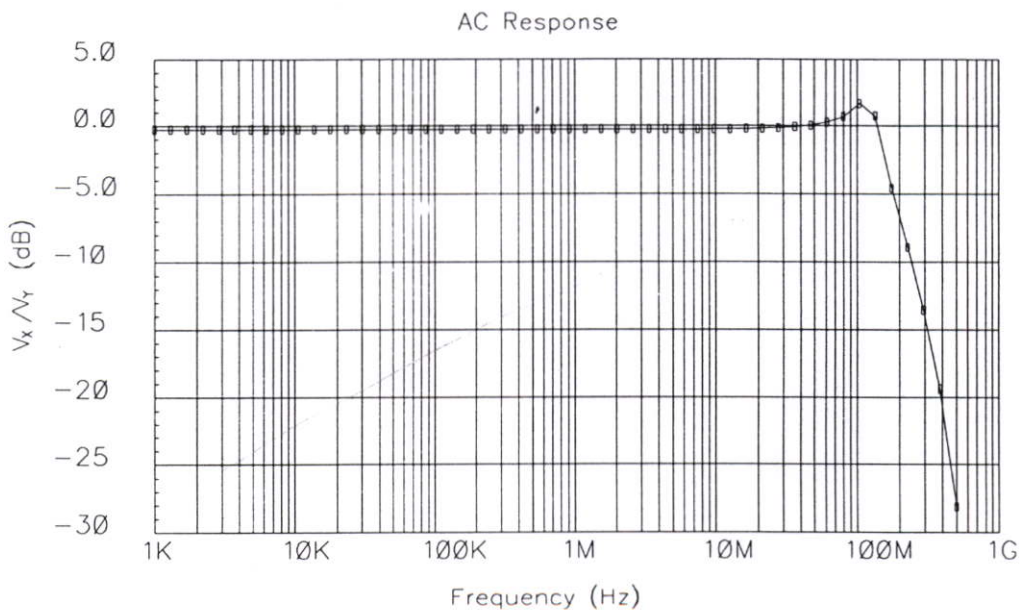
รูปที่ 3.15 อัตราขยายทางกระแสและเฟส เทียบกับความถี่ก่อนการป้อนกลับที่มีการต่อชดเชยค่าตัวเก็บประจุ

การส่งผ่านกระแสภายหลังการป้อนกลับเป็นดังรูปที่ 3.16 แสดงความสัมพันธ์ระหว่างกระแส i_{zN} เทียบกับ i_x และ i_{zP} เทียบกับ i_x โดยการป้อนกระแสอินพุทของวงจรมีค่าตั้งแต่ $-400 \mu A$ ถึง $400 \mu A$ มีช่วงปฏิบัติงานทางกระแสอยู่ระหว่าง $-200 \mu A$ ถึง $200 \mu A$ ในการพิจารณาถึง

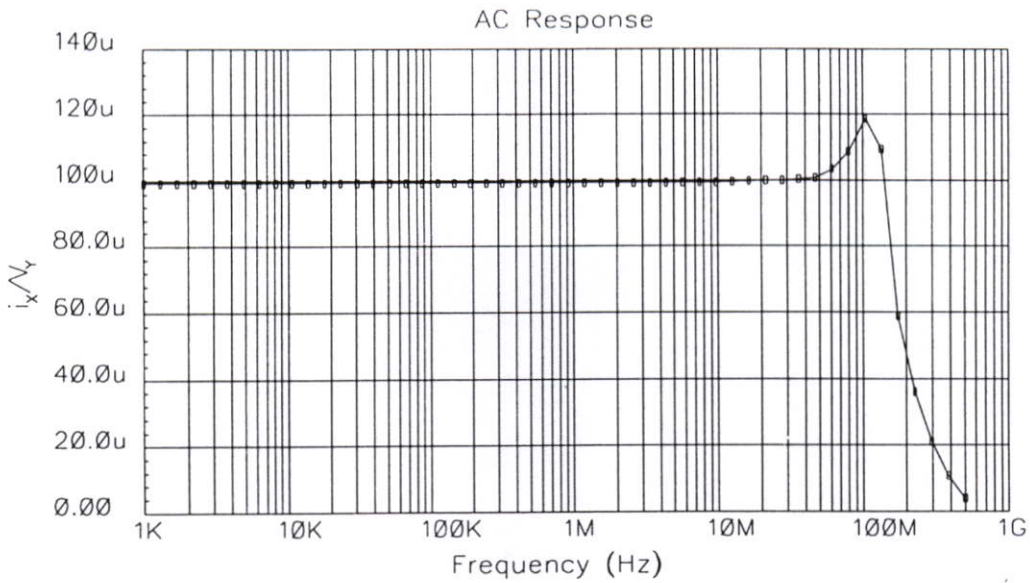
ความสามารถของวงจรต่อผลการตอบสนองต่อความถี่ สามารถแสดงได้ดังรูปที่ 3.17 รูปที่ 3.18 และรูปที่ 3.19 โดยที่รูปที่ 3.16 แสดงการจำลองการส่งผ่านแรงดันของวงจร ซึ่งจะพบว่าช่วงปฏิบัติงานทางความถี่ของการส่งผ่านแรงดัน V_y เป็นค่า V_x ของวงจรมีค่าประมาณ 156.6 MHz



รูปที่ 3.16 ความสัมพันธ์ระหว่าง i_{zN} , i_{zP} เทียบกับ i_x

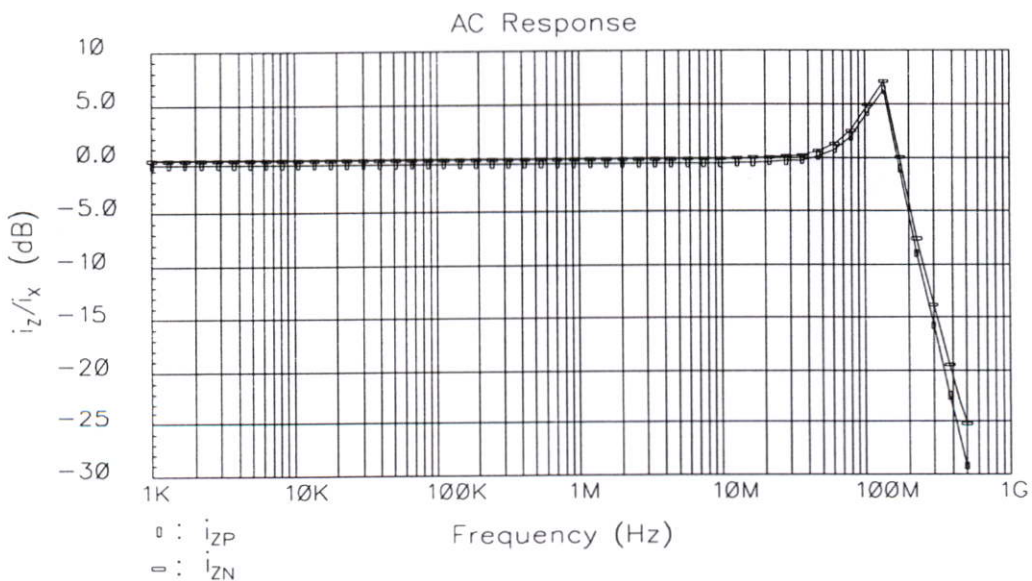


รูปที่ 3.17 การจำลองการส่งผ่านแรงดันของวงจร

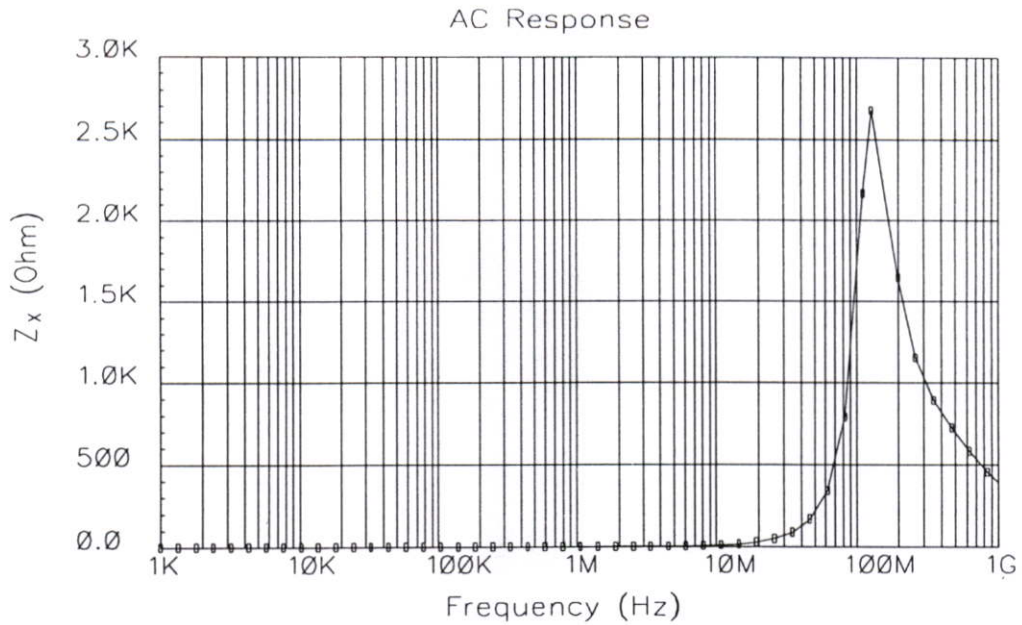


รูปที่ 3.18 ความสัมพันธ์ระหว่างอัตราส่วน i_x กับ V_y เทียบกับความถี่

รูปที่ 3.18 แสดงความสัมพันธ์ระหว่างอัตราส่วน i_x กับ V_y เทียบกับความถี่ซึ่งเป็นค่าการส่งผ่านความนำของวงจรแสดงเป็น i_x/V_y จากการวิเคราะห์ห้วงจรมีค่าประมาณ $1/R$ โดยที่ $R=10k\Omega$ ได้ค่าการส่งผ่านความนำ $98.27\mu A/V$ สอดคล้องกับการนำเสนอทฤษฎีสมการ(3.48)มีช่วงปฏิบัติการทางความถี่ประมาณ $148.9MHz$ การจำลองการส่งผ่านกระแส i_x เป็นค่ากระแส i_z ของวงจรแสดงดังรูปที่ 3.19 ซึ่งจะพบว่าช่วงปฏิบัติการทางความถี่ของการส่งผ่านกระแสของ i_{zN}/i_x มีค่าประมาณ $193.9MHz$ และ i_{zP}/i_x มีค่าประมาณ $187MHz$ ตามลำดับ ค่าอัตราส่งผ่านกระแสในกรณี i_{zN} เทียบกับ i_x และ i_{zP} เทียบกับ i_x มีค่าประมาณ 1.056 และ 0.970 ตามลำดับ

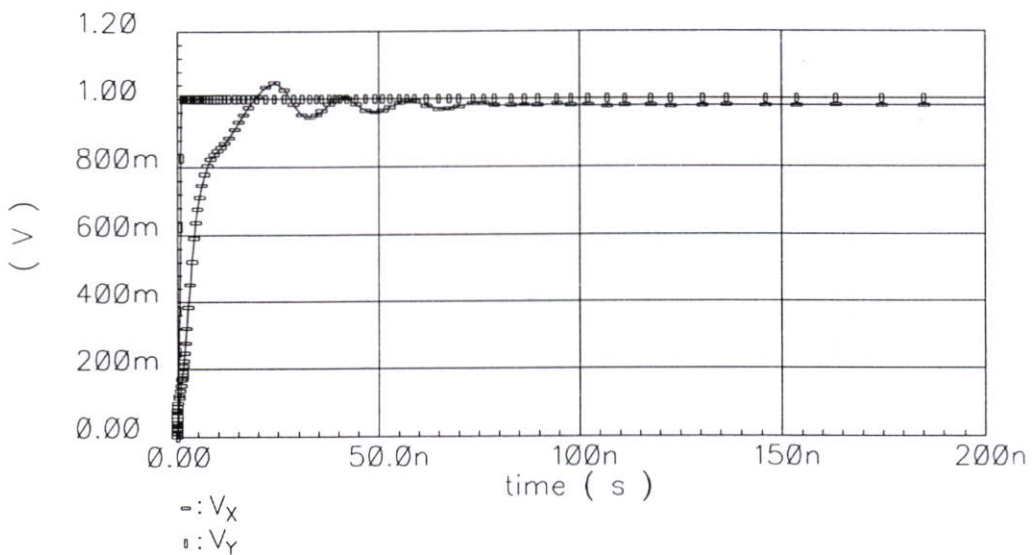


รูปที่ 3.19 การจำลองการส่งผ่านกระแสของวงจร



รูปที่ 3.20 ความสัมพันธ์ระหว่างค่าความต้านทานที่พอร์ต X เทียบกับความถี่

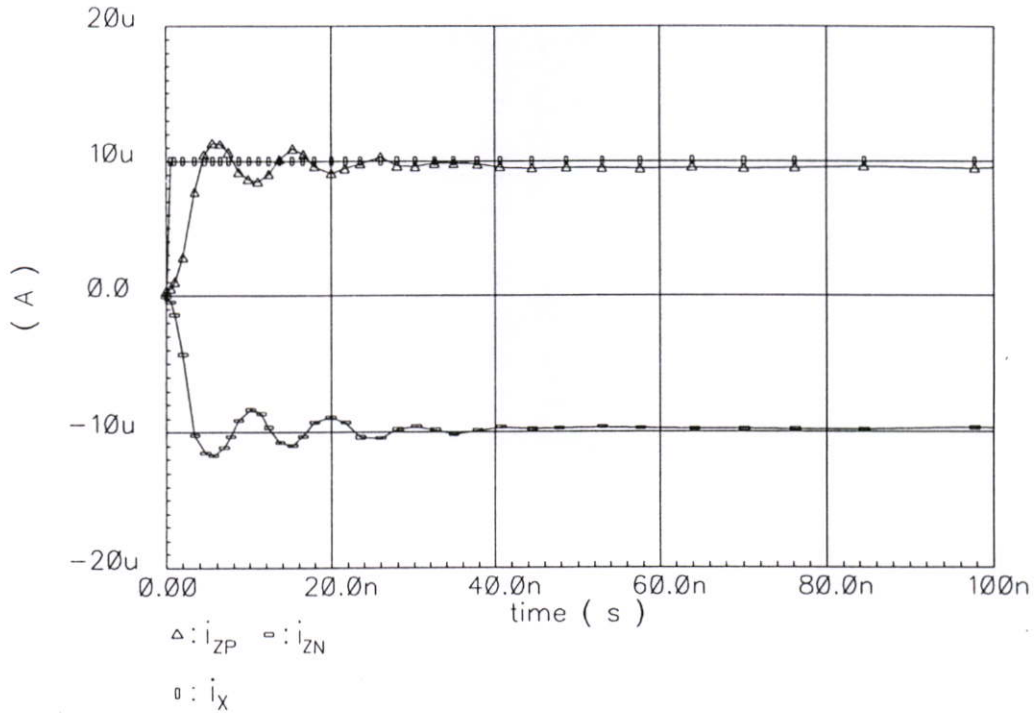
ในการทดสอบค่าความต้านทานที่พอร์ต X ของวงจร ได้ทดสอบโดยการป้อนค่าให้กระแสเข้าที่พอร์ต X แล้ววัดค่าแรงดันที่เกิดขึ้นที่พอร์ต X เป็น V_x ซึ่งจะได้ค่าความต้านทานที่พอร์ต X แสดงดังกราฟในรูปที่ 3.20 ซึ่งมีค่าประมาณ 1.8Ω ที่ความถี่ต่ำ



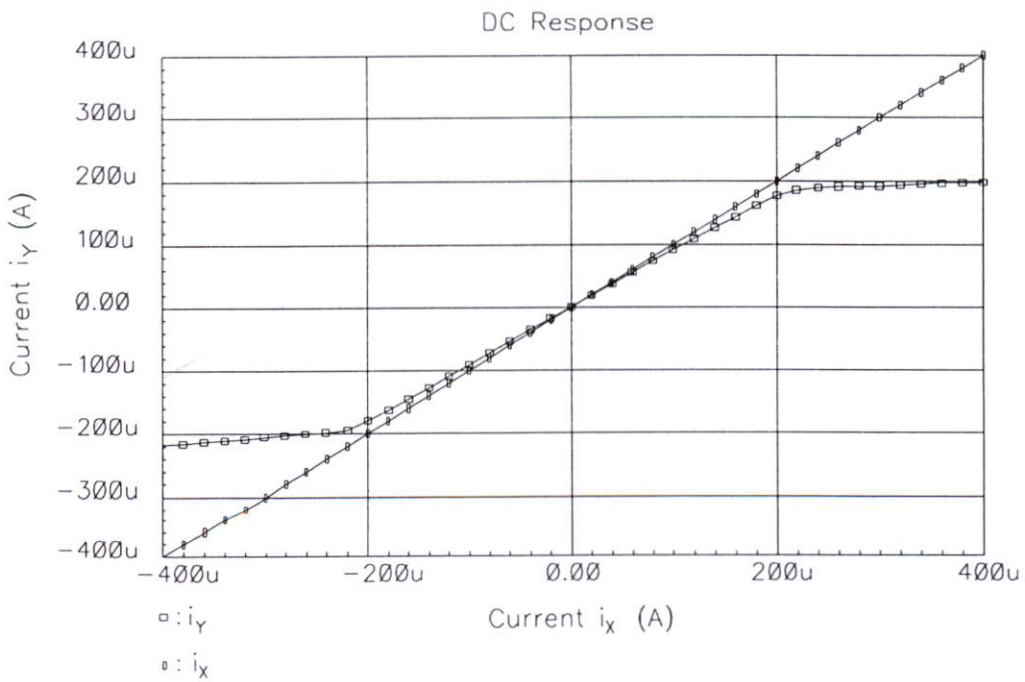
รูปที่ 3.21 ผลตอบสนองค่าแรงดันสัญญาณระหว่าง V_y และ V_x เทียบกับเวลา

เพื่อตรวจสอบความมีเสถียรภาพของวงจร ในการตอบสนองกับค่าเวลาได้ป้อนแรงดัน V_y ขนาด 1V ที่เป็นสัญญาณอินพุตและดูผลตอบสนองที่แรงดัน V_x ดังรูปที่ 3.21 โดยผลตอบสนองทางเวลาพบว่ามีความหน่วง(Delay time) เท่ากับ 100ns และทำนองเดียวกันในการ

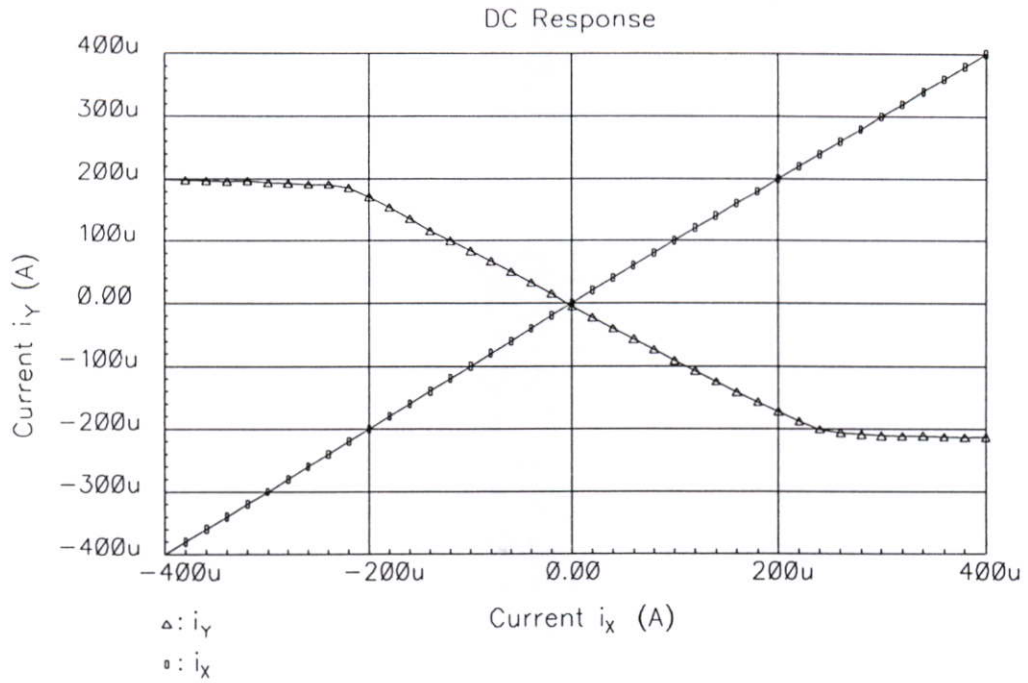
พิจารณาผลตอบสนองทางเวลาระหว่างกระแสอินพุต i_x และกระแสเอาต์พุต i_{zP} และ i_{zN} ได้ป้อนกระแสอินพุต i_x ขนาด $10 \mu A$ และดูผลตอบสนองที่กระแส i_{zP} และ i_{zN} พบว่ามีค่าเวลาหน่วงเท่ากับ 50 ns และ $45 \mu s$ ตามลำดับ



รูปที่ 3.22 ผลตอบสนองสัญญาณขนาดเล็กเทียบกับเวลาระหว่าง i_{zP} i_{zN} และ i_x



รูปที่ 3.23 การส่งผ่านกระแส i_x และ i_y ในกรณีที่เป็นวงจรสายพานกระแสยุคที่หนึ่ง

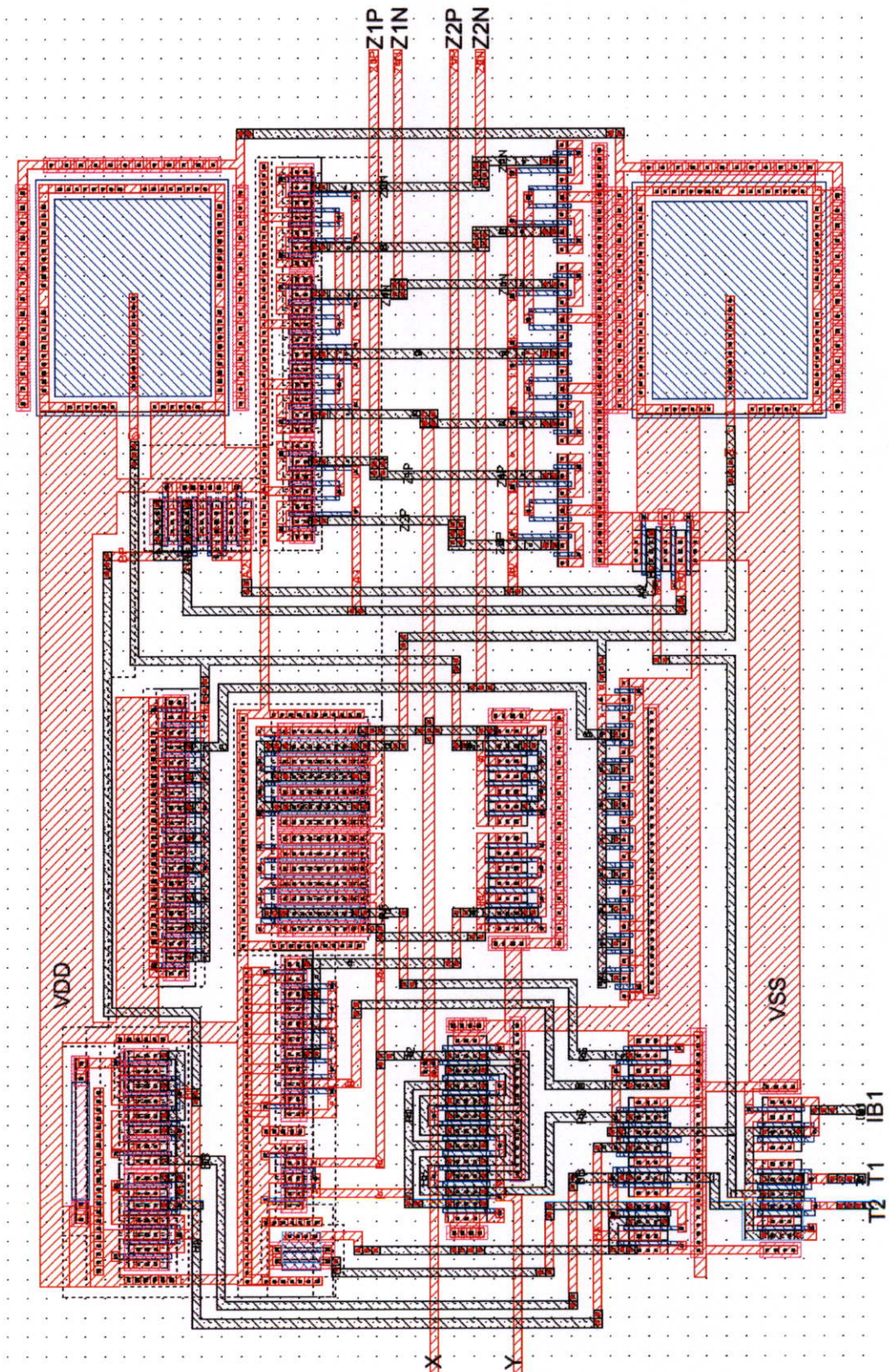


รูปที่ 3.24 การส่งผ่านกระแส i_x และ i_y ในกรณีที่เป็นวงจรสายพานกระแสยุคที่สาม

รูปที่ 3.23 และ 3.24 แสดงการส่งผ่านกระแส i_y และ i_x ของวงจรสายพานกระแสยุคที่หนึ่ง และวงจรสายพานกระแสยุคที่สามตามลำดับ จากการปรับโครงสร้างโดยวงจรสายพานกระแสยุคที่สองแบบมัลติเอ๊าท์พุท พบว่าในวงจรสายพานกระแสยุคที่หนึ่งและวงจรสายพานกระแสยุคที่สามมีค่าของกระแสที่พอร์ต์ Y คือ i_y มีค่าเท่ากับ i_x และ $-i_x$ ตามลำดับ มีช่วงปฏิบัติงานทางกระแสระหว่าง $-200 \mu\text{A}$ ถึง $200 \mu\text{A}$

3.5 วงจรเลย์เอาต์ (Layout) และผลการจำลองการทำงาน

รูปวงจรถ่ายเลย์เอาต์ของวงจรสายพานกระแสน้ำที่สองแบบมัลติเอาต์พุตแสดงดังรูปที่ 3.25

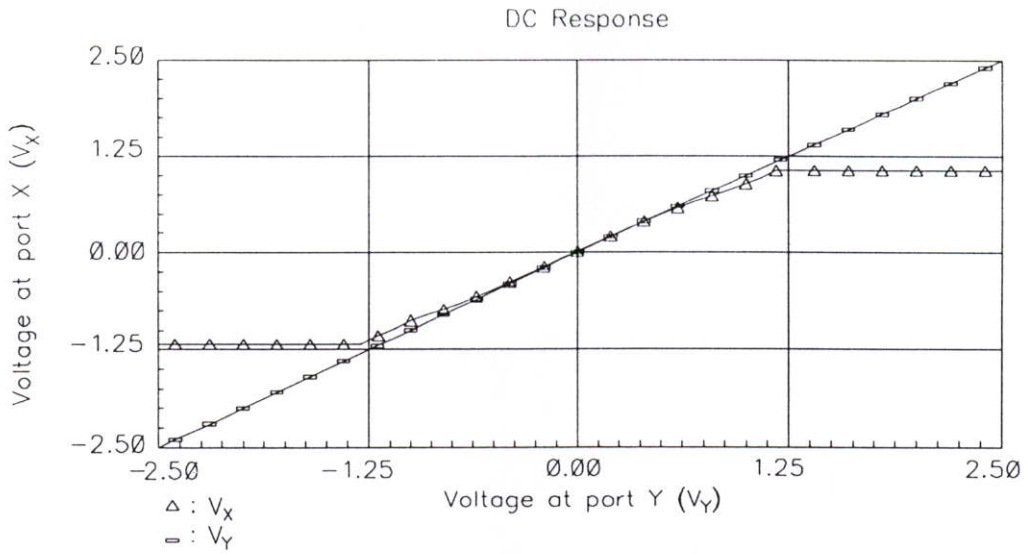


รูปที่ 3.25 เลย์เอาต์ของวงจรสายพานกระแสน้ำที่สองแบบมัลติเอาต์พุต

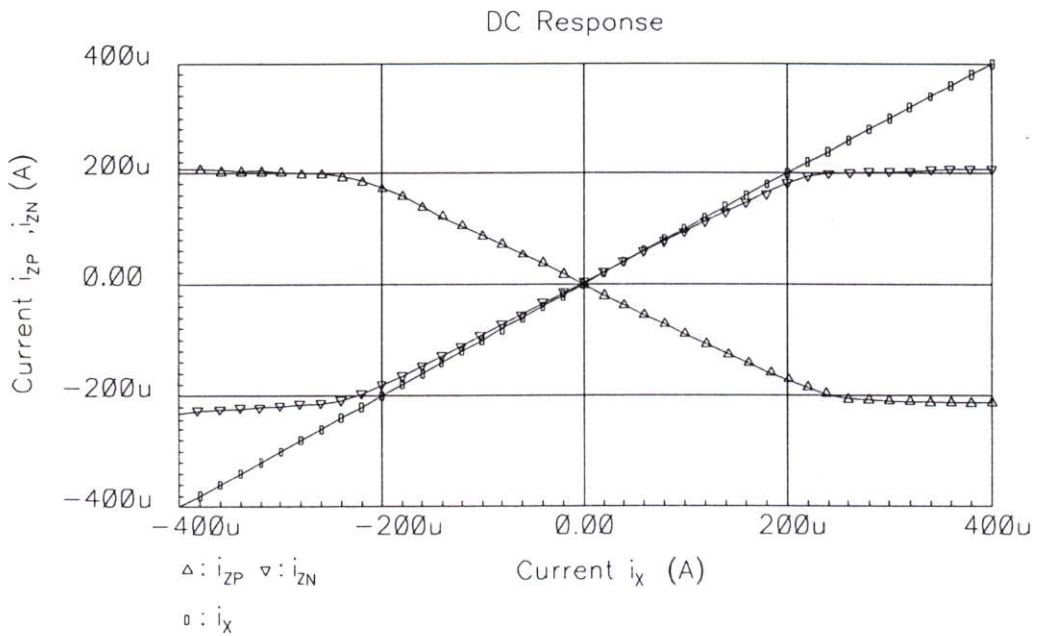
ตารางที่ 3.4 สรุปผลการจำลองการทำงานของเลย์เอาต์วงจรรายพานกระแสยุคที่สองแบบมัลติเอาต์พุตที่นำเสนอ

พารามิเตอร์	ค่าจาก Cadence	หน่วย
Voltage supply	± 2.5	V
Voltage range	-1.25 ถึง 1.125	V
Voltage gain	0.988	V
Voltage offset	0.005	V
Current range	-200 μ ถึง 200 μ	A
Current gain($i_{zN}/i_x, i_{zP}/i_x$)	0.973, 0.991	-
Impedance at port Y	2.95G	Ω
Impedance at port X	1.85	Ω
Impedance at port Z	216.4k	Ω
Bandwidth (V_x/V_y)	125.9	MHz
Bandwidth (i_x/V_y)	125	MHz
Bandwidth (i_{zN}/i_x)	150	MHz
Bandwidth (i_{zP}/i_x)	147	MHz
Power dissipation	14.33	mW

ผลการทดลองการจำลองการทำงานของวงจรรเลย์เอาต์ได้ความสัมพันธ์ระหว่างแรงดัน V_x เทียบกับ V_y แสดงดังรูปที่ 3.26 ซึ่งช่วงการทำงานของแรงดันของวงจรมีค่าตั้งแต่ -2.5V ถึง 2.5V ช่วงปฏิบัติงานทางแรงดันอยู่ระหว่าง -1.25V ถึง 1.125V รูปที่ 3.27 แสดงความสัมพันธ์ระหว่างกระแส i_{zN} เทียบกับ i_x และ i_{zP} เทียบกับ i_x โดยการป้อนกระแสอินพุตของวงจรมีค่าตั้งแต่ -400 μ A ถึง 400 μ A พบว่าค่าอัตราการส่งผ่านกระแส(Gain current error)ในกรณี i_{zN} เทียบกับ i_x และ i_{zP} เทียบกับ i_x มีค่าประมาณ 0.973 และ 0.991 ตามลำดับ โดยมีช่วงปฏิบัติงานทางกระแสอยู่ระหว่าง -200 μ A ถึง 200 μ A

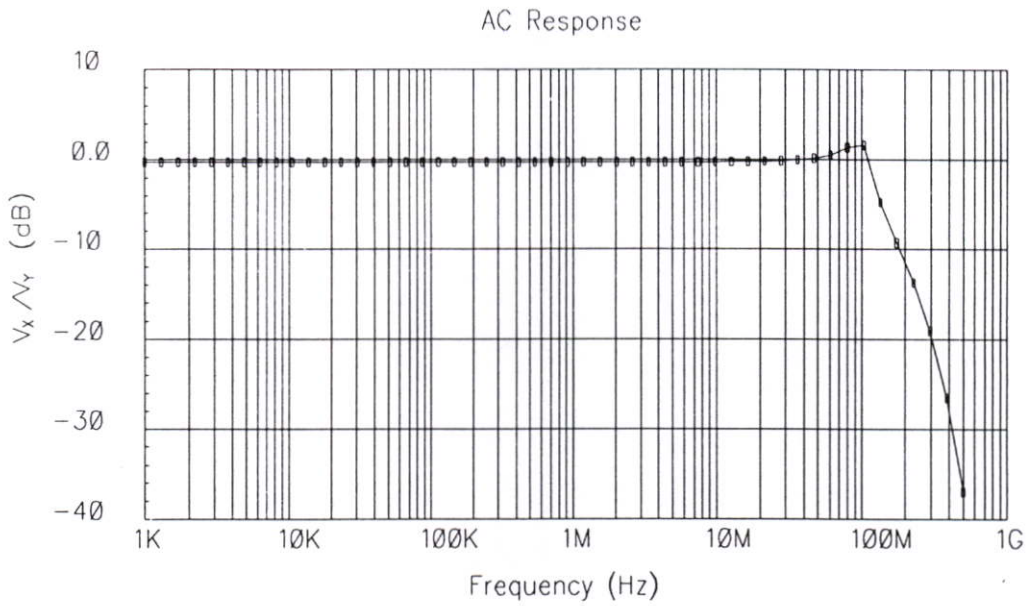


รูปที่ 3.26 ความสัมพันธ์ระหว่างแรงดัน V_X เทียบกับ V_Y

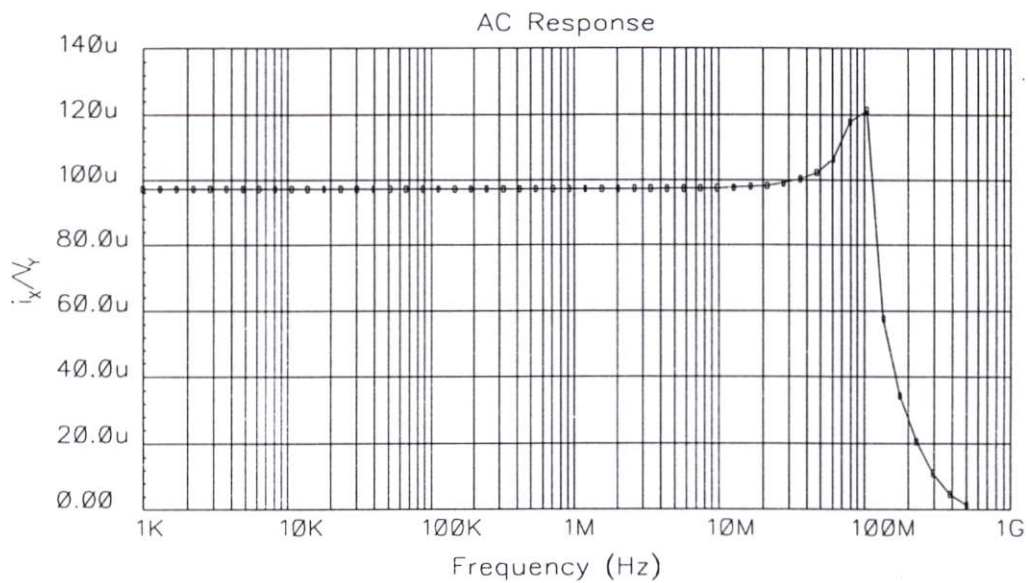


รูปที่ 3.27 ความสัมพันธ์ระหว่าง $i_{zP, zN}$ เทียบกับ i_X

ในการพิจารณาถึงความสามารถของวงจรต่อผลการตอบสนองต่อความถี่ สามารถแสดงได้ดังรูปที่ 3.28 รูปที่ 3.29 และรูปที่ 3.30 โดยที่รูปที่ 3.28 แสดงการจำลองการส่งผ่านแรงดันของวงจร ซึ่งจะพบว่าช่วงปฏิบัติการทางความถี่ของการส่งผ่านแรงดัน V_Y เป็นค่า V_X ของวงจรมีค่าประมาณ 125.9 MHz

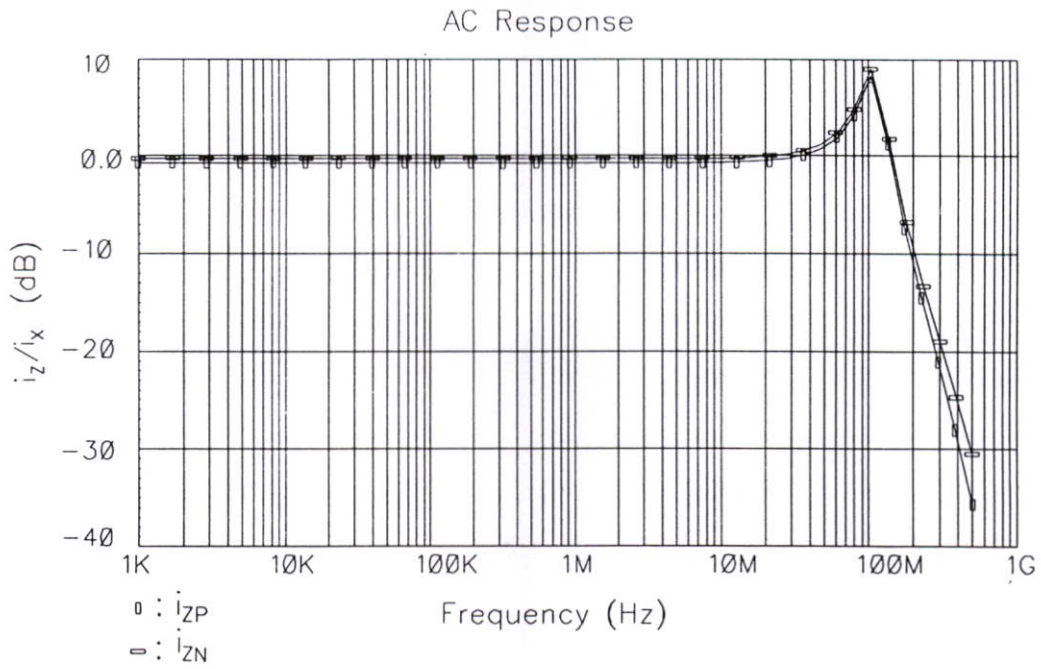


รูปที่ 3.28 การจำลองการส่งผ่านแรงดันของวงจรเลย์เอาต์

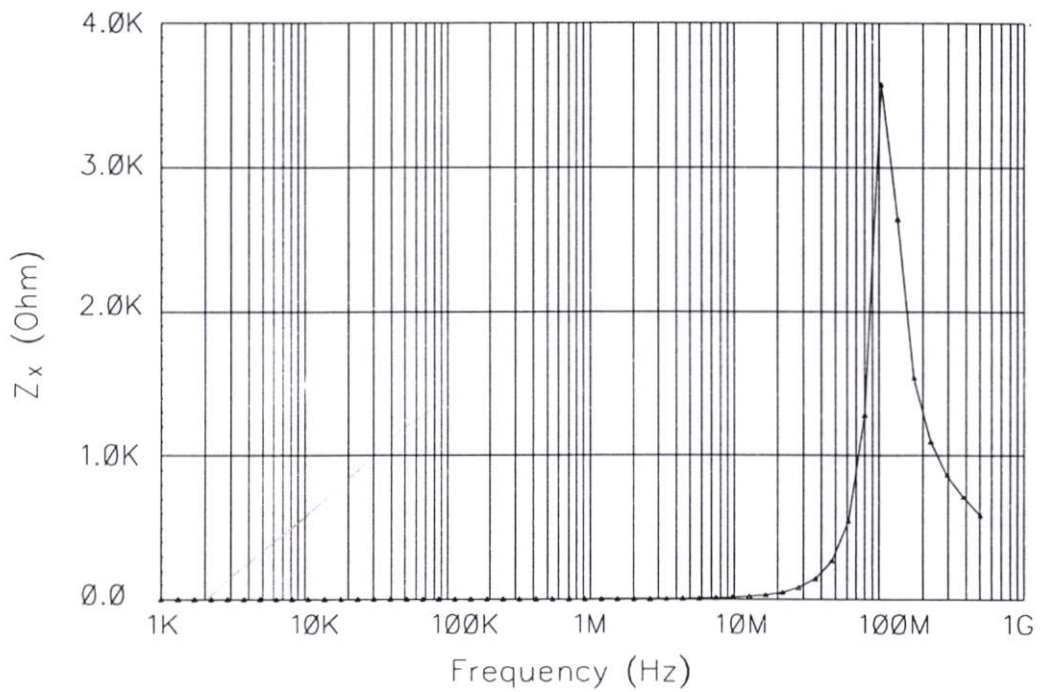


รูปที่ 3.29 ความสัมพันธ์ระหว่างอัตราส่วน i_x กับ V_y เทียบกับความถี่

รูปที่ 3.29 แสดงความสัมพันธ์ระหว่างอัตราส่วน i_x กับ V_y เทียบกับความถี่ซึ่งเป็นค่าการส่งผ่านความนำของวงจรแสดงเป็น i_x/V_y ได้ค่าการส่งผ่านความนำของวงจรเท่ากับ $98.35 \mu\text{A/V}$ และมีช่วงปฏิบัติการทางความถี่ประมาณ 125 MHz รูปที่ 3.30 แสดงการจำลองการส่งผ่านกระแส i_x เป็นค่ากระแส i_z ของวงจร ซึ่งจะพบว่าช่วงปฏิบัติการทางความถี่ของการส่งผ่านกระแสของ i_{zN}/i_x มีค่าประมาณ 150 MHz และ i_{zP}/i_x มีค่าประมาณ 147 MHz ตามลำดับ



รูปที่ 3.30 การจำลองการส่งผ่านกระแสของวงจรถ่ายเอาต์



รูปที่ 3.31 ความสัมพันธ์ระหว่างค่าความต้านทานที่พอร์ต X เทียบกับความถี่

ในการทดสอบค่าความต้านทานที่พอร์ต X ของวงจรถ่ายเอาต์ ได้ทำการทดสอบโดยการป้อนค่ากระแสเข้าที่พอร์ต X แล้ววัดค่าแรงดันที่เกิดขึ้นที่พอร์ต X เป็น V_x ซึ่งจะได้ค่าความต้านทานที่พอร์ต X แสดงดังกราฟในรูปที่ 3.31 มีค่าประมาณ 1.85Ω ที่ความถี่ต่ำ

การประยุกต์ใช้งานวงจรสายพานกระแสแบบมัลติเอาต์พุต

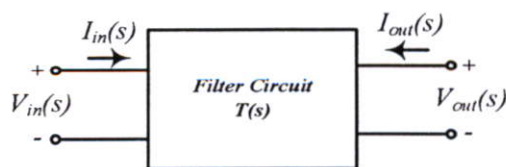
วงจรสายพานกระแสแบบมัลติเอาต์พุตได้ถูกนำไปประยุกต์ใช้เป็นวงจรพื้นฐานในการออกแบบวงจรรวมต่างๆ ในหลากหลายรูปแบบ เช่น วงจรสังเคราะห์อิมพีแดนซ์ (Impedance converter) [35] วงจรกรองความถี่ (filter) [36]-[37] และวงจรออสซิลเลเตอร์ (Oscillator) [38]-[39] เป็นต้น ด้วยคุณสมบัติความเป็นมัลติเอาต์พุตทำให้วงจรที่นำไปประยุกต์ใช้ มีความหลากหลายมากขึ้น อีกทั้งยังลดจำนวนอุปกรณ์ที่ใช้ให้น้อยลงได้ เมื่อพิจารณาถึงการนำไปสร้างวงจรรวม เนื่องจากความสามารถในการสังเคราะห์เป็นอุปกรณ์ประเภทพาสซีฟได้ ทำให้ช่วยลดเนื้อที่ของการสร้างเลย์เอาต์ของวงจร และสะดวกในการออกแบบสร้างอีกด้วย สำหรับวงจรสายพานกระแสที่นำเสนอ จะได้แสดงให้เห็นถึงการประยุกต์ใช้เป็นวงจรเลียนแบบค่าความต้านทาน และวงจรกรองความถี่ผ่านหลายหน้าที่เพื่อเป็นการทดสอบการทำงานของวงจรสายพานกระแสที่ได้ทำการออกแบบ และแสดงให้เห็นถึงความสามารถในการนำไปประยุกต์ใช้งานของวงจร

4.1 วงจรเลียนแบบค่าความต้านทาน

ตัวต้านทานเป็นอุปกรณ์อิเล็กทรอนิกส์ที่ทำหน้าที่กำหนดแรงดัน หรือจำกัดกระแสที่ไหลภายในวงจร การสร้างตัวต้านทานจากสารกึ่งตัวนำจะได้ค่าความต้านทานเป็นบวก นอกจากนี้ค่าความต้านทานยังสามารถสร้างได้จากอุปกรณ์แอคทีฟ เพื่อเพิ่มความสามารถในการปรับค่าความต้านทานได้ สามารถทำให้ค่าความต้านทานเปลี่ยนแปลงตามความถี่ได้ การเลียนแบบค่าความต้านทานที่เป็นลบสามารถทำได้โดยใช้อุปกรณ์แอคทีฟเช่นเดียวกัน โดยสามารถนำไปใช้ประโยชน์ในวงจรกรองความถี่ และวงจรออสซิลเลเตอร์ได้

4.2 วงจรกรองความถี่

4.2.1 หลักการทั่วไปของวงจรกรองความถี่ [40]-[41]



รูปที่ 4.1 วงจร 2 พอร์ต

วงจรกรองความถี่จัดเป็นวงจรแบบ 2 พอร์ตแสดงดังรูปที่ 4.1 เป็นวงจรที่ทำให้ลักษณะของสเปกตรัมของสัญญาณอินพุตก่อรูปเป็นสเปกตรัมของสัญญาณเอาต์พุตที่มีความถี่ที่ต้องการหรืออาจกล่าวได้ว่าวงจรกรองความถี่ทำหน้าที่แยกสัญญาณที่ไม่ต้องการออกจากสัญญาณที่ต้องการ ในการศึกษาคูณสมบัติของวงจรกรองความถี่จะพิจารณาในลักษณะของความสัมพันธ์ระหว่างสัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรเป็นหลัก

จากรูปที่ 4.1 กำหนดให้สัญญาณทางด้านอินพุตและเอาต์พุตในโดเมนความถี่คือ $I_{in}(s)$ และ $I_{out}(s)$ ตามลำดับสามารถหาฟังก์ชันถ่ายโอนของวงจรได้ดังต่อไปนี้

$$T(s) = \frac{I_{out}(s)}{I_{in}(s)} \quad (4.1)$$

ดังนั้น

$$I_{out}(s) = T(s)I_{in}(s) \quad (4.2)$$

เนื่องจาก s มีค่าเท่ากับ $\sigma + j\omega$ ดังนั้นเมื่อทำการวิเคราะห์ห้วงจรภายใต้สถานะคงตัวที่มีอินพุตเป็นคลื่นรูปไซน์จะทำให้ σ มีค่าเท่ากับศูนย์ และ s มีค่าเท่ากับ $j\omega$ สามารถเขียนสมการในรูปขนาดและเฟสได้ดังนี้

$$|I_{out}(j\omega)| = |T(j\omega)| |I_{in}(j\omega)| \quad (4.3)$$

เมื่อ $\phi_{out}(j\omega)$, $\phi_T(j\omega)$ และ $\phi_{in}(j\omega)$ คือค่าเฟสของ $I_{out}(j\omega)$, $T(j\omega)$ และ $I_{in}(j\omega)$ ทำให้ได้ความสัมพันธ์

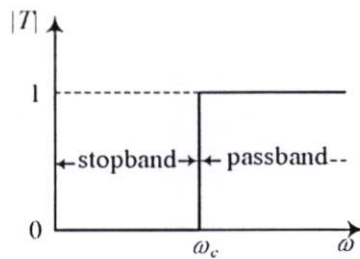
$$\phi_{out}(j\omega) = \phi_T(j\omega) + \phi_{in}(j\omega) \quad (4.4)$$

จากสมการจะเห็นว่าขนาดของสัญญาณทางด้านเอาต์พุตมีค่าเท่ากับผลคูณของขนาดสัญญาณทางด้านอินพุตกับขนาดผลตอบสนองเชิงความถี่ของวงจร ดังนั้นถ้ากำหนดให้ขนาดของ $T(j\omega)$ เท่ากับศูนย์ในช่วงความถี่ตั้งแต่ ω_{s1} ถึง ω_{s2} จะส่งผลให้ ขนาดของสัญญาณทางด้านเอาต์พุตมีค่าเท่ากับศูนย์ด้วย ซึ่งช่วงความถี่ตั้งแต่ ω_{s1} ถึง ω_{s2} จะถูกเรียกว่า แถบหยุด (Stop band) ของวงจรกรองความถี่ ในทำนองเดียวกันถ้าให้ขนาดของ $T(j\omega)$ เท่ากับหนึ่ง(กรณีอุดมคติ)ในช่วงความถี่ตั้งแต่ ω_{p1} ถึง ω_{p2} ขนาดสัญญาณทางด้านเอาต์พุตจะมีค่าเป็นไปตามสมการ และเรียกช่วงความถี่ตั้งแต่ ω_{p1} ถึง ω_{p2} ว่าแถบผ่าน (Pass band) ของวงจรกรองความถี่

วงจรกรองความถี่สามารถแบ่งออกได้เป็น 5 รูปแบบพื้นฐาน โดยอาศัยลักษณะของแถบหยุดและแถบผ่านของวงจร ซึ่งเกิดจากการตอบสนองของฟังก์ชันขนาด $T(j\omega)$ ที่แตกต่างกันของวงจรดังนี้

(1) วงจรกรองความถี่สูงผ่าน

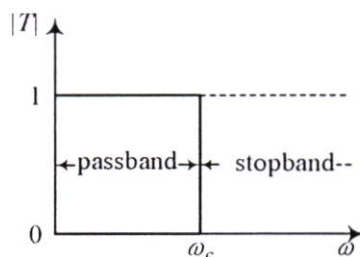
วงจรกรองความถี่สูงผ่าน (Highpass filter:HPF) เป็นวงจรกรองความถี่ที่มีช่วงความถี่ตั้งแต่ $\omega=0$ ถึง $\omega=\omega_c$ เป็นแถบหยุด โดยที่ ω_c ถูกเรียกว่า ความถี่คัตออฟ (Cutoff frequency) ของวงจร และมีช่วงความถี่ตั้งแต่ ω_c ไปจนถึงอนันต์เป็นแถบผ่าน ซึ่งสามารถแสดงรูปการตอบสนองเชิงความถี่ของวงจรในทางอุดมคติได้ดังรูปที่ 4.2



รูปที่ 4.2 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองความถี่สูงผ่านในทางอุดมคติ

(2) วงจรกรองความถี่ต่ำผ่าน

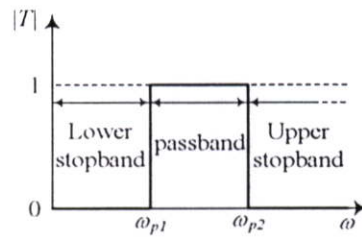
วงจรกรองความถี่ต่ำผ่าน (Lowpass filter:LPF) เป็นวงจรที่มีลักษณะการตอบสนองทางขนาดเชิงความถี่สลับที่กับวงจรกรองความถี่สูงผ่าน แถบผ่านของวงจรจะมีความถี่ตั้งแต่ $\omega=0$ ไปจนถึง $\omega=\omega_c$ และมีแถบหยุดตั้งแต่ ω_c ไปจนถึงอนันต์ รูปการตอบสนองทางขนาดเชิงความถี่ของวงจรในทางอุดมคติแสดงดังรูปที่ 4.3



รูปที่ 4.3 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองความถี่ต่ำผ่านในทางอุดมคติ

(3) วงจรกรองแถบความถี่ผ่าน

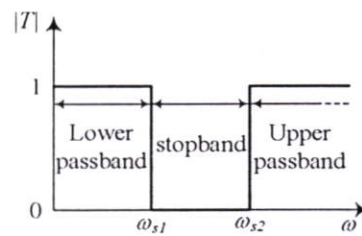
วงจรกรองแถบความถี่ผ่าน (Bandpass filter :BPF) จะมีแถบผ่านความถี่ตั้งแต่ ω_{p1} ถึง ω_{p2} ในขณะที่ความถี่อื่นเป็นแถบหยุด รูปการตอบสนองทางขนาดเชิงความถี่ของวงจรกรองแถบความถี่ผ่านในทางอุดมคติแสดงดังรูปที่ 4.4



รูปที่ 4.4 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองแถบความถี่ผ่านในทางอุดมคติ

(4) วงจรกรองกำจัดแถบความถี่

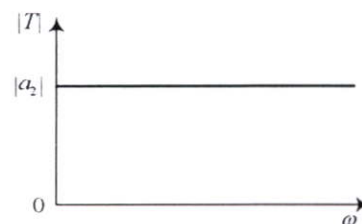
วงจรกรองกำจัดแถบความถี่ (Bandstop filter:BSF) เป็นวงจรที่มีลักษณะการตอบสนองทางขนาดเชิงความถี่ตรงกันข้ามกับวงจรกรองแถบความถี่ผ่าน วงจรจะมีแถบหยุดตั้งแต่ความถี่ ω_{s1} ถึง ω_{s2} วงจรกรองกำจัดแถบความถี่ที่มีแถบหยุดเฉพาะความถี่แคบๆ มีชื่อเรียกได้อีกชื่อคือ วงจร นอตช์ฟิลเตอร์ (Notch filter :NF) ซึ่งแสดงรูปการตอบสนองทางขนาดเชิงความถี่ของวงจรกรองกำจัดแถบความถี่ในทางอุดมคติได้ดังรูป



รูปที่ 4.5 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองกำจัดแถบความถี่ในทางอุดมคติ

(5) วงจรกรองทุกความถี่ผ่าน

วงจรกรองทุกความถี่ผ่าน (Allpass filter:APF) เป็นวงจรที่มีลักษณะการตอบสนองทางขนาดเชิงความถี่ที่ยอมให้สัญญาณทุกความถี่สามารถผ่านวงจรไปได้ โดยผลตอบสนองทางขนาดจะมีค่าคงที่ตลอดไม่ขึ้นกับความถี่ แต่ผลตอบสนองทางเฟสของวงจรมานั้นจะเปลี่ยนแปลงไปตามฟังก์ชันของความถี่ รูปการตอบสนองทางขนาดเชิงความถี่ของวงจรกรองทุกความถี่ผ่านในอุดมคติได้ดังรูปที่ 4.6



รูปที่ 4.6 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองทุกความถี่ผ่านในทางอุดมคติ

4.2.2 วงจรกรองความถี่ผ่านหลายหน้าที่

วงจรกรองความถี่ผ่านหลายหน้าที่(Universal filter) หมายถึงวงจรกรองความถี่ที่สามารถให้ฟังก์ชันการทำงานได้หลายรูปแบบในวงจรเดียว

4.2.2.1 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับหนึ่ง

วงจรกรองความถี่ผ่านหลายหน้าที่อันดับหนึ่ง มีรูปสมการของฟังก์ชันการถ่ายโอนเป็นแบบฟังก์ชันไบลิเนียร์ (Bilinear transfer function) มีรูปแบบมาตรฐานดังสมการ

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \quad (4.5)$$

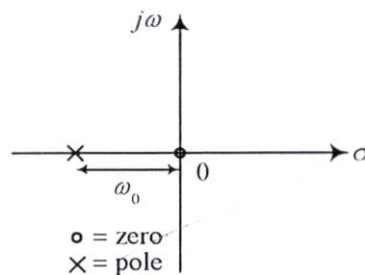
a_0 และ a_1 คือสัมประสิทธิ์ของจำนวนเศษ

ω_0 คือ ค่าความถี่คัตออฟเชิงมุม (Angular cutoff frequency)

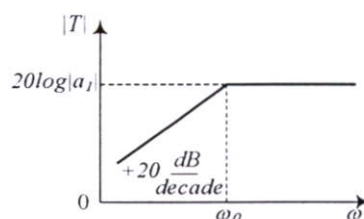
วงจรกรองความถี่อันดับหนึ่งเป็นวงจรที่มีการตกลงของอัตราขยายเมื่อเทียบกับความถี่เท่ากับ 20 dB/dec จากสมการจะพบว่าสามารถหาค่าซีโร (Zero) ของฟังก์ชันการถ่ายโอนอันดับหนึ่งได้จากค่าสัมประสิทธิ์ของจำนวนเศษ ซึ่งจะช่วยให้ทราบถึงชนิดของวงจรกรองความถี่

(1) สมการฟังก์ชันการถ่ายโอนของวงจรกรองความถี่สูงผ่านอันดับหนึ่งมีรูปแบบคือ

$$T(s) = \frac{a_1 s}{s + \omega_0} \quad (4.6)$$



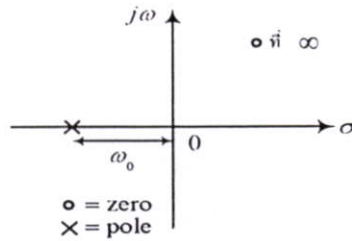
รูปที่ 4.7 ค่าโพลและซีโรบน s-plane ของวงจรกรองความถี่สูงผ่านอันดับหนึ่ง



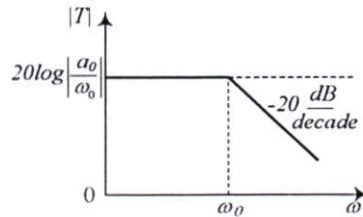
รูปที่ 4.8 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองความถี่สูงผ่านอันดับหนึ่ง

(2) สมการฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ต่ำผ่านอันดับหนึ่งมีรูปแบบคือ

$$T(s) = \frac{a_0}{s + \omega_0} \quad (4.7)$$



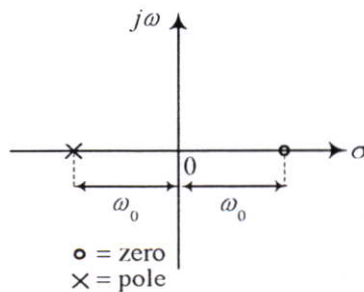
รูปที่ 4.9 ค่าโพลและซีโรบน s-plane ของวงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง



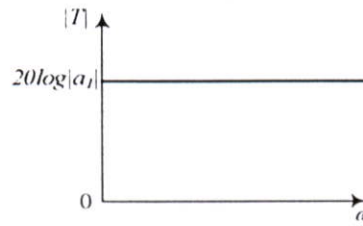
รูปที่ 4.10 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง

(3) สมการฟังก์ชันการถ่ายโอนของวงจรกรองทุกความถี่ผ่านอันดับหนึ่งมีรูปแบบคือ

$$T(s) = -a_1 \frac{s - \omega_0}{s + \omega_0} \quad (4.8)$$



รูปที่ 4.11 ค่าโพลและซีโรบน s-plane ของวงจรกรองทุกความถี่ผ่านอันดับหนึ่ง



รูปที่ 4.12 การตอบสนองทางขนาดเชิงความถี่ของวงจรกรองทุกความถี่ผ่านอันดับหนึ่ง

4.2.2.2 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับสอง

วงจรกรองความถี่ผ่านหลายหน้าที่อันดับสองมีรูปสมการของฟังก์ชันการถ่ายโอนเป็นแบบฟังก์ชันไบควอดราติก (Biquadratic transfer function) มีรูปแบบมาตรฐานดังสมการ

$$T(s) = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (4.9)$$

ω_0 คือ ค่าความถี่คัตออฟเชิงมุม (Angular cutoff frequency)

a_0 a_1 a_2 คือสัมประสิทธิ์ของจำนวนเศษ

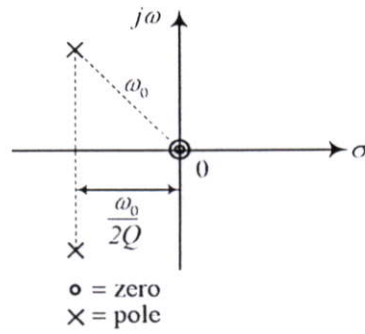
Q คือ ตัวประกอบคุณภาพ (Quality factor)

วงจรกรองความถี่อันดับสองเป็นวงจรที่มีการตกลงของอัตราขยายเมื่อเทียบกับความถี่มีค่าเท่ากับ 40 dB/dec จากสมการจะพบว่าสามารถหาค่าซีโร (Zero) ของฟังก์ชันการถ่ายโอนอันดับสองได้จากค่าสัมประสิทธิ์ของจำนวนเศษ ซึ่งจะช่วยให้ทราบถึงชนิดของวงจรกรองความถี่ได้

(1) สมการฟังก์ชันการถ่ายโอนของวงจรกรองความถี่สูงผ่านอันดับสองมีรูปแบบคือ

$$T(s) = \frac{a_2 s^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (4.10)$$

a_2 คือค่าอัตราขยายความถี่สูง (High frequency gain) และ ω_0 คือ ค่าความถี่คัตออฟเชิงมุม (Angular cutoff frequency)

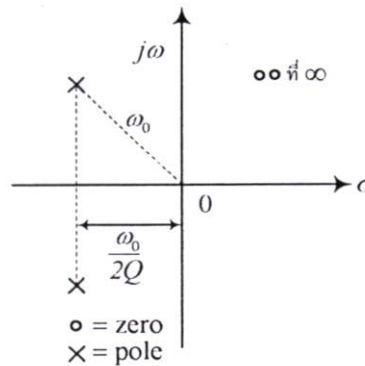


รูปที่ 4.13 ค่าโพลและซีโรบน s-plane ของวงจรรองความถี่อันดับสองอันดับสอง

(2) สมการฟังก์ชันการถ่ายโอนของวงจรรองความถี่ต่ำผ่านอันดับสองมีรูปแบบคือ

$$T(s) = \frac{a_0}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (4.11)$$

a_0 / ω_0^2 คืออัตราขยายไฟตรง(DC gain)

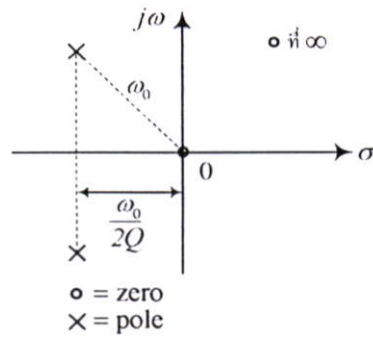


รูปที่ 4.14 ค่าโพลและซีโรบน s-plane ของวงจรรองความถี่ต่ำผ่านอันดับสอง

(3) สมการฟังก์ชันการถ่ายโอนของวงจรรองแถบความถี่ผ่านอันดับสองมีรูปแบบคือ

$$T(s) = \frac{a_1 s}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (4.12)$$

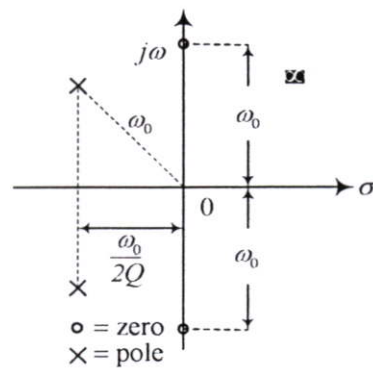
$a_1 Q / \omega_0$ คืออัตราขยายที่ความถี่ศูนย์กลาง(Center-frequency gain) และผลตอบสนองทางขนาดเชิงความถี่จะมีค่าสูงสุด(Peak) ที่ $\omega = \omega_0$ หรือค่าความถี่ศูนย์กลางของวงจรร ซึ่งจะมีค่าเท่ากับค่าความถี่ของโพลของสมการ



รูปที่ 4.15 ค่าโพลและซีโรบน s-plane ของวงจรกรองแถบความถี่ผ่านอันดับสอง

(4) สมการฟังก์ชันการถ่ายโอนของวงจรกรองกำจัดแถบความถี่อันดับสองมีรูปแบบคือ

$$T(s) = \frac{a_2 s^2 + \omega_0^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (4.13)$$

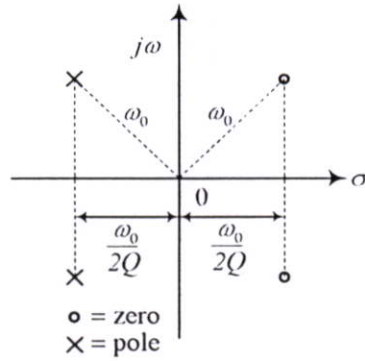


รูปที่ 4.16 ค่าโพลและซีโรบน s-plane ของวงจรกรองกำจัดแถบความถี่อันดับสอง

(5) สมการฟังก์ชันการถ่ายโอนของวงจรกรองทุกความถี่ผ่านอันดับสองมีรูปแบบคือ

$$T(s) = \frac{a_2 s^2 - \frac{\omega_0}{Q} s + \omega_0^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (4.14)$$

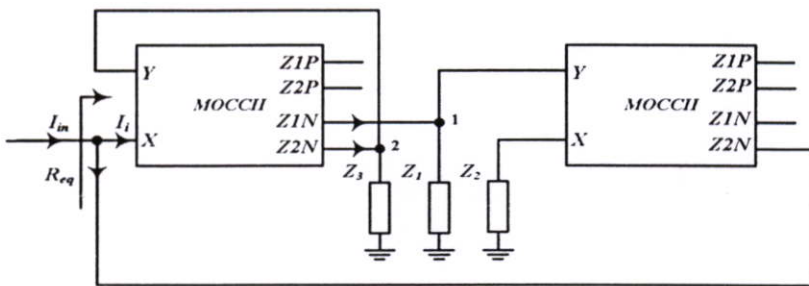
$|a_2|$ คือค่าอัตราขยายแบบราบ (Flat gain) ของวงจร



รูปที่ 4.17 ค่าโพลและซีโรบน s-plane ของวงจรกรองทุกความถี่ผ่านอันดับสอง

4.3 การประยุกต์ใช้งานและผลการทดลอง

4.3.1 วงจรเลียนแบบค่าความต้านทานแบบลบ



รูปที่ 4.18 วงจรเลียนแบบค่าความต้านทานแบบลบ

จากรูป ความสัมพันธ์ระหว่าง I_i และ I_{in} เป็นดังสมการ (4.15)

$$I_i = \left(\frac{Z_2}{Z_1 + Z_2} \right) I_{in} \tag{4.15}$$

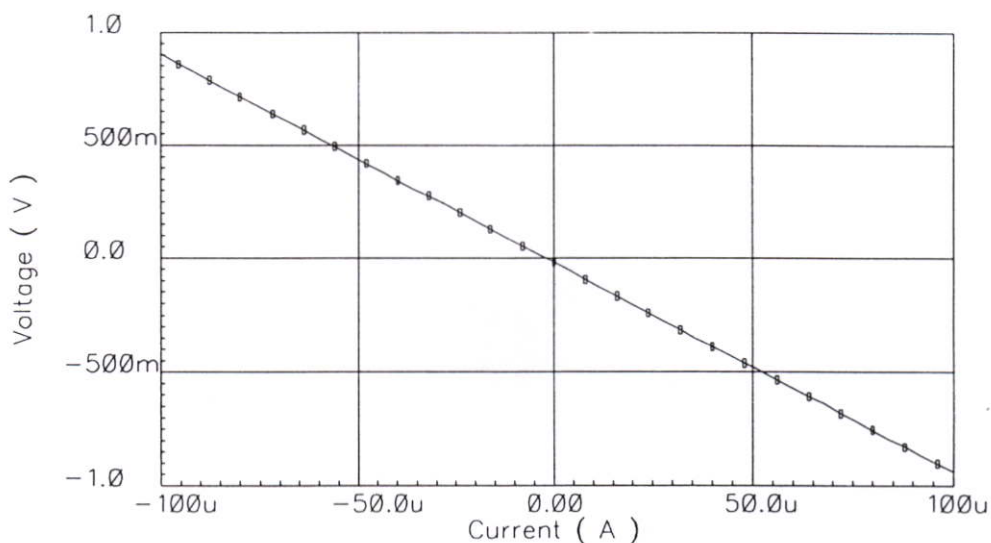
ในการสร้างวงจรเลียนแบบความต้านทานแบบลบทำได้โดยการต่อ วงจรสายพานกระแสชุดที่สามร่วมกับวงจรสายพานกระแสชุดที่สอง ทำให้ได้

$$V_2 = -I_i Z_3 = -\left(\frac{Z_2 Z_3}{Z_1 + Z_2} \right) I_{in} \tag{4.16}$$

ดังนั้น

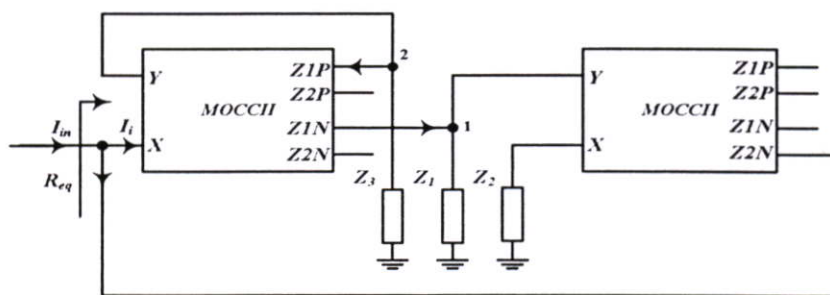
$$R_{eq} = \frac{V_2}{I_{in}} = -\left(\frac{Z_2 Z_3}{Z_1 + Z_2} \right) \tag{4.17}$$

เมื่อกำหนดให้ $Z_1=Z_2=10\text{ k}\Omega$ และ $Z_3=20\text{ k}\Omega$ ทำให้ค่าความต้านทานเสมือนหรือ R_{eq} มีค่าเท่ากับ $-10\text{ k}\Omega$



รูปที่ 4.19 ความสัมพันธ์ระหว่างกระแสและแรงดันที่ทำให้ได้ค่า $R_{eq} = -9.25\text{ k}\Omega$

4.3.2 วงจรเลียนแบบค่าความต้านทานแบบบวก



รูปที่ 4.20 วงจรเลียนแบบความต้านทานค่าบวก

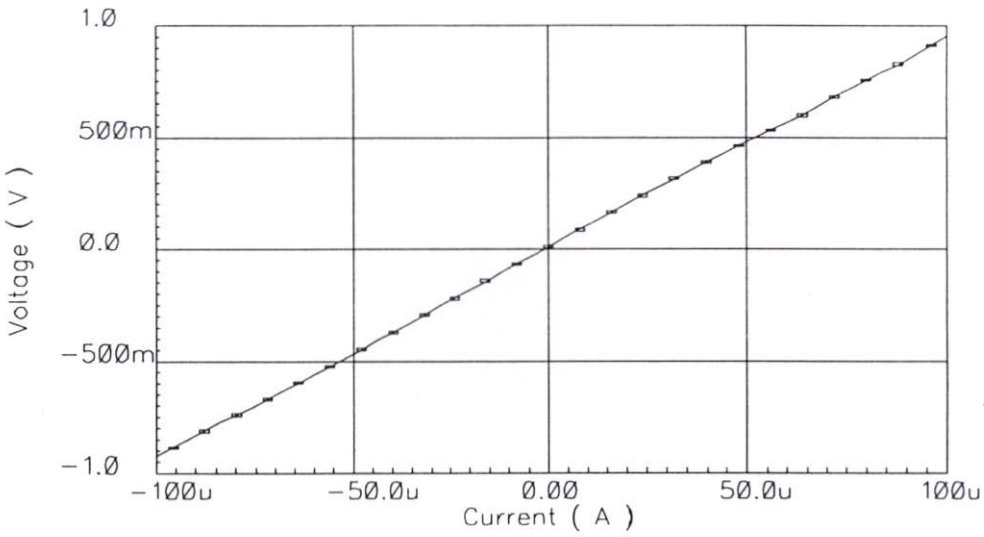
ในการสร้างวงจรเลียนแบบความต้านทานแบบบวกทำได้โดยการต่อวงจรสายพานกระแสยุคที่หนึ่งร่วมกับวงจรสายพานกระแสยุคที่สอง ทำให้ได้

$$V_2 = I_1 Z_3 = \left(\frac{Z_2 Z_3}{Z_1 + Z_2} \right) I_{in} \tag{4.18}$$

ดังนั้น

$$R_{eq} = \frac{V_2}{I_{in}} = \left(\frac{Z_2 Z_3}{Z_1 + Z_2} \right) \tag{4.19}$$

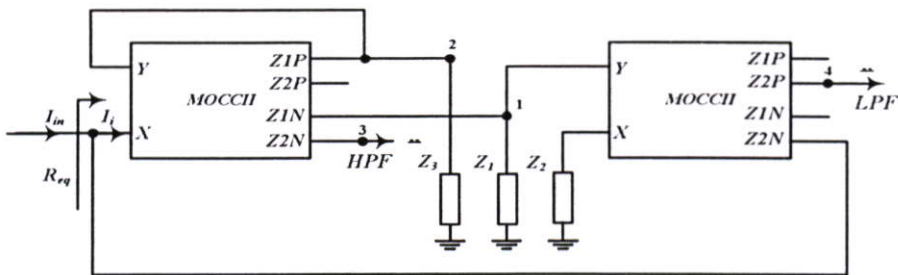
เมื่อกำหนดให้ $Z_1=Z_2=10\text{ k}\Omega$ และ $Z_3=20\text{ k}\Omega$ ซึ่งจะทำให้ค่าความต้านทานเสมือน หรือ R_{cq} มีค่าเท่ากับ $10\text{ k}\Omega$



รูปที่ 4.21 ความสัมพันธ์ระหว่างกระแสและแรงดันที่ทำให้ได้ค่า $R_{cq} = 9.4\text{ k}\Omega$

4.3.3 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่ง

จากโครงสร้างของวงจรเลียนแบบค่าความต้านทานแบบบวกสามารถนำมาปรับสร้างเป็นวงจรกรองความถี่ผ่านได้



รูปที่ 4.22 วงจรกรองความถี่สูงผ่านและกรองความถี่ต่ำผ่านอันดับหนึ่ง

กำหนดให้

$$Z_1 = 1/sC, \quad Z_2 = R, \quad Z_3 = R' \tag{4.20}$$

แทนสมการ (4.20) พิจารณาโหนด 3 จะได้

$$I_3 = I_i \tag{4.21}$$

แทนค่าสมการ (4.15) และ (4.23) ลงใน (4.26) ได้

$$I_2 = \left(\frac{Z_1 - Z_2}{Z_1 + Z_2} \right) I_{in} = \left(\frac{1 - sCR}{1 + sCR} \right) I_{in} \quad (4.27)$$

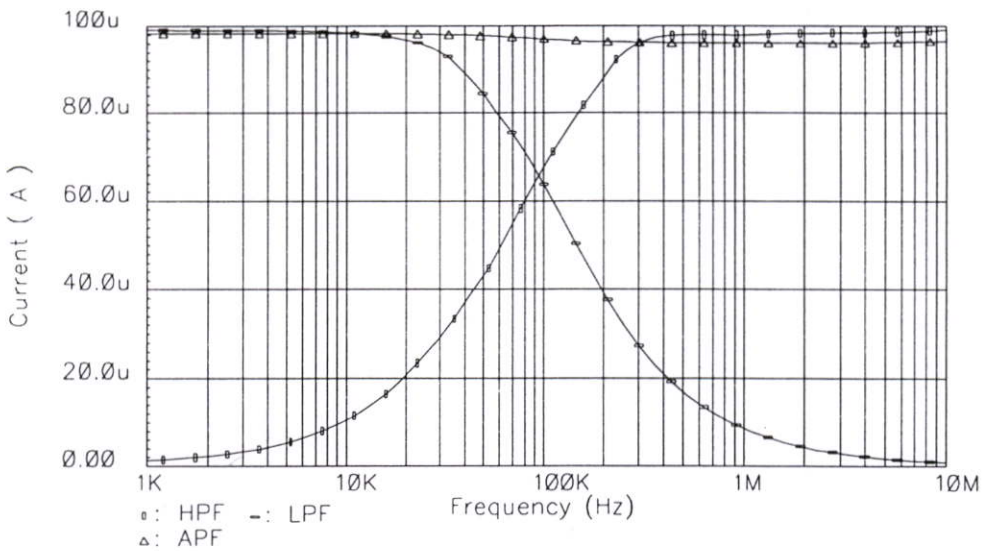
จากสมการ (4.27) จะให้ผลของวงจรกรองทุกความถี่ผ่าน (APF) อันดับหนึ่ง
ทำการวิเคราะห์หาค่าความต้านทานที่อินพุตจาก

$$V_2 = Z_3(I_4 - I_1) \quad (4.28)$$

จะได้ค่าความต้านทานเสมือนแสดงดังสมการ (4.29)

$$R_{eq} = \frac{V_2}{I_{in}} = Z_3 \left(\frac{Z_1 - Z_2}{Z_1 + Z_2} \right) = \left(\frac{1 - sCR}{1 + sCR} \right) R' \quad (4.29)$$

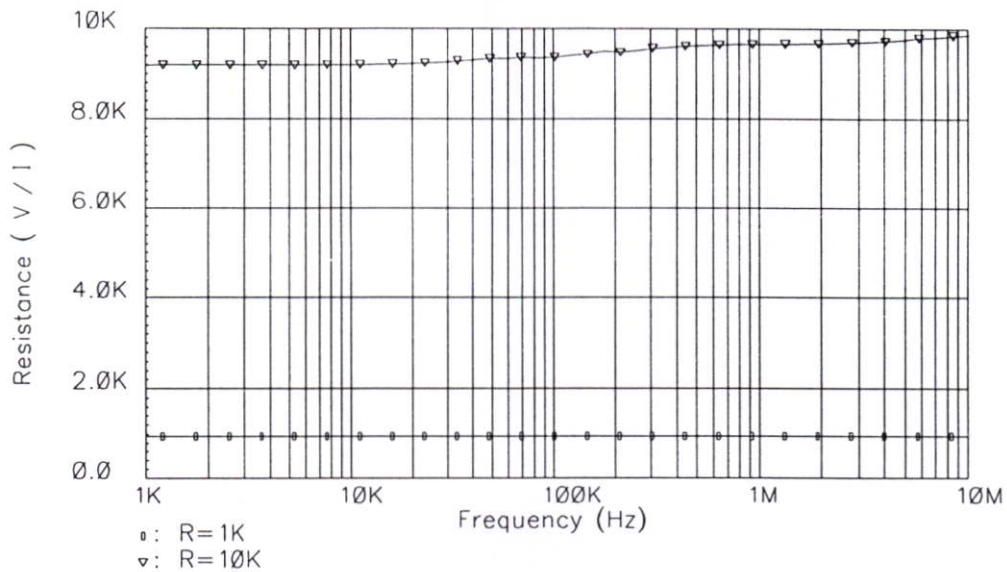
เมื่อกำหนดให้ $Z_1 = C_1 = 1\text{nF}$ $Z_2 = R_2 = 1.59\text{ k}\Omega$ เพื่อให้ได้ค่า $f_0 = 100\text{kHz}$



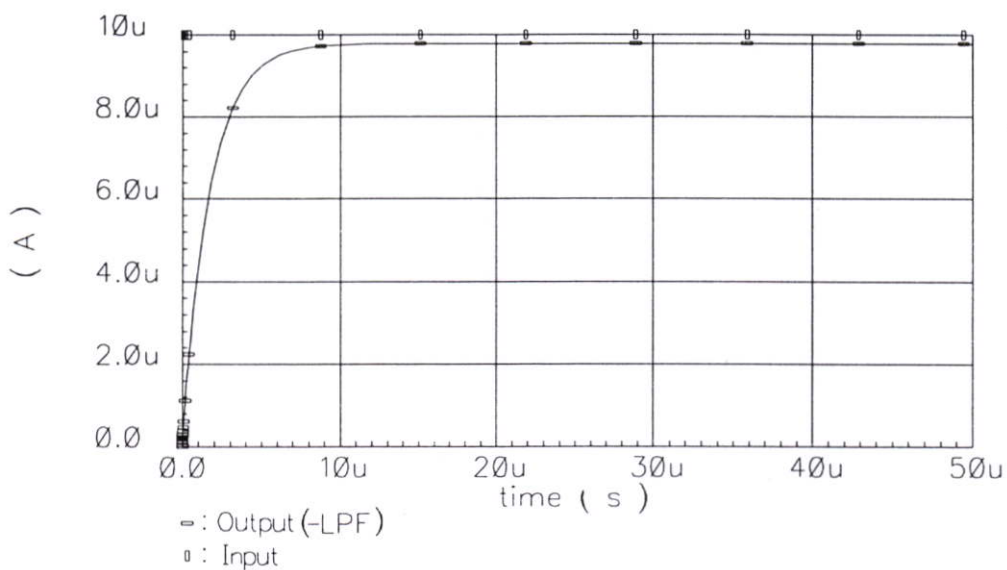
รูปที่ 4.24 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับหนึ่งในรูปที่ 4.23

จากกราฟรูปที่ 4.24 ให้ค่า $f_0 = 95\text{ kHz}$

กรณี $R_3 = 1\text{ k}\Omega$ และ $10\text{ k}\Omega$ จะได้ ค่า R_{cq} เป็นดังรูปที่ 4.25



รูปที่ 4.25 ค่าความต้านทานที่สังเกตได้ เมื่อให้โหลด R= 1 kΩ และ 10 kΩ



รูปที่ 4.26 ผลตอบสนองค่ากระแสสัญญาณระหว่าง I_{in} และ I_{LPF} กับค่าเวลา

จากรูปที่ 4.25 พบว่าจากการทดลองที่โหลด R= 1 kΩ ให้ค่าความต้านทานที่วัดได้เท่ากับ 989 Ω ในขณะที่เมื่อต่อโหลด 10 kΩ วงจรให้ค่าความต้านทานอยู่ในช่วง 9.18 kΩ - 9.85 kΩ ในการทดสอบเสถียรภาพของวงจรกรองความถี่อันดับหนึ่ง(แบบที่ 1) รูปที่ 4.23 ได้ทำการป้อนกระแส I_{in} ขนาด 10 μ A ที่เป็นสัญญาณอินพุตและดูผลการตอบสนองที่กระแสขาออก I_{LPF} แสดงในรูปที่ 4.26 วงจรสามารถทำงานได้โดยมีค่าหน่วงเวลา (Delay time) เท่ากับ 10 μ s

$$LPF = \frac{I_3}{I_{in}} = \frac{1}{1 + sCR} \quad (4.36)$$

แทนสมการ (6) ในสมการ (4.34)

$$HPF = \frac{I_3}{I_{in}} = \frac{sCR}{1 + sCR} \quad (4.37)$$

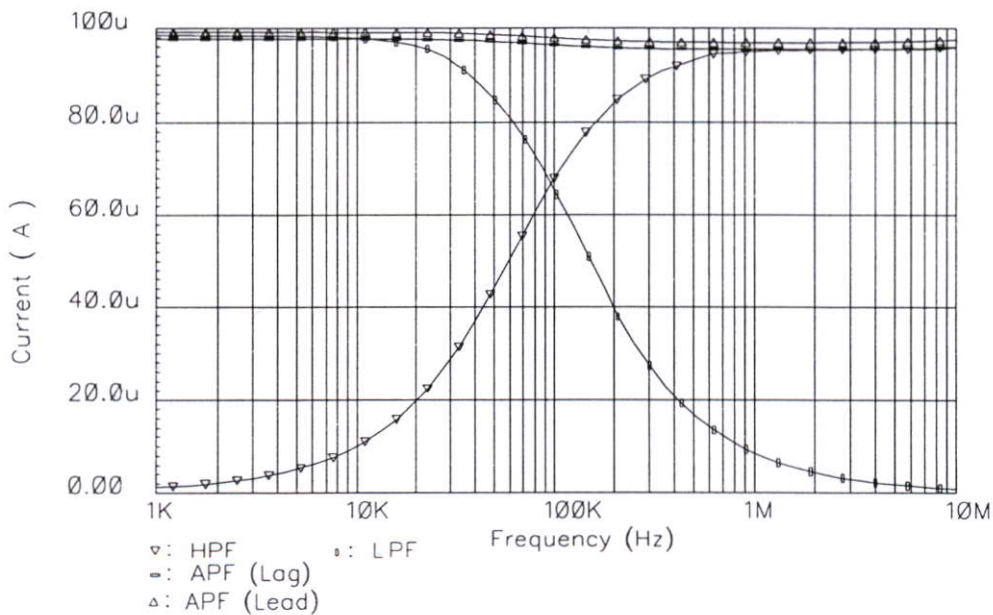
พิจารณา โหนด 6 จะได้ สมการ (4.36) - (4.37)

$$APF|_{Log} = \frac{1 - sCR}{1 + sCR} \quad (4.38)$$

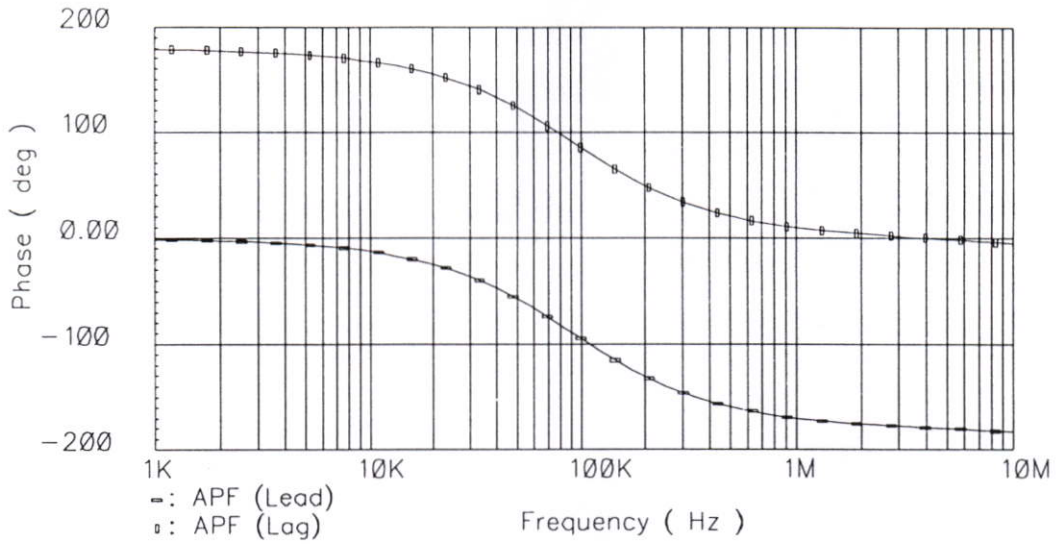
พิจารณา โหนด 7 จะได้ สมการ (4.37) - (4.36)

$$APF|_{Lead} = \frac{sCR - 1}{1 + sCR} \quad (4.39)$$

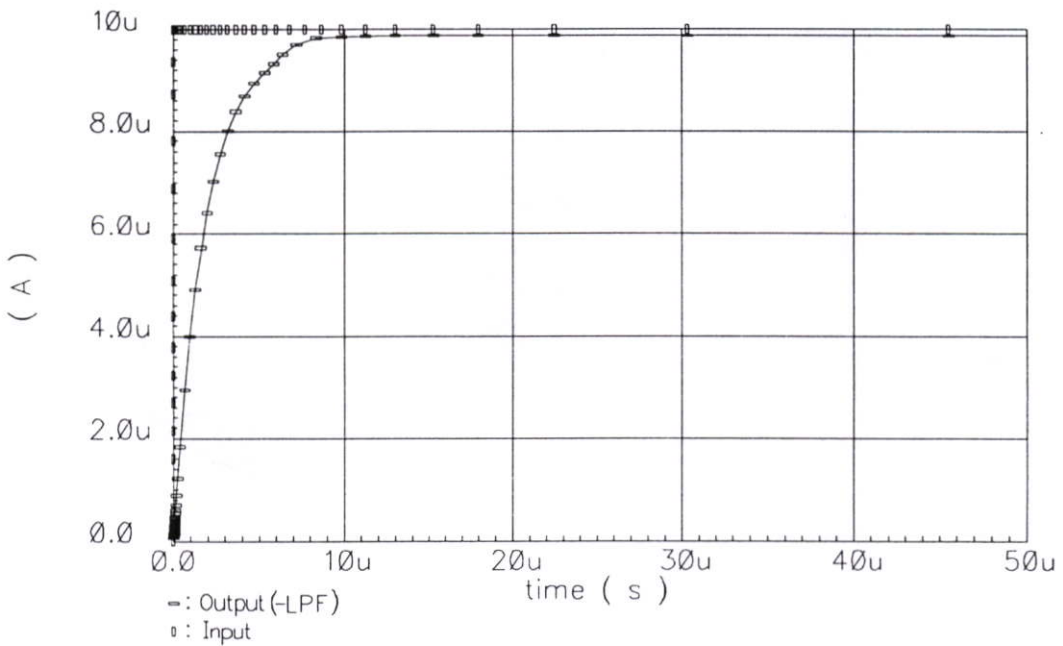
เมื่อกำหนดให้ $Z_1 = C_1 = 1nF$ $Z_2 = R_2 = 1.59 k\Omega$ เพื่อให้ได้ค่า $f_0 = 100kHz$



รูปที่ 4.28 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่ง แบบที่สองที่ให้ค่าความถี่คัตออฟเท่ากับ 97.8 kHz



รูปที่ 4.29 เฟสของวงจรกรองที่ความถี่ผ่านอันดับที่หนึ่ง รูปที่ 4.27



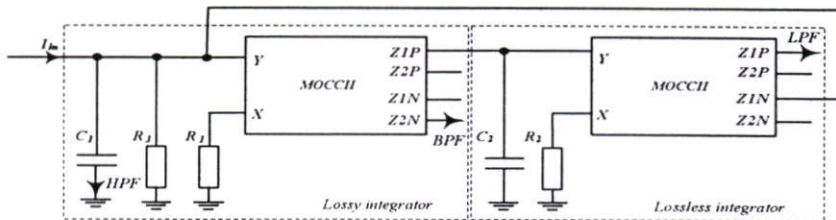
รูปที่ 4.30 ผลตอบสนองค่ากระแสสัญญาณระหว่าง I_m และ I_{LPF} กับค่าเวลา

ทำนองเดียวกันในการหาผลตอบสนองสัญญาณระหว่าง I_m และ I_{LPF} กับค่าเวลาในวงจรกรองความถี่อันดับหนึ่ง (แบบที่ 2) ในรูปที่ 4.27 แสดงผลซึ่งวงจรสามารถทำงานได้โดยมีค่าหน่วงเวลา (Delay time) เท่ากับ $8 \mu s$ วงจรกรองความถี่หลายหน้าที่อันดับที่หนึ่งทั้งสองรูปแบบนี้สามารถใช้ที่ความถี่คัตออฟได้สูงสุด 1 MHz

4.3.4 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่สอง

วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่ 2 สร้างขึ้นจากวงจรสายพานกระแสแบบมัลติเอาต์พุตจำนวน 3 ตัว โดยต่ออยู่กับตัวเก็บประจุ 2 ตัวและตัวต้านทาน 3 ตัว ตัวอุปกรณ์พาสซีฟทุกตัวจะถูกต่อลงกราวด์ทั้งหมด และไม่ต้องอาศัยเงื่อนไขของการสมพงค์กันของค่าอุปกรณ์พาสซีฟอีกด้วย วงจรให้ผลตอบสนองความถี่ 5 รูปแบบมาตรฐานคือ วงจรกรองความถี่สูงผ่าน วงจรกรองแถบความถี่ผ่าน วงจรกรองความถี่ต่ำผ่าน วงจรกรองก้ำจัดแถบความถี่ และวงจรกรองทุกความถี่ผ่าน

วงจรสายพานกระแสยุคที่สองสามารถนำมาประยุกต์สร้างเป็นวงจรอินทิเกรเตอร์แบบมีการสูญเสีย(Lossy integrator) และไม่มี การสูญเสีย(Lossless integrator) ได้ วงจรอินทิเกรเตอร์ทั้งสองชนิดนี้เป็นวงจรพื้นฐานที่สำคัญในการออกแบบสร้างวงจรกรองความถี่ผ่านอันดับที่สองโดยการนำเอาวงจรอินทิเกรเตอร์ทั้งสองชนิดมาเชื่อมต่อกันและสร้างการป้อนกลับแบบลบ[42] อาจด้วยการนำวงจรอินทิเกรเตอร์แบบมีการสูญเสียที่ให้เอาต์พุตเป็นลบเชื่อมต่อกับวงจรอินทิเกรเตอร์แบบไม่มี การสูญเสียที่ให้เอาต์พุตเป็นบวก หรือในทางกลับกันคือใช้วงจรอินทิเกรเตอร์แบบมีการสูญเสียที่ให้เอาต์พุตเป็นบวกเชื่อมต่อกับวงจรอินทิเกรเตอร์แบบไม่มี การสูญเสียที่ให้เอาต์พุตเป็นลบแสดงดังรูปที่ 4.31 ฟังก์ชันการส่งผ่านของอินทิเกรเตอร์แบบมีการสูญเสียและไม่มี การสูญเสีย แสดงดังสมการ (4.40) และ (4.41) ตามลำดับ สมการคุณลักษณะ (Characteristic equation : D(s)) ของวงจรกรองความถี่แสดงดังสมการ (4.42)



รูปที่ 4.31 วงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่ 2 ที่สร้างขึ้นจากวงจรอินทิเกรเตอร์สองชุด

$$T_1(s) = \frac{1}{s\tau_1 + k} \tag{4.40}$$

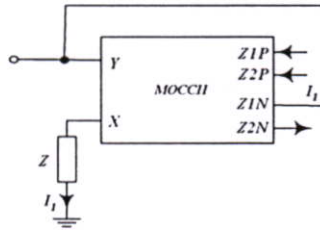
$$T_2(s) = \frac{1}{s\tau_2} \tag{4.41}$$

$$D(s) = s^2 + s\frac{k}{\tau_1} + \frac{1}{\tau_1\tau_2} \tag{4.42}$$

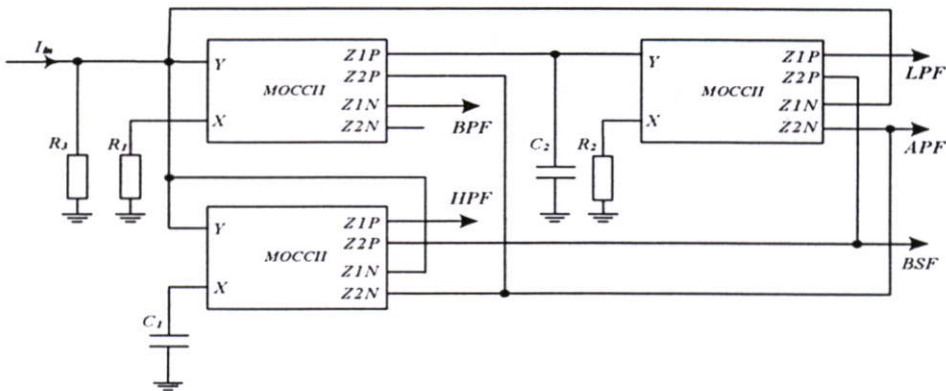
เมื่อ $\tau_1=R_1C_1$, $\tau_2=R_2C_2$ และ $k=R_1/R_3$

วงจรในรูปที่ 4.31[3] เป็นการประยุกต์ใช้วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุตโดยการสร้างวงจรกรองความถี่ที่สามารถให้เอาต์พุตเป็นแบบวงจรกรองความถี่ต่ำผ่าน

วงจรรองความถี่ผ่าน และวงจรรองความถี่สูงผ่านได้ แต่จะสังเกตว่าเอาต์พุตที่ให้ผลของวงจรรองความถี่สูงจะติดปัญหาที่ยากต่อการนำมาใช้ จึงได้ปรับปรุงโครงสร้างเพื่อให้อุปกรณ์พาสซีฟทุกตัวต่อลงกราวนด์ โดยอาศัยการเลียนแบบอุปกรณ์พาสซีฟโดยใช้วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต แสดงดังรูปที่ 4.32 โดยที่วงจรรองความถี่ผ่านหลายหน้าที่อันดับที่ 2 ที่ได้รับการปรับปรุงโครงสร้างแล้วแสดงดังรูปที่ 4.33



รูปที่ 4.32 การเลียนแบบสร้างอุปกรณ์พาสซีฟที่ต่อลงกราวนด์โดยใช้วงจรสายพานกระแสยุคที่สองแบบมัลติเอาต์พุต



รูปที่ 4.33 วงจรรองความถี่ผ่านหลายหน้าที่อันดับที่สอง [43]

พิจารณาจากรูปที่ 4.33 โดยอาศัยคุณสมบัติของวงจรสายพานกระแสแบบมัลติเอาต์พุตตามสมการ(2.4) - (2.6) ทำให้ได้สมการคุณลักษณะ $D(s)$ ของวงจรรองความถี่ผ่านหลายหน้าที่อันดับที่สองแสดงดังสมการ (4.43) และสมการฟังก์ชันการถ่ายโอนของวงจรรองความถี่แสดงดังสมการ (4.44) - (4.48)

$$D(s) = s^2 + \frac{s}{C_1 R_3} + \frac{1}{C_1 C_2 R_1 R_2} \quad (4.43)$$

(1) สมการฟังก์ชันการถ่ายโอนของวงจรกรองความถี่สูงผ่าน

$$\frac{I_{HPF}}{I_{in}} = \frac{s^2}{D(s)} \quad (4.44)$$

(2) สมการฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ต่ำผ่าน

$$\frac{I_{LPF}}{I_{in}} = \frac{1/C_1C_2R_1R_2}{D(s)} \quad (4.45)$$

(3) สมการฟังก์ชันการถ่ายโอนของวงจรกรองแถบความถี่ผ่าน

$$\frac{I_{BPF}}{I_{in}} = \frac{s/C_1R_1}{D(s)} \quad (4.46)$$

(4) สมการฟังก์ชันการถ่ายโอนของวงจรกรองก้ำจืดแถบความถี่

$$\frac{I_{BSF}}{I_{in}} = \frac{s^2 + (1/C_1C_2R_1R_2)}{D(s)} \quad (4.47)$$

(5) สมการฟังก์ชันการถ่ายโอนของวงจรกรองทุกความถี่ผ่าน

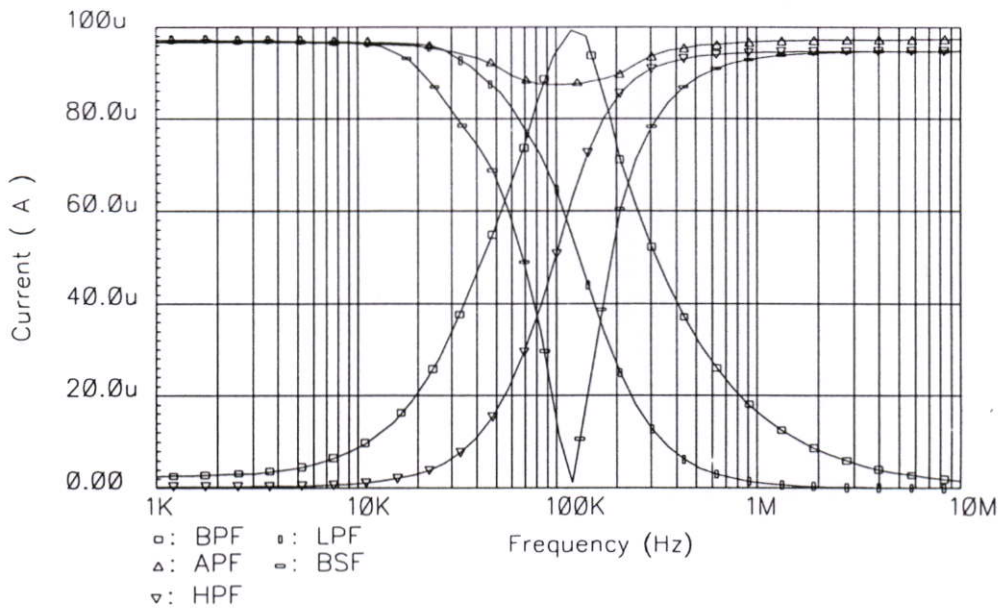
$$\frac{I_{APF}}{I_{in}} = \frac{-s^2 + (s/C_1R_1) - (1/C_1C_2R_1R_2)}{D(s)} \quad (4.48)$$

ค่าความถี่เชิงมุม(Natural angular frequency) และค่าตัวประกอบคุณภาพ(Quality factor) แสดงดังสมการ (4.49) และ (4.50) ตามลำดับ

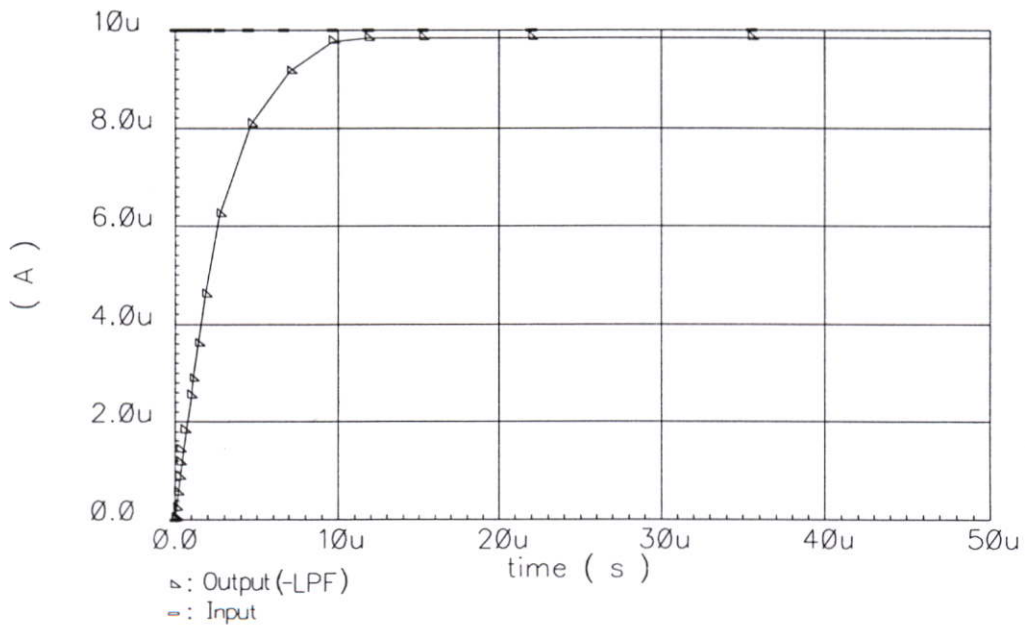
$$\omega_0 = \sqrt{\frac{1}{C_1C_2R_1R_2}} \quad (4.49)$$

$$Q = R_3 \sqrt{\frac{C_1}{C_2R_1R_2}} \quad (4.50)$$

เมื่อกำหนดให้ $R_1 = R_3 = 10 \text{ k}\Omega$ $R_2 = 20 \text{ k}\Omega$ และ $C_1 = C_2 = 100 \text{ pF}$ เพื่อให้ได้ความถี่คัตออฟของวงจรมีค่าเท่ากับ 112 kHz



รูปที่ 4.34 การทำงานของวงจร กรองความถี่หลายหน้าที่อันดับสองรูปที่ 4.31 ให้ค่าความถี่คัตออฟมีค่าเท่ากับ 111.8 kHz

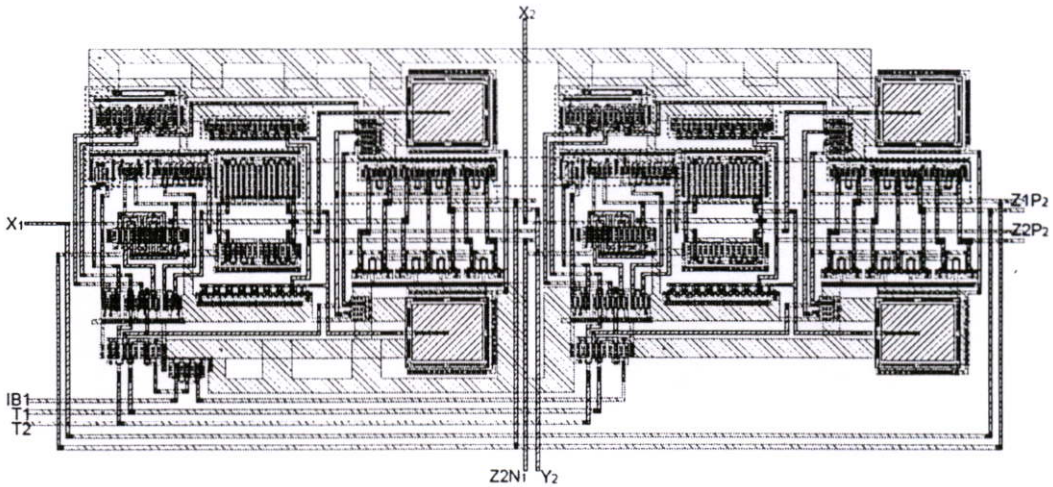


รูปที่ 4.35 ผลตอบสองค่ากระแสสัญญาณระหว่าง I_m และ I_{LPF} กับค่าเวลา

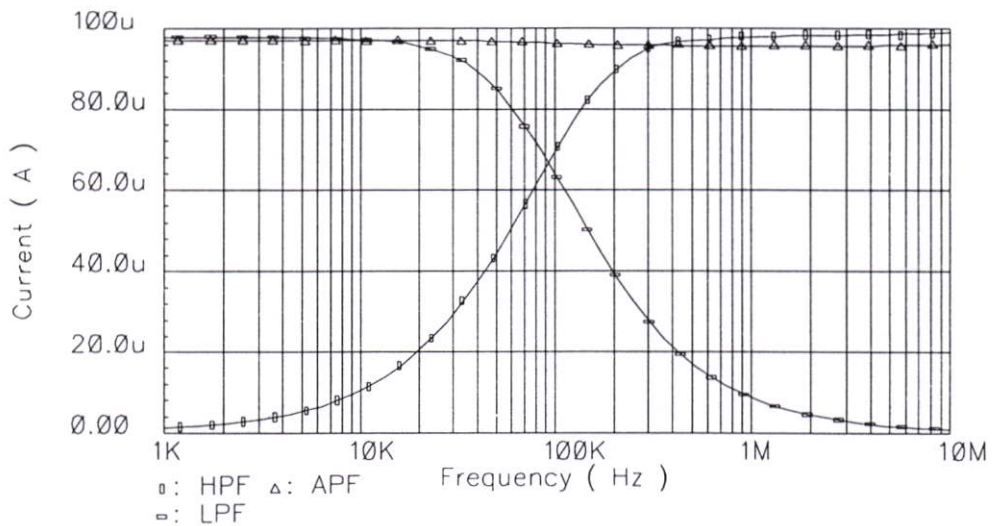
ในการทดสอบเสถียรภาพการทำงานของวงจรกรองความถี่อันดับที่สองได้ทำการป้อนกระแสอินพุต I_m ขนาด $10 \mu\text{A}$ ที่เป็นสัญญาณอินพุตและดูผลการตอบสนองที่กระแสขาออก I_{LPF}

แสดง ในรูปที่ 4.35 แสดงถึงวงจรสามารถทำงานได้โดยมีค่าน่วงเวลา (Delay time) เท่ากับ $15 \mu\text{s}$ วงจรกรองความถี่หลายหน้าที่อันดับที่สองนี้สามารถใช้ที่ความถี่คัตออฟได้สูงสุด 300 kHz

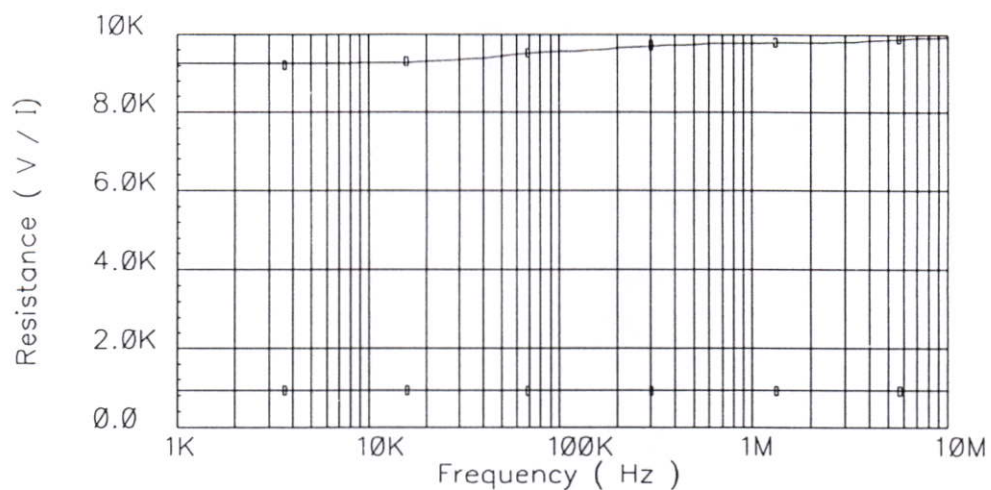
4.4 เลย์เอาต์ของวงจรและผลการจำลองการทำงาน



รูปที่ 4.36 เลย์เอาต์ของวงจรในรูปที่ 4.23

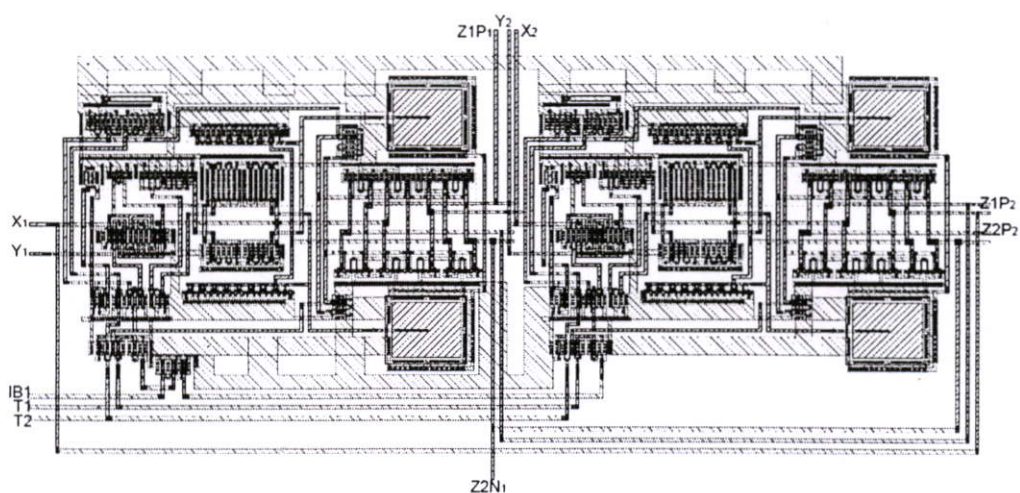


รูปที่ 4.37 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่งให้ค่าความถี่คัตออฟเท่ากับ 93.78 kHz

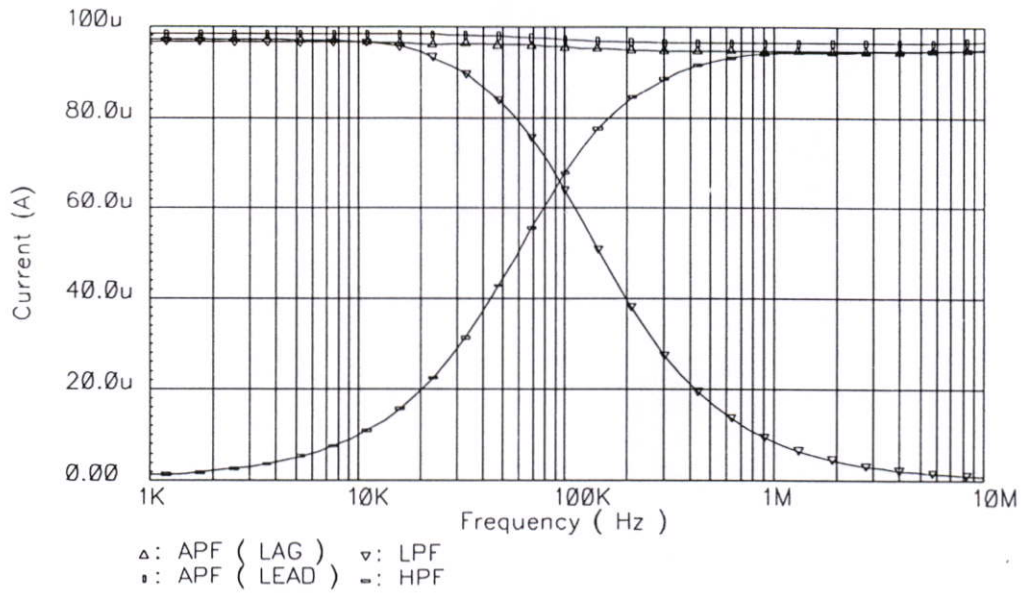


รูปที่ 4.38 ค่าความต้านทานที่สังเคราะห์ได้ เมื่อ ให้โหลด $R = 1 \text{ k}\Omega$ และ $10 \text{ k}\Omega$

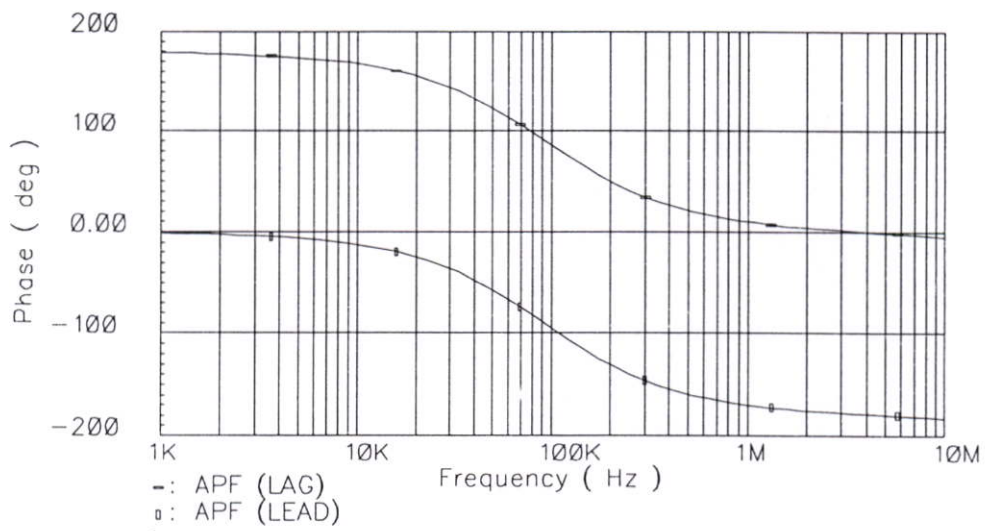
รูปที่ 4.25 พบว่าจากการทดลองที่โหลด $R = 1 \text{ k}\Omega$ ให้ค่าความต้านทานที่วัดได้เท่ากับ $1.05 \text{ k}\Omega$ ในขณะที่เมื่อต่อโหลด $10 \text{ k}\Omega$ วงจรให้ค่าความต้านทานอยู่ในช่วง $9.32 \text{ k}\Omega - 9.97 \text{ k}\Omega$



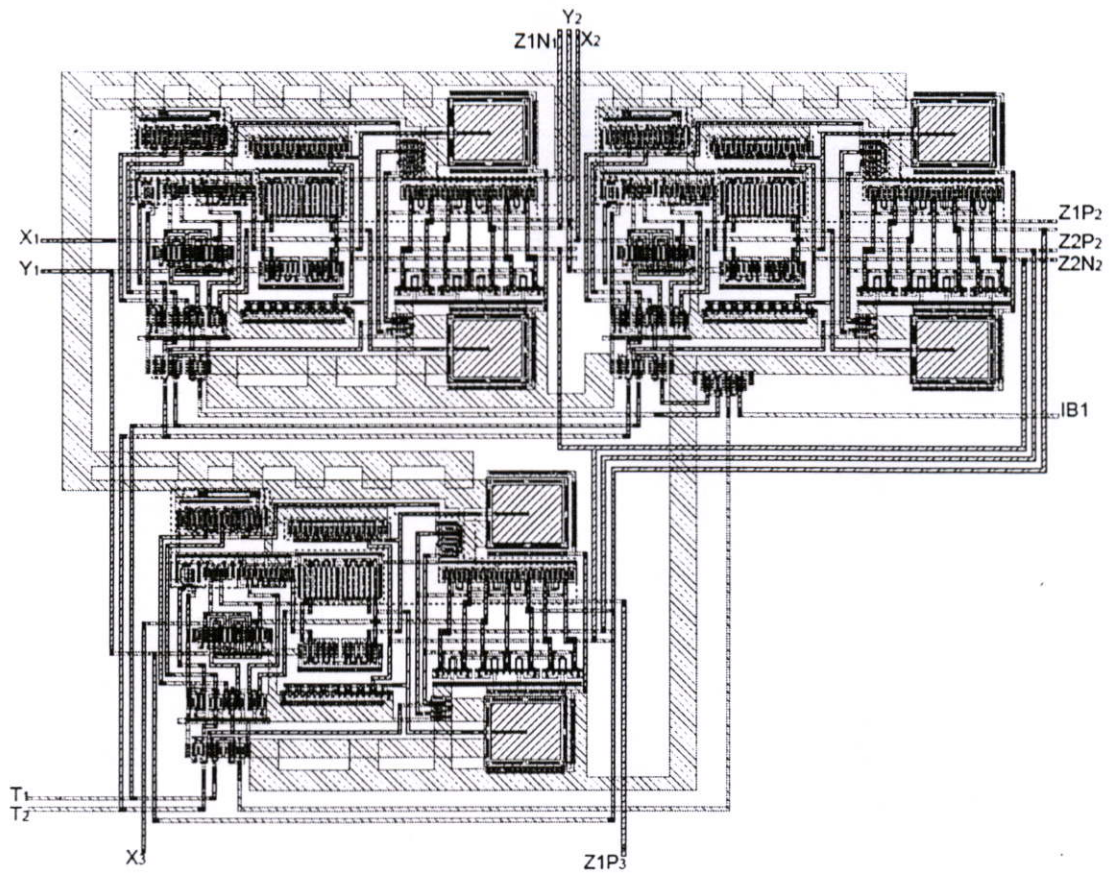
รูปที่ 4.39 เลย์เอาต์ของวงจรรองความถี่ในรูปที่ 4.27



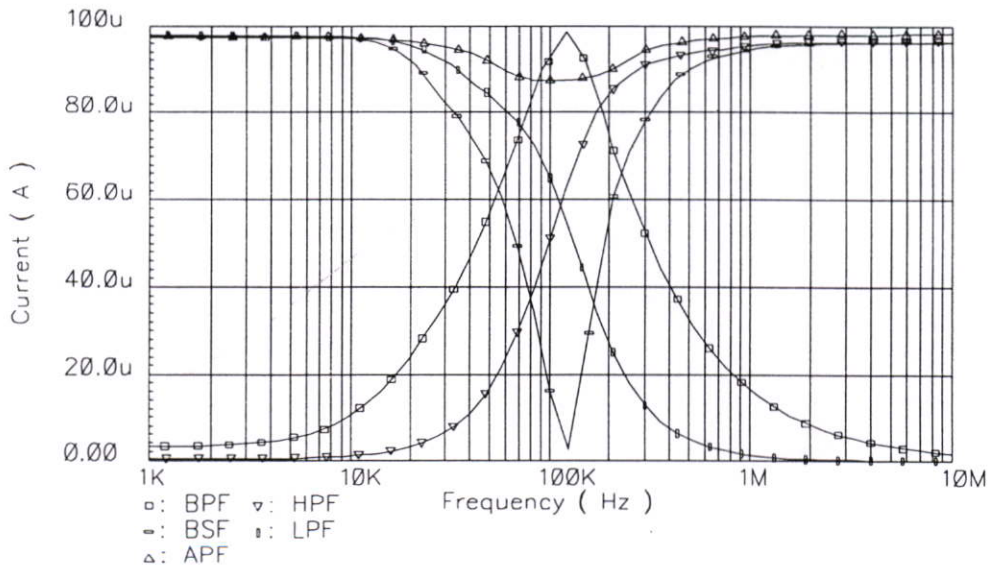
รูปที่ 4.40 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่หนึ่ง(แบบที่ 2) ที่ให้ค่าความถี่คัตออฟเท่ากับ 95.5 kHz



รูปที่ 4.41 เฟสของวงจรกรองทุกความถี่ผ่านอันดับที่หนึ่ง(แบบที่ 2)



รูปที่ 4.42 เลขเอนต์ของวงจรกรองความถี่ในรูปที่ 4.33



รูปที่ 4.43 การทำงานของวงจรกรองความถี่ผ่านหลายหน้าที่อันดับที่สองรูปที่ 4.39 ที่ให้ค่าความถี่คัตออฟมีค่าเท่ากับ 110 kHz

บทที่ 5

สรุปผลการวิจัย และข้อเสนอแนะ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวิธีการสร้างและปรับปรุงวงจรสายพานกระแสที่มีหลายเอาต์พุต ซึ่งสามารถปรับใช้ได้เป็นทั้งวงจรสายพานกระแสยุคที่หนึ่ง วงจรสายพานกระแสยุคที่สอง และวงจรสายพานกระแสยุคที่สามในวงจรเดียว ช่วยเพิ่มความสามารถในการประยุกต์ใช้งานให้หลากหลายมากยิ่งขึ้น ทั้งยังช่วยลดจำนวนอุปกรณ์ที่นำไปประยุกต์ใช้งานได้ ในงานวิจัยที่เกี่ยวกับการพัฒนางจรสายพานกระแสที่มีการนำเสนอมาแล้ว ได้กล่าวไว้ในบทที่ 2 แสดงให้เห็นว่า การพัฒนางจรสายพานกระแสมุ่งเน้นเป็นอย่างมากที่จะให้คุณสมบัติของวงจรเป็นไปอย่างใกล้เคียงกับอุดมคติ เพื่อให้เกิดความแม่นยำเมื่อนำไปประยุกต์ใช้งาน ในบทที่ 3 กล่าวถึงการนำเสนอเทคนิคการออกแบบวงจรสายพานกระแส ด้วยวิธีการที่ทำให้วงจรมีสมรรถนะสูงขึ้น โดยอาศัยหลักการการป้อนกลับในการปรับปรุงคุณภาพ และแสดงการวิเคราะห์คุณสมบัติของวงจรซึ่งแสดงให้เห็นว่าเทคนิคดังกล่าวสามารถทำให้วงจรมีประสิทธิภาพที่ดีขึ้นได้เช่นกัน โดยที่วงจรมีโครงสร้างเรียบง่าย ตอบสนองความถี่ได้สูง และกินกำลังงานต่ำ นอกจากนี้ยังได้นำเสนอตัวอย่างการประยุกต์ใช้งานในบทที่ 4 เพื่อยืนยันถึงสมรรถนะและความถูกต้องของวงจรที่ทำการออกแบบ การแสดงผลการจำลองการทำงานจากการสร้างเลย์เอาต์ของวงจร เพื่อยืนยันให้เห็นว่าสามารถสร้างเป็นวงจรรวมได้และนำไปใช้งานได้

วงจรสายพานกระแสแบบมัลติเอาต์พุตที่นำเสนอ เป็นวงจรสายพานกระแสที่มีการสร้างให้มีเอาต์พุตทั้งชนิดบวกและลบแบบหลายทางออก ด้วยจุดมุ่งหมายเพื่อให้สามารถใช้งานได้หลากหลาย ส่วนประกอบวงจรภายในเป็นวงจรขยายความแตกต่างร่วมกับวงจรคลาสมอปี และอาศัยหลักการการป้อนกลับในชุดวงจรที่เปลี่ยนแรงดันเป็นกระแสทำการป้อนกลับแรงดัน และการป้อนกลับในชุดวงจรส่งผ่านกระแสร่วมกับวงจรขยายกระแสทำการป้อนกลับกระแส ถึงแม้ว่าวงจรดังกล่าวนี้จะให้ผลการทำงานที่ดี แต่อย่างไรก็ตามก็อาจเกิดข้อผิดพลาดที่เกิดขึ้นจากวงจรอันเนื่องมาจากความไม่สมพงษ์กันของมอสทรานซิสเตอร์ ค่าความนำระหว่างทรานซิสเตอร์ชนิดเอ็นและพี ซึ่งการปรับขนาดของมอสทรานซิสเตอร์ที่เหมาะสมเป็นสิ่งจำเป็น การใช้เทคนิคการป้อนกลับภายในวงจรต้องใช้ความระมัดระวังอย่างยิ่งเนื่องจากการป้อนกลับไม่เหมาะสมอาจส่งผลกระทบต่อเสถียรภาพของวงจรได้

ในอนาคตการพัฒนาการสร้างวงจรรวมมีแนวโน้มที่จะทำให้วงจรมีขนาดเล็กลง ทำงานที่แรงดันต่ำ และกินกำลังไฟน้อย ในวงจรหนึ่งๆจำเป็นอย่างยิ่ง ที่ต้องมีขนาดเล็กและประยุกต์ใช้งานได้หลากหลาย ดังนั้นการพัฒนางจรสายพานกระแสแบบมัลติเอาต์พุตให้มีขนาดเล็ก และใช้แรงดันต่ำ จึงเป็นส่วนที่ควรที่จะพัฒนาต่อไป โดยที่การทำงานของวงจรยังต้องมีความใกล้เคียงอุดมคติ นอกจากนี้การพัฒนางจรสายพานกระแสยังได้มีการจำแนกแยกย่อยเพิ่มอีกมากมาย

ยกตัวอย่างเช่น วงจรสายพานกระแสที่รับอินพุตแบบดิฟเฟอเรนเชียล วงจรสายพานกระแสที่สามารถควบคุมได้ด้วยกระแส หรือวงจรสายพานกระแสที่มีการปรับปรุงให้สามารถปรับจูนค่ากระแสที่เอาต์พุตได้

วงจรสายพานกระแสแบบมัลติเอาต์พุตเป็นวงจรพื้นฐานที่สามารถนำไปประยุกต์ร่วมกับอุปกรณ์อิเล็กทรอนิกส์อื่นๆ ได้ง่าย ทั้งยังสามารถนำไปสร้างใช้ทดแทนอุปกรณ์ประเภทพาสซีฟได้ดี ด้วยคุณสมบัติความเป็นมัลติเอาต์พุตทำให้การนำไปประยุกต์ใช้ มีความหลากหลายมากขึ้น ช่วยลดจำนวนอุปกรณ์ภายในวงจร ซึ่งในวิทยานิพนธ์ได้นำเสนอการประยุกต์ใช้งาน โดยการสร้างเป็นวงจรเลียนแบบค่าความต้านทานทั้งค่าลบและค่าบวก ที่สามารถปรับค่าความต้านทานได้ และมีค่าแปรค่าตามความถี่ การสร้างวงจรเลียนแบบค่าความต้านทานนี้สามารถนำไปใช้ในงานประยุกต์ใช้ที่ต้องการค่าความต้านทานที่ปรับปรุงและแปรค่าตามความถี่ได้ การประยุกต์ใช้งานเป็นวงจรรองความถี่หลายหน้าที่ โดยการใช่วงจรสายพานกระแสแบบมัลติเอาต์พุตร่วมกับอุปกรณ์พาสซีฟที่ต่อลงกราวด์ โดยใช้หลักการของวงจรอินทิเกรเตอร์(ที่สร้างจากวงจรสายพานกระแสแบบมัลติเอาต์พุต) สองชนิดมาต่อกัน ทำให้เห็นประโยชน์ของการเป็นวงจรที่มีหลายเอาต์พุต นอกจากนี้หากต้องการสร้างวงจรรองความถี่อันดับที่สูงขึ้นก็สามารถนำเอาวงจรรองความถี่หลายหน้าที่อันดับที่หนึ่งและอันดับที่สองที่ได้นำเสนอไว้ ไปใช้พัฒนาต่อได้

บรรณานุกรม

- [1] K.C. Smith and A. Sedra. **“The Current Conveyor : a New Circuit Building Block.”** IEEE Proc., vol. 56, 1968, pp. 1368-1369
- [2] B. Wilson. **“Recent Developments in Current Conveyors and Current Mode Circuits.”** IEE Proceedings Part G, vol.137, April 1990, pp. 63-77
- [3] A. Sedra and K.C. Smith. **“A Second-Generation Current Conveyor and Its Applications.”** IEEE Transaction on Circuit Theory, February 1970, pp.132-134
- [4] A. Fabre. **“Third Generation Current Conveyor : A new helpful active element.”** Electronics Letters, vol. 31, 1995, pp. 338-339
- [5] A. Piovaccari. **“CMOS Integrated Third-generation Current Conveyor.”** Electronics Letter, vol. 31, 1995, pp. 1228-1229
- [6] S.I. Liu and C.Y Yang. **“Higher Order Immittance Function Synthesis using CCIII.”** Electronics Letters, vol. 32, 1996, pp. 2295-2296
- [7] H.Y. Wang and C.T. LEE. **“Systematic Synthesis of R-L and C-D Immittances using CCIII.”** International Journal of Electronics, vol. 87, 2000, pp. 293-301
- [8] H. Kuntman, M. Gülsoy, and O. Ççekolu. **“Actively Simulated Grounded Lossy Inductors using Third Generation Current Conveyors.”** Microelectronics Journal, vol. 31, 2000, pp. 245-250
- [9] A. M. Soliman. **“Generalized Voltage and Current Conveyors: Practical Realizations Using CCII.”** IEICE Transaction on Fundamentals of Electronics, 1998, pp. 973-975
- [10] T. Kurashina, S. Ogawa and K. Watanabe. **“A High Performance Class AB Current Conveyor.”** Proceedings of the IEEE International Conference on Electronics Circuits and Systems, 1998, pp. 143-146
- [11] A.M. Ismail and A.M. Soliman. **“Wideband CMOS current conveyor.”** Electronics Letters, vol. 34, December 1998, pp. 2368-2369
- [12] S. S. Rajput and S. S. Jamuar. **“Low voltage High Performance Current Conveyors and Their Applications as Current Sensors.”** Asia-Pacific Conference on Circuits and Systems, vol. 1, 2002, pp. 343 - 346
- [13] A.M. Ismail and A. M. Soliman. **“Novel CMOS Current Conveyor Realizations Suitable for High-Frequency Applications.”** Microelectronics Journal, vol. 30, 1999, pp. 1231-1239

- [14] C. Toumazou , F. J. Lidgley and D.G Haigh. **Analog IC Design: The Current-Mode Approach.** London : Pererinus Ltd. 1990
- [15] A.S. Sedra, G. W. Roberts and F. Gohh. **“The Current Conveyor: History, Progress and New Results.”** IEE Proceedings, vol. 137, April 1990, pp. 79-87
- [16] A. Fabre, H. Amrani and H. Barthelemy. **“Novel Class AB First Generation Current Conveyor.”** IEEE Transaction on Circuit Theory, 1970, pp.132-134
- [17] Z. Wang. **“Wideband Class AB Current Amplifiers in CMOS Technology.”** IEEE Transaction on Circuit and Systems, 1999, pp. 96-98
- [18] E. Brunn. **“Class AB CMOS First Generation Current Conveyor.”** Electronic Letters, 1995, pp. 422-423
- [19] D.C. Wadsworth. **“Accurate Current Conveyor Integrated Circuit.”** Electronics Letters, vol. 25, June 1989, pp. 873-874
- [20] W. Surakamponorn, V. Riewruja, K. Kumwachara and K.Dejhan. **“Accurate CMOS-based Current Conveyors.”** IEEE Transaction on Instrumentation and Measurement, vol. 40, August 1991, pp. 699-702
- [21] A.M. Ismail and A.M. Soliman. **“Low-power CMOS current conveyor.”** Electronics Letters, vol. 36, 2000, pp. 7-8
- [22] P.Pienchob, K.Kumwachara and W.Surakamponorn. **“A Compounded Second-Generation Current Conveyor Using only NMOS Transistor.”** ECTI Annual Conference, May 2004, pp. 405-408
- [23] G. Ferri, N. Guerrini. **“High valued passive element simulation using low voltage low power current conveyor for fully integrated applications.”** IEEE Transaction on Circuits and Systems, vol. 48, April 2001, pp. 405-409
- [24] T. Kurashina, S. Ogawa and K. Watanabe. **“A high performance class AB current conveyor.”** Proceedings of the IEEE International Conference on Electronic Circuits and Systems, 1998, pp. 143-146
- [25] H.Y. Wang, and C.T. Lee. **“Systematic synthesis of R-L and C-D immittances using CCIII.”** International Journal of Electronics, vol.87, 2000, pp.293-301
- [26] S.I. Liu, and C.Y. Yang. **“Higher order immittance function synthesis CCIIIs.”** Electronics Letters, vol. 32, 1996, pp. 2295-2296

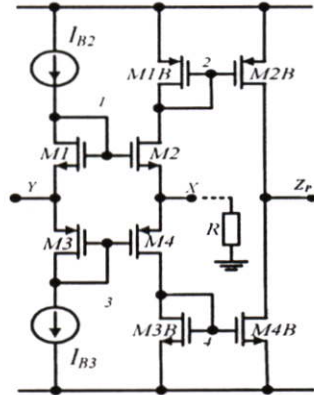
- [27] S.S. Rajput and S.S. Jamuar. "**Low voltage, low power, high performance current conveyors.**" The 2001 IEEE International Symposium on Circuits and Systems, vol. 1, 2001, pp. 723-726
- [28] A.M. Soliman. "**Generalized voltage and current conveyors: practical realizations using CCII.**" IEICE Trans. Fundamentals, vol. E81-A, 1998, pp. 973-975
- [29] D. Becvar, K. Vrba, V. Zeman and V. Musil. "**Novel Universal active Block: A Universal Current Conveyor.**" IEEE International Symposium on Circuits and Systems, 2000, pp. (III-471)-(III-474)
- [30] R. Wojtyna. "**CMOS current conveyor for $\pm 3V$ supply operation.**" CMOS current conveyor for $\pm 3V$ supply operation, vol. 7, 1995, pp. 91 - 101
- [31] I. A. Awad and A. M. Soliman. "**High Accuracy Class AB CCII.**" International Journal of Electronics and Communications, vol. 58, 2004, pp. 237-243
- [32] I. Mucha. "**Thousand and one improvements on current operational amplifiers.**" Proc. ISCAS'94, vol. 5, June 1994, pp. 533-536
- [33] J. Popovic, A. Pavasovic and D. Vasiljevic. "**Low-power high bandwidth CMOS current conveyor.**" 21st International Conference on Microelectronics, vol. 2, 1997, pp. 693 – 696
- [34] W. Surakampontrorn and V. Riewruja. "**Integrable CMOS sinusoidal frequency doubler and full-wave rectifier.**" International Journal of Electronics, vol. 73, 1992, pp. 627-632
- [35] W. Ngamkham, W. Kiranon, C. Loescharataramdee and T. Sukhwan. "**Electronically tunable synthetic floating inductance.**" Proceedings TENCON 2000, vol. 2, 2000, pp.(II-26) - (II-29)
- [36] R. Garcia-Flores, D. Marroquin-Rios, D. Baez-Lopez. "**A High Quality Multifunction Current-mode Filter using Two Current Conveyors.**" Canadian Conference on Electrical and Computer Engineering, vol.1, 1993, pp. 608 – 610
- [37] S. Minaei, H. Kuntman, O. Cicekoglu, S. Turkoz and N. Tarim. "**A new high output impedance current-mode universal filter with single input and three outputs using dual output CCIIs.**" The 7th IEEE International Conference on Electronics, Circuits and Systems, vol.1, 2000, pp. 379 - 382

- [38] H. Barthelemy, G. Ferri and N. Guerrini. “**A 1.5 V CCII-based tunable oscillator for portable industrial applications.**” Proceedings of the 2002 IEEE International Symposium on Industrial Electronics, vol. 4, 2000, pp. 1341-1345
- [39] C. A. Papazoglou and C. A. Karybakas. “**An Electronically Tunable Sinusoidal Oscillator Suitable for High Frequencies Operation Based on a Single Dual-Output Variable-Gain CCII.**” International Journal of Analog Integrated Circuits and Signal Processing, vol.23, 2000, pp. 31 - 44
- [40] อัจฉรวรรณ เนื่องนิศย์. “**วงจรรองความถี่หลายหน้าที่โหมดกระแสที่มีสามอินพุตหนึ่งเอาต์พุตโดยใช้ CCII.**” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2546.
- [41] Adel S. Sedra and K. C. Smith. **Microelectronic Circuits.** Oxford University Press US. 1989
- [42] Y. Sun and B. Jefferies. “**Current-mode biquadratic filters using dual output current conveyors.**” IEEE International Conference on Electronics, Circuits and Systems, vol.3, 1998, pp. 135 – 138
- [43] A. Toker and S. Özoğuz. “**Insensitive current-mode universal filter using dual output current conveyors.**” International Journal of Electronics, vol. 8, 2000, pp.667-674

ภาคผนวก

ภาคผนวก ก.

การวิเคราะห์คุณสมบัติของวงจรคลาสเอบี



รูปที่ ก.1 วงจรสายพานกระแสคลาสเอบี

ก.1 ช่วงปฏิบัติงานทางกระแสของวงจรคลาสเอบี

จากวงจรกำหนดกระแสไบอัส $I_{B2}=I_{B3}=I_b$

$$V_{GS1} + V_{GS3} = V_{GS2} + V_{GS4} \quad (\text{ก.1})$$

ถ้าในวงจรไบอัสให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว จะมีค่า V_{GS} เป็น

$$V_{GS} = \sqrt{\frac{I_D}{K}} + V_T, \quad K = \frac{K'W}{2L} \quad (\text{ก.2})$$

แทนค่าสมการ (ก.2) ในสมการ (ก.1) โดยกำหนดให้ $V_{T1}=V_{T2}=V_{T3}=V_{T4}=V_T$ และให้ $K_1=K_2=K_3=K_4=K$ จากรูปพบว่า $I_{D1}=I_{D2}=I_b$ เป็นดังสมการ (ก.3)

$$2\sqrt{I_b} = \sqrt{I_{D2}} + \sqrt{I_{D4}} \quad (\text{ก.3})$$

นำสมการ (ก.3) ยกกำลังสองทั้งสองข้าง

$$I_{D2} + 2\sqrt{I_{D2}I_{D4}} + I_{D4} = 4I_b \quad (\text{ก.4})$$

จากรูปที่ ก.1 ได้ความสัมพันธ์ระหว่างกระแส I_{D2} , I_{D4} และ I_{in} เป็น

$$I_{D2} = I_{D4} - I_{in} \quad (ก.5)$$

หรือ

$$I_{D4} = I_{D2} + I_{in} \quad (ก.6)$$

แทนสมการที่ (ก.5) ลงใน (ก.4)

$$2\sqrt{I_{D4}^2 - I_{in}I_{D4}} = 4I_b + I_{in} - 2I_{D4} \quad (ก.7)$$

ยกกำลังสองทั้งสองข้างในสมการที่ (ก.7) จะได้

$$I_{D4} = \frac{16I_b^2 + 8I_bI_{in} + I_{in}^2}{16I_b} \quad (ก.8)$$

หรือจะได้ว่า

$$I_{D4} = \frac{(4I_b + I_{in})^2}{16I_b} \quad , \quad |I_{in}| \leq 4I_b \quad (ก.9)$$

หาค่า I_{D2} โดยการนำเอาสมการ (ก.8) แทนสมการ (ก.5) จะได้

$$I_{D2} = \frac{16I_b^2 - 8I_bI_{in} + I_{in}^2}{16I_b} \quad (ก.10)$$

หรือจะได้ว่า

$$I_{D2} = \frac{(4I_b - I_{in})^2}{16I_b} \quad , \quad |I_{in}| \leq 4I_b \quad (ก.11)$$

ในกรณีที่วงจรทำงานในคลาสบีคือ เมื่อ $|I_{in}| \gg 4I_b$ [34] จะได้ว่า

$$I_{D2} \cong 0 \quad \text{และ} \quad I_{D4} \cong I_{in} \quad \text{ที่} \quad I_{in} > 0 \quad (ก.12)$$

$$I_{D2} \cong I_{in} \quad \text{และ} \quad I_{D4} \cong 0 \quad \text{ที่} \quad I_{in} < 0 \quad (ก.13)$$

ก.2 ช่วงปฏิบัติงานทางแรงดันของวงจรถอดเอา

ในกรณีที่แรงดันเข้าที่พอร์ต์ Y เป็นบวกจะเห็นว่าขีดความสามารถที่วงจรถอดเอาจะรับแรงดันได้มากขึ้นขึ้นอยู่กับมอดูลารานซิสเตอร์ M1 แหล่งจ่ายกระแสที่ I_{B2} และแหล่งจ่ายแรงดัน V_{DD}

$$V_{DD} - V_Y = V_{IB2} + V_{DS1} \quad (ก.14)$$

จากเงื่อนไขที่ทำให้มอดูลารานซิสเตอร์ทำงานในช่วงอิ่มตัว

$$V_Y = V_{DD} - V_{IB2} - V_{GS1} + V_{T1} \quad (ก.15)$$

ดังนั้น

$$V_Y = V_{DD} - V_{IB2} - \sqrt{\frac{I_b}{(K'W_1/2L_1)}} \quad (ก.16)$$

ในทำนองเดียวกันถ้าแรงดันที่พอร์ต์ Y เป็นลบ ขีดความสามารถที่วงจรถอดเอาจะรับแรงดันได้ขึ้นกับมอดูลารานซิสเตอร์ M3 แหล่งจ่ายกระแสที่ I_{B3} และแหล่งจ่ายแรงดัน V_{SS}

$$V_Y - V_{SS} = V_{IB3} + V_{SD3} \quad (ก.17)$$

จากเงื่อนไขที่ทำให้มอดูลารานซิสเตอร์ทำงานในช่วงอิ่มตัว

$$V_Y = V_{SS} + V_{IB3} + \sqrt{\frac{I_b}{(KW_3/2L_3)}} \quad (ก.18)$$

ดังนั้นช่วงแรงดันปฏิบัติงานทั้งหมด

$$V_{SS} + V_{IB3} + \sqrt{\frac{I_b}{(KW_3/2L_3)}} \leq V_Y \leq V_{DD} - V_{IB2} - \sqrt{\frac{I_b}{(KW_1/2L_1)}} \quad (ก.19)$$

ก.3 ความสัมพันธ์ระหว่างแรงดัน V_X กับแรงดัน V_Y

จากรูปที่ ก.1

$$V_{GS1} + V_Y = V_{GS2} + V_X \quad (ก.20)$$

แทนสมการ (ก.2) ลงใน (ก.20) กำหนดให้ $V_{T1} = V_{T2} = V_T$ และ $K_1 = K_2 = K$

$$\sqrt{\frac{I_{D1}}{K}} + V_Y = \sqrt{\frac{I_{D2}}{K}} + V_X \quad (ก.21)$$

แทน $I_{D1} = I_b$ และ $I_{D2} = 4(I_b - I_{in})^2 / 16I_b$ ลงในสมการ (ก.21)

$$\frac{\sqrt{I_b}}{\sqrt{K}} - \frac{(4I_b - I_{in})}{4\sqrt{KI_b}} = V_X - V_Y \quad (ก.22)$$

หรือ

$$\frac{4I_b - (4I_b - I_{in})}{4\sqrt{KI_b}} = V_X - V_Y \quad (ก.23)$$

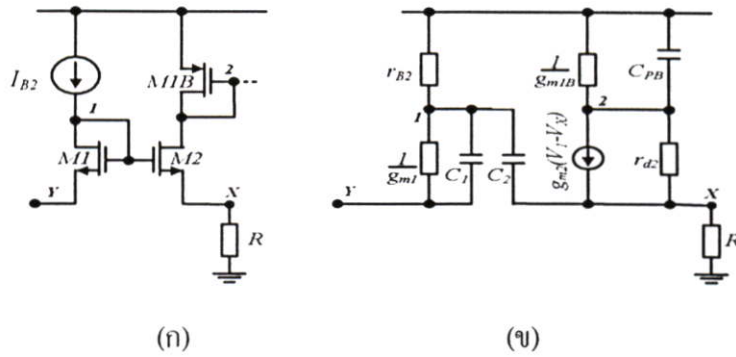
ดังนั้นจะได้

$$V_X = V_Y + \frac{I_{in}}{4\sqrt{KI_b}} \quad (ก.24)$$

จากสมการ (ก.24) สามารถทำให้ V_X มีค่าเท่ากับ V_Y ได้โดยการให้ค่ากระแสไบอัส I_b ค่าสูง และการปรับขนาดของมอสทรานซิสเตอร์ เพื่อให้ค่า K มีค่ามาก ซึ่งจะทำให้ได้

$$V_X \cong V_Y \quad , \quad 4\sqrt{KI_b} > I_{in} \quad (ก.25)$$

ก.4 การส่งผ่านแรงดันเทียบกับความถี่ของวงจรขยายคลาสิกเอบี



รูปที่ ก.2 (ก) วงจรคลาสิกเอบีในส่วนทรานซิสเตอร์ชนิดพี (ข) วงจรสมมูล

การวิเคราะห์การส่งผ่านแรงดันเทียบกับความถี่

โหนด 1

$$(g_{m1} + g_{B2} + sC_1 + sC_2)V_1 = (g_{m1} + sC_1)V_Y + sC_2V_X \quad (\text{ก.26})$$

โหนด 2

$$g_{m2}(V_1 - V_X) + (g_{m1B} + g_{d2} + sC_{PB})V_2 = g_{d2}V_X \quad (\text{ก.27})$$

โหนด X

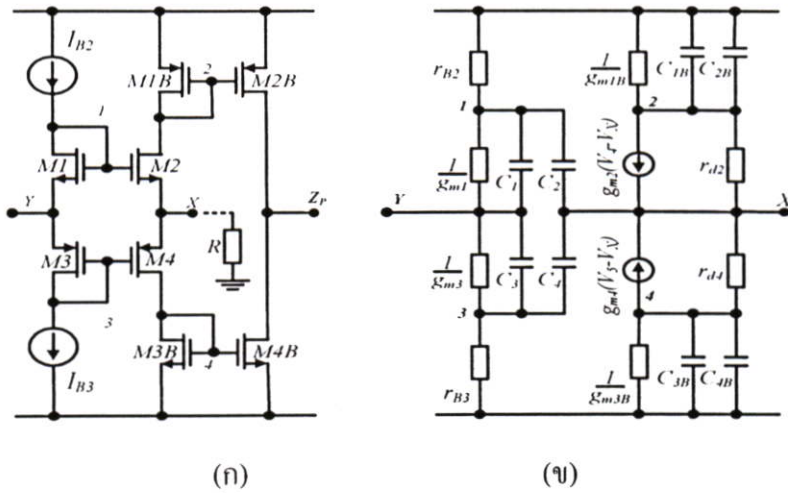
$$g_{m2}V_1 + sC_2V_1 + g_{d2}V_2 = (sC_2 + g_{m2} + g_R)V_X \quad (\text{ก.28})$$

แทนสมการ (ก.28) ลงใน (ก.26)

$$\frac{V_X}{V_Y} = \frac{(g_{m1} + sC_1)(g_{m2} + sC_2)}{(g_{m1} + g_{B2} + sC_1 + sC_2)(g_{m2} + g_R + sC_2)} \quad (\text{ก.29})$$

$$\frac{V_X}{V_Y} = \frac{\left(s + \frac{g_{m1}}{C_1}\right)\left(s + \frac{g_{m2}}{C_2}\right)}{s^2 + s\left(\frac{(g_{m1} + g_{B2})}{C_1} + \frac{(g_{m2} + g_R)(C_1 + C_2)}{C_1C_2}\right) + \left(\frac{(g_{m1} + g_{B2})(g_R + g_{m2})}{C_1C_2}\right)} \quad (\text{ก.30})$$

ก.5 การวิเคราะห์ความต้านทานที่พอร์ต Y



รูปที่ ก.3 (ก) วงจรคลาสเอบี (ข) วงจรสมมูล

การวิเคราะห์ความต้านทานที่พอร์ต Y สามารถหาได้จากมอสทรานซิสเตอร์ M1 และ M3 และแหล่งจ่ายกระแสคงที่ $I_{B2}=I_{B3}$ เป็นดังสมการ (ก.31)

$$r_Y = \left(\frac{1}{g_{B2}} + \frac{1}{g_{m1}} \right) // \left(\frac{1}{g_{B3}} + \frac{1}{g_{m3}} \right) \quad (\text{ก.31})$$

เมื่อ g_B เป็นค่าความนำของแหล่งจ่ายกระแสคงที่ I_{B2} และ I_{B3} ส่วน g_{m1} และ g_{m3} เป็นค่าความนำของมอสทรานซิสเตอร์ M1 และ M3 ตามลำดับ

ก.6 การวิเคราะห์หาค่าความต้านทานที่พอร์ต X

ในการพิจารณาความต้านทานที่จุด X หรือ r_X ซึ่งเป็นทางเข้าของกระแสอินพุตจะพิจารณาให้แรงดันที่จุด Y เป็นศูนย์ นั่นคือจะทำให้ $V_Y=V_1=V_3=0$

โหนด 2

$$(g_{m2} + g_{d2})V_X = (g_{m1B} + sC_{1B} + sC_{2B} + g_{d2})V_2 \quad (\text{ก.32})$$

โหนด X

$$g_{d2}V_2 + g_{d4}V_4 = (g_{m2} + sC_2 + g_{m4} + sC_4 + g_{d2} + g_{d4})V_X + I_X \quad (\text{ก.33})$$

โหนด 4

$$(g_{m4} + g_{d4})V_X = (g_{m3B} + sC_{3B} + sC_{4B} + g_{d4})V_4 \quad (\text{ก.34})$$

จากสมการ (ก.32)

$$V_2 = \frac{(g_{m2} + g_{d2})}{(g_{m1B} + sC_{1B} + sC_{2B} + g_{d2})} V_x \quad (\text{ก.35})$$

จากสมการ (ก.34)

$$V_4 = \frac{(g_{m4} + g_{d4})}{(g_{m3B} + sC_{3B} + sC_{4B} + g_{d4})} V_x \quad (\text{ก.36})$$

แทนสมการ (ก.35) และ (ก.36) ลงใน (ก.33) ได้

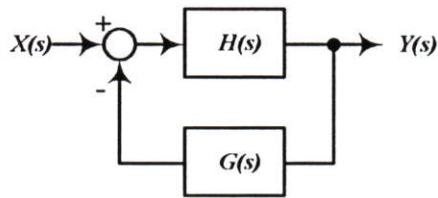
$$r_x = \frac{V_x}{I_x} = \frac{1}{(g_{m2} + g_{m4} + s(C_2 + C_4))} \quad (\text{ก.37})$$

ภาคผนวก ข

ทฤษฎีการป้อนกลับแบบลบที่ใช้ในวงจร

ข.1 ทฤษฎีการป้อนกลับแบบลบ (Negative feedback)

การป้อนกลับแบบลบถูกนำมาประยุกต์ใช้อย่างกว้างขวางในการออกแบบวงจรอนาล็อก เป็นการนำบางส่วนของสัญญาณขาออกมาป้อนกลับรวมกับสัญญาณขาเข้าของวงจร



รูปที่ ข.1 หลักการป้อนกลับแบบลบ

จากรูปที่ ข.1 อธิบายการทำงานได้ดังสมการ (ข.1)

$$Y(s) = H(s)[X(s) - G(s)Y(s)] \quad (\text{ข.1})$$

จัดรูปสมการ (ข.1) เป็นดังสมการ (ข.2)

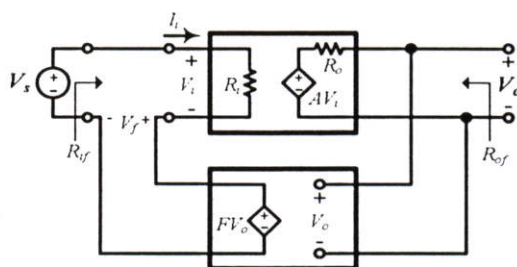
$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 + H(s)G(s)} \quad (\text{ข.2})$$

จากสมการ (ข.2) กล่าวคือ เมื่อนำวงจรขยายที่มีค่าอัตราขยาย (Open loop gain) เป็น $H(s) = A$ มาต่อป้อนกลับแบบลบ โดยที่ ค่าการป้อนกลับ (Feedback factor) $G(s) = F$ ค่าอัตราขยาย จะมีค่าลดลงเป็น A_F ตามสมการ (ข.3)

$$A_F = \frac{x_o}{x_i} = \frac{A}{1 + AF} \quad (\text{ข.3})$$

ข.2 รูปแบบการป้อนกลับแบบอินพุตเป็นแรงดัน และป้อนกลับแบบแรงดัน (Voltage-voltage feedback)

รูปแบบการป้อนกลับแบบอินพุตเป็นแรงดัน และป้อนกลับแบบแรงดันแสดงดังรูปที่ ข.2



รูปที่ ข.2 การป้อนกลับแบบอินพุตเป็นแรงดัน และป้อนกลับแบบแรงดัน

จากรูปที่ ข.2 วงจรรูปเปิดมีค่าความต้านทานอินพุต R_i อัตราขยายเท่ากับ A และความต้านทานเอาต์พุตเท่ากับ R_o เมื่อทำการป้อนแรงดันอินพุตเข้าสู่วงจรที่มีอัตราขยายเท่ากับ A จะทำให้ค่าแรงดันเอาต์พุตมีค่าเพิ่มขึ้น เมื่อทำการป้อนกลับเอาต์พุตมาที่อินพุต โดยที่ค่าการป้อนกลับมีค่าเท่ากับ F จะได้ว่า

$$V_i = V_{in} - V_f = V_{in} - FV_o \quad (ข.4)$$

เมื่อ $V_o = AV_i$ ดังนั้น

$$\frac{V_o}{A} = V_{in} - FV_o \quad (ข.5)$$

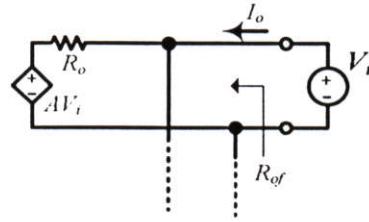
จัดรูปสมการ (ข.5) ทำให้ได้สมการ (ข.5) แสดงถึงการส่งผ่านแรงดันระหว่างอินพุตและเอาต์พุต ภายหลังจากการป้อนกลับ

$$\frac{V_o}{V_{in}} = \frac{A}{1 + FA} \quad (ข.6)$$

ในการพิจารณาค่าความต้านทานอินพุต เมื่อ R_{if} คือค่าความต้านทานอินพุตภายหลังจากการป้อนกลับ แสดงดังสมการ (ข.7)

$$R_{if} = \frac{V_{in}}{I_{in}} = \frac{V_{in} R_i}{V_i} = \frac{(V_i + FAV_i) R_i}{V_i} = (1 + FA) R_i \quad (ข.7)$$

จากสมการ (ข.7) เมื่อมีการป้อนกลับแบบลบค่าความต้านทานอินพุทจะมีค่าเพิ่มขึ้น โดยที่ค่าความต้านทานค่าเดิมจะคูณกับ $(1+FA)$



รูปที่ ข.3 ความต้านทานเอาต์พุทของวงจรภายหลังการป้อนกลับ

ส่วนการพิจารณาค่าความต้านทานเอาต์พุทแสดงดังรูปที่ ข.3 โดยให้ R_{of} คือค่าความต้านทานเอาต์พุทของวงจร และทำการป้อนแรงดันให้กับเอาต์พุทของวงจรมีค่าเท่ากับ V_t ทำให้เกิดกระแส I_o ที่ฝั่งเอาต์พุท โดยที่พิจารณาให้ฝั่งอินพุทต่อลงกราวนด์ ได้ค่าความต้านทานเอาต์พุทภายหลังการป้อนกลับแสดงดังสมการ (ข.8)

$$R_{of} = \frac{V_t}{I_o} = \frac{V_t}{\left(\frac{V_t - AV_i}{R_o} \right)} \quad (\text{ข.8})$$

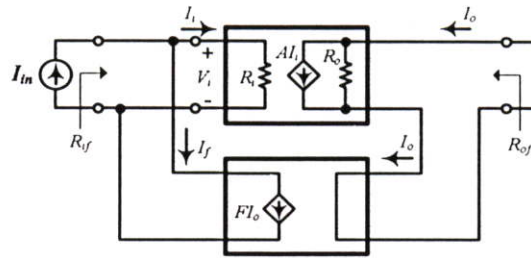
พิจารณาผลของแรงดันเนื่องจากอินพุทได้ $V_i = -FV_o = -FAV_i$ แทนค่าลงสมการ (ข.8)

$$R_{of} = \frac{V_t R_o}{V_t + AFV_i} = \frac{R_o}{1 + AF} \quad (\text{ข.9})$$

ผลจากการป้อนกลับทำให้ความต้านทานทางเอาต์พุทมีค่าลดลงด้วยค่า $1+AF$

ข.3 รูปแบบการป้อนกลับแบบอินพุตเป็นกระแส และป้อนกลับแบบกระแส (Current-current feedback)

รูปแบบการป้อนกลับแบบอินพุตเป็นกระแส และป้อนกลับแบบกระแสแสดงดังรูปที่ ข.4



รูปที่ ข.4 การป้อนกลับแบบอินพุตเป็นกระแส และป้อนกลับแบบกระแส

จากรูปที่ ข.4 วงจรรูปเปิดมีค่าความต้านทานอินพุต R_i อัตราขยายเท่ากับ A และความต้านทานเอาต์พุตเท่ากับ R_o เมื่อทำการป้อนกระแสอินพุตเข้าสู่วงจรที่มีอัตราขยายเท่ากับ A จะทำให้ค่ากระแสเอาต์พุตมีค่าเพิ่มขึ้น เมื่อทำการป้อนกลับกระแสเอาต์พุตกลับมาที่อินพุต โดยที่ค่าการป้อนกลับมีค่าเท่ากับ F จะได้ว่า

$$I_{in} = FI_o + I_i \quad (\text{ข.11})$$

เมื่อ $I_o = AI_i$ ทำให้ได้

$$I_{in} = FI_o + \frac{I_o}{A} \quad (\text{ข.12})$$

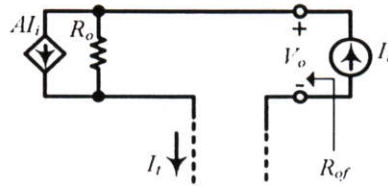
จัดรูปสมการ (ข.12) ได้ดังสมการ (ข.13)

$$\frac{I_o}{I_{in}} = \frac{A}{1 + FA} \quad (\text{ข.13})$$

พิจารณาค่าความต้านทานอินพุต เมื่อ R_{if} คือค่าความต้านทานอินพุตภายหลังการป้อนกลับ

$$R_{if} = \frac{V_i}{I_{in}} = \frac{V_i}{FI_o + I_i} = \frac{V_i}{(1 + FA)I_i} = \frac{R_i}{1 + FA} \quad (\text{ข.14})$$

จากสมการ (ข.14) แสดงให้เห็นว่าภายหลังการป้อนกลับความต้านทานอินพุตของวงจรจะมีค่าลดลงด้วยค่า $1+FA$



รูปที่ ข.5 ความต้านทานเอาต์พุตของวงจรภายหลังการป้อนกลับ

ส่วนการพิจารณาค่าความต้านทานเอาต์พุตดังรูปที่ ข.5 กำหนดให้ R_{of} คือความต้านทานเอาต์พุตของวงจรภายหลังการป้อนกลับ และทำการป้อนกระแส I_i ให้กับเอาต์พุตของวงจรจะได้

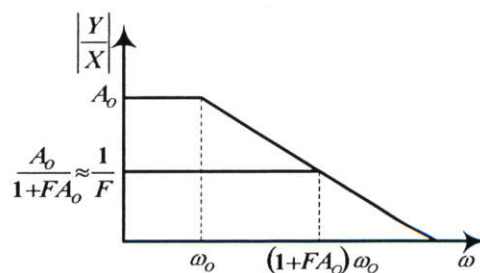
$$R_{of} = \frac{V_o}{I_i} = \frac{V_o}{\left(AI_i + \frac{V_o}{R_o} \right)} \quad (\text{ข.15})$$

ที่พิจารณาค่ากระแสอินพุตที่ส่งผลต่อเอาต์พุตทำให้ได้ $I_i = -FI_i$ แทนค่าลงสมการ (ข.15) ได้ดังสมการ (ข.16)

$$R_{of} = \frac{V_o}{\left(-AFI_i + \frac{V_o}{R_o} \right)} = \frac{V_o}{\left(\frac{-AFV_o}{R_{of}} + \frac{V_o}{R_o} \right)} = R_o(1+AF) \quad (\text{ข.16})$$

จากสมการ (ข.16) ทำให้ได้ว่าการป้อนกลับแบบลบทำให้ค่าความต้านทานทางเอาต์พุตมีค่าเพิ่มขึ้นด้วยค่า $1+AF$

ข.4 ผลการตอบสนองระหว่างอัตราขยายแรงดันต่อแบนด์วิธ (Bandwidth) เมื่อวงจรมีการป้อนกลับแบบลบ



รูปที่ ข.6 กราฟความสัมพันธ์ของอัตราขยายเทียบกับความถี่ ในกรณีที่วงจรมี 1 โพล

พิจารณาวงจรที่มี 1 โพล โดยที่ก่อนการป้อนกลับมีอัตราขยายเท่ากับ A_o ตามรูปที่ ข.6 ภายหลังการป้อนกลับจะได้ค่าอัตราขยายค่าใหม่ ซึ่งมีค่าลดลง แสดงดังสมการ (ข.17)

$$A(s) = \frac{A_o}{1 + \frac{s}{\omega_o}} \quad (\text{ข.17})$$

พิจารณาผลของการป้อนกลับต่อความถี่ เมื่อ ω_o คือค่าความถี่คัตออฟเชิงมุมภายหลังจากการป้อนกลับ จะได้ดังสมการ (ข.18)

$$\begin{aligned} \frac{Y(s)}{X(s)} &= \frac{\frac{A_o}{1 + \frac{s}{\omega_o}}}{1 + F \left(\frac{A_o}{1 + \frac{s}{\omega_o}} \right)} \\ &= \frac{A_o}{1 + FA_o + \frac{s}{\omega_o}} \\ &= \frac{A_o}{1 + FA_o + \frac{s}{(1 + FA_o)\omega_o}} \end{aligned} \quad (\text{ข.18})$$

การป้อนกลับส่งผลให้ช่วงความถี่ปฏิบัติงานเพิ่มขึ้นด้วยค่า $1 + FA_o$ สำหรับกรณีวงจรที่มี 2 โพล (Multiple pole) ซึ่งมีฟังก์ชันการส่งผ่านแสดงดัง สมการ (ข.19)

$$H(s) = \frac{A_o}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (\text{ข.19})$$

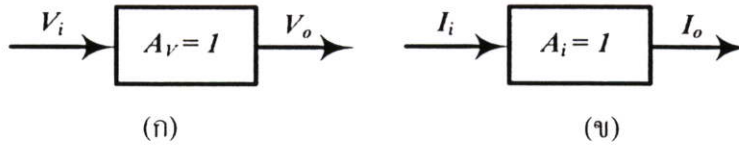
ผลจากการป้อนกลับทำให้ฟังก์ชันการส่งผ่านแสดงดังสมการ (ข.20)

$$\begin{aligned} \frac{Y(s)}{X(s)} &= \frac{A_o}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) + FA_o} \\ &= \frac{A_o \omega_{p1} \omega_{p2}}{s^2 + (\omega_{p1} + \omega_{p2})s + (1 + FA_o)\omega_{p1}\omega_{p2}} \end{aligned} \quad (\text{ข.20})$$

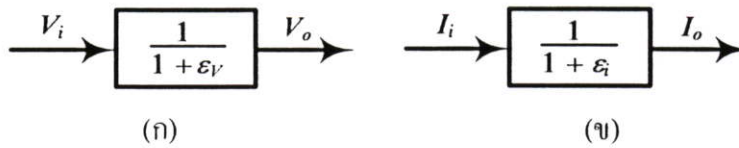
เมื่อมีการป้อนกลับทำให้ค่าของช่วงปฏิบัติงานทางความถี่ของวงจรมีค่าเพิ่มขึ้นด้วยค่า $1 + AF$

ข.5 การลดค่าความผิดพลาดของระบบโดยใช้เทคนิคการป้อนกลับและการเพิ่มอัตราขยาย(A)

โดยปกติแล้วในระบบการส่งผ่านแรงดันหรือการส่งผ่านกระแส ดังแสดงรูปแบบการส่งผ่านดังรูปที่ ข.7



รูปที่ ข.7 การส่งผ่าน (ก) แรงดันและ(ข) กระแสที่มีอัตราขยายเท่ากับ 1



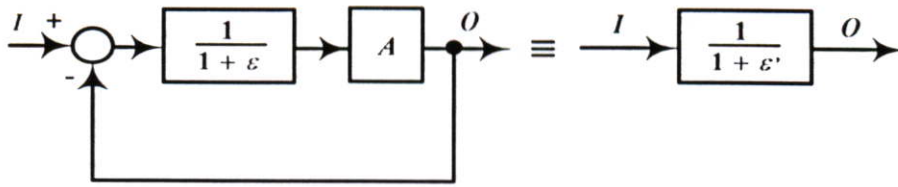
รูปที่ ข.8 การส่งผ่านแรงดันและกระแสที่มีอัตราขยายเท่ากับ 1 เมื่อมีความผิดพลาด ϵ_v และ ϵ_i เกิดขึ้น

ถ้าวงจรมีอัตราขยายเท่ากับ 1 โดยยังไม่เกิดความผิดพลาด นั่นคือ $V_o = V_i$ และ $I_o = I_i$ แต่ถ้การส่งผ่านกระแสหรือการส่งผ่านแรงดันมีความผิดพลาดเกิดขึ้นจะทำให้ความสัมพันธ์ระหว่าง V_o กับ V_i และ I_o กับ I_i สามารถแสดงในสมการ (ข.21) และ (ข.22) ตามลำดับ โดยที่ ϵ_v และ ϵ_i คือค่าความผิดพลาดที่เกิดขึ้นในการส่งผ่านแรงดันและกระแสตามลำดับ ดังแสดงในรูปที่ ข.8

$$\frac{V_o}{V_i} = \frac{1}{1 + \epsilon_v} \quad (\text{ข.21})$$

$$\frac{I_o}{I_i} = \frac{1}{1 + \epsilon_i} \quad (\text{ข.22})$$

ดังนั้นในการที่จะลดค่าความผิดพลาด ที่ ϵ_v และ ϵ_i ให้น้อยลง นั่นคือทำให้ V_o มีค่าเท่ากับ V_i และ I_o มีค่าเท่ากับ I_i มากที่สุด สามารถแสดงหลักการดังกล่าวได้ดังรูปที่ ข.9 โดยทำการเพิ่มอัตราขยายและสร้างรูปแบบการป้อนกลับที่มีค่าการป้อนกลับเท่ากับ 1



รูปที่ ข.9 การลดค่าความผิดพลาดของระบบโดยใช้เทคนิคการป้อนกลับและเพิ่มการสร้างอัตราขยาย (A)

จากรูปที่ ข.9 ถ้าสมมติว่าอินพุต I คือ V_i หรือ I_i และเอาต์พุต O คือ V_o หรือ I_o และกำหนดให้ $\varepsilon_v = \varepsilon_i = \varepsilon$ ดังนั้นค่าความสัมพันธ์ระหว่างเอาต์พุต O และอินพุต I โดยอาศัยหลักการลดรูปของวงจรป้อนกลับสมการ (ข.2) พบว่า

$$\frac{O}{I} = \frac{\left(\frac{1}{1+\varepsilon}\right)^A}{1 + \left(\frac{1}{1+\varepsilon}\right)^A} = \frac{1}{1 + \left(\frac{1+\varepsilon}{A}\right)} \quad (\text{ข.23})$$

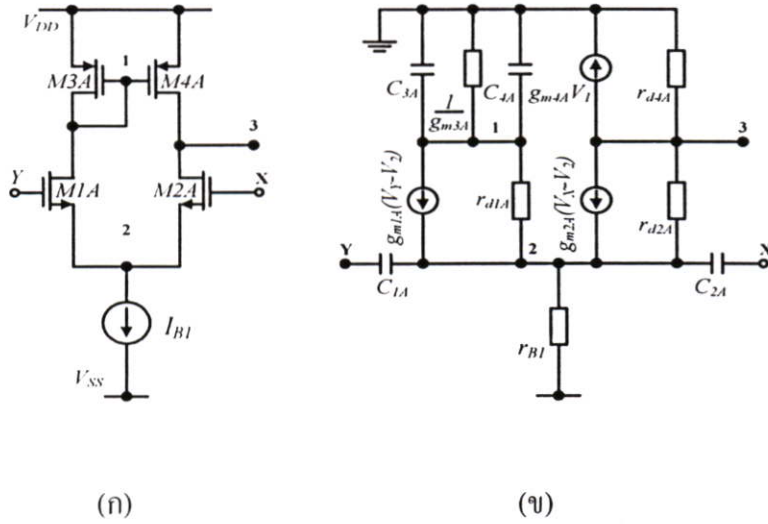
หรือ

$$\frac{O}{I} = \frac{1}{1+\varepsilon'}, \quad \varepsilon' = \frac{1+\varepsilon}{A} \quad (\text{ข.24})$$

ดังนั้นจะเห็นได้ว่าจากหลักการรูปที่ ข.9 ค่าความผิดพลาดที่เกิดขึ้นใหม่หรือ ε' มีค่าน้อยกว่า ε เดิม ขณะที่เลือกใช้ค่า $A \gg 1$ ซึ่งหมายความว่าค่าความผิดพลาดเดิมในระบบที่เกิดขึ้นคือ ε สามารถลดลงให้มีค่าน้อยลงได้เป็น ε' โดยการเลือกใช้ค่า A ที่เพิ่มขึ้น

ภาคผนวก ค

การวิเคราะห์คุณสมบัติการส่งผ่านแรงดัน
ของวงจรขยายความแตกต่าง



รูปที่ ค.1 (ก) วงจรขยายความแตกต่าง (ข) วงจรสมมูล

กำหนดให้ $C_{pA} = C_{3A} + C_{4A}$ เมื่อ $C_{3A} = C_{4A}$ และมอสทรานซิสเตอร์ทุกตัวมีความสมพ้องกัน
วิเคราะห์การส่งผ่านแรงดันของวงจรขยายความแตกต่างเทียบกับความถี่

โหนด 1

$$g_{d1A}(V_2 - V_1) - g_{m1A}(V_Y - V_2) - (sC_{pA} + g_{m3A})V_1 = 0 \tag{ค.1}$$

โหนด 2

$$sC_{1A}(V_Y - V_2) + sC_{2A}(V_X - V_2) + g_{m1A}(V_Y - V_2) + g_{m2A}(V_X - V_2) - g_{d1A}(V_2 - V_1) - g_{d2A}(V_2 - V_3) = 0 \tag{ค.2}$$

โหนด 3

$$-g_{m2A}(V_X - V_2) + g_{d2A}(V_2 - V_3) - g_{m4A}V_1 - g_{d4A}V_3 = 0 \tag{ค.3}$$

พิจารณา $g_{m1A} = g_{m2A} = g_{mA}$, $g_{m3A} = g_{m4A} = g_{mPA}$, $g_{d1A} = g_{d2A} = g_{dA}$, $g_{d3A} = g_{d4A} = g_{dPA}$ และ $C_{1A} = C_{2A} = C_A$
จากสมการ (ค.2) จะได้

$$V_2 = \frac{(V_Y + V_X)}{2} + \frac{g_{dA}(V_1 + V_3)}{2(g_{mA} + sC_A)} \tag{ค.4}$$

แทนสมการ (ค.4) ลงสมการ (ค.1)

$$V_1 = -\frac{g_{mA}}{2(g_{mPA} + sC_{PA})}V_Y + \frac{g_{mA}}{2(g_{mPA} + sC_{PA})}V_X + \frac{g_{mA}g_{dA}}{2(g_{mA} + sC_A)(g_{mPA} + sC_{PA})}V_3 \quad (\text{ค.5})$$

แทนสมการ (ค.4) และ (ค.5) ลงใน (ค.3)

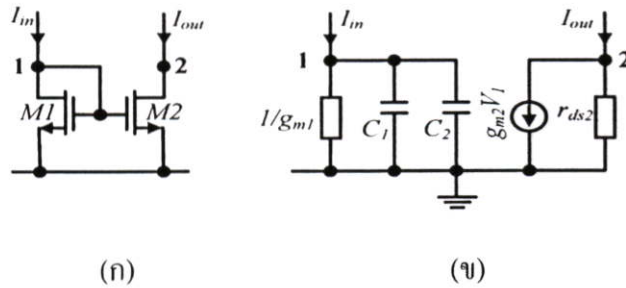
$$\frac{V_3}{(V_Y - V_X)} = \frac{g_{mA}g_{mPA}}{(g_{dA} + g_{dPA})(g_{mPA} + sC_{PA})} \quad (\text{ค.6})$$

ภาคผนวก ง

การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส

ง.1 วงจรสะท้อนกระแสแบบพื้นฐาน (Simple current mirror)

วงจรสะท้อนกระแสแบบพื้นฐาน (Simple current mirror) ประกอบด้วยมอสทรานซิสเตอร์ 2 ตัว โดยที่มอสทรานซิสเตอร์ทั้งสองตัวมีความสมพียงกันทุกประการ



รูปที่ ง.1 (ก) วงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชนแนล (ข) วงจรสมมูล

ค่าความต้านทานจุดเข้าที่พิจารณาเข้าไปยังจุด 1 ของวงจรมีค่าเท่ากับ

$$r_{in} = \frac{1}{g_{m1}} = \sqrt{\frac{L_1}{2\mu_n C_{ox} W_1 I_{in}}} \quad (ง.1)$$

สำหรับค่าความต้านทานจุดออกที่พิจารณาเข้าไปยังจุด 2 ของวงจรมีค่าเท่ากับ

$$r_{out} = \frac{1}{g_{d2}} \quad (ง.2)$$

เมื่อ g_{d2} เป็นค่าความนำระหว่างขาคเรนและขาซอสของมอสทรานซิสเตอร์ M_2 ความสัมพันธ์ระหว่างกระแสจุดออก I_{out} และกระแสจุดเข้า I_{in} สำหรับสัญญาณขนาดเล็ก

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \quad (ง.3)$$

โดยที่ g_{m1} คือค่าอัตราขยายความนำของสัญญาณขนาดเล็กในมอสทรานซิสเตอร์ M_1

อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก

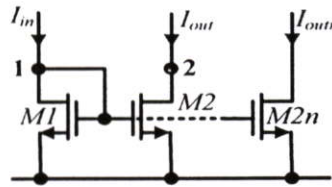
$$\frac{I_{out}}{I_m} = \frac{g_{m2}}{g_{m1} + s(C_1 + C_2)} = \frac{g_{m2}}{g_{m1}} \left(\frac{1}{1 + \frac{s(C_1 + C_2)}{g_{m1}}} \right) \quad (3.4)$$

เมื่อ $C_i = C_{gsi} + C_{gdi}$

C_{gsi} คือความจุไฟฟ้าระหว่างขาเกตและขาซอสของมอสทรานซิสเตอร์ตัวที่ i (Farad)

C_{gdi} คือความจุไฟฟ้าระหว่างขาเกตและขาเดรนของมอสทรานซิสเตอร์ตัวที่ i (Farad)

ในกรณี วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายจุดออกจะได้รับการสะท้อนแสดงดังรูปที่ 3.2 มีสมการการส่งผ่านกระแสเป็นดังสมการ (3.5)



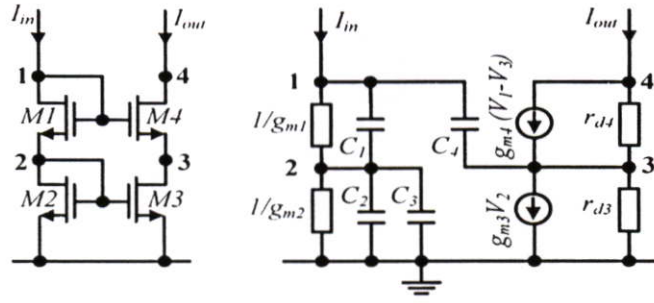
รูปที่ 3.2 วงจรสะท้อนกระแสแบบพื้นฐานที่มีจุดออกหลายจุด

$$\frac{I_{out}}{I_m} = \frac{g_{m2n}}{g_{m1} + s(C_1 + nC_{2n})} = \frac{g_{m2n}}{g_{m1}} \left(\frac{1}{1 + \frac{s(C_1 + nC_{2n})}{g_{m1}}} \right) \quad (3.5)$$

เมื่อกำหนดให้มอสเฟตทุกตัวมีความสมพียงกันทุกประการ และ $n=1, 2, 3, \dots$ คือจำนวนของจุดออกของวงจรสะท้อนกระแส

3.2 วงจรสะท้อนกระแสคาสโคด

วงจรสะท้อนกระแสคาสโคด (Cascode current mirror) เป็นวงจรสะท้อนกระแสที่มีความต้านทานจุดออกที่มีค่าสูง เมื่อเทียบกับวงจรสะท้อนกระแสแบบพื้นฐานแสดงดังรูปที่ 3.3



รูปที่ ๓.3 วงจรสะท้อนกระแสโคดโดยใช้มอสทรานซิสเตอร์

ค่าความต้านทานจุดเข้าที่พิจารณาเข้าไปยังจุด 1 ของวงจรมีค่าเท่ากับ

$$r_{in} = \frac{g_{m1} + g_{m2}}{g_{m1}g_{m2}} \quad (๓.6)$$

สำหรับค่าความต้านทานจุดออกที่พิจารณาเข้าไปยังจุด 2 ของวงจรมีค่าเท่ากับ

$$r_{out} = r_{d3} + r_{d4} + g_{m4}r_{d3}r_{d4} \cong g_{m4}r_{d3}r_{d4} \quad (๓.7)$$

ความสัมพันธ์ระหว่างกระแสจุดออก I_{out} และกระแสจุดเข้า I_{in} สำหรับสัญญาณขนาดเล็ก

$$I_{out} = \frac{g_{m3}g_{m4}}{g_{m1}g_{m2}} I_{in} \quad (๓.8)$$

วิเคราะห์อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก

จากรูปที่ ๓.3 จะได้

โหนด 1

$$I_{in} = (g_{m1} + sC_1)(V_1 - V_2) + sC_4(V_1 - V_3) \quad (๓.9)$$

โหนด 2

$$(g_{m1} + sC_1)(V_1 - V_2) - (g_{m2} + s(C_2 + C_3))V_2 = 0 \quad (๓.10)$$

จากสมการ (๓.10) ได้

$$V_2 = \left(\frac{(g_{m1} + sC_1)}{(g_{m1} + g_{m2}) + s(C_1 + C_2 + C_3)} \right) V_1 \quad (๓.11)$$

โหนด 3

$$g_{m4}(V_1 - V_3) + sC_4(V_1 - V_3) - g_{m3}V_2 - (g_{d3} + g_{d4})V_3 = 0 \quad (๓.12)$$

จากสมการที่ (ง.11) และ (ง.12) ได้

$$V_3 = \left(\frac{(g_{m1} + s(C_1 + C_2 + C_3))}{(g_{m1} + g_{m2}) + s(C_1 + C_2 + C_3)} \right) V_1 \quad (ง.13)$$

แทนค่าสมการที่ (ง.11) และ (ง.13) ลงใน (ง.14)

$$I_{in} = \left(\frac{(C_1(C_2 + C_3))s^2 + (g_{m1}(C_2 + C_3) + g_{m2}(C_1 + C_4))s + g_{m1}g_{m2}}{(g_{m1} + g_{m2}) + s(C_1 + C_2 + C_3)} \right) V_1 \quad (ง.14)$$

กระแสจุดออก I_{out} หาได้จาก

$$I_{out} = g_{m4}(V_1 - V_3) - g_{d4}V_3 \quad (ง.15)$$

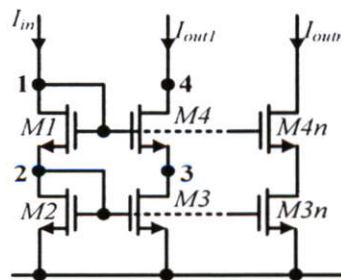
จากสมการที่ (ง.11) (ง.13) และ (ง.15) ได้

$$I_{out} = \left(\frac{g_{m2}g_{m4}}{(g_{m1} + g_{m2}) + s(C_1 + C_2 + C_3)} \right) V_1 \quad (ง.16)$$

แทนสมการที่(ง.16) ลง (ง.14)

$$\frac{I_{out}}{I_{in}} = \frac{g_{m2}g_{m4}}{(C_1(C_2 + C_3))s^2 + (g_{m1}(C_2 + C_3) + g_{m2}(C_1 + C_4))s + g_{m1}g_{m2}} \quad (ง.17)$$

$$\frac{I_{out}}{I_{in}} = \frac{g_{m2}g_{m4}}{g_{m1}g_{m2}} \left(\frac{1}{1 + \left(\frac{(C_1(C_2 + C_3))s^2 + (g_{m1}(C_2 + C_3) + g_{m2}(C_1 + C_4))s}{g_{m1}g_{m2}} \right)} \right) \quad (ง.18)$$



รูปที่ ง.4 วงจรสะท้อนกระแสคาสโคดที่มีจุดออกหลายจุด

ในกรณี วงจรสะท้อนกระแสโคตที่มีหลายจุดออกจะได้รับการสะท้อนกระแสเป็นดังสมการที่ (จ.19)

$$\frac{I_{out}}{I_{in}} = \frac{g_{m2}g_{m4n}}{g_{m1}g_{m2}} \left(\frac{1}{1 + \left(\frac{(C_1(C_2 + nC_{3n}))s^2 + (g_{m1}(C_2 + nC_{3n}) + g_{m2}(C_1 + nC_{4n}))s}{g_{m1}g_{m2}} \right)} \right) \quad (จ.19)$$

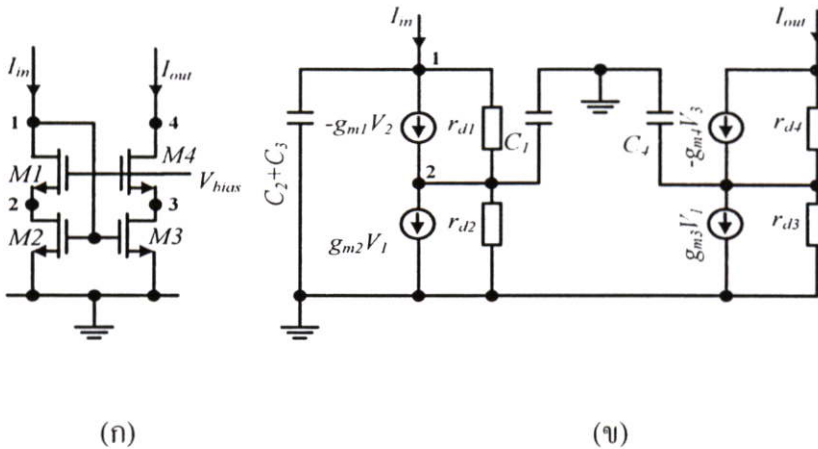
เมื่อกำหนดให้มอสเฟตทุกตัวมีความสมพียงกันทุกประการ และ $n=1, 2, 3, \dots$ ก็ือจำนวนของจุดออกของวงจรสะท้อนกระแส

จ.3 วงจรสะท้อนกระแสโคตแบบปรับปรุงที่ใช้แรงดันต่ำ

วงจรสะท้อนกระแสโคตแบบปรับปรุงที่ใช้แรงดันต่ำ (Improved cascode current mirror) ดังรูปที่ จ.5 เป็นวงจรสะท้อนกระแสที่มีความต้านทานจุดออกที่มีค่าสูงเช่นเดียวกับวงจรสะท้อนกระแสโคต โดยที่มีค่าแรงดันอินพุต ($V_{i\min}$) และเอาต์พุต ($V_{o\min}$) ที่ต่ำกว่า แสดงดังสมการ (จ.20) และ (จ.21)

$$V_{i\min} = V_{DSAT} + V_T \quad (จ.20)$$

$$V_{o\min} = 2V_{DSAT} \quad (จ.21)$$



รูปที่ จ.5 (ก) วงจรสะท้อนกระแสโคตแบบปรับปรุงที่ใช้แรงดันต่ำ (ข) วงจรสมมูล

จ.3.1 วิเคราะห์ค่าแรงดันไบอัสที่จ่ายให้วงจรสะท้อนกระแส

ในการทำงานของวงจรสะท้อนกระแสทรานซิสเตอร์ทุกตัวต้องทำงานในย่านอิมิตัว นั่นคือ

$$V_{DS} \geq V_{GS} - V_T \quad (จ.22)$$

กำหนดให้ $k = \mu C_{OX}$ และ $A = W/L$ ดังนั้น

$$V_{GSM1} = V_{TN} + \sqrt{\frac{2I_D}{k_N A_{M1}}} \quad (จ.23)$$

$$V_{GSM2} = V_{TN} + \sqrt{\frac{2I_D}{k_N A_{M2}}} \quad (จ.24)$$

เมื่อ $V_{DSM2} = V_{Bias} - V_{GSM1}$ ทำให้ได้สมการ (จ.25)

$$V_{DSM2} = V_{Bias} - V_{TN} - \sqrt{\frac{2I_D}{k_N A_{M1}}} \quad (จ.25)$$

และ $V_{DSM1} = V_{GSM2} - V_{DSM2}$ จากสมการ (จ.24) ทำให้ได้สมการ (จ.26)

$$V_{DSM1} = 2V_{TN} - V_{Bias} + \sqrt{\frac{2I_D}{k_N} \left(\frac{1}{\sqrt{A_{M2}}} + \frac{1}{\sqrt{A_{M1}}} \right)} \quad (จ.26)$$

ในกรณีค่าแรงดันไบอัส (V_{Bias}) ให้กับวงจรสะท้อนกระแสต่ำสุดจะได้ว่า

$$\begin{aligned} V_{DSATM2} &\geq V_{GSM2} - V_{TN} \\ V_{Bias} &\geq V_{GSM1} + V_{DSATM2} \\ V_{Bias} &\geq V_{TN} + \sqrt{\frac{2I_D}{k_N} \left(\frac{1}{\sqrt{A_{M2}}} + \frac{1}{\sqrt{A_{M1}}} \right)} \end{aligned} \quad (จ.27)$$

และในกรณีค่าแรงดัน V_{Bias} สูงสุด

$$\begin{aligned} V_{DSATM1} &\geq V_{GSM1} - V_{TN} \\ V_{GSM2} &\geq V_{DSATM2} + V_{DSATM1} \\ V_{GSM2} &\geq V_{Bias} - V_{TN} \\ V_{Bias} &\leq 2V_{TN} + \sqrt{\frac{2I_D}{k_N A_{M2}}} \end{aligned} \quad (จ.28)$$

ดังนั้นจากสมการ (จ.27) ค่ากระแสสูงสุดที่จะไหลผ่านวงจรสะท้อนกระแสโคดแบบปรับปรุงที่ใช้แรงดันต่ำมีค่าเท่ากับ

$$I_D = \frac{k_N}{2} (V_{Bias} - V_{TN})^2 \left(\frac{\sqrt{A_{M2}A_{M1}}}{\sqrt{A_{M1}} + \sqrt{A_{M2}}} \right)^2 \quad (จ.29)$$

จ.3.2 การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสสโตนแบบปรับปรุงที่ใช้แรงดันต่ำสำหรับสัญญาณขนาดเล็ก

ค่าความต้านทานจุดเข้าที่พิจารณาเข้าไปยังจุด 1 ของวงจรมีค่าเท่ากับ

$$r_{in} = \frac{r_{d1} + r_{d2} + g_{m1}r_{d1}r_{d2}}{1 + g_{m2}r_{d2} + g_{m1}r_{d1}g_{m2}r_{d2}} \cong \frac{1}{g_{m2}} \quad (จ.30)$$

สำหรับค่าความต้านทานจุดออกที่พิจารณาเข้าไปยังจุด 2 ของวงจรมีค่าเท่ากับ

$$r_{out} = r_{d3} + r_{d4} + g_{m4}r_{d3}r_{d4} \cong g_{m4}r_{d3}r_{d4} \quad (จ.31)$$

เมื่อ g_{d2} เป็นค่าความนำระหว่างขาเดรนและขาซอสของมอสทรานซิสเตอร์ M_2 การส่งผ่านกระแสของวงจรตามรูปที่ จ.5 วิเคราะห์การส่งผ่านกระแสในเชิงความถี่

โหนด 1

$$I_{in} = s(C_2 + C_3)V_1 - g_{m1}V_2 + g_{d1}(V_1 - V_2) \quad (จ.32)$$

โหนด 2

$$-g_{m1}V_2 + g_{d1}(V_1 - V_2) - sC_1V_2 = g_{m2}V_1 + g_{d2}V_2 \quad (จ.33)$$

โหนด 3

$$-sC_4V_3 - g_{m4}V_3 + g_{d4}(V_4 - V_3) = g_{m3}V_1 + g_{d3}V_3 \quad (จ.34)$$

โหนด 4

$$I_{out} = -g_{m4}V_3 + g_{d4}(V_4 - V_3) \quad (จ.35)$$

แทนสมการ (จ.33) ลงใน (จ.32)

$$I_{in}(g_{m1} + g_{d1} + g_{d2} + sC_1) = (g_{m2}(g_{m1} + g_{d1}) + g_{d1}sC_1 + s(C_2 + C_3)(g_{m1} + g_{d1} + sC_1 + g_{d2}))V_1 \quad (จ.36)$$

แทนสมการ (จ.34) ลงใน (จ.35)

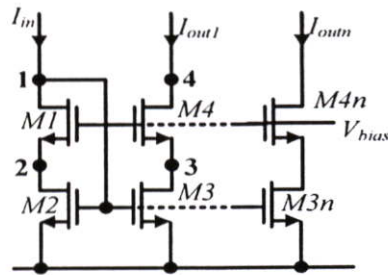
$$I_{out}(g_{m4} + g_{d4} + g_{d3} + sC_4) = (g_{m3}(g_{m4} + g_{d4}))V_1 \quad (จ.37)$$

แทนสมการ (จ.37) ลงในสมการ (จ.36) และพิจารณา $g_m \gg g_d$

$$\frac{I_{out}}{I_{in}} = \frac{(g_{m1} + sC_1)}{(g_{m4} + sC_4)} \frac{g_{m3}g_{m4}}{(s^2(C_2 + C_3)C_1 + s(C_2 + C_3)g_{m1} + g_{m2}g_{m1})} \quad (3.38)$$

$$\frac{I_{out}}{I_{in}} = \left(\frac{g_{m3}g_{m4}}{g_{m2}g_{m1}} \right) \left(\frac{g_{m4} + sC_4}{g_{m1} + sC_1} \right) \left(\frac{1}{\left(\frac{s^2(C_2 + C_3)C_1 + s(C_2 + C_3)g_{m1}}{g_{m2}g_{m1}} \right) + 1} \right) \quad (3.39)$$

ในกรณีวงจรสะท้อนกระแสโคคแบบปรับปรุงที่ใช้แรงดันด่ำที่มีหลายจุดออกดังแสดงในรูปที่ 3.6 จะได้ฟังก์ชันการส่งผ่านกระแสเป็นดังสมการที่ (3.40)



รูปที่ 3.6 วงจรสะท้อนกระแสโคคแบบปรับปรุงที่ใช้แรงดันด่ำที่มีจุดออกหลายจุด

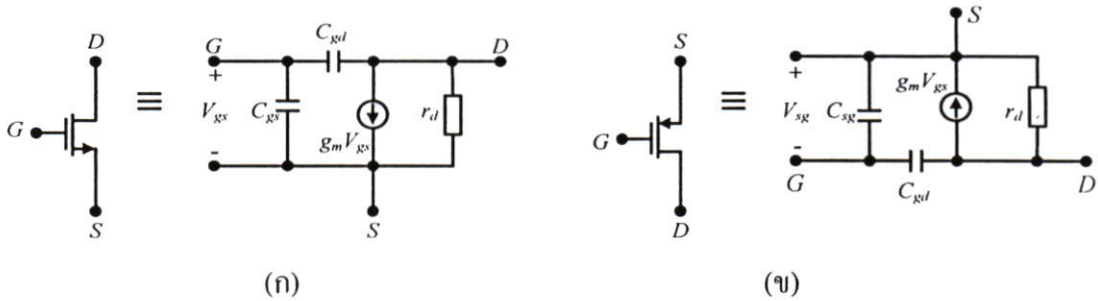
$$\frac{I_{out}}{I_{in}} = \left(\frac{g_{m3n}g_{m4n}}{g_{m2}g_{m1}} \right) \left(\frac{g_{m4n} + sC_{4n}}{g_{m1} + sC_1} \right) \left(\frac{1}{\left(\frac{s^2(C_2 + nC_{3n})C_1 + s(C_2 + nC_{3n})g_{m1}}{g_{m2}g_{m1}} \right) + 1} \right) \quad (3.40)$$

เมื่อกำหนดมอดูลทรานซิสเตอร์ทุกตัวมีความสมพียงกันทุกประการและ $n=1, 2, 3, \dots$ คือจำนวนจุดออกของวงจรสะท้อนกระแส

ภาคผนวก จ

วงจรมมูลแบบจำลองของมอสทรานซิสเตอร์ และพารามิเตอร์พื้นฐาน

จ.1 วงจรมมูลและแบบจำลองของมอสทรานซิสเตอร์



รูปที่ จ.1 วงจรมมูลของมอสทรานซิสเตอร์ (ก) ชนิดเอ็น (ข) ชนิดพี

สมการ (จ.1) อธิบายการทำงานในช่วงอิ่มตัว(Saturated region)ของมอสทรานซิสเตอร์

$$I_D = \frac{K_p W}{2L} (V_{GS} - V_T)^2 = \frac{\mu_n \epsilon_{OX}}{t_{OX}} \frac{W}{2L} (V_{GS} - V_T)^2 \quad , \quad 0 < (V_{GS} - V_T) \leq V_{DS} \quad (\text{จ.1})$$

สมการความสัมพันธ์ของค่าพารามิเตอร์ต่างๆ ของมอสทรานซิสเตอร์

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{K_p W}{L} (V_{GS} - V_T) = \sqrt{\frac{2K_p I_D W}{L}} \quad (\text{จ.2})$$

$$g_d = \lambda I_D \quad (\text{จ.3})$$

และค่า C_{gs} กรณีที่มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัวจะได้

$$C_{gs} \cong \frac{2}{3} C_{OX} WL \quad (\text{จ.4})$$

I_D	= กระแสเดรน (Drain current)	(A)
V_{GS}	= แรงดันไฟฟ้าระหว่างเกตและซอส (Gate-source voltage)	(V)
V_{DS}	= แรงดันไฟฟ้าระหว่างเดรนและซอส (Drain-source voltage)	(V)
V_T	= แรงดันขีดเริ่ม (Threshold voltage)	(V)
W	= ความกว้างประสิทธิผลของแชนแนล (Effective channel width)	(m)
L	= ความยาวประสิทธิผลของแชนแนล (Effective channel length)	(m)
g_m	= ค่าความนำของมอสทรานซิสเตอร์ (Transconductance)	(A/V)
g_d	= ความนำที่ขาเดรน (Drain conductance)	(A/V)
K_p'	= พารามิเตอร์ความนำ (Transconductance parameter)	(A/V ²)
C_{gs}	= ความจุไฟฟ้าระหว่างเกตกับซอส (Gate-source capacitance)	(F)
C_{OX}	= ความจุไฟฟ้าที่เกิดจากออกไซด์ (Oxide capacitance)	(F/cm ²)
λ	= ความยาวแชนแนล โมดูเลชัน (Channel length modulation)	(V ⁻¹)

จ.2 ทรานซิสเตอร์โมเดล AMIS ขนาด 0.7 ไมครอน

ทรานซิสเตอร์โมเดล AMIS ขนาด 0.7 ไมครอน สามารถรองรับกระบวนการสร้างวงจรรอนาลอกได้โดยใช้แรงดันได้ตั้งแต่ 2.5V -5.5V โดยมีค่าพารามิเตอร์ที่สำคัญดังนี้

ตัวแปร	NMOS	PMOS	หน่วย
VT	0.75	-1.0	V
NSUB	4E16	4E16	cm ⁻³
UO	635.61	240.06	cm ² /(V.s)
TOX	1.75E-8	1.75E-8	m
LAMBDA	0.05	0.06	V ⁻¹

จ.3 ค่าคงที่ที่ใช้ในการคำนวณ

k	Boltzmann's constant	1.381×10^{-23}	J/K
n_i	Intrinsic carrier concentration (27 °C)	1.5×10^{10}	cm ⁻³
ϵ_0	Permittivity of free space	8.854×10^{-14}	F/cm
ϵ_{si}	Permittivity of silicon	$11.7\epsilon_0$	F/cm
ϵ_{OX}	Permittivity of SiO ₂	$3.9\epsilon_0$	F/cm

ภาคผนวก ข
ผลงานวิจัยที่ได้รับการตีพิมพ์

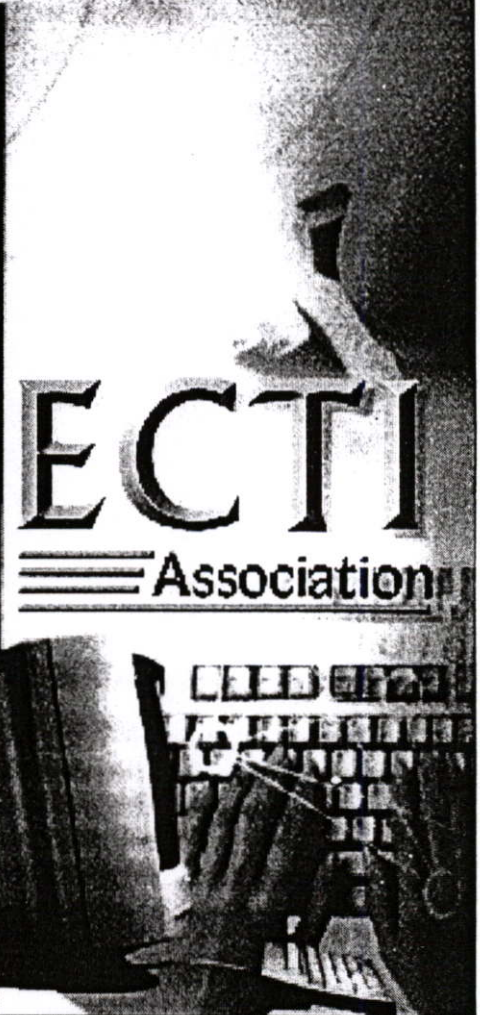
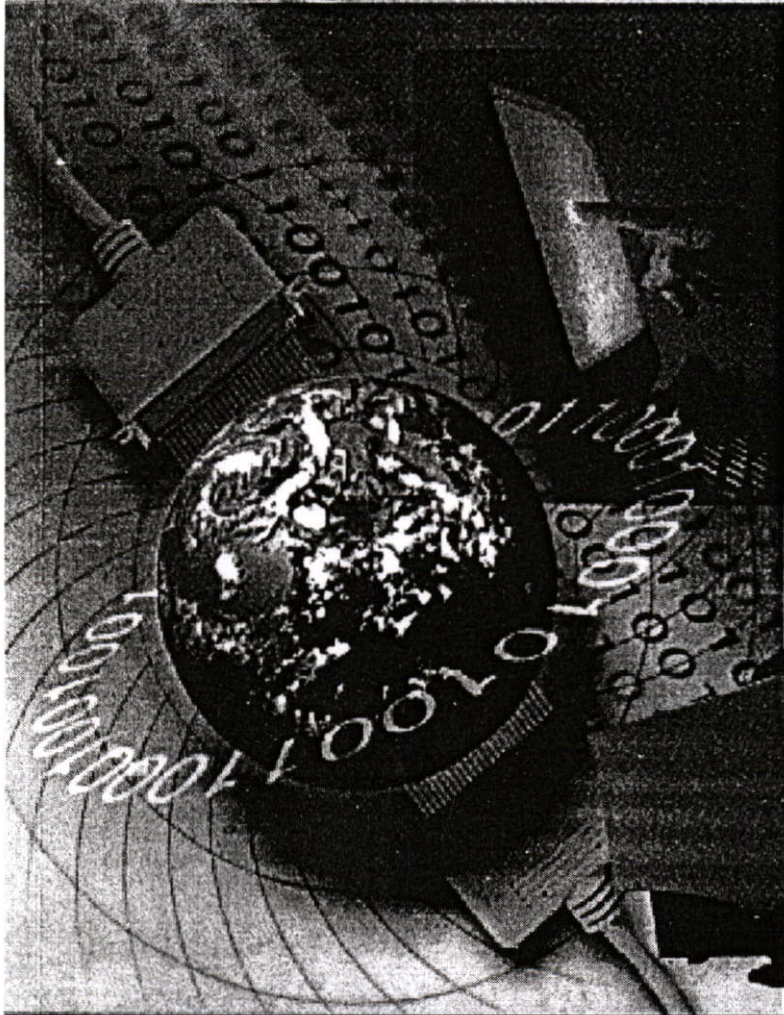
บทความวิจัยซึ่งเป็นส่วนหนึ่งของวิทยานิพนธ์ที่ได้รับการตีพิมพ์ลงในวารสารการประชุมวิชาการมี 3 บทความดังต่อไปนี้

- [1] P. Pienchob, K. Kumwachara and W. Surakamponorn. “**A Compounded Second-Generation Current Conveyor Using Only NMOS Transistors.**” The 1st ECTI Annual Conference (ECTI-CON 2004), May 2004, pp. 405-408
- [2] P. Pienchob, K. Kumwachara and W. Surakamponorn. “**Multi-Output CCII for Realization of Current Conveyors.**” The 2nd ECTI Annual Conference (ECTI-CON 2005), May 2005, pp. 657-660
- [3] P. Pienchob, K. Kumwachara and W. Surakamponorn. “**An Improved CMOS Multi-Output Second Generation Current Conveyor.**” Proceedings of the International Conference on Robotics, Vision, Information and Signal Processing ROVISIP2005, July 2005, pp. 25-28



ECTI Conference

The Fine Art of Search 2004



ECTI

Association

Proceedings of The First Electrical Engineering/Electronics, Computer, Telecommunications, and Information Technology (ECTI) Annual Conference



IEEE MTT/AP/ED
THAILAND CHAPTER



IEEE U.S. SOCIETY



NECTEC



IEEE LEOS
THAILAND CHAPTER



Suthosinee Lamultree, Chawanthawat Mansap, Chuwong Phongcharoenpanich, Sompol Kosulvit, and Monai Krairiksh, King Mongkut's Institute of Technology Ladkrabang

- Can The Magnitude of The Voltage Reflection Coefficient Be Greater Than Unity?
 - *A. Wongwattanasat and D. Torrungrueng, Asian University of Science and Technology*
- Solving for the Current Distribution Using Gauss-Seidel Iteration and Multigrid Method
 - *W.Kuhirun, T.Jariyanorawiss, M.Polpasee, and N.Homsup, Kasetsart University*
- A Compact Wideband Bandpass Filter Using Square-Loop Resonators With Tuning Stubs
 - *Jessada Konpang, Alongkorn Namahoot and Prayoot Akkaraekthalin, King Mongkut's Institute of Technology North Bangkok*

FPM1-RB Amplifiers and analog signal processing 397

A Novel Class-AB Transconductor suitable for High Speed CMOS Operational Amplifier

- *Chutham Sawigun, Jirayut Mahattanakul, Mahanakorn University of Technology*
- Electronically tunable quadrature oscillator using current-controlled differential current voltage conveyors
 - *Worapong Tangsrirat, Wanlop Surakamponorn, King Mongkut's Institute of Technology Ladkrabang*
- A Compounded Second-Generation Current Conveyor Using Only NMOS Transistors
 - *Patra Pienchob, Kiattisak Kumwachara, Wanlop Surakamponorn, King Mongkut's Institute of Technology Ladkrabang*
- A Temperature Compensated Logarithmic Amplifier using only NPN Transistors
 - *Chaiwat Jonkunsitichai, Chalermpan Fongsamut, Kiattisak Kumwachara, Wanlop Surakamponorn, King Mongkut's Institute of Technology Ladkrabang*
- Translinear Peak Detector Circuit for Sinusoidal Signal
 - *Wannaya Ngamkham, Mahanakorn University of Technology*
 - *Thip Manmek, The university of New South Wales*
 - *Chariya Wongtaychatham, King Mongkut's Institute of Technology Ladkrabang*

FPM2-RSI Energy and Power Systems 417

- Bidding Strategies for Continuous Generation and Maximal Profit in Electricity Markets
 - *Wu Jiekang, Long Jun, He Fen, Guangxi University*
- A new efficient algorithm for real time harmonics measurement in power systems
 - *Thip Manmek, Colin Grantham, B. T. (Toan) Phung, The University of New South Wales*
 - *Wannaya Ngamkham, Mahanakorn University of Technology*
- A Self-Organizing Fuzzy Controller for Maximum Power Point Tracking in Photovoltaic Systems
 - *Noppadol Khaehintung, Phaopak Sirisuk, Mahanakorn University of Technology*

FPM2-RSII Antenna and Propagation 429

- Experimental of modeling scintillation distribution in short-term on S-band(1.694 GHz)
 - *Viparat Torchakul, Kitichai Visessiri, Pattariya Theerapatpaiboon, Nipha Leelaruji, Narong Hemmakorn, King Mongkut's Institute of Technology Ladkrabang*
 - *Khajitpan Makaratat, Rajamankala Institute of Technology Salaya*

A Compounded Second-Generation Current Conveyor Using Only NMOS Transistors

Patra Pienchob, Kiattisak Kumwachara and Wanlop Surakamponorn

Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok, 10520, Thailand
Email: S6060517@kmitl.ac.th, kkiatti@kmitl.ac.th, kswanlop@kmitl.ac.th
Phone:(662)739-1362, Fax:(662)739-2398

ABSTRACT

In this paper, A CMOS Compounded Second-Generation Current Conveyor using only N-Channel MOSFET, the signal path consists of only NMOS transistors, is introduced. The circuit has the advantages of providing two symmetrical outputs, presenting the high impedance at ports Y, Z⁻ and Z⁺, and a low impedance at port X. Furthermore, based on differential amplifier and current follower cells, a voltage to current converter, with low offset voltage, is obtained. The performance of the proposed circuit is studied through the PSPICE simulations.

Keywords: current conveyor, current mode signal processing, cascode current mirror, differential amplifier

1. INTRODUCTION

A simple and useful analog circuit building block named as Second Generation Current Conveyor (CCII) is developed and introduced by A. Sedra and K.C. Smith in 1970 [1]. However, in some applications, a compounded CCII or CCII± which can produce both CCII+ and CCII- is required [2-5]. The CCII± based structure has a potential to employ a minimum number of passive components [3]. The block diagram of the CCII± is shown in figure 1. Basically, a CCII± is a four-port network which can be explained by a hybrid matrix as:

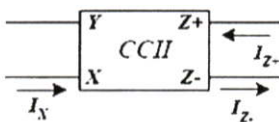


Fig. 1: Compounded CCII

$$\begin{bmatrix} V_x \\ i_y \\ i_{z^+} \\ i_{z^-} \end{bmatrix} = \begin{bmatrix} h_{11} & h_{12} & h_{13} & h_{14} \\ h_{21} & h_{22} & h_{23} & h_{24} \\ h_{31} & h_{32} & h_{33} & h_{34} \\ h_{41} & h_{42} & h_{43} & h_{44} \end{bmatrix} \begin{bmatrix} i_x \\ V_y \\ V_{z^+} \\ V_{z^-} \end{bmatrix} \quad (1)$$

For an ideal CCII±: $h_{12}=1$, $h_{31}=+1$ and $h_{41}=-1$, where the sign specifies the direction of the current, and the other elements are zero. Therefore, a compounded CCII can be considered as a device composed of voltage follower

placed between port Y and port X, and a positive (CCII+) and negative (CCII-) current followers which replicate in ports Z⁻ and Z⁺, respectively. It can be further inferred that impedance at port Y, Z⁻ and Z⁺ must be high, while the impedance at port X must be low. In the reference 5, a method to implement the CCII± is introduced. But, however, the input impedance at port X is high and the implementation method requires PMOS transistors.

For a typical n-well CMOS process, the unity gain frequency f_t of NMOS devices are approximately two times higher than the f_t of PMOS devices, due to electrons have a higher saturation velocity compare to holes [6]. In addition, to realize the same transconductance for transistors with the same length, a PMOS must be 3 times wider than a NMOS. This is because the junction capacitance per unit area is approximately 2 times larger for PMOS than for NMOS [7]. Therefore, in order to avoid the PMOS to limit the high frequency operation, the CCII± should be designed such that signals pass through only NMOS transistors.

The purpose of this paper is to present a CMOS circuit technique using only NMOS transistors and based on differential pair for the realization of both the CCII+ and CCII-. The circuit is small and also offers low offset voltage, low offset current and high speed frequency response.

2. CIRCUIT DESCRIPTION

2.1 The Compounded CCII (CCII±)

The proposed CCII± is shown in Figure 2. Assuming that the pairs of transistor M1 and M2, and the cascode current mirror cells are well matched, the current mirror also have a unity gain, and all transistors operate in their saturation regions. The current i_y is approximately zero, because the input impedance at the gate, of the MOSFET, is very high. The transistor M1 and M2 form the differential pair with the bias current I_1 . The current source I_2 forces the drain current of M2 equal to $I_1/2$ thus the drain current of M1 also approximates to $I_1/2$. This operation drives the gate source voltage $V_{GS1} \cong V_{GS2}$ and, consequently, forces the voltage at port X to follow the voltage at port Y or $V_x \cong V_y$. If g_{d1} and g_{m1} denotes the drain conductance and the conductance of M1, respectively, the relationship between V_x and V_y can be expressed as

$$\frac{V_x}{V_y} = \left[\frac{1}{1 + \frac{g_{d1}g_{m2}}{g_{m1}(g_{m2} + g_{d2})}} \right] \quad (2)$$

Transistor M3 functions as a current follower stage and also provides a low resistance (r_x) at port X. The result of r_x can be expressed as

$$r_x = \frac{V_x}{i_x} = \frac{g_{d2}}{g_{m3}g_{m2}} \quad \Omega \quad (3)$$

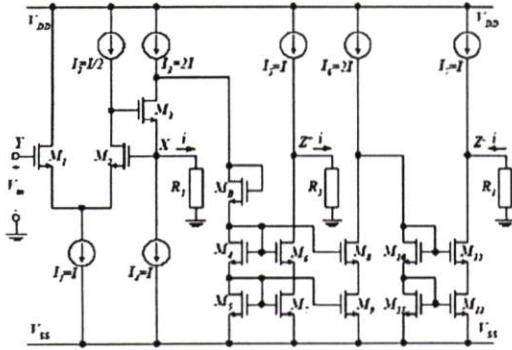


Fig. 2: CCII± circuit diagram

From small signal analysis, if R_1 is a given resistance connected at port X, the transconductance (G_m) between i_x and V_y can be approximately given by

$$G_m = \frac{\partial i_x}{\partial V_y} = \frac{1}{R_1} \left[\frac{1}{1 + \frac{g_{d1}g_{m2}}{g_{m1}(g_{m2} + g_{d2})}} \right] \cong \frac{1}{R_1} \quad (4)$$

For V_m is positive, there is a small signal current i_x flow out of port X. The drain current of M3 is then equal to $I_1+i_x = I+i_x$. Since I_3 is constant and $I_3 = 2I$, the current will force the drain current of MB to be equal to $I-i_x$. The cascode current mirror (M4, M5, M6 and M7) and (M4, M5, M8 and M9) will copy the current $I-i_x$ flow into the drain current of M6 and M8. Owing to I_5 is constant and $I_5=I$, then at port Z⁻, the output current I_{z^-} is equal to i_x and flows out of port Z⁻. The other cascode current mirror (M4, M5, M8 and M9) also reflect the current $I-i_x$ to be the drain current of M8. Since $I_6 = 2I$, then the cascode current mirror (M10, M11, M12 and M13) will mirror current of M10 equal to $I+i_x$ to be the drain current of M12. Since $I_7 = I$, then the output current I_{z^+} is equal to i_x and flowing into port Z⁺. It is clearly seen that the output signal current at port Z⁻ (i_{z^-}) and port Z⁺ (i_{z^+}) are equal to i_x , which i_{z^-} is in the same direction and i_{z^+} is in the opposite direction with respect to the direction of i_x .

The output resistance at port Z⁻ and Z⁺ is approximately equal to the output resistance of the

cascode current mirror in parallel with the output resistance of the constant current source I_5 and I_7 , respectively. By small signal analysis, the current transfers i_{z^-}/i_x and i_{z^+}/i_x can be approximately written as

$$\frac{i_{z^-}}{i_x} \cong \frac{g_{m7}}{g_{m5}} \quad (5.1)$$

$$\frac{i_{z^+}}{i_x} \cong \frac{g_{m13}}{g_{m11}} \quad (5.2)$$

2.2 Current-mode universal filter

CCII± are proved to be very useful active elements in the current-mode filter. The current-mode single-input three-output universal filter structure is used to confirm the practical validity of the proposed CCII circuit [3]. Figure 3 shows a single-input three-outputs filter using CCII±, which simultaneously realize second-order lowpass(LP), bandpass(BP) and highpass(HP) filter responses without any passive component matching conditions. The filter requires a minimum passive element, has very low passive and active sensitivity and produces the filters responses at high impedance outputs.

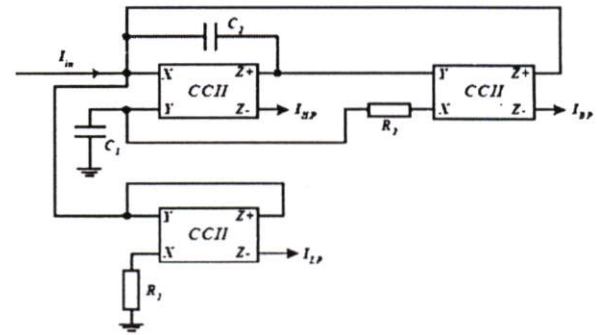


Fig. 3: The current-mode universal filter

The transfer functions of the circuit are given as

$$\frac{I_{HP}}{I_m} = \frac{s^2/2}{D(s)}, \quad \frac{I_{BP}}{I_m} = \frac{s/2C_2R_2}{D(s)}, \quad \frac{I_{LP}}{I_m} = \frac{1/2C_1R_1C_2R_2}{D(s)} \quad (6)$$

where

$$D(s) = s^2 + \frac{s}{2C_2R_2} + \frac{1}{2C_1C_2R_1R_2} \quad (7)$$

The natural angular frequency and the quality factor of the circuit are

$$\omega_0 = \frac{1}{\sqrt{2C_1R_1C_2R_2}}, \quad Q = \sqrt{\frac{2C_2R_2}{C_1R_1}} \quad (8)$$

3. SIMULATION RESULTS

The characteristics of the current conveyor were studied through the simulation results using PSPICE [8], with NMOS transistor model for 0.7 micron CMOS process. The transistor dimensions of the circuit in figure 2 are listed in Table1, where W is channel width and L is channel length in micron unit. Table2 shows a summary results of the simulations. The bias current sources I_1 , I_4 , I_5 and I_7 are set to 300 μA . I_3 and I_6 are set to 600 μA and I_2 is set to 150 μA . The supply voltage $V_{DD} = +2.0$ Volt and $V_{SS} = -2.0$ Volt.

Table 1: Transistor Dimensions

Transistors	W(μm)	L(μm)
M1, M2	70	5
M3	100	5
M4, M5, M6, M7, M8, M9, M10, M11, M12, M13	31	5

Table 2: Summary of the simulation results

Parameters	Results
Technology	0.7 μm n-well CMOS process
Supply Voltage	± 2.0 V or higher
Power dissipation	8.40 mW
Impedance at terminal x	1 Ω
Impedance at terminal z^- and z^+	1.18 M Ω
voltage offset (V_x vs V_y)	450 μV
current offset (i_{z^+} vs i_x) and (i_{z^-} vs i_x)	0.18 μA
Voltage dynamic range	-1.5V to 2V
Current dynamic range	-300 μA to 300 μA
Bandwidth (V_x/V_y)	60 MHz
Bandwidth (i_x/V_y)	55 MHz
Bandwidth (i_{z^+}/i_x)	30 MHz
Bandwidth (i_{z^-}/i_x)	20 MHz

Figure 4 shows the large signal voltage transfer characteristic between V_x and V_y . The offset voltage at port X when Y is connected virtual grounded is approximately 450 μV . The DC current transfer characteristics from port X to port Z^- and Z^+ is illustrated in figure 5. The maximum current operation is $|i_x| < I_4$ or $-300\mu\text{A} < i_x < 300\mu\text{A}$. A good current following behavior can be seen over the current range when vary input current at port X from -300 μA to 300 μA . The offset current i_{z^-} and i_{z^+} to i_x are 0.18 μA .

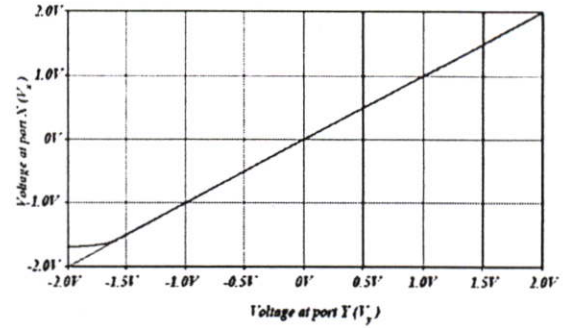


Fig. 4: The DC voltage transfer characteristics

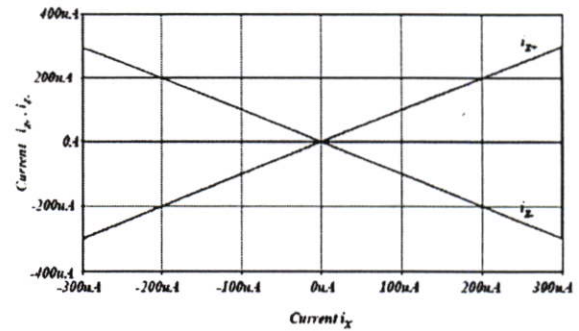


Fig. 5: The DC current transfer characteristics

For the high frequency response, the major high frequency limitation is due to the parasitic capacitances at port Z^- , Z^+ and X. Figure 6, 7, 8 and 9 show the frequency characteristics of the proposed circuit.

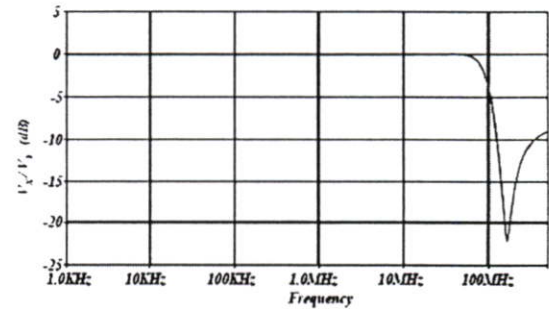


Fig. 6: The frequency characteristic of the voltage transfer

The frequency characteristics of the voltage transfer function is shown in figure 6. The simulation result shows good voltage transfer over a wide frequency range. The frequency operation is about 60 MHz.

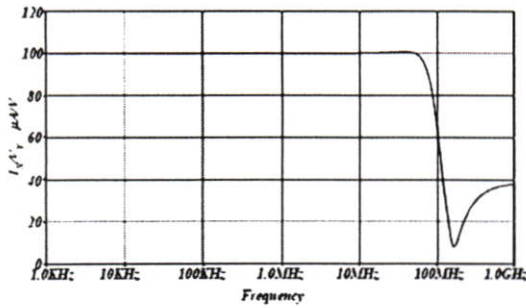


Fig. 7: The frequency characteristic of the Transconductance gain

Figure 7 shows that the transconductance (G_m) is approximate $1/R_1$, according to equation 4 when $R_1 = 10k\Omega$ then G_m is equal $100 \mu A/V$. The frequency of operation is about 55 MHz. The current gain of the circuit is shown in figure 8, where the frequency of operation of i_z/i_x and i_z/i_x are observed to be at 30 MHz and 20 MHz, respectively.

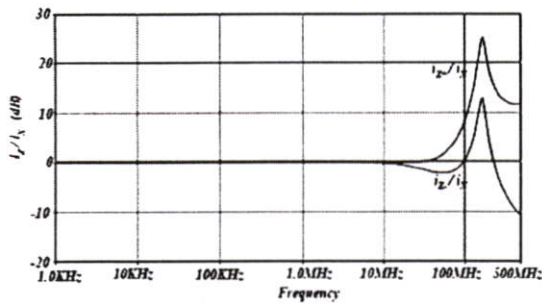


Fig. 8: The frequency characteristics of current transfer

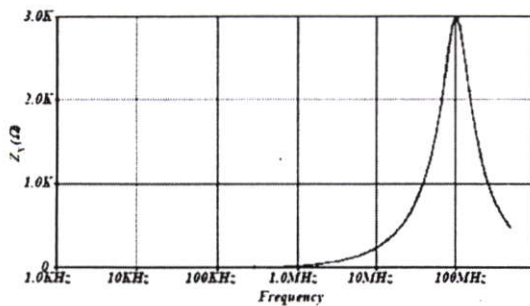


Fig. 9: Input characteristic at port X

Finally, for the current-voltage characteristic at port X against frequency, the input impedance (Z_x) at port X is approximated 1Ω at DC at quiescent point.

The universal filter in figure 3 is designed with natural frequency of $f_0=113kHz$ by choosing the passive component values as follows: $C1=200pF$, $C2=100pF$, $R1=10k\Omega$ and $R2=5k\Omega$. The simulated responses are shown in Figure 10, in comparison with the theoretical prediction, dashed line.

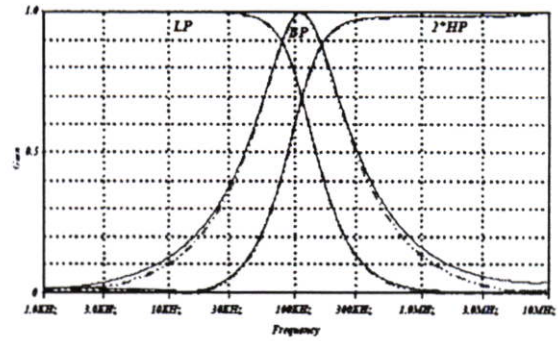


Fig. 10: Simulated characteristics for the normalized frequency response of the universal filter with $f_0=113.37 kHz$

4. CONCLUSION

We have developed NMOS only compounded current conveyor which have both CCII+ and CCII- in the same circuit. By using differential amplifier and current follower cells as a voltage to current converter the low voltage offset is achieved. The NMOS only structure gives high frequency response. The CCII± also offers a low input resistance due to use of negative feedback at port X. The simulation results through PSPICE show the circuit has high efficiency working.

5. ACKNOWLEDGEMENT

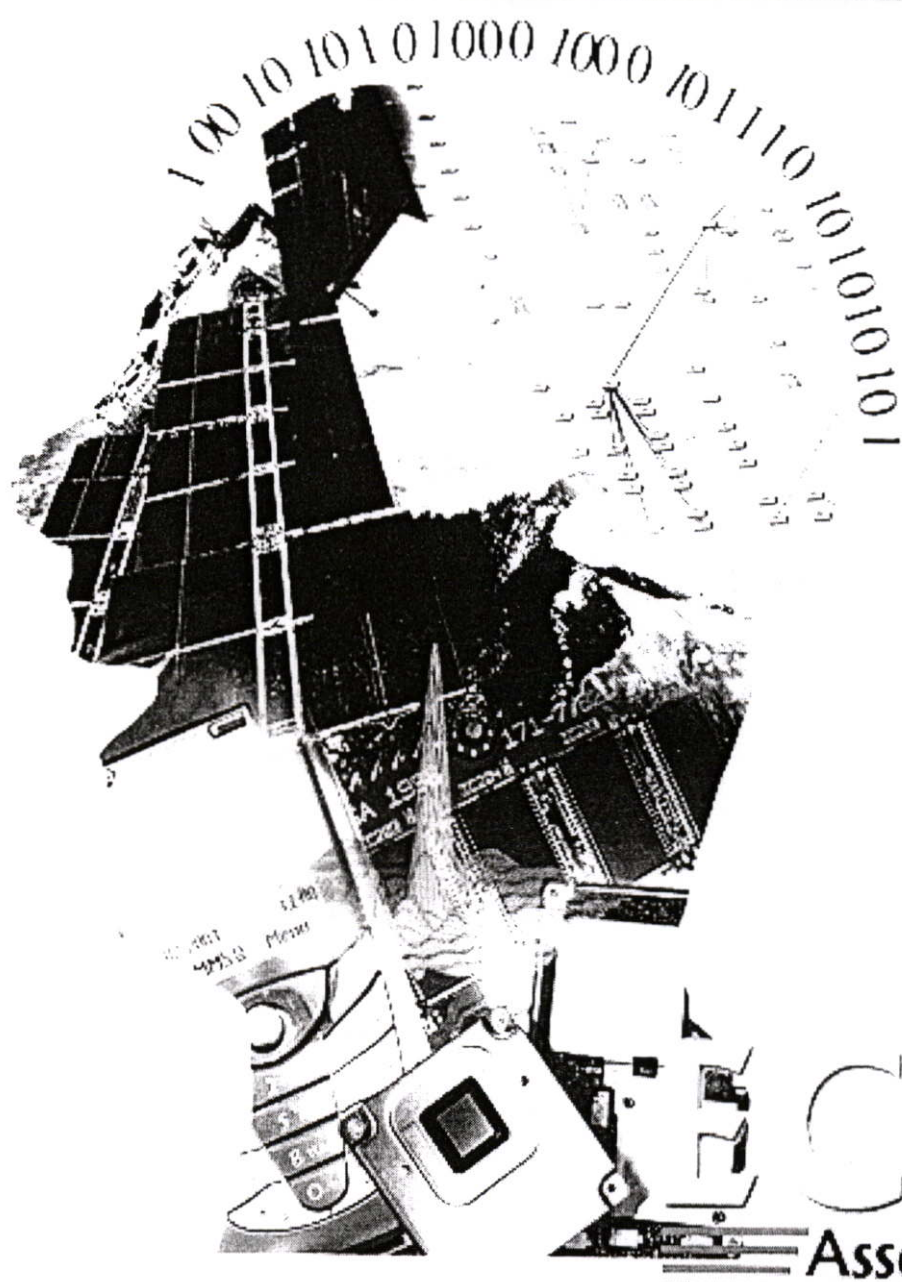
This work is partly funded by the Thailand Research Fund (TRF), under the senior Research Scholar Program grant number RTA4680003.

6. REFERENCES

- [1] A. Sedra and K.C. Smith, "A Second-Generation Current Conveyor and Its Applications," *IEEE Trans. on Circuit Theory*, pp.132-133,1970.
- [2] A. M. Soliman, "Current-Mode Universal filter," *Electronics Letters*, Vol. 31, pp.1420-1421, 1995.
- [3] A. Toker, S. Ozogus and O. Cicekoglu, "A New Current-Mode Multifunction Filter with Minimum Components Using Dual-Output Current Conveyors," *IEICE trans.*, Vol. E83-A, No.1, pp.2382-2384, 2000.
- [4] H. Y. Wang and C. T. Lee, "Versatile Insensitive Current-Mode Universal Biquad Implementation Using Current Conveyors," *IEEE Trans. On Circuit and systems II*, vol. 48, pp.409-413, 2001.
- [5] O. Oliaei and J. Porte, "Compound Current Conveyor," *Electronics Letters*, pp.253-254, 1997.
- [6] E. Abou-Allam, T. Manku, M. Ting, and M.S. Obrecht, "Impact of technology scaling on CMOS RF devices and circuits," *IEEE 2000 Custom Integrated Circuits Conference*, pp.361-364, 2000.
- [7] M. Steyaert, W. Dehaene, J. Craninckx, M. Walsh and P. Real, "A CMOS rectifier-integrator for amplitude detection in hard disk servo loops," *IEEE J. Solid-state Circuits*, vol. 30, No. 7, pp.743-751, 1995.
- [8] PSPICE, Microsim Corp., Laguna Hills, CA 92653, U.S.A., May, 1980

ECTI-CON 2005

The 2005 ECTI International Conference



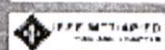
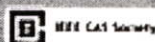
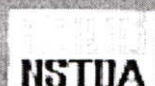
ECTI

Association

Proceedings of The 2005 Electrical Engineering/Electronics, Computer, Telecommunications, and Information Technology (ECTI) International Conference

May 12-13, 2005

Asia Pattaya Beach Hotel, Pattaya, Choburi, THAILAND



- A Hi-Fi Audio Coding Technique for Wireless Communication Based on Wavelet Packet Transformation
 - *Sansanee Netirojanakul, Watcharee Veerakachen, Mongkol Raksapatcharawong, Kasetsart University*
- Simple Waveform for UWB Communication
 - *Pichaya Supanakoon, Kritsana Wansiang, Sathaporn Promwong, King Mongkut's Institute of Technology Ladkrabang*
 - *Jun-ichi Takada, Tokyo Institute of Technology*
- Ground Reflection Path Loss Considering Waveform Polarization and Ground Characteristic for UWB Communication
 - *Pichaya Supanakoon, Suchada Tanchotikul, Sathaporn Promwong, King Mongkut's Institute of Technology Ladkrabang*
 - *Jun-ichi Takada, Tokyo Institute of Technology*

FPM-3

Power system 2

834

- A Brief Review of Events, People, Market and Technologies for Enhancement of Power Scenario in ASIAN Countries
 - *P.M.Meshram, B.Y.Bagde, R.N.Nagpure, Yeshwantrao Chavan College of Engg.*
- Suitability of Composite Insulators in Tropical Conditions Case Study Tanzania
 - *S. Kihwele, A.L. Kyaruzi, University of Dar es salaam*
- Power Loss Estimation in Distribution System a Case Study of PEA Central Area I
 - *Kriengkrai Bunluesak, Pakorn Keewtrakulpong, King Mongkut's University of Technology Thonburi*
 - *Jamnarn Horkiarti, Kasetsart University*
- Multiple Tabu Search Algorithm for Solving Economic Dispatch Problem
 - *Saravuth Pothiya, Priyaa Tantaswadi, Suwan Runggeratigul, Sirindhorn International Institute of Technology*

FPM-4

Analog circuits 2

849

- Electronically Tunable Floating Impedance Multiplier
 - *Prajuab Pawarangkoon, Mahanakorn University of Technology*
 - *Vuttikai Intaudom, Wiwat Kiranon, King Mongkut's Institute of Technology Ladkrabang*
- A Rail to Rail CMOS Current Feedback Operational Amplifier
 - *Patt Boonyaporn, Weerachai Nakhlo, Kasin Vichienchom, King Mongkut's Institute of Technology Ladkrabang*
 - *Varakorn Kasemsuwan, Hyung Keun Ahn, Konkuk University*
- Multi-Output CCI for Realization of Current Conveyors
 - *Patra Pienchob, Kiattisak Kumwachara, Wanlop Surakamponorn, King Mongkut's Institute of Technology Ladkrabang*
- Current-Controlled Differential Current Voltage Conveyor and Its Applications
 - *Tanawat Piyatat, Worapong Tangarira, Wanlop Surakamponorn, King Mongkut's Institute of Technology Ladkrabang*
- A Low-Voltage Temperature-Compensated Exponential Amplifier using only NPN Transistors
 - *Chaiwat Jonkunsitichai, Chalermpan Fongsamut, Kiattisak Kumwachara, Wanlop Surakamponorn, King Mongkut's Institute of Technology Ladkrabang*

Multi-Output CCII for Realization of Current Conveyors

Patra Plenchob, Kiattisak Kumwachara, and Wanlop Surakamponorn

Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok, 10520, Thailand
Email: S6060517@kmitl.ac.th, kkiatti@kmitl.ac.th, kswanlop@kmitl.ac.th
Phone:(662)739-1362, Fax:(662)739-2398

ABSTRACT

A multi-output second generation current conveyor (MOCCII), that can be used to realized first, second and third generations current conveyors, is proposed. The MOCCII consists of a CMOS differential stage for the voltage input, push-pull stage and the improved cascode current mirrors for the current output. Feedback techniques are proposed in order to provide a voltage gain of 0.991, a current gain of 0.992 and low impedance at the current input node of about 1 ohm, with ± 2.5 supply voltage.

Keywords: current conveyor, current mode signal processing, cascode current mirror, differential amplifier

1. INTRODUCTION

A current conveyor is an active circuit element that very useful in analog domain, which can widely used to implement significant number of high performance signal processing functions. The first generation current conveyor (CCI) and the second generation current conveyor (CCII) was introduced by sedra and smith in 1968 and 1970 [1,2], respectively. Since the introduction, the conveyors have been shown to be a very versatile and important building block used for realize, for examples, amplifiers, integrators, negative impedance converters, voltage to current and current to voltage converters and filters. Later, in 1995, a third generation current conveyor (CCIII) was introduced as a new active element by Fabre[3] and Piovaccari[4]. This new active element can be considered as a current controlled current source with unity gain. It provides the advantage of taking out the current flowing through a floating branch of a circuit which can easily be utilized in the realization of various immittance functions. Some application examples using CCIII have been reported in technical literature [5]-[6]. It should be noted that each type of the conveyors has its own limitation on the applications and on realization. In addition, most of the proposed current conveyor realization methods have been concentrated on realizing each individual type only. In the absence of commercially available integrated circuit current conveyor, if a building block that can implement the first, the second and the third generation current conveyor in the same circuit is available then clearly this is an attractive feature.

2. BASIC PRINCIPLE

Generally, a second generation current conveyor (CCII) is an analog device which provides voltage input at node Y, a current input and voltage output at node X, and a current output at node Z. It is characterized in terms of the voltage following between nodes Y and X and the current following between node X and Z.

In this paper we modify the CCII to provide both positive output currents and negative output currents, called as multi-output second generation current conveyor (MOCCII). The MOCCII can be modified to function as the three types of the current conveyors as shown in figure 1.

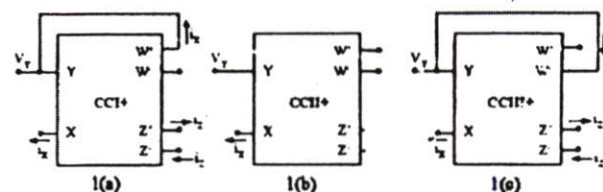


Fig. 1: The modification of MOCCII to function as (a) MOCCI (b) MOCCII (c) MOCCIII

$$\begin{bmatrix} I_r \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_r \\ I_x \\ V_z \end{bmatrix} \quad \text{CCI} \quad (1)$$

$$\begin{bmatrix} I_r \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_r \\ I_x \\ V_z \end{bmatrix} \quad \text{CCII} \quad (2)$$

$$\begin{bmatrix} I_r \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & -1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_r \\ I_x \\ V_z \end{bmatrix} \quad \text{CCIII} \quad (3)$$

As shown in figure1(a), by connecting the port W to the port Y, the MOCCII is function as the multi-output first generation current conveyor. The characteristic can be expressed as in equation (1). If the port Z or the port X is used as the port Z of the conveyor, then it is functioned as the CCI⁺ or CCI⁻, respectively. Similarly,

figure 1(b) and 1(c) show the schematic diagram of the multi-output second generation current conveyor (MOCCII) and the multi-output third generation current conveyor (MOCCIII), where their characteristics can be described by the matrix equations (2) and (3), respectively.

3. CIRCUIT DESCRIPTION

3.1 The multi-output second generation current conveyor (MOCCII)

The proposed MOCCII is shown in figure 2. In this structure both voltage and current feedback techniques are applied in order to reduce the input resistance at port X and further improve an error voltage and current transfer. The current i_x is approximately zero because the input impedance at the gate of the MOSFET is very high. The voltage follower between Y and X, consists of the input differential and the push pull stage form the unity gain feedback, forces the voltage at port X to follow the voltage at port Y or $V_X \approx V_Y$. The voltage transfer function is given by

$$\frac{V_X}{V_Y} = \frac{1}{1 + \frac{1}{A_{v1}}} \approx \frac{1}{1 + \left(\frac{g_{m14} + g_{m15}}{g_{m14}} \right) \left(\frac{g_{p1} + g_{m2}}{g_{m2}} \right)} \quad (4)$$

A_{v1} is the gain of the differential stage (M1A-M4A) multiply by the gain of the push pull stage (M1-M4), where g_{p1} equals to $1/R_1$, g_d and g_m denote the drain conductance and the transconductance of the transistors, respectively.

Consider if V_{in} is positive, there is a small signal current i_x flow out of port X. The current i_x is transfer from port X to port Z' and Z through the current amplifier stage and the improved cascode current mirror. The current feedback, from the current amplifier stage (M1B-M4B) and the positive current output, is used to improve the accuracy of the current transfer and can be expressed as equations (5.1) and (5.2)

$$\frac{i_{z'}}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m10} g_{m11}}{g_{m7} g_{m19}} \right)}} \quad (5.1)$$

$$\frac{i_z}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m10} g_{m10} \cdot g_{m11} g_{m11}}{g_{m14} g_{m26} \cdot g_{m7} g_{m19}} \right)}} \quad (5.2)$$

when

$$A_{i1} = \frac{i_{z'}}{i_x} \Big|_{v_{in}=0} = \frac{g_{m2B}}{g_{m1B}} = \frac{g_{m1B}}{g_{m3B}} \quad (6)$$

where A_{i1} is the gain of the current amplifier (M1B-M4B) and $A_{i1} \gg 1$. It is clearly seen that the output signal current at port Z' ($i_{z'}$) and port Z (i_z) are equal to i_x ,

which $i_{z'}$ is in the same direction and i_z is in the opposite direction with respect to the direction of i_x . For V_{in} is negative, current i_x will flow into port X.

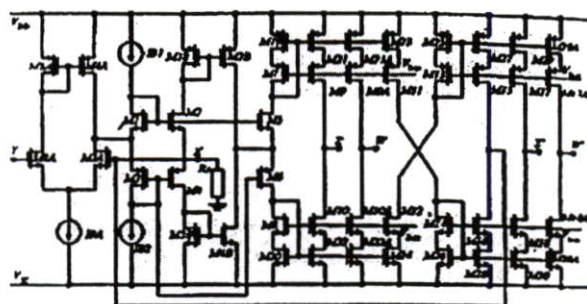


Fig. 2: MOCCII circuit diagram

The terminal resistance of the node X (r_{X-}) can be reduced by the open loop gain A_{v1} and A_{i1} . The result can be expressed as

$$r_{X-} = \left(\frac{1}{g_{m5} + g_{m6}} \right) \frac{1}{A_{i1} A_{v1}} \quad \Omega \quad (7)$$

In this realization, to increase the circuit output resistance, which is approximately equal to the output resistance of the current mirror in parallel, the improved cascode current mirror is used [7].

CCI and CCIII can be modified from MOCCII by connecting the port W' to the port Y and the port W to the port Y, respectively. The current transfer from port X to port W as can be expressed as equation (8.1) and (8.2)

$$\frac{i_{w'}}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m10} g_{m10} \cdot g_{m11} g_{m11}}{g_{m14} g_{m26} \cdot g_{m7} g_{m19}} \right)}} \quad (8.1)$$

$$\frac{i_w}{i_x} = \frac{1}{1 + \frac{1}{A_{i1} \left(\frac{g_{m10} g_{m11} g_{m11}}{g_{m7} g_{m19}} \right)}} \quad (8.2)$$

3.2 Application examples of MOCCII

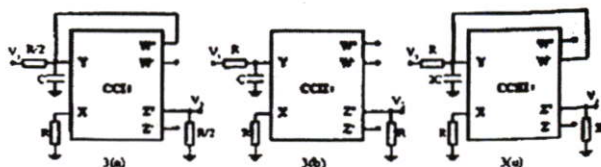


Fig. 3: First order low-pass filters using (a) MOCCI+ (b) MOCCII+ (c) MOCCIII+

In order to demonstrate the usefulness of the proposed GCC circuit, the application example as the first

order low-pass filter using a MOCCI, MOCCII and MOCCIII are shown in the figures 3(a), 3(b) and 3(c), respectively. The filters use three resistors and only one capacitor. In all cases, the voltage transfer functions can be expressed as

$$\frac{V_2}{V_1} = \frac{1}{(1 + sCR)} \quad (9)$$

4. EXPERIMENTAL AND SIMULATION RESULTS

The characteristics of the current conveyor in figure 2 were studied through the simulation results using PSPICE, with transistor model for 0.7 μm AMIS CMOS process. The transistor dimensions are listed in Table 1.

Table 1: Transistor Dimensions

Transistors	Width (μm)	Length (μm)
M1A, M2A	50	1
M3A, M4A	3	1
M1	10	1
M2, M3, M5	30	1
M4, M6	90	1
M2B	300	1
M4B	100	1
M1B, M7, M9, M9A, M11, M13, M15, M17, M17A, M19, M21, M21A, M23, M25, M27, M29, M29A	7	1
M3B, M8, M10, M10A, M12, M14, M16, M18, M18A, M20, M22, M22A, M24, M26, M28, M30, M30A	2	1

Table 2: Summary of the simulation results

Parameters	Results
Technology	0.7 μm AMIS CMOS process
Supply Voltage	± 2.5 V or higher
Power dissipation	12 mW
Impedance at terminal x	1 Ω
Voltage gain (V_x/V_y)	0.991
Current gain ($i_z/i_x, i_z/i_y$)	0.992, 0.994
Voltage dynamic range	-1.4 V to 1.5 V
Bandwidth (V_x/V_y)	270 MHz
Bandwidth (i_z/V_y)	265 MHz
Bandwidth (i_z/i_x)	230 MHz
Bandwidth (i_z/i_y)	250 MHz

Table 2 shows the summary of the simulation results. The bias current I_1 is set to 150 μA , I_2 and I_3 are set to 10 μA .

Figure 4 shows the large signal voltage transfer characteristic between V_x and V_y . The Voltage dynamic range is from -1.4V to 1.5V. The DC current transfer characteristics from port X to port Z and Z is illustrated in figure 5. A good current following behavior can be seen over the current range when vary input current at port X from -100 μA to 100 μA .

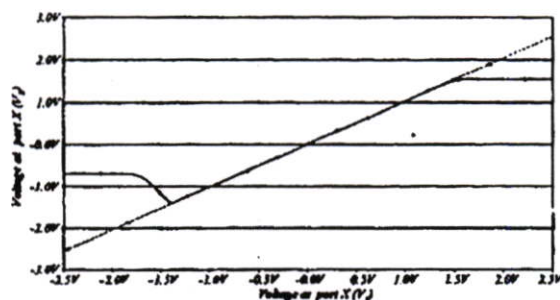


Fig. 4: The DC voltage transfer characteristics

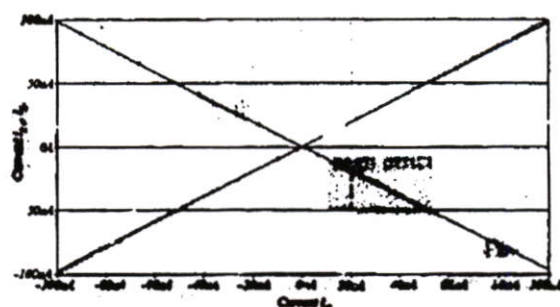


Fig. 5: The DC current transfer characteristics

For the high frequency response, the major high frequency limitation is due to the parasitic capacitances at port Z, Z and X. Figure 6, 7 and 8 show the frequency characteristics of the proposed circuit.

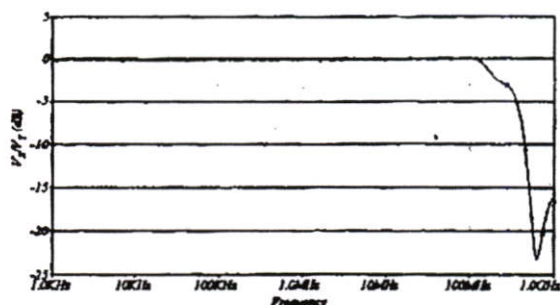


Fig. 6: The frequency characteristics of the voltage transfer

The frequency characteristic of the voltage transfer function is shown in figure 6. The simulation result shows good voltage transfer over a wide frequency range operation is about 270 MHz. The current gain of the circuit is shown in figure 7, where the frequency of

operation of i_x/i_x and i_y/i_x are observed to be at 230 MHz and 250 MHz, respectively.

Finally, for the current-voltage characteristic at port X against frequency, the input impedance (Z_x) at port X is illustrated in figure 8 approximated 1.5Ω at low frequency.

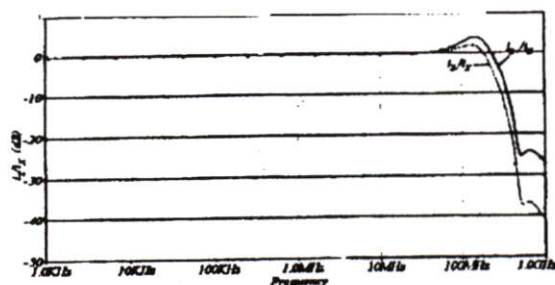


Fig. 7: The frequency characteristics of current transfer

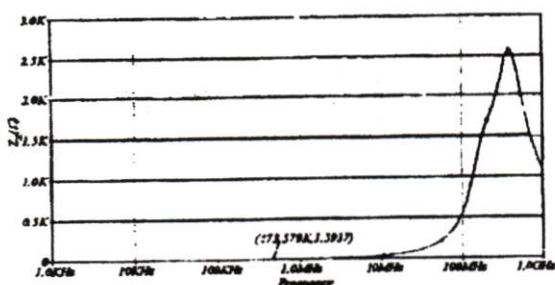


Fig. 8: Input characteristic at port X

Figure 9 shows the large signal current transfer characteristic between i_y and i_x when connecting the port W^* to the port Y for the MOCCI and connecting the port W to the port Y for the MOCCIII

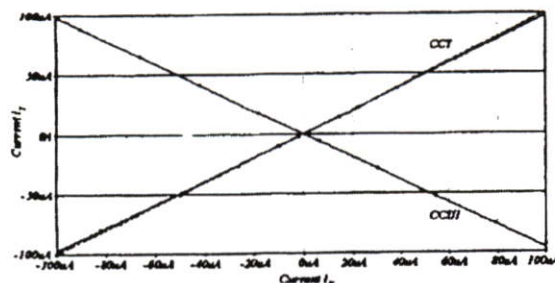


Fig. 9: The DC current transfer between i_y and i_x of MOCCI and MOCCIII characteristics

The first order low-pass filter in fig. 3(a), 3(b) and 3(c) were design for $f_0 = 1\text{kHz}$. The design values are $C = 0.1\mu\text{F}$ and $R = 1.59\text{ k}\Omega$. The gain plot of the simulation circuit is shown in fig. 10 which closed agreement with theory predicted value by the equation (9).

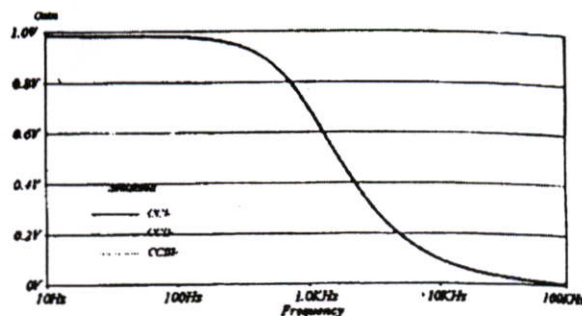


Fig. 10: Plots of the magnitude responses of figure 3 against frequency.

5. CONCLUSION

We have developed A multi-output second generation current conveyor (MOCCII), that can be used to realized first, second and third generations current conveyors. The MOCCII is presenting low voltage offset, low impedance current input and wideband signal processing by using the voltage feedback and current sensing techniques. The simulation results through PSPICE are used to confirm the high efficiency working.

6. ACKNOWLEDGEMENT

This work is partly funded by the Thailand Research Fund (TRF), under the senior Research Scholar Program grant number RTA4680003.

7. REFERENCES

- [1] K.C. Smith, and A. Sedra, "The current conveyor : A new circuit building block," Proc. IEEE, vol.56, pp. 1368-1369, 1968.
- [2] A. Sedra, and K.C. Smith, "A second generation current conveyor and its applications," IEEE Trans., vol.17, pp. 132-134, 1970.
- [3] A. Fabre, "Third generation current conveyor : A new helpful active element," Electronics Letters, vol. 31, pp. 338-339, 1995.
- [4] A. Piovaccari, "CMOS integrated third generation current conveyor," Electronics Letters, vol. 31, pp. 1228-1229, 1995.
- [5] H.Y. Wang, and C.T. Lee, "Systematic synthesis of R-L and C-D immittances using CCIII," International Journal of Electronics, vol.87, pp.293-301, 2000.
- [6] S.I. Liu, and C.Y. Yang, "Higher order immittance function synthesis CCIIIs," Electronics Letters, vol. 32, pp. 2295-2296, 1996.
- [7] E. Bruun and P. Shah, "Dynamic Range of Low-Voltage Cascode Current Mirrors," IEEE Proc. ISCAS, pp.1328-1331, 1995.



UNIVERSITI SAINS MALAYSIA

School of Electrical & Electronic Engineering,
Engineering Campus,
Universiti Sains Malaysia,
Ser Ampangan, 14300 Nibong Tebal,
PENANG, MALAYSIA

ROVISP 2005

20 - 22 July
2005

*Proceedings of the International Conference
on Robotics, Vision, Information and
Signal Processing*

PENANG
Malaysia

ISBN 983-3391-15-X



<http://ee.eng.usm.my>

An Improved CMOS Multi-Output Second Generation Current Conveyor

Patra Pienchob, Kiattisak Kumwachara, Wanlop Surakamponorn

Faculty of Engineering and Research Center for Communication and Information Technology
 King Mongkut's Institute of Technology Ladkrabang, Bangkok, 10520, Thailand
 Email: S6060517@kmitl.ac.th, kkiati@kmitl.ac.th, kswanlop@kmitl.ac.th

Abstract

In this paper, A multi-output second generation current conveyor (MOCCII) is developed for using CMOS technology. The MOCCII, as active circuit element, consists of a CMOS differential stage for the voltage input, push-pull stage and the improved cascode current mirrors for the current output. The feedback techniques provide the exact voltage following action, the exact current following action and the low impedance at the current input node about 1 ohm with ± 2.5 supply voltage.

Keywords:

current conveyor, current-mode signal processing, voltage follower, current follower, current feedback

Introduction

A second generation current conveyor (CCII) is one of the most versatile current-mode building block which developed and introduced by A. Sedra and K.C. Smith in 1970 [1]. It is widely used by analog designers especially in applications of signal processing and active network synthesis[2]. However, in some applications, a multi-output CCII or MOCCII which can produce both CCII+ and CCII- is required [3-5]. Much research has been interested in designing of multiple-input single-output and single-input multiple-output current-mode applications due to their convenience and versatility. The block diagram of the MOCCII is shown in figure 1. The characteristic can be expressed as in equation (1)

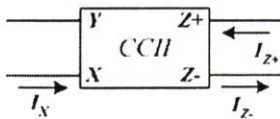


Figure 1- Multi-Output CCII

$$\begin{bmatrix} i_y \\ V_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ i_x \\ V_z \end{bmatrix} \quad (1)$$

MOCCII is consists of a voltage follower (between port Y and X) and a current follower (between port X and Z). The main features of MOCCII are low gain errors, high linearity and wide frequency response. In addition, low internal

resistance at port X is usually required. The non zero input impedance will limit the DC accuracy and modified the frequency response. Various methods for improving the performance of CCII have been proposed. Voltage follower method[6-7] consists of a feedback stabilized voltage follower employing high open loop amplification, which dc offset (between V_y and V_x) and impedance at port X are eliminated[8]. Current follower method[9], negative parallel current feedback can be applied to port X, is used in order to reduce its current input impedance. In this paper, a very promising technique to implement MOCCII consists of a feedback-stabilized voltage and current are used. These techniques employ a high open-loop amplification in order to reduce the DC offset and to reduce the input resistance of MOCCII.

Circuit Description

The multi-output second generation current conveyor (MOCCII)

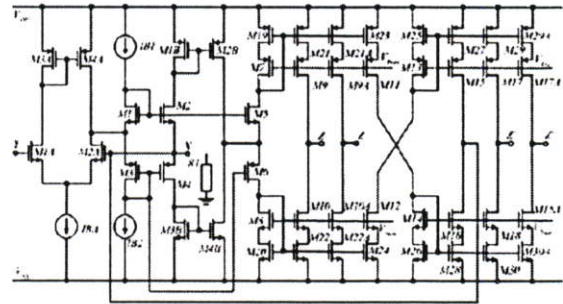


Figure 2- MOCCII circuit diagram

The proposed MOCCII is shown in figure 2. In this structure both voltage and current feedback techniques are applied in order to reduce the input resistance at port X and further improve an error voltage and current transfer. The input of differential pair allows to have a high impedance at port Y, given by the gate of a MOS transistor. The voltage follower between Y and X, consists of the input differential and the push pull stage form the unity gain feedback, forces the voltage at port X to follow the voltage at port Y or $V_x \cong V_y$. The voltage transfer function is given in equation(2)

When A_{v1} is the gain of the differential pair stage (M1A-M4A) multiply by the gain of the push-pull stage (M1-M4), where g_{R1} equals to $1/R1$, g_{d4} and g_m denote the

drain conductance and the transconductance of the transistors, respectively.

$$\frac{V_X}{V_Y} = \frac{1}{1 + \frac{1}{A_{V1}}} \cong \frac{1}{1 + \left(\frac{g_{d2A} + g_{d4A}}{g_{m2A}} \right) \left(\frac{g_{R1} + g_{m2}}{g_{m2}} \right)} \quad (2)$$

Consider if V_{in} is positive, there is a small signal current i_X flow out of port X. The current i_X is transfer from port X to port Z^+ and Z^- through the current amplifier stage and the improved cascode current mirror. The current feedback, from the current amplifier stage (M1B-M4B) and the positive current mirror output, is used to improve the accuracy of the current transfer and can be expressed as equations (3.1) and (3.2)

$$\frac{i_{Z^-}}{i_X} = \frac{1}{1 + \frac{1}{A_{11} \left(\frac{g_{m9}g_{m21}}{g_{m7}g_{m19}} \right)}} \quad (3.1)$$

$$\frac{i_{Z^+}}{i_X} = \frac{1}{1 + \frac{1}{A_{11} \left(\frac{g_{m18}g_{m30} \cdot g_{m11}g_{m23}}{g_{m14}g_{m26} \cdot g_{m7}g_{m19}} \right)}} \quad (3.2)$$

when

$$A_{11} = \frac{i_{Z^+}}{i_X} \Big|_{open} = \frac{g_{m2B}}{g_{m1B}} = \frac{g_{m4B}}{g_{m3B}} \quad (4)$$

where A_{11} is the gain of the current amplifier (M1B-M4B) and $A_{11} \gg 1$. It is clearly seen that the output signal current at port Z^+ (i_{Z^+}) and port Z^- (i_{Z^-}) are equal to i_X , which i_{Z^+} is in the same direction and i_{Z^-} is in the opposite direction with respect to the direction of i_X . For V_{in} is negative, current i_X will flow into port X.

By applied both negative voltage and current feedback in the circuits in figure 2, the terminal resistance of the node X (r_X) can be reduced by the open loop gain A_{V1} and A_{11} . The result can be expressed as

$$r_X = \left(\frac{1}{g_{m5} + g_{m6}} \right) \frac{1}{A_{11}A_{V1}} \Omega \quad (5)$$

In this realization, to increase the circuit output resistance, the improved cascode current mirror is used [10]. The output impedance at terminal Z⁻ is approximately equal to the output resistance of the regular cascode current mirror in parallel.

Current-mode universal filter

MOCCH are proved to be very useful active elements in the

current-mode filter. The current-mode universal filter structure is used to confirm the practical validity of the proposed CCII circuit is shown in figure3 [11]. By using MOCCH, It realize second-order lowpass(LP), bandpass(BP), highpass(HP), bandstop(BS) and allpass(AP) filter responses without any passive component matching conditions. The filter requires a minimum passive element, has very low passive and active sensitivity and produces the filters responses at high impedance outputs.

The transfer functions of the circuit are given as

$$\frac{I_{LP}}{I_{in}} = \frac{1/C_1C_2R_1R_2}{D(s)} \quad (6.1)$$

$$\frac{I_{BP}}{I_{in}} = \frac{s/C_1R_3}{D(s)} \quad (6.2)$$

$$\frac{I_{HP}}{I_{in}} = \frac{s^2}{D(s)} \quad (6.3)$$

$$\frac{I_{BS}}{I_{in}} = \frac{s^2 + (1/C_1C_2R_1R_2)}{D(s)} \quad (6.4)$$

$$\frac{I_{AP}}{I_{in}} = \frac{-s^2 + (s/C_1R_3) - (1/C_1C_2R_1R_2)}{D(s)} \quad (6.5)$$

where

$$D(s) = s^2 + \frac{s}{C_1R_3} + \frac{1}{C_1C_2R_1R_2} \quad (7)$$

The natural angular frequency and the quality factor of the circuit are

$$\omega_0 = \frac{1}{\sqrt{C_1C_2R_1R_2}}, Q = R_3\sqrt{\frac{C_1}{C_2R_1R_2}} \quad (8)$$

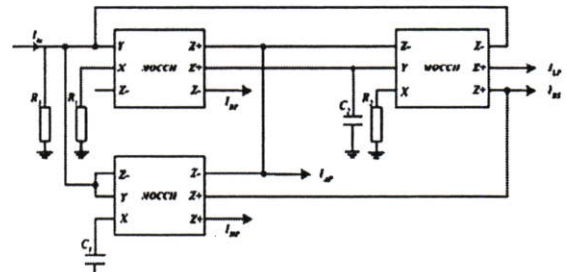


Figure 3- The current-mode universal filter

Simulation Results

The characteristics of the current conveyor in figure 2 were studied through the simulation results using PSPICE, with transistor model for 0.7 μm AMIS CMOS process. The transistor dimensions are listed in Table1. Table2 shows the summary of the simulations results. The bias current I_{BA} is set to 150 μA , I_{B1} and I_{B2} are set to 15 μA .

Table 1- Transistor Dimensions

Transistors	Width (μm)	Length (μm)
M1A, M2A	50	1
M3A, M4A	3	1
M1	10	1
M2, M3, M5	30	1
M4, M6	90	1
M2B	300	1
M4B	100	1
M1B, M7, M9, M9A, M11, M13, M15, M17, M17A, M19, M21, M21A, M23, M25, M27, M29, M29A	7	1
M3B, M8, M10, M10A, M12, M14, M16, M18, M18A, M20, M22, M22A, M24, M26, M28, M30, M30A	2	1

Table 2 - Summary of the simulation results

Parameters	Results
Technology	0.7 μm AMIS CMOS process
Supply Voltage	± 2.5 V or higher
Power dissipation	12 mW
Impedance at terminal X (r_x)	1 Ω
Voltage gain (V_x/V_y)	0.991
Current gain ($i_z/i_x, i_z/i_x$)	0.992, 0.994
Voltage dynamic range	-1.4 V to 1.5 V
Bandwidth (V_x/V_y)	270 MHz
Bandwidth (i_z/V_y)	265 MHz
Bandwidth (i_z/i_x)	230 MHz
Bandwidth (i_z/i_x)	250 MHz

Figure 4 shows the large signal voltage transfer characteristic between V_x and V_y . The Voltage dynamic range is from -1.4V to 1.5V. The DC current transfer characteristics from port X to port Z' and Z is illustrated in

figure 5. A good current following behavior can be seen over the current range when vary input current at port X from -100 μA to 100 μA .

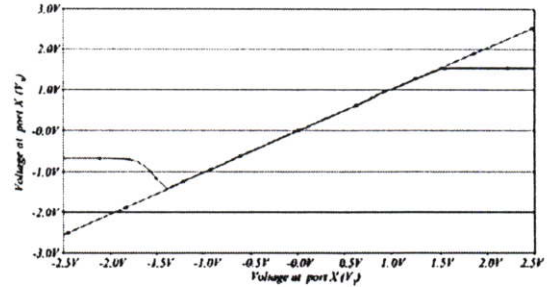


Figure 4 - The DC voltage transfer characteristics

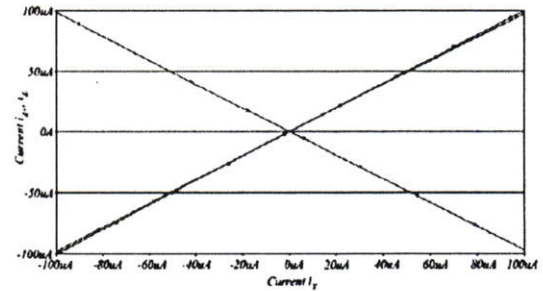


Figure 5 - The DC current transfer characteristics

For the high frequency response, the major high frequency limitation is due to the parasitic capacitances at port Z', Z and X. Figure 6, 7 and 8 show the frequency characteristics of the proposed circuit.

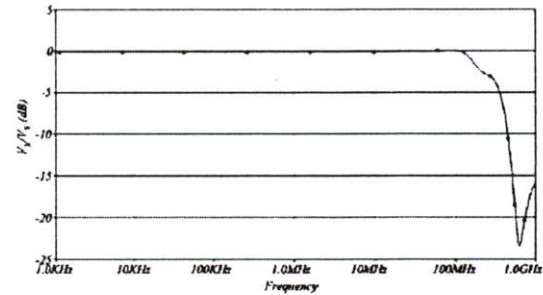


Figure 6 - The frequency characteristics of the voltage transfer

The frequency characteristic of the voltage transfer function is shown in figure 6. The simulation result shows good voltage transfer over a wide frequency range operation is about 270 MHz. The current gain of the circuit is shown in figure 7, where the frequency of operation of i_z/i_x and i_z/i_x are observed to be at 230 MHz and 250 MHz, respectively.

Finally, for the current-voltage characteristic at port X

against frequency, the input impedance (r_x) at port X is illustrated in figure 8 approximated 1.5 Ω at low frequency.

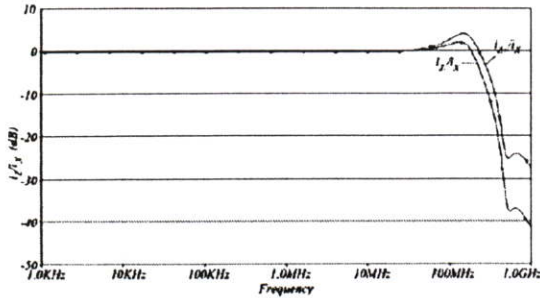


Figure 7 - The frequency characteristics of current transfer

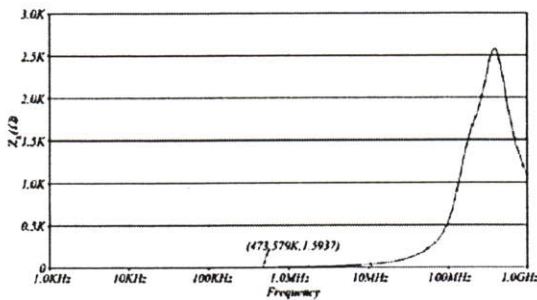


Figure 8 - Input characteristic at port X

The universal filter in figure 3 is designed with natural frequency of $f_0 = 112.5\text{kHz}$ by choosing the passive component values as follows: $C_1 = C_2 = 100\text{pF}$, $R_1 = R_3 = 10\text{k}\Omega$ and $R_2 = 20\text{k}\Omega$. The simulated responses are shown in Figure 9

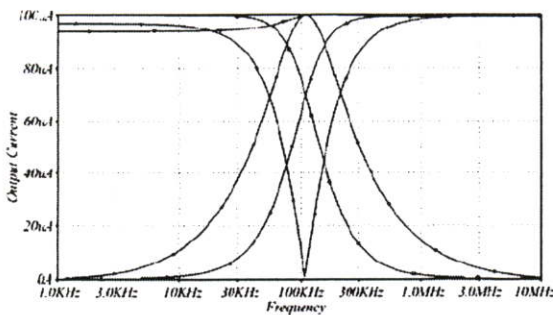


Figure 9 - MOCCII as a basic block in a current-mode universal filter

Conclusion

A realization of multi-output current conveyor (MOCCII)

has been presented. The MOCCII offers a low input resistance due to the feedback techniques. The voltage and current transfer also improved. The application as a current mode filter demonstrates the usefulness of the MOCCII.

Acknowledgment

This work is funded by the Thailand Research Fund (TRF), under the senior Research Scholar Program grant number RTA4680003.

References

- [1] Sedra, A.; and Smith, K.C. 1970. A Second-Generation Current Conveyor and Its Applications. *IEEE Transaction on Circuits and Systems* 17(1): 132-134.
- [2] Sedra, A.; Roberts, G.; and Gohh, F. 1990. The current conveyor: history, progress and new results. *IEE Proceedings -G Circuits, Devices and Systems* 137(2): 78-87.
- [3] Soliman, A. M. 1995. Current-Mode Universal filter. *Electronics Letters* 31(17): 1420-1421.
- [4] Wang, Hung-Yu; and Lee, Ching-Ting. 2001. Versatile Insensitive Current-Mode Universal Biquad Implementation Using Current Conveyors. *IEEE Transaction on Circuits and Systems* 48(4): 409-413.
- [5] Toker, A.; Ozoguz, S.; and Cicekoglul, O. 2000. A New Current-Mode Multifunction Filter with Minimum Components Using Dual-Output Current Conveyors. *IEICE Transaction Fundamental* E83-A(11) : 2382-2384.
- [6] Palmisano, G.; and Palumbo, G. 1995. A simple CMOS CCI+. *International Journal of Circuit Theory and Applications* 23(6) : 599-603.
- [7] Wojtyna, R. 1995. CMOS current conveyor for $\pm 3\text{V}$ supply operation. *Analog Integrated Circuits & Signal Processing* 7(2): 91-101.
- [8] Cheng, M.C.H. and Toumazou, C. 1993. 3V MOS current conveyor cell for VLSI technology. *Electronics Letters* 29(3) : 317-318.
- [9] Bruun, E. 1994. CMOS Current Conveyors. *ISCAS'94 Tutorials*.
- [10] Bruun, E.; and Shah, P. 1995. Dynamic Range of Low-Voltage Cascode Current Mirrors. *IEEE International Symposium on Circuits and Systems* 2(28): 1328-1331.
- [11] Toker, A.; and ÖZÖĞÜZ, S. 2000. Insensitive current-mode universal filter using dual output current conveyors. *International Journal of Electronics* 87(6) : 667-674.

ประวัติผู้เขียน

นางสาวภัทรา เพียรชอบ เกิดเมื่อวันที่ 30 กรกฎาคม พ.ศ. 2523 จังหวัดกรุงเทพมหานคร สำเร็จการศึกษาระดับปริญญาตรี หลักสูตรวิทยาศาสตร์บัณฑิต สาขาฟิสิกส์ประยุกต์ จากคณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2543 และในปีการศึกษา 2546 ได้เข้าศึกษาต่อระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ประสบการณ์ทำงาน เข้าเป็นพนักงานโครงการของศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) ภายใต้ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) ในตำแหน่งผู้ช่วยนักวิจัย ตั้งแต่ พ.ศ. 2544 - พ.ศ. 2546