

การออกแบบวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีเอ็มอส  
โดยมีการชดเชยอุณหภูมิด้วย

A DESIGN OF TEMPERATURE COMPENSATION CMOS  
VOLTAGE-CONTROLLED GROUNDED RESISTANCE CIRCUIT

เลิศศักดิ์ ยุทธสุขประเสริฐ  
LERSSAK YUTTASUKPRASERT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2477-3

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส  
โดยมีการชดเชยอุณหภูมิด้วย

A DESIGN OF TEMPERATURE COMPENSATION CMOS  
VOLTAGE-CONTROLLED GROUNDED RESISTANCE CIRCUIT

เลิศศักดิ์ ยุทธสุขประเสริฐ

LERSSAK YUTTASUKPRASERT

เลขหมู่.....  
เลขทะเบียน..... 61624  
วัน,เดือน,ปี..... 19 ก.ค. 2549

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2549

ISBN 974-15-2477-3

**A DESIGN OF TEMPERATURE COMPENSATION CMOS  
VOLTAGE-CONTROLLED GROUNDED RESISTANCE CIRCUIT**

**LERSSAK YUTTASUKPRASERT**

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2006**

**ISBN 974-15-2477-3**

**COPYRIGHT 2006**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

หัวข้อวิทยานิพนธ์	การออกแบบวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซิมอส โดยมีการชดเชยอุณหภูมิด้วย
นักศึกษา	นายเลิศศักดิ์ ยุทธสุขประเสริฐ
รหัสนักศึกษา	46061231
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. กอบชัย เดชหาญ

### บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอวิธีการใหม่ในการกำจัดเทอมที่ไม่เป็นเชิงเส้นของวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซิมอส วงจรที่นำเสนอประกอบด้วยมอสทรานซิสเตอร์ที่ทำงานในช่วงโอห์มิกและช่วงอิมิต์ว โดยวงจรควบคุมความต้านทานชนิดต่อลงดินนี้ประกอบด้วยวงจรย่อยคือ วงจรลดทอนแรงดัน วงจรผลต่างแรงดัน และวงจร Voltage inverter วงจรเหล่านี้เสมือนแหล่งกำเนิดแรงดันไม่อิสระที่ทำหน้าที่ไบอัสให้โอห์มิกทรานซิสเตอร์ กำจัดเทอมที่ไม่เป็นเชิงเส้นและ Threshold voltage เพื่อชดเชยผลกระทบที่เกิดจากอุณหภูมิ ในการแสดงให้เห็นถึงการประยุกต์ใช้วงจรที่ออกแบบได้นั้นจึงทำการสร้างวงจรแบบสูงผ่านอันดับที่ 1 ที่สามารถปรับความถี่คัทออฟได้ วงจรที่ได้นำเสนอนี้เป็นวงจรที่มีความเป็นเชิงเส้นสูงและสามารถชดเชยผลของอุณหภูมิได้ดี การจำลองแบบการทำงานและผลการทดลองแสดงโดยโปรแกรม PSPICE

<b>Thesis Title</b>	A Design of Temperature Compensation CMOS Voltage-Controlled Grounded Resistance Circuit
<b>Student</b>	Mr. Lerssak Yuttasukprasert
<b>Student ID.</b>	46061231
<b>Degree</b>	Master Degree
<b>Programme</b>	Telecommunication Engineering
<b>Year</b>	2006
<b>Thesis Advisor</b>	Assoc. Prof. Dr. Kobchai Dejhan

### **ABSTRACT**

A CMOS Voltage-Controlled Grounded Resistor (VCGR) using a new approach for non-linearity terms cancellation is proposed. The proposed circuit uses 17 MOS transistors that operate in ohmic region and saturation region. It consists of the voltage attenuator, voltage differential and voltage inverting circuits. These circuits are performed as a voltage dependent source for biasing an ohmic transistor; cancel the non-linearity terms and threshold voltage in order to compensate the temperature effect. The first order high-pass filter with tunable a cut-off frequency is presented as an application. The proposed circuit characteristics are high linearity and temperature compensation. The results have been confirmed by PSPICE.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำ และคำปรึกษาจาก รศ.ดร. กอบชัย เดช  
หาญ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ ที่ให้ความช่วยเหลือ ให้คำชี้แนะช่วยแก้ปัญหา ตลอดจน  
ให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์  
และขอขอบพระคุณเป็นอย่างสูง

ขอกราบพระคุณคณาจารย์ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบัน  
เทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุก ๆ ท่านที่ได้ประสิทธิ์ประสาทวิชาให้กับข้าพเจ้า  
ขอขอบคุณ ดร.พิพัฒน์ พรหมมี คุณมนตรี กำเงิน ที่ให้คำแนะนำและความช่วยเหลือ ใน  
การทำวิจัย

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และครอบครัวของข้าพเจ้าที่เป็นกำลังใจ  
และให้การสนับสนุนในทุกเรื่องๆ ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี  
คุณค่าและประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

เลิศศักดิ์ ยุทธสุขประเสริฐ

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ปัญหาและความสำคัญ.....	1
1.2 การพัฒนาในงานวิจัย.....	1
1.3 ขั้นตอนของการศึกษา.....	2
บทที่ 2 ทฤษฎีเบื้องต้นของมอสทรานซิสเตอร์.....	3
2.1 บทนำ.....	3
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	3
2.3 การทำงานของมอสทรานซิสเตอร์.....	6
2.3.1 คุณสมบัติการทำงาน.....	8
2.3.2 สมการการไบแอสสำหรับสัญญาณขนาดใหญ่.....	12
2.3.3 ค่าความจุไฟฟ้าในมอสทรานซิสเตอร์.....	14
2.3.4 วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก.....	16
2.4 ผลของอุณหภูมิต่อมอสทรานซิสเตอร์.....	17
2.5 กล่าวสรุป.....	18
บทที่ 3 รายละเอียดวงจรที่ใช้ในวิทยานิพนธ์.....	19
3.1 บทนำ.....	19
3.2 โอห์มิกทรานซิสเตอร์.....	19
3.2.1 Sheet resistor.....	19
3.2.2 MOS resistor.....	20
3.3 วงจรลดทอนแรงดัน.....	21
3.4 วงจรกลับสัญญาณแรงดัน (Voltage inverter).....	22

## สารบัญ (ต่อ)

	หน้า
3.5 วงจรผลต่างแรงดัน.....	26
3.6 วงจรควบคุมความต้านทานชนิดต่อลงดิน ที่มีการชดเชยผลของอุณหภูมิ.....	28
3.7 กล่าวสรุป.....	32
<b>บทที่ 4 การทดลองและผลการทดลอง.....</b>	<b>33</b>
4.1 บทนำ.....	33
4.2 วงจรโอห์มมิคทรานซิสเตอร์.....	33
4.3 วงจรคทอนแรงดัน.....	35
4.4 วงจรกลับสัญญาณแรงดัน.....	36
4.5 วงจรผลต่างแรงดัน.....	38
4.6 วงจรควบคุมความต้านทานชนิดต่อลงดิน ที่มีการชดเชยผลของอุณหภูมิ.....	39
4.7 กล่าวสรุป.....	47
<b>บทที่ 5 การประยุกต์ใช้งาน.....</b>	<b>49</b>
5.1 บทนำ.....	49
5.2 การทดลองและผลการทดลอง.....	49
5.3 กล่าวสรุป.....	51
<b>บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ.....</b>	<b>52</b>
เอกสารอ้างอิง.....	54
ภาคผนวก .....	55
ผลงานวิจัยที่ได้รับการตีพิมพ์.....	57
ประวัติผู้เขียน.....	61

## สารบัญตาราง

ตารางที่	หน้า
2.1 สัญลักษณ์ของมอสทรานซิสเตอร์แบบต่างๆ.....	7

# สารบัญรูป

รูปที่	หน้า
2.1	โครงสร้างมอสทรานซิสเตอร์แบบเอ็นแซนเนล เอ็นฮานซ์เมน โหมด.....4
2.2	โครงสร้างมอสทรานซิสเตอร์แบบเอ็นแซนเนล ดีพลีชั้น โหมด.....5
2.3	โครงสร้างมอสทรานซิสเตอร์แบบพีแซนเนล เอ็นฮานซ์เมนที่ โหมด.....6
2.4	โครงสร้างมอสทรานซิสเตอร์แบบพีแซนเนล ดีพลีชั้น โหมด.....7
2.5	การทำงานของมอสทรานซิสเตอร์ชนิดเอ็นแซนเนล เอ็นฮานซ์เมนที่ โหมด.....10
2.6	กราฟแสดงความสัมพันธ์ระหว่าง $I_D$ และ $V_{DS}$ ของเอ็นฮานซ์เมนที่มอสทรานซิสเตอร์.....12
2.7	ความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสทรานซิสเตอร์.....14
2.8	วงจรมุมสำหรับสัญญาณขนาดเล็กของมอสทรานซิสเตอร์.....16
3.1	(a) วงจรที่ใช้ Diffusion resistor (b) วงจรที่ใช้ Undoped poly resistor.....20
3.2	โอห์มิกมอสทรานซิสเตอร์.....20
3.3	วงจรถอดถอนแรงดันที่สร้างจาก NMOS.....21
3.4	คุณสมบัติทางไฟฟ้ากระแสตรงของวงจรถอดสัญญาณแรงดันในอุดมคติ.....22
3.5	โครงสร้างทั่วไปของวงจรถอดสัญญาณแรงดัน (Voltage inverter).....23
3.6	คุณสมบัติทางไฟฟ้ากระแสตรงของวงจรถอดสัญญาณแรงดัน.....23
3.7	(a) วงจร Voltage inverter ที่ใช้เอ็นฮานซ์เมนที่ โหมดช่วงอิ่มตัว (b) วงจร Voltage inverter ที่ใช้เอ็นฮานซ์เมนที่ โหมดช่วงเชิงเส้น.....24
3.8	วงจรถอดสัญญาณแรงดัน (Voltage inverter) (a) ชนิด NMOS (b) ชนิด PMOS.....25
3.9	วงจรมุมต่างแรงดัน (a) ชนิด NMOS (b) ชนิด PMOS.....26
3.10	วงจรถอดสัญญาณความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอสที่มีการชดเชยผลของอุณหภูมิ.....29
4.1	แสดงคุณสมบัติทางกระแสตรงของวงจรถอดสัญญาณทรานซิสเตอร์.....33
4.2	แสดงคุณสมบัติทางกระแสตรงของวงจรถอดสัญญาณทรานซิสเตอร์ในช่วง $V_{D_S} = -1$ โวลต์ ถึง 1 โวลต์.....34
4.3	แสดงค่า Linear error ที่เกิดขึ้นในรูปที่ 4.2 .....34
4.4	วงจรถอดถอนแรงดันที่สร้างจาก NMOS.....35
4.5	แรงดันเอาต์พุตของวงจรถอดถอนแรงดัน เมื่ออัตราส่วน $(W/L)_1 : (W/L)_2$ มีค่าเท่ากับ 1 เท่า 2 เท่า และ 3 เท่า.....36

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.6 วงจรกลับแรงดันสัญญาณ (Voltage inverter) (a) ชนิด NMOS (b) ชนิด PMOS.....	36
4.7 สัญญาณเอาต์พุตของวงจรกลับแรงดันสัญญาณ ชนิด NMOS.....	37
4.8 สัญญาณเอาต์พุตของวงจรกลับแรงดันสัญญาณ ชนิด PMOS.....	37
4.9 วงจรผลต่างแรงดัน (a) ชนิด NMOS (b) ชนิด PMOS.....	38
4.10 สัญญาณเอาต์พุตของวงจรผลต่างแรงดันชนิด NMOS เมื่อ $V_B = 3V$ .....	38
4.11 สัญญาณเอาต์พุตของวงจรผลต่างแรงดันชนิด PMOS เมื่อ $V_B = 3V$ .....	39
4.12 วงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส ที่มีการชดเชยผลของ อุณหภูมิ.....	40
4.13 ค่าความสัมพันธ์ทางกระแสตรงระหว่าง $V_m$ และ $I_D$ .....	40
4.14 ค่าความสัมพันธ์ทางกระแสตรงระหว่าง $V_m$ และ $I_D$ เมื่อ อัตราส่วน ( $W/L$ ) ของ ทรานซิสเตอร์ $M_1$ เป็น $10\mu\text{m}/50\mu\text{m}$ .....	41
4.15 ค่าความต้านทานของวงจรความต้านทาน ที่อุณหภูมิต่างๆ เมื่อ ( $W/L$ ) ของ ทรานซิสเตอร์ $M_1$ เป็น $10\mu\text{m}/10\mu\text{m}$ .....	42
4.16 ค่าความต้านทานของวงจรความต้านทาน ที่อุณหภูมิต่างๆ เมื่อ ( $W/L$ ) ของ ทรานซิสเตอร์ $M_1$ เป็น $10\mu\text{m}/50\mu\text{m}$ .....	42
4.17 กราฟความสัมพันธ์ทางกระแสตรงระหว่าง $V_m$ และ $I_D$ ที่ $V_C = 2$ โวลต์.....	43
4.18 แสดงค่า Linear error ที่เกิดขึ้นกับเส้นกราฟ $V_C = 2$ โวลต์.....	43
4.19 กราฟความสัมพันธ์ทางกระแสตรงระหว่าง $V_m$ และ $I_D$ ที่ $V_C = 4$ โวลต์.....	44
4.20 แสดงค่า Linear error ที่เกิดขึ้นกับเส้นกราฟ $V_C = 4$ โวลต์.....	44
4.21 ความสัมพันธ์ระหว่างค่าความเพี้ยนฮาร์มอนิกรวมกับขนาดของสัญญาณอินพุต เมื่อให้ความถี่สัญญาณอินพุตมีค่าเท่ากับ 1 kHz 10 kHz 100 kHz และ 1MHz โดย $V_C = 4V$ .....	45
4.22 ความสัมพันธ์ระหว่างค่าความเพี้ยนฮาร์มอนิกรวมกับขนาดของสัญญาณอินพุต เมื่อให้ความถี่สัญญาณอินพุตมีค่าเท่ากับ 1 kHz 10 kHz 100 kHz และ 1MHz โดย $V_C = 2V$ .....	45
4.23 เปรียบเทียบค่าความเพี้ยนฮาร์มอนิกรวมระหว่าง แรงดันควบคุม $V_C = 2V$ และ $V_C = 4V$ เมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 10 kHz.....	46
4.24 เปรียบเทียบค่าความเพี้ยนฮาร์มอนิกรวมระหว่าง แรงดันควบคุม $V_C = 2V$ และ $V_C = 4V$ เมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 100 kHz.....	46

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.25 เปรียบเทียบค่าความเพี้ยนฮาร์มอนิกรวมระหว่าง แรงดันควบคุม $V_G=2V$ และ $V_G=4V$ เมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 500 kHz.....	47
4.26 เปรียบเทียบค่าความเพี้ยนฮาร์มอนิกรวมระหว่าง แรงดันควบคุม $V_G=2V$ และ $V_G=4V$ เมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 1 MHz.....	47
5.1 วงจรกรองแบบสูงผ่านที่ปรับค่าความถี่ตอบสนองได้ด้วยแรงดัน.....	49
5.2 ผลตอบสนองทางความถี่ของวงจรกรองแบบสูงผ่านเมื่อ อัตราส่วน W/L เท่ากับ $10\mu\text{m}/10\mu\text{m}$ .....	50
5.3 ผลตอบสนองทางความถี่ของวงจรกรองแบบสูงผ่านเมื่อ อัตราส่วน W/L เท่ากับ $10\mu\text{m}/50\mu\text{m}$ .....	50

# บทที่ 1

## บทนำ

### 1.1 ปัญหาและความสำคัญ

เมื่อกล่าวถึงการสร้างวงจรรวม (Integrated Circuit) ปัจจัยสำคัญที่ต้องคำนึงถึงคือ ขนาดของวงจรรวม อุปกรณ์ซึ่งเป็นตัวแปรสำคัญในการกำหนดขนาดของวงจรรวมคือตัวต้านทานในวงจรรวม โดยปกติในวงจรรวม ที่ตัวต้านทานสร้างขึ้นจาก sheet ซึ่งมีข้อจำกัดคือ หากตัวต้านทานมีค่ามาก ต้องสร้าง sheet ให้มีขนาดยาวมาก ซึ่งส่งผลให้ขนาดของวงจรรวมมีขนาดใหญ่ขึ้น และยังมีจุดด้อยที่สำคัญอีก 2 ประการคือ ตัวต้านทานที่สร้างจาก sheet นั้นมีค่าความต้านทานสูงสุดไม่เกิน 50 กิโลโอห์ม [1,2] และข้อที่สองคือ ตัวต้านทานนั้นไม่สามารถปรับค่าได้

ดังนั้นจึงมีการสร้างวงจรรวมควบคุมความต้านทานชนิดต่อลงดินขึ้น เพื่อแก้ปัญหาของตัวต้านทานที่สร้างจาก sheet วงจรรวมควบคุมความต้านทานชนิดต่อลงดิน เป็นวงจรรวมความต้านทานที่มีขนาดเล็ก ซึ่งปรับค่าความต้านทานได้ และตัวต้านทานที่สร้างได้ยังมีค่าความต้านทานมากขึ้นด้วย หากผนวกกับเทคโนโลยี ซิมอส จึงมีการสร้างวงจรรวมควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยี ซิมอสขึ้นมา [3-9] เนื่องจากมีจุดเด่นคือ

- 1.1 เป็นเทคโนโลยีราคาถูกเมื่อเปรียบเทียบกับเทคโนโลยีไบซิมอส
- 1.2 สามารถลดการใช้พื้นที่ลงได้ง่าย
- 1.3 มีอินพุตอิมพีแดนซ์สูง
- 1.4 มีการสูญเสียกำลังงานต่ำ

งานวิจัยที่ผ่านมายังไม่ได้คำนึงถึงผลของอุณหภูมิที่มีต่อความต้านทานเท่าใดนัก ซึ่งในงานวิจัยนี้ จึงได้มีการกล่าวถึงผลของอุณหภูมิที่มีผลกระทบต่อตัวต้านทานที่สร้างขึ้น และกล่าวถึงการชดเชยผลของอุณหภูมิที่เกิดขึ้นเหล่านั้นด้วย

### 1.2 การพัฒนาในงานวิจัย

จากความสำคัญของวงจรรวมควบคุมความต้านทานชนิดต่อลงดินและข้อดีของเทคโนโลยี ซิมอส ที่ได้กล่าวมาแล้วข้างต้น วิทยานิพนธ์นี้จึงได้นำเสนอการออกแบบวงจรรวมควบคุมความต้านทานชนิดต่อลงดิน ด้วยเทคโนโลยีซิมอสโดยมีการชดเชยอุณหภูมิด้วย ซึ่งมีข้อดีที่โดดเด่นดังนี้

- 1.1 ปรับค่าความต้านทานของตัวต้านทานได้ด้วยแรงดันไฟฟ้า
- 1.2 มีการชดเชยผลของอุณหภูมิ
- 1.3 สร้างขึ้นจากวงจรพื้นฐานอย่างง่าย

โดยวงจรต่างๆ ที่ได้นำเสนอประกอบด้วย 2 วงจรที่สำคัญ คือ วงจรไบอัส และวงจรตัวต้านทาน ซึ่งวงจรไบอัสนั้นทำหน้าที่ควบคุมการทำงานของวงจรตัวต้านทาน ประกอบด้วยวงจรร้อยคือ วงจรลดทอนแรงดัน วงจรผลต่างแรงดันและวงจร Voltage Inverter ส่วนวงจรตัวต้านทานนั้นทำหน้าที่เป็นตัวต้านทาน ที่ปรับเปลี่ยนค่าได้ตามวงจรไบอัส

วงจรควบคุมความต้านทานชนิดต่อลงดินเป็นวงจรสำคัญในการสร้างตัวต้านทานในวงจรรวม และด้วยข้อดีของเทคโนโลยีซีมอส และการลดผลกระทบจากอุณหภูมิ วงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส โดยมีการชดเชยอุณหภูมิ จึงเหมาะกับการสร้างเป็นวงจรรวมเพื่อนำไปประยุกต์ใช้งานในด้านต่างๆ ต่อไป

### 1.3 ขั้นตอนของการศึกษา

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 6 บท คือ

บทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของงานวิจัย การพัฒนาในงานวิจัย และขั้นตอนการศึกษา

บทที่ 2 กล่าวถึงทฤษฎีพื้นฐานที่ใช้ในการวิจัย ทฤษฎีของมอสทรานซิสเตอร์ โครงสร้างของมอสทรานซิสเตอร์ ผลของอุณหภูมิต่อมอสทรานซิสเตอร์ และการวิเคราะห์การทำงานของมอสทรานซิสเตอร์

บทที่ 3 กล่าวถึงรายละเอียดของวงจรต่างๆ ที่นำมาใช้ออกแบบวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส โดยจะอธิบายขั้นตอนในการทำงานและวิเคราะห์สมการของแต่ละวงจร รวมถึงวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส โดยมีการชดเชยผลของอุณหภูมิด้วย รายละเอียดของวิธีการในการลดผลกระทบทางอุณหภูมิที่จะเกิดกับมอสทรานซิสเตอร์

บทที่ 4 เป็นผลการทดลองจากวงจร ทั้งวงจรในบทที่ 3 ด้วยการจำลองแบบการทำงานด้วยโปรแกรม PSPICE

บทที่ 5 กล่าวถึงการนำวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส ที่มีการชดเชยอุณหภูมิ มาประยุกต์ใช้งานเป็นวงจรกรองแบบสูงผ่านที่มีการปรับค่าความถี่ตอบสนองได้ และทำการจำลองแบบการทำงานด้วยโปรแกรม PSPICE

บทที่ 6 เป็นบทสรุปผลการวิจัยและข้อเสนอแนะ

## บทที่ 2

# ทฤษฎีเบื้องต้นของมอสทรานซิสเตอร์

### 2.1 บทนำ

มอสทรานซิสเตอร์ (MOS Transistor) หรือมอสเฟด (Metal Oxide Semiconductor Field Effect Transistor : MOSFET) เป็นสิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้า (Field Effect Devices) โดยที่ขนาดของสนามไฟฟ้าขึ้นอยู่กับขนาดของความต่างศักย์และระยะระหว่างส่วนเดรนกับส่วนซอส กระแสครีฟท์ที่เกิดขึ้นจึงถูกประมาณว่าเกิดจากการเคลื่อนที่ของประจุพาหะส่วนมากที่มีอยู่ในสารกึ่งตัวนำชนิดนั้นเพียงชนิดเดียว ด้วยเหตุนี้มอสทรานซิสเตอร์จึงถูกเรียกว่า “ยูนิโพล่าทรานซิสเตอร์” (Unipolar Transistor)

ในปัจจุบันมอสทรานซิสเตอร์ถูกสร้างจากขบวนการ “Silicon Gate Technology” โดยที่ใช้ “Polysilicon” แทนโลหะที่เกต และเนื่องจากมอสทรานซิสเตอร์มีโครงสร้างที่ไม่ยุ่งยากมาก มีขบวนการผลิตที่ใช้พื้นที่น้อย มีขนาดเล็ก อินพุตอิมพีแดนซ์สูง การสูญเสียกำลังต่ำ มีประสิทธิภาพในการทำงานสูง จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้กันมาก โดยเฉพาะอย่างยิ่งวงจรในโครงสร้างวงจรรวม ถึงกระนั้นมอสทรานซิสเตอร์ก็ยังมีข้อด้อยในการทำงานอยู่บ้าง เช่น มีอัตราขยายต่ำ

### 2.2 โครงสร้างของมอสทรานซิสเตอร์

เนื่องจากประจุพาหะส่วนมากในสารกึ่งตัวนำมี 2 ชนิดคือ ประจุลบหรืออิเล็กตรอนในสารกึ่งตัวนำชนิดอื่นและประจุบวกหรือโฮลในสารกึ่งตัวนำชนิดพี จึงอาจแบ่งมอสทรานซิสเตอร์โดยพิจารณาที่ชนิดของประจุที่บริเวณช่องทางเดินกระแสในขณะที่เกิดกระแสครีฟท์ได้เป็น 2 ชนิด คือ

1. เอ็นแชนเนล มอสทรานซิสเตอร์ (N-Channel MOS Transistor : NMOS) หมายถึงมอสทรานซิสเตอร์ที่มีอิเล็กตรอนเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสครีฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ ส่วนเดรนและซอสจึงเป็นสารกึ่งตัวนำชนิดเอ็น

2. พีแชนเนล มอสทรานซิสเตอร์ (P-Channel MOS Transistor : PMOS) หมายถึงมอสทรานซิสเตอร์ที่มีโฮลเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสครีฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ส่วนเดรนและซอสจึงเป็นสารกึ่งตัวนำชนิดพี

อย่างไรก็ตามที่ ในสภาวะปกติก่อนการไบแอสของมอสทรานซิสเตอร์โดยทั่วๆ ไป สารกึ่งตัวนำบริเวณช่องทางเดินกระแสกับสารกึ่งตัวนำที่เป็นเดรนและซอส อาจจะเป็นสารชนิดเดียวกัน

หรือต่างชนิดกันก็ได้ ซึ่งในแต่ละแบบจะมีผลต่อคุณสมบัติทางไฟฟ้าในขณะที่ใช้งานแตกต่างกันไป จึงมีคำศัพท์เพื่อบอกประเภทของสารกึ่งตัวนำบริเวณช่องทางเดินกระแสไว้ดังนี้

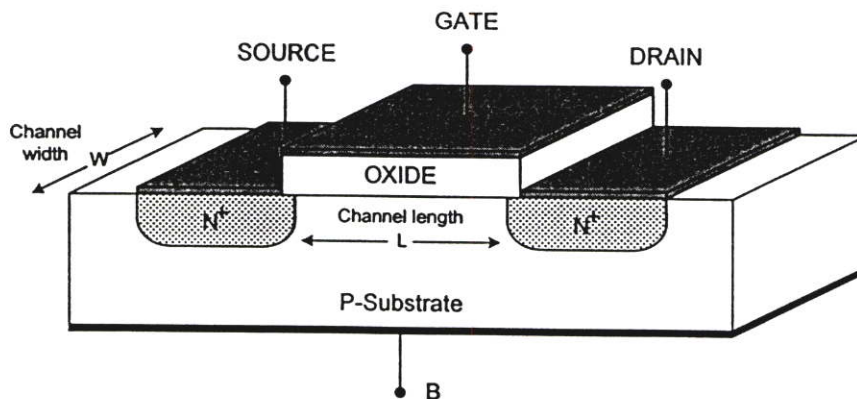
ดีพลีชัน (Depletion) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเดียวกับส่วนเดรนและซอส

เอ็นฮานซ์เมนต์ (Enhancement) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำต่างชนิดกันกับส่วนเดรนและซอส

จึงอาจแบ่งมอสทรานซิสเตอร์ เพื่อบอกประเภทตามลักษณะการควบคุมปริมาณประจุพาหะในช่องทางเดินกระแสได้ 4 แบบคือ

1. เอ็นแชนเนล เอ็นฮานซ์เมนต์โหมด มอสทรานซิสเตอร์ (N-Channel enhancement mode MOS Transistor)

หมายถึง เอ็นแชนเนลมอสทรานซิสเตอร์ ที่ในสภาวะปกติก่อนไบแอสที่เกต มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดพี ดังนั้นในขณะที่ใช้งานจึงจำเป็นต้องเหนี่ยวนำให้สารกึ่งตัวนำชนิดพีบริเวณช่องทางเดินกระแสเปลี่ยนเป็นสารกึ่งตัวนำชนิดเอ็นก่อน โดยการให้แรงดันที่เกตเป็นบวกเมื่อเทียบกับฐานรอง โครงสร้างเอ็นแชนเนล เอ็นฮานซ์เมนต์โหมด มอสทรานซิสเตอร์ แสดงไว้ในรูปที่ 2.1



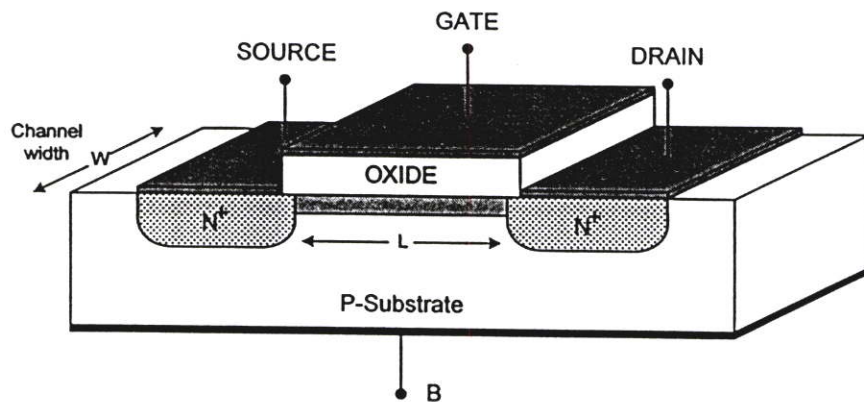
รูปที่ 2.1 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นแชนเนล เอ็นฮานซ์เมนต์โหมด

จากรูปโครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด ชนิดเอ็นแชนเนลจะประกอบไปด้วยแผ่นฐานรองเป็นชนิดพี ความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ที่มีอิเล็กตรอนบริเวณเดรนและซอสที่ต่อกับบริเวณสารกึ่งตัวนำที่ทำการเติมสารเจือชนิดเอ็นความหนาแน่นสูงเข้าไปในฐานรอง แต่บริเวณสารกึ่งตัวนำที่ถูกสารเจือนั้นจะไม่เชื่อมต่อกันเกิดเป็นแชนเนลเหมือนในกรณีของดีพลีชัน แต่จะเคลือบซิลิกอนไดออกไซด์ ( $\text{SiO}_2$ ) เป็นฉนวนลงบนฐานรองแล้วทำการต่ออิเล็กตรอนที่เป็นโลหะเข้าที่เกต (G) โดยส่วนที่อยู่ระหว่างเดรน (D) และ

ซอส (S) จะเรียกว่าแชนเนลเหมือนเดิม โดยจะมีระยะห่างความยาวแชนเนล (Channel Length) เป็น  $L$  และระยะห่างความกว้าง (Channel Width) เป็น  $W$

2. เอ็นแชนเนล คีพลิชั่น โหมด มอสทรานซิสเตอร์ (N-Channel depletion mode MOS transistor)

หมายถึงเอ็นแชนเนล มอสทรานซิสเตอร์ ที่ในสภาวะปกติก่อนให้ไบแอสที่เกต มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดเอ็น ทำให้เกิดการเชื่อมต่อเนื้อสารกึ่งตัวนำระหว่างส่วนซอสและเดรน อันเป็นผลให้เกิดกระแสครีฟที่ขึ้นทันทีที่มีความต่างศักย์ระหว่างส่วนเดรนกับส่วนซอส ในการควบคุมปริมาณกระแสครีฟนี้สามารถทำได้ทั้งในทางที่ทำให้ปริมาณกระแสครีฟเพิ่มขึ้นซึ่งทำโดยการให้แรงดันที่เกตเป็นบวกเมื่อเทียบกับฐานรอง หรือในทางที่ทำให้กระแสครีฟลดลงโดยการให้แรงดันที่เกตเป็นลบเมื่อเทียบกับฐานรอง โครงสร้างเอ็นแชนเนลคีพลิชั่น โหมด มอสทรานซิสเตอร์ แสดงไว้ในรูปที่ 2.2

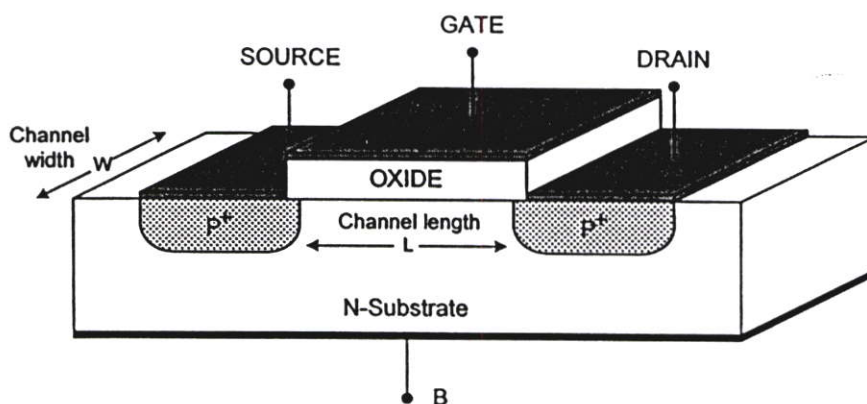


รูปที่ 2.2 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นแชนเนล คีพลิชั่น โหมด

จากรูปที่ 2.2 เป็นโครงสร้างของมอสทรานซิสเตอร์แบบคีพลิชั่น โหมดชนิดเอ็นแชนเนล ซึ่งประกอบด้วยแผ่นผลึกฐานรองชนิด P ความหนาแน่นน้อย ที่เป็น Single Crystal Silicon Wafer ซึ่งจะเรียกว่าบอดี (Body) มีการต่ออิเล็กโทรดเข้าตรงบริเวณที่เป็นเดรนและซอสซึ่งมีสารกึ่งตัวนำชนิด N ที่มีความหนาแน่นมาก (Heavily Doped N-Type Region) โดยที่จะทำการเชื่อมต่อบริเวณเดรนและซอสด้วยสารกึ่งตัวนำชนิด N ความหนาแน่นน้อย (Lightly Doped N-Type Region) เรียกว่าแชนเนล โดยที่เหนือบริเวณแชนเนลนั้นจะมีฉนวนบางๆ ซึ่งทำมาจากซิลิคอนไดออกไซด์ ( $\text{SiO}_2$ ) วางอยู่ จากนั้นจึงวางอิเล็กโทรดเกตซึ่งเป็นโลหะลงบนซิลิคอนไดออกไซด์

3. พีแชนเนล เอ็นฮานซ์เมนต์โหมด โมสทรานซิสเตอร์ (P-Channel enhancement mode MOS transistor)

หมายถึง พีแชนเนล โมสทรานซิสเตอร์ ที่ในสภาวะปกติก่อนไบแอสที่เกต มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดเอ็น ดังนั้นในขณะที่ใช้งานจึงจำเป็นต้องเหนี่ยวนำให้สารกึ่งตัวนำชนิดเอ็นบริเวณช่องทางเดินกระแสเปลี่ยนเป็นสารกึ่งตัวนำชนิดพีก่อน โดยการให้แรงดันที่เกตเป็นลบเมื่อเทียบกับฐานรอง โครงสร้างพีแชนเนล เอ็นฮานซ์เมนต์โหมด โมสทรานซิสเตอร์ แสดงไว้ในรูปที่ 2.3

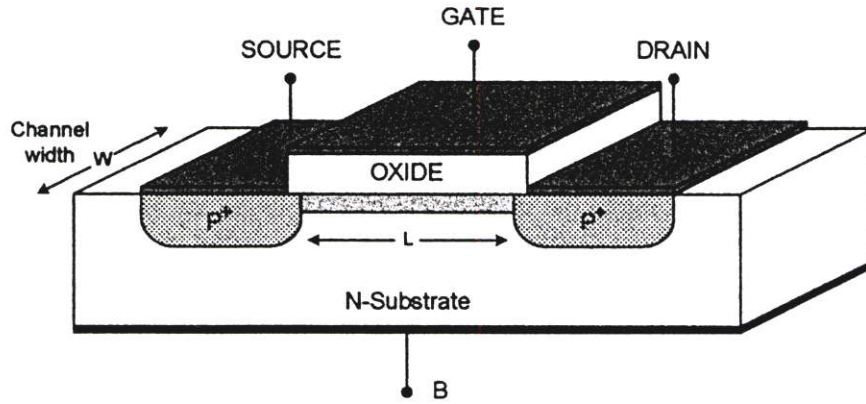


รูปที่ 2.3 โครงสร้างโมสทรานซิสเตอร์แบบพีแชนเนล เอ็นฮานซ์เมนต์โหมด

จากรูปโครงสร้างของโมสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดพีแชนเนล จะมีโครงสร้างที่คล้ายกับโมสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแชนเนล เพียงแต่แผ่นฐานรองเป็นชนิดเอ็นความหนาแน่นน้อยกว่าที่ประกอบด้วยสารกึ่งตัวนำชนิดพีความหนาแน่นมากสองส่วนแพร่อยู่บนบอดีแทน

4. พีแชนเนล ดีพลีชันโหมด โมสทรานซิสเตอร์ (P-Channel depletion mode MOS transistor)

หมายถึง พีแชนเนล ดีพลีชันโหมด โมสทรานซิสเตอร์ ที่ในสภาวะปกติก่อนให้ไบแอสที่เกตมีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดพี ซึ่งมีความคล้ายคลึงกับโมสทรานซิสเตอร์ในเอ็นแชนเนลดีพลีชันโหมด การควบคุมปริมาณกระแสครีฟท์นี้จะควบคุมโดยแรงดันที่เกต โดยถ้าแรงดันที่เกตเป็นลบเมื่อเทียบกับฐานรองกระแสครีฟท์ก็จะไหลได้มากขึ้น และถ้าให้แรงดันที่เกตเป็นบวกเมื่อเทียบกับฐานรองกระแสครีฟท์ก็จะไหลได้น้อยลง



รูปที่ 2.4 โครงสร้างมอสทรานซิสเตอร์แบบพีแชนเนล ดิฟฟิชั่น โหมด

โครงสร้างมอสทรานซิสเตอร์แบบดิฟฟิชั่น โหมดชนิดพีแชนเนลนั้นจะมีลักษณะทั่วไปที่คล้ายคลึงกันกับมอสทรานซิสเตอร์แบบดิฟฟิชั่น โหมดชนิดเอ็นแชนเนล จะมีส่วนแตกต่างตรงที่ชนิดพีแชนเนลนั้นจะมีบริเวณฐานเป็นสารกึ่งตัวนำชนิดเอ็นและมีแชนเนลเป็นสารกึ่งตัวนำชนิดพีความหนาแน่นน้อย (Lightly Doped P-Type Region)

ตารางที่ 2.1 สัญลักษณ์ของมอสทรานซิสเตอร์แบบต่างๆ

โหมดการทำงาน	$V_{BS}$	สัญลักษณ์ของมอสทรานซิสเตอร์	
		NMOS	PMOS
Depletion	$V_{BS} = 0$		
	$V_{BS} \neq 0$		
Enhancement	$V_{BS} = 0$		
	$V_{BS} \neq 0$		

สัญลักษณ์ของมอสทรานซิสเตอร์แบบต่างๆ แสดงไว้ในตารางที่ 2.1 โดยแยกตามลักษณะต่างๆ คือ แยกตามชนิดพิมอส และเอ็นมอส แยกตามโหมดการทำงานคือ ดิฟฟิชั่น โหมด และเอ็นฮานซ์เมนต์โหมด แยกตามแรงดันระหว่างฐานรองและซอส  $V_{BS}$

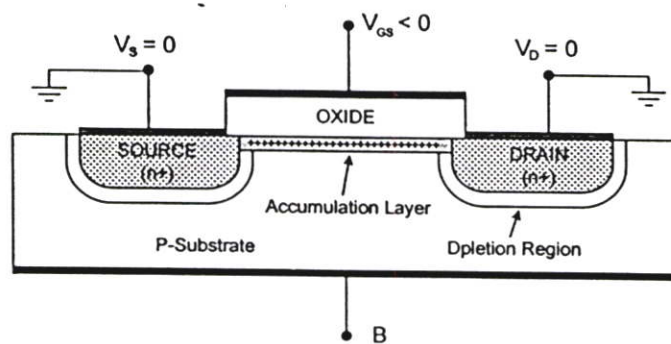
## 2.3 การทำงานของมอสทรานซิสเตอร์

### 2.3.1 คุณสมบัติการทำงาน

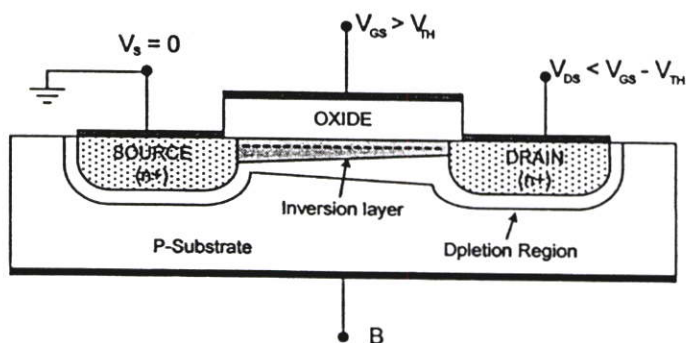
เนื่องด้วยมอสทรานซิสเตอร์ทั้ง 2 ชนิดคือ NMOS และ PMOS มีหลักการการทำงานที่คล้ายกันมากจะแตกต่างกันบ้างก็ในเรื่องของการไบแอสที่เป็นบวกหรือลบ ทิศทางของกระแสและค่าพารามิเตอร์บางตัวที่เป็นบวกหรือลบตามแต่ชนิดของมอสทรานซิสเตอร์ ดังนั้นในการอธิบายการทำงานของมอสทรานซิสเตอร์ในวิทยานิพนธ์ฉบับนี้ จึงอธิบายการทำงานของมอสทรานซิสเตอร์โดยอ้างอิงชนิดเอ็นแชนเนลเป็นสำคัญ

ตามรูปโครงสร้างของมอสทรานซิสเตอร์ในรูปที่ 2.5 นั้น จะแสดงถึงการทำงานในช่วงต่างๆ เมื่อขาทเกต ขาเดรน และขาซอสถูกต่อไบแอสในลักษณะต่างๆ ในรูปที่ 2.5 (ก) ขาซอส ขาเดรน และฐานรองต่อลงกราวด์ ในลักษณะเช่นนี้จะทำให้มอสทรานซิสเตอร์ประพฤติตัวคล้ายกับตัวเก็บประจุ โดยที่เกตและผิวของซิลิกอนใต้ฉนวนซิลิกอนไดออกไซด์ ( $SiO_2$ ) ทำหน้าที่เสมือนแผ่นระนาบ (plate) ของตัวเก็บประจุที่มีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนกั้นระหว่างกลาง ถ้าแรงดันระหว่างเกตและซอส ( $V_{GS}$ ) มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮลซึ่งเป็นพาหะส่วนใหญ่ (Majority Carrier) จะถูกดูดเข้ามาสะสมที่บริเวณแชนเนลเป็นผลให้บริเวณแชนเนลกลายเป็น  $p^+$  และเรียกบริเวณแชนเนลนี้ว่า แชนเนลสะสม (Accumulated Channel) บริเวณซอสและเดรนที่เป็น  $n^+$  จึงถูกแยกออกจากกันด้วยแชนเนล  $p^+$  และถ้ามองในลักษณะวงจรสมมูลแล้วจะพบว่าเสมือนมีไดโอดสองตัวต่อหันหลังชนกัน (back-to-back diodes) ดังนั้นถ้าจะเกิดกระแสไหลได้นั้น แรงดันที่ซอสและเดรนจะต้องมีค่ามากจนทำให้ทรานซิสเตอร์เกิดการเบรคดาวน์มีกระแสรั่วไหล (Leakage Current) เกิดขึ้น

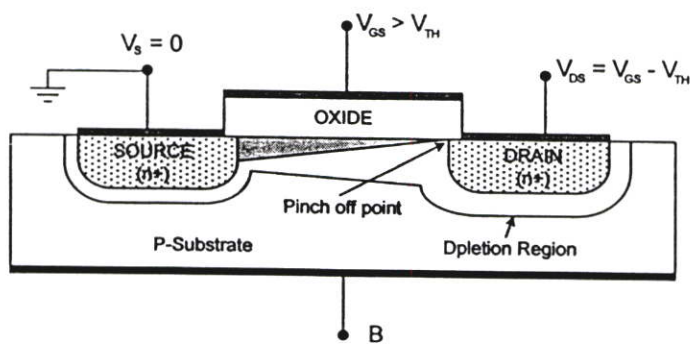
ในกรณีที่แรงดันเกตมีค่าเป็นบวกไม่มาก ประจุข้างใต้เกตจะถูกผลักออกไป ทำให้แชนเนลเปลี่ยนไปเป็น  $p^-$  และเป็นบริเวณปลดกภาวะ (Depletion region) ในที่สุดเมื่อแรงดันที่เกตเพิ่มมากขึ้น ประจุลบหรืออิเล็กตรอนซึ่งเป็นพาหะส่วนน้อย (Minority) จะถูกดึงดูดเข้ามาที่บริเวณแชนเนลและแปรสภาพเป็นบริเวณ  $n$  ตามรูปที่ 2.5 (ข) เกิดเป็นแชนเนลที่เชื่อมต่อบริเวณซอสและเดรนเข้าด้วยกัน บริเวณ  $n$  ที่เกิดใหม่เป็นแชนเนลกลับ (Inverted Channel) ที่เรียกว่า "Inversion Layer" สำหรับแรงดันเกตที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรองนั้น ได้กำหนดเป็นนิยามของแรงดันขีดเริ่มของทรานซิสเตอร์ (Transistor Threshold Voltage) ซึ่งใช้สัญลักษณ์  $V_{TH}$  และเมื่อค่าแรงดันระหว่างขาทเกตและซอสมีค่ามากกว่าแรงดัน  $V_{TH}$  จะมีแชนเนลเกิดขึ้นเป็นช่องทางสำหรับกระแสไฟฟ้าที่ไหลระหว่างเดรนและซอสได้



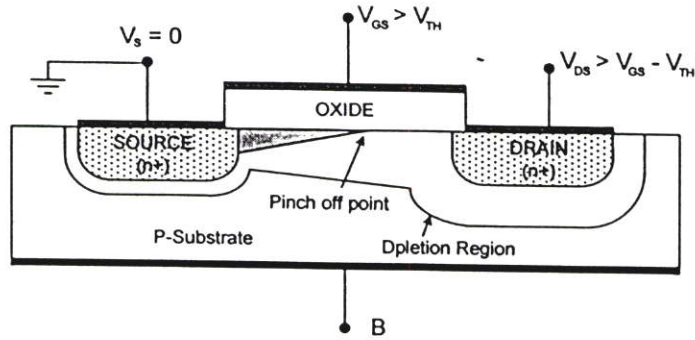
รูปที่ 2.5 (ก)



รูปที่ 2.5 (ข)



รูปที่ 2.5 (ค)



รูปที่ 2.5 (ง)

รูปที่ 2.5 การทำงานของมอสทรานซิสเตอร์ชนิดเอ็นแชนเนล เอ็นฮานซ์เมนต์โทมด

ในทางทฤษฎีนั้นเมื่อแรงดันที่เกต-ซอส ( $V_{GS}$ ) น้อยกว่าแรงดัน  $V_{TH}$  จะไม่มีกระแสไหลระหว่างขาเดรนและขาซอส ซึ่งจะถือว่าทรานซิสเตอร์ไม่ทำงานหรือไม่นำกระแส (โดยความเป็นจริงแล้วจะมีกระแสไหลบ้างเล็กน้อยเมื่อศักดาเกต-ซอสมีค่าเข้าใกล้  $V_{TH}$  แต่ในที่นี้คิดว่าไม่มีกระแสไหล)

เมื่อแรงดัน  $V_{GS}$  มีค่ามากกว่าแรงดัน  $V_{TH}$  ทำให้แชนเนลเกิดขึ้น ดังนั้นเมื่อแรงดัน  $V_{GS}$  เพิ่มขึ้นความหนาแน่นของอิเล็กตรอนในแชนเนลก็จะเพิ่มขึ้นด้วย จึงสรุปได้ว่าค่าความหนาแน่นของประจุพาหะจะแปรผันตามผลต่างของแรงดัน  $V_{GS} - V_{TH}$  ซึ่งนิยามเป็น “แรงดันเกต-ซอสประสิทธิผล” (Effective Gate-Source Voltage) ใช้สัญลักษณ์  $V_{eff}$  ดังนั้นความหนาแน่นประจุอิเล็กตรอนแสดงได้ดังนี้

$$Q = C_{ox}(V_{GS} - V_{TH}) = C_{ox}V_{eff} \quad (2.1)$$

โดยที่  $C_{ox}$  เป็นค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่

เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์โวลต์เล็กน้อย ทำให้เกิดความต่างศักย์ระหว่างขาซอสและขาเดรนขึ้นมีผลทำให้เกิดกระแสไหลจากเดรนไปยังขาซอส ดังนั้นความสัมพันธ์ระหว่าง  $V_{DS}$  และกระแสเดรน  $I_D$  จะเหมือนกับกรณีของความต้านทาน โดยมีความสัมพันธ์ดังนี้

$$I_D = \mu_0 Q \frac{W}{L} V_{DS} \quad (2.2)$$

ขณะที่  $\mu_0$  เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิคอน และ  $Q$  เป็นค่าความหนาแน่นของประจุในแชนเนลต่อหนึ่งหน่วยพื้นที่ จากสมการ (2.1) และ (2.2) จะได้ว่า

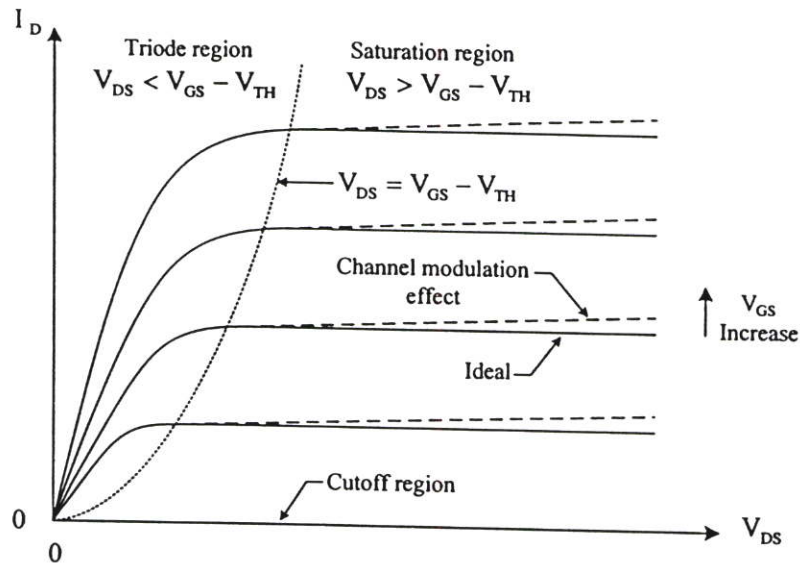
$$I_D = \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.3)$$

สมการที่ (2.3) เป็นสมการกระแส  $I_D$  ที่สามารถใช้ได้เพียงกรณีที่แรงดัน  $V_{DS}$  มีค่าเข้าใกล้ ศูนย์เท่านั้น

การทำงานของทรานซิสเตอร์ในเชิงโครงสร้างอธิบายผ่านรูปที่ 2.5 (ข) โดยที่แรงดัน  $V_{GS}$  มากกว่าแรงดัน  $V_{TH}$  และแรงดัน  $V_{DS} = 0$  โวลต์ ซึ่งขณะนี้แชนเนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหล เนื่องจากแรงดันระหว่างซอสและเดรนมีค่าเป็นศูนย์โวลต์ และเมื่อแรงดัน  $V_{DS}$  มีค่าเพิ่มขึ้นจนถึงค่าน้อยๆ ค่าหนึ่งทีเพียงพอจะทำให้เกิดมีกระแสไหลผ่านแชนเนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้จึงเสมือนเป็นตัวต้านทานที่มีความสัมพันธ์เป็นไปตามสมการ (2.3)

เมื่อแรงดันเดรน-ซอสเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แชนเนลจะลดลงตามแนวแชนเนลจากซอสไปเดรนตามรูปที่ 2.5(ค) การลดลงของประจุพาหะในแชนเนลนี้มีผลให้เกิดแรงดันตกคร่อมแชนเนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือสมมุติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ซอส จะมีการเพิ่มขึ้นของแรงดันจากซอสไปเดรนอย่างต่อเนื่องภายในแชนเนล มีผลทำให้แรงดันตกคร่อมระหว่างเกตและแชนเนลมีค่าสูงสุดเท่ากับ  $V_{GS}$  ที่ตำแหน่งด้านซอสและแรงดันเกตแชนเนลมีค่าต่ำสุดอยู่ที่ตำแหน่งปลายด้านเดรน แรงดันเกตจะต้องมีค่ามากกว่า  $V_{DS}$  ( $V_G > V_{DS}$  หรือ  $(V_{GS} - V_T) > V_{DS}$ ) นั่นก็คือแรงดันที่เกตเมื่อเทียบกับทุกจุดในแนวแชนเนลจะต้องมีศักย์เป็นบวกจึงจะทำให้เกิดแชนเนล โดยในขณะนี้มอสทรานซิสเตอร์จะทำงานในช่วงไม่อิ่มตัว (Nonsaturation Region) กระแสเดรน  $I_D$  จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน  $V_{DS}$  อย่างไม่เป็นเชิงเส้นตามกราฟในรูปที่ 2.6 และเมื่อ  $V_{DS}$  มีค่ามากขึ้นจนกระทั่งมีค่า  $V_{DS} = V_{GS} - V_{TH}$  ทรานซิสเตอร์เริ่มเข้าสู่ภาวะอิ่มตัว ลักษณะโครงสร้างของมอสทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูปที่ 2.5(ค)

และเมื่อค่าของแรงดัน  $V_{DS}$  เพิ่มขึ้นเรื่อยๆ จนกระทั่ง  $V_{DS} > V_{GS} - V_{TH}$  ในกรณีนี้แรงดันที่ตกคร่อมแชนเนลที่ปลายด้านเดรนจะมีค่าสูงกว่า  $V_{GS} - V_{TH}$  ซึ่งจะทำให้เกิดสภาวะพินช์ออฟ (Pinch off) กล่าวคือ แชนเนลซึ่งเป็นช่องทางเดินกระแสจะขาดออกจากกัน โดยเริ่มจากบริเวณด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าที่จะมาเหนี่ยวนำให้มีการสะสมของประจุลบเพื่อทำหน้าที่เป็นแชนเนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกันแสดงดังรูปที่ 2.5(ง) และจะมีกระแสแพร่ (Diffusion Current) จากส่วนของซอสไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูงและคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) กระแสเดรนในภาวะนี้จึงมีค่าคงที่ แม้ว่า  $V_{DS}$  จะมีค่าเพิ่มขึ้นก็ตามดังแสดงในกราฟรูปที่ 2.6 การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่าช่วงอิ่มตัว (Saturation Region)



รูปที่ 2.6 กราฟแสดงความสัมพันธ์ระหว่าง  $I_D$  และ  $V_{DS}$  ของเอ็นชานซ์เมนต์มอสทรานซิสเตอร์

### 2.3.2 สมการการไบแอสสำหรับสัญญาณขนาดใหญ่

จากคุณสมบัติของมอสทรานซิสเตอร์ที่ได้กล่าวมาแล้วข้างต้นสามารถแบ่งการไบแอสมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยสมการทั้งหมดอ้างอิงการไบแอสกับ NMOS แบบเอ็นชานซ์เมนต์และพิจารณาจากค่าแรงดัน  $V_{GS} - V_{TH}$  และค่าแรงดัน  $V_{DS}$  เป็นหลัก ซึ่งจะสามารถเขียนสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-Signal Mode) ได้ดังต่อไปนี้

1. ช่วงที่มอสทรานซิสเตอร์ไม่นำกระแส (Cut-off Region) เป็นช่วงที่ทำการไบแอสแรงดันที่ขาเกตกับขาซอส  $V_{GS}$  มีค่าน้อยกว่าแรงดันขีดเริ่ม  $V_{TH}$  มีผลทำให้กระแสเดรนเป็นศูนย์

$$I_D = 0 \quad ; \quad V_{GS} \leq V_{TH} \quad (2.4)$$

2. ช่วงที่นำกระแสไม่อิ่มตัว (Nonsaturation Region) หรือช่วงไตรโอด (Triode Region) หรือช่วงเชิงเส้น (Linear Region) หรือช่วงโอห์มิก (Ohmic Region) มีเงื่อนไขการให้ไบแอสคือแรงดัน  $V_{GS}$  มากกว่า  $V_{TH}$  ขณะเดียวกันแรงดัน  $V_{DS}$  ก็มีค่าน้อยกว่าแรงดันของ  $V_{GS} - V_{TH}$  แสดงความสัมพันธ์ได้ดังนี้

$$V_{GS} > V_{TH} \quad [\text{Induced Channel}]$$

และคงค่าแรงดัน  $V_{DS}$  ให้มีค่าน้อยๆ เพื่อให้ Channel มีความต่อเนื่อง

$$V_{GD} = V_{TH} \quad [\text{Continuous channel}]$$

นั่นคือ

$$\begin{aligned}
 V_{GD} &< V_{GS} + V_{SD} \\
 V_{GD} &< V_{GS} - V_{DS} \\
 V_{TH} &< V_{GS} - V_{DS} \\
 \text{ดังนั้น} \quad V_{GS} - V_{TH} &> V_{DS}
 \end{aligned}$$

สมการการทำงานในย่านนี้สามารถประมาณค่าได้เท่ากับสมการ (2.5)

$$I_D = \frac{K'W}{L} \left[ (V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.5)$$

โดยที่  $0 < V_{GS} - V_{TH}$  และ  $0 < V_{DS} < V_{GS} - V_{TH}$

ถ้า  $V_{DS}$  มีค่าน้อยๆ หรือไบแอสให้  $0 < V_{DS} < V_{GS} - V_T$  ก็สามารถที่จะตัดเทอม  $\frac{V_{DS}^2}{2}$  ในสมการ (2.5) ออกได้และประมาณค่าสมการใหม่ได้เป็น

$$I_D = \frac{K'W}{L} (V_{GS} - V_{TH})V_{DS} \quad (2.6)$$

โดยที่  $0 < V_{GS} - V_T$  และ  $V_{GS} - V_{TH} > V_{DS} > 0$

3. ช่วงนำกระแสอิ่มตัว (Saturation Region) การทำงานในช่วงนี้จะให้ไบแอสแรงดัน  $V_{DS}$  มากกว่าหรือเท่ากับ  $V_{GS} - V_{TH}$  จะได้สมการกระแสเดรนเป็น

$$I_D = \frac{K'W}{2L} (V_{GS} - V_{TH})^2 \quad (2.7)$$

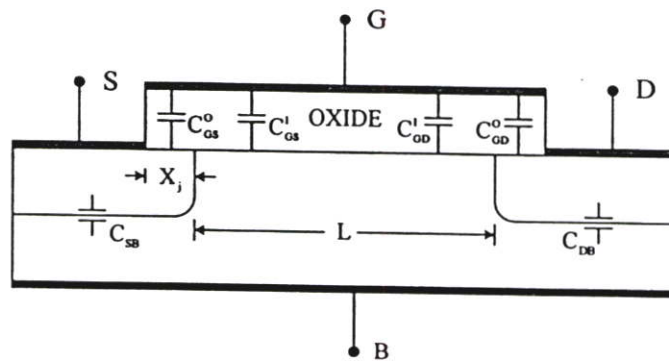
โดยที่  $0 < V_{GS} - V_T$  และ  $V_{DS} \geq V_{GS} - V_{TH} > 0$

จากสมการข้างต้นจะพบว่ากระแสเดรนในช่วงนี้จะมีค่าคงที่ไม่ขึ้นกับแรงดัน  $V_{DS}$  แต่จะขึ้นกับค่าแรงดัน  $(V_{GS} - V_T)^2$  ซึ่งทำให้ได้สมการที่เป็นไปตามกฎกำลังสอง (Square Law Equation) นั้นเอง

$I_D$	: ค่ากระแสเดรน (Drain Current)	(amp)
$V_{GS}$	: ค่าศักดาตกรวมขากเกต-ซอส (Gate-Source Voltage)	(volt)
$V_{DS}$	: ค่าศักดาตกรวมขาเดรน-ซอส (Drain-Source Voltage)	(volt)
$V_{TH}$	: ค่าแรงดันขีดเริ่ม (Threshold Voltage)	(volt)

$K'$	: ค่าทรานส์คอนดักแตนซ์พารามิเตอร์ (Transconductance parameter) มีค่าเท่ากับ $\mu_0 C_{OX}$	(amp/volt <sup>2</sup> )
$\mu_0$	: ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)	(cm <sup>2</sup> /volt-sec)
$C_{OX}$	: ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance per Unit Area of the Gate Oxide)	(F/cm <sup>2</sup> )
$W$	: ความกว้างประสิทธิผลของแชนเนล (Effective Channel Width)	(meter)
$L$	: ความยาวประสิทธิผลของแชนเนล (Effective Channel Length)	(meter)

### 2.3.3 ค่าความจุไฟฟ้าในมอสทรานซิสเตอร์



รูปที่ 2.7 ความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสทรานซิสเตอร์

สำหรับค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างภายในของมอสทรานซิสเตอร์ สามารถพิจารณาได้ตามโครงสร้างในรูปที่ 2.7 โดยมีค่าดังต่อไปนี้

1.  $C_{GS}$  คือค่าความจุไฟฟารวมระหว่างเกตและซอส ซึ่งมีค่าเท่ากับ

$$C_{GS} = C_{GS}^I + C_{GS}^O \quad (2.8)$$

เมื่อ  $C_{GS}^I$  คือ gate-oxide capacitance associated with the source region of the intrinsic transistor structure

$C_{GS}^O$  คือ parasitic capacitance resulting from the overlap of the gate and source

$$\text{โดยที่ } C_{GS}^I = \begin{cases} C_{ox}WL \left[ 1 - \left( \frac{V_{GS} - V_{TH} - V_{DS}}{2(V_{GS} - V_{TH})_m V_{DS}} \right) \right] & \text{Triode region} \\ \frac{2}{3} C_{ox}WL & \text{Saturation region} \end{cases} \quad (2.9)$$

$$\text{และ } C_{GS}^O = C_{ox}WX_j \quad (2.10)$$

2.  $C_{GD}$  คือ ค่าความจุไฟฟ้ารวมระหว่างเกตและเดรนซึ่งมีค่าเท่ากับ

$$C_{GD} = C_{GD}^I + C_{GD}^O \quad (2.11)$$

เมื่อ  $C_{GD}^I$  คือ gate-oxide capacitance associated with the drain region of the intrinsic transistor structure

$C_{GD}^O$  คือ parasitic capacitance resulting from the overlap of the gate and drain

$$\text{โดยที่ } C_{GD}^I = \begin{cases} C_{ox}WL \left[ 1 - \left( \frac{V_{GS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right)^2 \right] & \text{Triode region} \\ \approx 0 & \text{Saturation region} \end{cases} \quad (2.12)$$

$$\text{และ } C_{GD}^O = C_{ox}WX_j \quad (2.13)$$

3.  $C_{SB}$  คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างซอสกับซันสเตรท ซึ่งมีค่าเท่ากับ

$$C_{SB}(V_{SB}) = \frac{C_{SB}(0)}{\sqrt{\left( 1 + \frac{V_{SB}}{\phi_0} \right)}} \quad (2.14)$$

เมื่อ  $C_{SB}(0)$  คือ zero-bias capacitance of the source-body pn junctions

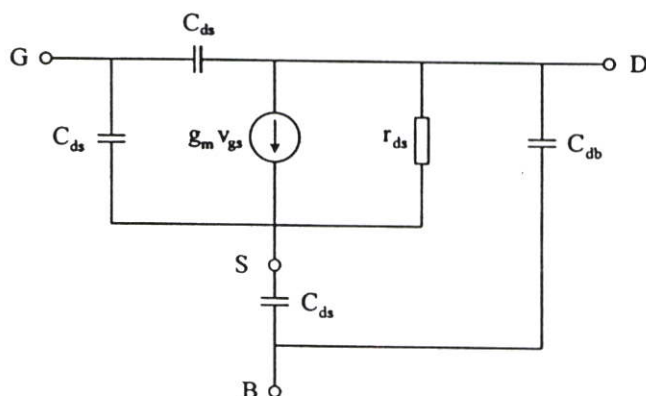
$\phi_0$  คือ barrier potential

4.  $C_{DB}$  คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างครนกับขั้วสเตท ซึ่งมีค่าเท่ากับ

$$C_{DB}(V_{DB}) = \frac{C_{DB}(0)}{\sqrt{\left(1 + \frac{V_{DB}}{\phi_0}\right)}} \quad (2.15)$$

เมื่อ  $C_{DB}(0)$  คือ zero-bias capacitance of the drain-body pn junctions

### 2.3.4 วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก



รูปที่ 2.8 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

ในรูปที่ 2.8 แสดงวงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัวและไม่อิมิตัว โดยที่มีค่าของตัวเก็บประจุแต่ละตัวจะมีค่าเป็นไปตามสมการ (2.8)-(2.15) และค่าความนำของวงจรสามารถคำนวณหาได้จากสมการที่ (2.5) และสมการที่ (2.7) ซึ่งจะได้

$$g_m = \left. \frac{dI_d}{dV_{gs}} \right|_{V_{gs}=0} = \begin{cases} \frac{\mu_0 C_{ox} W V_{DS}}{L} & \text{Triode region} \\ \frac{\mu_0 C_{ox} W}{L} (V_{GS} - V_{TH}) & \text{Saturation region} \end{cases} \quad (2.16)$$

จากสมการที่ (2.16) สำหรับการทำงานในช่วงอิมิตัว ค่าความนำของวงจรสามารถเขียนความสัมพันธ์ให้อยู่ในรูปของกระแสได้เป็น

$$g_m = \sqrt{\frac{2\mu_0 C_{ox} W I_d}{L}} \quad (2.17)$$

สำหรับค่าความต้านทานที่เอาต์พุตของวงจรสามารถคำนวณหาได้ตามความสัมพันธ์ดังนี้

$$g_{ds} = \frac{1}{r_{ds}} = \begin{cases} \frac{\mu_0 C_{ox} W (V_{GS} - V_{TH} - V_{DS})}{L} & \text{Triode region} \\ \lambda I_D & \text{Saturation region} \end{cases} \quad (2.18)$$

เมื่อ  $\lambda$  คือ channel length modulation parameter (volt<sup>-1</sup>)

จากวงจรในรูปที่ 2.8 ได้แสดงให้เห็นว่ามีจำนวนตัวเก็บประจุถึง 4 ตัวคือ  $C_{gs}$ ,  $C_{gd}$ ,  $C_{sb}$  และ  $C_{sb}$  ซึ่งถ้าต้องการคำนวณค่าเหล่านี้ก่อนข้างจะยุ่งยากไม่สะดวก ดังนั้นค่าเหล่านี้จึงมักจะคำนวณหรือวิเคราะห์โดยการจำลองการทำงานด้วยโปรแกรมคอมพิวเตอร์เท่านั้น

## 2.4 ผลของอุณหภูมิต่อมอสทรานซิสเตอร์

เมื่อเราพิจารณาสมการกระแสแตรนของมอสทรานซิสเตอร์ในช่วงนำกระแสไม่อิ่มตัวในสมการที่ 2.5 แล้วจะพบว่า  $K'$  นั้นจะเกิดการเปลี่ยนแปลงค่าได้เมื่ออุณหภูมิเกิดการเปลี่ยนแปลงซึ่งจะส่งผลให้กระแสแตรนเกิดการเปลี่ยนแปลงตามไปด้วย โดยมีพารามิเตอร์ที่สำคัญที่มีความเกี่ยวข้องกับอุณหภูมิดังนี้คือ

1. ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier) :  $\mu$  มีสมการแสดงความสัมพันธ์ระหว่างค่า  $\mu$  และอุณหภูมิดังนี้

$$\mu(T_2) = \mu(T_1) \left( \frac{T_1}{T_2} \right)^M \quad (2.19)$$

เมื่อ  $T_1$  คือค่าอุณหภูมิจำลอง (°K)

$T_2$  คือค่าอุณหภูมิขณะพิจารณา (°K)

$M$  คือค่าคงที่ระหว่าง 1.5-2.0

จากสมการ (2.19) จะพบว่าค่า  $\mu(T)$  จะมีค่าลดลงเมื่ออุณหภูมิสูงขึ้น

2. ค่าแรงดันขีดเริ่ม (Threshold Voltage :  $V_{TH}$ ) สามารถแสดงความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มและอุณหภูมิที่อยู่ในรูปของสมการ ได้ดังสมการที่ (2.20)

$$V_{TH} = V_T(T_1) - M_K(T_2 - T_1) \quad (2.20)$$

เมื่อ  $M_x$  คือค่าคงที่ที่มีค่าอยู่ระหว่าง  $0.5 - 4 \text{ mV}/^\circ\text{K}$   
โดย  $V_{TH}$  จะมีค่าลดลงเมื่ออุณหภูมิมีค่าเพิ่มมากขึ้น

## 2.5 กล่าวสรุป

ในบทนี้ได้กล่าวถึงทฤษฎีการทำงานและสมการสำคัญๆ ของมอสทรานซิสเตอร์โดยจะเน้นที่แบบเอ็นฮานซ์เมนต์โหมดเป็นหลัก รวมทั้งได้กล่าวถึงพารามิเตอร์ที่สำคัญซึ่งมีการเกี่ยวข้องกับอุณหภูมิเอาไว้ด้วย เพื่อใช้เป็นแนวทางในการพิจารณาผลของวงจรควบคุมความต้านทานชนิดต่อลงดินที่มีการชดเชยผลของอุณหภูมิในบทต่อไป

## บทที่ 3

# รายละเอียดวงจรที่ใช้ในวิทยานิพนธ์

### 3.1 บทนำ

วงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอสได้มีการนำเสนอในเทคนิคและวิธีการที่แตกต่างกัน [3]-[9] ในงานวิจัยนี้ได้นำเสนอเทคนิคใหม่ที่ใช้กำจัดทอมที่ไม่เป็นเชิงเส้นพร้อมทั้งขจัดผลของอุณหภูมิด้วย วงจรควบคุมความต้านทานชนิดต่อลงดินที่นำเสนอนี้มีความเป็นเชิงเส้นสูง มีผลกระทบจากอุณหภูมิต่ำ วงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอสที่นำเสนอประกอบด้วยทรานซิสเตอร์จำนวน 16 ตัวที่ทำหน้าที่เป็นวงจรวายเลสและทรานซิสเตอร์อีก 1 ตัวเป็นวงจรวายเลส วงจรวายเลสประกอบด้วยวงจรร้อยเช่น วงจรถอดถอนแรงดัน วงจรผลต่างแรงดัน และวงจรถับสัญญาณแรงดัน ส่วนวงจรวายเลสนั้นเป็นทรานซิสเตอร์ที่ทำงานช่วงโอห์มิกซึ่งจะถูกควบคุมโดยวงจรวายเลส วงจรต่างๆมีรายละเอียดดังนี้

### 3.2 โอห์มิกทรานซิสเตอร์

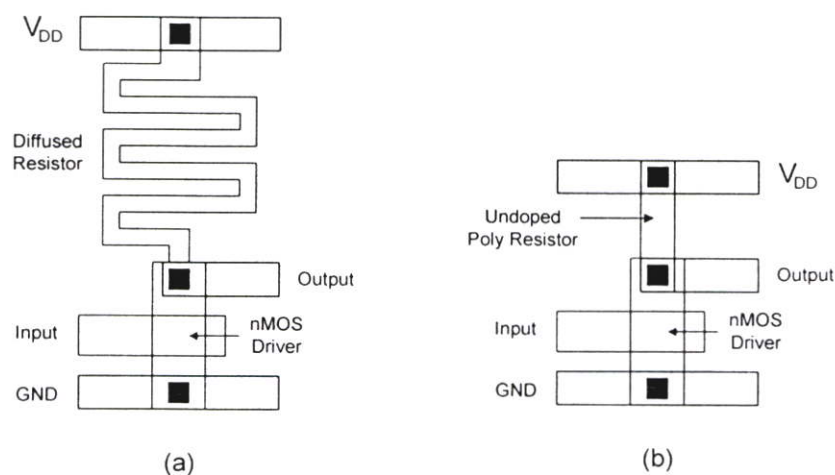
ในการสร้างความต้านทานในวงจรรวม(Integrated circuit) ด้วยเทคโนโลยีซีมอสนั้นสามารถทำได้ 2 แบบด้วยกัน คือ Sheet resistor และ MOS resistor ซึ่งในแต่ละแบบจะมีลักษณะเด่น ข้อดีข้อเสีย และคุณสมบัติที่แตกต่างกันออกไป

#### 3.2.1 Sheet resistor

Sheet resistor สามารถแบ่งตามลักษณะได้ 2 แบบด้วยกัน คือ Diffusion resistor และ Polysilicon (undoped) resistor โดยวิธีการสร้าง Diffusion resistor นั้นทำได้โดยการโคปสารเจือลงบนผลึก Polysilicon ให้มีขนาดความกว้าง ความยาวตามที่ต้องการ ซึ่งปลายสุดของแต่ละด้านจะมีจุดเชื่อมต่ออยู่ โดยตัวแปรสำคัญที่มีผลกับค่าของความต้านทาน คือ ความเข้มข้นของการโคป และขนาดของความกว้างความยาวของบริเวณที่โคป ในทางปฏิบัติแล้วความต้านทานแบบ Diffusion resistor จะมีค่าความต้านทานอยู่ระหว่าง 20-100  $\Omega$ / ตารางหน่วย ด้วยเหตุนี้ในการสร้างตัวต้านทานให้มีค่าความต้านทานตั้งแต่ 10 k $\Omega$  ถึง 100 k $\Omega$  จึงต้องใช้พื้นที่ของผลึกซิลิกอนใหญ่มากทีเดียว

โดยปกติการสร้าง Diffusion resistor ลงบนชิป มักจะทำให้เกิดขีดจำกัดรูปที่ 3.1 เพื่อเป็นการประหยัดพื้นที่ แต่อย่างไรก็ดี ขนาดของความต้านทานชนิดนี้ก็ยังมีขนาดใหญ่กว่า MOSFET มาก ดังนั้น จึงไม่นิยมใช้ความต้านทานชนิดนี้ในการผลิตวงจรรวม

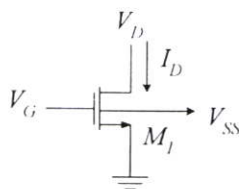
Sheet resistor ยังมีอีกชนิดที่เรียกว่า Polysilicon resistor ซึ่งเป็นความต้านทานที่สามารถลดการใช้พื้นที่ของผลึกซิลิกอนลงได้อย่างมาก ผลึก Polysilicon ที่ได้ทำการโคปสารนั้น ทำให้ความต้านทานลดลงเหลือประมาณ 20 ถึง 40  $\Omega$  / ตารางหน่วย แต่ส่วนที่ไม่ได้ทำการโคปสารนั้น จะมีค่าความต้านทานมากถึง 10 M $\Omega$  / ตารางหน่วย ดังนั้นเราจึงสามารถสร้างความต้านทานที่ใช้พื้นที่น้อย และมีค่าความต้านทานมากด้วยวิธีนี้ แต่ข้อเสียของความต้านทานชนิดนี้ก็คือ ไม่สามารถควบคุมค่าความต้านทานที่สร้างขึ้นได้อย่างแม่นยำ ซึ่งทำให้เกิดความยุ่งยากในการนำไปใช้ในการทำวงจรรวม



รูปที่ 3.1 (a) วงจรที่ใช้ Diffusion resistor (b) วงจรที่ใช้ Undoped poly resistor

### 3.2.2 MOS resistor

มอสทรานซิสเตอร์ที่อยู่ในช่วงเชิงเส้น(หรือช่วง โอห์มิก Ohmic) และในช่วงอิ่มตัว นั้นสามารถที่จะประยุกต์สร้างเป็นความต้านทานได้ ในกรณีของมอสเฟตที่ทำงานในย่านโอห์มิกดังรูปที่ 3.2 เมื่อพิจารณาแล้ว ทรานซิสเตอร์จะสามารถทำเป็นวงจรความต้านทานปรับค่าได้ด้วยแรงดันได้ ในวิทยานิพนธ์ฉบับนี้ได้เลือกเอามอสทรานซิสเตอร์ ที่ทำงานในช่วงโอห์มิก หรือช่วงเชิงเส้น มาใช้เป็นวงจรความต้านทาน



รูปที่ 3.2 โอห์มิกมอสทรานซิสเตอร์

$$R_{eq} = \frac{V_{DS}}{I_D} = \left[ \mu_0 C_{ox} \frac{W}{L} \left( V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) \right]^{-1} \quad (3.1)$$

พิจารณาสมการที่ 3.1 จะเห็นได้ว่า ค่าของ  $R_{eq}$  จะมีค่าของ  $V_{DS}/2$  ประปรนอยู่ เรียกเทอมนี้ว่าเทอมไม่เป็นเชิงเส้น ทำให้ค่าของ  $R_{eq}$  ไม่เป็นเชิงเส้น ซึ่งไม่สอดคล้องกับความต้านทานที่สมบูรณ์ ในสมการนี้ยังมีอีกค่าหนึ่งที่จะทำให้ความต้านทานนั้นแปรเปลี่ยนไปตามอุณหภูมิ คือ ค่า  $V_{TH}$  เพื่อทำให้ความต้านทานที่สร้างขึ้นมามีความเป็นเชิงเส้นสูง และลดผลกระทบจากอุณหภูมิ จึงจำเป็นต้องกำจัดค่า  $V_{DS}/2$  และ  $V_{TH}$  ที่ประปรนอยู่ให้หายไป จากรูปที่ 3.2 สมมุติเราให้แรงดันที่เกตเท่ากับ

$$V_G = \frac{V_D + V_C}{2} + V_{TH} \quad (3.2)$$

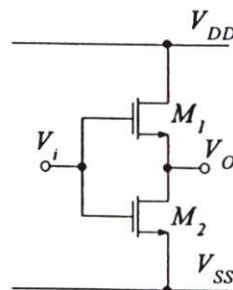
และให้ทรานซิสเตอร์ทำงานในช่วงโอห์มิก หรือช่วงเชิงเส้น ซึ่งมีความเป็นเชิงเส้นสูงกว่าช่วงอิ่มตัว ด้วยเทคนิคนี้จะเห็นได้ว่าแรงดันขีดเริ่ม (Threshold voltage) และ  $V_{DS}/2$  หายไป นั่นก็หมายความว่า วงจรมีความเป็นเชิงเส้นสูงขึ้น ผลกระทบจากอุณหภูมิจึงลดลงด้วย ดังสมการที่ (3.3)

$$R_{eq} = \frac{V_D}{I_D} = \frac{2}{k_N V_C} \quad (3.3)$$

โดย  $k_N = \mu_0 C_{ox} \left( \frac{W}{L} \right)$  และค่าความต้านทานในสมการที่ 3.3 นี้ถูกควบคุมโดย  $V_C$

### 3.3 วงจรลดทอนแรงดัน

วงจรลดทอนแรงดันมีการนำเสนอในปี 1987 [10] ดังที่แสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรลดทอนแรงดันที่สร้างจาก NMOS

จากรูปที่ 3.3 ถ้าสมมุติให้ทรานซิสเตอร์  $M_1$  ทำงานในช่วงอิ่มตัว ทรานซิสเตอร์  $M_2$  ทำงานในช่วงโอห์มิก แรงดันเอาต์พุตของวงจรลดทอนแรงดันสามารถเขียนได้ดังนี้

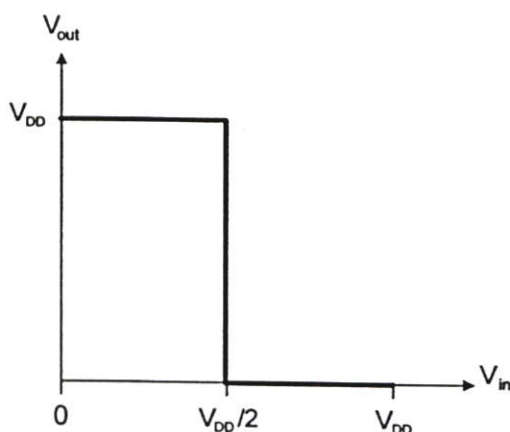
$$V_O = \left[ 1 - \sqrt{\frac{(W/L)_2}{(W/L)_1 + (W/L)_2}} \right] (V_i - V_{TH} - V_{SS}) + V_{SS} \quad (3.4)$$

สมมติให้แรงดันเอาต์พุตที่ต้องการเป็นครึ่งหนึ่งของแรงดันอินพุตคั้งนั้นเราก็สามารถกำหนดอัตราส่วน  $(W/L)$  ของ  $M_1$  และ  $M_2$  ได้เท่ากับ  $(W/L)_1 = 3(W/L)_2$  สมการที่ 3.4 สามารถเขียนใหม่ได้เป็น

$$V_O = \left( \frac{V_i - V_{TH} + V_{SS}}{2} \right) \quad (3.5)$$

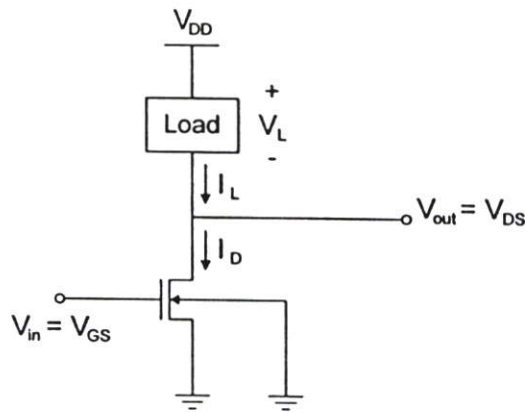
### 3.4 วงจรกลับสัญญาณแรงดัน (Voltage inverter)

วงจรกลับสัญญาณแรงดัน (Voltage inverter) คือวงจรที่ใช้ทำหน้าที่กลับแรงดันสัญญาณอินพุต ดังรูปที่ 3.4 เป็นรูปแสดงคุณสมบัติทางไฟฟ้ากระแสตรงของวงจรกลับสัญญาณแรงดันในอุดมคติ โดยที่  $V_{th}$  คือแรงดันขีดเริ่มของวงจรถืออินเวอร์เตอร์ (Inverter threshold voltage) เมื่อแรงดันสัญญาณอินพุตมีค่าอยู่ระหว่าง 0 ถึง  $V_{th}$  ค่าแรงดันสัญญาณเอาต์พุตจะมีค่าเท่ากับ  $V_{DD}$  และแรงดันสัญญาณเอาต์พุตจะเปลี่ยนจาก  $V_{DD}$  เป็น 0 ก็ต่อเมื่อ แรงดันสัญญาณอินพุตมีค่าเท่ากับ  $V_{th}$  และสำหรับแรงดันสัญญาณอินพุตที่มีค่าอยู่ระหว่าง  $V_{th}$  ถึง  $V_{DD}$  แรงดันสัญญาณเอาต์พุตจะมีค่าเท่ากับ 0 ในรูปที่ 3.4 นี้  $V_{th} = V_{DD}/2$  คุณสมบัติทางไฟฟ้ากระแสตรงของวงจรกลับสัญญาณแรงดันในความเป็นจริงนั้นค่อนข้างจะแตกต่างจากคุณสมบัติของวงจรถือกลับสัญญาณแรงดันในอุดมคติ ซึ่งเป็นส่วนสำคัญประการหนึ่งที่จะต้องคำนึงถึงในขั้นตอนของการออกแบบ



รูปที่ 3.4 คุณสมบัติทางไฟฟ้ากระแสตรงของวงจรถือกลับสัญญาณแรงดันในอุดมคติ

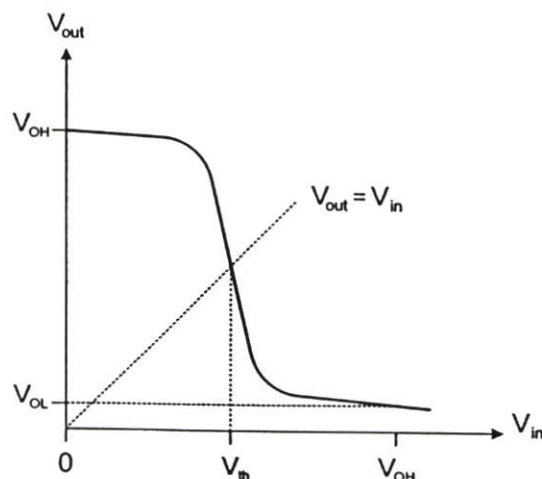
ในรูปที่ 3.5 แสดงโครงสร้างทั่วไปของวงจรถกลับสัญญาณแรงดัน (Voltage inverter) ที่สร้างจากทรานซิสเตอร์ชนิด NMOS โครงสร้างทั่วไปประกอบด้วยส่วนประกอบหลักๆ 2 ส่วนด้วยกัน คือ ส่วนของโหลด และส่วนของทรานซิสเตอร์ โดยโหลดนี้อาจจะเป็น Sheet resistor หรือ MOS resistor อีกส่วนหนึ่ง ก็คือส่วนของทรานซิสเตอร์ โดยทรานซิสเตอร์ตัวนี้มีชื่อเรียกว่า Driver transistor แรงดันสัญญาณอินพุตของวงจรในรูปนี้ก็คือ แรงดันระหว่างขาเกตและขาซอส ( $V_{GS}$ ) ของทรานซิสเตอร์ NMOS ในขณะที่แรงดันเอาต์พุตของวงจรนี้ ก็คือ แรงดันระหว่างขาเดรนและขาซอส ( $V_{DS}$ )



รูปที่ 3.5 โครงสร้างทั่วไปของวงจรถกลับสัญญาณแรงดัน (Voltage inverter)

ในทางปฏิบัติถือว่า ไม่มีกระแสไหลผ่านขาเกตของมอสทรานซิสเตอร์ ดังนั้นจากรูปที่ 3.5 เราจะได้ว่า

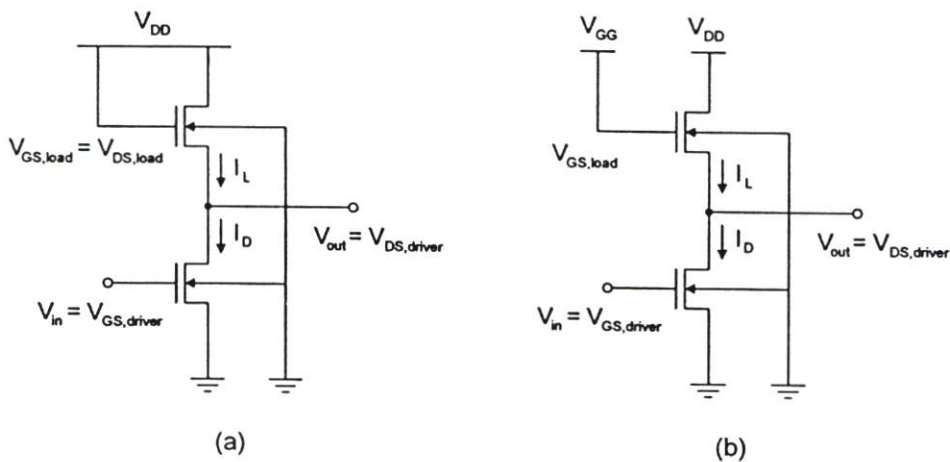
$$I_D = I_L \quad (3.6)$$



รูปที่ 3.6 คุณสมบัติทางไฟฟ้ากระแสตรงของวงจรถกลับสัญญาณแรงดัน

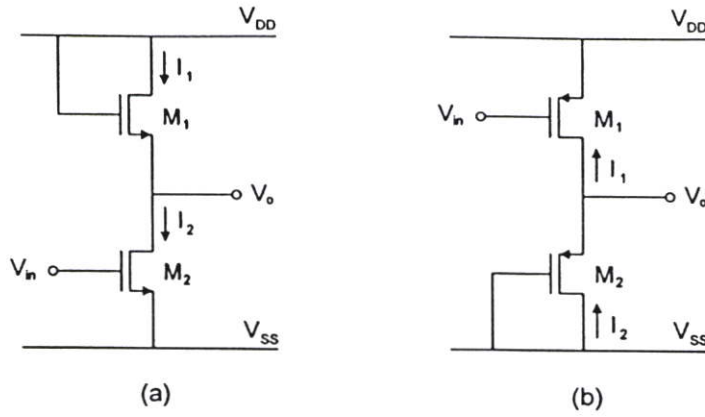
ความสัมพันธ์ทางคุณสมบัติกระแสตรงของ  $V_{out}$  และ  $V_{in}$  แสดงดังรูปที่ 3.6 เมื่อแรงดันอินพุตมีค่าต่ำมากๆ แรงดันเอาต์พุตจะมีค่าสูง ( $V_{OH}$ : output high voltage) ในกรณีนี้ Driver transistor จะอยู่ในช่วงกัทอพอ ไม่มีกระแสไหล แรงดันตกคร่อมโหลดมีค่าน้อยมาก แรงดันเอาต์พุตจึงมีค่าสูง และเมื่อแรงดันอินพุตเพิ่มขึ้น Driver transistor เริ่มมีกระแสไหล แรงดันเอาต์พุตเริ่มลดลง แรงดันเอาต์พุตที่ลดลงนั้นไม่ได้ลดลงรวดเร็วเหมือนกับวงจรในอุดมคติ แต่ลดลงโดยมีค่าความชันคงที่ค่าหนึ่ง จนเข้าใกล้แรงดันเอาต์พุตค่าต่ำ ( $V_{OL}$ : output low voltage) เมื่อระดับแรงดันอินพุตเท่ากับ  $V_{OH}$

วงจรถับสัญญาณแรงดันในวิทยานิพนธ์นี้เลือกใช้โหลดที่สร้างจากมอสทรานซิสเตอร์แทน Sheet resistor ซึ่งมีข้อดีคือ โหลดที่สร้างจากมอสเฟทใช้พื้นที่ซิลิคอนน้อยกว่าโหลดชนิดอื่น และยังสามารถออกแบบให้มีคุณสมบัติตามต้องการได้อีกด้วย วงจรถับสัญญาณแรงดันที่มีโหลดเป็นมอสทรานซิสเตอร์ชนิดเอ็นเอานซ์เมนต์ 2 วงจร แสดงดังรูปที่ 3.7 วงจรทั้ง 2 ต่างกันตรงที่ โหลดทรานซิสเตอร์ทำงานในช่วงเชิงเส้น หรือช่วงอิมิตัว อยู่ที่ยุทธศาสตร์ไบอัสขากท ซึ่งมีข้อดีและข้อเสียที่แตกต่างกันคือ โหลดทรานซิสเตอร์ชนิดเอ็นเอานซ์เมนต์ที่ทำงานในช่วงอิมิตัวดังรูปที่ 3.7 (a) นั้นใช้แหล่งจ่ายแรงดันเพียงแหล่งเดียว แต่แรงดันเอาต์พุตสูงสุดจะได้เท่ากับ  $V_{DD} - V_{TH(load)}$  ต่างกับวงจรถับสัญญาณที่ใช้โหลดทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น ดังรูปที่ 3.7 (b) ซึ่งให้แรงดันเอาต์พุตสูงสุดเท่ากับ  $V_{DD}$  แต่ต้องใช้แหล่งจ่ายแรงดัน 2 แหล่งด้วยกัน



รูปที่ 3.7 (a) วงจร Voltage inverter ที่ใช้เอ็นเอานซ์เมนต์โหลดช่วงอิมิตัว (b) วงจร Voltage inverter ที่ใช้เอ็นเอานซ์เมนต์โหลดช่วงเชิงเส้น

วงจรถับสัญญาณแรงดันที่ใช้ในวิทยานิพนธ์ฉบับนี้ใช้โหลดทรานซิสเตอร์แบบเอ็นเอานซ์เมนต์ที่ทำงานในช่วงอิมิตัว ทั้งชนิด NMOS และ PMOS ดังวงจรถับสัญญาณในรูปที่ 3.8



รูปที่ 3.8 วงจรกลับสัญญาณแรงดัน (Voltage inverter) (a) ชนิด NMOS (b) ชนิด PMOS

พิจารณารูปที่ 3.8 (a) แรงดันเอาต์พุต  $V_o$  หาได้จาก

$$I_1 = I_2 \quad (3.7)$$

$$I_1 = \frac{K}{2} \left( \frac{W}{L} \right)_1 (V_{GS1} - V_{TH})^2 \quad (3.8)$$

$$I_2 = \frac{K}{2} \left( \frac{W}{L} \right)_2 (V_{GS2} - V_{TH})^2 \quad (3.9)$$

แทนสมการที่ 3.8 และ 3.9 ลงในสมการที่ 3.7 จะได้ว่า

$$\frac{K}{2} \left( \frac{W}{L} \right)_1 (V_{GS1} - V_{TH})^2 = \frac{K}{2} \left( \frac{W}{L} \right)_2 (V_{GS2} - V_{TH})^2 \quad (3.10)$$

แทนค่า  $V_{GS1} = V_{DD} - V_o$  และ  $V_{GS2} = V_{in} - V_{SS}$  ลงในสมการที่ 3.10

$$-V_o = \sqrt{\frac{(W/L)_2}{(W/L)_1}} (V_i - V_{SS} - V_{TH}) - V_{DD} + V_{TH}$$

ให้  $(W/L)_1 = (W/L)_2$  และ  $V_{DD} = -V_{SS}$  จะได้ว่า

$$V_o = -V_i \quad (3.11)$$

ในกรณีของ PMOS ในรูปที่ 3.8 (b) สามารถคำนวณหาค่า  $V_o$  ได้ดังนี้

$$I_1 = I_2 \quad (3.12)$$

$$I_1 = \frac{K}{2} \left( \frac{W}{L} \right)_1 (V_{GS1} - V_{TH})^2 \quad (3.13)$$

$$I_2 = \frac{K}{2} \left( \frac{W}{L} \right)_2 (V_{GS2} - V_{TH})^2 \quad (3.14)$$

แทนสมการที่ 3.13 และ 3.14 ลงในสมการที่ 3.12 จะได้ว่า

$$V_{GS1} - V_{TH} = \sqrt{\frac{(W/L)_2}{(W/L)_1}} (V_{GS2} - V_{TH}) \quad (3.15)$$

และจากรูปที่ 3.8 (b) เราได้ค่า  $V_{GS1} = V_i - V_{DD}$  และ  $V_{GS2} = V_{SS} - V_o$  แทนค่าลงในสมการที่ 3.15 เราจะได้

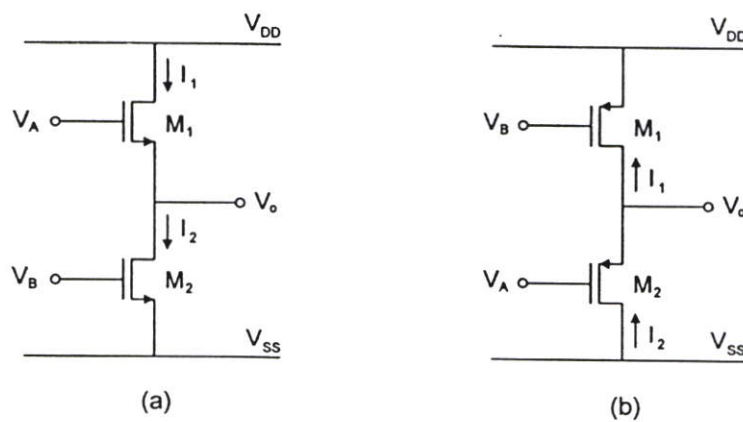
$$-V_o = \sqrt{\frac{(W/L)_1}{(W/L)_2}} (V_i - V_{DD} - V_{TH}) - V_{SS} + V_{TH}$$

ให้  $(W/L)_1 = (W/L)_2$  และ  $V_{DD} = -V_{SS}$  จะได้ว่า

$$V_o = -V_i \quad (3.16)$$

### 3.5 วงจรผลต่างแรงดัน

วงจรมผลต่างแรงดันนำมาใช้ในวิทยานิพนธ์ฉบับนี้เพื่อรักษาระดับแรงดันควบคุมของวงจรมที่สร้างขึ้น วงจรมนี้มีทั้งที่สร้างจากทรานซิสเตอร์ชนิด NMOS และ PMOS ดังแสดงในรูปที่ (3.9)



รูปที่ 3.9 วงจรมผลต่างแรงดัน (a) ชนิด NMOS (b) ชนิด PMOS

ทรานซิสเตอร์ทุกตัวทำงานในช่วงอิ่มตัว การคำนวณหาค่าแรงดันเอาต์พุตของวงจรมลต่างแรงดันก็เหมือนกับการหาค่าแรงดันเอาต์พุตของวงจรกลับสัญญาณแรงดัน (Voltage inverter) จากรูปที่ 3.9 (a) เราสามารถหาค่าแรงดันเอาต์พุต ( $V_o$ ) ของวงจรมลต่างแรงดันชนิด NMOS ได้จาก

$$I_1 = I_2 \quad (3.17)$$

และ

$$I_1 = \frac{K}{2} \left( \frac{W}{L} \right)_1 (V_{GS1} - V_{TH})^2$$

$$I_2 = \frac{K}{2} \left( \frac{W}{L} \right)_2 (V_{GS2} - V_{TH})^2$$

แทนค่า  $I_1$  และ  $I_2$  ลงในสมการที่ 3.17 จะได้เท่ากับ

$$\frac{K}{2} \left( \frac{W}{L} \right)_1 (V_{GS1} - V_{TH})^2 = \frac{K}{2} \left( \frac{W}{L} \right)_2 (V_{GS2} - V_{TH})^2$$

$$(V_{GS1} - V_{TH}) = \sqrt{\frac{(W/L)_2}{(W/L)_1}} (V_{GS2} - V_{TH}) \quad (3.18)$$

จากรูปที่ 3.9 (a) จะเห็นได้ว่า  $V_{GS1} = V_A - V_O$  และ  $V_{GS2} = V_B - V_{SS}$  แทนค่า  $V_{GS1}$  และ  $V_{GS2}$  ลงในสมการ (3.18) จะได้

$$V_A - V_O - V_{TH} = \sqrt{\frac{(W/L)_2}{(W/L)_1}} (V_B - V_{SS} - V_{TH})$$

ให้  $(W/L)_1 = (W/L)_2$  ดังนั้นแรงดันเอาต์พุตของวงจรมลต่างแรงดันชนิด NMOS จึงเท่ากับ

$$V_O = V_A - V_B + V_{SS}$$

จากรูปที่ 3.9 (b) เราสามารถหาค่าแรงดันเอาต์พุต ( $V_o$ ) ของวงจรมลต่างแรงดันชนิด PMOS ได้จาก

$$I_1 = I_2 \quad (3.19)$$

และ 
$$I_1 = \frac{K}{2} \left( \frac{W}{L} \right)_1 (V_{GS1} - V_{TH})^2$$

$$I_2 = \frac{K}{2} \left( \frac{W}{L} \right)_2 (V_{GS2} - V_{TH})^2$$

แทนค่า  $I_1$  และ  $I_2$  ลงในสมการที่ 3.19 จะได้เท่ากับ

$$\frac{K}{2} \left( \frac{W}{L} \right)_1 (V_{GS1} - V_{TH})^2 = \frac{K}{2} \left( \frac{W}{L} \right)_2 (V_{GS2} - V_{TH})^2$$

$$(V_{GS1} - V_{TH}) = \sqrt{\frac{(W/L)_2}{(W/L)_1}} (V_{GS2} - V_{TH}) \quad (3.20)$$

จากรูปที่ 3.9 (b) จะเห็นได้ว่า  $V_{GS1} = V_B - V_{DD}$  และ  $V_{GS2} = V_A - V_O$  แทนค่า  $V_{GS1}$  และ  $V_{GS2}$  ลงในสมการ (3.20) จะได้

$$V_B - V_{DD} - V_{TH} = \sqrt{\frac{(W/L)_2}{(W/L)_1}} (V_A - V_O - V_{TH})$$

ให้  $(W/L)_1 = (W/L)_2$  ดังนั้นแรงดันเอาต์พุตของวงจรผลต่างแรงดันชนิด PMOS จึงเท่ากับ

$$V_O = V_A - V_B + V_{DD}$$

### 3.6 วงจรควบคุมความต้านทานชนิดต่อลงดิน ที่มีการชดเชยผลของอุณหภูมิ

ในการออกแบบวงจรความต้านทานแบบปรับค่าได้ด้วยแรงดัน ที่มีใช้กันอยู่ในวงจรรวม นั้น ส่วนมากจะจัดแบ่งเป็น 2 กลุ่มใหญ่ๆ คือ

3.6.1 วงจรควบคุมความต้านทานแบบลอยตัว (Voltage-Controlled Floating Resistance Circuit)

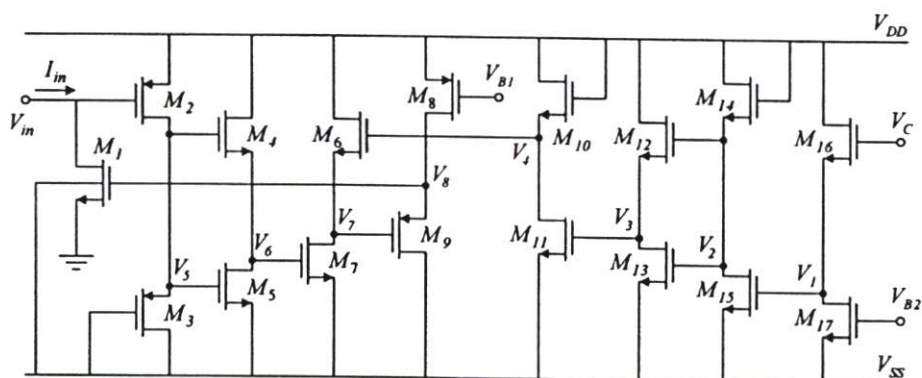
3.6.2 วงจรควบคุมความต้านทานแบบต่อลงดิน (Voltage-Controlled Grounded Resistance Circuit)

นอกจากนี้ยังมีงานวิจัยบางงานที่ใช้มอสเฟตที่ทำงานในช่วงอิ่มตัว (Saturation Region) มาทำเป็นวงจรความต้านทานแบบปรับค่าได้ด้วยแรงดัน แต่โดยส่วนมากงานวิจัยที่ออกมามักจะใช้ขั้วน โห้มีคมาทำเป็นวงจรความต้านทานแบบปรับค่าได้ด้วยแรงดัน

คังที่ได้กล่าวถึงแล้วในหัวข้อที่ 3.2 ถึงการนำมอสทรานซิสเตอร์ที่ทำงานในช่วงโห้มีคมาปรับใช้เป็นตัวต้านทาน และปัญหาความเป็นเชิงเส้นจากเทอมของ  $V_{DS}/2$  และ ผลกระทบของวงจรอันเนื่องมาจากการเปลี่ยนแปลงของอุณหภูมิในเทอมของ  $V_{TH}$  คังที่ปรากฏในสมการที่ 3.1 เพื่อทำให้วงจรความต้านทานที่สร้างขึ้นมามีความเป็นเชิงเส้นสูง และลดผลกระทบจากอุณหภูมิ จึงจำเป็นต้องกำจัดค่า  $V_{DS}/2$  และ  $V_{TH}$  ที่ปะปนอยู่ให้หายไป โดยวิธีการที่กล่าวมาแล้วในหัวข้อที่ 3.2.2 ที่เราต้องไปอ้สขาเกทรานซิสเตอร์ที่เป็นตัวต้านทานให้เท่ากับสมการที่ 3.2 คือ

$$V_G = \frac{V_D + V_C}{2} + V_{TH}$$

ในการที่จะให้แรงดันที่ขาเกหมีค่าตรงตามที่ต้องการ จึงได้ออกแบบวงจรควบคุมความต้านทานชนิดต่อลงดิน โดยวงจรที่สมบูรณ์ใช้ทรานซิสเตอร์ชนิด NMOS 12 ตัว และทรานซิสเตอร์ชนิด PMOS อีก 4 ตัว เป็นวงจรสำหรับสร้างสัญญาณ  $V_G$  ที่ต้องการ เพื่อนำไปไบอัสให้กับทรานซิสเตอร์ตัวสุดท้าย ซึ่งทำหน้าที่เป็นตัวต้านทาน รูปวงจรที่ได้แสดงดังรูปที่ 3.10



รูปที่ 3.10 วงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส ที่มีการชดเชยผลของอุณหภูมิ

วงจรในรูปที่ 3.10 นี้ ประกอบด้วยวงจรรย่อยต่างๆ ที่ได้กล่าวไปแล้วในหัวข้อข้างต้น ดังนี้ คือ วงจรลดทอนแรงดัน วงจรผลต่างแรงดัน และวงจรถับสัญญาณแรงดัน โดยเริ่มพิจารณาที่ทรานซิสเตอร์  $M_{16}$  และ  $M_{17}$  จะเห็นได้ว่า ทรานซิสเตอร์ทั้ง 2 ตัวนี้ทำหน้าที่เป็นวงจรผลต่างแรงดัน ซึ่งมีสัญญาณอินพุต คือ  $V_C$  และ  $V_{B1}$  สัญญาณเอาต์พุตที่จุด  $V_1$  จะเท่ากับ

$$V_1 = V_C - V_{B2} + V_{SS} \quad (3.21)$$

แรงดัน  $V_1$  นั้นถูกส่งต่อไปยังทรานซิสเตอร์  $M_{15}$  ที่ต่อเชื่อมอยู่กับทรานซิสเตอร์  $M_{14}$  ซึ่งทรานซิสเตอร์ทั้ง 2 ตัวนี้คือวงจรถกลับสัญญาณแรงดัน ดังนั้นสัญญาณเอาต์พุตของวงจรถกลับสัญญาณแรงดันที่จุด  $V_2$  จะได้

$$V_2 = -V_1 \quad (3.22)$$

แทนค่า  $V_1$  จากสมการที่ 3.21 ลงในสมการที่ 3.22 จะได้

$$V_2 = -(V_C - V_{B2} + V_{SS}) \quad (3.23)$$

สัญญาณ  $V_2$  ถูกป้อนเข้าขาเกตของทรานซิสเตอร์  $M_{12}$  และ  $M_{13}$  ซึ่งทำหน้าที่เป็นวงจรถลตอนแรงดัน ทำหน้าที่ลดระดับแรงดันของสัญญาณ ดังนั้น สัญญาณ  $V_2$  ที่ผ่านวงจรถลตอนแล้วจะได้เท่ากับ

$$V_3 = \left( \frac{V_2 - V_{TH} + V_{SS}}{2} \right) \quad (3.24)$$

แทนค่า  $V_2$  ในสมการที่ 3.23 ลงในสมการที่ 3.24 จะได้ว่า

$$V_3 = \left( \frac{-V_C + V_{B2} - V_{SS} - V_{TH} + V_{SS}}{2} \right)$$

$$V_3 = \frac{-V_C + V_{B2} - V_{TH}}{2} \quad (3.25)$$

สัญญาณ  $V_3$  ที่ได้ จะถูกป้อนเข้าสู่วงจรถลตอนสัญญาณแรงดันอีกครั้ง ซึ่งกระทำโดยทรานซิสเตอร์  $M_{10}$  และ  $M_{11}$  ซึ่งจะทำให้สัญญาณที่  $V_4$  เท่ากับ

$$V_4 = -V_3 \quad (3.26)$$

แทนค่า  $V_3$  จากสมการที่ 3.25 ลงในสมการที่ 3.26 จะได้ว่า

$$V_4 = \frac{V_C - V_{B2} + V_{TH}}{2} \quad (3.27)$$

กลับมาพิจารณาทางทรานซิสเตอร์  $M_2$  และ  $M_3$  สัญญาณ  $V_{in}$  ถูกป้อนเข้ามาให้ทรานซิสเตอร์  $M_2$  และ  $M_3$  ซึ่งทำหน้าที่เป็นวงจรถกลับสัญญาณแรงดัน เมื่อผ่านวงจรมีแล้ว สัญญาณ  $V_5$  จะมีค่าเท่ากับ

$$V_5 = -V_{in}$$

จากรูปที่ 3.10 จะเห็นว่า  $V_{in} = V_D$  ของทรานซิสเตอร์  $M_1$  ที่ทำหน้าที่เป็นวงจรรวมด้านทาน ดังนั้นสัญญาณ  $V_5$  จะมีค่าเท่ากับ

$$V_5 = -V_D$$

สัญญาณ  $V_5$  จะถูกส่งต่อไปยังทรานซิสเตอร์  $M_4$  และ  $M_5$  ซึ่งทำหน้าที่เป็นวงจรถอดอนแรงดัน สัญญาณ  $V_5$  ที่ผ่านวงจรมีแล้วคือ  $V_6$  ซึ่งมีค่าเท่ากับ

$$V_6 = \left( \frac{-V_D - V_{TH} + V_{SS}}{2} \right)$$

สัญญาณ  $V_6$  ถูกป้อนให้กับขาเกตของทรานซิสเตอร์  $M_7$  และสัญญาณ  $V_4$  จากสมการที่ 3.27 ก็ถูกป้อนให้กับขาเกตของทรานซิสเตอร์  $M_6$  โดยทรานซิสเตอร์  $M_7$  และ  $M_6$  ทำหน้าที่เป็นวงจรถผลต่างแรงดัน ทำให้สัญญาณ  $V_7$  เท่ากับ

$$V_7 = V_4 - V_6 + V_{SS} \quad (3.28)$$

แทนค่า  $V_4$  และ  $V_6$  ลงในสมการที่ 3.28 ดังนั้นจะได้  $V_7$  เท่ากับ

$$V_7 = \left( \frac{V_C - V_{B2} + V_{TH}}{2} \right) + \left( \frac{V_D + V_{TH} - V_{SS}}{2} \right) + V_{SS}$$

ทรานซิสเตอร์  $M_8$  และ  $M_9$  เป็นวงจรมลต่างแรงดัน ทำหน้าที่ปรับระดับแรงดันสัญญาณ เพื่อนำไปไบอัสให้กับขาเกทของทรานซิสเตอร์  $M_1$  แรงดันที่ขาเกทของทรานซิสเตอร์  $M_1$  หรือแรงดันที่จุด  $V_8$  เป็นไปตามสมการ

$$V_{G1} = V_8 = V_7 - V_{B1} + V_{DD} \quad (3.29)$$

แทนค่า  $V_7$  ลงในสมการที่ 3.29 จะได้

$$V_{G1} = \frac{V_C + V_D}{2} + V_{TH} + \frac{V_{DD}}{2} - \frac{V_{B2}}{2} - V_{B1}$$

ถ้ากำหนดให้แรงดันไบอัส  $V_{B1} = 3V$  และ  $V_{B2} = -2.5V$  และ  $V_{DD} = 5V$  ฉะนั้นแรงดันที่ขาเกทของทรานซิสเตอร์  $M_1$  จะได้เท่ากับ

$$V_{G1} = \frac{V_C + V_D}{2} + V_{TH} + 0.75 \quad (3.30)$$

ค่าความต้านทานของวงจรมลต่างตามสมการที่ 3.1 เมื่อแทนค่าแรงดัน  $V_G$  ในสมการที่ 3.1 ด้วย  $V_{G1}$  จากสมการที่ 3.30 เราจะได้ค่าความต้านทานเสมือน  $R_{eq}$  ซึ่งเป็นความต้านทานที่มีความเป็นเชิงเส้น ไม่มีผลกระทบจากอุณหภูมิในเทอมของ Threshold Voltage ดังสมการที่ 3.31

$$R_{eq} = \frac{V_{in}}{I_{in}} = \frac{2}{k_N (V_C + 1.5)} \quad (3.31)$$

$$\text{โดยที่ } k_N = \mu_0 C_{OX} \left( \frac{W}{L} \right)$$

### 3.7 กล่าวสรุป

จากทฤษฎีของมอสเฟตในย่านโอห์มิก (Ohmic Region) สามารถนำมาสร้างเป็นวงจรมลต่างความต้านทานแบบต่อลงดินได้ โดยใช้วงจรที่ออกแบบเพิ่มเติมเข้ามาในการกำจัดเทอมที่ไม่เป็นเชิงเส้น และลดผลกระทบที่เกิดขึ้นจากการเปลี่ยนแปลงอุณหภูมิ ในบทนี้ได้อธิบายการทำงานของวงจรมลต่างโดยละเอียด วงจรที่เพิ่มเข้ามานั้นก็มีวงจรมลต่างแรงดัน วงจรมลต่างแรงดัน และวงจรมลต่างสัญญาณแรงดัน

## บทที่ 4

### การทดลองและผลการทดลอง

#### 4.1 บทนำ

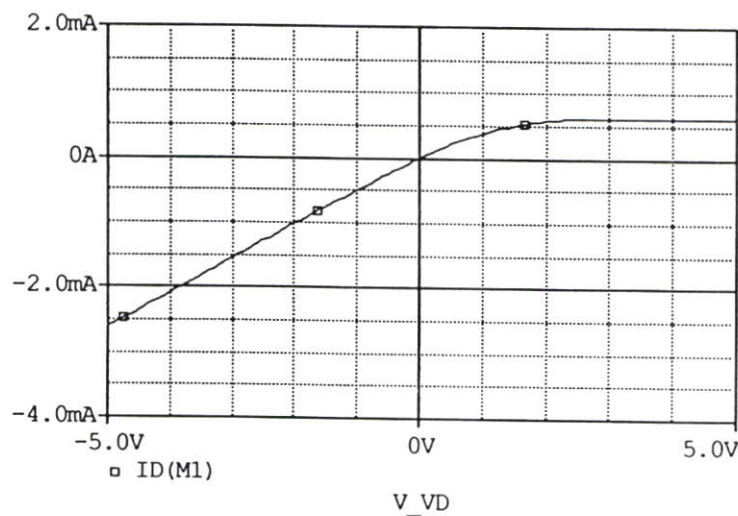
ในบทที่ 3 ที่ผ่านมา ได้กล่าวถึงหลักการทำงานและการวิเคราะห์วงจรต่างๆ ไปแล้ว ในบทนี้จะแสดงผลการจำลองแบบการทำงานของวงจรต่างๆ ว่า ให้ผลตรงตามที่วิเคราะห์ไว้ในบทที่ 3 หรือไม่ โดยจะแสดงผลการทดลองของแต่ละวงจร จากการจำลองแบบการทำงานด้วยโปรแกรม PSpice รวมถึงวิเคราะห์ผลการทดลองที่ได้ เปรียบเทียบกับทฤษฎี และสมการที่ได้วิเคราะห์ไว้

#### 4.2 วงจรโอห์มิกทรานซิสเตอร์

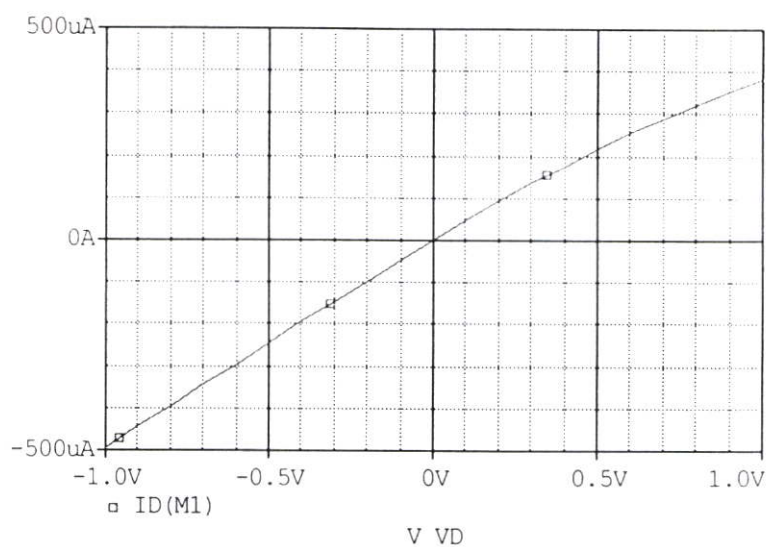
มอสทรานซิสเตอร์ซึ่งอยู่ในช่วงโอห์มิก หรือช่วงเชิงเส้นนั้น สามารถนำมาประยุกต์สร้างเป็นวงจรความต้านทานได้ ดังรูปที่ 3.2 โดยค่าความต้านทานนั้นมีค่าเท่ากับ

$$R_{eq} = \frac{V_D}{I_D}$$

รูปที่ 4.1 นั้น เป็นผลการจำลองแบบการทำงานของวงจรรูปที่ 3.2 ซึ่งแสดงความสัมพันธ์ระหว่าง  $V_D$  และ  $I_D$  โดยให้ค่า  $V_G$  เท่ากับ 4 โวลต์ ใช้อัตราส่วน  $W/L$  เท่ากับ  $10\mu\text{m}/10\mu\text{m}$  และ  $V_{SS} = -5V$  ส่วนในรูปที่ 4.2 นั้น แสดงผลการจำลองแบบการทำงานของวงจรในช่วง -1 โวลต์ ถึง 1 โวลต์

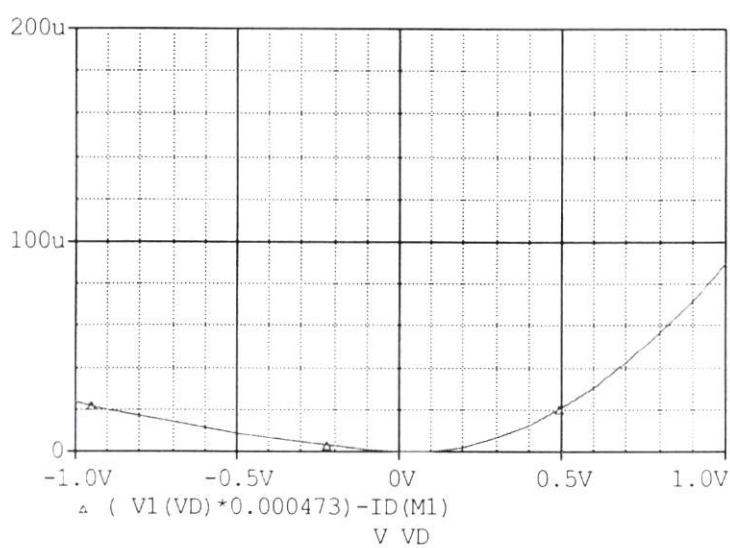


รูปที่ 4.1 แสดงคุณสมบัติทางกระแสตรงของวงจรโอห์มิก ทรานซิสเตอร์



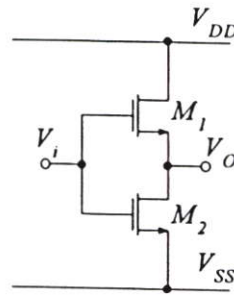
รูปที่ 4.2 แสดงคุณสมบัติทางกระแสตรงของวงจรถานซิสเตอร์ในช่วง  $V_D = -1$  โวลต์ ถึง 1 โวลต์

จากรูปที่ 4.2 นั้น เราสามารถทำการหาค่า Linear error โดยสร้างเส้นตรงมาตรฐานที่มีความชันใกล้เคียงกับเส้นกราฟพาวางไว้ติดกับเส้นกราฟ แล้วทำการหาผลต่างระหว่างเส้นกราฟทั้ง 2 เราจะได้ค่า Linear error ดังรูปที่ 4.3



รูปที่ 4.3 แสดงค่า Linear error ที่เกิดขึ้นในรูปที่ 4.2

### 4.3 วงจรลดทอนแรงดัน

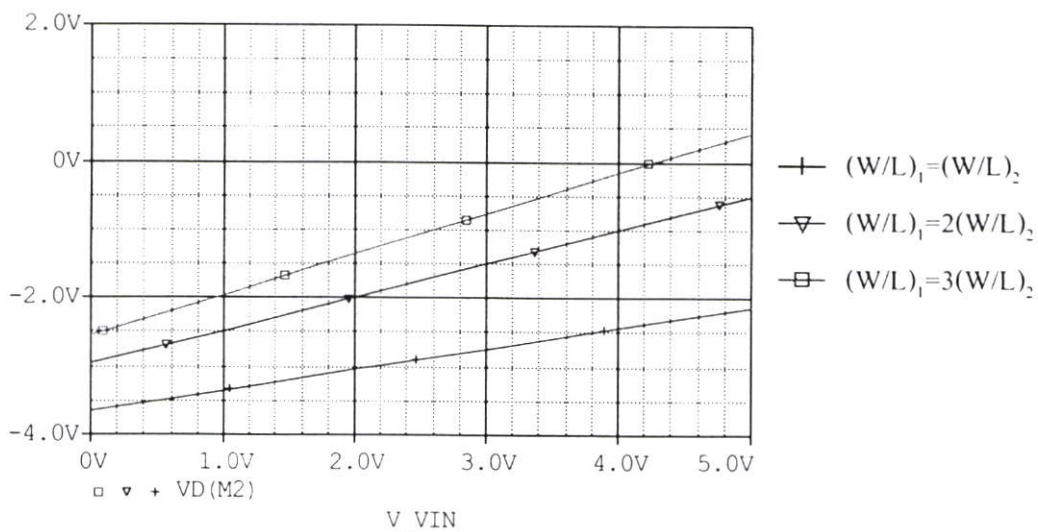


รูปที่ 4.4 วงจรลดทอนแรงดันที่สร้างจาก NMOS

จากรูปที่ 4.4 ถ้าสมมุติให้ทรานซิสเตอร์  $M_1$  ทำงานในช่วงอิ่มตัว ทรานซิสเตอร์  $M_2$  ทำงานในช่วงโอห์มิก แรงดันเอาต์พุตของวงจรลดทอนแรงดันสามารถเขียนได้ดังนี้

$$V_O = \left[ 1 - \sqrt{\frac{(W/L)_2}{(W/L)_1 + (W/L)_2}} \right] (V_i - V_{TH} - V_{SS}) + V_{SS} \quad (4.1)$$

จากสมการจะเห็นได้ว่าการเปลี่ยนอัตราส่วน  $(W/L)_1$  และ  $(W/L)_2$  สามารถทำให้ระดับสัญญาณเอาต์พุตเปลี่ยนแปลง ในการทดลองนี้จึงได้ทำการทดลองโดยให้เปลี่ยน อัตราส่วน  $(W/L)_1 / (W/L)_2$  เป็นค่าต่างๆ วงจรลดทอนแรงดันนี้ใช้ไฟเลี้ยง  $\pm 5V$  รูปที่ 4.5 แสดงผลการจำลองแบบการทำงาน เมื่ออัตราส่วน  $(W/L)_1 = (W/L)_2$  รูปที่ 4.6 แสดงผลการจำลองแบบการทำงาน เมื่ออัตราส่วน  $(W/L)_1 = 2(W/L)_2$  รูปที่ 4.7 แสดงผลการจำลองแบบการทำงาน เมื่ออัตราส่วน  $(W/L)_1 = 3(W/L)_2$



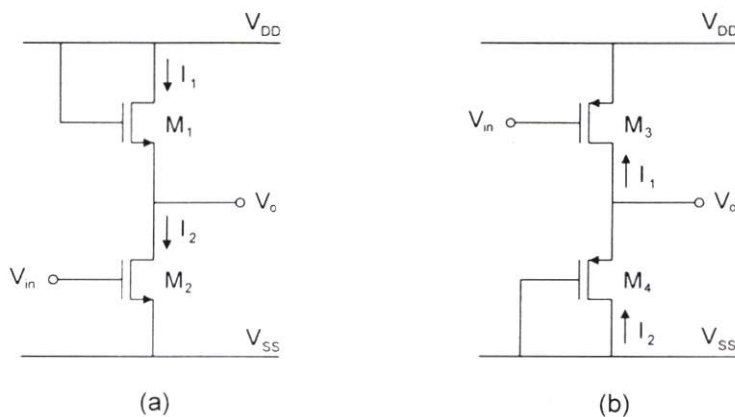
รูปที่ 4.5 แรงดันเอาต์พุตของวงจรถดทอนแรงดัน เมื่ออัตราส่วน  $(W/L)_1 : (W/L)_2$  มีค่าเท่ากับ 1 เท่า 2 เท่า และ 3 เท่า

จากสมการที่ 4.1 ถ้าให้  $(W/L)_1 = 3(W/L)_2$  สมการที่ 4.1 จะมีค่าเท่ากับ

$$V_O = \left( \frac{V_i - V_{TH} + V_{SS}}{2} \right)$$

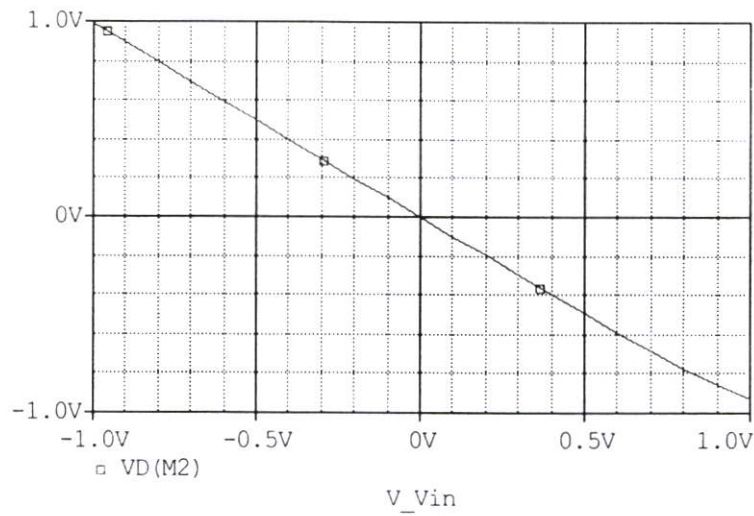
และจากรูปที่ 4.7 เป็นรูปแสดงผลการจำลองแบบการทำงานที่  $(W/L)_1 = 3(W/L)_2$  จะเห็นได้ว่า ผลการจำลองแบบการทำงานที่ได้นั้น สอดคล้องกับสมการที่ได้วิเคราะห์ไว้แล้ว

#### 4.4 วงจรกลับสัญญาณแรงดัน

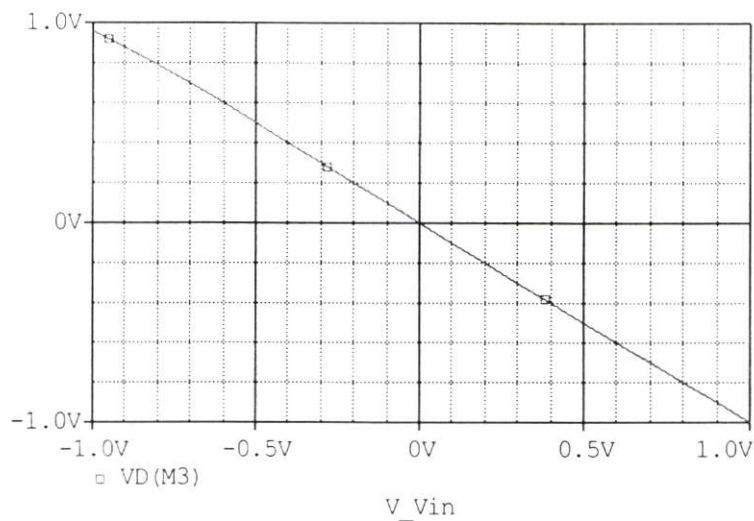


รูปที่ 4.6 วงจรกลับแรงดันสัญญาณ (Voltage inverter) (a) ชนิด NMOS (b) ชนิด PMOS

วงจรถกลับแรงดันสัญญาณที่นำมาทำการทดลอง แสดงไว้ดังรูปที่ 4.8 ทรานซิสเตอร์ทุกตัวทำงานในช่วงอิมิตัว ใช้แหล่งจ่ายไฟ  $\pm 5V$  อัตราส่วน ( $W/L$ ) ของทรานซิสเตอร์ทุกตัวเท่ากับ  $50\mu\text{m}/10\mu\text{m}$  ผลการทดลองโดยการจำลองแบบการทำงานของวงจรถกลับแรงดันสัญญาณชนิด NMOS ในรูปที่ 4.8 แสดงดังรูปที่ 4.9 ส่วนในรูปที่ 4.10 แสดงผลการจำลองแบบการทำงานของวงจรถกลับแรงดันสัญญาณชนิด PMOS



รูปที่ 4.7 สัญญาณเอาต์พุตของวงจรถกลับแรงดันสัญญาณ ชนิด NMOS

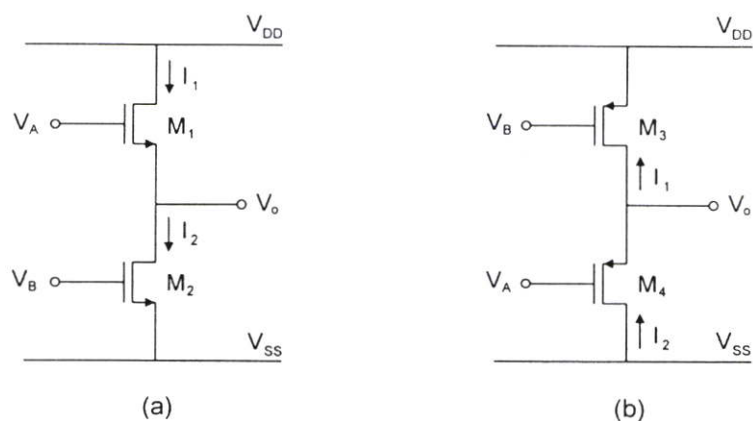


รูปที่ 4.8 สัญญาณเอาต์พุตของวงจรถกลับแรงดันสัญญาณ ชนิด PMOS

## 4.5 วงจรผลต่างแรงดัน

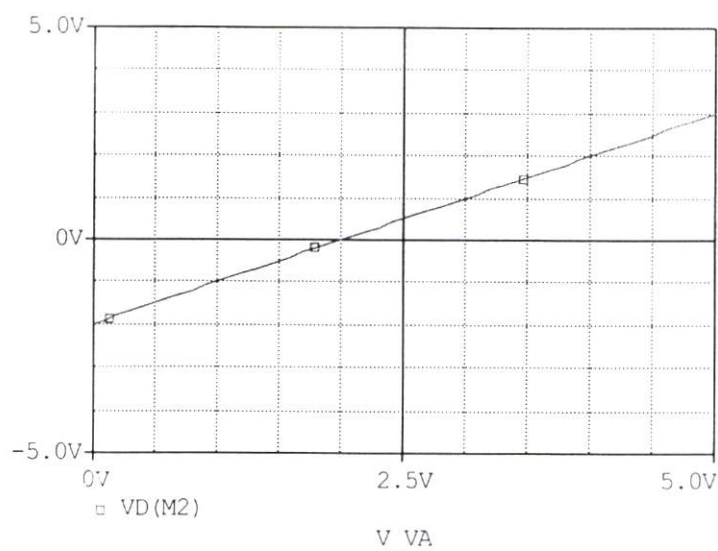
วงจรผลต่างแรงดันนำมาใช้ในวิทยานิพนธ์ฉบับนี้เพื่อรักษาระดับแรงดันควมคุมของวงจรที่สร้างขึ้น วงจรนี้มีทั้งที่สร้างจากทรานซิสเตอร์ชนิด NMOS และ PMOS ดังแสดงในรูปที่ 4.11

ทรานซิสเตอร์ทุกตัวทำงานในช่วงอิมิตัว



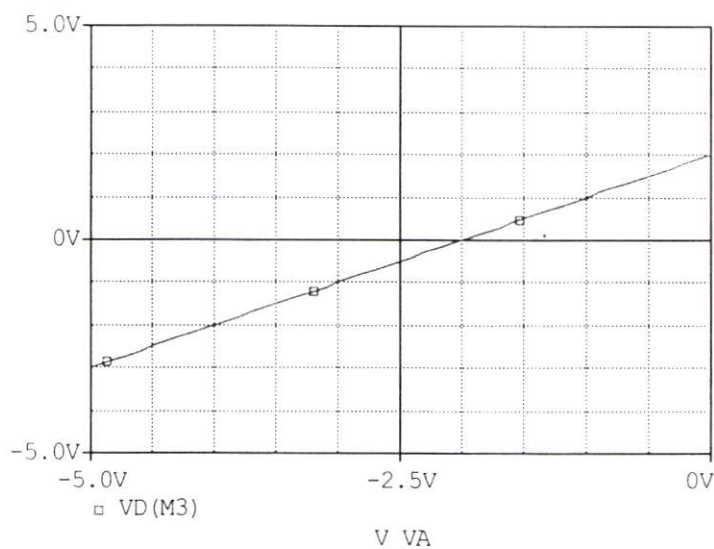
รูปที่ 4.9 วงจรผลต่างแรงดัน (a) ชนิด NMOS (b) ชนิด PMOS

ในการจำลองแบบการทำงานของวงจรในรูปที่ 4.11 (a) นี้ ใช้แหล่งจ่ายไฟ  $\pm 5$  โวลต์ อัตราส่วน ( $W/L$ ) ของทรานซิสเตอร์ทุกตัวเท่ากับ  $50\mu\text{m}/10\mu\text{m}$  ใช้ค่า  $V_B$  คงที่เท่ากับ 3 โวลต์ ผลจากการจำลองแบบการทำงานของวงจรผลต่างแรงดันในรูปที่ 4.11 (a) แสดงดังรูปที่ 4.12



รูปที่ 4.10 สัญญาณเอาต์พุตของวงจรผลต่างแรงดันชนิด NMOS เมื่อ  $V_B = 3V$

ในการจำลองแบบการทำงานของวงจรผลต่างแรงดันชนิด PMOS ในรูปที่ 4.11 (b) นี้ ใช้แหล่งจ่ายไฟ  $\pm 5$  โวลต์ อัตราส่วน ( $W/L$ ) ของทรานซิสเตอร์ทุกตัวเท่ากับ  $50\mu\text{m}/10\mu\text{m}$  ใช้ค่า  $V_{th}$  คงที่เท่ากับ 3 โวลต์ ผลจากการจำลองแบบการทำงานของวงจรผลต่างแรงดันในรูปที่ 4.11 (b) แสดงดังรูปที่ 4.13



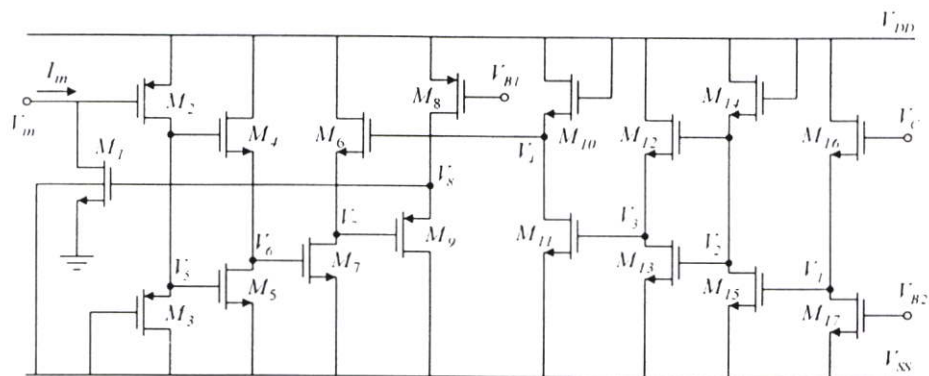
รูปที่ 4.11 สัญญาณเอาต์พุตของวงจรผลต่างแรงดันชนิด PMOS เมื่อ  $V_B = 3V$

#### 4.6 วงจรควบคุมความต้านทานชนิดต่อลงดิน ที่มีการชดเชยผลของอุณหภูมิ

ดังที่ได้กล่าวถึงแล้วในหัวข้อที่ 3.2 ถึงการนำมอสทรานซิสเตอร์ที่ทำงานในช่วงโอห์มิกมาปรับใช้เป็นตัวต้านทาน และปัญหาความเป็นเชิงเส้นจากเทอมของ  $V_{DS}/2$  และ ผลกระทบของวงจรอันเนื่องมาจากการเปลี่ยนแปลงของอุณหภูมิในเทอมของ  $V_{TH}$  ดังที่ปรากฏในสมการที่ 3.1 เพื่อทำให้วงจรความต้านทานที่สร้างขึ้นมีความเป็นเชิงเส้นสูง และลดผลกระทบจากอุณหภูมิ จึงจำเป็นต้องกำจัดค่า  $V_{DS}/2$  และ  $V_{TH}$  ที่ปะปนอยู่ให้หายไป โดยวิธีการที่กล่าวมาแล้วในหัวข้อที่ 3.2.2 ที่เราต้องไปอัสซายเททรานซิสเตอร์ที่เป็นตัวต้านทานให้เท่ากับสมการที่ 3.2 คือ

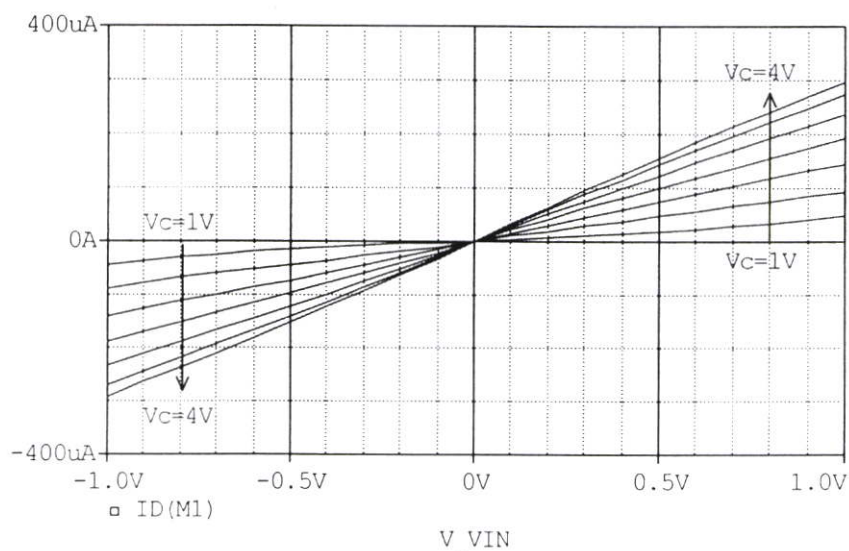
$$V_G = \frac{V_D + V_C}{2} + V_{TH}$$

ในการที่จะให้แรงดันที่ขาเกตมีค่าตรงตามที่ต้องการ จึงได้ออกแบบวงจรควบคุมความต้านทานชนิดต่อลงดิน โดยวงจรที่สมบูรณ์ใช้ทรานซิสเตอร์ชนิด NMOS 12 ตัว และทรานซิสเตอร์ชนิด PMOS อีก 4 ตัว เป็นวงจรสำหรับสร้างสัญญาณ  $V_G$  ที่ต้องการ เพื่อนำไปอัสซายให้กับทรานซิสเตอร์ตัวสุดท้าย ซึ่งทำหน้าที่เป็นตัวต้านทาน ดังรูปที่ 4.14



รูปที่ 4.12 วงจรควบคุมความดันทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส ที่มีการชดเชยผลของอุณหภูมิ

ในการทำการจำลองแบบการทำงานของวงจรควบคุมความดันทานชนิดต่อลงดิน ที่มีการชดเชยผลของอุณหภูมิ ในรูปที่ 4.14 ใช้แหล่งจ่ายไฟ  $\pm 5$  โวลต์ อัตราส่วน ( $W/L$ ) ของทรานซิสเตอร์  $M_1$  เท่ากับ  $10\mu\text{m}/10\mu\text{m}$  ทรานซิสเตอร์ที่เหลือใช้อัตราส่วน ( $W/L$ ) เท่ากับ  $50\mu\text{m}/10\mu\text{m}$  ยกเว้น วงจรลดทอนแรงดันที่ใช้ทรานซิสเตอร์  $M_4$   $M_5$  และ  $M_{12}$   $M_{13}$  จะใช้อัตราส่วน ( $W/L$ ) เท่ากับ  $75\mu\text{m}/10\mu\text{m}$  และ  $25\mu\text{m}/10\mu\text{m}$  ตามลำดับ การจำลองแบบการทำงานเพื่อหาค่าความสัมพันธ์ทางกระแสตรงระหว่าง  $V_m$  และ  $I_D$  ได้ดังรูปที่ 4.15

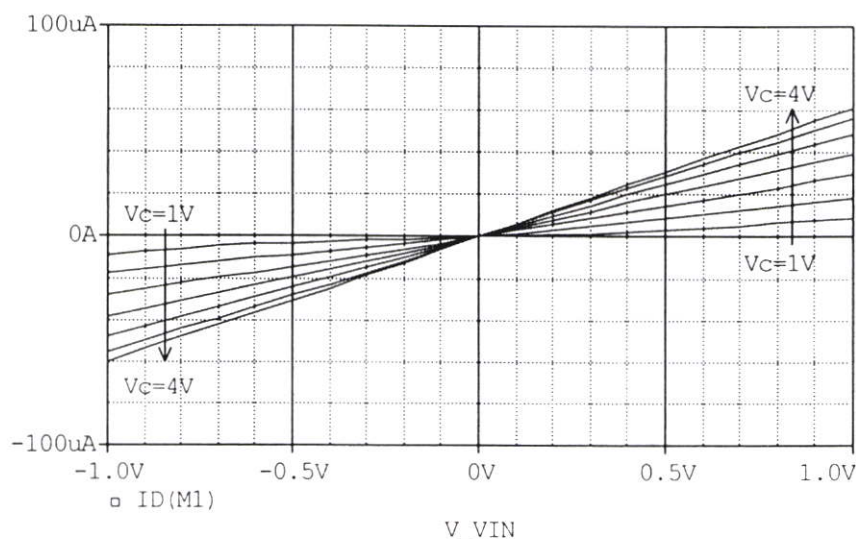


รูปที่ 4.13 ค่าความสัมพันธ์ทางกระแสตรงระหว่าง  $V_m$  และ  $I_D$

และเมื่อเปลี่ยนอัตราส่วน ( $W/L$ ) ของทรานซิสเตอร์  $M_1$  เป็น  $10\mu\text{m}/50\mu\text{m}$  และทำการจำลองแบบการทำงานของวงจรใหม่อีกครั้ง ดังรูปที่ 4.16 จะเห็นได้ว่า ค่าความชันของเส้นกราฟ แสดงความสัมพันธ์ระหว่าง  $V_m$  และ  $I_D$  ลดลง และจากสมการแสดงความสัมพันธ์

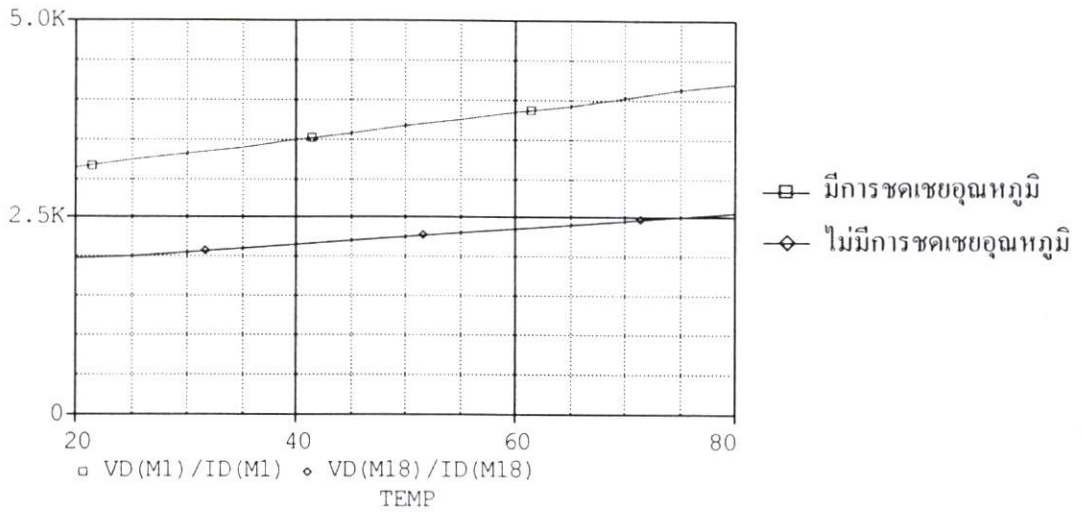
$$R_{cq} = \frac{V_m}{I_D}$$

ชี้ให้เห็นว่า การที่ความชันของเส้นกราฟลดลง ก็หมายถึงว่า ความต้านทาน  $R_{cq}$  นั้นเพิ่มมากขึ้น

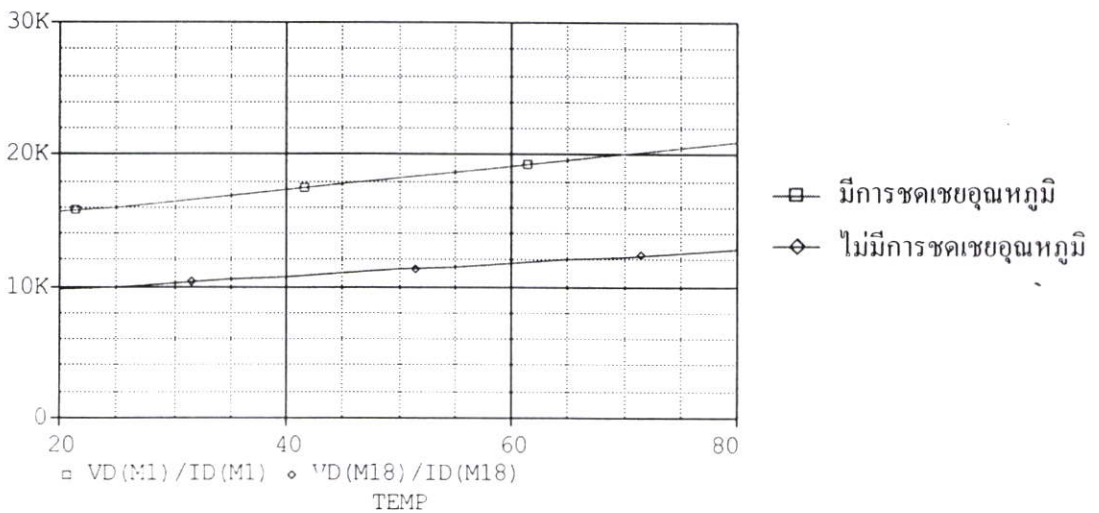


รูปที่ 4.14 ค่าความสัมพันธ์ทางกระแสระหว่าง  $V_m$  และ  $I_D$  เมื่อ อัตราส่วน ( $W/L$ ) ของ ทรานซิสเตอร์  $M_1$  เป็น  $10\mu\text{m}/50\mu\text{m}$

วงจรควบคุมความต้านทานชนิดต่อลงดิน ที่ออกแบบขึ้นมาี้ ได้มีการชดเชยผลของ อุณหภูมิไว้ด้วย รูปที่ 4.17 และรูปที่ 4.18 นี้ เป็นรูปแสดงผลของการจำลองแบบการทำงานของ วงจรควบคุมความต้านทาน โดยวัดค่าความต้านทานที่อุณหภูมิต่างๆ เปรียบเทียบกันระหว่าง วงจร โอห์มิกทรานซิสเตอร์ที่ไม่มีการชดเชยผลของอุณหภูมิกับวงจรควบคุมความต้านทานชนิดต่อลงดิน ที่มีการชดเชยผลของอุณหภูมิ รูปที่ 4.17 นั้น ใช้อัตราส่วน ( $W/L$ ) ของ ทรานซิสเตอร์  $M_1$  เป็น  $10\mu\text{m}/10\mu\text{m}$  ส่วนรูปที่ 4.18 นั้น ใช้อัตราส่วน ( $W/L$ ) ของทรานซิสเตอร์  $M_1$  เป็น  $10\mu\text{m}/50\mu\text{m}$

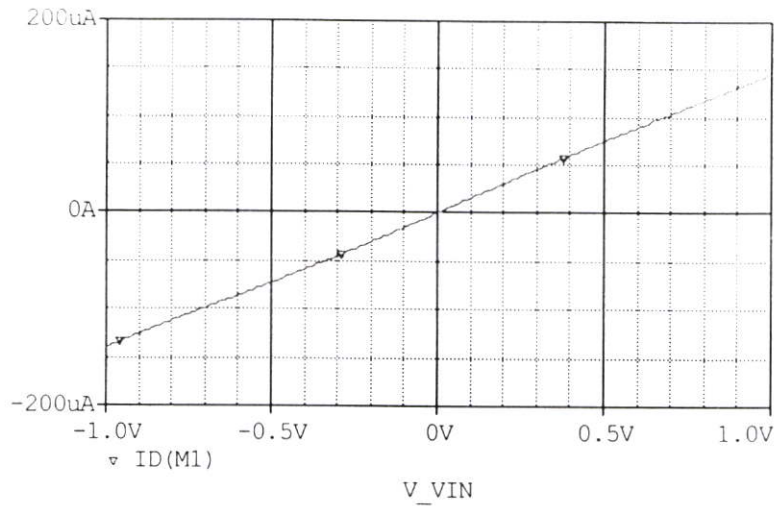


รูปที่ 4.15 ค่าความต้านทานของวงจรรวมความต้านทาน ที่อุณหภูมิต่างๆ เมื่อ  $(W/L)$  ของทรานซิสเตอร์  $M_1$  เป็น  $10\mu\text{m}/10\mu\text{m}$

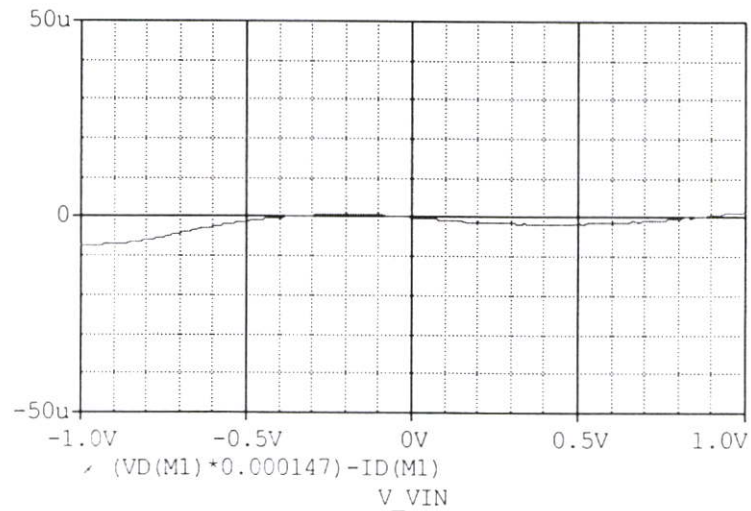


รูปที่ 4.16 ค่าความต้านทานของวงจรรวมความต้านทาน ที่อุณหภูมิต่างๆ เมื่อ  $(W/L)$  ของทรานซิสเตอร์  $M_1$  เป็น  $10\mu\text{m}/50\mu\text{m}$

การวัดค่าความเป็นเชิงเส้นของวงจรร ทำได้โดยหาค่า Linear error ของเส้นกราฟความสัมพันธ์ทางกระแสตรงระหว่าง  $V_m$  และ  $I_D$  ในรูปที่ 4.15 โดยในที่นี้จะทำการวัดค่า Linear error ของกราฟ 2 กราฟด้วยกัน คือ เส้นกราฟที่  $V_C = 2$  โวลต์ และ  $V_C = 4$  โวลต์ กราฟความสัมพันธ์ทางกระแสตรงระหว่าง  $V_m$  และ  $I_D$  ที่  $V_C = 2$  โวลต์ แสดงดังรูปที่ 4.19 การหาค่า Linear error ของกราฟในรูปที่ 4.19 ทำได้โดย สร้างเส้นตรงมาตรฐานที่มีความชันใกล้เคียงกับเส้นกราฟ  $V_C = 2$  โวลต์ และทำการหาผลต่างระหว่างเส้นกราฟทั้ง 2 เราจะได้ค่า Linear error ของเส้นกราฟ  $V_C = 2$  โวลต์ ดังรูปที่ 4.20

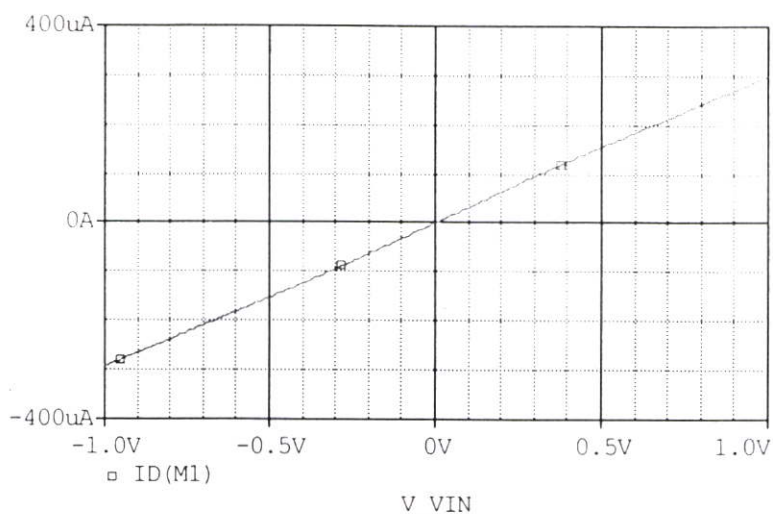


รูปที่ 4.17 กราฟความสัมพันธ์ทางกระแสตรงระหว่าง  $V_m$  และ  $I_D$  ที่  $V_C = 2$  โวลต์

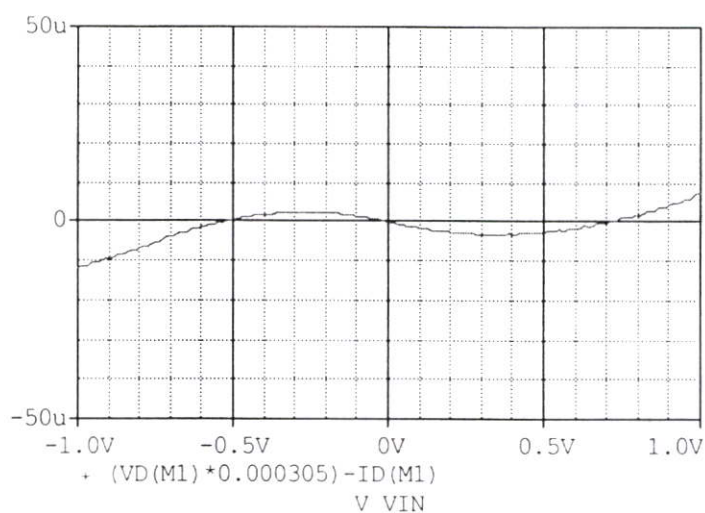


รูปที่ 4.18 แสดงค่า Linear error ที่เกิดขึ้นกับเส้นกราฟ  $V_C = 2$  โวลต์

กราฟความสัมพันธ์ทางกระแสตรงระหว่าง  $V_m$  และ  $I_D$  ที่  $V_C = 4$  โวลต์ แสดงดังรูปที่ 4.21 การหาค่า Linear error ของกราฟในรูปที่ 4.21 ทำได้โดย สร้างเส้นตรงมาตรฐานที่มีความชันใกล้เคียงกับเส้นกราฟ  $V_C = 4$  โวลต์ และทำการหาผลต่างระหว่างเส้นกราฟทั้ง 2 เราจะได้ค่า Linear error ของเส้นกราฟ  $V_C = 4$  โวลต์ ดังรูปที่ 4.22



รูปที่ 4.19 กราฟความสัมพันธ์ทางกระแสตรงระหว่าง  $V_m$  และ  $I_D$  ที่  $V_C = 4$  โวลต์

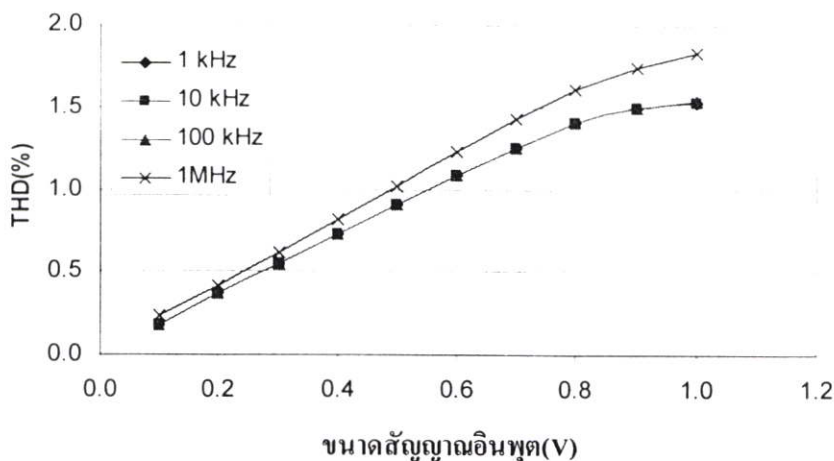


รูปที่ 4.20 แสดงค่า Linear error ที่เกิดขึ้นกับเส้นกราฟ  $V_C = 4$  โวลต์

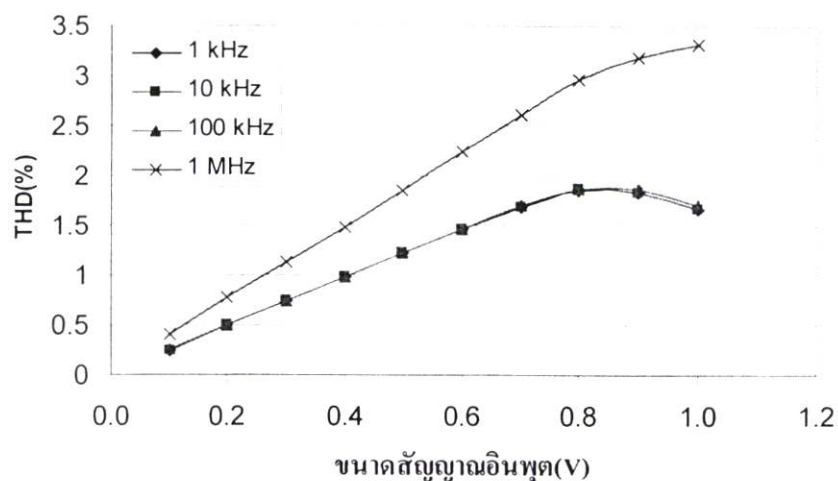
การทดสอบค่าความเป็นเชิงเส้นอีกวิธีหนึ่งก็คือ การวัดค่าความเพี้ยนฮาร์มอนิกรวม (Total harmonic distortion : THD) เป็นค่าที่บอกว่าการนำสัญญาณไซน์รูปสมบูรณ์ (Pure sinusoidal wave) ป้อนเข้าสู่วงจรแล้ว มีความถี่ของสัญญาณอื่นที่เป็นจำนวนเท่าของความถี่ที่ป้อนเข้าไป หรือเรียกว่าความถี่ฮาร์มอนิกเกิดขึ้นที่เอาต์พุตหรือไม่ เพราะสัญญาณฮาร์มอนิกเป็นสัญญาณที่ไม่ต้องการ

เราทำการจำลองแบบการทำงานวงจรในรูปที่ 4.14 เพื่อหาค่าความเพี้ยนฮาร์มอนิกรวม (Total harmonic distortion : THD) ในรูปที่ 4.23 จะพิจารณาความสัมพันธ์ระหว่างค่าความเพี้ยนฮาร์มอนิกรวมกับขนาดของสัญญาณอินพุต เมื่อให้ความถี่สัญญาณอินพุตมีค่าเท่ากับ 1 kHz 10 kHz 100 kHz และ 1MHz โดย  $V_C = 4V$  และในรูปที่ 4.24 จะพิจารณาความสัมพันธ์ระหว่างค่า

ความเพี้ยนฮาร์โมนิรวมกับขนาดของสัญญาณอินพุต เมื่อให้ความถี่สัญญาณอินพุตมีค่าเท่ากับ 1 kHz 10 kHz 100 kHz และ 1MHz โดย  $V_{C_1}=2V$

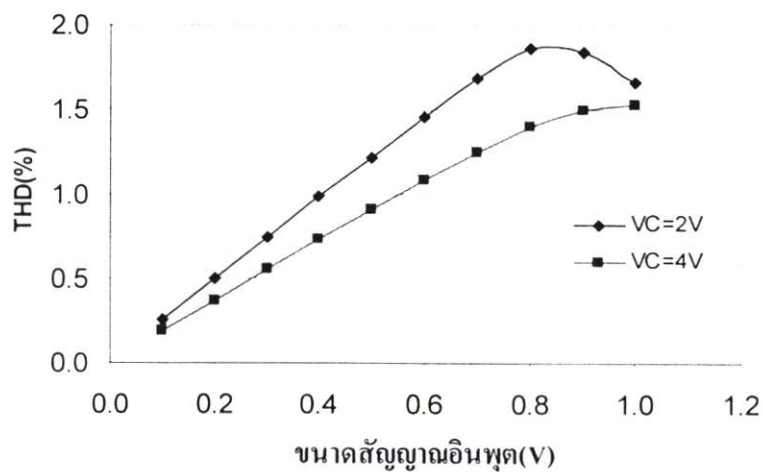


รูปที่ 4.21 ความสัมพันธ์ระหว่างค่าความเพี้ยนฮาร์โมนิรวมกับขนาดของสัญญาณอินพุต เมื่อให้ความถี่สัญญาณอินพุตมีค่าเท่ากับ 1 kHz 10 kHz 100 kHz และ 1MHz โดย  $V_{C_1}=4V$

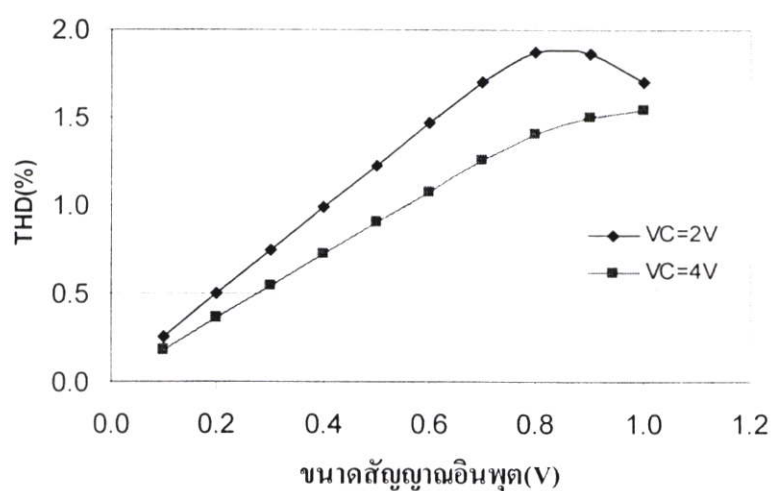


รูปที่ 4.22 ความสัมพันธ์ระหว่างค่าความเพี้ยนฮาร์โมนิรวมกับขนาดของสัญญาณอินพุต เมื่อให้ความถี่สัญญาณอินพุตมีค่าเท่ากับ 1 kHz 10 kHz 100 kHz และ 1MHz โดย  $V_{C_1}=2V$

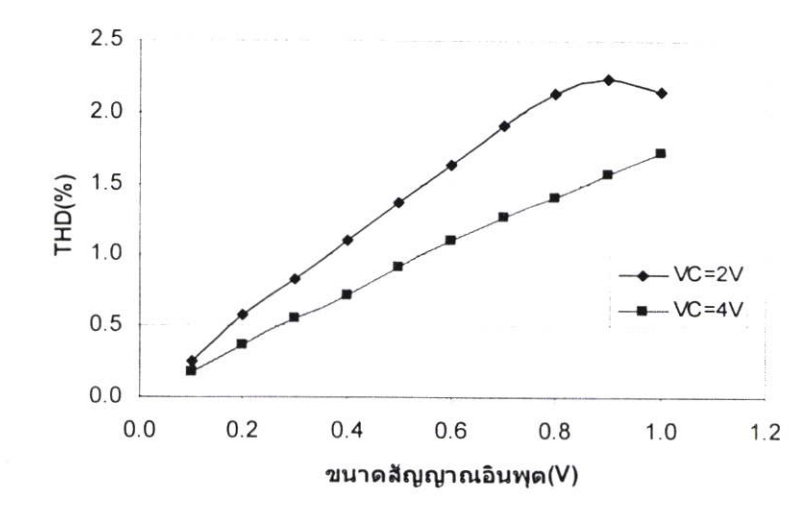
การเปรียบเทียบค่าความเพี้ยนฮาร์โมนิรวมระหว่างวงจรควบคุมความต้านทานชนิดต่อลงดินที่ใช้ แรงดันควบคุม  $V_{C_1}=2V$  และ  $V_{C_1}=4V$  เมื่อเปลี่ยนความถี่ของสัญญาณอินพุตเป็นค่า 1kHz 10 kHz 100 kHz และ 1MHz โดยรูปที่ 4.25 รูปที่ 4.26 รูปที่ 4.27 และรูปที่ 4.28 แสดงการเปรียบเทียบค่าความเพี้ยนฮาร์โมนิรวมเมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 1 kHz 10 kHz 100 kHz และ 1MHz ตามลำดับ



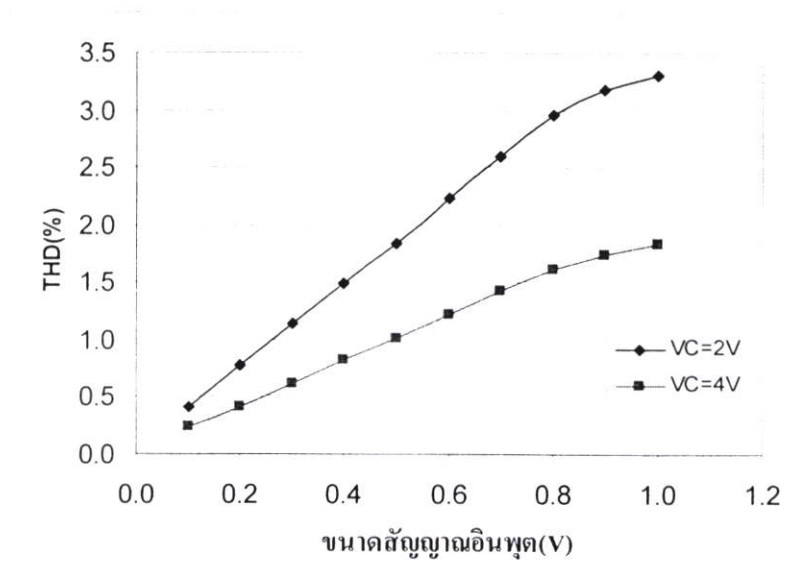
รูปที่ 4.23 เปรียบเทียบค่าความเพี้ยนฮาร์มอนิกรวมระหว่าง แรงดันควบคุม  $V_C=2V$  และ  $V_C=4V$  เมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 10 kHz



รูปที่ 4.24 เปรียบเทียบค่าความเพี้ยนฮาร์มอนิกรวมระหว่าง แรงดันควบคุม  $V_C=2V$  และ  $V_C=4V$  เมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 100 kHz



รูปที่ 4.26 เปรียบเทียบค่าความเพี้ยนฮาร์มอนิกรวมระหว่าง แรงดันควมคุม  $V_C=2V$  และ  $V_C=4V$  เมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 500 kHz



รูปที่ 4.26 เปรียบเทียบค่าความเพี้ยนฮาร์มอนิกรวมระหว่าง แรงดันควมคุม  $V_C=2V$  และ  $V_C=4V$  เมื่อความถี่ของสัญญาณอินพุตมีค่าเท่ากับ 1 MHz

#### 4.7 กล่าวสรุป

จากผลการทดลองวงจรลดทอนแรงดัน วงจรกลับสัญญาณแรงดัน และวงจรผลต่างแรงดัน จะเห็นได้ว่า ผลการทดลองที่ได้ นั้น สอดคล้องกับสมการที่ได้ทำการวิเคราะห์ไว้ ในบทที่ 3 แต่ผลที่ได้ นั้นอาจจะไม่สอดคล้องกับสมการตลอดช่วงการใช้งาน ทำให้ช่วงการใช้นั้น แคลง เมื่อนำ วงจรต่างๆ มาประกอบรวมเป็นวงจรควบคุมความดันทานชนิดต่อลงดินที่มีการชดเชยอุณหภูมิ

และทำการวัดผลการทดลองโดยการจำลองแบบการทำงาน ค่าความต้านทาน สามารถควบคุมโดยแรงดันควบคุม  $V_c$  และสามารถปรับช่วงความต้านทานได้มาก ผลกระทบทางอุณหภูมิ ลดลงไปในระดับหนึ่ง แต่ยังไม่น่าพอใจ เนื่องจากในสมการยังไม่สามารถกำจัดเทอมที่มีผลเกี่ยวข้องกับอุณหภูมิออกไปได้หมด ผลการทดลองที่วัดความเป็นเชิงเส้นของวงจร ทั้งในส่วนของค่า Linear error และค่าความเพี้ยนฮาร์มอนิกรวม (Total harmonic distortion : THD) แสดงให้เห็นว่า วงจรมีความเป็นเชิงเส้นสูง วงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซิมอส ที่มีการชดเชยอุณหภูมิ ที่ออกแบบมานี้ ปรับค่าความต้านทานได้ด้วยแรงดันไฟฟ้าและสร้างมาจากวงจรพื้นฐานทั้งสิ้น จึงเหมาะที่จะนำไปใช้ในวงจรรวมต่อไป

## บทที่ 5

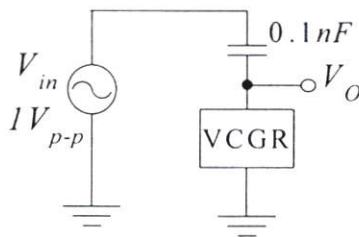
### การประยุกต์ใช้งาน

#### 5.1 บทนำ

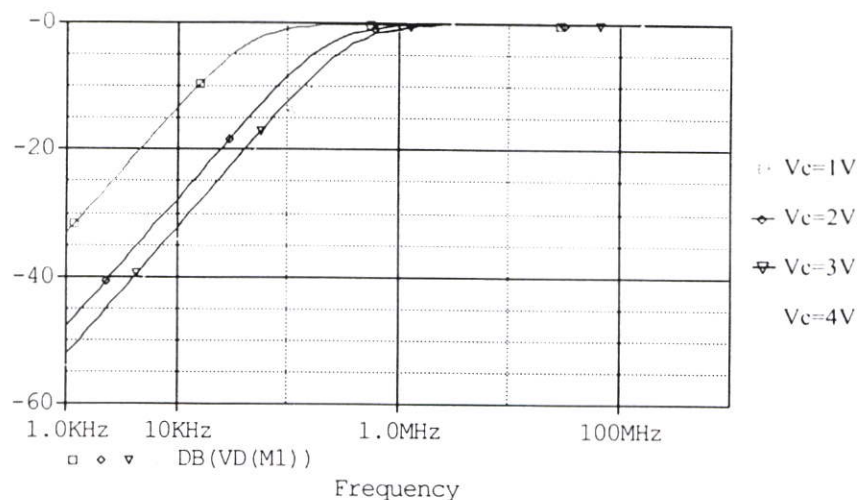
วงจรถวลความต้านทานชนิดต่อลงดิน สามารถนำไปประยุกต์ใช้งานในวงจรประมวลผลสัญญาณเชิงอนาล็อกได้มากมาย ตัวอย่างเช่น วงจรกำเนิดความถี่ วงจรกรองความถี่ วงจรขยายสัญญาณแบบปรับค่าอัตราขยายได้ ในบทนี้จะแสดงถึงการนำวงจรถวลความต้านทานชนิดต่อลงดิน มาประยุกต์ใช้งานเป็นวงจรกรองแบบสูงผ่าน ที่สามารถปรับค่าความถี่ตอบสนองได้ และทำการทดลองโดยใช้โปรแกรมจำลองแบบการทำงาน PSPICE

#### 5.2 การทดลองและผลการทดลอง

ในการทดลองนี้ได้ออกแบบวงจรกรองแบบสูงผ่านอย่างง่ายเพื่อทดสอบความสามารถในการปรับค่าความถี่ตอบสนอง วงจรกรองแบบสูงผ่านที่ปรับค่าได้ด้วยแรงดันมีรูปวงจรงดรูปที่ 5.1 และเมื่อทำการทดลองโดยการจำลองแบบการทำงาน โดยทรานซิสเตอร์  $M_1$  ของวงจรถวลความต้านทานชนิดต่อลงดิน (Voltage-Controlled Ground Resistance : VCGR) มีอัตราส่วน W/L เท่ากับ  $10\mu\text{m}/10\mu\text{m}$  เมื่อปรับแรงดันควบคุม  $V_C$  ตั้งแต่ 1 โวลต์ ถึง 4 โวลต์ จะได้ผลตอบสนองทางความถี่แสดงอยู่ในรูปที่ 5.2

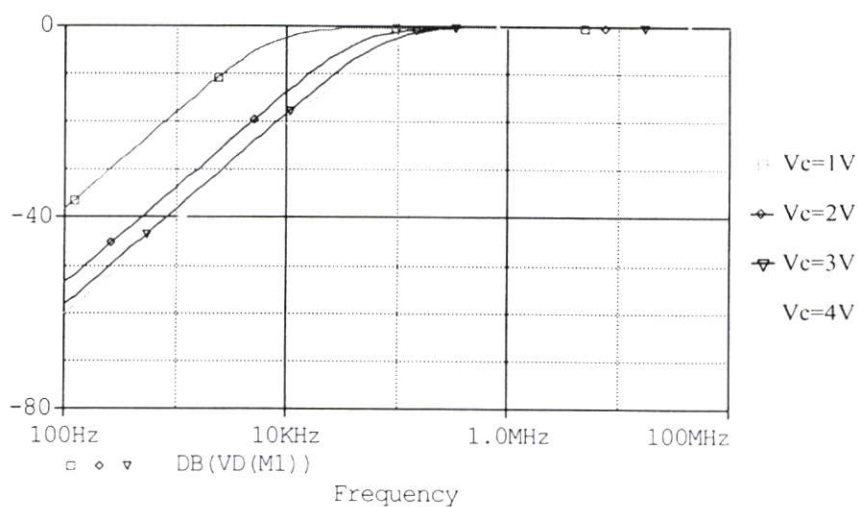


รูปที่ 5.1 วงจรกรองแบบสูงผ่านที่ปรับค่าความถี่ตอบสนองได้ด้วยแรงดัน



รูปที่ 5.2 ผลตอบสนองทางความถี่ของวงจรกรองแบบสูงผ่านเมื่อ อัตราส่วน W/L เท่ากับ  $10\mu\text{m}/10\mu\text{m}$

และเมื่อทำการทดลองโดยการจำลองแบบการทำงาน โดยทรานซิสเตอร์  $M_1$  ของวงจรควบคุมความต้านทานชนิดต่อลงดิน (Voltage-Controlled Ground Resistance : VCGR) มีอัตราส่วน W/L เท่ากับ  $10\mu\text{m}/50\mu\text{m}$  เมื่อปรับแรงดันควบคุม  $V_c$  ตั้งแต่ 1 โวลต์ ถึง 4 โวลต์ จะได้ผลตอบสนองทางความถี่แสดงอยู่ในรูปที่ 5.3



รูปที่ 5.3 ผลตอบสนองทางความถี่ของวงจรกรองแบบสูงผ่านเมื่อ อัตราส่วน W/L เท่ากับ  $10\mu\text{m}/50\mu\text{m}$

### 5.3 กล่าวสรุป

วงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน สามารถนำมาประยุกต์ใช้งานเป็น วงจรกรองความถี่ซึ่งสามารถปรับค่าความถี่ตอบสนองได้ ซึ่งวงจรต้านทานแบบต่อกราวด์ปรับค่า ได้ด้วยแรงดันจะต้องต่อร่วมกับกราวด์เสมอ ซึ่งจากการจำลองแบบการทำงานด้วยโปรแกรม PSPICE และการทดลองสรุปได้ว่า การนำวงจรความต้านทานแบบต่อกราวด์ปรับค่าได้ด้วยแรงดัน มาประยุกต์เป็นวงจรกรองความถี่ซึ่งสามารถปรับค่าความถี่ตอบสนองได้ และสามารถเลื่อนช่วง ของความถี่ตอบสนองได้ด้วย การเปลี่ยนค่า อัตราส่วน  $W/L$  ของทรานซิสเตอร์  $M_1$  ซึ่งทำให้ช่วง ของความต้านทานที่ปรับได้ แตกต่างกันไป

## บทที่ 6

# สรุปผลการวิจัย และข้อเสนอแนะ

### 6.1 สรุปผลการวิจัย

ในวิทยานิพนธ์นี้ได้ทำการออกแบบวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส โดยมีการชดเชยอุณหภูมิด้วย ความต้านทานที่สร้างขึ้นจากเทคโนโลยีซีมอสนั้น ใช้พื้นที่น้อย และยังสามารถสร้างค่าความต้านทานที่มีค่าสูงถึง 100 กิโลโอห์ม ได้ไม่ยากนัก วงจรควบคุมความต้านทานชนิดต่อลงดินที่ได้ทำการออกแบบในวิทยานิพนธ์นี้ ประกอบด้วยวงจรลดทอนแรงดัน วงจรกลับแรงดันสัญญาณ และวงจรผลต่างแรงดัน ซึ่งล้วนแต่เป็นวงจรพื้นฐานอย่างง่าย วงจรต่างๆ เหล่านี้ทำหน้าที่เสมือนแหล่งกำเนิดแรงดันไม่อิสระ โดยแรงดันที่สร้างได้นี้เป็นไปตามความสัมพันธ์ที่จะทำให้เทอมที่ไม่เป็นเชิงเส้น และส่วนของแรงดันขีดเริ่ม (Threshold Voltage) ของมอสทรานซิสเตอร์นั้น ถูกกำจัดไป ซึ่งจะทำให้ค่าความต้านทานที่ออกแบบขึ้นมาี้ มีความเป็นเชิงเส้นสูง มีผลกระทบจากการเปลี่ยนแปลงของอุณหภูมิต่ำ

ในบทที่ 2 นั้น ก็ได้กล่าวถึงทฤษฎีพื้นฐาน และหลักการทั่วไปของมอสทรานซิสเตอร์ รวมทั้งการอธิบายถึงความสัมพันธ์ของอุณหภูมิ กับค่าสภาพความคล่องตัวของ โฮลหรืออิเล็กตรอน (Surface Mobility of Carrier :  $\mu$ ) และ แรงดันขีดเริ่ม(Threshold Voltage) ซึ่งทั้งค่าสภาพความคล่องตัวของ โฮลหรืออิเล็กตรอน และ ค่าแรงดันขีดเริ่ม ต่างก็เป็นตัวแปรสำคัญที่ทำให้อุณหภูมิ มีผลกับการทำงานของมอสทรานซิสเตอร์ ถ้าต้องการให้วงจรที่สร้างขึ้น มีผลจากอุณหภูมิน้อยที่สุด ก็ต้องทำการกำจัดผลของอุณหภูมิที่เกิดกับตัวแปรทั้ง 2 ตัวนั้นให้ได้ ในบทที่ 3 นั้น เป็นการวิเคราะห์และอธิบายวงจรต่างๆ ที่นำมาใช้ออกแบบเป็นวงจรควบคุมความต้านทาน ข้อดีของการใช้ความต้านทานที่สร้างจากมอสทรานซิสเตอร์ เนื่องจากความต้านทานที่สร้างจากมอสทรานซิสเตอร์ใช้พื้นที่น้อยกว่าความต้านทานที่สร้างจาก Sheet มาก และส่วนสุดท้ายของบทที่ 3 ก็อธิบายถึงวิธีการสร้างแรงดัน ไบอัสที่เหมาะสมค่าหนึ่งไบอัสให้วงจร โอห์มิกทรานซิสเตอร์ ทำให้อุปกรณ์โอห์มิกทรานซิสเตอร์ มีความเป็นเชิงเส้นสูง และมีผลจากอุณหภูมิต่ำ ซึ่งได้อธิบายไว้อย่างละเอียดในบทที่ 3 นี้

จากนั้นจะนำวงจรต่างๆ ที่ได้วิเคราะห์การทำงานไว้มาทดลอง ซึ่งทำการทดลองด้วยการจำลองแบบการทำงานในคอมพิวเตอร์ด้วยโปรแกรม PSPICE เพื่อเปรียบเทียบผลที่ได้กับการวิเคราะห์ในบทที่ผ่านมา ซึ่งผลการทดลองของวงจรลดทอนแรงดัน วงจรกลับแรงดันสัญญาณ และวงจรผลต่างแรงดัน ต่างก็ให้ผลที่สอดคล้องกับสมการที่ได้วิเคราะห์ไว้ ผลการทดลองของวงจรควบคุมความต้านทานชนิดต่อลงดิน ที่มีการชดเชยผลของอุณหภูมิ ก็มีความเป็นเชิงเส้นสูงอย่าง

เห็นได้ชัด สามารถปรับค่าความต้านทานได้ตามต้องการ และเมื่อวัดผลของค่าความต้านทานที่อุณหภูมิต่างๆ ก็ถือว่าอยู่ในเกณฑ์ที่ดีทีเดียว ค่าความเพี้ยนของฮาร์โมนิกรวมก็มีค่าต่ำ

การทดลองนำวงจรควบคุมความต้านทานชนิดต่อลงดินด้วยเทคโนโลยีซีมอส ที่มีการชดเชยอุณหภูมิ มาสร้างเป็นวงจรกรองแบบสูงผ่านที่สามารถปรับค่าความถี่ตอบสนองได้ ก็สามารถทำงานได้อย่างดี สามารถปรับค่าความถี่ตอบสนองได้อย่างที่ต้องการ

## 6.2 ข้อเสนอแนะ

แม้ว่าผลกระทบจากอุณหภูมิในเทอมของแรงดันขีดเริ่ม (Threshold Voltage:  $V_{TH}$ ) จะถูกกำจัดไปได้แล้วแต่ยังมีผลของอุณหภูมิในเทอมของค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน ( $\mu$ ) ซึ่งเป็นจุดสำคัญของตัวต้านทานที่นำเสนอ [11] ผลกระทบจากอุณหภูมิในส่วนนี้ไม่สามารถกำจัดไปได้โดยตรง แต่สามารถกำจัดได้โดยการเชื่อมต่อดัวยโอทีเอที่มีผลกระทบจากอุณหภูมิในเทอมของค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอนที่เหมือนกัน [11]

ในส่วนของการเป็นเชิงเส้น วงจรที่ได้ทำการออกแบบในวิทยานิพนธ์นี้ แม้จะมีความเป็นเชิงเส้นดีแล้ว แต่ก็จะมีเพียงแค่ช่วงสั้นๆ เท่านั้น ซึ่งก็เป็นข้อเสียของความต้านทานที่สร้างขึ้นจากมอสทรานซิสเตอร์ และจากข้อเสียนี้เอง ทำให้สัญญาณอินพุตของวงจรมีขนาดค่อนข้างจำกัดตามไปด้วย

## เอกสารอ้างอิง

- [1] R.Schaumann, M. S. Ghausi, and K. R. Laker, Design of Analog Filter: Passive, Active RC, and Switched Capacitor, Englewood Cliffs, NJ, Prentice-Hall, 1990.
- [2] D. J. Comer, D. T. Comer, and B. K. Casper, "An integrable single-pole low-pass filter for low-frequency applications," *Int. J. Electronics*, vol. 83, pp. 49-54, December 1997.
- [3] P. Prommee, K. Dejhan, F. Cheevasuvit and C. Soonyeechan, "A CMOS voltage-controlled grounded resistor circuit," *Proc. of IEEJ 1999 Analog VLSI Workshop, Taipei, Taiwan, May 5-7, 1999.*
- [4] K. Dejhan, C. Soonyeechan, P. Prommee, F. Cheevasuvit and E. Prommas, "A high performance MOSFET voltage- controlled grounded resistor," *Proc. of International Conference on Robotics, Vision and Parallel Processing for Industrial Automation (ROVPIA'96)*, pp.602-608, Ipoh, Malaysia, Nov., 28-30, 1996.
- [5] K. Nay and A. Budak, "A Voltage-Controlled Resistance with Wide Dynamic Range and Low Distortion," *IEEE Trans. Circuits Syst.*, Vol. CAS-30, pp.770-772, Oct.,1981.
- [6] R. Senani, D. R. Bhaskar, "A Simple Configuration for Realizing Voltage-Controlled Impedance," *IEEE Trans. Circuits Syst.*, Vol. CAS-39, pp.52-59, Sep.,1992.
- [7] I. S. Han and S. B. Park, "Voltage-Controlled Linear Resistor by two MOS Transistor and its Applications to Active RC Filter MOS Integration", *Proc. IEEE*, Vol.72, pp.1655-1657, Nov.,1984.
- [8] G. Wilson and P. K. Chan, "Novel Voltage-Controlled Grounded Resistor", *Electron. Letts.*, Vol.25, pp.1725-1726, Dec. 1989.
- [9] K. M. Al-Rawaihi and J.M. Noras, "A Novel Linear Resistor Utilizing MOS Transistors with Identical Sizes and One Controlling Voltage," *Int. J. Electronics*, Vol. 76, No. 6, pp.1083-1098, 1994.
- [10] S. Qin and R.L. Geiger, "A  $\pm 5$ -V Analog Multiplier," *IEEE J. Solid-State Circuits*, Vol.SC-22, pp.1143-1146, Dec., 1987.
- [11] Z. Wang, "A CMOS Four-Quadrant Analog Multiplier with Single-Ended Voltage Output and Improved Temperature Performance," *IEEE J. Solid-State Circuit*, Vol. 26, pp.1293-1301, Sep.,1991.



## 2. ชนิด PMOS

```
.MODEL PMOS1 PMOS (          LEVEL = 3

+ TOX  = 5.7E-9      NSUB  = 1E17      GAMMA = 0.6348369

+ PHI  = 0.7        VTO   = -0.5536085  DELTA = 0

+ UO   = 250       ETA   = 0          THETA = 0.1573195

+ KP   = 5.194153E-5  VMAX  = 2.295325E5  KAPPA = 0.7448494

+ RSH  = 30.0776952  NFS   = 1E12       TPG   = -1

+ XJ   = 2E-7       LD    = 9.968346E-13  WD    = 5.475113E-9

+ CGDO = 6.66E-10   CGSO  = 6.66E-10   CGBO  = 1E-10

+ CJ   = 1.893569E-3  PB    = 0.9906013  MJ    = 0.4664287

+ CJSW = 3.625544E-10  MJSW  = 0.5        )
```

```
*****0.25um*****
```

# A Compensated Temperature CMOS Voltage-Controlled Grounded Resistance Circuit

Pipat Prommee<sup>1</sup>, Lerssak Yuttasakprasert<sup>1</sup>, Montree Somdulyakanok<sup>2</sup> and Kobchai Dejhan<sup>1</sup>

**Abstract**—A CMOS Voltage-Controlled Grounded Resistor (VCGR) using a new approach for non-linearity terms cancellation is proposed. The proposed circuit uses 17 MOS transistors that operate in ohmic region and saturation region. It consists of the voltage attenuator, voltage differential and voltage inverting circuits. These circuits are performed as a voltage dependent source for biasing an ohmic transistor; cancel the non-linearity terms and threshold voltage in order to compensate the temperature effect. The first order high-pass filter with tunable a cut-off frequency is presented as an application. The proposed circuit characteristics are high linearity and temperature compensation. The results have been confirmed by PSPICE.

**Index Term**—CMOS, Analog Signal Processing, Voltage-Controlled Resistance.

## I. INTRODUCTION

The Voltage-Controlled Grounded Resistance (VCGR) is widely used in any analog signal processing and usually included in several ICs. The applications are provided for telecommunications and electronics as well as filters, oscillators etc. This paper presents a VCGR with a new approach to cancel non-linear terms with temperature compensation. The results are confirmed their performances by PSPICE.

## II. PRINCIPLES

The CMOS VCGRs are rapidly presented with different techniques [1-7]. This paper presents a new technique for cancel nonlinearity terms with temperature compensation. The characteristic of proposed VCGR is high-linearity and low-impact from temperature. This proposed CMOS VCGR consists of 16 transistors for a biased circuit and a transistor for a resistance circuit. The biased circuit consists of the sub-circuits as voltage attenuator, voltage differential, and voltage inverter circuits. The rest transistors operate in ohmic region conforming by the biased circuit. The principle of their circuits can be explained below.

### A. Ohmic Transistor

The operation of ohmic MOS is shown in Fig. 1 and can be described by the drain current in Eq. (1).

$$I_D = k_N \left( V_{GS} - V_{TN} - \frac{V_{DS}}{2} \right) V_{DS} \quad (1)$$

While  $(V_{GS} - V_{TN}) > V_{DS}$

Where  $k_N = \mu_N C_{OX} \left( \frac{W}{L} \right)$

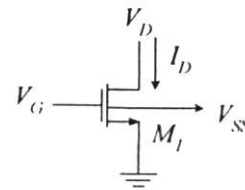


Fig.1. Ohmic MOS Transistor

Regard to Fig.1, the source voltage is grounded. In order to operate under ohmic region condition with the linearity, assume the gate voltage is equal to  $V_G = \frac{V_D + V_C}{2} + V_{TN}$ . From this technique, the threshold voltage is disappeared that means the temperature effect is also decreased. The drain current can be rewritten in term of resistance as

$$R_{eq} = \frac{V_D}{I_D} = \frac{2}{k_N V_C} \quad (2)$$

The resistance in Eq. (2) is linearly controlled by  $V_C$ .

### B. Voltage-Attenuator Circuit

The voltage-attenuator was proposed in 1987[8] as shown in Fig. 2.

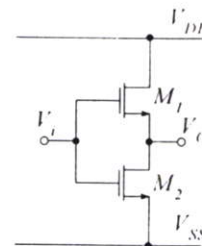


Fig.2. NMOS Voltage-Attenuator Circuit

From Fig.2,  $M_1$  and  $M_2$  are operated in saturation and ohmic region, respectively. The voltage output can be written as

Pipat Prommee<sup>1</sup>, Lerssak Yuttasakprasert<sup>1</sup> and Kobchai Dejhan<sup>1</sup> are with the Research Center for Communication and Information Technology (ReCCIT), Faculty of Engineering, King's Mongkut Institute of Technology Ladkrabang, Bangkok 10520, Thailand. Montree Somdulyakanok<sup>2</sup> is with the Faculty of Engineering, Siam University, Bangkok 10160, Thailand.

$$V_o = \left[ 1 - \sqrt{\frac{(W/L)_2}{(W/L)_1 + (W/L)_2}} \right] (V_i - V_{TN} - V_{SS}) + V_{SS} \quad (3)$$

Suppose the required output voltage is half the input voltage, therefore we set the aspect ratio of  $M_1$  and  $M_2$  as  $(W/L)_1 = 3(W/L)_2$ . The Eq. (3) will be rewritten as;

$$V_o = \left( \frac{V_i - V_{TN} + V_{SS}}{2} \right) \quad (4)$$

### C. Voltage-Inverter Circuit

The voltage-inverter circuit consists of 2 NMOS or PMOS transistors that operated in saturation region. Both types of inverter are suited for specific input and output. Both output voltages can be described as;

$$V_o = -V_i \quad (5)$$

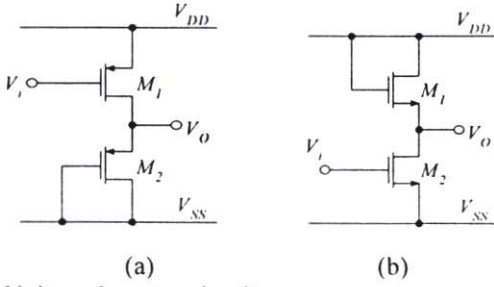


Fig.3. Voltage-Inverter circuit

### D. Voltage-Differential Circuit

The Voltage-Differential circuit is used in this paper for maintain the controlling voltage of proposed circuit. There are 2 types of NMOS and PMOS transistors as described in Fig. 4 (a) and (b), respectively. The output voltage of N-type can be realized on as;

$$V_o = V_A - V_B + V_{SS} \quad (6a)$$

Likewise, the output voltage of P-type is also realized on

$$V_o = V_A - V_B + V_{DD} \quad (6b)$$

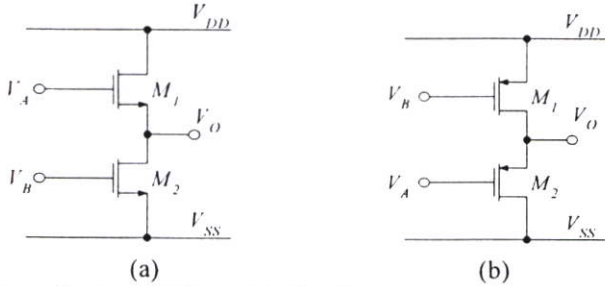


Fig.4. Voltage-Differential Circuit

## III. VOLTAGE-CONTROLLED GROUNDED RESISTANCE

The VCGR can be implemented using the principle of their particular sub-circuits above. The completed circuit

is used 12 NMOS, 4 PMOS transistors and a NMOS for the resistance transistor. The proposed circuit is shown in Fig. 5.

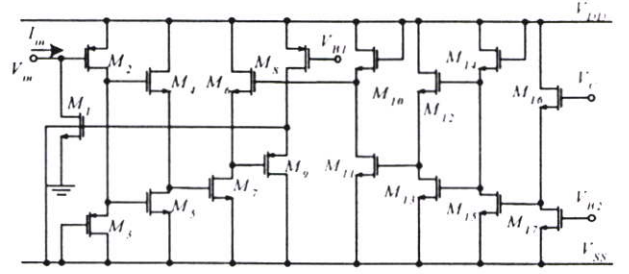


Fig.5. Completed proposed VCGR

Regard to Fig. 5, the transistor  $M_1$  is biased for ohmic operation. The bias voltage is acquired from the different sub-circuits that contains with attenuator, differential, inverter. The input voltage ( $V_m$ ) is applied to  $M_2$  and  $M_3$  that performed as an inverter. The inverter output is applied to the attenuator by  $M_4$  and  $M_5$ .

The controlling voltage ( $V_c$ ) is applied to the differential circuit for maintaining the properly voltage by  $M_{16}$  and  $M_{17}$ . The output voltage is applied to the inverter  $M_{14}$  and  $M_{15}$  and passed its output voltage to the attenuator  $M_{12}$  and  $M_{13}$ . The output voltage is inverted by  $M_{10}$  and  $M_{11}$ .

Using the differential circuit  $M_6$  and  $M_7$  employed output of  $M_4$ ,  $M_5$  and output of  $M_{10}$ ,  $M_{11}$ . The output is adjusted the level by  $M_8$  and  $M_9$  for bias to gate of  $M_1$ . The gate voltage of  $M_1$  can be realized on

$$V_{G1} = \frac{V_c + V_D}{2} + V_{TN} + \frac{V_{DD}}{2} - \frac{V_{H1}}{2} - V_{H2} \quad (7)$$

Suppose and set the biasing voltage  $V_{H1} = -2.5V$  and  $V_{H2} = 3V$  and  $V_{DD} = 5V$ , the gate voltage in Eq. (7) becomes as;

$$V_{G1} = \frac{V_c + V_D}{2} + V_{TN} + 0.75 \quad (8)$$

Consider Eq. (8) and Eq. (1) that can be realized the resistance with the linearity and controllable without temperature effect in term of the threshold voltage as Eq. (9).

$$R_{eq} = \frac{V_m}{I_m} = \frac{2}{k_N (V_c + 1.5)} \quad (9)$$

## IV. TEMPERATURE PERFORMANCE

Although the temperature effect in term of the threshold voltage is cancelled. There is another temperature effect in term of surface mobility ( $\mu$ ) that is dominant parameter of the proposed resistance [9]. The temperature effect in this parameter cannot directly be cancelled. The effect can be cancelled by interconnected

with the operational transconductance amplifier (V-I) which it has the temperature effect in the same term of surface mobility [9]. The parameter ( $\mu$ ) can be described in Eq. (10) as

$$\mu(T) = \mu(T_r) \left( \frac{T}{T_r} \right)^{-k_3} \quad (10)$$

Where  $T$  is absolute temperature,  $T_r$  is room temperature (Kelvin degree), and  $k_3$  is constant between 1.5 to 2 e.g. the room temperature is varied around 10 degree while  $k_3$  is 1.5, the drain current would be varied about 4.79 to 6.34%

V. SIMULATION RESULTS

The results of proposed circuit have been confirmed by PSPICE using level 2 ES2 model with the  $\pm 5$  volts power supply. The assuming aspect ratio, biasing conditions are the following: (W/L) for  $M_1$  is (10 $\mu$ m/10 $\mu$ m) the rest transistors are (50 $\mu$ m/10 $\mu$ m) except the attenuators  $M_4$ ,  $M_5$  and  $M_{12}$ ,  $M_{13}$  are using (75 $\mu$ m/10 $\mu$ m) and (25 $\mu$ m/10 $\mu$ m), respectively. The DC-Characteristic of proposed circuit is shown in Fig. 6 and the temperature effect result is shown in Fig. 7.

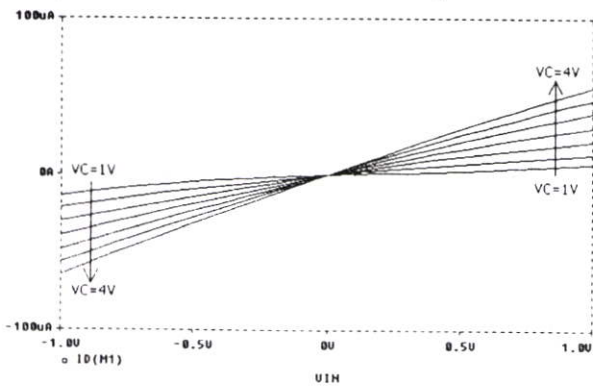


Fig.6. DC-Characteristic of proposed VCGR

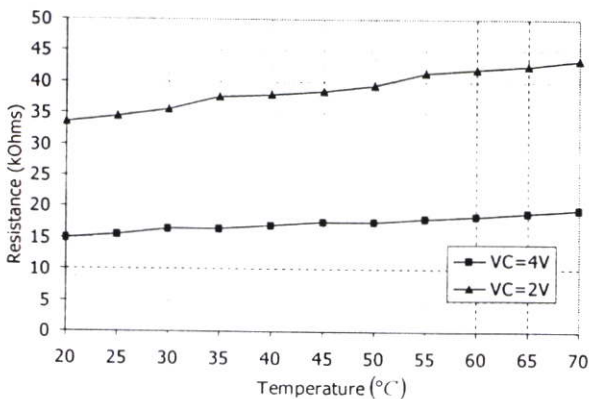


Fig.7. Plot of resistance with different temperatures

VI. APPLICATIONS

The analog signal processing circuits can be applied by using the proposed VCGR. The voltage controlled the

first order high-pass filter (HPF) has been used to confirm the application. The configuration of HPF is shown in Fig.8, its frequency response is shown in Fig. 9.

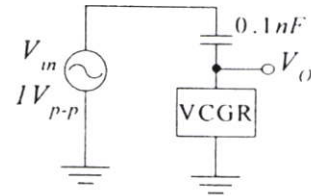


Fig.8. Voltage controlled HPF using proposed VCGR

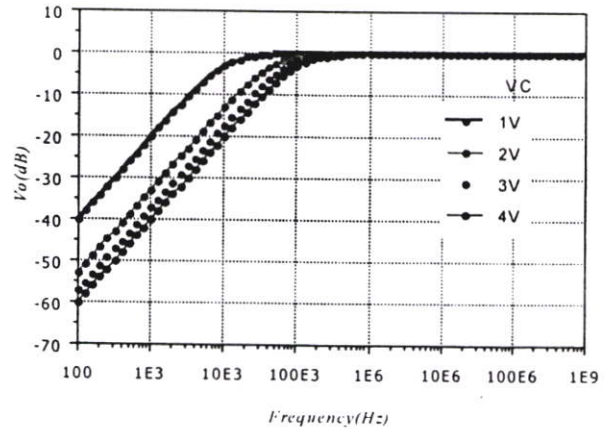


Fig.9. Frequency response of Fig.8

VII. CONCLUSION

This proposed VCGR uses the new approach for canceling the non-linearity terms and the temperature effect reduction in term of threshold voltage. However, the temperature effect is still contaminated in term of surface mobility. The temperature effect of surface mobility could be eliminated by interconnect with the operational transconductance amplifier (V-I) which also has the temperature effect in the same term of surface mobility [9]. The simulation results by PSPICE have confirmed the high linearity and low-effect of the temperature. The application, voltage controlled HPF is also provided to confirm for the realistic application.

REFERENCES

- [1] P. Prommee, K. Dejhan, F. Cheevasuvit and C. Soonyeean. "A CMOS voltage-controlled grounded resistor." *Proc. of IEEE/1999 Analog VLSI Workshop*, Taipei, Taiwan, May 5-7, 1999.
- [2] K. Dejhan, C. Soonyeean, P. Prommee, F. Cheevasuvit and E. Prommas, "A high performance MOSFET voltage- controlled grounded resistor," *Proc. of International Conference on Robotics, Vision and Parallel Processing for Industrial Automation (ROVPIA'96)*, pp.602-608, Ipoh, Malaysia, Nov., 28-30, 1996
- [3] K. Nay and A. Budak. "A Voltage-Controlled Resistance with Wide Dynamic Range and Low Distortion." *IEEE Trans. Circuits Syst.*, Vol. CAS-30, pp.770-772, Oct.,1981.
- [4] R. Senani, D. R. Bhaskar. "A Simple Configuration for Realizing Voltage-Controlled Impedance," *IEEE Trans. Circuits Syst.*, Vol. CAS-39, pp.52-59, Sep.,1992.
- [5] I. S. Han and S. B. Park, "Voltage-Controlled Linear Resistor by two MOS Transistor and its Applications to Active RC Filter MOS Integration", *Proc. IEEE*, Vol.72, pp.1655-1657, Nov., 1984.

- [6] G. Wilson and P. K. Chan, "Novel Voltage-Controlled Grounded Resistor", *Electron. Letts.*, Vol. 25, pp.1725-1726, Dec. 1989.
- [7] K. M. Al-Rawaihi and J.M. Noras, "A Novel Linear Resistor Utilizing MOS Transistors with Identical Sizes and One Controlling Voltage." *Int. J. Electronics*, Vol. 76, No. 6, pp.1083-1098, 1994.
- [8] S. Qin and R.L. Geiger, "A  $\pm 5$ -V Analog Multiplier," *IEEE J. Solid-State Circuits*, Vol.SC-22, pp.1143-1146, Dec., 1987.
- [9] Z. Wang, "A CMOS Four-Quadrant Analog Multiplier with Single-Ended Voltage Output and Improved Temperature Performance." *IEEE J. Solid-State Circuit*, Vol. 26, pp.1293-1301, Sep., 1991.

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นายเลิศศักดิ์ ยุทธสุขประเสริฐ
วัน เดือน ปีเกิด	9 มีนาคม 2524 ที่จังหวัดจันทบุรี
ที่อยู่	88/79 หมู่บ้านเฟื่องฟ้า ซ.เจริญใจ ถ.เทพารักษ์ ต.เทพารักษ์ อ.เมือง จ.สมุทรปราการ 10270 โทร.0-1751-7665
E-mail Address	m2lert@yahoo.com
ประวัติการศึกษา	2545 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ความชำนาญเฉพาะด้าน	1.) ระบบโทรคมนาคม 2.) การออกแบบวงจรรวมด้วยเทคโนโลยีซีมอส 3.) VLSI Design

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

1. Pipat Promme, **Lerssak Yuttasukprasert**, Montree Somdulyakanok and Kobchai Dejhan, "A Compensated Temperature CMOS Voltage-Controlled Grounded Circuit,"Proc. IEEE TENCON 2004, Chiangmai, Thailand, PP.298-301, 21-24 November 2004.