

วงจรกรองความถี่ผ่านทุกแถบความถี่โดยใช้วงจรมอสมทรานซิสเตอร์

ALL PASS UNIFORMLY DISTRIBUTED RC FILTER
USING MOS TRANSISTOR CIRCUITS

วีระชาติ ภูวนาท
WEERACHART PHUWANART

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมสารสนเทศ

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2265-7

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรกรองความถี่ผ่านทุกแถบความถี่โดยใช้วงจรมอสทรานซิสเตอร์

ALL PASS UNIFORMLY DISTRIBUTED RC FILTER
USING MOS TRANSISTOR CIRCUITS

วีระชาติ ภูวนาท

WEERACHART PHUWANART

เลขหมู่.....
เลขทะเบียน..... 61664
วัน,เดือน,ปี..... 1.9.0.อ. 2549

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมสารสนเทศ

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2549

ISBN 974-15-2265-7

**ALL PASS UNIFORMLY DISTRIBUTED RC FILTER
USING MOS TRANSISTOR CIRCUITS**

WEERACHART PHUWANART

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN INFORMATION ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2006

ISBN 974-15-2265-7

COPYRIGHT 2006

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	วงจรรองความถี่ผ่านทุกแถบความถี่โดยใช้
	วงจรมอสทรานซิสเตอร์
นักศึกษา	นายวีระชาติ ภูวนาถ
รหัสนักศึกษา	45061116
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมสารสนเทศ
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.อรลภก แสงอรุณ
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	รศ.ดร.กนก เจริญพงศ์เวช

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอวิธีการออกแบบวงจรรองความถี่ผ่านทุกแถบความถี่ โดยใช้วงจรมอสทรานซิสเตอร์แบบกระจาย (Uniformly distributed RC Line: URC) แบบใช้วงจรมอสทรานซิสเตอร์อย่างเดี่ยว แทนการใช้อุปกรณ์ลัมท้อลิเมนต์ โดยการออกแบบโครงสร้างภายในของมอสเฟตให้มีค่าเทียบเท่ายูนิฟอร์มดิสทริบิวต์อาร์ซีแบบสองชั้น ข้อดีของการใช้วงจรรองความถี่แบบใช้โครงสร้างของมอสเฟตอย่างเดี่ยวนี้นี้ สามารถเปลี่ยนค่าความถี่คัทออฟ (Cutoff Frequency) หรือ ความถี่กลาง (Center Frequency) ของวงจรรองความถี่ได้ง่ายจากการปรับเปลี่ยนค่าแรงดันไบอัสที่เหมาะสม วงจรมีขนาดเล็ก และสามารถนำไปใช้งานที่ความถี่สูงได้ ซึ่งวงจรรองความถี่ผ่านทุกแถบความถี่ที่นำเสนอจะเป็นวงจรง่าย ๆ ประกอบด้วยยูนิฟอร์มดิสทริบิวต์อาร์ซีแบบสองชั้นต่อร่วมกับตัวความต้านทาน และวงจรมอสทรานซิสเตอร์ จะให้ผลการตอบสนองทางความถี่และคุณสมบัติอื่น ๆ ที่ดีกว่าเมื่อเทียบกับวงจรรองความถี่ที่มีลักษณะการต่อวงจรใกล้เคียงกัน

Thesis Title	All Pass Uniformly Distributed RC Filter using MOS Transistor Circuits
Student	Mr. Weerachart Phuwanart
Student ID.	45061116
Degree	Master of Engineering
Programme	Information Engineering
Year	2006
Thesis Advisor	Assc.Prof.Ormlarp Sangaroon
Thesis Co-Advisor	Assc.Prof.Dr.Kanok Janchitrapongvej

ABSTRACT

This thesis presents the design of all pass filter designed by using an enhancement MOSFET transistor as a double uniformly distributed \overline{RC} line ($DURC$). A new all pass active transistor only filter is introduced. It has a substrate-driven MOSFET operating as a RC element. The bias voltage may be used to adjust a cutoff frequency or center frequency of the active filter. It has a small size of circuit and can be used to high frequency circuit. The proposed all pass filter consists of double uniformly distributed \overline{RC} line in conjunction with two resistors and amplifier circuits. Experimental results are carried out. It is shown that the behavior of the proposed all pass filter circuit give good frequency response, phase response and sensitivities compared to the existing filters.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำ และคำปรึกษาต่าง ๆ จาก รศ. อรลภ แสงอรุณ และ รศ. ดร. กนก เจนจิระพงศ์เวช ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ และ อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม ตามลำดับ ข้าพเจ้าขอขอบคุณเป็นอย่างสูงในความอนุเคราะห์ ที่ช่วยแนะนำ ซึ่งแนวทางในการแก้ปัญหาการทำงานวิจัย

ขอขอบคุณคณาจารย์ภาควิชาวิศวกรรมสารสนเทศ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุก ๆ ท่าน และ อ. วิโรจน์ พิราจเนนชัย อาจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคล ที่ได้ประสิทธิ์ประสาท วิชาความรู้ คำแนะนำต่าง ๆ ที่มีประโยชน์อย่างยิ่ง

ขอขอบคุณที่ ๆ เพื่อน ๆ ทุกคน ในสถาบันนวัตกรรมทีโอที บริษัท ทีโอที จำกัด (มหาชน) ที่ให้การสนับสนุนเครื่องมือ อุปกรณ์ต่าง ๆ ตลอดจนคำแนะนำ คำปรึกษาต่าง ๆ ที่มีค่ายิ่ง และกำลังใจที่มีให้เสมอมา

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และครอบครัวของข้าพเจ้าที่เป็นกำลังใจ และให้การสนับสนุนในทุกเรื่อง ๆ ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

วีระชาติ ภูวนาท

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ที่มาของงานวิจัย.....	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์.....	1
1.3 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2 หลักการยูนิฟอร์มคิสทรีบิวต์อาร์ซี.....	3
2.1 สายส่ง.....	3
2.2 โครงสร้างของลัมป์พารามิเตอร์.....	8
2.3 โครงสร้างของยูนิฟอร์มคิสทรีบิวต์อาร์ซี.....	12
2.4 โครงสร้างของยูนิฟอร์มคิสทรีบิวต์อาร์ซีแบบสองชั้น.....	18
บทที่ 3 ทฤษฎีการทำงานของมอสเฟต และวงจรกรองความถี่.....	22
3.1 โครงสร้างของมอสเฟต.....	22
3.2 สัญลักษณ์ของมอสเฟต.....	26
3.3 คุณสมบัติการทำงานของมอสเฟต.....	27
3.3.1 การจัดไบอัสการทำงานของมอสเฟต.....	32
3.3.2 ผลของการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส.....	35
3.3.3 ผลการเปลี่ยนแปลงที่เกิดจากอุณหภูมิ.....	37
3.3.4 การเกิดเบรคดาวน์และการป้องกันทางอินพุต.....	37
3.4 วงจรกรองความถี่.....	38
3.4.1 ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ผ่านทุกแถบความถี่.....	41

สารบัญ (ต่อ)

	หน้า
บทที่ 4 การแปลงวงจรมติสูตรดิฟเฟอเรนเชียล โดยใช้มอดูลานซิสเตอร์	42
4.1 การวิเคราะห์โครงสร้างของมอดูลานซิสเตอร์เป็นตัวยูนิตสูตรดิฟเฟอเรนเชียล.....	42
4.2 การแปลงวงจรมติสูตรดิฟเฟอเรนเชียล โดยใช้ทรานซิสเตอร์เพียงอย่างเดียว	45
4.3 วงจรเสมือนของยูนิฟอร์มดิฟเฟอเรนเชียล	46
4.4 การออกแบบมอดูลเป็นยูนิฟอร์มดิฟเฟอเรนเชียล	47
บทที่ 5 การออกแบบวงจรกรองความถี่ผ่านทุกแถบความถี่	49
5.1 วงจรกรองความถี่ผ่านทุกแถบความถี่	49
5.1.1 วงจรกรองความถี่แบบที่นำเสนอ	49
5.1.2 วงจรกรองความถี่แบบที่ 1	50
5.1.3 วงจรกรองความถี่แบบที่ 2	50
5.1.4 วงจรกรองความถี่แบบที่ 3	51
5.2 การหาค่าของอุปกรณ์	52
5.2.1 การหาค่าของอุปกรณ์ในสภาวะปกติ	52
5.2.2 การหาค่าของอุปกรณ์ที่ใช้ในการจำลองการทำงาน	54
5.3 ผลการตอบสนองทางความถี่และเฟสของวงจร	54
5.3.1 ผลการตอบสนองทางความถี่ และเฟสของวงจรกรองความถี่แบบที่นำเสนอ ...	54
5.3.2 ผลการตอบสนองทางความถี่ และเฟสของวงจรกรองความถี่แบบที่ 1	56
5.3.3 ผลการตอบสนองทางความถี่ และเฟสของวงจรกรองความถี่แบบที่ 2	58
5.3.4 ผลการตอบสนองทางความถี่ และเฟสของวงจรกรองความถี่แบบที่ 3	60
5.4 เสถียรภาพของวงจร	61
5.5 ค่าความไวของอุปกรณ์	64
บทที่ 6 สรุปผลการวิจัย และข้อเสนอแนะ	66
บรรณานุกรม.....	67
ภาคผนวก ก. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่	70
ประวัติผู้เขียน.....	81

สารบัญตาราง

ตารางที่	หน้า
3.1 สัญลักษณ์ของมอสเฟตแบบต่าง ๆ	26
5.1 การเปรียบเทียบผลการตอบสนองของวงจรกรองความถี่แบบที่นำเสนอ	56
5.2 การเปรียบเทียบผลการตอบสนองของวงจรกรองความถี่แบบที่ 1	57
5.3 การเปรียบเทียบผลการตอบสนองของวงจรกรองความถี่แบบที่ 2	58
5.4 การเปรียบเทียบผลการตอบสนองของวงจรกรองความถี่แบบที่ 3	59

สารบัญรูป

รูปที่	หน้า
2.1	สายส่งสัญญาณ..... 4
2.2	ส่วนขยายของ Δx ในสายส่ง..... 4
2.3	อินพุตและเอาต์พุตพอร์ตของสายส่ง.....7
2.4	การต่อเรียงกันของโครงข่ายในรูปที่ 2.3..... 7
2.5	รูปแบบของโครงข่าย 2 พอร์ต.....8
2.6	โครงสร้างของ T-Network9
2.7	โครงสร้างของ 2 พอร์ตแบบคิสทรีบิวต์อาร์ซี..... 12
2.8	โครงสร้างและสัญลักษณ์ของยูนิฟอร์มคิสทรีบิวต์อาร์ซี.....13
2.9	โครงสร้างและวงจรโครงข่ายของส่วนย่อย Δx ของคิสทรีบิวต์อาร์ซี.....13
2.10	สัญลักษณ์ของคิสทรีบิวต์อาร์ซี..... 15
2.11	โครงสร้างของคิสทรีบิวต์อาร์ซี เมื่อค่าความนำไฟฟ้า (g) มีค่าน้อยมาก ๆ..... 16
2.12	วงจรเสมือนของคิสทรีบิวต์อาร์ซี (URC) แบบ 2 พอร์ต..... 17
2.13	วงจรเสมือนของ URC กรณีต่อลอย.....18
2.14	โครงสร้างและสัญลักษณ์ของ $DURC$ 18
2.15	วงจรเน็ตเวิร์คที่ใช้ในการหาค่าแอดมิตแดนซ์..... 19
3.1	โครงสร้างของมอสเฟตแบบดีพลีชันชนิด N-Channel 24
3.2	โครงสร้างของมอสเฟตแบบดีพลีชันชนิด P-Channel 24
3.3	โครงสร้างของมอสเฟตแบบเอ็นฮานเมนต์ชนิด N-Channel25
3.4	โครงสร้างของมอสเฟตแบบเอ็นฮานเมนต์ชนิด P-Channel 25
3.5	ขณะที่ไม่มีการป้อนแรงดันเข้าที่มอสเฟต..... 27
3.6	การเกิดชั้นกลับ (Inversion Layer) ขึ้นเมื่อมีการป้อนแรงดันเข้าที่ขาเกต.....28
3.7	ผลการเกิดช่องทางเดินกระแสที่เกิดขึ้นที่มีขนาดเพิ่มขึ้นตามแรงดันเกรนเทียบซอร์ส ที่ป้อนเข้าไปในมอสเฟต โดยที่ $V_{GS} > V_{TO}$ และ $V_{DS} = V_{GS} - V_{TO}$ 29
3.8	กราฟความสัมพันธ์ของกระแสเกรนกับแรงดันเกรนเทียบซอร์ส ในย่านการทำงานต่าง ๆ ของมอสเฟต 29
3.9	ภาพตัดขวางของมอสเฟตในขณะที่มีการเกิด Pinched-Off ขึ้นที่ช่องทางเดินกระแส.....30
3.10	ภาพตัดขวางของ PMOS และ NMOS รวมอยู่ในชั้นสารที่มีฐานรองเดียวกัน..... 31
3.11	โครงสร้างของ CMOS 31
3.12	ความสัมพันธ์ของคุณสมบัติถ่ายโอนของมอสเฟต..... 35

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.13 ความสัมพันธ์ของกระแส I_D กับแรงดัน V_{DS} เมื่อมีการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส	36
3.14 การแทนสัญลักษณ์ของวงจรรองความถี่	38
3.15 คุณสมบัติในอุดมคติของเฟส ขนาด และกรุปดีเลย์	39
3.16 ผลตอบสนองขนาดของวงจรรองความถี่ในอุดมคติชนิดต่าง ๆ	40
4.1 โครงสร้างของมอสเฟตในรูปแบบสัญญาณขนาดเล็ก	42
4.2 การเกิดค่าความต้านทานและค่าเก็บประจุไฟฟ้าในมอสเฟต	44
4.3 การจ่ายแรงดันไบอัสให้กับมอสเฟต	45
4.4 วงจรเสมือนของ \overline{URC}	47
4.5 วงจรเสมือนของ \overline{DURC}	47
4.6 รูปแบบสัญญาณขนาดเล็กของมอสเฟต	47
5.1 วงจรรองความถี่ผ่านทุกแถบความถี่แบบที่ใช้ \overline{DURC} ที่นำเสนอ	49
5.2 วงจรรองความถี่ผ่านทุกแถบความถี่แบบที่ใช้ \overline{URC} แบบที่ 1	50
5.3 วงจรรองความถี่ผ่านทุกแถบความถี่แบบที่ใช้ \overline{DURC} แบบที่ 2	50
5.4 วงจรรองความถี่ผ่านทุกแถบความถี่แบบที่ใช้ \overline{DURC} แบบที่ 3	51
5.5 วงจรรองความถี่ ค่า zero = $\sigma + j1$, ค่า pole = $-\sigma + j1$ ของค่าอุปกรณ R_f	52
5.6 วงจรรองความถี่ ค่า zero = $\sigma + j1$, ค่า pole = $-\sigma + j1$ ของค่าอุปกรณ R_i	53
5.7 วงจรรองความถี่ ค่า zero = $\sigma + j1$, ค่า pole = $-\sigma + j1$ ของค่าอัตราขยาย	53
5.8 ผลการตอบสนองทางความถี่และเฟสของวงจรรองความถี่แบบที่นำเสนอ โดยใช้อุปกรณ R, C	54
5.9 ผลการตอบสนองทางความถี่และเฟสของวงจรรองความถี่แบบที่นำเสนอ โดยใช้ทรานซิสเตอร์อย่างเดียว	55
5.10 เปรียบเทียบผลการตอบสนองทางความถี่และเฟสของวงจรรองความถี่แบบที่นำเสนอ ...	55
5.11 เปรียบเทียบผลการตอบสนองทางความถี่และเฟสของวงจรรองความถี่แบบที่ 1	57
5.12 เปรียบเทียบผลการตอบสนองทางความถี่และเฟสของวงจรรองความถี่แบบที่ 2	58
5.13 เปรียบเทียบผลการตอบสนองทางความถี่และเฟสของวงจรรองความถี่แบบที่ 3	59
5.14 การปรับเปลี่ยนแรงดันไฟฟ้าที่จ่ายให้กับขาเกต (Gate) ของทรานซิสเตอร์	60

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.15 เสด็จรูปภาพของวงจรถองความถี่ผ่านทุกแถบความถี่แบบที่นำเสนอ	61
5.16 เสด็จรูปภาพของวงจรถองความถี่ผ่านทุกแถบความถี่แบบที่ 1	61
5.17 เสด็จรูปภาพของวงจรถองความถี่ผ่านทุกแถบความถี่แบบที่ 2	62
5.18 เสด็จรูปภาพของวงจรถองความถี่ผ่านทุกแถบความถี่แบบที่ 3	62
5.19 ค่าความไว $S_{R_0}^{T(s)}$ ของวงจรถองความถี่ผ่านทุกแถบความถี่	63
5.20 ค่าความไว $S_{R_f}^{T(s)}$ ของวงจรถองความถี่ผ่านทุกแถบความถี่	64
5.21 ค่าความไว $S_{R_i}^{T(s)}$ ของวงจรถองความถี่ผ่านทุกแถบความถี่	64
5.22 ค่าความไว $S_K^{T(s)}$ ของวงจรถองความถี่ผ่านทุกแถบความถี่	65

บทที่ 1

บทนำ

1.1 ที่มาของงานวิจัย

การออกแบบวงจรกรองความถี่ เพื่อนำไปใช้ตามลักษณะงานที่ต้องการ ในการสังเคราะห์วงจร นิยมใช้อุปกรณ์แบบลumped element (Lumped Element) อาจจะเป็นวงจรพาสซีฟ (Passive circuit) ที่ประกอบด้วยอุปกรณ์ตัวความต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำ (R, C, L) หรือ วงจรแอคทีฟ (Active circuit) ที่ใช้อุปกรณ์ตัวความต้านทาน และตัวเก็บประจุ ต่อร่วมกับออปแอมป์ วงจรที่ประกอบด้วยอุปกรณ์เหล่านี้จะมีขนาดใหญ่และการตอบสนองโดยทั่วไปของวงจรยังไม่ดีเท่าที่ควร ต่อมาได้มีการพัฒนาการสังเคราะห์วงจรโดยใช้เน็ตเวิร์กแบบยูนิฟอร์มคิสทริบิวต์อาร์ซี (Uniform Distributed RC Line) โดยใช้เทคโนโลยีแผ่นฟิล์มหนา (Thick Film) หรือ แผ่นฟิล์มบาง (Thin Film) ในการผลิตไอซี (Integrated Circuit) ซึ่งจะมีคุณลักษณะการตอบสนองที่ดี มีค่าความไวต่ำ แบนด์วิดท์ที่แคบ ใช้งานง่ายและไม่มีปัญหาเรื่องผลกระทบข้างเคียงของวงจรในการนำไปใช้งาน ปัจจุบันได้มีการนำเทคโนโลยีของมอสทรานซิสเตอร์มาใช้ในการออกแบบวงจรต่าง ๆ มากมายเนื่องจากจะทำให้วงจรมีขนาดเล็ก การใช้พลังงานต่ำ การให้ผลการตอบสนองที่ดีกว่า และสามารถนำไปใช้งานที่ความถี่สูงได้

วงจรกรองความถี่ผ่านทุกแถบความถี่ (All Pass Filter) หรือเรียกอีกชื่อว่า วงจรเลื่อนเฟส เป็นวงจรที่มีประโยชน์ต่อการใช้งานได้หลากหลายทั้งในงานด้านเทคโนโลยีสื่อสาร โทรคมนาคม และงานด้านเครื่องมือวัดต่าง ๆ โดยประโยชน์สำคัญเพื่อที่จะใช้ชดเชยเฟส หรือเพื่อช่วยปรับคุณสมบัติทางเฟสของระบบต่าง ๆ ให้เป็นไปตามที่ต้องการ หรือจะนำมาต่อเป็นส่วนป้อนกลับของวงจรขยายสัญญาณอย่างเหมาะสมก็จะสามารถทำให้เกิดเป็นวงจรรอสซิลเลเตอร์ได้

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้นำเสนอวิธีการสังเคราะห์วงจรกรองความถี่ผ่านทุกแถบความถี่ โดยการใช้เน็ตเวิร์กแบบยูนิฟอร์มคิสทริบิวต์อาร์ซี แบบใช้โครงสร้างของมอสทรานซิสเตอร์เพียงอย่างเดียว โดยการนำคุณสมบัติของโครงสร้างทรานซิสเตอร์ที่ให้ค่าความต้านทานและค่าความเก็บประจุภายใน ทำการออกแบบวงจรโครงสร้างภายในให้มีค่าเทียบเท่าเน็ตเวิร์กแบบยูนิฟอร์มคิสทริบิวต์อาร์ซี ซึ่งผลการตอบสนองที่ได้จะขึ้นอยู่กับการจัดวงจรและการจ่ายแรงดันไบอัสที่เหมาะสม วงจรกรองความถี่ที่ได้ทำการออกแบบนี้จะเป็นวงจรง่าย ๆ มีอุปกรณ์จำนวนน้อย ทำให้วงจรมีขนาดเล็กใช้พื้นที่น้อย และสามารถนำไปสร้างวงจรได้จริง

1.3 รายละเอียดของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 6 บท โดยในบทแรกนั้นจะเป็นการกล่าวถึงที่มาของการทำวิจัย และวัตถุประสงค์ในการทำวิทยานิพนธ์ ส่วนรายละเอียดของบทต่าง ๆ อีก 5 บทนั้น สามารถกล่าวโดยสรุปได้ดังนี้

บทที่ 2 กล่าวถึงทฤษฎีพื้นฐานทั่วไปที่จำเป็นต่อการทำวิทยานิพนธ์ฉบับนี้ ประกอบด้วยทฤษฎีของคิสทริบิวต์อาร์ซี ซึ่งในการวิเคราะห์ค่าพารามิเตอร์จะใช้หลักการเดียวกับการวิเคราะห์ทฤษฎีของสายส่ง โดยจะทำการเปรียบเทียบโครงสร้าง พารามิเตอร์ และเน็ตเวิร์กฟังก์ชัน ระหว่างเน็ตเวิร์กแบบลัมด์ เน็ตเวิร์กแบบคิสทริบิวต์อาร์ซีไลน์แบบคาปาซิทีฟชั้นเดียวและแบบสองชั้น

บทที่ 3 กล่าวถึงทฤษฎีการทำงานของมอสเฟต ประกอบด้วยโครงสร้าง และสัญลักษณ์ของมอสเฟตชนิดต่าง ๆ คุณสมบัติการทำงานในย่านต่าง ๆ เมื่อจ่ายแรงดันไบอัสให้กับมอสเฟต ทฤษฎีพื้นฐานของวงจรกรองความถี่ ประกอบด้วย คุณสมบัติของเฟส ขนาด และ กรู๊ปดีเลย์ ของวงจรกรองความถี่ชนิดต่าง ๆ และฟังก์ชันการถ่ายโอนของวงจรกรองผ่านทุกแถบความถี่

บทที่ 4 กล่าวถึงการแปลงวงจรมินิฟอร์มคิสทริบิวต์อาร์ซี โดยใช้มอสทรานซิสเตอร์เพียงอย่างเดียว โดยจะทำการวิเคราะห์โครงสร้างของมอสทรานซิสเตอร์เป็นยูนิฟอร์มคิสทริบิวต์อาร์ซี และค่าพารามิเตอร์ต่าง ๆ ซึ่งจะใช้โครงสร้างของมอสเฟตในรูปแบบสัญญาณขนาดเล็ก

บทที่ 5 กล่าวถึงการออกแบบวงจรกรองความถี่ผ่านทุกแถบความถี่ ทำการเปรียบเทียบผลการตอบสนองทางเฟส ขนาด การวิเคราะห์หาค่าเสถียรภาพ และความไวของวงจรที่นำเสนอเปรียบเทียบกับวงจรรูปแบบต่าง ๆ ที่มีลักษณะใกล้เคียงกัน

บทที่ 6 ซึ่งเป็นบทสรุป การวิเคราะห์ผลการวิจัย และข้อเสนอแนะจากผลการศึกษาการทำวิทยานิพนธ์นี้ทั้งหมดเพื่อเป็นแนวทางในการพัฒนาต่อไป

บทที่ 2

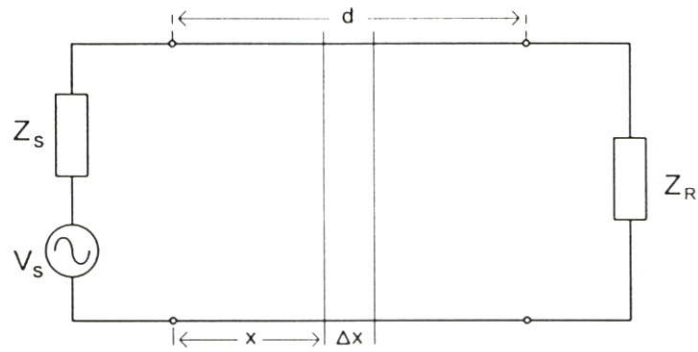
หลักการยูนิฟอร์มดิสทริบิวต์อาร์ซี

ปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์และสื่อสารโทรคมนาคม ได้ถูกพัฒนาอย่างรวดเร็ว การออกแบบวงจรไม่จำกัดแต่เฉพาะการใช้อุปกรณ์แบบลัมด์อีลิเมนต์ (Lumped Element) ที่เป็นแบบพาสซีฟ หรือแบบแอคทีฟ เท่านั้น แต่ยังมีกรออกแบบวงจรที่มีส่วนประกอบเป็นยูนิฟอร์มดิสทริบิวต์อาร์ซี (Uniformly Distributed RC Line) [5, 9] โดยการใช้เทคโนโลยีแผ่นฟิล์มหนา หรือแผ่นฟิล์มบางที่ใช้ในกระบวนการผลิตชิปไอซี ซึ่งเน็ตเวิร์กแบบยูนิฟอร์มดิสทริบิวต์อาร์ซีนีจะมีคุณลักษณะทั่ว ๆ ไปที่ดีกว่า และมีขนาดที่เล็กกว่าเน็ตเวิร์กแบบลัมด์อีลิเมนต์อาร์ซี จึงทำให้การออกแบบวงจรเน็ตเวิร์กแบบยูนิฟอร์มดิสทริบิวต์อาร์ซีสามารถนำไปใช้งานได้ง่าย

วงจรแบบดิสทริบิวต์อาร์ซี มีอยู่หลายประเภท เช่น โครงสร้างแผ่นฟิล์มบางแบบมัลติเลเยอร์ (Multilayers) ที่มีชั้นของตัวนำไฟฟ้า (Conductor) ความต้านทาน (Resistor) และฉนวน (Dielectrics) ประกอบติดเข้าด้วยกัน โดยชั้นของความต้านทานและตัวนำไฟฟ้าอาจจะมีจุดต่อออกมาหลายจุดที่ขอบทางด้านข้างของดิสทริบิวต์อาร์ซี และอาจอยู่ในรูปแบบที่เป็นรอยต่อพี-เอ็นที่มีจุดต่อหลายจุด (Multi Contacted P-N Junction) ซึ่งตัวความต้านทานจะเป็นส่วนประกอบของสารกึ่งตัวนำ และตัวเก็บประจุจะใช้ผลของการจ่ายแรงดันไบอัสที่รอยต่อ สำหรับการวิเคราะห์พารามิเตอร์ของดิสทริบิวต์อาร์ซี จะใช้หลักการเดียวกันกับหลักการของสายส่ง (Transmission Line) โดยจะทำการวิเคราะห์ถึงโครงสร้าง และพารามิเตอร์ระหว่างวงจรแบบลัมด์ และวงจรแบบดิสทริบิวต์อาร์ซี

2.1 สายส่ง (Transmission Line)

การส่งผ่านพลังงานไฟฟ้าหรือส่งสัญญาณข่าวสารต่าง ๆ จะใช้สายเคเบิล (Cable) หรือสายส่ง (Transmission Line) เมื่อมีกระแสไฟฟ้าไหลผ่านสายส่ง จะเกิดค่าความเหนี่ยวนำ (Inductance: L) ค่าความจุไฟฟ้า (Capacitance: C) ค่าความต้านทานไฟฟ้า (Resistance: r) และค่าความนำกระแสไฟฟ้า (Conductance: g) กระจายอยู่ตลอดภายในสายส่ง ถ้าพารามิเตอร์ L , C , r และ g มีความสัมพันธ์ที่ไม่ขึ้นกับระยะทาง จะเรียกว่าสายส่งแบบสม่ำเสมอ (Uniform Transmission Line) ถ้าส่งสัญญาณจากด้านส่งไปยังด้านรับ ณ จุดที่ห่างจากด้านส่งเป็นระยะทาง x มีขนาดย่อย ๆ เป็น Δx ดังรูปที่ 2.1



รูปที่ 2.1 สายส่งสัญญาณ

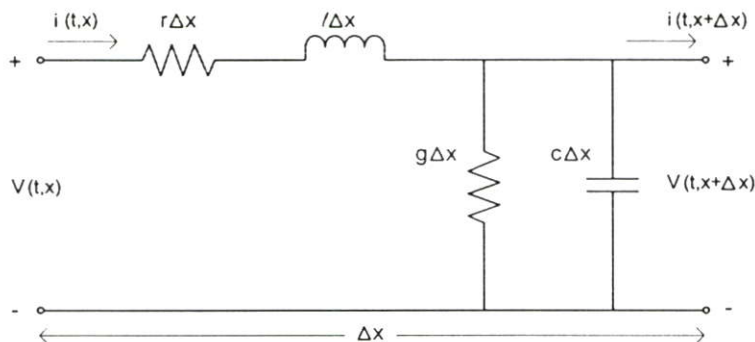
เมื่อขยาย Δx ออกไปจะได้วงจรเสมือน ตามรูปที่ 2.2 ซึ่ง $v(t, x)$, $i(t, x)$ จะเป็นศักดาไฟฟ้า และกระแสไฟฟ้าที่จุด x ตามลำดับ โดยมีค่าคิสรพินิตพารามิเตอร์ (Distributed Parameter) ต่าง ๆ ดังนี้

r : ค่าความต้านทาน (Resistance : ohm/meter)

l : ค่าความเหนี่ยวนำ (Inductance : henry/meter)

g : ค่าความนำกระแส (Conductance : mho/meter)

c : ค่าความจุไฟฟ้า (Capacitance : farad/meter)



รูปที่ 2.2 ส่วนขยายของ Δx ในสายส่ง

จากรูปที่ 2.2 โดยใช้กฎแรงดันและกระแสของเคอร์ชอฟฟ์ (Kirchhoff's Law) สามารถเขียนเป็นสมการได้ดังนี้

$$v(t, x + \Delta x) - v(t, x) \approx -\Delta x \left(l \frac{\partial i(t, x)}{\partial t} + ri(t, x) \right) \quad (2.1)$$

$$i(t, x + \Delta x) - i(t, x) \approx -\Delta x \left(c \frac{\partial v(t, x, \Delta x)}{\partial t} + gi(t, x, \Delta x) \right) \quad (2.2)$$

จากสมการ (2.1), (2.2) เมื่อกำหนดให้ลิมิตของ Δx เข้าใกล้ศูนย์ จะได้สมการเชิงอนุพันธ์ย่อย

$$\frac{\partial v(t, x)}{\partial x} = -l \frac{\partial i(t, x)}{\partial t} - ri(t, x) \quad (2.3)$$

$$\frac{\partial i(t, x)}{\partial x} = -c \frac{\partial v(t, x)}{\partial t} - gv(t, x) \quad (2.4)$$

จาก $v(t, x)$ และ $i(t, x)$ ทำการแปลงลาปลาซจะได้

$$V(s, x) = L[v(t, x)] = \int_0^{\infty} v(t, x) e^{-st} dt \quad (2.5a)$$

$$I(s, x) = L[i(t, x)] = \int_0^{\infty} i(t, x) e^{-st} dt \quad (2.5b)$$

เมื่อหาอนุพันธ์สมการ (2.5a, b) เทียบกับ x จะได้

$$L\left[\frac{\partial v(t, x)}{\partial x}\right] = \int_0^{\infty} \frac{\partial v(t, x)}{\partial x} e^{-st} dt = \frac{\partial}{\partial x} \int_0^{\infty} v(t, x) e^{-st} dt = \frac{\partial V(s, x)}{\partial x}$$

$$L\left[\frac{\partial i(t, x)}{\partial x}\right] = \int_0^{\infty} \frac{\partial i(t, x)}{\partial x} e^{-st} dt = \frac{\partial}{\partial x} \int_0^{\infty} i(t, x) e^{-st} dt = \frac{\partial I(s, x)}{\partial x} \quad (2.6)$$

โดยการแปลงลาปลาซในสมการ (2.3) และ (2.4) จะได้

$$\frac{\partial}{\partial x} V(s, x) = -(ls + r)I(s, x) \quad (2.7)$$

$$\frac{\partial}{\partial x} I(s, x) = -(cs + g)V(s, x) \quad (2.8)$$

เนื่องจากตัวแปรในสมการ (2.7) และ (2.8) มีเพียงตัวแปรเดียวคือ x จึงเขียน dx แทน ∂x ได้

$$\frac{d}{dx} V(s, x) = -(ls + r)I(s, x) \quad (2.9)$$

$$\frac{d}{dx} I(s, x) = -(cs + g)V(s, x) \quad (2.10)$$

ถ้าหาอนุพันธ์สมการ (2.9) และ (2.10) เทียบกับ x เมื่อ l, c, r, g เป็นค่าคงที่ จะได้

$$\frac{d^2}{dx^2} V(s, x) = -(ls + r) \frac{d}{dx} I(s, x) \quad (2.11)$$

$$\frac{d^2}{dx^2} I(s, x) = -(cs + g) \frac{d}{dx} V(s, x) \quad (2.12)$$

โดยการแทนค่าสมการ (2.10) ลงในสมการ (2.11) และแทนค่าสมการ (2.9) ลงในสมการ (2.12) จะได้สมการของสายส่งแบบสม่ำเสมอ คือ

$$\frac{d^2}{dx^2} V - (ls + r)(cs + g)V = 0 \quad (2.13)$$

$$\frac{d^2}{dx^2} I - (ls + r)(cs + g)I = 0 \quad (2.14)$$

สมการ (2.13) และ (2.14) เป็นสมการอนุพันธ์อันดับ 2 ซึ่งสามารถเขียนได้ใหม่คือ

$$V(s, x) = A_1 \cosh \Gamma x + A_2 \sinh \Gamma x \quad (2.15)$$

$$I(s, x) = B_1 \cosh \Gamma x + B_2 \sinh \Gamma x \quad (2.16)$$

เมื่อ Γ เป็นสภาวะการแพร่กระจายของคลื่น (Propagation Function) โดยมีค่าดังนี้

$$\Gamma = \sqrt{(ls + r)(cs + g)} \quad (2.17)$$

สำหรับเทอม A_1, A_2, B_1 และ B_2 เป็นค่าคงที่ และสามารถกำหนดได้ดังนี้ สำหรับสายส่ง (Transmission Line) ที่มีความยาวเท่ากับ d ซึ่งจะเป็นโครงข่ายแบบ 2 พอร์ต โดยทางอินพุตจะเป็น $V(s, 0), I(s, 0)$ และทางเอาต์พุตเป็น $V(s, d), I(s, d)$ จากสมการ (2.15), (2.16) ที่ $x=0$ จะได้

$$A_1 = V(s, 0) \quad (2.18)$$

$$B_1 = I(s, 0) \quad (2.19)$$

ถ้าหาอนุพันธ์สมการ (2.15) และ (2.16) เทียบกับ x และแทนค่าลงในสมการ (2.9) และ (2.10) ตามลำดับ กำหนดให้ $x = 0$ จะได้

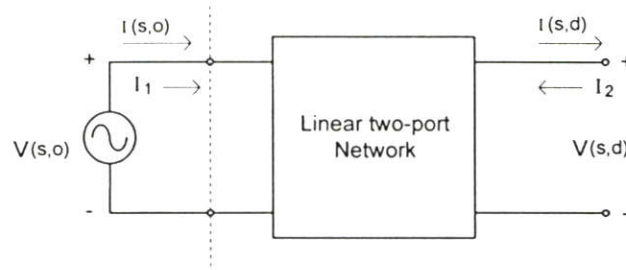
$$A_2 = -\sqrt{\frac{ls + r}{cs + g}} I(s, 0) = -Z_0 I(s, 0) \quad (2.20)$$

$$B_2 = -\sqrt{\frac{ls + r}{cs + g}} V(s, 0) = -\frac{V(s, 0)}{Z_0} \quad (2.21)$$

เมื่อ Z_0 เป็นคุณลักษณะทางอิมพีแดนซ์ (Characteristic Impedance) ของสายส่งแบบสม่ำเสมอ

$$Z_0 = \sqrt{\frac{ls + r}{cs + g}} \quad (2.22)$$

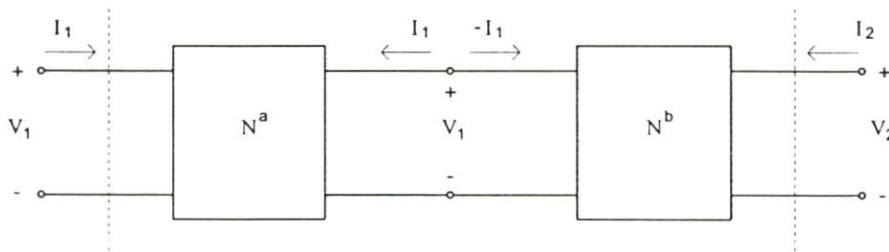
ดังนั้นอินพุตและเอาต์พุตพอร์ตของสายส่งที่ได้จากสมการ (2.15) ถึงสมการ (2.22) สามารถแสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 อินพุตและเอาต์พุตพอร์ตของสายส่ง

สำหรับโครงข่ายในรูปที่ 2.3 สามารถเขียนเป็นพารามิเตอร์ ABCD ในรูปของสมการเมตริกซ์ได้ดังในสมการ (2.23) โดยที่ $V(s,0)$, $I(s,0)$ เป็นแรงดันและกระแสของพอร์ตที่ 1 ตามลำดับ เขียนเป็น V_1 , I_1 และ $V(s,d)$, $I(s,d)$ เป็นแรงดันและกระแสของพอร์ตที่ 2 ตามลำดับ เขียนเป็น V_2 , $-I_2$

$$\begin{bmatrix} V_1 \\ -I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} \quad (2.23)$$



รูปที่ 2.4 การต่อเรียงกันของโครงข่ายในรูปที่ 2.3

ถ้านำโครงข่ายในรูปที่ 2.3 สองชุดมาต่อเรียงกันดังรูปที่ 2.4 ผลรวมทั้งหมด จะได้เป็นสมการ ABCD เมตริกซ์ คือ

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A^a & B^a \\ C^a & D^a \end{bmatrix} \begin{bmatrix} A^b & B^b \\ C^b & D^b \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} \quad (2.24)$$

$$\begin{aligned} \text{เมื่อ} \quad A &= A^a A^b + B^a C^b, & B &= A^a B^b + B^a D^b \\ C &= C^a A^b + D^a C^b, & D &= C^a B^b + D^a D^b \end{aligned}$$

ถ้าแทนสมการ (2.18) ถึง (2.21) ลงในสมการ (2.15), (2.16) และแปลงค่าพารามิเตอร์ของเมตริกซ์ซึ่งเป็นอินเวอร์สทรานสมิตชันเมตริกซ์ (Inverse Transmission Matrix) จะได้สมการของสายส่งแบบสม่ำเสมอ คือ

$$\begin{bmatrix} V(s,d) \\ -I(s,d) \end{bmatrix} = \begin{bmatrix} \cosh \Gamma d & Z_0 \sinh \Gamma d \\ \frac{\sinh \Gamma d}{Z_0} & \cosh \Gamma d \end{bmatrix} \begin{bmatrix} V(s,0) \\ -I(s,0) \end{bmatrix} \quad (2.25)$$

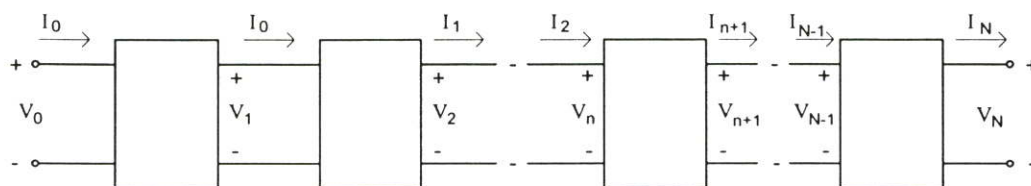
ในทำนองเดียวกัน โดยการแปลงพารามิเตอร์ของเมตริกซ์ ไปเป็นพารามิเตอร์ของอิมพีแดนซ์วงจรเปิด (Open-Circuit Impedance) หรือ Z-Parameter และค่าพารามิเตอร์ของแอดมิตแดนซ์วงจรลัด (Short-Circuit Admittance) หรือ Y-Parameter จะได้

$$[Z] = Z_0 \begin{bmatrix} \coth \Gamma d & \operatorname{cosech} \Gamma d \\ \operatorname{cosech} \Gamma d & \coth \Gamma d \end{bmatrix} \quad (2.26)$$

$$[Y] = \frac{1}{Z_0} \begin{bmatrix} \coth \Gamma d & -\operatorname{cosech} \Gamma d \\ -\operatorname{cosech} \Gamma d & \coth \Gamma d \end{bmatrix} \quad (2.27)$$

2.2 โครงสร้างของลัมด์พารามิเตอร์

การประมาณโครงสร้างแบบลัมด์ (Lumped Element) เมื่อนำมาเปรียบเทียบกับโครงสร้างแบบคิสทริบิวต์ (Distributed) จะต้องใช้โครงข่ายแบบ 2 พอร์ตที่เหมือนกันจำนวนหลายชุด มาทำการประกอบเข้าด้วยกันดังรูปที่ 2.4 โดยที่แต่ละชุดต้องมีขนาดเล็ก และมีจำนวนมากเมื่อเทียบต่อหนึ่งหน่วยความยาว จำนวนชุดของกลุ่มก้อนที่เพียงพอที่จะแสดงคุณสมบัติของโครงข่ายคิสทริบิวต์ ขึ้นอยู่กับความเที่ยงตรงที่ต้องการ และช่วงความถี่ที่ใช้ในทอมเวลาคงที่ (Time constant) ของสายส่ง ถ้าเป็นไปได้จะต้องใช้จำนวนชุดของกลุ่มก้อนให้มีจำนวนเข้าใกล้ค่าอนันต์ (Infinity) จึงจะได้โครงสร้างแบบคิสทริบิวต์



รูปที่ 2.5 รูปแบบของโครงข่าย 2 พอร์ต

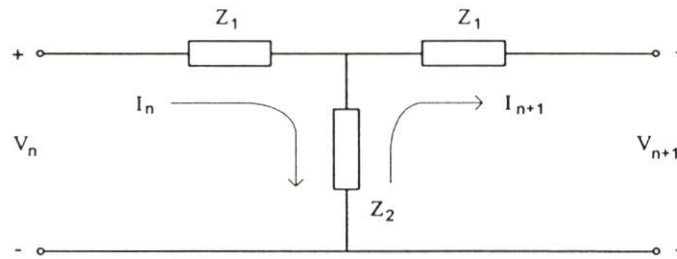
สำหรับสายส่งแบบสม่ำเสมอที่มีความยาวจำกัด สามารถประมาณได้โดยใช้โครงสร้างของลัมด์แบบ 2 พอร์ตจำนวนหลาย ๆ ชุด ดังในรูปที่ 2.5 ในส่วนหนึ่งของสายส่ง โดยให้มีโครงสร้าง

แบบ T ซึ่งสามารถเขียนได้ดังในรูปที่ 2.6 สมมติสถานะเริ่มต้นให้เท่ากับศูนย์ จากวงจรโดยการหาสมการเมชเคอร์เรนท์จะได้

$$(Z_1 + Z_2)I_n - Z_2I_{n+1} = V_n \quad (2.28)$$

$$Z_2I_n - (Z_1 + Z_2)I_{n+1} = V_{n+1} \quad (2.29)$$

เมื่อ $n = 0, 1, \dots, N+1$



รูปที่ 2.6 โครงสร้างของ T-Network

จากสมการ (2.28), (2.29) สามารถเขียนได้ใหม่ในรูป Recurrence Form คือ

$$\begin{bmatrix} V_{n+1} \\ I_{n+1} \end{bmatrix} = \begin{bmatrix} 1 + \frac{Z_1}{Z_2} & -\left(\frac{Z_1^2}{Z_2} + 2Z_1\right) \\ -\frac{1}{Z_2} & 1 + \frac{Z_1}{Z_2} \end{bmatrix} \begin{bmatrix} V_n \\ I_n \end{bmatrix} \quad (2.30)$$

สมการ (2.30) สามารถเขียนในรูปแบบเมทริกซ์ได้ คือ

$$[X_{n+1}] = [M][X_n] \quad (2.31)$$

เมื่อ

$$[M] = \begin{bmatrix} 1 + \frac{Z_1}{Z_2} & -\left(\frac{Z_1^2}{Z_2} + 2Z_1\right) \\ -\frac{1}{Z_2} & 1 + \frac{Z_1}{Z_2} \end{bmatrix} \quad (2.32)$$

$$[X_{n+1}] = \begin{bmatrix} V_{n+1} \\ I_{n+1} \end{bmatrix} \quad \text{และ} \quad [X_n] = \begin{bmatrix} V_n \\ I_n \end{bmatrix} \quad (2.33)$$

จากสมการ (2.31) สามารถเขียนได้ใหม่คือ

$$[X_n] = [M]^n [X_0] \quad (2.34)$$

เมื่อกำหนดให้ $[M]^n$ หาได้จาก Eigenvalues ของ $[M]$ ค่า Eigenvalues เป็นรากของสมการคุณลักษณะ นั่นคือ

$$\det[M - \lambda I] = \lambda^2 - 2\lambda \left(\frac{Z_1}{Z_2} + 1 \right) + 1 = 0 \quad (2.35)$$

เมื่อ $[I]$ คือ เมทริกซ์เอกลักษณ์ หรือ เมทริกซ์หนึ่งหน่วย
ค่า Eigenvalues ทั้ง 2 ค่า จากสมการ (2.35) สัมพันธ์กันดังนี้

$$\lambda_1 \lambda_2 = 1 \quad (2.36)$$

$$\lambda_1 + \lambda_2 = 2 \left(\frac{Z_1}{Z_2} + 1 \right) \quad (2.37)$$

จากสมการ (2.36), (2.37) กำหนดให้ $\lambda_1 = e^\zeta$, $\lambda_2 = e^{-\zeta}$ จะได้ $\cosh \zeta = (Z_1 / Z_2) + 1$
แล้วหา $[M]^n$ โดยใช้ทฤษฎีของ Cayley-Hamilton โดยให้

$$[M]^n = C_0 [I] + C_1 [M] \quad (2.38)$$

จะได้

$$(e^\zeta)^n = C_0 + C_1 (e^\zeta) \quad (2.39)$$

$$(e^{-\zeta})^n = C_0 + C_1 (e^{-\zeta}) \quad (2.40)$$

จากสมการ (2.39), (2.40) จะได้

$$C_0 = -\frac{\sinh(n-1)\zeta}{\sinh \zeta}, \quad C_1 = \frac{\sinh n \zeta}{\sinh \zeta} \quad (2.41)$$

$$[M]^n = \begin{bmatrix} \frac{\sinh(n-1)\zeta}{\sinh \zeta} + \frac{\sinh n \zeta \cosh \zeta}{\sinh \zeta} & -\left(\frac{Z_1^2}{Z_2} + 2Z_1 \right) \frac{\sinh n \zeta}{\sinh \zeta} \\ -\frac{1}{Z_2} \frac{\sinh n \zeta}{\sinh \zeta} & -\frac{\sinh(n-1)\zeta}{\sinh \zeta} + \frac{\sinh n \zeta \cosh \zeta}{\sinh \zeta} \end{bmatrix} \quad (2.42)$$

สมการ (2.42) สามารถเขียนได้เป็น

$$-\sinh(n-1)\zeta = -\sinh n \zeta \cosh \zeta + \cosh n \zeta \sinh \zeta \quad (2.43)$$

และ

$$-\left(\frac{Z_1^2}{Z_2} + 2Z_1\right) = Z_2 - Z_2\left(\frac{Z_1 + Z_2}{Z_2}\right)^2 = Z_2(1 - \cosh^2 \zeta) = -Z_2 \sinh^2 \zeta \quad (2.44)$$

ดังนั้นจากสมการ (2.32) สามารถเขียนได้ใหม่

$$[M] = \begin{bmatrix} \cosh \zeta & -Z_2 \sinh^2 \zeta \\ -\frac{1}{Z_2} & \cosh \zeta \end{bmatrix} \quad (2.45)$$

และ $[M]^n$ สามารถเขียนได้ดังนี้

$$[M]^n = \begin{bmatrix} \cosh \zeta & -Z_2 \sinh \zeta \sinh n\zeta \\ -\frac{\sinh n\zeta}{Z_2 \sinh \zeta} & \cosh \zeta \end{bmatrix} \quad (2.46)$$

ดังนั้นสมการ (2.34) จะได้

$$\begin{bmatrix} V_n \\ I_n \end{bmatrix} = \begin{bmatrix} \cosh \zeta & -Z_2 \sinh \zeta \sinh n\zeta \\ -\frac{\sinh n\zeta}{Z_2 \sinh \zeta} & \cosh \zeta \end{bmatrix} \begin{bmatrix} V_0 \\ I_0 \end{bmatrix} \quad (2.47)$$

แรงดันและกระแสในจุดที่ n สำหรับกรณีจุดต่อถูกเปิดวงจรและลัดวงจร สามารถหาค่าได้ดังนี้ สำหรับกรณีเอาต์พุตลัดวงจร ได้ $V_N = 0$ จากสมการ (2.47) โดยการแทน n ด้วย N จะได้

$$I_0 = \frac{\cosh N\zeta}{Z_2 \sinh \zeta \sinh N\zeta} V_0 \quad (2.48)$$

จากสมการ (2.36) และ (2.46) ค่ากระแสและแรงดันในจุดที่ n จะได้

$$I_n = \frac{\cosh(N-n)\zeta}{Z_2 \sinh \zeta \sinh N\zeta} V_0 \quad (2.49)$$

$$V_n = \frac{\cosh(N-n)\zeta}{\sinh N\zeta} V_0 \quad (2.50)$$

สำหรับกรณีเอาต์พุตวงจรเปิด ได้ $I_N = 0$ จากสมการ (2.36) โดยการแทน n ด้วย N จะได้

$$I_0 = \frac{\sinh N\zeta}{Z_2 \sinh \zeta \cosh N\zeta} V_0 \quad (2.51)$$

จากสมการ (2.47) และ (2.51) ค่ากระแสและแรงดันชุดที่ n จะได้

$$I_n = \frac{\cosh(N-n)\zeta}{Z_2 \sinh \zeta \cosh N\zeta} V_0 \quad (2.52)$$

$$V_n = \frac{\cosh(N-n)\zeta}{\cosh N\zeta} V_0 \quad (2.53)$$

สมการ (2.47) เป็น Inverse Transmission Matrix ของโครงข่ายแบบ 2 พอร์ต ผลรวมทั้งหมดสำหรับเมตริกซ์ของโครงข่ายแบบ 2 พอร์ต ซึ่งแสดงในรูปที่ 2.6 ที่ชุดที่ N โดยการแทน n ด้วย N และเปลี่ยนเครื่องหมาย เพื่อให้เหมือนกับเครื่องหมายทั้งสองในรูปที่ 2.3 จะได้

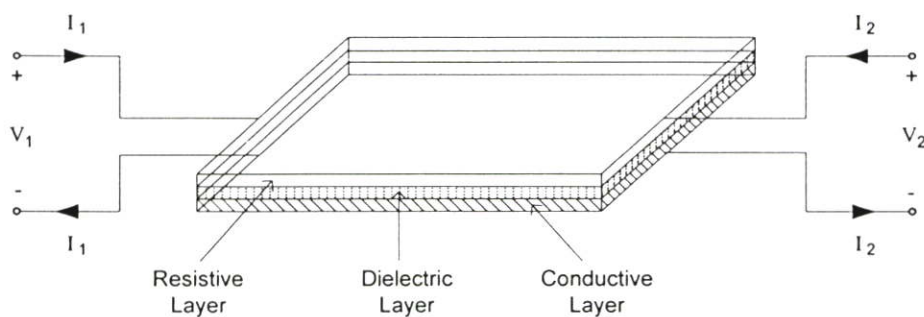
$$\begin{bmatrix} V_N \\ -I_N \end{bmatrix} = \begin{bmatrix} \cosh N\zeta & Z_2 \sinh \zeta \sinh N\zeta \\ \frac{\sinh N\zeta}{Z_2 \sinh \zeta} & \cosh N\zeta \end{bmatrix} \begin{bmatrix} V_0 \\ -I_0 \end{bmatrix} \quad (2.54)$$

จากสมการ (2.54) ถ้าแปลงเมตริกซ์เป็นพารามิเตอร์ของแอดมิตแดนซ์วงจรลัด จะได้

$$[Y] = \frac{1}{Z_2 \sinh \zeta} \begin{bmatrix} \coth N\zeta & -\operatorname{cosech} N\zeta \\ -\operatorname{cosech} N\zeta & \coth N\zeta \end{bmatrix} \quad (2.55)$$

จากสมการ (2.55) จะเห็นว่าเหมือนกับสมการ (2.37) ของโครงข่ายในแบบคิสทริบิวต์ โดยมี $Z_2 \sinh \zeta$ เป็นคุณลักษณะทางอิมพีแดนซ์ (Characteristic Impedance) ของสายส่ง

2.3 โครงสร้างของยูนิฟอร์มคิสทริบิวต์อาร์ซี

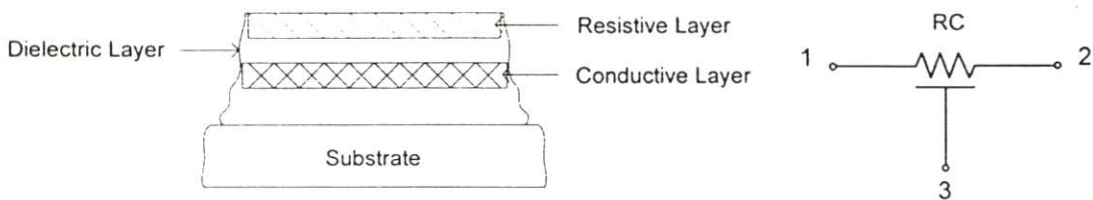


รูปที่ 2.7 โครงสร้างของ 2 พอร์ตแบบคิสทริบิวต์อาร์ซี

โครงข่ายแบบคิสทริบิวต์อาร์ซี สามารถทำให้อยู่ภายในไอซี (Passive Integrated Circuit) โดยมี 2 พอร์ต และมีโครงสร้างดังรูปที่ 2.7 ซึ่งประกอบขึ้นมาจากส่วนต่าง ๆ ดังนี้คือ ส่วนบนสุดจะเป็นชั้นของความต้านทาน (Resistive Layer) รองลงมาเป็นชั้นของฉนวน (Dielectric Layer) และชั้นของตัวนำ

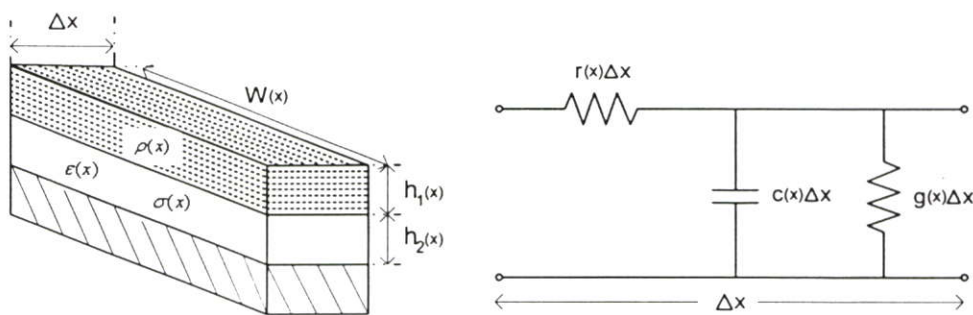
(Conductive Layer) มีความหนาของแต่ละชั้นประมาณ 10^{-5} นิ้ว จึงทำให้วงจรมีขนาดเล็กมาก (Microcircuits) โดยมีโครงสร้างอยู่ 2 แบบ คือ โครงสร้างฟิล์มแผ่นบาง (Thin-Film) และโครงสร้างโมโนลิทิก (Monolithic) โครงสร้างฟิล์มแผ่นบาง ประกอบด้วยชั้นของวัสดุหลายอย่าง ซึ่งวางอยู่บนตัวกลางที่เหมาะสมของสารไดอิเล็กตริก (Dielectric) โดยอาจจะถูก Titanate ด้วยแผ่นบาง Nichrome Resistive Film ซึ่งวางอยู่ด้านบนและแผ่นตัวนำทองแดง (Conductive Copper Film) ที่วางอยู่ด้านล่าง ห่อหุ้มด้วยสารไดอิเล็กตริก และอยู่บน Passive Substrate ด้วยวิธี Vaporization หรือ Electrochemical Technique โครงสร้าง Monolithic ประกอบด้วยชั้นของสารกึ่งตัวนำ ถูกทำเป็นรูปสี่เหลี่ยมเล็ก ๆ เช่น Distributed Resistance ได้มาจาก Lightly Doped สารกึ่งตัวนำ และ Distribute Capacitance ได้มาจากการป้อนไบอัสกลับข้างของรอยต่อพี - เอ็น (P-N Junction) ภายใน วงจรขนาดจิ๋วจะถูกนำมาใช้สำหรับ Distributed RC Active Network

การทำงานทางไฟฟ้าจากโครงสร้าง จะขึ้นอยู่กับลักษณะของวัตถุและรูปทรงทางเรขาคณิต โดยที่วิธีการที่จะใช้ในการผลิตจะขึ้นอยู่กับข้อกำหนดขนาดของโครงสร้าง และคุณลักษณะการทำงาน ตัวอย่าง โครงสร้างของวงจรมินิฟอร์มดิสทริบิวต์อาร์ซี [4] ซึ่งอยู่ในไอซีแสดงดังรูปที่ 2.8(ก) และมีสัญลักษณ์ของวงจรดังรูปที่ 2.8(ข)



รูปที่ 2.8 โครงสร้างและสัญลักษณ์ของยูนิฟอร์มดิสทริบิวต์อาร์ซี

สำหรับโครงข่ายแบบดิสทริบิวต์อาร์ซี ตามรูปที่ 2.7 มี 2 พอร์ต โดยภายใต้เงื่อนไขการไหลของกระแสการไหลแบบ 1 ทิศทาง (One Dimension Current Flow) โครงข่ายจะถูกแบ่งออกเป็นหน่วยย่อย ๆ จำนวนเพิ่มทีละส่วนของความยาวเป็น Δx ดังแสดงในรูปที่ 2.9



รูปที่ 2.9 โครงสร้างและวงจรโครงข่ายของส่วนย่อย Δx ของดิสทริบิวต์อาร์ซี

ความต้านทานของแต่ละอิลิเมนต์ที่ต่อเนื่องกันในแต่ละส่วน จะเป็นฟังก์ชันตามแผ่นความต้านทานของแต่ละอิลิเมนต์ ค่าความต้านทานในแต่ละอิลิเมนต์ $r(x)\Delta x$ ถูกกำหนด คือ

$$r(x)\Delta x = \frac{\rho\Delta x}{Wh_1} \quad (2.56)$$

เมื่อ ρ และ h_1 คือ ความต้านทานจำเพาะ และความหนาแน่นของแผ่นความต้านทานที่ x
 W คือ ความกว้างของอิลิเมนต์ที่ x

ส่วน Shunt Admittance ของอิลิเมนต์สามารถหาได้ในลักษณะเดียวกัน ซึ่งจะประกอบด้วย ค่าความจุ และค่าความนำของแผ่นไดอิเล็กตริกของอิลิเมนต์ นั่นคือ

$$c(x)\Delta x = \frac{\varepsilon W\Delta x}{h_2} \quad (2.57)$$

$$g(x)\Delta x = \frac{\sigma W\Delta x}{h_2} \quad (2.58)$$

เมื่อ ε และ σ คือ Permittivity และ Conductivity ของแผ่นไดอิเล็กตริก

h_2 คือ ความหนาแน่นของแผ่นไดอิเล็กตริก ที่ x

ถ้าให้ลิมิตของ Δx เข้าใกล้ศูนย์ ค่าความต้านทานไฟฟ้า ค่าความจุไฟฟ้า และค่าความนำไฟฟ้า ต่อหน่วยความยาว จะได้

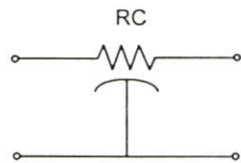
$$r(x) = \frac{\rho}{Wh_1} \quad (2.59)$$

$$c(x) = \frac{\varepsilon W}{h_2} \quad (2.60)$$

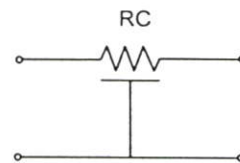
$$g(x) = \frac{\sigma W}{h_2} \quad (2.61)$$

ค่า $r(x)$, $c(x)$ และ $g(x)$ จะเป็นจำนวนจริง (Real) มีเครื่องหมายเป็นบวกและมีค่าจำกัด (finite) ข้อกำหนดนี้ มีความสำคัญในการพิจารณาถึง ธรรมชาติของผลลัพธ์ สำหรับสมการเชิงอนุพันธ์ ซึ่งแสดงคุณสมบัติที่ได้จากโครงข่ายแบบ 2 พอร์ตของคิสมิตรีบิวต์อาร์ซี โดยมีลักษณะเหมือนกับรูปที่ 2.9 (ข) ถ้าพิจารณาพารามิเตอร์ c , r และ g จะได้ว่า ในขณะที่มีความสูญเสียของการรั่วไหล (leakage) ของความนำไฟฟ้า $g(x)$ ในไดอิเล็กตริก จะมีค่าน้อยเป็นที่ยอมรับได้ เมื่อค่าคอนดักต্যানซ์ (Conductance) มีค่าน้อยกว่าค่าคาปาซิแตนซ์ (Capacitance) มาก ๆ จึงจะสามารถตัดค่า g ทิ้งได้ คือให้ g มีค่าเป็นศูนย์ จึงจะได้โครงข่ายแบบคิสมิตรีบิวต์อาร์ซี ถ้าค่า r และ c ไม่เปลี่ยนแปลงตามความยาวของ x

จะเป็นแบบยูนิฟอร์มคิสทริบิวต์อาร์ซี ในกรณีเดียวกันถ้า r และ c เปลี่ยนตามความยาวของ x จะเป็นแบบนอนยูนิฟอร์มคิสทริบิวต์อาร์ซี โดยสัญลักษณ์ของโครงข่ายแบบยูนิฟอร์มคิสทริบิวต์อาร์ซี แสดงในรูปที่ 2.10(ก) จะเห็นได้ว่าเส้นที่ขีดใต้สัญลักษณ์ตัวความต้านทาน ถ้าเป็นเส้นโค้งจะบอกว่าเป็นแบบนอนยูนิฟอร์ม ถ้าเส้นใต้ตัวความต้านทานเป็นเส้นตรงจะบอกว่าเป็นโครงข่ายแบบยูนิฟอร์มคิสทริบิวต์อาร์ซี ดังแสดงในรูปที่ 2.10(ข)



(ก) นอนยูนิฟอร์มคิสทริบิวต์อาร์ซี



(ข) ยูนิฟอร์มคิสทริบิวต์อาร์ซี

รูปที่ 2.10 สัญลักษณ์ของคิสทริบิวต์อาร์ซี

สำหรับกรณีโครงข่ายที่เป็นแบบนอนยูนิฟอร์มคิสทริบิวต์อาร์ซี ซึ่งภายในเป็นฟังก์ชันตามระยะความยาวของ Δx ความสัมพันธ์ของการเปลี่ยนแปลงแรงดันและกระแส จากสมการ (2.9), (2.10) สามารถเขียนได้เป็น

$$\frac{d}{dx}V(s, x) = -r(x)I(s, x) \quad (2.62)$$

$$\frac{d}{dx}I(s, x) = -sc(x)V(s, x) \quad (2.63)$$

ถ้าหาอนุพันธ์สมการ (2.62), (2.63) เทียบกับ x จะได้

$$\frac{d^2}{dx^2}V(s, x) = -r(x)\frac{d}{dx}I(s, x) - I(s, x)\frac{d}{dx}r(x) \quad (2.64)$$

$$\frac{d^2}{dx^2}I(s, x) = -sc(x)\frac{d}{dx}V(s, x) - sV(s, x)\frac{d}{dx}c(x) \quad (2.65)$$

โดยการแทนค่าสมการ (2.62) และ (2.63) ลงในสมการ (2.64) และ (2.65) แล้วจัดสมการใหม่ โดยการพิจารณาเทอมต่าง ๆ ในรูปของกระแสและแรงดัน จะได้

$$V'' - \frac{r'V'}{r} - rscV = 0 \quad (2.66)$$

$$I'' - \frac{c'I'}{c} - rscI = 0 \quad (2.67)$$

เมื่อเครื่องหมาย prime แสดงถึงการหาอนุพันธ์เทียบกับ x โดยที่ $r(x)$ และ $c(x)$ เป็นฟังก์ชันที่เปลี่ยนแปลงตามค่าของ x ดังนั้นสมการของนอนยูนิฟอร์มดิสทริบิวต์อาร์ชี สามารถเขียนได้คือ

$$\frac{d}{dx} \left(\frac{1}{r(x)} \frac{d}{dx} V \right) - sc(x)V = 0 \quad (2.68)$$

$$\frac{d}{dx} \left(\frac{1}{sc(x)} \frac{d}{dx} I \right) - r(x)I = 0 \quad (2.69)$$

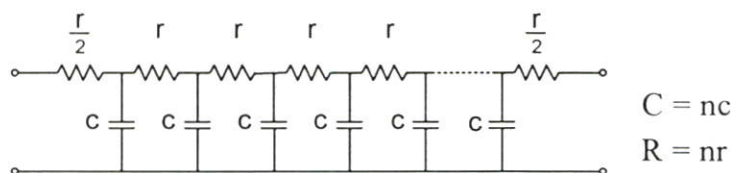
สำหรับโครงข่ายแบบยูนิฟอร์มดิสทริบิวต์อาร์ชี ค่าความต้านทานและค่าความจุไฟฟ้าจะไม่เปลี่ยนแปลงตามค่าของ x โดยความสัมพันธ์ของการเปลี่ยนแปลงแรงดันและกระแส จะเหมือนกับสมการ (2.25) ของยูนิฟอร์มไลน์ (Uniform Line) โดยกำหนดให้ ค่าความเหนี่ยวนำไฟฟ้า (Inductive : l) และค่าความนำไฟฟ้า (Conductive : g) มีค่าเท่ากับศูนย์ สำหรับสายที่มีความยาว d จะได้ผลรวมของความต้านทานทั้งหมด (r) เท่ากับ d และผลรวมของค่าความจุไฟฟ้าทั้งหมด (c) เท่ากับ d ดังนั้นจากสมการ (2.26) และ (2.27) ตัวยูนิฟอร์มดิสทริบิวต์อาร์ชี สามารถเขียนในรูปแบบของพารามิเตอร์ความต้านทาน (Impedance Parameter) และพารามิเตอร์ความนำไฟฟ้า (Admittance Parameter) ได้ดังนี้

$$[Z] = \sqrt{\frac{R}{SC}} \begin{bmatrix} \coth \sqrt{src} & \csc h \sqrt{src} \\ \csc h \sqrt{src} & \coth \sqrt{src} \end{bmatrix} \quad (2.70)$$

และ

$$[Y] = \sqrt{\frac{SC}{R}} \begin{bmatrix} \coth \sqrt{src} & -\csc h \sqrt{src} \\ -\csc h \sqrt{src} & \coth \sqrt{src} \end{bmatrix} \quad (2.71)$$

จากที่ได้กล่าวมาแล้วว่า ยูนิฟอร์มดิสทริบิวต์อาร์ชี มีโครงสร้างที่ประกอบด้วย ชั้นของความต้านทาน ชั้นของฉนวน และชั้นของตัวนำไฟฟ้า แสดงดังรูปที่ 2.9 ในทำนองเดียวกันจากรูปที่ 2.9 (ข) ถ้าไม่คิดค่าของความนำไฟฟ้า ซึ่งโดยปกติจะมีค่าน้อยมาก จะได้โครงข่ายแบบดิสทริบิวต์อาร์ชี ดังรูปที่ 2.11



รูปที่ 2.11 โครงสร้างของดิสทริบิวต์อาร์ชี เมื่อค่าความนำไฟฟ้า (g) มีค่าน้อยมาก ๆ

โดยรูปที่ 2.11 ค่าความต้านทานย่อย และค่าความจุไฟฟ้าย่อย (r, c) จะต้องมีจำนวนเข้าใกล้อนันต์ จึงจะทำให้ได้โครงสร้างแบบคิสรวิวัตต์อาร์ซีที่สมบูรณ์ ถ้านำพารามิเตอร์ความนำไฟฟ้า (Admittance Parameter) ในสมการที่ (2.71) มาจัดสมการใหม่ จะได้

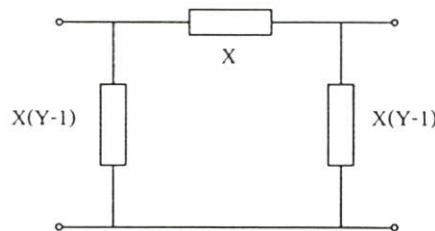
$$[Y_{ij}] = \begin{bmatrix} \frac{P \cosh P}{R \sinh P} & -\frac{P}{R \sinh P} \\ -\frac{P}{R \sinh P} & \frac{P \cosh P}{R \sinh P} \end{bmatrix} \quad (2.72)$$

เมื่อกำหนดให้ $X = \frac{P}{R \sinh P}$, $Y = \cosh P$ และ $P = \sqrt{sRC}$

โดยที่ R และ C เป็นค่าความต้านทานรวมและค่าความจุไฟฟ้ารวมของคิสรวิวัตต์อาร์ซี s เป็นความถี่เชิงซ้อน (Complex Frequency)

$$[Y_{ij}] = \begin{bmatrix} XY & -X \\ -X & XY \end{bmatrix} \quad (2.73)$$

ถ้าใช้วงจรเสมือน π สำหรับ 2 พอร์ตแบบเชิงเส้นต่อลงกราวด์ ซึ่งโดยปกติแล้วจะเขียนอยู่ในรูปของพารามิเตอร์ โดยที่ค่าความนำไฟฟ้า (Admittance Parameter) ถูกนำมาใช้ในการหาวงจรเสมือนของยูนิฟอร์มคิสรวิวัตต์อาร์ซี (Uniformly Distributed \overline{RC} Line) ซึ่งต่อไปในวิทยานิพนธ์ฉบับนี้ จะเรียกว่า \overline{URC} ดังรูปที่ 2.12



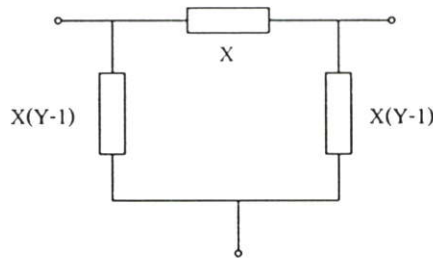
รูปที่ 2.12 วงจรเสมือนของคิสรวิวัตต์อาร์ซี (\overline{URC}) แบบ 2 พอร์ต

สำหรับรูปที่ 2.12 แสดงให้เห็นว่าวงจรเสมือนของคิสรวิวัตต์อาร์ซี (\overline{URC}) แบบ 2 พอร์ต ซึ่งจะมีพารามิเตอร์ความนำไฟฟ้า (Admittance Parameter) ตามสมการ (2.73) ถ้านำมาดัดแปลงโดยในการวิเคราะห์รูปที่ 2.12 จะใช้กฎกระแสของเคอร์ชอฟฟ์ จะได้พารามิเตอร์ความนำไฟฟ้าในของรูปเมตริกซ์ดังสมการ 2.74

$$[Y_{ij}] = \begin{bmatrix} XY & -X & -X(Y-1) \\ -X & XY & -X(Y-1) \\ -X(Y-1) & -X(Y-1) & 2X(Y-1) \end{bmatrix} \quad (2.74)$$

เมื่อ $X = \frac{P}{R \sinh P}$, $Y = \cosh P$ และ $P = \sqrt{sRC}$

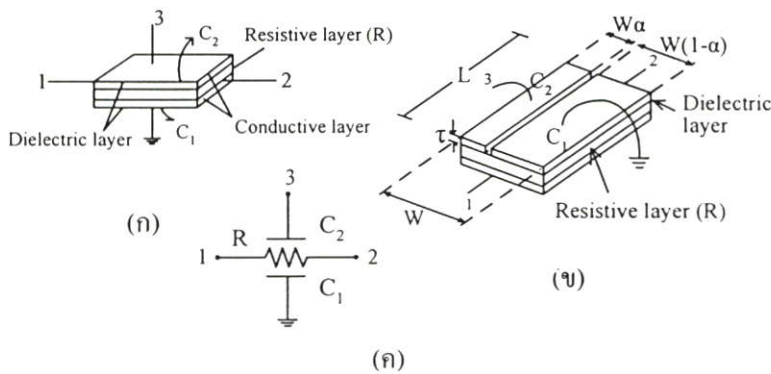
จากสมการที่ 2.74 สามารถนำมาเขียนเป็นวงจรเสมือนของคิสมทรีบิวต์อาร์ซี (\overline{URC}) ได้ ในกรณีที่ตัวคิสมทรีบิวต์อาร์ซีต่อแบบลอย (Floating)



รูปที่ 2.13 วงจรเสมือนของ \overline{URC} กรณีต่อลอย

2.4 โครงสร้างของยูนิฟอร์มคิสมทรีบิวต์อาร์ซีแบบสองชั้น

ยูนิฟอร์มคิสมทรีบิวต์อาร์ซีแบบสองชั้น (Double Capacitive Layers Uniformly Distributed \overline{RC} Line) ต่อไปในวิทยานิพนธ์ฉบับนี้จะเรียกว่า \overline{DURC} สามารถสร้างให้อยู่ในรูปภายในไอซี (Passive Integrated circuits), [9], [10] ที่มี 2 พอร์ต และมีโครงสร้างดังแสดงได้ในรูปที่ 2.14 ซึ่งประกอบขึ้นจากชั้นส่วนต่าง ๆ คล้ายกับโครงสร้างของ \overline{URC} โดย \overline{DURC} จะมีลักษณะคล้ายกับแซนด์วิช ที่มีชั้นของความต้านทาน (Resistive Layer) อยู่ระหว่างชั้นของตัวนำ (Conductive Layer) และมีชั้นของฉนวน (Dielectric Layer) กั้นอยู่ ความหนาของแต่ละชั้นประมาณ 10^{-5} นิ้ว เหมือนกับโครงสร้างของ \overline{URC} จึงทำให้วงจรมีขนาดเล็ก (Micro Circuit)



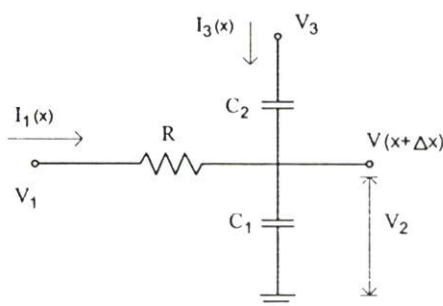
รูปที่ 2.14 โครงสร้างและสัญลักษณ์ของ \overline{DURC}

รูปที่ 2.14 (ก) และ (ข) แสดงโครงสร้างของ \overline{DURC} และรูปที่ 2.14 (ค) แสดงสัญลักษณ์ทางไฟฟ้าของ \overline{DURC}

สำหรับการวิเคราะห์หาค่าแอดมิตแตนซ์ $[Y]$ ของวงจรเน็ตเวิร์ค \overline{DURC} สามารถเขียนสมการเมตริกซ์ได้ดังนี้

$$[Y_{ij}] = \begin{bmatrix} Y_{11} & Y_{12} & Y_{13} & Y_{14} \\ Y_{21} & Y_{22} & Y_{23} & Y_{24} \\ Y_{31} & Y_{32} & Y_{33} & Y_{34} \\ Y_{41} & Y_{42} & Y_{43} & Y_{44} \end{bmatrix} \quad (2.75)$$

และมีวงจรในการวิเคราะห์หาค่าแอดมิตแตนซ์ ดังรูปที่ 2.15



รูปที่ 2.15 วงจรเน็ตเวิร์คที่ใช้ในการหาค่าแอดมิตแตนซ์

จากรูปที่ 2.15 หาค่า Y_{13} ได้ดังนี้

$$V_2 = \frac{1}{\frac{1}{SC_1} + \frac{1}{SC_2}} V_3 \quad (2.76)$$

$$V_2 = \frac{C_2}{C_1 + C_2} V_3 \quad (2.77)$$

โดยกำหนดให้ $\frac{C_2}{C_1 + C_2} = \alpha$

ดังนั้น

$$V_2 = \alpha V_3 \quad (2.78)$$

และ

$$V_1(x) = I_1(x)R\Delta x + V(x + \Delta x) \quad (2.79)$$

$$[V(x + \Delta x) - V_1(x)] = -I_1(x)R\Delta x \quad (2.80)$$

$$\frac{d}{dx}V(x) = -RI_1(x) \quad (2.81)$$

ทำการ Take limit

$$\text{Limit}_{\Delta x > 0} \frac{V_1(x + \Delta x) - V_1(x)}{\Delta x} = -RI_1(x) \quad (2.82)$$

$$\frac{d}{dx} \left[\alpha V_3 \left\{ 1 - \cosh \lambda x + \frac{(\cosh \lambda d) - 1}{\sinh \lambda d} \lambda \sinh \lambda d \right\} \right] = -RI_1(x) \quad (2.83)$$

$$V_3 \alpha \lambda \sinh \lambda d + \frac{\alpha (\cosh \lambda d - 1)}{\sinh \lambda d} \lambda \cosh \lambda d V_3 = -RI_1(x) \quad (2.84)$$

ที่ $x = 0$ จะได้

$$\frac{\alpha \lambda d (\cosh \lambda d - 1)}{R \sinh \lambda d} = \frac{I_1(0)}{V_3} (Rd) \quad (2.85)$$

หรือ

$$Y_{13} = \frac{I_1}{V_3} \Big|_{x=0} = \left(\frac{\lambda}{R \sinh \lambda d} \right) \alpha (\cosh \lambda d - 1) \quad (2.86)$$

$$= \frac{P}{R \sinh P} \alpha (\cosh P - 1) \quad (2.87)$$

โดยที่ $P = \lambda d$

$$Y_{13} = -X\alpha(Y - 1) \quad (2.88)$$

ซึ่งค่าแอมิตแดนซ์ตัวอื่น ๆ จะได้

$$Y_{12} = \frac{I_1}{V_2} \Big|_{V_2=0} \quad (2.89)$$

$$Y_{12} = -X \quad (2.90)$$

$$Y_{23} = \frac{I_2}{V_3} \Big|_{V_2=0} \quad (2.91)$$

$$Y_{23} = -X\alpha(Y-1) \quad (2.92)$$

$$Y_{14} = \left. \frac{I_1}{V_4} \right|_{V_1=0} \quad (2.93)$$

$$Y_{14} = -(1-\alpha)(Y-1) \quad (2.94)$$

$$Y_{24} = \left. \frac{I_2}{V_4} \right|_{V_2=0} \quad (2.95)$$

$$Y_{24} = -(1-\alpha)(Y-1) \quad (2.96)$$

เมื่อนำค่าแอดมิตแตนซ์ต่าง ๆ มาวางดังสมการที่ (2.75) จะได้ค่าแอดมิตแตนซ์ของ $DURC$ อยู่ในรูปสมการเมตริกซ์ ดังนี้

$$[Y_{ij}] = X \begin{bmatrix} Y & -1 & -\alpha(Y-1) & -(1-\alpha)(Y-1) \\ -1 & Y & -\alpha(Y-1) & -(1-\alpha)(Y-1) \\ -\alpha(Y-1) & -\alpha(Y-1) & \frac{\alpha(1-\alpha)P^2}{XR} + 2\alpha^2(Y-1) & \frac{\alpha(1-\alpha)P^2}{XR} + 2\alpha(1-\alpha)(Y-1) \\ -(1-\alpha)(Y-1) & -(1-\alpha)(Y-1) & \frac{\alpha(1-\alpha)P^2}{XR} + 2\alpha(1-\alpha)(Y-1) & \frac{\alpha(1-\alpha)P^2}{XR} + 2(1-\alpha)^2(Y-1) \end{bmatrix} \quad (2.97)$$

$$\text{เมื่อ } X = \frac{P}{R \sinh P}, \quad Y = \cosh P, \quad P = \sqrt{sRC} \text{ และ } \alpha = \frac{C_2}{C_1 + C_2}$$

บทที่ 3

ทฤษฎีการทำงานของมอสเฟต และวงจรกรองความถี่

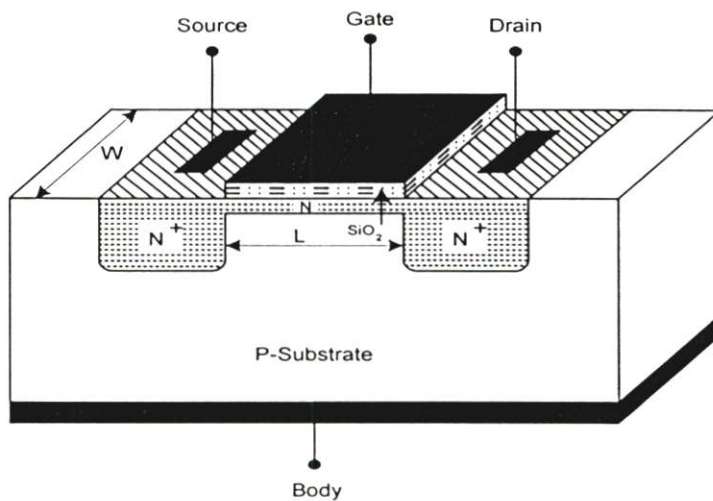
มอสเฟต (MOSFET) [6] เป็นอุปกรณ์สารกึ่งตัวนำชนิดหนึ่ง มาจากคำเต็มว่า Metal Oxide Semiconductor Field-Effect Transistor หรือมีอีกชื่อเป็นอินซูลเกตเฟต (Insulated Gate Field-Effect Transistor) โครงสร้างของมอสเฟต ที่ขั้วเกตจะมีกระแสไหลน้อยมากเพราะว่าเป็นฉนวน ซึ่งมอสเฟตเป็นอุปกรณ์สารกึ่งตัวนำที่การทำงานจะเป็นผลมาจากพาหะข้างมาก (Majority Carrier) ชนิดใดชนิดหนึ่ง ดังนั้นจึงเป็นอุปกรณ์ชนิดยูนิโพลาร์ที่มีความสัมพันธ์กับกระแสเอาต์พุตของมอสเฟต ที่ถูกควบคุมด้วยสนามไฟฟ้า (Electrical Field) ซึ่งในปัจจุบัน MOSFET สร้างจากขบวนการ “SILICON-GATE TECHNOLOGY” โดยที่ใช้ “POLYSILICON” แทนโลหะที่เกต ซึ่งได้เข้ามาแทนไบโพลาร์ทรานซิสเตอร์ เนื่องมาจากมอสเฟตมีค่าความต้านทานอินพุตสูง การสูญเสียกำลังต่ำ มีโครงสร้างง่าย และมีขนาดเล็กทำให้การใช้พื้นที่ของซิลิกอนบนไอซีน้อยลง กระบวนการผลิตไม่ซับซ้อน เมื่อเทียบกับทรานซิสเตอร์ชนิดไบโพลาร์ เป็นต้น จึงเป็นสาเหตุที่ทำให้ใช้เทคโนโลยีซีมอสในวงจรรวม VLSI (Very Large Scale Integrated) ซึ่งเป็นการผลิตวงจรที่นิยมใช้กันมากในด้านการประมวลผลสัญญาณ (Signal Processing) แบบวงจรรวมชิพเดี่ยว (Single Chip Circuit) การทำงานมีประสิทธิภาพมาก ในวงจรรอนาลอก (Analog Circuit) ก็เป็นบทบาทสำคัญของการผลิตไอซีโดยการออกแบบที่เป็น VLSI

มอสเฟตแบ่งได้เป็น 2 ชนิดคือ พีแชนแนล (P-channel) หรือเรียกว่า PMOS ซึ่งนิยมประยุกต์ใช้กับงานดิจิทัลมากกว่า และเอ็นแชนแนล (N-channel) หรือเรียกว่า NMOS อีกเทคโนโลยีหนึ่งก็คือเมื่อนำมอสเฟตทั้งสองชนิดนี้มาผลิตบนชิพไอซีเดียวกัน ในลักษณะที่เป็นคอมพลิเมนต์ทารีซีเมทรีมอส (Complementary Symmetry MOS: CMOS) ซึ่งในปัจจุบันนี้นิยมใช้ CMOS ในการสร้างวงจรระกะ ยิ่งกว่านั้นก็คือ CMOS สามารถรวมวงจรดิจิทัลและวงจรรอนาลอกไว้ด้วยกันได้

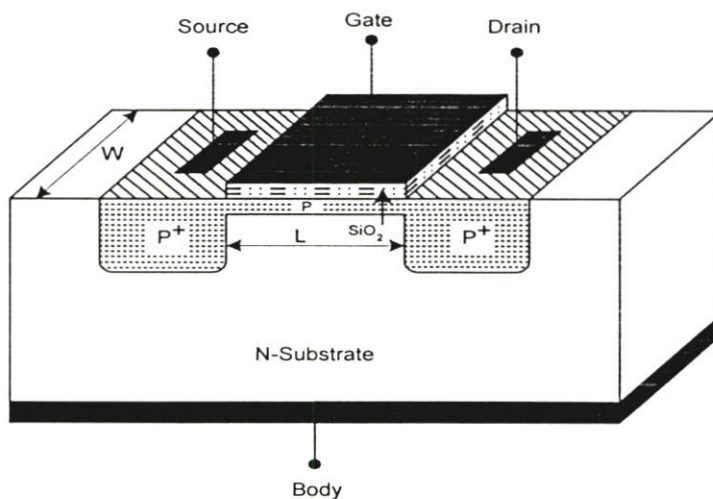
3.1 โครงสร้างของมอสเฟต

จากที่กล่าวมาแล้วว่ามอสเฟต เป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่งในตระกูลของสิ่งประดิษฐ์สารกึ่งตัวนำประเภทที่ควบคุมด้วยสนามไฟฟ้า (Field Effect Devices) มีลักษณะคือ มีการใช้กำลังงานไฟฟ้าต่ำ และให้ประสิทธิภาพในการทำงานสูง เมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่น ๆ ที่มีลักษณะการใช้งานแบบเดียวกัน จึงทำให้มอสเฟตเป็นที่นิยมใช้ในการออกแบบวงจรทั่วไปโดยเฉพาะในวงจรที่ต้องการใช้กำลังงานต่ำ ๆ หรือในประเภทของวงจรรวม (Integrated Circuit) ที่มีจำนวนของอุปกรณ์ (Component) มาก โดยโครงสร้างการทำงานของมอสเฟตสามารถแบ่งได้เป็น 2 ประเภทคือ มอสเฟตแบบดีพลีชัน (Depletion Mode MOSFET) และ มอสเฟตแบบเอ็นฮานซ์เมนต์ (Enhancement Mode MOSFET) ในแต่ละโครงสร้างนั้นยังสามารถแบ่งย่อยออกได้อีก 2 ชนิดด้วยกัน คือ มอสเฟต

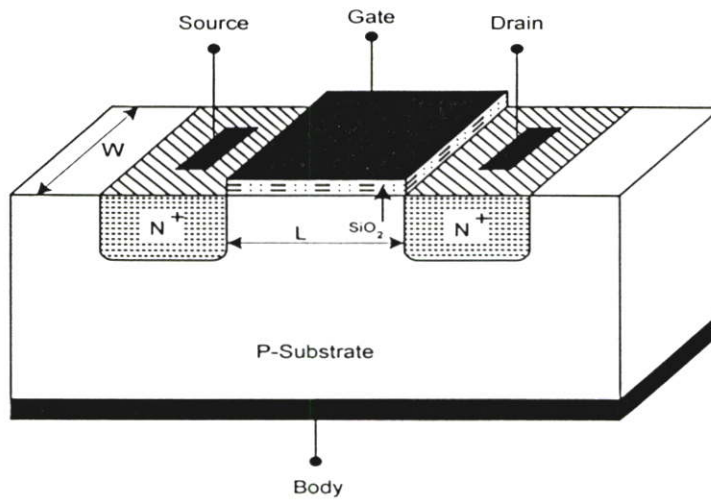
แบบเอ็นแซนแนล (N-channel) หรือที่เรียกว่า NMOS โดยมีลักษณะการทำงานคือ จะใช้ประจุพาหะอิเล็กตรอนเป็นตัวนำกระแส และมอสเฟตแบบพีแซนแนล (P-channel) หรือที่เรียกว่า PMOS โดยมีลักษณะการทำงานคือจะใช้โฮลเป็นประจุพาหะในการนำกระแส โครงสร้างของมอสเฟตแบบดีพลีชันชนิด N-Channel และชนิด P-Channel แสดงในรูปที่ 3.1 และ 3.2 ตามลำดับ สำหรับโครงสร้างมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel และ P-Channel จะแสดงไว้ในรูปที่ 3.3 และ 3.4 ตามลำดับ จากรูปที่ 3.1 แสดงถึงโครงสร้างของมอสเฟตแบบดีพลีชันชนิด N-Channel ซึ่งประกอบด้วยแผ่นผลึกฐานรองชนิด P ความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ซึ่งเป็น (Single-Crystal Silicon Wafer) เรียกว่า บอดี (Body) มีการต่ออิเล็กโทรดเข้าครบบริเวณที่กำหนดเป็นเดรน (Drain: D) และซอร์ส (Source: S) เป็นบริเวณที่มีการเจือสารกึ่งตัวนำชนิด N ที่มีความหนาแน่นมาก (Heavily Doped N-Type Region) โดยที่จะทำการเชื่อมต่อบริเวณเดรนและซอร์ส ด้วยสารกึ่งตัวนำชนิด N ความหนาแน่นน้อย (Lightly Doped N-Type Substrate) เป็นบริเวณหนึ่งซึ่งจะเรียกว่าเป็นช่องทางเดินกระแส (Channel) โดยที่เหนือบริเวณช่องทางเดินกระแสนั้นจะมีการทำฉนวนบาง ๆ ซึ่งทำมาจากซิลิกอนไดออกไซด์ (SiO_2) วางอยู่ จากนั้นจะทำการต่อขั้วอิเล็กโทรดเข้าที่ขาคัด (Gate: G) ซึ่งจะเป็นขั้วโลหะบนชั้นของซิลิกอนไดออกไซด์ ส่วนโครงสร้างของมอสเฟตแบบดีพลีชันชนิด P-Channel นั้นจะมีลักษณะคล้ายกันแต่จะเปลี่ยนใช้ฐานรอง (Substrate) ชนิด N ทำให้บอดีเป็นสารชนิด N ความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ส่วนของเดรนและซอร์สเป็นสารชนิด P ที่มีความหนาแน่นมาก และช่องทางเดินกระแสเป็นสารชนิด P ที่มีความหนาแน่นน้อย ดังแสดงไว้ในรูปที่ 3.2 ส่วนรูปที่ 3.3 เป็นโครงสร้างของมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel ประกอบด้วยแผ่นฐานรองเป็นชนิด P ความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ที่มีอิเล็กโทรดบริเวณ เดรน (D) และซอร์ส (S) ต่อกับบริเวณที่ทำการเติมสารเจือชนิด N ความหนาแน่นสูงเข้าไปในฐานรอง แต่บริเวณที่สารกึ่งตัวนำถูกเจือสารนี้จะไม่เชื่อมต่อกันเกิดเป็นช่องทางเดินกระแส เหมือนกับในกรณีของดีพลีชันแต่จะทำการเคลือบซิลิกอนไดออกไซด์ (SiO_2) ที่เป็นฉนวนลงบนฐานรองแล้วทำการต่ออิเล็กโทรดที่เป็นโลหะเข้าที่เกต (G) โดยส่วนที่อยู่ระหว่างเดรน (D) และ ซอร์ส (S) จะเรียกว่าช่องทางเดินกระแส ซึ่งถูกสร้างขึ้นมาจากรังแคบไอส์ ส่วนของมอสเฟตแบบเอ็นฮานเมนท์ ชนิด P-Channel นั้นจะมีลักษณะคล้ายกับชนิด N-Channel แต่จะสลับกันคือ ประกอบด้วยฐานรองชนิด N ความหนาแน่นน้อยเป็นส่วนของบอดี ที่ประกอบด้วยสารกึ่งตัวนำชนิด P ความหนาแน่นน้อย 2 ส่วน แพร่อยู่ด้านบนของบอดีแทน ดังแสดงในรูปที่ 3.4



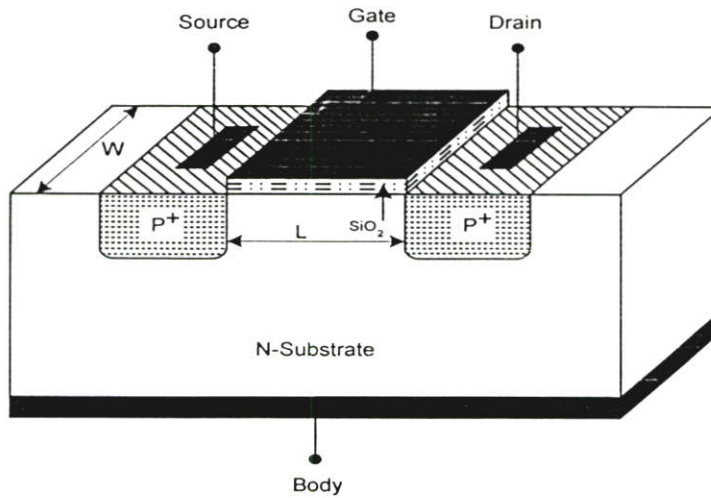
รูปที่ 3.1 โครงสร้างของมอสเฟตแบบดีฟลิชันชนิด N-Channel



รูปที่ 3.2 โครงสร้างของมอสเฟตแบบดีฟลิชันชนิด P-Channel



รูปที่ 3.3 โครงสร้างของมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิด N-Channel



รูปที่ 3.4 โครงสร้างของมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิด P-Channel

3.2 สัญลักษณ์ของมอสเฟต

ตารางที่ 3.1 สัญลักษณ์ของมอสเฟตแบบต่าง ๆ

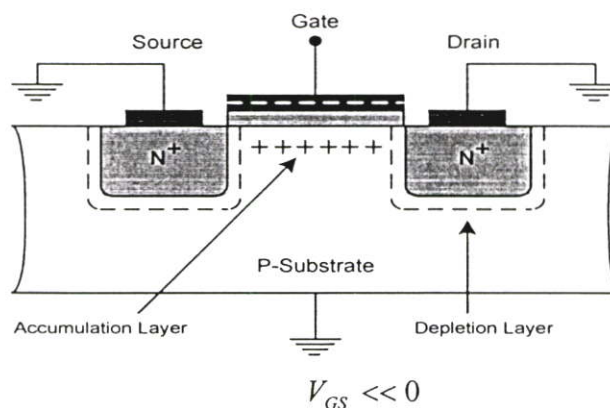
MODE	NMOS	PMOS
Enhancement		
Enhancement		
Depletion		
Depletion		

จากตารางที่ 3.1 แสดงสัญลักษณ์ของมอสเฟตชนิดต่าง ๆ ตามลำดับ โดยเริ่มจากอันดับแรกจะเป็นการแสดงถึงสัญลักษณ์ของมอสเฟตทั้งสองชนิดคือ แบบเอ็นฮานเม้นท์ชนิด N-Channel และ แบบเอ็นฮานเม้นท์ชนิด P-Channel หรือที่เรียกว่า NMOS และ PMOS โดยที่ขั้วระหว่างฐานรอง (Bulk) และขั้วซอร์ส (Source) มีลักษณะต่อเชื่อมถึงกัน ทำให้แรงดันระหว่างขั้วของฐานรอง (Bulk) และขั้วซอร์ส (Source) มีค่าเท่ากับศูนย์ ($V_{BS} = 0$) จึงได้แสดงถึงขั้วซอร์สออกมาเพียงขาเดียวเสมอ และต่อจากนั้นลำดับที่สอง แสดงถึงสัญลักษณ์ของมอสเฟตแบบเอ็นฮานเม้นท์ชนิด N-Channel และ P-Channel ที่มีการแสดงถึงขั้วของฐานรอง (Bulk) ที่แยกออกมาจากขั้วซอร์ส (Source) โดยที่ขาทั้งสองไม่ได้ต่อเชื่อมถึงกัน ทำให้แรงดันระหว่างขั้วของฐานรอง (Bulk) และขั้วซอร์ส (Source) ไม่เท่ากับศูนย์ ($V_{BS} \neq 0$) ดังนั้นแรงดันระหว่างขั้วของฐานรอง (Bulk) และขั้วซอร์ส (Source) จึงไม่จำเป็นต้องมีค่าเท่ากัน ส่วนลำดับที่สาม และลำดับที่สี่ เป็นสัญลักษณ์ของมอสเฟตแบบดีพลีชันชนิด N-Channel และ P-Channel เมื่อระหว่างขั้วฐานรอง (Bulk) และขั้วซอร์ส (Source) เชื่อมต่อถึงกันจึงแสดงขั้วซอร์สเท่านั้น

3.3 คุณสมบัติการทำงานของมอสเฟต

การทำงานของมอสเฟตทั้ง 2 ชนิด คือ NMOS และ PMOS มีหลักการการทำงานที่เหมือนกันแต่ลักษณะของการจ่ายแรงดันไบอัสจะแตกต่างกันในเรื่องของเครื่องหมายหรือทิศทางเท่านั้น จึงสามารถอธิบายหลักการการทำงานของทั้ง 2 แบบ ด้วยการอ้างอิงชนิด N-Channel

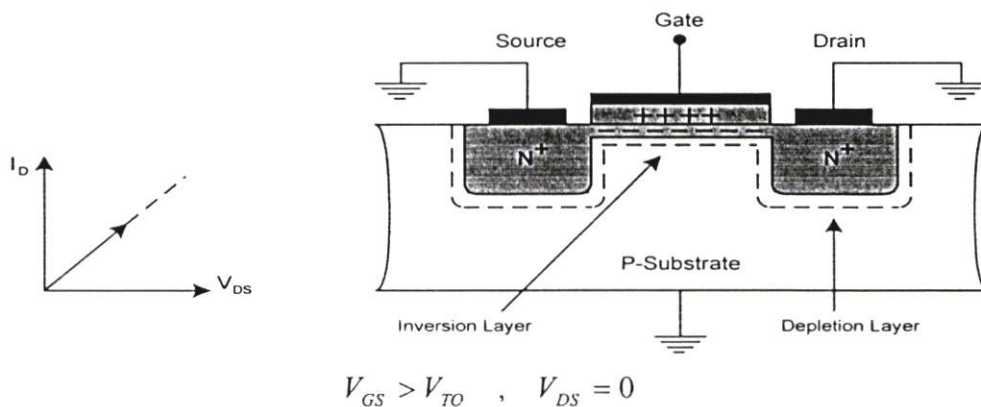
การทำงานเมื่อไม่มีการจ่ายแรงดันไบอัสที่ขาคัด ขณะที่ไม่มีการจ่ายแรงดันเข้าที่เกต เดรน ซอร์ส และขั้วของฐานรองต่อลงกราวด์ ในกรณีนี้จะมีผลทำให้มอสเฟตมีลักษณะการทำงานคล้ายกับเป็นตัวเก็บประจุ โดยมีขั้วเกตและผิวของซิลิกอนไดออกไซด์ทำหน้าที่เหมือนแผ่นระนาบ (Plate) ของตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นระหว่างกลาง ถ้า V_{GS} มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮลจะถูกดึงดูดเข้ามาสะสมที่บริเวณช่องทางเดินกระแส มีผลทำให้บริเวณช่องทางเดินกระแสกลายเป็น P^+ และเรียกว่า ช่องทางเดินกระแสสะสม (Accumulated Channel) บริเวณขั้วซอร์สและขั้วเดรนที่เป็น N^+ จะถูกแยกจากกันด้วยช่องทางเดินกระแส P^+ เมื่อมองในลักษณะของวงจรมูลจะพบว่ามอสเฟตมีลักษณะของไดโอดสองตัวต่อกันหลังชนกัน (Back-to-Back Diode) ไดโอดแต่ละตัวจะเป็นรอยต่อพีเอ็นระหว่างบริเวณเดรน กับฐานรองชนิดพี และบริเวณซอร์ส เมื่อจ่ายแรงดันเดรนเทียบซอร์ส V_{DS} ดังรูปที่ 3.5 ดังนั้นถ้าจะเกิดกระแสไฟฟ้าไหลได้ แรงดันระหว่างขั้วซอร์สและขั้วเดรนจะต้องมีค่ามาก ๆ ซึ่งกระแสที่เกิดขึ้นจะเรียกว่าเป็นกระแสรั่วไหล (Leakage Current) หรือในกรณีที่แรงดันระหว่างขั้วเดรนและขั้วซอร์สมีค่ามากจนทำให้มอสเฟตเกิดการพังทลาย (Breakdown Voltage)



รูปที่ 3.5 ขณะที่ไม่มีการป้อนแรงดันเข้าที่มอสเฟต

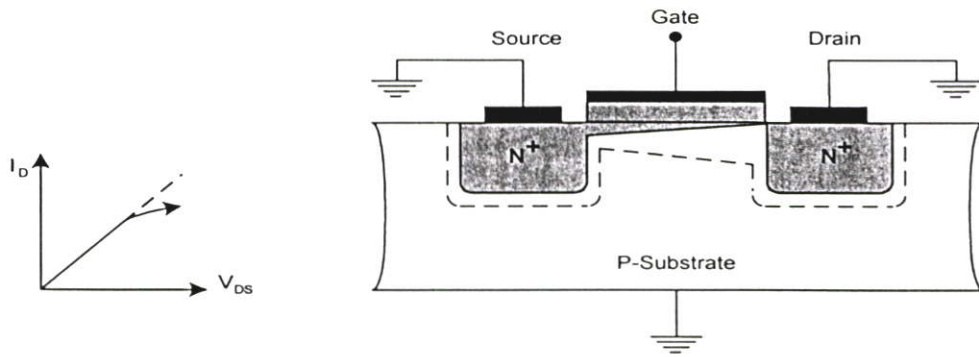
ในรูปที่ 3.6 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบเอ็นชานเม้นท์ชนิด N-Channel และทำการต่อซอร์สลงกราวด์เช่นเดียวกับฐานรองรวมทั้งที่เดรนด้วย จากนั้นทำการจ่ายแรงดันบวกที่ขาคัด ซึ่งแรงดันดังกล่าวจะทำให้โฮลที่ฐานรองได้ขาคัดถูกผลักออกเกิดเป็นเขตปลอดพาหะขึ้น (Depletion Region) ซึ่งในบริเวณดังกล่าวนี้จะมีเฉพาะอิเล็กตรอนซึ่งมีอิเล็กตรอนเป็นพาหะส่วนน้อย (Minority

Carrier) โดยไม่มีพาหะส่วนมาก (Majority Carrier) คือ โฮล (Hole) แรงดันบวกเทียบกับบอดี้ที่ปรากฏ ที่เกิดจะดึงคู่อิเล็กตรอนจากเดรนและซอร์สไปยังช่องทางเดินกระแส เมื่อมีอิเล็กตรอนสะสมมากพอที่ บริเวณใต้เกตจะทำให้เกิดบริเวณ N ที่ทำหน้าที่เชื่อมเดรนและซอร์สเข้าด้วยกัน บริเวณ N ที่เกิดขึ้นใหม่ จะเป็นช่องทางเดินกระแสลับ เรียกว่า “Inversion Layer” เนื่องจากเปลี่ยนฐานรองจากสารชนิด P เป็น สารชนิด N บริเวณ N ที่เกิดขึ้นนี้จะเป็นช่องทางเดินกระแสสำหรับให้กระแสไหลจากเดรนไปซอร์ส แรงดันที่เกตเทียบกับซอร์ส V_{GS} ที่ทำให้เกิดชั้นกลับ (Inversion Layer) ขึ้นเรียกว่า แรงดันขีดเริ่ม (Threshold Voltage : V_{TO})



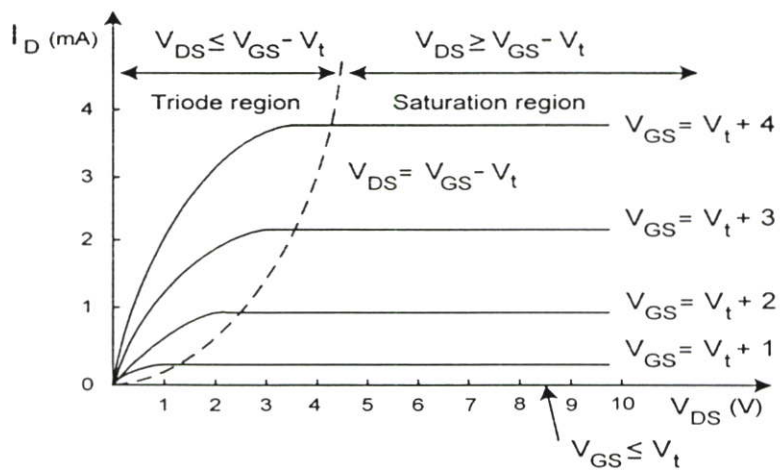
รูปที่ 3.6 การเกิดชั้นกลับ (Inversion Layer) ขึ้นเมื่อมีการป้อนแรงดันเข้าที่ขาเกต

นอกจากนี้ เกตและฐานรองยังทำหน้าที่คล้ายกับเป็นตัวเก็บประจุที่มีซิลิกอนไดออกไซด์เป็น ไดอิเล็กทริก (Dielectric) หลังจากที่เกิดบริเวณ N หรือ Induce N-Type Channel ซึ่งเกิดจากการป้อน แรงดัน V_{GS} แล้วทำการป้อนแรงดันบวกระหว่างเดรนกับซอร์ส (V_{DS}) ซึ่งมีค่าน้อย ๆ แรงดันดังกล่าว จะทำให้อิเล็กตรอนเคลื่อนที่จากซอร์สไปยังเดรนทำให้มีกระแสเดรน (I_D) ไหลจากเดรนไปยังซอร์ส โดยขนาดของกระแสเดรนจะขึ้นอยู่กับความหนาแน่นของอิเล็กตรอนที่ช่องทางเดินกระแส ซึ่งก็คือ จะ ขึ้นกับแรงดันเกตเทียบกับซอร์สอีกที ที่แรงดัน $V_{GS} = V_{TO}$ ช่องทางเดินกระแสเพิ่งจะเริ่มเกิดขึ้น ดังนั้น กระแสเดรน (I_D) ที่ไหลจะมีค่าน้อยมาก ซึ่งค่า V_{GS} จะมีค่าเกิน V_{TO} ทำให้เกิดอิเล็กตรอนในช่องทาง เดินกระแสมากขึ้นด้วยหรือมีความนำของช่องทางเดินกระแสมากขึ้น โดยความนำของช่องทางเดิน กระแสจะแปรผันโดยตรงกับแรงดันเกินที่เกต ($V_{GS} - V_{TO}$) ซึ่งกระแสเดรน (I_D) ก็จะแปรผันตาม แรงดัน $V_{GS} - V_{TO}$

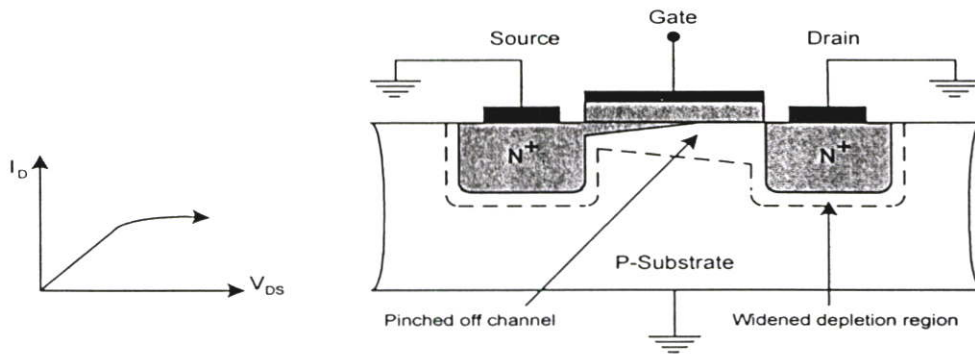


$$V_{GS} > V_{TO} \quad , \quad V_{DS} = V_{GS} - V_{TO}$$

รูปที่ 3.7 ผลการเกิดช่องทางเดินกระแสที่เกิดขึ้นที่มีขนาดเพิ่มขึ้นตามแรงดันครนเทียบซอร์ส
ที่ป้อนเข้าไปในมอสเฟต โดยที่ $V_{GS} > V_{TO}$ และ $V_{DS} = V_{GS} - V_{TO}$



รูปที่ 3.8 กราฟความสัมพันธ์ของกระแสครนกับแรงดันครนเทียบซอร์ส ในย่านการทำงานต่าง ๆ
ของมอสเฟต



$$V_{GS} > V_{TO} \quad , \quad V_{DS} = V_{GS} - V_{TO}$$

รูปที่ 3.9 ภาพตัดขวางของมอสเฟตในขณะที่มีการเกิด Pinched-Off ขึ้นที่ช่องทางเดินกระแส

ถ้าให้แรงดัน V_{GS} มีค่าคงที่ค่าหนึ่งที่มีค่ามากกว่าแรงดัน V_{TO} และทำการเพิ่มแรงดัน V_{DS} ดังแสดงในรูปที่ 3.7 จะสังเกตเห็นว่าแรงดัน V_{DS} จะดกคร่อมตามความยาวของช่องทางเดินกระแส ซึ่งแรงดันตามช่องทางเดินกระแสจากเดรนเทียบกับซอร์ส จะพบว่าแรงดันที่วัดได้เมื่อเทียบกับซอร์สแล้ว จะมีค่าเพิ่มจาก 0 ถึง V_{DS} ดังนั้นแรงดันระหว่างเกตและจุดที่ไปตามช่องทางเดินกระแสจะลดลงจาก V_{GS} ที่ซอร์สเป็น $V_{GS} - V_{DS}$ ที่เดรน เนื่องจากความลึกของช่องทางเดินกระแสจะขึ้นกับแรงดันดังกล่าว ดังนั้นที่ซอร์สจะมีความลึกมากที่สุดและตื้นที่สุดที่ปลายเดรน ขณะที่ V_{DS} เพิ่มขึ้น ความต้านทานจะมากขึ้น ดังนั้นกราฟความสัมพันธ์ของกระแส I_D กับแรงดัน V_{DS} จะเป็นไปตามกราฟรูปที่ 3.8 และเมื่อแรงดัน V_{DS} เพิ่มขึ้นจนกระทั่งแรงดันระหว่างเกตกับช่องทางเดินกระแสที่เดรนมีค่าเท่ากับแรงดัน V_{TO} กล่าวคือ $V_{GS} - V_{DS} = V_{TO}$ ดังนั้น $V_{DS} = V_{GS} - V_{TO}$ ความลึกที่เดรนจะมีค่าเข้าใกล้ศูนย์ เรียกว่าเกิดปรากฏการณ์ Pinched Off แสดงในรูปที่ 3.9 ที่ช่องทางเดินกระแส ซึ่งการเพิ่มแรงดัน V_{DS} ที่มีค่ามากกว่านี้จะไม่มีผลต่อค่ากระแส นั่นก็คือ กระแส I_D จะมีค่าคงที่ ที่ $V_{DS} = V_{GS} - V_{TO}$ กระแสเดรนจะอิมิตัวที่ค่าแรงดัน V_{DS} ดังกล่าว และมอสเฟตจะเข้าสู่ย่านอิมิตัวโดยแรงดัน V_{DS} ที่ทำให้เกิดการอิมิตัวจะเขียนแทนด้วย $V_{DS,SAT}$

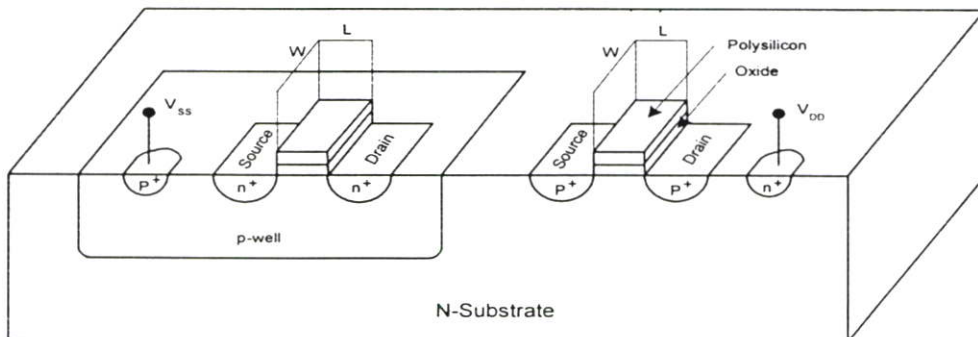
$$V_{DS,SAT} = V_{GS} - V_{TO} \quad (3.1)$$

จะเห็นว่าทุก ๆ ค่าของ $V_{GS} \geq V_{TO}$ จะมีค่าของ $V_{DS,SAT}$ ที่สอดคล้องกัน โดยมอสเฟตจะทำงานย่านอิมิตัว ถ้า $V_{DS} \geq V_{DS,SAT}$ และกราฟของกระแส I_D กับ V_{GS} โดยที่แรงดัน $V_{DS} \leq V_{GS} - V_{TO}$ จะเป็นย่านการทำงานที่เรียกว่า ย่านการทำงานไตรโอด (Triode Region)

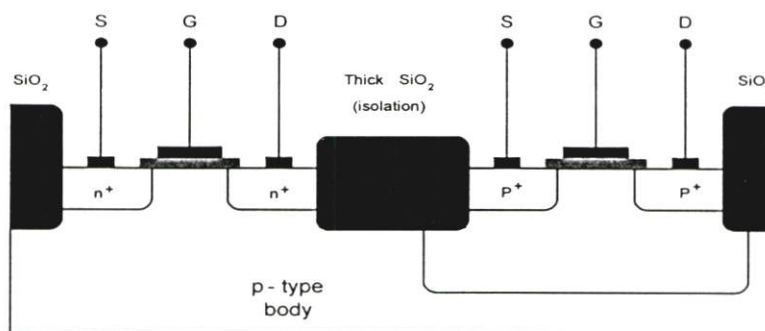
ผลของ V_{DS} ที่ V_{GS} มีค่าคงที่พบว่าเมื่อเพิ่มแรงดัน V_{DS} ขึ้นมากกว่า $V_{DS,SAT}$ จะไม่มีผลต่อกระแส I_D โดยจะมีค่าคงที่ตลอดย่านการทำงาน

มอสเฟตชนิด P-Channel จะตรงกันข้ามกับมอสเฟตชนิด N-Channel เช่นที่ฐานรอง (Substrate) จะเป็นสารกึ่งตัวนำชนิด N ในขณะที่ซอร์สกับเดรนซึ่งเป็นสารชนิด P^+ โดยมีพาดสำหรับนำกระแสจะเป็นโฮล การทำงานจะเหมือนกันกับ N-Channel แต่ต่างกันที่แรงดัน V_{GS} และ V_{DS} จะมีค่าเป็นลบ เช่นเดียวกับแรงดัน V_{TO} รวมทั้งกระแส I_D จะไหลเข้าที่ซอร์สและออกที่เดรน เนื่องจาก NMOS สามารถสร้างได้เล็กกว่า และทำงานได้เร็วกว่า PMOS นอกจากนั้นยังทำงานที่แหล่งจ่ายไฟที่มีค่าต่ำกว่า ดังนั้นจึงนิยมใช้ NMOS มากกว่า PMOS แต่ยังคงมีการใช้งาน PMOS ร่วมกับ NMOS รวมอยู่ในวงจรเดียวกันซึ่งเรียกว่า CMOS

CMOS ย่อมาจาก Complementary Metal Oxide Semiconductor เป็นเทคโนโลยีที่นำมอสเฟตทั้งชนิด NMOS และ PMOS มาสร้างลงบนฐานรองเดียวกัน แม้ว่าวงจร CMOS จะสร้างได้ยากกว่า NMOS แต่ก็มีข้อดีคือ สามารถทำให้การออกแบบวงจรได้อย่างรวดเร็วและมีประสิทธิภาพ ในปัจจุบัน CMOS มีบทบาทสำคัญมากในเทคโนโลยีวงจรรวมแบบมอสเฟต และสามารถใช้ได้ทั้งวงจรรวมเชิงอุปมาน (Analog) และเชิงเลข (Digital) ในส่วนของเทคโนโลยีแบบ CMOS ได้เติบโตขึ้นอย่างรวดเร็ว จึงทำให้นักออกแบบวงจรได้ให้ความสนใจในการออกแบบวงจรโดยใช้ CMOS มากขึ้น และได้มีการแปลงวงจรประยุกต์ (Application) จากเทคโนโลยีไบโพลาร์ไปเป็นเทคโนโลยีแบบ CMOS มากมาย



รูปที่ 3.10 ภาพตัดขวางของ PMOS และ NMOS รวมอยู่ในชั้นสารที่มีฐานรองเดียวกัน



รูปที่ 3.11 โครงสร้างของ CMOS

ในรูปที่ 3.10 และ 3.11 แสดงภาพตัดขวางของมอสเฟตแบบ PMOS และ NMOS ที่รวมอยู่ในชั้นสารที่มีฐานรองเดียวกัน และแสดงโครงสร้างของ CMOS ตามลำดับ เป็นการอธิบายถึงการสร้าง PMOS และ NMOS บนแผ่นฐานรองเดียวกัน สังเกตว่าขณะนี้ NMOS สามารถสร้างได้โดยตรง แต่ PMOS จะสร้างขึ้นได้โดยต้องสร้างบ่อ N (n-well) ขึ้นก่อน โดยที่มอสเฟตทั้งสองตัวถูกแยกจากกันโดยฉนวนออกไซด์

จากลักษณะการทำงานของมอสเฟตที่ได้กล่าวมานั้น จะเห็นว่าเป็นการใช้แรงดันไฟฟ้าควบคุมปริมาณของกระแสไฟฟ้า ทำให้มีสมการความสัมพันธ์ของกระแสเดรน (I_D) กับแรงดันระหว่างขั้วเกตและขั้วซอร์ส (V_{GS}) และค่าพารามิเตอร์ต่าง ๆ ของมอสเฟต ดังแสดงไว้ในสมการที่ (3.1) โดยอ้างอิงจากการไบอัสของมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิด N-Channel ดังนี้

$$I_D = K' \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.2)$$

โดยที่ K' = ค่าทรานส์คอนดักแตนซ์ (Process Transconductance) ของกระบวนการสร้าง
มีค่าเท่ากับ μC_{OX}

μ = ค่าสภาพความคล่องตัวของโฮล หรือ อิเล็กตรอน (Surface Mobility of Carrier)

C_{OX} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance per Unit area of the Gate-Oxide)

W = ความกว้างของช่องทางเดินกระแส (Channel Width)

L = ความยาวของช่องทางเดินกระแส (Channel Length)

V_{GS} = แรงดันไฟฟ้าระหว่างเกตกับซอร์ส (Gate- Source Voltage)

V_{DS} = แรงดันไฟฟ้าระหว่างเดรนกับซอร์ส (Drain- Source Voltage)

V_{TO} = แรงดันไฟฟ้าขีดเริ่ม (Threshold Voltage)

3.3.1 การจัดไบอัสการทำงานของมอสเฟต

การจัดไบอัสการทำงานของมอสเฟตแบ่งออกเป็น 3 ช่วง โดยพิจารณาจากค่าแรงดัน $V_{DS} - V_T$ เป็นหลัก โดยสมการทั้งหมดอ้างอิงถึงการไบอัสมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิด N-Channel ดังนี้

1) มอสเฟตไม่ทำงาน (Cut-off Region) เป็นช่วงที่ทำการจ่ายแรงดันไบอัสที่ขาเกตกับซอร์ส (V_{GS}) มีค่าน้อยกว่า V_{TO} (Threshold Voltage) มีผลทำให้ไม่มีกระแสเดรนไหล

$$I_D = 0 \quad , \quad V_{GS} < V_T \quad (3.3)$$

2) มอสเฟตทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือ ไตรโอด (Triode Region) หรือช่วงที่เป็นเชิงเส้น (Linear Region) โดยจะต้องมีเงื่อนไขการไบอัสให้แรงดันระหว่างเกต

และจอร์ส (V_{GS}) มีค่ามากกว่า V_{TO} ขณะเดียวกันให้ค่าแรงดันไฟฟ้าที่เดรนกับจอร์ส (V_{DS}) มีค่าน้อยกว่าค่า ($V_{GS} - V_T$) นั่นคือ

$$V_{GS} > V_T \quad (\text{Induced Channel})$$

และรักษาแรงดัน V_{DS} ให้มีค่าน้อย ๆ เพื่อให้ช่องทางเดินกระแสมีความต่อเนื่อง นั่นคือ

$$V_{GD} = V_{TO} \quad (\text{Continuous Channel})$$

ซึ่งสามารถเขียนใหม่ได้เป็น

$$V_{GD} = V_{GS} + V_{SD} = V_{GS} - V_{DS}$$

ดังนั้น

$$V_{GS} - V_{DS} = V_T$$

จะได้เป็น

$$V_{GS} - V_T = V_{DS}$$

ในย่านการทำงาน สามารถประมาณได้โดยสมการที่ (3.2)

$$I_D = K' \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

มีช่วงขอบเขตการทำงานคือ

$$V_{GS} - V_T > 0$$

$$0 < V_{DS} \ll (V_{GS} - V_T)$$

ถ้า V_{DS} มีค่าน้อยกว่า 1 หรือไปอัสให้ $0 < V_{DS} \ll (V_{GS} - V_T)$ จะสามารถตัดเทอม $\frac{V_{DS}^2}{2}$

ในสมการได้ และสามารถประมาณสมการได้เป็น

$$I_D = K' \frac{W}{L} [(V_{GS} - V_T) V_{DS}] \quad (3.4)$$

มีช่วงขอบเขตการทำงานคือ

$$V_{GS} - V_T > 0$$

$$0 < V_{DS} \ll (V_{GS} - V_T)$$

จากความสัมพันธ์เชิงเส้น จะแสดงการทำงานของมอสเฟตเป็นค่าความต้านทานที่มีความเป็นเชิงเส้น R_{DS} ถูกควบคุมด้วยค่าแรงดันของ V_{GS}

$$R_{DS} = \frac{V_{DS}}{I_D} \cong \left[K' \frac{W}{L} (V_{GS} - V_T) \right]^{-1} \quad (3.5)$$

3) มอสเฟตทำงานในช่วงอิ่มตัว (Saturation Region) กล่าวคือ มีการจ่ายแรงดันไบอัสให้แรงดันระหว่างเดรนและซอร์ส (V_{DS}) มีค่ามากกว่าหรือเท่ากับ ($V_{GS} - V_T$)

$$V_{GS} > V_T \quad (\text{Induced Channel})$$

และที่ Pinched Off

$$V_{GD} - V_T \quad (\text{Pinched Off Channel})$$

หรือสามารถเขียนใหม่ได้เป็น

$$V_{DS} \geq V_{GS} - V_T \quad (\text{Pinched Off Channel})$$

การทำงานในย่านอิ่มตัว V_{GS} จะมีค่ามากกว่า V_T และแรงดันที่เดรนเทียบกับเกตจะมากกว่าแรงดันขีดเริ่ม ส่วนขอบเขตย่านไทรโอดและย่านอิ่มตัว แสดงได้ดังนี้

$$V_{DS} = V_{GS} - V_T \quad (\text{Boundary})$$

เมื่อแทนค่า V_{DS} ลงในสมการที่ (3.2) จะได้สมการความสัมพันธ์ของย่านอิ่มตัว

$$I_{DS} = \frac{K' W}{2 L} (V_{GS} - V_T)^2 \quad (3.6)$$

มีช่วงขอบเขตการทำงานคือ

$$V_{GS} - V_T > 0$$

$$0 < (V_{GS} - V_T) \ll V_{DS}$$

จะเห็นได้ว่า สมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับแรงดันระหว่างขั้วเดรนและขั้วซอร์ส (V_{DS}) แต่จะขึ้นอยู่กับค่าแรงดัน $V_{GS} - V_T$ ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) โดยมีกราฟแสดงคุณสมบัติการถ่ายโอน (Transfer Characteristic) ดังแสดงในรูปที่ 3.12 ที่ขอบเขตระหว่างย่านไทรโอดกับย่านอิ่มตัวจะถูกกำหนดด้วยสมการ $V_{DS} = V_{GS} - V_T$ ทำการแทนค่า V_{DS} ลงในสมการในย่าน Triode Region และย่าน Saturation Region จะได้

$$I_D = \frac{K' W}{2 L} V_{DS}^2 \quad (3.7)$$



รูปที่ 3.12 ความสัมพันธ์ของคุณสมบัติถ่ายโอนของมอสเฟต

3.3.2 ผลของการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส

จากการทำงานในย่านอิ่มตัว กระแสเดรน (I_D) จะเป็นอิสระจากแรงดัน V_{DS} โดยค่าความต้านทานที่ขาเดรนมีค่าเท่ากับอนันต์ จากที่ทราบมาแล้วว่าเมื่อช่องทางเดินกระแสเกิดการ Pinched Off ที่เดรน การเพิ่มขึ้นของแรงดัน V_{DS} จะไม่มีผลต่อรูปร่างของช่องทางเดินกระแส แต่ในทางปฏิบัติการเพิ่มขึ้นของ V_{DS} จากค่า $V_{DS,SAT}$ นั้นจะมีผลต่อรูปร่างของช่องทางเดินกระแส กล่าวคือ ในขณะที่ V_{DS} เพิ่มขึ้น จุด Pinched Off จะเคลื่อนที่จากเดรนไปยังซอร์สเล็กน้อย ทำให้ความยาวประสิทธิผล (The Effective Channel Length) จะมีค่าลดลง ปรากฏการณ์ดังกล่าวนี้เรียกว่า การเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส จะได้ว่า K' ซึ่งแปรผกผันตามกับ L ดังนั้น K' และ I_D จะเพิ่มขึ้นตาม V_{DS}

ผลของการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส (Channel Length Modulation) นั้น สามารถนำมาสร้างเป็นสมการแสดงความสัมพันธ์กับกระแส I_D ได้ดังนี้

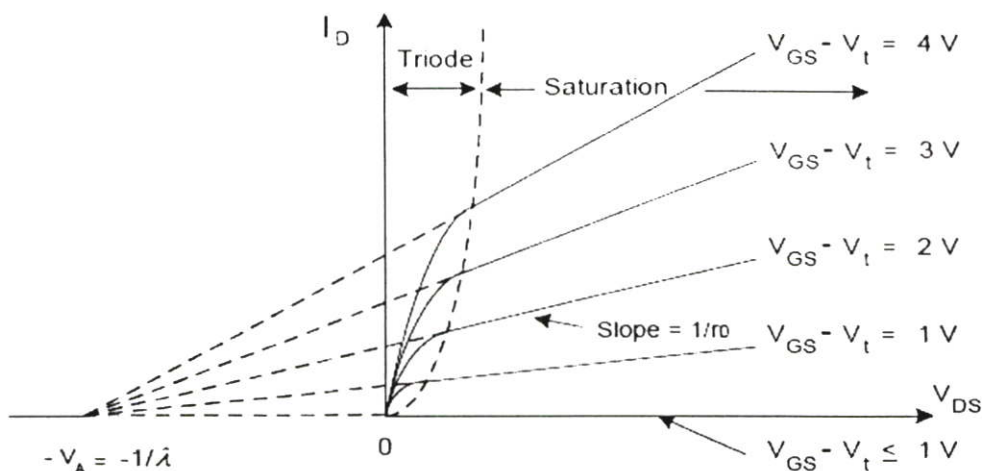
$$I_D = K' \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (3.8)$$

โดยที่ λ = Channel Length Modulation Factor

ซึ่งค่าคงที่ λ ของมอสเฟต จะมีค่าเป็นบวก

จากรูปที่ 3.13 จะเห็นได้ว่า เส้นประที่ลากจากเส้นตรงของกราฟ $I_D - V_{DS}$ ในย่านอิ่มตัวจะตัดแกน V_{DS} ที่ $-V_A$

$$V_{DS} = -\frac{1}{\lambda} \equiv -V_A \quad (3.9)$$



รูปที่ 3.13 ความสัมพันธ์ของกระแส I_D กับแรงดัน V_{DS} เมื่อมีการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส

ผลของการเกิดมอดูเลชันตามความยาวของช่องทางเดินกระแส จะทำให้เกิดความต้านทานเอาต์พุต มีค่าเท่ากับ

$$r_o = \left[\frac{\partial I_D}{\partial V_{DS}} \right]_{V_{GS} = \text{Constant}}^{-1} \tag{3.10}$$

โดยแทนความสัมพันธ์ในสมการที่ (3.8)

$$r_o = [\lambda K'(V_{GS} - V_T)^2]^{-1} \tag{3.11}$$

สามารถประมาณได้ว่า

$$r_o = [\lambda I_D]^{-1} \tag{3.12}$$

ในวงจรรวมขนาดใหญ่ ฐานรองจะเป็นขั้วร่วม (Common) สำหรับมอสเฟตหลาย ๆ ตัวในวงจร การรักษาระงับไบอัสย้อนกลับระหว่างฐานรองกับช่องทางเดินกระแส ฐานรองจะต่อกับแหล่งจ่ายไฟที่เป็นลบ สำหรับ NMOS และแหล่งจ่ายไฟที่เป็นบวกสำหรับ PMOS ผลของแรงดันไบอัสย้อนกลับระหว่างซอร์สและบอดี (V_{SB}) ใน N-Channel จะมีผลต่อการทำงานของมอสเฟต พิจารณา NMOS ที่ฐานรองจะมีค่าเป็นลบเมื่อเทียบกับซอร์ส แรงดันไบอัสย้อนกลับจะเป็นสาเหตุทำให้เขตปลอดพาหะกว้างขึ้น ซึ่งจะทำให้ความลึกของช่องทางเดินกระแสลดลง ถ้าต้องการที่จะทำให้กลับไปเป็นเหมือนลักษณะเดิม จะต้องเพิ่มค่าแรงดัน V_{GS} ซึ่งจะทำให้ผลของ V_{SB} ที่มีต่อช่องทางเดินกระแสสามารถพิจารณาเป็นการเปลี่ยนแปลงของ V_T โดยการเพิ่มขึ้นของ V_{SB} จะทำให้ V_T เพิ่มขึ้นไปด้วย

$$V_T = V_{TO} + \gamma \left[\sqrt{|2\phi_f| + V_{SB}} - \sqrt{|2\phi_f|} \right] \quad (3.13)$$

โดยที่

$$\gamma = \frac{\sqrt{2qN_A K_S \epsilon_0}}{C_{OX}} \quad (3.14)$$

ซึ่ง V_{TO} คือ ค่าแรงดันขีดเริ่ม (Threshold Voltage) ที่ $V_{SB} = 0$

γ คือ Process Parameter

ϕ_f คือ Physical Parameter

แสดงให้เห็นว่าการเพิ่มขึ้นของ V_{SB} จะทำให้ V_T มีค่าเพิ่มขึ้นเช่นเดียวกัน และจะส่งผลทำให้ I_D ลดลง แม้ว่า V_{GS} อาจจะมีค่าคงที่ จะเห็นได้ว่าขาบอดี้จะควบคุมการไหลของกระแสเดรน (I_D) ดังนั้นขาบอดี้จะเสมือนเป็นขาเกตอีกทางหนึ่ง ซึ่งจะเรียกปรากฏการณ์ดังกล่าวว่า “Body Effect”

3.3.3 ผลการเปลี่ยนแปลงที่เกิดจากอุณหภูมิ

พารามิเตอร์ V_T และ K' จะเปลี่ยนแปลงตามอุณหภูมิ ขนาดของ V_T มีค่าลดลงประมาณ $2\text{mV}/^\circ\text{C}$ การลดลงของ V_T จะทำให้กระแสเดรน (I_D) เพิ่มขึ้น ในขณะที่อุณหภูมิเพิ่มขึ้น แต่ค่าของ K' จะลดลงตามอุณหภูมิ และการลดลงของ K' จะมีผลมากกว่า V_T ดังนั้นผลที่ทำให้กระแสเดรน (I_D) ลดลงในขณะที่อุณหภูมิสูงขึ้นคือค่า K'

3.3.4 การเกิดเบรคดาวน์และการป้องกันทางอินพุต

ขณะที่ทำการเพิ่มแรงดันที่เดรนจนกระทั่งแรงดันไบอัสย้อนกลับระหว่างเดรนและฐานรองถึงเบรคดาวน์ ที่เป็นแบบ Avalanche จะทำให้มีการเพิ่มปริมาณของกระแสขึ้นอย่างมาก ซึ่งแรงดันดังกล่าวโดยทั่วไปจะเกิดขึ้นที่ระดับแรงดัน 50-100 โวลต์ จะทำให้มีกระแสไฟฟ้าไหลเพิ่มขึ้นอย่างมาก

ปรากฏการณ์เบรคดาวน์ที่เกิดขึ้นที่ค่าแรงดันต่ำ ๆ จะมีระดับแรงดันประมาณ 20 โวลต์ เรียกว่า “Punch-Through” ซึ่งมักจะเกิดขึ้นกับมอสเฟตที่มีขนาดของช่องทางเดินกระแสที่สั้น เมื่อทำการเพิ่มแรงดันที่ขาเดรนจนกระทั่งถึงจุดที่ปลอดภัย รอบ ๆ บริเวณเดรนขยายผ่านช่องทางเดินกระแสไปยังซอร์ส จะทำให้กระแสเดรนเพิ่มขึ้นอย่างรวดเร็ว ปกติปรากฏการณ์ Punch-Through จะไม่ทำให้เกิดการเสียหายให้กับมอสเฟต

เบรคดาวน์อีกชนิดหนึ่งที่สามารถทำให้มอสเฟตเกิดความเสียหายได้อย่างถาวรคือ เบรคดาวน์ที่เกิดจากแรงดันระหว่างเกตและซอร์สที่มีค่ามาก ๆ ระดับแรงดันเกิน 50 โวลต์ ซึ่งเป็นเบรคดาวน์ของออกไซด์ที่เกต ถึงแม้ว่าแรงดัน 50 โวลต์จะมีค่าสูงแต่เนื่องจากค่าความต้านทานด้านอินพุตของมอสเฟต

มีค่าสูงมาก จึงสามารถทำให้มีจำนวนประจุไฟฟ้าสถิตย์เพียงเล็กน้อยที่สะสมบนเกตก็สามารถทำให้แรงดันมีค่าสูงเกินค่าเบรคดาวน์ได้ ในการป้องกันการสะสมของประจุที่เกิดสามารถทำได้โดยการต่อ Clamping Diode เข้าไปที่ขาอินพุตของวงจรรวมที่ใช้มอสเฟต

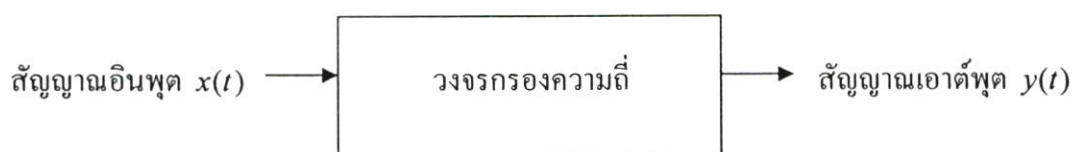
3.4 วงจรกรองความถี่

วงจรกรองความถี่ เป็นวงจรแปลง (Transform) สัญญาณอินพุต เพื่อให้ได้สัญญาณเอาต์พุตตามที่ต้องการ สัญญาณเหล่านี้อาจจะถูกพิจารณาในโดเมนของเวลาหรือโดเมนของความถี่ สำหรับการพิจารณาตามโดเมนของความถี่นั้น วงจรกรองความถี่เป็นอุปกรณ์สำหรับเลือกความถี่ (Frequency selective device) ซึ่งยอมให้สัญญาณผ่านเฉพาะความถี่ที่ต้องการ และจะลดทอนสัญญาณที่ความถี่อื่น ๆ

วงจรกรองความถี่อาจจะแบ่งตามกระบวนการ (Process) สัญญาณที่ใช้ คือ วงจรกรองความถี่ทางอนาลอก (Analog Filter) ที่ใช้กับกระบวนการของสัญญาณที่มีฟังก์ชันการเปลี่ยนแปลงต่อเนื่องกับเวลา (Continuous-Time Variable) และวงจรกรองความถี่ทางดิจิตอล (Digital Filter) ที่ใช้กับการประมวลสัญญาณเชิงตัวเลข ซึ่งเป็นสัญญาณที่ไม่ต่อเนื่อง นอกจากนี้อาจจะแบ่งวงจรกรองความถี่ตามชนิดของอุปกรณ์ที่ใช้ในการสร้าง คือ วงจรกรองความถี่ชนิดพาสซีฟ (Passive Filter) และวงจรกรองความถี่ชนิดแอคทีฟ (Active Filter)

ถ้า $x(t)$ เป็นสัญญาณอินพุตของวงจรกรองความถี่ และ $y(t)$ เป็นสัญญาณเอาต์พุตของวงจรกรองความถี่ ดังรูปที่ 3.14 และจากการทำลาปลาซทรานสฟอร์ม (Laplace Transform) จะได้

$$Y(s) = H(s)X(s) \quad (3.15)$$



รูปที่ 3.14 การแทนสัญลักษณ์ของวงจรกรองความถี่

ในที่นี้ $S = 0 + j\omega$ เป็นความถี่เชิงซ้อน (Complex Frequency) ปริมาณ $Y(s)$ และ $X(s)$ เป็นลาปลาซทรานสฟอร์มของ $y(t)$ และ $x(t)$ ตามลำดับ และในที่นี้ $H(s)$ คือ ฟังก์ชันของวงจร (Network Function) ซึ่งเป็นอัตราส่วนของตัวแปรของสัญญาณเอาต์พุตต่อตัวแปรของสัญญาณอินพุตที่ถูกแปลงแล้ว

เมื่อ $S = j\omega$ ฟังก์ชันของวงจรเป็นเชิงซ้อน ซึ่งเขียนใหม่ได้ดังนี้

$$H(j\omega) = |H(j\omega)|e^{-j\theta(\omega)} \quad (3.16)$$

ในที่นี้ $|H(j\omega)|$ คือ ผลตอบสนองทางขนาด (Amplitude หรือ Magnitude Response)

$\phi(\omega)$ คือ ผลตอบสนองทางเฟส (Phase Response)

ต่อจากนี้ จะพิจารณาถึงกรณีของฟังก์ชัน หรือ ทรานส์เฟอร์ฟังก์ชัน (Transfer Function) ที่มีความหน่วง (Delay)

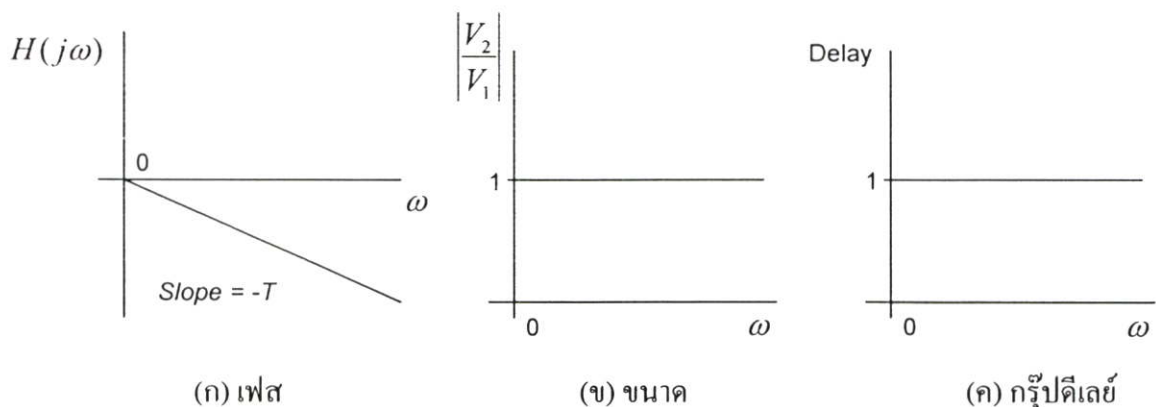
$$H(j\omega) = e^{-j\omega T} \quad (3.17)$$

ผลตอบสนองทางขนาด $H(j\omega) = 1$

ผลตอบสนองทางเฟส $\phi(\omega) = -\omega T$

และกรุปดีเลย์ $\tau_g = -\frac{d\phi(\omega)}{d\omega}$

ดังรูปที่ 3.15 (ก), (ข) และ (ค) แสดงคุณสมบัติในอุดมคติของเฟส ขนาด และกรุปดีเลย์ของ $H(j\omega) = e^{-j\omega T}$



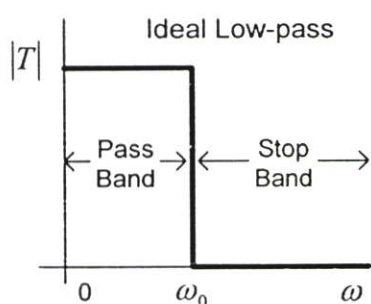
รูปที่ 3.15 คุณสมบัติในอุดมคติของ (ก) เฟส, (ข) ขนาด และ (ค) กรุปดีเลย์

ค่าของผลตอบสนองและกรุปดีเลย์มีความสำคัญมาก สำหรับงานที่ไม่ต้องการให้สัญญาณส่งเพี้ยน (Distort) หลังจากออกจากวงจรองความถี่แล้ว นั่นคือ การเพี้ยนของสัญญาณจะไม่เกิดขึ้นเลย เมื่อเฟสเป็นเชิงเส้น (Linear) และกรุปดีเลย์คงที่ นอกจากนั้นผลตอบสนองทางเฟสและกรุปดีเลย์จะมีความสำคัญหรือไม่ ยังขึ้นอยู่กับงานเฉพาะอย่างอีกด้วย

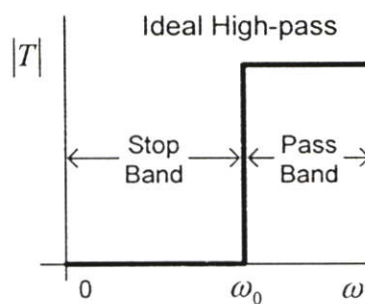
วงจรกรองความถี่ที่ใช้สำหรับเลือกความถี่ โดยให้สัญญาณผ่านได้ในย่านความถี่ที่ต้องการ ซึ่งเรียกย่านความถี่นี้ว่า “ย่านผ่านสัญญาณ (Pass band)” และจะลดทอนสัญญาณที่อยู่นอกเหนือจากย่านความถี่ที่ต้องการ ซึ่งเรียกย่านความถี่นี้ว่า “ย่านหยุดสัญญาณ (Stop band)” และความถี่ที่อยู่ระหว่างย่านผ่านสัญญาณ และย่านหยุดสัญญาณ จะเรียกว่า “ความถี่คัทออฟ (Cut off Frequency) ω_c ”

ชนิดของวงจรกรองความถี่ในอุดมคติ แสดงในรูปที่ 3.16 มีดังนี้

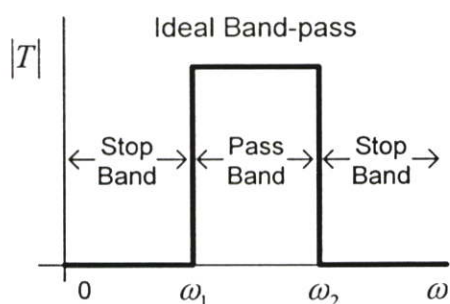
1. วงจรกรองความถี่ต่ำผ่าน (Low-pass Filter)
2. วงจรกรองความถี่สูงผ่าน (High-pass Filter)
3. วงจรกรองผ่านแถบความถี่ (Band-pass Filter)
4. วงจรกรองห้ามแถบความถี่ผ่าน (Band-stop Filter)
5. วงจรกรองความถี่ผ่านทุกแถบความถี่ (All-pass Filter)



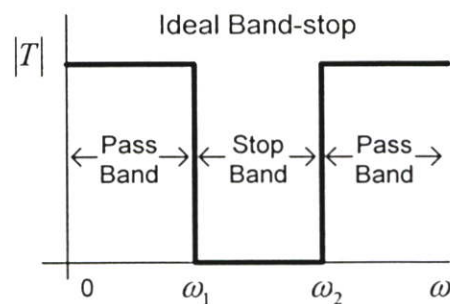
$$(1) \begin{aligned} H(\omega) &= 1 & \omega < \omega_c \\ &= 0 & \omega > \omega_c \end{aligned}$$



$$(2) \begin{aligned} H(\omega) &= 1 & \omega > \omega_c \\ &= 0 & \omega < \omega_c \end{aligned}$$

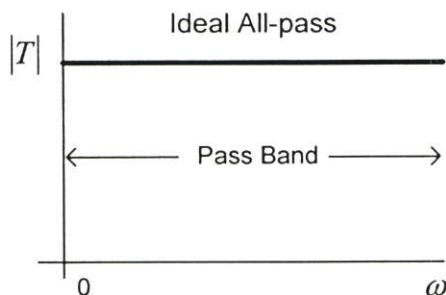


$$(3) \begin{aligned} H(\omega) &= 1 & \omega_{c1} < \omega < \omega_{c2} \\ &= 0 & \omega < \omega_{c1}, \omega > \omega_{c2} \end{aligned}$$



$$(4) \begin{aligned} H(\omega) &= 1 & \omega < \omega_{c1}, \omega > \omega_{c2} \\ &= 0 & \omega_{c1} < \omega < \omega_{c2} \end{aligned}$$

รูปที่ 3.16 ผลตอบสนองขนาดของวงจรกรองความถี่ในอุดมคติชนิดต่าง ๆ



$$(5) H(\omega) = 1$$

รูปที่ 3.16 (ต่อ) ผลตอบสนองขนาดของวงจรกรองความถี่ในอุดมคติชนิดต่าง ๆ

3.4.1 ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ผ่านทุกแถบความถี่

สำหรับวงจรกรองความถี่ผ่านทุกแถบความถี่ (All pass Filter) นั้น สัญญาณทุกความถี่สามารถผ่านวงจรไปได้โดยผลตอบสนองทางขนาดจะมีค่าคงที่ตลอดไม่ขึ้นกับความถี่ แต่สิ่งที่น่าสนใจสำหรับวงจรนี้ก็คือ ผลตอบสนองทางเฟสของวงจรจะเป็นฟังก์ชันของความถี่ ผลตอบสนองทางความถี่ของวงจรสามารถวิเคราะห์จากฟังก์ชันทางคณิตศาสตร์ซึ่งฟังก์ชันการถ่ายโอน (Transfer Function) ของวงจรทั่วไปจะมีรูปสมการดังสมการที่ (3.18)

$$H(s) = \frac{K(s - z_1)(s - z_2)\dots(s - z_m)}{(s - p_1)(s - p_2)\dots(s - p_n)} = \frac{KP(s)}{Q(s)} \quad (3.18)$$

โดยที่ K เป็นค่าคงที่ z_i เป็นซีโร (zero) ตัวที่ i เมื่อ $i = 1, 2, \dots, m$ และ p_i เป็นโพล (pole) ตัวที่ i เมื่อ $i = 1, 2, \dots, n$ ถ้าแทน $s = j\omega$ ลงในสมการที่ (3.18) จะได้ว่า

$$H(j\omega) = \frac{KM_1M_2\dots M_m}{N_1N_2\dots N_n} e^{j(\alpha_1 + \alpha_2 + \dots + \alpha_m - \beta_1 - \beta_2 - \dots - \beta_n)} \quad (3.19)$$

กำหนดให้ $(j\omega - z_i) = M_i e^{j\alpha_i}$ เมื่อ $i = 1, 2, \dots, m$ และกำหนดให้ $(j\omega - p_i) = N_i e^{j\beta_i}$ เมื่อ $i = 1, 2, \dots, n$

จากสมการ (3.19) เขียนแยกผลตอบสนองทางขนาด $|H(j\omega)|$ และผลตอบสนองทางเฟส $\phi(\omega)$ ออกได้เป็นดังสมการที่ (3.20) และสมการที่ (3.21) ตามลำดับ

$$|H(j\omega)| = \frac{KM_1M_2\dots M_m}{N_1N_2\dots N_n} \quad (3.20)$$

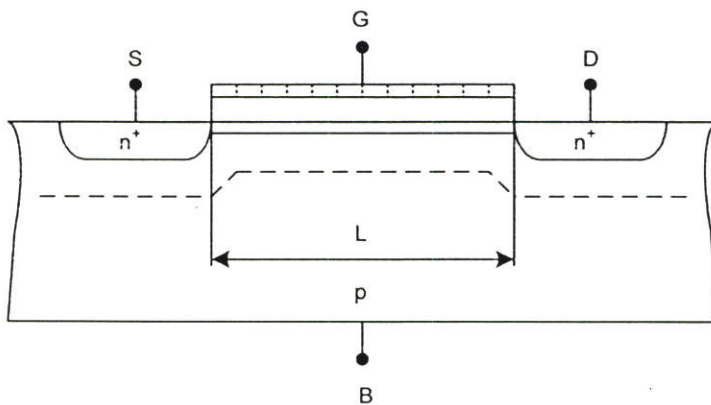
$$\phi(\omega) = \angle H(j\omega) = \alpha_1 + \alpha_2 + \dots + \alpha_m - \beta_1 - \beta_2 - \dots - \beta_n \quad (3.21)$$

บทที่ 4

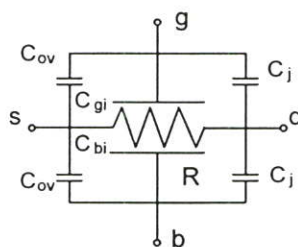
การแปลงวงจรมติสทริบิวต์อาร์ซี โดยใช้ มอสทรานซิสเตอร์

4.1 การวิเคราะห์โครงสร้างของมอสทรานซิสเตอร์เป็นตัวยูนิฟอร์มดิสทริบิวต์อาร์ซี

คุณสมบัติโครงสร้างของมอสทรานซิสเตอร์ เมื่อมีการจ่ายแรงดันไบอัสที่ขาเกต-ซอร์ส เท่ากับศูนย์ ($V_{DS} = 0$) ในสภาวะการทำงานย่าน Strong Inversion Nonsaturation Region มอสเฟต จะทำตัวเทียบเท่าเน็ตเวิร์กแบบยูนิฟอร์มดิสทริบิวต์อาร์ซี (Uniform Distributed RC Line: \overline{URC}) โดยพิจารณามอสเฟตแบบ N-Channel ในรูปที่ 4.1(ก) เมื่อ $V_{DS} = 0$ ช่องทางเดินกระแส (Channel) และแถบดีพลีชันที่อยู่ข้างล่างจะรวมเป็นแถบเดียวกัน แถบดีพลีชันดังกล่าวเป็นส่วนขยายของแถบ ดีพลีชันอื่น ๆ ที่อยู่ภายใต้ ซอร์สและเดรน ซึ่งค่างก็ต้องใช้แรงดันไบอัสกลับ $V_{SB} = V_{DB}$ สำหรับ รูปที่ 4.1(ข) แสดงรูปแบบสัญญาณขนาดเล็กของโครงสร้างที่สมบูรณ์

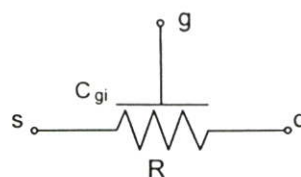
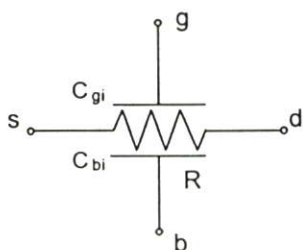


(ก) โครงสร้างของมอสทรานซิสเตอร์ แบบ 4 ขา โดย $V_{DS} = 0$



(ข) รูปแบบสัญญาณขนาดเล็ก

รูปที่ 4.1 โครงสร้างของมอสเฟตในรูปแบบสัญญาณขนาดเล็ก



(ค) รูปแบบสัญญาณขนาดเล็ก ที่ตัดค่าภายนอกแผ่น (ง) กรณีมองข้ามค่าเก็บประจุที่ฐานรอง

รูปที่ 4.1(ต่อ) โครงสร้างของมอสเฟตในรูปแบบสัญญาณขนาดเล็ก

โดยกำหนดให้ค่าความต้านทานของช่องทางเดินกระแส มีค่าเท่ากับ

$$R = R_S \frac{L}{W} \quad (4.1)$$

โดยที่ L และ W เป็นค่าความยาวและความกว้างของช่องทางเดินกระแส ตามลำดับ

R_S คือ ค่าความต้านทานที่แผ่นช่องทางเดินกระแส

เมื่อ R_S มีค่าเท่ากับ

$$R_S = [\mu C'_{ox} (V_{GS} - V_T)]^{-1} \quad (4.2)$$

โดยที่ μ = ค่าสภาพความคล่องตัวของโฮล หรือ อิเล็กตรอน (Effective Carrier Mobility)

C'_{ox} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance per Unit area of the Gate oxide)

V_T = ค่าแรงดันขีดเริ่ม (Threshold voltage)

ส่วนค่า C_{gi} คือ ค่าความจุที่กระจายที่เกต-ช่องทางเดินกระแส

$$C_{gi} = C'_{ox} WL \quad (4.3)$$

สำหรับรูปที่ 4.1(ง) C_{bi} คือ ค่าความจุภายในที่กระจายที่ช่องทางเดินกระแส - ฐานรอง , C_{ov} คือ ค่าความจุที่ซอร์ส - เกต และ เกต - เดรน รวมกัน , C_j คือ ค่าความจุที่ซอร์ส - ฐานรอง และฐานรอง - เดรน รวมกัน โดยที่ค่าความจุทั้งหมดนี้สามารถคำนวณได้ โดยกำหนดให้คู่ของแรงดันไบอัสกลับ $V_{SB} = V_{DB}$ จะได้ค่าต่าง ๆ

$$C_{ov} = (0.2 \text{ fF} / \mu\text{m}) \times W \quad (4.4)$$

$$C_j = (0.6 \text{ fF} / \mu\text{m}) \times W \quad (4.5)$$

$$C_{gi} = (1.5 fF / (\mu m)^2) \times WL \tag{4.6}$$

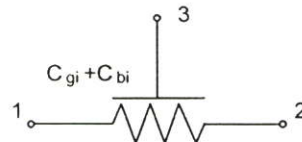
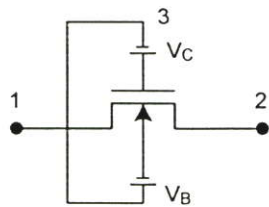
$$C_{bi} = (0.15 fF / (\mu m)^2) \times WL \tag{4.7}$$

ถ้าช่องทางเดินกระแสมีความยาวมาก ๆ จะทำให้ $C_{gi} \gg C_{ov}$ และ $C_{bi} \gg C_j$ ซึ่งจะได้รูปแบบง่าย ๆ ดังที่แสดงไว้ในรูปที่ 4.1(ค) และหากไม่พิจารณาค่า C_{bi} รูปแบบจะลดขนาดลงดังแสดงในรูปที่ 4.1(ง) และจะพิจารณาแบ่งเป็น 2 ส่วนดังนี้

1. ในรูปที่ 4.2(ก) กำหนดให้จ่ายแหล่งจ่ายแรงดันไฟฟ้าดังรูป ค่าความต่างศักย์ที่ขา 1, 2 และ 3 เป็นศูนย์ ตัวทรานซิสเตอร์จะเกิดการทํางานในย่าน Inversion Region จากรูปที่ 4.1(ค) เป็นวงจรของรูปที่ 4.2(ก) และแสดงวงจรเทียบเท่าสัญญาณขนาดเล็กในรูปที่ 4.2(ข)

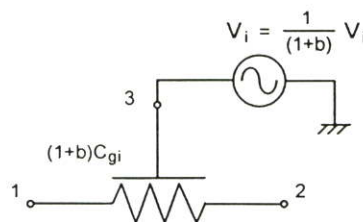
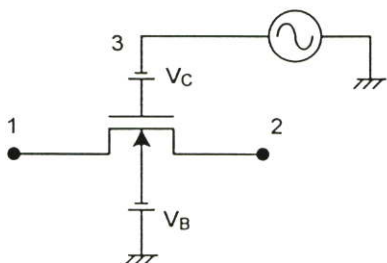
2. ในรูปที่ 4.2(ค) ที่เกตจะมีการขับสัญญาณ และฐานรองจะมีค่าความต่างศักย์ไฟฟ้า ดังนั้นค่าความจุไฟฟ้าที่มีพื้นฐานมาจาก ช่องทางเดินกระแส - เกต และ ช่องทางเดินกระแส - ฐานรอง จึงเป็นลักษณะวงจรแบบแบ่งแรงดัน เทียบเท่าทฤษฎีการแบ่งแรงดันของเทวินิน ดังนั้นวงจรแบ่งแรงดันในรูปที่ 4.2(ค) จะลดลงเท่ากับรูปแบบในรูปที่ 4.2(ง) และจะได้

$$b = \frac{C_{bi}}{C_{gi}} \tag{4.8}$$



(ก) จ่ายไบอัสเกตและฐานรอง (Substrate)

(ข) วงจรเสมือนของสัญญาณขนาดเล็ก รูป (ก)



(ค) จ่ายสัญญาณที่ขาเกต

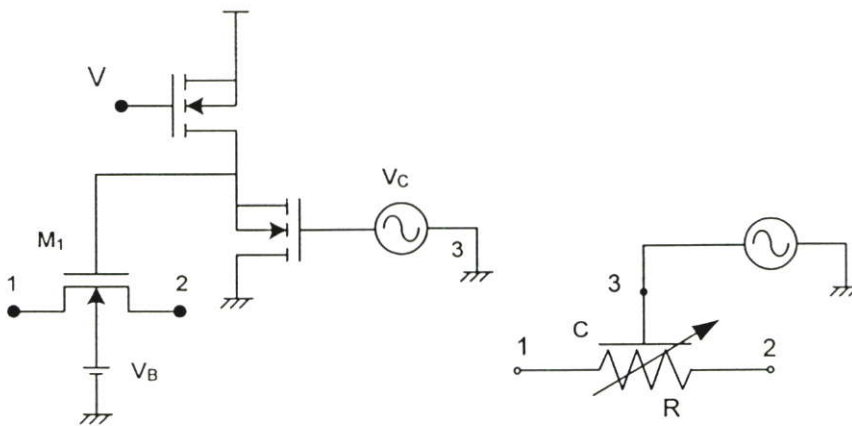
(ง) วงจรเสมือนของสัญญาณขนาดเล็ก รูป (ค)

รูปที่ 4.2 การเกิดค่าความต้านทานและค่าเก็บประจุไฟฟ้าในมอสเฟต

ค่าของ b จะขึ้นอยู่กับค่าแรงดันไฟฟ้า $V_{SB} = V_{DB}$ และพารามิเตอร์ที่เกิดขึ้น จะมีค่าเท่ากับ 0.1 รูปแบบในรูปที่ 4.2(ง) จะใช้งานจนกว่าจะมีการพิจารณาซอร์สและเดรนร่วมด้วย ค่าความจุไฟฟ้า $(1-b)C_{gs}$ คือค่าความจุไฟฟ้าทั้งหมด (เทรวมกับแถบกลับ(inversion region)) ที่ตกคร่อมบริเวณช่องทางเดินกระแสในรูปที่ 4.2(ค) แต่ไม่ใช่ค่าที่ถูกต้องสำหรับค่าความจุไฟฟ้า ที่มองจากเกตในรูปที่ 4.2(ค) ด้วยเหตุนี้จึงทำให้รูปที่ 4.2(ง) มีสัญญาณขนาดเล็กเท่ากับในรูปที่ 4.2(ค) ได้ก็ต่อเมื่อเกตเป็นตัวขับแรงดันไฟฟ้า ซึ่งจะทำให้ค่าความจุไฟฟ้าที่มองจากเกตไม่ใช่ประเด็นสำคัญกรณีทั่วไปของการไบอัสซอร์ส-เดรนเป็นเรื่องที่ซับซ้อน ซึ่งแนวคิดของคิสตรีบิวต์อาร์ชีแบบเดียวกันนี้อาจนำมาใช้ได้ แต่สำหรับวงจรเทียบเท่าสัญญาณขนาดเล็กสามารถเกิดขึ้นได้

4.2 การแปลงวงจรยูนิฟอร์มคิสตรีบิวต์อาร์ชี โดยใช้ทรานซิสเตอร์เพียงอย่างเดียว

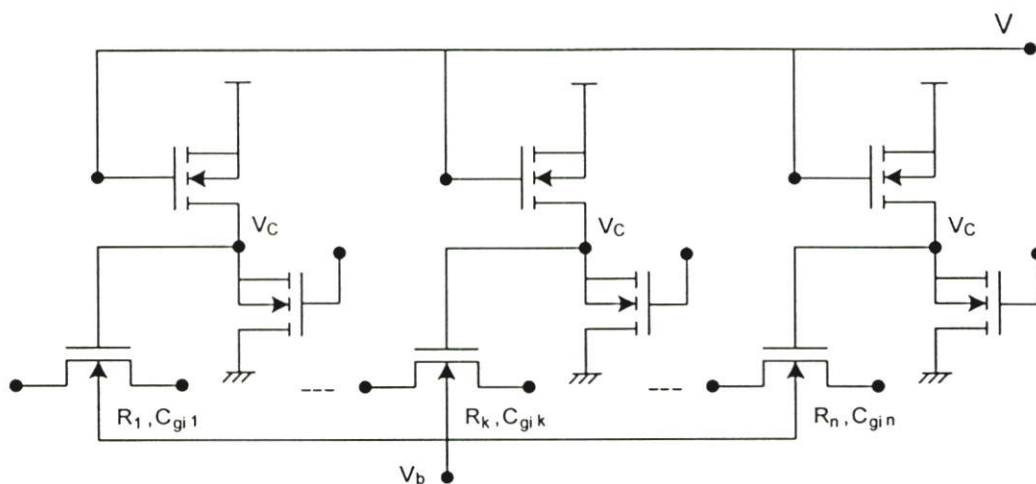
กระแสไฟฟ้าที่ไหลจากการไบอัสด้วยแหล่งจ่ายไฟ ในรูปที่ 4.2(ก) และ 4.2(ค) สามารถเกิดขึ้นได้กับการต่อมอสเฟตแบบซอร์สตาม จะง่ายสำหรับการพิจารณาเฉพาะรูปที่ 4.2(ค) เท่านั้น การประยุกต์ใช้งานโครงสร้างซึ่งแสดงไว้ในรูปที่ 4.3(ก) [8] โดยขาที่ 1, 2 และ 3 จะต่ออยู่ที่กราวด์ การต่อมอสเฟตแบบซอร์สตาม แบบพีแชนแนล (P-Channel) จะให้ไบอัสแบบดีซีและอินพุตที่มีลักษณะเป็นแบบบัพเฟอร์สำหรับการป้อนสัญญาณไปใช้กับเกต และกำหนดให้อิมพีแดนซ์ที่ออกมามีค่าต่ำมาก ๆ ค่าความต้านทานของช่องทางเดินกระแสของ M_1 จะถูกควบคุมโดยแรงดันเกต V_c ซึ่งในทางกลับกันจะถูกควบคุมด้วยไบอัสกระแสของตัวที่ตามมาผ่าน V อีกทีหนึ่ง ลักษณะดังกล่าวจะถูกใช้เพื่อการปรับ ดังนั้นวงจรที่แสดงไว้ในรูปที่ 4.3(ก) จึงเป็นตัวประกอบ URC ที่ทำการปรับดังแสดงไว้ในรูป 4.3(ข) ตรวจสอบที่ขั้วขา 1 และ 2 เข้ามาเกี่ยวข้อง



(ก) การจ่ายไบอัสแบบซอร์สร่วม

(ข) รูปแบบสัญญาณขนาดเล็กจาก (ก) ที่ใช้เพียงขา 1 และ 2

รูปที่ 4.3 การจ่ายแรงดันไบอัสให้กับมอสเฟต



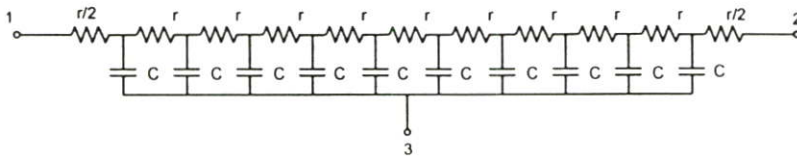
(ค) การจ่ายไบอัสให้กับมอสเฟตจำนวน n ตัว โดยจ่ายไบอัสแบบชอร์สร่วม

รูปที่ 4.3(ต่อ) การจ่ายแรงดันไบอัสให้กับมอสเฟต

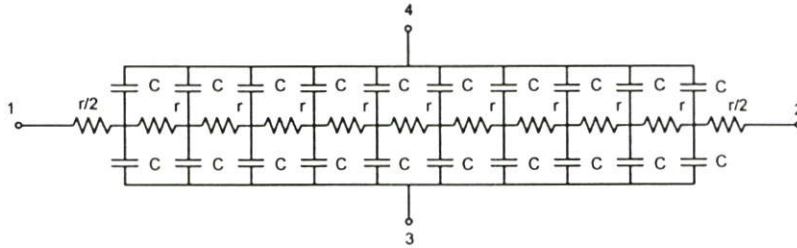
แรงดันควบคุม (V) จะถูกใช้ร่วมกันโดยมอสเฟตที่แตกต่างกันในวงจร เช่น วงจรกรองความถี่ดังแสดงในรูปที่ 4.3(ค) หากใช้การต่อมอสเฟตแบบชอร์สตาม ที่มีลักษณะเฉพาะตัว แรงดันไบอัสขาเกตของอุปกรณ์มอสเฟตทั้งหมดจะเท่ากับตัวอื่น สำหรับค่าทั้งหมดของแรงดันควบคุม เมื่อค่าความต้านทานของช่องทางเดินกระแสของอุปกรณ์มอสเฟตทั้งหมดถูกแสดงไว้ใน สมการที่ (4.1) และสมการที่ (4.2) โดยแรงดันควบคุมที่จ่ายผ่านความต้านทาน R_k แต่ละตัวจะถูกเปลี่ยนโดยปัจจัยเดียวกัน นั่นคือ $(V_{C_{old}} - V_T)/(V_{C_{new}} - V_T)$ โดย $k = 1, 2, \dots, n$ แต่สัดส่วนค่าความต้านทานของคิสทริบิวต์อาร์ซีในส่วนของมอสเฟต จะยังคงไม่เปลี่ยนแปลงและเท่ากับสัดส่วนของ L/W ดังนั้นด้วยการปรับแรงดันควบคุม จะทำให้คุณลักษณะทางความถี่ของวงจรกรองความถี่ซึ่งบรรจุมอสเฟตเหล่านี้สามารถทำการปรับค่าได้ ขณะที่ตัวประกอบ Q ของวงจรกรองความถี่จะยังคงไม่เปลี่ยนแปลง สิ่งเหล่านี้จะสอดคล้องกับการวัดผลตอบสนองทางความถี่ของวงจร

4.3 วงจรเสมือนของยูนิฟอร์มคิสทริบิวต์อาร์ซี

ในการทดสอบด้วยโปรแกรม PSpice และการนำไปใช้งานจริง ตัวอุปกรณ์ที่เป็น URC และ $DURC$ จะใช้การต่อตัวต้านทาน (R) และตัวเก็บประจุ (C) ที่เป็นแบบลิมิตอิลิเมนต์แทน URC ซึ่งการต่อตัวต้านทาน และตัวเก็บประจุเพื่อทำหน้าที่เป็น URC 1 ชุด จะต้องใช้การต่อเป็นแบบ Ladder 10 เซกชัน (Section) จึงจะทำให้ผลการตอบสนองความถี่ได้ใกล้เคียงกับทางอุดมคติ รูปแบบการต่อตัวต้านทาน และตัวเก็บประจุเพื่อทำหน้าที่เป็น URC ในที่นี้ จะใช้การต่อแบบพาย (π -Type) ดังแสดงในรูป



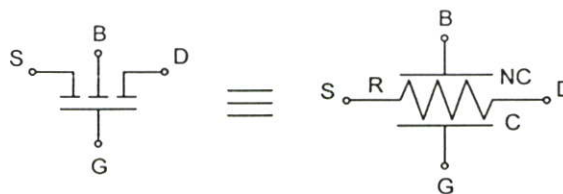
รูปที่ 4.4 วงจรเสมือนของ \overline{URC}



รูปที่ 4.5 วงจรเสมือนของ \overline{DURC}

4.4 การออกแบบมอสเฟตเป็นยูนิฟอร์มดิสทริบิวต์อาร์ซี

ในการออกแบบมอสเฟตเป็นตัวยูนิฟอร์มดิสทริบิวต์อาร์ซี จะใช้มอสเฟตชนิด N-Channel โดยมีการจ่ายแรงดันไบอัส $V_{GD} = V_{GS} > V_T$ ค่าความต้านทานของช่องทางเดินกระแสสามารถปรับเลือกได้ เมื่อทำการปรับเปลี่ยค่าแรงดัน V_{GS} ค่าความเก็บประจุไฟฟ้าที่เกิดขึ้นที่ชั้นออกไซด์ และชั้นดีฟลิชัน ซึ่งกระจายตามความยาวทั้งสองด้านของช่องทางเดินกระแส จะเป็นไปตามรูปแบบของคัตเบิ้ลยูนิฟอร์มดิสทริบิวต์อาร์ซี (\overline{DURC}) ถ้ามองในรูปแบบสัญญาณขนาดเล็กของมอสเฟตได้รูปแบบดังรูปที่ 4.6



รูปที่ 4.6 รูปแบบสัญญาณขนาดเล็กของมอสเฟต

ค่าพารามิเตอร์ต่าง ๆ ของรูปแบบสัญญาณขนาดเล็กในรูปที่ 4.6 และจากสมการที่ (4.1), (4.2) และ (4.3) จะมีค่าเท่ากับ

$$R = \left\{ K' \frac{W}{L} (V_{GS} - V_T) \right\}^{-1} \tag{4.9}$$

$$C = C_{ox} = C'_{ox} WL \tag{4.10}$$

$$N = \frac{C_b}{C_{ox}} = b = \frac{\gamma}{2\sqrt{V_{SB} + \phi_B}} \quad (4.11)$$

$$\tau = RC = \frac{C'_{ox} L^2 (N + 1)}{K'(V_{GS} - V_T)} \quad (4.12)$$

ถ้า $N \ll 1$ จะเหลือแค่ R และ C ซึ่งจะเท่ากับ ตัวยูนิฟอร์มดิสทริบิวต์อาร์ซี ค่าคงที่ทางเวลา (Time Constance: τ) จะมีค่าเท่ากับสมการ (4.12)

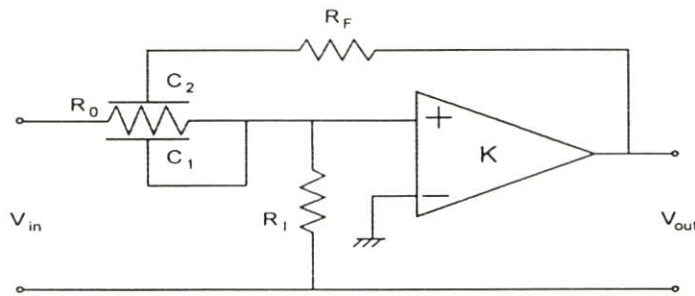
บทที่ 5

การออกแบบวงจรกรองความถี่ผ่านทุกแถบความถี่

5.1 วงจรกรองความถี่ผ่านทุกแถบความถี่

5.1.1 วงจรกรองความถี่แบบที่นำเสนอ

การออกแบบวงจรกรองความถี่ผ่านทุกแถบความถี่ (All pass filter) แบบใช้ยูนิฟอร์มดิสทริบิวต์อาร์ซี ที่นำเสนอนี้เป็นการออกแบบวงจรง่าย ๆ แตกต่างจากวงจรที่ผ่าน ๆ มา โดยวงจรกรองความถี่ผ่านทุกแถบความถี่ จะประกอบด้วยตัวยูนิฟอร์มดิสทริบิวต์อาร์ซีแบบสองชั้น ตัวความต้านทาน และภาควงจรขยาย จากรูปที่ 5.1 ตัวความต้านทาน R_1 จะต่อขานานที่อินพุทของออปแอมป์ โดยทำหน้าที่ในการชดเชยค่าอินพุทอิมพีแดนซ์แฝงภายในของอุปกรณ์ประเภทแอกทีฟ ส่วนตัวความต้านทาน R_F จะต่ออนุกรมกับเอาต์พุทของออปแอมป์ และทำหน้าที่ในการชดเชยค่าเอาต์พุทอิมพีแดนซ์แฝงภายใน



รูปที่ 5.1 วงจรกรองความถี่ผ่านทุกแถบความถี่แบบที่ใช้ $DURC$ ที่นำเสนอ

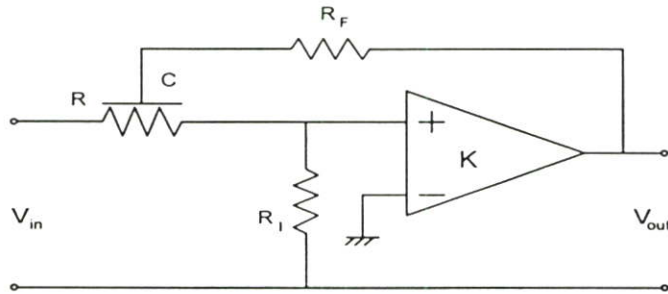
จากวงจรรูปที่ 5.1 สามารถหาค่าทรานส์เฟอร์ฟังก์ชัน คือ

$$\frac{V_o}{V_i} = \frac{KR_1 p \left[\alpha R_F p \left[\left(1 - \frac{\alpha}{2} \right) \cosh 2p + (\alpha - 1) 2 \cosh p - 1 - \frac{\alpha}{2} \right] + R \sinh p \left[\alpha + (1 - \alpha) \cosh p \right] \right]}{\alpha R R_F p [\sinh 2p - 2 \sinh p] + [R_1 + 1] R^2 \sinh^2 p - \alpha K R R_1 p \left[\frac{1}{2} \sinh 2p - \sinh p \right] + \alpha R_F R_1 p^2 \left[\left(1 - \frac{\alpha}{2} \right) \cosh 2p + (\alpha - 1) 2 \cosh p - 1 - \frac{\alpha}{2} \right]}$$

(5.1)

โดยทำการเปรียบเทียบกับวงจรกรองความถี่ผ่านทุกแถบความถี่ ที่มีลักษณะการต่อวงจร ใกล้เคียงกันอีก 3 แบบ ดังนี้

5.1.2 วงจรกรองความถี่แบบที่ 1

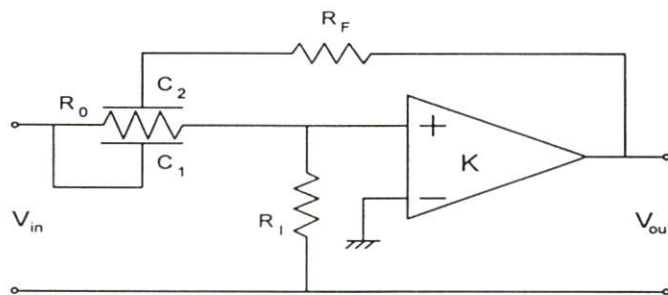


รูปที่ 5.2 วงจรกรองความถี่ผ่านทุกแถบความถี่แบบที่ใช้ $UR\bar{C}$ แบบที่ 1

จากวงจรรูปที่ 5.2 สามารถหาค่าทรานส์เฟอ์ฟังก์ชัน คือ

$$\frac{V_o}{V_i} = \frac{KR_1 p \left[\frac{1}{2} p R_F (\cosh 2p - 3) + R \sinh p \right]}{R_F R_1 \left[\frac{1}{2} p^2 (\cosh 2p - 3) \right] + R R_1 p \cosh p \sinh p + \frac{1}{2} R^2 (\cosh 2p - 3) - 2R R_F p (\cosh p - 1) \sinh p - K R R_1 p \sinh p (\cosh p - 1)} \quad (5.2)$$

5.1.3 วงจรกรองความถี่แบบที่ 2

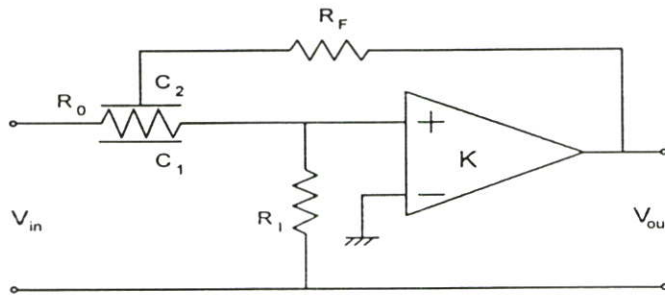


รูปที่ 5.3 วงจรกรองความถี่ผ่านทุกแถบความถี่แบบที่ใช้ $DUR\bar{C}$ แบบที่ 2

จากวงจรรูปที่ 5.3 สามารถหาค่าทรานส์เฟอ์ฟังก์ชัน คือ

$$\frac{V_o}{V_i} = \frac{KR_1 p \left[R \sinh p + \frac{1}{2} R(1-\alpha) \sinh 2p - \alpha(1-\alpha) R_F p \sinh p - \frac{1}{2} \alpha^2 R_F p (\cosh 2p - 1) \right] + KR_1 p \alpha (2\alpha - 1) p R_F \sinh p (\cosh p - 1)}{\alpha R p \sinh p (\cosh p - 1) (2\alpha R_F - KR_1) + \frac{1}{2} R_1 p \sinh 2p [R - \alpha(1-\alpha) p R_F] + \frac{1}{2} (\cosh 2p - 1) [\alpha(1-\alpha) p^2 R R_F - \alpha^2 p^2 R_F R_1 - R^2]} \quad (5.3)$$

5.1.4 วงจรกรองความถี่แบบที่ 3



รูปที่ 5.4 วงจรกรองความถี่ผ่านทุกแถบความถี่แบบที่ใช้ $DURC$ แบบที่ 3

จากวงจรรูปที่ 5.4 สามารถหาค่าทรานส์เฟอ์ฟังก์ชัน คือ

$$\frac{V_o}{V_i} = \frac{\alpha(2\alpha - 1)KR_F R_1 p^2 (\cosh 2p - 2 \cosh p + \frac{3}{2}) + KRR_1 p \sinh p + 2\alpha(1 - 2\alpha)KR_F R_1 p^2 (\cosh p - 1)}{\alpha(2\alpha - 1)R_F R_1 p^2 (\cosh 2p - 2 \cosh p + \frac{3}{2}) - \alpha KRR_1 p \sinh p (\cosh p - 1) - \frac{1}{2} R^2 (\cosh 2p - 1) + \frac{1}{2} RR_1 p \sinh 2p + 2\alpha(1 - 2\alpha)R_F p (\cosh p - 1) (R_1 p \cosh p - R \sinh p)} \quad (5.4)$$

5.2 การหาค่าของอุปกรณ์

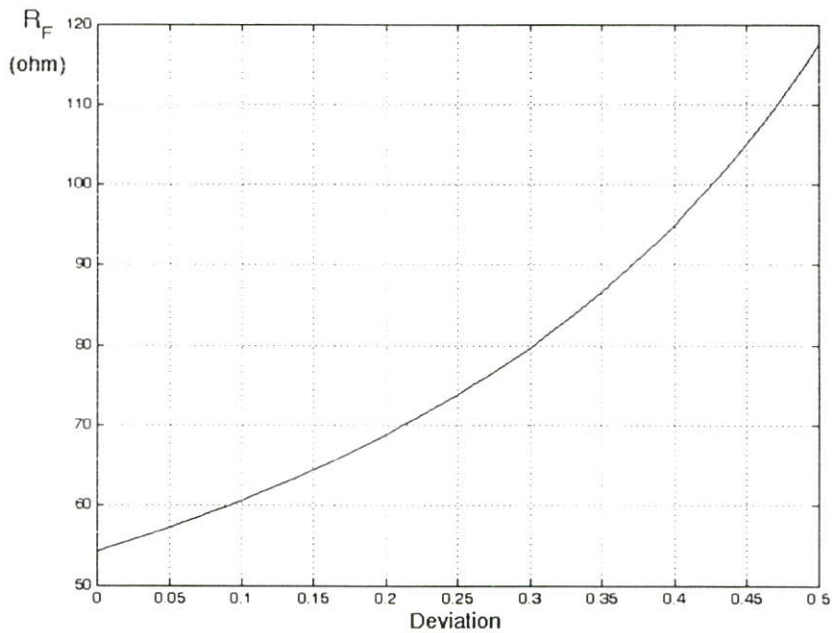
5.2.1 การหาค่าของอุปกรณ์ในสภาวะปกติ (Normalization)

การหาค่าของอุปกรณ์ในวงจรกรองความถี่ผ่านทุกแถบความถี่ แบบใช้ยูนิฟอร์มดิสทริบิวต์อาร์ซี จากการ realize สมการทรานส์เฟอร์ฟังก์ชัน

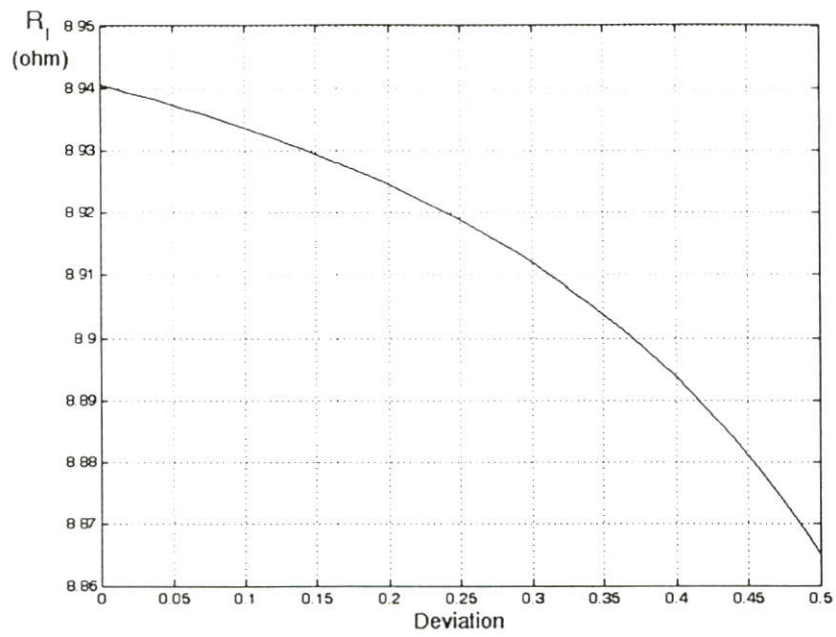
$$\frac{V_o}{V_i} = \frac{(p - \sigma)^2 + 1}{(p + \sigma)^2 + 1} \quad (5.5)$$

เมื่อ p คือ ค่าความถี่เชิงซ้อน (Complex frequency)

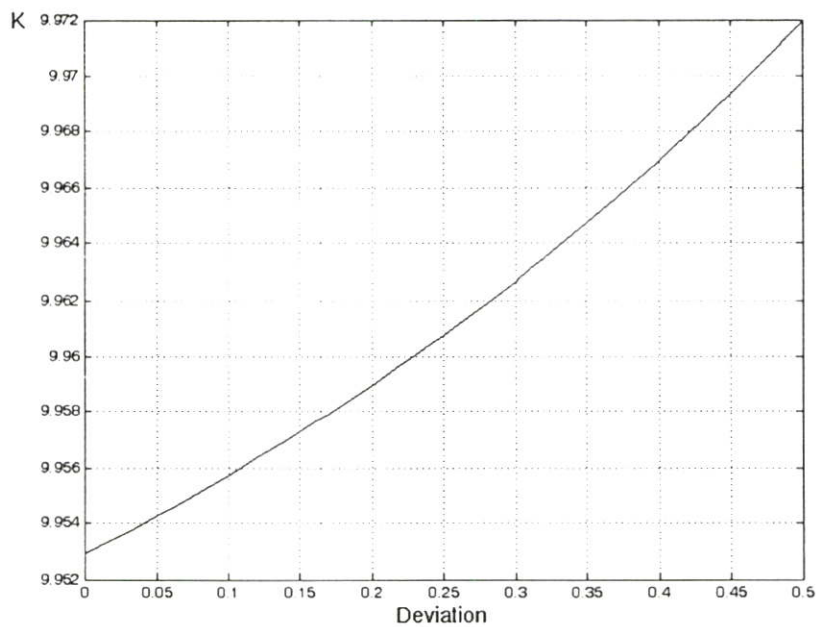
โดยจะมีค่า zero = $\sigma \pm j1$ และค่า pole = $-\sigma \pm j1$ จะเห็นได้ว่าค่าความถี่หรือค่าความถี่ด้านทานในสภาวะปกติที่ต้องการนั้น สามารถที่จะนำไปประยุกต์ใช้ได้ด้วยค่าเฉพาะของอุปกรณ์ในวงจรกรองความถี่จริงได้



รูปที่ 5.5 วงจรกรองความถี่ ค่า zero = $\sigma + j1$, ค่า pole = $-\sigma + j1$ ของค่าอุปกรณ์ R_F



รูปที่ 5.6 วงจรกรองความถี่ ค่า zero = $\sigma + j1$, ค่า pole = $-\sigma + j1$ ของค่าอุปกรณ R_1



รูปที่ 5.7 วงจรกรองความถี่ ค่า zero = $\sigma + j1$, ค่า pole = $-\sigma + j1$ ของค่าอัตราขยาย (K)

โดยที่ค่า $R_0 = 29.35 \Omega$ และกำหนดให้ค่า $\alpha = 0.08$

5.2.2 การหาค่าของอุปกรณ์ที่ใช้ในการจำลองการทำงาน

โดยจำลองการทำงานด้วยโปรแกรม Orcad Pspice ค่าตัวแปรต่าง ๆ ของมอสเฟต สามารถหาได้จากสมการที่ (4.9) และ (4.10)

$$R = \left\{ K' \frac{W}{L} (V_{GS} - V_T) \right\}^{-1} \quad (4.9)$$

$$C = C_{ox} = C'_{ox} WL \quad (4.10)$$

โดยใช้มอสเฟตชนิด NMOS เทคโนโลยี 0.8 ไมครอน

$$K'_N = 110 \times 10^{-6} \text{ A/V}^2, \quad C'_{ox} = 24.7 \times 10^{-4} \text{ F/m}^2$$

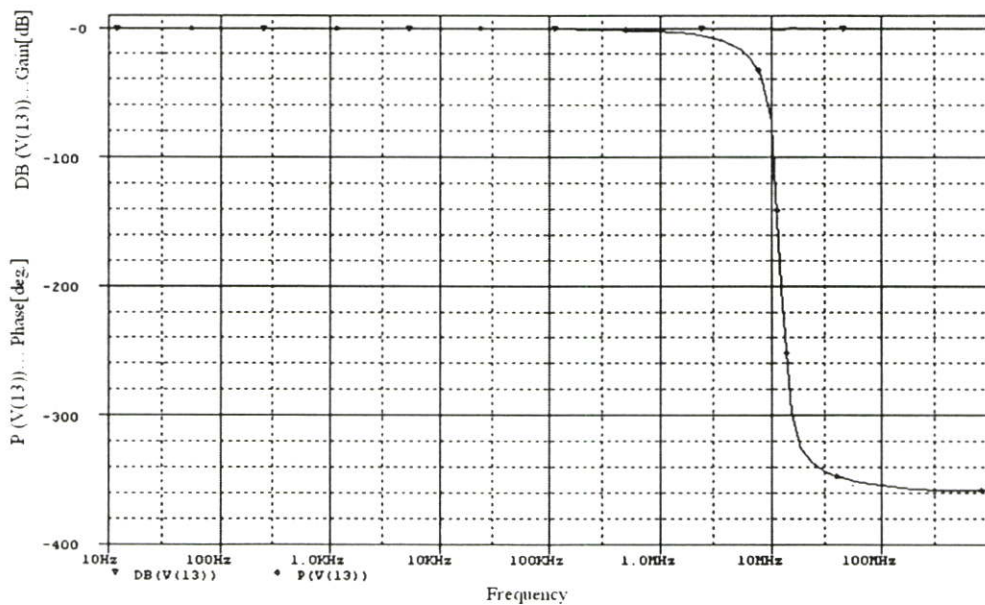
$$V_T = 0.7 \text{ V}, \quad \Phi_B \approx 0.7 \text{ V}$$

กำหนดให้ $V_{GS} = 5 \text{ V}$ สามารถคำนวณหาค่า $W = 53.41 \mu\text{m}$ และ $L = 757.95 \mu\text{m}$

5.3 ผลการตอบสนองทางความถี่และเฟสของวงจร

5.3.1 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่นำเสนอ

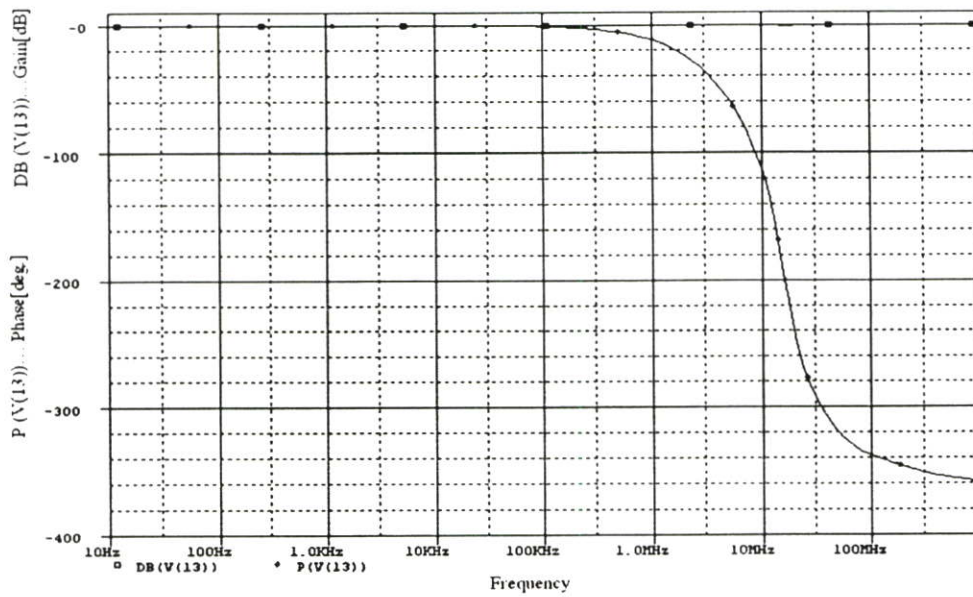
จากการหาค่าของอุปกรณ์ในสภาวะปกติ รูปที่ 5.5, 5.6 และ 5.7 สามารถนำมาหาผลการตอบสนองทางความถี่ และผลการตอบสนองทางเฟสได้ โดยใช้การจำลองการทำงานด้วยโปรแกรม Orcad Pspice ใช้การต่อตัวต้านทาน (Resistor) และตัวเก็บประจุ (Capacitor) ที่เป็นแบบลัมด้อลิเมนต์แทนยูนิฟอร์มดิสทริบิวต์อาร์ชีแบบสองชั้น จะได้ผลตอบสนองของวงจร แสดงดังรูปที่ 5.8



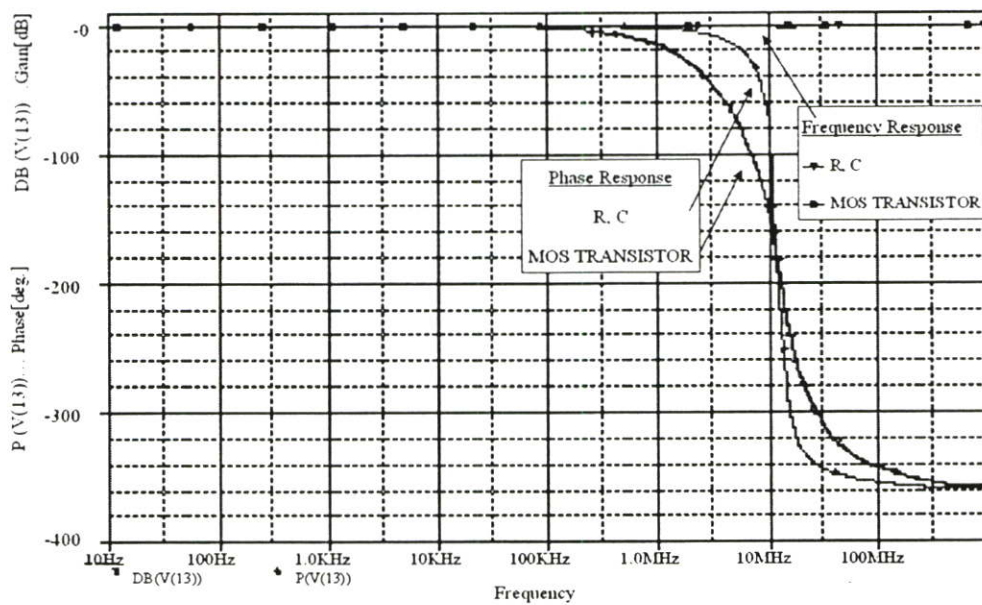
รูปที่ 5.8 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่นำเสนอ

โดยใช้อุปกรณ์ R, C

โดยการออกแบบวงจรกรองความถี่ผ่านทุกแถบความถี่ (All Pass Filter) โดยใช้โครงสร้างของทรานซิสเตอร์แทนยูนิฟอร์มดิสทริบิวต์อาร์ชีแบบสองชั้น จะได้ผลการตอบสนองของวงจรแสดงดังรูปที่ 5.9



รูปที่ 5.9 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่นำเสนอ โดยใช้ทรานซิสเตอร์อย่างเดียว

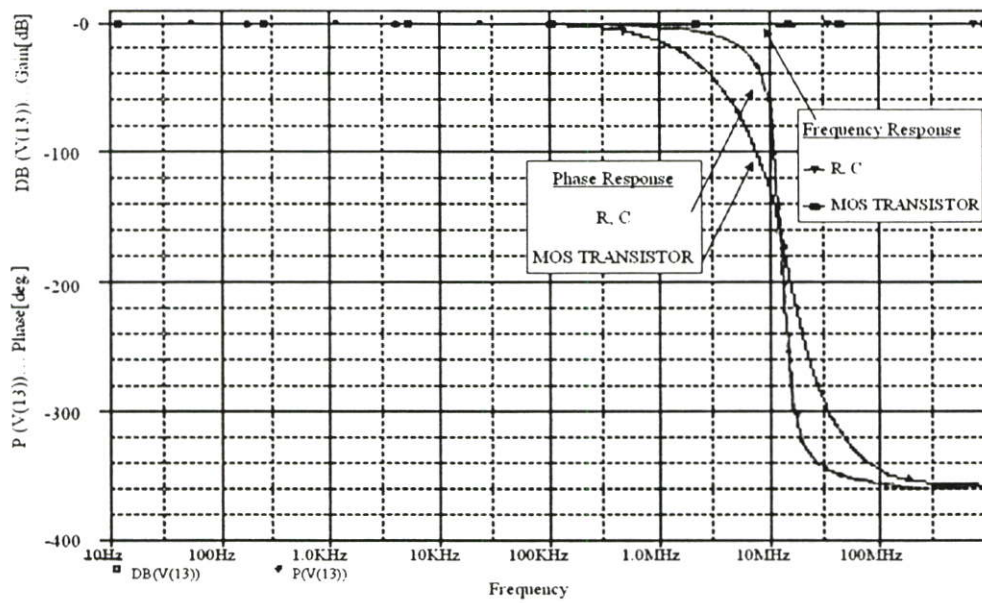


รูปที่ 5.10 เปรียบเทียบผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่นำเสนอ

ตารางที่ 5.1 การเปรียบเทียบผลการตอบสนองของวงจรรองความถี่แบบที่นำเสนอ

ความถี่ (Hz)	วงจรรองความถี่ แบบใช้อุปกรณ์ R, C		วงจรรองความถี่ แบบใช้ ทรานซิสเตอร์อย่างเดี่ยว	
	ขนาด (dB)	เฟส	ขนาด (dB)	เฟส
1K	-39.06×10^{-3}	0°	-3.43×10^{-3}	0°
100K	-61.54×10^{-3}	0°	-14.12×10^{-3}	-1.41°
1M	-108.93×10^{-3}	-2.55°	-35.83×10^{-3}	-14.04°
5M	-132.57×10^{-3}	-15.56°	-181.56×10^{-3}	-67.02°
10M	-149.11×10^{-3}	-66.01°	-373.07×10^{-3}	-126.94°
12.92M	38.98×10^{-3}	-176.60°	-440.78×10^{-3}	-160.22°
13.02M	183.56×10^{-3}	-233.21°	-445.98×10^{-3}	-180.14°
20M	-297.61×10^{-3}	-326.23°	-279.39×10^{-3}	-243.37°
30M	-600.81×10^{-3}	-341.95°	-119.74×10^{-3}	-288.02°
100M	-405.86×10^{-3}	-354.06°	-30.26×10^{-3}	-349.12°
500M	-282.63×10^{-3}	-358.70°	-10.67×10^{-3}	-356.44°
1G	-228.55×10^{-3}	-359.36°	-3.81×10^{-3}	-359.53°

5.3.2 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่ 1

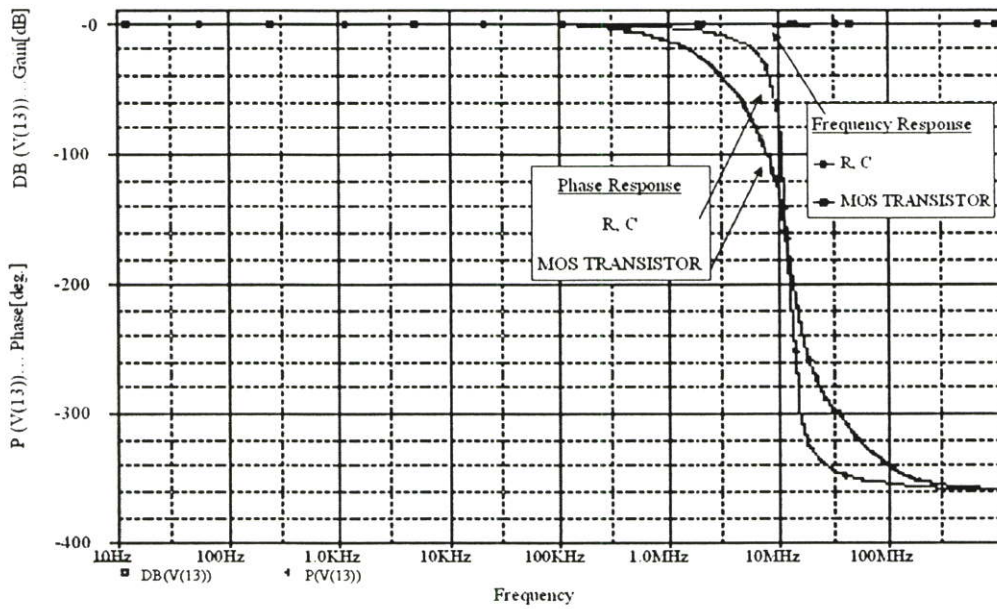


รูปที่ 5.11 เปรียบเทียบผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่ 1

ตารางที่ 5.2 การเปรียบเทียบผลการตอบสนองของวงจรกรองความถี่แบบที่ 1

ความถี่ (Hz)	วงจรกรองความถี่ แบบใช้อุปกรณ์ R, C		วงจรกรองความถี่ แบบใช้ ทรานซิสเตอร์อย่างเดียว	
	ขนาด (dB)	เฟส	ขนาด (dB)	เฟส
1K	-42.59×10^{-3}	0°	-11.69×10^{-3}	0°
100K	-74.18×10^{-3}	0°	-35.72×10^{-3}	1°
1M	-162.81×10^{-3}	-2.50°	-78.86×10^{-3}	-9°
5M	-214.67×10^{-3}	-15.18°	-183.91×10^{-3}	-43.35°
10M	-31.89×10^{-3}	-72.47°	-439.24×10^{-3}	-79.18°
12.46M	66.25×10^{-3}	-181.14°	-568.47×10^{-3}	-93.76°
13.87M	258.78×10^{-3}	-246.23°	-591.76×10^{-3}	-178.24°
20M	-180.22×10^{-3}	-328.95°	-312.36×10^{-3}	-239.56°
30M	-642.79×10^{-3}	-343.37°	-194.08×10^{-3}	-294.66°
100M	-500.57×10^{-3}	-354.32°	-102.68×10^{-3}	-351.09°
500M	-390.18×10^{-3}	-358.31°	-33.28×10^{-3}	-358.99°
1G	-383.84×10^{-3}	-359.56°	-18.63×10^{-3}	-359.83°

5.3.3 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่ 2

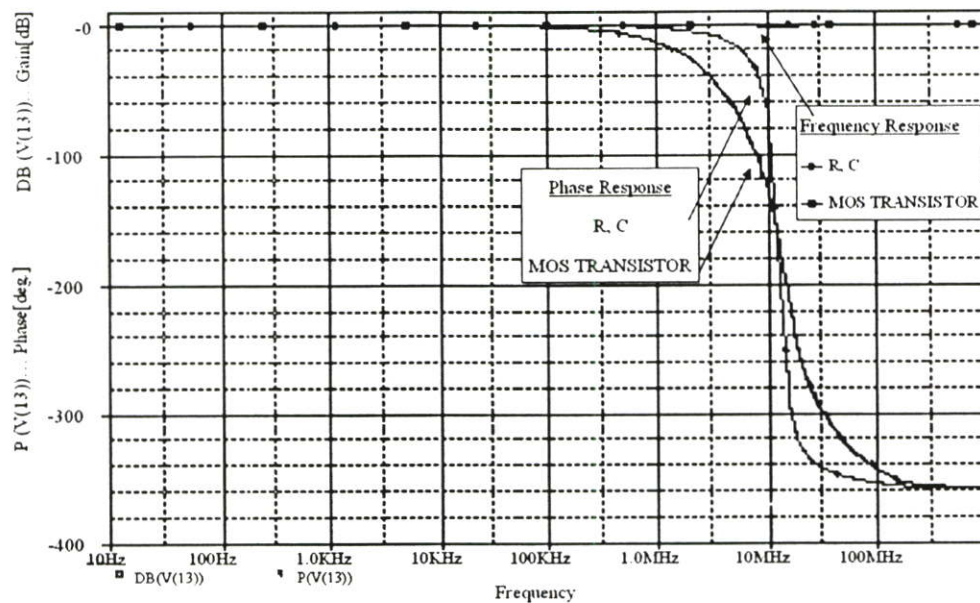


รูปที่ 5.12 เปรียบเทียบผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่ 2

ตารางที่ 5.3 การเปรียบเทียบผลการตอบสนองของวงจรกรองความถี่แบบที่ 2

ความถี่ (Hz)	วงจรกรองความถี่ แบบใช้อุปกรณ์ R, C		วงจรกรองความถี่ แบบใช้ ทรานซิสเตอร์อย่างเดียว	
	ขนาด (dB)	เฟส	ขนาด (dB)	เฟส
1K	-48.29×10^{-3}	0°	-8.92×10^{-3}	0°
100K	-68.45×10^{-3}	0°	-27.78×10^{-3}	1.14°
1M	-112.67×10^{-3}	-2.51°	-92.21×10^{-3}	11.59°
5M	-152.31×10^{-3}	-15.42°	-189.15×10^{-3}	55.51°
10M	-139.14×10^{-3}	-72.47°	-315.84×10^{-3}	-105.24°
12.97M	38.98×10^{-3}	-183.79°	-452.69×10^{-3}	-128.66°
14.19M	217.08×10^{-3}	-290.15°	-513.07×10^{-3}	-180.62°
20M	-317.37×10^{-3}	-329.39°	-368.84×10^{-3}	-246.51°
30M	-598.26×10^{-3}	-343.54°	-203.51×10^{-3}	-248.89°
100M	-405.86×10^{-3}	-354.32°	-128.33×10^{-3}	-328.19°
500M	-282.63×10^{-3}	-358.31°	-39.42×10^{-3}	-357.85°
1G	-228.55×10^{-3}	-359.74°	-12.37×10^{-3}	-359.78°

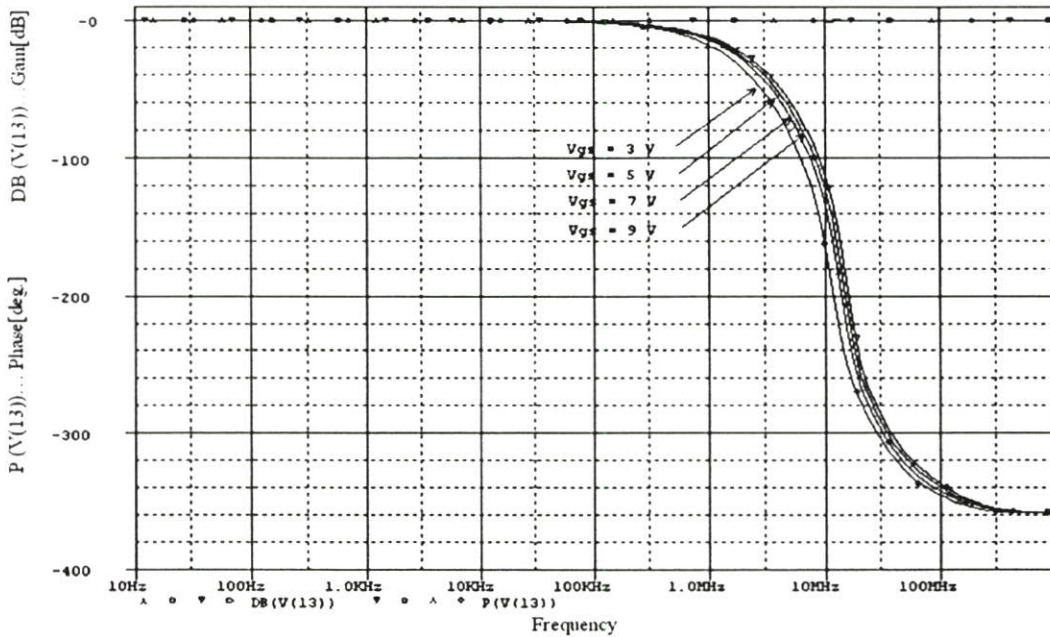
5.3.4 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่ 3



รูปที่ 5.13 เปรียบเทียบผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่แบบที่ 3

ตารางที่ 5.4 การเปรียบเทียบผลการตอบสนองของวงจรกรองความถี่แบบที่ 3

ความถี่ (Hz)	วงจรกรองความถี่ แบบใช้อุปกรณ์ R, C		วงจรกรองความถี่ แบบใช้ ทรานซิสเตอร์อย่างเดียว	
	ขนาด (dB)	เฟส	ขนาด (dB)	เฟส
1K	-35.93×10^{-3}	0°	-9.61×10^{-3}	0°
100K	-78.41×10^{-3}	0°	-21.48×10^{-3}	-1.18°
1M	-119.27×10^{-3}	-2.75°	-85.93×10^{-3}	-11.75°
5M	-145.59×10^{-3}	-15.83°	-163.75×10^{-3}	-56.85°
10M	-81.67×10^{-3}	-67.82°	-253.26×10^{-3}	-108.89°
13.24M	163.78×10^{-3}	-183.05°	-652.51×10^{-3}	-140.20°
14.93M	364.89×10^{-3}	-289.85°	-758.02×10^{-3}	-179.34°
20M	-278.51×10^{-3}	-326.39°	-429.37×10^{-3}	-242.87°
30M	-679.74×10^{-3}	-341.97°	-231.86×10^{-3}	-286.69°
100M	-511.25×10^{-3}	-354.05°	-116.58×10^{-3}	-342.99°
500M	-398.48×10^{-3}	-358.73°	-24.79×10^{-3}	-356.21°
1G	-392.19×10^{-3}	-359.53°	-8.17×10^{-3}	-359.74°



รูปที่ 5.14 การปรับเปลี่ยนแรงดันไฟฟ้าที่จ่ายให้กับขาเกต (Gate) ของทรานซิสเตอร์

จากรูปที่ 5.15 แสดงผลการตอบสนองทางความถี่และเฟสของวงจรรองความถี่ผ่านทุกแถบความถี่ เมื่อทำการเปลี่ยนค่าแรงดันไฟฟ้าที่จ่ายให้กับขาเกต (G) ของทรานซิสเตอร์ โดยค่าแรงดันไฟฟ้ามีค่าเท่ากับ 3, 5, 7 และ 9 โวลต์ ตามลำดับ จะทำให้ค่าความถี่ผลตอบสนองของวงจรมีการเลื่อนเฟส (Phase shift) โดยจะมีค่าเพิ่มมากขึ้นตามค่าแรงดันไฟฟ้าที่จ่ายให้กับขาเกต

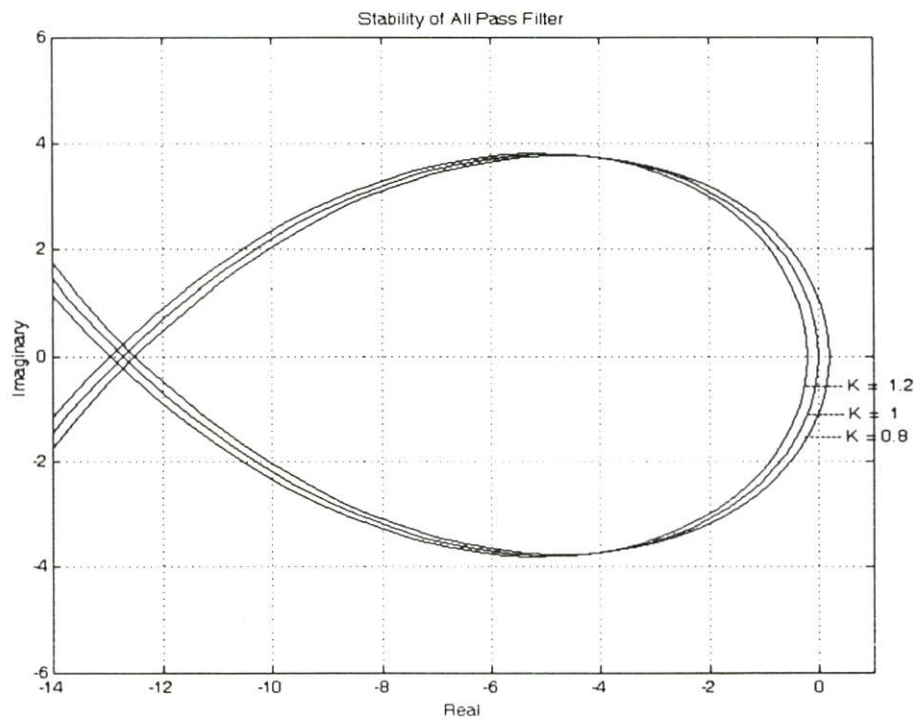
5.4 เสถียรภาพของวงจร

วงจรใด ๆ ก็ตามที่ทำให้สมการคุณสมบัติแบบต่าง ๆ ในการออกแบบจะต้องมีการวิเคราะห์เสถียรภาพของระบบเสมอ เพื่อที่จะได้ทราบขอบเขตการทำงานของวงจร โดยทั่วไปแล้วเสถียรภาพของระบบขึ้นอยู่กับตำแหน่งรากของสมการคุณลักษณะ โดยการวิเคราะห์เสถียรภาพจะนำเทคนิคของ Nyquist Diagram มาใช้ ซึ่งมีวิธีการคือ จะนำรากตัวของทรานส์เฟอ์ฟังก์ชัน มาทำการวิเคราะห์ใน S-Plane [9-11] สำหรับการวิเคราะห์ในการหาเสถียรภาพของวงจรรองความถี่ผ่านทุกแถบความถี่ เพื่อความสะดวกอาจจะแปลงให้อยู่ในรูปของ P-Plane ซึ่งจะได้ทรานส์เฟอ์ฟังก์ชันคือ

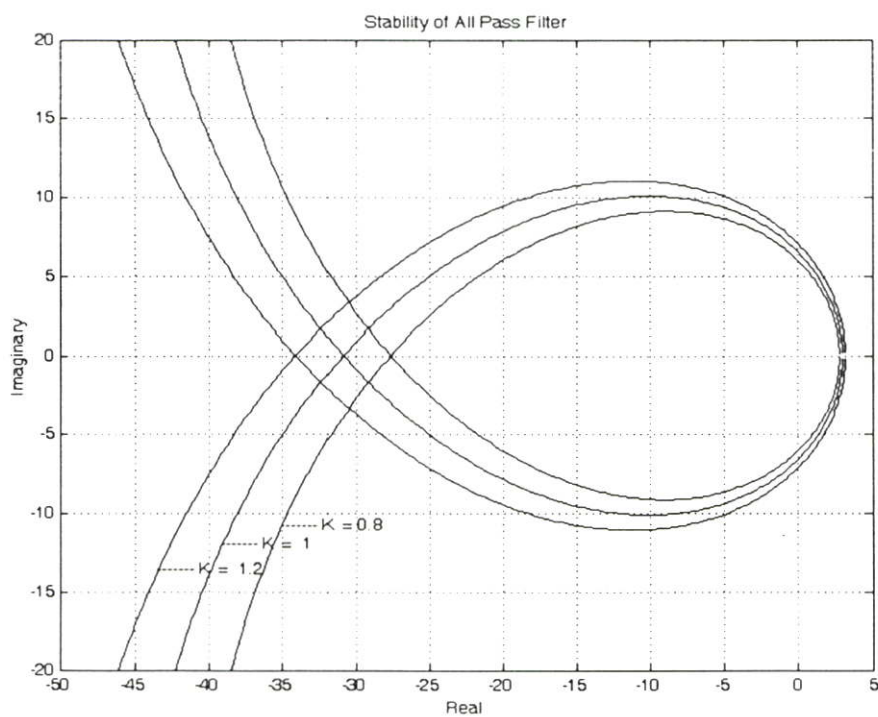
$$T(P) = \frac{N_0 + N_1P + N_2P^2 + \dots + N_mP^m}{D_0 + D_1P + D_2P^2 + \dots + D_nP^n} \quad (5.6)$$

เมื่อ $N(P)$ และ $D(P)$ เป็นโพลิโนเมียลของตัวเศษและโพลิโนเมียลของตัวส่วนตามลำดับ และอยู่ในรูปของ P-Plane

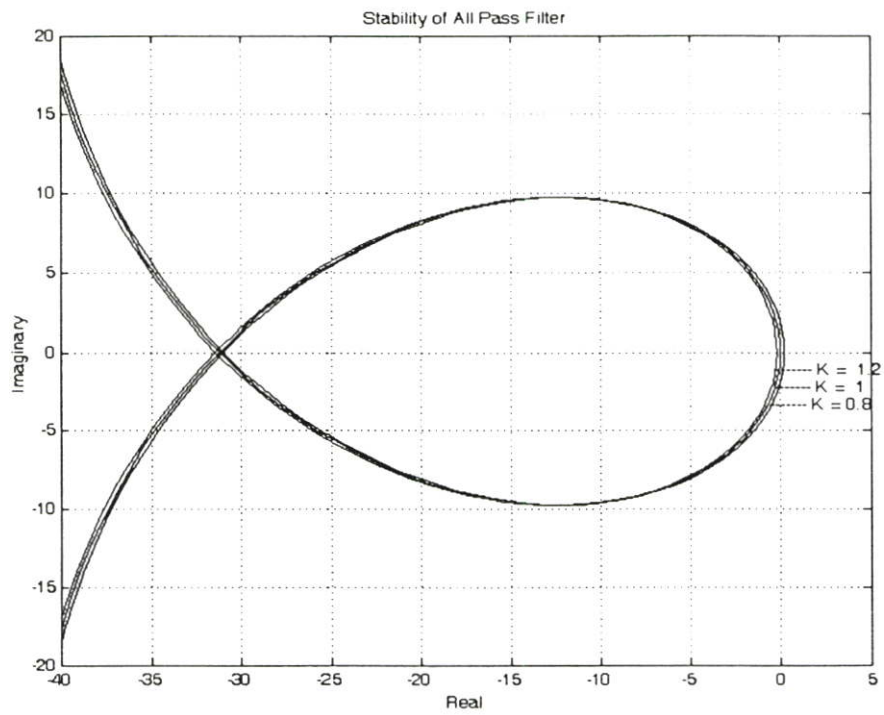
สำหรับวงจรที่เกิดเสถียรภาพ รากของสมการตัวส่วนจะต้องอยู่ในครึ่งซ้ายและเส้นทางเดินของไนควิสต์จะต้องปิดล้อมจุดกำเนิด



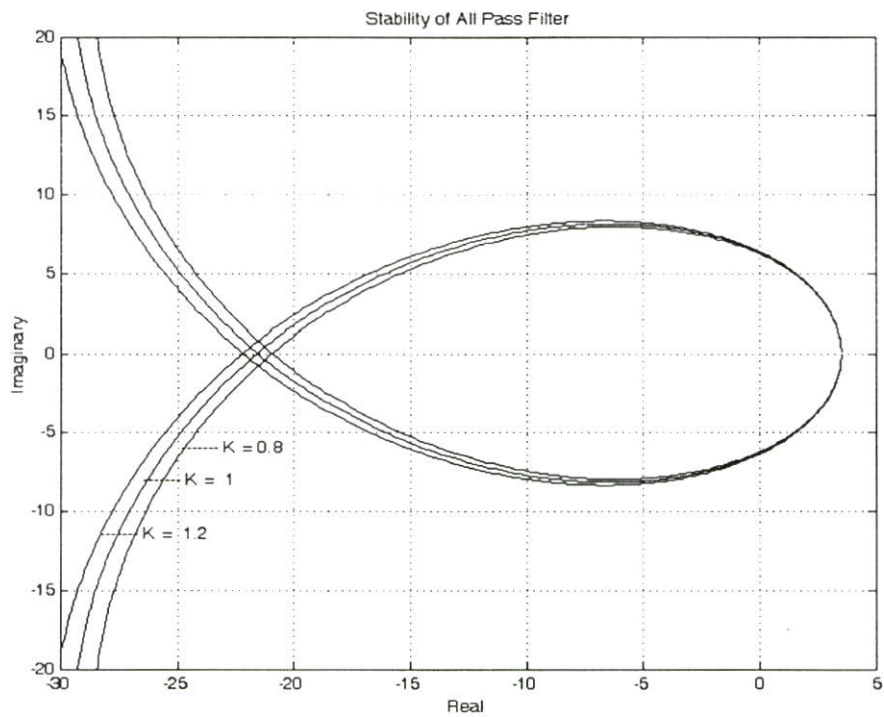
รูปที่ 5.15 เสถียรภาพของวงจรกรองความถี่ผ่านทุกแถบความถี่แบบที่นำเสนอ



รูปที่ 5.16 เสถียรภาพของวงจรกรองความถี่ผ่านทุกแถบความถี่แบบที่ 1



รูปที่ 5.17 เสถียรภาพของวงจรรองความถี่ผ่านทุกแถบความถี่แบบที่ 2



รูปที่ 5.18 เสถียรภาพของวงจรรองความถี่ผ่านทุกแถบความถี่แบบที่ 3

5.5 ค่าความไวของอุปกรณ์

จากทรานส์เฟอร์ฟังก์ชัน แทน $S = j\omega$ จะได้ฟังก์ชันในการหาค่าความไว คือ

$$S_{M_i}^{T(j\omega)} = \text{Re} \left[M_i \left(\frac{N'(S)}{N(S)} - \frac{D'(S)}{D(S)} \right) \right] \quad (5.7)$$

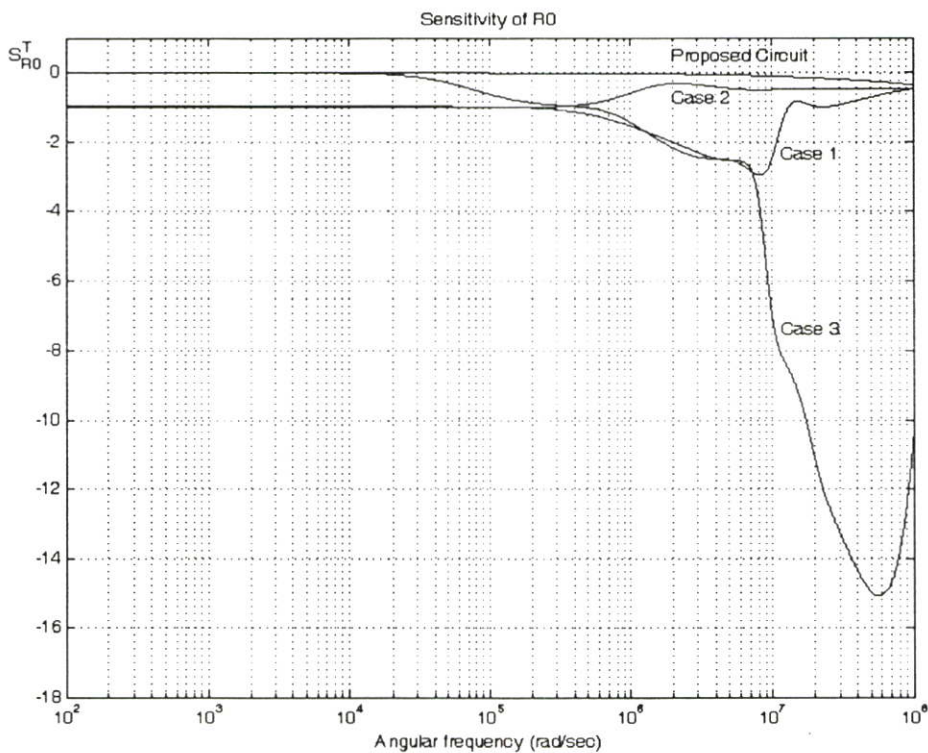
เมื่อ M_i เป็นค่าอิลิเมนต์ (Element) ของอุปกรณ์ในวงจร

$N(S)$ เป็นโพลีโนเมียลเศษของ $T(S)$

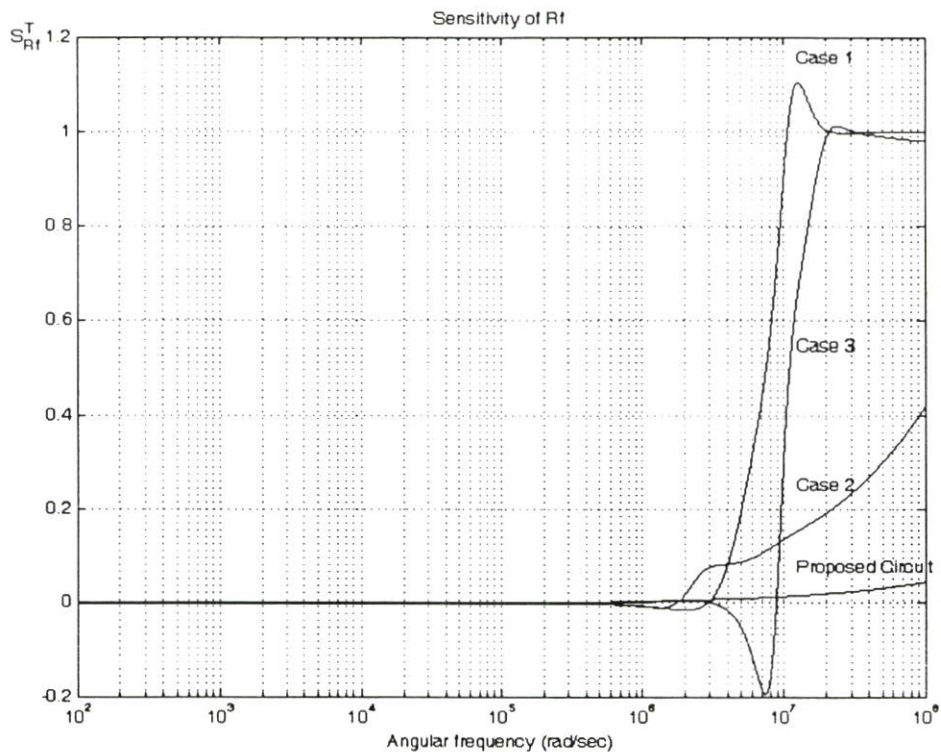
$D(S)$ เป็นโพลีโนเมียลส่วนของ $T(S)$

$$\text{และ } N'(S) = \frac{d}{dX_i} N(S), \quad D'(S) = \frac{d}{dX_i} D(S) \quad (5.8)$$

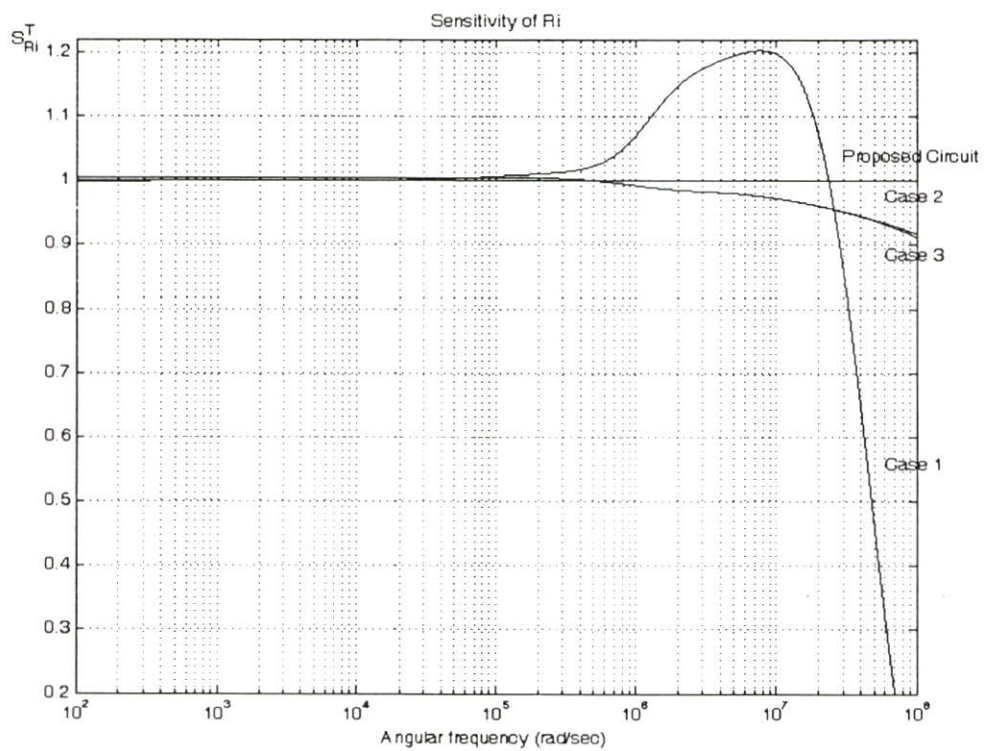
การวิเคราะห์ค่าความไวของอุปกรณ์ของวงจรรองความถี่ผ่านทุกแถบความถี่ที่ได้นำเสนอสามารถแสดงได้ดังรูป



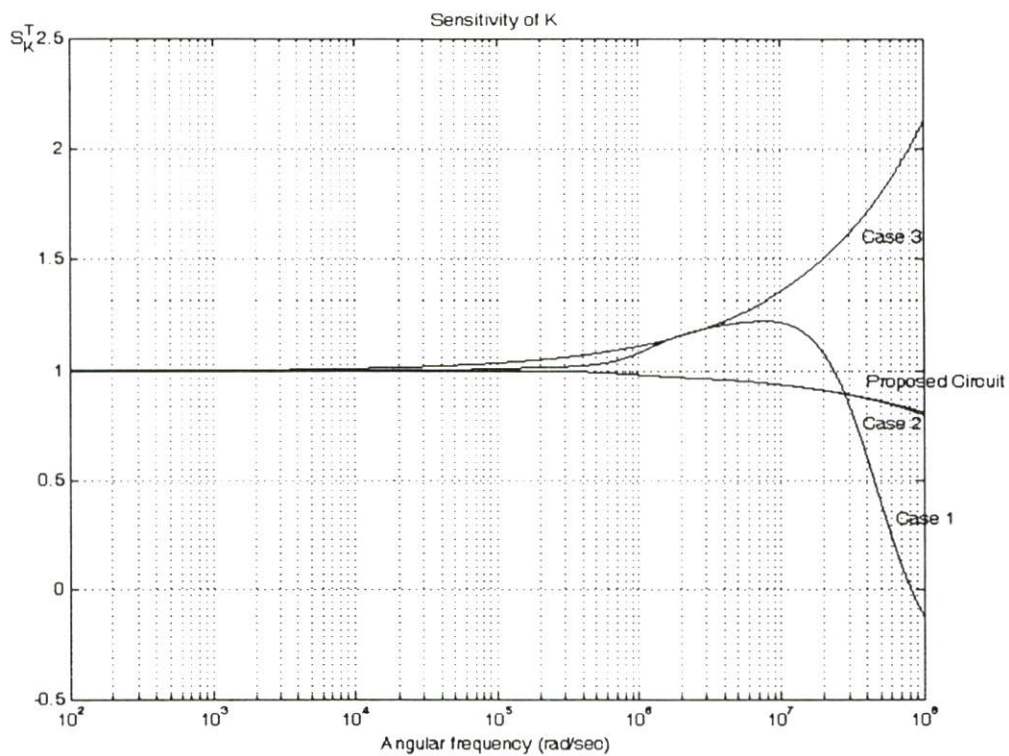
รูปที่ 5.19 ค่าความไว $S_{R_0}^{T(s)}$ ของวงจรรองความถี่ผ่านทุกแถบความถี่



รูปที่ 5.20 ค่าความไว $S_{R_f}^{T(s)}$ ของวงจรกรองความถี่ผ่านทุกแถบความถี่



รูปที่ 5.21 ค่าความไว $S_{R_i}^{T(s)}$ ของวงจรกรองความถี่ผ่านทุกแถบความถี่



รูปที่ 5.22 ค่าความไว $S_K^{T(s)}$ ของวงจรรองความถี่ผ่านทุกแถบความถี่

บทที่ 6

สรุปผลการวิจัย และข้อเสนอแนะ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวิธีการออกแบบวงจรกรองความถี่ผ่านทุกแถบความถี่โดยใช้โครงสร้างวงจรมอสทรานซิสเตอร์อย่างเดียว แทนการออกแบบโดยใช้อุปกรณ์ลัมค้อลิเม้นท์ตัวต้านทาน (Resistor) และตัวเก็บประจุ (Capacitor) โดยวงจรที่ทำการออกแบบเป็นวงจรง่าย ๆ ประกอบด้วยตัวยูนิฟอรมคิสทรีบิวต์อาร์ชีแบบสองชั้น ตัวความต้านทาน และภาควงจรขยายสัญญาณ โดยจะทำการปรับค่าความต้านทานและค่าอัตราขยายสัญญาณให้มีค่าที่เหมาะสมเพื่อทำเป็นวงจรกรองความถี่ผ่านทุกแถบความถี่ การออกแบบวงจรจะเลือกใช้งานตัวยูนิฟอรมคิสทรีบิวต์อาร์ชีแบบสองชั้น เพราะจะทำให้คุณลักษณะทางขนาดของสัญญาณจะมีอัตราความชันที่ชันกว่าแบบชั้นเดียว จากผลการจำลองการทำงานจะให้ค่าผลการตอบสนองทางความถี่และเฟสของวงจรมีค่าใกล้เคียงกับวงจรที่ใช้อุปกรณ์แบบลัมค้อลิเม้นท์ และวงจรกรองความถี่ผ่านทุกแถบความถี่ที่นำเสนอนี้สามารถเลื่อนเฟส (phase shift) ได้ตั้งแต่ 0 – 360 องศา ดีกว่าวงจรกรองความถี่ผ่านทุกแถบความถี่ทั่วไปที่สามารถทำการเลื่อนเฟสได้ 0 – 180 องศา เท่านั้น ซึ่งในการออกแบบวงจรโดยใช้มอสทรานซิสเตอร์นี้จะมีข้อดีกว่า คือ จะทำให้วงจรมีขนาดเล็กลง การลดทอนสัญญาณจะให้ค่าที่ดีกว่า นำไปใช้งานที่ความถี่สูงได้ และสามารถทำการปรับเปลี่ยนค่าความถี่ของวงจรได้ โดยการควบคุมระดับแรงดันไฟฟ้าที่จ่ายให้กับขาเกตของมอสทรานซิสเตอร์ ซึ่งจะมี ความยืดหยุ่นมากกว่าในการนำไปประยุกต์ใช้งาน และเมื่อนำมาทำการเปรียบเทียบกับวงจรกรองความถี่ผ่านทุกแถบความถี่ 3 แบบ ที่มีลักษณะการต่อวงจรใกล้เคียงกัน จะพบว่าลักษณะของผลการตอบสนองทางความถี่และเฟสจะมีค่าที่ใกล้เคียงกัน แต่เมื่อพิจารณาคูณสมบัติอื่น ๆ เพิ่มขึ้น จะเห็นได้ว่าเสถียรภาพของวงจร ค่าความไวของตัวอุปกรณ์ ของวงจรกรองความถี่ที่นำเสนอนี้จะมีคุณสมบัติดังกล่าวที่ดีกว่า

วงจรกรองความถี่ที่นำเสนอนี้จำลองผลการทำงานด้วยโปรแกรม Orcad Pspice Level 3 โดยโครงสร้างของมอสทรานซิสเตอร์ที่ใช้จะอยู่ในรูปแบบที่เป็นสัญญาณขนาดเล็ก ซึ่งได้ตัดค่าตัวเก็บประจุภายในบางค่าเพื่อให้ง่ายต่อการพิจารณา แต่เมื่อนำไปใช้งานที่ค่าความถี่สูงแล้ว จะต้องนำค่าของตัวเก็บประจุภายในเหล่านี้มาพิจารณาร่วมด้วย ดังนั้นจึงต้องทำการวิเคราะห์ผล โดยการใช้รูปแบบการวิเคราะห์ใน Level ที่สูงขึ้น ไป เพื่อให้ผลที่ได้ใกล้เคียงมากที่สุด

บรรณานุกรม

- [1] J. Khoury, Y. Tsvividis and M. Banu, “**Use of MOS transistor as a tunable distributed RC filter-element**”, Electron. Lett., vol.20, pp. 187-188, Feb. 1984.
- [2] L.-J. Pu and Y. Tsvividis, “**Transistor-only frequency selective circuits**”, IEEE J.Solid-State Circuits, vol.25, pp.821-832, June 1990.
- [3] Y. Tsvividis, “**Minimal transistor-only micropower integrator VHF active filter**”, Electron. Lett., vol. 23, pp. 777-778, July 1987.
- [4] R. P. Jindal, “**Low-pass distributed RC filter using an MOS transistor with near zero phase shift at high frequencies**”, IEEE Trans. Circuits Syst., vol. 36, pp.1119-1123, Aug. 1989.
- [5] R. W. Wyndrum, Jr., “**Chapter 9. Active distributed RC networks**”, Modern Filter Theory and Design, edited by Gabor C. Temes and Sanjit K. Mitra, John Wiley & Sons, 1973, pp. 375-413.
- [6] A. Budak, “**Passive and Active Network Analysis and Synthesis**”, Houghton Mifflin Company, 1974.
- [7] Yannis Tsvividis, “**Operation and modeling of the MOS transistor**”, 2nd edition, Mc Graw Hill, 1999.
- [8] Wei Li, “**A Transistor-only Low Pass Filter with Adjustable Bias and Small Phase Shift at High Frequencies**”, IEEE J.Solid-State Circuits, vol. 36, pp.1119-1123, Aug.1989
- [9] M. Teramoto, S. Sudo, Y. Suzuki, M. Koide, “**On the Design of the Active Low Pass Filter using Double Layers Uniformly Distributed RC Line**”, JIC-CSCC’95.1995
- [10] K. Janchitrapongvej. et.al., “**Notch Tunable Filter using Double Layers Uniformly Distributed RC Line**”, IEEE APPCC/ICCS, Volume 2, pp. 590-592., 1998.
- [11] Prakrit Tangtisanon, Shiro Sudo, Mitsuo Teramoto, Tasoji Suzuki, Kanok Janchitrapongvej, “**Active LPF Using Uniformly Distributed RC Line**”, APSBC 2000 Proceedings, KMITL. Thailand., Pages 62-64., Dec.2000.
- [12] K. Janchitrapongvej, V.Kaewjan, S. Seatia, C. Benjangkaprasert, P. Tangtisanon and O. Saingaroon, “**Capacitive Double Layers Uniformly Distributed RC Line and its Applications to Active Filters**”, IEEE, pp. II-23 - II-25, 2000.

- [13] N. Panyanouvong, V. Pirajnanchai, P. Tangtisanon and K. Janchitrapongvej, “**On The Design of an Active Low Pass Filter Using Uniformly Distributed RC Line**”, ICCNSP 2003 Proceedings, Nanjing China, Dec. 14-17, 2003.
- [14] วิโรจน์ พิราจนนชัย, “การออกแบบวงจรกำเนิดสัญญาณความถี่โดยใช้ยูนิฟอร์มดิสทริบิวต์อาร์ซีไลน์”, วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต, สาขาวิศวกรรมไฟฟ้า, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ.2548.

ภาคผนวก

ภาคผนวก ก.

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

- [1] W. Phuwanart, O. Sangaroon and K. Janchitraongvej, “**Designing Active Band Pass Filter using Double Layers Uniformly Distributed RC Line**”, The 2005 Electrical Engineering/Electronics, Computer Telecommunication and Information Technology (ECTI) International Conference, pp. 514-517, Pattaya, Thailand, May 12-13, 2005.
- [2] W. Phuwanart, O. Sangaroon and K. Janchitraongvej, “**Continuous-Time Low Pass Filter As An Active Double Layers Distributed RC Line**”, The International Conference on Robotics, Vision, Information and Signal Processing (ROVISP 2005), pp. 33-36, Penang, Malaysia, July 20-22, 2005.

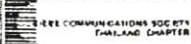
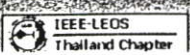
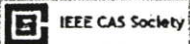
ECTI-CON 2005

The 2005 ECTI International Conference



Proceedings of The 2005 Electrical Engineering/Electronics Computer, Telecommunications, and Information Technology (ECTI) International Conference

May 12-13, 2005
Asia Pattaya Beach Hotel, Pattaya, Choburi, THAILAND



Designing Active Band Pass Filter using Double Layers Uniformly Distributed RC Line

W. Phuwanart , O. Sangaroon , K. Janchitrapongvej

Research Center for Communication and Information Technology
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang
Bangkok 10520, Thailand
Email: navwee@yahoo.com

ABSTRACT

This paper describes the active band pass filter designed by using an enhancement MOSFET transistor as a double uniformly distributed RC line (\overline{DURC}). The proposed circuit consist of an active band pass distributed MOSFET filter and a single gain amplifier. Herein, α and K parameters of the circuit are used to improve the magnitude response. From the experimental results of the frequency characteristics give us a good agreement with theoretical values. It is showed that the behaviour of the proposed band pass filter circuit give good narrow bandwidth and high Q compared to the existing filters.

Keywords: uniformly distributed \overline{RC} line

1. INTRODUCTION

It is known that uniformly distributed RC elements (\overline{URC}) have several advantages over lumped RC network. The structure of distributed RC elements in thin-film technology is built using smaller substrate area, less isolation and parasitic problems at high frequency. Distributed RC elements may have many form structures. For instance, one capacitive layer, double capacitive layers and multi layer thin-film structures. The structure of the general \overline{URC} consists of layer of conductors, resistive layer and dielectrics can be sandwiched together in many permutations. The resistive or conductive layers may be contacted at various points around their edges. Other advantages are applied to active filters. For instance single capacitive layer \overline{URC} [6], double capacitive layers \overline{URC} and three capacitive layers \overline{URC} [7], [8] in conjunction with amplifier in literature respectively.

The structure of the double capacitive layers \overline{DURC} is illustrated in Fig. 1(a), and Fig. 1(b). The circuit symbol is illustrated in Fig. 1(c).

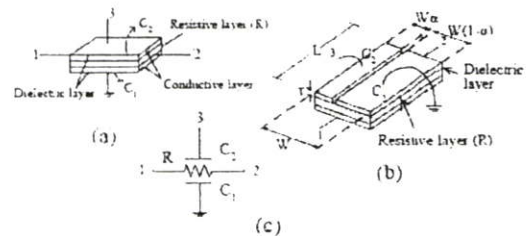


Fig.1: Structure and Circuit Symbol of \overline{DURC}

The admittance parameters $[Y_{ij}]$ of \overline{URC} with double capacitive layers in Fig. 1. is given as follows:

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \end{bmatrix} = X \begin{bmatrix} Y & -1 & -\alpha(y-1) \\ -1 & y & -\alpha(y-1) \\ -\alpha(y-1) & -\alpha(y-1) & \varsigma \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} \quad (1)$$

$$\text{where } \varsigma = \frac{\alpha(1-\alpha)P^2}{XR + 2\alpha^2(Y-1)} \quad X = \frac{P}{R \sinh P}$$

$$Y = \cosh P \quad , \quad P = \sqrt{SRC}$$

$$\alpha = \frac{C_2}{C} \quad , \quad C = C_1 + C_2$$

Where R and C are the values of the total resistance and capacitance of the double capacitive layers \overline{DURC} respectively, α is a ratio of C_2 and $C = C_1 + C_2$. s is the complex frequency variable.

The Transistor-only filter using MOSFET's have been successfully demonstrated by J.Khoury, Y.Tsividis and M.Banu in [1]-[3]. Herein, the MOSFET transistor working as a double uniformly distributed RC elements (\overline{DURC}) when it is operated in the strong inversion nonsaturation region ($V_{GD} = V_{GS} > V_T$) with a small signal at the bias point $V_{DS} = 0$. It may be used as simple small signal model of the distributed MOSFET, as shown in Fig.2.

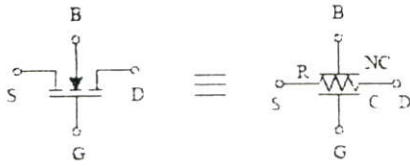


Fig.2: Double Uniformly Distributed RC line ($\overline{DU RC}$) as a MOSFET Small Signal Model

Parameters of the model are given as follows:

$$R = \left[K' \frac{W}{L} (V_{GS} - V_T) \right]^{-1} \quad (2)$$

$$C = C_{ox} = C'_{ox} W L \quad (3)$$

$$N = \frac{C_b}{C_{ox}} = b = \frac{\gamma}{2\sqrt{V_{SB} + \phi_H}} \quad (4)$$

Where: K' is the transconductance parameter, W, L are the channel width and length, V_{GS}, V_{SB} are the gate-source and the source-substrate bias voltage, V_T is the threshold voltage, C_{ox}, C_b are the capacitances of the thin oxide and the depletion layer, C'_{ox} is the capacitances of the thin oxide per unit area, γ is the body effect coefficient, ϕ_H is the build-in potential of the strongly inverted channel.

Compared to classical \overline{RC} filters, transistor-only filters discovered by Y.Tsividis have an important advantage: the tunability. The MOSFET transistor as the distributed RC line has a tunable time constant, dependent on the voltage V_{GS} :

$$\tau = RC = \frac{C'_{ox} L^2}{K' (V_{GS} - V_T)} \quad (5)$$

Compared to classical \overline{RC} elements, the MOSFET transistor have to be properly biased in its environment, so that $V_{GD} = V_{GS} > V_T$.

2. CIRCUIT USING DOUBLE CAPACITIVE LAYERS $\overline{DU RC}$

The three types of novel notch characteristics circuits using double capacitive layers uniformly distributed RC line ($\overline{DU RC}$) as shown in Fig. 3(a),(b),(c).

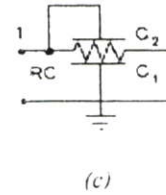
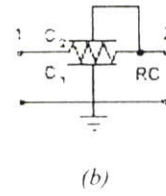
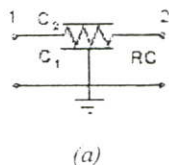


Fig.3: Notch characteristics circuits using double capacitive layers $\overline{DU RC}$

The voltage transfer function $T(P)$ of Fig.3(a) is given as follows:

$$T(P) = \frac{\frac{\sinh P + (1-\alpha)}{P}}{\frac{\sinh P + (1-\alpha)\cosh P}{P} + \frac{\alpha}{\alpha}} = \frac{N(P)}{D(P)} \quad (6)$$

Here, assuming

$$P = \sqrt{SRC} = \sqrt{j\omega} = \sqrt{\frac{\omega}{2}} + j\sqrt{\frac{\omega}{2}} = t + jt \quad , t = \sqrt{\frac{\omega}{2}}$$

The $N(P)$ of Eq.(6) can be expressed as follow:

$$N(P) = \frac{\sinh P + 1 - \alpha}{P} = \frac{1}{t + jt} (\sinh t \cos t + j \cosh t \sin t) + \frac{1 - \alpha}{\alpha} \\ = \frac{1}{2t} (\sinh t \cos t + \cosh t \sin t) + \frac{1 - \alpha}{\alpha} + j \frac{1}{2t} (\cosh t \sin t - \sinh t \cos t) \quad (7)$$

At $t = \frac{5\pi}{4}$, the imaginary part and real part of Eq.(7) should be also zero to get notch characteristics. At $t = \frac{5\pi}{4}$ in Eq.(7), we obtain $\alpha = 0.179$

$$\text{At } t = \sqrt{\frac{\omega}{2}} \quad , \omega_N = 2t^2 \quad , \text{ we obtain } \omega_N = 2 \left(\frac{5\pi}{4} \right)^2 = 30.84$$

i.e. the notch characteristic obtain for case of $\omega = 30.84$, $\alpha = 0.179$.

The frequency responses of notch characteristics circuits using double capacitive layers uniformly distributed RC line ($\overline{DU RC}$) as shown in Fig. 4.

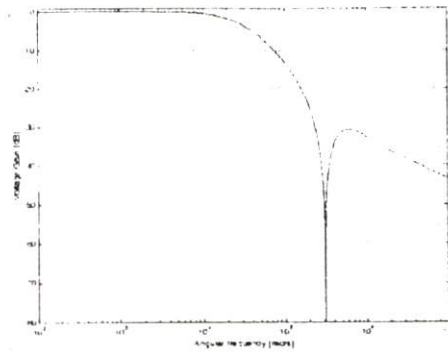


Fig.4: Frequency Responses

Y.Tsividis has realized a simple transistor-only network as shown in Fig. 5. This circuit has a simple three transistor network, consisted a MOSFET working as a uniformly distributed RC line (\overline{URC}) and a source follower. The source follower is bias circuitry for the distributed MOSFET, and may work as an amplifier in active selective filter. Such selective circuits Tsividis named Transistor-Only Filters is shown in Fig. 5.

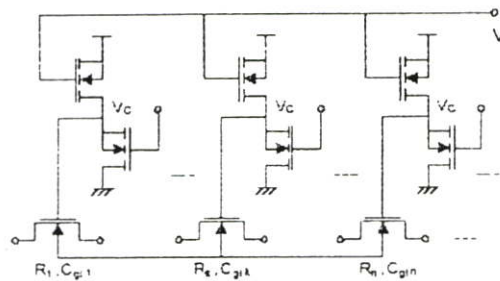


Fig.5: Tsividis Transistor-Only Circuit

3. ACTIVE BAND PASS FILTER USING A MOSFET TRANSISTOR

Fig. 6 shows a proposed active band pass filter using a double uniformly distributed RC line (\overline{DURC}) which can be implemented by MOSFET transistor [9] with a single gain amplifier.

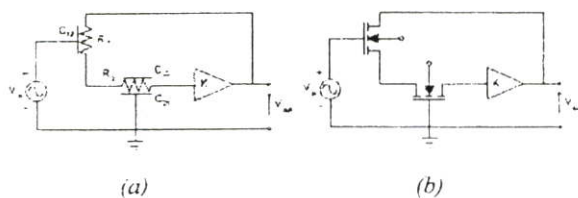


Fig.6: (a) The Proposed Band Pass Filter using \overline{DURC} and (b) Its Transistor-Only Network

The voltage transfer function $T(p) = V_o/V_i$ of the circuit is given as follows:

$$T(p) = K \cdot \frac{(\cosh P - 1) \left(\frac{1-\alpha}{\alpha} + \frac{\sinh P}{P} \right)}{\cosh 2P \left(\frac{1-\alpha}{\alpha} \right) + \frac{\sinh 2P}{2P} - K \left(\frac{1-\alpha}{\alpha} + \frac{\sinh P}{P} \right)} \quad (8)$$

where $\alpha = \frac{C_{22}}{C}$, $C = C_{21} + C_{22}$

and K is the DC voltage gain of amplifier.

The frequency responses of the proposed active band pass filter with various values of α and K as shown in Fig. 7. and Fig. 8.

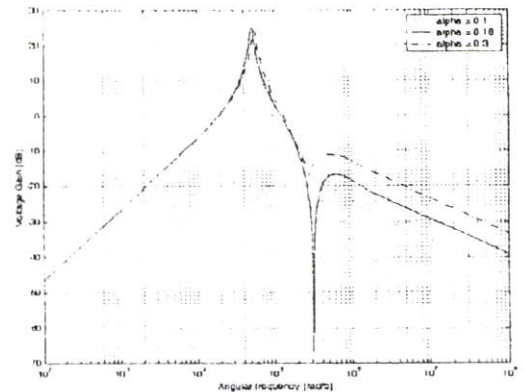


Fig.7: The Frequency Response for Various Values of α

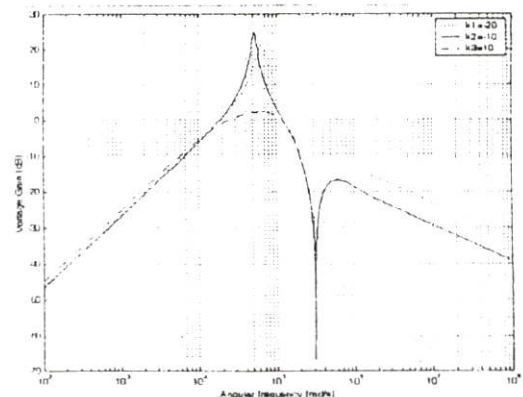


Fig.8: The Frequency Response for Various Values of K

It is seen that the behavior of the frequency response is depend on its gain amplifier (K) and the ratio of C_{22} , $C = C_{21} + C_{22}$ (α).

4. EXPERIMENTAL SIMULATION RESULTS

The simulation by OrCAD PSpice of the frequency response is shown in Fig. 9. The active band pass filter designed by using an enhancement MOSFET transistor as a double uniformly distributed RC line (\overline{DURC}). Fig. 9 shows the behavior of the proposed circuit with a single gain amplifier (K). We choose the values of the double uniformly distributed RC elements (\overline{DURC}) as follows $\alpha = 0.18$ and K = -10 for design MOSFET's parameters.

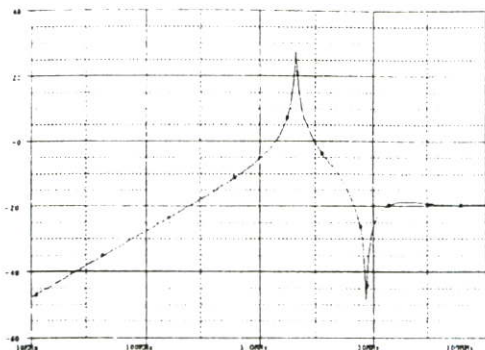


Fig.9: Frequency Response of the Active Band Pass Filter

The simulation results by PSpice of frequency characteristics in Fig. 9. shown a good agreements with theoretical values.

It is seen that the magnitude response of the proposed band pass filter with notch characteristic has better narrow bandwidth is compared the existing filters.

5. STABILITY

The stability of the active band pass filter can be obtained from the denominator of Eq. (8). For stability consideration the Nyquist contour is encircled at original as shown in Fig. 10.

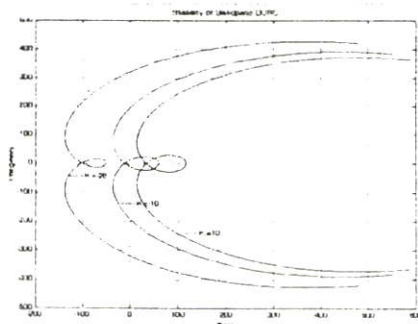


Fig.10: Stabilities of the Active Band Pass Filter

6. CONCLUSION

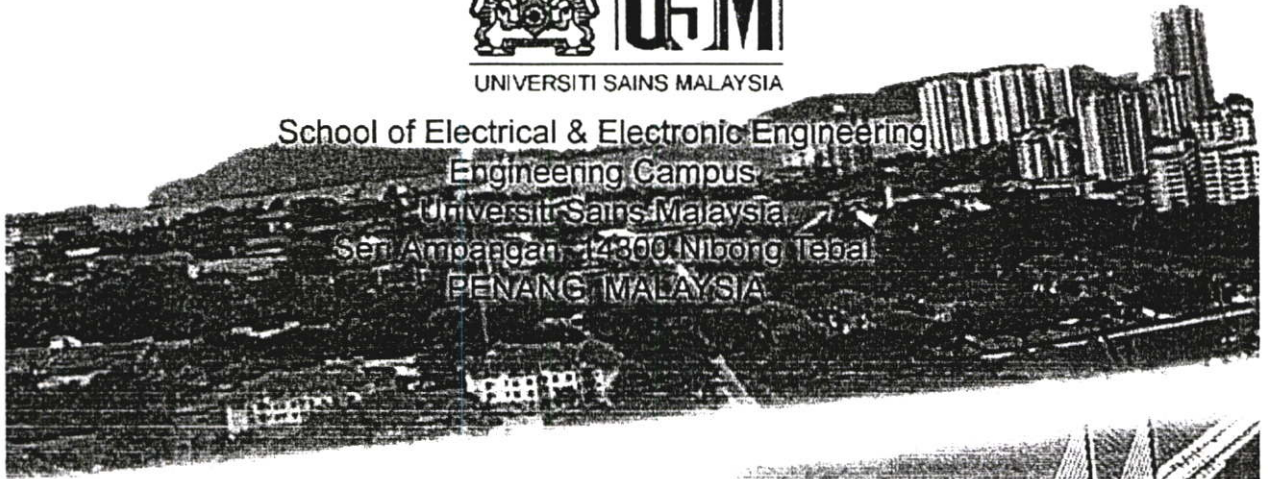
The active band pass filter with notch characteristics designed by using an enhancement MOSFET transistor as a double uniformly distributed RC line ($DU\overline{RC}$) is proposed and discussed. It has a Tsividis Transistor-Only circuit and feedback loop of a single gain amplifier. Experimental simulation results give us a good agreement with theoretical values. It is seen that the proposed circuit has a better narrow bandwidth with high Q compared to the existing filters. The proposed circuit will be suitable for telecommunication applications and it can fabricate by LSI process.

7. REFERENCES

- [1] J. Khoury, Y. P. Tsividis, and M. Banu, "Use of MOS transistor as a tunable distributed RC filter-element", *Electronics Letters*, vol. 20, pp.187-188, Nov. 1984.
- [2] L. J. Pu, Y. P. Tsividis, "Transistor-only frequency selective circuits", *IEEE Journal of Solid-State Circuits*, vol. 25, no. 3, pp. 821-832, Jun. 1990.
- [3] Y. P. Tsividis, "Minimal transistor-only micro-power integrated VHF active filter", *Electronics Letters*, vol. 23, pp.777-778, Jul. 1987.
- [4] R. P. Jindal, "Low-pass distributed RC filter using an MOS transistor with near zero phase shift at high frequencies", *IEEE Trans. Circuits Syst.*, vol.36, pp. 1119-1123, Aug. 1989.
- [5] R. W. Wyndrum, Jr., "Chapter 9. Active distributed RC networks," *Modern Filter Theory and Design*, edited by Gabor C. Temes and Sanjit K. Mitra, John Wiley & Sons, 1973, pp. 375-413.
- [6] M. Teramoto, S. Sudo, Y. Suzuki, M. Koide., "On the Design of the Active Low Pass Filter using Double Layers Uniformly Distributed RC Line", *JIC-CSSC '95*, 1995
- [7] Prakrit Tangtisanon, Shiro Sudo, Mitsuo Teramoto, Tasoji Suzuki, Kanok Janchitrapongvej, "ACTIVE LPF USING UNIFORMLY DISTRIBUTED RC LINE", *APSBC 2000 Proceedings*, KMITL, Thailand., Pages 62-64., Dec.2000.
- [8] N. Panyanouvong, S. Luangphakorn, V. Pirajnanchai, P. Tangtisanon and K. Janchitrapongvej, "On The Design of an Active Low Pass Filter Using Uniformly Distributed RC Line", *ICCNISP 2003 Proceedings*, Nanjing China. Dec. 14-17, 2003.
- [9] K. Janchitrapongvej. et.al., "Notch Tunable Filter using Double Layers Uniformly Distributed RC Line", *IEEE APPCC/ICCS*, Volume 2, pp. 590-592., 1998.



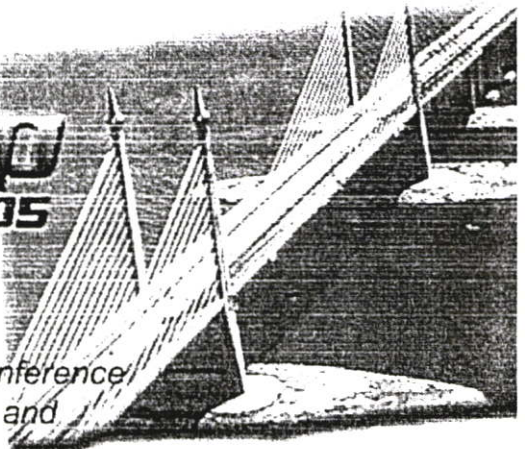
School of Electrical & Electronic Engineering
 Engineering Campus
 Universiti Sains Malaysia
 Seri Ampanggan, 14300 Nilbing Tebal
 PENANG MALAYSIA



ROVISP 2005

20 - 22 July
2005

*Proceedings of the International Conference
 on Robotics, Vision, Information and
 Signal Processing*



<http://ee.eng.usm.my>

Continuous-Time Low Pass Filter As An Active Double Layers Distributed RC Line

W. Phuwanart, O. Sangaroon , K. Janchitrapongvej

*Research Center for Communication and Information Technology
 Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang
 Bangkok, Thailand*

Phone: +662-7392382, Fax: +662-3264176, Email: navwee@yahoo.com

Abstract

This paper describes the active low pass filter designed by using an enhancement MOSFET transistor as a double uniformly distributed RC line (\overline{DURC}). The proposed circuit consists of a new low pass distributed RC filter and a positive gain amplifier. From the experimental results by Matlab and Pspice program, it is shown that the behavior of the proposed active low pass filter circuit has the higher cut off frequency, the better attenuation at stop band compared to the existing filters.

Keywords:

Uniformly distributed \overline{RC} line

Introduction

Distributed RC elements may have many form structures. For instance, one capacitive layer, double capacitive layers and multi layer thin-film structures. The structure of the general \overline{URC} consists of layer of conductors, resistive layer and dielectrics can be sandwiched together in many permutations. The resistive or conductive layers may be contacted at various points around their edges. Other advantages are applied to active filters. For instance single capacitive layer \overline{URC} [6], double capacitive layers \overline{URC} and three capacitive layers \overline{URC} [7], [8] in conjunction with amplifier in literature respectively.

The structure of the double capacitive layers uniformly distributed RC line (\overline{DURC}) is illustrated in Fig. 1(a). and Fig. 1(b). The circuit symbol is illustrated in Fig. 1(c).

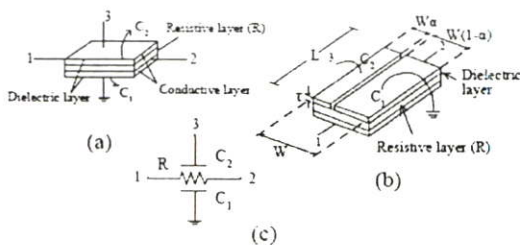


Figure 1 - Structure and Circuit Symbol of \overline{DURC}

J.Khoury, Y.Tsividis and M.Banu have been successful designed a transistor-only by using MOSFET's.[1]-[3] Herein, the MOSFET transistor working as a double uniformly distributed RC elements (\overline{DURC}) when it is operated in the strong inversion nonsaturation region ($V_{GD} = V_{GS} > V_T$) with a small signal at the bias point $V_{DS} = 0$. It may be used as a simple small signal model of the distributed MOSFET, as shown in Fig.2.

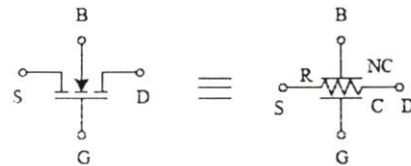


Figure 2 - Double Uniformly Distributed RC line (\overline{DURC}) as a MOSFET Small Signal Model

Parameters of the model are given as follows:

$$R = \left[K' \frac{W}{L} (V_{GS} - V_T) \right]^{-1} \quad (1)$$

$$C = C_{ox} = C'_{ox} WL \quad (2)$$

$$N = \frac{C_b}{C_{ox}} = b = \frac{\gamma}{2\sqrt{V_{SB} + \phi_B}} \quad (3)$$

Where: K' is the transconductance parameter, W, L are the channel width and length, V_{GS}, V_{SB} are the gate-source and the source-substrate bias voltage, V_T is the threshold voltage, C_{ox}, C_b are the capacitances of the thin oxide and the depletion layer, C'_{ox} is the capacitances of the thin oxide per unit area, γ is the body effect coefficient, ϕ_B is the build-in potential of the strongly inverted channel.

Compared to classical \overline{RC} filters, transistor-only filters discovered by Y. Tsividis have an important advantage: the tunability. The MOSFET transistor as the distributed RC line has a tunable time constant, dependent on the voltage (V_{GS}).

$$\tau = RC = \frac{C'_{ox} L^2}{K'(V_{GS} - V_T)} \quad (4)$$

When the MOSFET transistor have to be properly biased in its environment, so that $V_{GD} = V_{GS} > V_T$.

The admittance parameters $[Y_{ij}]$ of \overline{URC} with double capacitive layers in Fig. 2 is given as follow:

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \end{bmatrix} = X \begin{bmatrix} Y & -1 & -\alpha(y-1) \\ -1 & y & -\alpha(y-1) \\ -\alpha(y-1) & -\alpha(y-1) & \zeta \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} \quad (5)$$

where $\zeta = \frac{\alpha(1-\alpha)P^2}{XR + 2\alpha^2(Y-1)}$, $X = \frac{P}{R \sinh P}$

$Y = \cosh P$, $P = \sqrt{SRC}$

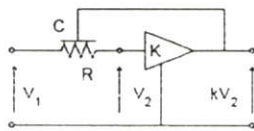
$\alpha = \frac{C_2}{C}$, $C = C_1 + C_2$

Where R and C are the values of the total resistance and capacitance of the double capacitive layers (\overline{DURC}) respectively, α is the ratio of C_2 and $C = C_1 + C_2$. And s is the complex frequency variable.

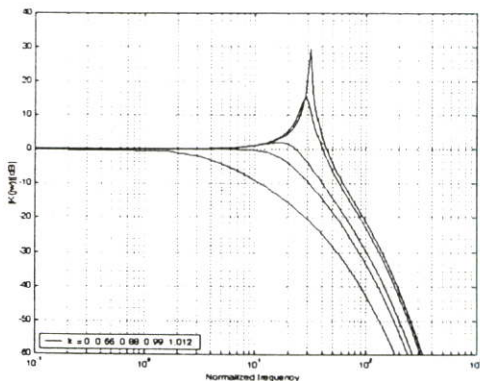
Active RC and MOS LP Filters

In Fig. 3(a) an active low pass filter proposed by Wyndrum [5] is shown. It is impressively simple and may provide sharp cut off characteristics, where the cut off frequency is set by the \overline{RC} time constant (τ) and the peak, near the band-edge, is adjusted by the voltage gain $k < 0.92$. For higher values of k there is an oscillatory response. It is easy to shown that the transfer function of the filter is follows:

$$K(s) = \frac{1}{k(1 - \cosh \theta) + \cosh \theta} \quad (6)$$



(a)



(b)

Figure 3 - Wyndrum's \overline{URC} Low-Pass Filter and Frequency Responses

In Fig. 3(b) shown a frequency response of the Wyndrum's filter for $N = 0.1$ and different values of k are shown. The frequency axis is normalized. Notice, that to obtain the highest peak near the band-edge at $k = 0.92$.

Y. Tsvividis has realized a transistor-only circuit as shown in Fig. 4. This circuit has a simple three transistor network, consisted of a MOSFET transistor working as a uniformly distributed RC line (\overline{URC}) and a source follower. The source follower is bias circuitry for the distributed MOSFET transistor, and may work as an amplifier in active selective filters. Such selective circuits Tsvividis named Transistor-Only circuit.

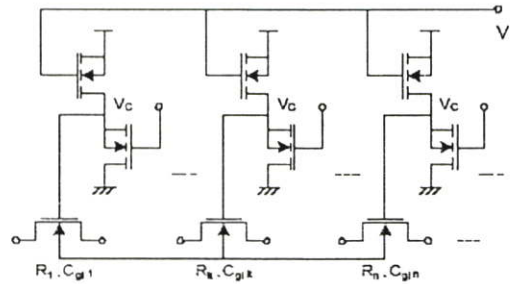


Figure 4 - Tsvividis Transistor-Only Circuit

Continuous-Time Low Pass Filter using MOSFET Transistor

Fig. 5 shows the proposed active low pass filter using a double uniformly distributed RC line (\overline{DURC}) which can be implemented by MOSFET transistor with a single positive gain amplifier. Herein the proposed circuit will be discussed and analyze.

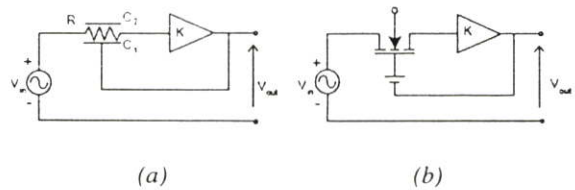


Figure 5 - (a) The Proposed Low Pass Filter using \overline{DURC} and (b) Its Transistor-Only Circuit

The voltage transfer function $T(p) = V_o/V_i$ of the proposed circuit is given as follows:

$$T(p) = K \cdot \frac{\alpha \sinh P + (1-\alpha)P}{\alpha \sinh P + (1-\alpha)P \{ [1 - K(1-\alpha)] \cosh P + K(1-\alpha) \}} \quad (7)$$

Where $\alpha = \frac{C_2}{C}$, $C = C_1 + C_2$

and K is the voltage gain of amplifier.

The frequency responses of the proposed active low pass filter with a single positive gain amplifier is shown in Fig. 6.

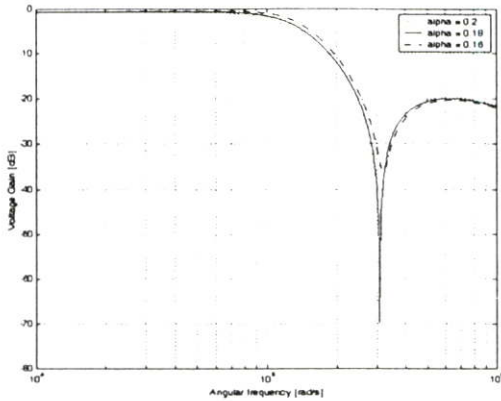


Figure 6 - The Frequency Response for Various Values of α

It is seen that the behaviour of the frequency response is depend on the ratio of C_2 and $C = C_1 + C_2$ (α).

Herein, we use a transistor network, consisted of a MOSFET transistor working as an amplifier in the proposed circuit as shown in Fig. 7.

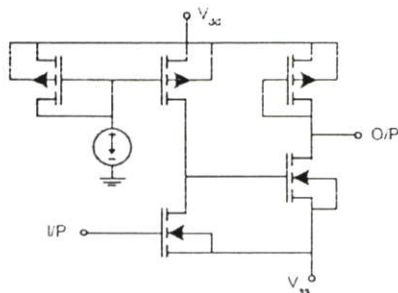


Figure 7 - The Practical MOSFET Transistor

Simulation Results

The simulation by OrCAD PSpice of the frequency and phase response is shown in Fig. 8. The proposed active low pass filter designed by using an enhancement MOSFET transistor working as a double uniformly distributed RC line (\overline{DURC}). And the amplifier is made by MOSFET transistor. Fig. 8(a), 8(b) shows the behavior of the proposed circuit with a single positive gain amplifier.

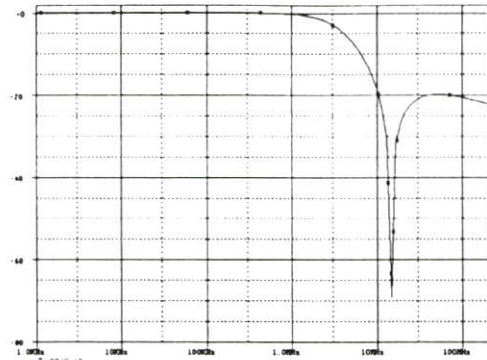


Figure 8 (a) - Frequency Response of the Active Low Pass Filter

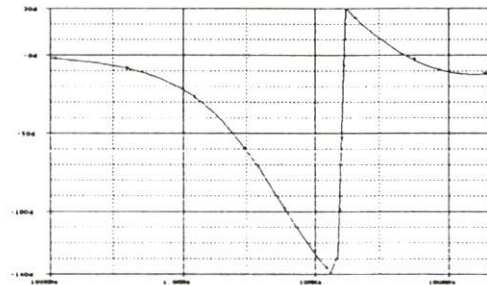


Figure 8 (b) - Phase Response of the Active Low Pass Filter

The simulation result is shown that the behaviour of frequency and phase characteristics in Fig. 8 shows a good agreement with theoretical values.

It is seen that the magnitude response has the higher cut off frequency, steeper slope at the pass band and the better attenuation at stop band compared to the existing filters.

Stability

The stability of the proposed active low pass filter can be obtained from the denominator of Eq. (7). For stability consideration the Nyquist contour is encircled at original as shown in Fig. 9.

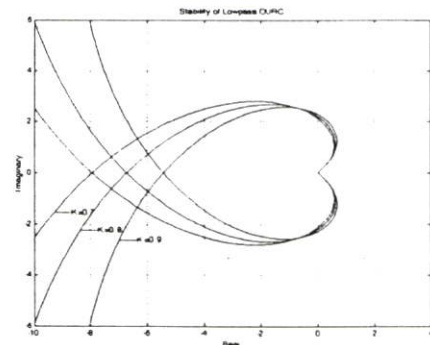


Figure 9 - Stability of the Active Low Pass Filter

Conclusion

The new active low pass filter designed by using an enhancement MOSFET transistor as a double uniformly distributed RC line ($DURC$) is proposed and discussed. The experimental simulation results of the frequency and phase characteristic give us a good agreement with theoretical values. It is seen that the proposed circuit has the higher cut off frequency, steeper slope at the pass band and the better attenuation at stop band compared to the existing filters. The cut off frequency of proposed circuit can be adjustable by tuning MOSFET's parameters and a bias voltage. The proposed circuit can be suitable to fabricate by LSI process.

References

- [1] J. Khoury, Y. P. Tsividis, and M. Banu, "Use of MOS transistor as a tunable distributed RC filter-element", *Electronics Letters*, vol. 20, pp.187-188, Nov. 1984.
- [2] L. J. Pu, Y. P. Tsividis, "Transistor-only frequency selective circuits", *IEEE Journal of Solid-State Circuits*, vol. 25, no. 3, pp. 821-832, Jun. 1990.
- [3] Y. P. Tsividis, "Minimal transistor-only micro-power integrated VHF active filter", *Electronics Letters*, vol. 23, pp.777-778, Jul. 1987.
- [4] R. P. Jindal, "Low-pass distributed RC filter using an MOS transistor with near zero phase shift at high frequencies", *IEEE Trans. Circuits Syst.*, vol.36, pp. 1119-1123, Aug. 1989
- [5] R. W. Wyndrum, Jr., "Chapter 9. Active distributed RC networks," *Modern Filter Theory and Design*, edited by Gabor C. Temes and Sanjit K. Mitra, John Wiley & Sons, 1973, pp. 375-413.
- [6] M. Teramoto, S. Sudo, Y. Suzuki, M. Koide., "On the Design of the Active Low Pass Filter using Double Layers Uniformly Distributed RC Line", *JIC-CSCC'95*, 1995
- [7] Prakit Tangtisanon, Shiro Sudo, Mitsuo Teramoto, Tasoji Suzuki, Kanok Janchitrapongvej, "ACTIVE LPF USING UNIFORMLY DISTRIBUTED RC LINE", *APSBC 2000 Proceedings, KMITL. Thailand.*, Pages 62-64., Dec.2000.
- [8] K. Janchitrapongvej, V.Kaewjan, S. Seatia, C. Benjangkprasert, P. Tangtisanon and O. Saingaroon, "Capacitive Double Layers Uniformly Distributed RC Line and its Applications to Active Filters", *IEEE*, pp. II-23 - II-25, 2000.
- [9] N. Panyanouvong, S. Luangphakorn, V. Pirajnanchai, P. Tangtisanon and K. Janchitrapongvej, "On The Design of an Active Low Pass Filter Using Uniformly Distributed RC Line", *ICCNSP 2003 Proceedings, Nanjing China*. Dec. 14-17, 2003.

ประวัติผู้เขียน

ชื่อผู้เขียน	นายวีระชาติ ภูวนาด
วันเดือนปีเกิด	28 ตุลาคม 2520 ที่จังหวัดมหาสารคาม
ที่อยู่	65 ถ.ปทุมสัมพันธ์ ต.บางปรอก อ.เมือง จ.ปทุมธานี
ประวัติการศึกษา	ปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2542
การศึกษาปัจจุบัน	ปริญญาโท วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ผลงานระหว่างศึกษา	มีบทความวิจัยได้รับการตีพิมพ์ 2 บทความ