

การออกแบบวงจรฟูล-สวิงบูตสเตรปไดนามิกไบโคมอสความเร็วสูง

A DESIGN OF HIGH-SPEED, FULL-SWING BOOTSTRAPED  
BICMOS DYNAMIC CIRCUIT

พิศินรุ วจนทองคำ

PISIT ROJTHONOKHAM

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2550

การออกแบบวงจรฟูล-สวิงบูตสเตรปไดนามิกไบซีมอสความเร็วสูง

A DESIGN OF HIGH-SPEED, FULL-SWING BOOTSTRAPED  
BICMOS DYNAMIC CIRCUIT

พิศิษฐ์ รัตน์ทองคำ

PISIT ROJTHONGKHAM

เลขหมู่.....

เลขทะเบียน.....74448.....

วัน,เดือน,ปี.....- 1 ต.ค. 2550.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2550

**A DESIGN OF HIGH-SPEED, FULL-SWING BOOTSTRAPED  
BICMOS DYNAMIC CIRCUIT**

**PISIT ROJTHONGKHAM**

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2007**

**COPYRIGHT 2007**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

หัวข้อวิทยานิพนธ์	การออกแบบวงจรฟูล-สวิงบูตสเตรปไดนามิกไบซีมอส ความเร็วสูง
นักศึกษา	นายพิศิษฐ โรจน์ทองคำ
รหัสนักศึกษา	46061250
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2550
อาจารย์ที่ปรึกษา	รศ.ดร.กอบชัย เดชหาญ

#### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอ การออกแบบวงจรบูตสเตรปไดนามิกไบซีมอส โดยนำเสนอ วงจรที่มีความเร็วสูง และสัญญาณที่ได้สามารถสวิงได้เต็มย่านคลื่น (full-swing) ที่ทำงานที่ แรงดันไฟฟ้า 1.5 โวลต์ ในส่วนตัวขับนั้น ได้ออกแบบโดยเทคนิค นอนคอมพลิเมนต์ทารี บน พื้นฐานของเทคโนโลยี ไบซีมอส ในส่วน ไบโพลาร์ทรานซิสเตอร์ที่ด้านขาขึ้น ถูกขับโดยวงจร บูตสเตรปซีมอส ผลการทดลองถูกนำออกมาโดยใช้โปรแกรมเลียนแบบการทำงาน PSpice ซึ่ง ใช้ไบซีมอส 0.35  $\mu\text{m}$  เทคโนโลยีมาตรฐานของ MOSIS ประสิทธิภาพของวงจรทั้งหมดได้นำมา เปรียบเทียบกับผลการทดลองที่ได้เคยทำมาในอดีต

<b>Thesis Title</b>	A Design of High-Speed, Full-Swing Bootstrapped BiCMOS Dynamic Circuit
<b>Student</b>	Mr. Pisit Rojtongkham
<b>Student ID.</b>	46061250
<b>Degree</b>	Master of Engineering
<b>Program</b>	Telecommunication Engineering
<b>Year</b>	2007
<b>Thesis Advisor</b>	Assoc.Prof.Dr.Kobchai Dejhan

### **ABSTRACT**

This thesis proposes a design of a bootstrapped BiCMOS dynamic circuit. The proposed circuit is high-speed and full-swing operation with 1.5 Volt single power supply. The driving sections are designed by using the noncomplementary technique based on BiCMOS technology. The bipolar pull up driving section is driven by bootstrapped CMOS circuit. The results have been carried out by using PSpice program simulator based on 0.35  $\mu\text{m}$  BiCMOS standard technology of MOSIS. All circuit performance has been compared with the previous results.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำและคำปรึกษาจาก รศ.ดร.กอบชัย เดชหาญ ซึ่งเป็นผู้ควบคุมวิทยานิพนธ์ ข้าพเจ้ารู้สึกทราบบ้างในความอนุเคราะห์จากท่านอาจารย์ และขอขอบพระคุณเป็นอย่างสูง

ข้าพเจ้าขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ทุกคนที่ให้คำแนะนำต่างๆ และคอยให้กำลังใจเสมอมา สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และครอบครัวของข้าพเจ้าที่เป็นกำลังใจ และให้การสนับสนุนในทุก ๆ เรื่อง ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอบแต่ผู้มีพระคุณทุกท่าน

พิศิษฐ โรจน์ทองคำ

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมติฐานของการศึกษา.....	1
1.4 ขอบเขตของการวิจัย.....	2
บทที่ 2 ทฤษฎี และหลักการทำงานของมอสทรานซิสเตอร์.....	3
2.1 บทนำ.....	3
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	3
2.3 การทำงานของมอสทรานซิสเตอร์.....	5
2.4 คุณสมบัติและการทำงานทั่วไปของมอสทรานซิสเตอร์.....	6
2.5 สรุป.....	10
บทที่ 3 ทฤษฎีของวงจรวงจรไบซีมอส โลจิก.....	11
3.1 บทนำ.....	11
3.2 หลักการทำงานของวงจรวงจรไบซีมอส.....	11
3.2.1 คุณสมบัติของวงจรถั่วสัญญาณไฟกระแสดตรง.....	12
3.2.2 คุณสมบัติของวงจรในการสวิทช์ของวงจรวงจรไบซีมอสอินเวอร์เตอร์.....	14
3.3 วงจรไดนามิก.....	17
3.4 วิธีการบูตสเตรปวงจรวงจรไดนามิก.....	21
3.5 สรุป.....	25

## สารบัญ (ต่อ)

	หน้า
บทที่ 4 วงจรฟูล-สวิตชิ่งแบบสแตมป์ไดนามิกไบซิมอสความเร็วสูง.....	26
4.1 บทนำ.....	26
4.2 วงจรไดนามิกไบซิมอสชนิด N.....	27
4.3 วงจรไดนามิกไบซิมอสชนิด P.....	28
4.4 วงจรแบบสแตมป์ไดนามิกไบซิมอสชนิด N ที่นำเสนอ.....	29
4.5 วงจรแบบสแตมป์ไดนามิกไบซิมอสชนิด P ที่นำเสนอ.....	30
4.6 ประสิทธิภาพของวงจรที่พัฒนาขึ้น.....	31
บทที่ 5 สรุปผลและขอเสนอแนะ.....	57
เอกสารอ้างอิง.....	58
ภาคผนวก.....	59
ภาคผนวก ก. ค่าพารามิเตอร์ของโปรแกรม PSpice ที่ใช้วิเคราะห์.....	60
ภาคผนวก ข. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	61
ประวัติผู้เขียน.....	67

## สารบัญตาราง

ตารางที่	หน้า
4.1 ค่าตัวแปร ของ ไบโพลาร์ทรานซิสเตอร์สำหรับวงจรในบทความนี้ .....	31

# สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์.....	3
2.2 โครงสร้างของพีมอสทรานซิสเตอร์.....	4
2.3 สัญลักษณ์ ของมอสทรานซิสเตอร์.....	5
2.4 การเกิดย่านปลอดพาหะ (Depletion Region).....	5
2.5 การไบอัสเอ็นมอสทรานซิสเตอร์ให้เกิดการไหลของกระแส.....	6
2.6 (ก) ภาพแสดงการทำงานของเอ็นมอสทรานซิสเตอร์ช่วงลิเนียร์.....	6
2.6 (ข) ภาพแสดงการทำงานของเอ็นมอสทรานซิสเตอร์ช่วงขอบของจุดอิ่มตัว.....	7
2.6 (ค) ภาพแสดงการทำงานของเอ็นมอสทรานซิสเตอร์ช่วงอิ่มตัว.....	7
2.7 คุณสมบัติกระแส และแรงดัน ( $I_D$ , $V_{DS}$ ) ของมอสทรานซิสเตอร์แบบ N-Channel.....	8
2.8 คุณสมบัติการไหลของกระแสเดรน ( $I_D$ ) และ แรงดันที่เกิด ( $V_{DS}$ ).....	8
3.1 วงจรไบซีมอสอินเวอร์เตอร์.....	11
3.2 คุณสมบัติการถ่ายโอนสัญญาณไฟกระแสตรงของวงจรไบซีมอสอินเวอร์เตอร์.....	12
3.3 วงจรสมมูลย์ขณะเปลี่ยนสถานะจาก โลจิก “0” เป็น โลจิก “1”.....	15
3.4 วงจรสมมูลย์ช่วงขาขึ้น.....	16
3.5 วงจรไดนามิก เอ็นมอสทรานซิสเตอร์ ขั้นพื้นฐาน.....	18
3.6 วงจรสมมูลย์การส่งผ่าน โลจิก “1”.....	18
3.7 การเปลี่ยนแปลงแรงดันไฟฟ้าที่จุด $V_x$ กับเวลา ในช่วงการส่งผ่าน โลจิก “1”.....	19
3.8 วงจรสมมูลย์การส่งผ่าน โลจิก “0”.....	20
3.9 การเปลี่ยนแปลงแรงดันไฟฟ้าที่จุด $V_x$ กับเวลา ในช่วงการส่งผ่าน โลจิก “0”.....	21
3.10 วงจร ไดนามิกขั้นพื้นฐาน.....	22
3.11 วงจร ไดนามิกบูตสเตรป เพื่อเพิ่มแรงดันไฟฟ้าที่จุด $V_x$ ในขณะที่สวิตซ์.....	23
3.12 บูดุตสเตรปคาปาซิเตอร์โดยที่สมมติเป็น มอสทรานซิสเตอร์.....	25
3.13 แรงดันไฟฟ้าที่วัดได้จากวงจรในรูปที่ 3.12.....	25
4.1 วงจร ไดนามิก ไบซีมอส ชนิด N.....	27
4.2 วงจร ไดนามิก ไบซีมอส ชนิด P.....	28
4.3 วงจร บูดุตสเตรปไดนามิกไบซีมอส ชนิด N.....	29
4.4 วงจร บูดุตสเตรปไดนามิกไบซีมอส ชนิด P.....	30
4.5 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจร ไดนามิก ไบซีมอส ชนิด N.....	32











## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.52 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และ วงจรถดสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF และความถี่ของทั้ง 2 วงจรเท่ากับ 500MHz.....	56

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรรีเลย์ไดนามิก ถูกนำมาใช้อย่างกว้างขวาง โดยนำมาใช้กับวงจรรุ่นความจำ วงจร VLSI เพื่อเพิ่มประสิทธิภาพให้สูงขึ้น เนื่องจากมีความเร็วสูง และกินพลังงานต่ำ [6] วงจรรีเลย์ไดนามิกจะทำให้วงจรถูกออกแบบมีขนาดเล็ก และประสิทธิภาพสูงขึ้น จุดประสงค์ในการออกแบบวงจรรีเลย์ไดนามิก มุ่งหวังที่ความเร็ว และการสิ้นเปลืองพลังงานของวงจรถือเป็นหลัก กระบวนการที่จะลดการสิ้นเปลืองพลังงานคือ การลดระดับสวิตช์คาปาซิเตอร์ของวงจรรีเลย์ไดนามิก [6] ซึ่งผลที่ตามมาหลังจากที่ลดระดับคาปาซิเตอร์ของวงจรรีเลย์ไดนามิก คือ ทำให้วงจรถูกออกแบบที่ซับซ้อนขึ้น ทำให้ไม่สามารถขับโหลดที่มีค่าความจุสูงได้ ในบทความที่ได้นำเสนอมา [1-2] ได้นำเสนอ วงจรรีเลย์ไดนามิกไบสมอส แต่บทความที่นำเสนอมายังไม่สามารถทำงานที่สวิตช์คาปาซิเตอร์ต่ำได้อย่างมีประสิทธิภาพ เทคนิควงจรรีเลย์ไดนามิก ที่สวิตช์คาปาซิเตอร์ต่ำได้ ถูกนำเสนอในบทความ [3-5] ด้วยเทคนิคที่แตกต่างกัน วงจรรีเลย์ไดนามิกไบสมอส ถูกปรับปรุงแก้ไข โดยนำเสนอเทคนิคและแสดงในบทความ [2] โดยใช้ เทคนิค ควอไซ คอมพลิเมนต์ทารี [4] และ ใช้ transient saturation เทคนิค [5] ทำให้ได้ประสิทธิภาพที่ดียิ่งขึ้น และสามารถทำงานได้โดยใช้สวิตช์คาปาซิเตอร์ที่ 1.5 โวลต์ แต่วงจรรีเลย์ไดนามิกจะไม่สามารถขับโหลดที่มีค่าความจุที่เพิ่มสูงได้ และไม่สามารถที่จะได้สัญญาณที่เต็มย่านคลื่น (Full-swing) ของกำลังสวิตช์คาปาซิเตอร์

### 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

จุดประสงค์ของงานวิจัยเพื่อจะนำเสนอ วงจรบูตสเตรปไดนามิกไบสมอสความเร็วสูง เพื่อแก้ไขปัญหาการขับโหลดที่มีค่าความจุสูง และสามารถได้สัญญาณแบบเต็มย่านคลื่น (Full-swing) ถึงระดับสวิตช์คาปาซิเตอร์ได้ โดยจะทำการวัดประสิทธิภาพของวงจรรีเลย์ไดนามิกด้วยโปรแกรมเลียนแบบการทำงานของวงจรรีเลย์ไดนามิก PSpice ในการจำลองการทำงานของวงจรรีเลย์ไดนามิก

### 1.3 สมมติฐานของการศึกษา

เมื่อแหล่งจ่ายแรงดันลดต่ำลง จะมีผลทำให้วงจรรีเลย์ไดนามิกไม่สามารถสวิงได้เต็มช่วง (Full swing) เนื่องจาก ค่าแรงดันเกณฑ์โวลต์ (Threshold voltage) ซึ่งจะมีผลทำให้สัมประสิทธิ์ของแรงดันที่ขับวงจรรีเลย์ไดนามิก เทคนิคบูตสเตรป จะช่วยเพื่อเพิ่มค่าแรงดันเกณฑ์โวลต์เพื่อให้อุปกรณ์มีประสิทธิภาพสูงขึ้น

## 1.4 ขอบเขตของการวิจัย

เปรียบเทียบประสิทธิภาพการทำงานของ วงจรไดนามิก ไบซีมอส ชนิด N (N-type BiCMOS dynamic) กับ วงจรบูตสเตรปไดนามิกไบซีมอส ชนิด N (N-Type Bootstrapped BiCMOS Dynamic Circuit) และ วงจรไดนามิก ไบซีมอส ชนิด P (P-type BiCMOS dynamic) กับ วงจรบูตสเตรปไดนามิกไบซีมอส ชนิด P (P-Type Bootstrapped BiCMOS Dynamic Circuit) โดยที่ผลการทดลองถูกนำออกมาโดยใช้โปรแกรมเลียนแบบการทำงาน PSpice ซึ่งใช้เทคโนโลยีไบซีมอส 0.35  $\mu\text{m}$  เทคโนโลยีมาตรฐานของ MOSIS

## 1.5 ขั้นตอนการศึกษา

ศึกษาการทำงานของวงจรไดนามิก ไบซีมอส ชนิด N

ศึกษาการทำงานของวงจรไดนามิก ไบซีมอส ชนิด P

ศึกษาการทำงานของวงจรบูตสเตรปไดนามิกไบซีมอส ชนิด N

ศึกษาการทำงานของวงจรบูตสเตรปไดนามิกไบซีมอส ชนิด P

## บทที่ 2

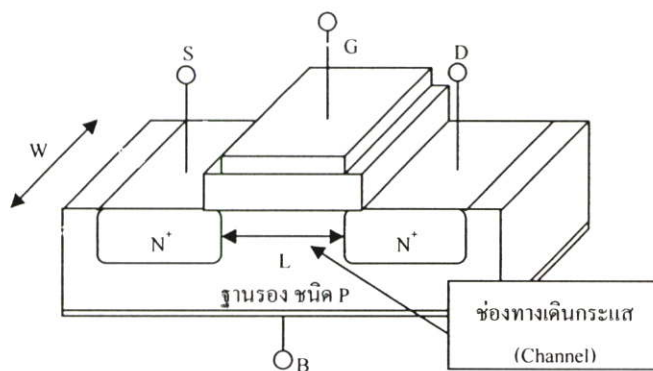
# ทฤษฎี และหลักการทำงานของมอสทรานซิสเตอร์

### 2.1 บทนำ

เทคโนโลยีซีมอส (CMOS : Complementary Metal Oxide Silicon) เป็นเทคโนโลยีที่ใช้กันอย่างแพร่หลายในการออกแบบวงจรดิจิทัล ซึ่งเทคโนโลยีนี้ถูกนำไปใช้กับวงจรหน่วยความจำวงจร VLSI (Very Large Scale Integration) เทคโนโลยีซีมอสจะทำให้วงจรลดการสิ้นเปลืองพลังงาน เพราะใช้พลังงานต่ำกว่าเมื่อเปรียบเทียบกับเทคโนโลยีไบโพลาร์ (Bipolar) โครงสร้างพื้นฐานของเทคโนโลยีซีมอส ได้แก่ มอสทรานซิสเตอร์ชนิด N-Channel (NMOS) และ มอสทรานซิสเตอร์ชนิด P-Channel (PMOS) โครงสร้างและการทำงานของมอสทรานซิสเตอร์มีดังนี้

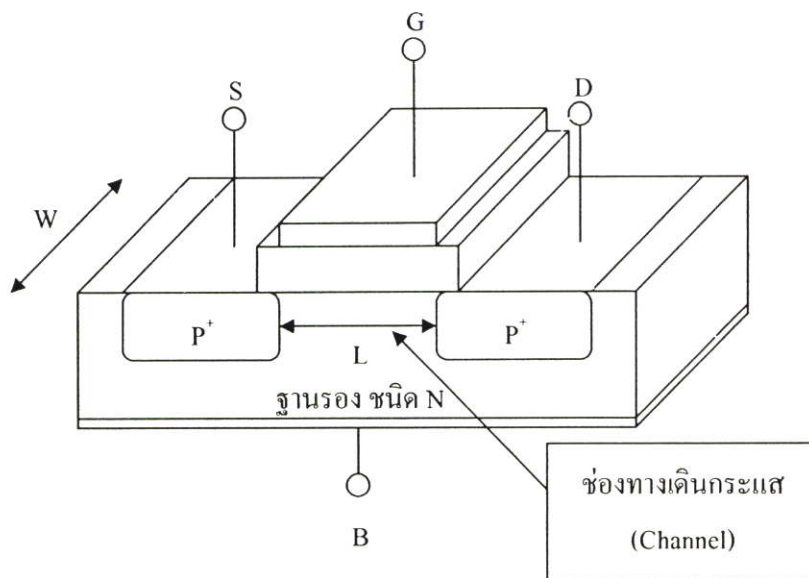
### 2.2 โครงสร้างของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์ เป็นอุปกรณ์ที่ทำงานโดยใช้สนามไฟฟ้าเป็นตัวกำหนดช่องทางเดินของกระแสระหว่างขาคเรนกับซอร์ส ซึ่งสามารถแบ่งตามโครงสร้างได้ 2 แบบ คือ มอสทรานซิสเตอร์ชนิด N-Channel (NMOS) และ มอสทรานซิสเตอร์ชนิด P-Channel (PMOS) โดยแต่ละแบบสามารถแบ่งตามลักษณะการทำงานได้อีก 2 แบบ คือ แบบเอ็นฮานเม้นท์ (Enhancement) และแบบดีพลีชัน (Depletion) โดยปกติเราจะใช้งานมอสทรานซิสเตอร์ด้วยกัน 3 ขา ได้แก่ ขาคเรน (D) , ขาเกต (G) , และ ขาซอร์ส (S) ส่วนขาบัลค (Bulk) หรือบริเวณฐานรอง (Substrate) นั้นจะถูกใช้ในการกำหนดค่าแรงดันแธรชโฮล (Threshold Voltage) ซึ่งปกติจะต่อขาบัลค เข้ากับขาซอร์สเพื่อให้ผลของแรงดันแธรชโฮลมีค่าต่ำที่สุดเท่ากับ  $V_{TO}$



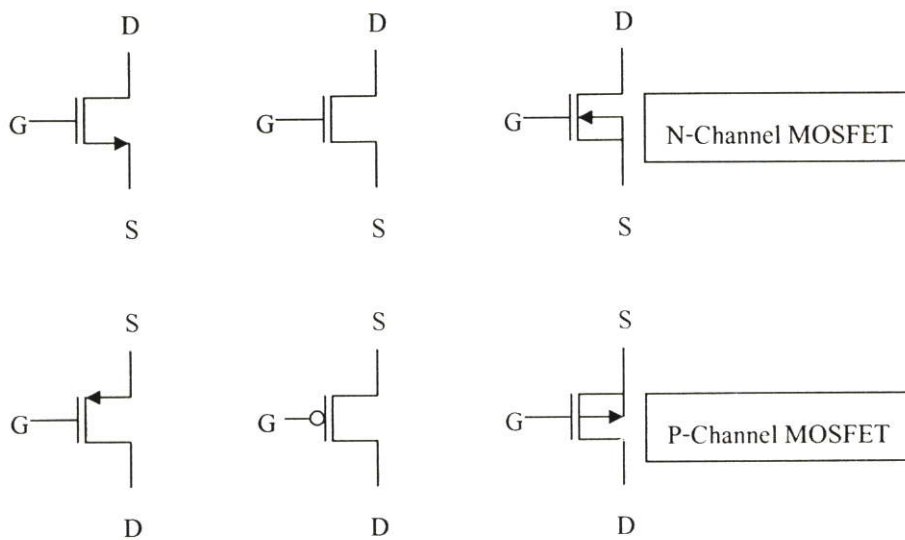
รูปที่ 2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์

จากรูปที่ 2.1 เป็นรูปโครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ชนิด N-Channel ประกอบด้วย ฐานรองชนิดพี (P-Type Substrate) สารกึ่งตัวนำชนิดเอ็นถูกสร้างขึ้นตามตำแหน่งตามในรูปที่ 2.1 โดยที่ชั้นหนึ่งเรียกว่า เดรน (Drain) และอีกชั้นหนึ่งเรียกว่า ซอร์ส (Source) โดยสารกึ่งตัวนำชนิดเอ็นนี้จะไม่ถูกเชื่อมต่อกัน แล้วทำการเคลือบสารซิลิกอนไดออกไซด์ ( $\text{SiO}_2$ ) ซึ่งมีคุณสมบัติเป็นฉนวนลงบนฐานรอง ครอบคลุมพื้นที่ของเดรน และซอร์ส บนชั้นของออกไซด์ จะสร้างฟิล์มบางของโลหะ หรือตัวนำไฟฟ้า เช่นสารกึ่งตัวนำโพลีซิลิกอน เพื่อทำหน้าที่เป็นส่วนควบคุมเรียกว่า เกต (Gate) โดยช่องทางเดินกระแสจะอยู่ระหว่างซอร์ส กับเดรน โดยมีช่วงความยาวของช่อง (Channel Length) เป็น  $L$  และความกว้างของช่อง (Channel Width) เป็น  $W$  ส่วนโครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ชนิด P-Channel จะมีโครงสร้างพื้นฐานที่แตกต่างกันคือ ฐานรองเป็นชนิดเอ็น (N-Type Substrate) และส่วนของเดรน และซอร์ส ใช้สารกึ่งตัวนำชนิดพี รูปที่ 2.2 แสดงถึงโครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ชนิด P-Channel



รูปที่ 2.2 โครงสร้างของมอสทรานซิสเตอร์

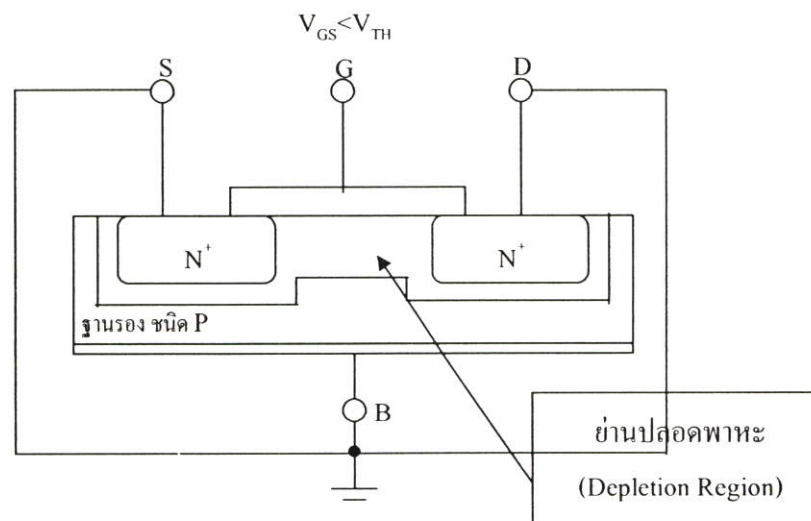
สัญลักษณ์ ของมอสทรานซิสเตอร์จะมีลักษณะต่างๆ เช่น



รูปที่ 2.3 สัญลักษณ์ ของมอสทรานซิสเตอร์

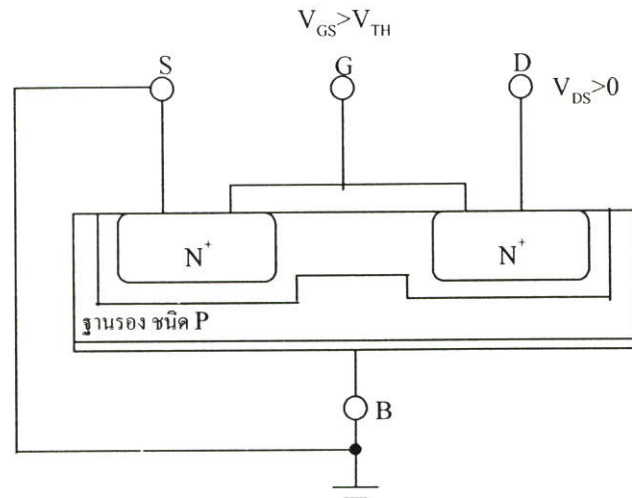
### 2.3 การทำงานของมอสทรานซิสเตอร์

จากรูปที่ 2.4 เป็นรูปโครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ชนิด N-Channel การทำงานของมอสทรานซิสเตอร์ชนิดนี้ เมื่อป้อนแรงดันไฟฟ้าเข้าไปที่เกตของมอสทรานซิสเตอร์ จะทำให้เกิดสนามไฟฟ้าบังคับปริมาณกระแส โดยปริมาณกระแสที่ไหลจะถูกควบคุมโดยความต่างศักย์ระหว่าง เกรน ซอร์ส และฐานรอง



รูปที่ 2.4 การเกิดย่านปลอดพาหะ (Depletion Region)

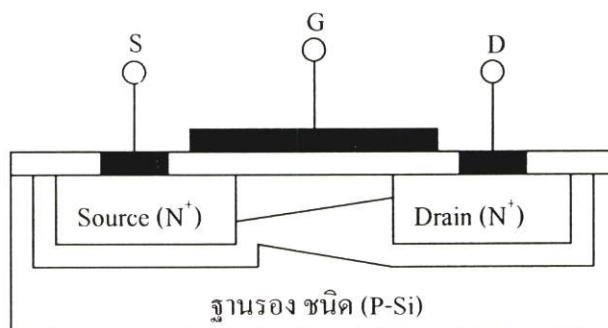
จากรูปที่ 2.4 การทำงานของมอสทรานซิสเตอร์จะเริ่มต้นเมื่อ ป้อนค่าศักย์ไฟฟ้าที่เป็นบวก เมื่อเทียบกับซอร์สเข้าไปยังขาคัด ( $V_{GS}$ ) ถ้าค่าศักย์ไฟฟ้า  $V_{GS}$  มีค่าน้อยกว่า ค่าแรงดันแทรชโฮลของมอสทรานซิสเตอร์ ( $V_{GS} < V_{TH}$ ) จะทำให้ไม่มีกระแสไหลระหว่างเดรนกับซอร์ส แต่ถ้าเพิ่มศักย์ไฟฟ้าเข้าขาคัดมากขึ้น ดังในรูปที่ 2.5 จนค่าศักย์ไฟฟ้าที่ขาคัดมีค่ามากกว่าค่าแรงดันแทรชโฮล ศักย์ที่เกตจะเหนี่ยวนำให้เกิดประจุลบระหว่างเดรนกับซอร์สมากขึ้น ทำให้เกิดช่องทางเดินกระแสจาก ซอร์ส ( $N^+$ ) ไปยัง เดรน ( $N^+$ ) โดยปริมาณกระแสจะขึ้นอยู่กับค่าศักย์ไฟฟ้าที่ป้อนระหว่างเดรนและซอร์ส



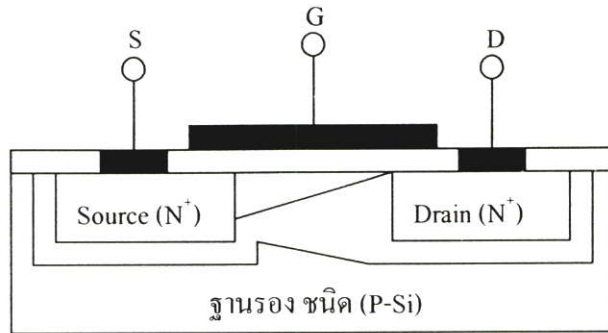
รูปที่ 2.5 การไบอัสเอ็นมอสทรานซิสเตอร์ให้เกิดการไหลของกระแส

## 2.4 คุณสมบัติและการทำงานทั่วไปของมอสทรานซิสเตอร์

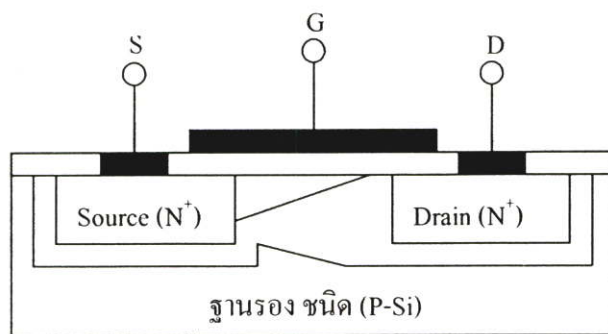
จุดการทำงานของมอสทรานซิสเตอร์แบบเอ็นฮาร์นเมนท์ สามารถอธิบายได้ดังนี้



รูปที่ 2.6 (ก) ภาพแสดงการทำงานของเอ็นมอสทรานซิสเตอร์ช่วงลิเนียร์



รูปที่ 2.6 (ข) ภาพแสดงการทำงานของเอ็นมอสทรานซิสเตอร์ช่วงขอบของจุดอิ่มตัว



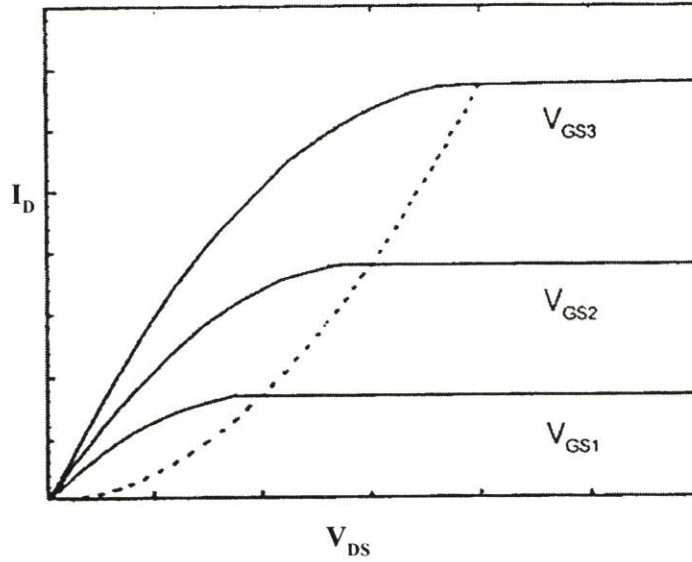
รูปที่ 2.6 (ค) ภาพแสดงการทำงานของเอ็นมอสทรานซิสเตอร์ช่วงอิ่มตัว

จากรูปที่ 2.6 (ก) เมื่อป้อนแรงดันค่าบวกเข้าไปที่เกิดเทียบกับซอร์ส เป็น  $V_G > V_{TH}$  และแรงดันที่เดรนเป็น  $(V_{DS} < V_{GS} - V_{TH})$  ทำให้เกิดความต่างศักย์ขึ้นที่ขั้วทั้งสองนี้ ซึ่งจะมีผลทำให้มีกระแสเดรนไหลผ่านช่องทางเดินกระแส จากเดรนไปซอร์ส โดยคุณสมบัติของกระแสเดรน ( $I_D$ ) เมื่อเทียบกับแรงดันค่าน้อยๆ ที่ตกคร่อมระหว่างเดรนและซอร์ส ( $V_{DS}$ ) จะมีลักษณะเป็นเชิงเส้น (Linear)

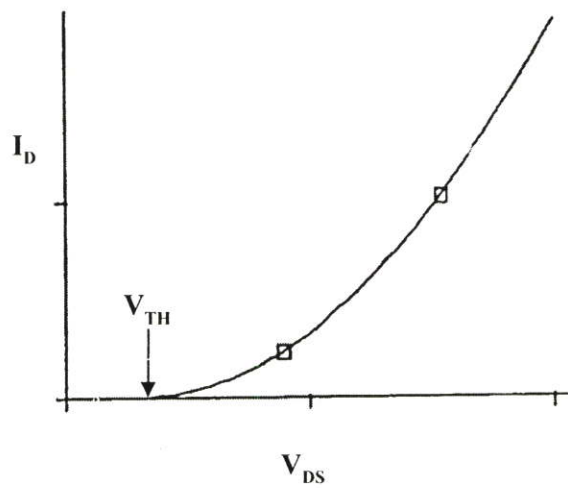
จากรูปที่ 2.6 (ข) เมื่อปรับแรงดันที่ตกคร่อมระหว่างเดรนและซอร์ส ( $V_{DS}$ ) เพิ่มขึ้นเรื่อยๆ และคงค่าแรงดันที่บริเวณขาเกตเทียบกับขาซอร์สให้มีค่ามากกว่าค่าแรงดันเทรชโฮล  $V_{GS} > V_{TH}$  ค่าหนึ่ง ซึ่งจะทำให้ช่องทางเดินกระแสที่เดรนแคบขึ้นเรื่อยๆ จนถึงจุดที่เรียกว่า พินช์ออฟ (Pinch off point) โดยที่จุดนี้จะมีค่า  $V_{GS} - V_{DS} = V_{TH}$  หรือ  $V_{DS} = V_{GS} - V_{TH}$

จากรูปที่ 2.6 (ค) เมื่อปรับแรงดันที่ตกคร่อมระหว่างเดรนและซอร์ส ( $V_{DS}$ ) ขึ้นไปอีกจนกระทั่งมีค่าเป็น  $V_{DS} > V_{GS} - V_{TH}$  จะส่งผลให้แรงดันไฟฟ้าที่ตกคร่อมแซนแนลที่ปลายด้านเดรนมีค่าสูงกว่า  $V_{GS} - V_{TH}$  จะทำให้เกิดสภาวะพินช์ออฟมากขึ้น จนทำให้ แซนแนลที่เป็นช่องทางเดินกระแสขาดออกบริเวณด้านเดรน เนื่องจากไม่มีสนามไฟฟ้ามาเหนี่ยวนำให้มีการสะสมประจุลบ เพื่อทำหน้าที่

เป็นแชลแนล แต่ยังมีกระแสไหลอยู่ได้เนื่องจากยังมีการแพร่กระแส (Diffusion Current) อยู่จาก ส่วนของซอร์สไปยังเดรน โดยเสมือนเป็นแหล่งจ่ายกระแสที่มีค่าคงที่ แม้ว่าจะเพิ่มแรงดันที่เดรน ให้มากขึ้นก็ตาม



รูปที่ 2.7 คุณสมบัติกระแส และแรงดัน ( $I_D$ ,  $V_{DS}$ ) ของมอสทรานซิสเตอร์แบบ N-Channel



รูปที่ 2.8 คุณสมบัติการไหลของกระแสเดรน ( $I_D$ ) และ แรงดันที่เกต ( $V_{DS}$ )

ช่วงการทำงานของมอสทรานซิสเตอร์แบ่งเป็นช่วงการทำงานได้ดังนี้

ช่วงแรก เรียกว่าช่วงคัทออฟ (Cut-off Region) เมื่อแรงดันไฟฟ้าที่เกิดเทียบกับซอร์ส  $V_{GS}$  มีค่าน้อยกว่าค่าแรงดันแธรชโฮล  $V_{TH}$  จะมีผลทำให้ไม่มีกระแสเดรนไหล มีค่าเท่ากับศูนย์

$$I_D = 0 \text{ เมื่อ } V_{GS} < V_{TH} \quad (2.1)$$

ช่วงที่สองคือช่วงลิเนียร์ (Linear Region) เมื่อเพิ่มแรงดันไฟฟ้าที่เกิดเทียบกับซอร์ส  $V_{GS}$  มีค่ามากขึ้นจนมากกว่าค่าแรงดันแธรชโฮล  $V_{TH}$  และ  $V_{DS} < V_{GS} - V_{TH}$  จะทำให้มอสทรานซิสเตอร์นำกระแส โดยสมการกระแสเดรนจะเป็น

$$I_{D(lin)} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot [2 \cdot (V_{GS} - V_{TH}) \cdot V_{DS} - V_{DS}^2] \quad (2.2)$$

โดยช่วงนี้อาจจะเรียกว่า ช่วงไม่อิ่มตัว (Non-Saturation Region) โดยขณะที่มีแรงดันระหว่างเดรนและซอร์สมีค่าน้อยๆ ( $V_{DS} < V_{GS} - V_{TH}$ ) กระแสเดรน ( $I_D$ ) จะมีลักษณะเป็นเชิงเส้น ดังรูปที่ 2.8 ในขณะที่เมื่อเพิ่มแรงดัน  $V_{DS}$  เส้นกราฟจะโค้งมนขึ้นเรื่อยๆ ซึ่งเป็นผลมาจากความต้านทานบริเวณช่องทางเดินกระแสที่เพิ่มขึ้น ในขณะที่เพิ่มแรงดัน  $V_{DS}$  จะทำให้รูปร่างของช่องทางเดินกระแสจะมีลักษณะลาดเอียง และเล็กขึ้นในบริเวณที่ใกล้กับส่วนของเดรน จะทำให้เกิดช่วงต่อมาอีก คือ ช่วงที่สาม คือช่วงอิ่มตัว (Saturation Region) เมื่อเพิ่มแรงดัน  $V_{GS}$  มากขึ้นจนมีค่ามากกว่า  $V_{TH}$  และ  $V_{DS} \geq V_{GS} - V_{TH}$  มอสทรานซิสเตอร์จะนำกระแส ทำงานในช่วงอิ่มตัว โดยจะมีสมการเป็นดังนี้

$$I_{D(sat)} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} (V_{GS} - V_{TH})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (2.3)$$

ส่วนสมการระหว่างกระแสเดรน  $I_D$  และแรงดันของมอสทรานซิสเตอร์แบบ P-Channel มีดังนี้

$$I_D = 0 \text{ เมื่อ } V_{GS} > V_{TH} \quad (2.4)$$

$$I_{D(lin)} = \frac{\mu_p C_{ox}}{2} \cdot \frac{W}{L} \cdot [2 \cdot (V_{GS} - V_{TH}) \cdot V_{DS} - V_{DS}^2] \quad (2.5)$$

เมื่อ  $V_{GS} < V_{TH}$  และ  $V_{DS} > V_{GS} - V_T$

$$I_{D(sat)} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} (V_{GS} - V_{TH})^2 \cdot (1 + \lambda V_{DS}) \quad (2.6)$$

เมื่อ  $V_{GS} \leq V_{TH}$  และ  $V_{DS} \leq V_{GS} - V_T$

โดยที่

- $I_D$  คือกระแสเดรน (Drain Current)
- $V_{GS}$  คือแรงดันไฟฟ้าระหว่างเกตกับซอร์ส
- $V_{DS}$  คือแรงดันไฟฟ้าระหว่างเดรนกับซอร์ส
- $V_{TH}$  คือแรงดันไฟฟ้าแทรชโฮล
- $C_{ox}$  คือค่าความจุไฟฟ้าที่เกิดจาก  $SiO_2$  ระหว่างเกตกับช่องทางเดินกระแส
- $\mu_n$  คือค่าความคล่องตัวในการเคลื่อนที่ของประจุพาหะ (Mobility)
- $W$  คือความกว้างของช่องทางเดินกระแส
- $L$  คือความยาวของช่องทางเดินกระแส
- $\lambda$  คือแชนแนลเลนจัมคูเลชันพารามิเตอร์

จากรูปที่ 2.7 เมื่อแรงดันระหว่างเดรนและซอร์ส ( $V_{DS}$ ) เพิ่มขึ้นถึงจุดพินชออฟ (Pinch Off) จะมีผลทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation Region) ซึ่งกระแสเดรนจะไหลค่อนข้างคงที่ เนื่องจากผลของแชนแนลเลนจัมคูเลชันพารามิเตอร์  $\lambda$  แต่ในการออกแบบจะประมาณค่าของแชนแนลเลนจัมคูเลชันพารามิเตอร์ให้มีค่าเท่ากับศูนย์ เพื่อให้ง่ายต่อการคำนวณ

## 2.5 สรุป

จากทฤษฎีและหลักการการทำงานของมอสทรานซิสเตอร์ที่ได้อธิบายในบทนี้ จะทำให้ทราบถึงโครงสร้าง และการทำงานของมอสทรานซิสเตอร์ ตลอดจนอธิบายลักษณะการทำงานในช่วงต่างๆ คือ ช่วงคัทออฟ (Cut Off Region), ช่วงลิเนียร์ (Linear Region) หรือช่วงไม่อิ่มตัว (Non-Saturation Region) และช่วงอิ่มตัว (Saturation Region) โดยแต่ละช่วงจะมีผลทำให้ปริมาณกระแสเดรนแตกต่างกันออกไป ซึ่งในการออกแบบนั้นจะต้องพิจารณาถึงช่วงการทำงานให้ตรงมีความสัมพันธ์กัน เพื่อให้วงจรที่ออกแบบมานั้นมีประสิทธิภาพมากที่สุด

## บทที่ 3

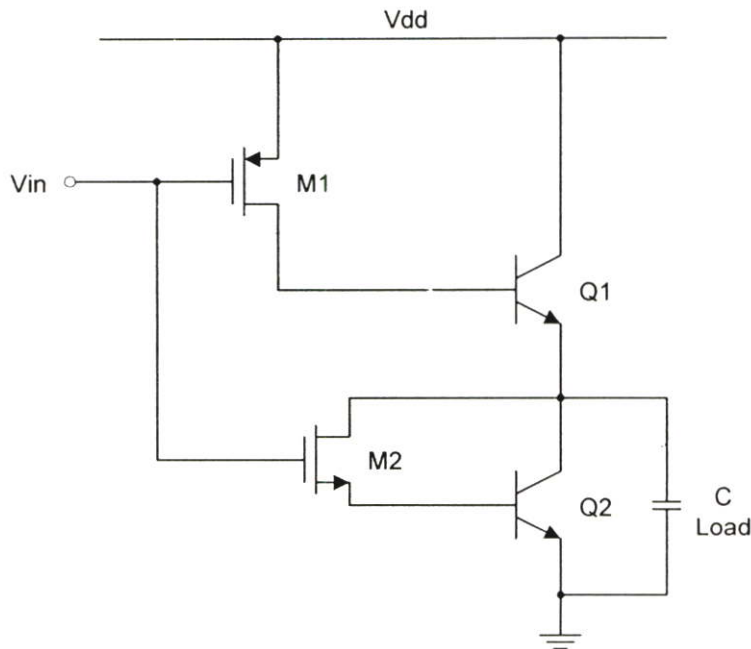
# ทฤษฎีของวงจรวงจรไบซีมอสโลจิก

### 3.1 บทนำ

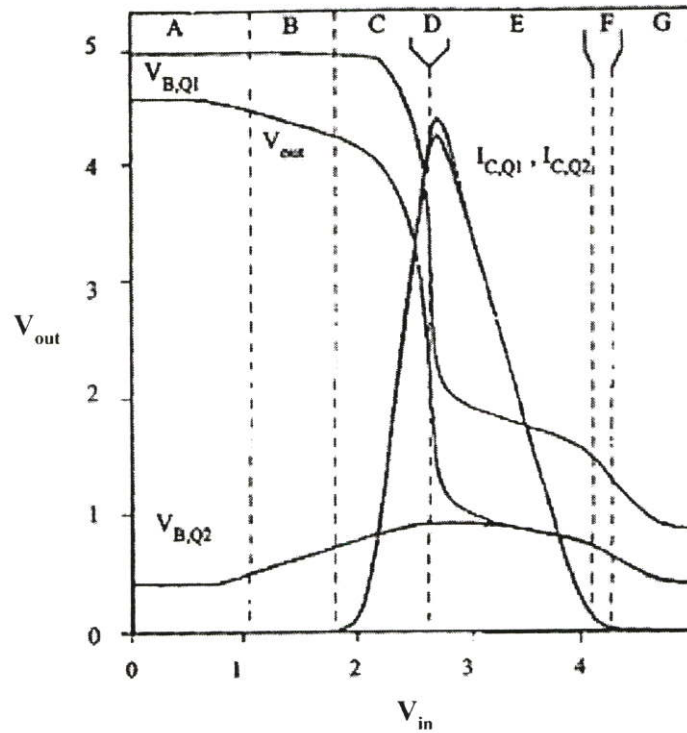
เนื้อหาในบทนี้จะกล่าวถึงการทำงานของวงจรวงจรไบซีมอสขั้นพื้นฐาน แนวทางการพัฒนาของวงจรวงจรไบซีมอส วงจรไดนามิก และวิธีการบูตสเตรปวงจรวงจรไดนามิก

### 3.2 หลักการทำงานของวงจรวงจรไบซีมอส

วงจรวงจรไบซีมอสอินเวอร์เตอร์ เป็นวงจรรุ่นพื้นฐานเพื่อนำไปใช้เป็นแนวทางในการพัฒนาวงจรวงจรไบซีมอสแบบอื่นๆ ต่อไป คุณสมบัติในการทำงานของวงจรวงจรไบซีมอสอินเวอร์เตอร์แบ่งได้เป็น 2 คุณสมบัติคือ คุณสมบัติทางด้านสวิทชิง และคุณสมบัติของวงจรรตอสัญญาณไฟกระแสดตรง



รูปที่ 3.1 วงจรวงจรไบซีมอสอินเวอร์เตอร์



รูปที่ 3.2 คุณสมบัติการถ่ายโอนสัญญาณไฟกระแสดตรงของวงจรไบซีมอสอินเวอร์เตอร์

### 3.2.1 คุณสมบัติของวงจรต่อสัญญาณไฟกระแสดตรง

จากวงจรในรูปที่ 3.1 จะมีคุณสมบัติการถ่ายโอนสัญญาณไฟดังในรูปที่ 3.2 จากรูปที่ 3.1 วงจรเอาต์พุตต่อเป็นแบบนอนคอมพลิเมนต์ารี โดยค่าตัวแปรของทรานซิสเตอร์ Q1 เท่ากับ Q2 ดังนั้นจะได้ว่า

$$I_{C,Q1} = I_{C,Q2} \quad (3.1)$$

$$V_{BE,Q1} = V_{BE,Q2} \quad (3.2)$$

โดยที่

$I_{C,Q1}$  และ  $I_{C,Q2}$  เป็นกระแสคอลเลกเตอร์ของทรานซิสเตอร์ Q1 และ Q2

$V_{BE,Q1}$  และ  $V_{BE,Q2}$  เป็นแรงดันที่เบส-อิมิตเตอร์ ของทรานซิสเตอร์ Q1 และ Q2

ดังนั้นแรงดันเอาต์พุต  $V_{out}$  จะเป็น

$$V_{out} = V_{B,Q1} - V_{BE,Q1} \quad (3.3)$$

หรือ

$$V_{out} = V_{B,Q1} - V_{BE,Q2} \quad (3.4)$$

โดยที่  $V_{B,Q1}$  และ  $V_{B,Q2}$  เป็นแรงดันที่เบสของทรานซิสเตอร์ Q1 และ Q2

จากรูปที่ 3.2 ซึ่งแสดงคุณสมบัติการถ่ายโอนสัญญาณไฟกระแสตรง สามารถแบ่งช่วงการทำงานได้ออกเป็น 7 ช่วงการทำงาน ได้เป็นดังนี้

1. ช่วงการทำงาน A ( $V_{in} < V_{BE,Q2} + V_{Tn}$ )

เอ็นมอสทรานซิสเตอร์ M2 ไม่ทำงานเนื่องจากแรงดันไฟฟ้าที่เกตเป็น 0 มีผลทำให้ทรานซิสเตอร์ Q2 ไม่ทำงานในขณะที่ พีมอสทรานซิสเตอร์ M1 ทำงาน ทำให้กระแสของพีมอสทรานซิสเตอร์ไม่เป็นศูนย์แรงดันที่เบสและอิมิตเตอร์ของ Q1 จะมีค่าประมาณ 0.4 โวลต์ ดังนั้นถ้า  $V_{DD} = 5$  โวลต์ แรงดันที่เอาต์พุต ( $V_{out}$ ) จะมีค่าเป็น 4.6 โวลต์

2. ช่วงการทำงาน B ( $V_{BE,Q2} + V_{Tn} < V_{in} < (V_{BE,on} + V_{Tn})$ )

การทำงานในช่วงนี้ พีมอสทรานซิสเตอร์ M1 ยังคงทำงานอยู่ ในขณะที่เอ็นมอสทรานซิสเตอร์เริ่มทำงาน ส่วนทรานซิสเตอร์ Q1 และ Q2 ยังไม่ทำงาน เนื่องจาก  $V_{BE}$  ของ Q2 ยังไม่ถึงจุดทำงาน

3. ช่วงการทำงาน C ( $V_{BE,on} + V_{Tn} < V_{in} < V_{inv}$ )

การทำงานในช่วงนี้ พีมอสทรานซิสเตอร์และเอ็นมอสทรานซิสเตอร์ทำงานทั้งคู่มีผลทำให้ทรานซิสเตอร์ Q1 และ Q2 ทำงานเป็นผลทำให้แรงดันเอาต์พุตตกลงอย่างรวดเร็ว โดยกำหนดให้  $V_{inv}$  เป็นแรงดันอินพุตซึ่งทำให้อัตราการขยายของวงจรมีค่ามากที่สุด

4. ช่วงการทำงาน D ( $V_{in} = V_{inv}$ )

การทำงานในช่วงนี้เป็นจุดที่ พีมอสทรานซิสเตอร์และเอ็นมอสทรานซิสเตอร์ทำงานในช่วงอิมิตัว และทรานซิสเตอร์ Q1 และ Q2 ทำงาน การทำงานของพีมอสทรานซิสเตอร์และเอ็นมอสทรานซิสเตอร์ในช่วงนี้จะมีกระแสเท่ากันด้วยคือ

$$I_{D,p} = I_{D,n} \quad (3.5)$$

ดังนั้น

$$W_p K_p C_{ox,p} (V_{DD} - V_m - |V_{T,p}|) = W_n K_n C_{ox,n} (V_m - V_{BE,on} - |V_{T,n}|) \quad (3.6)$$

ถ้าความหนาของเกตออกไซด์มีค่าเท่ากับแรงดันที่จุดนี้จะมีค่าเป็น

$$V_{mv} = \frac{V_{DD}|V_{T,p}| + \frac{K_n W_n}{K_p W_p} (V_{BE,on} + V_{T,n})}{1 + \frac{K_n W_n}{K_p W_p}} \quad (3.7)$$

โดยที่

$I_D$  คือ กระแสเดรนของมอสทรานซิสเตอร์

$W$  คือ ความกว้างของมอสทรานซิสเตอร์

$K$  คือ ค่ากระแสอิ่มตัวของมอสทรานซิสเตอร์

$C_{ox}$  คือ เกตคาปาซิแตนซ์ของมอสทรานซิสเตอร์

$V_T$  คือ แรงดันแทรนส์โวลของมอสทรานซิสเตอร์

5. ช่วงการทำงาน E  $V_{in} < V_{in} < (V_{DD} - V_{T,p})$

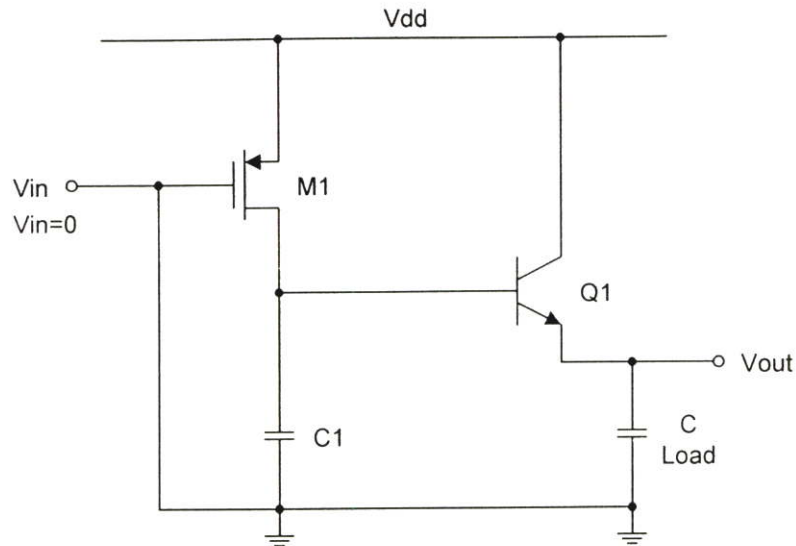
การทำงานช่วงนี้แรงดันอินพุตที่มีค่าเพิ่มขึ้น พีมอสเริ่มนำกระแสลดลง ส่วนเอ็นมอสทรานซิสเตอร์ได้รับแรงดันที่เกตเพิ่มขึ้น ดังนั้นแรงดันที่เอาต์พุต จะลดลง

6. ช่วงการทำงาน F  $V_{DD} - |V_{T,p}| < V_{in} < V_{DD} - V_{BE,on}$

การทำงานในช่วงนี้ เอ็นมอสทรานซิสเตอร์ได้รับแรงดันที่เกตเพิ่มมากขึ้น แต่พีมอสทรานซิสเตอร์เริ่มไม่ทำงาน มีผลให้ทรานซิสเตอร์ Q1 และ Q2 ไม่ทำงานดังนั้นแรงดันที่เอาต์พุต จะลดต่ำลงไปอีก

7. ช่วงการทำงาน G  $V_{in} > V_{DD} - V_{BE,on}$

การทำงานในช่วงนี้พีมอสทรานซิสเตอร์ไม่ทำงาน มีผลทำให้ ทรานซิสเตอร์ Q1 และ Q2 ไม่ทำงาน กระแส  $I_{C,Q1}$  และ  $I_{C,Q2}$  มีค่าเท่ากับศูนย์ ส่วนเอ็นมอสทรานซิสเตอร์ทำงาน ดังนั้นแรงดันเอาต์พุต  $V_{out} = V_{C,Q2}$  หรือ ประมาณ 0 โวลต์



รูปที่ 3.3 วงจรสมมูลขณะเปลี่ยนสถานะจาก โลจิก “0” เป็น โลจิก “1”

### 3.2.2 คุณสมบัติของวงจรในการสวิตช์ของวงจรไบซีมอสอินเวอร์เตอร์

วงจรไบซีมอสมีความสามารถในการทำงานแบบสวิตช์ซึ่งได้ดีกว่าวงจรซีมอส กล่าวคือ วงจรไบซีมอส มีไบโพลาร์ทรานซิสเตอร์เป็นส่วนประกอบในวงจรทำให้วงจรสามารถชาร์จและคายประจุตัวเก็บประจุได้อย่างมีประสิทธิภาพมากขึ้น เนื่องจากสามารถนำกระแสได้ในระดับมิลลิแอมป์ (mA) โดยการทำงานแบ่งได้เป็น 2 ช่วงคือ ช่วงที่ อินพุตเปลี่ยนสถานะจาก โลจิก “1” ไปเป็น โลจิก “0” ในช่วงนี้ที่เกทของพีมอสทรานซิสเตอร์ M1 ได้รับแรงดันไฟฟ้า เป็น โลจิก “0” ทำให้พีมอสทรานซิสเตอร์ M1 ทำงาน มีผลทำให้เริ่มการชาร์จประจุเข้าไปยังคาปาซิเตอร์  $C_L$  และทำให้ไบโพลาร์ทรานซิสเตอร์ Q1 ทำงานที่  $V_{BE,on}$  เวลาที่ใช้จะเป็น

$$t_1 = \frac{C_1 + C_{BE}}{I_{D,M1}} V_{BE,on} \quad (3.8)$$

โดยที่  $V_{BE,on} \cong 0.7V$

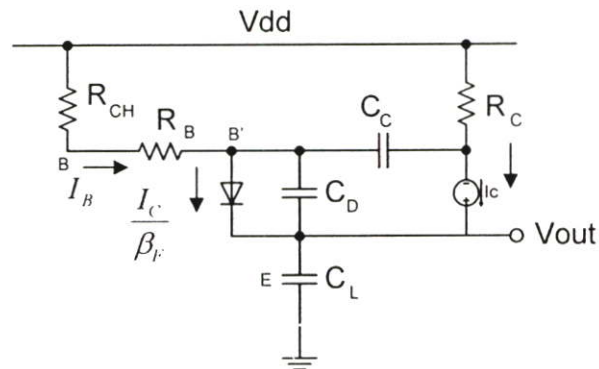
$$I_{D,M1} = \frac{\mu_p C_{ox} W}{2L} (V_{GS} - V_{T,M1})^2 \quad (3.9)$$

เมื่อพีมอสทรานซิสเตอร์เริ่มอิมิตมีผลทำให้ ไบโพลาร์ทรานซิสเตอร์ Q1 เริ่มทำงานชาร์จประจุเข้าไปที่โหลดคาปาซิเตอร์  $C_L$  โดยที่  $V_{out}$  มีค่าประมาณ  $0 < V_{out} < |V_{T,p}| - V_{BE}$

$$t_2 = \frac{C_L}{I_{C,Q1}} V_1 \quad (3.10)$$

โดยที่  $V_1$  คือช่วงแรงดันในการสวิตชิง  $V_1 = V_{DD} - 2V_{BE}$

เมื่อ  $V_{out} \geq (|V_{T,p}| - V_{BE})$  ช่วงนี้ไบโพลาร์ทรานซิสเตอร์ Q1 ทำงานในช่วงเชิงเส้นเขียนวงจรมุมูล์  
ได้ดังรูป



รูปที่ 3.4 วงจรมุมูล์ช่วงขาขึ้น

จากกฎแรงดันของเคอร์ชอฟจะทำให้ได้สมการ

$$I_B (R_{CH} + R_B) = V_{DD} - V_{BE} - V_{out} \quad (3.11)$$

$$I_B = I_C + C_D \frac{dV_{BE}}{dt} + C_C \frac{d}{dt} \{V_{out} + V_{BE} - (V_{DD} - I_C R_C)\} \quad (3.12)$$

เมื่อ  $i_C = I_s e^{\frac{qV_{BE}}{kT}}$

เมื่อ  $C_D = \frac{q \tau_F I_C}{kT}$   $C_D =$  ค่าคาปาซิแตนซ์ของอิมิตอร์-เบส

$$R_{CH} = \frac{2L}{W_1 \mu_p C_{ox} (V_{DD} - |V_{TP}|)}$$

$$\text{โดยที่ } \frac{dI_C}{dt} = \frac{QI_C}{kT} \frac{dV_{BE}}{dt} \quad (3.13)$$

$$\text{และ } \frac{dV_{out}}{dt} = \frac{I_E}{C_L} \cong \frac{I_C}{C_L} \quad \text{และ } I_E \cong I_C \quad (3.14)$$

$$\text{โดยที่ } t = t_3, V_{out} = \frac{V_{DD}}{2} \text{ และ } \frac{dI_C}{dt} = 0$$

$$\therefore t_3 = \frac{\pi}{2} \sqrt{(R_{CH} + R_B) C_L \tau_F} \quad (3.15)$$

เวลาที่ใช้ในการเปลี่ยนลอจิก คือ

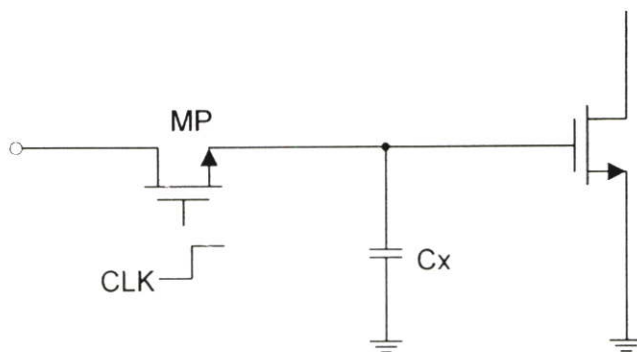
$$t_d = t_1 + t_2 + t_3$$

$$t_d = \frac{C_1 + C_{BE}}{I_{D,M1}} V_{BE,om} + \frac{C_L}{I_{C,Q1}} V_I + \frac{\pi}{2} \sqrt{(R_{CH} + R_B) C_L \tau_F} \quad (3.16)$$

### 3.3 วงจรไดนามิก

การออกแบบวงจรดิจิทัลที่มีประสิทธิภาพสูงจำเป็นต้องลดการหน่วงเวลาของวงจร และ ปริมาณพื้นที่ของซิลิคอน เป็นสำคัญ วงจรแบบไดนามิกจึงมีข้อได้เปรียบเหนือกว่าวงจรแบบ Static logic circuit และผลของการทำงานที่ได้ เหมือนกับวงจร Static logic circuit การทำงานของวงจรแบบไดนามิก

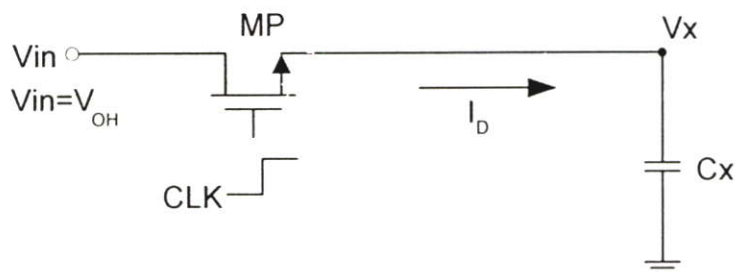
จากรูปที่ 3.5 สามารถอธิบายการทำงานได้ดังนี้



รูปที่ 3.5 วงจรไดนามิก เอ็นมอสทรานซิสเตอร์ ชั้นพื้นฐาน

การส่งผ่าน โลจิก 1

กำหนดให้ แรงดันไฟฟ้าที่จุด  $V_x(t=0) = 0V$  ที่แรงดันไฟฟ้าที่อินพุตถูกกำหนดให้เป็น โลจิก 1  $V_{in} = V_{OH} = V_{DD}$  สัญญาณนาฬิกาที่ทรานซิสเตอร์ MP เริ่มเปลี่ยนจาก 0 ไปเป็น  $V_{DD}$  ที่เวลา  $(t=0)$  เมื่อสัญญาณนาฬิกาทำงาน ทำให้ทรานซิสเตอร์ MP ทำงานในช่วงอิมิตัว  $V_{DS} > V_{GS} - V_{T,n}$  จากรูปที่ 3.6 สามารถสร้างสมการการส่งผ่านโลจิก 1 ได้ดังนี้



รูปที่ 3.6 วงจรสมมูลย์การส่งผ่าน โลจิก “1”

ทรานซิสเตอร์ MP ทำงานอยู่ในช่วงอิมิตัว เริ่มทำการชาร์จคาปาซิเตอร์  $C_x$

$$C_x \frac{dV_x}{dt} = \frac{k_n}{2} (V_{DD} - V_x - V_{T,n})^2 \quad (3.17)$$

$$\int_0^t dt = \frac{2C_x}{k_n} \int_0^{V_x} \frac{dV_x}{(V_{DD} - V_x - V_{T,n})^2} \quad (3.18)$$

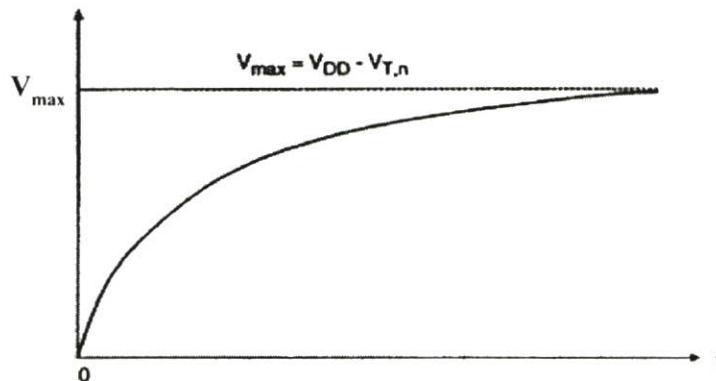
$$= \frac{2C_x}{k_n} \left( \frac{1}{(V_{DD} - V_x - V_{T,n})} \right)_0^{V_x} \quad (3.19)$$

$$t = \frac{2C_x}{k_n} \left[ \left( \frac{1}{V_{DD} - V_x - V_{T,n}} \right) - \left( \frac{1}{V_{DD} - V_{T,n}} \right) \right] \quad (3.20)$$

จากสมการ(3.20) สามารถหาค่า  $V_x(t)$  ได้ดังนี้

$$V_x(t) = (V_{DD} - V_{T,n}) \frac{\left( \frac{k_n(V_{DD} - V_{T,n})}{2C_x} \right) t}{1 + \left( \frac{k_n(V_{DD} - V_{T,n})}{2C_x} \right) t} \quad (3.21)$$

การเปลี่ยนแปลงแรงดันไฟฟ้าที่จุด  $V_x$  ในสมการที่ (3.21) สามารถนำมาสร้างกราฟระหว่าง เวลา-แรงดันไฟฟ้า  $V_x$  ได้ดังในรูปที่ (3.7)

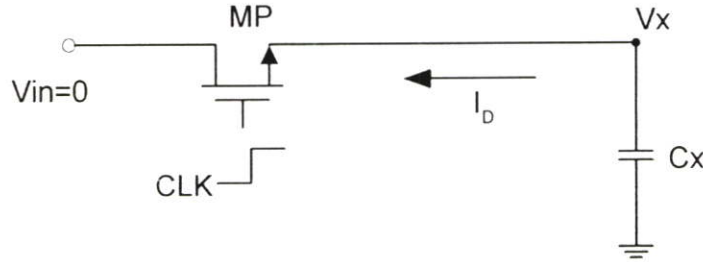


รูปที่ 3.7 การเปลี่ยนแปลงแรงดันไฟฟ้าที่จุด  $V_x$  กับเวลา ในช่วงการส่งผ่าน โลจิก “1”

การส่งผ่าน โลจิก 0

กำหนดให้แรงดันไฟฟ้าที่จุด  $V_x$  มีค่าเท่ากับ โลจิก 1 ,  $V_x(t=0) = V_{max} = (V_{DD} - V_{T,n})$  โลจิก 0 ถูกจ่ายเข้ามาทางด้านอินพุต เมื่อสัญญาณนาฬิกาเปลี่ยนจาก 0 ไปยัง  $V_{DD}$  ที่  $t=0$  เมื่อสัญญาณนาฬิกาทำงาน ทำให้ทรานซิสเตอร์ MP ทำงานและ ทิศทางของกระแสเดรน จะตรงกันข้ามกับการชาร์จ

ของการส่งผ่านโลจิก 1 โดย  $V_{GS} = V_{DD}$  และ  $V_{DS} = V_{max}$  การทำงานของทรานซิสเตอร์ MP จะทำงานอยู่ในช่วงลิเนียร์ โดยที่  $V_{DS} < V_{GS} - V_{T,n}$



รูป 3.8 วงจรสมมูลการส่งผ่าน โลจิก “0”

จากรูปวงจรที่ 3.8 สามารถสร้างสมการการส่งผ่าน โลจิก 0 ได้ดังนี้ ทรานซิสเตอร์ MP ทำงานในช่วงลิเนียร์ การดิฟฟิเชนเชียลประจุคาปาซิเตอร์  $C_x$  เป็นดังนี้

$$-C_x \frac{dV_x}{dt} = \frac{k_n}{2} (2(V_{DD} - V_{T,n})V_x - V_x^2) \quad (3.22)$$

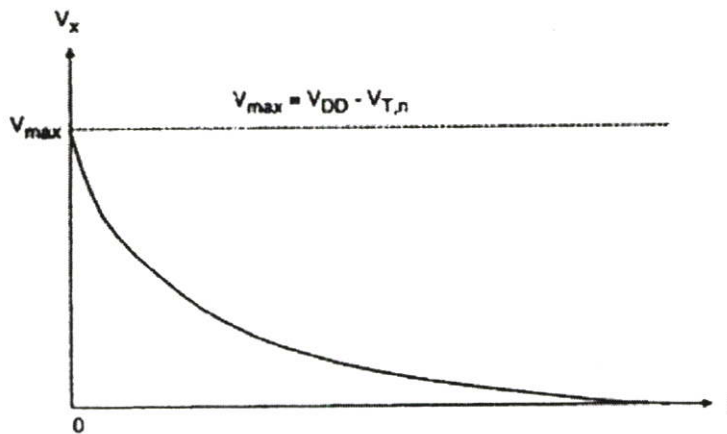
$$dt = -\frac{2C_x}{k_n} \cdot \frac{dV_x}{2(V_{DD} - V_{T,n})V_x - V_x^2} \quad (3.23)$$

$$\int_0^t dt = -\frac{2C_x}{k_n} \int_{V_{DD}-V_{T,n}}^{V_x} \left( \frac{1}{2(V_{DD} - V_{T,n}) - V_x} + \frac{1}{V_x} \right) dV_x \quad (3.24)$$

$$t = \frac{C_x}{k_n(V_{DD} - V_{T,n})} \left[ \ln \left( \frac{2(V_{DD} - V_{T,n}) - V_x}{V_x} \right) \right]_{V_{DD}-V_{T,n}}^{V_x} \quad (3.25)$$

$$t = \frac{C_x}{k_n(V_{DD} - V_{T,n})} \ln \left( \frac{2(V_{DD} - V_{T,n}) - V_x}{V_x} \right) \quad (3.26)$$

การเปลี่ยนแปลงแรงดันไฟฟ้าที่จุด  $V_x$  ในสมการที่ (3.26) สามารถนำมาสร้างกราฟระหว่าง เวลา-แรงดันไฟฟ้า  $V_x$  ได้ดังในรูปที่ (3.9)



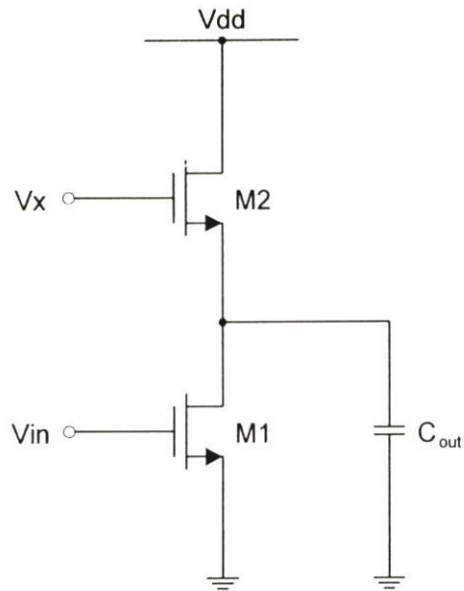
รูปที่ 3.9 การเปลี่ยนแปลงแรงดันไฟฟ้าที่จุด  $V_x$  กับเวลา ในช่วงการส่งผ่าน โลจิก “0”

### 3.4 วิธีการบดสเตรปร่วงจรไดนามิก

เมื่อแหล่งจ่ายแรงดันไฟฟ้าลดลง จะมีผลทำให้วงจรไม่สามารถสวิงได้เต็มช่วง (Full swing) เนื่องจาก ค่าแรงดันเทรชโฮล (Threshold voltage) ซึ่งจะมีผลทำให้สัมประสิทธิ์ของแรงดันที่ใช้ขับ วงจรมีค่าลดลง เทคนิคที่จะช่วยแก้ปัญหานี้คือ การบดสเตรป จากรูปที่ 3.11 แรงดันไฟฟ้าที่  $V_x$  มีค่าเท่ากับแรงดันไฟฟ้าที่แหล่งจ่าย หรือ น้อยกว่าเล็กน้อย  $V_x \leq V_{DD}$  จะมีผลทำให้เอ็นมอสทรานซิสเตอร์ทำงาน

เมื่อแรงดันอินพุต  $V_{in}$  มีค่าเป็น low จะทำให้ได้แรงดันเอาต์พุตที่มีค่ามากที่สุดเป็น

$$V_{out}(\max) = V_x - V_{T2}(V_{out}) \quad (3.27)$$



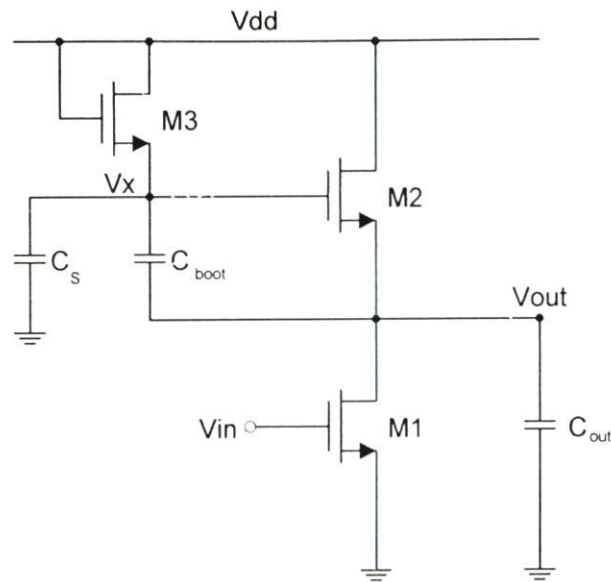
รูปที่ 3.10 วงจรไดนามิกขั้นพื้นฐาน

ถ้าต้องการให้แรงดันที่เอาต์พุตมีค่าเท่ากับแหล่งจ่าย ที่แรงดันไฟฟ้าที่  $V_x$  ต้องมีค่าที่สูงกว่านี้ จากรูปที่ 3.11 ได้เพิ่มเอ็นมอสทรานซิสเตอร์ M3 เข้ามาในวงจร วงจรนี้จะสามารถเพิ่มแรงดันที่จุด  $V_x$  ให้สูงขึ้นในระหว่างการสวิตช์ ดังนั้นจะทำให้แรงดันทรานซิสเตอร์ที่ลดลงสามารถกลับขึ้นมาได้อีกครั้งหนึ่ง

$$V_x \geq V_{DD} + V_{T2}(V_{out}) \quad (3.28)$$

กำหนดให้แรงดันไฟฟ้าที่ด้านอินพุต ( $V_{in}$ ) เป็น โลจิก 1 ดังนั้นจะทำให้เอ็นมอสทรานซิสเตอร์ M1 และ M2 จะมีกระแสตรงมากกว่าศูนย์ และ แรงดันไฟฟ้าทางด้านเอาต์พุตจะมีค่าเป็น 0 ที่เอ็นมอสทรานซิสเตอร์ M1 จะอยู่ในช่วงลิเนียร์ และ เอ็นมอสทรานซิสเตอร์ M2 อยู่ในช่วงอิ่มตัว เมื่อ  $I_{D1} = 0$  จะได้สมการของค่าแรงดันไฟฟ้าที่จุด  $V_x$  เป็น

$$V_x = V_{DD} - V_{T3}(V_x) \quad (3.29)$$



รูปที่ 3.11 วงจรไดนามิกบูตสเตรป เพื่อเพิ่มแรงดันไฟฟ้าที่จุด  $V_x$  ในขณะที่สวิดจิ่ง

เมื่อแรงดันไฟฟ้านำอินพุต ( $V_{in}$ ) ถูกสวิทช์ จาก โลจิก 1 ไปเป็น โลจิก 0 จะมีผลทำให้เอ็นมอสทรานซิสเตอร์ M1 หยุดทำงาน และ ทำให้แรงดันไฟฟ้าทางด้านเอาต์พุต ( $V_{out}$ ) มีค่าสูงขึ้น การเปลี่ยนแปลงครั้งนี้ระดับแรงดันไฟฟ้าที่เอาต์พุตจะถูกเชื่อม แรงดันไฟฟ้า  $V_x$  ผ่านทางบูตสเตรปคาปาซิเตอร์ ( $C_{boot}$ ) ให้  $i_{C_{boot}}$  แทนกระแสที่ไหลผ่าน  $C_{boot}$  ในระหว่างการชาร์จ ให้  $i_{C_S}$  เป็นกระแสที่ไหลผ่าน  $C_S$  สมมติให้กระแสทั้งสองนี้มีค่าเท่ากัน จะได้ว่า

$$i_{C_S} \approx i_{C_{boot}} \Leftrightarrow C_S \frac{dV_x}{dt} \approx C_{boot} \frac{d(V_{out} - V_x)}{dt} \quad (3.30)$$

$$(C_S + C_{boot}) \frac{dV_x}{dt} \approx C_{boot} \frac{dV_{out}}{dt} \quad (3.31)$$

$$\frac{dV_x}{dt} \approx \frac{C_{boot}}{(C_S + C_{boot})} \cdot \frac{dV_{out}}{dt} \quad (3.32)$$

อินทิเกรตทั้งสองข้างของสมการที่ 3.32 จะได้เป็น

$$\int_{V_{DD}-V_{T3}}^{V_x} dV_x = \frac{C_{boot}}{(C_S + C_{boot})} \cdot \int_{V_{OL}}^{V_{DD}} dV_{out} \quad (3.33)$$

$$V_x = (V_{DD} - V_{T3}) + \frac{C_{boot}}{(C_S + C_{boot})} (V_{DD} - V_{OL}) \quad (3.34)$$

ถ้าค่าของคาปาซิเตอร์  $C_{boot}$  สูงกว่า  $C_S$  มากมากแล้ว ( $C_{boot} \gg C_S$ ) ค่าแรงดันไฟฟ้าที่มากที่สุดของ  $V_x$  จะมีค่าประมาณ ดังนี้

$$V_x(\max) = 2V_{DD} - V_{T3} - V_{OL} \quad (3.35)$$

ซึ่งพิสูจน์ได้ว่า การใช้เทคนิคบูตสเตรปมีผลในการเพิ่มระดับ แรงดันไฟฟ้าที่จุด  $V_x$  ระดับแรงดันไฟฟ้า ที่จุด  $V_x$  ที่มีค่าน้อยที่สุด เพื่อที่จะทำให้แรงดันเทรซโฮลที่ลดลงสามารถกลับขึ้นมาได้อีกครั้งหนึ่ง จะเป็นดังนี้

$$V_x(\min) = V_{DD} + V_{T2} |_{V_{out}=V_{DD}} \quad (3.36)$$

$$= (V_{DD} - V_{T3}(V_x)) + \frac{C_{boot}}{(C_S + C_{boot})} (V_{DD} - V_{OL}) \quad (3.37)$$

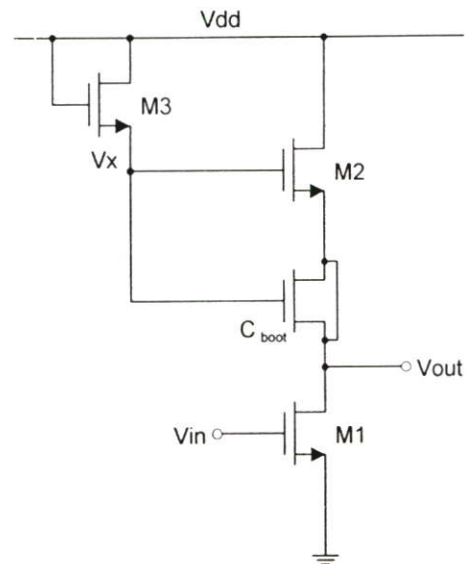
สมการที่ (3.37) สามารถจัดรูปให้อยู่รูปอัตราส่วนระหว่าง  $C_{boot} : C_S$  ได้ดังนี้

$$\frac{C_{boot}}{(C_S + C_{boot})} = \frac{V_{T2} |_{V_{out}=V_{DD}} + V_{T3} |_{V_x}}{(V_{DD} - V_{OL})} \quad (3.38)$$

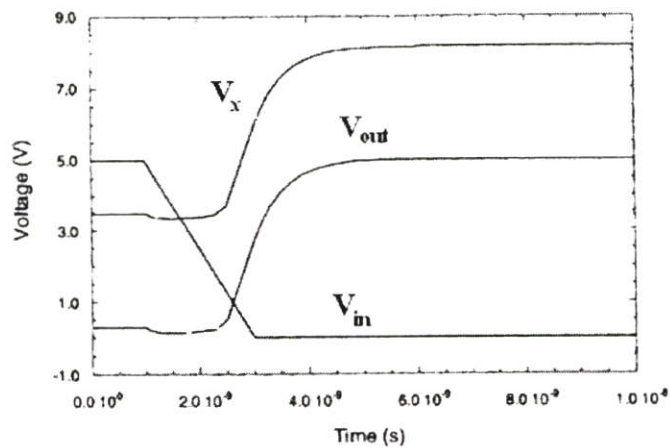
$$\frac{C_{boot}}{C_S} = \frac{V_{T2} |_{V_{out}=V_{DD}} + V_{T3} |_{V_x}}{V_{DD} - V_{OL} - V_{T2} |_{V_{out}=V_{DD}} - V_{T3} |_{V_x}} \quad (3.39)$$

$C_S$  เป็นผลรวมของค่าคาปาซิแตนซ์ที่ source-to-substrate ของ มอสทรานซิสเตอร์ M3 และ ค่าคาปาซิแตนซ์ที่ gate-to-substrate ของ M2 โดยที่ค่าคาปาซิแตนซ์ ของ  $C_{boot}$  ต้องมีค่ามากกว่า  $C_S$  มาก รูปที่ 3.12 เป็นการสมมติให้มอสทรานซิสเตอร์เป็น  $C_S$  และ  $C_{boot}$

โดยที่ครน และ ซอร์สจะถูกต่อเข้าด้วยกัน นำไปต่อเข้ากับวงจรระหว่าง จุด  $V_x$  กับจุด  $V_{out}$  วงจรที่เพิ่มวงจรบูตสเตรปเข้าไปจะมีประสิทธิภาพเพิ่มขึ้นดังในรูปที่ 3.13



รูปที่ 3.12 บูตสเตรปคาปาซิเตอร์ โดยที่สมมติเป็น โมสทรานซิสเตอร์



รูปที่ 3.13 แรงดันไฟฟ้าที่วัดได้จากวงจรในรูปที่ 3.12

### 3.5 สรุป

บทนี้ได้กล่าวถึงทฤษฎีของวงจรไบซีมอส วงจรไดนามิก และเทคนิคในการออกแบบวงจรบูตสเตรปไบซีมอส

## บทที่ 4

# วงจรฟูล-สวิงบูตสเตรปไดนามิกไบซิมอสความเร็วสูง

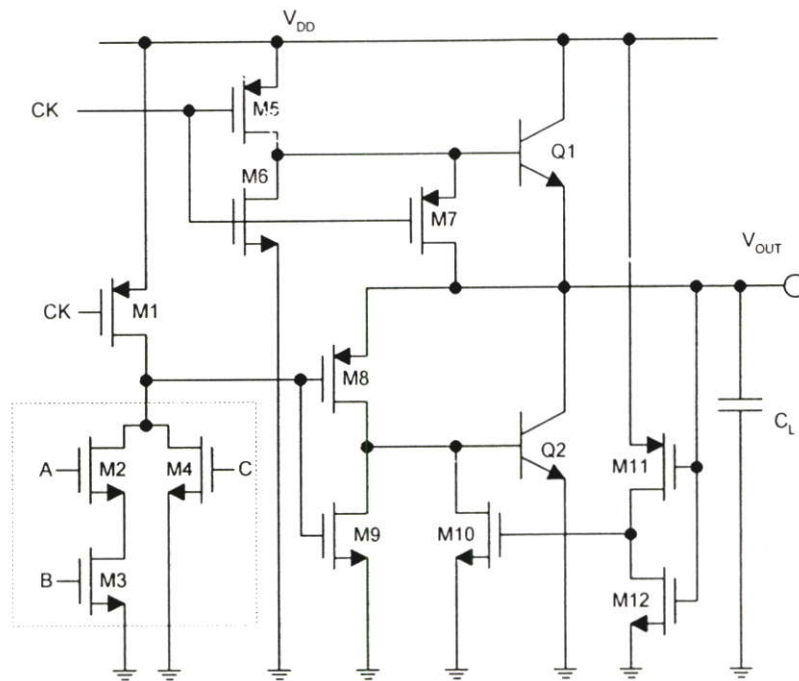
### 4.1 บทนำ

เทคโนโลยี ไบซิมอส ถูกนำมาใช้อย่างกว้างขวาง โดยนำมาใช้กับวงจรหน่วยความจำ วงจร VLSI เพื่อเพิ่มประสิทธิภาพให้สูงขึ้น เนื่องจากมีความเร็วสูง และกินพลังงานต่ำ [6] วงจร Static ไบซิมอส การออกแบบวงจรต้องการอุปกรณ์สำหรับ ฟังก์ชันลอจิก ต่างๆ ต้องการพื้นที่ในชิพ, สิ้นเปลืองพลังงานสูง, และทำให้ประสิทธิภาพในการทำงานลดลง แต่ปัญหาทั้งหมดสามารถแก้ไขได้โดยใช้เทคนิค วงจรแบบไดนามิก [1-2] วงจรไดนามิกจะทำให้วงจรมีขนาดเล็กลง และมีประสิทธิภาพสูงขึ้น จุดประสงค์ในการออกแบบวงจร ดิจิตอล มุ่งหวังที่ความเร็ว และการสิ้นเปลืองพลังงานของวงจรเป็นหลัก กระบวนการที่จะลดการสิ้นเปลืองพลังงานคือ การลดระดับสัปดาห์ไฟเลี้ยงของวงจร [6] ซึ่งผลที่ตามมาหลังจากที่ลดระดับไฟเลี้ยงวงจร คือ ทำให้วงจรลดสัญญาณที่จะขับวงจรลง ในบทความที่ได้นำเสนอมา [1-2] ได้นำเสนอ วงจร ไดนามิกไบซิมอส แต่บทความที่นำเสนอยังไม่สามารถทำงานที่สัปดาห์ไฟเลี้ยงต่ำได้อย่างมีประสิทธิภาพ เทคนิควงจร ไดนามิก ที่สัปดาห์ไฟเลี้ยงต่ำได้ถูกนำเสนอในบทความ [3-5] ด้วยเทคนิคที่แตกต่างกัน วงจร ไดนามิกไบซิมอส ถูกปรับปรุงแก้ไขโดยนำเสนอเทคนิคและแสดงในบทความ [2] โดยใช้เทคนิค ควอไซ คอมพลีเมนต์ทารี [4] และ ใช้ transient saturation เทคนิค [5] ทำให้ได้ประสิทธิภาพที่ดียิ่งขึ้น และสามารถทำงานได้โดยใช้สัปดาห์ไฟฟ้าที่ 1.5 โวลท์

สำหรับที่สัปดาห์ไฟเลี้ยงต่ำ วงจรจะไม่สามารถขับโหลดที่มีค่าความจุ สูงได้ และไม่สามารถที่จะได้สัญญาณที่เต็มย่าน (Full-swing) ของ กำลังสัปดาห์ไฟเลี้ยง เพราะว่า เทคนิค ควอไซ คอมพลีเมนต์ทารี ในวิทยานิพนธ์นี้ ได้แสดงถึง วงจร ไดนามิก ไบซิมอส ที่มีความเร็วสูง กับ Full-swing วงจร บูตสเตรปไดนามิกไบซิมอส มีความเร็วที่สูงกว่า สัญญาณที่ส่งออกมา สามารถ ฟูล-สวิง ที่ระดับสัปดาห์ไฟเลี้ยง วิทยานิพนธ์ที่นำเสนอนี้ เป็นวงจรที่ทำงานได้ดีในระดับสัปดาห์ไฟฟ้าที่ 1.5 โวลท์

## 4.2. วงจรไดนามิกไบซีเอ็มอสชนิด N

ในบทความที่ผ่านมา [2] ได้นำเสนอ วงจร ไดนามิก ไบซีเอ็มอส ชนิด N (N-type BiCMOS dynamic) แสดงในรูปที่ 4.1



รูปที่ 4.1 วงจร ไดนามิก ไบซีเอ็มอส ชนิด N

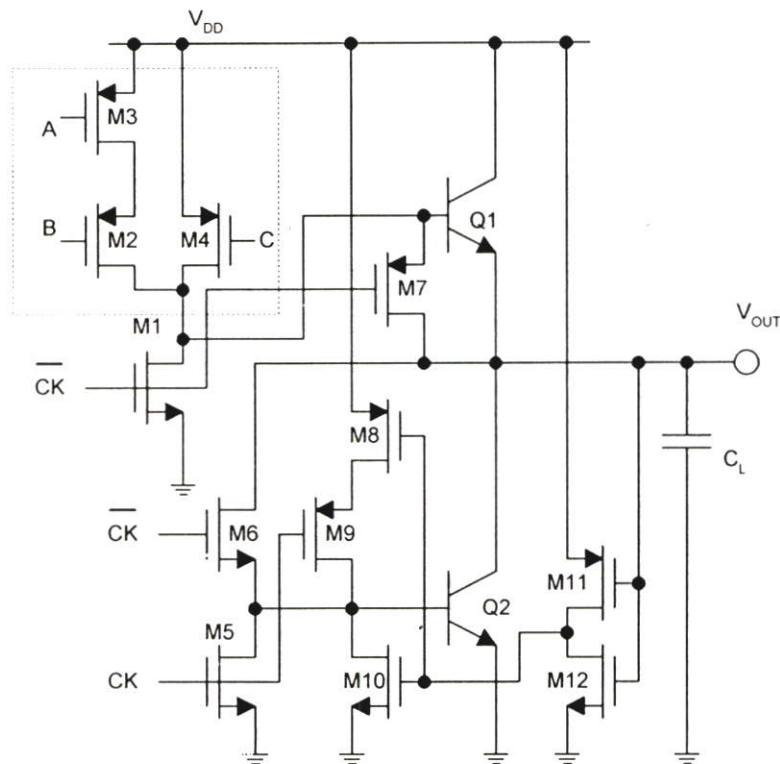
วงจรในรูปที่ 4.1 คือ วงจร ไดนามิก ไบซีเอ็มอส ชนิด N ออกแบบโดยใช้พื้นฐาน ควอไซ คอมพลีเมนต์ทารี เทคนิค กับ Fall down driver การทำงานของวงจรอธิบายได้ดังนี้

ในช่วงเริ่มต้น สัญญาณ นาฬิกา(CK) จะมีค่าเป็น low และสัญญาณ ที่ขา เกต ของ M1, M5, M6 และ M7 จะเป็น low ด้วย โดยที่ M5, M7 และ M9 จะสามารถทำงานได้ และสัญญาณที่ได้เป็น low ทรานซิสเตอร์ M5, M7 และ M9 ทำงานและจะทำให้ Q1 ทำงาน ทำการประจุโหลดคาปาซิเตอร์ จนไปถึงระดับศักดาไฟเลี้ยง ( $V_{DD}$ ) และ Q2 ไม่ทำงาน

ที่ช่วงถัดไป สัญญาณ นาฬิกาเป็น high และสัญญาณ นาฬิกาที่ขา เกต ของ M1, M5, M6 และ M7 เป็น high ทำให้ M6 ทำงาน ภายประจุที่ Q1 Q1 หยุดทำงาน ถ้าสัญญาณมีการเปลี่ยนแปลงที่ อินพุต A, B และ C จะทำให้ M8 และ Q2 หยุดการคายประจุ ที่โหนดคาปาซิเตอร์ ที่ เอาท์พุท สัญญาณจะลดลงจนเป็น low และจะทำให้ M11 ทำงาน และ M10 ทำงาน ประจุ ที่โหนดคาปาซิเตอร์ ที่ Q2 Q2 หยุดทำงาน

### 4.3. วงจรไดนามิกไบซีมอสชนิด P

ในบทความที่ผ่านมา [2] ได้นำเสนอ วงจร ไดนามิก ไบซีมอส ชนิด P (P-type BiCMOS dynamic circuit) แสดงในรูปที่ 4.2



รูปที่ 4.2 คือ วงจร ไดนามิก ไบซีมอส ชนิด P

วงจรในรูปที่ 4.2 คือ วงจร ไดนามิก ไบซีมอส ชนิด P บนพื้นฐานของเทคนิค Transient Saturation กับ fall down driver การทำงานของวงจรอธิบายได้ดังนี้

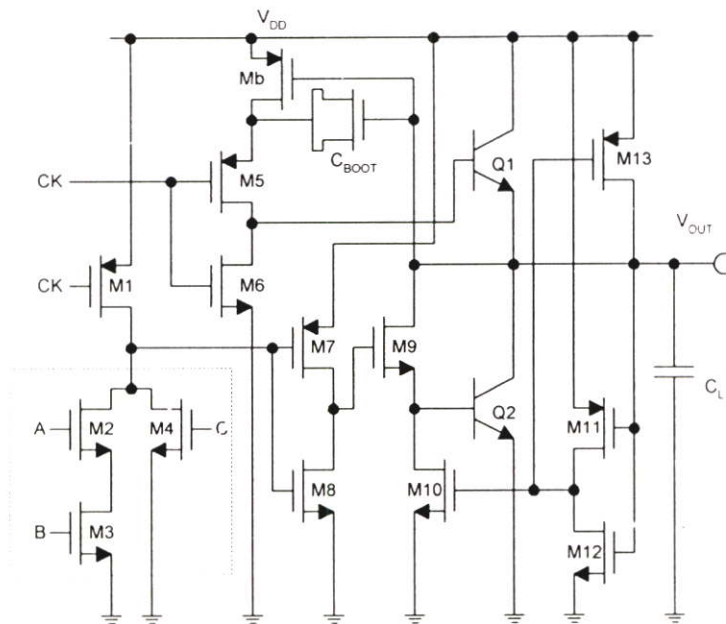
ในช่วงเริ่มต้น สัญญาณนาฬิกา(CK) เป็น low และ M9 ทำงาน ถ้าสัญญาณก่อนหน้าเป็น high Q2 หยุดการทำงาน เนื่องจาก M12,M8 และ M9 สัญญาณ นาฬิกาที่ขา เกต ของ M1, M6 และ M7 เป็น high ทำให้ M1 และ M6 ทำงาน ทำการคายประจุ ที่โหนดคาปาซิเตอร์ จนเป็น 0 และทั้ง Q2 และ Q1 ไม่ทำงาน ที่ เอาท์พุทศักดาไฟฟ้าจะตกเป็น low M10 และ M11 ทำงาน เพื่อแยกขา เบส ของ Q2 ซึ่งเป็นหลักการของเทคนิค transient saturation M6 และ M10 จะยังคงทำงานต่อไป จนกระทั่งสัญญาณที่ เอาท์พุทจะเป็น 0

ที่ช่วงถัดไป สัญญาณนาฬิกา เป็น high M9 หยุดการทำงาน และ M5 คายประจุ ที่ขา เบส ของ Q2 และทำให้ Q2 หยุดทำงาน

สัญญาณนาฬิกา ที่ขา เกต ของ M1, M6 และ M7 เป็น low M6 และ M1 หยุดการทำงาน แต่ M7 ยังคงทำงานต่อไป ถ้าสัญญาณที่ อินพุต A, B และ C เปลี่ยนแปลง Q1 จะทำงาน และทำการ ประจุ โหนดคาปาซิเตอร์ จนถึง  $V_{DD}$  ที่ เอาท์พุท สัญญาณเป็น high จนกระทั่ง M12 ทำงาน, M8 เริ่ม กลับมาทำงานอีกครั้ง แต่ Q2 ไม่ทำงาน เพราะว่า M9 หยุดทำงานเอาไว้

#### 4.4. วงจรบูตสแตรปไดนามิกไบซีมอสชนิด N ที่นำเสนอ

วงจรบูตสแตรปไดนามิกไบซีมอส ชนิด N (N-Type Bootstrapped BiCMOS Dynamic Circuit) ที่นำเสนอในวิทยานิพนธ์นี้ แสดงไว้ในรูปที่ 4.3



รูปที่ 4.3 วงจรบูตสแตรปไดนามิกไบซีมอส ชนิด N

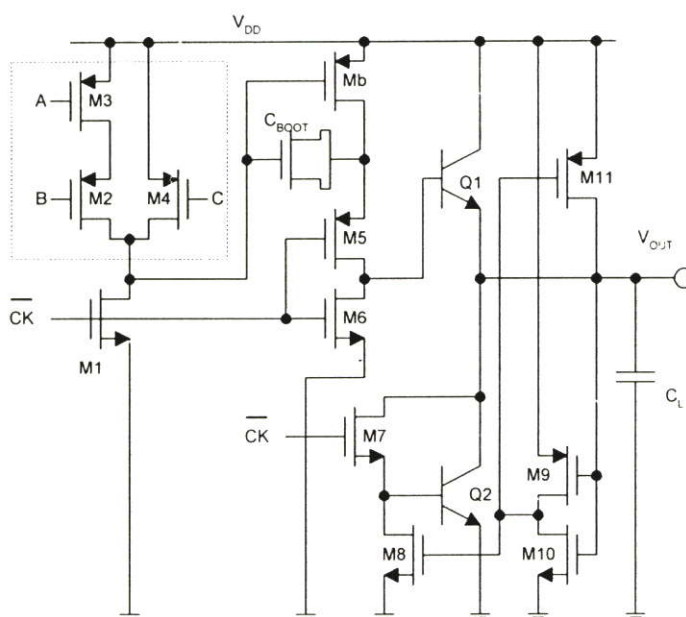
วงจรมุขสเตรปไดนามิกไบซีมอส ชนิด N ใช้เทคนิค บุคสเตรปพร้อมกับ rise up driver การทำงานของวงจรรออธิบายได้ดังนี้

ในช่วงเริ่มต้น สัญญาณนาฬิกา(CK) เป็น low สัญญาณนาฬิกา ที่ขา เกต ของ M1, M5 และ M6 เป็น low M8 ทำงาน M9 และ Q2 ยังไม่ทำงาน แต่ M5 ทำงาน และ Q1 ทำงาน ทำการ ประจุ โหลด คาปาซิเตอร์ จนถึงค่า  $V_{DD}$  ที่แรงดันที่ขา เบส ของ Q1 มีค่าเท่ากับผลรวมของแรงดันที่ เอาท์พุท และ สักคาไฟฟ้าคล่อม  $C_{boot}$

ที่ช่วงถัดไป สัญญาณนาฬิกาเป็น high สัญญาณนาฬิกาที่ขา เกต ของ M1, M5 และ M6 เป็น high, M6 ทำงาน คาบประจุ ที่ขา เบส ของ Q1 Q1 หยุดการทำงาน ถ้าสัญญาณ อินพุต A, B และ C เปลี่ยนแปลง M6 และ M9 ทำงาน และเป็นผลให้ Q2 คายประจุ โหลดคาปาซิเตอร์  $C_{boot}$  จะ ถูก ลัดวงจรไปยังที่ ระดับสักคาไฟเลี้ยง  $C_{boot}$  จะทำการ ประจุ ผ่านทาง M6 จนกระทั่งสักคาไฟฟ้ามีค่า เท่ากับ  $V_{DD}$  ที่ เอาท์พุท สัญญาณเป็น low จนกระทั่ง M11 ทำงาน และจะทำให้ M10 ทำงาน คาย ประจุ ที่ขา เบส ของ Q2 Q2 หยุดทำงานที่เอาท์พุท สัญญาณจะยังคงอยู่ที่ 0 เพราะว่า M9 และ 10 ทำงานอยู่

#### 4.5. วงจรมุขสเตรปไดนามิกไบซีมอสชนิด P ที่นำเสนอ

วงจรมุขสเตรปไดนามิกไบซีมอส ชนิด P (P-Type Bootstrapped BiCMOS Dynamic Circuit) ที่นำเสนอในวิทยานิพนธ์นี้ แสดงไว้ในรูปที่ 4.4



รูปที่ 4.4 วงจร บุคสเตรปไดนามิกไบซีมอส ชนิด P

วงจรบูตสเตรปไดนามิกไบซีมอส ชนิด P ใช้เทคนิค บูตสเตรปร่วมกับ rise up driver หลักการทำงานของวงจรสามารถอธิบายได้ดังนี้

ในช่วงเริ่มต้น สัญญาณนาฬิกา(CK) เป็น low แต่สัญญาณนาฬิกา ที่ขา เกต ของ M1, M5, M6 และ M7 เป็น high M1, M6 และ M7 ทำงาน และทำให้ Q2 ภายประจุโพลคาปาซิเตอร์ จนถึง 0 เพราะ M7 และ M8 ทำงานที่ M1 ทำงาน  $C_{boot}$  จะต่อกับศักดาที่ไฟเลี้ยง และ จะ ประจุ ผ่านทาง M6 และ M1 จนถึง VDD

ที่ช่วงถัดไป สัญญาณนาฬิกา เป็น high แต่ที่ขา เกต ของ M1, M5, M6, และ M7 เป็น low M5 จะทำงาน และขณะเดียวกัน M1, M6, M7, และ Q2 จะไม่ทำงาน

ถ้าสัญญาณที่ อินพุต A, B และ C เปลี่ยนแปลง Q1 ทำงานผ่านทาง M5 และ ประจุโพลคาปาซิเตอร์ จนถึง  $V_{DD}$  และแรงดันที่ขา เบส ของ Q1 เป็นผลรวมแรงดันระหว่าง  $V_{DD}$  และแรงดันตกคร่อม  $C_{boot}$

#### 4.6. ประสิทธิภาพของวงจรที่พัฒนาขึ้น

ผลการทดลองที่ออกมาทั้งหมด ได้ใช้โปรแกรม PSpice ในการเลียนแบบการทำงาน บน พื้นฐานไบซีมอส 0.35  $\mu\text{m}$  มาตรฐานของ MOSIS ค่าตัวแปร ของ ไบโพลาร์ทรานซิสเตอร์ ได้แสดงไว้ในตารางที่ 1 ค่าศักดาเทรคโวลต์ของซีมอสทรานซิสเตอร์ เป็น 0.5 โวลต์ ประสิทธิภาพถูกเปรียบเทียบกับค่าการหน่วงเวลา ของ วงจร ไดนามิก ไบซีมอส ชนิด N,P ในบทความที่ผ่านมา [2] กับการนำเสนอ วงจรบูตสเตรป ไดนามิก ไบซีมอส ชนิด N,P ในวิทยานิพนธ์นี้

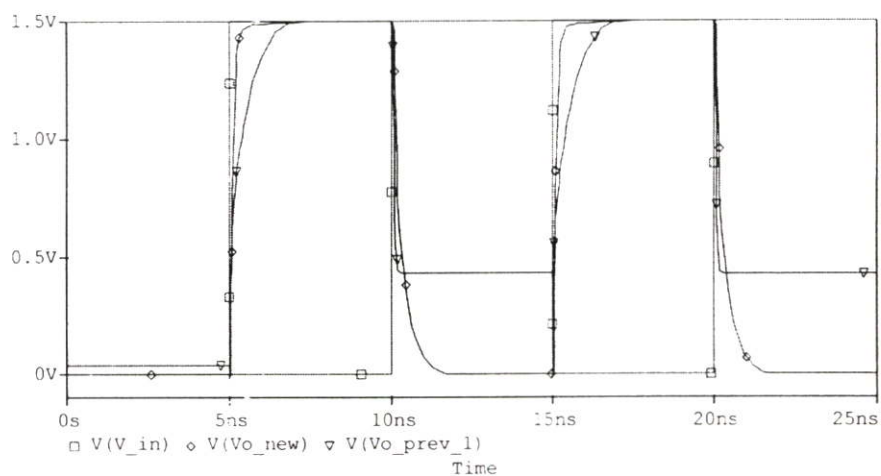
ตารางที่ 4.1 ค่าตัวแปร ของ ไบโพลาร์ทรานซิสเตอร์สำหรับวงจรในบทความนี้

Bipolar	NPN	PNP
IS	100E-14	100E-14
BF	89	89
CJE	23.8E-15F	12.4E-15F
CJC	16.8E-15F	10.6E-15F
RB	250 $\Omega$	300 $\Omega$
RE	25 $\Omega$	25 $\Omega$
RC	42 $\Omega$	42 $\Omega$

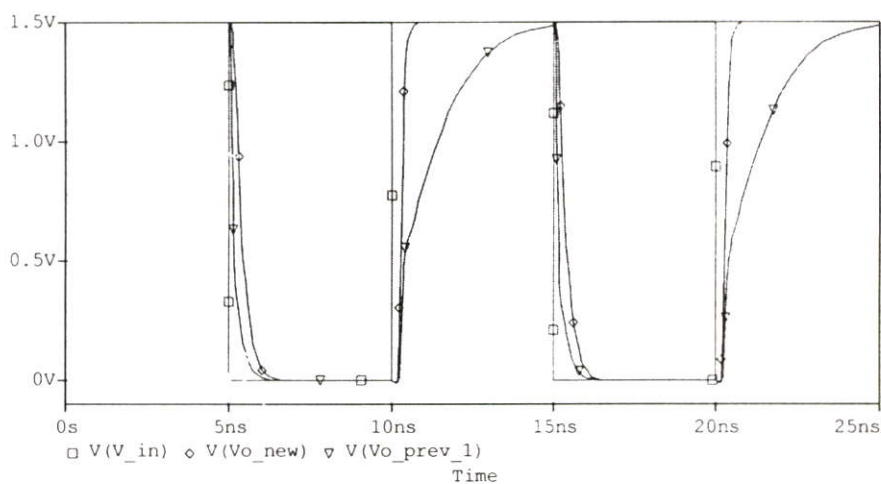
กำหนดให้ค่า W ของ ีเอ็มมอสทรานซิสเตอร์ ทั้งหมด มีค่าเท่ากับ 1.0  $\mu\text{m}$  ยกเว้นเอ็มมอสทรานซิสเตอร์ ที่ตัวขั้วมีค่าเท่ากับ 10.0  $\mu\text{m}$  กำหนดให้ค่า W ของ พีเอ็มมอสทรานซิสเตอร์ ทั้งหมด

เท่ากับ  $2.8 \mu\text{m}$  ยกเว้นที่มอสทรานซิสเตอร์ ที่ตัวขับ มีค่าเท่ากับ  $10.0 \mu\text{m}$  บุตสเตรปคาแพชิตันท์ ( $C_{\text{boot}}$ ) เป็น  $200 \text{ fF}$ , ระดับสัปดาห์ไฟเลี้ยงมีค่าเท่ากับ  $1.5 \text{ โวลต์}$  โหลดคาปาซิแตนซ์เป็น  $1 \text{ pF}$  สัญญาณนาฬิกา(CK) ที่ใช้ในวงจร =  $100 \text{ MHz}$

เอาต์พุต ของ วงจรไดนามิก ไบซีมอส ชนิด N และ วงจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N แสดงในรูปที่ 4.5 เอาต์พุต ของ วงจรไดนามิก ไบซีมอส ชนิด P และวงจรบูตสเตรป ไดนามิก ไบซีมอสชนิด P แสดงในรูปที่ 4.6 ผลการเลียนแบบการทำงานของทั้ง 2 รูปใน รูปที่ 4.5 และรูปที่ 4.6 ใช้สัปดาห์ไฟเลี้ยงที่  $1.5 \text{ โวลต์}$  กับ โหลดคาปาซิแตนซ์ที่  $1 \text{ pF}$



รูปที่ 4.5 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N



รูปที่ 4.6 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P

รูปที่ 4.5 และรูปที่ 4.6 แสดงถึง การนำเสนอความเร็วที่สูงกว่าของ วงจรบูตสเตรป ไดนามิก ไบซิมอสชนิด N และ P เมื่อเปรียบเทียบกับ วงจร ไดนามิก ไบซิมอส ชนิด N และ P

สัญญาณเอาต์พุต ที่แสดงในบทความที่ผ่านมา [2] ไม่สามารถทำให้ได้สัญญาณที่ Full-swing สำหรับทั้ง 2 แบบ คือ วงจรไดนามิก ไบซิมอส ชนิด N และ P

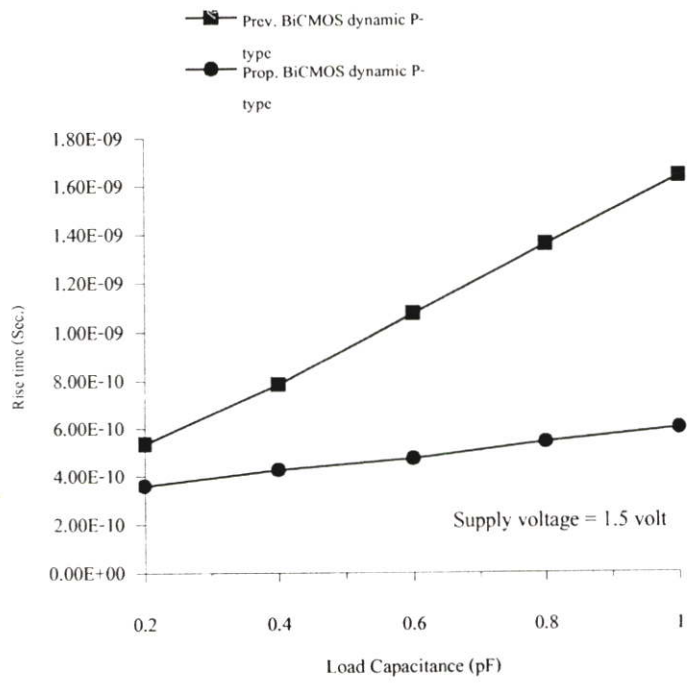
วงจรไดนามิก ไบซิมอส ชนิด N ไม่สามารถที่จะ สวิง ถึง 0 โวลต์ ค่าการหน่วงเวลา ของเอาต์พุต ของวงจรที่นำเสนอร่วมกับ rise up driver ดีกว่า วงจร ในบทความก่อนหน้า [2] สามารถอธิบายได้ในสมการดังนี้

$$I_C = C \frac{dv}{dt} \quad (4.1)$$

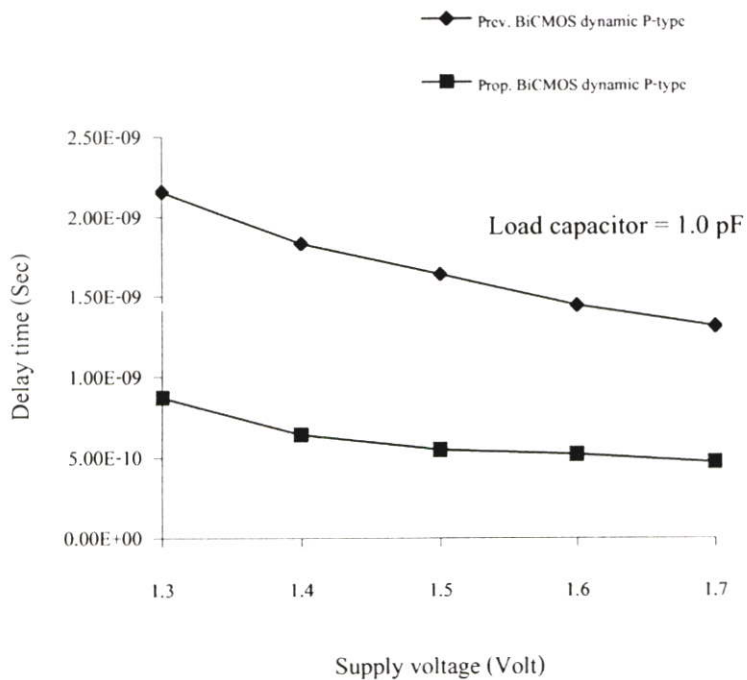
$$\begin{aligned} I_C &= \text{กระแสที่ ประจุไหลคาปาซิเตอร์} \\ C &= \text{โพลคาปาซิเตอร์} \\ \frac{dv}{dt} &= \text{อัตราการเปลี่ยนแปลงแรงดันกับเวลา} \end{aligned}$$

กำหนดให้ C คงที่ อัตราการเปลี่ยนแปลงของเวลาจะมีค่าเท่ากัน เพราะฉะนั้น การประจุ ของแรงดันที่ เอาต์พุต มีความสำคัญมากกว่า นั่นหมายความว่า ที่ค่า C เท่ากัน และค่าการหน่วงเวลา ของวงจร ในวิทยานิพนธ์นี้ มีค่าน้อยกว่า บทความที่ผ่านมา [2]

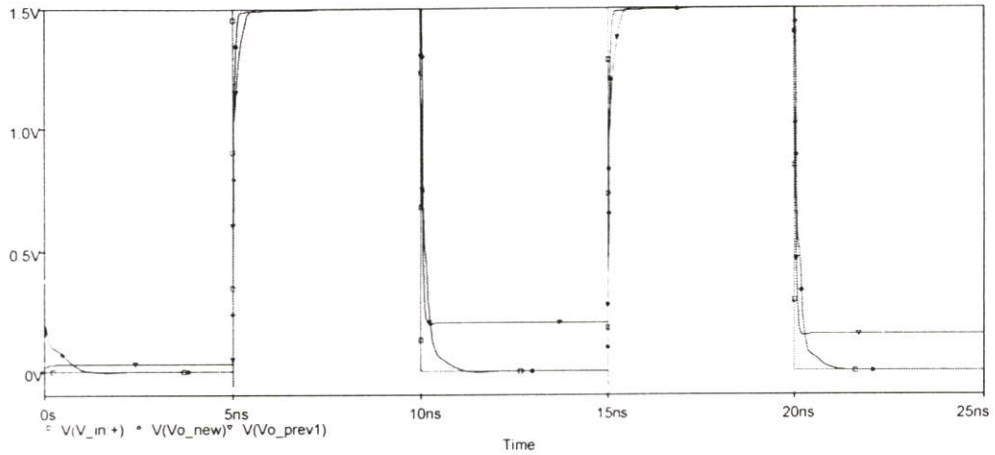
การเปรียบเทียบของค่าเฉลี่ย การหน่วงเวลา ของสัญญาณ เอาต์พุต สำหรับทั้งขอบขาขึ้น และ ขอบขาลง กับ โพลคาปาซิทิฟ ที่มีค่าต่าง ๆ กัน จาก 0.2 – 1.0 pF กับ สักคาไฟเลี้ยงที่ 1.5 โวลต์ รูปที่ 4.7 แสดงถึงการเปรียบเทียบของค่าเฉลี่ยของขอบขาขึ้นกับโพลคาปาซิเตอร์ของสักคาไฟเลี้ยงที่ 1.5 โวลต์ (ชนิด P เท่านั้น) รูปที่ 4.8 แสดงถึง การเปรียบเทียบค่าเฉลี่ย การหน่วงเวลา กับสักคาไฟเลี้ยงที่มีขนาดต่าง ๆ กัน กับที่โพลคาปาซิเตอร์ 1.0 pF (ชนิด P เท่านั้น)



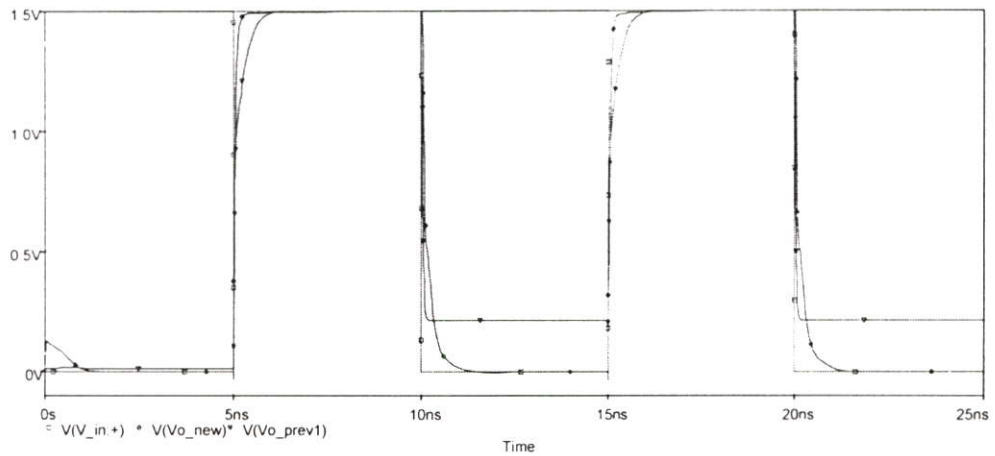
รูปที่ 4.7 ค่าเฉลี่ยของการเพิ่มขึ้นของเวลา กับ โหลดคาปาซิแตนซ์



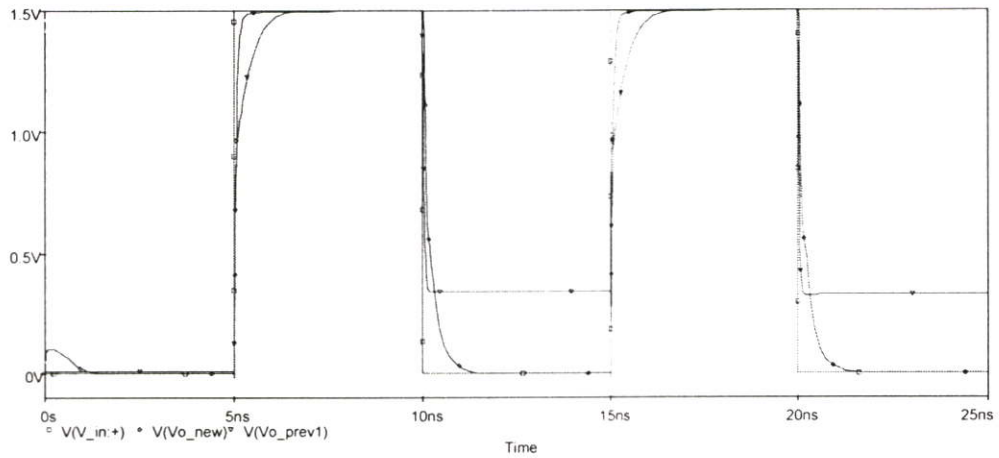
รูปที่ 4.8 ค่าเฉลี่ยของ การหน่วงเวลา กับ สักคาไฟเลี้ยง



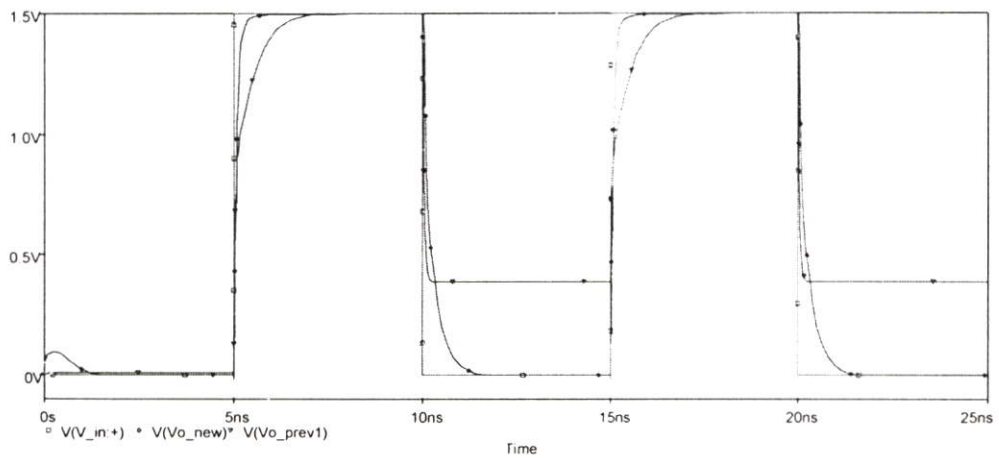
รูปที่ 4.9 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรบุดสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 0.2 pF



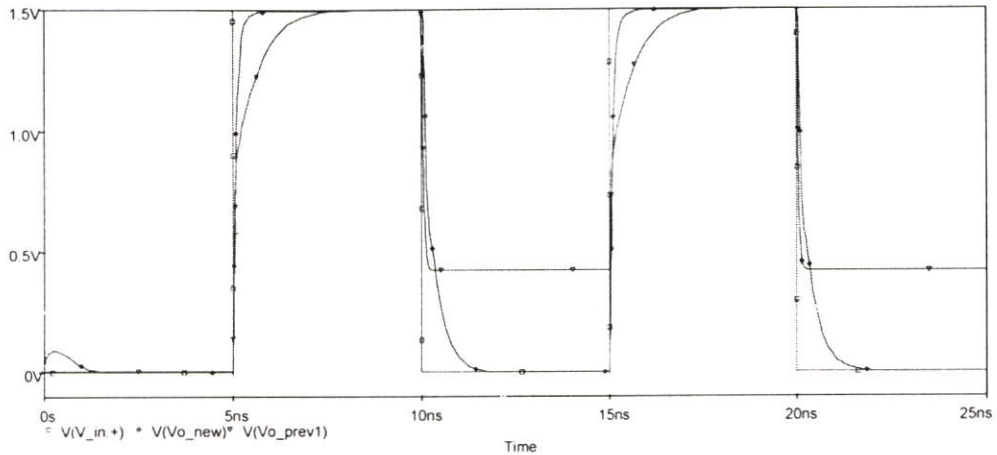
รูปที่ 4.10 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรบุดสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 0.4 pF



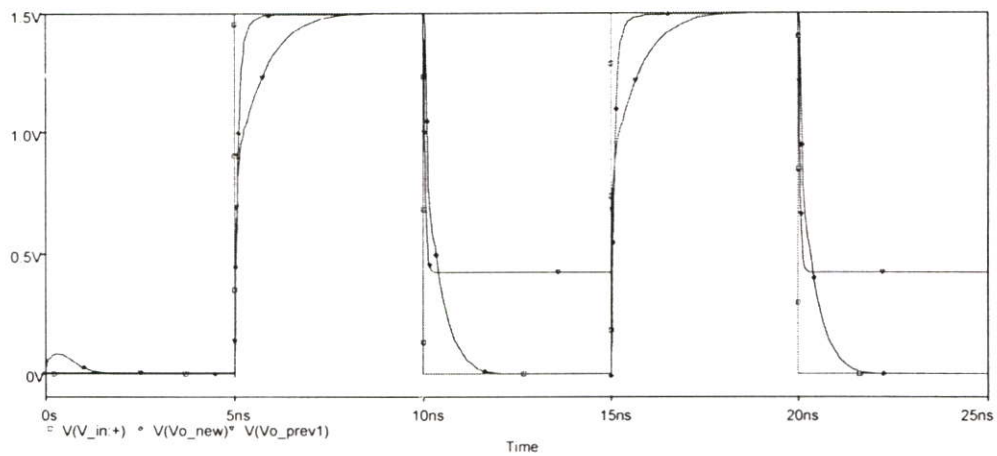
**รูปที่ 4.11** รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 0.6 pF



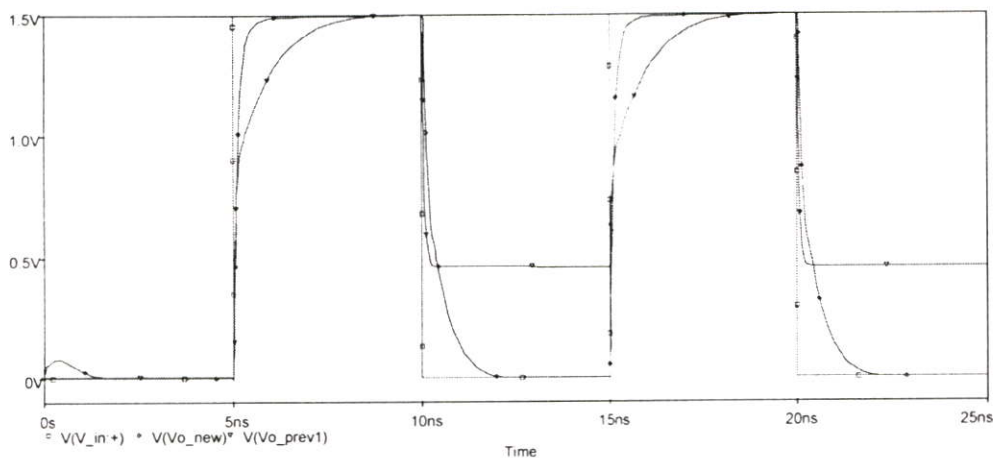
**รูปที่ 4.12** รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 0.8 pF



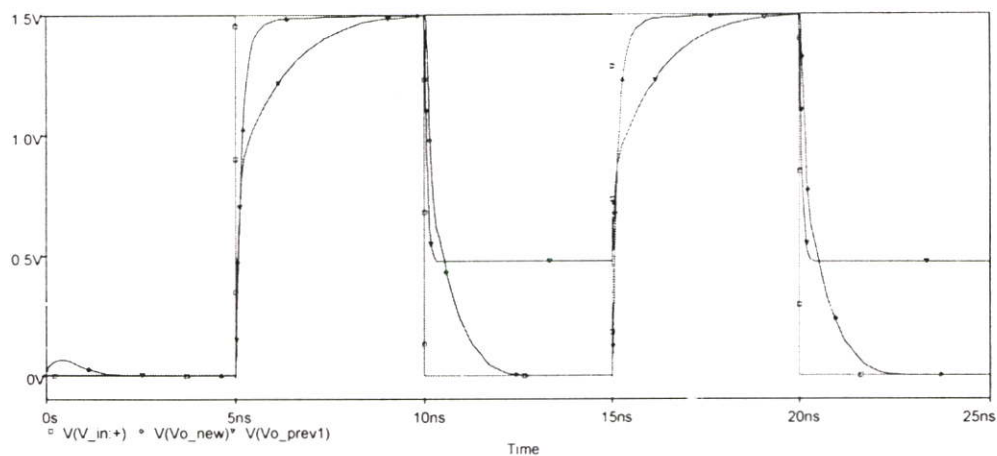
รูปที่ 4.13 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



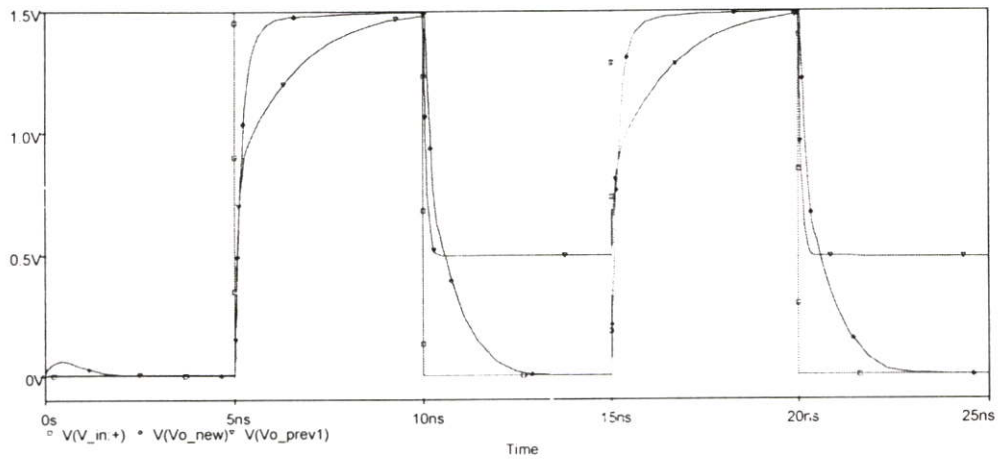
รูปที่ 4.14 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.2 pF



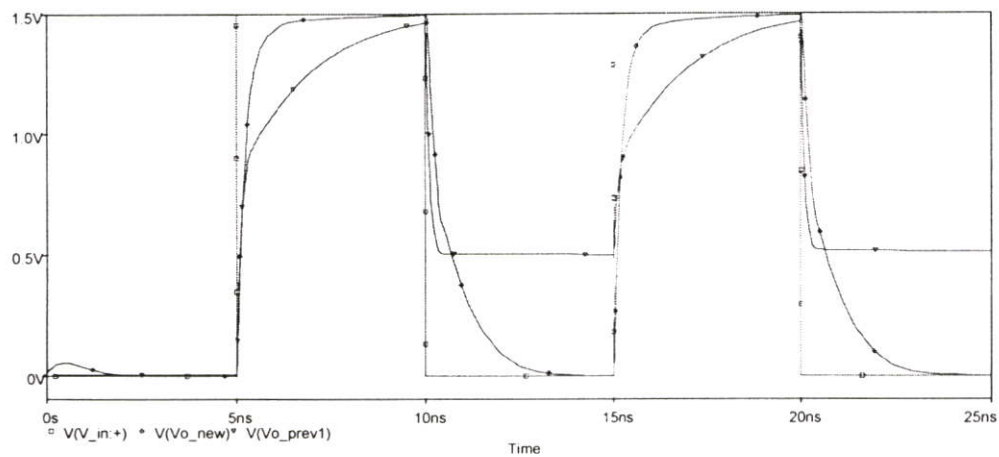
รูปที่ 4.15 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และโหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.5 pF



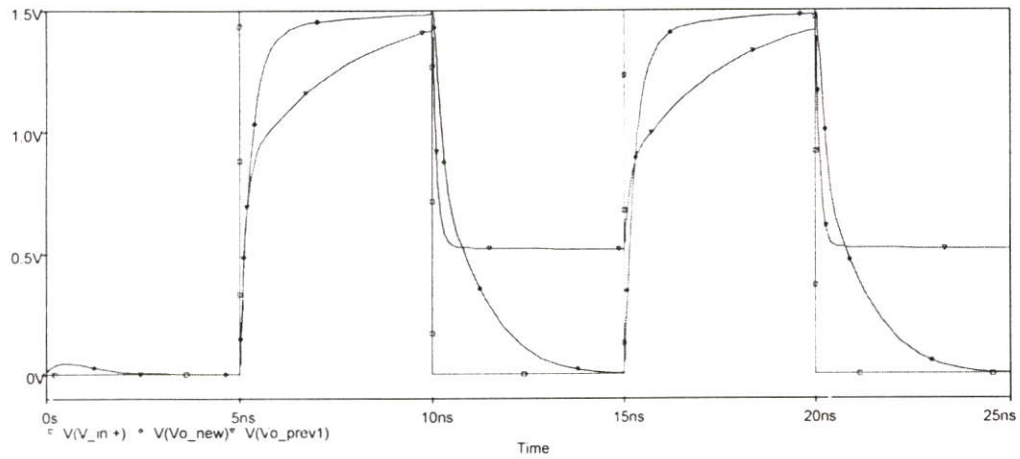
รูปที่ 4.16 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และโหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 2.0 pF



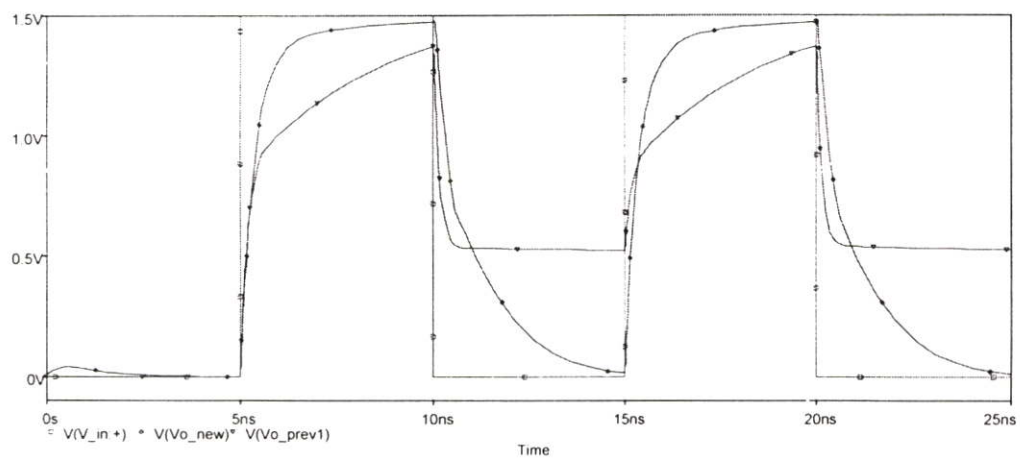
รูปที่ 4.17 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรมุขสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 2.5 pF



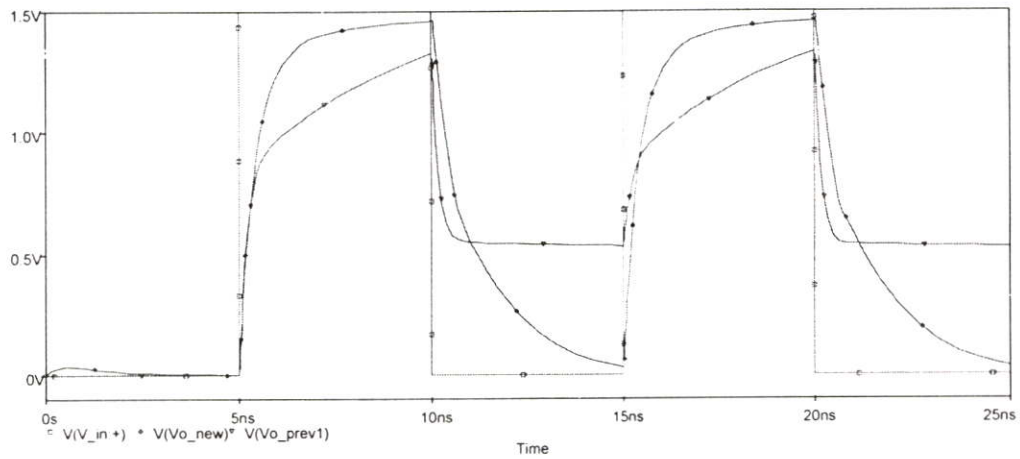
รูปที่ 4.18 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรมุขสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 3.0 pF



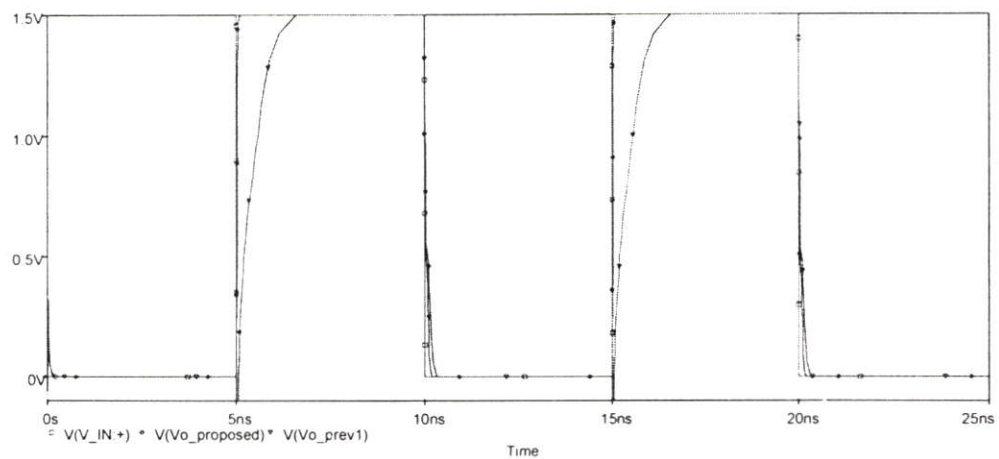
รูปที่ 4.19 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 4.0 pF



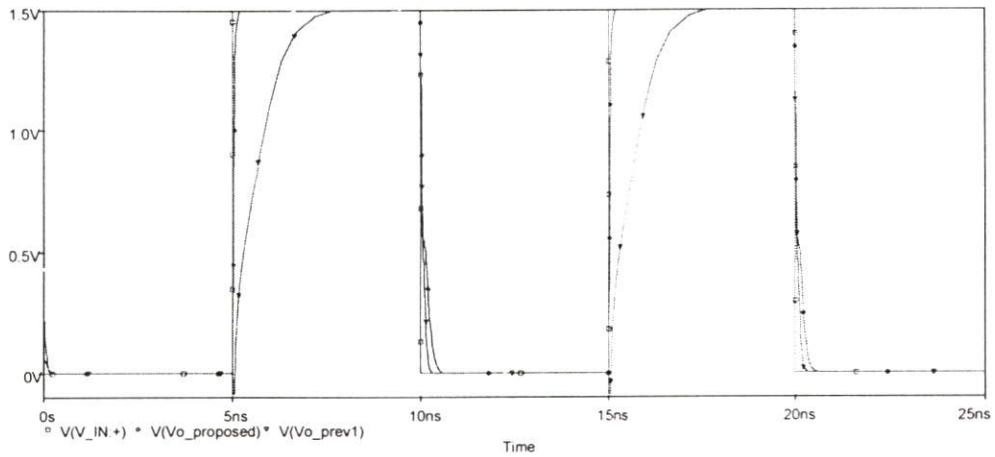
รูปที่ 4.20 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 5.0 pF



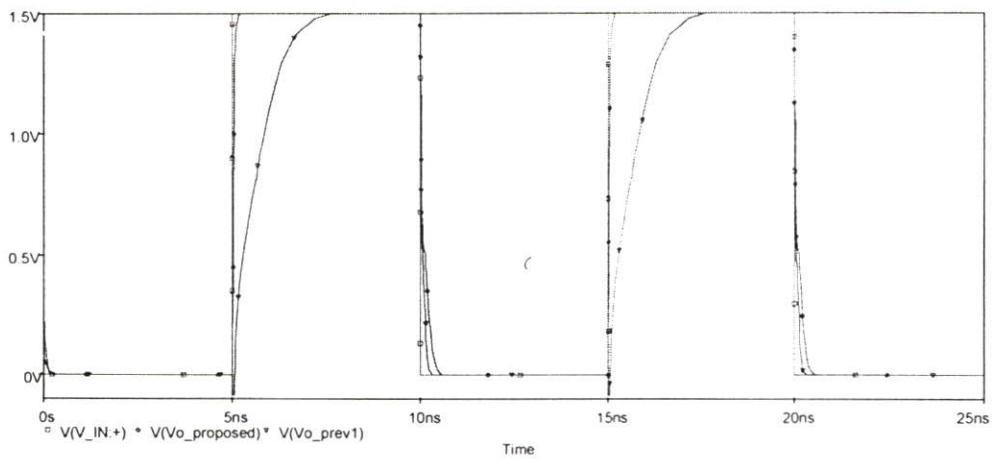
รูปที่ 4.21 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรบดสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 6.0 pF



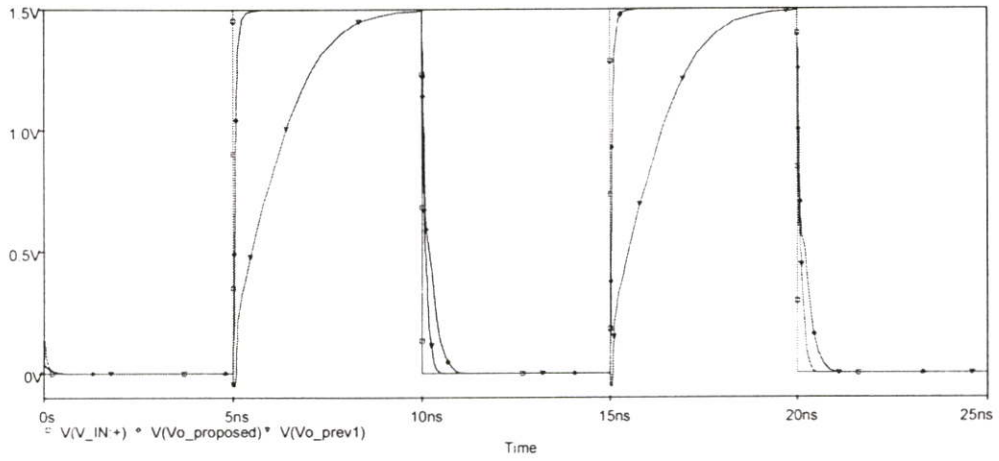
รูปที่ 4.22 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรบดสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 0.2 pF



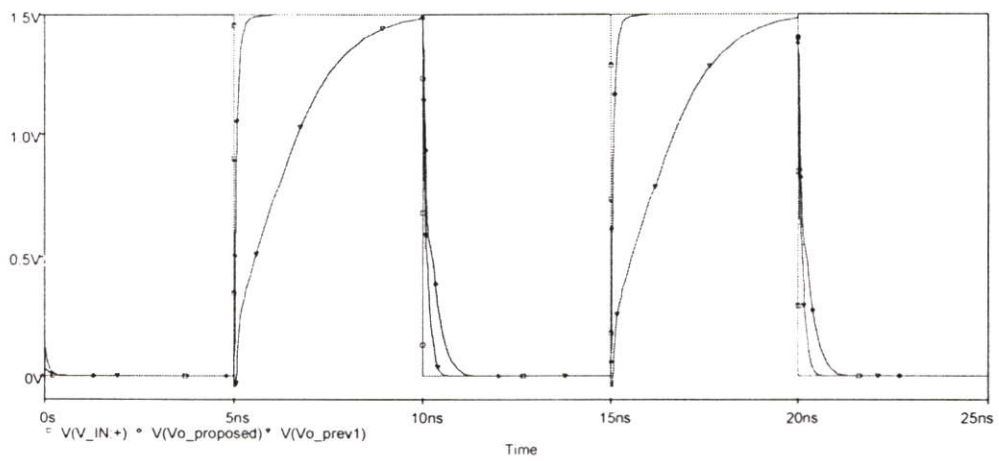
รูปที่ 4.23 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรมุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 0.4 pF



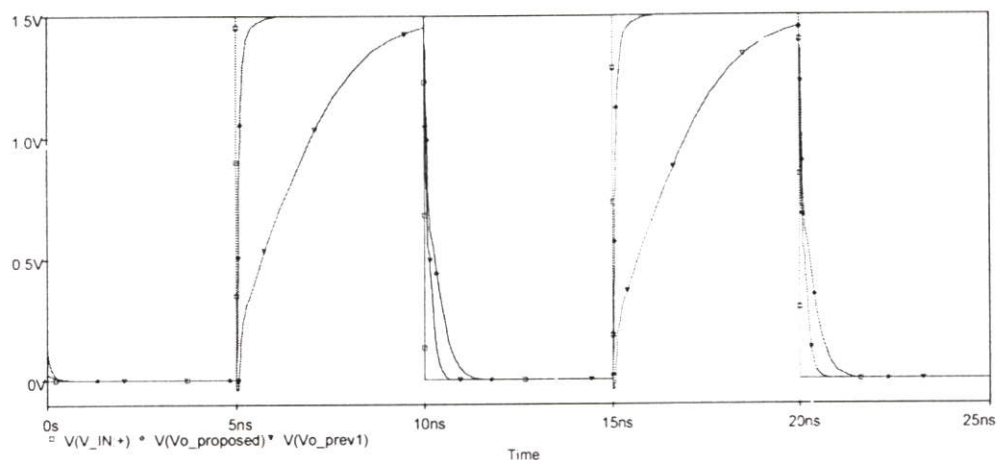
รูปที่ 4.24 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรมุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 0.6 pF



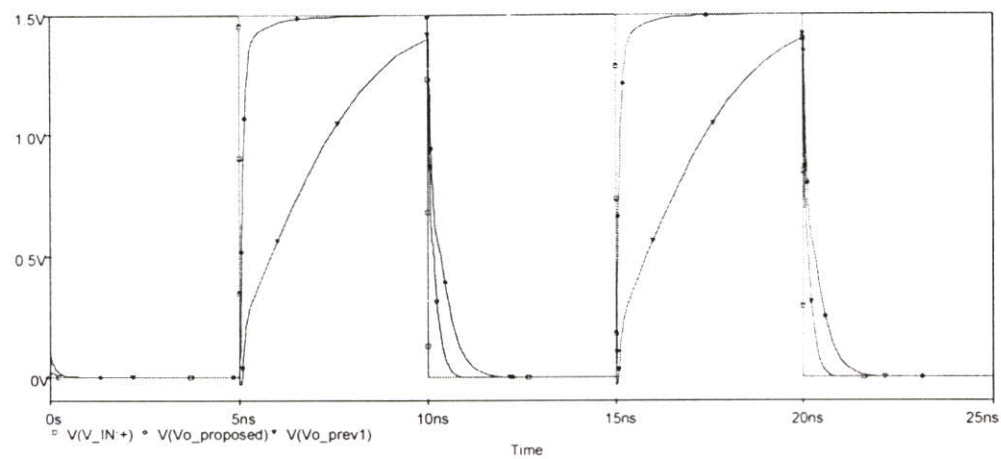
รูปที่ 4.25 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรบูตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 0.8 pF



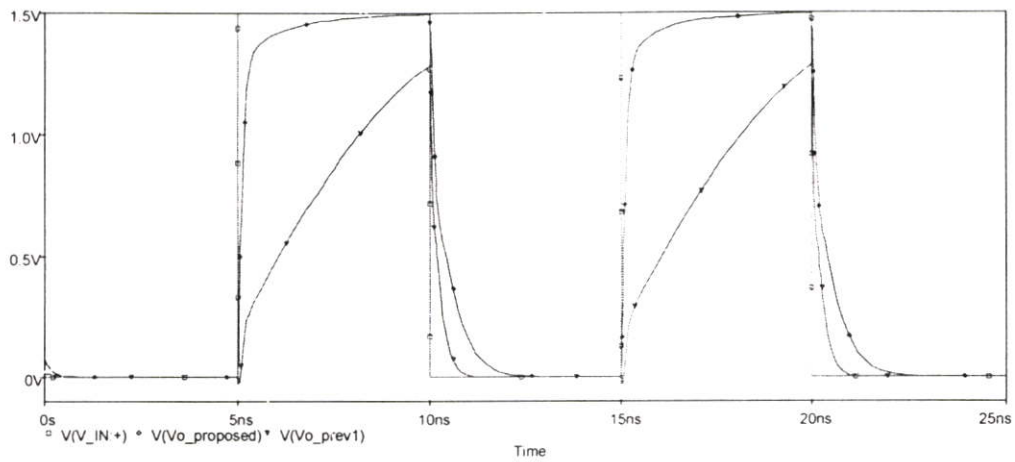
รูปที่ 4.26 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรบูตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



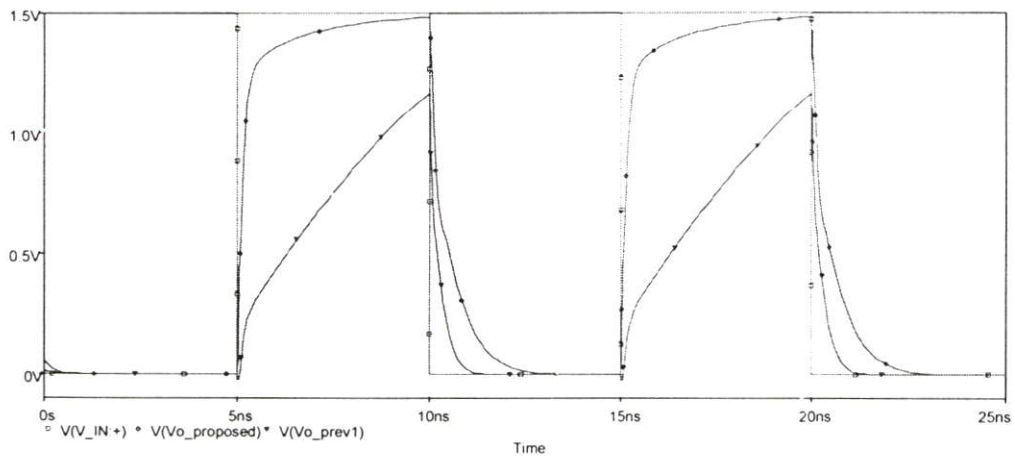
รูปที่ 4.27 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรบดสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.2 pF



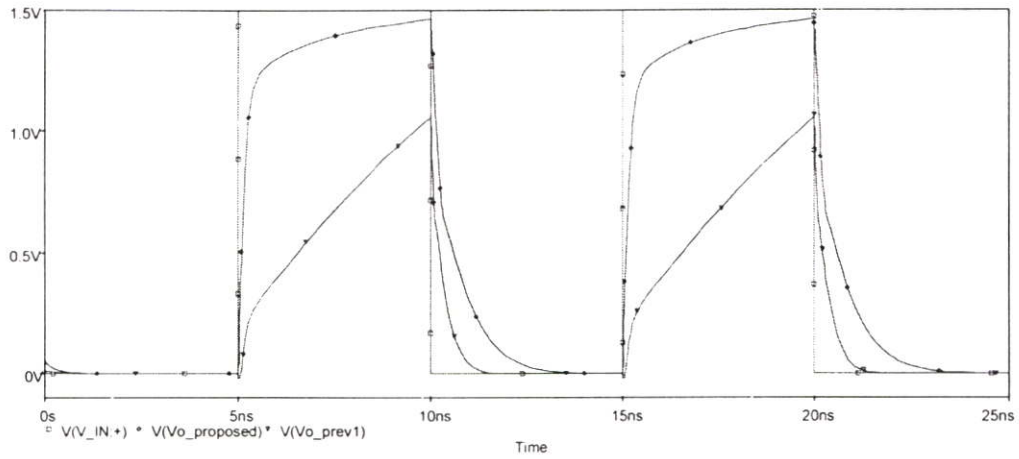
รูปที่ 4.28 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรบดสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.5 pF



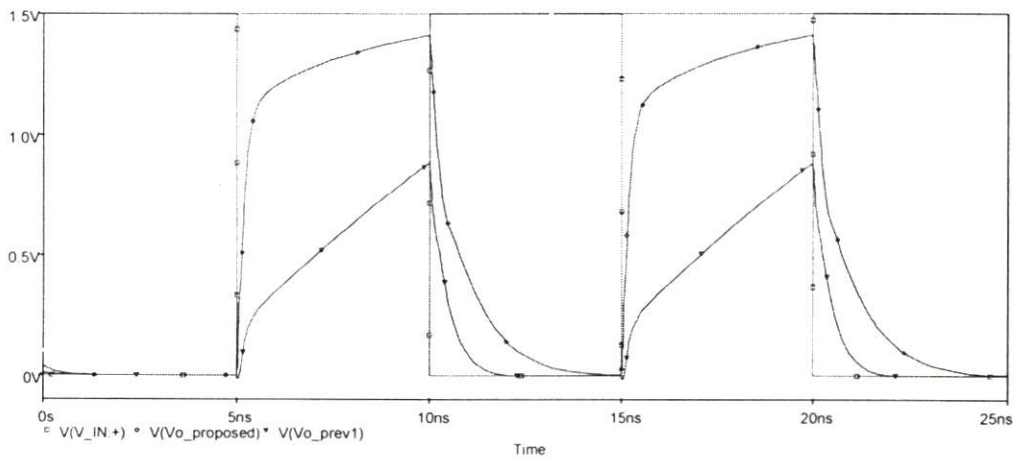
รูปที่ 4.29 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 2.0 pF



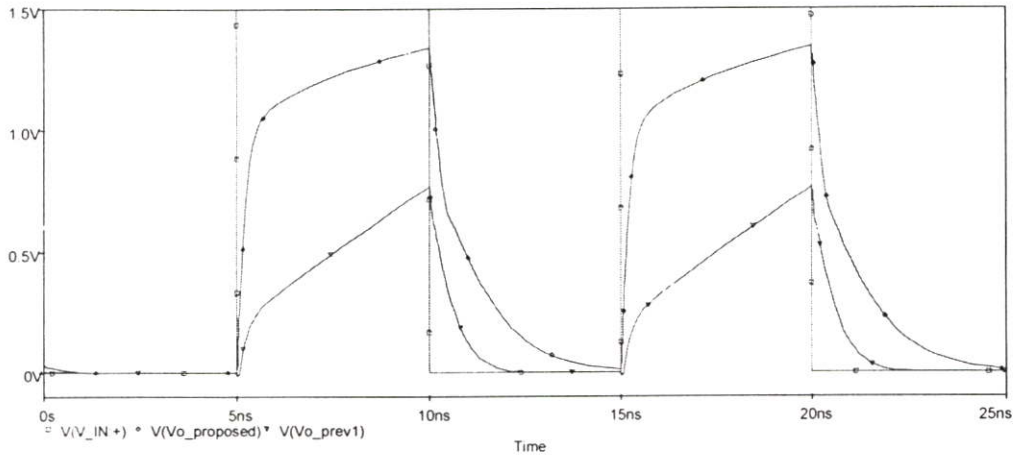
รูปที่ 4.30 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 2.5 pF



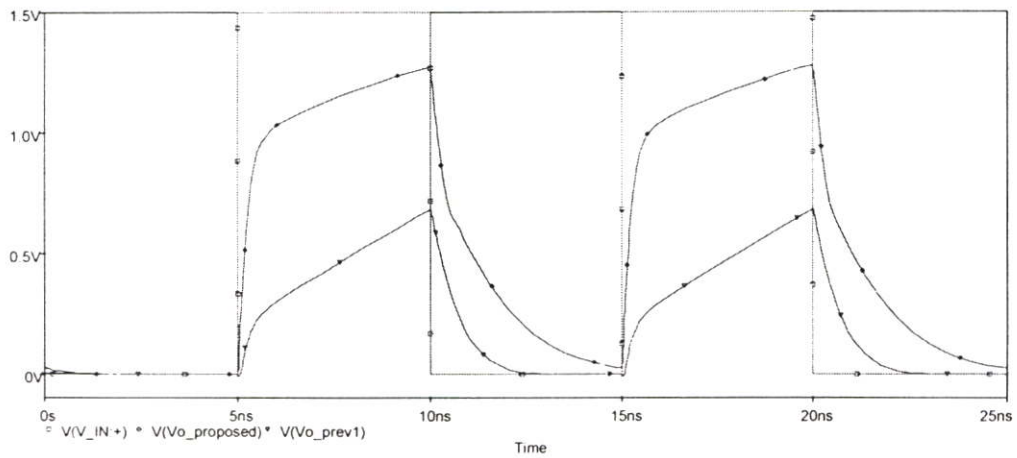
รูปที่ 4.31 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซิมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซิมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 3.0 pF



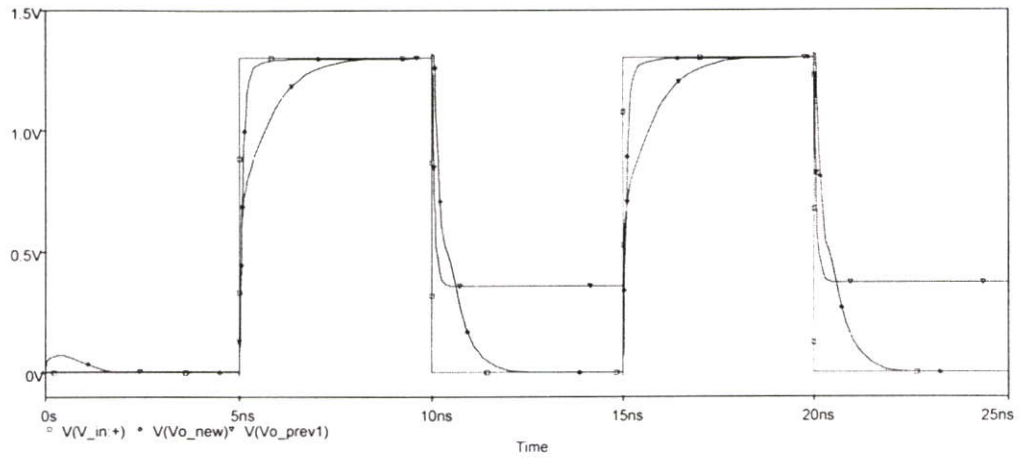
รูปที่ 4.32 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซิมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซิมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 4.0 pF



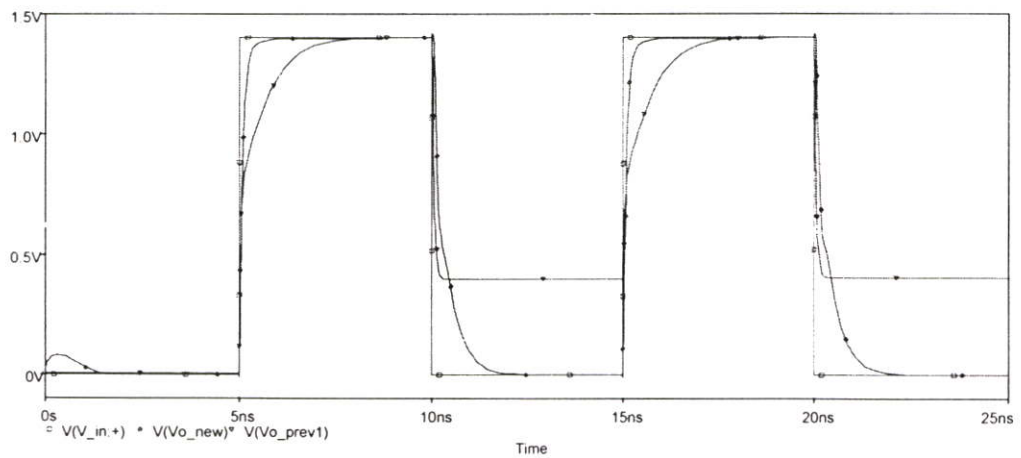
รูปที่ 4.33 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 5.0 pF



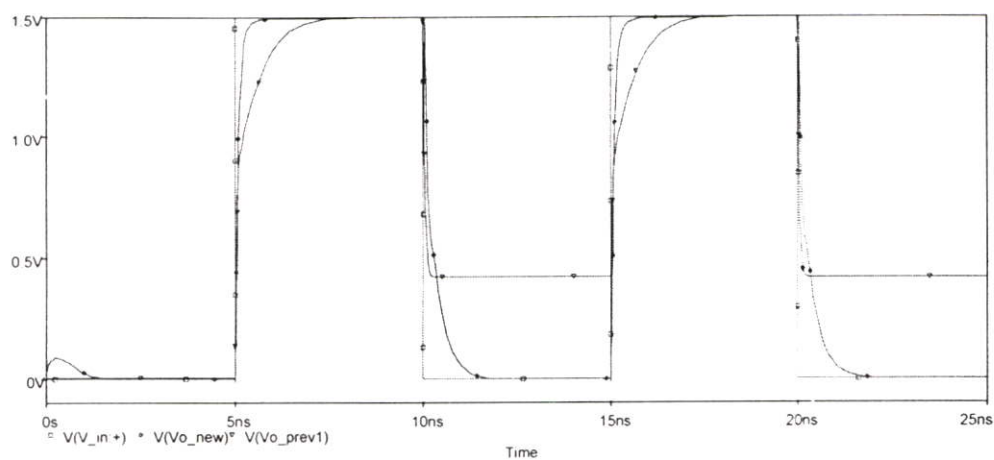
รูปที่ 4.34 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 6.0 pF



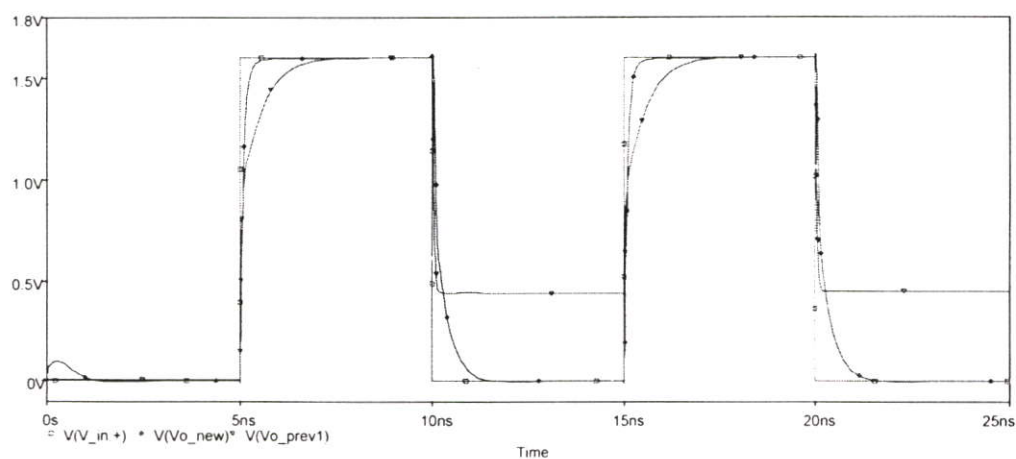
รูปที่ 4.35 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรบุดสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.3 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



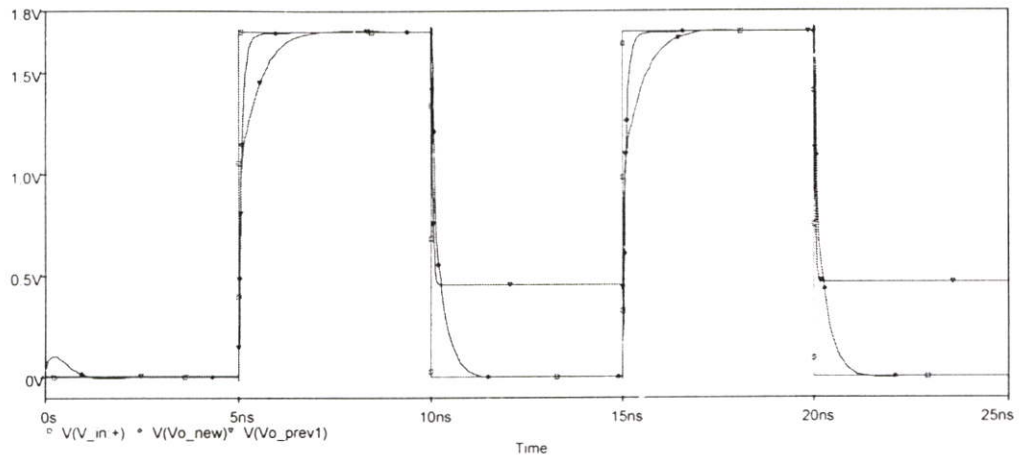
รูปที่ 4.36 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรบุดสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.4 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



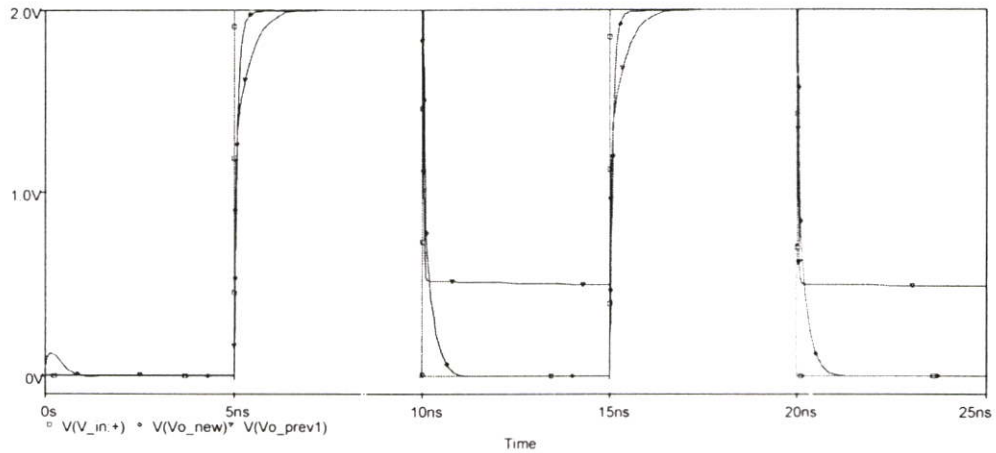
รูปที่ 4.37 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



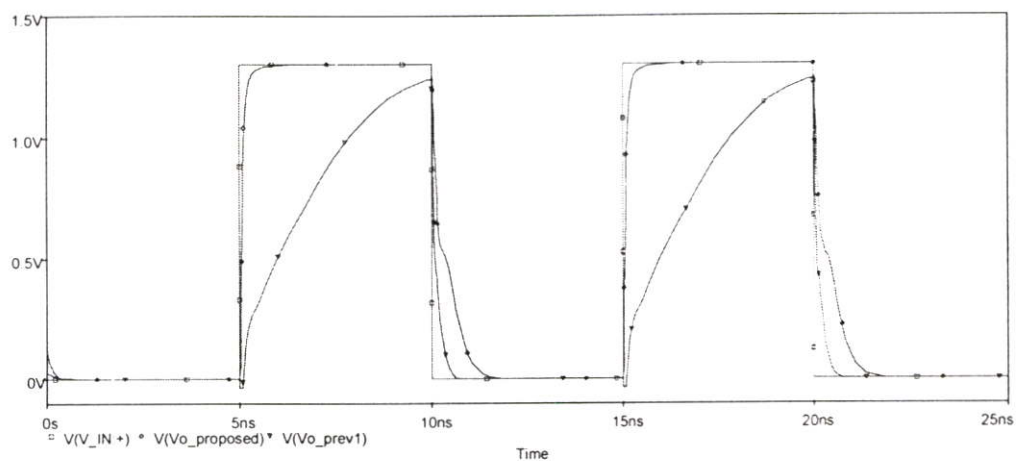
รูปที่ 4.38 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.6 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



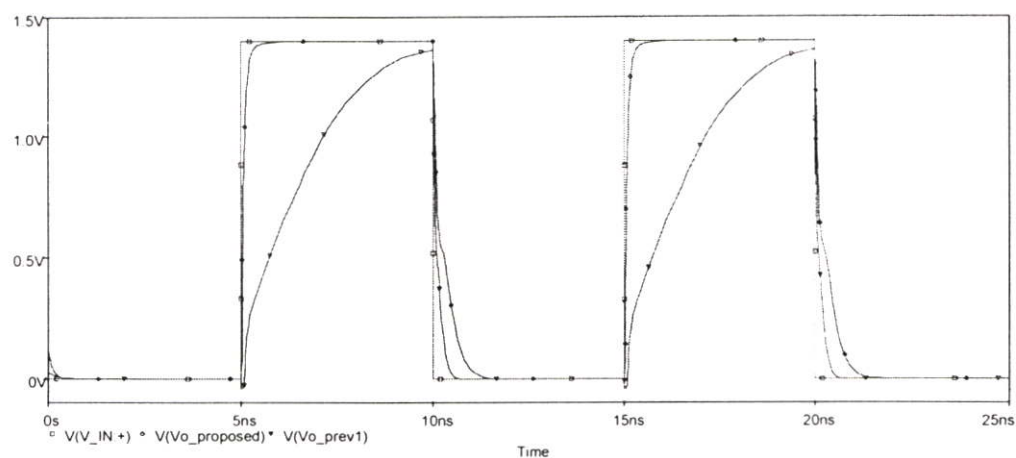
รูปที่ 4.39 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรมุตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.7 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



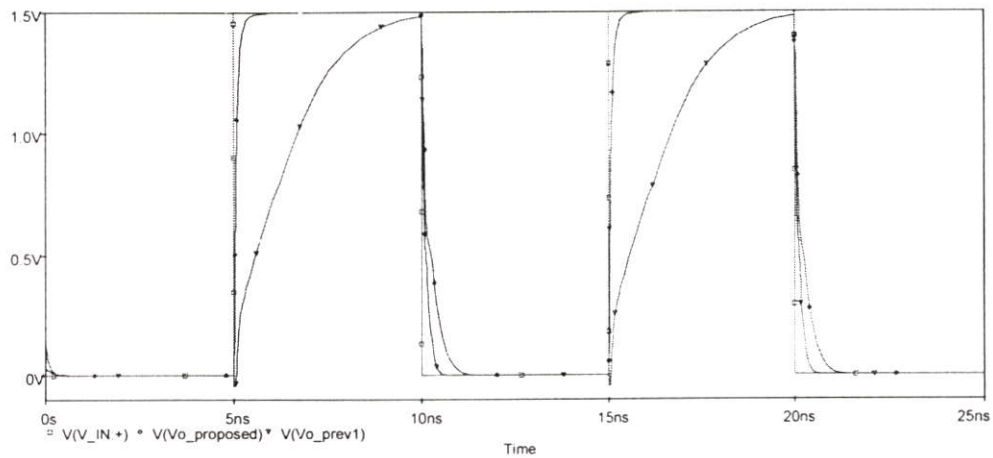
รูปที่ 4.40 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด N และวงจรมุตสเตรป ไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 2.0 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



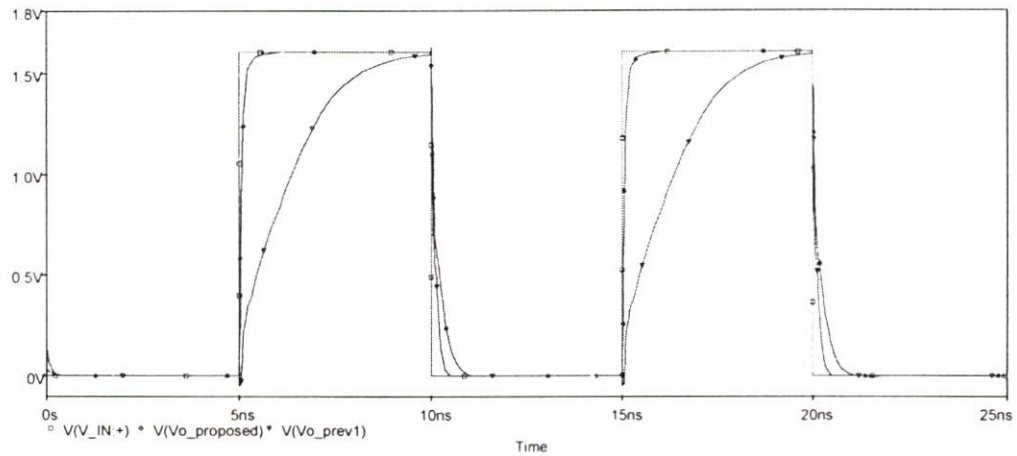
รูปที่ 4.41 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.3 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



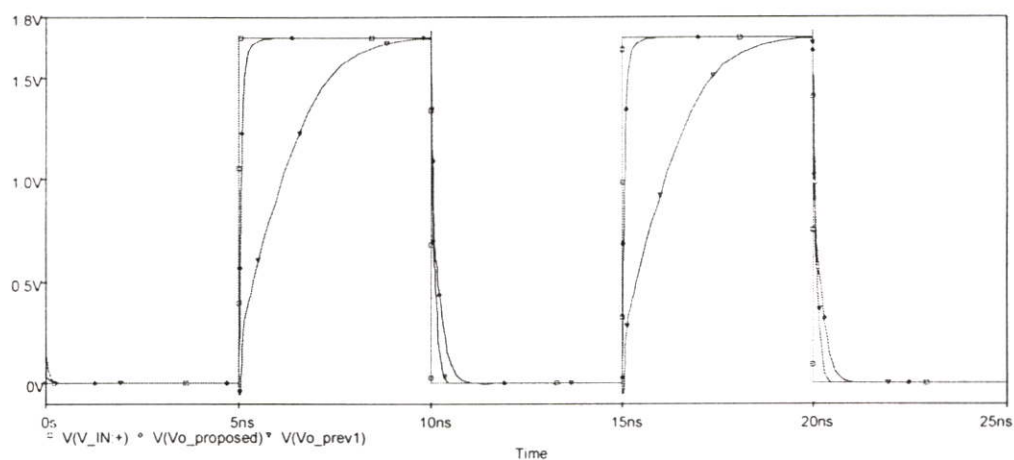
รูปที่ 4.42 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.4 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



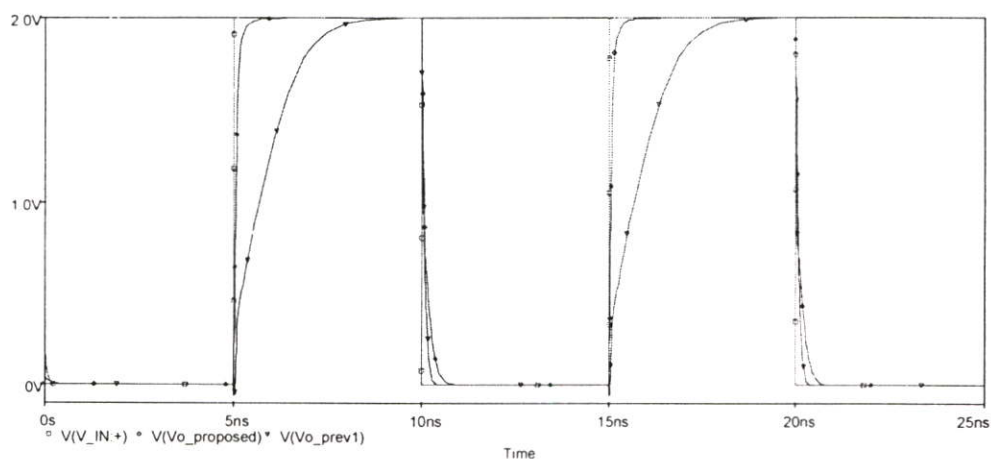
รูปที่ 4.43 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรบูตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



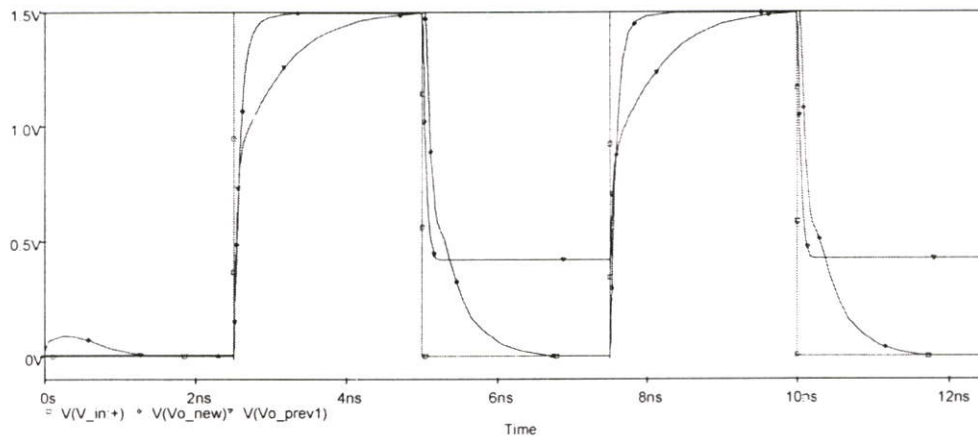
รูปที่ 4.44 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรบูตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.6 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



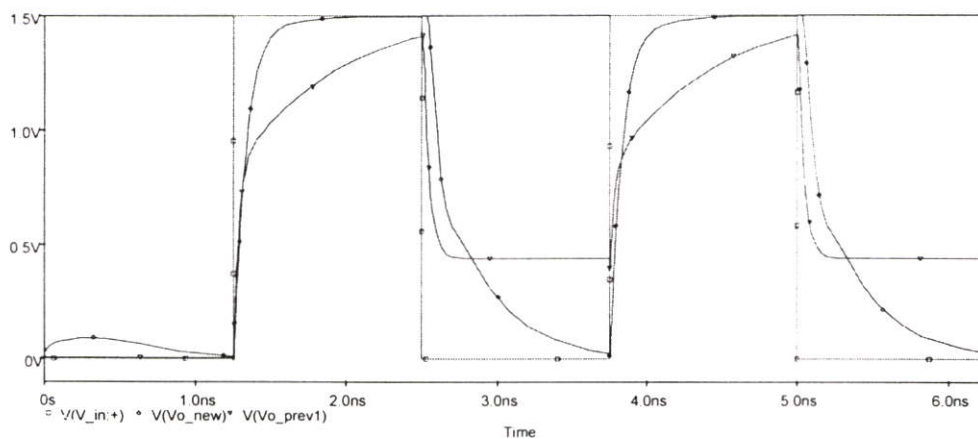
รูปที่ 4.45 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจร ไดนามิก ไบซีมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.7 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



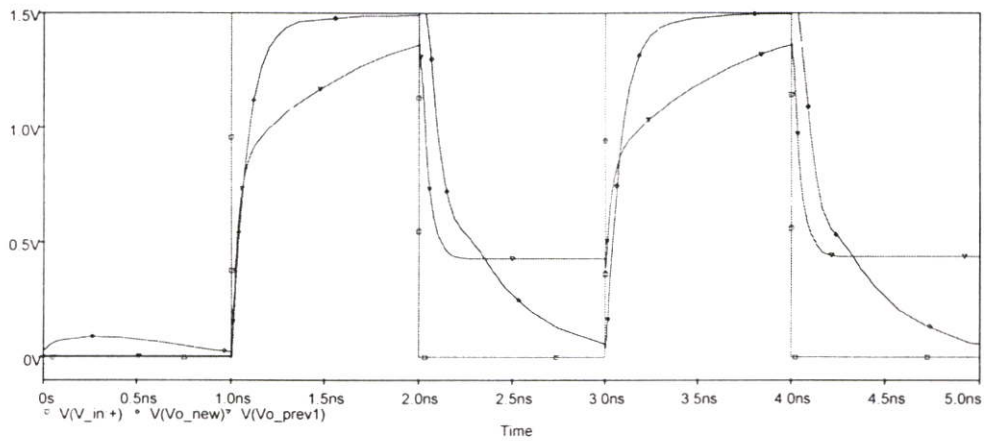
รูปที่ 4.46 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจร ไดนามิก ไบซีมอส ชนิด P และวงจร บุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 2.0 V และ โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF



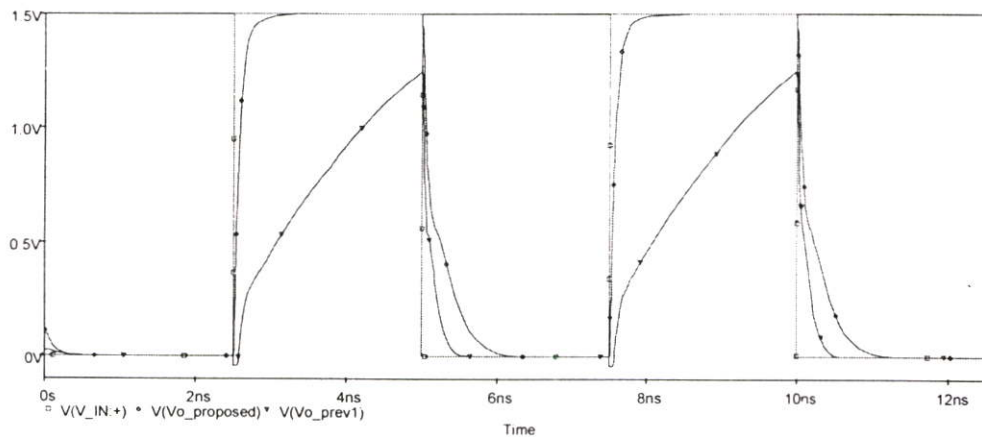
รูปที่ 4.47 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซิมอล ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซิมอลชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF และความถี่ของทั้ง 2 วงจรเท่ากับ 200MHz



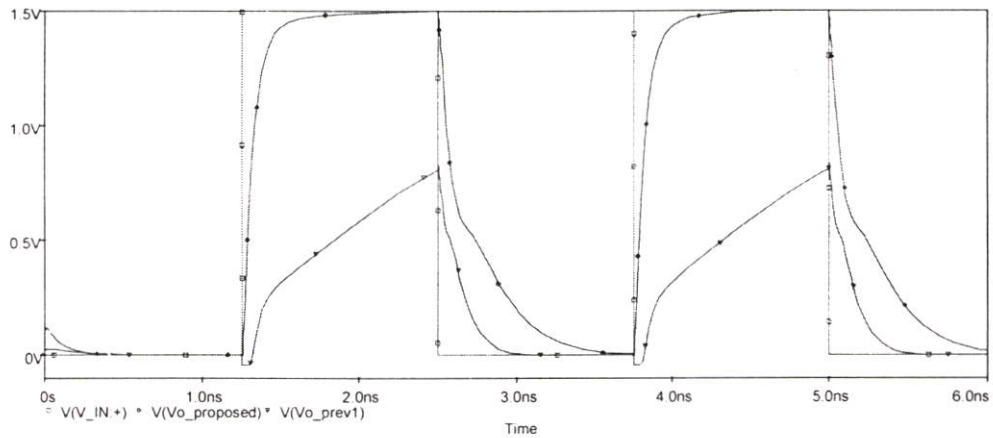
รูปที่ 4.48 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซิมอล ชนิด N และวงจรวจรบูตสเตรป ไดนามิก ไบซิมอลชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF และความถี่ของทั้ง 2 วงจรเท่ากับ 400MHz



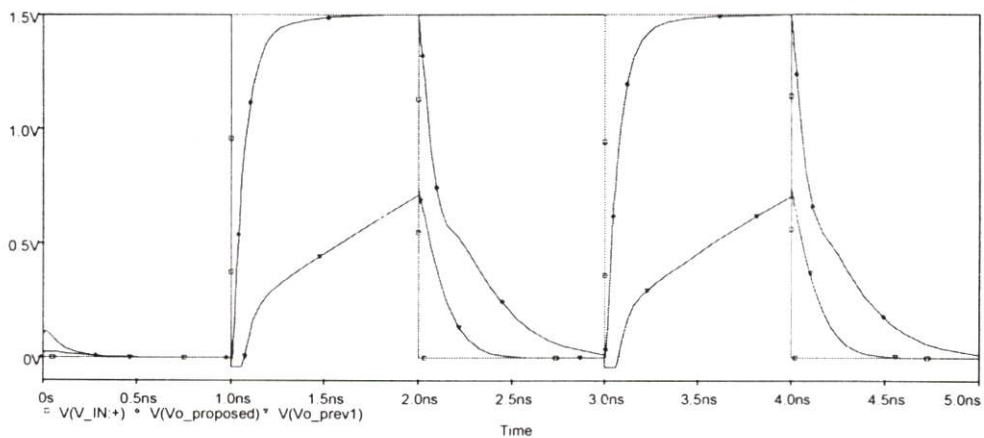
รูปที่ 4.49 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด N และวงจรวจรแบบไดนามิก ไบซีมอสชนิด N ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF และความถี่ของทั้ง 2 วงจรเท่ากับ 500MHz



รูปที่ 4.50 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรวจรไดนามิก ไบซีมอส ชนิด P และวงจรวจรแบบไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF และความถี่ของทั้ง 2 วงจรเท่ากับ 200MHz



รูปที่ 4.51 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรมุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF และความถี่ของทั้ง 2 วงจรเท่ากับ 400MHz



รูปที่ 4.52 รูปการเปรียบเทียบสัญญาณเอาต์พุตระหว่างวงจรไดนามิก ไบซีมอส ชนิด P และวงจรมุตสเตรป ไดนามิก ไบซีมอสชนิด P ที่ระดับไฟเลี้ยงของทั้ง 2 วงจรเท่ากับ 1.5 V โหลดคาปาซิแตนซ์ของทั้ง 2 วงจรเท่ากับ 1.0 pF และความถี่ของทั้ง 2 วงจรเท่ากับ 500MHz

## บทที่ 5

# บทสรุปและข้อเสนอแนะ

### 5.1 บทนำ

จากการจำลองการทำงานของ วงจรไดนามิก ไบซีมอส โดยใช้ระดับสัญญาณไฟเลี้ยงที่ 1.5 โวลต์ กับ วงจรบูตสเตรปไดนามิกไบซีมอส ใช้ระดับสัญญาณไฟเลี้ยงที่ 1.5 โวลต์ มาเปรียบเทียบประสิทธิภาพการทำงานโดยสรุปได้ดังนี้

### 5.2 ประสิทธิภาพการหน่วงเวลาในช่วงขาขึ้น

จากการจำลองการทำงานด้วยโปรแกรมเลียนแบบการทำงาน PSpice ที่โหลดคาปาซิแตนซ์ ขนาดต่างๆกันตั้งแต่ 0.2pF-6pF แรงดันด้านขาเข้า 1.5 โวลต์ ความถี่ 100 MHz และ ระดับสัญญาณไฟเลี้ยงที่ 1.5 โวลต์ จะพบว่าวงจรที่มีการนำเสนอนิโม่มีเวลาหน่วงในช่วงขาขึ้นน้อยกว่าวงจรที่ถูกนำเสนอมาก่อนหน้านี้[2] มาก โดยที่

วงจรบูตสเตรปไดนามิกไบซีมอสชนิด N สามารถทำงานได้ดีจนถึง โหลดคาปาซิแตนซ์ 5pF ส่วนวงจรที่ถูกนำเสนอมาก่อนหน้านี้[2] วงจรไดนามิก ไบซีมอสชนิด N ไม่สามารถลงไปถึงระดับต่ำสุดของระดับสัญญาณไฟเลี้ยงได้

วงจรบูตสเตรปไดนามิกไบซีมอสชนิด P สามารถทำงานได้ดีจนถึงโหลดคาปาซิแตนซ์ 2.5pF ส่วนวงจรที่ถูกนำเสนอมาก่อนหน้านี้[2] วงจรไดนามิก ไบซีมอสชนิด P สามารถทำงานได้ดีจนถึง โหลดคาปาซิแตนซ์ 1pF

### 5.3 ประสิทธิภาพการทำงานในความถี่ต่างๆ

จากการจำลองการทำงานด้วยโปรแกรมเลียนแบบการทำงาน PSpice ที่โหลดคาปาซิแตนซ์ 1.0 pF ระดับสัญญาณไฟเลี้ยงที่ 1.5 โวลต์ ความถี่ 100MHz – 500MHz จะพบว่าวงจรบูตสเตรปไดนามิกไบซีมอส สามารถ ทำงานได้ดี จนถึงระดับความถี่ที่ 500 MHz ส่วนวงจรที่ถูกนำเสนอมาก่อนหน้านี้[2] สามารถทำงานได้ดีจนถึงระดับความถี่ที่ 100 MHz

## เอกสารอ้างอิง

- [1] J. B. Kuo, H. J. Liao and H. P. Chen. 1993. "A BiCMOS dynamic carry look ahead adder circuit for VLSI implementation of high-speed arithmetic unit." **IEEE J. Solid-State Circuits**. 93(28): 375-378.
- [2] M. Ismail and S. S. Lee. 1996. "1.5 V Full-Swing BiCMOS Dynamic Logic Circuits." **IEEE Trans. Circuit Syst. I**. 96(43): 760-768.
- [3] R. Y. V. Chik and C. A. T. Salama. 1995. "Design of a 1.5 V Full-Swing Bootstrapped BiCMOS Logic Circuit." **IEEE J. Solid-State Circuits**. 95(30): 972-978).
- [4] K. Yno et. al. 1991. "Quasicomplementary BiCMOS for sub-3-V digital Circuit." **IEEE J. Solid-State Circuits**. 91(26): 1708-1719.
- [5] M. Hiraki et. al. 1992. "A 1.5-V full-swing BiCMOS logic Circuit." **IEEE J. Solid-State Circuits**. 92(27): 1568-1574.
- [6] S. M. Kang and Y. Leblebici. 1999. **CMOS Digital Integrated Circuits**. 2nd ed. Boston: McGraw-Hill.
- [7] A.R. Alvarez. 1989. **BICMOS technology and applications**. Boston : Kluwer Academic
- [8] David A. Hodges, Horace G. Jackson and Resve A. Saleh. 2003. **Analysis and Design of Digital Integrated Circuits**. 3rd ed. Boston: McGraw-Hill.
- [9] James E. Buchanan. 1991. **BiCMOS/CMOS systems design**. New York: McGraw-Hill.
- [10] Attia and John O. 2002. **PSPICE and MATLAB for electronics an integrated approach**. Boca Raton: CRC Press.
- [11] William Liu. 2001. **MOSFET models for SPICE simulations including BSIM 3V3 and BSIM 4**. New York : John Wiley & Sons.
- [12] R.M Warner and JR. B. L. Grung. 1999. **MOSFET theory and design**. New York: Oxford University Press.

**ภาคผนวก**

ภาคผนวก ก.

ค่าพารามิเตอร์ของโปรแกรม PSpice ที่ใช้วิเคราะห์

```
.MODEL TSMC_NMOS NMOS (          LEVEL = 1
+TOX  = 10E-9   NSUB  = 1E17   GAMMA = 0
+PHI  = 0.6     VTO   = 0.5   DELTA = 0
+UO   = 2500   ETA   = 0     THETA = 0.1749684
+KP   = 345.3144E-6 VMAX  = 8.309444E4  KAPPA = 0.2574081
+RSH  = 0.0559398 NFS   = 1E12   TPG  = 1
+XJ   = 3E-7    LD    = 3.162278E-11 WD   = 7.046724E-8
+CGDO = 2.08E-10 CGSO  = 2.08E-10 CGBO  = 1E-10
+CJ   = 500E-6   PB    = 0.8   MJ    = 0.3448504
+CJSW = 180E-1  MJSW  = 0.3508721 IS = 10E-15 )
```

```
.MODEL TSMC_PMOS PMOS (          LEVEL = 1
+ TOX  = 10E-9   NSUB  = 1E17   GAMMA = 0
+ PHi  = 0.6     VTO   = -0.5  DELTA = 0
+ UO   = 2000   ETA   = 9.999762E-4 THETA = 0.2020774
+ KP   = 172.6572E-6 VMAX  = 1.181551E5  KAPPA = 1.5
+ RSH  = 30.0712458 NFS   = 1E12   TPG  = -1
+ XJ   = 2E-7    LD    = 5.000001E-13 WD   = 1.249872E-7
+ CGDO = 2.08E-10 CGSO  = 2.08E-10 CGBO  = 1E-10
+ CJ   = 618E-6  PB    = 0.8   MJ    = 0.5
+ CJSW = 220E-1  MJSW  = 0.5   IS = 10E-15 )
```

```
.model NPN(
+IS = 1E-12   BF=89 NF=1 BR=1
+NR=1        RB=250RE=25 RC=42
+CJE=23.8E-30 CJC=16.8E-30 CN=2.42
+D=0.87)
```

ภาคผนวก ข.

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

# A Design of High-Speed, Full-Swing Bootstrapped BiCMOS Dynamic Circuit

Kobchai Dejhan, *Member, IEEE*, Paiboon Tooprakai, Pisit Rojthongkham and Chatcharin Soonyeeakan\*

Faculty of Engineering and Research Center of Communication and Information Technology  
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, THAILAND  
Email: {kobchai, paiboon}@telecom.kmitl.ac.th

Tel: 66-2326-4238, 66-2326-4242, Fax: 66-2326-4554

\* Aeronautical Radio of Thailand, 102 Ngamduplee, Tungmahamek, Bangkok 10120, THAILAND

**Abstract** This paper proposes a design of a bootstrapped BiCMOS dynamic circuit. The proposed circuit is high-speed and full-swing operation with 1.5 Volt single power supply. The driving sections are designed by using the noncomplementary technique based on BiCMOS technology. The bipolar pull up driving section is driven by bootstrapped CMOS circuit. The results have been carried out by using PSpice program simulator based on 0.35  $\mu\text{m}$  BiCMOS standard technology of MOSIS. All circuit performance has been compared with the previous results.

## I. INTRODUCTION

THE BiCMOS technology is widely used for memory circuit, VLSI circuit for the higher performance because of the high speed demand, load, and low power dissipation [6]. The BiCMOS static circuit designs need more devices for logic function design, it needs more chip area, higher power dissipation, operation performance reduction, but all problems can be solved by using the dynamic circuit technique [1-2]. It makes the circuit to be small. The main design of digital circuit aims at the speed, the power dissipation of the circuit. The method to reduce the power dissipation is to reduce the supply circuit [6] it reduces the signal driving of the circuit because the previous papers [1,2] proposed the BiCMOS dynamic circuits but they could not operate with high efficiency at low power supply. The low power supply dynamic circuit techniques have been proposed in the recent papers [3-5] with the different technique. The BiCMOS dynamic circuit is improved by the proposed technique and presented in the previous paper [2] by using the quasi complementary technique [4] and by using the transient

saturation [5], it has the better performance and operation for 1.5 volt power supply.

It cannot drive the high capacitive load for the low power supply and it is unable to have full swing of power supply because of the quasi complementary technique. This paper proposes a high speed with full swing bootstrapped BiCMOS dynamic circuit, the speed is better than the previous circuit; the full swing output can be done for the power supply. This proposed circuit operates well for 1.5 volt power supply.

## II. N-TYPE BiCMOS DYNAMIC CIRCUIT

The previous paper [2] proposed the N-type BiCMOS dynamic circuit as shown in Fig. 1.

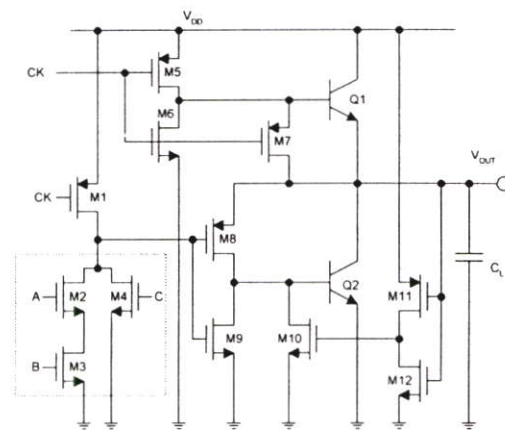


Fig.1 N-type BiCMOS dynamic circuit

The circuit in Fig. 1 is N-type BiCMOS dynamic circuit based on the quasi complementary technique with fall down driver. The circuit operation can be described. The precharge period, the clock signal is low and the signal at gates of M1, M5, M6 and M7 are low, M5, M7 and M9 can operate and the signal is low. The transistors M5, M7, M9 operate and

then Q1 operates to charge the load capacitance in order to reach supply voltage ( $V_{DD}$ ) but the Q2 does not operate.

The evaluate period, the clock signal is high and the clock signal at gates of M1, M5, M6 and M7 are high, then M6 operates to discharge at base of Q1. Q1 stops operating. If the signals are changed at the inputs A, B and C as designed, then M8 and Q2 stop discharging at load capacitance. As the output signal reaches to be low and then M11 operates and M10 operates to discharge the load capacitance at base of Q2. Q2 stops operating.

III. P-TYPE BiCMOS DYNAMIC CIRCUIT

The previous paper [2] also proposed the P-type BiCMOS dynamic circuit as shown in Fig. 2.

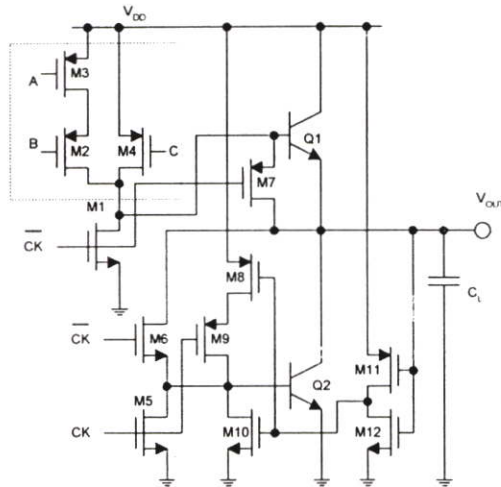


Fig.2 P-type BiCMOS dynamic circuit

The circuit in Fig. 2 is P-type BiCMOS dynamic circuit based on the transient saturation technique with fall domain driver. The circuit operation can be described.

The precharge period, the clock signal is low and M9 operates, if the previous output signal was high, Q2 stops operating because of M12, M8 and M9. The clock signal at gates of M1, M6 and M7 are high, then M1 and M6 operate to discharge the load capacitance to be zero and both Q2 and Q1 do not operate. As the output voltage goes to low value, M10 and M11 operate to separate the base driver of Q2 which is the principle of transient saturation technique. M6 and M10 continue operating in order to have the output signal is zero. The evaluate period, the clock signal is high, M9 stops operating and M5 discharges at base of Q2 and then Q2 stops operating.

The clock signal at gates of M1, M6 and M7 are low, M6 and M1 stop operating but M7 still operates. If the signal are charged at the inputs A, B and C, Q1 operates and charges the capacitive load to be  $V_{DD}$ , as the output signal is high until M12 operates, M8 reoperates again but Q2 does not operate because M9 stops operating.

IV. N-TYPE BOOTSTRAPPED BiCMOS DYNAMIC CIRCUIT

The proposed N-type bootstrapped BiCMOS dynamic circuit is shown in Fig. 3.

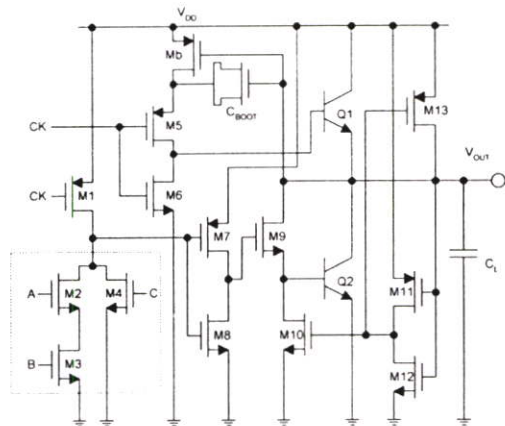


Fig. 3 Proposed N-type bootstrapped BiCMOS dynamic circuit.

The proposed N-type bootstrapped BiCMOS dynamic circuit uses the bootstrapped technique with rise up driver. The circuit operation can be described. The precharge period, the clock signal is low, the clock signal at gates of M1, M5 and M6 are low, M8 operates, M9 and Q2 do not operate, but M5 operates and Q1 operates to charge the load capacitance to be  $V_{DD}$ . As the base voltage of Q1 is equal to the sum of output voltage and the voltage across  $C_{boot}$ . The evaluate period, the clock signal is high, the clock signal at gates of M1, M5 and M6 are high, M6 operates to discharge at the base of Q1, Q1 stops operating. If the signals are changed at the inputs A, B and C. M6 and M9 operate and then Q2 discharges the load capacitance,  $C_{boot}$  is shorted circuit to the supply voltage.  $C_{boot}$  is charged via M6 until the voltage is equal to  $V_{DD}$ .

As the output signal is low until M11 operates and then M10 operates to discharge at base of Q2. Q2 stops operating, the output signal is still to be zero because M9 and M10 operate.

V. P-TYPE BOOTSTRAPPED BiCMOS DYNAMIC CIRCUIT

The proposed P-type bootstrapped BiCMOS dynamic circuit is shown in Fig. 4.

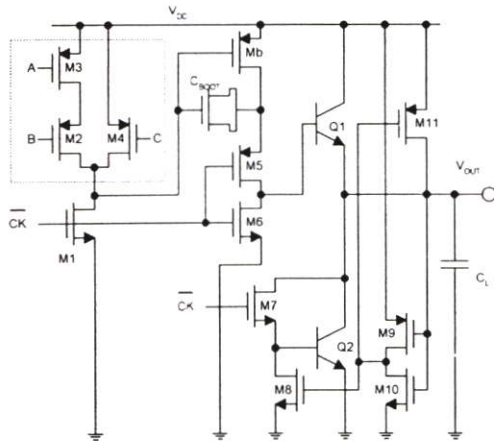


Fig. 4 Proposed P-type bootstrapped BiCMOS dynamic circuit.

The proposed P-type bootstrapped BiCMOS dynamic circuit uses the bootstrapped technique with rise up driver. The circuit operation can be described. The precharge period, the clock signal is low, but the clock signal at the gates of M1, M5, M6 and M7 are high, M1, M6 and M7 operate and Q2 discharges the load capacitance to be zero, Q1 does not operate. As the output voltage is low until M8 and M9 operate to discharge the base of Q2 and Q2 stops operating but the output voltage is still zero, because M7 and M8 operate. As M1 operates,  $C_{boot}$  is connected with the supply voltage and  $C_{boot}$  is charged via M6 and M1 to be  $V_{DD}$ . The evaluate period, the clock signal is high, but the gate signals at M1, M5, M6 and M7 are low, M5 operates and M1, M6, M7 and Q2 do not operate. If the signals are changed at the input A, B and C, Q1 operates via M5 and charged the load capacitance to be  $V_{DD}$  and the base voltage of Q1 is the sum of  $V_{DD}$  and the voltage across  $C_{boot}$ .

VI. CIRCUIT PERFORMANCE EVALUATION

All results have been carried out by using PSpice program simulator based on 0.35  $\mu\text{m}$  BiCMOS standard technology of MOSIS. All parameter of bipolar transistors are shown in table 1. The threshold voltage of CMOS transistor is 0.5 volt. The performance have been compared with the propagation delay time of N-type, P-type BiCMOS dynamic circuit as in the previous paper [2] and the proposed N-type, P-type bootstrapped BiCMOS dynamic circuit.

Table 1 Parameters of bipolar transistors for proposed circuits.

Bipolar	NPN	PNP
IS	100E-14	100E-14
BF	89	89
CJE	23.8E-15F	12.4E-15F
CJC	16.8E-15F	10.6E-15F
RB	250 $\Omega$	300 $\Omega$
RE	25 $\Omega$	25 $\Omega$
RC	42 $\Omega$	42 $\Omega$

Let W of all NMOS transistors are 1.0 $\mu\text{m}$  except NMOS transistor base driving is 10.0 $\mu\text{m}$ . W of all PMOS transistors are 2.8 $\mu\text{m}$  except PMOS transistor for base driving is 10.0 $\mu\text{m}$ .  $C_{boot}$  is 200fF, the supply voltage is 1.5volt, the load capacitance is 1pF. The 100MHz clock signal is supplied to the circuit. The outputs of N-type BiCMOS dynamic circuit and N-type bootstrapped BiCMOS dynamic circuit are shown in Fig. 5. The output of P-type BiCMOS dynamic circuit and P-type bootstrapped BiCMOS dynamic circuit are shown in Fig. 6. Both simulation results in Fig. 5 and 6 use 1.5volt supply voltage with 1.0pF load capacitance.



Fig. 5 Output waveforms comparison of N-type BiCMOS dynamic circuits.

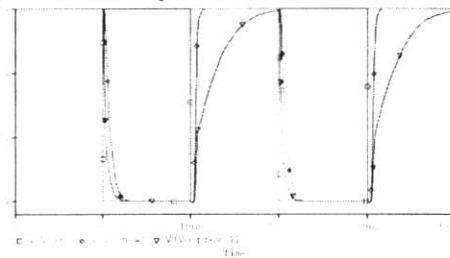


Fig. 6 Output waveform comparison of P-type BiCMOS dynamic circuits.

Fig. 5 and 6 show the higher speed of the proposed N-type and P-type bootstrapped BiCMOS dynamic circuits when compared with N-type and P-type BiCMOS dynamic circuits.

The output signal waveforms as shown in the previous paper [2] cannot have full swing for both N-type and P-type dynamic circuits. The N-type BiCMOS dynamic circuit cannot swing to zero volt, the delay time of the output of the proposed circuit with rise up driver is more better than the previous circuit [2]. It can be described by using the equation following,

$$I_c = C \frac{dv}{dt} \tag{1}$$

$I_c$  = charging current for load capacitance

$C$  = load capacitance

$\frac{dv}{dt}$  = rate of change of voltage with respect to time

Let C is fixed, the rate of change of time is equal to the same value then the charge of output voltage is quite much more importance. It mean that is the same capacitance value and the delay time of the proposed circuit will be less than the previous circuit.

The comparison of average delay time of the output signal waveform for both rising and falling periods with various capacitive loads from 0.2 to 1.0pF with 1.5volt supply voltage. Fig. 7 shows the comparison of the average rise time versus the load capacitance of 1.5volt supply voltage (only for P-type). Fig. 8 shows the comparison of the average delay time versus the supply voltage at 1.0pF capacitive load (only for P-type). The results show that the proposed circuits have the better performance than the previous results [2].

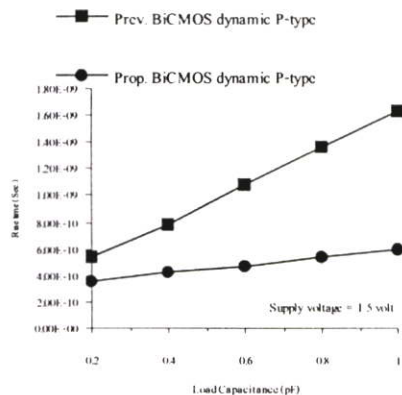


Fig.7 Average rise time vs. load capacitance

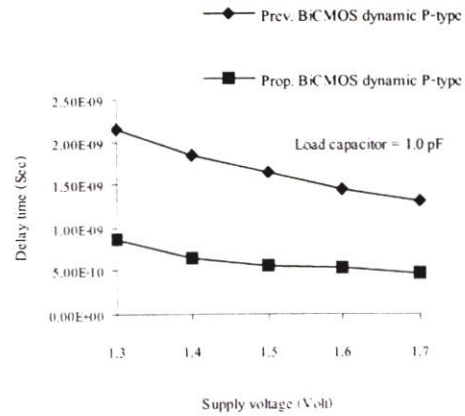


Fig.8 Average delay time vs. supply voltage

VII. CONCLUSION

The proposed bootstrapped BiCMOS dynamic circuits are presented and the performances have been compared with the previous circuit, the proposed circuits also have the full swing with high speed.

REFERENCES

- [1] J. B. Kuo, H. J. Liao and H. P. Chen, "A BiCMOS dynamic carry look ahead adder circuit for VLSI implementation of high-speed arithmetic unit," *IEEE J. Solid-State Circuits*, vol.28, pp.375-378, (1993).
- [2] M. Ismail and S. S. Lee. "1.5 V Full-Swing BiCMOS Dynamic Logic Circuits," *IEEE Trans. Circuit Syst. I*, vol.43, no.9, pp.760-768, (1996).
- [3] R. Y. V. Chik and C. A. T. Salama, "Design of a 1.5 V Full-Swing Bootstrapped BiCMOS Logic Circuit," *IEEE J. Solid-State Circuits*, vol.30, no.9, pp.972-978, (1995).
- [4] K. Yno et. al., "Quasicomplementary BiCMOS for sub-3-V digital Circuit," *IEEE J. Solid-State Circuits*, vol.26, pp.1708-1719, (1991).
- [5] M. Hiraki et. al., "A 1.5-V full-swing BiCMOS logic Circuit," *IEEE J. Solid-State Circuits*, vol.27, no.11, pp.1568-1574, (1992).
- [6] S. M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits*, McGraw-Hill, Second Edition, (1999).

## ประวัติผู้เขียน

ชื่อ-นามสกุล นายพิศิษฐ์ ไรจน์ทองคำ

วัน เดือน ปีเกิด 21 พฤษภาคม 2524 กรุงเทพมหานคร

ที่อยู่ 200/53 หมู่บ้านมณฑนา-วัชรพล2 ถ.ร่วมมิตรพัฒนา แขวงท่าแร้ง  
เขตบางเขน กรุงเทพมหานคร 10220

ประวัติการศึกษา 2545 วิทยาศาสตรบัณฑิต สาขาฟิสิกส์อุตสาหกรรมและอุปกรณ์การแพทย์  
สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ