

วงจรเชื่อมต่อสำหรับเบี่ยงโซริซิสที่ฟทรานสดิวเซอร์ ที่ทำงานภายใต้แรงดันต่ำ
และใช้กำลังงานต่ำ

A LOW-VOLTAGE LOW-POWER CMOS INTERFACE CIRCUIT FOR
PIEZORESISTIVE TRANSDUCER

สุทธิศักดิ์ สังข์ทอง
SUTTISAK SANGTONG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไมโครอิเล็กทรอนิกส์
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2550

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรเชื่อมต่อสำหรับเพียโซรีซิสทีฟทรานสดิวเซอร์ ที่ทำงานภายใต้แรงดันต่ำ
และใช้กำลังงานต่ำ

A LOW-VOLTAGE LOW-POWER CMOS INTERFACE CIRCUIT FOR
PIEZORESISTIVE TRANSDUCER



สุทธิศักดิ์ สังข์ทอง

SUTTISAK SANGTONG

เลขหมู่.....
เลขทะเบียน..... 70927
วัน,เดือน,ปี..... 2.2 ค.ศ. 2550

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไมโครอิเล็กทรอนิกส์
บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2550

**A LOW-VOLTAGE LOW-POWER CMOS INTERFACE CIRCUIT FOR
PIEZORESISTIVE TRANSDUCER**

SUTTISAK SANGTONG

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN MICROELECTRONICS ENGINEERING
SCHOOL OF GRADUATE STUDENTS
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2007

COPYRIGHT 2007

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	วงจรเชื่อมต่อสำหรับเปียโซรีซิสทีฟทรานสดิวเซอร์ ที่ทำงานภายใต้แรงดันต่ำ และใช้กำลังงานต่ำ
นักศึกษา	นายสุทธิศักดิ์ สังข์ทอง
รหัสนักศึกษา	47061203
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไมโครอิเล็กทรอนิกส์
พ.ศ.	2550
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.อภิรักษ์ รัตนยานนท์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอเกี่ยวกับการออกแบบวงจรสำหรับต่อร่วมกับเปียโซรีซิสทีฟทรานสดิวเซอร์ที่สร้างขึ้นบนเมมส์ ซึ่งเป็นวงจรที่ให้จำนวนพัลส์ด้านเอาต์พุตสัมพันธ์กับค่าความต้านทานที่เปลี่ยนแปลงไปของเปียโซรีซิสทีฟทรานสดิวเซอร์ โดยวงจรที่นำเสนอสามารถทำงานได้ภายใต้แรงดันต่ำและใช้กำลังงานต่ำ จึงทำให้การประยุกต์ใช้งานเซนเซอร์ที่สร้างจากเปียโซรีซิสทีฟทรานสดิวเซอร์สามารถใช้งานได้ยาวนานมากขึ้น ซึ่งวงจรสำหรับต่อร่วมกับเปียโซรีซิสทีฟทรานสดิวเซอร์ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ใช้หลักการตรวจจับกระแสที่เกิดจากการเปลี่ยนแปลงความต้านทานของเปียโซรีซิสทีฟทรานสดิวเซอร์ ซึ่งส่วนประกอบของวงจรมี 2 ส่วนด้วยกันคือ วงจรบัฟเฟอร์ผลต่างกระแสอินพุต และวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบซิกม่าเดลต้า ในการออกแบบวงจรดังกล่าวได้ใช้เทคโนโลยีซีมอส 0.35 ไมครอน และใช้โปรแกรม Spectre ในการจำลองผลการดำเนินงานเพื่อยืนยันถึงสมรรถนะในการทำงานของวงจร

Thesis Title	A low-voltage low-power CMOS interface circuit for piezoresistive transducer
Student	Mr. Suttisak Sangtong
Student ID.	47061203
Degree	Master degree
Program	Microelectronics engineering
Year	2007
Thesis Advisor	Assoc. Prof. Dr. Apinunt Thanachayanont

ABSTRACT

This thesis describes the design of a low-voltage low-power CMOS interface circuit for piezoresistive transducer. An input current-sensing configuration is used to allow a single piezoresistive transducer and low voltage operation. The proposed circuit is realized by using a 0.35- μm CMOS technology and operates under a single 1.5-V power supply voltage. Simulation results are included to demonstrate the performance of the circuit

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงไปได้ด้วยดีเนื่องจากได้รับความกรุณาจากอาจารย์ที่ปรึกษาของข้าพเจ้า รศ.ดร. อภินันท์ ธนชยานนท์ ที่ได้ให้คำปรึกษาทั้งในเรื่องแนวคิดและการดำเนินการทำการวิจัย ตลอดจนให้ความรู้และประสบการณ์ในการออกแบบวงจรและการทำงานแก่ข้าพเจ้า

ขอขอบคุณพี่ๆ สำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (ReCCIT) ที่ให้ความช่วยเหลือในทุกด้านทั้งในเรื่องอุปกรณ์การทำวิจัยและอื่นๆ อีกมากมาย

ขอขอบคุณ บัณฑิตวิทยาลัยสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังที่ให้ความช่วยเหลือในเรื่องค่าใช้จ่ายในการเข้าร่วมประชุมวิชาการ และเงินทุนสนับสนุนการทำวิทยานิพนธ์แก่ข้าพเจ้า

ขอขอบคุณเพื่อนๆ และพี่น้องภายในห้องปฏิบัติการวิจัยและพัฒนาอุปกรณ์ไมโครอิเล็กทรอนิกส์ (MDRD) รวมถึงเพื่อนในห้องปฏิบัติการวิจัยระบบควบคุม (CONTROL) ที่ได้ให้ความช่วยเหลือในด้านต่างๆและให้ความสนุกสนานตลอดการทำงานวิจัยของข้าพเจ้า

สุดท้ายนี้ข้าพเจ้าขอขอบคุณบิดา และมารดาของข้าพเจ้า ผู้อุปการะข้าพเจ้าอย่างสูงยิ่ง

สำหรับคุณความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับผู้มีพระคุณทุกท่าน

สุทธิสักดิ์ สังข์ทอง

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	IX
สารบัญรูป.....	X
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา	1
1.3 สมมติฐานของการศึกษา	2
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย	2
1.5 ขอบเขตการวิจัย	2
1.6 ขั้นตอนของการศึกษา	2
บทที่ 2 พื้นฐานเกี่ยวกับเซนเซอร์และวงจรต่อร่วม	4
2.1 ระบบการวัด (Measurement System)	4
2.1.1 ส่วนเซนเซอร์	4
2.1.2 ส่วนประมวลผลสัญญาณ	5
2.1.3 ส่วนแสดงผลและบันทึกผล	5
2.2 การแบ่งชนิดของอุปกรณ์เซนเซอร์	5
2.3 คุณสมบัติและแบบจำลองทางคณิตศาสตร์ของเซนเซอร์ในอุดมคติ.....	6
2.4 คุณสมบัติต่างๆของเซนเซอร์และความไม่เป็นอุดมคติ.....	11
2.4.1 ความไวของเซนเซอร์(Sensitivity).....	12
2.4.2 พิสัยพลวัต (Span)	12
2.4.3 ช่วงสัญญาณเอาต์พุตเต็มสเกล (Full scale output : FSO).....	12
2.4.4 ความแน่นอน (Accuracy).....	12
2.4.5 ฮิสเตอร์รีซิส (Hysteresis).....	13
2.4.6 ความเป็นเชิงเส้น(Linearity).....	13

สารบัญ(ต่อ)

หน้า

2.4.6.1 End point linearity	13
2.4.6.2 Best fit straight line (BFSL).....	14
2.4.7 การอิ่มตัว (Saturation).....	15
2.4.8 เดดแบนด์ (Dead Band)	16
2.4.9 ความละเอียด(Resolution).....	16
2.4.10 คุณลักษณะพลวัต(Dynamic characteristic).....	16
2.4.10.1 เวลาอุ่นเครื่อง(warm-up time).....	16
2.4.10.2 ลักษณะการตอบสนองต่อความถี่(Frequency respond).....	17
2.4.10.3 การเลื่อนเฟสของสัญญาณเอาต์พุตของเซนเซอร์(Phase shift).....	17
2.5 การตรวจวัดค่าการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์	17
2.5.1 วิธีแบ่งแรงดัน.....	18
2.5.2 วิธีไบอัสด้วยกระแส.....	20
2.5.3 วิตสโตนบรีดจ์.....	21
2.6 วงจรต่อรวม	22
บทที่ 3 วงจรมอดูเลตสัญญาณซิกม่าเดลต้า	24
3.1 บทนำ	24
3.2 แบบจำลองของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล	25
3.3 สัญญาณรบกวนในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล.....	26
3.4 คุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบเพิ่มอัตราสุ่มหลายเท่า...28	
3.5 การมอดูเลตสัญญาณแบบซิกม่าเดลต้า(Sigma delta modulator)	31
3.6 วงจรมอดูเลตสัญญาณซิกมาเดลต้าแบบผ่านความถี่ต่ำอันดับหนึ่ง (First-order low-pass sigma delta modulator).....	34
3.7 การปรับปรุงค่ากำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวนของ วงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูง.....	37
3.7.1 โครงสร้างแบบภาคเดียว(Single stage architecture).....	39
3.7.2 โครงสร้างแบบหลายภาค(Multi stage architecture).....	40

สารบัญ(ต่อ)

หน้า

3.8 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง (Continuous time sigma delta modulator).....	42
3.9 การออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง.....	44
3.9.1 การแปลงระหว่างวงจรมอดูเลตสัญญาณซิกม่าเดลต้า แบบเวลาต่อเนื่องและไม่ต่อเนื่อง.....	45
3.10 เสถียรภาพของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า	47
บทที่ 4 โครงสร้างการตรวจวัดการเปลี่ยนแปลงความต้านทาน โดยใช้การตรวจจับกระแส.....	52
และวงจรต่อเชื่อม	52
4.1 บทนำ.....	52
4.2 วงจรวีตส โตนบริดจ์(Wheatstone bridge circuit).....	52
4.2.1 การวิเคราะห์ความไม่เป็นเชิงเส้นและค่าความไว ของวงจรวีตส โตนบริดจ์แต่ละแบบ.....	54
4.3 การตรวจวัดค่าการเปลี่ยนความต้านทาน โดยใช้การตรวจจับกระแส (Current-sensing configuration).....	57
4.3.1 การวิเคราะห์ความไม่เป็นเชิงเส้นและค่าความไว ของวิธีตรวจวัดการเปลี่ยนความต้านทาน โดยการตรวจจับกระแส	58
4.4 วงจรต่อเชื่อม(Interface circuit)	61
4.4.1 วงจรต่อเชื่อมสำหรับวิธีตรวจวัดค่าการเปลี่ยนความต้านทาน โดยการตรวจจับกระแส.....	63
บทที่ 5 โครงสร้างการตรวจวัดการเปลี่ยนแปลงความต้านทาน โดยใช้การตรวจจับกระแส	64
5.1 บทนำ	64
5.2 โครงสร้างของวงจรตรวจวัดกระแสจากการเปลี่ยนค่าความต้านทานที่นำเสน่อ	64
5.3 วงจรบัฟเฟอร์ผลต่างกระแสอินพุต (Differential input current buffer).....	65
5.3.1 โครงสร้างของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต.....	65
5.3.2 การวิเคราะห์ห้วงจรในส่วนรับกระแสอินพุต และวงจรหักล้างกระแสโหมคร่วม.....	65

สารบัญ(ต่อ)

หน้า

5.3.3 การวิเคราะห์วงจรมัลติเพล็กซ์ผลต่างกระแสอินพุต.....	68
5.3.4 ผลการจำลองการทำงานของวงจรมัลติเพล็กซ์ผลต่างกระแสอินพุต.....	70
5.4 วงจรเปรียบเทียบสัญญาณแบบพลวัต(Dynamic comparator).....	73
5.5 วงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อน(Non-overlap clock circuit).....	76
5.6 วงจรมอดูเลตสัญญาณซิกม่าเดลต้า(Sigma-delta modulator).....	77
5.6.1 หลักการทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า แบบรักษาอัตราการอัด-ปล่อยประจุ.....	77
5.6.2 การวิเคราะห์วงจรมอดูเลตสัญญาณซิกม่าเดลต้า แบบรักษาอัตราการอัด-ปล่อยประจุ.....	79
5.6.3 การแปลงฟังก์ชันของวงจรกรองความถี่แบบเวลาต่อเนื่องไปสู่ฟังก์ชันวงจร กรองความถี่แบบเวลาไม่ต่อเนื่องของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า แบบรักษาอัตราการอัด-ปล่อยประจุ.....	83
5.6.4 การออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้า แบบรักษาอัตราการอัด-ปล่อยประจุ.....	84
5.6.5 การจำลองผลการการทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า แบบรักษาอัตราการอัด-ปล่อยประจุ.....	86
5.7 ระบบรวมและผลจำลองการทำงานของระบบ.....	87
5.7.1 แผนภาพของระบบตรวจวัดการเปลี่ยนค่าความต้านทาน ของเปียโซรีซิสเตอร์ที่นำเสนอ.....	87
5.7.2 ผลจำลองการทำงานของระบบ.....	88
5.7.3 วงจรทางกายภาพ(Layout) และผลจำลองการทำงานของ.....	95
บทที่ 6 สรุปผลการวิจัย และข้อเสนอแนะ	99
6.1 สรุปผลการวิจัย	99
6.2 ข้อเสนอแนะ	99
เอกสารอ้างอิง	100

สารบัญ(ต่อ)

หน้า

ภาคผนวก ก การแปลงโดยวิธีผลตอบสนองอิมพัลส์ไม่แปรเปลี่ยน (Impulse- invariant transformation)	103
ภาคผนวก ข การวิเคราะห์วงจรตามแรงดันแบบ Flipped voltage follower และการประยุกต์ใช้งาน.....	112
ภาคผนวก ค วงจรสะท้อนกระแสชนิดต่างๆ	120
ภาคผนวก ง ผลงานวิจัยที่ได้รับการตีพิมพ์	126
ประวัติผู้เขียน	152

สารบัญตาราง

ตารางที่	หน้า
2.1 การแบ่งชนิดของเซนเซอร์โดยการเปลี่ยนรูปแบบของพลังงานเป็นสัญญาณไฟฟ้า.....	6
3.1 การเปรียบเทียบข้อดีข้อเสียของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่องและ แบบเวลาต่อเนื่อง.....	43
3.2 แสดงตัวอย่างการแปลง ไปกลับระหว่างฟังก์ชันของวงจรรองในเวลต่อเนื่องและในเวลาไม่ ต่อเนื่อง.....	47
4.1 ความไม่เป็นเชิงเส้นของวงจรวิตสโตนบริดจ์ในรูปแบบที่ 4.1 แต่ละแบบ.....	56
4.2 ความไม่เป็นเชิงเส้นของวงจรตรวจจับกระแสจากการเปลี่ยนค่าของความต้านทาน.....	61
5.1 ขนาดของทรานซิสเตอร์แบบมอสเฟตที่ใช้สำหรับวงจรบัฟเฟอร์กระแสอินพุต.....	71
5.2 สรุปลักษณะสมบัติโดยรวมของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต.....	73
5.3 ตารางค่าความจริงของวงจรเปรียบเทียบสัญญาณแบบพลวัต.....	76
5.4 ขนาดของทรานซิสเตอร์แบบมอสเฟตที่ใช้สำหรับวงจรมอดูเลตสัญญาณซิกม่าเดลต้า.....	87
5.5 สรุปลักษณะการจำลองการทำงานของวงจรตรวจวัดการเปลี่ยนแปลงค่าความต้านทานของวัสดุเปีย โซรีซิสเตอร์	98
ค.1 แสดงคุณสมบัติต่างๆ ของวงจรสะท้อนกระแส.....	121

สารบัญรูป

รูปที่	หน้า
2.1 แผนภาพของระบบการวัด	4
2.2 ก) การแทนระบบของ Self-exiting Sensor.....	6
2.2 ข) การแทนระบบของ Modulating Sensor.....	6
2.3 คุณสมบัติของ self-exiting sensor และ modulating sensor ในทางอุดมคติ.....	7
2.4 ผลตอบสนองต่อเวลาของเซนเซอร์ในอุดมคติ (สมมุติให้เป็นระบบเชิงเส้นลำดับที่ 1).....	10
2.5 ค่าความไวของเซนเซอร์ในอุดมคติ(เส้นทึบ) และเซนเซอร์ในทางปฏิบัติ(เส้นประ).....	11
2.6 ฟังก์ชันถ่ายโอนและฮิสเตอร์รีซิสของระบบ.....	13
2.7 End-Point linearity.....	14
2.8 Best fit straight line (BFSL)	14
2.9 ฟังก์ชันถ่ายโอนและการอิมพัลส์ของเซนเซอร์.....	15
2.10 ช่วงเดดแบนด์	16
2.11 ลักษณะการตอบสนองความถี่และการตอบสนองต่อเวลาที่ค่า τ ต่างๆ	17
2.12 การตรวจจับการเปลี่ยนความต้านทานโดยใช้วิธีการแบ่งแรงดัน	18
2.13 การตรวจจับการเปลี่ยนความต้านทานด้วยวิธีไบอัสด้วยกระแส.....	20
2.14 การตรวจจับการเปลี่ยนความต้านทานด้วยโครงสร้างแบบวีตส โตนบริดจ์.....	21
3.1 ระบบตรวจจับการเคลื่อนที่ของวัตถุ	24
3.2 ก) แผนภาพบล็อกของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล.....	25
3.2 ข) กราฟการส่งผ่านสัญญาณอนาล็อกเป็นดิจิตอล.....	25
3.3 กราฟการส่งผ่านค่าความคลาดเคลื่อนจากการแปลงสัญญาณอนาล็อกเป็นดิจิตอล.....	26
3.4 ความหนาแน่นกำลังงานของสัญญาณรบกวนในแต่ละองค์ประกอบความถี่.....	27
3.5 ระบบประมวลผลสัญญาณดิจิตอล	28
3.6 ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบดิจิตอล	28
3.7 การกระจายค่ากำลังงานของสัญญาณรบกวนของวงจรแปลงอนาล็อกเป็นดิจิตอลทั้งแบบอัตรา สุ่มไนควิสต์และอัตราสุ่มเกิน	31
3.8 แผนภาพบล็อกของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบอัตราสุ่มเกิน.....	31
3.9 ก) โครงสร้างวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้า	32
3.9 ข) แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้า.....	32
3.10 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบความถี่ต่ำผ่านอันดับที่หนึ่ง	34

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.11 ฟังก์ชันถ่ายโอนของสัญญาณและสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าในรูปที่ 3.10.....	35
3.12 อัตราส่วนสัญญาณต่อสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่มีฟังก์ชันการสสัญญาณรบกวนลำดับที่ L ที่ค่า L	38
3.13 แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบภาคเดียว	39
3.14 แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับ 3 ที่ใช้โครงสร้างแบบหลายภาค.....	40
3.15 ก) วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่อง.....	42
3.15 ข) วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง	42
3.16 ก) แผนภาพบล็อกรอบเปิดของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง.....	45
3.16 ข) แผนภาพบล็อกรอบเปิดของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่อง....	45
3.17 แบบจำลองเชิงเส้นทั่วไปของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า.....	48
3.18 การวิเคราะห์เสถียรภาพของระบบ โดยใช้วิธีวิเคราะห์แบบรูปทูลอกัส.....	49
3.19 ความไม่แน่นอนของเฟสที่เกิดจากวงจรจัดระดับสัญญาณแบบ 1 บิต.....	49
3.20 แบบจำลองเสถียรภาพของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า.....	49
4.1 วงจรวิตสโตนบริดจ์แบบต่างๆ.....	53
4.2 การตรวจจับกระแสจากการเปลี่ยนค่าความต้านทาน)	58
4.3 วงจรเชื่อมต่อสำหรับวัดค่าการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์.....	62
4.4 วงจรเชื่อมต่อสำหรับวัดค่าการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์ในทางปฏิบัติ	63
5.1 แผนภาพวงจรต่อเชื่อมเพื่อตรวจวัดการเปลี่ยนค่าความต้านทาน.....	64
5.2 โครงสร้างของวงจรบัฟเฟอร์กระแส.....	65
5.3 โครงสร้างของวงจรในส่วนรับกระแสอินพุต	66
5.4 โครงสร้างของวงจรหักלקกระแส โหมครวมที่เอาต์พุต.....	67
5.5 วงจรบัฟเฟอร์กระแส(Differential input buffer).....	68
5.6 การเปรียบเทียบกระแสเอาต์พุตที่ได้จากการจำลองผลการทำงานกับการคำนวณ.....	72
5.7 อัตราขยายทางกระแสและเฟส ของวงจรบัฟเฟอร์กระแสอินพุต.....	72
5.8 โครงสร้างวงจรเปรียบเทียบสัญญาณแบบพลวัต.....	73

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.9 ก) วงจรเปรียบเทียบสัญญาณแบบพลวัต	75
5.9 ข) สัญญาณนาฬิกาควบคุม.....	75
5.10 ก) วงจรสร้างสัญญาณนาฬิกาแบบ ไม่ซ้อนทับซ้อน.....	77
5.10 ข) แผนภาพเวลา.....	77
5.11 โครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ.....	78
5.12 แรงดันตกคร่อมที่ตัวเก็บประจุในวงจรมอดูเลตสัญญาณซิกม่าเดลต้า.....	79
5.13 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ.....	82
5.14 แรงดันตกคร่อมตัวเก็บประจุเมื่อเทียบกับสัญญาณนาฬิกา.....	84
5.15 การทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ.....	86
5.16 แผนภาพแสดงส่วนประกอบของระบบตรวจวัดการเปลี่ยนค่าความต้านทาน.....	87
5.17 ความสัมพันธ์ระหว่างค่าความต้านทานกับจำนวนพัลส์ที่เอาต์พุต.....	89
5.18 ความเป็นเชิงเส้นระหว่างกระแสที่อินพุตกับจำนวนพัลส์ที่เอาต์พุต.....	90
5.19 ผลตอบสนองทางเวลาของระบบ.....	90
5.20 ไม่เป็นเชิงเส้นของค่าความต้านทานปกติแต่ละค่า.....	91
5.21 ความไม่เป็นเชิงเส้นของระบบในกรณีที่เกิดการเปลี่ยนแปลงพารามิเตอร์ในการสร้าง ทรานซิสเตอร์.....	92
5.22 ค่าเอาต์พุตพัลส์ที่เกิดจากการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ที่อุณหภูมิต่างๆ...93	
5.23 กำลังงานสเปกตรัมตลอดช่วงความถี่ 500kHz.....	94
5.24 การทำงานของระบบใน โหมดปกติและ โหมดรอกอยซึ่งถึงควบคุมโดยสัญญาณ $\phi_{control}$	94
5.25 วงจรทางกายภาพ(Layout).....	96
5.26 ความเป็นเชิงเส้นระหว่างกระแสที่อินพุตกับจำนวนพัลส์ที่เอาต์พุตที่ได้จากวงจรเลย์เอาต์...97	
5.27 กำลังงานสเปกตรัมตลอดช่วงความถี่ 500kHz ที่ได้จากวงจรทางกายภาพ(Layout).....	97
ก.1 แผนภาพบล็อควงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง.....	103
ก.2 รูปแบบสัญญาณพัลส์ของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก	104
ก.3 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่องเมื่อทำการเปิดวงจรรอบการป้อนกลับ.....	104
ข.1 (ก) วงจรตามแรงดันแบบครนร่วม	112
ข.1 ข) วงจรตามแรงดันแบบ Flipped voltage follower.....	112
ข.2 การวิเคราะห์หาค่าอัตราขยายวงรอบของวงจรตามแรงดันแบบ Flipped voltage follower.....	113

สารบัญรูป (ต่อ)

รูปที่	หน้า
ข.3 โครงสร้างของการป้อนกลับแบบเซนต์เรดดันป้อนกลับแรงดันโดยใช้พารามิเตอร์ h	114
ข.4 วงจรแสดงการวิเคราะห์ด้วยพารามิเตอร์ h ของส่วนการป้อนกลับ.....	114
ข.5 แบบจำลองสัญญาณขนาดเล็กของวงจรตามแรงดันแบบ Flip voltage follower ที่รวมผลกระทบของความต้านทานของใน ส่วนการป้อนกลับ.....	115
ข.6 การวิเคราะห์ผลตอบสนองทางความถี่โดยการเปิดวงรอบการป้อนกลับ	117
ข.7 วงจรสะท้อนกระแสที่มีอินพุตเป็นวงจรตามแรงดันแบบ Flipped voltage follower	119
ค.1 วงจรสะท้อนกระแสชนิดต่าง.....	120
ค.2 การวิเคราะห์หาค่าอัตราขยายวงรอบ(Loop-gain :T).....	124

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

เทคโนโลยีเมมส์ ได้เข้ามามีบทบาทในการดำรงชีวิตของมนุษย์เรามากขึ้น ซึ่ง “เมมส์” (Micro-Electro-Mechanical Systems) นั้นคืออุปกรณ์ขนาดเล็กที่รวมระบบกลไกเข้ากับระบบวงจรรวมทางอิเล็กทรอนิกส์ โดยทั้งสองระบบนี้วางอยู่บนฐานเดียวกัน ซึ่งปกติก็คือซิลิกอนซึ่งใช้เป็นฐานสำหรับวงจรรวมอยู่แล้ว นอกจากนี้กระบวนการผลิตเมมส์ ยังมีกระบวนการผลิตที่รวมกับการผลิตวงจรรวมซึ่งรวมถึงเครื่องจักรที่ใช้ในการผลิต โดยภาพรวมแล้ว เมมส์มักนิยมใช้เป็นเซนเซอร์ขนาดเล็ก หรือ มินิเซนเซอร์ ตัวอย่างเช่น เซนเซอร์วัดแรงกระแทกขนาดเล็กในถุงลมนิรภัย เซนเซอร์สำหรับวัดความดัน หรือ เซนเซอร์ที่ใช้วัดกำลังของแม่เหล็กไฟฟ้า เป็นต้น ซึ่งทำให้ต้นทุนการผลิตเซนเซอร์เหล่านี้มีราคาถูกลงกว่าสมัยก่อนเป็นอย่างมาก ในส่วนของการพัฒนาวงจรรวมอิเล็กทรอนิกส์ที่ใช้ต่อร่วมกับเซนเซอร์ที่สร้างขึ้นบนเมมส์นั้น มุ่งเน้นพัฒนาวงจรมีขนาดเล็ก ราคาถูก และสามารถติดต่อสื่อสารกับไมโครโปรเซสเซอร์ได้ ดังนั้น วงจรรวมอิเล็กทรอนิกส์ส่วนใหญ่ที่ใช้ต่อร่วมกับเซนเซอร์ที่สร้างขึ้นบนเมมส์จึงถูกออกแบบมาให้มีเอาต์พุตเป็นสัญญาณดิจิทัล ซึ่งทำให้สัญญาณที่ได้มีความทนทานต่อสัญญาณรบกวน และทำให้ตัวเซนเซอร์สามารถเชื่อมต่อกับไมโครคอมพิวเตอร์ได้โดยตรง

ทรานสดิวเซอร์ชนิดหนึ่งที่นิยมสร้างขึ้นบนเมมส์ เพื่อนำมาประยุกต์ใช้ในการวัดความดันหรือวัดแรงที่กระทำกับวัตถุทั้งในทางการแพทย์หรือในด้านอื่นๆ คือเพียโซรีซิสทีฟทรานสดิวเซอร์ ซึ่งค่าความต้านทานของทรานสดิวเซอร์ชนิดนี้จะเปลี่ยนแปลงไปเมื่อเกิดความเครียด (Stress) ขึ้นบนตัวมัน วงจรที่นิยมใช้ในการตรวจวัดการเปลี่ยนความต้านทานของเพียโซรีซิสทีฟทรานสดิวเซอร์ และแปลงเป็นค่าแรงดันไฟฟ้าทางด้านเอาต์พุตนั้นคือวงจรวีตส โคนบรีดจ์ แต่วงจรวีตส โคนบรีดจ์นั้นมีข้อเสียคือ ไม่เหมาะสมที่จะใช้งานภายใต้แรงดันต่ำ เพราะเนื่องจากคุณลักษณะของวงจรวีตส โคนบรีดจ์เอง ดังนั้นวงจรรวมอิเล็กทรอนิกส์ที่ออกแบบให้ใช้เชื่อมต่อกับวงจรวีตส โคนบรีดจ์อาจจำเป็นต้องใช้แหล่งจ่ายแรงดันร่วมกับวงจรวีตส โคนบรีดจ์ไปด้วย ทำให้วงจรรวมอิเล็กทรอนิกส์ที่ใช้เชื่อมต่อกับวงจรวีตส โคนบรีดจ์มีการใช้กำลังงานสูงขึ้นเกินความจำเป็น

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

จากเหตุผลที่ได้กล่าวมาแล้วข้างต้น และความเจริญก้าวหน้าของอุปกรณ์และการออกแบบวงจรรวมอิเล็กทรอนิกส์ที่ได้รับการพัฒนาให้มีการใช้กำลังงานที่ต่ำลง และสามารถทำงานได้ที่แหล่งจ่ายแรงดันต่ำได้ดี ดังนั้นการใช้วงจรวีตส โคนบรีดจ์เป็นตัวตรวจวัดการเปลี่ยนแปลงความ

ด้านทานของเป็ยโซริซิสทีฟทรานสดิวเซอร์นั้น จึงไม่เหมาะสมต่อการออกแบบระบบที่จะทำงานได้ดีภายใต้แหล่งจ่ายแรงดันไฟฟ้าต่ำได้ จึงทำให่วิทยานิพนธ์ฉบับนี้นำเสนอโครงสร้างการตรวจจับการเปลี่ยนแปลงความต้านทานของวัสดุเป็ยโซริซิสทีฟทรานสดิวเซอร์ ที่สามารถทำงานได้ดีภายใต้แรงดันต่ำ และใช้กำลังงานต่ำ เพื่อให้สามารถเข้ากันได้กับการออกแบบและพัฒนาระบบตรวจวัดที่สามารถทำงานได้ดีภายใต้แรงดันต่ำ และใช้กำลังงานต่ำได้

1.3 สมมติฐานของการศึกษา

วงจรตรวจจับการเปลี่ยนค่าความต้านทานวัสดุเป็ยโซริซิสทีฟทรานสดิวเซอร์ ที่สามารถทำงานได้ดีที่แรงดันต่ำนั้น สามารถออกแบบได้โดยการเปลี่ยนจากการตรวจจับกระแสที่เกิดจากการเปลี่ยนความต้านทานของตัวเป็ยโซริซิสเตอร์แทนที่จะทำการตรวจจับแรงดัน เหมือนอย่างในวงจรวัดสโตนบริดจ์

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

การตรวจจับกระแสที่เกิดจากการเปลี่ยนความต้านทานของวัสดุเป็ยโซริซิสทีฟทรานสดิวเซอร์ ทำได้โดยการสร้างแรงดันคงที่คร่อมตัวเซนเซอร์ ซึ่งเมื่อค่าความต้านทานของเซนเซอร์เกิดการเปลี่ยนแปลงก็จะทำให้เกิดการเปลี่ยนแปลงของกระแสขึ้น โดยกระแสที่เกิดขึ้นนี้จะถูกบัพเฟอร์โดยใช้วงจรบัพเฟอร์กระแส และเพื่อให้เหมาะสมที่จะสื่อสารกับอุปกรณ์ประมวลผลสัญญาณซึ่งส่วนใหญ่จะเป็นอุปกรณ์ดิจิทัล จึงทำการเปลี่ยนกระแสที่ได้จากการเปลี่ยนความต้านทานนี้เป็นจำนวนพัลส์โดยใช้วงจรมอดูเลตสัญญาณซิกม่าเดลต้า เพื่อให้ง่ายต่อการเก็บข้อมูลโดยใช้อุปกรณ์ประมวลผลดิจิทัล

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรต่อเชื่อมกับวัสดุเป็ยโซริซิสทีฟทรานสดิวเซอร์ที่ทำงานได้ดีภายใต้แรงดันต่ำและมีกำลังงานสูญเสียต่ำ โดยมีคุณสมบัติเหมาะสมเกี่ยวกับการใช้งานเป็ยโซริซิสทีฟทรานสดิวเซอร์ ในงานด้านต่างๆ

1.6 ขั้นตอนของการศึกษา

เนื้อหาภายในวิทยานิพนธ์ฉบับนี้ได้กล่าวถึง ทฤษฎี ขั้นตอนการออกแบบวงจร รวมถึงผลการจำลองการทำงานของวงจรต่อเชื่อมกับเป็ยโซริซิสทีฟทรานสดิวเซอร์ ซึ่งจะแบ่งเนื้อหาดังกล่าวออกเป็นบทต่างๆ ดังนี้

บทที่ 2 กล่าวถึงคุณสมบัติโดยทั่วไปของเซอเซอร์ การแบ่งชนิด และแบบจำลองทางคณิตศาสตร์ของเซอเซอร์ในอุดมคติ นอกจากนี้ยังกล่าวถึงวิธีที่ใช้ในการตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสทีฟทรานสดิวเซอร์แบบต่างๆด้วย

บทที่ 3 กล่าวถึงคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล คุณสมบัติของสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณของวงจรจัดระดับสัญญาณ คุณสมบัติการช่วยจัดรูปแบบสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าซึ่งช่วยลดสัญญาณรบกวนในช่วงแบนด์วิดท์ของสัญญาณอินพุตลง และชนิดของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า รวมไปถึงเสถียรภาพของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

บทที่ 4 กล่าวถึงโครงสร้างของการตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสทีฟทรานสดิวเซอร์โดยการใช้การตรวจจับการเปลี่ยนแปลงกระแส

บทที่ 5 กล่าวถึงการการออกแบบวงจรเพื่อต่อเชื่อมกับวิธีตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสทีฟทรานสดิวเซอร์ในส่วนต่างๆ และกล่าวรวมถึงผลการจำลองการทำงานของวงจรในส่วนต่างๆ ที่ทำการออกแบบ

บทที่ 6 สรุปผลการวิจัย และข้อเสนอแนะ

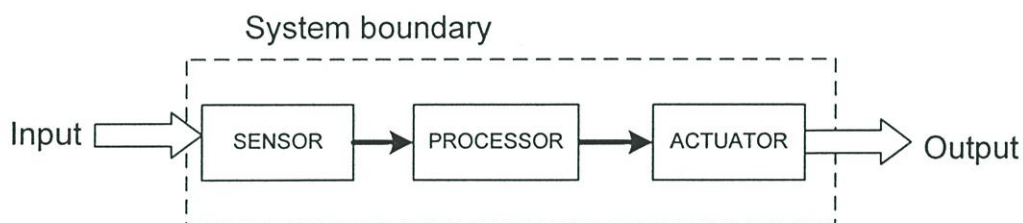
บทที่ 2

พื้นฐานเกี่ยวกับเซนเซอร์และวงจรต่อร่วม

ในหัวข้อนี้จะเป็นการกล่าวถึงแผนภาพของระบบการวัด โดยทั่วไป การแบ่งประเภทของอุปกรณ์เซนเซอร์ต่างๆรวมไปถึง คุณสมบัติพื้นฐานของอุปกรณ์เซนเซอร์ และวงจรที่ใช้ต่อร่วมกับเซนเซอร์บางชนิด ซึ่งมีประโยชน์ในการศึกษาและพัฒนางจรต่อร่วมกับเพียโซรีซิสทีฟเซนเซอร์ (Piezoresistive sensor) ที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้

2.1 ระบบการวัด (Measurement System)[1]

มนุษย์สามารถรับรู้ข้อมูลข่าวสารได้โดยใช้ประสาทสัมผัส คือ การมองเห็น การฟัง การดมกลิ่น และการรับรู้รสชาติ การสัมผัส ซึ่งประสาทสัมผัสเหล่านี้จะปฏิบัติหน้าที่เสมือนการวัดปริมาณทางกายภาพหรือทางเคมีส่งผ่านไปประมวลผลโดยสมองและผลที่ได้จะนำมาใช้ในการตัดสินใจ กระทำกิจกรรมต่างๆของมนุษย์ ซึ่งกระบวนการเหล่านี้เกิดขึ้นในร่างกายมนุษย์ทุกวันและเป็นตัวอย่างหนึ่งของระบบการวัดข้อมูล นอกจากกระบวนการวัดข้อมูลที่เกิดขึ้นภายในร่างกายของมนุษย์แล้วนั้น มนุษย์ยังออกแบบและใช้ประโยชน์จากเครื่องมือวัดเพื่อช่วยในการวัดปริมาณทางกายภาพในระบบการวัดข้อมูลอีกด้วย ซึ่งโดยรวมแล้วระบบการวัดนั้นถูกออกแบบมาให้ช่วยเปลี่ยนปริมาณทางกายภาพหรือเคมีให้เป็นข้อมูลซึ่งสามารถช่วยในการตัดสินใจและประมวลผลให้ไปในทางใดทางหนึ่งตามที่มนุษย์ต้องการ โดยในระบบการวัดนั้นมีส่วนประกอบพื้นฐานหลักๆ อยู่ 3 ส่วนด้วยกัน ดังแสดงในรูปที่ 2.1 คือ



รูปที่ 2.1 แผนภาพของระบบการวัด

2.1.1 ส่วนเซนเซอร์

เซนเซอร์เป็นอุปกรณ์ที่ใช้เปลี่ยนปริมาณทางกายภาพหรือปริมาณทางเคมีให้เป็นสัญญาณทางไฟฟ้า ซึ่งสัญญาณที่ได้จากเซนเซอร์นั้นบ่อยครั้งที่จำเป็นต้องทำการปรับปรุงคุณภาพของสัญญาณก่อนที่จะนำไปใช้ประโยชน์ได้

2.1.2 ส่วนประมวลผลสัญญาณ

โดยทั่วไปสัญญาณที่ได้จากเซนเซอร์นั้นจะเป็นสัญญาณอนาล็อกและสัญญาณนี้จะถูกนำมาประมวลผลโดยส่วนประมวลผลสัญญาณซึ่งเป็นส่วนที่ทำหน้าที่ปรับปรุงคุณภาพของสัญญาณที่ได้มาจากส่วนของเซนเซอร์ให้ดีขึ้น และเราสามารถแบ่งส่วนประมวลผลสัญญาณนี้ออกเป็น 2 ส่วนย่อยคือ ส่วนจัดเตรียมการประมวลผล(Preparation Unit) และ ส่วนประมวลผลหลัก (Main Processing Unit) ซึ่งในส่วนจัดเตรียมการประมวลผลนั้นประกอบไปด้วยวงจรหลักๆ ดังเช่น วงจรขยายสัญญาณ วงจรกรองความถี่ และวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล และในส่วนประมวลผลหลักนั้นจะประกอบไปด้วยวงจรดิจิทัลที่ใช้ประมวลผลสัญญาณ เช่น ไมโครโปรเซสเซอร์

2.1.3 ส่วนแสดงผลและบันทึกผล

ส่วนแสดงผลและบันทึกผลนั้นทำหน้าที่นำสัญญาณที่ได้จากส่วนประมวลผลมาแสดงผลให้อยู่ในรูปแบบที่มนุษย์สามารถเข้าใจได้ หรือบันทึกสัญญาณนั้นเก็บไว้อุปกรณ์เก็บข้อมูล ตัวอย่างของส่วนแสดงผลและบันทึกผล เช่น อุปกรณ์ LED ซึ่งทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง หรือ อุปกรณ์ประเภทหน่วยความจำ ซึ่งทำหน้าที่เก็บบันทึกข้อมูลเป็นต้น

2.2 การแบ่งชนิดของอุปกรณ์เซนเซอร์[1]

เซนเซอร์นั้นมีหลายชนิดและในทางปฏิบัติสามารถแบ่งประเภทของเซนเซอร์ได้โดยใช้หลักของการเปลี่ยนรูปแบบของพลังงานชนิดต่างๆ เป็นสัญญาณไฟฟ้า ซึ่งในตารางที่ 2.1 ได้แสดงรูปแบบของพลังงานแต่ละประเภทที่ใช้แบ่งชนิดของเซนเซอร์และตัวอย่างสิ่งที่ต้องการวัดจากพลังงานนั้นๆ

นอกจากการแบ่งเซนเซอร์ตามชนิดของการเปลี่ยนรูปแบบของพลังงานต่างๆ เป็นสัญญาณไฟฟ้าแล้วนั้น อาจแบ่งเซนเซอร์ได้อีกเป็น 2 ประเภทใหญ่ๆ คือ เซนเซอร์ที่ไม่ต้องจ่ายพลังงานภายนอกกระตุ้นในการทำงาน(Self-generating Sensors) และ เซนเซอร์ที่ต้องจ่ายพลังงานภายนอกกระตุ้นในการทำงาน (Modulating Sensors) อีกด้วย ตัวอย่างของเซนเซอร์ที่ไม่ต้องจ่ายพลังงานภายนอกกระตุ้นในการทำงานคือ เทอร์โมคัปเปิล เพราะเทอร์โมคัปเปิลสามารถให้สัญญาณไฟฟ้าทางด้านเอาต์พุตเมื่อเกิดผลต่างของอุณหภูมิขึ้นที่ขั้วทั้งสองของเทอร์โมคัปเปิล และ ตัวอย่างของเซนเซอร์ที่ต้องการพลังงานภายนอกกระตุ้นเพื่อให้เซนเซอร์ทำงานเช่น โฟโตไดโอด ซึ่งทำหน้าที่เปลี่ยนพลังงานแสงให้เป็นสัญญาณทางไฟฟ้า ในการทำงานของโฟโตไดโอดนั้นจำเป็นต้องจ่ายพลังงานภายนอกให้กับโฟโตไดโอด โดยการป้อนแรงดันไบอัสตรงให้กับโฟโตไดโอดเมื่อต้องการใช้งาน เซนเซอร์ที่ไม่ต้องการพลังงานภายนอกมากระตุ้นเพื่อให้เซนเซอร์ทำงานนั้นจะให้พลังงานไฟฟ้าทางด้านเอาต์พุตในระดับที่ต่ำ จึงจำเป็นต้องใช้วงจขยายสัญญาณมา

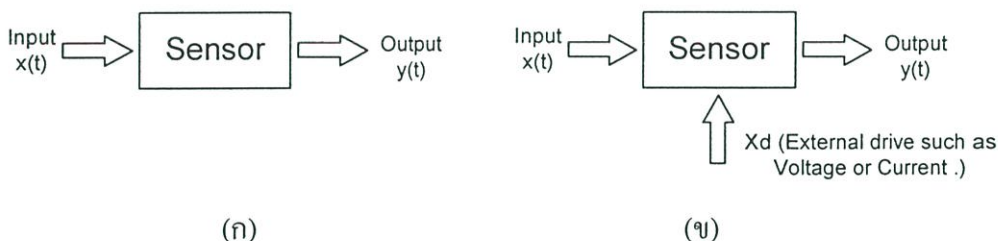
ขยายสัญญาณให้แรงขึ้นก่อนนำสัญญาณนั้นไปใช้งาน ส่วนเซนเซอร์ที่ต้องการพลังงานภายนอกในการกระตุ้นให้เซนเซอร์ทำงานนั้นจะให้พลังงานไฟฟ้าทางด้านเอาต์พุตที่มากกว่าเซนเซอร์ที่ไม่ต้องการพลังงานภายนอกกระตุ้นในการทำงาน แต่อย่างไรก็ตามเซนเซอร์ชนิดนี้ก็ยังจำเป็นที่ต้องใช้วงจรขยายสัญญาณมาขยายสัญญาณให้อยู่ในระดับที่นำไปใช้งานได้อีกเหมือนกัน

ตารางที่ 2.1 การแบ่งชนิดของเซนเซอร์โดยการเปลี่ยนรูปแบบของพลังงานเป็นสัญญาณไฟฟ้า

รูปแบบของสัญญาณ	ตัวอย่างสิ่งที่ทำการวัด
ความร้อน	อุณหภูมิ, ความร้อน
การแพร่กระจาย	รังสีแกมมา, รังสีเอกซ์, รังสีอัลตราไวโอเล็ต
การเปลี่ยนแปลงทางกล	การเคลื่อนที่, ความเร็ว, ความเร่ง, ความดัน
การเปลี่ยนแปลงสนามแม่เหล็ก	สนามแม่เหล็ก, ค่าความซึมซับสนามแม่เหล็ก
การเปลี่ยนแปลงทางเคมี	ระดับ PH, ความเข้มข้นของก๊าซ
การเปลี่ยนแปลงทางชีวภาพ	ปริมาณน้ำตาล, ฮอร์โมน, แอนติเจน
การเปลี่ยนแปลงทางไฟฟ้า	ประจุ, กระแส, แรงดัน, ความต้านทาน, ความนำ

2.3 คุณสมบัติและแบบจำลองทางคณิตศาสตร์ของเซนเซอร์ในอุดมคติ[1]

การพิจารณาคุณสมบัติของเซนเซอร์ในอุดมคตินั้น อาจจำลองเซนเซอร์เป็นระบบๆ หนึ่ง ซึ่งมีอินพุตเป็นสัญญาณ $x(t)$ และให้อเอาต์พุตเป็น $y(t)$ ดังรูปที่ 2.2



รูปที่ 2.2 ก) การแทนระบบของ Self-exciting Sensor ข) การแทนระบบของ Modulating Sensor

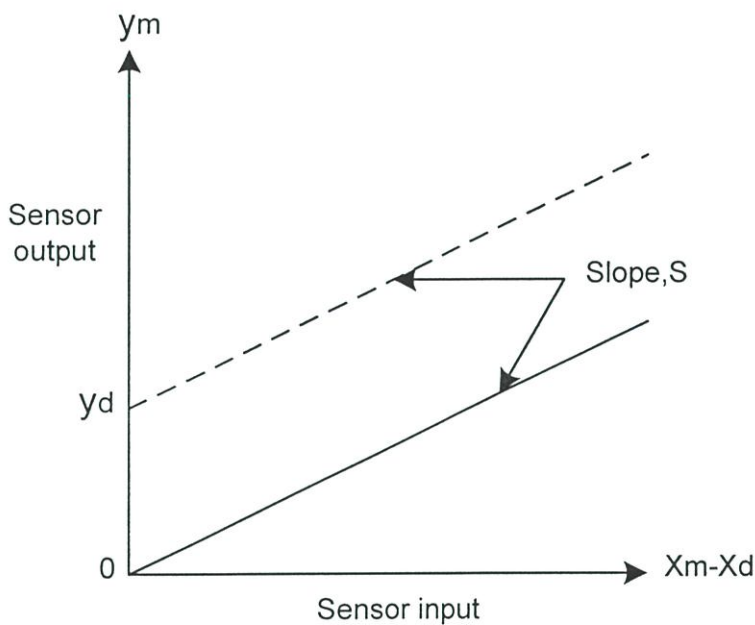
สมการทั่วไปของเซนเซอร์ที่ไม่ต้องจ่ายพลังงานภายนอกกระตุ้นในการทำงานแสดงได้ดังสมการที่ 2.1

$$y(t) = F(x(t)) \quad (2.1)$$

ซึ่ง $F(x(t))$ เป็นฟังก์ชันแสดงถึงคุณสมบัติเฉพาะตัวของเซนเซอร์ที่ไม่ต้องการพลังงานภายนอก กระตุ้นในการทำงาน และในกรณีของ เซนเซอร์ที่ต้องการพลังงานภายนอกกระตุ้นในการทำงานจะมีสมการโดยทั่วไปคือ

$$y(t) = F(x(t) + x_d) \quad (2.2)$$

ที่ซึ่ง $x_d(t)$ คือพลังงานจากภายนอกที่เพิ่มเข้ามา ยกตัวอย่างเช่น แหล่งจ่ายกระแส หรือ แรงดัน อ่างอิง



รูปที่ 2.3 คุณสมบัติของ self-exciting sensor และ modulating sensor ในทางอุดมคติ

คุณสมบัติของเซนเซอร์ในอุดมคตินั้นได้กำหนดให้ความสัมพันธ์ระหว่างปริมาณอินพุตกับสัญญาณเอาต์พุตที่ได้มีความสัมพันธ์เป็นเชิงเส้นต่อกันดังกราฟรูปที่ 2.3 และเซนเซอร์ในอุดมคตินั้นไม่เพียงแต่ให้สัญญาณเอาต์พุตที่เป็นเชิงเส้นกับปริมาณอินพุตแล้ว แต่ยังให้สัญญาณเอาต์พุต $y(t)$ เปลี่ยนแปลงแบบทันทีทันใดตามปริมาณอินพุต $x(t)$ อีกด้วย ดังแสดงในสมการที่ 2.4

$$y(t) = S \cdot x(t) \quad (2.4)$$

ซึ่ง S แทนความชันของกราฟอินพุตเอาต์พุตของเซนเซอร์ในอุดมคติ แต่ในทางปฏิบัติความสัมพันธ์ดังสมการที่ 2.4 นั้นต้องนำไปใช้อย่างระมัดระวัง เพราะไม่มีเซนเซอร์ชนิดใดที่ให้

เอาต์พุตตอบสนองต่อปริมาณอินพุตเป็นไปแบบทันทีทันใดเหมือนกันเช่นเซอร์ในอุดมคติ ซึ่ง เซนเซอร์จริงในทางปฏิบัตินั้นต้องการเวลาในการเปลี่ยนแปลงสัญญาณเอาต์พุตตามปริมาณอินพุต ที่เปลี่ยนแปลงไป แต่อย่างไรก็ตามถ้าสมมุติให้เซนเซอร์เป็นระบบเชิงเส้นที่เปลี่ยนแปลงตามเวลา (Time-dependent linear sensor system)แล้ว จะสามารถเขียนสมการของเซนเซอร์ในอุดมคติที่ คำนึงถึงผลของการตอบสนองต่อเวลาได้ดังสมการที่ 2.5

$$a_n \frac{d^n y}{dt^n} + a_{n-1} \frac{d^{n-1} y}{dt^{n-1}} + \dots + a_1 \frac{dy}{dt} + a_0 y = x(t) \quad (2.5)$$

ซึ่ง a_i คือสัมประสิทธิ์ความเป็นเชิงเส้นที่ i ใดๆ จากสมการนี้จะเห็นได้ว่าเซนเซอร์ที่ไม่ต้องการ พลังงานภายนอกในการทำงานนั้นจะให้เอาต์พุตเป็นศูนย์เมื่อปริมาณอินพุตเป็นศูนย์ หรือไม่มี อินพุตให้กับเซนเซอร์ ($y(t) = 0$ เมื่อ $x(t) = 0 \forall t$) แต่เซนเซอร์ที่ต้องการพลังงานกระตุ้นในการทำงาน จะให้เอาต์พุตที่ไม่เป็นศูนย์ หรือ $y_d(t)$ เมื่อปริมาณอินพุตเป็นศูนย์หรือไม่มีอินพุตให้กับ เซนเซอร์ ($y(t) = y_d(t)$ เมื่อ $x(t) = 0 \forall t$)

เนื่องจากสมการที่ 2.5 นั้นใช้พิจารณาเซนเซอร์ที่เป็นระบบเชิงเส้นลำดับที่ n ที่คำนึงถึงผลการ ตอบสนองต่อเวลาซึ่งยากต่อการคำนวณ ดังนั้นถ้าพิจารณาเซนเซอร์ให้เป็นระบบลำดับที่ 1 ที่ คำนึงถึงผลการตอบสนองต่อเวลา (First-order Time-dependence Linear sensor system) โดยการให้ สัมประสิทธิ์ a_n โดยที่ $n > 1$ มีค่าเป็นศูนย์ทั้งหมดดังสมการที่ 2.6 การคำนวณผลตอบสนองต่อเวลา ของเซนเซอร์ก็จะง่ายขึ้น โดยการประมาณค่าเซนเซอร์ให้เป็นระบบลำดับที่ 1 นั้นสามารถนำมาใช้ ได้กับเซนเซอร์อย่างง่ายเช่น เทอร์มิสเตอร์ และเซนเซอร์ชนิดอื่นๆ ได้อีกหลายประเภทด้วยกัน

$$a_0 y + a_1 \frac{dy}{dt} = x(t) \quad (2.6)$$

โดยที่สัมประสิทธิ์ a_0 แสดงถึงเกณฑ์ของระบบ และ a_1 สัมพันธ์กับคุณสมบัติการตอบสนองต่อ เวลาของตัวเซนเซอร์ ดังนั้นสามารถหาผลการตอบสนองต่อเวลาของเซนเซอร์ได้โดยการหาลา-ปลาซทรานส์ฟอร์มทั้งสองด้าน ดังสมการที่ 2.7

$$a_0 Y(s) + a_1 [sY(s) - y(+0)] = X(s) \quad (2.7)$$

โดยที่ค่า $y(+0)$ เป็นค่าเริ่มต้นของเอาต์พุตซึ่งมีค่าเป็น 0 เมื่อเราพิจารณาเซนเซอร์ที่ไม่ต้องการ พลังงานภายนอกกระตุ้นในการทำงาน (Self-exciting sensor) และมีค่าเป็น y_d สำหรับเซนเซอร์ที่ ต้องการพลังงานภายนอกกระตุ้นในการทำงาน (Modulating sensor) และจากสมการที่ 2.7 สามารถ

หาฟังก์ชันถ่ายโอนของเซนเซอร์ที่ไม่ต้องจ่ายพลังงานภายนอกกระตุ้นในการทำงานได้ดังสมการที่ 2.8

$$H(s) = \frac{1/a_0}{1 + (a_1/a_0)s} \quad (2.8)$$

ซึ่งอัตราส่วนของสัมประสิทธิ์ (a_1/a_0) ถูกกำหนดให้เป็นผลตอบสนองต่อเวลาของเซนเซอร์ซึ่งเขียนแทนด้วย τ และพจน์ $(1/a_0)$ คือเกณฑ์ของเซนเซอร์

เมื่ออินพุตของเซนเซอร์ในอุดมคติเปลี่ยนไปอย่างกะทันหันจาก 0 ถึง x_m ดังสมการที่ 2.9

$$x(t) = \begin{cases} 0 & t < 0 \\ x_m & t > 0 \end{cases} \quad (2.9)$$

โดย $x(t)$ คือฟังก์ชันขั้นบันไดที่มีขนาดเท่ากับ x_m เมื่อเวลามากกว่าศูนย์ สามารถหาผลตอบสนองทางเวลาของเซนเซอร์ได้โดยการนำลาปลาซทรานส์ฟอร์มของฟังก์ชันขั้นบันได $x(t)$ ในสมการที่ 2.9 ไปคูณกับฟังก์ชันถ่ายโอนของเซนเซอร์ในสมการที่ 2.8 ซึ่งผลที่ได้แสดงในสมการที่ 2.10

$$Y(s) = H(s)X(s) = \frac{x_m/a_0}{s(1 + \tau s)} \quad (2.10)$$

เมื่อนำสมการที่ 2.10 มาทำลาปลาซทรานส์ฟอร์มกลับ ผลที่ได้คือผลตอบสนองทางเวลาของเซนเซอร์ที่ไม่ต้องการพลังงานกระตุ้นในการทำงานดังสมการที่ 2.11 และจากวิธีเดียวกันนี้สามารถหาผลตอบสนองทางเวลาของเซนเซอร์ที่ต้องการพลังงานในการทำงานได้ดังสมการที่ 2.12 ซึ่ง y_d คือ สัญญาณเอาต์พุตที่ถูกสร้างโดยพลังงานกระตุ้นที่จ่ายให้เซนเซอร์ที่ต้องการพลังงานกระตุ้นในการทำงาน

$$y(t) = \frac{x_m}{a_0} [1 - e^{-t/\tau}] \quad (2.11)$$

$$y(t) = \frac{x_m}{a_0} [1 - e^{-t/\tau}] + y_d \quad (2.12)$$

สำหรับเซนเซอร์ในอุดมคตินั้นมีค่าพารามิเตอร์หลายตัวที่ใช้ในการกำหนดคุณสมบัติและอธิบายการทำงานของเซนเซอร์ ตัวอย่างเช่น ผลตอบสนองต่อเวลาของเซนเซอร์ ดังสมการที่ 2.11 และ 2.12 ตามลำดับ พารามิเตอร์ที่สำคัญของเซนเซอร์ในอุดมคติอีกอย่างหนึ่งคือ เกณฑ์และความ

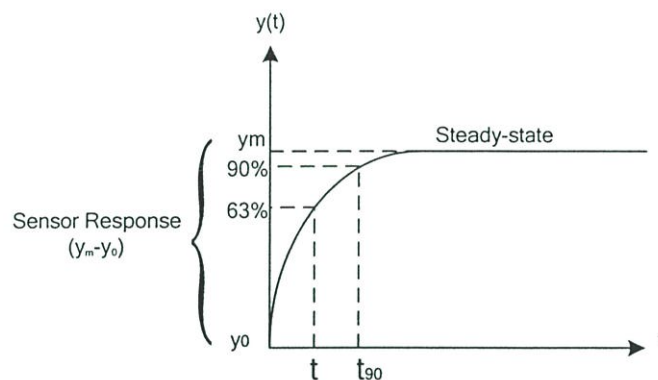
ไวกของเซนเซอร์ดังแสดงในสมการที่ 2.13 และ 2.14 ตามลำดับ ซึ่งค่าเกณฑ์ของเซนเซอร์จะแสดงถึงความสัมพันธ์ระหว่างค่าสัมบูรณ์ของเอาต์พุตกับค่าสัมบูรณ์ของอินพุตของเซนเซอร์ และความไวของเซนเซอร์จะบ่งบอกถึงอัตราการเปลี่ยนแปลงของเอาต์พุตเมื่อเทียบกับอินพุตของเซนเซอร์ โดยค่าเกณฑ์และค่าความไวของเซนเซอร์ที่เป็นระบบเชิงเส้นจะมีค่าเท่ากัน แต่ค่าเกณฑ์และค่าความไวของเซนเซอร์ที่ไม่เป็นระบบเชิงเส้นจะมีค่าแตกต่างกัน

$$A = \frac{|\Delta y|}{|\Delta x|} \quad (2.13)$$

$$S = \frac{dy}{dx} \quad (2.14)$$

เซนเซอร์ในอุดมคติจะมีค่าความไวเท่ากับเกณฑ์ของเซนเซอร์ และไม่ขึ้นอยู่กับขนาด และความถี่เชิงมุม ω ของสัญญาณที่มีการเปลี่ยนแปลงที่อินพุต ซึ่งข้อกำหนดนี้จะเป็นจริงเฉพาะเซนเซอร์ที่ต้องการการเปลี่ยนแปลงสัญญาณที่อินพุตต่ำกว่าแบนด์วิดท์ของเซนเซอร์ ($\omega < 1/\tau$)

รูปที่ 2.4 แสดงผลตอบสนองต่อเวลาของเซนเซอร์ในอุดมคติ (สมมุติให้เป็นระบบเชิงเส้นลำดับที่ 1 ที่เปลี่ยนแปลงตามเวลา) เมื่อป้อนสัญญาณที่เปลี่ยนแปลงอย่างกะทันหันจากศูนย์ถึง x_m ที่อินพุตของเซนเซอร์

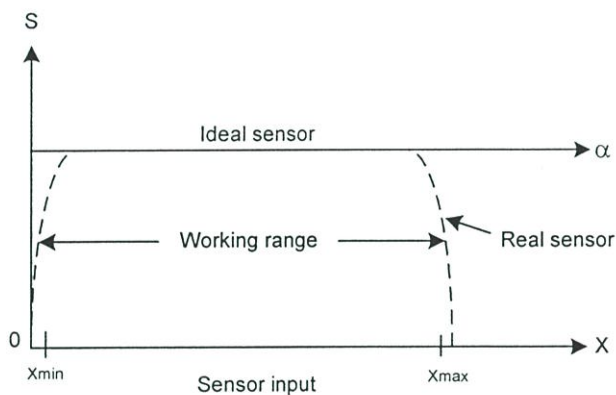


รูปที่ 2.4 ผลตอบสนองต่อเวลาของเซนเซอร์ในอุดมคติ (สมมุติให้เป็นระบบเชิงเส้นลำดับที่ 1)

จากรูปที่ 2.4 จะสังเกตเห็นว่าการเปลี่ยนแปลงสัญญาณเอาต์พุตตามอินพุตของเซนเซอร์ที่สมมุติเป็นระบบอันดับที่ 1 จะเป็นแบบเอกซ์โพเนนเชียล ดังสมการที่ 2.11 และ 2.12 ของเซนเซอร์ที่ไม่ต้องการพลังงานกระตุ้นและต้องการพลังงานกระตุ้นในการทำงานตามลำดับ และค่าคุณสมบัติทางเวลา τ จะสัมพันธ์กับคุณสมบัติทางฟิสิกส์ของระบบ ดังนั้นจึงกำหนดให้เวลาที่เอาต์พุตของเซนเซอร์มีค่าเป็น 90% ของค่าเอาต์พุตสุดท้ายเป็นเวลาดังตอบสนองของเซนเซอร์และแทนด้วย t_{90} โดยจากกราฟในรูปที่ 2.4 จะสังเกตเห็นได้ว่าเซนเซอร์ต้องการเวลาช่วงหนึ่งในการเปลี่ยนแปลงของ

สัญญาณเอาต์พุตเข้าสู่สถานะคงที่ จาก y_0 ไปจนถึง y_m ซึ่ง y_0 แทนสัญญาณเอาต์พุตของเซนเซอร์เมื่ออินพุตเป็นศูนย์ โดยกำหนดสัญญาณ y_0 เป็น เส้นฐาน(base line)ของเซนเซอร์ ซึ่งเส้นฐานนี้อาจพิจารณาว่าเป็นสัญญาณเอาต์พุตที่เกิดขึ้นจากเงื่อนไขสถานะคงที่ เช่น อุณหภูมิหรือ ความดันมาตรฐาน และเส้นฐานนี้จะนิยามว่าไม่เปลี่ยนแปลงตามเวลา โดยที่เส้นฐานไม่จำเป็นต้องเป็นศูนย์เมื่อเซนเซอร์เป็นชนิดที่ไม่ต้องการพลังงานกระตุ้นในการทำงาน ตัวอย่างเช่น เส้นฐานของเทอร์โมคัปเปิลอาจจะเป็น แรงดันไฟฟ้าที่เอาต์พุตของเทอร์โมคัปเปิลที่เกิดจากอุณหภูมิห้อง ซึ่งบางครั้งอาจเรียกเส้นฐานนี้ว่า ออฟเซตของเซนเซอร์

โดยทั่วไปเซนเซอร์ในอุดมคตินั้นจะมีช่วงการใช้งานเป็นอนันต์ซึ่งหมายความว่าเซนเซอร์จะให้สัญญาณเอาต์พุตตอบสนองเป็นเชิงเส้นต่อทุกค่าของสัญญาณอินพุต แต่ในทางปฏิบัตินั้นเซนเซอร์จะมีช่วงการรับสัญญาณอินพุตจำกัด ซึ่งเมื่อป้อนสัญญาณอินพุตเกินหรือต่ำกว่าช่วงนี้แล้วจะทำให้ค่าความไวของเซนเซอร์ตกลง ดังรูปที่ 2.5 โดยเส้นประแสดงถึงค่าความไวของเซนเซอร์ที่เป็นระบบเชิงเส้นในทางปฏิบัติ ซึ่งจะเห็นได้ว่าช่วงการทำงานของระบบเซนเซอร์ในทางปฏิบัติในรูปที่ 2.5 คือ $x_{\max} - x_{\min}$



รูปที่ 2.5 ค่าความไวของเซนเซอร์ในอุดมคติ(เส้นทึบ) และเซนเซอร์ในทางปฏิบัติ(เส้นประ)

2.4 คุณสมบัติต่างๆของเซนเซอร์และความไม่เป็นอุดมคติ[2]

จากหัวข้อที่ 2.3 ได้กล่าวถึงแบบจำลองทางคณิตศาสตร์ของเซนเซอร์ในอุดมคติและได้ทำการเปรียบเทียบคุณสมบัติบางประการกับเซนเซอร์จริงในทางปฏิบัติ ซึ่งในการพิจารณาเซนเซอร์นั้นมียุคสมบัติหลายอย่างที่ควรพิจารณารวมไปถึงความไม่เป็นอุดมคติของเซนเซอร์ด้วย คุณสมบัติและความไม่เป็นอุดมคติของเซนเซอร์นั้นสามารถพิจารณาได้ดังนี้

2.4.1 ความไวของเซนเซอร์(Sensitivity)

ความไวของเซนเซอร์นิยามเป็นอัตราการเปลี่ยนแปลงของสัญญาณเอาต์พุตต่ออินพุต เช่น อัตราการเปลี่ยนแปลงสัญญาณไฟฟ้าต่อการเปลี่ยนแปลงอุณหภูมิที่ขั้วทั้งสองของเทอร์โมคัปเปิล เป็นต้น ความไวของเซนเซอร์นั้นอาจเรียกเป็นอัตราการขยายในเซนเซอร์ที่เป็นระบบเชิงเส้นอีกด้วย

2.4.2 พิสัยพลวัต (Span)

ช่วงของอินพุตที่เซนเซอร์สามารถรับได้ถูกเรียกว่าพิสัยพลวัต (Span) หรืออินพุตเต็มสเกล (Full scale input : FS) ซึ่งช่วงอินพุตนี้ต้องไม่ทำให้เซนเซอร์เกิดการ ทำงานผิดพลาดไปจากเดิม สำหรับเซนเซอร์โดยทั่วไปและเซนเซอร์ที่ให้ผลตอบสนองอินพุต-เอาต์พุตที่ไม่เป็นเชิงเส้นนั้น ค่าพิสัยพลวัตของเซนเซอร์มักจะแสดงในรูปของเดซิเบล ของอัตราส่วนค่ากำลังงานของปริมาณอินพุตที่มากที่สุด(P2)ต่อค่ากำลังงานปริมาณอินพุตที่น้อยที่สุด(P1)ที่เซนเซอร์สามารถรับได้ หรือเป็นอัตราส่วนของแรง, กระแส หรือแรงดันที่มากที่สุด(S2) ต่อ แรง, กระแสหรือแรงดันที่น้อยที่สุด(S1) ที่เซนเซอร์สามารถรับได้ ดังแสดงในสมการที่ 2.15

$$dB = 10 \log \frac{P_2}{P_1} = 20 \log \frac{S_2}{S_1} \quad (2.15)$$

2.4.3 ช่วงสัญญาณเอาต์พุตเต็มสเกล (Full scale output : FSO)

ช่วงสัญญาณเอาต์พุตเต็มสเกล(Full Scale output : FSO) หมายถึงความแตกต่างระหว่างสัญญาณเอาต์พุตที่ได้จากการการป้อนอินพุตที่มากที่สุดและน้อยที่สุดที่เซนเซอร์สามารถรับได้ ซึ่งสัญญาณเอาต์พุตที่ได้นี้ต้องรวมผลของการเบี่ยงเบนไปจากฟังก์ชันถ่ายโอนในอุดมคติของเซนเซอร์นั้น

2.4.4 ความแม่นยำ (Accuracy)

ความแม่นยำกำหนดเป็นการที่เซนเซอร์แสดงค่าเข้าใกล้ค่าทางด้านเอาต์พุต ซึ่งเป็นค่าจริงของเอาต์พุตที่ถูกต้องตามฟังก์ชันถ่ายโอนในอุดมคติของเซนเซอร์นั้นๆ หรือในอีกแง่หนึ่งความแม่นยำอาจหมายถึงค่าความผิดพลาดสูงสุดที่ได้จากเซนเซอร์นั่นเอง ตัวอย่างเช่นเซนเซอร์ที่ใช้วัดระยะทางตัวหนึ่งมีฟังก์ชันถ่ายโอนเป็นเชิงเส้น ซึ่งให้เอาต์พุตเพิ่มขึ้น $1mV$ เมื่อระยะทางเพิ่มขึ้น $1mm$ แต่เมื่อนำมาใช้แล้วปรากฏว่า เซนเซอร์นี้ให้สัญญาณเอาต์พุต $10.5mV$ เมื่อระยะทางเป็น $10mm$ ดังนั้นอาจกล่าวได้ในระยะทาง $10mm$ เซนเซอร์วัดระยะผิดพลาดไป $0.5mm$ หรือมีความแม่นยำ $0.5mm$ ซึ่งคิดเป็น 5% ของระยะทาง $10mm$ ซึ่งความแม่นยำของเซนเซอร์อาจจะถูกแสดงในรูปแบบต่างๆ ดังนี้

1. แสดงในรูปของสิ่งที่ต้องการวัด โดยตรง(ค่าความเบี่ยงเบนไปจากอุดมคติ)

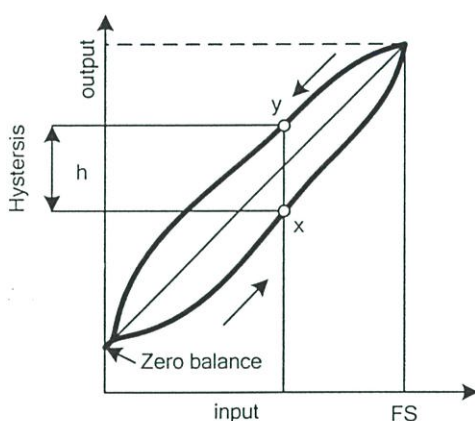
2. แสดงในรูปของเปอร์เซ็นต์ของพิสัยพลวัต

3. แสดงในรูปของสัญญาณเอาต์พุต

ตัวอย่างเช่นเซนเซอร์วัดความดัน โดยอาศัยการเปลี่ยนความต้านทานของเพียโซรีซิสเตอร์ ซึ่งสามารถวัดความดันได้ในช่วง 0 ถึง 100 kPa โดยทำให้เพียโซรีซิสเตอร์เปลี่ยนค่าความต้านทานไปมากที่สุด 10 โอห์ม มีความแน่นอนเป็น $\pm 0.5\%$ หรือ $\pm 500 Pa$ หรือ $\pm 0.05\Omega$

2.4.5 ฮิสเตอร์รีซิส (Hysteresis)

ฮิสเตอร์รีซิสคือความความผิดพลาดทางเอาต์พุตของเซนเซอร์ที่อินพุตค่าใดค่าหนึ่งเมื่อถูกกระทำในทิศทางตรงกันข้ามดังรูปที่ 2.6 ตัวอย่างเช่น เซนเซอร์วัดระยะทางตัวหนึ่งทำการวัดระยะทาง ณ จุดพิจารณาของวัตถุที่เคลื่อนที่จากซ้ายไปขวา แล้วให้แรงดันไฟฟ้าต่างจากการเคลื่อนที่ที่กลับจากขวาไปซ้ายยังจุดพิจารณา 20 mV ดังนั้นถ้าค่าความไวของเซนเซอร์เป็น 10 mV/mm ฮิสเตอร์รีซิสในรูปของระยะทางคือ 2 mm ซึ่งโดยปกติแล้วฮิสเตอร์รีซิสจะเกิดขึ้นจากความผิดและการเปลี่ยนโครงสร้างของวัสดุ



รูปที่ 2.6 ฟังก์ชันถ่ายโอนและฮิสเตอร์รีซิสของระบบ

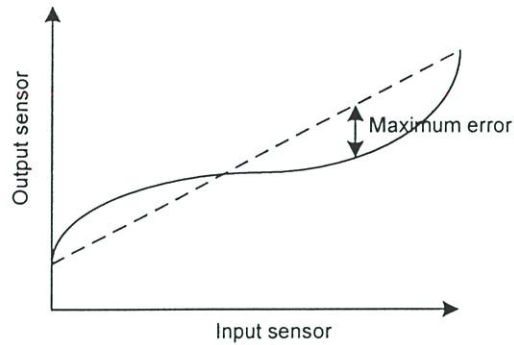
2.4.6 ความเป็นเชิงเส้น (Linearity)

โดยปกติเราจะสมมติให้เซนเซอร์เป็นอุปกรณ์ที่เป็นเชิงเส้น คือเอาต์พุตของเซนเซอร์มีความสัมพันธ์เป็นเชิงเส้นกับอินพุต แต่ในทางปฏิบัติแล้วเซนเซอร์มักมีความไม่เป็นเชิงเส้นในตัว ซึ่งการวัดความเป็นเชิงเส้นของเซนเซอร์นั้นมีด้วยกันหลายวิธี ซึ่งในที่นี้จะกล่าวถึงวิธีที่ใช้วัดความเป็นเชิงเส้นที่ใช้กันโดยทั่วไปคือ

2.4.6.1 End point linearity

การหาความเป็นเชิงเส้นแบบ End point linearity นี้ทำได้โดยการลากเส้นตรงต่อระหว่างค่าเอาต์พุตจุดแรกกับจุดสุดท้ายของกราฟความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตของ

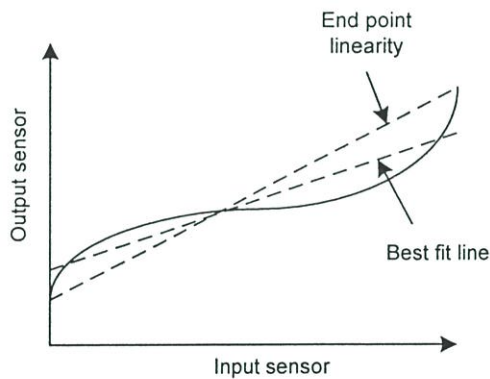
เซนเซอร์ ค่าเอาต์พุตที่ห่างจากเส้นตรงมากที่สุดจะถูกกำหนดเป็นค่าความเป็นเชิงเส้นของเซนเซอร์นั้นๆ ซึ่งคิดเป็นเปอร์เซ็นต์ ของช่วงเอาต์พุตทั้งหมดตลอดย่านการทำงานดังรูปที่ 2.7



รูปที่ 2.7 End-Point linearity

2.4.6.2 Best fit straight line (BFSL)

Best fit straight line เป็นวิธีที่จะหาความเป็นเชิงเส้นของเซนเซอร์โดยใช้เส้นตรงนำมาทาบกับกราฟความสัมพันธ์ระหว่างเอาต์พุตและอินพุตของเซนเซอร์ โดยที่เส้นตรงที่นำมาทาบนี้ต้องให้ผลความแตกต่างระหว่างเอาต์พุตของเซนเซอร์กับเส้นตรง ณ จุดใดๆบนแกนอินพุตน้อยที่สุดดังรูปที่ 2.8



รูปที่ 2.8 Best fit straight line (BFSL)

ในการหาสมการเส้นตรงมาทาบกราฟความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตของเซนเซอร์นั้น หาได้โดยการใช้ สมการทางคณิตศาสตร์ ดังสมการที่ 2.15

$$y = mx + b \quad (2.15)$$

โดยที่ค่า y, x, m และ b คือค่า เอาต์พุต, อินพุต, ค่าความชัน และค่าจุดตัดแกนเอาต์พุต ตามลำดับ โดยที่พารามิเตอร์แต่ละตัวจะหาได้จากคู่ลำดับอินพุตเอาต์พุตของเซนเซอร์ n คู่ลำดับ คือ $(x_1, y_1), (x_2, y_2), (x_3, y_3), \dots, (x_n, y_n)$ ดังนี้

$$m = \frac{n(\sum xy) - (\sum x)(\sum y)}{n(\sum x^2) - (\sum x)^2} \quad (2.16)$$

$$b = \frac{\sum y - m(\sum x)}{n} \quad (2.17)$$

$\sum xy$ คือผลบวกของผลคูณของคู่ลำดับอินพุตเอาต์พุต = $x_1y_1 + x_2y_2 + x_3y_3 + \dots + x_ny_n$

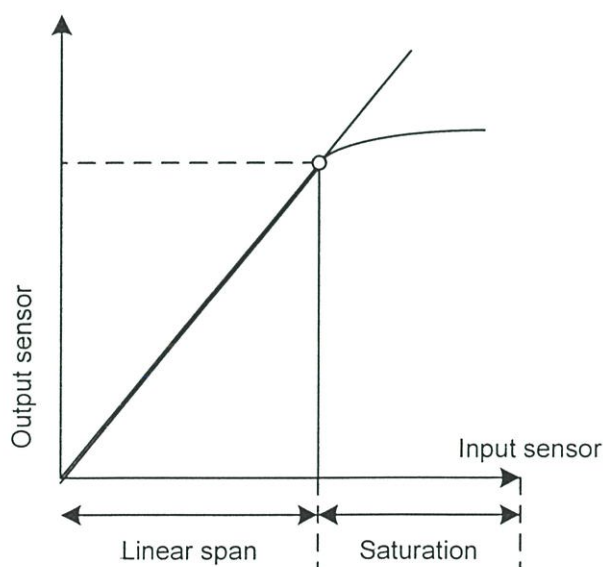
$\sum x$ คือผลบวกของอินพุต = $x_1 + x_2 + x_3 + \dots + x_n$

$\sum y$ คือผลบวกของเอาต์พุต = $y_1 + y_2 + y_3 + \dots + y_n$

$\sum x^2$ คือผลบวกของค่ากำลังสองของอินพุต = $x_1^2 + x_2^2 + x_3^2 + \dots + x_n^2$

2.4.7 การอิ่มตัว (Saturation)

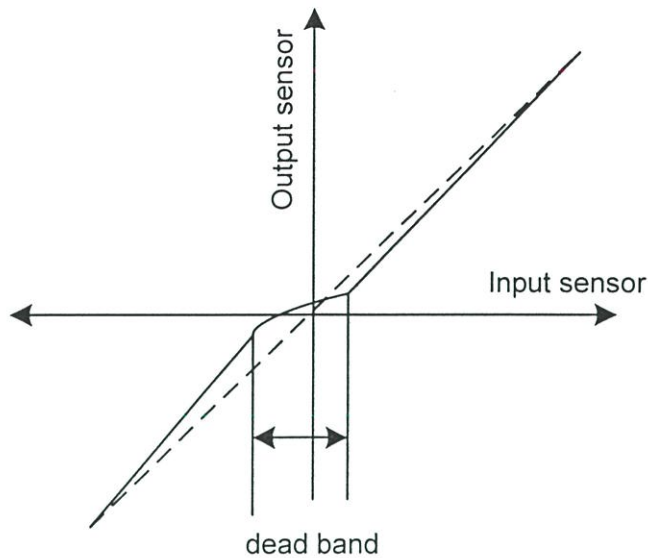
เซนเซอร์ทุกชนิดมีการทำงานอยู่ในช่วงที่จำกัด แม้ว่าจะพิจารณาเซนเซอร์นั้นเป็นระบบเชิงเส้น เมื่อป้อนอินพุตให้เซนเซอร์ถึงค่าค่าหนึ่งแล้ว ค่าเอาต์พุตของเซนเซอร์จะไม่เป็นเชิงเส้นกับอินพุตหรือไม่เป็นไปตามฟังก์ชันถ่ายโอนของเซนเซอร์นั้นๆ ซึ่งเราเรียกปรากฏการณ์นี้ว่าการอิ่มตัวของเซนเซอร์ ดังแสดงในรูปที่ 2.9



รูปที่ 2.9 ฟังก์ชันถ่ายโอนและการอิ่มตัวของเซนเซอร์

2.4.8 เดดแบนด์ (Dead Band)

เดดแบนด์คือช่วงอินพุตที่เซนเซอร์ไม่มีความไวหรือมีความไวใกล้ศูนย์ดังแสดงในรูปที่ 2.10 ซึ่งในช่วงเดดแบนด์นี้ค่าเอาต์พุตของเซนเซอร์จะมีค่าประมาณค่าคงตัว (ปกติเป็นศูนย์)



รูปที่ 2.10 ช่วงเดดแบนด์

2.4.9 ความละเอียด(Resolution)

ความละเอียดของเซนเซอร์หมายถึงความสามารถในการวัดปริมาณอินพุตที่เปลี่ยนแปลงไปน้อยที่สุดเท่าที่เซนเซอร์สามารถวัดได้ การบอกความละเอียดของเซนเซอร์อาจบอกได้หลายวิธี เช่น เซนเซอร์ที่ใช้สำหรับวัดมุมอาจบอกความละเอียดเป็นมุมที่น้อยที่สุดที่สามารถวัดได้ หรือบอกเป็นเปอร์เซ็นต์เมื่อเทียบกับมุมที่สามารถวัดได้เต็มสเกล

2.4.10 คุณลักษณะพลวัต(Dynamic characteristic)

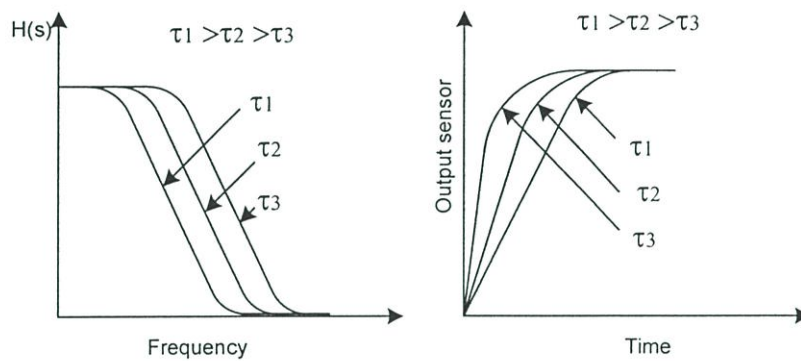
เซนเซอร์ในความเป็นจริงมีคุณลักษณะพลวัต(dynamic characteristic)อยู่ ซึ่งหมายความว่าเอาต์พุตของเซนเซอร์ไม่ได้ตอบสนองตามอินพุตที่ป้อนให้เซนเซอร์ในแบบทันทีทันใด ดังได้อธิบายเบื้องต้นไว้ในหัวข้อ 2.3 ซึ่งสรุปได้ว่าเซนเซอร์ในความเป็นจริงมีคุณลักษณะการตอบสนองต่อเวลาอยู่ในตัวเอง ซึ่งคุณลักษณะการตอบสนองต่อเวลานี้เรียกว่าคุณลักษณะพลวัต(dynamic characteristic) ซึ่งคุณลักษณะพลวัตนั้นแบ่งพิจารณาได้เป็นหัวข้อดังนี้

2.4.10.1 เวลาอุ่นเครื่อง (Warm-up time)

เวลาอุ่นเครื่องหมายถึงช่วงเวลาที่เซนเซอร์ใช้ในการตอบสนองต่ออินพุตที่เข้ามาและให้เอาต์พุตเป็นไปตามฟังก์ชันถ่ายโอนของเซนเซอร์ ซึ่งเซนเซอร์บางชนิดอาจใช้เวลาอุ่นเครื่องน้อย แต่เซนเซอร์บางชนิดอาจใช้เวลาอุ่นเครื่องนานเป็นวินาที หรือ นาทีก่อนที่จะมีค่าให้เอาต์พุตที่ถูกต้องตามฟังก์ชันถ่ายโอน

2.4.10.2 ลักษณะการตอบสนองต่อความถี่ (Frequency response)

ลักษณะการตอบสนองความถี่เป็นคุณลักษณะพลวัตที่สำคัญอย่างหนึ่งของเซนเซอร์ ซึ่งลักษณะการตอบสนองความถี่จะเป็นตัวกำหนดว่าเซนเซอร์สามารถตอบสนองต่อการเปลี่ยนแปลงปริมาณของอินพุตได้เร็วเท่าไร ถ้าพิจารณาตามแบบจำลองทางคณิตศาสตร์ในหัวข้อ 2.3 ซึ่งสมมติให้เซนเซอร์เป็นระบบเชิงเส้นลำดับที่ 1 ที่เปลี่ยนแปลงตามเวลา(First-order time dependence system) และมีฟังก์ชันถ่ายโอนโดยดั่งสมการที่ 2.10 จะเห็นว่าเมื่อพิจารณาเซนเซอร์ในโดเมนความถี่โพลของระบบจะอยู่ที่ $1/\tau$ ซึ่งถ้าค่า τ มีค่ามากก็จะทำให้เซนเซอร์มีความถี่คัทออฟ (Cutoff Frequency) ต่ำกว่าเซนเซอร์ซึ่งมีค่า τ น้อย และเมื่อพิจารณาเซนเซอร์ในโดเมนของเวลาดังสมการที่ 2.101 เซนเซอร์ที่มีค่า τ มากจะให้ผลตอบสนองต่อสัญญาณอินพุตได้ช้ากว่าเซนเซอร์ที่มีค่า τ น้อย ซึ่งลักษณะการตอบสนองความถี่และการตอบสนองต่อเวลาที่สัมพันธ์กับค่า τ แสดงได้ดังกราฟที่ 2.11



รูปที่ 2.11 ลักษณะการตอบสนองความถี่และการตอบสนองต่อเวลาที่ค่า τ ต่างๆ

2.4.10.3 การเลื่อนเฟสของสัญญาณเอาต์พุตของเซนเซอร์ (Phase shift)

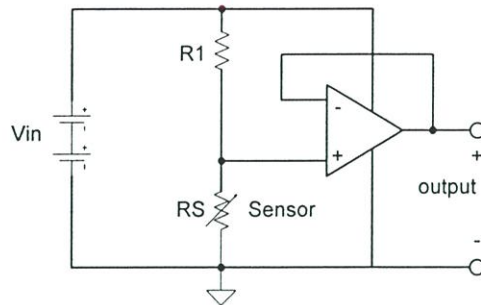
เมื่อเซนเซอร์มีลักษณะการตอบสนองต่อความถี่ ดังนั้นย่อมมีการเลื่อนเฟสเกิดขึ้นที่สัญญาณทางด้านเอาต์พุตของเซนเซอร์ ซึ่งผลการเลื่อนเฟสของสัญญาณของสัญญาณเอาต์พุตไปจากอินพุตนั้นอาจมีผลต่อเสถียรภาพของระบบเมื่อมีการนำเซนเซอร์ไปใช้ในส่วนของการป้อนกลับในระบบควบคุม

2.5 การตรวจวัดค่าการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์[3]

ในวิทยานิพนธ์ฉบับนี้ให้ความสนใจศึกษาการออกแบบวงจรที่ใช้เชื่อมต่อกับเปียโซรีซิสเตอร์ ซึ่งจัดอยู่ในประเภทของเซนเซอร์ที่ไม่ต้องการพลังงานกระตุ้นในการทำงาน(Self-generating sensor) โดยค่าความต้านทานของเปียโซรีซิสเตอร์นั้นจะเปลี่ยนไปเมื่อมีแรงมากระทำ ซึ่งในการ

ตรวจวัดค่าความต้านทานที่เปลี่ยนแปลงไปของเปียโซรีซิสเตอร์นั้นสามารถทำได้หลายวิธี ซึ่งในที่นี้ขอยกตัวอย่างวิธีที่ใช้ในการตรวจจับความต้านทานดังต่อไปนี้

2.5.1 วิธีการแบ่งแรงดัน



รูปที่ 2.12 การตรวจจับการเปลี่ยนความต้านทานโดยใช้วิธีการแบ่งแรงดัน

การตรวจจับการเปลี่ยนความต้านทาน โดยใช้วิธีแบ่งแรงดันนี้ทำได้โดยการจ่ายแรงดันไฟฟ้าคร่อมความต้านทานที่อนุกรมกันระหว่าง ความต้านทานอ้างอิง R_1 และความต้านทานของวัสดุเปียโซรีซิสเตอร์ R_S โดยนิยามค่าความต้านทานของวัสดุเปียโซรีซิสที่ไฟได้ดังสมการที่ 2.17

$$R_S = R + \Delta R \quad (2.17)$$

ซึ่ง R_S คือค่าความต้านทานรวมของวัสดุเปียโซรีซิสที่ไฟ

R คือค่าความต้านทานปกติของวัสดุเปียโซรีซิสที่ไฟเมื่อไม่มีอินพุต

ΔR คือค่าความต้านทานที่เปลี่ยนแปลงไปจากค่าความต้านทานปกติ

เมื่อความต้านทานของเปียโซรีซิสเตอร์เปลี่ยนแปลงไปก็จะทำให้เกิดการเปลี่ยนแปลงแรงดันไฟฟ้าขึ้น และแรงดันไฟฟ้านี้จะถูกส่งผ่านไปยังวงจรบัพเฟอร์ และให้ผลเป็นสัญญาณไฟฟ้าเอาต์พุตของเซนเซอร์ สำหรับวงจรการตรวจจับการเปลี่ยนความต้านทาน โดยใช้วิธีการแบ่งแรงดันแบบไบอัสด้วยแรงดันนั้นจะให้เอาต์พุตแสดงดังสมการที่ 2.18

$$V_{OUT} = \frac{V_{IN} R_S}{R_S + R_1} \quad (2.18)$$

ความไวของวงจรตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์โดยใช้วิธีการแบ่งแรงดันแบบไบอัสด้วยแรงดัน แสดงได้ดังสมการที่ 2.19

$$S = \frac{\partial V_{OUT}}{\partial R_S} = \frac{V_{IN} R_1}{(R_S + R_1)^2} \quad (2.19)$$

จากสมการที่ 2.19 จะเห็นว่าค่าความต้านทานอ้างอิง R_1 มีผลกับความไวของวงจรด้วย ดังนั้นการเลือกค่าความต้านทาน R_1 ควรเลือกให้ได้ความไวสูงสุด ซึ่งค่าความต้านทาน R_1 ที่ทำให้ได้รับความไวสูงสุดนั้นมีค่าเท่ากับความต้านทานปกติของวัสดุเปียโซรีซิสทีฟ R ดังนั้นถ้ากำหนดให้ค่าความต้านทานอ้างอิง R_1 มีค่าเท่ากับความต้านทานปกติของวัสดุเปียโซรีซิสทีฟ R แล้วจะเขียนสมการที่ 2.18 และ 2.19 ใหม่ได้ว่า

$$V_{OUT} = \frac{V_{IN}(1 + \beta)}{2 + \beta} \quad (2.20)$$

$$S = \frac{\partial V_{OUT}}{\partial R_S} = \frac{V_{IN}/R}{(2 + \beta)^2} \quad (2.21)$$

ในการหาค่าความไวสูงสุดของเซนเซอร์ที่ใช้การตรวจจับความต้านทานโดยใช้วิธีการแบ่งแรงดันแบบไบอัสด้วยแรงดันสามารถทำได้โดยกำหนดให้วัสดุเปียโซรีซิสทีฟสามารถรับค่ากำลังงานได้จำกัด ซึ่งกำลังงานที่มากที่สุดที่วัสดุเปียโซรีซิสทีฟสามารถรับได้คือ P_{MAX} ดังนั้นแรงดันเอาต์พุตที่มากที่สุดสามารถทำได้แสดงในสมการที่ 2.22

$$V_{OUTMAX} = \sqrt{P_{MAX} (R(1 + \beta))} \quad (2.22)$$

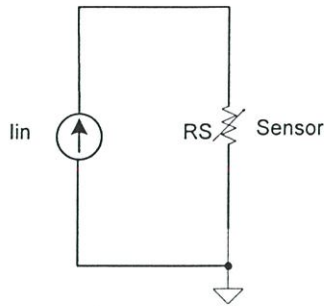
แทนค่า V_{OUTMAX} เข้าไปในสมการที่ 2.20 เพื่อหาค่าแรงดันไบอัสสูงสุด (V_{INMAX}) ได้ดังสมการที่ 2.23

$$V_{INMAX} = \frac{[2 + \beta]}{[1 + \beta]} \sqrt{P_{MAX} (R(1 + \beta))} \quad (2.23)$$

แทนค่า V_{INMAX} เข้าไปในสมการที่ 2.21 เพื่อหาค่าความไวสูงสุด (S_{MAX}) ได้ดังสมการที่ 2.24

$$S_{MAX} = \frac{[2 + \beta]}{R[1 + \beta]} \sqrt{P_{MAX} (R(1 + \beta))} / (2 - \beta)^2 \quad (2.24)$$

2.5.2 วิธีไบอัสด้วยกระแส



รูปที่ 2.13 การตรวจจับการเปลี่ยนความต้านทานด้วยวิธีไบอัสด้วยกระแส

เนื่องการวิธีการตรวจจับความต้านทานโดยใช้การแบ่งแรงดันนั้นให้ค่าความสัมพันธ์ระหว่างความต้านทานที่เปลี่ยนไปของ R_S และแรงดันเอาต์พุตแบบไม่เป็นเชิงเส้นต่อกัน ดังนั้นเพื่อให้ความสัมพันธ์ระหว่างความต้านทานที่เปลี่ยนไปของ R_S และแรงดันเอาต์พุตมีความสัมพันธ์เป็นเชิงเส้น จึงเปลี่ยนวิธีตรวจจับความต้านทานโดยใช้การแบ่งแรงดัน มาเป็นการตรวจจับความต้านทานโดยใช้ไบอัสด้วยกระแสแทน ดังแสดงในรูปที่ 2.13 และเอาต์พุตของวงจรแสดงได้ดังสมการที่ 2.25

$$V_{OUT} = I_{IN} R_S \quad (2.25)$$

จากสมการที่ 2.25 สามารถหาค่าความไวของเซนเซอร์แบบนี้ได้ดังสมการที่ 2.26

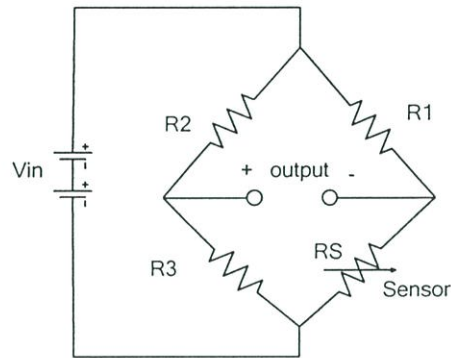
$$S = \frac{\partial V_{OUT}}{\partial R_S} = I_{IN} \quad (2.26)$$

จากสมการที่ 2.25 และ 2.26 จะเห็นได้ว่าค่าแรงดันเอาต์พุตและค่าความไวของการตรวจจับความต้านทานแบบไบอัสด้วยกระแสนี้มีค่าคงที่ ซึ่งค่าแรงดันเอาต์พุตและค่าความไวสามารถทำให้เพิ่มขึ้นได้โดยการเพิ่มกระแสไบอัส ในการหาค่าความไวที่มากที่สุดของการตรวจจับความต้านทานโดยวิธีไบอัสด้วยกระแสสามารถหาได้โดยใช้วิธีเดียวกันกับ วิธีหาค่าความไวที่มากที่สุดของการตรวจจับความต้านทานโดยการแบ่งแรงดัน ซึ่งค่าความไวที่มากที่สุดของการตรวจจับความต้านทานด้วยวิธีการไบอัสด้วยกระแสมีค่าดังสมการที่ 2.27

$$S_{MAX} = \sqrt{\frac{P_{MAX}}{R_S}} \quad (2.27)$$

2.5.3 วิตสโตนบริดจ์

เนื่องจาการตรวจจับความต้านทานโดยใช้วิธีแบ่งแรงดันด้วยการไปอัสด้วยแรงดันและการไปอัสด้วยกระแสจะทำให้เกิดออฟเซตขึ้นที่เอาต์พุตตลอดเวลาแม้จะไม่มีปริมาณทางสิ่งแวดล้อมมาทำให้ค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เปลี่ยนแปลงค่าความต้านทานไปก็ตาม ดังนั้นจึงเป็นการยากที่จะเพิ่มความไวให้กับเซนเซอร์โดยการต่อวงจรขยายสัญญาณที่เอาต์พุตของเซนเซอร์ที่ใช้วิธีการตรวจจับความต้านทานทั้งสองแบบที่ได้กล่าวมาข้างต้น แต่ถ้าเปลี่ยนมาใช้วิธีตรวจจับความต้านทานที่เปลี่ยนแปลงไปของวัสดุเปียโซรีซิสเตอร์โดยใช้โครงสร้างเป็นแบบวิตสโตนบริดจ์ดังรูปที่ 2.14 สัญญาณที่ได้จากเอาต์พุตของโครงสร้างแบบวิตสโตนบริดจ์จะไม่มีแรงดันออฟเซตเกิดขึ้น โดยที่แรงดันที่เอาต์พุตของโครงสร้างแบบวิตสโตนบริดจ์แสดงดังสมการที่ 2.28



รูปที่ 2.14 การตรวจจับการเปลี่ยนความต้านทานด้วยโครงสร้างแบบวิตสโตนบริดจ์

$$V_{OUT} = V_{IN} \left(\frac{R_S}{R_S + R_1} - \frac{R_3}{R_2 + R_3} \right) \quad (2.28)$$

จากสมการที่ 2.28 สามารถหาค่าความไวของโครงสร้างการตรวจจับความต้านทานแบบวิตสโตนบริดจ์ โดยให้ค่าความต้านทาน $R_1 = R_2 = R_3$ ได้ดังนี้

$$S = \frac{V_{IN} R_1}{(R_S + R_1)^2} \quad (2.28)$$

เมื่อพิจารณาสมการที่ 2.28 จะเห็นว่าค่าความไวที่ได้จากโครงสร้างการตรวจจับความต้านทานแบบวิตสโตนบริดจ์นั้นมีค่าเหมือนกับการตรวจจับความต้านทานด้วยวิธีการแบ่งแรงดันแบบไปอัสด้วยแรงดัน แต่สิ่งที่ต่างกันของทั้งสองโครงสร้างนี้คือ โครงสร้างแบบวิตสโตนบริดจ์จะไม่มีออฟเซต

เกิดขึ้นที่เอาต์พุต ดังนั้นสัญญาณเอาต์พุตของโครงแบบวีตส โตนบริดจ์จึงสะดวกต่อการนำไปต่อร่วมกับวงจรรขยายที่มีอัตราขยายเท่ากับ A ดังนั้นค่าความไวของโครงสร้างการตรวจจับความต้านทานแบบวีตส โตนบริดจ์จึงเพิ่มขึ้นดังสมการที่ 2.29

$$S = A \frac{V_{IN} R_1}{(R_S + R_1)^2} \quad (2.28)$$

ในการหาค่าความไวสูงสุดของโครงสร้างการตรวจจับความต้านทานแบบวีตส โตนบริดจ์นั้นสามารถทำได้โดยให้ความต้านทาน $R_1 = R_2 = R_3 = R$ และให้ $R_S = R(1 + \beta)$ จากนั้นทำการหาแรงดันที่ตกคร่อมวัสดุเปียโซรีซิสทีฟ (V_S) ในโครงสร้างวีตส โตนบริดจ์ซึ่งมีค่าดังสมการ 2.29

$$V_S = V_{IN} \left(\frac{1}{2 + \beta} \right) = \sqrt{P_{MAX} R(1 + B)} \quad (2.29)$$

จากสมการที่ 2.29 ทำการแก้สมการหาค่า V_{INMAX} ดังแสดงในสมการที่ 2.30

$$V_{INMAX} = \sqrt{P_{MAX} R(1 + B)} (2 + B) \quad (2.30)$$

นำค่า V_{INMAX} แทนเข้าไปในสมการที่ 2.28 จะทำให้ได้ค่าความไวสูงสุดของ โครงสร้างแบบวีตส โตนบริดจ์ ดังแสดงในสมการที่ 2.31

$$S_{MAX} = \frac{A \sqrt{P_{MAX} \frac{(1 + B)}{R}}}{(2 + \beta)} \quad (2.31)$$

2.6 วงจรต่อร่วม (Interface Circuit)

สัญญาณไฟฟ้าที่ได้จากเซนเซอร์โดยทั่วไปนั้นจะมีขนาดที่เล็กมาก ดังนั้นเซนเซอร์จึงต้องการส่วนที่ใช้ประมวลผลสัญญาณเพื่อปรับปรุงคุณภาพของสัญญาณให้ดีขึ้น ซึ่งวงจรที่ใช้ประมวลผลสัญญาณหรือเรียกอีกอย่างว่า วงจรต่อร่วม (Interface circuit) นั้นจะวางอยู่ระหว่างเซนเซอร์และส่วนแสดงและหรือบันทึกผลดังได้กล่าวไปแล้วในหัวข้อ 2.1 เรื่องระบบการวัด ซึ่งหน้าที่ของวงจรต่อร่วมสามารถแบ่งได้อย่างคร่าวๆ ดังนี้

วงจรต่อร่วมโดยปกติมีหน้าที่ขยายสัญญาณของเซนเซอร์ให้อยู่ในระดับที่สามารถใช้งานในทางปฏิบัติได้ ซึ่งวงจรที่ใช้ทำหน้าที่นี้จะเป็นวงจรรอนาล็อก เช่นวงจรรขยายสัญญาณผลต่าง (Differential Amplifier) เป็นต้น ในบางครั้งในวงจรต่อร่วมจะรวมวงจรที่ใช้ในการลดทอนสัญญาณ

รบกวนจากสิ่งแวดล้อม โดยวงจรที่ทำหน้าที่นี้คือ วงจรกรองความถี่ชนิดต่างๆ เช่นวงจรกรองความถี่ต่ำผ่าน(Low-pass Filter) วงจรแถบความถี่ผ่านเป็นต้น(Band-pass Filter) นอกจากนั้นยังมีหน้าที่จ่ายพลังงานให้กับเซนเซอร์ที่ต้องการพลังงานกระตุ้นในการทำงานอีกด้วย สุดท้ายวงจรต่อรวมอาจจะทำหน้าที่ส่งสัญญาณของเซนเซอร์ที่ได้ประมวลผลแล้วไปยังอุปกรณ์อื่นๆ ผ่านช่องทางการสื่อสารอีกด้วย

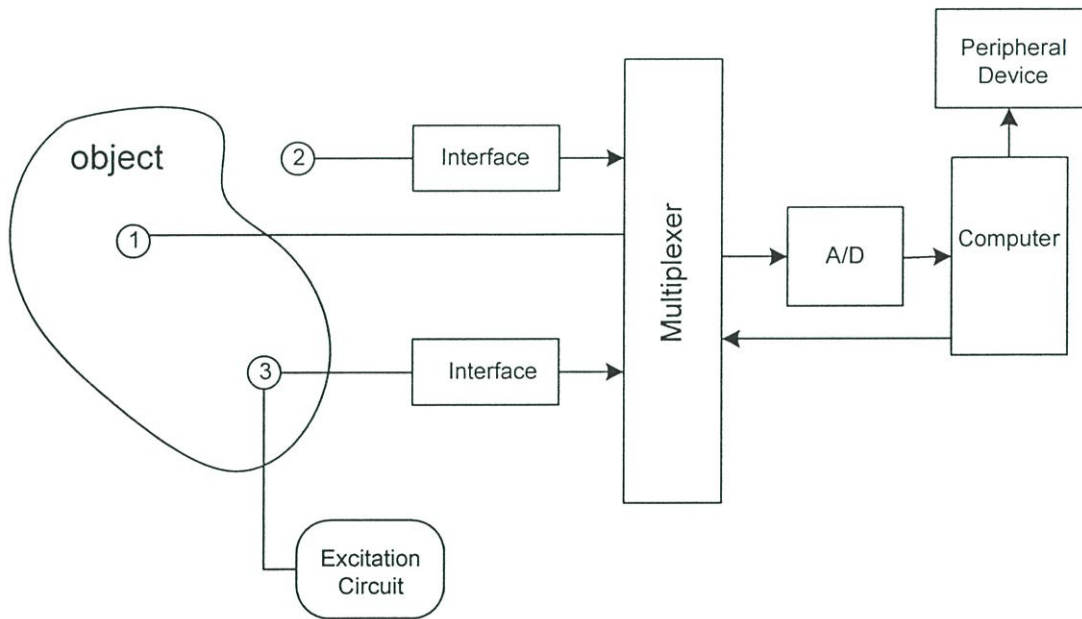
บทที่ 3

วงจรมอดูเลตสัญญาณซิกม่าเดลต้า

3.1 บทนำ

สัญญาณที่ได้จากเซนเซอร์นั้นมักจะอยู่ในรูปแบบของสัญญาณอนาล็อก ซึ่งไม่เหมาะต่อการประมวลผลสัญญาณ ดังนั้นในปัจจุบันสัญญาณเซนเซอร์จึงมักจะถูกแปลงให้อยู่ในรูปแบบของสัญญาณดิจิทัลเพื่อเพิ่มความสามารถในการประมวลผลสัญญาณ หรือเพิ่มความสามารถในการทำฟังก์ชันต่างๆ ได้ตามที่ต้องการ ทำให้สามารถประยุกต์ใช้งานเซนเซอร์ในงานต่างๆ ได้หลากหลายและมีประสิทธิภาพมากยิ่งขึ้น ยกตัวอย่างเช่นระบบที่ใช้ตรวจวัดการเคลื่อนที่ของวัตถุซึ่งประกอบไปด้วยเซนเซอร์หลายๆตัวรวมกัน และทำการประมวลผลสัญญาณโดยใช้คอมพิวเตอร์ ดังแสดงในรูปที่

3.1 [2]

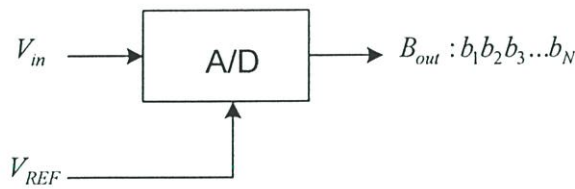


รูปที่ 3.1 ระบบตรวจจับการเคลื่อนที่ของวัตถุ

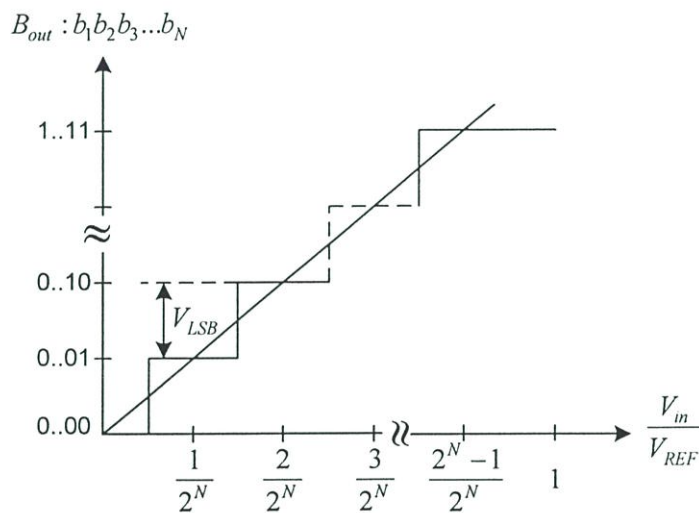
ในบทนี้จะแนะนำชนิดของการแปลงสัญญาณจากอนาล็อกเป็นดิจิทัล(Analog to digital converter) ซึ่งสามารถนำมาประยุกต์ใช้ในการแปลงสัญญาณของเซนเซอร์ให้อยู่ในรูปแบบของดิจิทัลได้ โดยจะเน้นไปที่วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบซิกม่าเดลต้าลำดับที่ 1 ซึ่งใช้ในวิทยานิพนธ์ฉบับนี้

3.2 แบบจำลองของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล

วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลนั้นอาจมองเป็นแผนภาพบล็อกและกราฟการส่งผ่านสัญญาณได้ดังรูปที่ 3.2 โดยมีสมการ 3.1 อธิบายการทำงานของแผนภาพบล็อกดังกล่าว ซึ่งการแปลงสัญญาณจากอนาล็อกเป็นดิจิทัลนั้นอาจกล่าวได้ว่าเป็นการแทนสัญญาณอนาล็อกด้วยสัญญาณดิจิทัลหลายบิต B_{out} ซึ่งสัญญาณอนาล็อกในช่วงหนึ่งจะถูกแทนให้อยู่ในรูปแบบของกลุ่มสัญญาณดิจิทัล ($B_{out} : b_1 b_2 b_3 \dots b_N$)



(ก) แผนภาพบล็อกของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล



(ข) กราฟการส่งผ่านสัญญาณอนาล็อกเป็นดิจิทัล

รูปที่ 3.2 แบบจำลองของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล (ก) แผนภาพบล็อก (ข) กราฟการส่งผ่านสัญญาณอนาล็อกเป็นดิจิทัล

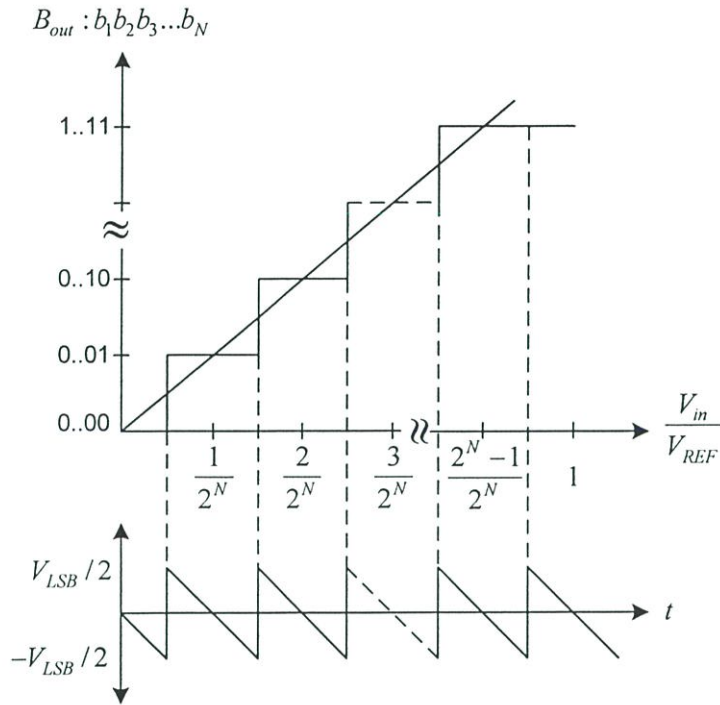
$$V_{REF}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{in} \pm V_x \quad (3.1)$$

โดยที่ $-\frac{1}{2}V_{LSB} \leq V_x < \frac{1}{2}V_{LSB}$

ซึ่ง V_{LSB} คือขนาดของช่วงการจัตระดับสัญญาณ

3.3 สัญญาณรบกวนในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล

จากกราฟการส่งผ่านสัญญาณรบกวนในรูปที่ 3.2 จะเห็นได้ว่าการแทนสัญญาณอนาล็อกที่มีความต่อเนื่องทางแอมพลิจูดด้วยรหัสดิจิทัล B_{out} ที่มีค่าจำกัดนั้น จะทำให้เกิดความคลาดเคลื่อนขึ้นในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลได้ดังรูปที่ 3.3 ซึ่งค่าความคลาดเคลื่อนนี้ถูกเรียกว่า ความคลาดเคลื่อนจากการจัดระดับสัญญาณ (Quantization noise)



รูปที่ 3.3 กราฟการส่งผ่านค่าความคลาดเคลื่อนจากการแปลงสัญญาณอนาล็อกเป็นดิจิทัล

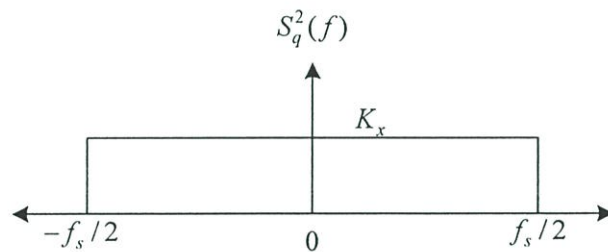
ในการทำความเข้าใจเกี่ยวกับคุณสมบัติบางประการของความคลาดเคลื่อนที่เกิดจากการจัดระดับสัญญาณ (Quantization noise) นั้นจะทำได้โดยการป้อนสัญญาณลาดเอียง (ramp signal) เข้าไปในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล ซึ่งค่าความแตกต่างระหว่างแอมพลิจูดของสัญญาณลาดเอียงกับค่าของระดับสัญญาณที่จะแปลงเป็นรหัสดิจิทัลนั้นแสดงถึงค่าความคลาดเคลื่อนของการจัดระดับสัญญาณดังที่แสดงในรูปที่ 3.3 ซึ่งค่าความคลาดเคลื่อนนี้มีค่าแกว่งอยู่ในช่วง $\pm V_{LSB} / 2$ ซึ่งเป็นค่าสูงสุดและต่ำสุดของความคลาดเคลื่อนที่เกิดขึ้นในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลและจะเกิดขึ้นกับสัญญาณอินพุตทุกประเภทไม่เฉพาะสัญญาณลาดเอียงเท่านั้น และอาจกล่าวได้ว่าค่าความคลาดเคลื่อนจากการจัดระดับสัญญาณ (Quantization noise) เป็นสัญญาณรบกวน V_Q ที่เกิดจากการแปลงสัญญาณอนาล็อกเป็นดิจิทัล ซึ่งจากกราฟที่ 3.3 นั้นสามารถทำการหาอาร์เอ็มเอสของสัญญาณรบกวน $V_{Q(rms)}$ ได้ดังสมการที่ 3.2

$$V_{Q(rms)} = \left[\frac{1}{T} \int_{-T/2}^{T/2} V_Q^2 dt \right]^{1/2} = \left[\frac{V_{LSB}^2}{T^3} \left(\frac{t^3}{3} \Big|_{-T/2}^{T/2} \right) \right]^{1/2} = \frac{V_{LSB}}{\sqrt{12}} \quad (3.2)$$

ดังนั้นจากสมการที่ 3.2 สามารถหาค่ากำลังงานของสัญญาณรบกวนที่เกิดจากการแปลงสัญญาณอนาล็อกเป็นดิจิทัลได้โดยการยกกำลังสองสมการที่ 3.2 ดังนี้

$$\left(V_{Q(rms)} \right)^2 = \frac{\left(V_{LSB} \right)^2}{12} \quad (3.3)$$

จากสมการที่ 3.2 และ 3.3 จะเห็นได้ว่าสัญญาณรบกวนและกำลังงานของสัญญาณรบกวนที่เกิดขึ้นในการแปลงสัญญาณอนาล็อกเป็นดิจิทัลนั้นมีความขึ้นอยู่กับแรงดันอ้างอิงและจำนวนบิตของสัญญาณดิจิทัล แต่จะไม่ขึ้นอยู่กับอัตราการสุ่มสัญญาณ (Sampling frequency : f_s) ดังนั้นถ้ากำหนดคุณสมบัติของสัญญาณรบกวนที่เกิดขึ้นนี้ให้มีคุณสมบัติเป็นสัญญาณรบกวนแบบ white noise ซึ่งมีการกระจายค่ากำลังงานตลอดย่านความถี่ $\pm f_s/2$ คงที่ดังรูปที่ 3.4 ดังนั้นสามารถหาค่าความหนาแน่นกำลังงานของสัญญาณรบกวนในแต่ละองค์ประกอบความถี่ (Power spectrum density : $S_q^2(f)$) ได้ดังสมการที่ 3.4



รูปที่ 3.4 ความหนาแน่นกำลังงานของสัญญาณรบกวนในแต่ละองค์ประกอบความถี่

$$\int_{-f_s/2}^{f_s/2} S_q^2(f) df = \int_{-f_s/2}^{f_s/2} K_x df = K_x f_s = \frac{V_{LSB}^2}{12} \quad (3.4)$$

ทำการแก้สมการที่ 3.4 เพื่อหาค่ากำลังงานของสัญญาณรบกวนในแต่ละองค์ประกอบความถี่ $S_q^2(f)$ ได้ดังสมการที่ 3.5

$$K_x = S_q^2(f) = \frac{V_{LSB}^2}{12 f_s} \quad (3.5)$$

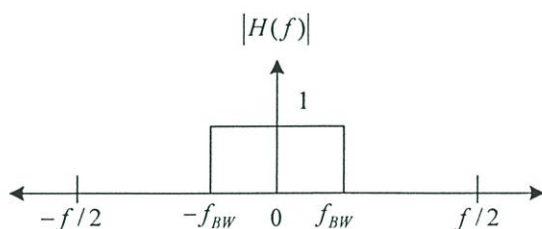
3.4 คุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบเพิ่มอัตราสุ่มหลายเท่า

ในระบบการประมวลผลสัญญาณดิจิทัล(Digital signal processing : DSP) สัญญาณอนาล็อกจะถูกแปลงเป็นรหัสดิจิทัลโดยใช้วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล (Analog to digital converter) ซึ่งสัญญาณที่ได้จากวงจรแปลงอนาล็อกเป็นดิจิทัลนั้นจะถูกส่งผ่านไปยังวงจรกรองสัญญาณแบบดิจิทัล(digital filter) เพื่อทำการลดทอนสัญญาณรบกวนในย่านความถี่ที่มากกว่าแบนด์วิดท์ของสัญญาณอนาล็อกเพื่อเพิ่มค่าอัตราส่วนกำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวน(signal to noise ratio : SNR) ดังรูปที่ 3.5



รูปที่ 3.5 ระบบประมวลผลสัญญาณดิจิทัล

วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลนั้นสามารถแบ่งได้เป็นสองประเภทใหญ่ๆ ตามค่าอัตราการสุ่มสัญญาณ คือ วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มไนควิสต์ (Nyquist rate analog to digital converter) ซึ่งใช้อัตราสุ่มสัญญาณเป็นสองเท่าของแบนด์วิดท์ ดังนั้นค่ากำลังงานของสัญญาณรบกวนที่ได้จากวงจรแปลงอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มไนควิสต์หลังจากผ่านวงจรกรองแบบดิจิทัล นั้นจะกระจายตัวอยู่ในแบนด์วิดท์ของสัญญาณอินพุตดังสมการที่ 3.6 โดยกำหนดให้ผลตอบสนองต่อความถี่ของวงจรกรองแบบดิจิทัล $|H(f)|$ มีค่าดังรูปที่ 3.6



รูปที่ 3.6 ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบดิจิทัล

$$P_e(\text{Nyquist}) = \int_{-f_s/2}^{f_s/2} S_e^2(f) |H(f)|^2 df = \int_{-f_{BW}}^{f_{BW}} \frac{V_{LSB}^2}{12f_s} df = \frac{2f_{BW}(V_{LSB}^2)}{12f_s} = \frac{V_{LSB}^2}{12} \quad (3.6)$$

เมื่อให้สัญญาณอินพุตของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบอัตราสุ่มไนควิสต์ เป็นสัญญาณไซน์ซอซอว์ด์(Sinusoidal signal) ซึ่งสามารถมีขนาดยอดสูงสุด (peak amplitude) ตามกราฟการส่งผ่านสัญญาณอนาล็อกเป็นดิจิตอลดังรูปที่ 3.2(ข) เป็น $2^N (V_{LSB}/2)$ โดยค่ากำลังงานของสัญญาณไซน์ซอซอว์ด์ (P_S) นี้สามารถแสดงได้ดังสมการที่ 3.7

$$P_S = \left(\frac{2^N V_{LSB}}{2\sqrt{2}} \right)^2 = \frac{2^{2N} V_{LSB}^2}{8} \quad (3.7)$$

ดังนั้นจากสมการที่ (3.6) และ (3.7) สามารถหาอัตราส่วนกำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวน(signal to noise ratio: SNR) ได้ดังนี้

$$SNR(Nyquist) = \frac{P_S}{P_e(Nyquist)} = 10 \log \left[\frac{2^{2N} V_{LSB}^2}{8} \middle/ \frac{V_{LSB}^2}{12} \right] \quad (3.8)$$

$$SNR(Nyquist) = 6.02N + 1.76 \text{ dB} \quad (3.9)$$

จากสมการที่ 3.9 สามารถสรุปได้ว่าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบอัตราสุ่มไนควิสต์นั้น ค่าอัตราส่วนกำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวนจะมีค่าเพิ่มขึ้นประมาณ 6 dB ต่อการเพิ่มจำนวนบิตดิจิตอล 1 บิต

วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลอีกประเภทหนึ่งคือวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบอัตราสุ่มเกิน(Oversampling analog to digital converter) ซึ่งจะใช้อัตราการสุ่มสัญญาณเกินกว่าสองเท่าของแบนด์วิดส์สัญญาณ ($f_s > 2f_{BW}$) ซึ่งค่าอัตราส่วนของอัตราการสุ่มสัญญาณต่อสองเท่าของขนาดแบนด์วิดส์สัญญาณอินพุตเรียกว่า สัดส่วนอัตราการสุ่มเกิน (Oversampling ratio : OSR) ซึ่งเป็นไปตามสมการที่ 3.10

$$OSR = \frac{f_s}{2f_{BW}} \quad (3.10)$$

โดยวิธีการใช้อัตราการสุ่มเกินนี้จะส่งผลให้ค่ากำลังงานของสัญญาณรบกวนที่เอาต์พุตของวงจรกรองสัญญาณแบบดิจิตอล ลดลงได้ดังสมการที่ 3.11

$$P_e(\text{oversampling}) = \int_{-f_s/2}^{f_s/2} S_e^2(f) |H(f)|^2 df = \int_{-f_{BW}}^{f_{BW}} \frac{V_{LSB}^2}{12f_s} df = \frac{V_{LSB}^2}{12} \left(\frac{1}{OSR} \right) \quad (3.11)$$

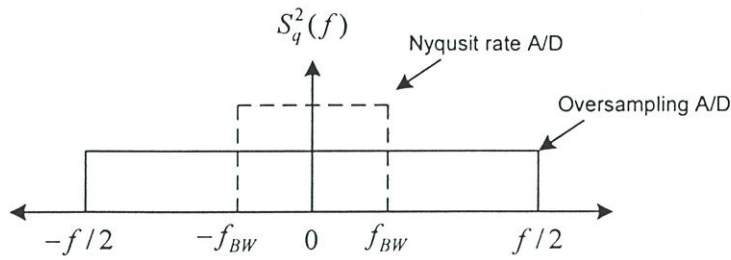
จากสมการที่ 3.11 นั้นเมื่อนำไปเทียบกับค่ากำลังงานของสัญญาณรบกวนที่เกิดจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มในควิสนั้น จะเห็นว่าค่ากำลังงานของสัญญาณรบกวนของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกินในช่วงแบนด์วิดท์ของสัญญาณอินพุตมีค่าน้อยกว่าที่จำนวนบิตเท่ากัน โดยค่ากำลังงานของสัญญาณรบกวนนั้นขึ้นอยู่กับค่าสัดส่วนอัตราการสุ่มเกิน (OSR) และเมื่อทำการหาค่าอัตราส่วนกำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวนของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกิน โดยใช้อินพุตเป็นสัญญาณไซน์ซอยด์ (Sinusoidal signal) เช่นเดียวกัน จะได้ว่า

$$SNR(\text{Oversampling}) = \frac{P_S}{P_e(\text{Oversampling})} = 10 \log \left[\frac{2^{2N} V_{LSB}^2}{8} \middle/ \frac{V_{LSB}^2}{12(OSR)} \right] \quad (3.12)$$

$$SNR(\text{Oversampling}) = 6.02N + 1.76 + 10 \log(OSR) \quad (3.13)$$

จากสมการที่ 3.13 จะพบว่าค่าอัตราส่วนกำลังงานของสัญญาณต่อสัญญาณรบกวนของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกินจะมากกว่าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบในควิสน์เป็น $10 \log(OSR)$ และค่าอัตราส่วนกำลังงานของสัญญาณต่อสัญญาณรบกวนของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกินจะมีค่าเพิ่มขึ้น 3 dB ทุกๆการเพิ่มค่าสัดส่วนอัตราการสุ่มเกิน(OSR) 2 เท่า

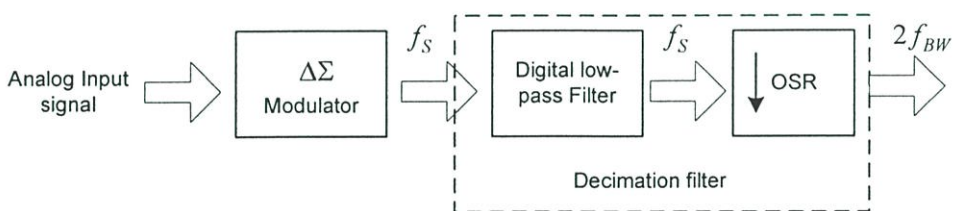
โดยสรุปแล้วคุณสมบัติของสัญญาณรบกวนที่เกิดขึ้นในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลทั้งแบบอัตราสุ่มในควิสน์และแบบอัตราสุ่มเกินจะนั้นให้ค่ากำลังงานของสัญญาณรบกวนที่มีค่าเท่ากัน แต่มีการกระจายค่ากำลังงานตลอดช่วงความถี่การสุ่มที่แตกต่างกัน ดังนั้นถ้าคิดค่ากำลังงานของสัญญาณรบกวนตลอดช่วงแบนด์วิดท์ของสัญญาณอินพุตแล้วจะเห็นว่าค่ากำลังงานของสัญญาณรบกวนที่เกิดขึ้นจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกินนั้นมีค่าน้อยกว่าแบบอัตราสุ่มในควิสน์ที่จำนวนบิตเท่ากันดังแสดงในรูปที่ 3.7



รูปที่ 3.7 การกระจายค่ากำลังงานของสัญญาณรบกวนของวงจรแปลงอนาล็อกเป็นดิจิทัลทั้งแบบ อัตราสุ่มในควิสน์และอัตราสุ่มเกิน

3.5 การมอดูเลตสัญญาณแบบซิกม่าเดลต้า (Sigma-delta Modulator)

วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบเพิ่มอัตราสุ่มหลายเท่า (Oversampling A/D) นอกจากจะใช้วิธีเพิ่มอัตราการสุ่มสัญญาณอินพุตให้มากกว่าสองเท่าของแบนด์วิดท์เพื่อช่วยในการลดทอนสัญญาณรบกวนในช่วงแบนด์วิดท์ของสัญญาณอินพุตดังสมการที่ 3.11 แล้ว ยังมีการเพิ่มเทคนิคการจัดรูปแบบสัญญาณรบกวน (Noise shaping) เพื่อเข้าไปช่วยในการลดทอนสัญญาณรบกวน (SNR) ตลอดย่านแบนด์วิดท์ของสัญญาณอินพุตให้สามารถลดลงไปได้อีก จึงเป็นการเพิ่มค่าอัตราส่วนกำลังงานของสัญญาณต่อสัญญาณรบกวนให้มีค่ามากขึ้น ทำให้วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกินให้ค่าความละเอียด (Resolution) ในการแปลงสัญญาณที่สูงขึ้น ซึ่งแผนภาพบล็อกของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกินสามารถแสดงได้ดังรูปที่ 3.8

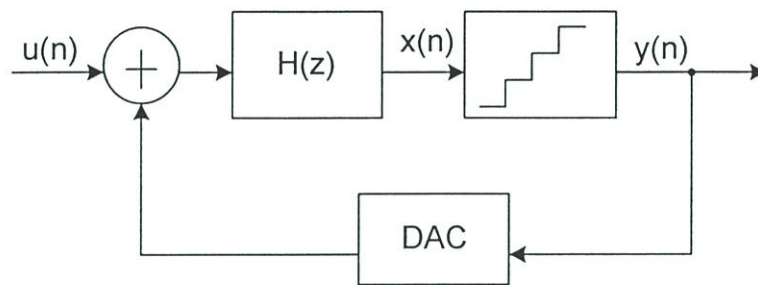


รูปที่ 3.8 แผนภาพบล็อกของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกิน

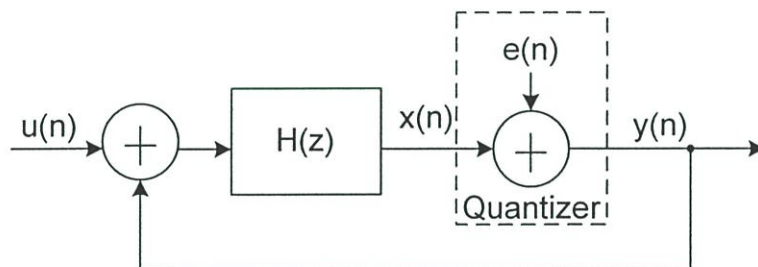
จากแผนภาพบล็อกของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกิน (Oversampling A/D) นั้นสัญญาณอนาล็อกอินพุตจะถูกสุ่มด้วยอัตราการสุ่มที่มากกว่าสองเท่าของแบนด์วิดท์ของสัญญาณอนาล็อกอินพุต จากนั้นสัญญาณจะถูกส่งผ่านไปเข้าวงจรจัดรูปแบบสัญญาณรบกวน (Noise shaping) ซึ่งในที่นี้คือวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าเพื่อทำการลดทอนสัญญาณรบกวนในช่วงแบนด์วิดท์ของสัญญาณอินพุตลง สัญญาณที่ผ่านวงจรจัดรูปแบบสัญญาณรบกวน

แล้วนั้นจะถูกส่งไปลดทอนสัญญาณรบกวนที่มากกว่าแบนด์วิดท์ ของสัญญาณอนาล็อกอินพุต โดยการใช้วงจรกรองแบบดิจิทัล พร้อมทั้งลดอัตราการสุ่มสัญญาณให้เป็นสองเท่าของความถี่แบนด์วิดท์ของสัญญาณอนาล็อกอินพุต ($2f_w$) ซึ่งรวมเรียกววงจรกรองแบบดิจิทัลและวงจรลดอัตราการสุ่มสัญญาณนี้ว่า (Decimation Filter) ซึ่งจะไม่กล่าวถึงในวิทยานิพนธ์ฉบับนี้ โดยที่ในบทนี้จะเน้นไปในเรื่องของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าอันดับที่หนึ่งเท่านั้น

จากรูปที่ 3.8 จะเห็นว่าวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าอันดับหนึ่งเป็นส่วนหนึ่งในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบอัตราสุ่มเกิน ซึ่งคุณสมบัติของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้านี้จะช่วยในการจัดรูปแบบสัญญาณรบกวน (Noise shaping) โดยการลดทอนสัญญาณรบกวนในช่วงแบนด์วิดท์ของสัญญาณอนาล็อกอินพุตให้มีค่าลดลง ซึ่งโครงสร้างอย่างง่ายของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าสามารถแสดงได้ดังรูปที่ 3.9



(ก)



(ข)

รูปที่ 3.9 วงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้า (ก) โครงสร้างวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้า (ข) แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้า.

จากรูปที่ 3.9(ก) วงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าอันดับหนึ่งประกอบไปด้วยวงจรกรองสัญญาณ $H(Z)$ และวงจรจัดระดับสัญญาณความละเอียดต่ำ (Coarse quantizer) ต่อเป็นวงรอบการป้อนกลับแบบลบ (Negative feedback loop) ซึ่งจากโครงสร้างนี้ทำให้เกิดการจัดรูปแบบของสัญญาณรบกวน

(Noise shaping) ที่เกิดจากวงจรจัดระดับสัญญาณขึ้น ซึ่งในการวิเคราะห์หารูปแบบของจัดรูปแบบสัญญาณรบกวนนั้นสามารถทำได้โดยการกำหนดให้สัญญาณรบกวนที่เกิดจากวงจรจัดระดับสัญญาณ(Quantization noise) มีคุณสมบัติเป็นสัญญาณรบกวนแบบ white noise ซึ่งขนาดของสัญญาณรบกวนนั้นไม่ขึ้นอยู่กับขนาดของสัญญาณอินพุต ดังนั้นจึงสามารถสร้างแบบจำลองเชิงเส้นของวงจรจัดระดับสัญญาณ(Quantizer)ได้ดังรูปที่ 3.9(ข) โดยเอาต์พุตของวงจรจัดระดับสัญญาณ $y(n)$ เป็นผลจากการบวกกันของสัญญาณ $x(n)$ ที่ได้จากวงจรกรองความถี่ที่มีฟังก์ชันถ่ายโอนเป็น $H(z)$ และสัญญาณรบกวนที่เกิดจากการวางจระดับสัญญาณรบกวน $e(n)$ ดังสมการที่ 3.14

$$y(n) = x(n) + e(n) \quad (3.13)$$

เมื่อใช้แบบจำลองวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าดังรูปที่ 3.9(ข) ทำการวิเคราะห์หาความสัมพันธ์ของสัญญาณอินพุตและเอาต์พุตในโดเมน Z ได้ดังสมการที่ 3.14

$$Y(Z) = U(Z) \frac{H(Z)}{H(Z)+1} + E(Z) \frac{1}{H(Z)+1} \quad (3.14)$$

โดย $U(Z)$, $Y(Z)$ และ $E(Z)$ คือการแปลงเซต (z -transforms) ของอินพุต, เอาต์พุต และสัญญาณรบกวนตามลำดับ ดังนั้นเมื่อพิจารณาสมการที่ 3.14 จะเห็นว่าสัญญาณอินพุตจะถูกคูณอยู่กับฟังก์ชันการส่งผ่านสัญญาณ(Signal transfer function :STF) และสัญญาณรบกวนที่เกิดจากวงจรจัดระดับสัญญาณนั้นจะถูกคูณอยู่กับฟังก์ชันการส่งผ่านสัญญาณรบกวน(Noise transfer function : NTF) ซึ่งเขียนได้เป็นสมการที่ 3.15 และ 3.16 ตามลำดับ

$$STF(Z) = \frac{H(Z)}{H(Z)+1} \quad (3.15)$$

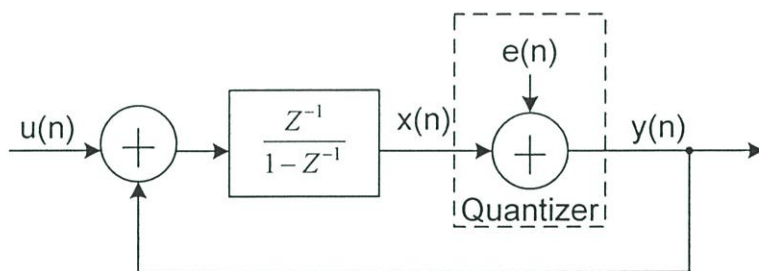
$$NTF(Z) = \frac{1}{H(Z)+1} \quad (3.16)$$

จากสมการที่ 3.15 และ 3.16 จะเห็นได้ว่า ฟังก์ชันการส่งผ่านสัญญาณและสัญญาณรบกวนนั้นจะขึ้นอยู่กับฟังก์ชันของวงจรกรองสัญญาณ $H(Z)$ ดังนั้น วงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้า นั้นสามารถที่จะจัดรูปแบบสัญญาณรบกวน (Noise shaping) ได้โดยการกำหนดคุณสมบัติของฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณ $H(Z)$ ให้เหมาะสม

3.6 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่ง (First-order low-pass sigma delta modulator)

จากหัวข้อที่ 3.4 นั้นทำให้เห็นว่าวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต่านั้นสามารถจัดรูปแบบของสัญญาณรบกวนได้โดยการกำหนดคุณสมบัติของฟังก์ชันถ่ายโอนของวงจรรองความถี่ $H(Z)$ ให้เหมาะสม ซึ่งถ้าวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้ามี่ฟังก์ชันถ่ายโอนของวงจรรองความถี่ $H(Z)$ เป็นแบบวงจรรองผ่านความถี่ต่ำอันดับหนึ่ง(First order low-pass filter) นั้นจะเรียกวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าว่าเป็นวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่ง(First-order low-pass sigma delta modulator) ซึ่งในความเป็นจริงแล้ววงจรมอดูเลตสัญญาณแบบซิกม่าเดลตานั้นอาจมีฟังก์ชันถ่ายโอนของวงจรรองสัญญาณ $H(Z)$ เป็นแบบผ่านแถบความถี่ (Band-pass filter) นั้นจะเรียกวงจรมอดูเลตสัญญาณแบบนี้ว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบผ่านแถบความถี่(Band-pass sigma delta modulator) ซึ่งจะไม่ขอกล่าวไว้ในที่นี้

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่งนั้นมี โครงสร้างแบบเชิงเส้นแสดงดังรูปที่ 3.10



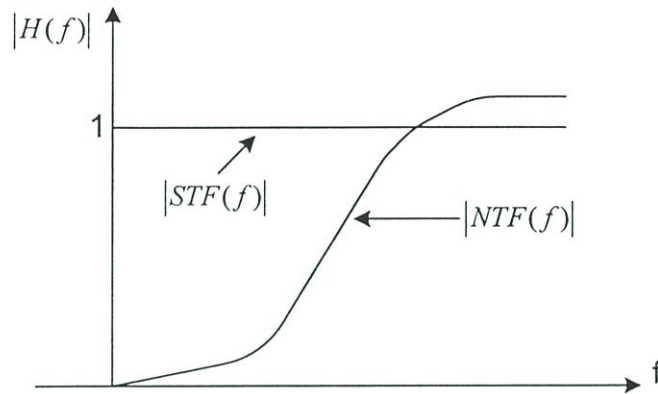
รูปที่ 3.10 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบความถี่ต่ำผ่านอันดับที่หนึ่ง

จากรูปที่ 3.10 พบว่าฟังก์ชันถ่ายโอนของวงจรรองความถี่ $H(Z)$ นั้นเป็นแบบผ่านความถี่ต่ำโดยมีโพลอยู่ที่ 1 บนระนาบเซต และมีความถี่โรอยู่ทีอนันต์และ เมื่อใช้แบบจำลองวงจรมอดูเลตสัญญาณแบบซิกม่าเดลตาดังรูปที่ 3.9 ทำการวิเคราะห์หาความสัมพันธ์ของสัญญาณอินพุตและเอาต์พุตในโดเมน Z ได้ดังสมการที่ 3.17

$$Y(Z) = U(Z)Z^{-1} + E(Z)(1 - Z^{-1}) \quad (3.17)$$

จากทฤษฎีทับซ้อน(Superposition theory) เมื่อสังเกตสมการที่ 3.17 จะเห็นได้ว่า สัญญาณเอาต์พุตของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่งนั้นประกอบไปด้วยฟังก์ชันถ่ายโอนของสัญญาณ(Signal transfer function : STF) คือ $S_{TF}(Z) = Z^{-1}$ ซึ่งมี

คุณสมบัติเป็นวงจรกรองผ่านทุกความถี่(All-pass filter) และฟังก์ชันถ่ายโอนของสัญญาณรบกวน (Noise transfer function : NTF) คือ $N_{TF}(Z) = (1 - Z^{-1})$ ซึ่งมีคุณสมบัติเป็นวงจรกรองความถี่แบบผ่านความถี่สูง(High-pass filter) ดังนั้นจึงสรุปได้ว่าวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่งจะส่งผ่านสัญญาณอินพุตไปที่เอาต์พุตแต่จะลดทอนสัญญาณรบกวนที่เกิดจากวงจรจัดระดับสัญญาณ(Quantizer) ที่ความถี่รอบๆ ความถี่ศูนย์ ดังรูปที่ 3.11



รูปที่ 3.11 ฟังก์ชันถ่ายโอนของสัญญาณและสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าในรูปที่ 3.10

ค่าอัตราส่วนกำลังงานของสัญญาณต่อสัญญาณรบกวนของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่งเมื่อผ่านวงจรกรองดิจิทัลที่มีของฟังก์ชันถ่ายโอน $H(f)$ ในรูปที่ 3.6 แล้ว สามารถหาได้ดังสมการที่ 3.18 โดยให้สัญญาณอินพุตของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าเป็นสัญญาณไซน์ซอซอิดัล(Sinusoidal signal)ที่มีกำลังงานตามสมการที่ 3.8

$$SNR(\Sigma\Delta) = \frac{P_s}{P_e(\Sigma\Delta)} \quad (3.18)$$

โดย $P_e(\Sigma\Delta)$ ค่ากำลังงานของสัญญาณรบกวนที่เอาต์พุตของวงจรกรองสัญญาณแบบดิจิทัล ซึ่งหาได้จากสมการที่ 3.19

$$P_e(\Sigma\Delta) = \int_{-f_{BW}}^{f_{BW}} S_e^2(f) |NTF(f)|^2 |H(f)|^2 df \quad (3.19)$$

ซึ่ง $S_c^2(f)$ คือค่ากำลังงานของสัญญาณรบกวนที่เกิดจากวงจรจัดระดับสัญญาณซึ่งมีค่าเท่ากับ $V_{LSB}^2 / 12f_s$ และ $|N_{TF}(f)|$ คือขนาดของฟังก์ชันถ่วงน้ำหนักของสัญญาณรบกวนของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่ง ซึ่งมีค่าดังนี้

$$N_{TF}(Z) = 1 - Z^{-1} \quad (3.20)$$

ทำการแทนค่า $Z = e^{j2\pi(f/f_s)}$ ในสมการที่ 3.20 จะได้

$$N_{TF}(f) = 1 - e^{-j2\pi(f/f_s)} = 2je^{-j\pi(f/f_s)} \sin\left(\frac{\pi f}{f_s}\right) \quad (3.21)$$

ดังนั้นขนาดของฟังก์ชันถ่วงน้ำหนักของสัญญาณรบกวนของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่ง จะมีค่าดังสมการที่ 3.22

$$|N_{TF}(f)| = 2 \sin\left(\frac{\pi f}{f_s}\right) \quad (3.22)$$

นำค่าขนาดของฟังก์ชันถ่วงน้ำหนักของสัญญาณรบกวนของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่ง ในสมการที่ 3.22 แทนกลับเข้าไปในสมการที่ 3.19 จะได้ค่ากำลังงานของสัญญาณรบกวนที่เอาต์พุตของวงจรกรองสัญญาณดิจิทัลดังนี้

$$P_e(\Sigma\Delta) = \int_{-f_{BW}}^{f_{BW}} \frac{V_{LSB}^2}{12f_s} \left[2 \sin\left(\frac{\pi f}{f_s}\right) \right]^2 df \quad (3.23)$$

จากสมการที่ 3.23 ถ้าให้ $f_{BW} \ll f_s$ ($OSR \gg 1$) ซึ่งหมายความว่าอีกนัยหนึ่งว่าใช้ความถี่ในการสุ่มสัญญาณมากกว่าสองเท่าของแบนด์วิดท์ของสัญญาณอินพุต ดังนั้นจะประมาณได้ว่าค่าของฟังก์ชัน $\sin((\pi f)/f_s) = (\pi f)/f_s$ ทำให้สมการกำลังงานของสัญญาณรบกวนหลังผ่านของวงจรกรองดิจิทัลมีค่าดังสมการที่ 3.24

$$P_e(\Sigma\Delta) = \frac{V_{LSB}^2 \pi^2}{36} \left(\frac{1}{OSR} \right)^3 \quad (3.24)$$

จากสมการที่ 3.24 เมื่อนำไปแทนในสมการที่ 3.18 นั้น จะทำให้ได้ค่ากำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวน(SNR) ของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่งดังนี้

$$SNR(\Sigma\Delta) = 10 \log \left(\frac{P_s}{P_e(\Sigma\Delta)} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log \left[\frac{3}{\pi^2} (OSR)^3 \right] \quad (3.25)$$

เมื่อทำการลดรูปสมการที่ 3.25 จะได้ค่ากำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวนของ (SNR) ของวงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าแบบผ่านความถี่ต่ำอันดับที่หนึ่งดังนี้

$$SNR(\Sigma\Delta) = 6.02N - 0.19 + 30 \log(OSR) \quad (3.26)$$

เมื่อพิจารณาสมการที่ 3.26 จะพบว่าทุกๆการเพิ่มอัตราการสุ่มสัญญาณอินพุตขึ้นเป็น 2 เท่า ค่ากำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวน(SNR) จะมีค่าเพิ่มขึ้น 9 dB โดยมีค่ามากกว่า วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลที่ไม่มีโครงสร้างของการจัดรูปแบบสัญญาณรบกวน (Noise shaping) 6 dB

3.7 การปรับปรุงค่ากำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าลำดับสูง

จากหัวข้อที่ 3.5 จะเห็นได้ว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับที่หนึ่งนั้นสามารถเพิ่มอัตราส่วนสัญญาณต่อสัญญาณรบกวนได้ 9 dB ทุกๆการเพิ่มอัตราการสุ่มสัญญาณอินพุตเป็น 2 เท่า โดยทั่วไปแล้วการปรับปรุงค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนนั้นสามารถปรับปรุงให้มีค่าเพิ่มขึ้นได้โดยใช้ความถี่ในการสุ่มสัญญาณคงเดิม โดยการทำให้ค่าฟังก์ชันการส่งผ่านสัญญาณรบกวนมีค่าดังสมการที่ 3.27

$$NTF(Z) = (1 - Z^{-1})^L \quad (3.27)$$

โดยที่ L คือจำนวนลำดับของฟังก์ชันการส่งผ่านสัญญาณรบกวนซึ่งมีค่าเท่ากับ 1,2,3.....

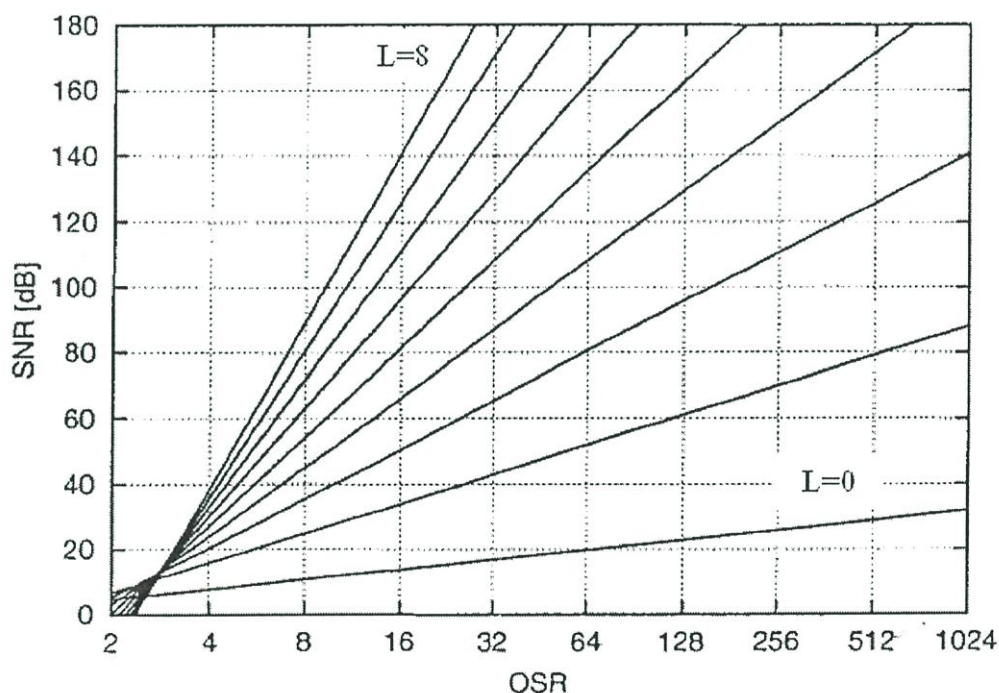
จากสมการ 3.27 เมื่อทำการหาขนาดของฟังก์ชันการส่งผ่านสัญญาณรบกวนจะได้ดังสมการที่ 3.28

$$|NTF(f)| = \left[2 \sin \left(\frac{\pi f}{f_s} \right) \right]^L \quad (3.28)$$

เมื่อแทนค่าขนาดของฟังก์ชันถ่ายโอนในสมการที่ 3.28 เข้าไปในสมการที่ 3.19 จะได้ค่ากำลังงานของสัญญาณรบกวนตลอดแบนด์วิดท์ของสัญญาณอินพุต ดังสมการที่ 3.29

$$P_e(\Sigma\Delta) = \frac{V_{LSB}^2 \pi^{2L}}{12(2L+1)} \left(\frac{1}{OSR} \right)^{2L+1} \quad (3.29)$$

จากสมการที่ 3.29 เมื่อทำการหาค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลต้าที่มีฟังก์ชันการส่งผ่านสัญญาณรบกวนดังสมการที่ 3.27 แล้ว จะพบว่า สำหรับวงจรมอดูเลตสัญญาณซิกมาเดลต้าที่มีฟังก์ชันการส่งผ่านสัญญาณรบกวนอันดับที่ L ใดๆ จะมีการปรับปรุงค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนเป็น $6L+3$ dB[4] ทุกๆการเพิ่มอัตราการสุ่มสัญญาณเพิ่มขึ้นเป็น 2 เท่าของแบนด์วิดท์สัญญาณอินพุต ดังแสดงในรูปที่ 3.12 โดยจะเห็นว่าที่สัดส่วนอัตราการสุ่มเกิน (oversampling ratio : OSR) เท่ากัน วงจรมอดูเลตสัญญาณซิกมาเดลต้าที่มีฟังก์ชันการส่งผ่านสัญญาณรบกวนลำดับสูงนั้น จะให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนที่มากขึ้น

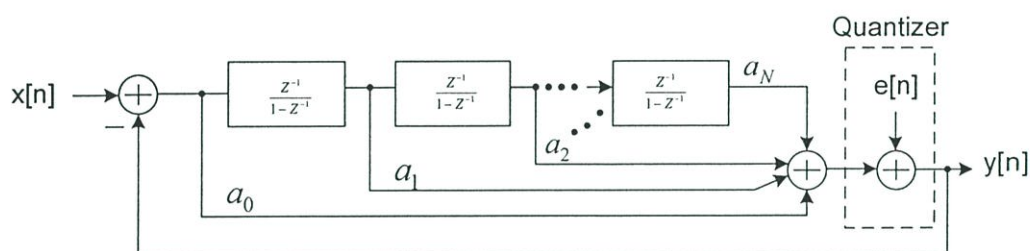


รูปที่ 3.12 อัตราส่วนสัญญาณต่อสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลต้าที่มีฟังก์ชันการส่งผ่านสัญญาณรบกวนลำดับที่ L ที่ค่า L ต่างๆ

ในการสร้างวงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่มีฟังก์ชันการส่งผ่านสัญญาณรบกวนลำดับที่ L นั้นสร้างได้โดยการเพิ่มจำนวนวงจรรอบการป้อนกลับ[5] ซึ่งจะทำให้ฟังก์ชันการส่งผ่านสัญญาณรบกวนนั้นมีคุณสมบัติเป็นฟังก์ชันวงจรรองสัญญาณที่มีอันดับสูง (High order filtering) ซึ่งโครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงนั้นสามารถจำแนกได้เป็น 2 ประเภทใหญ่ ๆ โครงสร้างแบบภาคเดียว (Single-state architecture) และ โครงสร้างแบบหลายภาค (Multi-state architecture) ซึ่งในที่นี้จะขอก้าวและเพียงวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงแบบความถี่ต่ำผ่าน(High-order lowpass filter sigma delta modulator) เท่านั้น

3.7.1 โครงสร้างแบบภาคเดียว (Single-state architecture)

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงแบบผ่านความถี่ต่ำที่ใช้โครงสร้างแบบภาคเดียวนั้นมีโครงสร้างดังรูปที่ 3.13 ซึ่งประกอบวงจรจัตระดับสัญญาณเพียง 1 วงจร และฟังก์ชันของวงจรรองแบบความถี่ต่ำผ่านต่อเรียงกัน L อันดับอยู่ในส่วนการป้อนตรง(Feed forward part) ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า โดยมีฟังก์ชันถ่ายโอนของสัญญาณอินพุตเอาต์พุตดังสมการที่ 3.30 ซึ่งจะสังเกตเห็นว่าฟังก์ชันการส่งผ่านสัญญาณรบกวนเป็นฟังก์ชันความถี่สูงผ่านอันดับที่ L



รูปที่ 3.13 แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบภาคเดียว

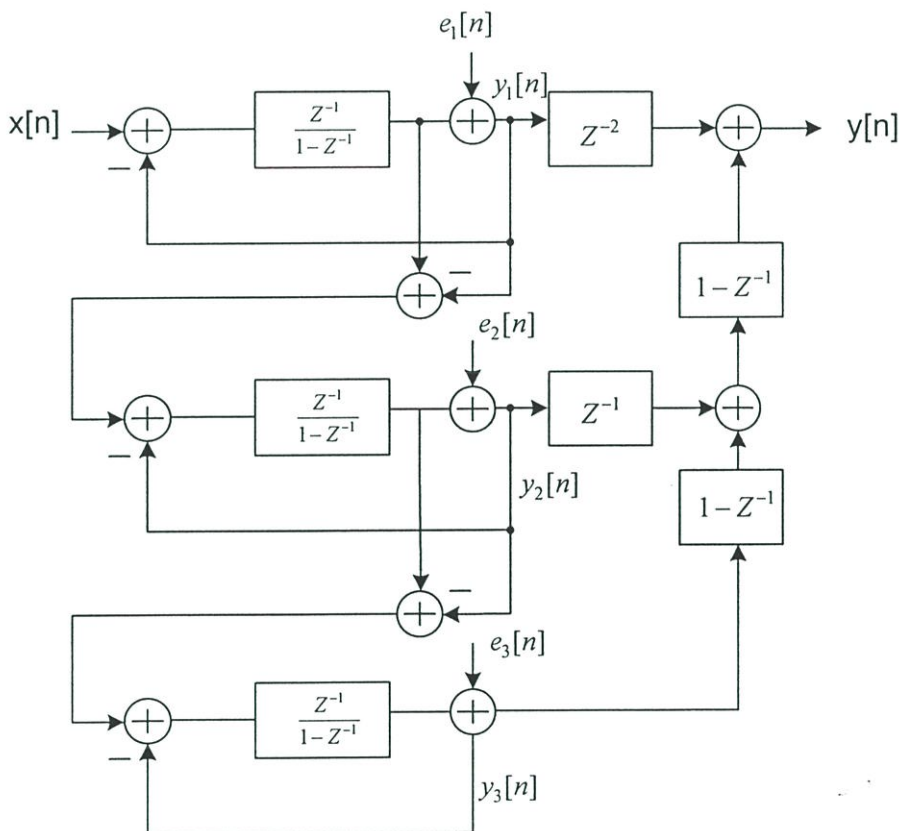
$$Y(Z) = X(Z) \frac{\sum_{i=0}^L a_i (1-Z^{-1})^{L-i}}{(1-Z^{-1})^L + \sum_{i=0}^L a_i (1-Z^{-1})^{L-i}} + E(Z) \frac{(1-Z^{-1})^L}{(1-Z^{-1})^L + \sum_{i=0}^L a_i (1-Z^{-1})^{L-i}} \quad (3.30)$$

โดยวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบภาคเดียวนั้นจะมีข้อดีตรงที่ค่าความไวของวงจรรองไม่ส่งผลกระทบต่อระบบมากเนื่องจากการต่อแบบป้อนกลับ ทำให้การออกแบบวงจรรองทำได้ง่าย แต่วงจรมอดูเลตสัญญาณแบบซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบภาคเดียวนั้นมีข้อเสียคือ เสถียรภาพของวงจรมานั้นจะขึ้นอยู่กับค่าสัมประสิทธิ์ a_i ที่เหมาะสมและ โครงสร้างแบบภาคเดียวนั้นสามารถรับอินพุตได้จำกัด[6] และเพื่อให้การทำงานของ

ระบบมีเสถียรภาพอยู่ได้ จำเป็นต้องทำให้ค่าสูงสุดของฟังก์ชันการส่งผ่านสัญญาณรบกวน NTF มีค่าไม่เกิน 2 คือ $|NTF(f)| \leq 2$ ในช่วง $f \in [-f_s/2, f_s/2]$ [7] อีกด้วย

3.7.2 โครงสร้างแบบหลายภาค (Multi-state architecture)

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบหลายภาคหรือมักถูกเรียกว่าโครงสร้างการจัดรูปแบบสัญญาณรบกวนแบบหลายภาค (Multi-stage-noise-shaping: MASH) ถูกนำเสนอโดย [8] ซึ่งประกอบไปด้วยวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับต่ำ (อันดับหนึ่ง หรือ สอง) ต่อเรียงกัน โดยข้อดีของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบหลายภาคนั้นคือความมีเสถียรภาพของโครงสร้าง เพราะใช้วงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับต่ำที่มีเสถียรภาพในตัวอยู่แล้วมาต่อเรียงกัน ดังแสดงในรูปที่ 3.14 ซึ่งเป็นวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบความถี่ต่ำผ่านอันดับที่ 3 โดยสามารถวิเคราะห์หาฟังก์ชันถ่ายโอนของอินพุตเอาต์พุตของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแต่ละลำดับ ได้ดังสมการที่ 3.31 ถึง 3.33



รูปที่ 3.14 แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับ 3 ที่ใช้โครงสร้างแบบหลายภาค

$$Y_1(Z) = X(Z) + E_1(Z)(1 - Z^{-1}) \quad (3.31)$$

$$Y_2(Z) = -E_1(Z) + E_2(Z)(1 - Z^{-1}) \quad (3.32)$$

$$Y_3(Z) = -E_2(Z) + E_3(Z)(1 - Z^{-1}) \quad (3.33)$$

ซึ่งค่า $X(Z), E_1(Z), E_2(Z)$ และ $E_3(Z)$ คือ เซตทรานส์ฟอร์มของสัญญาณอินพุต และสัญญาณรบกวนที่เกิดจากวงจรจัดระดับสัญญาณ(Quantizer) ของวงจรที่ 1 ถึง 3 ตามลำดับ โดยสมการเอาต์พุตสุดท้าย $Y(Z)$ ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับ 3 มีค่าได้ดังนี้

$$Y(Z) = Y_1(Z)Z^{-1} + (Y_2(Z)Z^{-1} + Y_3(Z) - Y_3(Z)Z^{-1})(1 - Z^{-1}) \quad (3.34)$$

เมื่อนำสมการที่ 3.31 ถึง 3.33 แทนเข้าไปในสมการที่ 3.34 จะเห็นว่าสัญญาณรบกวนที่เกิดจากวงจรจัดระดับสัญญาณตัวที่ 1 และ 2 นั้นถูกกำจัดออกไปเหลือแต่เพียงสัญญาณรบกวนที่เกิดจากวงจรจัดระดับสัญญาณตัวที่ 3 เท่านั้น ดังสมการที่ 3.35

$$Y(Z) = X(Z)Z^{-3} + E_3(Z)(1 - Z^{-1})^3 \quad (3.35)$$

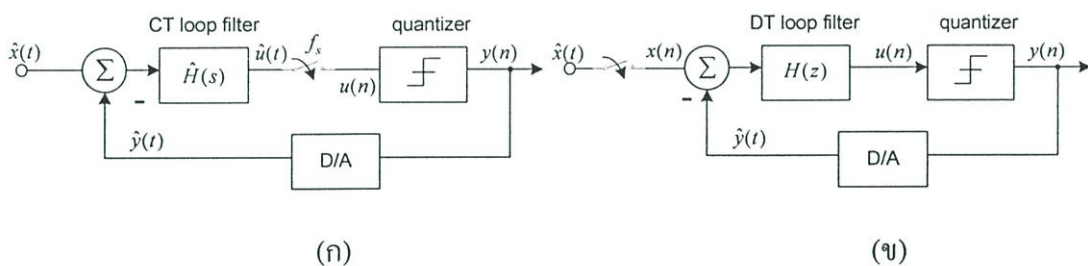
จากสมการที่ 3.35 จะเห็นว่าฟังก์ชันการส่งผ่านสัญญาณรบกวนนั้นเป็นฟังก์ชันของวงจรกรองแบบผ่านความถี่สูงอันดับ 3 ซึ่งมีจำนวนซีโรเท่ากับ 3 วางตัวอยู่ที่ความถี่ 0 เฮิรตซ์

แม้ว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบหลายภาคนั้นจะมีข้อดีในเรื่องของความมีเสถียรภาพในการทำงานและให้ค่าช่วงการรับสัญญาณอินพุตกว้างกว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงแบบที่ใช้โครงสร้างแบบภาคเดียวก็ตาม แต่วงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบหลายภาคนั้นมีข้อเสียที่ต้องการความเข้าซุกกันของฟังก์ชันถ่ายโอนสัญญาณแต่ละตัว ซึ่งมีผลต่อการกำจัดสัญญาณรบกวนที่เอาต์พุต ดังในถ้าเกิดการไม่เข้าซุกกันของฟังก์ชันการถ่ายโอนสัญญาณแต่ละตัวนั้น จะมีผลทำให้สัญญาณรบกวนที่เอาต์พุตในช่วงแบนด์วิดส์ของสัญญาณอินพุตเพิ่มขึ้นได้ จึงอาจกล่าวได้ว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบหลายภาคนั้นมีความไวต่อการไม่สมบูรณ์(imperfect) ของวงจรอนาล็อกที่ใช้มากกว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงที่ใช้โครงสร้างแบบภาคเดียว

3.8 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง(Continuous time sigma delta modulator)

จากที่ได้กล่าวมาข้างต้นวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลที่ใช้หลักการของการสุ่มเกิน (Oversampling) และใช้การมอดูเลตสัญญาณแบบซิกม่าเดลต่านั้นจะช่วยลดสัญญาณรบกวนที่เกิดจากวงจรจัดระดับสัญญาณลงได้มากกว่าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลที่ใช้หลักการสุ่มในควิสิท์ และเนื่องจากโครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าเป็นการป้อนกลับแบบลบ ที่ให้สามารถรองรับความไม่เข้าชุดกันของวงจรอนาล็อกได้เป็นอย่างดี ดังนั้นวงจรมอดูเลตสัญญาณซิกม่าเดลตานั้นจึงนิยมใช้สร้างวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลที่ให้ความละเอียดสูง

โดยปกติแล้ววงจรมอดูเลตสัญญาณซิกม่าเดลตานั้นจะมีโครงสร้างเป็นการประมวลผลเวลาไม่ต่อเนื่อง(Discrete-time processing) ดังนั้นจึงเรียกววงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบนี้ว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่อง(Discrete-time sigma delta converter) ซึ่งมีฟังก์ชันของวงจรกรองความถี่เป็นแบบเวลาไม่ต่อเนื่อง (Discrete time filter) โดยอาจสร้างจากวงจรสวิตซ์ตัวเก็บประจุ(Switch capacitor) แต่ยังมีวงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่ฟังก์ชันของวงจรกรองเป็นแบบเวลาต่อเนื่อง(Continuous-time filter) ซึ่งเรียกววงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบนี้ว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง (Continuous-time sigma delta modulator) ดังรูปที่ 3.15



รูปที่ 3.15 (ก)วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่อง (ข)วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง

จากรูปที่ 3.15 นั้นจะสังเกตเห็นได้ว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่องนั้น จะมีการสุ่มสัญญาณ(Sampling) ภายในวงจรป้อนกลับและใช้ฟังก์ชันของวงจรกรองความถี่เป็นแบบเวลาต่อเนื่อง(สัญลักษณ์ $\hat{\ }$) เป็นการแสดงถึงฟังก์ชันของเวลาต่อเนื่อง) ซึ่งแตกต่างจากวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่องที่มีการสุ่มสัญญาณภายนอกวงจรป้อนกลับและใช้ฟังก์ชันของวงจรกรองความถี่เป็นแบบเวลาไม่ต่อเนื่อง ซึ่งข้อดีและข้อเสีย ของ

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่องและเวลาต่อเนื่องนั้นสามารถพิจารณาได้ดังตารางที่ 3.1[9]

ตารางที่ 3.1 การเปรียบเทียบข้อดีข้อเสียของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่องและแบบเวลาต่อเนื่อง

วงจรมอดูเลตสัญญาณซิกม่าเดลต้า	ข้อดี	ข้อเสีย
แบบเวลาไม่ต่อเนื่อง	<ul style="list-style-type: none"> ● สร้างได้โดยตรงจากการใช้เซตทรานส์ฟอร์ม โดยใช้เทคนิคของวงจรวิตซ์ตัวเก็บประจุ ● มีความไวต่อการสั่นของสัญญาณนาฬิกาต่ำ(clock jitter) ● คุณสมบัติทางความถี่ของวงจรรองสัญญาณสามารถกำหนดได้จากอัตราส่วนของตัวเก็บประจุและมีความยืดหยุ่นในการออกแบบให้เข้ากับอัตราการสุ่มสัญญาณ ● ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนไม่ถูกจำกัดโดยขนาดของตัวเก็บประจุ ● ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนไม่ถูกจำกัดโดยขนาดของตัวเก็บประจุ 	<ul style="list-style-type: none"> ● ต้องการขนาดของตัวเก็บประจุที่มีขนาดใหญ่เมื่อต้องการอัตราส่วนสัญญาณต่อสัญญาณรบกวนที่มีค่าสูง ● ต้องการวงจรสุ่มสัญญาณที่มีคุณสมบัติสูง(เพื่อลดการเกิด charge injection ● มีความไวต่อสัญญาณรบกวนทางความร้อน ● ความเร็วของการทำของขึ้นอยู่กับเวลาเข้าที่(setting time) ของออปแอมป์ และฟังก์ชันของวงจรรองที่สร้างจากวงจรวิตซ์ตัวเก็บประจุนั้นต้องการ gain bandwidth product ที่มีค่ามากกว่าความถี่การสุ่มประมาณ 4-5 เท่า ● มีความยุ่งยากในการออกแบบและจำลองผลการทำงาน ● มีความไวต่อการสั่นของสัญญาณนาฬิกาสูง(clock jitter)

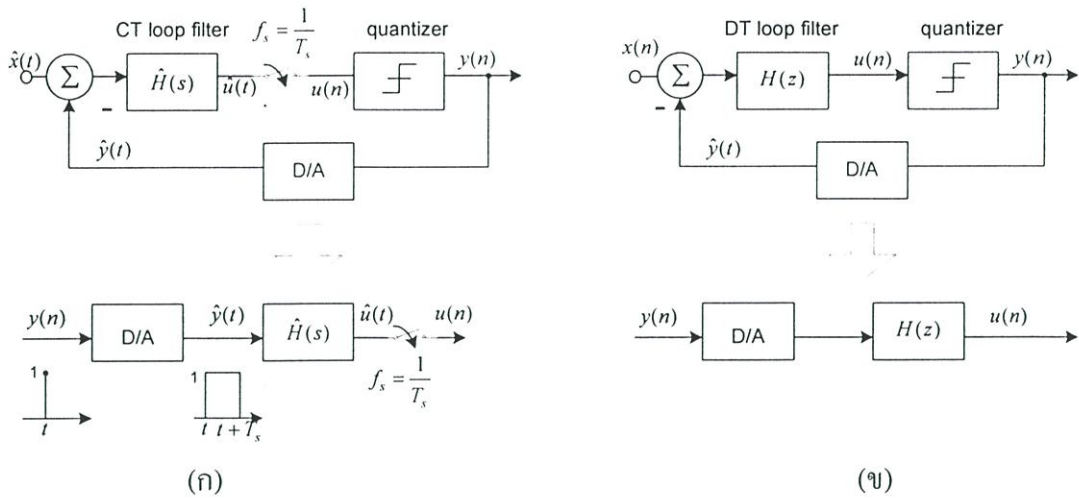
ตารางที่ 3.1(ต่อ)

วงจรมอดูเลตสัญญาณ ซิกม่าเดลต้า	ข้อดี	ข้อเสีย
แบบเวลาต่อเนื่อง	<ul style="list-style-type: none"> • ใ ให้ ผล ข อง ก า ร ล ด ส ัญญาณรบกวนที่ดีกว่า เนื่องจากการสุ่มสัญญาณ ทำภายในวงรอบการป้อนกลับทำให้สามารถลดสัญญาณรบกวนที่เกิดจากความไม่สมบูรณ์ของการสุ่มสัญญาณลงได้ ด้วยกระบวนการของการป้อนกลับภายในลูบของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า 	<ul style="list-style-type: none"> • เกิดการหน่วงเวลาวงรอบ (loop delay)

3.9 การออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลตาแบบเวลาต่อเนื่อง

เมื่อพิจารณาถึงการทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่องในรูปที่ 3.15 นั้นจะเห็นว่า สัญญาณ $\hat{x}(t)$ และ $\hat{y}(t)$ ถูกนำมาหักล้างกันก่อนนำไปผ่านวงจรกรองแบบเวลาต่อเนื่องที่มีฟังก์ชันถ่ายโอน $\hat{H}(s)$ และสัญญาณเอาต์พุต ($\hat{u}(t)$) ที่ได้จะถูกทำการสุ่มด้วยความถี่การสุ่ม f_s และถูกป้อนผ่านวงจรจัดระดับสัญญาณ เป็นสัญญาณเอาต์พุตของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง โดยสัญญาณเอาต์พุตนี้จะถูกป้อนกลับผ่านวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกแบบหนึ่งบิต ซึ่งถูกจำลองด้วยฟังก์ชันของ zero-order-hold(ZOH)[10] โดยเอาต์พุตที่ได้จากวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก $\hat{y}(t)$ นั้นจะถูกนำกลับไปหักล้างกับสัญญาณอนาล็อกอินพุต $\hat{x}(t)$

ดังนั้นจะเห็นว่าถ้าทำการเปิดวงรอบเพื่อหาฟังก์ชันถ่ายโอนของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง โดยหาฟังก์ชันจากเอาต์พุตกลับมาที่อินพุตของวงจรจัดระดับสัญญาณ จะเห็นได้ว่าเป็นฟังก์ชันแบบเวลาไม่ต่อเนื่อง ดังนั้นอาจกล่าวได้ว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่องในรูปที่ 3.16 (ก) สามารถถูกแทนได้ด้วยวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่องในรูปที่ 3.16 (ข)



รูปที่ 3.16 (ก) การวิเคราะห์ห้วงรอบเปิดของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง
(ข) การวิเคราะห์ห้วงรอบเปิดของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่อง

จากเหตุผลดังที่ได้กล่าวมาแล้วนั้นในการออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่องจึงนิยมทำการออกแบบโดยการสร้างต้นแบบเป็นวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่องก่อนแล้วจึงแปลงไปเป็นวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่องอีกทีหนึ่ง โดยมีความสัมพันธ์ในการแปลงดังต่อไปนี้

3.9.1 การแปลงระหว่างวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่องและไม่ต่อเนื่อง

ที่ทุกๆเวลาการสุ่มสัญญาณ ค่าการแปลงเซตผกผัน (Invert z-transform) จะมีค่าเท่ากับค่าการแปลงลาปลาซผกผัน (Invert laplace transform) ของฟังก์ชันใดๆ ดังนั้นเมื่อพิจารณาวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่องในรูปที่ 3.15 เมื่อทำการเปิดวงรอบการป้อนกลับจะได้ว่า

$$Z^{-1}[H(z)] = L^{-1}[\hat{R}_D(s)\hat{H}(s)] \Big|_{t=nT} \quad (3.36)$$

โดยที่ $\hat{H}(s)$ และ $\hat{R}_D(s)$ คือฟังก์ชันถ่ายโอนของวงจรองความถี่แบบเวลาต่อเนื่องและฟังก์ชันถ่ายโอนวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกที่ถูกแทนด้วยฟังก์ชันของ zero order hold ตามลำดับ ซึ่งเมื่อทำการแปลงสมการที่ 3.36 ให้อยู่ในโดเมนของเวลาแล้วจะได้

$$h(nT) = \left[R_p(t) * \hat{h}(t) \right]_{t=nT} = \left[\int_{-\infty}^{+\infty} R_p(\tau) \hat{h}(t - \tau) d\tau \right]_{t=nT} \quad (3.37)$$

ที่ซึ่ง $R_p(t)$ คือ ผลตอบสนองอิมพัลส์ของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล, $\hat{h}(t)$ คือผลตอบสนองอิมพัลส์ของฟังก์ชันของความถี่แบบเวลาต่อเนื่อง $\hat{H}(s)$, $h(nT)$ คือผลตอบสนองอิมพัลส์ของฟังก์ชันวงจรของความถี่แบบเวลาไม่ต่อเนื่อง และเครื่องหมาย * แสดงถึงการรวมยอดผลการประสาน(convolution) ระหว่างฟังก์ชัน $R_p(t)$ และ $\hat{h}(t)$ ซึ่งสมการที่ 3.36 และ 3.37 นั้นถูกเรียกว่าการแปลงแบบพัลส์ไม่เปลี่ยนแปลง(Pulse invariant transformation)[11] โดยจากสมการที่ทั้งสองนี้ทำให้สามารถทราบความสัมพันธ์ระหว่างฟังก์ชันของวงจรแบบเวลาต่อเนื่อง $\hat{H}(s)$ ซึ่งสัมพันธ์กับฟังก์ชันของวงจรแบบเวลาไม่ต่อเนื่อง $H(z)$ ได้โดยการแก้สมการที่ 3.37 [ภาคผนวก ก]

เมื่อทำการแก้สมการที่ 3.8 แล้ว จะได้ค่าความสัมพันธ์ระหว่างสัมประสิทธิ์ของวงจรแบบโพลเดี่ยวที่มีโพลจำนวน N ตัว ในเวลาต่อเนื่องและในเวลาไม่ต่อเนื่อง ดังนี้

ฟังก์ชันของวงจรแบบโพลเดี่ยวแบบเวลาไม่ต่อเนื่อง(Single pole Discrete time filter) และฟังก์ชันของวงจรแบบโพลเดี่ยวแบบเวลาต่อเนื่อง (Single pole continuous time filter) สามารถแสดงได้ดังสมการที่ 3.38 และ 3.39 ตามลำดับ

$$H(z) = \sum_{k=1}^N \frac{a_k z^{-1}}{1 - z_k z^{-1}} = \sum_{k=1}^N \frac{a_k}{z - z_k} \quad (3.38)$$

$$\hat{H}(s) = \sum_{k=1}^N \frac{\hat{a}_k}{s - s_k} \quad (3.39)$$

โดยที่ค่าความสัมพันธ์ระหว่างสัมประสิทธิ์ a_k และ \hat{a}_k , z_k และ s_k ของฟังก์ชันวงจรของความถี่แบบเวลาต่อเนื่องและแบบเวลาไม่ต่อเนื่องสำหรับวงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่ใช้วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกที่มีฟังก์ชันถ่ายโอนเป็น Zero order hold แบบ NRZ [ภาคผนวก ก] ที่ได้จากการแก้สมการที่ 3.37 นั้น มีความสัมพันธ์กันดังนี้

$$a_k = \frac{\hat{a}_k}{-s_k} (1 - e^{s_k T}) \quad (3.40)$$

$$z_k = e^{s_k T} \quad (3.41)$$

จากความสัมพันธ์ในสมการที่ 3.41 และ 3.42 นั้น จะได้การแปลงไปกลับระหว่างฟังก์ชันของวงจรแบบเวลาต่อเนื่องและแบบเวลาไม่ต่อเนื่อง ดังตัวอย่างในตารางที่ 3.2[11] ซึ่งได้ยกตัวอย่างการแปลงไปกลับระหว่างฟังก์ชันของวงจรแต่ละแบบ

ตารางที่ 3.2 แสดงตัวอย่างการแปลงไปกลับระหว่างฟังก์ชันของวงจรรองในเวลาต่อเนื่องและในเวลาไม่ต่อเนื่อง

วงจรมอดูเลตสัญญาณซิกม่าเคลด้า	ฟังก์ชันวงจรรองอันดับที่ 1	ฟังก์ชันวงจรรองอันดับที่ 2
$H(z)$	$z^{-1}/(1-z^{-1})$	$z^{-1}(2-z^{-1})/(1-z^{-1})^2$
NRZ $\hat{H}(s)$	$1/T_s$	$(1+1.5Ts)/T^2s^2$
RZ $\hat{H}(s)$	$2/T_s$	$(2+2.5Ts)/T^2s^2$

ดังนั้นจากที่ได้กล่าวมาทั้งหมดในหัวข้อนี้สรุปได้ว่า ในการออกแบบวงจรมอดูเลตสัญญาณซิกม่าเคลด้าแบบเวลาต่อเนื่องนั้นสามารถทำการออกแบบจากวงจรมอดูเลตสัญญาณซิกม่าเคลด้าแบบเวลาไม่ต่อเนื่องต้นแบบก่อน แล้วจึงทำการแปลงไปเป็นวงจรมอดูเลตสัญญาณซิกม่าเคลด้าแบบเวลาต่อเนื่องอีกทีหนึ่ง ด้วยการแปลงแบบพัลส์ไม่เปลี่ยนแปลง (Pulse invariant transformation) ซึ่งให้ความสัมพันธ์ของการแปลงไปกลับระหว่างสัมประสิทธิ์ของวงจรรองแบบเวลาต่อเนื่องและแบบเวลาไม่ต่อเนื่องดังสมการที่ 3.40 และ 3.41 โดยการพิสูจน์อย่างละเอียดถึงที่มาของสมการที่ 3.40 และ 3.41 ได้แสดงไว้ในภาคผนวก ก

3.10 เสถียรภาพของวงจรมอดูเลตสัญญาณซิกม่าเคลด้า

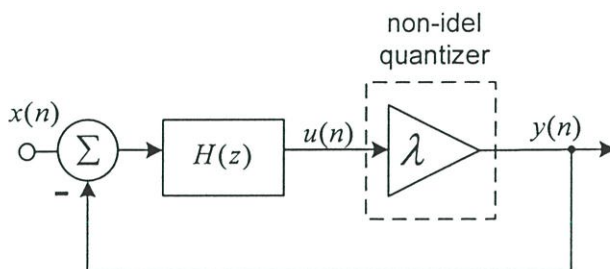
วงจรมอดูเลตสัญญาณซิกม่าเคลด้า นั้นได้รับความนิยมและได้มีการนำไปประยุกต์ใช้หลายหลายในการสร้างวงจรแปลงอนาล็อกเป็นดิจิทัล แต่อย่างไรก็ตามการจำลองแบบของวงจรมอดูเลตสัญญาณซิกม่าเคลด้าที่ได้กล่าวมาตลอดในบทนี้นั้นเป็นการสร้างแบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกม่าเคลด้า เพื่อให้ง่ายต่อการวิเคราะห์และทำความเข้าใจเกี่ยวกับการทำงานของวงจร แต่โดยความเป็นจริงแล้ววงจรมอดูเลตสัญญาณซิกม่าเคลด้า นั้นเป็นระบบที่ไม่เป็นเชิงเส้น โดยความไม่เป็นเชิงเส้นของวงจรมอดูเลตสัญญาณซิกม่าเคลด้า นั้นมาจากความไม่เป็นเชิงเส้นของวงจรจัดระดับสัญญาณ ด้วยสาเหตุนี้อาจทำให้วงจรมอดูเลตสัญญาณซิกม่าเคลด้าเกิดความไม่มีเสถียรภาพขึ้นได้

ในการวิเคราะห์เสถียรภาพของวงจรมอดูเลตสัญญาณซิกม่าเคลด้า นั้นจึงได้สร้างแบบจำลองความไม่เป็นเชิงเส้นของวงจรจัดระดับสัญญาณเป็นบล็อกของอัตราขยาย λ ซึ่งมีความสัมพันธ์กับค่าแอมพลิจูดและความถี่และเฟสของสัญญาณอินพุตของวงจรจัดระดับสัญญาณ ดังสมการที่ 3.42

$$\tilde{Q}(A_x, f_x) = \lambda(A_x, f_x) \cdot e^{j\phi(A_x, f_x)} \quad (3.42)$$

โดยปกติทั่วไปแล้วถ้าใช้วงจรถัดระดับสัญญาณแบบ 1 บิต(1-bit quantizer) นั้นสามารถจำลองแบบของวงจรถัดเป็นบล็อกของอัตราขยายที่ขึ้นอยู่กับแอมพลิจูดของสัญญาณอินพุตอย่างเคียวโดยไม่ขึ้นอยู่กับความถี่และเฟสของสัญญาณ [12,13,14] ดังสมการที่ 3.42 ดังนั้น และสามารถเขียนแบบจำลองของวงจรถัดสัญญาณซิกม่าเดลต้าได้ดังรูปที่ 3.17 [15]

$$\tilde{Q}(z) = \lambda \quad (3.43)$$



รูปที่ 3.17 แบบจำลองเชิงเส้นทั่วไปของวงจรถัดสัญญาณซิกม่าเดลต้า

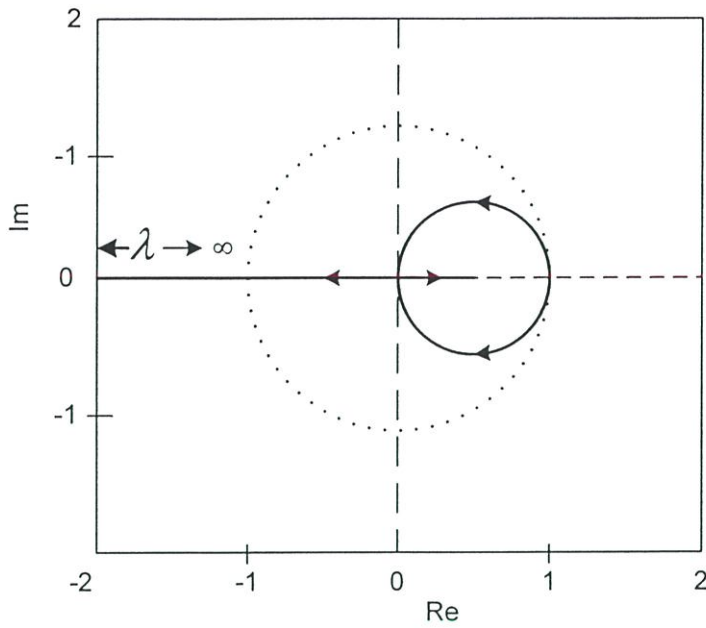
ดังนั้น ในตอนนี้เมื่อทำการหาฟังก์ชันถ่ายโอนของวงจรถัดสัญญาณซิกม่าเดลต้าจากแบบจำลองในรูปที่ 3.17 จะได้ดังสมการที่ 3.44

$$\frac{Y(z)}{X(z)} = \frac{\lambda H(z)}{1 + \lambda H(z)} \quad (3.44)$$

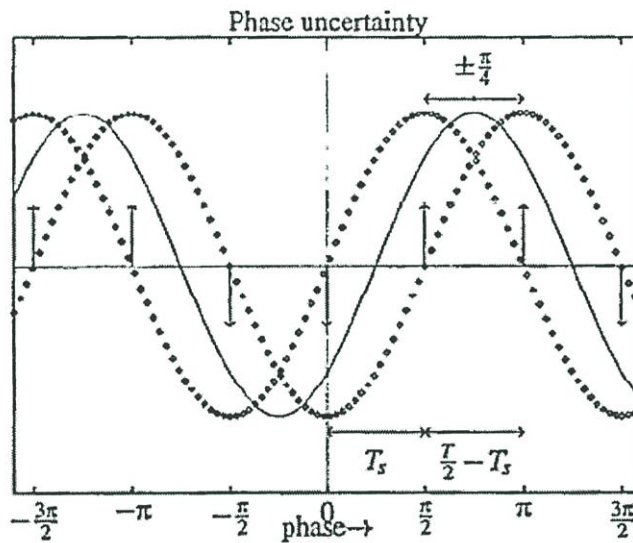
เสถียรภาพของวงจรถัดสัญญาณซิกม่าเดลต้าที่ได้จากการคิดค่าความไม่เป็นเชิงเส้นของวงจรถัดระดับสัญญาณแล้วนั้น สามารถหาได้โดยใช้วิธีการวิเคราะห์เสถียรภาพแบบบรูทโลกัส (Root locus analysis) โดยทำการเปลี่ยนค่าอัตราขยาย λ จาก 0 ไปจนถึง ∞ ก็จะทำให้ทราบช่วงของ λ ที่ทำให้ระบบมีเสถียรภาพ ดังตัวอย่างของวงจรถัดสัญญาณซิกม่าเดลต้าอันดับ 2 ที่มีฟังก์ชันถ่ายโอนของวงจรถัดแสดงดังสมการที่ 3.45

$$H(z) = \frac{2z^{-1} - z^{-2}}{1 - 2z^{-1} + z^{-2}} \quad (3.45)$$

เมื่อทำการแทนสมการที่ 3.45 เข้าไปในสมการที่ 3.44 แล้วทำการวิเคราะห์เสถียรภาพของระบบโดยใช้วิธีวิเคราะห์แบบบรูทโลกัส (Root locus analysis) เมื่อเปลี่ยนค่า λ จาก 0 ไปจนถึง ∞ จะได้กราฟดังรูปที่ 3.18 ซึ่งจากรูปที่เห็นได้ว่าเมื่อเพิ่มค่า λ ให้มีค่ามากขึ้นเรื่อยจะทำให้ระบบมีเสถียรภาพอยู่ได้จนถึงค่าของ λ ค่าหนึ่งที่ทำให้โพลของระบบวางอยู่นอกวงกลมหนึ่งหน่วย



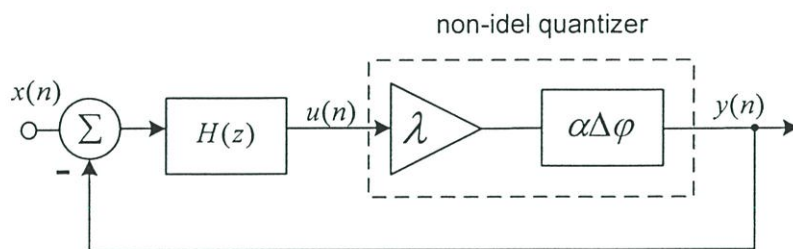
รูปที่ 3.18 การวิเคราะห์เสถียรภาพของระบบ โดยใช้วิธีวิเคราะห์แบบรูลุท โลกัส



รูปที่ 3.19 ความไม่แน่นอนของเฟสที่เกิดจากวงจรจัดระดับสัญญาณแบบ 1 บิต

ในการจำลองแบบความไม่แน่นอนเชิงเส้นของวงจรจัดระดับสัญญาณให้มีค่าอัตราการขยายขึ้นอยู่กับค่าอินพุตอย่างเดียวนั้นเป็นการวิเคราะห์ความไม่แน่นอนเชิงเส้นเบื้องต้น ซึ่งถ้าพิจารณาตามสมการที่ 3.43 แล้วจะพบนอกจากวงจรจัดระดับสัญญาณนั้นจะทำให้เกิดความไม่แน่นอนเชิงเส้นทางแอมพลิจูดแล้วยังทำให้เกิดความไม่แน่นอนทางเฟส (Phase uncertainty) เกิดขึ้นด้วยซึ่งความไม่แน่นอนทางเฟสนี้ก็เป็นสาเหตุหนึ่งที่ทำให้เกิดความไม่มีเสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลต้า โดยความไม่แน่นอนทางเฟสนั้นสามารถพิจารณาได้ดังรูปที่ 3.19

โดยจากรูปที่ 3.19 นั้นแสดงให้เห็นว่า ในช่วงเวลาการสุ่มสัญญาณ สัญญาณไซน์ซอซอด์ ที่มีเฟสต่างกันสามารถได้รับเอาต์พุตจากวงจรจัดระดับสัญญาณเท่ากันได้ จึงเสมือนกับว่าจุดเปลี่ยน (crossing point) ของวงจรจัดระดับสัญญาณสามารถมีได้หลายจุด ด้วยเหตุนี้จึงเกิดความไม่แน่นอนทางเฟสขึ้นในวงจรจัดระดับสัญญาณ ดังนั้นการจำลองแบบของวงจรจัดระดับสัญญาณนั้นจึงต้องมีความสัมพันธ์ ของเฟสเข้ามีเกี่ยวข้องกับด้วย ดังแสดงในรูปที่ 3.20 และสามารถเขียนฟังก์ชันถ่ายโอนของวงจรจัดระดับสัญญาณที่เพิ่มผลของความไม่เป็นเชิงเส้นของเฟสเข้าไปดังสมการที่ 3.46



รูปที่ 3.20 แบบจำลองเสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลต้า

$$\hat{Q}(z) = \lambda \cdot e^{j\alpha\Delta\phi_{\max}(\theta)} \quad \text{โดยที่} \quad \begin{cases} z = r \cdot e^{j\theta} \\ \lambda \in [0, \infty) \\ \alpha \in [-1, 1] \end{cases} \quad 3.46$$

โดยที่ $\Delta\phi_{\max}(\theta)$ คือค่าไม่แน่นอนสูงสุดของเฟส ซึ่งค่านี้จะกำหนดช่วงความไม่แน่นอนของเฟสซึ่งเป็นฟังก์ชันกับความถี่ของสัญญาณอินพุตของวงจรจัดระดับสัญญาณ โดยที่ค่า θ เป็นค่าแองโกล (normalize) ของมุมเฟสซึ่งมีค่าเท่ากับ $\theta = 2\pi f / f_s$

ดังนั้นฟังก์ชันถ่ายโอนของวงจรมอดูเลตสัญญาณซิกมาเดลต้าในรูปที่ 3.20 จะได้ดังสมการที่ 3.47

$$\frac{Y(z)}{X(z)} = \frac{\lambda \cdot e^{j\alpha\Delta\phi_{\max}(\theta)} H(z)}{1 + \lambda \cdot e^{j\alpha\Delta\phi_{\max}(\theta)} H(z)} \quad 3.47$$

เมื่อต้องการหาโพลของระบบจากสมการที่ 3.47 นั้นทำได้โดยการกำหนดให้ตัวส่วนมีค่าเท่ากับศูนย์ ดังสมการที่ 3.48

$$1 + \lambda \cdot e^{j\alpha\Delta\phi_{\max}(\theta)} H(z) = 0 \quad 3.48$$

ดังนั้นจากสมการที่ 3.48 สามารถนำไปทำการวิเคราะห์เสถียรภาพของระบบโดยใช้วิธีวิเคราะห์แบบบรูทโลกัส (Root locus analysis) ได้โดยการเปลี่ยนค่า λ และค่า α ไปตามเงื่อนไขในสมการที่ 3.46 ซึ่งค่า λ และค่า α ที่ทำให้โพลของระบบอยู่ในวงกลมหนึ่งหน่วยจะเป็นค่าที่บ่งบอกถึงขอบเขตการทำงานของวงจรมอดูเลตสัญญาณซิกมาเดลต้าที่มีเสถียรภาพ

บทที่ 4

โครงสร้างการตรวจวัดการเปลี่ยนแปลงความต้านทานโดยใช้การตรวจจับกระแส และวงจรต่อเชื่อม

4.1 บทนำ

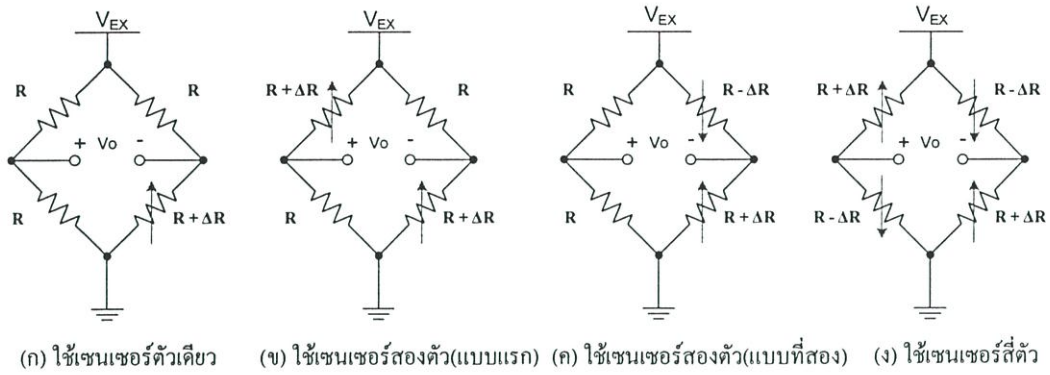
การพัฒนาของเทคโนโลยีเซมิคอนดักเตอร์ในปัจจุบันนั้นถูกนำไปใช้สร้างอุปกรณ์เช่น เซอร์ซันดาเล็ก (micro sensor) ร่วมกับอุปกรณ์ประมวลผลสัญญาณ [17], [18] ไว้บนชิปเดียวกัน โดยเรียกอุปกรณ์เหล่านี้ว่าสมาร์ตเซนเซอร์ (Smart sensor) [19] ซึ่งถูกนำมาใช้ประโยชน์อย่างมากในด้านต่างๆ ประกอบกับเทคโนโลยีการสร้างอุปกรณ์อิเล็กทรอนิกส์ที่พัฒนาขึ้น ทำให้สามารถสร้างอุปกรณ์อิเล็กทรอนิกส์ให้มีขนาดเล็กลงอย่างมากในปัจจุบัน เพื่อให้สามารถทำงานได้ดีที่แรงดันแหล่งจ่ายที่ต่ำลง ซึ่งจะทำให้การใช้กำลังงานของวงจรถูกลงตามไปด้วย ดังนั้นวงจรประมวลผลสัญญาณที่ต่อเชื่อมกับเซนเซอร์ (ทั้งวงจรรอนาล็อกและดิจิทัล) จึงควรจะเป็นต้องทำงานได้ดีที่แรงดันแหล่งจ่ายต่ำ เพื่อให้เหมาะสมกับเทคโนโลยีการสร้างอุปกรณ์อิเล็กทรอนิกส์ที่พัฒนาไปอย่างต่อเนื่อง

จากที่ได้กล่าวมาแล้วข้างต้น ดังนั้นภายในวิทยานิพนธ์บทนี้ จึงได้นำเสนอวิธีการตรวจจับการเปลี่ยนค่าความต้านทานของวัสดุเพียโซรีซิสเตอร์ และวงจรต่อเชื่อมที่สามารถทำงานได้ดีที่แรงดันแหล่งจ่ายต่ำ แทนการใช้วงจรวิตสโตนบริดจ์ในการตรวจวัดค่าการเปลี่ยนความต้านทาน เนื่องจากความไม่เหมาะสมในการทำงานภายใต้แรงดันต่ำของวงจรวิตสโตนบริดจ์ โดยส่วนประกอบของวิทยานิพนธ์ในบทนี้จะกล่าวถึง วงจรวิตสโตนบริดจ์และความไม่เหมาะสมในการใช้งานภายใต้แรงดันแหล่งจ่ายต่ำ รวมไปถึงการแก้ปัญหาโดยใช้วิธีการตรวจจับการเปลี่ยนค่าความต้านทานโดยการตรวจจับกระแส (current-sensing configuration) และสุดท้ายจะได้กล่าวถึงวงจรต่อเชื่อมเพื่อใช้ต่อเชื่อมกับวิธีการตรวจจับการเปลี่ยนความต้านทานโดยการตรวจจับกระแส โดยระบบที่ออกแบบนี้สามารถทำงานได้ดีที่แรงดันแหล่งจ่ายต่ำ ใช้กำลังงานต่ำ และเหมาะสมกับการติดต่อกับระบบประมวลผลสัญญาณดิจิทัลอีกด้วย

4.2 วงจรวิตสโตนบริดจ์ (Wheatstone bridge circuit)

วงจรวิตสโตนบริดจ์นั้นเป็นวงจรที่นิยมใช้ในการตรวจจับค่าการเปลี่ยนความต้านทานของเซนเซอร์ โดยส่วนประกอบของวงจรวิตสโตนบริดจ์นั้นประกอบไปด้วยวัสดุเพียโซรีซิสเตอร์ทั้งหมด 1, 2 หรือ 4 ต่อเป็นวงจรวงรูปที่ 4.1 ซึ่งโดยทั่วไปแล้วค่าความต้านทานปกติ (nominal resistance) ของความต้านทานทุกตัวในวงจรวิตสโตนบริดจ์จะมีค่าเท่ากัน โดยแรงดัน V_{EX} คือ

แรงดันกระตุ้น (Excitation Voltage) ที่จ่ายให้กับวงจรวัดสโตนบริดจ์ และค่าแรงดันเอาต์พุตของวงจรวัดสโตนบริดจ์นั้นคือค่าแรงดันผลต่างของวงจรแบ่งค่าแรงดัน(voltage divider) ทางด้านซ้ายและขวาของวงจรวัดสโตนบริดจ์



รูปที่ 4.1 วงจรวัดสโตนบริดจ์แบบต่างๆ

ในการทำงานของวงจรวัดสโตนบริดจ์ในรูปที่ 4.1 นั้น ค่าแรงดันเอาต์พุตของวงจรจะมีค่าเป็นศูนย์เมื่อเมื่อค่าความต้านทานของวัสดุเพียโซรีซิสเตอร์ไม่มีการเปลี่ยนแปลง แต่เมื่อค่าความต้านทานของวัสดุเพียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงขึ้นจะทำให้เกิดค่าแรงดันเอาต์พุตขึ้น โดยความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับค่าความต้านทานที่เปลี่ยนไปของวัสดุเพียโซรีซิสเตอร์ของวงจรวัดสโตนบริดจ์แต่ละแบบในรูปที่ 4.1 แสดงได้ดังสมการที่ 4.1 ถึง 4.4 ตามลำดับ

วงจรวัดสโตนบริดจ์ที่ใช้วัสดุเพียโซรีซิสเตอร์ 1 ตัว ดังรูปที่ 4.1(ก)

$$V_o = \frac{V_{EX}}{4} \left[\frac{\Delta R}{R + \Delta R/2} \right] \quad (4.1)$$

วงจรวัดสโตนบริดจ์ที่ใช้วัสดุเพียโซรีซิสเตอร์ 2 ตัว(แบบแรก) ดังรูปที่ 4.1(ข)

$$V_o = \frac{V_{EX}}{2} \left[\frac{\Delta R}{R + \Delta R/2} \right] \quad (4.2)$$

วงจรวัดสโตนบริดจ์ที่ใช้วัสดุเพียโซรีซิสเตอร์ 2 ตัว(แบบที่สอง) ดังรูปที่ 4.1(ค)

$$V_o = \frac{V_{EX}}{2} \left[\Delta R / R \right] \quad (4.3)$$

วงจรวัดสโตนบริดจ์ที่ใช้วัสดุเพียโซรีซิสเตอร์ 4 ตัว ดังรูปที่ 4.1(ง)

$$V_o = V_{EX} \left[\Delta R / R \right] \quad (4.4)$$

4.2.1 การวิเคราะห์ความไม่เป็นเชิงเส้นและค่าความไวของวงจรวิตสโตนบริดจ์แต่ละแบบ

จากสมการที่ 4.1 ถึง 4.4 นั้นแสดงให้เห็นถึงความสัมพันธ์ระหว่างค่าแรงดันเอาต์พุตที่เกิดจากการเปลี่ยนแปลงค่าความต้านทานของเปียโซรีซิสเตอร์ในแต่ละแบบ และเมื่อสังเกตวงจรวิตสโตนบริดจ์ในรูปที่ 4.1(ก) และ (ข) แล้ว จะเห็นว่าสมการความสัมพันธ์ระหว่างแรงดันเอาต์พุต (V_o) กับค่าความต้านทานที่เปลี่ยนแปลงไป (ΔR) จะเป็นสัมพันธ์แบบไม่เป็นเชิงเส้น ซึ่งความไม่เป็นเชิงเส้นนี้สามารถทำการวัดเทียบกับสมการที่เป็นเชิงเส้น[20]ได้ดังนี้

ความสัมพันธ์ระหว่างค่าแรงดันเอาต์พุตและค่าความต้านทานที่เปลี่ยนแปลงไปของวงจรวิตสโตนบริดจ์ในรูปที่ 4.1(ก) เมื่อนำมาเขียนใหม่ดังนี้

$$V_o = \frac{V_{EX}}{4} \frac{\Delta R}{R} \left[\frac{1}{\left(1 + \frac{\Delta R}{2R}\right)} \right] \quad (4.5)$$

ซึ่งจะสังเกตเห็นว่าพจน์ในวงเล็บในคือความไม่เป็นเชิงเส้นที่เกิดขึ้น ดังนั้นสมการเชิงเส้นที่นำมาเปรียบเทียบกับหาความไม่เป็นเชิงเส้นของสมการที่ 4.5 คือ

$$V_o = \frac{V_{EX}}{4} \frac{\Delta R}{R} \quad (4.6)$$

เมื่อกำหนดให้ค่าความต้านทานของเปียโซรีซิสเตอร์เปลี่ยนแปลงไปเป็น $n\%$ ของค่าความต้านทานปกติ ดังนั้นค่าอัตราส่วนของค่าความต้านทานที่เปลี่ยนแปลงไปเมื่อเทียบกับค่าความต้านทานปกติของเปียโซรีซิสเตอร์ จะมีค่าดังสมการที่ 4.5

$$\frac{\Delta R}{R} = \frac{n\%}{100} \quad (4.7)$$

เมื่อนำสมการที่ 4.7 แทนเข้าไปในสมการที่ 4.5 และสมการที่ 4.6 จะได้สมการที่ 4.8 และ 4.9 ตามลำดับ

$$V_{o(non-linear)} = \frac{V_{EX}}{2} \left[\frac{n}{n+200} \right] \quad (4.8)$$

$$V_{o(linear)} = \frac{V_{EX}}{2} \left[\frac{n}{200} \right] \quad (4.9)$$

นำสมการที่ 4.8 ลบกับสมการที่ 4.9 ดังนี้

$$|V_{o(\text{linear})} - V_{o(\text{non-linear})}| = \frac{V_{EX}}{2} \left[\frac{n}{n+200} - \frac{n}{200} \right] \quad (4.10)$$

$$|V_{o(\text{linear})} - V_{o(\text{non-linear})}| = \frac{V_{EX}}{2} \left[\frac{n^2}{200(n+200)} \right] \quad (4.11)$$

ดังนั้นค่าความผิดพลาดไปจากสมการเชิงเส้นคิดเป็นเปอร์เซ็นต์เมื่อเทียบกับเอาต์พุตเต็ม (Full scale output) จะมีค่าดังสมการ

$$\%ERROR = \frac{|V_{o(\text{non-linear})} - V_{o(\text{linear})}|}{Full\ scale\ output} \times 100 \quad (4.12)$$

$$\%ERROR = \frac{\frac{V_{EX}}{2} \left[\frac{n^2}{200(n+200)} \right]}{\frac{V_{EX}}{2} \left[\frac{n}{200} \right]} \times 100 \quad (4.13)$$

$$\%ERROR = \frac{100n}{n+200} \quad (4.14)$$

สมการที่ 4.14 เป็นสมการที่บ่งบอกว่า วงจรวีตส โตนบรีดจ์ในรูปแบบที่ 4.1(ก) นั้นจะเกิดการเบี่ยงเบนไปจากสมการเส้นตรงมากเท่าไรเมื่อเกิดการเปลี่ยนแปลงความต้านทานไปจากค่าความต้านทานปกติ

เมื่อนำวิธีนี้ไปหาความไม่เป็นเชิงเส้นของวงจรวีตส โตนบรีดจ์ในรูปแบบที่ 4.1(ข) นั้น โดยจัดรูปสมการที่ 4.2 ใหม่ดังนี้

$$V_o = \frac{V_{EX}}{2} \frac{\Delta R}{R} \left[\frac{1}{1 + (\Delta R/2R)} \right] \quad (4.15)$$

ซึ่งความไม่เป็นเชิงเส้นของสมการที่ 4.15 นั้นมาจากพจน์ในวงเล็บ ดังนั้นสมการเชิงเส้นที่นำมาเปรียบเทียบกับสมการที่ 4.15 สามารถแสดงได้ดังนี้

$$V_{o(\text{linear})} = \frac{V_{EX}}{2} \frac{\Delta R}{R} \quad (4.16)$$

จากสมการที่ 4.15 และ 4.16 นั้นสามารถหาค่าความผิดพลาดของวงจรวิตสโตนบริดจ์ในรูปที่ 4.1(ข) ได้โดยใช้วิธีเดียวกันกับการหาค่าความไม่เป็นเชิงเส้นของวงจรวิตสโตนบริดจ์ในรูปที่ 4.1(ก) ซึ่งจะพบว่าความไม่เป็นเชิงเส้นของวงจรวิตสโตนบริดจ์ในรูปที่ 4.1(ข) จะมีค่าเท่ากับความไม่เป็นเชิงเส้นของวงจรวิตสโตนบริดจ์ในรูปที่ 4.1(ก)

ในส่วนของการหาค่าความไวของวงจรวิตสโตนบริดจ์ในรูปที่ 4.1(ก)-4.1(ง) นั้น ทำได้โดยการคิดค่าอัตราการเปลี่ยนแปลงแรงดันด้านเอาต์พุตเทียบกับค่าความต้านทานที่เปลี่ยนแปลงไปของเพียโซรีซิสเตอร์ โดยตารางที่ 4.1 แสดงค่าความไม่เป็นเชิงเส้นและค่าความไว(Sensitivity) ของวงจรวิตสโตนบริดจ์จากการเปลี่ยนค่าความต้านทานทั้ง 4 แบบ โดยคิดค่าความไม่เป็นเชิงเส้นที่ค่าความต้านทานเปลี่ยนไป 1% ($n=1$) จากค่าความต้านทานปกติ

ตารางที่ 4.1 ความไม่เป็นเชิงเส้นของวงจรวิตสโตนบริดจ์ในรูปที่ 4.1 แต่ละแบบ

วงจรวิตสโตนบริดจ์	สมการเอาต์พุต	ค่าความไว	ความไม่เป็นเชิงเส้น
รูป 4.1(ก)	$V_o = \frac{V_{EX}}{4} \left[\frac{\Delta R}{(R + \Delta R/2)} \right]$	$S = \frac{V_{EX}}{4} \frac{R}{[R + (\Delta R/2)]^2}$	0.5%
รูป 4.1(ข)	$V_o = \frac{V_{EX}}{2} \left[\frac{\Delta R}{(R + \Delta R/2)} \right]$	$S = \frac{V_{EX}}{2} \frac{R}{[R + (\Delta R/2)]^2}$	0.5%
รูป 4.1(ค)	$V_o = \frac{V_{EX}}{2} [\Delta R / R]$	$S = \frac{V_{EX}}{2R}$	0%
รูป 4.1(ง)	$V_o = V_{EX} [\Delta R / R]$	$S = \frac{V_{EX}}{R}$	0%

จากตารางที่ 4.1 ซึ่งแสดงถึงความไม่เป็นเชิงเส้นระหว่างการเปลี่ยนค่าความต้านทานของวัสดุเพียโซรีซิสเตอร์กับค่าแรงดันเอาต์พุตที่ได้จากวงจรวิตสโตนบริดจ์แต่ละแบบ ซึ่งความไม่เป็นเชิงเส้นนี้คิดเป็นเปอร์เซ็นต์ของเอาต์พุตที่เบนออกจากเส้นตรงเทียบกับช่วงอินพุตเต็ม(Full-scale input) โดยจะสังเกตเห็นว่าวงจรวิตสโตนบริดจ์ในรูปที่ 4.1(ก) และ (ข) เกิดความไม่เป็นเชิงเส้นขึ้นแต่อย่างไรก็ตามความไม่เป็นเชิงเส้นนี้สามารถถูกชดเชย(Compensate) ได้ด้วย ซอฟต์แวร์[20] แต่สิ่งที่สำคัญนั้นคือการลดแรงดันออฟเซตที่เกิดจากความไม่เข้าคู่กัน(Mismatch) ของความต้านทานแต่ละตัว โดยปัญหาความไม่เข้าคู่กัน(Mismatch) ของค่าความต้านทานแต่ละตัวในวงจรวิตสโตนบริดจ์ จะทำให้เกิดแรงดันออฟเซตขึ้นที่เอาต์พุต ซึ่งสามารถแก้ไขได้โดยวิธีการต่อเชื่อสามสาย (3-wire connection) , การตรวจวัดแบบ KELVIN [20] หรือใช้ซอฟต์แวร์ในการชดเชยค่าแรงดันออฟเซตที่เกิดขึ้น

ข้อเสียอีกประการหนึ่งของวงจรวิตสโตนบริดจ์นั้นคือ ค่าความไวของวงจรวิตสโตนบริดจ์นั้นเป็นสัดส่วนโดยตรงกับค่าแรงดันกระตุ้น(Excitation voltage) ซึ่งโดยทั่วไปจะเป็นแรงดันของแหล่งจ่าย(Supply) ดังนั้นการเพิ่มค่าความไวให้กับวงจรวิตสโตนบริดจ์โดยการเพิ่มแรงดันกระตุ้น

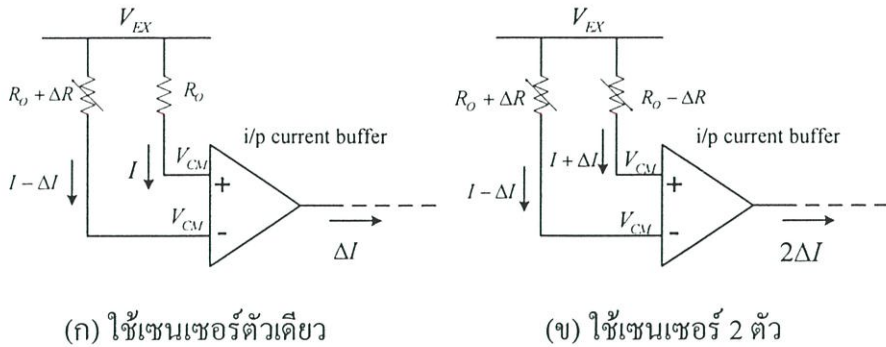
ให้มีค่ามากขึ้น เป็นผลให้วงจรวีตสโตนบริดจ์ไม่สามารถทำงานได้ที่แรงดันแหล่งจ่ายต่ำๆ ได้ โดยวิธีที่จะเพิ่มค่าความไวให้กับวงจรวีตสโตนบริดจ์โดยไม่เพิ่มค่าแรงดันกระตุ้นนั้น ได้ถูกกล่าวไว้ในบทที่ 2 คือการต่อวงจรรขยายแรงดันผลต่าง(Differential amplifier)เข้าไปที่เอาต์พุตของวงจรวีตสโตนบริดจ์ ซึ่งวิธีนี้จะทำให้ค่าความไวของวงจรวีตสโตนบริดจ์ถูกเพิ่มขึ้นด้วยอัตราขยายของวงจรรขยายแรงดันผลต่าง ดังสมการที่ 2.28 ในบทที่ 2 แต่วิธีนี้จะทำให้ออกแบบวงจรรขยายแรงดันผลต่างที่มีอัตราส่วนการขจัดแบบวิธีร่วม(Common-mode rejection ratio: CMRR) ได้ยากเพราะค่าแรงดันโหมคร่วมของวงจรวีตสโตนบริดจ์มีค่าอยู่ตรงกึ่งกลางของแรงดันกระตุ้น ซึ่งจากเหตุผลดังที่ได้กล่าวมานั้น เป็นข้อเสียที่ทำให้วงจรวีตสโตนบริดจ์ไม่เหมาะสมต่อการใช้งานภายใต้แรงดันต่ำ

4.3 การตรวจวัดการเปลี่ยนความต้านทานโดยใช้การตรวจจับกระแส (Current sensing configuration)

ปัจจุบันความก้าวหน้าทางเทคโนโลยีทำให้สามารถสร้างทรานซิสเตอร์ให้มีขนาดที่เล็กลงกว่าแต่ก่อนมาก ซึ่งผลที่ได้คือสามารถออกแบบวงจรที่ทำงานได้ภายใต้แรงดันต่ำ เพื่อเป็นการลดการใช้กำลังงานของวงจรลง ทำให้วงจรมีอายุการใช้งานที่ยาวนานขึ้น เมื่อกลับมาพิจารณาถึงวงจรวีตสโตนบริดจ์แล้ว ในการใช้งานวงจรวีตสโตนบริดจ์ภายใต้แรงดันกระตุ้นต่ำ(Low excitation voltage) นั้นมีข้อเสีย ดังที่ได้กล่าวมาแล้วคือความไว(sensitivity) ของวงจรมีค่าลดลง และนอกจากนั้นแล้วแรงดันโหมคร่วม(Common-mode voltage) ของวงจรวีตสโตนบริดจ์ซึ่งโดยปกติจะอยู่กึ่งกลางของของแรงดันกระตุ้น V_{EX} (ในที่นี้สมมุติให้มีค่าเท่ากับแรงดันของแหล่งจ่าย) นั้นจะมีผลต่อการออกแบบวงจรต่อร่วม(Interface circuit) ที่มีแรงดันโหมคร่วมที่อินพุตอยู่กึ่งกลางของแรงดันแหล่งจ่าย

จากที่ได้กล่าวถึงปัญหาของการใช้งานวงจรวีตสโตนบริดจ์ภายใต้แรงดันต่ำแล้ว ในวิทยานิพนธ์ฉบับนี้ ได้ทำการออกแบบวิธีการตรวจจับการเปลี่ยนค่าความต้านทานของวัสดุเพียโซรีซิสเตอร์ โดยการตรวจจับกระแสที่เกิดจากการเปลี่ยนค่าความต้านทานแทนการตรวจจับแรงดันเหมือนอย่างในวงจรวีตสโตนบริดจ์ ซึ่งโครงสร้างการตรวจจับกระแส(Current-sensing configuration) จากการเปลี่ยนค่าความต้านทานของวัสดุเพียโซรีซิสเตอร์ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ทำได้โดยการสร้างแรงดันคงที่คร่อมวัสดุเพียโซรีซิสเตอร์ดังแสดงในรูปที่ 4.2 แรงดันคงที่ที่ตกคร่อมตัวเพียโซรีซิสเตอร์นั้นมีค่าเท่ากับ $V_{EX} - V_{CM}$ โดยที่ V_{CM} คือแรงดันโหมคร่วมที่สร้างขึ้นจากวงจรบัฟเฟอร์ ดังนั้นจะเห็นได้ว่าเมื่อค่าความต้านทานของวัสดุเพียโซรีซิสเตอร์เปลี่ยนแปลงไป จะทำให้เกิดการเปลี่ยนแปลงของกระแสที่ไหลผ่านตัวเพียโซรีซิสเตอร์ โดยกระแสนี้จะถูกส่งผ่านเข้าไปในวงจรบัฟเฟอร์แบบผลต่างกระแสอินพุต(Differential input current buffer) ซึ่งมีสัมพัทธ์

ระหว่างกระแสที่เปลี่ยนแปลงไป ΔI กับค่าความต้านทานที่เปลี่ยนแปลงไป ΔR ของวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทาน ทั้งสองแบบสามารถแสดงดังนี้



รูปที่ 4.2 การตรวจจับกระแสจากการเปลี่ยนค่าความต้านทาน

วงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 1 ตัว

$$\Delta I = \frac{V_{EX} - V_{CM}}{R_o} \frac{\Delta R}{R_o} \left[\frac{1}{1 + \Delta R / R_o} \right] \quad (4.17)$$

วงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 2 ตัว

$$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o} \frac{\Delta R}{R_o} \left[\frac{1}{1 - (\Delta R / R_o)^2} \right] \quad (4.18)$$

4.3.1 การวิเคราะห์ความไม่เป็นเชิงเส้นและค่าความไวของวิธีการตรวจวัดการเปลี่ยนความต้านทานโดยการตรวจจับกระแส

ในการวิเคราะห์หาความไม่เป็นเชิงเส้นของวิธีการตรวจจับการเปลี่ยนความต้านทานโดยการตรวจจับกระแส (current-sensing configuration) นั้น สามารถใช้วิธีเดียวกันกับการวิเคราะห์หาความไม่เป็นเชิงเส้นของวงจรวิตส โตนบรีดจ์ โดยวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 1 ตัว มีค่าความไม่เป็นเชิงเส้นของสมการนั้นขึ้นอยู่กับพจน์ในวงเล็บของสมการที่ 4.17 ดังนั้นสมการเส้นตรงที่นำมาเปรียบเทียบเพื่อหาค่าความไม่เป็นเชิงเส้นของสมการที่ 4.17 นั้นสามารถแสดงได้ดังนี้

$$\Delta I = \frac{V_{EX} - V_{CM}}{R_o} \frac{\Delta R}{R_o} \quad (4.19)$$

เมื่อแทนสมการที่ 4.7 เข้าไปในสมการที่ 4.17 และ 4.19 จะได้สมการที่ 4.20 และ 4.21 ตามลำดับ

$$\Delta I_{(non-linear)} = \frac{V_{EX} - V_{CM}}{R_o} \left(\frac{n}{n+100} \right) \quad (4.20)$$

$$\Delta I_{(linear)} = \frac{V_{EX} - V_{CM}}{R_o} \left(\frac{n}{100} \right) \quad (4.21)$$

เมื่อหาค่าสัมบูรณ์ของผลต่างของสมการที่ 4.20 และ 4.21 จะได้

$$\left| \Delta I_{(linear)} - \Delta I_{(non-linear)} \right| = \frac{V_{EX} - V_{CM}}{R_o} \left[\frac{n}{n+100} - \frac{n}{100} \right] \quad (4.22)$$

$$\left| \Delta I_{(linear)} - \Delta I_{(non-linear)} \right| = \frac{V_{EX} - V_{CM}}{R_o} \left[\frac{n^2}{100(n+100)} \right] \quad (4.23)$$

ดังนั้นค่าความผิดพลาดไปจากสมการเชิงเส้นคิดเป็นเปอร์เซ็นต์เมื่อเทียบกับเอาต์พุตเต็ม (Full scale output) จะมีค่าดังสมการ

$$\%ERROR = \frac{\left| \Delta I_{(non-linear)} - \Delta I_{(linear)} \right|}{Full\ scale\ output} \times 100 \quad (4.24)$$

$$\%ERROR = \frac{\frac{V_{EX} - V_{CM}}{R_o} \left[\frac{n^2}{100(n+100)} \right]}{\frac{V_{EX} - V_{CM}}{R_o} \left(\frac{n}{100} \right)} \times 100 \quad (4.25)$$

$$\%ERROR = \frac{100n}{n+100} \quad (4.26)$$

เมื่อทำการวิเคราะห์หาความไม่เป็นเชิงเส้นของวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 2 ตัวนั้นสามารถทำได้แบบเดียวกันกับวิธีวิเคราะห์หาความไม่เป็นเชิงเส้นของวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 2 ตัว โดยพิจารณาจากสมการที่ 4.18 จะพบว่าพจน์ในวงเล็บนั้นส่งผลให้สมการที่ 4.18 เกิดความไม่เป็นเชิงเส้นขึ้น ดังนั้นสมการเส้นตรงที่นำมาเปรียบเทียบเพื่อหาค่าความไม่เป็นเชิงเส้นของสมการที่ 4.18 นั้นสามารถแสดงได้ดังนี้

$$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o} \frac{\Delta R}{R_o} \quad (4.27)$$

เมื่อแทนสมการที่ 4.7 เข้าไปในสมการที่ 4.18 และ 4.27 จะได้สมการที่ 4.28 และ 4.29 ตามลำดับ

$$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o} \left(\frac{100n}{100^2 - n^2} \right) \quad (4.28)$$

$$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o} \left(\frac{n}{100} \right) \quad (4.29)$$

เมื่อหาค่าสัมบูรณ์ของผลต่างของสมการที่ 4.20 และ 4.21 จะได้

$$|\Delta I_{(linear)} - \Delta I_{(non-linear)}| = \frac{2(V_{EX} - V_{CM})}{R_o} \left[\frac{100n}{100^2 - n} - \frac{n}{100} \right] \quad (4.30)$$

$$|\Delta I_{(linear)} - \Delta I_{(non-linear)}| = \frac{2(V_{EX} - V_{CM})}{R_o} \left[\frac{n^2}{100(100^2 - n^2)} \right] \quad (4.31)$$

เมื่อนำสมการที่ 4.31 ไปแทนในสมการที่ 4.24 เพื่อหาค่าความผิดพลาดไปจากสมการเชิงเส้นคิดเป็นเปอร์เซ็นต์เมื่อเทียบกับเอาต์พุตเต็ม (Full scale output) จะมีค่าดังสมการ

$$\%ERROR = \frac{\frac{2(V_{EX} - V_{CM})}{R_o} \left[\frac{n^2}{100(100^2 - n^2)} \right]}{\frac{2(V_{EX} - V_{CM})}{R_o} \left(\frac{n}{100} \right)} \times 100 \quad (4.32)$$

$$\%ERROR = \frac{100n}{100^2 - n^2} \quad (4.26)$$

ในส่วนของการหาค่าความไวของวิธีตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานในรูปแบบที่ 4.2(ก) และ 4.2 (ข) นั้น ทำได้โดยการคิดค่าอัตราการเปลี่ยนแปลงแรงดันด้านเอาต์พุตเทียบกับค่าความต้านทานที่เปลี่ยนแปลงไปของเปียโซรีซิสเตอร์ โดยตารางที่ 4.2 แสดงค่าความไม่เป็นเชิงเส้นและค่าความไว (Sensitivity) ของของวิธีตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานทั้ง 2 แบบ โดยคิดค่าความไม่เป็นเชิงเส้นที่ค่าความต้านทานเปลี่ยนไป 1% (n=1) จากค่าความต้านทานปกติ

ตารางที่ 4.2 ความไม่เป็นเชิงเส้นของวงจรตรวจจับกระแสจากการเปลี่ยนค่าของความต้านทาน

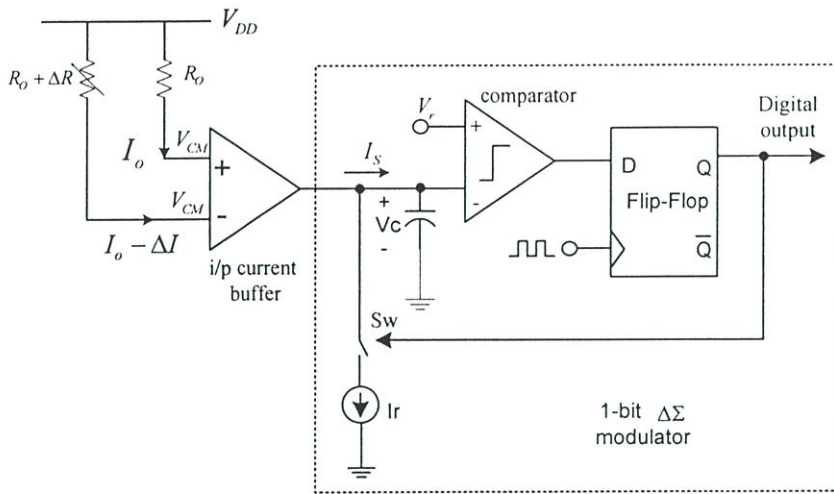
วงจรตรวจจับกระแส	สมการเอาต์พุต	ค่าความไว	ความไม่เป็นเชิงเส้น
รูปที่ 4.2(ก)	$\Delta I = \frac{(V_{EX} - V_{CM})}{R_O} \frac{\Delta R / R}{1 + \Delta R / R}$	$S = \frac{V_{EX} - V_{CM}}{(R_o + \Delta R)^2}$	1%
รูปที่ 4.2(ข)	$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_O} \frac{\Delta R / R}{1 - (\Delta R / R)^2}$	$S = 2(V_{EX} - V_{CM}) \left[\frac{(R_o^2 + \Delta R^2)}{(R_o^2 - \Delta R^2)^2} \right]$	0.01%

จากตารางที่ 4.2 แสดงให้เห็นว่า วงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้วัสดุเพียโซรีซิสเตอร์ 2 ตัวให้ความความเป็นเชิงเส้นมากกว่าแบบใช้วัสดุเพียโซรีซิสเตอร์ 1 ตัว แต่เนื่องจากที่ได้กล่าวมาแล้วว่าความไม่เป็นเชิงเส้นนั้นสามารถชดเชยได้ด้วยกระบวนการทางซอฟต์แวร์ ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงเลือกใช้วิธีการตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานโดยใช้เพียโซรีซิสเตอร์เพียงตัวเดียว เพื่อลดพื้นที่ และความไม่เข้ากันของค่าความต้านทาน โดยวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เพียโซรีซิสเตอร์ฟเพียงตัวเดียวนั้น ค่าความต้านทานคงที่ R_o นั้นสามารถนำไปใช้ในการชดเชยอุณหภูมิให้กับวงจรได้อีกด้วย[21]

4.4 วงจรต่อเชื่อม (Interface circuit)

วงจรต่อเชื่อมที่สร้างขึ้นเพื่อใช้ตรวจวัดการเปลี่ยนค่าความต้านทานของวัสดุเพียโซรีซิสเตอร์นั้นมีด้วยกันหลายแบบ ทั้งที่ให้เอาต์พุตเป็นสัญญาณอนาล็อกที่สัมพันธ์กับการเปลี่ยนค่าความต้านทานที่เปลี่ยนแปลง และที่ให้เอาต์พุตเป็นสัญญาณดิจิทัล เพื่อประโยชน์ในการเชื่อมต่อกับอุปกรณ์ประมวลผล ซึ่งส่วนมากเป็นอุปกรณ์ดิจิทัล

ในวิทยานิพนธ์ฉบับนี้เลือกใช้วิธีการตรวจจับการเปลี่ยนค่าความต้านทานโดยการตรวจจับกระแสแบบใช้เพียโซรีซิสเตอร์เพียงตัวเดียวดังโครงสร้างในรูปที่ 4.2(ก) โดยการออกแบบวงจรต่อร่วมกับโครงสร้างดังกล่าวนั้นแสดงได้ดังรูปที่ 4.3 ซึ่งประกอบไปด้วยวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input-current buffer) และวงจรมอดูเลตสัญญาณซิกมาเดลต้าอันดับหนึ่ง โดยเพียโซรีซิสเตอร์ R_p ($R_p = R_o + \Delta R$) และความต้านทานอ้างอิง R_o ซึ่งมีค่าความต้านทานปกติดีเท่ากัน ถูกต่ออยู่ระหว่างแรงดันแหล่งจ่ายกับอินพุตทั้งสองของวงจรบัฟเฟอร์กระแสซึ่งมีแรงดันโหมคร่วม (common-mode voltage) คงที่ ดังนั้นจึงทำให้แรงดันที่ตกคร่อมความต้านทานทั้งสองมีค่าคงที่ตามไปด้วย



รูปที่ 4.3 วงจรเชื่อมต่อสำหรับวัดค่าการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์

จากรูปที่ 4.3 นั้นแสดงให้เห็นถึงหลักการทำงานของวงจร ซึ่งเมื่อค่าความต้านทานของเปียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงไป ΔR จะทำให้กระแสที่ไหลผ่านตัวมันเกิดการเปลี่ยนแปลงไป ΔI ขณะที่กระแสที่ไหลผ่านความต้านทานอ้างอิงนั้นก็มีคงที่เท่ากับ I_0 ดังแสดงในรูปที่ 4.3 โดยที่กระแสทั้งสองนี้จะถูกส่งผ่านเข้าไปในวงจรบัฟเฟอร์แบบผลต่างกระแสอินพุต (differential input buffer) ซึ่งจะให้เอาต์พุต I_s เป็นผลต่างของกระแสอินพุตดังกล่าว

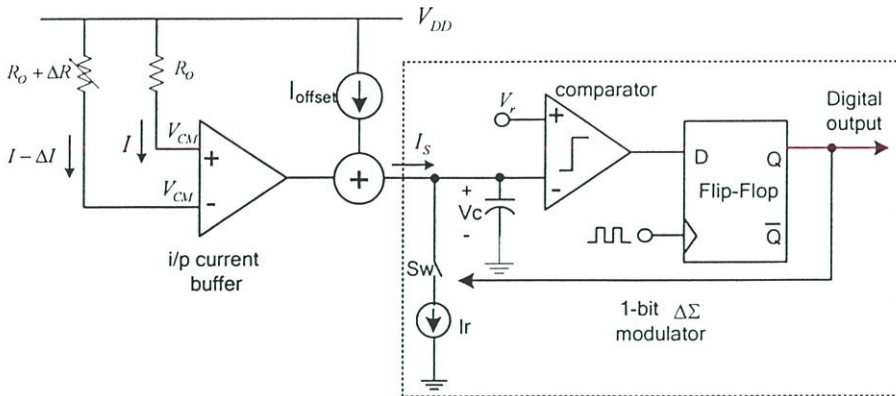
$$I_{out} = I_m^+ - I_m^- \quad (4.5)$$

จากนั้นกระแสเอาต์พุตของวงจรบัฟเฟอร์แบบผลต่างอินพุต I_s จะถูกส่งผ่านเข้าไปยังวงจรมอดูเลตสัญญาณซิกมาเดลต้า ซึ่งให้ผลจำนวนพัลส์ที่สัมพันธ์กับกระแสอินพุต I_s และซิงโครไนซ์ (synchronize) กับความถี่การสุ่มดังสมการที่ 4.6

$$\frac{I_{out}}{I_r} = \frac{N_d T_{clk}}{T_{int}} \quad (4.6)$$

วงจรมอดูเลตสัญญาณซิกมาเดลต้าที่นำมาใช้ในวิทยานิพนธ์ฉบับนี้เป็นวงจรมอดูเลตสัญญาณซิกมาเดลต้าอันดับหนึ่งแบบเวลาต่อเนื่อง (First-order continuous time sigma delta modulator) โดยมีฟังก์ชันของวงจรกรองความถี่เป็นแบบผ่านความถี่ต่ำอันดับหนึ่ง (First-order low-pass filter) แต่โดยทั่วไปโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลต้าที่ใช้กันจะมีชื่อเรียกอีกอย่างหนึ่งว่า วงจรมอดูเลตสัญญาณซิกมาเดลต้าแบบรักษาอัตราการอัดปล่อยประจุ (Charge-balance $\Sigma\Delta$ modulator) ซึ่งรายละเอียดในส่วนของการทำงานของวงจรจะขอกล่าวอย่างละเอียดในบทถัดไป

4.4.1 วงจรต่อเชื่อมสำหรับวิธีตรวจวัดค่าการเปลี่ยนความต้านทานโดยการตรวจจับกระแส ในทางปฏิบัติ



รูปที่ 4.4 วงจรเชื่อมต่อสำหรับวัดค่าการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์ในทางปฏิบัติ

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุนั้นจำเป็นต้องให้ทิศทางของกระแส I_{out} มีทิศไหลเข้าเท่านั้นจึงจะทำให้วงจรสามารถทำงานในรูปแบบการป้อนกลับแบบลบได้ ดังนั้นเมื่อกลับมาพิจารณาถึงวิธีตรวจวัดการเปลี่ยนค่าความต้านทานโดยใช้การตรวจจับกระแส จะสังเกตเห็นได้ว่า ทิศทางของกระแสที่ไหลออกจากวงจรถวายการเปลี่ยนความต้านทานโดยใช้การตรวจวัดกระแสนั้น มีทิศทางไหลออกเพียงอย่างเดียวเมื่อค่าความต้านทานของเปียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงมีค่ามากขึ้น ดังนั้นกระแสจะถูกป้อนเข้าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุในทิศทางไหลเข้าวงจร ดังรูปที่ 4.3 ทำให้กลไกการป้อนกลับแบบลบของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าสามารถทำงานได้ตามปกติ ซึ่งเหตุการณ์นี้จะเกิดขึ้นก็ต่อเมื่อการสร้างค่าความต้านทานปกติของวัสดุเปียโซรีซิสเตอร์มีค่าเท่ากันหรือถ้าการสร้างค่าความต้านทานปกติของวัสดุเปียโซรีซิสเตอร์มีค่าไม่เท่ากัน กระแสออฟเซตที่ได้ต้องมีทิศทางไหลเข้าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุเท่านั้น แต่ถ้าเกิดการสร้างค่าความต้านทานปกติของวัสดุเปียโซรีซิสเตอร์เกิดความผิดพลาด แล้วทำให้เกิดกระแสออฟเซตในวิธีตรวจจับการเปลี่ยนความต้านทานโดยการตรวจวัดกระแสนั้นมีทิศทางไหลออกจากวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ ซึ่งในกรณีนี้จะทำให้กลไกการทำงานของวงจรไม่สามารถทำงานได้ภายใต้การป้อนกลับแบบลบอีกต่อไป โดยในทางปฏิบัติสามารถการแก้ปัญหานี้ได้โดยการเพิ่มกระแสคงที่ค่าหนึ่งเข้าไปที่เอาต์พุตของวงจรถวายการเปลี่ยนความต้านทานโดยใช้การตรวจจับกระแส ดังรูปที่ 4.4

บทที่ 5

การออกแบบวงจรและผลการทดลอง

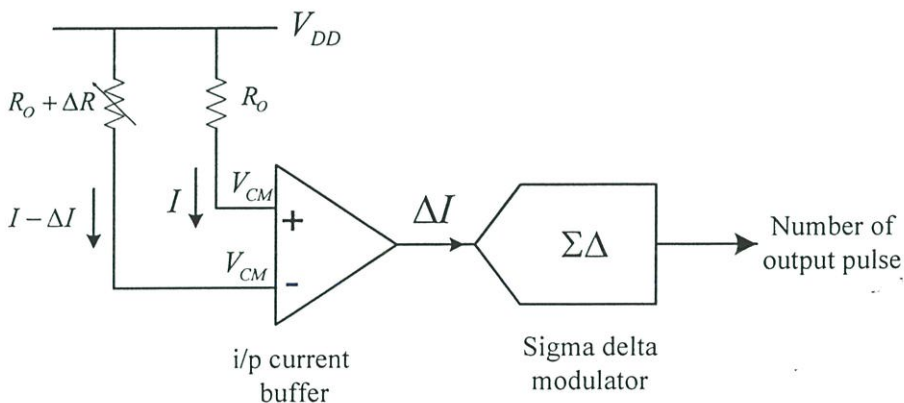
5.1 บทนำ

ในวิทยานิพนธ์บทนี้จะกล่าวเกี่ยวกับกับการออกแบบวงจรเพื่อตรวจวัดการเปลี่ยนแปลงความต้านทานของเปียโซรีซิสเตอร์โดยใช้วิธีตรวจวัดการเปลี่ยนค่าความต้านทาน โดยการตรวจจับกระแส (current-sensing configuration) ที่ได้นำเสนอไปในบทที่ 4 รวมไปถึงผลการจำลองการทำงานของวงจรอีกด้วย

ในการออกแบบวงจรเพื่อตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์โดยใช้วิธีตรวจจับกระแส ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ใช้โครงสร้างการตรวจจับกระแสแบบใช้เปียโซรีซิสเตอร์เพียงตัวเดียว และใช้ค่าความต้านทานปกติของเปียโซรีซิสเตอร์ และความต้านทานอ้างอิงมีค่าเท่ากับ 2500 โอห์ม โดยให้ค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์สามารถเปลี่ยนแปลงไปได้มากที่สุด 1% จากค่าความต้านทานปกติ [20] ซึ่งการออกแบบวงจรที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ทำการออกแบบโดยใช้เทคโนโลยีซีมอส 0.35 ไมโครเมตร และทำการจำลองผลการทำงานโดยใช้โปรแกรม cadence spectre

5.2 โครงสร้างของวงจรตรวจวัดกระแสจากการเปลี่ยนค่าความต้านทานที่นำเสนอ

ในวิทยานิพนธ์ฉบับนี้นำเสนอวิธีตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์โดยวิธีการตรวจจับกระแส โดยแผนภาพของวงจรที่ใช้ในวิทยานิพนธ์ฉบับนี้สามารถแสดงได้ดังรูปที่ 5.1

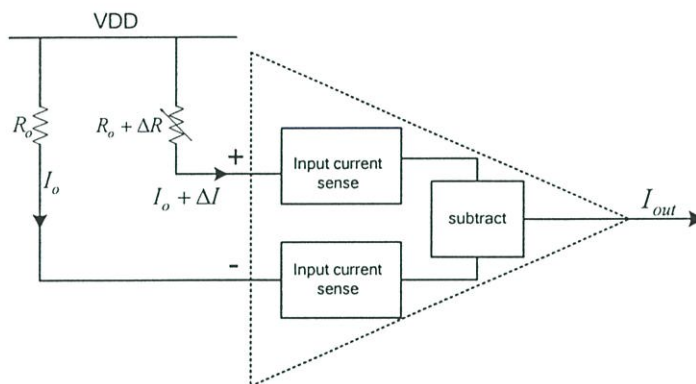


รูปที่ 5.1 แผนภาพวงจรต่อเชื่อมเพื่อตรวจวัดการเปลี่ยนค่าความต้านทาน

รูปที่ 5.1 สามารถอธิบายหลักการทำงานของวงจรต่อเชื่อม(Interface) สำหรับการตรวจจับการเปลี่ยนค่าความต้านทานโดยวิธีการตรวจจับกระแสได้ดังนี้ โดยวงจรบัฟเฟอร์ผลต่างกระแสอินพุต (Differential input current buffer) นั้นมีหน้าที่สร้างแรงดันคงที่ที่ห้ดกคร่อมความต้านทานของวัสดุเปียกโซริซิสเตอร์ และค่าความต้านทานอ้างอิง เมื่อค่าความต้านทานของวัสดุเปียกโซริซิสเตอร์เกิดการเปลี่ยนแปลงขึ้น จะทำให้เกิดการเปลี่ยนแปลงกระแสขึ้นที่อินพุตของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current input) โดยกระแสนี้จะถูกส่งผ่านไปยังวงจรมอดูเลตสัญญาณซิกม่าเดลต้าซึ่งทำหน้าที่เปลี่ยนกระแสอินพุตให้เป็นจำนวนพัลส์ทางด้านเอาต์พุต ซึ่งส่วนประกอบและหลักการทำงานของวงจรแต่ละส่วนสามารถอธิบายได้ในหัวข้อถัดไป

5.3 วงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer)

5.3.1 โครงสร้างของวงจรบัฟเฟอร์กระแส



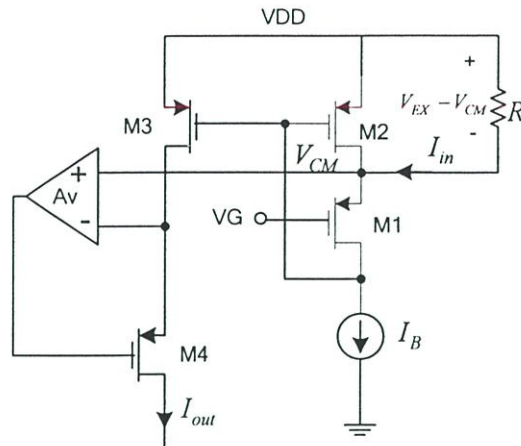
รูปที่ 5.2 โครงสร้างของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต

วงจรบัฟเฟอร์ที่ใช้ในวิทยานิพนธ์นี้ประกอบไปด้วยวงจร 2 ส่วนด้วยกัน คือวงจรในส่วนรับกระแสอินพุต และวงจรหักล้างกระแสโหมคร่วมดังรูปที่ 5.2 โดยวงจรในส่วนแรกเป็นวงจรที่ทำหน้าที่สร้างแรงดันคงที่ที่ดกคร่อมความต้านทานอ้างอิงและเปียกโซริซิสเตอร์ และยังทำหน้าที่เป็นวงจรสำหรับรับกระแสอินพุตที่เกิดจากการเปลี่ยนค่าความต้านทานของวัสดุเปียกโซริซิสเตอร์อีกด้วย ซึ่งกระแสเอาต์พุตที่ได้จากวงจรในส่วนแรกจะถูกส่งผ่านไปยังวงจรในส่วนที่สองซึ่งทำหน้าที่นำค่ากระแสที่รับได้จากวงจรในส่วนแรกมาหักกลับเพื่อกำจัดกระแสโหมคร่วมออกไป

5.3.2 การวิเคราะห์ห้วงจรในส่วนรับกระแสอินพุตและวงจรหักล้างกระแสโหมคร่วม

โครงสร้างของวงจรในส่วนรับกระแสอินพุตสามารถแสดงได้ดังรูปที่ 5.3 ซึ่งเป็นโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower [22][ภาคผนวก ข] ต่อเป็นวงจร

สะท้อนกระแสที่มีการป้อนกลับแบบลบเพื่อเพิ่มความแม่นยำในการสะท้อนกระแส และยังช่วยเพิ่มค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสอีกด้วย [ภาคผนวก ค]



รูปที่ 5.3 โครงสร้างของวงจรในส่วนรับกระแสอินพุต

โดยคุณสมบัติของวงจรสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั่นคือ แรงดันที่ขาซอสของทรานซิสเตอร์ M1 นั้นจะมีค่าคงที่เพราะกระแสไบอัส I_B โดยสามารถแสดงเป็นสมการได้ดังนี้

$$V_{CM} = V_{G1} + \sqrt{\frac{2I_B}{u_p C_{ox}(W/L)_1}} + V_{THP} \quad (5.1)$$

ดังนั้นค่าแรงดัน V_{CM} นี้จึงทำให้ค่าแรงดันคงที่ที่ตกคร่อมความต้านทาน R เท่ากับ $V_{DD} - V_{CM}$ ดังในรูปที่ 5.2 และทำให้เกิดกระแส I_{in} ดังสมการที่ 5.2

$$V_R = V_{DD} - V_{CM} \quad (5.2)$$

คุณสมบัติอีกอย่างหนึ่งของวงสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั่นคือ ค่าความต้านทานรอบขาซอสของทรานซิสเตอร์ M1 นั้นจะมีค่าต่ำมาก เพราะโครงสร้างของการป้อนกลับแบบเซนต์แรงดันป้อนกลับแรงดัน (series-shunt feedback)[23] จึงทำให้วงจรสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั้นเหมาะที่จะนำมาใช้เป็นวงจรในส่วนรับกระแสอินพุตที่เกิดจากการเปลี่ยนค่าความต้านทานของเพียโซรีซิสเตอร์ โดยค่าอิมพีแดนซ์ทางด้านอินพุตของวงจรสะท้อนกระแสที่มี

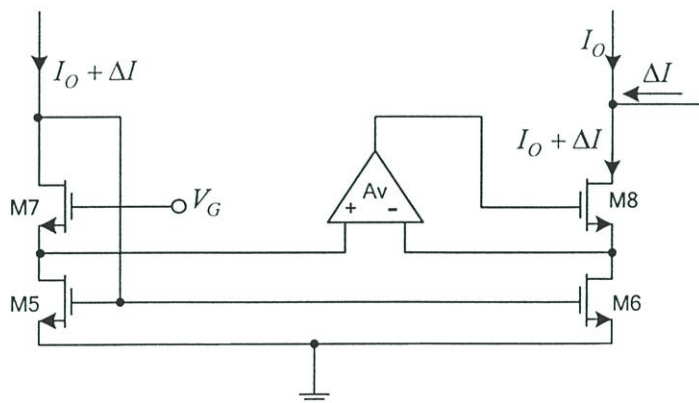
โครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั้นสามารถแสดงได้ดังสมการที่ 5.3 ดังนี้

$$R_{in} = \frac{1}{gm_1 gm_2 r_{o1}} \quad (5.3)$$

เนื่องจากวงจรสะท้อนกระแสในส่วนรับกระแสอินพุตนั้นมีการป้อนกลับแรงดันโดยวงจรขยายสัญญาณออปแอมป์เพื่อรักษาแรงดันที่ขาเดรนของทรานซิสเตอร์ M2 และ M3 ให้มีค่าคงที่ จึงทำให้ความแม่นยำในการสะท้อนกระแสจากอินพุตไปยังเอาต์พุตของวงจรสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั้นมีค่ามากขึ้น และนอกจากนั้น ยังเป็นการช่วยเพิ่มค่าความต้านทานเอาต์พุตให้กับวงจรอีกทางหนึ่งด้วย ซึ่งค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสในส่วนรับกระแสอินพุตมีค่าดังสมการที่ 5.4

$$R_{out} \approx A_v gm_3 r_{o2} r_{o3} \quad (5.4)$$

ในวงจรส่วนที่สองเป็นวงจรที่ใช้ในการนำกระแสที่ได้จากส่วนรับกระแสอินพุตทั้งสองมาหักล้างกระแสโหมคร่วมออกเพื่อให้กระแสที่เอาต์พุตของวงจรบัพเฟอร์กระแสมีแต่กระแสที่เกิดจากการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เท่านั้น โดยวงจรที่ทำหน้าที่หักล้างกระแสโหมคร่วม(Common-mode current) ที่เอาต์พุตสามารถแสดงได้ดังรูปที่ 5.4



รูปที่ 5.4 โครงสร้างของวงจรหักล้างกระแสโหมคร่วมที่เอาต์พุต

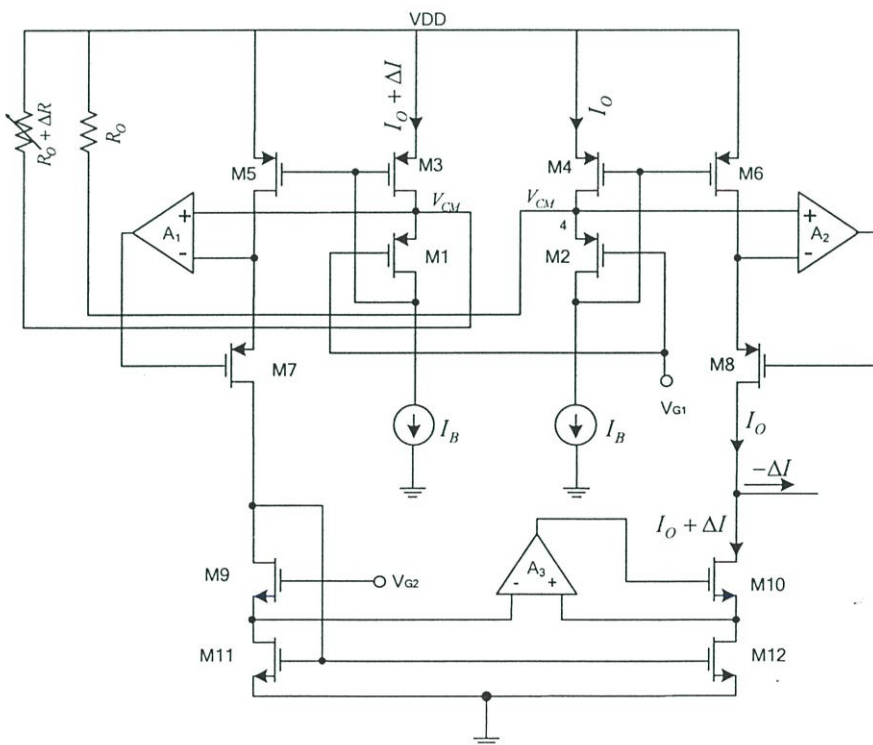
จากรูปที่ 5.3 วงจรที่ใช้ในการหักล้างกระแสโหมคร่วม(Common-mode current) ที่เอาต์พุตนั้น คือวงจรสะท้อนกระแสที่มีการป้อนกลับแบบลบนั้นเอง โดยค่าความต้านทานอินพุตและของวงจรนี้สามารถพิจารณาได้ดังสมการที่ 5.5 และ 5.6 นี้ [ภาคผนวก ก]

$$R_m \approx \frac{1}{gm_5} \quad (5.5)$$

$$R_{out} \approx A_v gm_6 r_{o6} r_{o8} \quad (5.6)$$

5.3.3 การวิเคราะห์ห้วงจรบัฟเฟอร์ผลต่างกระแสอินพุต

เมื่อนำวงจรในส่วนรับกระแสอินพุตและวงจรหักล้างกระแสที่เอาต์พุตมาต่อร่วมกัน ดังแผนภาพบล็อกที่ 5.1 แล้ว จะทำให้วงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer) ดังรูปที่ 5.5 ซึ่งการทำงานของวงจรสามารถอธิบายได้โดย วงจรในส่วนรับกระแสอินพุตจะทำหน้าที่สร้างแรงดันคงที่ให้คกรวมวัสดุเปียโซรีซิสเตอร์และความต้านทานอ้างอิงดังสมการที่ 5.2 ดังนั้น เมื่อค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงค่าไป(สมมุติค่าความต้านทานมีค่ามากขึ้น) จึงทำให้เกิดกระแสผลต่าง (Differential current) $I_o - \Delta I$ ไหลเข้าสู่ทรานซิสเตอร์ M3 ซึ่งกระแสนี้จะถูกสะท้อนไปยังทรานซิสเตอร์ M5 และในอีกด้านหนึ่งกระแสโหมคร่วม I_o ที่เกิดจากความต้านทานอ้างอิงจะถูกสะท้อนผ่านทรานซิสเตอร์ M4 และ M6 ซึ่งกระแสทั้งสองนี้จะถูกนำไปหักกลับกันที่เอาต์พุตของวงจรบัฟเฟอร์กระแส เพื่อกำจัดกระแสโหมคร่วม (common-mode current) ออกไป ดังนั้นเอาต์พุตของวงจรบัฟเฟอร์กระแสจึงให้กระแสผลต่างที่เกิดจากการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เท่านั้น



รูปที่ 5.5 วงจรบัฟเฟอร์ผลต่างกระแสอินพุต (Differential input current buffer)

เมื่อพิจารณาถึงค่าอินพุตและเอาต์พุตอิมพีแดนซ์ของวงจรบัฟเฟอร์กระแสอินพุต จะเห็นได้ว่า ค่าอินพุตอิมพีแดนซ์ของวงจรมีค่าเท่ากับค่าอินพุตอิมพีแดนซ์ของวงจรส่วนรับกระแสอินพุต ซึ่งสามารถแสดงได้ดังสมการที่ 5.3 และเมื่อพิจารณาค่าอิมพีแดนซ์ด้านเอาต์พุตของวงจรบัฟเฟอร์กระแสอินพุตนั้น จะเห็นว่าค่าเอาต์พุตอิมพีแดนซ์ของวงจรคือค่าเอาต์พุตอิมพีแดนซ์ของวงจรในส่วนรับกระแสอินพุตขนานกับค่าเอาต์พุตอิมพีแดนซ์ของวงจรห้ก้างกระแสโหมคร่วม ซึ่งสามารถแสดงได้ดังสมการที่ 5.7

$$R_{out} \approx A_{v2} g_{m8} r_{o8} r_{o6} // A_{v3} g_{m10} r_{o10} r_{o12} \quad (5.7)$$

สมการกระแสที่เอาต์พุตของวงจรบัฟเฟอร์กระแสอินพุตนั้นสามารถหาได้จากการพิจารณาการสะท้อนกระแสของวงจรสะท้อนกระแสแต่ละคู่ โดยสมการสะท้อนกระแสของวงจรสะท้อนกระแสซึ่งมีทรานซิสเตอร์ M3 และ M5 , M4 และ M6 , M11 และ M12 เป็นคู่สะท้อนกระแสสามารถแสดงได้ดังสมการที่ 5.8 ถึง 5.10 ตามลำดับ

$$I_5 = I_3 \frac{(W/L)_5 (1 + \lambda V_{SD5})}{(W/L)_3 (1 + \lambda V_{SD3})} \quad (5.8)$$

$$I_6 = I_4 \frac{(W/L)_6 (1 + \lambda V_{SD6})}{(W/L)_4 (1 + \lambda V_{SD4})} \quad (5.9)$$

$$I_{11} = I_{12} \frac{(W/L)_{11} (1 + \lambda V_{DS11})}{(W/L)_{12} (1 + \lambda V_{DS12})} \quad (5.10)$$

จากรูปที่ 5.5 จะเห็นว่า กระแส $I_5 = I_{11}$ ดังนั้น จะได้ว่า

$$I_{12} = I_3 \frac{(W/L)_{12} (1 + \lambda V_{DS12})}{(W/L)_{11} (1 + \lambda V_{DS11})} \frac{(W/L)_5 (1 + \lambda V_{SD5})}{(W/L)_3 (1 + \lambda V_{SD3})} \quad (5.11)$$

นำสมการที่ 5.9 ลบกับสมการที่ 5.11 จะได้ดังนี้

$$I_{OUT} = I_4 \frac{(W/L)_6 (1 + \lambda V_{SD6})}{(W/L)_4 (1 + \lambda V_{SD4})} - I_3 \frac{(W/L)_{12} (1 + \lambda V_{DS12})}{(W/L)_{11} (1 + \lambda V_{DS11})} \frac{(W/L)_5 (1 + \lambda V_{SD5})}{(W/L)_3 (1 + \lambda V_{SD3})} \quad (5.12)$$

เมื่อกำหนดให้ค่าอัตราส่วนความกว้างต่อความยาวของทรานซิสเตอร์ $M6 = M4$, $M12 = M11$, $M5 = M3$ จะได้

$$I_{OUT} = I_4 \frac{(1 + \lambda V_{SD6})}{(1 + \lambda V_{SD4})} - I_3 \frac{(1 + \lambda V_{DS12}) (1 + \lambda V_{SD5})}{(1 + \lambda V_{DS11}) (1 + \lambda V_{SD3})} \quad (5.13)$$

จากรูปที่ 5.4 แทนกระแส I_4 ด้วย I_o และแทนกระแส I_3 ด้วย $I_o + \Delta I$ จะได้

$$I_{OUT} = I_M \left[\frac{(1 + \lambda V_{SD6})}{(1 + \lambda V_{SD4})} - \frac{(1 + \lambda V_{DS12}) (1 + \lambda V_{SD5})}{(1 + \lambda V_{DS11}) (1 + \lambda V_{SD3})} \right] - \Delta I \frac{(1 + \lambda V_{DS12}) (1 + \lambda V_{SD5})}{(1 + \lambda V_{DS11}) (1 + \lambda V_{SD3})} \quad (5.14)$$

จากสมการที่ 5.14 แสดงให้เห็นว่าถ้าไม่คิดผลของปรากฏการณ์การลดขนาดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอสเฟต(Channel length modulation) แล้วนั้นสมการที่ 5.14 จะมีค่าดังนี้

$$I_{OUT} = -\Delta I \quad (5.15)$$

จากสมการที่ 5.15 จะเห็นว่าการลดผลกระทบของปรากฏการณ์การลดขนาดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอสเฟต(Channel length modulation) นั้นจะทำให้อัตราขยายสัญญาณมีค่าคงที่เท่ากับ -1 และลดผลของกระแสออฟเซตทางด้านเอาต์พุตลงด้วย ดังนั้นการใช้การป้อนกลับแบบลบเพื่อทำให้ค่าแรงดันระหว่างขาเดรนและซอสของทรานซิสเตอร์ที่เป็นคู่สะท้อนกระแสจึงมีส่วนช่วยในการลดผลของปรากฏการณ์การลดขนาดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอสเฟต(Channel length modulation) ได้เป็นอย่างดี

5.3.4 ผลการจำลองการทำงานของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต

ในวิทยานิพนธ์ฉบับนี้ ใช้ค่าความต้านทานของเปียโซรีซิสเตอร์ 2500 โอห์ม และมีการเปลี่ยนแปลงค่าความต้านทานไปมากที่สุดคิดเป็น 1% จากค่าความต้านทานปกติของวัสดุเปียโซรีซิสเตอร์ ดังนั้น จากเหตุผลข้างต้นจะเห็นว่า ความแม่นยำในการสะท้อนกระแสของวงจรบัฟเฟอร์กระแสนั้นเป็นเรื่องที่สำคัญมาก เนื่องจากการเปลี่ยนแปลงค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์นั้นมีค่าน้อย ดังนั้น โครงสร้างของวงจรบัฟเฟอร์กระแสที่มีการป้อนกลับแบบลบ ดังโครงสร้างในรูปที่ 5.4 จึงมีความเหมาะสมที่จะนำมาใช้งาน เพราะโครงสร้างของการป้อนกลับจะช่วยให้การสะท้อนกระแสจากอินพุตไปยังเอาต์พุตของวงจรบัฟเฟอร์มีความแม่นยำยิ่งขึ้น และเมื่อพิจารณาถึงขนาดแบนด์วิดท์ของสัญญาณที่เกิดจากการเปลี่ยนแปลงค่าความต้านทานของวัสดุเปียโซรีซิ

สเตอร์แล้วพบว่าขนาดแบนด์วิดท์จะอยู่ในช่วงไม่เกิด 30 Hz [24] ดังนั้นในการออกแบบวงจรบัฟเฟอร์กระแสอินพุตจึงไม่จำเป็นต้องการแบนด์วิดท์ของวงจรมาก

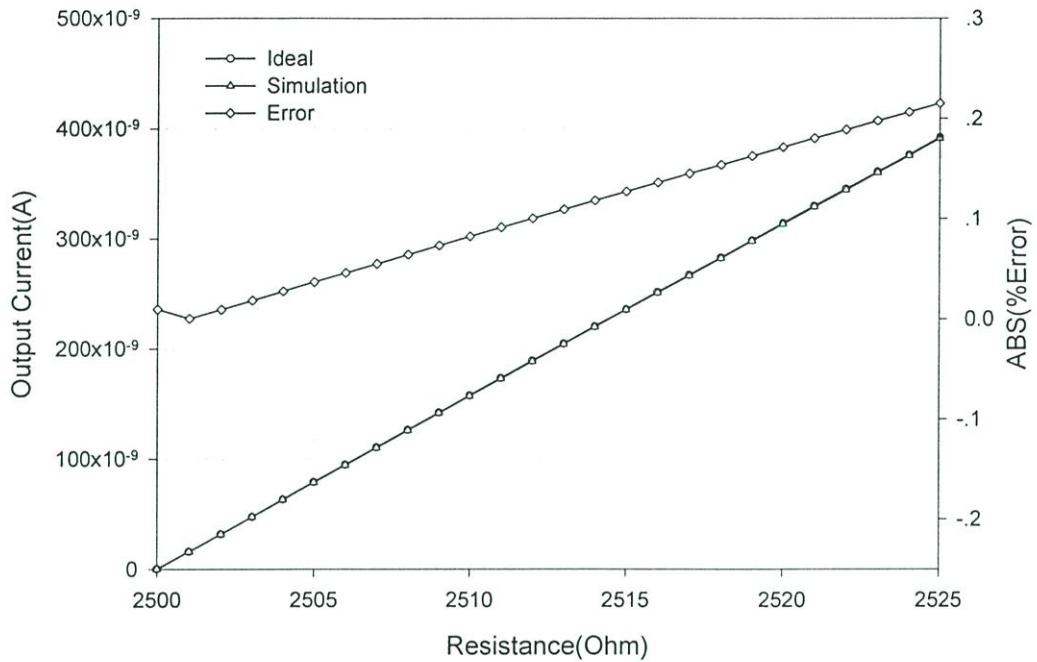
ในการศึกษาคุณสมบัติของวงจรบัฟเฟอร์กระแสอินพุตในรูปที่ 5.4 นั้น ทำได้โดยการจำลองการทำงานโดยใช้โปรแกรม CADENDE SPECTRE โดยใช้เทคโนโลยีซีมอสขนาด 0.35 ไมโครเมตร โดยกำหนดให้วงจรใช้แหล่งจ่ายแรงดัน 1.5 โวลต์ ใช้กระแสไบอัส I_B 50 μ A แรงดันไบอัส V_{G1} เท่ากับ 0.5V และแรงดันไบอัส V_{G2} เท่ากับ 1V ตามลำดับ ซึ่งกระแสไบอัสและแรงดันไบอัสที่ใช้ที่นี่ถูกสร้างโดยวงจรสร้างแรงดันและกระแสอ้างอิง(Voltage and current reference) โดยในการออกแบบวงจรบัฟเฟอร์กระแสนี้ ทำการออกแบบให้แรงดันโหมคร่วมคงที่ (V_{CM}) ที่สร้างโดยวงจรส่วนรับกระแสอินพุตของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer) มีค่าประมาณ 1.4 โวลต์ เพื่อเป็นการลดค่ากระแสโหมคร่วมที่ใหญ่ผ่านความต้านทานอ้างอิงและค่าความต้านทานปกติของเปียโซรีซิสเตอร์ลงให้น้อยที่สุด เพื่อลดการใช้กำลังงานของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer) นอกจากนั้นได้ทำการออกแบบวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer)ให้สามารถรองรับความไม่สมพียงกัน(Mismatch) ของค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงได้ไม่เกิน $\pm 2.5\%$ จากค่าความต้านทานปกติของเปียโซรีซิสเตอร์ โดยค่าความกว้างและความยาวของมอสทรานซิสเตอร์ที่ใช้ในการจำลองการทำงานแสดงได้ดังตารางที่ 5.1

ตารางที่ 5.1 ขนาดของทรานซิสเตอร์แบบมอสเฟตที่ใช้สำหรับวงจรบัฟเฟอร์กระแสอินพุต

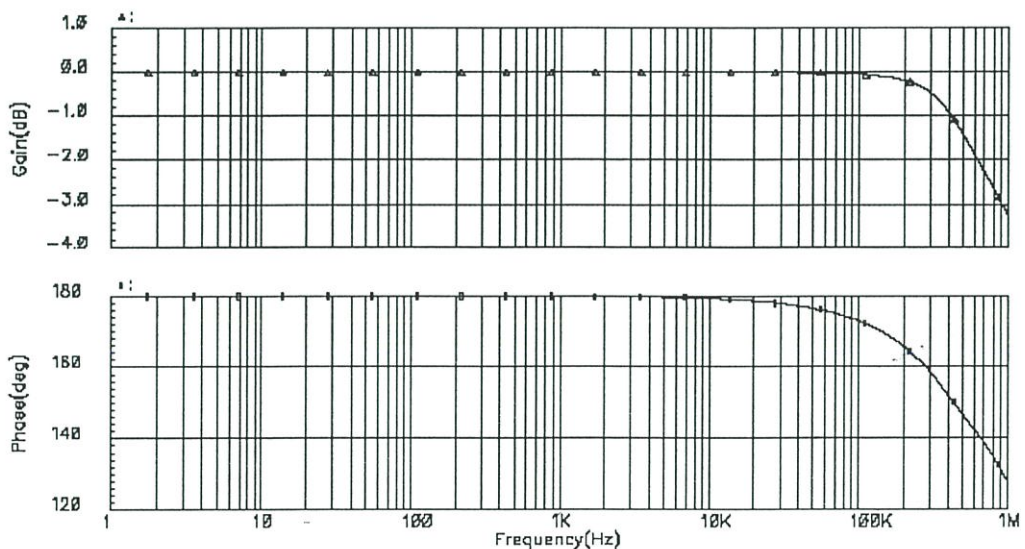
ทรานซิสเตอร์	W(μ m)	L(μ m)
M1 , M2	320	5
M3 , M4 , M5 , M6	510	5
M7 , M8	200	5
M9 , M10	20	2
M11 , M12	28	5

รูปที่ 5.6 เป็นผลจำลองการทำงานของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer) เมื่อทำการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์จาก ค่าความต้านทานปกติ 2500 โอห์ม ไปเป็น 2525(คิดเป็น 1% จากค่าความต้านทานปกติของเปียโซรีซิสเตอร์) โดยจากการจำลองการทำงาน พบว่าเมื่อเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์จากจาก 2500 โอห์ม ไปเป็น 2525 โอห์มแล้ว ค่ากระแสเอาต์พุตที่ได้จะมีค่าเปลี่ยนแปลงไปประมาณ 400 nA โดยกระแสนี้เกิดจากการกำหนดค่าแรงดันคงที่ตกคร่อมตัวเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงซึ่งมีค่าประมาณ 1.4012 โวลต์ โดยผลการจำลองการทำงานนี้ยังได้ทำการเปรียบเทียบ ค่ากระแสที่

ได้รับที่เอาต์พุตของวงจรมัลติเพล็กซ์กระแส เทียบกับการคำนวณค่ากระแสจากสมการที่ 4.17 ในบทที่ 4 โดยคิดเป็นค่าเปอร์เซ็นต์ของผลต่างระหว่างกระแสที่ได้จากการคำนวณกับกระแสที่ได้จากการจำลองการทำงานเทียบกับค่ากระแสตลอดช่วงการเปลี่ยนแปลงค่าความต้านทานของเปียโซรีซิสเตอร์ ซึ่งจากกราฟแสดงกระแสที่ได้จากการจำลองการทำงานของวงจรมัลติเพล็กซ์กระแส นั้นผิดพลาดไปจากกระแสที่ได้จากการคำนวณมากที่สุดคิดเป็น 0.22 % เมื่อเทียบกับกระแสเอาต์พุตตลอดช่วงของการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์



รูปที่ 5.6 การเปรียบเทียบกระแสเอาต์พุตที่ได้จากการจำลองผลการทำงานกับการคำนวณ



รูปที่ 5.7 อัตราขยายทางกระแสและเฟส ของวงจรมัลติเพล็กซ์กระแสอินพุต

รูปที่ 5.7 เป็นผลจำลองการทำงานซึ่งแสดงอัตราการขยายกระแสเทียบกับเฟสของ วงจรบัฟเฟอร์กระแสอินพุต โดยจากรูปแสดงให้เห็นว่าวงจรมีอัตราขยายเป็น 0 dB และเฟสเป็น 180 องศาที่ตลอดย่านความถี่จาก 0 ถึง 10 kHz ซึ่งเพียงพอกับแบนด์วิดท์ของสัญญาณที่ได้จากการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์[24] ดังที่ได้กล่าวมาแล้ว โดยวงจรบัฟเฟอร์กระแส ที่ทำการออกแบบนี้มีค่าแบนด์วิดท์ที่ -3 dB ประมาณ 900 kHz

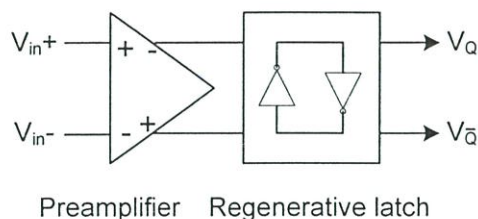
ตารางที่ 5.2 เป็นการสรุปคุณสมบัติโดยรวมของวงจรบัฟเฟอร์กระแสที่ได้จากการ จำลองผลการทำงาน

ตารางที่ 5.2 สรุปคุณสมบัติโดยรวมของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต

พารามิเตอร์	วงจรบัฟเฟอร์กระแส	หน่วย
Supply	1.5	V
Gain	0	dB
-3dB Bandwidth	900k	Hz
Input impedance	6.8	Ω
Output impedance	0.9G	Ω
Power dissipation	195	μ W

5.4 วงจรเปรียบเทียบสัญญาณแบบพลวัต(Dynamic comparator)

วงจรเปรียบเทียบสัญญาณแบบพลวัตเป็นส่วนประกอบหนึ่งที่ถูกนำมาใช้ใน โครงสร้างของวงจรมอ ดูละเอียดสัญญาณซิกม่าเดลต้าในวิทยานิพนธ์ฉบับนี้ โดยจะให้แทนในส่วนของวงจรเปรียบเทียบ สัญญาณ(Comparator)และวงจรฟลิปฟลอป(Flip-Flop) เพราะลักษณะการทำงานของวงจร เปรียบเทียบสัญญาณแบบพลวัตนั้นจะทำการเปรียบเทียบอินพุตและแรงดันอ้างอิงทุกอย่างของขา ของสัญญาณนาฬิกาและ โวลต์การเปรียบเทียบนั้นไว้จนกว่าจะขอบขาของสัญญาณนาฬิกาถูกใหม่ จะมาถึง จึงทำการเปรียบเทียบใหม่ ซึ่งโครงสร้างโดยทั่วไปของวงจรเปรียบเทียบสัญญาณแบบพล วัตนั้นสามารถแสดงได้ดังรูปที่ 5.8



รูปที่ 5.8 โครงสร้างวงจรเปรียบเทียบสัญญาณแบบพลวัต

จากรูปที่ 5.8 จะเห็นว่าวงจรเปรียบเทียบสัญญาณแบบพลวัต ประกอบด้วยวงจร 2 ส่วนใหญ่ ๆ คือ วงจรขยายภาคต้น (preamplifier) ซึ่งจะทำการขยายสัญญาณอินพุตทั้งสองด้วยอัตราขยายที่มีค่าไม่สูงมากนัก และในส่วนที่สองคือวงจรเลตช์ค่าแรงดันคั่นวงกลับ (regenerative latch) ซึ่งใช้หลักการของการป้อนกลับแบบบวกเพื่อเพิ่มค่าอัตราขยายประสิทธิผลให้กับวงจรเปรียบเทียบสัญญาณ

โดยค่าอัตราการเปลี่ยนแปลงแรงดันที่เอาต์พุต (ΔV_O) จะเป็นฟังก์ชันเอกซ์โพเนนเชียลของค่าคงตัวเวลาของวงจรอินเวอร์เตอร์ (τ_{inv}) [4] ดังสมการที่ 5.16

$$\Delta V_O = \Delta V_{O0} e^{t/t_{lch}} \quad (5.16)$$

โดย ΔV_{O0} คือสัญญาณผลต่างของแรงดันเอาต์พุตที่เวลาเริ่มต้น และ t_{lch} คือค่าเวลาคงตัวของวงจรสร้างใหม่ (Regenerative time : t_{lch}) ของวงจรเลตช์ค่าแรงดันวงกลับ ดังแสดงในสมการที่ 5.17

$$t_{lch} = K \frac{L^2}{u_n V_{eff}} \quad (5.17)$$

จากสมการที่ 5.17 แสดงให้เห็นว่า ค่าเวลาการสร้างใหม่ของวงจรเลตช์ค่าแรงดันวงกลับนั้นขึ้นอยู่กับค่า ความยาวของทรานซิสเตอร์ (channel length) ดังนั้นค่าเวลาการสร้างใหม่ที่น้อยที่สุดนั้น อาจจะกล่าวได้ว่าขึ้นอยู่กับเทคโนโลยีการสร้างทรานซิสเตอร์ให้มีค่าความยาวน้อยที่สุดเพียงไร

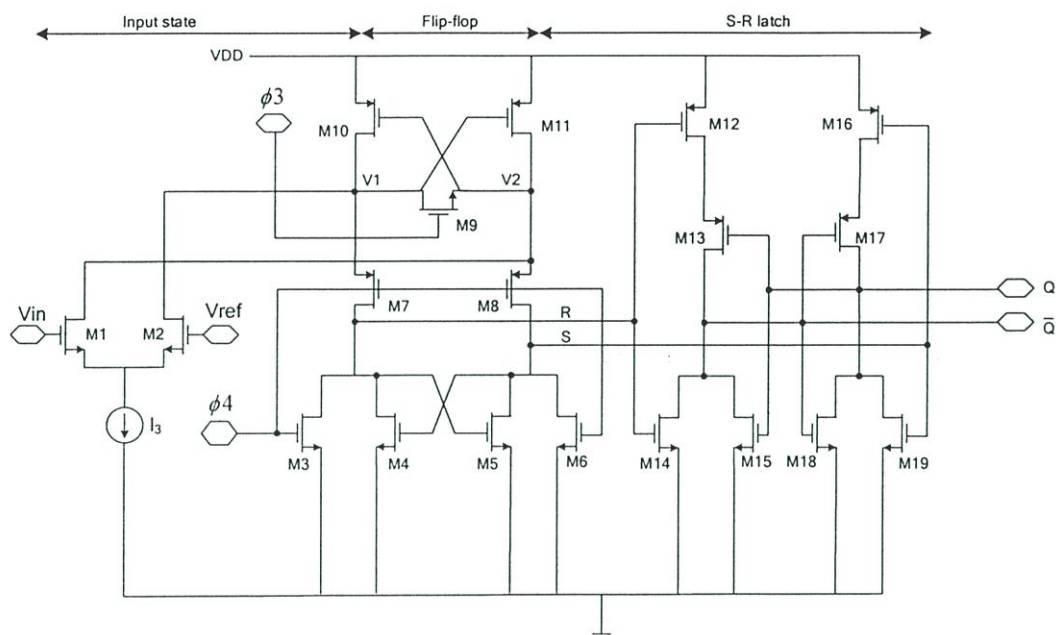
เมื่อทำการแก้สมการที่ 5.16 เพื่อหาค่าผลต่างของแรงดันเอาต์พุตของวงจรเลตช์ค่าแรงดันวงกลับที่เวลาใดๆ โดยแทนค่า t_{lch} เข้าไปจะได้ดังสมการที่ 5.18

$$t = K \frac{L^2}{u_n V_{eff}} \ln \left(\frac{\Delta V_{logic}}{\Delta V_{O0}} \right) \quad (5.18)$$

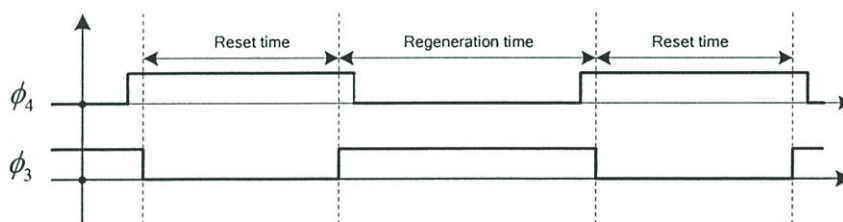
จากสมการที่ 5.18 แสดงให้เห็นว่าเมื่อกำหนดค่าผลต่างแรงของแรงดันเอาต์พุตสุดท้ายที่ต้องการ และให้ค่า t_{lch} มีค่าคงตัวแล้ว วงจรเลตช์ค่าแรงดันวงกลับนั้นจะให้ค่าเอาต์พุตสุดท้าย ΔV_{logic} ได้เร็วที่สุดเมื่อค่าผลต่างแรงดันเอาต์พุตเริ่มต้น ΔV_{O0} มีค่ามากที่สุด ซึ่งค่าแรงดันเอาต์พุตเริ่มต้นนั้นมีค่าสัมพันธ์กับค่าอัตราขยายของวงจรขยายภาคต้น ดังนั้นค่าอัตราขยายของวงจรขยายภาคต้นจึงมีความสำคัญกับวงจรเปรียบเทียบแรงดันที่มีความเร็วในการทำงานสูงด้วย

ในส่วนของวงจรเปรียบเทียบสัญญาณแบบพลวัต (Dynamic comparator) ที่ถูกใช้ในวิทยานิพนธ์ฉบับนี้ประกอบไปด้วยส่วนอินพุตผลต่าง, ส่วนฟลิปฟล็อป, และส่วนของวงจรเลตช์ค่า

สัญญาณ ดังแสดงในรูปที่ 5.9(ก) [25] โดยในการทำงานของวงจรเปรียบเทียบกับสัญญาณแบบพลวัตที่ใช้ในวิทยานิพนธ์ฉบับนี้แบ่งออกเป็น 2 ช่วงด้วยกันคือ ช่วงเวลาการรีเซต(reset time interval) และช่วงเวลาการสร้างใหม่ (Regeneration time interval) ซึ่งถูกควบคุมด้วยสัญญาณนาฬิกาแบบไม่ทับซ้อน ϕ_1 และ ϕ_2 ดังแสดงในรูป 5.9(ข)



(ก)



(ข)

รูปที่ 5.9 (ก)วงจรเปรียบเทียบสัญญาณแบบพลวัต (ข)สัญญาณนาฬิกาควบคุม

ในช่วงเวลาการรีเซต สัญญาณนาฬิกาควบคุม ϕ_3 จะมีค่าเป็น 0 และ ϕ_4 จะมีค่าเป็น 1 ทำให้ลอจิกขา R และ S ของ อาร์เอสแลคค์มีค่าเป็นลอจิกต่ำ เป็นผลให้เอาต์พุตขา Q และ \bar{Q} อยู่ในสถานะไม่มีการเปลี่ยนแปลงหรือคงค่าลอจิกเดิมไว้ นอกจากนั้นการทำงานในช่วงนี้ยังเป็นการสร้างแรงดันเริ่มต้น (ΔV_0) ให้กับช่วงเวลาการสร้างใหม่อีกด้วย โดยสัญญาณควบคุม ϕ_2 จะทำให้สวิทช์ทรานซิสเตอร์ M7 และ M8 เปิดวงจร และสวิทช์ทรานซิสเตอร์ M9 ปิดวงจร ทำให้ค่าแรงดัน V_1 และ V_2 มีค่าดับสมการที่ 5.19 และ 5.20

$$V_1 = -gm_2 [r_{o2} // r_{o10} // (R_{on} + (r_{o11} // r_{o1}))] \left[\frac{v_{id}}{2} \right] \quad (5.19)$$

$$V_2 = gm_1 [r_{o1} // r_{o11} // (R_{on} + (r_{o10} // r_{o2}))] \left[\frac{v_{id}}{2} \right] \quad (5.20)$$

โดยค่า R_{on} คือค่าความต้านทานของมอสทรานซิสเตอร์ M9 ขณะอยู่ในสภาวะนำกระแส และค่า v_{id} คือค่าผลต่างระหว่างแรงดัน V_m และแรงดันอ้างอิง V_{ref}

เมื่อนำสามการที่ 5.19 ลบด้วย 5.20 โดยสมมติให้ค่าความต้านทานระหว่างขาเดรน (r_o) และขอสทุกตัวมีค่าประมาณเท่ากัน จะได้สมการของค่าแรงดันที่จะถูกนำไปใช้เป็นแรงดันเริ่มต้นในช่วงเวลาการสร้างใหม่

$$\Delta V_0 = V_1 - V_2 \approx -gm_{1,2} r_o v_{id} \quad (521)$$

ในช่วงเวลาการสร้างใหม่คือช่วงเวลาที่สัญญาณนาฬิกาควบคุม ϕ_2 จะมีค่าเป็น 1 และ ϕ_1 จะมีค่าเป็น 0 โดยในช่วงนี้สวิตช์ทรานซิสเตอร์ M8 และ M9 จะปิดวงจรและสวิตช์ทรานซิสเตอร์ M3 และ M6 จะเปิดวงจรทำให้ฟลิปฟล็อปแบบเอ็น(M4 , M5) และ ฟลิปฟล็อปแบบพี (M10 , M11) เชื่อมต่อกันและทำหน้าที่เป็นวงจรเลตช์ค่าแรงดันดันวงกลับ (regenerative latch) ที่ได้อธิบายมาแล้วข้างต้น โดยค่าตารางค่าความจริง(True table) ของวงจรเปรียบเทียบสัญญาณแบบพลวัตแสดงดังตารางที่ 5.3

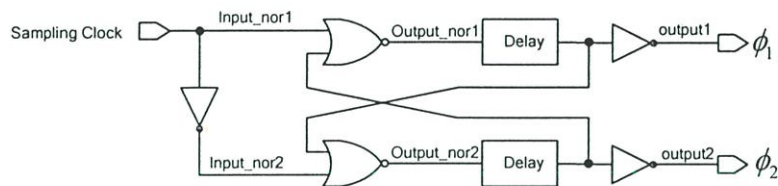
ตารางที่ 5.3 ตารางค่าความจริงของวงจรเปรียบเทียบสัญญาณแบบพลวัต

ϕ_1	ϕ_2	สถานะ	v_{id}	Q	\bar{Q}
1	0	Reset time	Don't care	Q	\bar{Q}
0↑	1	Regeneration time	Positive	1	0
			Negative	0	1
1	1	Reset time	Don't care	Q	\bar{Q}

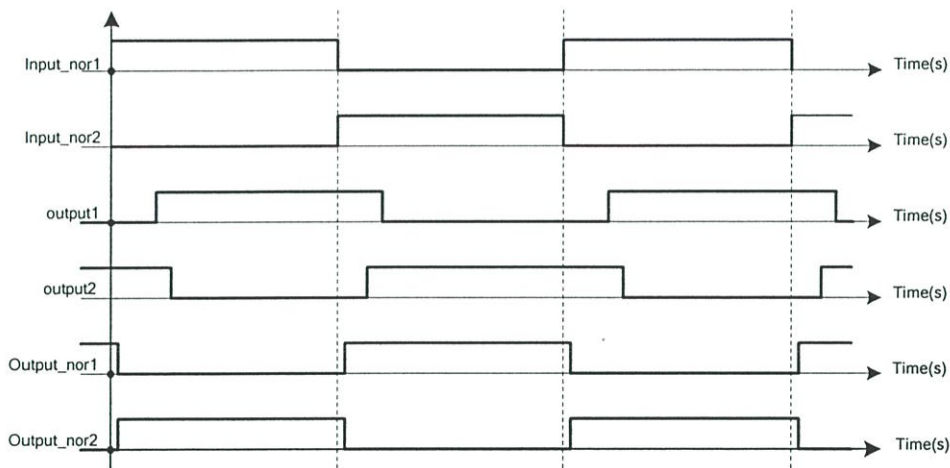
5.5 วงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อน (Non-overlap clock circuit)

วงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อน(Non-overlapping clock) ดังแสดงในรูปที่ 5.10(ก) ถูกนำไปใช้สร้างสัญญาณควบคุมการทำงานของวงจรเปรียบเทียบสัญญาณแบบพลวัตโดย ϕ_1 และ ϕ_2 โดยลักษณะสัญญาณที่สร้างออกมานั้น ระหว่างสัญญาณ ϕ_1 และ ϕ_2 จะไม่มีค่าลอจิกค่าที่

ตรงกันดังรูปที่ 5.10(ข) โดยวงจรประกอบไปด้วยวงจรดิจิทัลเกตเนอร์ (NOR Gate) ต่ออนุกรมกับวงจรหน่วงเวลา ซึ่งสร้างจากวงจรอินเวอร์เตอร์ต่ออนุกรมกันเป็นจำนวนคู่ และมีวงจรอินเวอร์เตอร์ทำหน้าที่เป็นภาคขับเฟอร์แรงดันเพื่อขับโหลดของวงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อน และเอาต์พุตของวงจรหน่วงเวลาจะถูกป้อนกลับไปยังอินพุตของลอจิกเกตเนอร์อีกตัวหนึ่ง โดยช่วงเวลากการไม่ทับซ้อนที่ได้จากวงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อนนั้นจะมีค่าเท่ากับสองเท่าของผลรวมค่าการแพร่กระจายเวลาการหน่วงสัญญาณ(Propagation delay) ของวงจรลอจิกเกตเนอร์ แลวงจรหน่วงเวลาดิจิทัล



(ก)



(ข)

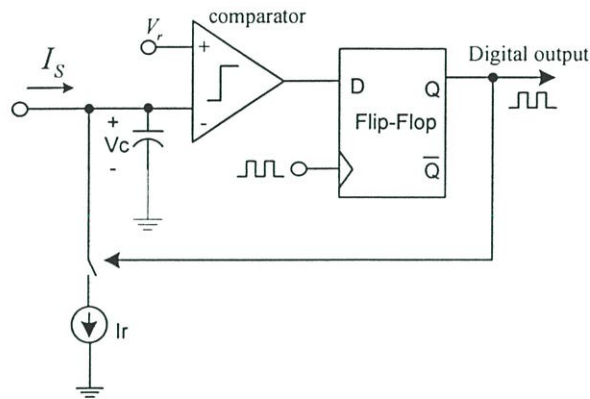
รูปที่ 5.10 (ก) วงจรสร้างสัญญาณนาฬิกาแบบไม่ซ้อนทับ (ข) แผนภาพเวลา

5.6 วงจรมอดูเลตสัญญาณซิกม่าเดลต้า(Sigma-delta modulator)

5.6.1 หลักการทำงานของจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่ใช้ในวิทยานาฬิกาลูกตุ้มเป็นวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่งแบบเวลาต่อเนื่อง(First-order continuous time sigma delta modulator) ซึ่งโครงสร้างของวงจรแสดงได้ดังรูปที่ 5.11 ประกอบไปด้วยวงจรแปลงกระแสเป็นแรงดันที่มีฟังก์ชัน

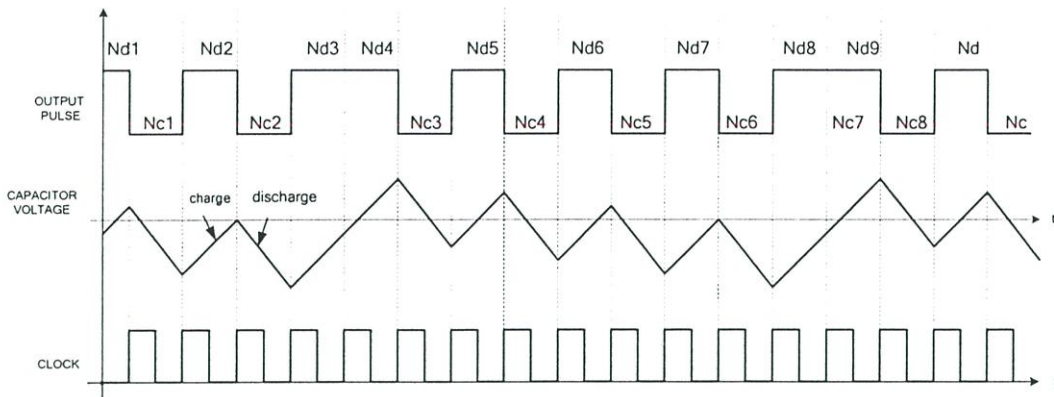
ผลตอบสนองต่อความถี่เป็นแบบผ่านความถี่ต่ำอันดับที่ 1 (First-order low-pass filter) ซึ่งสร้างโดยใช้ตัวเก็บประจุ, วงจรเปรียบเทียบสัญญาณ(Comparator), วงจรฟลิปฟล็อป(Flip-Flop) และวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกซึ่งสร้างจากการสวิตช์เปิด-ปิดกระแส I_r เข้าและออกจากวงจรอนุกรมย้อนกลับ โดยที่โครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าสามารถเรียกอีกอย่างหนึ่งว่า วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการใช้ประจุ(Charge-balancing sigma delta modulator)



รูปที่ 5.11 โครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการใช้ประจุ

หลักการดำเนินงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการใช้ประจุในรูปที่ 5.11 นั้นสามารถอธิบายได้ดังนี้ โดยสมมติให้ค่าลอจิก "1" ทำให้สวิตช์ S_w เปิดวงจร และ ค่าลอจิก "0" ทำให้สวิตช์ S_w ปิดวงจร ดังนั้นเริ่มแรกถ้าให้ลอจิกที่ขา Q ของฟลิปฟล็อปมีสถานะเป็นลอจิก "1" ดังนั้นสวิตช์ S_w จะเปิดวงจรทำให้กระแส I_s ไหลเข้าประจุกตัวเก็บประจุ ทำให้ระดับแรงดันที่ตกคร่อมตัวเก็บประจุมีค่ามากขึ้นเรื่อยๆ จึงถึงระดับแรงดันอ้างอิง V_r ณ เวลานั้นสถานะที่เอาต์พุตของวงจรเปรียบเทียบระดับสัญญาณจะมีค่าเปลี่ยนจากสถานะสูงเป็นสถานะต่ำ ดังนั้นเมื่อขอบขาขึ้นของสัญญาณนาฬิกาถึงจะทำให้ลอจิกที่ขา Q ของฟลิปฟล็อปเปลี่ยนจากลอจิก "1" เป็น "0" สวิตช์ S_w จะปิดวงจร กระแส $I_r - I_s$ ($I_r > I_s$) จะไหลคลายประจุของตัวเก็บประจุออก ทำให้ระดับแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าลดลงเรื่อยๆจนถึงระดับแรงดันอ้างอิง V_r ณ เวลานั้นสถานะที่เอาต์พุตของวงจรเปรียบเทียบระดับสัญญาณจะมีค่าเปลี่ยนจากสถานะต่ำเป็นสถานะสูง ดังนั้นเมื่อขอบขาขึ้นของสัญญาณนาฬิกาถึงจะทำให้ลอจิกที่ขา Q ของฟลิปฟล็อปเปลี่ยนจากลอจิก "0" เป็น "1" สวิตช์ S_w จะทำการเปิดวงจรอีกครั้งหนึ่ง การทำงานแบบนี้จะวนไปเรื่อยๆ โดยเมื่อสังเกตพฤติกรรมของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการใช้ประจุนี้ จะเห็นว่าวงจรพยายามจะรักษาระดับแรงดันที่ตกคร่อมตัวเก็บประจุให้มีค่าเฉลี่ยเท่ากับแรงดันอ้างอิงของวงจรเปรียบเทียบระดับสัญญาณ โดยการทำให้จำนวนประจุรวมที่ถูกอัดเข้าและปล่อย

นอกจากตัวเก็บประจุมีค่าเท่ากัน ดังรูปที่ 5.12 ซึ่งสาเหตุที่เป็นเช่นนี้เพราะว่าหลักการของการป้อนกลับแบบลบของวงจรมอดูเลตสัญญาณซิกม่าเดลต้านั่นเอง



รูปที่ 5.12 แรงดันตกรวมที่ตัวเก็บประจุในวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

5.6.2 การวิเคราะห์ห้วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

ในการวิเคราะห์หาค่าความสัมพันธ์ระหว่างจำนวนครั้งของการประจุ (N_c) และจำนวนครั้งของการปล่อยประจุ (N_d) ให้กับตัวเก็บประจุด้วยกระแสที่ใช้ในการประจุ (I_s) และปล่อยประจุ ($I_s - I_r$) สามารถแสดงได้ดังนี้

จากที่ได้กล่าวมาแล้วข้างต้นว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาการอัด-ปล่อยประจุที่ใช้ในวิทยานิพนธ์นี้ จะทำให้ค่าแรงดันเฉลี่ยที่ตกรวมตัวเก็บประจุมีค่าเท่ากับแรงดันอ้างอิง ซึ่งทำให้จำนวนประจุที่ถูกเพิ่มเข้าไปและปล่อยออกมาจากเดิมของตัวเก็บประจุมีค่าเท่ากันดังสมการ 5.22

$$\Delta Q_{charge} + \Delta Q_{discharge} = 0 \quad (5.22)$$

ดังนั้นถ้าพิจารณาจากรูปที่ 5.9 ในช่วงเวลาการประจุ กระแส I_s จะไหลเข้าประจุให้กับตัวเก็บประจุ ทำให้แรงดันที่ตกรวมตัวเก็บประจุมีค่าเพิ่มขึ้นจากเดิมดังนี้

$$\Delta V(t)_{charge} = V(t)_{c(charge)} - V(0)_{c(charge)} = \frac{I_s \Delta t}{C} \quad (5.23)$$

โดยค่า $V(0)_{c(charge)}$ คือค่าแรงดันตกรวมตัวเก็บประจุที่เวลาเริ่มต้นในช่วงการประจุให้กับตัวเก็บประจุ และค่า ΔV_{charge} คือค่าแรงดันตกรวมตัวเก็บประจุที่ถูกเพิ่มขึ้นในช่วงเวลา Δt ดังนั้นค่าประจุที่ถูกประจุเพิ่มขึ้นจากเดิมโดยกระแส I_s สามารถหาได้ดังนี้

$$\Delta Q_{charge} = C\Delta V(t)_{c(charge)} \quad (5.24)$$

นำสมการที่ 5.23 ซึ่งแสดงถึงของค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่ถูกเพิ่มขึ้นที่เวลาใดๆ $V(t)_{charge}$ แทนเข้าไปในสมการที่ 5.24 เพื่อหาจำนวนประจุที่ถูกประจุเพิ่มเข้าไปในตัวเก็บประจุ ดังนี้

$$\Delta Q_{charge} = I_s \Delta t \quad (5.25)$$

ถ้าพิจารณาวงจรรูปที่ 5.12 ในช่วงเวลาการปล่อยประจุ กระแส $(I_r - I_s)$ จะไหลปล่อยประจุให้กับตัวเก็บประจุ ทำให้แรงดันที่ตกคร่อมตัวเก็บประจุมีค่าลดลงจากเดิมดังนี้

$$\Delta V(t)_{discharge} = V(t)_{c(discharge)} - V(0)_{c(discharge)} = \frac{(I_s - I_r)\Delta t}{C} \quad (5.26)$$

โดยค่า $V(0)_{c(discharge)}$ คือค่าแรงดันตกคร่อมตัวเก็บประจุที่เวลาเริ่มต้นในช่วงการปล่อยประจุให้กับตัวเก็บประจุ และค่า $\Delta V_{discharge}$ คือค่าแรงดันตกคร่อมตัวเก็บประจุที่ถูกลดลงจากเดิมในช่วงเวลา Δt ดังนั้นค่าประจุที่ถูกปล่อยลดลงจากเดิมโดยกระแส $(I_r - I_s)$ สามารถหาได้ดังนี้

$$\Delta Q_{discharge} = C\Delta V(t)_{c(discharge)} \quad (5.27)$$

นำสมการที่ 5.26 ซึ่งแสดงถึงของค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่ถูกลดลงที่เวลาใดๆ $V(t)_{discharge}$ แทนเข้าไปในสมการที่ 5.27 เพื่อหาจำนวนประจุที่ถูกปล่อยออกจากเดิมของตัวเก็บประจุดังนี้

$$\Delta Q_{discharge} = (I_s - I_r)\Delta t \quad (5.28)$$

ถ้ากำหนดให้ในช่วงเวลา T_{int} เป็นช่วงเวลาทั้งหมดที่สนใจการอัด-ปล่อยประจุเข้าและออกจากตัวเก็บประจุแล้ว ให้ในช่วงเวลาการอัดประจุเข้าในตัวเก็บประจุตลอดช่วงเวลา T_{int} ใช้เวลา $N_c T_{clk}$ และให้ช่วงเวลาในการปล่อยประจุออกจากตัวเก็บประจุตลอดช่วงเวลา T_{int} ใช้เวลา $N_d T_{clk}$ โดยที่ N_c และ N_d คือจำนวนครั้งในการอัดและปล่อยประจุตลอดช่วงเวลา T_{int} ดังนั้นสามารถเขียนสมการที่ 4.9 และ 4.12 ได้ใหม่ดังนี้

$$\Delta Q_{charge} = I_s (N_c T_{clk}) \quad (5.29)$$

$$\Delta Q_{discharge} = (I_s - I_r)(N_d T_{clk}) \quad (5.30)$$

นำสมการที่ 5.29 และ สมการที่ 5.30 เข้าไปแทนในสมการที่ 5.22 จะได้

$$I_s (N_c T_{clk}) + (I_s - I_r)(N_d T_{clk}) = 0 \quad (5.31)$$

ทำการแก้สมการและจัดรูปใหม่ดังนี้

$$\frac{I_s}{I_r} = \frac{N_d}{N_d + N_c} \quad (5.32)$$

จากสมการที่ 5.32 เมื่อนำค่า T_{clk} คูณเข้ากับทางด้านขวาของสมการทั้งบนและล่างจะได้

$$\frac{I_s}{I_r} = \frac{N_d T_{clk}}{(N_d + N_c) T_{clk}} \quad (5.33)$$

เมื่อพิจารณาพจน์ของ $(N_d + N_c) T_{clk}$ จะเห็นว่ามีความเท่ากับช่วงเวลาทั้งหมดที่สนใจในการอัด-ปล่อยประจุเข้าและออกจากตัวเก็บประจุ ดังนั้น สมการที่ 5.33 สามารถเขียนใหม่ได้ดังนี้

$$\frac{I_s}{I_r} = \frac{N_d T_{clk}}{T_{int}} \quad (5.34)$$

จากสมการที่ 5.34 สามารถสรุปได้ว่าเมื่อกำหนดช่วงเวลาที่น่าสนใจในการอัด-ปล่อยประจุเข้าและออกจากตัวเก็บประจุช่วงหนึ่งนั้น จำนวนพัลส์ทางด้านเอาต์พุตที่เกิดจากการปล่อยประจุออกจากตัวเก็บประจุของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ (charge balance sigma delta modulator) จะมีค่าแปรผันโดยตรงกับความถี่การสุ่มสัญญาณภายในวงจร และแปรผกผันกับกระแสอ้างอิง I_r

เมื่อพิจารณาถึงความละเอียด(resolution) ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ นั้นสามารถพิจารณาได้ดังนี้ โดยผลต่างของสัญญาณพัลส์ทางด้านเอาต์พุต (ΔN_d) ที่เกิดจากช่วงสัญญาณอินพุต ΔI_s มีค่าดังสมการที่ 5.35

$$\Delta N_d = \frac{\Delta I_s T_{int}}{T_{clk} I_r} \quad (5.35)$$

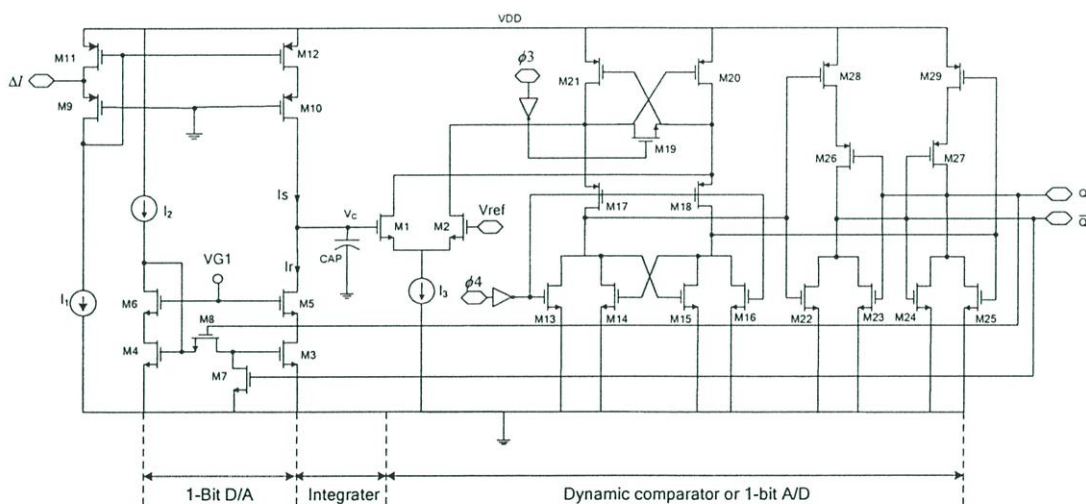
ดังนั้นค่าความละเอียด(resolution) ของวงจรสามารถกำหนดได้โดย

$$2^N = \Delta N_d = \frac{\Delta I_s T_{int}}{T_{clk} I_r} \quad (5.36)$$

เมื่อทำการใส่ฟังก์ชันลอคาลิทีม ทั้งทางด้านซ้ายและขวาของสมการที่ 5.36 จะได้สมการความละเอียด(resolution) ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบอัตราอัด-ปล่อยประจุดังนี้

$$N = \log_2 \left(\frac{\Delta I_s T_{int}}{T_{clk} I_r} \right) \quad (5.37)$$

จากแผนภาพของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุแสดงในรูปที่ 5.11 สามารถแสดงวงจรในระดับทรานซิสเตอร์ได้ดังรูปที่ 5.13



รูปที่ 5.13 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

จากรูปที่ 5.13 นั้นจะเห็นได้ว่ากระแสเอาต์พุตจากวงจรบัพเฟอร์กระแสได้ถูกสะท้อนผ่านวงจรสะท้อนกระแส(M9-M12) เข้าเข้ามาเป็นอินพุตของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ โดยมีตัวเก็บประจุทำหน้าที่เป็นวงจรกรองสัญญาณแบบผ่านความถี่ต่ำ(Low-pass filter) โดยแรงดันที่ตกคร่อมตัวเก็บประจุจะถูกนำไปเปรียบเทียบกับแรงดันอ้างอิง V_{ref} ด้วยวงจรเปรียบเทียบสัญญาณแบบพลวัต(Dynamic comparator) ซึ่งใช้แทนวงจรเปรียบเทียบ

สัญญาณ(Comparator) และวงจรถลิปฟลอป(Flip-Flop) ในรูปที่ 5.11 โดยเอาต์พุตที่ได้จากวงจรถลิปฟลอปเปรียบเทียบกับสัญญาณแบบพลวัต(Dynamic comparator) จะถูกป้อนให้วงจรถลิปฟลอปสัญญาณอนาล็อกเป็นดิจิทัลซึ่งสร้างโดยการสวิตช์เปิด-ปิดวงจรถลิปฟลอป(M3-M6) โดยทรานซิสเตอร์สวิตช์ M7-M8)

5.6.3 การแปลงฟังก์ชันวงจรถลิปฟลอปแบบเวลาต่อเนื่องไปสู่ฟังก์ชันวงจรถลิปฟลอปแบบเวลาไม่ต่อเนื่อง

เพื่อความสะดวกในการวิเคราะห์ผลตอบสนองต่อความถี่ของวงจรถลิปฟลอปสัญญาณอนาล็อกแบบรักษาสัญญาณแบบพลวัต(Continuous-time filter) ไปเป็นฟังก์ชันของวงจรถลิปฟลอปแบบเวลาไม่ต่อเนื่อง(Discrete-time filter) ซึ่งสามารถแสดงได้ดังนี้

ฟังก์ชันวงจรถลิปฟลอปของวงจรถลิปฟลอปสัญญาณอนาล็อกแบบรักษาสัญญาณแบบพลวัตสามารถแสดงได้ดังนี้

$$\hat{H}(s) = \sum_{k=1}^N \frac{\hat{a}_k}{s - \hat{s}_k} = \frac{1}{sC} \quad (5.37)$$

จากสมการที่ 5.37 ทำให้ทราบว่า ค่าสัมประสิทธิ์ $a_k = 1/C$ และ $s_k = 0$ ดังนั้น จากความสัมพันธ์ในการแปลงระหว่างสัมประสิทธิ์ของวงจรถลิปฟลอปแบบเวลาต่อเนื่องและเวลาไม่ต่อเนื่องของวงจรถลิปฟลอปสัญญาณอนาล็อกแบบรักษาสัญญาณแบบพลวัตอันดับหนึ่งที่มีฟังก์ชันวงจรถลิปฟลอปเป็นแบบโพลเดี่ยวในภาคผนวก ก ทำให้ค่าฟังก์ชันของวงจรถลิปฟลอปแบบไม่ต่อเนื่องทางเวลาได้ดังนี้

$$H(z) = \sum_{k=1}^N \frac{a_k}{z - z_k} = \frac{(AT_{CLK}/C)}{z - 1} \quad (5.38)$$

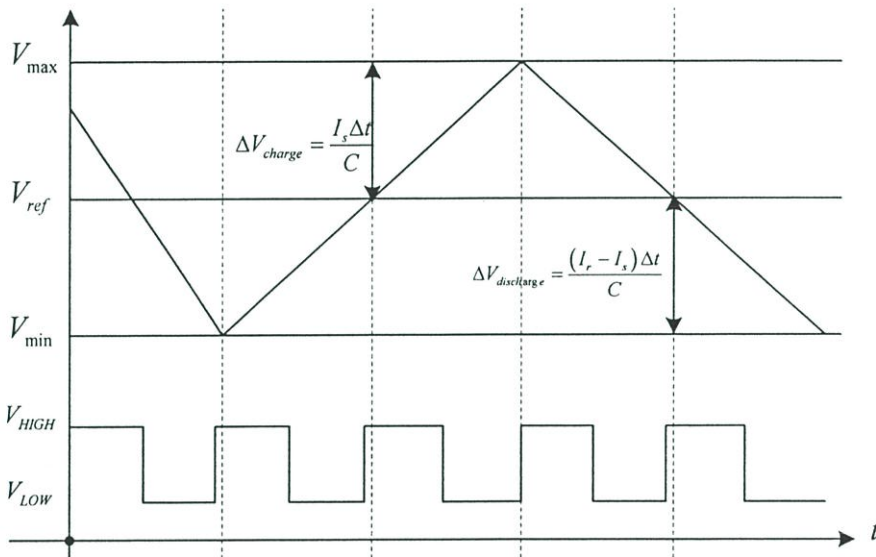
จากสมการที่ 5.38 นั้นทำให้สามารถกำหนดฟังก์ชันถ่ายโอนของสัญญาณ(Signal transfer function: STF) และฟังก์ชันถ่ายโอนของสัญญาณรบกวน(Noise transfer function :NTF) ของวงจรถลิปฟลอปสัญญาณอนาล็อกแบบเวลาไม่ต่อเนื่องได้ดังสมการที่ 5.39 และ 5.40 ตามลำดับ

$$STF(z) = \frac{[AT_{CLK}/C]}{z + [(AT_{CLK}/C) - 1]} \quad (5.39)$$

$$NTF(z) = \frac{z - 1}{z + [(AT_{CLK}/C) - 1]} \quad (5.40)$$

จากฟังก์ชันถ่ายโอนของสัญญาณและฟังก์ชันถ่ายโอนของสัญญาณรบกวนในสมการที่ 5.39 และ 5.40 นั้นแสดงให้เห็นว่า ฟังก์ชันถ่ายโอนของสัญญาณจะมีลักษณะเป็นฟังก์ชันของวงจรรองแบบผ่านความถี่ต่ำ(Low-pass filter) เมื่อค่าสัมประสิทธิ์ (AT_{CLK} / C) มีค่ามากกว่า 1 และมีลักษณะเป็นฟังก์ชันของวงจรรองแบบผ่านทุกความถี่(All-pass filter) เมื่อสัมประสิทธิ์ (AT_{CLK} / C) มีค่าเท่ากับ 1 และในส่วนฟังก์ชันถ่ายโอนของสัญญาณรบกวนจะมีลักษณะเป็นฟังก์ชันของวงจรรองแบบผ่านความถี่สูง(High-pass filter) ซึ่งเป็นคุณลักษณะของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าดั้งเดิม

5.6.4 การออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ



รูปที่ 5.14 แรงดันตกคร่อมตัวเก็บประจุเมื่อเทียบกับสัญญาณนาฬิกาของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

ในการออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุนั้นสามารถทำได้โดยทำการกำหนดค่าความละเอียด(resolution)ที่ต้องการจากการสมการที่ 5.37 โดยการเลือกความถี่ในการสุ่มสัญญาณและช่วงเวลาการนับจำนวนพัลส์ของสัญญาณให้เหมาะสม โดยค่าความถี่ในการสุ่มสัญญาณและมีผลต่อฟังก์ชันถ่ายโอนของสัญญาณอินพุต(Signal transfer function :STF) และฟังก์ชันถ่ายโอนของสัญญาณรบกวน(Noise transfer function :NTF) ในสมการที่ 5.41 และ 5.42 ตามลำดับ

ในการออกแบบค่าตัวเก็บประจุที่ทำหน้าที่เป็นวงจรรองสัญญาณแบบผ่านความถี่ต่ำนั้นสามารถทำได้โดยการพิจารณารูปที่ 5.14 เมื่อกำหนดค่าแรงดันที่มากที่สุดที่ตกคร่อมตัวเก็บประจุมี

ค่าเท่ากับ V_{\max} และค่าแรงดันที่น้อยที่สุดที่ตกคร่อมตัวเก็บประจุมีค่าเท่ากับ V_{\min} โดยจะเห็นว่าถ้าแรงดันที่ตกคร่อมตัวเก็บประจุ (V_C) มีค่ามากกว่าแรงดันอ้างอิง (V_{ref}) วงจรมอดูเลตสัญญาณซิกม่าเดลต้าจะพยายามทำให้ค่าเฉลี่ยของแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าเท่ากับแรงดันอ้างอิง โดยทำการปล่อยประจุออกจากตัวเก็บประจุ โดยการเชื่อมต่อกระแสอ้างอิง I_r เข้าไปในวงรอบการป้อนกลับเมื่อขอบขาของสัญญาณนาฬิกาถูกลัดไปมาถึง ดังนั้นถ้าคิดค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่เพิ่มขึ้นมากที่สุด โดยมีค่าไม่เกินค่าแรงดัน V_{\max} ในช่วงรอขอบขาของสัญญาณนาฬิกาถูกลัดไป สามารถแสดงได้ดังนี้

$$(V_{\max} - V_{ref}) = \frac{I_{S\max} T_{CLK}}{C} \quad (5.41)$$

ทำการจัดรูปสมการที่ 5.43 ใหม่ดังนี้

$$C = \frac{I_{S\max} T_{CLK}}{(V_{\max} - V_{ref})} \quad (5.42)$$

จากสมการที่ 5.42 เป็นการกำหนดค่าตัวเก็บประจุที่น้อยที่สุดที่ทำให้ค่าแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าไม่เกิดแรงดัน V_{\max} ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

เมื่อพิจารณาในช่วงเวลาการปล่อยประจุ จะเห็นว่าเมื่อค่าแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าน้อยกว่าแรงดันอ้างอิง วงจรมอดูเลตสัญญาณซิกม่าเดลต้าจะนำกระแสอ้างอิงออกจากวงรอบการป้อนกลับเพื่อทำให้แรงดันที่ตกคร่อมตัวเก็บประจุมีค่าเพิ่มมากขึ้น ดังนั้นถ้าคิดค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่ลดลงมากที่สุด โดยมีค่าไม่เกินค่าแรงดัน V_{\min} ในช่วงรอขอบขาของสัญญาณนาฬิกาถูกลัดไป สามารถแสดงได้ดังนี้

$$(V_{ref} - V_{\min}) = \frac{I_r - I_{S\min} T_{CLK}}{C} \quad (5.43)$$

เมื่อนำสมการที่ 5.42 แทนเข้าไปในสมการที่ 5.43 นั้นจะได้

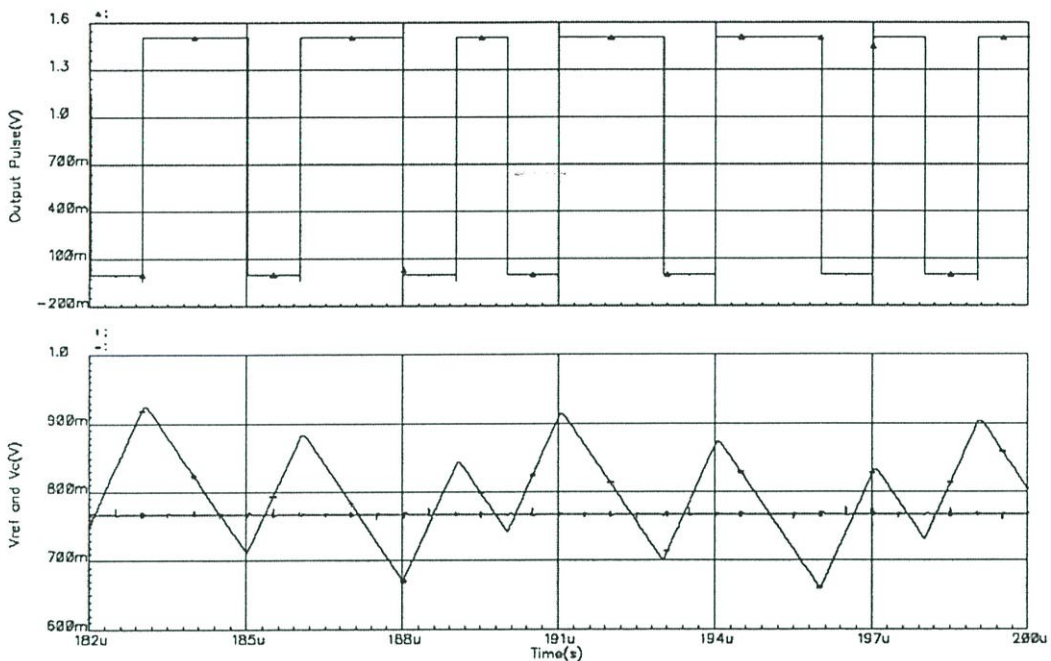
$$I_r = \frac{\frac{I_{S\max} T_{CLK} (V_{ref} - V_{\min})}{(V_{\max} - V_{ref})} + I_{S\min} T_{CLK}}{T_{CLK}} \quad (5.44)$$

เมื่อกำหนดให้ค่าแรงดัน $V_{\max} - V_{ref}$ มีค่าเท่ากับค่าแรงดัน $V_{ref} - V_{\min}$ จะได้

$$I_r = I_{S\max} + I_{S\min} \quad (5.45)$$

จากสมการที่ 5.45 เป็นการกำหนดค่ากระแสอ้างอิงที่น้อยที่สุดที่ทำให้ค่าแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าไม่เกินแรงดัน V_{\min} ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

5.6.3 การจำลองผลการทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการใช้พลังงานที่ต่ำ



รูปที่ 5.15 การทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการใช้พลังงานที่ต่ำ

ในการออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการใช้พลังงานที่ต่ำนั้น ได้กำหนดค่าตัวเก็บประจุมีค่าเท่ากับ 36pF , กระแส $I_r = 10\mu\text{A}$, ใช้ความถี่ในการสุ่มสัญญาณเท่ากับ 1MHz และใช้ช่วงเวลาการนับจำนวนพัลส์ที่เกิดจากการปล่อยประจุ (N_d) เท่า 9ms ซึ่งทำให้ได้ความละเอียดมีค่าประมาณ 8.4 บิต โดยในรูปที่ 5.14 แสดงถึงกระบวนการของการป้อนกลับแบบลบของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่บังคับให้ค่าแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าเฉลี่ยเท่ากับค่าแรงดันอ้างอิง และตารางที่ 5.4 แสดงถึงค่าอัตราส่วนความกว้างต่อความยาวของทรานซิสเตอร์ที่ใช้ในรูปที่ 5.13

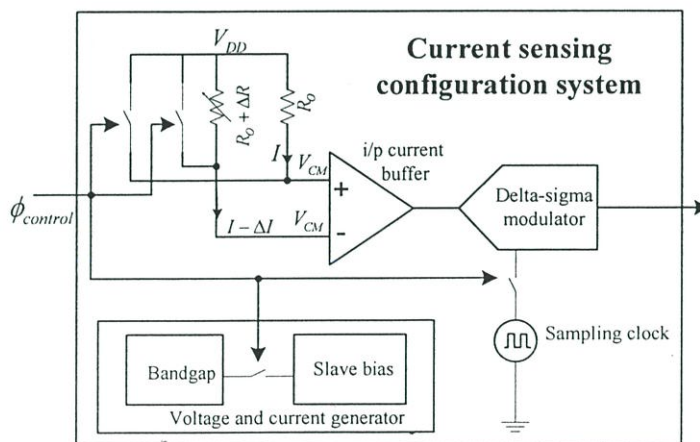
ตารางที่ 5.4 ขนาดของทรานซิสเตอร์แบบมอสเฟตที่ใช้สำหรับวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

ทรานซิสเตอร์	W(μm)	L(μm)
M1 , M2	14	1
M3	16	2
M4	32	2
M5 , M6	5	1
M7	340	0.35
M8	560	0.35
M9 , M10	100	2
M11 , M12	80	5
M13-M16, M22-M25	1	0.35
M17-M21, M6-M29	4	0.35

5.7 ระบบรวมและผลจำลองการทำงานของระบบ

5.7.1 แผนภาพของระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเพียโซรีซิสเตอร์ที่นำเสนอ

ในหัวข้อที่ผ่านมาได้กล่าวถึงวงจรในส่วนต่างๆซึ่งถูกใช้ในวิธีการตรวจจับการเปลี่ยนค่าความต้านทานของเพียโซรีซิสเตอร์โดยการตรวจจับกระแสที่นำเสนอในวิทยานิพนธ์ฉบับนี้ โดยในหัวข้อนี้จะอธิบายถึงการทำงานของระบบและผลจำลองการทำงานของระบบตรวจวัดการเปลี่ยนค่าความต้านทานที่นำเสนอ ซึ่งแผนภาพของระบบตรวจวัดการเปลี่ยนค่าความต้านทานที่นำเสนอนั้นสามารถแสดงได้ดังรูปที่ 5.15 และมีความสัมพันธ์ระหว่างผลต่างของจำนวนพัลส์ที่เอาต์พุตและค่าความต้านทานที่เปลี่ยนแปลงไปของเพียโซรีซิสเตอร์ดังแสดงในสมการที่ 5.46



รูปที่ 5.16 แผนภาพแสดงส่วนประกอบของระบบตรวจวัดการเปลี่ยนค่าความต้านทาน

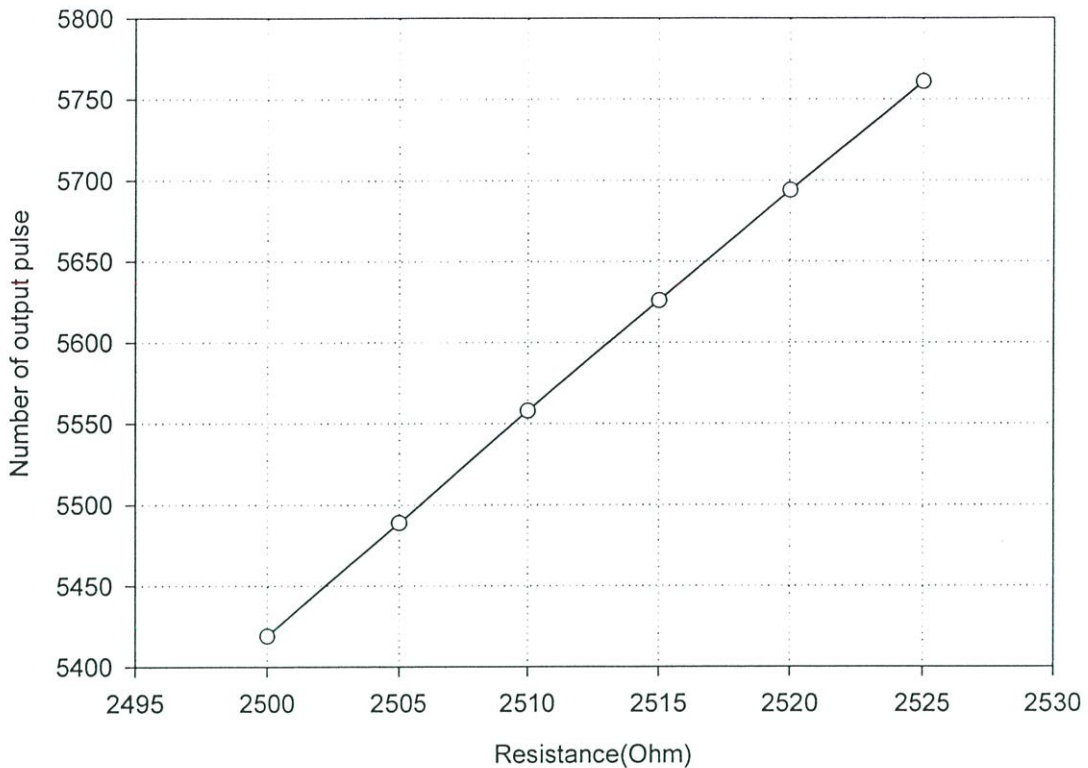
$$\Delta N_d = \frac{I_o T_{\text{int}} \frac{\Delta R}{R_o} \left[\frac{1}{1 + \Delta R / R_o} \right]}{I_r T_{\text{clk}}} \quad (5.46)$$

โดยค่า I_o คือกระแสที่ไหลผ่านค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงซึ่งมีค่าเท่ากับ $\frac{V_{DD} - V_{CM}}{R_o}$

ในระบบที่ใช้วิธีตรวจวัดค่าความต้านทานที่นำเสนอ นั้น สามารถแบ่งการทำงานของระบบออกเป็น 2 โหมดการทำงานด้วยกันโดยมีสัญญาณ ϕ_{control} เป็นสัญญาณควบคุม โดยถ้าสัญญาณควบคุม ϕ_{control} มีค่าเป็น 1 ระบบจะทำงานในโหมดทำงาน (Active mode) ซึ่งจะทำการตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์และให้จำนวนพัลส์ด้านเอาต์พุตที่สัมพันธ์กับค่าความต้านทานที่เปลี่ยนแปลงตามลำดับ และเมื่อสัญญาณควบคุม ϕ_{control} มีค่าเป็น 0 ระบบจะเข้าสู่โหมดรอกอย(idle mode) ซึ่งโหมคนี้อาจจะรับเฟอร์ผลต่างกระแสอินพุต, วงจรมอดูเลตสัญญาณซิกม่าเดลต้า และวงจรสร้างกระแสและแรงดันไบอัส จะถูกหยุดการทำงาน เพื่อให้ระบบตรวจวัดสามารถลดการใช้กำลังงานลงได้

5.7.2 ผลจำลองการทำงานของระบบ

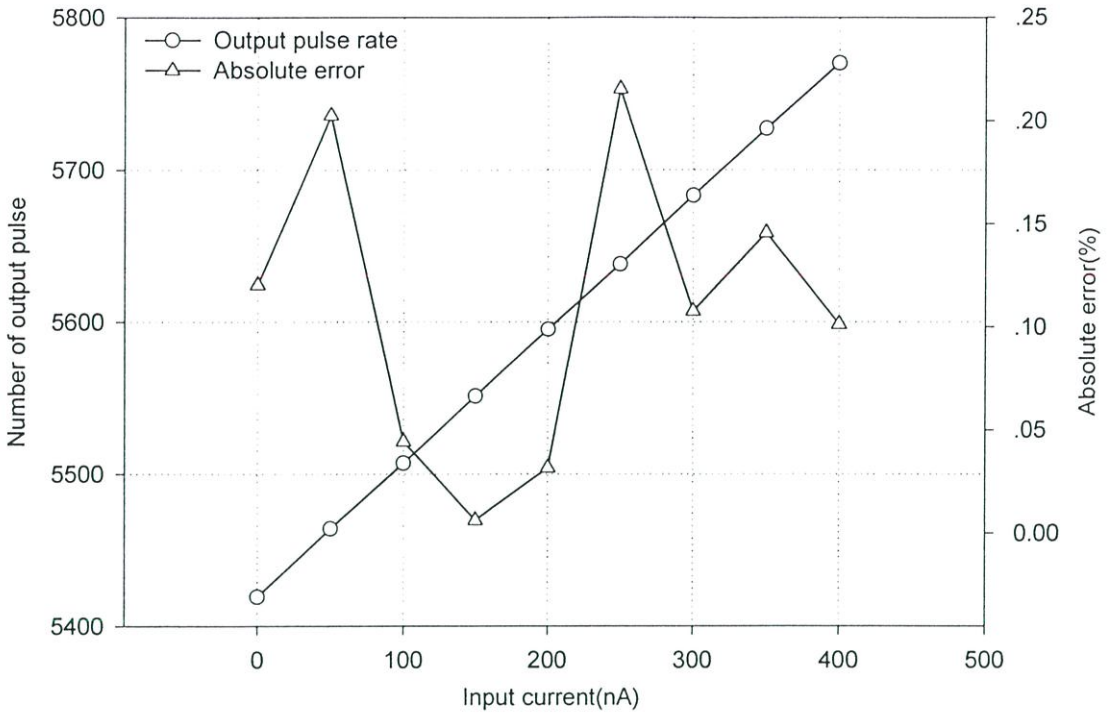
ระบบวัดตรวจวัดการเปลี่ยนแปลงค่าความต้านทานของเปียโซรีซิสเตอร์โดยใช้วิธีตรวจจับกระแสที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ใช้ค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงเท่ากับ 2500 โอห์ม โดยให้ค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์สามารถเปลี่ยนแปลงไปได้มากที่สุด 1% จากค่าความต้านทานปกติ [20] ซึ่งระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์นี้ออกแบบแบบให้สามารถรองรับความไม่สมพงษ์กันของค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงมากที่สุดคิดเป็น $\pm 5\%$ ของค่าความต้านทานปกติ



รูปที่ 5.17 ความสัมพันธ์ระหว่างค่าความต้านทานกับจำนวนพัลส์ที่เอาต์พุต

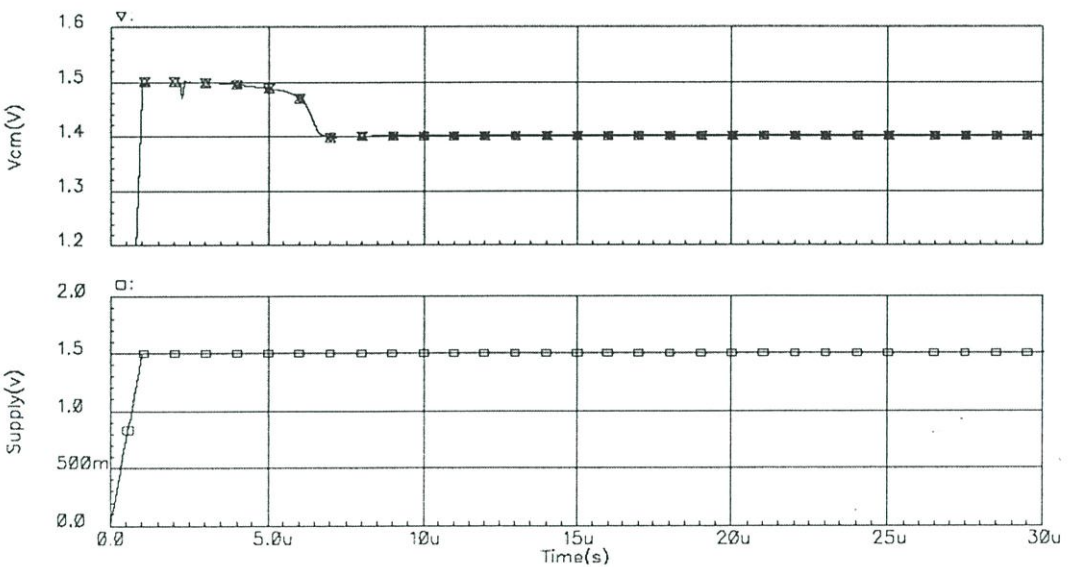
รูปที่ 5.17 แสดงความสัมพันธ์ระหว่างค่าความต้านทานกับค่าจำนวนพัลส์ที่เอาต์พุตของระบบที่นำเสนอ ซึ่งจะเห็นได้ว่าเมื่อความต้านทานของเปียโซรีซิสเตอร์เปลี่ยนแปลงไปเป็น 1% ของค่าความต้านทานปกติ (25 โอห์ม) จะทำให้จำนวนพัลส์ที่ได้ที่เอาต์พุตเปลี่ยนแปลงไป 342 พัลส์ คิดเป็นประมาณ $0.08 \Omega/\text{pulse}$

ค่าความสัมพันธ์ระหว่างค่าความต้านทานที่เปลี่ยนแปลงไปของเปียโซรีซิสเตอร์นั้นมีความไม่เป็นเชิงเส้นต่อกัน ตามสมการที่ 5.46 จึงทำให้ไม่สามารถระบุว่าจะระบบมีค่าเป็นเชิงเส้นมากน้อยเพียงไร ดังนั้นในการวัดความเป็นเชิงเส้นของระบบสามารถวัดได้โดยการวัดจำนวนพัลส์ที่เอาต์พุตเทียบกับกระแสที่เกิดจากการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์แทน ซึ่งมีความสัมพันธ์เป็นเชิงเส้นต่อกันดังสมการที่ 5.34 โดยความไม่เป็นเชิงเส้นของระบบเมื่อวัดเทียบระหว่างจำนวนพัลส์ที่เอาต์พุตกับกระแสที่อินพุตสามารถแสดงได้ดังรูปที่ 5.18 โดยจะเห็นว่าความไม่เป็นเชิงเส้นสูงสุดมีค่าเป็น 0.22% เมื่อคิดเทียบกับค่ากระแสเต็มช่วง

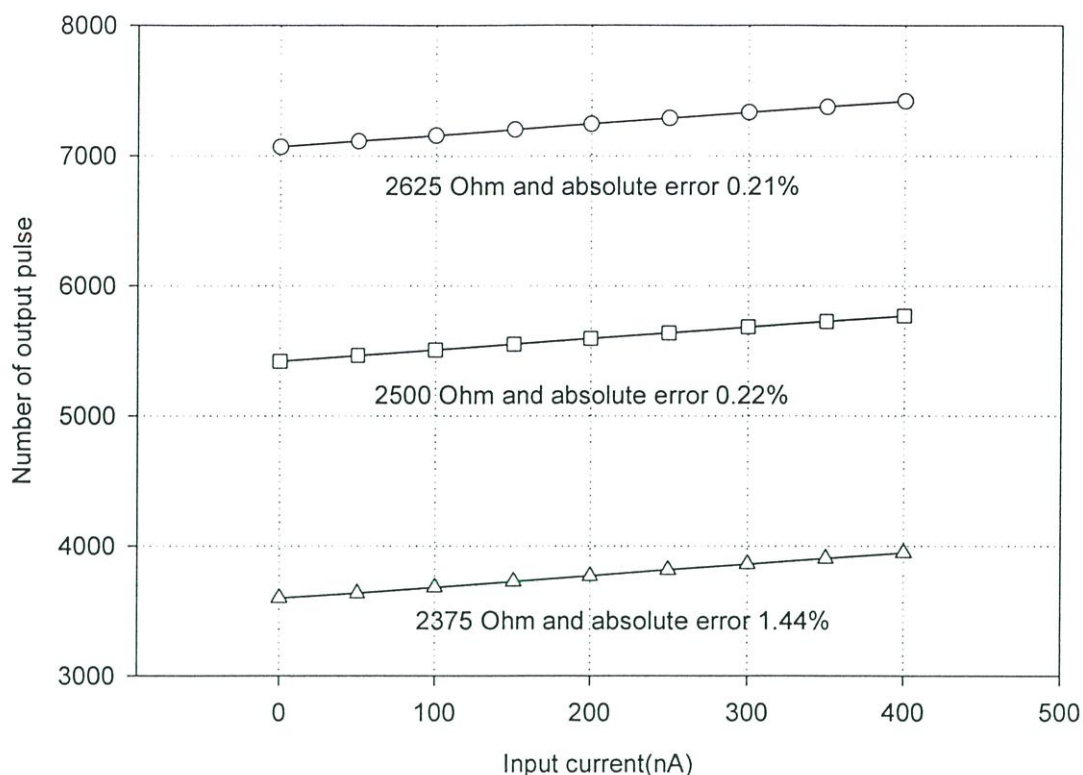


รูปที่ 5.18 ความเป็นเชิงเส้นระหว่างกระแสที่อินพุตกับจำนวนพัลส์ที่เอาต์พุต

รูปที่ 5.19 แสดงผลตอบสนองทางเวลาของระบบโดยกำหนดให้แหล่งจ่ายแรงดันของระบบมีค่าค่อยๆ เปลี่ยนแปลงขึ้นจาก 0 ไปจนถึงระดับที่คงที่ 1.5 โวลต์ โดยจากกราฟพบว่าระบบที่ทำการออกแบบต้องใช้เวลาประมาณ 6 us ในการสร้างแรงดันโหมคร่วม (V_{CM}) ที่มีค่า 1.4 V เพื่อให้แรงดันที่ตกคร่อมค่าความต้านทานเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงให้มีค่าคงที่



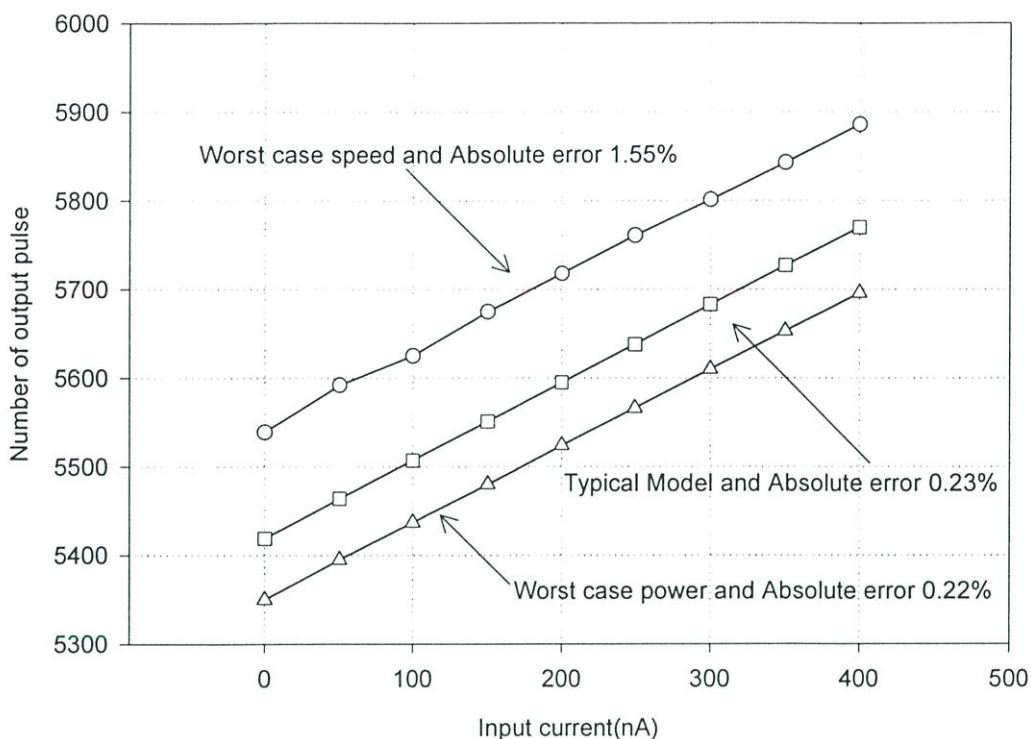
รูปที่ 5.19 ผลตอบสนองทางเวลาของระบบ



รูปที่ 5.20 ความไม่เป็นเชิงเส้นของค่าความต้านทานปกติแต่ละค่า

รูปที่ 5.20 แสดงความไม่เป็นเชิงเส้นระหว่างจำนวนพัลส์เอาต์พุตกับกระแสที่อินพุตที่เกิดจากการเปลี่ยนค่าความต้านทานไป 1% จากค่าความต้านทานปกติของเปียโซรีซิสเตอร์เมื่อค่าความต้านทานปกติของเปียโซรีซิสเตอร์เกิดความไม่สมพงษ์ (mismatch) กับค่าความต้านทานอ้างอิง

ระบบตรวจวัดการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์ที่นำเสนอนี้ได้ออกแบบให้รองรับความไม่สมพ้องกันของค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงได้มากที่สุดเป็น $\pm 5\%$ (2375 Ω ถึง 2625 Ω) โดยจากกราฟจะพบว่าที่ค่าความต้านทานปกติของเปียโซรีซิสเตอร์เป็น 2375 Ω (เกิดความไม่สมพ้องไปจากค่าความต้านทาน 2500 Ω ไป -5%) เกิดความไม่เป็นเชิงเส้นมากที่สุดคือ 1.44% และที่ค่าความต้านทานปกติของเปียโซรีซิสเตอร์เป็น 2625 Ω (เกิดความไม่สมพ้องไปจากค่าความต้านทาน 2500 Ω ไป 5%) เกิดความไม่เป็นเชิงเส้นมากที่สุดคือ 0.21%

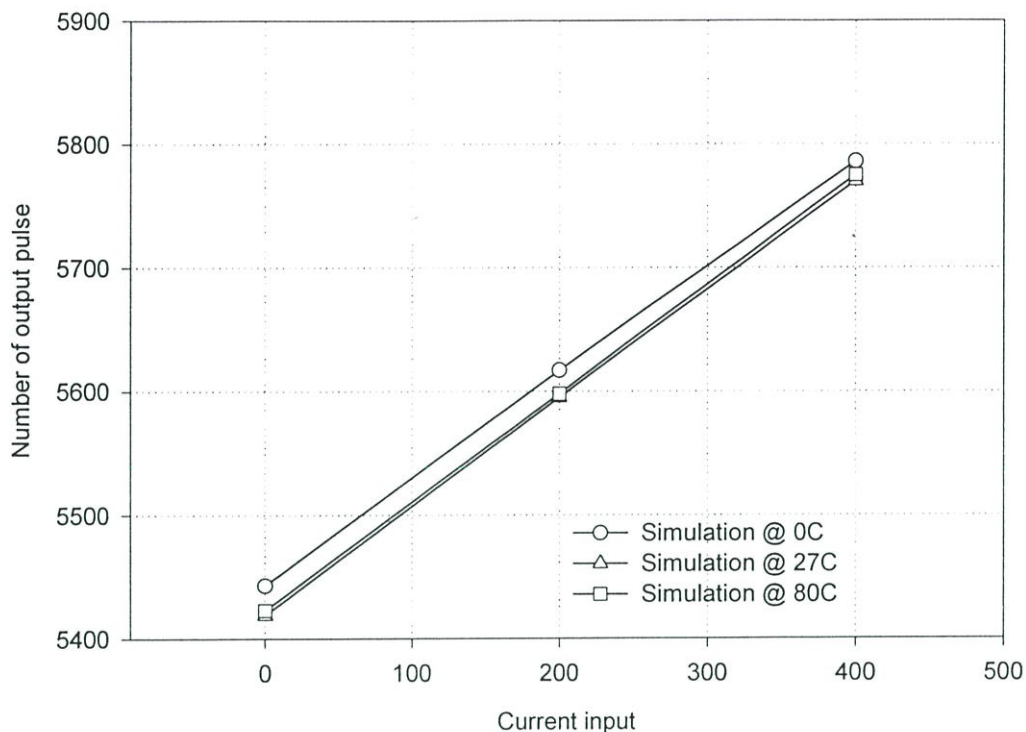


รูปที่ 5.21 ความไม่เป็นเชิงเส้นของระบบในกรณีที่เกิดการเปลี่ยนแปลงพารามิเตอร์ในการสร้างทรานซิสเตอร์

รูปที่ 5.21 แสดงผลจำลองการทำงานของระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์เมื่อเกิดการเปลี่ยนแปลงพารามิเตอร์เนื่องจากความไม่แน่นอนของการสร้างทรานซิสเตอร์ โดยแบ่งเป็น 3 กรณีด้วยกันคือ ผลการจำลองการทำงานเมื่อมีการเชื่อมสายให้กับทรานซิสเตอร์ที่ต้องการสร้างมากเกินไป (worst case power) ผลการจำลองการทำงานเมื่อมีการเชื่อมสายให้กับทรานซิสเตอร์ตามปกติของกระบวนการสร้าง (Typical model) และผลการจำลองการทำงานเมื่อมีการเชื่อมสายให้กับทรานซิสเตอร์ที่ต้องการสร้างน้อยเกินไป (worst case power) โดยในการจำลองผลการทำงานนั้นใช้ค่าความต้านทานปกติของเปียโซรีซิสเตอร์เท่ากับ 2500 โอห์ม

จากกราฟจะพบว่าเมื่อพารามิเตอร์ในการสร้างทรานซิสเตอร์เกิดเปลี่ยนแปลงไปดังที่ได้กล่าวมาข้างต้นนั้น จะพบว่าจำนวนพัลส์ที่เอาต์พุตของวงจรในกรณีที่มีการเชื่อมสายให้กับทรานซิสเตอร์น้อยเกินไปนั้น จำนวนพัลส์ที่เอาต์พุตจะมีค่าเพิ่มขึ้นจากกรณีการเชื่อมสายปกติประมาณ 120 พัลส์เมื่อวัดที่ค่ากระแสอินพุตแต่ละค่า และในกรณีที่เชื่อมสายให้กับทรานซิสเตอร์มากเกินไปนั้น จำนวนพัลส์ที่เอาต์พุตจะมีค่าลดลงจากกรณีปกติประมาณ 69 พัลส์เมื่อวัดที่ค่ากระแสอินพุตแต่ละค่า โดยระบบยังสามารถทำงานได้ปกติ และพบว่าในกรณีที่มีการเชื่อมสายให้กับทรานซิสเตอร์น้อยเกินไปนั้น จะเกิดความไม่เป็นเชิงเส้นสูงที่สุดในทั้ง 3 กรณี คือ 1.55 % และใน

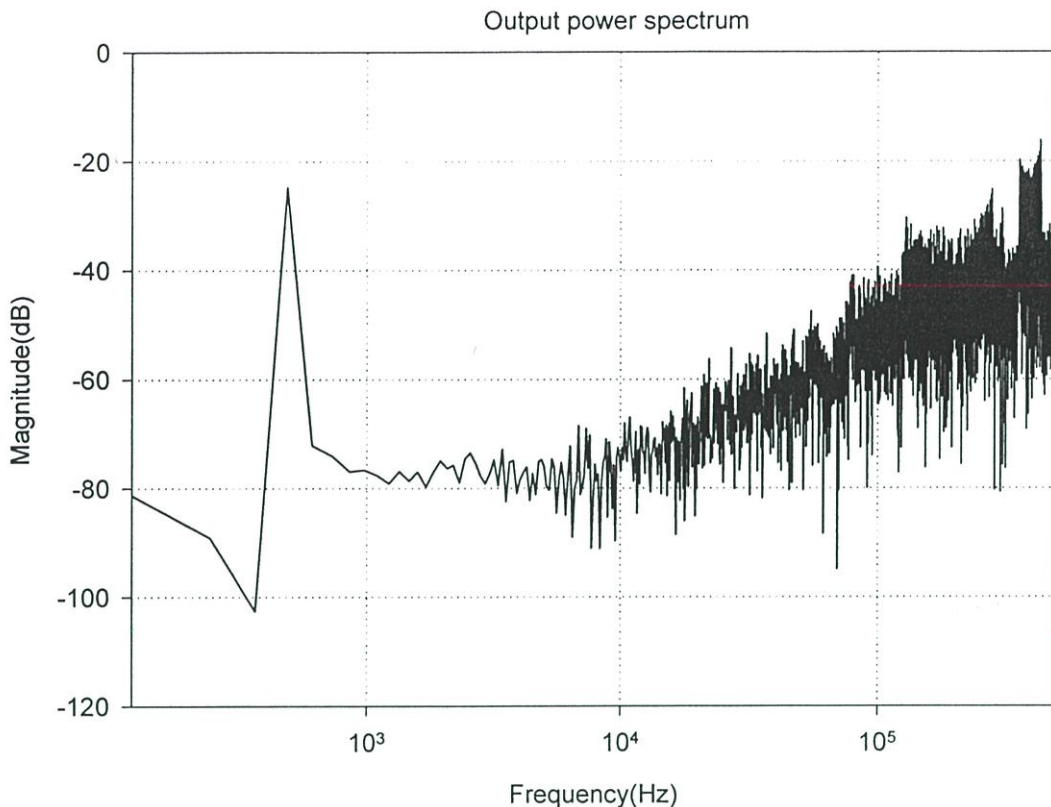
รูปที่ 5.22 เป็นการจำลองการทำงานของระบบเมื่อเปลี่ยนค่าอุณหภูมิไป 3 กรณีด้วยกัน คือ 0 , 27, และ 80 องศาตามลำดับ



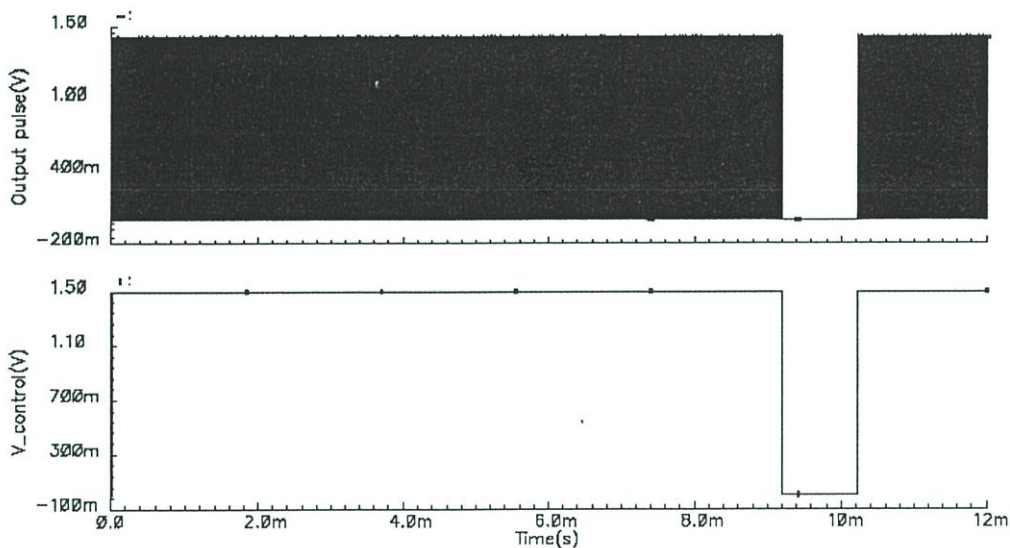
รูปที่ 5.22 ค่าเอาต์พุตพัลส์ที่เกิดจากการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ที่อุณหภูมิต่างๆ

จากผลการจำลองการทำงานในเรื่องของความไม่สมพงษ์กันของค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิง, ผลการจำลองการทำงานในเรื่องความผิดพลาดในการสร้างทรานซิสเตอร์ และผลการจำลองการทำงานในเรื่องอุณหภูมิ นั้นจะเห็นได้ว่าจำนวนพัลส์ที่เอาต์พุตเกิดการเลื่อนขึ้นหรือเลื่อนลงจากจำนวนพัลส์ในกรณีปกติ โดยที่ค่าความไม่เป็นเชิงเส้นยังคงใกล้เคียงกับค่าความไม่เป็นเชิงเส้นในกรณีปกติ ดังนั้นการความผิดพลาดเหล่านี้อาจถือได้ว่าเป็นค่าออฟเซตของในแต่ละกรณี ซึ่งสามารถทำการชดเชยได้โดยกระบวนการทางซอฟต์แวร์

รูปที่ 5.23 แสดงกำลังงานสเปกตรัมของสัญญาณดิจิทัลที่เอาต์พุตของระบบตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ โดยจำนวนตัวอย่างที่ได้จากการสุ่มสัญญาณเอาต์พุตดิจิทัลจะเท่ากับ 16384 ตัวอย่าง โดยป้อนความถี่อินพุตที่ 488 Hz ใช้ความถี่ในการสุ่มสัญญาณ 1 MHz ซึ่งในการคำนวณอนุกรมฟูเรียร์จะใช้การจัดรูปองค์ประกอบสัญญาณอินพุตด้วยหน้าต่างแบบสี่เหลี่ยม(Rectangular window)



รูปที่ 5.23 กำลังงานสเปกตรัมตลอดช่วงความถี่ 500kHz



รูปที่ 5.24 การทำงานของระบบในโหมดปกติและโหมดรอกอยซึ่งถึงควบคุมโดยสัญญาณ $\phi_{control}$

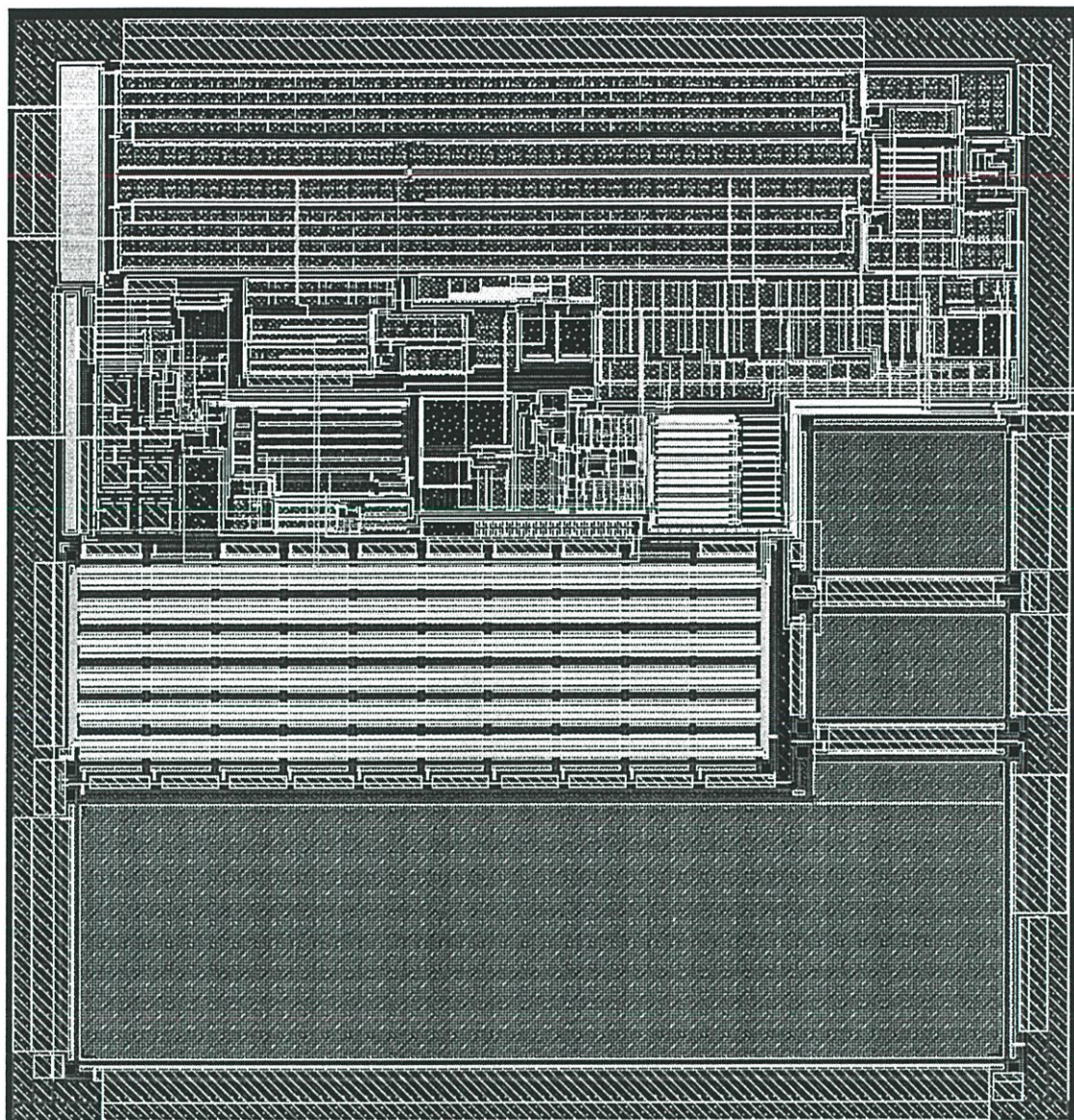
จากรูปที่ 5.23 แสดงให้เห็นถึงคุณสมบัติการจัดรูปแบบสัญญาณรบกวนที่เกิดขึ้นจากวงจร จักรระดับสัญญาณ(Quantization noise) ในช่วงแบนด์วิดส์สัญญาณอินพุตของวงจรมอดูเลตสัญญาณ ซิกมาเดลต้าอันดับหนึ่ง โดยจากรูปที่ 5.24 จะเห็นว่าขนาดกำลังงานของสัญญาณรบกวนจะมีค่าต่ำ

กว่าขนาดกำลังงานของสัญญาณอินพุตประมาณ 53 dB และวงจรมอดูเลตสัญญาณซิกม่าเดลต้ามีแบนด์วิดท์การทำงานประมาณ 5kHz โดยค่ากำลังงานของสัญญาณรบกวนในแต่และเสปคตรัมความถี่ในช่วงแบนด์วิดท์นั้นมีค่าประมาณ 78 dB ซึ่งสามารถหาบิตประสิทธิภาพ(Effective number of bit :ENOB)ได้มีค่าเท่ากับ 8.3 บิต [28]

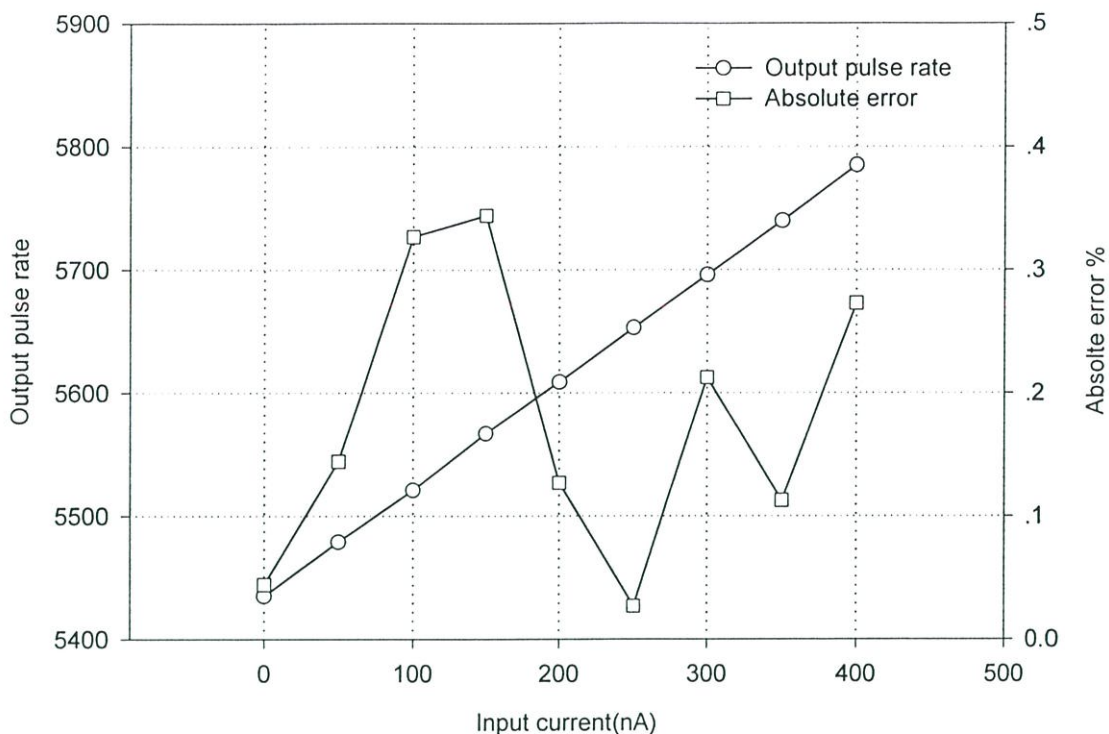
รูปที่ 5.24 แสดงถึงการทำงานของระบบซึ่งถูกควบคุมด้วยสัญญาณ $\phi_{control}$ โดยระบบจะสลับการทำงานไปมาระหว่างโหมดทำงาน (Active mode) และ โหมดรอกอย(Ideal mode) โดยในการทำงานในโหมดปกติจะใช้เวลาทั้งหมด 9 ms และในโหมดการรอกอยจะใช้เวลา 1ms

5.7.3 วงจรทางกายภาพ(Layout) และผลจำลองการทำงาน

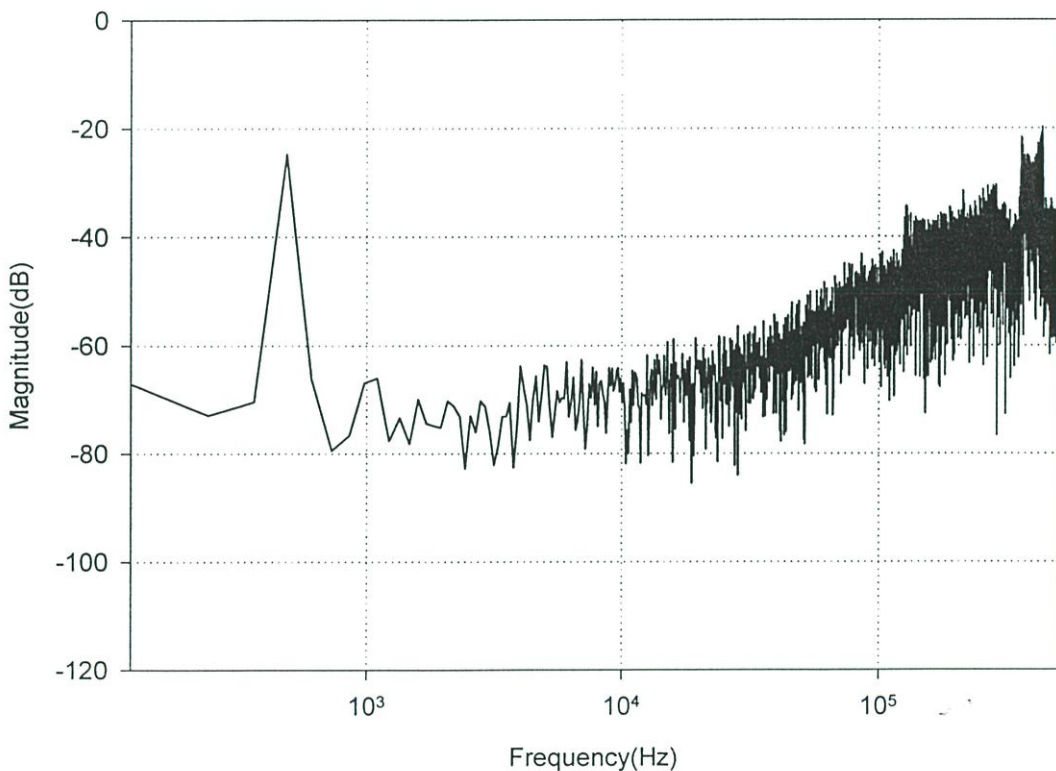
รูปที่ 5.25 แสดงถึงวงจรทางกายภาพ(Layout) ของวงจรตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ และรูปที่ 5.26 แสดงความเป็นเชิงเส้นระหว่างกระแสที่อินพุตและจำนวนพัลส์ที่เอาต์พุตของวงจรที่ได้จากวงจรทางกายภาพ(Layout) ซึ่งเมื่อทำการเปรียบเทียบกับผลที่ได้จากการจำลองการทำงานในแผนภาพวงจร(Schematic) จะเห็นได้ว่าจำนวนพัลส์ที่ได้จากกระแสอินพุตแต่ละค่ามีค่ามากกว่าผลที่ได้จากการจำลองการทำงาน โดยใช้แผนภาพวงจร(Schematic) ประมาณ 16 พัลส์ แต่ค่าความแตกต่างระหว่างจำนวนพัลส์ต่ำสุดและจำนวนพัลส์สูงสุด ($\Delta N_{discharge}$) ของทั้งสองกรณียังมีค่าใกล้เคียงกัน โดย $\Delta N_{discharge}$ ในกรณีของการจำลองการทำงานในแผนภาพวงจร(Schematic) จะมีค่าเป็น 351 พัลส์ และในกรณีของการจำลองการทำงานของวงจรทางกายภาพจะมีค่าเป็น 350 พัลส์ และเมื่อพิจารณาถึงความไม่เป็นเชิงเส้นของวงจร จะพบว่าความไม่เป็นเชิงเส้นของวงจรที่ได้จากการออกแบบทางกายภาพ(Layout) นั้นมีค่ามากขึ้นเป็น 0.34%



รูปที่ 5.25 วจรทางกายภาพ(Layout)



รูปที่ 5.26 ความเป็นเชิงเส้นระหว่างกระแสที่อินพุตกับจำนวนพัลส์ที่เอาต์พุตที่ได้จากวงจรเลย์เอาต์



รูปที่ 5.27 กำลังงานสเปกตรัมตลอดช่วงความถี่ 500kHz ที่ได้จากวงจรทางกายภาพ(Layout)

รูปที่ 5.27 แสดงกำลังงานสเปกตรัมของสัญญาณดิจิทัลที่เอาต์พุตของระบบตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ที่ได้จากการจำลองการทำงานโดยใช้วงจรทางกายภาพ (Layout) โดยจำนวนตัวอย่างที่ได้จากการสุ่มสัญญาณเอาต์พุตดิจิทัลจะเท่ากับ 16384 ตัวอย่าง และ ป้อนความถี่อินพุตที่ 488 Hz ใช้ความถี่ในการสุ่มสัญญาณ 1 MHz ซึ่งในการคำนวณอนุกรมฟูเรียร์ จะใช้การจัดรูปองค์ประกอบสัญญาณอินพุตด้วยหน้าต่างแบบสี่เหลี่ยม (Rectangular window)

จากรูปที่ 5.27 แสดงให้เห็นถึงคุณสมบัติการจัดรูปแบบสัญญาณรบกวนที่เกิดขึ้นจากวงจร จัดระดับสัญญาณ (Quantization noise) ของวงจรทางกายภาพ (Layout) ในช่วงแบนด์วิดส์สัญญาณ อินพุตของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่ง โดยจากรูปที่ 5.27 จะเห็นว่าขนาดกำลัง งานของสัญญาณรบกวนจะมีค่าต่ำกว่าขนาดกำลังงานของสัญญาณอินพุตประมาณ 48 dB และวงจรมอดูเลตสัญญาณซิกม่าเดลต้ามีแบนด์วิดท์การทำงานประมาณ 5kHz โดยค่ากำลังงานของสัญญาณรบกวนในแต่และสเปกตรัมความถี่ในช่วงแบนด์วิดส์นั้นมีค่าประมาณ 73 dB โดยเพิ่มขึ้นจากผล การจำลองการทำงานในแผนภาพวงจร (Schematic) ประมาณ 5 dB ซึ่งสามารถหาบิตประสิทธิภาพ (Effective number of bit :ENOB) ได้มีค่าเท่ากับ 7.3 บิต [28] และตารางที่ 5.5 แสดงถึงคุณสมบัติ โดยรวมของระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์โดยใช้วิธีการตรวจวัด กระแสที่นำเสนอ

ตารางที่ 5.5 สรุปผลการจำลองการทำงานของวงจรตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์

พารามิเตอร์	คุณสมบัติ	หน่วย
Voltage supply	1.5	V
Input impedance	6.8	Ω
Maximum linearity error ($\pm 1\%$ change in R_p)	0.21	%
Resolution	8.3	bit
Conversion time	9	ms
Power dissipation (Active Mode)	271.65	uW
(Idle Mode)	13.37	

บทที่ 6

สรุปผลการวิจัย และข้อเสนอแนะ

6.1 สรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวิธีตรวจวัดค่าการเปลี่ยนแปลงค่าความต้านทานของเปียโซรีซิสเตอร์ด้วยการตรวจวัดกระแสที่เกิดขึ้นจากการเปลี่ยนแปลงค่าความต้านทาน ด้วยวิธีนี้ทำให้ระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์สามารถทำงานได้ดีที่แรงดันต่ำ ในการออกแบบได้ทำการออกแบบเพื่อให้ใช้กับค่าความต้านทานปกติของเปียโซรีซิสเตอร์เท่ากับ 2500 โอห์ม และค่าความต้านทานสามารถเปลี่ยนไปมากที่สุด 1% ของค่าความต้านทานปกติ โดยจากผลจำลองการทำงานของวงจรแสดงให้เห็นว่าระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ที่ได้นำเสนอสามารถทำงานได้ดีที่แรงดันไฟเลี้ยงเพียง 1.5 โวลต์ และระบบใช้กำลังงานเพียง 271.65 μW ในโหมดการทำงาน(Active mode) และ 13.37 μW (Idle mode) ในช่วงการรอกอย โดยในการวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์สามารถให้ความละเอียดในการวัดประมาณ 0.08 $\Omega/pulse$ โดยเอาต์พุตของระบบเป็นจำนวนพัลส์ที่มีความสอดคล้องกับความถี่ในการสุ่มทำให้สะดวกที่จะนำไปประมวลผลโดยใช้อุปกรณ์ดิจิทัลอีกด้วย

6.2 ข้อเสนอแนะ

การการออกแบบเพื่อเพิ่มประสิทธิภาพในการวัด หรือ ลดกำลังงานที่ใช้ อาจทำได้โดยการเปลี่ยนวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่ง เป็นวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสอง เพราะวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับสูงจะทำให้ได้ความละเอียดเท่ากับวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่ง โดยใช้ค่าความถี่ในการสุ่มลดลง และยังให้การลดทอนสัญญาณรบกวนในช่วงแบนด์วิคท์ของสัญญาณอินพุตมากขึ้นอีกด้วย แต่การเพิ่มอันดับของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับนั้นอาจทำให้การออกแบบซับซ้อนยิ่งขึ้นและต้องคำนึงถึงเสถียรภาพของระบบมากขึ้น

เอกสารอ้างอิง

- [1] Julian W. Gardner. “**Microsensors Principles and Applications.**” University of Warwick, UK ,1994
- [2] Jacob Fraden, “**HANDBOOK OF MODERN SENSORS**”, physics designs and applications, Second Edition, San Diego, California, 19
- [3] K. Arshak, G. Lyons, L. Cavanagh, S. Clifford, “**Front-end signal conditioning used for resistance-based sensors in electronic nose systems: a review**” , Sensor Review, Vol. 23, No.3, pp. 230-241, 2003.
- [4] David Johns and Ken Martin, “**Analog integrated circuit Design.**” John Wiley & Sons, New York, 1997.
- [5] S.R. Norsworthy, R. schreier and G.C. Temes, “**Delta sigma data converters theory, design and simulation**” IEEE PRESS, New York, 1997.
- [6] R. Schreier, “**An empirical study of high-order sinle-bit delta-sigma modulators**”, IEEE trans.Circuit and System-II: Analog and Digital Signal Processing, vol. 40, pp. 461-466, Aug. 1993
- [7] K. C. H. Chao, S. Nadeem, W. Lee and G. C. Sodini, “**A higher order topology for interpolativemodulators for oversampling A/D converters**”, IEEE Trans. Circuit and Systems, vol. 37, pp.309-318, Mar. 1990.
- [8] K. Uchimura, T. Hayashi, T. Kimura, and A. Iwata, “**Oversampling A-to-D and D-to-A converters With multistage noise shaping modulators**”, IEEE Trans. Acoust., Speech, Signal Processing, vol. 36, pp. 1889-1905, Dec. 1998.
- [9] D. Cousinard, Ph. Deval, M. Kayal, F. Vaucher, Y. Johner, V. Valence, “**Implementation of a High-Speed Continuous-Time Delta-Sigma Converters for Video Applications**”, MEAD Microelectronics S.A. Electronics Labs of Swiss Federal Institute of Technology(EPFL)
- [10] Katsuhiko Ogata, “**Discrete-Time Control Systems.**”, Second Edition, Prentice-Hall International, Inc., University of Minnesota.
- [11] O. Shoaiei, “**Continuous time delta sigma modulator for high speed applications**”, A Ph. D. Dissertation, Carleton University, Nov. 1995.

- [12] Eduard F. Stikvoort, “**Some remarks on the stability and performance of the noise shaper or sigma-delta modulator**”, IEEE Trans. On Communications, vol. 36, no. 10, pp. 1157-1162, Oct. 1988.
- [13] S.H. Ardalan and J.J. Paulos, “**An analysis of nonlinear behavior in delta-sigma modulators**”, IEEE Trans. On Circuits and Systems, vol. 34, no.6, pp. 593-603, June 1987.
- [14] R.T. Baird and T.S. Fiez, “**Stability analysis of high-order delta-sigma modulation for ADC’s**”, IEEE Trans. On Circuits and Systems-II, vol. 41, no. 1, pp. 59-61, Jan. 1994.
- [15] E. F. Stikvoort, “**Some remarks on the stability and performance of the noise shaper or sigma-delta modulator**” IEEE Trans. Communications, vol. 36, pp. 1157-1162,) Oct. 1988.
- [16] J. V. Engelen and R. V. de Plassche, “**Bandpass sigma delta modulators stability analysis performance and design aspects.**” Kluwer Academic Publishers, Dordrecht, Netherlands, 1999
- [17] X. Li and G. C. M. Meijer, “**A novel smart resistive-capacitive position sensor**”, IEEE Trans. Instrum. Meas., vol. 44, pp. 768-770, Jun. 1995.
- [18] C. Lu, M. Lemkin, and B. E. Boser, “**A monolithic surface micromachined accelerometer with digital output**”, IEEE j. Solid-State Circuits. Vol. 30, pp. 1367-1373, Dec. 1995.
- [19] http://industrial.se-ed.com/itr117/itr117_109.asp
- [20] **Practical Design Techniques for Sensor Signal Conditioning**, Analog Devices, 1999
- [21] S. Vlassis, S. Siskos and T. Laopoulos, “**A piezoresistive pressure sensor interfacing circuit**” IEEE instrumentation and Measurement Technology Conference, vol.1, pp. 303-308, 1999
- [22] J. Ramirez-angulo et al., “**The flipped voltage Follower: A useful cell for low-voltage low power circuit design**” Proc. Of the IEEE International Symposium on Circuits and Systems, ISCAS 2002, vol. 1, pp. 725-728.
- [23] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, “**Analysis and Design of Analog Integrated Circuits**”, Fourth Edition, University of California, Berkeley and Davis, 2001

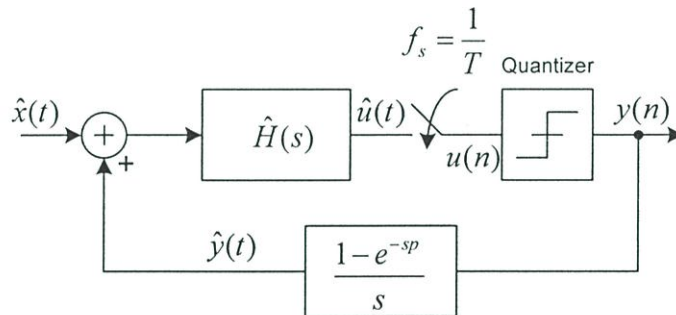
- [24] L. G. Fasoli, F. R. Riedijk, J. H. Huising, “**A general circuit for resistive bridge sensors with bitstream output**” IEEE Trans. Instrum. Meas., vol. 46, no. 4, pp. 954-960, 1997
- [25] G. M. Yin, F. Op’t Eynde, and W. Sansen, “**A high-speed CMOS comparator with 8-bit resolution**”, IEEE J. Solid-State Circuits, vol. 27, pp. 208-211, Feb. 1992
- [26] Eliahu Ibrahim Jury. “**Theory and Application of the z-transform method.**”, Number 64-17145. John Wiley and Sons, 1964.
- [27] B. Razavi, “**Design of Analog CMOS Integrated Circuit**” University of California, Los Angeles, 2000
- [28] <http://www.analog.com/en/content/0,2886,760%255F788%255F92393,00.html>

ภาคผนวก ก

การแปลงโดยวิธีผลตอบสนองอิมพัลส์ไม่แปรเปลี่ยน (Impulse-invariant transformation)

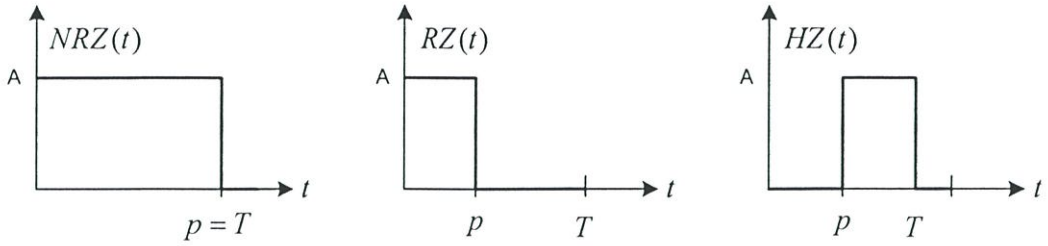
ในภาคผนวกนี้จะแสดงให้เห็นถึงความสัมพันธ์ในการแปลงไปกลับระหว่างฟังก์ชันถ่ายโอนของวงจรกรองแบบเวลาไม่ต่อเนื่อง(Discrete-time transfer function) และฟังก์ชันถ่ายโอนของวงจรกรองแบบเวลาต่อเนื่อง(Continuous-time transfer function) ซึ่งถูกใช้ในการออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง โดยจะพิจารณาถึงรูปแบบของสัญญาณเอาต์พุตของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล 3 รูปแบบด้วยกัน คือ non-return to zero(NRZ), return-to-zero(RZ), และ hold-return-to-zero(HZ)

ก.1 การพิจารณาวงจรมอดูเลตสัญญาณซิกม่าเดลต้าในเวลาต่อเนื่อง



รูปที่ ก.1 แผนภาพบล็อกวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง

จากรูปที่ (ก.1) แสดงรายละเอียดของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่อง โดยที่วงจรกรองสัญญาณในวงรอบนั้นมีฟังก์ชันถ่ายโอนเป็น $\hat{H}(s)$ และวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก(Digital to analog converter :DAC) นั้นจะถูกกำหนดแทนที่ด้วยฟังก์ชันถ่ายโอนของ zero-order-hold(ZOH)[10] โดยมีตัวแปร p เป็นตัวกำหนดรูปแบบของฟังก์ชัน คือ non return to zero(NRZ) DAC, return to zero (RZ) DAC และ hold-return to zero (HZ) DAC ดังรูปที่ ก.2 ซึ่งโดยทั่วไปค่าตัวแปร p จะมีค่าอยู่ระหว่าง 0 ถึง T โดยฟังก์ชันถ่ายโอนของ zero-order-hold(ZOH) ทั้ง 3 แบบสามารถแสดงได้ดัง สมการที่ (ก.1), (ก.2) และ (ก.3) ตามลำดับ



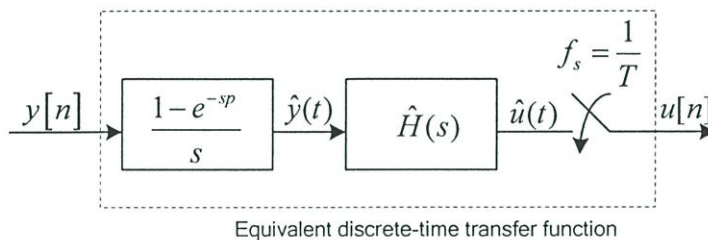
รูปที่ ก.2 รูปแบบสัญญาณพัลส์ของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก

$$H(s)_{NRZ} = L[NRZ(t)] = A \left[\frac{1 - e^{-sT}}{s} \right] \quad (\text{ก.1})$$

$$H(s)_{RZ} = L[RZ(t)] = A \left[\frac{1 - e^{-sp}}{s} \right] \quad (\text{ก.2})$$

$$H(s)_{HZ} = L[HZ(t)] = A \left[\frac{e^{-sp} - e^{-sT}}{s} \right] \quad (\text{ก.3})$$

เมื่อทำการเปิดวงจรการป้อนกลับของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบต่อเนื่องทางเวลาดังแสดงในรูปที่ ก.3 จะพบว่า ฟังก์ชันถ่ายโอนตลอดวงจร จากเอาต์พุตของวงจรจัดระดับสัญญาณกลับมาที่อินพุตของวงจรจัดระดับสัญญาณเป็นฟังก์ชันแบบไม่ต่อเนื่องทางเวลา ดังนั้นจึงสามารถใช้ฟังก์ชันไม่ต่อเนื่องทางเวลา $H(z)$ เสมือน (Equivalent discrete time transfer function) แทนที่ฟังก์ชันของวงจรกรอบแบบเวลาต่อเนื่อง $\hat{H}(s)$ และฟังก์ชันถ่ายโอนของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลที่มีฟังก์ชันถ่ายโอนเป็น zero-order-hold(ZOH) ได้



รูปที่ ก.3 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาต่อเนื่องเมื่อทำการเปิดวงจรการป้อนกลับ

เนื่องจาก ณ เวลาการสุ่มสัญญาณ การแปลงปลาซของฟังก์ชันใดๆ จะมีค่าเท่ากับการแปลงเซของฟังก์ชันนั้นๆ ดังนั้นอาจจะกล่าวได้ว่าโดย ณ ช่วงเวลาการสุ่มสัญญาณ ค่าการแปลงเซตผกผัน

(Invert Z-transform) ของฟังก์ชันถ่ายโอนของวงจรแบบไม่ต่อเนื่องทางเวลาจะมีค่าเท่ากับ การแปลงลาปลาซผกผัน (Invert Laplace-transform) ของฟังก์ชันถ่ายโอนของวงจรแบบต่อเนื่องทางเวลา $\hat{H}(s)$ คูณกับฟังก์ชันถ่ายโอนของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก แบบ NRZ , RZ และ HZ ดังแสดงในสมการที่ (ก.4) ,(ก.5) และ (ก.6) ตามลำดับ

$$Z^{-1}[H(z)] = L^{-1} \left[\frac{A(1 - e^{-sT})}{s} \hat{H}(s) \right]_{t=nT} \quad (\text{ก.4})$$

$$Z^{-1}[H(z)] = L^{-1} \left[\frac{A(1 - e^{-sp})}{s} \hat{H}(s) \right]_{t=nT} \quad (\text{ก.5})$$

$$Z^{-1}[H(z)] = L^{-1} \left[\frac{A(e^{-sp} - e^{-sT})}{s} \hat{H}(s) \right]_{t=nT} \quad (\text{ก.6})$$

เมื่อทำการแปลงสมการที่ (ก.4) ถึง (ก.6) ให้อยู่ในโดเมนของเวลาจะได้

$$h(nT) = \left[R_p(t) * \hat{h}(t) \right]_{t=nT} = \left[\int_{-\infty}^{+\infty} R_p(\tau) \hat{h}(t - \tau) d\tau \right]_{t=nT} \quad (\text{ก.7})$$

ที่ซึ่ง $R_p(t)$ คือ ผลตอบสนองอิมพัลส์ของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล, $\hat{h}(t)$ คือผลตอบสนองอิมพัลส์ของฟังก์ชันของความถี่แบบต่อเนื่อง $\hat{H}(s)$, $h(nT)$ คือผลตอบสนองอิมพัลส์ของฟังก์ชันวงจรความถี่แบบไม่ต่อเนื่อง และเครื่องหมาย * แสดงถึงการรวมยอดผลการประสาน(convolution) ระหว่างฟังก์ชัน $R_p(t)$ และ $\hat{h}(t)$ ซึ่งสมการที่ (ก.4) ถึง (ก.7) นั้นถูกเรียกว่า การแปลงผลตอบสนองพัลส์ไม่เปลี่ยนแปลง(Pulse invariant transformation)

ก.2 ฟังก์ชันของวงจรความถี่แบบโพลเดี่ยว

ฟังก์ชันถ่ายโอนของวงจรแบบเวลาไม่ต่อเนื่องแบบโพลเดี่ยวที่มีโพลจำนวน N ตัวแสดง ได้ดังนี้

$$H(Z) = \sum_{k=1}^N \frac{a_k z^{-1}}{1 - z_k z^{-1}} = \sum_{k=1}^N \frac{a_k}{z - z_k} \quad (\text{ก.8})$$

โดยที่ z_k คือโพลเดี่ยว[26] และฟังก์ชันเสมือนในโดเมน s ของสมการที่ (ก.8) สามารถแสดงได้ดังนี้

$$\hat{H}(Z) = \sum_{k=1}^N \frac{\hat{a}_k}{s - s_k} \quad (\text{ก.9})$$

ผลตอบสนองอิมพัลส์ของสมการที่ (ก.9) แสดงได้ดังนี้

$$\hat{h}(t) = \sum_{k=1}^N \hat{a}_k e^{s_k T} u(t) \quad (\text{ก.10})$$

โดยที่ $(\hat{\cdot})$ ใช้บ่งบอกว่าเป็นตัวแปรแบบเวลาต่อเนื่อง

ในการแปลงไปมาระหว่างฟังก์ชันของวงจรรองแบบเวลาไม่ต่อเนื่องและแบบเวลาต่อเนื่องนั้น จำเป็นต้องหาความสัมพันธ์ระหว่างสัมประสิทธิ์ a_k ของวงจรรองแบบเวลาไม่ต่อเนื่อง และสัมประสิทธิ์ \hat{a}_k ของวงจรรองแบบเวลาต่อเนื่อง ซึ่งในที่นี้จะใช้วิธีการประมาณค่าจากสมการของวิธีการแปลงผลตอบสนองอิมพัลส์ไม่เปลี่ยนแปลง (Impulse invariant transformation) ของสมการที่ (ก.7) ดังนี้

ก.2.1 กรณีสัญญาณ $R_p(t)$ เป็นชนิด NRZ

จากสมการที่ (ก.5) ในกรณีที่สัญญาณ $R_p(t)$ เป็นชนิด NRZ จะได้ว่า

$$h(t) = R_{NRZ}(t) * \hat{h}(t) = \begin{cases} 0, & (t < 0) \\ A \int_0^t \hat{h}(t-\tau) d\tau, & (0 \leq t < T) \\ A \int_0^T \hat{h}(t-\tau) d\tau, & (t \geq T) \end{cases} \quad (\text{ก.11})$$

เมื่อแทนค่า $\hat{h}(t)$ จากสมการที่ (ก.8) ลงในสมการที่ (ก.9) จะได้ว่า

ถ้า $(0 \leq t < T)$ จะได้ว่า

$$\begin{aligned}
 h(t) &= A \int_0^t \left[\sum_{k=1}^N \hat{a}_k e^{s_k(t-\tau)} \right] d\tau \\
 &= A \sum_{k=1}^N \hat{a}_k e^{s_k t} \left[\int_0^t e^{-s_k \tau} d\tau \right] = A \sum_{k=1}^N \frac{\hat{a}_k e^{s_k t}}{-s_k} (e^{-s_k t} - 1)
 \end{aligned} \tag{ก.12}$$

ถ้า $(t \geq T)$ จะได้

$$\begin{aligned}
 h(t) &= A \int_0^T \left[\sum_{k=1}^N \hat{a}_k e^{s_k(t-\tau)} \right] d\tau \\
 &= A \sum_{k=1}^N \hat{a}_k e^{s_k t} \left[\int_0^T e^{-s_k \tau} d\tau \right] = \sum_{k=1}^N \frac{\hat{a}_k e^{s_k t}}{-s_k} (e^{-s_k T} - 1)
 \end{aligned} \tag{ก.13}$$

ดังนั้น ที่ $t = nT$ จะได้

$$h(nT) = \begin{cases} 0, & (0 \leq t \leq T) \\ A \sum_{k=1}^N \frac{\hat{a}_k e^{s_k nT}}{-s_k} (e^{-s_k T} - 1) & (t \geq T) \end{cases} \tag{ก.14}$$

ก.2.2 กรณีสัญญาณ $R_p(t)$ เป็นชนิด RZ

จากสมการที่ (ก.7) ในกรณีที่สัญญาณ $R_p(t)$ เป็นชนิด RZ จะได้

$$\begin{aligned}
 h(t) &= R_{RZ}(t) * \hat{h}(t) \\
 &= \int_{-\infty}^{+\infty} R_{RZ}(\tau) \hat{h}(t-\tau) d\tau = \begin{cases} 0, & (t < 0) \\ A \int_0^t \hat{h}(t-\tau) d\tau, & (0 \leq t < p) \\ A \int_0^p \hat{h}(t-\tau) d\tau, & (t \geq T) \end{cases}
 \end{aligned} \tag{ก.15}$$

ดังนั้นแทนค่า $\hat{h}(t)$ จากสมการที่ (ก.8) ลงในสมการที่ (ก.13) จะได้

ถ้า $(0 \leq t < p)$ จะได้

$$\begin{aligned}
 h(t) &= \int_0^t \left[A \sum_{k=1}^N \hat{a}_k e^{s_k(t-\tau)} \right] d\tau \\
 &= A \sum_{k=1}^N \hat{a}_k e^{s_k t} \left[\int_0^t e^{-s_k \tau} d\tau \right] = A \sum_{k=1}^N \frac{\hat{a}_k e^{s_k t}}{-s_k} (e^{-s_k t} - 1)
 \end{aligned} \tag{ก.16}$$

ถ้า $(t \geq T)$ จะได้

$$\begin{aligned}
 h(t) &= A \int_0^p \left[\sum_{k=1}^N \hat{a}_k e^{s_k(t-\tau)} \right] d\tau \\
 &= A \sum_{k=1}^N \hat{a}_k e^{s_k t} \left[\int_0^p e^{-s_k \tau} d\tau \right] = A \sum_{k=1}^N \frac{\hat{a}_k e^{s_k t}}{-s_k} (e^{-s_k p} - 1)
 \end{aligned} \tag{ก.17}$$

ดังนั้น ที่ $t = nT$ จะได้

$$h(nT) = \begin{cases} 0, & (0 \leq t \leq p) \\ A \sum_{k=1}^N \frac{\hat{a}_k e^{s_k nT}}{-s_k} (e^{-s_k p} - 1) & (t \geq p) \end{cases} \tag{ก.18}$$

ก.2.3 กรณีสัญญาณ $R_p(t)$ เป็นชนิด HZ

จากสมการที่ (ก.7) ในกรณีที่สัญญาณ $R_p(t)$ เป็นชนิด HZ จะได้

$$\begin{aligned}
 h(t) &= R_{HZ}(t) * \hat{h}(t) \\
 &= \int_{-\infty}^{+\infty} R_{HZ}(\tau) \hat{h}(t-\tau) d\tau = \begin{cases} 0, & (t < p) \\ A \int_p^t \hat{h}(t-\tau) d\tau, & (p \leq t < p) \\ A \int_p^T \hat{h}(t-\tau) d\tau, & (t \geq T) \end{cases}
 \end{aligned} \tag{ก.19}$$

ดังนั้นแทนค่า $\hat{h}(t)$ จากสมการที่ (ก.8) ลงในสมการที่ (ก.17) จะได้

ถ้า $(p \leq t < T)$ จะได้

$$\begin{aligned}
 h(t) &= A \int_p^t \left[\sum_{k=1}^N \hat{a}_k e^{s_k(t-\tau)} \right] d\tau \\
 &= A \sum_{k=1}^N \hat{a}_k e^{s_k t} \left[\int_p^t e^{-s_k \tau} d\tau \right] = A \sum_{k=1}^N \frac{\hat{a}_k e^{s_k t}}{-s_k} (e^{-s_k t} - e^{-s_k p})
 \end{aligned} \tag{ก.20}$$

ถ้า $(t \geq T)$ จะได้

$$\begin{aligned}
 h(t) &= A \int_p^T \left[\sum_{k=1}^N \hat{a}_k e^{s_k(t-\tau)} \right] d\tau \\
 &= A \sum_{k=1}^N \hat{a}_k e^{s_k t} \left[\int_p^T e^{-s_k \tau} d\tau \right] = A \sum_{k=1}^N \frac{\hat{a}_k e^{s_k t}}{-s_k} (e^{-s_k T} - e^{-s_k p})
 \end{aligned} \tag{ก.21}$$

ดังนั้น ที่ $t = nT$ จะได้

$$h(nT) = \begin{cases} 0, & (p \leq t \leq T) \\ A \sum_{k=1}^N \frac{\hat{a}_k e^{s_k nT}}{-s_k} (e^{-s_k T} - e^{-s_k p}) & (t \geq T) \end{cases} \tag{ก.22}$$

ก.3 การจับคู่ (Mapping) ระหว่างสัมประสิทธิ์ของวงจรรองแบบเวลาไม่ต่อเนื่องและวงจรรองแบบเวลาต่อเนื่อง

ความสัมพันธ์ระหว่างสัมประสิทธิ์ของฟังก์ชันของวงจรรองแบบเวลาไม่ต่อเนื่อง $H(z)$ และฟังก์ชันของวงจรรองแบบเวลาต่อเนื่อง $\hat{H}(s)$ ในกรณีที่สำคัญ $R_p(t)$ เป็นชนิด NHZ สามารถหาได้ดังนี้

$$\begin{aligned}
 H(z) &= \sum_{n=-\infty}^{+\infty} h(n) z^{-n} \\
 &= \sum_{n=1}^{+\infty} \left[A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} e^{s_k nT} (e^{-s_k T} - 1) \right] z^{-n} \\
 &= A \sum_{k=1}^N \left[\frac{\hat{a}_k}{-s_k} (e^{-s_k T} - 1) \sum_{n=1}^{\infty} e^{s_k nT} z^{-n} \right] \\
 &= A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} (e^{-s_k T} - 1) \frac{e^{s_k T}}{(-e^{s_k T} + z)} \\
 &= A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} \frac{1 - e^{s_k T}}{(1 - e^{s_k T} z^{-1})} z^{-1}
 \end{aligned} \tag{ก.23}$$

เมื่อนำสมการที่ ก.23 เทียบกับสมการที่ ก.8 จะได้

$$a_k = \frac{A\hat{a}_k}{-s_k} (1 - e^{s_k T}) \quad (\text{ก.24})$$

$$z_k = e^{s_k T} \quad (\text{ก.25})$$

ความสัมพันธ์ระหว่างสัมประสิทธิ์ของฟังก์ชันของวงจรรองแบบเวลาไม่ต่อเนื่อง $H(z)$ และฟังก์ชันของวงจรรองแบบเวลาต่อเนื่อง $\hat{H}(s)$ ในกรณีที่สำคัญญาณ $R_p(t)$ เป็นชนิด RZ สามารถหาได้ดังนี้

$$\begin{aligned} H(z) &= \sum_{n=-\infty}^{+\infty} h(n)z^{-n} \\ &= \sum_{n=1}^{+\infty} \left[A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} e^{s_k n T} (e^{-s_k P} - 1) \right] z^{-n} \\ &= A \sum_{k=1}^N \left[\frac{\hat{a}_k}{-s_k} (e^{-s_k T} - 1) \sum_{n=1}^{\infty} e^{s_k n T} z^{-n} \right] \quad (\text{ก.26}) \\ &= A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} (e^{-s_k P} - 1) \frac{e^{s_k T}}{(-e^{s_k T} + z)} \\ &= A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} \frac{e^{s_k P} - e^{s_k T}}{(1 - e^{s_k T} z^{-1})} z^{-1} \end{aligned}$$

เมื่อนำสมการที่ ก.26 เทียบกับสมการที่ ก.8 จะได้

$$a_k = \frac{A\hat{a}_k}{-s_k} (e^{s_k P} - e^{s_k T}) \quad (\text{ก.27})$$

$$z_k = e^{s_k T} \quad (\text{ก.28})$$

ความสัมพันธ์ระหว่างสัมประสิทธิ์ของฟังก์ชันของวงจรรองแบบเวลาไม่ต่อเนื่อง $H(z)$ และฟังก์ชันของวงจรรองแบบเวลาต่อเนื่อง $\hat{H}(s)$ ในกรณีที่สำคัญญาณ $R_p(t)$ เป็นชนิด HZ สามารถหาได้ดังนี้

$$\begin{aligned}
H(z) &= \sum_{n=-\infty}^{+\infty} h(n)z^{-n} \\
&= \sum_{n=1}^{+\infty} \left[A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} e^{s_k n T} (e^{-s_k T} - e^{-s_k p}) \right] z^{-n} \\
&= A \sum_{k=1}^N \left[\frac{\hat{a}_k}{-s_k} (e^{-s_k T} - e^{-s_k p}) \sum_{n=1}^{\infty} e^{s_k n T} z^{-n} \right] \\
&= A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} (e^{-s_k T} - e^{-s_k p}) \frac{e^{s_k T}}{(-e^{s_k T} + z)} \\
&= A \sum_{k=1}^N \frac{\hat{a}_k}{-s_k} \frac{(1 - e^{s_k p})}{(1 - e^{s_k T} z^{-1})} z^{-1}
\end{aligned} \tag{ก.29}$$

เมื่อนำสมการที่ ก.29 เทียบกับสมการที่ ก.8 จะได้ว่า

$$a_k = \frac{A \hat{a}_k}{-s_k} (1 - e^{s_k p}) \tag{ก30}$$

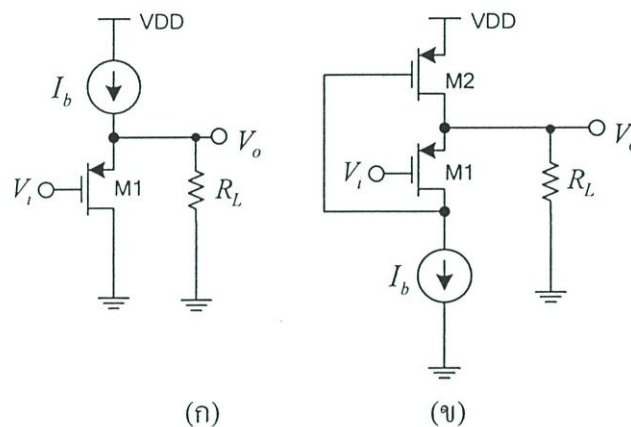
$$z_k = e^{s_k T} \tag{ก.31}$$

ภาคผนวก ข

การวิเคราะห์วงจรตามแรงดันแบบ Flipped voltage follower และการประยุกต์ใช้งาน

วงจรตามแรงดันแบบ Flipped voltage follower[22] นั้นได้นำถูกนำมาประยุกต์ใช้งานอย่าง ขว้างขวางในปัจจุบันรวมทั้งในวิทยานิพนธ์ฉบับนี้ด้วย เพราะสามารถทำงานได้ดีที่แรงดันแหล่งจ่าย ต่ำและใช้กำลังงานต่ำ ดังนั้นในภาคผนวก ข นี้จึงได้แสดงวิธีการวิเคราะห์วงจรตามแรงดันแบบ Flipped voltage follower และการประยุกต์ใช้งาน

ข.1 วงจรตามแรงดันแบบ Flipped voltage follower(FVF)



รูปที่ ข.1 (ก) วงจรตามแรงดันแบบเดรนร่วม (ข) วงจรตามแรงดันแบบ Flipped voltage follower

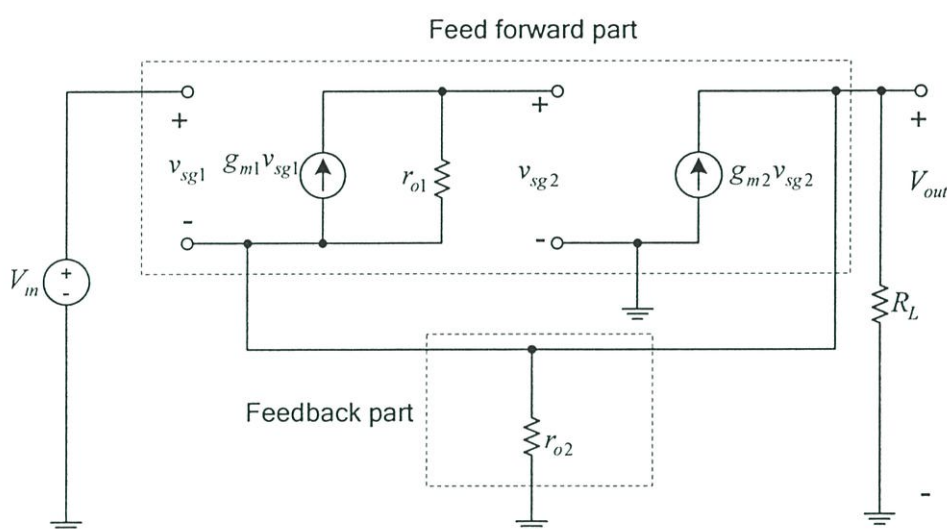
ในรูปที่ ข.1(ก) และ (ข) เป็นการเปรียบเทียบวงจรตามแรงดันแบบเดรนร่วม และวงจรตามแรงดันแบบ Flipped voltage follower โดยข้อเสียของวงจรตามแรงดันแบบเดรนร่วม คือค่าแรงดัน โหมดร่วมที่เอาต์พุตของวงจรจะมีค่าขึ้นอยู่กับการเสถียรของเอาต์พุต หรืออาจกล่าวได้ว่าค่าแรงดัน โหมดร่วมที่เอาต์พุตนั้นมีค่าขึ้นอยู่กับการต้านทาน โหลด และเมื่อค่าความต้านทาน โหลดมีค่าน้อยลง ค่า อัตราขยายของวงจรจะมีค่าต่ำกว่า 1 มากเพราะค่าความต้านทานเอาต์พุตมีค่าเพิ่มขึ้น ดังสมการ ของอัตราขยายแรงดัน และความต้านทานเอาต์พุตของวงจรตามแรงดันแบบเดรนร่วม ตามลำดับ

$$V_{out} \approx \frac{g_m r_b}{1 + g_m r_b} \quad (ข.1)$$

$$R_{out} = \frac{1}{gm} // r_b \quad (\text{ข.2})$$

โดยที่ค่า r_b คือค่าความต้านทานของแหล่งจ่ายกระแสไบอัส (I_b)

ในวงจรตามแรงดันแบบ Flipped voltage follower นั้นจะเห็นได้ว่า ค่าแรงดันโหมคร่วมที่เอาต์พุตนั้นจะมีค่าคงที่ไม่ขึ้นอยู่กับความต้านทานโหลด และค่าความต้านทานเอาต์พุตของวงจรตามแรงดันแบบ Flipped voltage follower จะมีค่าน้อยกว่าวงจรตามแรงดันแบบเดรนร่วม เพราะวงจรนี้มีการป้อนกลับแบบเซนต์แรงดันป้อนกลับแรงดัน(series-shunt feedback) โดยการวิเคราะห์ห้วงจรตามแรงดันแบบ Flipped voltage follower สามารถทำได้ดังนี้



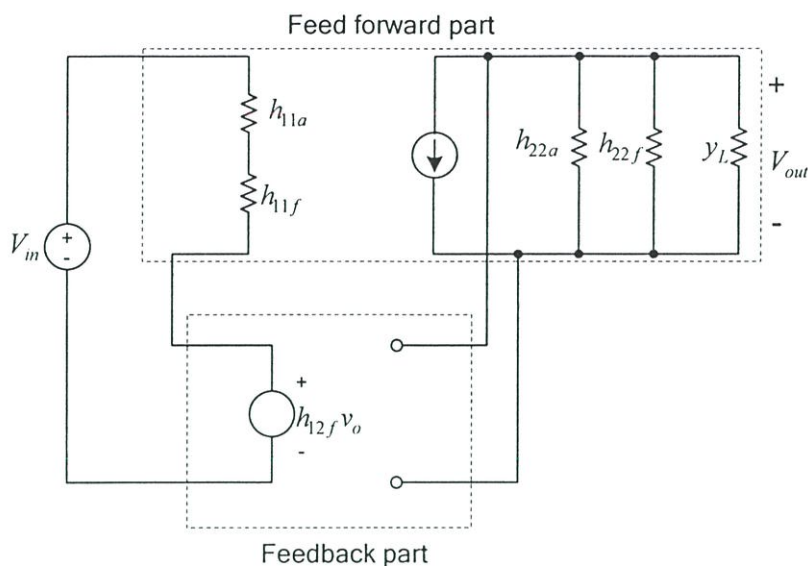
รูปที่ ข.2 การวิเคราะห์หาค่าอัตราขยายวงรอบของวงจรตามแรงดันแบบ Flipped voltage follower

ทำการวาดแบบจำลองสัญญาณขนาดเล็กของวงจรตามสัญญาณแบบ Flipped voltage follower ดังรูปที่ ข.2 จะสังเกตเห็นได้ชัดเจนว่าแรงดันเอาต์พุตของวงจรถูกป้อนกลับผ่านความต้านทาน r_{o2} และถูกนำไปหักลบกับแรงดันอินพุต ซึ่งเป็นหลักการทำงานของวงจรป้อนกลับแบบลบแบบเซนต์แรงดันป้อนกลับแรงดัน (shunt series feedback) ซึ่งอัตราขยายวงรอบปิดสามารถหาดังสมการ

$$A_{OL} = \frac{a}{1 + af} \quad (\text{ข.3})$$

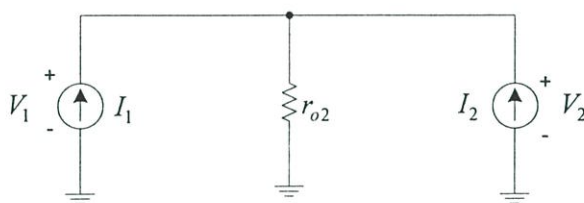
โดย a คือค่าอัตราขยายวงรอบเปิด(open loop gain) และ f คือฟังก์ชันถ่ายโอนของส่วนป้อนกลับ โดยในการวิเคราะห์ห้วงจรป้อนกลับแบบเซนต์แรงดันป้อนกลับแรงดันนั้น สามารถทำได้โดยอาศัย

หลักการของการวิเคราะห์แบบโครงข่ายสองทางเข้าออก (two-port network) ด้วยพารามิเตอร์ h ดังรูปที่ ข.3



รูปที่ ข.3 โครงสร้างของการป้อนกลับแบบเซนส์แรงดันป้อนกลับแรงดันโดยใช้พารามิเตอร์ h

โดยเริ่มต้นจากการหาค่าค่าต้านทานอินพุตของส่วนป้อนกลับที่มองเห็นโดยวงจรในส่วนการป้อนตรง (h_{11f}), ค่าอัตราส่งผ่านสัญญาณจากเอาต์พุตมายังอินพุต ($h_{12f} = f$) และ ค่าความนำเอาต์พุตของส่วนการป้อนกลับที่มองเห็นโดยวงจรในส่วนการป้อนตรง (h_{22f}) จากส่วนของการป้อนกลับดังรูปที่ ข.4



รูปที่ ข.4 วงจรแสดงการวิเคราะห์ด้วยพารามิเตอร์ h ของส่วนการป้อนกลับ

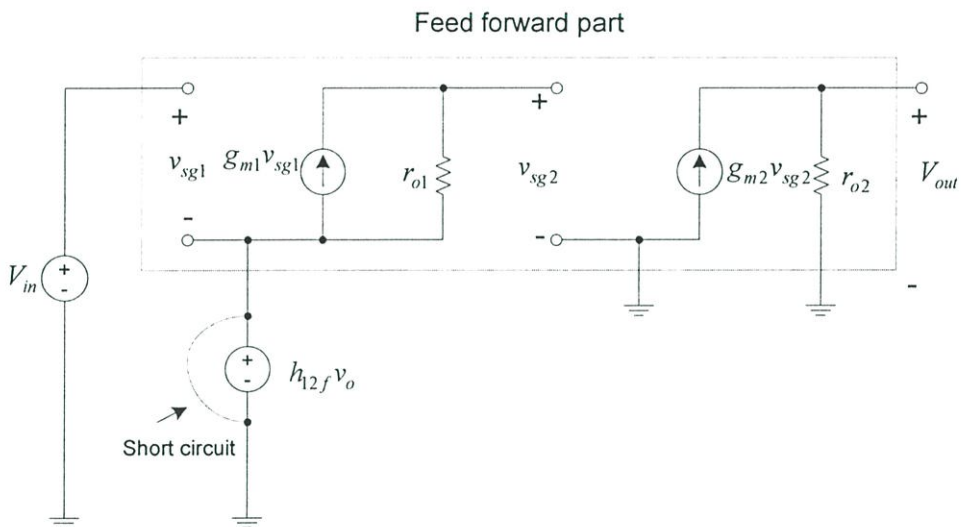
โดยที่

$$h_{22f} = \left. \frac{i_2}{v_2} \right|_{i_1 = 0} = 1/r_{o2} \quad (\text{ข.4})$$

$$h_{2f} = \left. \frac{v_1}{v_2} \right|_{i_1 = 0} = 1 \quad (\text{ข.5})$$

$$h_{1f} = \left. \frac{v_1}{i_1} \right|_{v_2 = 0} = 0 \quad (\text{ข.6})$$

ดังนั้นแบบจำลองสัญญาณขนาดเล็กในรูปที่ ข.2 สามารถวาดใหม่ได้ดังรูปที่ ข.5 ซึ่งสามารถทำการหาอัตราขยายวงรอบเปิด (open-loop gain) ได้โดยการตัดผลกระทบของการป้อนกลับจากด้านเอาต์พุตมาซึ่งอินพุตออกโดยการทำให้ค่า $h_{2f}v_o$ มีค่าเท่ากับศูนย์



รูปที่ ข.5 แบบจำลองสัญญาณขนาดเล็กของวงจรตามแรงดันแบบ Flip voltage follower ที่รวมผลกระทบของความต้านทานของในส่วนการป้อนกลับ

จากรูปที่ ข.5 สามารถหาอัตราขยายวงรอบเปิด (loop gain : a) ได้ดังนี้

$$a = \frac{V_{out}}{V_{in}} = g_{m1}g_{m2}r_{o1}r_{o2} \quad (\text{ข.7})$$

จากสมการที่ ข.3 อัตราขยายวงรอบปิด (close-loop gain : $A_{close-loop}$) สามารถแสดงได้ดังนี้

$$A_{close-loop} = \frac{a}{1 + af} = \frac{g_{m1}g_{m2}r_{o1}r_{o2}}{1 + g_{m1}g_{m2}r_{o1}r_{o2}} \approx 1 \quad (\text{ข.8})$$

จากสมการที่ ข.8 แสดงให้เห็นว่าอัตราขยายแรงดันที่ได้รับจากวงจรตามแรงดันแบบ Flipped voltage follower นั้นมีค่าใกล้เคียง 1 มาก เพราะว่า พจน์ผลคูณของ $g_{m1}g_{m2}r_{o1}r_{o2}$ มีค่าค่อนข้างจะสูงมาก และเมื่อพิจารณาค่าอิมพีแดนซ์วงรอบปิดที่เอาต์พุต(close-loop output impedance : $R_{close-loop}$) ของวงจร สามารถแสดงได้ดังสมการ

$$R_{close-loop} = \frac{R_{out}}{1 + af} \quad (\text{ข.9})$$

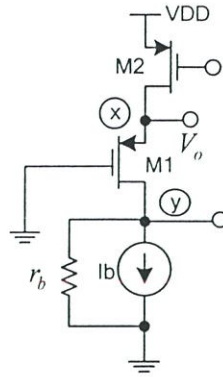
โดยที่ R_{out} คือค่าความต้านทานเอาต์พุตของวงจรในส่วนของการป้อนตรง (Feed-forward amplifier) ซึ่งสามารถพิจารณาหาได้จากรูปที่ ข.5 จะเห็นว่าค่าความต้านทานเอาต์พุตในส่วนวงจรป้อนตรงนั้นมีค่าเท่ากับ r_{o2} ดังนั้นจากสมการที่ ข.9 สามารถเขียนใหม่ได้เป็น

$$R_{close-loop} = \frac{r_{o2}}{1 + g_{m1}g_{m2}r_{o1}r_{o2}} \approx \frac{1}{g_{m1}g_{m2}r_{o1}} \quad (\text{ข.10})$$

จากสมการที่ ข.10 แสดงให้เห็นว่าค่าความต้านทานที่เอาต์พุตของวงจรตามแรงดันแบบ Flipped voltage follower นั้นมีค่าค่อนข้างต่ำมากเพราะพจน์ของ $g_{m1}g_{m2}r_{o1}$ มีค่าสูง ดังนั้นจากสมการที่ ข.8 และ ข.10 จึงแสดงให้เห็นว่าค่าความต้านทานของโหลด (R_L) จะไม่มีผลกระทบต่อค่าอัตราขยายและค่าความต้านทานเอาต์พุตของวงจรตามแรงดันแบบ Flipped voltage follower มากเท่ากับวงจรตามแรงดันแบบเดรนร่วม

ข.2 การพิจารณาผลตอบสนองต่อความถี่ของวงจรตามแรงดันแบบ Flipped voltage follower

จากรูปที่ ข.6 ทำการวิเคราะห์ผลตอบสนองต่อความถี่ของวงจรตามแรงดันแบบ Flipped voltage follow โดยการเปิดวงรอบการป้อนกลับ และทำการพิจารณาค่าโพลที่ตำแหน่งต่างๆ ในวงจร โดยจากรูปที่ ข.6 จะสังเกตเห็นว่าค่าความความต้านทานที่ตำแหน่ง y มีค่าสูงมาก ดังนั้นอาจกล่าวได้ว่าโพลเด่น(dominant pole) อยู่ที่ตำแหน่ง y



รูปที่ ข.6 การวิเคราะห์ผลตอบสนองทางความถี่โดยการเปิดวงจรป้อนกลับ

โดยที่ความถี่ของโพลเด่นสามารถหาได้จากผลคูณของค่าความต้านทานรวมและค่าตัวเก็บประจุรวม (C_y) ที่ตำแหน่ง y ดังสมการ

$$\omega_{py} = \frac{1}{C_y (r_b // g_{m1} r_{o1} r_{o2})} \quad (\text{ข.11})$$

นอกจากโพลที่ตำแหน่ง y แล้วยังมีโพลที่ตำแหน่ง x อีกตำแหน่งหนึ่ง ซึ่งค่าความถี่ของโพลที่ตำแหน่ง x สามารถหาได้ดังนี้

$$\omega_{px} = \frac{g_{m1} // r_{o2}}{C_x (1 + (r_b / r_{o1}))} \quad (\text{ข.12})$$

โดยค่า (C_x) คือค่าตัวเก็บประจุรวมที่ตำแหน่ง x

ดังนั้นเมื่อพิจารณาถึงค่า ความกว้างของอัตราขยายหนึ่งหน่วย (unity gain bandwidth, GB) นั้นสามารถหาได้ดังนี้

$$GB = A_o \omega_{p1} \quad (\text{ข.13})$$

โดยค่า A_o หมายถึงอัตราขยายสัญญาณที่ความถี่ต่ำ (อัตราขยายสัญญาณที่ความถี่ที่น้อยกว่าความถี่ของโพลเด่น) ซึ่งค่า A_o นี้ถูกพิสูจน์ไว้ในสมการที่ ข.7 ดังนั้นค่าความกว้างของอัตราขยายหนึ่งหน่วยจึงสามารถแสดงได้ดังนี้

$$GB = \frac{g_{m1} g_{m2} r_{o1} r_{o2}}{C_y (r_b // g_{m1} r_{o1} r_{o2})} \approx \frac{g_{m2}}{C_y} \quad (\text{ข.14})$$

โดยการประมาณค่าสมการที่ ข.14 นั้นสมมุติให้กระแสไบอัส (I_b) เป็นแหล่งจ่ายกระแสในอุดมคติซึ่งมีค่าความต้านทาน r_b สูงมาก

จากสมการที่ ข.14 นั้นสามารถนำมาออกแบบเสถียรภาพของวงจรมตามแรงดันแบบ Flipped voltage follower ได้ โดยการออกแบบให้ค่าความถี่ของโพลที่ตำแหน่ง x มีค่ามากกว่าความกว้างของอัตรายายหนึ่งหน่วย (GB) ซึ่งเพื่อให้เกิดความแน่ใจในเสถียรภาพทางความถี่ จึงควรออกแบบให้ค่าความถี่โพลที่ตำแหน่ง x มีค่าเป็น 2 เท่าของความกว้างของอัตรายายหนึ่งหน่วย ดังสมการ

$$\omega_{px} > 2GB \quad (\text{ข.15})$$

ดังนั้นเมื่อทำการแทนค่าความถี่ของโพลที่ตำแหน่ง x และค่าความกว้างของอัตรายายหนึ่งหน่วยเข้าไปในสมการที่ ข.15 จะได้

$$\frac{gm_1 // r_{o2}}{C_x (1 + (r_b / r_{o1}))} > 2 \frac{gm_2}{C_y} \quad (\text{ข.16})$$

ดังนั้นเมื่อสมมุติว่าค่าความต้านทานของกระแสไบอัสมีค่าเท่ากับ r_{o1} และค่าความต้านทานระหว่างขาซอสและเดรนของทรานซิสเตอร์ตัวที่ 2 มีค่ามากกว่าค่าอัตรายายความนำของทรานซิสเตอร์ตัวที่ 1 มากๆ ($r_{o2} \gg gm_1$) จะได้

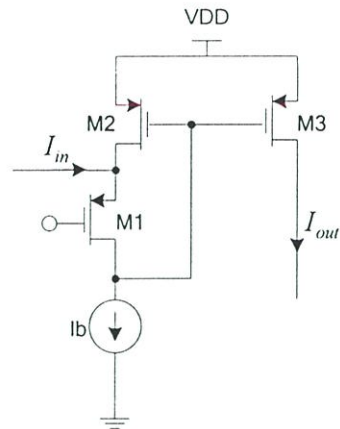
$$\frac{C_x}{C_y} < \frac{gm}{4gm_2} \quad (\text{ข.17})$$

สมการที่ ข.17 นั้นแสดงเงื่อนไขการออกแบบวงจรมตามแรงดันแบบ Flipped voltage follower ที่มีเสถียรภาพทางความถี่

ข.3 การประยุกต์ใช้งานวงจรมตามแรงดันแบบ Flipped voltage follower เป็นวงจรมสะท้อนกระแส

รูปที่ ข.7 เป็นวงจรมสะท้อนกระแสที่มีอินพุตของวงจรมเป็นวงจรมตามแรงดันแบบ Flipped voltage follower ซึ่งค่าความต้านทานที่โหนด x ของวงจรมนี้มีค่าต่ำมากเพราะคุณสมบัติการป้อนกลับของแบบเซนต์แรงดันป้อนกลับแรงดัน (series-shunt feedback) ของวงจรมตามแรงดันแบบ

Flipped voltage follower ดังนั้นที่โหนด x จึงมีคุณสมบัติที่ดีเพียงพอที่จะใช้เป็นอินพุตของวงจรสะท้อนกระแสที่ต้องการความต้านทานอินพุตที่ต่ำมากๆ ได้



รูปที่ ข.7 วงจรสะท้อนกระแสที่มีอินพุตเป็นวงจรตามแรงดันแบบ Flipped voltage follower

ข้อดีของวงจรสะท้อนกระแสที่มีโครงสร้างอินพุตเป็นวงจรตามแรงดันแบบ Flipped voltage follower นั้นคือสามารถทำงานได้ที่แรงดันแหล่งจ่ายต่ำๆ โดยค่าแรงดันต่ำสุดที่วงจรสามารถทำงานได้คือ

$$V_{DD(\min)} = |V_{TP}| + 2V_{DSsat} \quad (\text{ข.18})$$

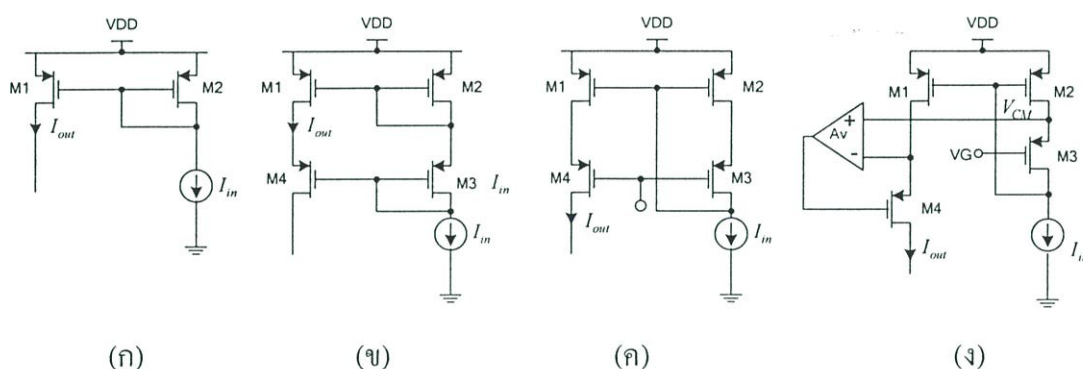
โดย V_{TP} คือค่าแรงดันขีดเริ่มของพีมอสทรานซิสเตอร์ (Threshold voltage) และ V_{DSsat} คือค่าแรงดันตกคร่อมระหว่างขาคอนและซอสของทรานซิสเตอร์ M1 และ M2 ที่น้อยที่สุดที่ทำให้ทรานซิสเตอร์ทั้งสองยังสามารถทำงานอยู่ในโหมดอิ่มตัวได้

ภาคผนวก ค

วงจรสะท้อนกระแสชนิดต่างๆ

ค.1 วงจรสะท้อนกระแสแบบต่างๆ

วงจรสะท้อนกระแสเป็นวงจรที่ทำหน้าที่สะท้อนกระแสจากที่หนึ่งไปยังอีกที่หนึ่งในระบบของวงจรรวม ซึ่งในความเป็นจริงแล้ววงจรสะท้อนกระแสก็คือวงจรขยายสัญญาณกระแส (current amplifier) นั่นเอง ดังนั้นคุณสมบัติของวงจรสะท้อนกระแสจึงควรมีค่าอินพุตอิมพีแดนซ์ต่ำและค่าเอาต์พุตอิมพีแดนซ์ที่สูง ซึ่งภาคผนวกนี้จะแสดงให้เห็นถึงลักษณะรวมไปถึงคุณสมบัติของวงจรสะท้อนกระแสแต่ละแบบ ที่แตกต่างกัน



รูปที่ ค.1 วงจรสะท้อนกระแสชนิดต่าง

ในรูปที่ 1 นั้นแสดงถึงโครงสร้างของวงจรสะท้อนกระแสที่สร้างจากทรานซิสเตอร์แบบซีมอสชนิดต่างๆ โดยหลักการทำงานของวงจรสะท้อนกระแสสามารถพิจารณาได้ดังนี้

เมื่อละเลยผลของกระทบของปรากฏการณ์ตัวฐานรอง (body effect) และผลของปรากฏการณ์การลดขนาดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอสเฟต (Channel length modulation) แล้ว สมการกระแสในย่านอิมิตัวที่ไหลผ่านทรานซิสเตอร์ M1 และ M2 ของวงจรสะท้อนกระแสทั้ง 4 วงจร สามารถแสดงได้ดังนี้

$$I_{in} = \frac{1}{2} u_p C_{ox} \left(\frac{W}{L} \right)_2 (V_{SG2} - |V_{THP}|)^2 \quad (ค.1)$$

$$I_{out} = \frac{1}{2} u_p C_{ox} \left(\frac{W}{L} \right)_1 (V_{SG1} - |V_{THP}|)^2 \quad (ค.2)$$

เมื่อนำสมการที่ ค.2 มารวบรวมสมการ ค.1 จะได้

$$\frac{I_{out}}{I_m} = \frac{(W/L)_1}{(W/L)_2} \quad (\text{ค.3})$$

จากสมการที่ ค.3 แสดงให้เห็นว่าอัตราส่วนการสะท้อนกระแสจากอินพุตไปเอาต์พุตของวงจรสะท้อนกระแสทั้ง 4 รูปนั้นขึ้นอยู่กับอัตราส่วนของขนาดของทรานซิสเตอร์ที่เป็นคู่สะท้อนกระแสเท่านั้น ดังรูปที่ ค.1 และคุณสมบัติของวงจรสะท้อนกระแสในรูปที่ ค.1 สามารถสรุปได้ดัง

ตารางที่ ค.1 แสดงคุณสมบัติต่างๆ ของวงจรสะท้อนกระแส

คุณสมบัติ	(ก)	(ข)	(ค)	(ง)
แรงดันอินพุตต่ำสุดที่ต้องการ	V_{SG}	$2V_{SG}$	V_{SG}	V_{SG}
แรงดันเอาต์พุตต่ำสุดที่ต้องการ	V_{SDsat}	$2V_{SDsat} + V_{TP} $	$2V_{SDsat}$	$2V_{SDsat}$
ค่าความต้านทานอินพุต	$1/gm_2$	$1/gm_3 + 1/gm_2$	$1/gm_2$	$1/gm_2$
ค่าความต้านทานเอาต์พุต	r_{o1}	$gm_4 r_{o4} r_{o1}$	$gm_4 r_{o4} r_{o1}$	$A_v gm_4 r_{o4} r_{o1}$

จากตารางที่ ค.1 จะเห็นว่าวงจรสะท้อนกระแสในแต่ละแบบมีข้อดีและข้อเสียแตกต่างกันเช่น วงจรสะท้อนกระแสในรูปที่ ค.1(ก) แรงดันที่น้อยที่สุดที่ต้องการใช้โรการทำงานนั้นมีค่าน้อยกว่า วงจรสะท้อนกระแสแบบอื่นๆ ดังนั้นวงจรนี้สามารถทำงานได้ภายใต้แรงดันต่ำ แต่ข้อเสียของวงจรนี้คือค่าความต้านทานที่เอาต์พุตของวงจรมีค่าน้อยกว่าวงจรสะท้อนกระแสแบบอื่นๆ ซึ่งเมื่อนำไปใช้อาจจะทำให้กระแสเอาต์พุตถูกจ่ายออกไปให้แก่โหลดได้ไม่เต็มที่

ค.2 ความไม่เป็นอุดมคติของวงจรสะท้อนกระแส

วงจรสะท้อนกระแสที่ได้กล่าวไปแล้วในหัวข้อ ค.2 นั้นได้ละเลยความไม่เป็นอุดมคติของวงจรสะท้อนกระแสออกไป ซึ่งความไม่เป็นอุดมคติของวงจรสะท้อนกระแสเหล่านั้นสามารถพิจารณาเบื้องต้นได้โดยมีสาเหตุมาจากผลของ ปรากฏการณ์ตัวฐานรอง(body effect) และ ผลของ ปรากฏการณ์การลดขนาดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอสเฟต(Channel length modulation) โดยผลของความไม่เป็นอุดมคติทั้งสองนี้จะทำให้สมการกระแสของทรานซิสเตอร์แบบมอสเฟตเปลี่ยนไป

สาเหตุของความไม่เป็นอุดมคติของมอสทรานซิสเตอร์โดยผลของ ปรากฏการณ์ตัวฐานรอง (body effect) นี้มีสาเหตุมาจากแรงดันที่ขาซอสและบอร์ดี ของทรานซิสเตอร์แบบมอสมีค่าไม่

เท่ากัน ซึ่งผลของปรากฏการณ์ตัวฐานรอง(body effect) นั้นจะมีผลกระทบต่อแรงดันขีดเริ่มของทรานซิสเตอร์แบบมอสเฟตมีค่าเพิ่มขึ้น โดยมีสมการดังนี้

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \quad (ก.4)$$

โดย V_{TH0} คือค่าแรงดันขีดเริ่มของทรานซิสเตอร์แบบมอสเฟต ,ค่า $\phi_F = (kT/q) \ln(N_{sub}/n_i)$ โดย q คือประจุของอิเล็กตรอนหรือโฮล, ค่า N_{sub} คือค่าความเข้มข้นของการเจือสารของฐานรอง ส่วนค่า γ คือค่าสัมประสิทธิ์ของปรากฏการณ์ตัวฐานรอง(body effect) โดยมีค่าเท่ากับ $\sqrt{2q\epsilon_{si}N_{sub}/C_{ox}}$ โดยค่าของ γ นั้นจะมีค่าอยู่ในช่วง 0.3 ถึง 0.4 \sqrt{V}

สาเหตุของความไม่เป็นอุดมคติโดยผลของปรากฏการณ์การลดขนาดลงของความยาวแซนเนลของทรานซิสเตอร์แบบมอสเฟต(Channel length modulation) นั้นมีสาเหตุมาจากในย่านอิ่ม (Saturation) ค่าความยาวแซนเนลของทรานซิสเตอร์แบบมอสเฟตจะมีค่าลดลงเมื่อแรงดันที่ตกคร่อมระหว่างขาคเรนและซอสของทรานซิสเตอร์มีค่าเพิ่มมากขึ้น โดยมีค่าประมาณเป็นสมการได้ดังนี้

$$\frac{\Delta L}{L} = \lambda V_{DS} \quad (ก.5)$$

โดยค่า λ ในสมการนี้บางครั้งถูกเรียกว่า สัมประสิทธิ์การลดลงของความยาวแซนเนลของทรานซิสเตอร์แบบมอสเฟต

เมื่อคิดรวมผลของความไม่เป็นอุดมคติของทรานซิสเตอร์แบบมอสเฟตทั้งสองแบบแล้ว ทำให้สมการกระแสเดรนในย่านอิ่มตัวของทรานซิสเตอร์แบบมอสเฟตเปลี่ยนแปลงไปดังนี้

$$I_D = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_1 (V_{SG1} - |V_{THP}|)^2 (1 + \lambda V_{DS}) \quad (ก.6)$$

ดังนั้นเมื่อกลับมาพิจารณาถึงสมการของวงจระสะท้อนกระแสในสมการที่ ก.3 นั้นทำให้สามารถเขียนใหม่โดยรวมผลของปรากฏการณ์ตัวฐานรอง(body effect) และปรากฏการณ์การลดลงของความยาวแซนเนล(channel length modulation) ได้ดังนี้

$$\frac{I_{out}}{I_{in}} = \frac{(W/L)_1 (1 + \lambda V_{DS1})}{(W/L)_2 (1 + \lambda V_{DS2})} \quad (ก.7)$$

โดยจะสังเกตเห็นว่าผลของปรากฏการณ์ฐานรอง(body effect) นั้นไม่มีผลต่อวงจระสะท้อนกระแสเพราะคู่ทรานซิสเตอร์ที่ทำหน้าที่สะท้อนกระแสมีแรงดันของขาซอสเท่ากับขาบอร์ดี ดังนั้นความไม่เป็นอุดมคติของวงจระสะท้อนกระแสนั้นจึงถือได้ว่าขึ้นอยู่กับปรากฏการณ์การลดลงของความยาวแชนเนล(channel length modulation) เพียงอย่างเดียว โดยปรากฏการณ์นี้จะทำให้ความแม่นยำในการสะท้อนกระแสมีค่าลดลง เพราะอัตราส่วนของกระแสเอาต์พุตต่ออินพุตไม่ได้มีค่าขึ้นอยู่กับอัตราส่วนขนาดของทรานซิสเตอร์แบบมอสเฟตเท่านั้นแต่ขึ้นอยู่กับค่าแรงดันที่ตกคร่อมระหว่างขาเดรนและซอสของทรานซิสเตอร์แบบมอสด้วย

การลดผลกระทบของปรากฏการณ์การลดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอส นั้นสามารถทำได้โดยการออกแบบให้ค่าความยาวแชนเนลและค่าแรงดันที่ตกคร่อมระหว่างขาเดรนและซอส (V_{DS}) ของทรานซิสเตอร์แบบมอสนั้นมีค่าเท่ากันเพื่อทำให้ค่าสัมประสิทธิ์การลดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอส (λ) ที่เป็นคู่สะท้อนกระแสเท่ากัน ซึ่งสามารถใช้หลักการของการป้อนกลับแบบลบมาช่วยได้ ดังรูปที่ ค.1(ง) ซึ่งวงจระขยายสัญญาณออปแอมป์จะทำให้หน้าที่ป้อนกลับแรงดันทำให้แรงดันที่ขาเดรนของทรานซิสเตอร์ M1 และ M2 มีค่าเท่ากัน ดังนั้นวงจระสะท้อนกระแสที่มีการป้อนกลับแบบลบในรูปที่ ค.1(ง) จะมีความแม่นยำในการสะท้อนกระแสมากที่สุด แต่วงจระจะมีข้อเสียคือถ้าออกแบบไม่ดีอาจเกิดจากออสซิลเลตของสัญญาณได้ และวงจระนี้จะมีช่วงการใช้งานที่ความถี่ไม่สูงมากเมื่อเทียบกับวงจระสะท้อนกระแสแบบอื่นในรูปที่ ค.1

ค.3 การเพิ่มค่าความต้านทานเอาต์พุตให้กับวงจระสะท้อนกระแส

จากที่ได้กล่าวมาแล้วนั้น วงจระสะท้อนกระแสสามารถคิดได้ว่าเป็นวงจระขยายสัญญาณกระแส ดังนั้น ค่าความต้านทานเอาต์พุตของวงจระสะท้อนกระแสนั้นควรมีค่าสูงเพื่อสามารถจ่ายกระแสให้กับโหลดได้อย่างเต็มที่ โดยที่มีการดรอปของกระแสผ่านความต้านทานเอาต์พุตของวงจระสะท้อนกระแสน้อยที่สุด ซึ่งวิธีการเพิ่มค่าความต้านทานเอาต์พุตให้กับวงจระสะท้อนกระแสนั้นสามารถทำได้หลายวิธี เช่นการต่อทรานซิสเตอร์แบบมอสเฟตในลักษณะอนุกรมเข้าที่เอาต์พุตของวงจระสะท้อนกระแสดังรูปที่ ค.1(ข) และ ค.1(ค) ซึ่งค่าความต้านทานเอาต์พุตของวงจระสะท้อนกระแสที่ใช้วิธีนี้จะมีค่าดังสมการ

$$R_{out} = gm_4 r_{o4} r_{o1} \quad (ค.8)$$

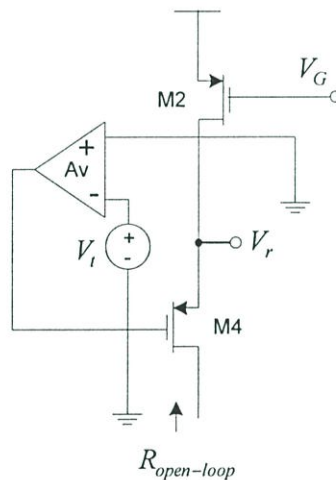
วิธีที่ใช้ในการเพิ่มค่าความต้านทานเอาต์พุตให้กับวงจระสะท้อนกระแสอีกวิธีหนึ่งคือ การใช้การป้อนกลับแบบลบเข้ามาช่วย ดังรูปที่ ค.1(ง) โดยใช้การป้อนกลับแบบเซนส์แรงดันป้อนกลับ

กระแส (shunt-series feedback)[23] ซึ่งค่าความต้านทานเอาต์ของการป้อนกลับแบบนี้สามารถแสดงได้ดังสมการ

$$R_{close-loop} = R_{open-loop} (1 + T) \quad (ค.9)$$

โดยที่ $R_{close-loop}$ คือค่าความต้านทานวงรอบปิด, ค่า $R_{open-loop}$ คือค่าความต้านทานวงรอบเปิดของวงจรสะท้อนกระแส และค่า T คือค่าอัตราขยายวงรอบ(loop-gain) ของวงจรสะท้อนการเสถที่มีการป้อนกลับแบบลบ ซึ่งการหาค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสที่มีการป้อนกลับแบบลบนั้นสามารถทำได้ดังนี้

ในการวิเคราะห์หาค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสที่มีการป้อนกลับแบบลบนั้นสามารถทำได้โดยการหาอัตราขยายวงรอบ (loop gain) ดังรูปที่ ค.2



รูปที่ ค.2 การวิเคราะห์หาค่าอัตราขยายวงรอบ (Loop-gain : T)

จากรูปที่ ค.2 เป็นวิธีการหาอัตราขยายวงรอบ (Loop gain : T) โดยการเปิดวงรอบที่จุดใดจุดหนึ่งของวงจร และกำหนดให้อินพุตวงจรป้อนกลับเป็นศูนย์ ทำการใส่แรงดัน V_t เข้าไปที่ด้านซ้ายของวงรอบการป้อนกลับ แล้วคำนวณหาฟังก์ชันถ่ายโอนตลอดวงรอบ โดยค่าอัตราขยายวงรอบนั้นสามารถแสดงได้ดังสมการ ที่ ค.10

$$\left(\frac{V_r}{V_t} \right) = -T \quad (ค.10)$$

ดังนั้นจากรูปที่ ค.2 สามารถหาค่าอัตราขยายวงรอบได้ดังนี้

$$\left(\frac{V_r}{V_i}\right) \approx -A_v \quad (\text{ค.11})$$

โดยที่ A_v คือค่าอัตราขยายวงรอบเปิด(Open-loop gain) ของออปแอมป์

เมื่อพิจารณาหาความต้านทานวงรอบเปิด($R_{open-loop}$) จากรูปที่ ค.2 จะได้ดังสมการ

$$R_{open-loop} = gm_4 r_{o4} r_{o1} \quad (\text{ค.12})$$

ดังนั้นเมื่อนำสมการที่ ค.11 และ ค.12 แทนเข้าไปในสมการที่ ค.9 จะได้สมการของความต้านทานเอาต์พุตวงรอบปิด(Close loop output impedance : $R_{close-loop}$) ของวงจรสะท้อนกระแสที่มีการป้อนกลับดังนี้

$$R_{close-loop} \approx gm_4 r_{o4} r_{o1} (1 + A) \quad (\text{ค.13})$$

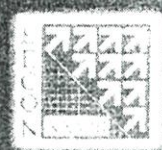
ดังนั้นจึงสรุปได้ว่าวงจรสะท้อนกระแสที่มีการป้อนกลับดังรูปที่ ค.1(ง) สามารถให้การสะท้อนกระแสที่มีความแม่นยำ และค่าความต้านทานเอาต์พุตมากกว่าวงจรสะท้อนกระแสอย่างง่ายและวงจรสะท้อนกระแสที่มีการต่อทรานซิสเตอร์แบบมอสเฟตอนุกรมเข้าที่เอาต์พุตมาก จึงเหมาะที่จะนำไปใช้เป็นวงจรสะท้อนกระแสที่ต้องการความแม่นยำในการสะท้อนกระแสที่สูง

ภาคผนวก ง

ผลงานวิจัยที่ได้รับการตีพิมพ์

1. สุทธิศักดิ์ สังข์ทอง และ อภินันท์ ธนชยานนท์ “วงจรถ่ายสำหรับการวัดความถี่แรงดันต่ำสำหรับ เปียโซเรซิสทีฟเซนเซอร์”, การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 28 (EECON 28), 20-21 ตุลาคม 2548 คณะวิศวกรรมศาสตร์ มหาวิทยาลัยธรรมศาสตร์
2. Suttisak Sangtong, Apinunt Thanachayanont, Chanchana Thanachayanont, “Low-voltage CMOS instrumentation amplifier for piezoresistive transducer”, International Technical Conference 2005(TENCON 2005)
3. Suttisak Sangtong and Apinunt Thanachayanont, “Low-Voltage Current-Sensing CMOS Interface Circuit for Piezoresistive Transducer”, Int. Conf. Electrical Engineering/ Electronics, Computer, Telecommunications and Information Technology(ECTI), Vol.1, pp. 163-166, May 2006.
4. Apinunt Thanachayanont and Suttisak Sangtong and, “Low-Voltage Current-Sensing CMOS Interface Circuit for Piezoresistive Pressure Sensor”, ETRI Journal, Vol. 29, No.1, pp 70-78, Feb 2007.

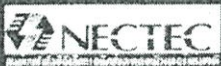
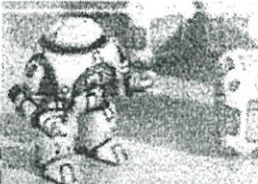
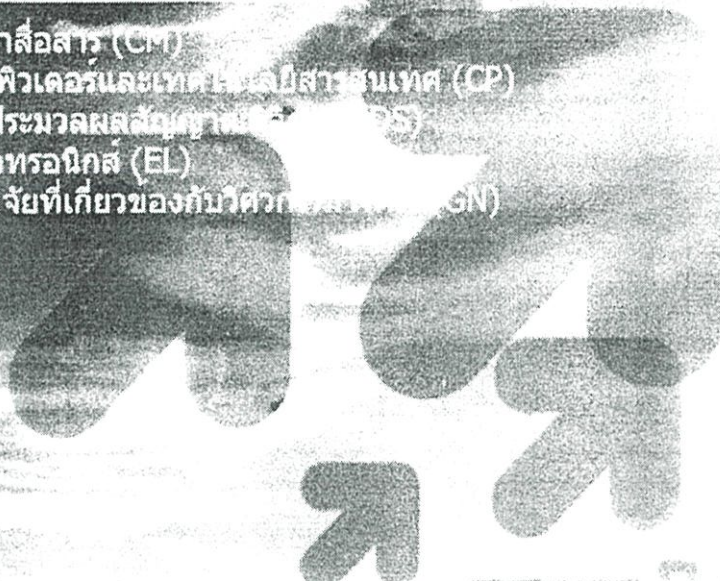
การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 28 28th Electrical Engineering Conference



Volume II

Electrical Engineering
Engineering

ไฟฟ้าสื่อสาร (CM)
คอมพิวเตอร์และเทคโนโลยีอิเล็กทรอนิกส์ (CP)
การประมวลผลสัญญาณ (PS)
อิเล็กทรอนิกส์ (EL)
งานวิจัยที่เกี่ยวข้องของกับวิศวกรรมไฟฟ้า (GN)



ภาคีวิชาการวิศวกรรมไฟฟ้า
คณะกรรมการศาสตร์ มหาวิทยาลัยธรรมศาสตร์
20 - 21 ตุลาคม 2547
ณ โรงแรม เฟิร์ส วิลล่า กรุงเทพมหานคร

วงจรรขยายสำหรับการวัดความถี่ใช้แรงดันต่ำสำหรับเพียโซรีซิสทีฟเซนเซอร์

Low-voltage CMOS Instrumentation Amplifier for Piezoresistive Transducer

สุทธิศักดิ์ สังข์ทอง และ อภินันท์ ธนชยานนท์

ภาควิชาวิศวกรรมไมโครอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ และสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร 10520

โทรศัพท์: (02) 737-3000 ext 3309, www.kmitl.ac.th /mdrd, E-mail: s7061203@kmitl.ac.th, ktapinun@kmitl.ac.th

บทคัดย่อ

ในบทความฉบับนี้นำเสนอวงจรรขยายสำหรับการวัดความถี่ใช้ซีมอสเป็นอุปกรณ์หลักที่ใช้แรงดันต่ำสำหรับเพียโซรีซิสทีฟเซนเซอร์ โดยใช้เทคนิคการตรวจจ็กระแสจากการเปลี่ยนแปลงความต้านทานของเซนเซอร์ ซึ่งเทคนิคนี้ทำให้สามารถใช้เพียโซรีซิสทีฟเซนเซอร์เพียงตัวเดียวและทำให้วงจรทำงานได้ภายใต้แรงดันต่ำ วงจรที่นำเสนอขึ้นนี้จำลองการทำงานโดยใช้เทคโนโลยี ซีมอส ขนาด 0.35 μm และวงจรรขยายสามารถทำงานได้ภายใต้แหล่งจ่ายแรงดันเพียง 1.5 โวลต์ จากผลการจำลองการทำงานของวงจรรขยายแสดงให้เห็นว่า วงจรที่นำเสนอ มีค่าอัตราการจัดสัญญาณรบกวนร่วมสูงสุด 139 dB และใช้กำลังงานเพียง 489 μW

คำสำคัญ: วงจรรขยายสำหรับการวัดความถี่ เพียโซรีซิสทีฟเซนเซอร์

ABSTRACT

A low-voltage CMOS instrumentation amplifier for piezoresistive transducer is proposed. An input current sensing configuration is used to allow the use of a single piezoresistor and low voltage operation. The amplifier is realized using a 0.35- μm CMOS technology and operates under a single 1.5-V power supply voltage. Simulation results show that the amplifier can achieve the maximum CMRR of 139 dB while dissipating 489 μW .

Keywords: instrumentation amplifier, sensor interface, piezoresistive

1. คำนำ

กระบวนการสร้างทรานซิสเตอร์แบบมอสและการสร้างชิ้นส่วนทางกลขนาดเล็กในปัจจุบันทำให้สามารถสร้างไมโครเซนเซอร์ร่วมกับวงจรรอิเล็กทรอนิกส์ไว้บนชิปเดียวกันได้ ตัวอย่างดังบทความ [1] ในปัจจุบันสามารถสร้างทรานซิสเตอร์ใช้มีขนาดเล็กลงมาก (Submicron CMOS Technology) ทำให้สามารถออกแบบวงจรที่ทำงานภายใต้แรงดันต่ำได้ จากเหตุผลดังกล่าวจึงมีความจำเป็นต้องออกแบบวงจรรขยายสำหรับการวัดความถี่ใช้ซีมอสร่วมกับเซนเซอร์ให้ทำงานได้ที่แรงดันต่ำ

จุดมุ่งหมายของบทความฉบับนี้คือการออกแบบวงจรรขยายสำหรับการวัดความถี่ที่ทำงานได้ภายใต้แรงดันต่ำสำหรับใช้ตรวจวัดความถี่เสียง [2] ซึ่งเซนเซอร์ที่ใช้คือเพียโซรีซิสทีฟเซนเซอร์ โดยความต้านทานของเซนเซอร์ชนิดนี้จะเปลี่ยนแปลงตามความถี่ที่กระทำแล้วเซนเซอร์วิธีที่ใช้ตรวจวัดความถี่ที่เปลี่ยนไปของเซนเซอร์และแปลงเป็นสัญญาณไฟฟ้ามีหลายวิธีด้วยกัน วิธีที่นิยมคือการใช้อำนาจวัดสโตนบริดจ์ตรวจวัดความต้านทานที่เปลี่ยนไปของเซนเซอร์และแปลงเป็นแรงดันไฟฟ้าทางเอาต์พุต ซึ่งความไวของวงจรวัดสโตนบริดจ์จะขึ้นอยู่กับแรงดันกระตุ้น (Excitation Voltage) หรือกระแสกระตุ้น (Excitation Current) ที่จ่ายให้กับวงจรวัดสโตนบริดจ์ ดังนั้นถ้าต้องการความไวที่เหมาะสมจึงจำเป็นต้องจ่ายแรงดันกระตุ้นหรือกระแสกระตุ้นจำนวนมากให้กับวงจรวัดสโตนบริดจ์ ซึ่งอาจทำให้เกิดการสูญเสียกำลังงานของวงจรรขยายและทำให้วงจรวัดสโตนบริดจ์ยากที่จะทำงานภายใต้แรงดันต่ำได้

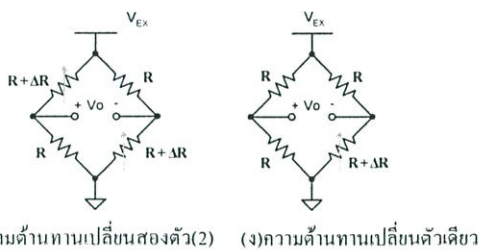
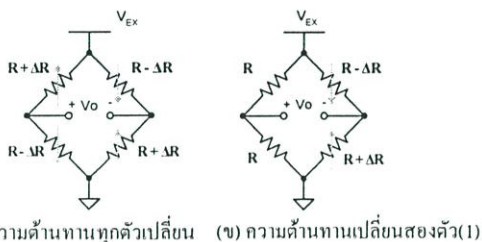
ในบทความฉบับนี้นำเสนอวงจรรขยายสำหรับการวัดความถี่ที่มีการสูญเสียกำลังงานต่ำและทำงานได้ภายใต้แรงดันต่ำ โดยใช้เทคนิคการตรวจจ็กระแสวิชิตที่เกิดจากการเปลี่ยนแปลงความต้านทานของเซนเซอร์ ส่วนประกอบของบทความฉบับนี้แบ่งออกเป็น 5 ส่วนด้วยกัน ในส่วนที่ 2 จะนำเสนอวิธีการไบอัสเพื่อใช้ตรวจวัดการเปลี่ยนความต้านทานของเซนเซอร์และเพิ่มการเปรียบเทียบวิธีการตรวจวัดการเปลี่ยนความต้านทานของเซนเซอร์โดยใช้วงจรวัดสโตนบริดจ์และเทคนิคการตรวจจ็กระแสวิชิต (Current Sensing Method) ส่วนที่ 3 และ 4 จะนำเสนอหลักการออกแบบวงจรรขยายที่ใช้วิธีการตรวจจ็กระแสวิชิต และผลการจำลองการทำงานตามลำดับ สุดท้ายในส่วนที่ 5 เป็นบทสรุปของบทความฉบับนี้

2. การไบอัสเซนเซอร์เพื่อตรวจวัดการเปลี่ยนความต้านทาน

2.1 วงจรวัดสโตนบริดจ์ที่ใช้แรงดันกระตุ้น

วงจรวัดสโตนบริดจ์ที่ถูกกระตุ้นด้วยแรงดัน (Voltage-driven Wheatstone bridge) แสดงดังรูปที่ 1 (ก)-(ง) ประกอบไปด้วยเพียโซรีซิสทีฟเซนเซอร์ หนึ่ง, สอง หรือสี่ตัว ที่มีค่าความต้านทานปกติเท่ากัน โดยแรงดันเอาต์พุตและความไม่เป็นเชิงเส้นของวงจรรขยายแสดงไว้ใน ตารางที่ 1 ซึ่ง V_{EX} คือแรงดันกระตุ้น (Excitation Voltage) ที่จ่ายให้กับวงจรวัดสโตนบริดจ์ จากตารางที่ 1 ทำให้ทราบว่าวงจรวัดสโตนบริดจ์ใน

รูปที่ 1(ค) และ (ง) แสดงความไม่เป็นเชิงเส้นออกมา แต่อย่างไรก็ตาม ความไม่เป็นเชิงเส้นนี้ไม่ได้เป็นปัจจัยหลักเพราะสามารถแก้ไขได้ เช่น การใส่ชอฟต์แวร์เข้ามาช่วยในระบบของดิจิทัล สิ่งที่สำคัญคือการลดแรงดันออกเพื่อลดการเพิ่มความไวของเซนเซอร์ วงจรวัดสโตนบริดจ์ที่ได้นั้นควรมีค่าความต้านทานปกติของเซนเซอร์แต่ละตัวเท่ากันและขนาดการเปลี่ยนแปลงความต้านทาน (ΔR) เนื่องจากความดันก็ควรเท่ากันด้วย ซึ่งจากเหตุผลดังกล่าวทำให้วงจรวัดสโตนบริดจ์ที่มีการใช้เซนเซอร์ในวงจรมักดังเช่น รูปที่ 1(ก) ถึง (ค) ยกต่อการสร้างและสิ้นเปลืองพื้นที่ที่ส่วนวงจรในรูปที่ 1(ง) นั้นแม้จะใช้เซนเซอร์ตัวเดียวแต่แรงดันเอาต์พุตที่ได้รับกลับมีค่าน้อย ข้อเสียอีกอย่างหนึ่งของวงจรวัดสโตนบริดจ์คือความไวของ วงจรนั้นแปรผันโดยตรงกับแรงดันกระตุ้น ดังนั้นจึงเป็นข้อจำกัดแรงดัน V_{EX} มากเพื่อให้ได้ความไวมากซึ่งจะเป็นการเปลืองกำลังงานของวงจรและวงจรไม่สามารถทำงานได้ที่แรงดันต่ำ



รูปที่ 1 วงจรวัดสโตนบริดจ์ที่ใช้แรงดันเป็นตัวกระตุ้น ทั้ง 4 แบบ

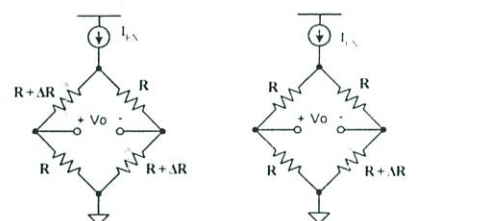
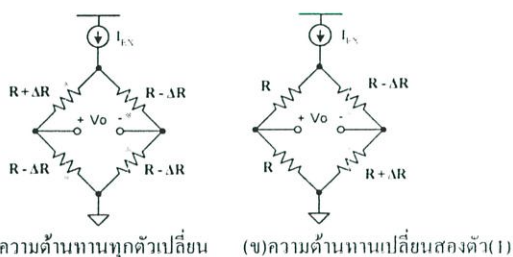
2.2 วงจรวัดสโตนบริดจ์ที่ใช้กระแสเป็นตัวกระตุ้น

วงจรวัดสโตนบริดจ์ที่ใช้กระแสเป็นตัวกระตุ้น(Current-Driven Wheatstone bridge) แสดงดังรูปที่ 2 (ก)-(ง) ซึ่งจากตารางที่ 1 จะเห็นว่าความไวของวงจรมีค่าเป็นสัดส่วนโดยตรงกับกระแส I_{EX} ถ้าต้องการความไวของวงจรมากจึงจำเป็นต้องจ่ายกระแสกระตุ้น I_{EX} มากความไปด้วย ซึ่งเป็นการเพิ่มการสูญเสียกำลังงานของวงจร

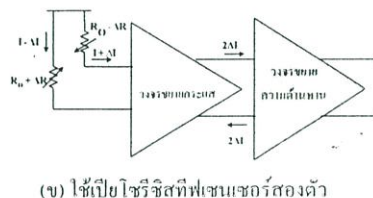
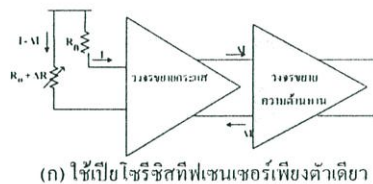
2.3 โครงสร้างของวงจรที่ใช้เทคนิคการตรวจจับสนะ

ทั้งวงจรวัดสโตนบริดจ์ที่ใช้แรงดันเป็นตัวกระตุ้นและกระแสกระตุ้นนั้น แรงดันโหมคร่วมที่เอาต์พุตของวงจรมักจะถูกกำหนดไว้กึ่งกลางของแรงดันแหล่งจ่าย (สมมุติว่า V_{EX} มีค่าเท่ากับ $V_{(in)}$) ดังนั้นเมื่อแรงดันของแหล่งจ่ายต่ำ ($V_{(in)} = 2V$) การกำหนดแรงดันโหมคร่วมให้อยู่กึ่งกลางจะ

เป็นผลเสียต่อการออกแบบวงจรขยายสำหรับการวัดคูลมที่ใช้เชื่อมต่อกับวงจรวัดสโตนบริดจ์ภายใต้แรงดันไฟเลี้ยงต่ำ ปัญหานี้สามารถแก้ไขได้โดยใช้เทคนิคการตรวจจับสนะ ซึ่งแสดงได้ดังรูปที่ 3(ก)-(ข) ประกอบไปด้วยความต้านทาน 2 ตัว ซึ่งมีค่าความต้านทานเท่ากันในสภาวะปกติคือระหว่าง V_{EX} (Excitation Voltage) และแรงดันโหมคร่วมที่ขอมวงจรวัดสโตนบริดจ์ ($V_{(in)}$) เมื่อความต้านทานของเซนเซอร์เปลี่ยนแปลงไปเนื่องจากความดันดังรูปที่ 3(ก) หรือ (ข) จะส่งผลให้เกิดกระแส ΔI ขึ้นที่อินพุตของวงจรวัดจับสนะ ซึ่งจะถูกลบออกโดยวงจรวัดจับสนะและถูกเปลี่ยนเป็นแรงดันโดยใช้วงจรวัดความต้านทาน และความไม่เป็นเชิงเส้นของวงจรที่นำเสนอนั้นแสดงได้ดังตารางที่ 1 ซึ่งสามารถกำจัดออกไปได้โดยง่ายดังได้กล่าวมาแล้วข้างต้น ดังนั้นในบทความฉบับนี้จึงออกแบบวงจรวัดสโตนบริดจ์สำหรับการวัดคูลมโดยใช้โครงสร้างดังรูปที่ 3(ก) ซึ่งใช้เปียโซรีซิสทีฟเซนเซอร์ (R_p) เพียงตัวเดียวร่วมกับความต้านทาน (R_c) เพื่อชดเชยผลของอุณหภูมิให้กับตัวเซนเซอร์



รูปที่ 2 วงจรวัดสโตนบริดจ์ที่ใช้กระแสเป็นตัวกระตุ้น ทั้ง 4 แบบ



รูปที่ 3 โครงสร้างของการตรวจจับสนะสำหรับการเปลี่ยนความต้านทาน

ตารางที่ 1 สรุปผลการเอาต์พุตของการตรวจจับความดันทานที่เปลี่ยนแปลงไปโดยไบอัสเปียโซรีซิสทีฟเซนเซอร์ในรูปแบบต่างๆ

การไบอัส	แรงดัน หรือ กระแสเอาต์พุต	ความผิดพลาด (%/%)
รูปที่ 1(ก)	$V_{in} = V_{in} (\Delta R/R)$	0
รูปที่ 1(ข)	$V_{in} = V_{in} (\Delta R/2R)$	0
รูปที่ 1(ค)	$V_{in} = [\Delta R/(2R + \Delta R)]V_{in}$ $\approx (\Delta R/2R)V_{in}$	0.5
รูปที่ 1(ง)	$V_{in} = [\Delta R/(4R + 2\Delta R)]V_{in}$ $\approx (\Delta R/4R)V_{in}$	0.5
รูปที่ 2(ก)	$I_{in} = (\Delta R)I_{in}$	0
รูปที่ 2(ข) และ (ค)	$I_{in} = (\Delta R/2)I_{in}$	0
รูปที่ 2(ง)	$I_{in} = [(\Delta R \Delta R)/(4R + \Delta R)]I_{in}$ $\approx (\Delta R/4)I_{in}$	0.25
รูปที่ 3(ก)	$\Delta V = (V_{in} - V_{in}) [(\Delta R/R)/(R + \Delta R)]$ $\approx (V_{in} - V_{in}) (\Delta R/R^2)$	1
รูปที่ 3(ข)	$\Delta V = 2(V_{in} - V_{in}) [(\Delta R/R^2)/(1 - \Delta R/R)]$ $\approx 2(V_{in} - V_{in}) (\Delta R/R)$	0.01

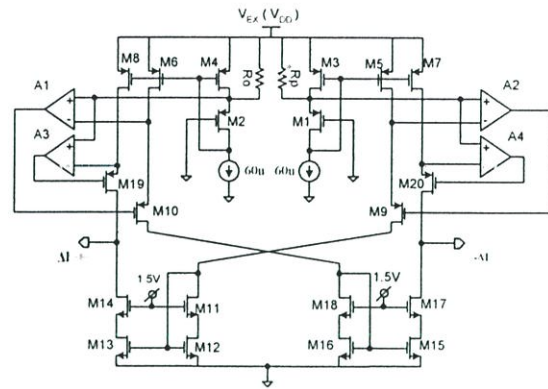
3. หลักการออกแบบวงจร

วงจรตรวจจับกระแสโดยใช้เปียโซรีซิสทีฟเซนเซอร์ตัวเดียวสามารถสร้างได้โดยใช้วงจรขยายกระแสดังรูปที่ 4 ร่วมกับวงจรขยายความดันทาน และวงจรขยายสัญญาณผลต่าง ดังแสดงในรูปที่ 5

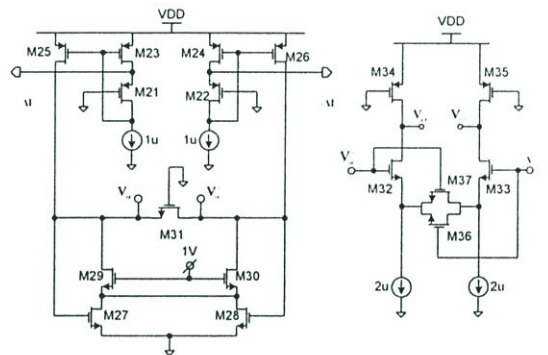
โดยหลักการการทำงานของวงจรขยายกระแสสามารถอธิบายได้ดังนี้ อินพุตของวงจรขยายกระแสสร้างโดยใช้วงจร Flip Voltage Follower [3] ซึ่งวงจรนี้สามารถสร้างแรงดันคงที่ V_{CM} เมื่อความดันทานของเซนเซอร์ (R_p) เปลี่ยนแปลงเนื่องจากความดันจะทำให้เกิดกระแส ΔI ซึ่งกระแสนี้จะไหลผ่าน M3 และถูกสะท้อนผ่าน M5 และ M7 ส่วนอีกด้านหนึ่ง ความดันทาน R_p ซึ่งค่าความดันทานของมันไม่เปลี่ยนตามความดัน ดังนั้นจะมีแต่กระแสไหลผ่าน M4 M6 และ M8 ทรานซิสเตอร์ A2 และ A4 (A1 และ A3) ช่วยทำให้แรงดัน V_{in} ของ M3 M5 และ M7 (M4 M6 และ M8) มีค่าเท่ากันดังนั้นกระแสสะท้อนกระแสจึงเป็นไปอย่างแม่นยำซึ่งช่วยเพิ่มความเป็นเชิงเส้นและอัตราการจัดสัญญาณรบกวนของวงจร ทรานซิสเตอร์ M11-M18 นั้นสร้างเป็นวงจรสะท้อนกระแสแบบคลาสสิก เพื่อใช้ในการกำจัดสัญญาณโหมคร่วมออกจากเอาต์พุต โดยกระแสเอาต์พุตจะถูกแปลงเป็นแรงดันโดยใช้วงจรขยายความดันทานซึ่งมีอินพุตเป็นวงจร flip voltage follower ดังแสดงในรูปที่ 5(ก) และใช้ มอดสทรานซิสเตอร์(M31) ซึ่งทำงานในย่านไทรโอดเปลี่ยนกระแสเป็นแรงดัน ซึ่งความดันทานนี้ยังสามารถสร้างได้โดยใช้โพลิซิลิกอนอีกด้วยถ้าต้องการความเชิงเส้นของวงจรให้มากขึ้น โดยมี M27 และ M28 ทำหน้าที่เป็นวงจรรักษาระดับแรงดันโหมคร่วมแบบมี

การป้อนกลับ(Common-mode Feedback)[4] รักษาแรงดันโหมคร่วมที่เอาต์พุตของวงจรขยายความดันทาน

วงจรรขยายสัญญาณแบบผลต่างดังรูปที่ 5(ข) ถูกใช้ขยายแรงดันที่ได้จากวงจรรขยายความดันทานอีกทีหนึ่งเพื่อเพิ่มอัตราขยายแบบผลต่างและลดอัตราขยายแบบโหมคร่วม ซึ่งเป็นการปรับปรุงค่าการจัดสัญญาณรบกวนให้กับวงจร



รูปที่ 4 วงจรรขยายกระแส



(ก)วงจรรขยายความดันทาน (ข)วงจรรขยายสัญญาณผลต่าง

รูปที่ 5 วงจรรขยายความดันทานและวงจรรขยายสัญญาณผลต่าง

4. ผลการจำลองการทำงานของวงจร

วงจรรขยายสำหรับการวัดความดันที่นำเสนอในบทความฉบับนี้มีจุดประสงค์เพื่อนำไปใช้ในการวัดความดัน[2] โดยคุณสมบัติของเปียโซรีซิสทีฟเซนเซอร์นั้นได้มาจากวงจรวัดสโตนบริดจ์ ซึ่งมีความไว 5-10 uV/V/mmHg โดยค่าความดันทานปกติของเปียโซรีซิสทีฟเซนเซอร์(R_p) คือ 2.5 K Ω และอนุญาตให้ผิดพลาดได้ในช่วง 2.0 K Ω ถึง 2.8 K Ω เนื่องจากกระบวนการสร้าง ความดันทานของเซนเซอร์สามารถเปลี่ยนแปลงได้มากที่สุด 1% จากค่าปกติเนื่องจากความดัน ซึ่งสามารถใช้วัดความดันเลือดได้ตั้งแต่ -50 mmHg ถึง +500 mmHg วงจรสามารถทำงานได้ภายใต้แรงดันแหล่งจ่าย 1.5 โวลต์ จำลองการทำงานของวงจรโดยใช้โปรแกรม Cadence Spectre เทคโนโลยีชิพขนาด 0.35 μ m โดยตั้ง

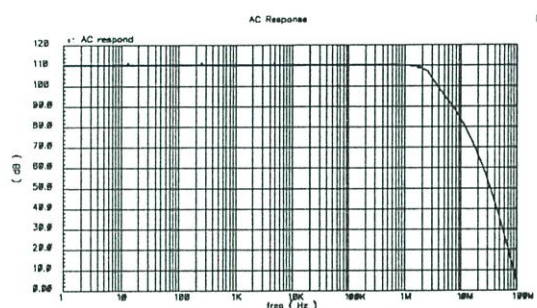


ระดับแรงดันอินพุตโหมคร่วม(V_{CM})ของวงจรไว้ที่ 1.4 โวลต์ เพื่อให้กระแสโหมคร่วมที่ไหลผ่าน R_p และ R_{p2} มีค่าน้อยที่สุด

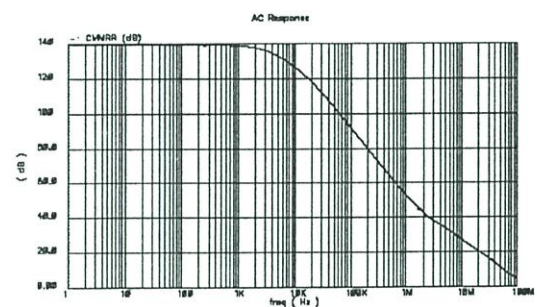
ผลการจำลองการทำงานโดยใช้ค่าความต้านทานปกติของเพียโซรีซิสทีฟเซนเซอร์ (R_p) เท่ากับ 2.5KΩ รูปที่ 6 และ 7 แสดงอัตราการขยายและค่าอัตราการจัดสัญญาณร่วมของวงจร ตามลำดับ ค่าความไม่เป็นเชิงเส้นของวงจรมีค่าเท่ากับ 1.4% และค่าสัญญาณรบกวนตลอดแบนด์วิดส์ (1.5 MHz) มีค่าเท่ากับ 9.6 nA ในตารางที่ 2 แสดงคุณสมบัติของวงจรที่ทำการออกแบบ

ตารางที่ 2 สรุปคุณสมบัติของวงจรที่ทำการออกแบบ

พารามิเตอร์	ผลที่ได้
แหล่งจ่ายแรงดัน	1.5 V
อัตราการขยายความต้านทานรวม	110 dB
อัตราการจัดสัญญาณร่วม @ 1 KHz	139 dB
ความไม่เป็นเชิงเส้น(เมื่อ R_p เปลี่ยนมากที่สุด±1%)	1.4%
สัญญาณรบกวนรวมทั้งอินพุต (1 Hz – 1.5 MHz)	9.6 nA
กำลังงานที่ใช้	489 μW



รูปที่ 6 อัตราการขยายความต้านทานรวมของวงจรขยายสำหรับการวัดคุม



รูปที่ 7 อัตราการจัดสัญญาณร่วมของวงจรขยายสำหรับการวัดคุม

5. บทสรุป

บทความฉบับนี้ได้นำเสนอวงจรขยายสำหรับการวัดคุมสำหรับเพียโซรีซิสทีฟเซนเซอร์ วงจรที่นำเสนอใช้หลักการตรวจจับกระแสจากการเปลี่ยนแปลงความต้านทานของเซนเซอร์ ซึ่งหลักการนี้สามารถทำให้ออกแบบวงจรขยายสำหรับการวัดคุมให้ทำงานได้ภายใต้แรงดันต่ำ และวงจรที่ทำการออกแบบนั้นมีอัตราการจัดสัญญาณร่วมที่สูงมาก ซึ่งจากผลการจำลองการทำงานเบื้องต้นนั้นสามารถนำไปประยุกต์ใช้ในการวัดความดันเลือดได้

เอกสารอ้างอิง

[1] C. Lu, M. Lemkin, and B. E. Boser, "A monolithic surface micromachined accelerometer with digital output," *IEEE J. Solid-State Circuits*, vol. 30, pp. 1367–1373, Dec. 1995.

[2] Q. Huang and C. Melnofi, "A 0.5-mW passive telemetry IC for biomedical applications," *IEEE J. Solid-State Circuits*, vol. 33, no. 7, July 1998, pp. 937–946.

[3] M. Laguna, C. Dela Cruz-Blas, A. Torralba, R.G. Lopez-Martin, and A. Carlosena, "A novel low-voltage, low-power class-AB linear transconductor" *2004 Proc. IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 725-728.

[4] F. Krummenacher and N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 750-758, June 1998.



สุทธิศักดิ์ สังข์ทอง สำเร็จการศึกษาระดับปริญญาตรี สาขาวิศวกรรมโทรคมนาคม จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปี พ.ศ.2546 ปัจจุบันกำลังศึกษาอยู่ในหลักสูตรวิศวกรรมไมโครอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง สนใจงานวิจัยเกี่ยวกับการออกแบบวงจรรวมอนาล็อกทางการแพทย์



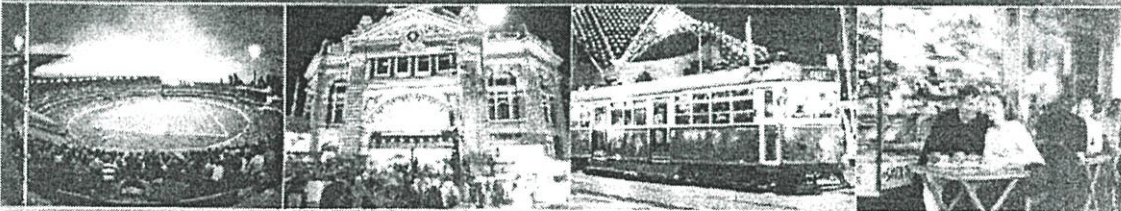
อภินันท์ ชนชานนท์ สำเร็จการศึกษาในระด้าปริญญาตรี-โท และเอก สาขาวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์จากอิมพีเรียลคอลเลจ มหาวิทยาลัยลอนดอน ในปี พ.ศ. 2538 และ 2542 ตามลำดับ, พ.ศ. 2542 ถึง ปัจจุบัน ดำรงตำแหน่งผู้ช่วยศาสตราจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทำงานวิจัยทางด้านการออกแบบวงจรรวมสำหรับการนำไปใช้งาน ในระบบสื่อสารและทางชีวการแพทย์



Tencon 2005

Melbourne, Australia
21-24 November, 2005

Official program



Low-voltage CMOS instrumentation amplifier for piezoresistive transducer

Suttisak Sangtong, and Apinunt Thanachayanont, *Member, IEEE*

Abstract—A low-voltage CMOS instrumentation amplifier for piezoresistive transducer is proposed. An input current sensing configuration is used to allow the use of a single piezoresistor and low voltage operation. The amplifier is realized using a 0.35- μm CMOS technology and operates under a single 1.5 power supply voltage. Simulation results showed that the amplifier can achieve the maximum CMRR of 139 dB while dissipating 489 μW .

Index Terms—Instrumentation amplifier, sensor interface, piezoresistive

I. INTRODUCTION

ADVANCES in CMOS processing and micromachining technologies have allowed various types of microsensor to be integrated with signal processing circuitry in a single chip, e.g. in [1]. With submicron CMOS technology, there is a need for instrumentation amplifier that interfaces with on-chip transducer and can operate under a low power supply voltage.

The aim of this work is to design and realize a low-voltage fully-integrated instrumentation amplifier for an implantable blood pressure sensor [2]. The sensor is piezoresistive and its resistance is change when there is a pressure variation. The resistance change is traditionally detected by using the Wheatstone bridge circuit, whose sensitivity depends on the excitation voltage or current. For decent bridge sensitivity, high excitation voltage or current is needed, which may prevent low voltage and low power operation.

In this paper, a new low power low voltage instrumentation amplifier using a current-sensing topology is proposed. The organization of the paper is as follows. In Section II, topologies of resistive readout, including the traditional Wheatstone bridge and the proposed current-sensing method, are described. Circuit implementation and simulation results of the proposed amplifier are presented in Section III and IV, respectively. Finally, conclusion is given in Section V.

II. INPUT CONFIGURATIONS FOR RESISTIVE READOUT

A. Voltage-driven Wheatstone bridge

Traditionally, the voltage-driven Wheatstone bridge configuration is used for precise measurement of small resistance changes. It comprises four resistors connected in a quadrilateral form and an excitation voltage connected across one diagonal of the bridge. The output voltage of the bridge is measured differentially between the voltage divider outputs connected across the other diagonal. The deviation of one or more resistors in the bridge from a nominal value is measured as an indication of change in the measured physical variable, and the output voltage across the bridge indicates the resistance change.

The bridge can have one, two, or four piezoresistors, whose values are deviated with the applied physical variable, as shown in Fig. 1(a)-(d). Typically, in sensor applications, the nominal values of four resistors are chosen to be equal. The differential output voltage and the end-point linearity error of the bridges in Fig. 1 are summarized in Table I, where V_{EX} is the excitation voltage to the bridge. The linearity error is calculated as the maximum error in percentage full scale from a straight line that connects the origin and the end point at full scale. Table I shows that inherent linearity between the piezoresistance variation and the output voltage variation can be obtained with the all-element and two-element varying configurations in Fig. 1(a) and Fig. 1(b), respectively. However, linearity error is not critical because it can easily be compensated by using software in digital systems. More importantly, to reduce offset and increase sensitivity of the sensor, the bridge should have accurate resistance matching among piezoresistors and equal absolute resistance variation with pressure. These requirements are difficult to achieve in the all-element and two-element varying bridges, not to mention the drawback in terms of larger area and cost. The aforementioned difficulty can be alleviated by using a single piezoresistor as shown in Fig. 1(d).

One drawback of voltage-driven Wheatstone bridges is that the bridge sensitivity is proportional to V_{EX} and inversely proportional to the nominal piezoresistance value. Therefore, to obtain high sensitivity, large V_{EX} and small piezoresistance are preferred, which may prevent low voltage operation and lead to considerable power consumption of the bridge.

This work was supported in part by the Thailand Research Fund under Grant RSA4680027.

The authors are with the Faculty of Engineering and the Research Center of Communications and Information Technology, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand (phone: 662-326-4222; fax: 662-739-2398; e-mail: ktapinun@kmitl.ac.th).

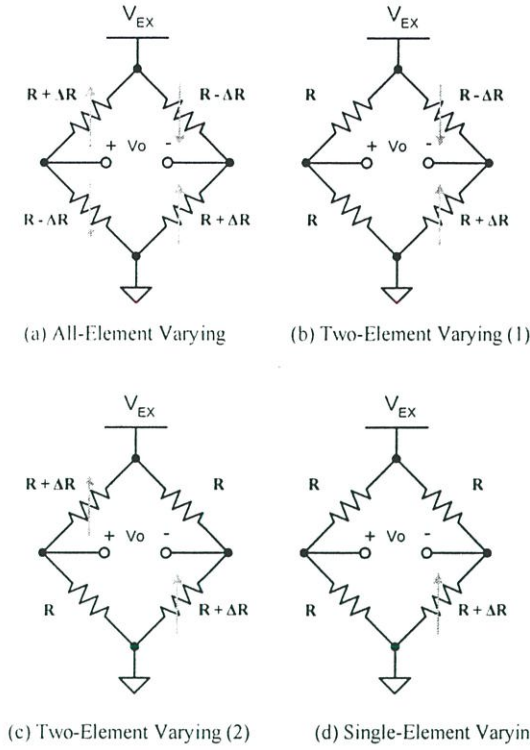


Fig. 1. Voltage-driven Wheatstone bridges

TABLE I

SUMMARY OF THE RESISTIVE READOUT INPUT CONFIGURATIONS

Input configuration	Output voltage or current	Linearity error (%/%)
Fig. 1(a)	$V_o = V_{EX} \left(\frac{\Delta R}{R} \right)$	0
Fig. 1(b)	$V_o = \frac{V_{EX}}{2} \left(\frac{\Delta R}{R} \right)$	0
Fig. 1(c)	$V_o = \left(\frac{\Delta R}{2R + \Delta R} \right) V_{EX} \approx \frac{1}{2} \left(\frac{\Delta R}{R} \right) V_{EX}$	0.5
Fig. 1(d)	$V_o = \frac{1}{2} \left(\frac{\Delta R}{2R + \Delta R} \right) V_{EX} \approx \frac{1}{4} \left(\frac{\Delta R}{R} \right) V_{EX}$	0.5
Fig. 2(a)	$V_o = (\Delta R) I_{EX}$	0
Fig. 2(b)&(c)	$V_o = \left(\frac{\Delta R}{2} \right) I_{EX}$	0
Fig. 2(d)	$V_o = \frac{R}{4} \left(\frac{\Delta R}{R + \frac{\Delta R}{4}} \right) I_{EX} \approx \frac{\Delta R}{4} I_{EX}$	0.25
Fig. 3(a)	$\Delta I = \frac{(V'_{EX} - V_X)}{R} \cdot \left(\frac{\Delta R}{R} \right) \approx \frac{(V'_{EX} - V_X)}{R} \cdot (\Delta R/R)$	1
Fig. 3(b)	$\Delta I = \frac{2(V'_{EX} - V_X)}{R} \cdot \left(\frac{\Delta R}{R} \right) \approx \frac{2(V'_{EX} - V_X)}{R} \cdot (\Delta R/R)$	0.01

B. Current-driven Wheatstone bridge

The Wheatstone bridges can also be driven by a constant current source, as shown in Fig. 2. All current-driven bridges are inherently linear, except for the single-element varying configuration in Fig. 2(d). The sensitivity of current-driven bridges is proportional to the excitation current, I_{EX} . Thus, a large I_{EX} is required to obtain high sensitivity, which increases the power consumption of the bridge.

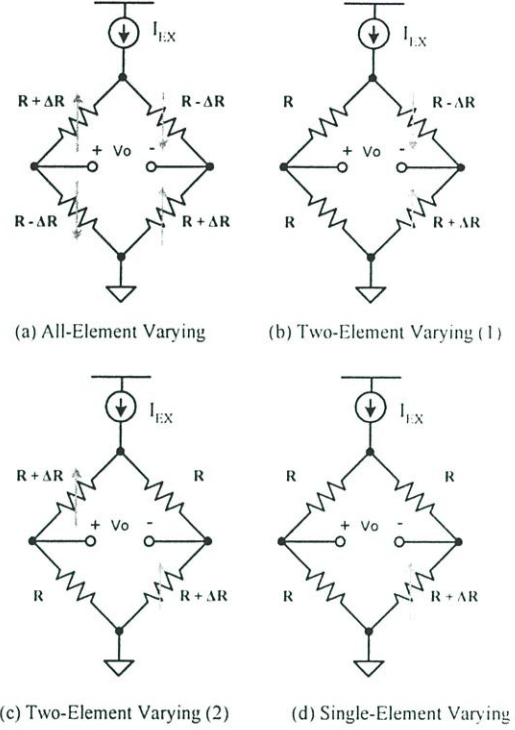


Fig. 2. Current-driven Wheatstone bridge

C. Proposed current sensing configuration

In both voltage- and current-driven Wheatstone bridges, the common-mode voltage of the input amplifier will normally be in the middle of the power supply voltage (assuming $V_{EX} = V_{DD}$), as a result of the voltage dropped across the resistors. Under low power supply voltage (< 2 V), it is harder to realize the input amplifier with an input common-mode voltage in the middle of the power supply voltage. This can be alleviated by using by using a current-sensing topology, as shown in Fig. 3. The current-sensing configuration uses two resistors that are connected between the excitation voltage (V_{EX}) and a fixed common-mode input voltage (V_{CM}) of a current amplifier. When the resistance value is changed as a result of pressure variation, an input current is generated and amplified by the current amplifier. In this work, V_{EX} is equal to V_{DD} and V_{CM} is chosen to be close to V_{DD} to minimize the DC current flowing through the resistors. The output of the current amplifier can be converted to voltage by using a transimpedance amplifier.

as shown in Fig. 3.

There may be one or two piezoresistors in the current-sensing topology, as shown in Fig. 3(a) and Fig. 3(b) respectively. Both resistors should have equal nominal resistance under no pressure variation, yielding zero input current signal ($\Delta I = 0$). Under a pressure variation, the input current variation and the linearity error of both current-sensing configurations can be written as shown in Table I. As mentioned above, linearity error can be compensated easily; therefore the single-element varying arrangement is preferred here because the fixed resistor can be used to compensate for temperature dependence of the piezoresistor.

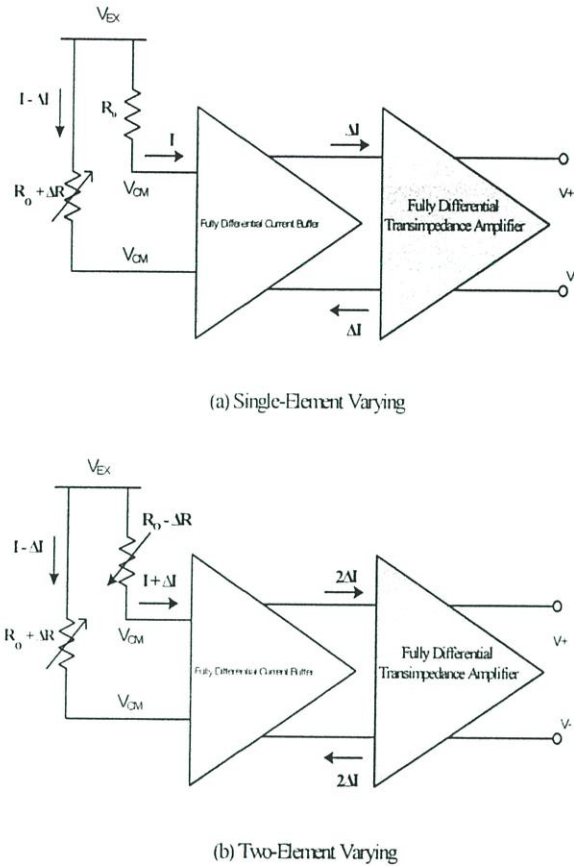


Fig. 3. Current-sensing resistive readout configuration

III. CIRCUIT IMPLEMENTATION

The single-element varying current-sensing configuration is realized by the input current amplifier, shown in Fig. 4, and the transimpedance amplifier and the output stage, shown in Fig. 5. Fully-differential circuit operation is used to reduce common-mode noise.

The operation of the current amplifier can be explained as follows. Low input resistance of the current amplifier is ensured by the flipped voltage follower circuit [3]. This fixes the input common-mode voltage of the amplifier, rendering a constant voltage dropped across the resistors. Under a

pressure variation, the piezoresistor R_p is changed, and an input current (ΔI) flows into M_3 , which is also mirrored to M_5 and M_7 . On the other hand, R_0 is fixed and does not vary with pressure, thus a constant common-mode current flows through M_4 , M_6 and M_8 . The accuracy of current mirroring is vital to the linearity and common-mode rejection ratio (CMRR) of the amplifier. This is achieved by using auxiliary amplifiers, A_2 and A_4 , (A_1 and A_3) to match the drain-source voltages of M_1 , M_5 , and M_7 (M_4 , M_6 , and M_8). All auxiliary amplifiers are identical and are realized by using the conventional two-stage operational amplifier. Transistors M_{11} - M_{18} realizes cascode current mirrors that are used to eliminate DC common-mode current from the desired signal.

The output current of the current amplifier is converted to voltage by the following transimpedance amplifier, shown in Fig. 5(a). The flipped-voltage follower is again used for the input of the transimpedance amplifier. The differential input current is then converted to a differential output voltage by a resistor, which is realized by a transistor (M_{31}) operating in deep triode region. This resistor can also be realized by using a polysilicon resistor, if higher linearity is necessary.

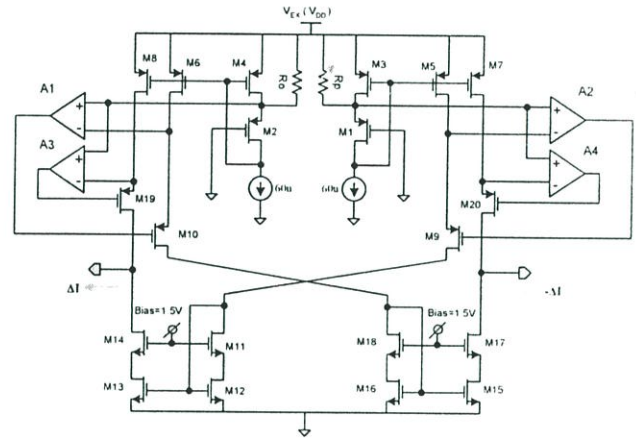


Fig. 4. Input current amplifier.

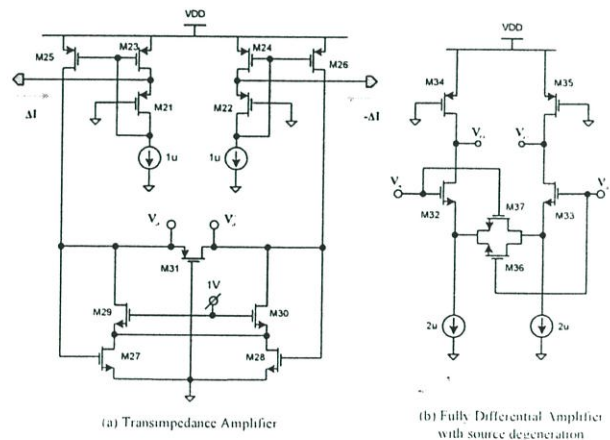


Fig. 5. Transimpedance amplifier and output stage

Transistors M_{27} and M_{28} , which operate in triode region, provides the common-mode feedback [4] required to regulate the output common-mode level. The output voltage of the transimpedance amplifier is amplified further by the source degeneration amplifier, shown in Fig. 5(b). This increases the overall differential-mode gain and reduces the common-mode gain, therefore further enhancing the CMRR of the overall amplifier.

IV. SIMULATION RESULTS

In this work, the proposed instrumentation amplifier is targeted for an implantable pressure sensor [2] with the sensitivity of 5-10 $\mu\text{V}/\text{V}/\text{mmHg}$. The nominal piezoresistance (R_p) is 2.5 $\text{K}\Omega$ and it can vary from 2.0-2.8 $\text{K}\Omega$ due to process variation. The maximum change in R_p of $\pm 1\%$ is expected from a typical blood pressure range (-50 to +500 mmHg). The amplifier was designed to operate with a single 1.5-V power supply voltage. The circuit was simulated using SpectreTM with process parameters from a 0.35- μm standard CMOS technology. The input common-mode voltage of the amplifier is set to 1.4 V to minimize the quiescent current flowing through R_p and R_O .

Under the nominal R_p of 2.5 $\text{K}\Omega$, the amplifier achieve a differential-mode gain is 110.5 dB, a maximum CMRR of 139 dB (up to 1 kHz), and a maximum nonlinearity of 1.4%. Fig. 6 and Fig. 7 show the differential-mode gain and the CMRR of the overall amplifier, respectively. Fig. 8 shows the input-referred noise spectral density of the amplifier. The total input referred noise over 1.5-MHz bandwidth is 9.6 nA. Table. II summarizes the simulated performance of the proposed amplifier.

V. CONCLUSION

A new CMOS instrumentation amplifier for piezoresistive sensor has been described. The proposed circuit employs a current-sensing structure for resistive readout, which enables low power and low voltage operation. The amplifier can achieve a high CMRR over wide bandwidth by using current-mode circuit techniques. Preliminary simulation results suggest that the proposed amplifier is suitable for implantable sensor applications.

TABLE I
PERFORMANCE SUMMARY OF THE PROPOSED AMPLIFIER

Parameter	Value
Supply voltage	1.5 V
Differential voltage gain	110 dB
CMRR at 1KHz	139 dB
Linearity error ($\pm 1\%$ change in R_p)	1.4%
Total input-referred noise (1 Hz – 1.5 MHz)	9.6 nA
Power dissipation	489 μW

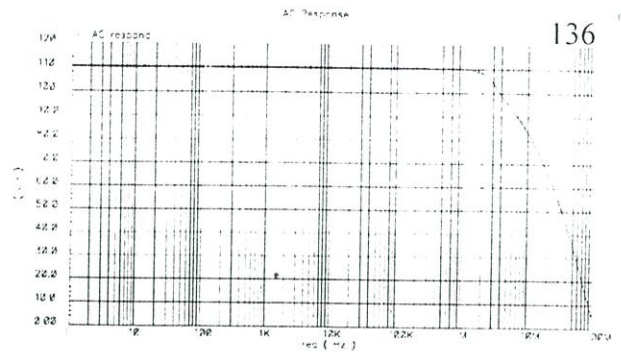


Fig. 6. Differential-mode gain of the overall amplifier

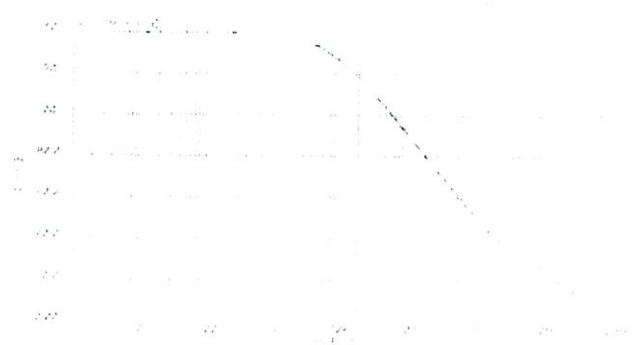


Fig. 7. Simulated CMRR of the overall amplifier.

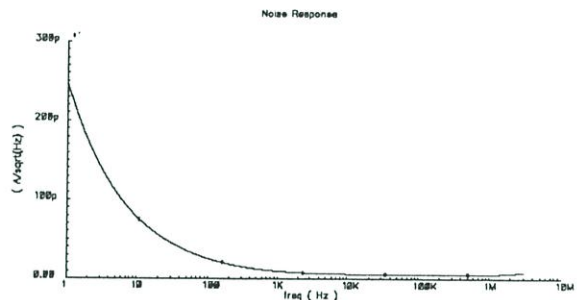


Fig. 8. Input-referred noise spectral density of the amplifier.

REFERENCES

- [1] C. Lu, M. Lemkin, and B. E. Boser, "A monolithic surface micromachined accelerometer with digital output," *IEEE J. Solid-State Circuits*, vol. 30, pp. 1367–1373, Dec. 1995.
- [2] Q. Huang and C. Melnoff, "A 0.5-mW passive telemetry IC for biomedical applications," *IEEE J. Solid-State Circuits*, vol. 33, no. 7, July 1998, pp. 937 – 946
- [3] M. Laguna, C. Dela Cruz-Blas, A. Torralba, and R.G. Lopez-Martin, A. Carlosena, "A novel low-voltage low-power class-AB linear transconductor" *IEEE International symposium on Circuits and system, ISCAS '2004*, vol. 1, pp. 725-728.
- [4] F. Krummenacher and N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 750-758, June 1998.

ECTI-CON 2006

THE 2006 ECTI INTERNATIONAL CONFERENCE



Proceedings of the 2006 Electrical Engineering/ Electronics, Computer, Telecommunications and Information Technology (ECTI) International Conference

May 10-13, 2006

Ubonburi Hotel, Ubon Ratchathani, THAILAND



Low-Voltage Current-Sensing CMOS Interface Circuit for Piezoresistive Transducer¹³⁸

Suttisak Sangtong and Apinunt Thanachayanont

Faculty of Engineering & Research Center of Communications and Information Technology
King Mong's Institute of Technology Ladkrabang, Bangkok, 10520, THAILAND
Tel: +66 2 3264222, Fax +66 2 7392398. E-mail; tannummail@yahoo.com and ktapinun@kmitl.ac.th

ABSTRACT

A low-voltage CMOS signal conditioning circuit with digital output for piezoresistive transducer is proposed. An input current-sensing configuration is used to allow a single piezoresistive transducer and low voltage operation. The proposed circuit is realized by using a 0.35- μm CMOS technology and operates under a single 1.5-V power supply voltage. Simulation results are included to demonstrate the performance of the circuit.

Keywords: Interface circuit, piezoresistive

1. INTRODUCTION

Advances in CMOS processing and micromachining technologies have allowed various types of microsensor to be integrated with signal processing circuitry in a single chip, e.g. in [1]. With submicron CMOS technology, there is a need for signal conditioning circuit that interfaces with on-chip transducer which can operate under a low power supply voltage.

The aim of this work is to design and realize a low-voltage interface circuit for an implantable blood pressure sensor, e.g. in [2]. The sensor is piezoresistive and its resistance is changed when there is a pressure variation. The resistance change is traditionally detected by using the Wheatstone bridge circuit, whose sensitivity depends on the excitation voltage or current. For high bridge sensitivity, large excitation voltage or current is needed, which may prevent low voltage and low power operation. Thus there is a need for the development of small and low cost sensor interface circuit. In order to facilitate communication with microcomputers it is desirable for the interface circuit to offer digital output. This makes the output signal noise immune and enables the sensor to be connected directly to a microcomputer without using an A/D converter [3],[4],[5].

In this paper describes a low-voltage low-power interface circuit for piezoresistive transducer using current-sensing topology with digital bitstream output is proposed. Section 2 describes the current-sensing configuration for resistive readout. Circuit implementation and simulation results are described in sections 3 and 4, respectively. Finally, conclusion is given in section 5.

2. CURRENT SENSING CONFIGURATION

The voltage and current-driven Wheatstone bridges, are not suitable for low-voltage operation [6]. This can be alleviated by using by using a current-sensing topology, as shown in Fig. 1. The current-sensing configuration uses two resistors that are connected between the excitation voltage (V_{EX}) and a fixed common-mode input voltage (V_{CM}) of a current buffer. When the resistance value is changed as a result of pressure variation, an input current is generated and buffered by the input current buffer. In this work, V_{EX} is equal to V_{DD} and V_{CM} is chosen to be close to V_{DD} to minimize the DC current flowing through the resistors.

There may be one or two piezoresistors in the current-sensing topology, as shown in Fig. 1(a) and Fig. 1(b) respectively. Both resistors should have equal nominal resistance under no pressure variation, yielding zero input current signal ($\Delta I = 0$). Under a pressure variation, the input current variation and the linearity error of both current-sensing configurations can be written as shown in Table 1. As mentioned above, linearity error can be compensated easily; therefore the single-element varying arrangement is preferred here because the fixed resistor can be used to compensate for temperature dependence of the piezoresistor.

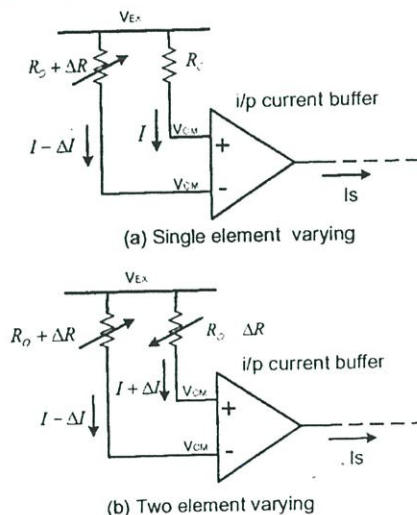


Fig.1: Current-Sensing resistive readout configuration

Table 1: Summary of the resistive readout input configurations

Config	Output Current	Linearity error (%/%)
Fig. 1(a)	$\Delta I = \frac{(V_{EX} - V_{CM})}{R_o} \cdot \frac{(\Delta R/R_o)}{(1 + \Delta R/R_o)}$ $\approx \frac{(V_{EX} - V_{CM})}{R_o} \cdot (\Delta R/R_o)$	1
Fig. 1(b)	$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o} \cdot \frac{(\Delta R/R_o)}{[1 - (\Delta R/R_o)^2]}$ $\approx \frac{2(V_{EX} - V_{CM})}{R_o} \cdot (\Delta R/R_o)$	0.01

3. CIRCUIT IMPLEMENTATION

In this paper, the single element varying structure is used and the output current of current buffer circuit is applied to a sigma-delta modulator as shown in Fig. 2. The sigma-delta modulator is a synchronized charge-balancing converter suitable for use with smart sensors because of its simple structure. The operation of circuit can be described as follows. We assume now that the comparator is in positive saturation. Thus switch S_w is open and current I_s charges the capacitor C. The capacitor voltage V_C increases until it reaches the reference voltage V_r . At this moment the comparator will go to the negative saturation state. Then at the command of clock the flip-flop takes over the state of comparator. At the same time the output of flip-flop becomes low and I_r will be switched on. The current $(I_r - I_s)$, where $I_r > I_s$, discharges the capacitor C and V_C decreases until it is less than reference voltage V_r , then the comparator falls back into its initial state. At the next positive edge of the clock the flip-flop will switch-off I_r and the capacitor C will be charged again by the current I_s .

From this operation principle can be seen that the number of the output pulses N, which is the number of the discharge pulses, is a measure of the input signal. So the number N of output pulses during the fixed time interval T_{int} is proportional to current I_s , give by

$$\frac{I_s}{I_r} = \frac{NT_{CLK}}{T_{int}} \tag{1}$$

It is obvious from eq. (1) that the number of discharge pulse relative to the total number of clock pulses is exactly a digital representation of the pressure. The pulse output may be counted during a pre-set time interval T_{int} using internal or external counters.

The input current buffer can be implemented in Fig. 3, and its operation can be explained as follows. Low input resistance of the input current buffer is ensured by the flipped voltage follower circuit [7]. This fixes the input

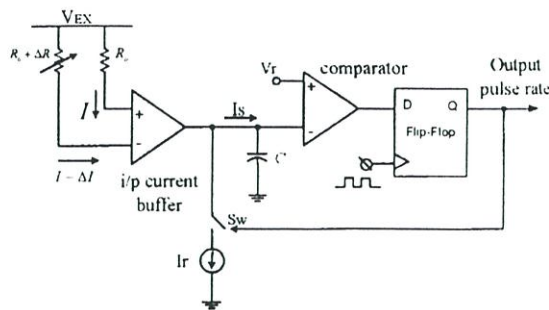


Fig. 2: Proposed interface circuit

common-mode voltage of the input current buffer, rendering a constant voltage dropped across the resistors.

Under a pressure variation, the resistance value of piezoresistor is changed and an input current (ΔI) flows into M_4 , which is also mirrored to M_6 . On the other hand, compensation resistor (R_o) is fixed and does not vary with pressure, thus a constant common-mode current flows through M_3 and M_5 . The accuracy of current mirroring is vital to the linearity and common-mode rejection ratio (CMRR) of the current buffer. This is achieved by using auxiliary amplifiers, A_1 and A_2 to match the drain-source voltages of M_3 , M_5 , and M_4 , M_6 . All auxiliary amplifiers are identical and are realized by using the conventional two-stage operational amplifier. Transistors M_9 - M_{12} realizes cascode current mirrors that are used to eliminate DC common-mode current from the desired signal, and the current mirror (M_{21} - M_{24}) are used fix the common-mode voltage at the output of the current buffer and transmit the output current (ΔI) to the sigma-delta modulator.

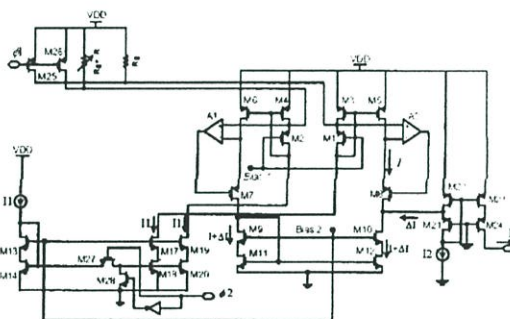


Fig. 3: Input current buffer

In Fig. 4 shows the detailed schematic of the first-order sigma-delta modulator circuit. The current DAC converter is realized with a current mirror and two MOSFET switches transistors that enable or disable the current mirror. The current integrator is implemented with a capacitor, whose value is set to prevent nonlinear clipping at desirable maximum input signal amplitude. The comparator, which compares the integrator voltage and a reference voltage and produces the one bit digital

bitstr
comp
comp
ampl
fed b
whic
aver

$\phi 1$
circu
6. Be
the tv

the t
(M_2 -
 M_3 ,
buffe
to co

const
low
and
piezo
resist
on b
switch
to th
 $\phi 3$
disat

V1
I3
M29
M30

4. S

target
sens
pic
 $\pm 1\%$
pre

5. CONCLUSION

A new CMOS interface circuit for piezoresistive transducer has been described. The proposed circuit employs a current-sensing structure for resistive readout, which enables low power and low voltage operation. The processor performs an A/D conversion with a first order sigma-delta converter which provides output pulse rate is proportional to the current input by resistance variation of piezoresistive transducer with small non-linearity error. Preliminary simulation results suggest that the proposed interface circuit is suitable for implantable sensor applications.

6. REFERENCES

- [1] C. Lu, M. Lemkin, and B. E. Boser. "A monolithic surface micromachined accelerometer with digital output." *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1367-1373, Dec. 1995.
- [2] Q. Huang and C. Melnoft. "A 0.5-mW passive telemetry IC for biomedical applications." *IEEE J. Solid-State Circuits*, vol. 33, no. 7, July 1998, pp. 937 - 946.
- [3] L. G. Fasoli, F. R. Riedijk and J. H. Huising. "A general circuit for resistive bridge sensors with bitstream output." *IEEE Trans. Instrum. Meas.*, vol. 46, no. 4, pp. 954-960, 1997.
- [4] F. M. L. Van der Goes and M. G. C. Meijer. "A simple accurate bridge-transducer interface with continuous autocalibration" *IEEE Trans. Instrum. Meas.*, vol. 46, no.3, pp. 704-710, 1997.
- [5] S. Vlassis, S. Siskos and T. Laopoulos. "A piezoresistive pressure Sensor Interfacing Circuit" *IEEE instrumentation and Measurement Technology Conference*, vol. 1, pp. 303-308, 1999.
- [6] S. Sangtong and A. Thanachayanont. "Low-voltage CMOS instrumentation amplifier for piezoresistive transducer" *IEEE TENC'ON 2005 annual conference*.
- [7] M. Laguna, C. Dela Cruz-Blas, A. Torralba, and R.G. Lopez-Martin, A. Carlosena. "A novel low-voltage low-power class-AB linear transconductor" *IEEE International symposium on Circuits and system, ISCAS '2004*, vol. 1, pp. 725-728.
- [8] G. M. Yin, F. Op't Eynde and W. Sansen. "A high-speed CMOS comparator with 8-b resolution," *IEEE J. Solid-State Circuits*, vol. 27, pp. 208-211, Feb. 1992.

Table 2: Performance summary of the proposed interface circuit

Parameters	Value
Supply voltage	1.5 V
Maximum Linearity error ($\pm 1\%$ change in $R_{(i)}$)	0.23%
Power dissipation (Active Mode)	298 μ W
Power dissipation (Idle Mode)	63.8 μ W

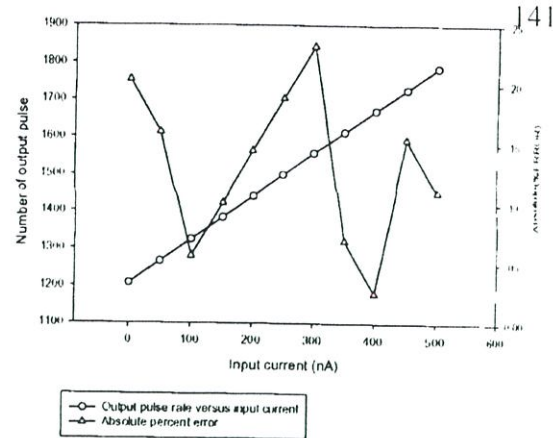


Fig. 7: Number of output pulse versus input current

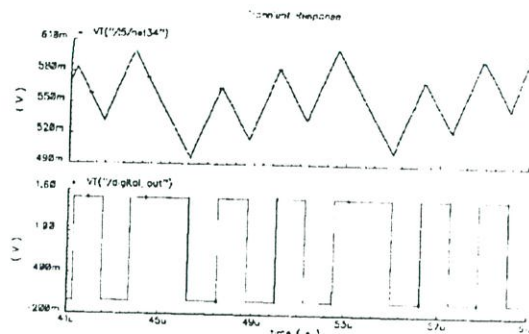


Fig. 8: Integrator output and output pulse

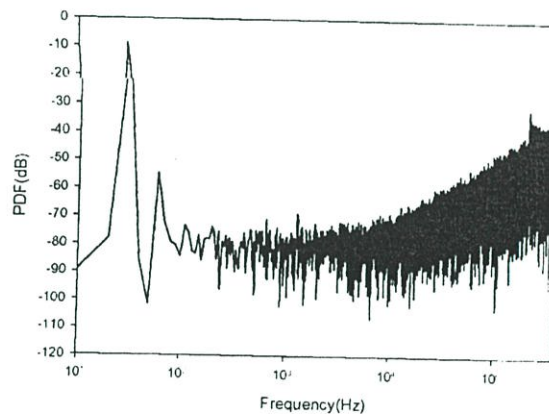
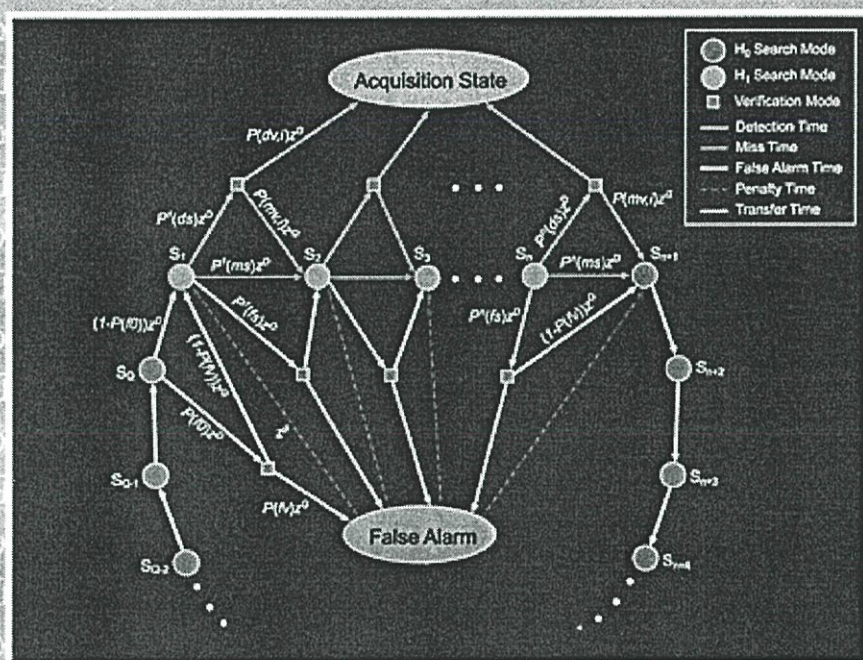


Fig. 9: Power spectral density of 30 Hz sinusoidal input

ETRI Journal

Information, Telecommunications & Electronics

ETRI Journal ETRI Journal ETRI Journal ETRI Journal
 Journal ETRI Journal ETRI Journal ETRI Journal
 ETRI Journal ETRI Journal ETRI Journal ETRI Journal
 VOLUME 29 · NUMBER 1 · FEBRUARY 2007 · ISSN 1225-6463



ETRI Journal ETRI Journal ETRI Journal ETRI Journal
 Journal ETRI Jour **ETRI** Electronics and
 Telecommunications Research Institute
 ETRI Journal ETRI Journal ETRI Journal ETRI Journal

Low-Voltage Current-Sensing CMOS Interface Circuit for Piezo-Resistive Pressure Sensor

Apinunt Thanachayanont and Suttisak Sangtong

A new low-voltage CMOS interface circuit with digital output for piezo-resistive transducer is proposed. An input current sensing configuration is used to detect change in piezo-resistance due to applied pressure and to allow low-voltage circuit operation. A simple 1-bit first-order delta-sigma modulator is used to produce an output digital bitstream. The proposed interface circuit is realized in a 0.35 μm CMOS technology and draws less than 200 μA from a single 1.5 V power supply voltage. Simulation results show that the circuit can achieve an equivalent output resolution of 9.67 bits with less than 0.23% non-linearity error.

Keywords: CMOS amplifier, current amplifier, resistive readout, interface circuit current sensing, Wheatstone bridge, piezo-resistive sensor.

I. Introduction

Recent advances in CMOS processing and micromachining technologies have allowed various types of microsensor to be integrated with signal processing circuitry in a single chip [1]-[3]. The so-called "smart sensor" is increasingly employed in many applications. A smart sensor basically integrates an on-chip sensor, a front-end readout amplifier, an analog-to-digital converter, and a digital microcontroller in a single chip. With the continuing downsizing of submicron CMOS technology and reduction of power supply voltage, a single-chip smart sensor would require all circuitry to operate under low power supply voltage. Therefore, there is a need for a low-voltage interface circuit, which serves as a bridge between the on-chip sensor and the backend digital processor.

The aim of this work is to realize a low-voltage interface circuit for a CMOS piezo-resistive pressure sensor. The sensor resistance is changed when a pressure variation is applied. The resistance change is traditionally measured by using the Wheatstone bridge circuit, the sensitivity of which depends on the excitation voltage or current. For high bridge sensitivity, high excitation voltage or current is needed, which prevents low-voltage and low-power operation.

In this paper, a new low-power low-voltage interface circuit with digital output is proposed. A current-sensing topology is used to detect the sensor resistance variation and allows low-voltage circuit implementation. The paper is organized as follows. In section II, the circuit configurations for resistive readout, including the traditional Wheatstone bridge, the current-mode Wheatstone bridge, and the proposed low-voltage current-sensing configuration, are described. Sections III and IV describe the architecture and the implementation of the proposed interface circuit, respectively. Simulation results

Manuscript received Feb. 27, 2006; revised Jan. 10, 2007.

Apinunt Thanachayanont (phone: + 662 737 3000 ext. 3309, 3375, email: ktapinun@kmitd.ac.th) and Suttisak Sangtong (email: tannummail@yahoo.com) are with Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand.

and conclusions are given in sections V and VI, respectively.

II. Input Configurations for Resistive Readout

1. Voltage-Sensing Configurations

A. Voltage-Driven Wheatstone Bridge

Traditionally, the voltage-driven Wheatstone bridge configuration is used for the precise measurement of small resistance changes. It is comprised of four resistors connected in a quadrilateral form and an excitation voltage connected across one diagonal of the bridge. The output voltage of the bridge is measured differentially between the voltage divider outputs connected across the other diagonal. The deviation of one or more resistors in the bridge from a nominal value is measured as an indication of change in the measured physical variable, and the output voltage across the bridge indicates the resistance change.

The bridge can have one, two, or four piezo-resistors, whose values are deviated with the applied physical variable, as shown in Fig. 1. Typically, in sensor applications, the nominal values of four resistors are chosen to be equal. The differential output voltage and the end-point linearity error of the bridges in Fig. 1 are summarized in Table 1, where V_{EX} is the excitation voltage to the bridge. The linearity error is calculated as the maximum error in percentage full scale from a straight line that connects the origin and the end point at full scale. Table 1

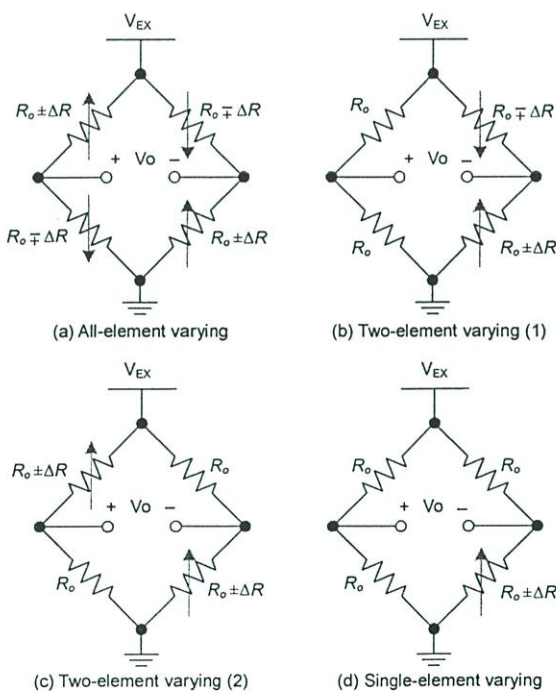


Fig. 1. Voltage-driven Wheatstone bridge configurations.

Table 1. Summary of input configurations for resistive readout.

Input configuration	Output voltage or current	Linearity error (%/%)
Fig. 1(a)	$V_o = V_{EX} \left(\frac{\Delta R}{R_o} \right)$	0
Fig. 1(b)	$V_o = \frac{V_{EX}}{2} \left(\frac{\Delta R}{R_o} \right)$	0
Fig. 1(c)	$V_o = \left(\frac{\Delta R}{2R_o + \Delta R} \right) V_{EX} \approx \frac{1}{2} \left(\frac{\Delta R}{R_o} \right) V_{EX}$	0.5
Fig. 1(d)	$V_o = \frac{1}{2} \left(\frac{\Delta R}{2R_o + \Delta R} \right) V_{EX} \approx \frac{1}{4} \left(\frac{\Delta R}{R_o} \right) V_{EX}$	0.5
Fig. 2(a)	$V_o = (\Delta R) I_{EX}$	0
Fig. 2(b)&(c)	$V_o = \left(\frac{\Delta R}{2} \right) I_{EX}$	0
Fig. 2(d)	$V_o = \frac{R_o}{4} \left(\frac{\Delta R}{R_o + \frac{\Delta R}{4}} \right) I_{EX} \approx \frac{\Delta R}{4} I_{EX}$	0.25
Fig. 3(a)&(b)	$\Delta I = I_1 - I_2 = (\Delta R / R_o) I_{EX}$	0
Fig. 4(a)	$\Delta I = \frac{(V_{EX} - V_{CM})}{R_o} \cdot \frac{(\Delta R / R_o)}{(1 + \Delta R / R_o)}$ $\approx \frac{(V_{EX} - V_{CM})}{R_o} \cdot (\Delta R / R_o)$	1
Fig. 4(b)	$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o} \cdot \frac{(\Delta R / R_o)}{[1 - (\Delta R / R_o)^2]}$ $\approx \frac{2(V_{EX} - V_{CM})}{R_o} \cdot (\Delta R / R_o)$	0.01

shows that inherent linearity between the piezo-resistance variation and the output voltage variation can be obtained with the all-element and two-element varying configurations in Fig. 1(a) and Fig. 1(b), respectively. However, linearity error is not critical because it can easily be compensated by using software in digital systems [4]. More importantly, to reduce offset and increase the sensitivity of the sensor, the bridge should have accurate resistance matching among piezo-resistors and equal absolute resistance variation with pressure. These requirements are difficult to achieve in the all-element and two-element varying bridges, not to mention the drawbacks in terms of larger area and cost. The previously mentioned difficulty can be alleviated by using a single piezo-resistor as shown in Fig. 1(d).

One drawback of voltage-driven Wheatstone bridges is that the bridge sensitivity ($S = V_o / (\Delta R / R_o)$) is proportional to V_{EX} and inversely proportional to the baseline resistance of the piezo-resistors. Therefore, to obtain high sensitivity, large V_{EX} and small piezo-resistance are preferred, which prevent low-voltage operation and lead to considerable power consumption of the bridge.

B. Current-Driven Wheatstone Bridge

The Wheatstone bridges can also be driven by a constant current source, as shown in Fig. 2. All current-driven bridges are inherently linear, except for the single-element varying configuration in Fig. 2(d). The sensitivity of current-driven bridges is proportional to the excitation current, I_{EX} . Therefore, a large I_{EX} is required to obtain high sensitivity, which increases the power consumption of the bridge.

2. Current-Sensing Configurations

A. AZKA Cell: A Current-Mode Wheatstone Bridge

As an alternative to the traditional voltage-mode Wheatstone bridge, a current-mode Wheatstone bridge has been proposed based on the circuit duality concept [6]. A current-mode dual network for the all-element varying Wheatstone bridge is shown in Fig. 3(a). It is straightforward to show that the current difference, $\Delta I = I_1 - I_2$, is linearly proportional to the change in resistance, ΔR , as shown in Table 1. Due to the circuit duality, the current-mode Wheatstone bridge inherits all characteristics and behavior of its voltage-mode counterpart in the current domain, such as sensitivity, linearity, stability, and so on. The input sensitivity is proportional to the constant excitation current value, I_{EX} . Unfortunately, it is not easy to measure ΔI

practically; thus, the circuit in Fig. 3(a) is seldom used.

A practical current-mode Wheatstone bridge, shown in Fig. 3(b), has been proposed in [6] and is called the AZKA cell. The circuit uses two resistor elements driven by a constant excitation current. One end of both resistors is tied together, while the other end is forced to be equipotential, that is, $V_1 = V_2$, by a differential current or transimpedance instrumentation amplifier, which can be implemented by a number of

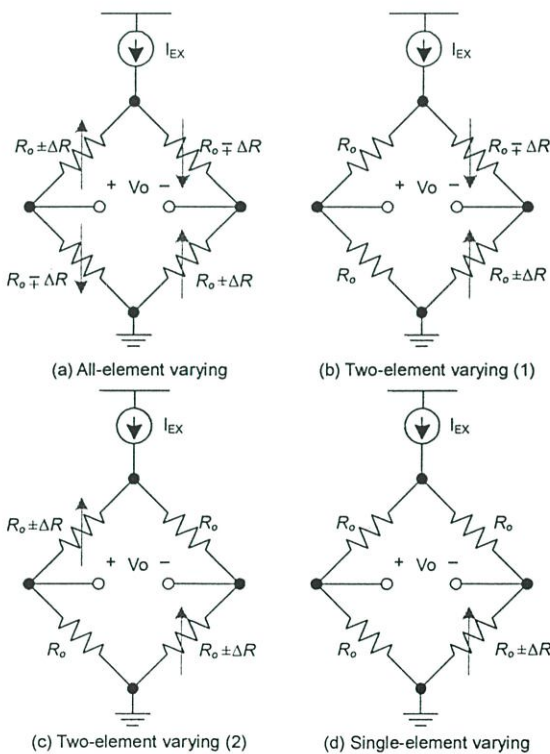
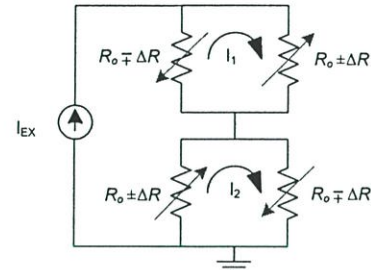
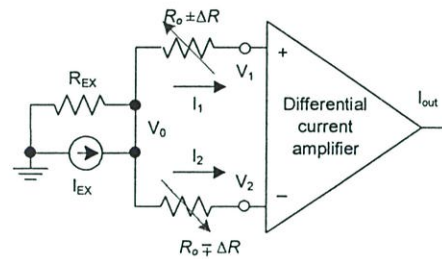


Fig. 2. Current-driven Wheatstone bridge configurations.

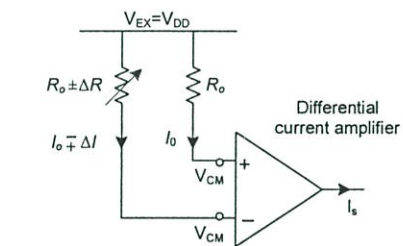


(a) Dual network of the Wheatstone bridge

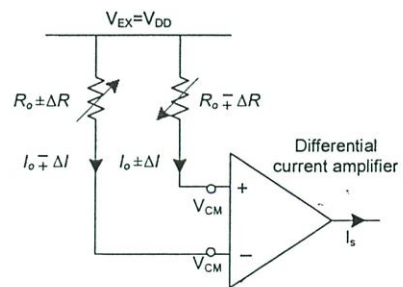


(b) AZKA cell: a practical current-mode Wheatstone bridge

Fig. 3. Current-mode Wheatstone bridge configurations.



(a) Single-element varying



(b) Two-element varying

Fig. 4. Proposed low-voltage current-sensing configuration.

circuit arrangements with operational amplifiers, second-generation current conveyors (CCII), or operational floating current conveyors (OFCC) [6], [7]. It can be shown that the circuit in Fig. 3(b) exhibits the same properties and behavior as those of Fig. 3(a), while using only two resistors.

B. Proposed Low-Voltage Current Sensing Configuration

This paper proposes a new current-sensing arrangement suitable for low-voltage integrated circuit implementations.

The proposed configuration, shown in Fig. 4, uses two resistors connected between an excitation voltage, V_{EX} and a fixed input common-mode voltage, V_{CM} of a current buffer. Since the voltages across both resistors are fixed, change in resistance due to applied pressure generates an input current to flow into the current buffer. In this work, V_{EX} is equal to V_{DD} and V_{CM} and is designed to be near V_{DD} to minimize the DC current flowing through both resistors. Figures 4(a) and 4(b) show the proposed configurations with one and two piezo-resistors, respectively. Both resistors have the same baseline resistance, R_0 under no pressure variation. Under a pressure variation, the input current signal and the linearity error of both current-sensing configurations can be summarized as shown in Table 1. The two-element varying configuration has a much lower linearity error. However, as previously mentioned, linearity error can be compensated easily by using backend digital systems; therefore, the single-element varying arrangement is chosen in this work to save cost and area, and to mitigate the resistance matching requirement. In addition, the fixed resistor can be used to compensate for temperature dependence of the piezo-resistor [5].

3. Comparison of Input Configurations

This section compares the input configurations described above. In voltage-sensing configurations, both voltage- and current-driven Wheatstone bridges, the DC common-mode voltage of the following input amplifier is about one half of the power supply voltage (assuming that $V_{EX} = V_{DD}$) due to the voltage divider effect. Under low power supply voltage ($V_{DD} < 2V$), where the transistor's threshold voltage is a significant portion of V_{DD} , it is not easy to realize a high CMRR amplifier with an input common-mode voltage in the middle of V_{DD} . This may be alleviated by using the current-sensing arrangements shown in Figs. 3 and 4.

Compared with the traditional voltage-mode Wheatstone bridge, the AZKA cell offers a number of advantages, including reduction of resistive sensing elements, summation of sensors' effects (namely, superposition ability), and simple linearization technique [6].

However, the input common-mode voltage of the AZKA cell

is determined by the values of I_{EX} and the sensor's baseline resistance, R_0 . For high input sensitivity, a large I_{EX} is desired; this may prohibit the use of the AZKA cell for low-voltage operation due to the voltage headroom required by I_{EX} . Furthermore, the voltage at the input coupled node V_0 is varied with the resistance variation, ΔR , as described in (1). Due to finite output resistance, R_{EX} , I_{EX} will fluctuate with input pressure variation; this produces an input-dependent and time-varying non-linearity error, which is not easy to compensate. Providing that $R_{EX} \gg R_0$ and $\Delta R \ll R_0$, this consequence may be insignificant in many circumstances; however, it may not be ignored in low-voltage operation when there is not adequate voltage headroom for I_{EX} and the use of cascode structure is prohibited, rendering R_{EX} not much larger than R_0 .

$$V_0 = V_1 + \frac{I_{EX}}{2} \left(R_0 - \frac{\Delta R^2}{R_0} \right) \quad (1)$$

The input sensitivity of the proposed current-sensing configuration in Fig. 4 is proportional to $(V_{EX} - V_{CM})/R_0$, which is the current through R_0 . This is similar to the AZKA cell whose sensitivity is proportional to I_{EX} . However, the advantage of the circuit in Fig. 4 is that there is no headroom voltage associated with I_{EX} , making it more suitable for low-voltage operation under the same required input sensitivity.

Input-dependent and time-varying non-linearity may also occur in the circuit in Fig. 4, providing R_0 is not much greater than the Thevenin resistance of the excitation voltage or the supply voltage. Nevertheless, in many circumstances, a low-impedance and well-regulated supply voltage is usually and easily provided. Therefore, under low-voltage operation, the current-sensing arrangement in Fig. 4 is likely to provide superior performance.

III. Architecture of the Proposed Interface Circuit

Using the low-voltage single-element varying current-sensing configuration in Fig. 4(a), Fig. 5 shows the simplified circuit diagram of the proposed interface circuit, which consists of an input current buffer and a 1-bit delta-sigma analog-to-digital converter. The piezo-resistor ($R_P = R_0 + \Delta R$, assuming that R_P increases with pressure variation) and the reference resistor, R_0 , are connected between the power supply voltage and the input of the current buffer. The input common-mode voltage, V_{CM} , of the current buffer is kept constant due to the negative feedback within the circuit. Thus the voltages across the resistors are constant, and when pressure is applied, it creates a current flow into the current buffer. The current buffer measures the input current differentially and delivers a single-ended output current, I_s , to charge a capacitor, which functions

as an integrator of the following delta-sigma converter. The digital output pulse rate will be proportional to the applied pressure variation. The delta-sigma converter is a synchronized charge-balancing converter suitable for an embedded smart sensor due to its simplicity.

The operation of the circuit can be described as follows. When no pressure is applied, I_S is zero and the capacitor will not be charged or discharged; thus, there is no digital output pulse. Assume that the output of the comparator is low, the switch SW will be open and the current I_S charges the capacitor. The voltage across the capacitor increases until it reaches the reference voltage, V_r . At this instance, the output of the comparator goes to the negative saturation state and the output of the flip-flop goes LOW at the next rising edge of the clock. Then, the switch SW is turned on, thus allowing the capacitor to be discharged with the current $I_r - I_S$, where I_r is a constant reference current. The capacitor voltage is discharged until it is less than V_r , at which the output of the comparator goes back to the positive saturation state. Then, at the next rising of the clock, the output of the flip-flop goes HIGH and turns off SW and I_r ; thus, the capacitor is charged again with I_S .

It can be deduced that the number of digital output pulses (N) over a fixed measuring time interval (T_{int}) is proportional to the value of I_S as described in (2), where T_{CLK} is the digital sampling clock period. The output pulses during T_{int} are counted by a digital counter, which acts as a first-order digital decimation filter, and the total number of pulses is the digital representation of the applied pressure.

$$\frac{I_s}{I_r} = \frac{NT_{CLK}}{T_{int}} \quad (2)$$

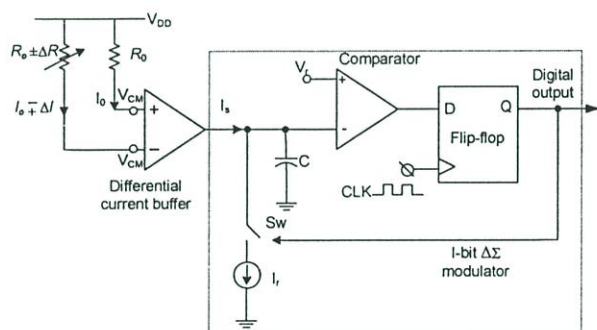


Fig. 5. Proposed low-voltage current-sensing interface circuit.

IV. Proposed Circuit Implementation

1. Differential Input Current Buffer

Figure 6 shows the circuit implementation of the differential input current buffer, which can be described as follows. The

input section of the current buffer is realized by M_1 - M_4 and DC biased current sources (M_{13} - M_{20}). This kind of circuit has been called the “flipped voltage follower” [8]. The circuit uses negative feedback to achieve small input resistance and to fix the input common-mode voltage, V_{CM} , as given by (2), where $\mu_0 C_{ox}$ is the MOSFET’s transconductance parameter and V_{G1} , I_1 , V_{TH} , and $(W/L)_1$ are the gate voltage, drain current, threshold voltage, and the aspect ratio of M_1 , respectively. Thus, the voltages dropped across both resistors are kept constant to $V_{DD} - V_{CM}$.

Under a pressure variation, the piezo-resistance is changed, creating an input current (ΔI) into M_4 , which is mirrored to M_6 . On the other hand, the reference resistor is fixed and does not vary with pressure; thus, a constant common-mode current flows through M_3 and M_5 . The common-mode current is subtracted from the input current signal at the output of the current buffer to produce an output current signal which is free of common-mode variation. The accuracy of current mirroring is vital to the linearity and common-mode rejection ratio (CMRR) of the current buffer. Therefore, two auxiliary amplifiers, A_1 and A_2 are used to match the drain-source voltages of M_3 , M_5 , and M_4 , M_6 , in order to improve the accuracy of current mirrors. The two amplifiers are identical and are realized by using the conventional two-stage operational amplifier. Transistors M_7 - M_{12} realize a cascode current mirror used to eliminate the common-mode component of the input signal.

Note that, although the same circuit functions (that is, detection of resistance change and differential input current) may be obtained with a simpler current differencing circuit [9], which is essentially one of the two identical input sections shown in the dotted box in Fig. 6 with two DC bias current sources, and without the NMOS current mirror, M_7 - M_{12} . In this work, we opted for two identical input sections because they provide identical and symmetrical low-input impedance to both inputs, which minimizes input offsets and signal-dependent voltage variations to enhance accuracy and linearity at the expense of increased power dissipation and area.

$$V_{CM} = V_{G1} + \sqrt{\frac{2I_1}{\mu_0 C_{ox} (W/L)_1}} + V_{TH} \quad (3)$$

For DC stability of the following delta-sigma modulator, a DC current, I_2 , is added to the output current signal (ΔI) by a current mirror, M_{21} - M_{24} , yielding the final output current, $I_S = I_2 + \Delta I$. Transistors M_{21} and M_{22} also realize a flipped voltage follower to fix the output common-mode voltage of the current buffer for best matching and accuracy of the current mirror.

Since the bandwidth of the pressure signal is in the order of a few tens of hertz, the pressure readout can be sampled with a sufficient sampling rate without any loss of information.

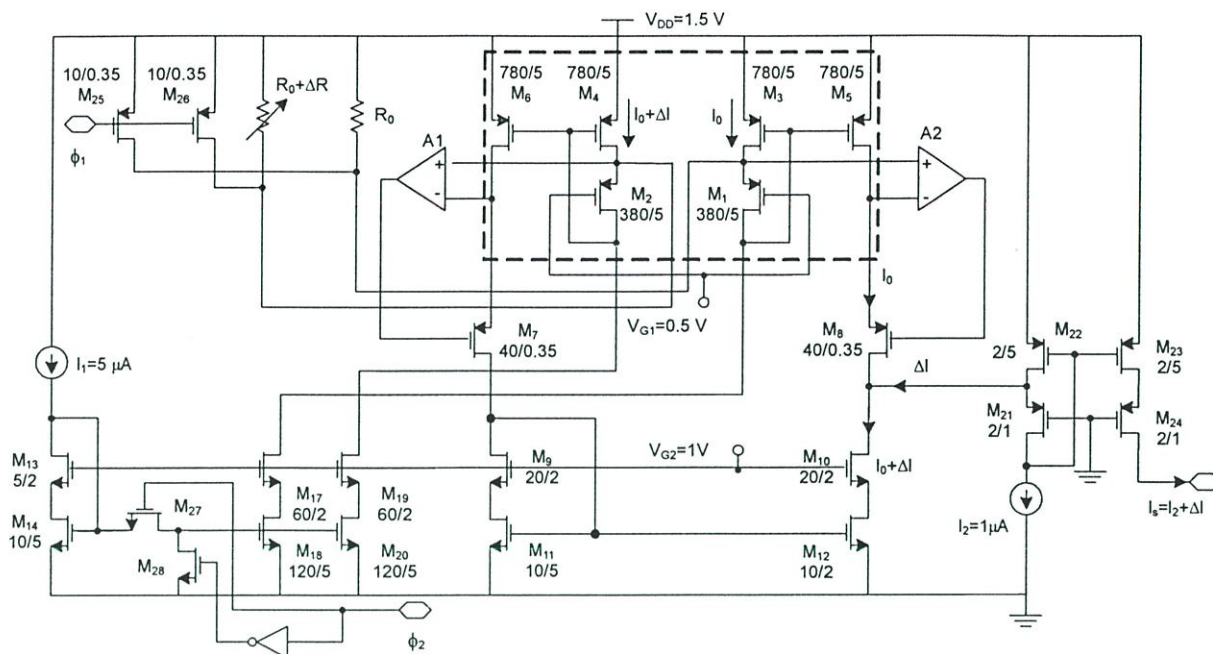


Fig. 6. Differential input current buffer.

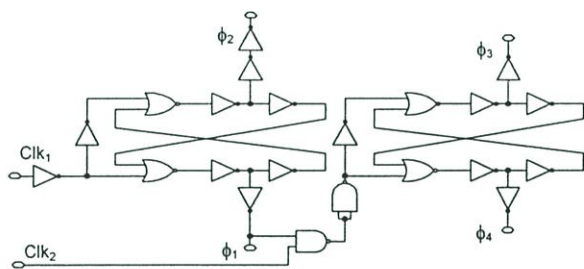


Fig. 7. Clock generator circuit.

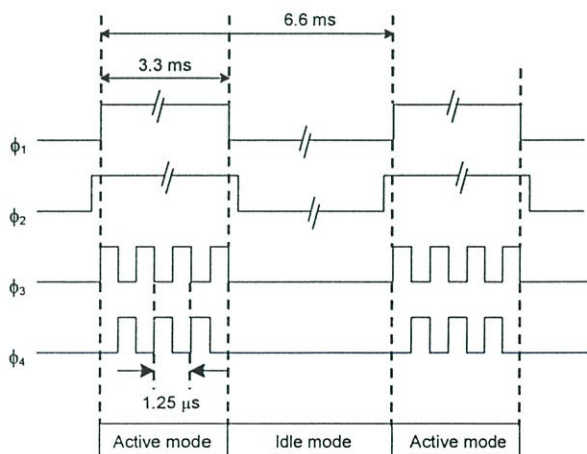


Fig. 8. Timing diagram of clock signals.

Therefore, the circuit operation is controlled by two non-overlapping clock signals, ϕ_1 and ϕ_2 , rendering two modes of operation: active and idle modes. In idle mode, ϕ_1 and ϕ_2 are LOW, M_{25} and M_{26} are turned on shorting both resistors, and the input bias current I_1 is turned off to save power and disable the circuit. In active mode, ϕ_1 and ϕ_2 are HIGH, M_{25} and M_{26} are turned off, and I_1 is turned on allowing the circuit to operate and measure the input resistance variation. This scheme allows power saving during the idle interval, which is useful for implantable and battery-operated applications. The clock signals ϕ_1 and ϕ_2 are generated by the circuit in Fig. 7, and its timing diagram is depicted in Fig. 8. In this work, the active sampling clock rate (clk1) and the active time interval (clk2) are chosen as 800 kHz and 3.3 ms, respectively.

2. First-Order Delta-Sigma Modulator

The output current I_s of the current buffer is converted to a digital bitstream by a first order 1-bit delta-sigma modulator as shown in Fig. 9. The circuit consists of an integrating capacitor, C ; a reference current source, I_r ; and a flip-flop and a dynamic comparator, M_{41} - M_{50} . The capacitor C performs the integration of I_s , yielding the capacitor voltage, V_C . The value of C is chosen so that non-linear clipping does not occur at the desirable maximum input signal amplitude. The dynamic comparator compares V_C with the reference voltage, V_r , and produces the 1-bit output digital bitstream. The comparator

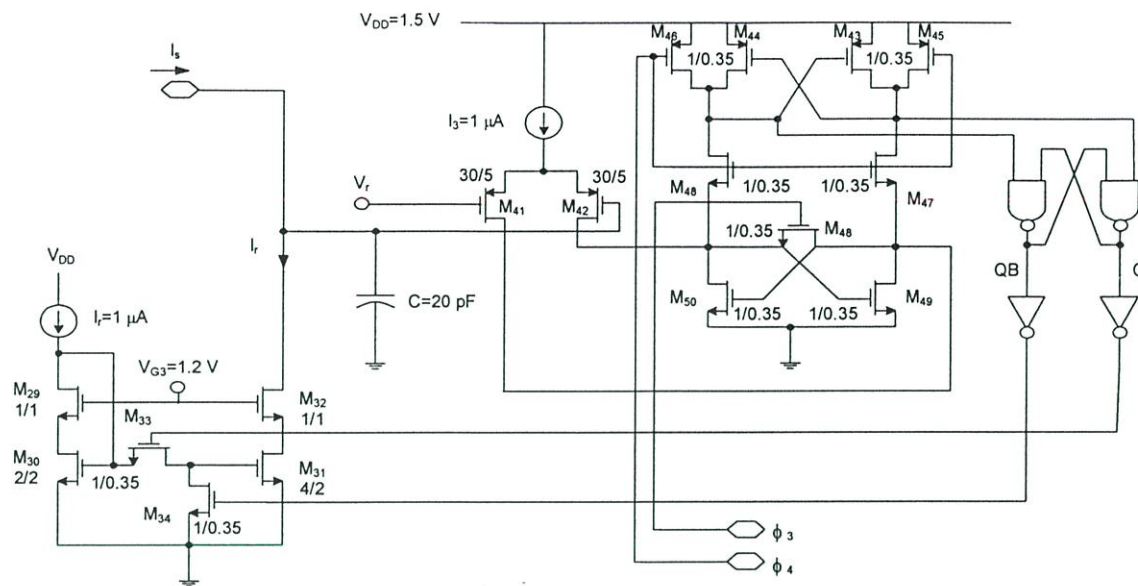


Fig. 9. Circuit diagram of the 1-bit delta-sigma modulator.

[10] consists of a positive feedback differential amplifier and a data latch. Finally, transistors M_{33} and M_{34} switch the current I_r on and off according to the output digital bitstream; thus, performing 1-bit digital-to-analog conversion.

V. Simulation Results

In this work, the proposed interface circuit is targeted for an implantable pressure sensor as in [3], with a sensitivity of $5 \mu\text{V}/\text{V}/\text{mmHg}$. The nominal resistance of piezo-resistance (R_0) is $2.5 \text{ k}\Omega$. The maximum change of $\pm 1\%$ from the nominal value is expected from a typical blood pressure range (-500 to $+500 \text{ mmHg}$). The circuit was designed to operate with a single 1.5 V power supply, and was simulated using SpectreTM with process parameters from a $0.35 \mu\text{m}$ CMOS technology. The value of V_{CM} of the input current buffer was set to 1.4 V to minimize the quiescent current flowing through R_0 . The value of C was chosen to be 20 pF . Each transistor in the input current buffer was biased to have its drain-source voltage around 0.4 V , except for M_3 - M_6 which have 0.1 V .

Main circuit and bias parameters are displayed in Figs. 6 and 7. Bias currents and voltages were provided by on-chip bandgap voltage reference and a regulated cascode current generator with a precision external resistor. In the idle mode, all circuits are powered down, except the bandgap reference, which remains active in order to allow fast recovery return to the active mode.

Figure 10 shows the digital output pulse rate versus the input current and its linear regression. The maximum absolute error,

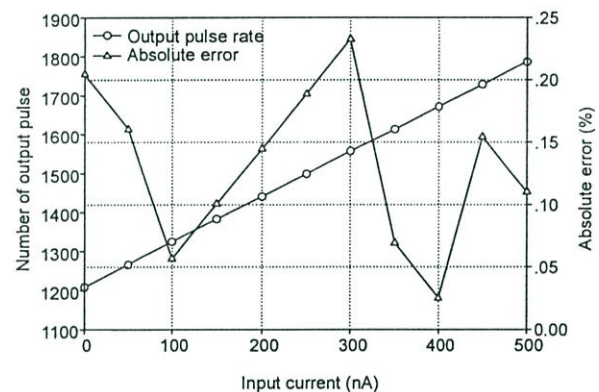
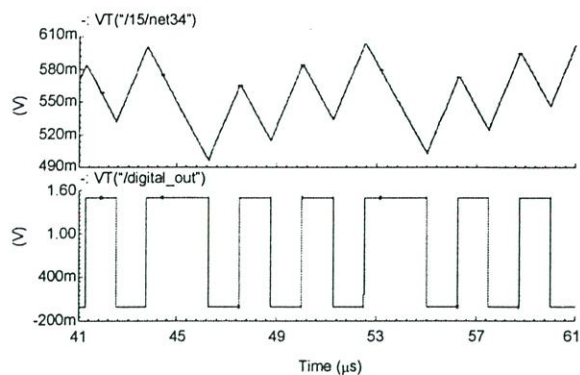


Fig. 10. Number of digital output pulses versus input current.

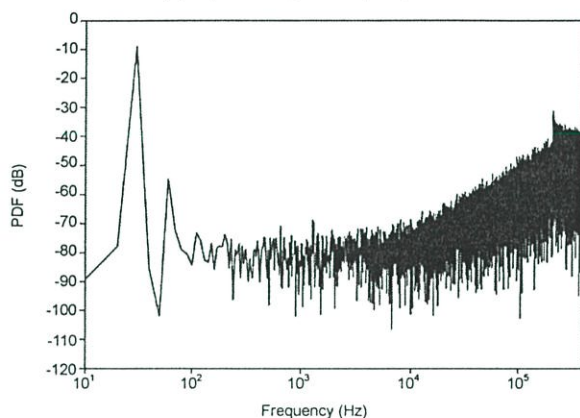
calculated by the best-fit line method, is less than 0.23% for an input current range of 500 nA , which corresponds to 1% resistance variation of R_0 .

Figure 11(a) shows the waveforms of the capacitor voltage and the digital output bitstream, when a 30 Hz 500 nA sinusoidal current is applied to the input. The capacitor voltage does not saturate at the maximum input current amplitude, as desired. Figure 11(b) shows the power spectral density of the output digital data, and the noise-shaping characteristic of the delta-sigma converter is clearly displayed. The in-band noise floor is more than 60 dB below the signal, which is equivalent to an effective number of bits of 9.67 . The input-referred noise current, integrated over 30 Hz bandwidth, is equal to 288 nA .

Figure 12 shows the layout of the overall interface circuit,



(a) Capacitor voltage and output digital bitstream



(b) Output power spectral density with a 30 Hz sinusoidal input current signal

Fig. 11. Output waveforms and power spectral density.

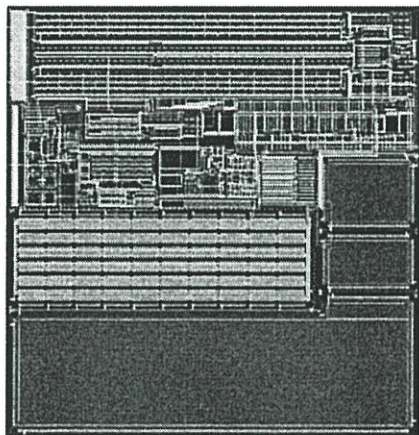


Fig. 12. Layout of the proposed interface circuit.

which occupies 0.2 mm^2 of silicon area. Table 2 summarizes the simulated performance of the proposed circuit. Although the power dissipation of the proposed circuit is not the lowest, it is still on par with those of other sensor interface circuits intended for implantable applications, such as $250 \mu\text{W}$ in [3].

Table 2. Performance summary of the proposed interface circuit.

Parameters	Value
Supply voltage	1.5 V
Max. linearity error ($\pm 1\%$ change in R_p)	0.23%
Effective resolution	9.67 bit
Conversion time	3.3 ms
Power dissipation	$270 \mu\text{W}$ (Active mode)
	$13.4 \mu\text{W}$ (Idle mode)

VI. Conclusion

A low-voltage CMOS interface for a piezo-resistive transducer has been described. The proposed circuit detects change in piezo-resistance by using a current-sensing configuration and employs a simple first-order delta-sigma modulator to convert the resulting input current to an output digital bitstream. Simulation results show that the circuit can achieve a 60 dB signal-to-noise ratio with less than 0.25% non-linearity error, while operating with a single 1.5 V power supply. The proposed circuit is suitable for a single-chip CMOS smart sensor.

References

- [1] X. Li and G.C.M. Meijer, "A Novel Smart Resistive-Capacitive Position Sensor," *IEEE Trans. Instrum. Meas.*, vol. 44, June 1995, pp. 768-770.
- [2] C. Lu, M. Lemkin, and B.E. Boser, "A Monolithic Surface Micromachined Accelerometer with Digital Output," *IEEE J. Solid-State Circuits*, vol. 30, Dec. 1995, pp. 1367-1373.
- [3] Q. Huang and C. Melnoff, "A 0.5-mW Passive Telemetry IC for Biomedical Applications," *IEEE J. Solid-State Circuits*, vol. 33, no. 7, July 1998, pp. 937-946.
- [4] *Practical Design Techniques for Sensor Signal Conditioning*, Analog Devices, 1999.
- [5] S. Vlassis, S. Siskos, and T. Laopoulos, "A Piezo-Resistive Pressure Sensor Interfacing Circuit," *IEEE Instrumentation and Measurement Technology Conference*, vol. 1, 1999, pp. 303-308.
- [6] S.J. Azhari and H. Kaabi, "AZKA Cell, the Current-Mode Alternative of Wheatstone Bridge," *IEEE Trans. on Circuits Systems-I*, vol. 47, no. 9, Sep. 2000, pp. 1277-1284.
- [7] Y.H. Ghallab and W. Badawy, "A New Topology for a Current-Mode Wheatstone Bridge," *IEEE Trans. on Circuits Systems-II*, vol. 53, no. 1, Jan. 2006, pp. 18-12.
- [8] J. Ramirez-Angulo et al., "The Flipped Voltage Follower: A Useful Cell for Low-Voltage Low-Power Circuit Design," *Proc. of the IEEE Int'l Symp. on Circuits and Systems, ISCAS 2002*, vol. 1, pp. 725-728.

- [9] S. Pennisi, "High-Performance and Simple CMOS Interface Circuit for Differential Capacitive Sensors," *IEEE Trans. on Circuits Systems-II*, vol. 52, no. 6, June 2005, pp. 327-330.
- [10] G.M. Yin, F. Op't Eynde, and W. Sansen, "A High-Speed CMOS Comparator with 8-b Resolution," *IEEE J. Solid-State Circuits*, vol. 27, Feb. 1992, pp. 208-211.



Apinunt Thanachayanont is an Associate Professor at the Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL). He received the MEng degree (1st class honour) and the PhD degree in electrical and electronic engineering from Imperial College of Science, Technology and Medicine, U.K., in 1995 and 1999, respectively. Since July 1999, he has been with the Faculty of Engineering at KMITL. Since 2001, he has been the Leader of Microelectronics Devices R&D Laboratory of Research Center of Communications and Information Technology. His research interest is in the area of analogue, mixed-signal and RF integrated circuits and systems. His current research focuses on low-voltage, low-power, high-performance integrated circuits and systems for ubiquitous computing devices, portable wireless communications, RFID, embedded systems, ambient intelligence, and wireless telemetry applications.



Suttisak Sangtong received the BEng degree in telecommunication engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 2003. Since 2004, he has been working toward the MEng degree in microelectronics engineering at KMITL. He is a graduate research student of Microelectronics Device R&D Laboratory of Research Center of Communications and Information Technology at KMITL, where he has been involved with the design sensor interface circuits for biomedical applications.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายสุทธิศักดิ์ สังข์ทอง
วัน เดือน ปีเกิด	5 กุมภาพันธ์ 2525
ที่อยู่	125 ตำบล แพรกษา อำเภอ เมือง จังหวัด สมุทรปราการ
ประวัติการศึกษา	2546 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ความชำนาญเฉพาะด้าน	การออกแบบวงจรรวม
ประสบการณ์การทำงาน	-