

กรรมวิธีออกแบบวงจรดิจิทัลเพื่อให้ได้โครงสร้างที่มีกำลังงานสูญเสียต่ำ
และความเร็วสูง

LOWER POWER AND HIGH SPEED ARCHITECTURAL FOR
DIGITAL CIRCUIT METHODOLOGIES

สมพงษ์ วิเศษพานิชกิจ
SOMPONG WISETPHANICHKIJ

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของงานวิจัยที่สนับสนุนโดยสำนักงานคณะกรรมการ
การอุดมศึกษาและวิทยาศาสตร์
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2551

KMITL-2008-EV-D-018-406

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

กรรมวิธีออกแบบวงจรดิจิทัลเพื่อให้ได้โครงสร้างที่มีกำลังงานสูญเสียต่ำ
และความเร็วสูง

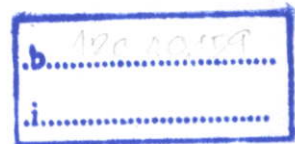
LOWER POWER AND HIGH SPEED ARCHITECTURAL FOR
DIGITAL CIRCUIT METHODOLOGIES



สมปอง วิเศษพานิชกิจ

SOMPONG WISETPHANICHKIJ

เลขหมู่.....
เลขทะเบียน..... 87063
วัน,เดือน,ปี..... 30 ส.ค. 2552



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2551

KMITL-2008-EN-D-018-406

**LOWER POWER AND HIGH SPEED ARCHITECTURAL FOR
DIGITAL CIRCUIT METHODOLOGIES**

SOMPONG WISETPHANICHKIJ

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2008

KMITL-2008-EN-D-018-406

COPYRIGHT 2008

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	กรรมวิธีออกแบบวงจรดิจิทัลเพื่อให้ได้โครงสร้างที่มีกำลังงานสูญเสียต่ำและความเร็วสูง
นักศึกษา	นายสมปอง วิเศษพานิชกิจ
รหัสประจำตัว	41060022
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2551
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ นำเสนอการออกแบบวงจร adiabatic แบบใหม่ ซึ่งถูกเรียกว่าวงจร Quasi-Static Efficient Charge Recovery Logic (QSECRL) เพื่อลดพลังงานสูญเสียให้น้อยที่สุด วิทยานิพนธ์นี้ได้เสนอวิธีการลดความต้านทางช่องทางเดินกระแสและกำจัดไดโอดออกจากเส้นทางเดินสัญญาณ โดยวิธีการออกแบบนี้สามารถใช้ในการสร้างวงจรลอจิกทั้งแบบคอมไบเนชัน ลอจิกและแบบซีเควนเชื่อมลอจิก วงจรที่มีความซับซ้อนแบบวงจรรีบและวงจรถูกเลือกเป็นวงจรในการประเมินประสิทธิภาพวิธีการออกแบบวงจรที่นำเสนอ การทดสอบด้วยการจำลองการทำงานในวิทยานิพนธ์นี้ใช้แบบจำลองทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.8 ไมครอน ภายใต้แหล่งจ่ายไฟเลี้ยงแบบสัญญาณไซน์ขนาด 2 โวลต์ (ยอดถึงยอด) ผลการทดสอบแสดงให้เห็นถึงประสิทธิภาพของวงจร CAL ขนาด 8 บิต ที่มีพลังงานสูญเสียต่ำเพียง 20-30 fJ และ 70 fJ ที่ความถี่ 10-100 MHz และ 500 MHz ตามลำดับ

Thesis Title	Lower Power and High Speed Architectural for Digital Circuit Methodologies
Student	Mr. Sompong Wisetphanichkij
Student ID.	41060022
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2008
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis proposes a new design of adiabatic circuit, called the Quasi-Static Efficient Charge Recovery Logic (QSECRL). To achieve the minimum energy consumption, this thesis proposes the technique to reduce channel resistance and remove diode from the signal path. This design method can be implemented in both combination logic and sequential logic. The counter circuit and the 8-bit carry look-ahead (CLA) circuit, more complex circuit, were selected to evaluate this proposed design. All simulations in this thesis used the 0.8 μ m MOSIS technology MOS transistor model under 2 volts (peak-to-peak) sinusoidal power supply. The results show significantly improved performance of 8-bit CLA circuit with 20-30 fJ and 70 fJ energy consumption at 10-100 MHz and 500 MHz operating frequency, respectively.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ ที่ให้ความช่วยเหลือ ให้คำชี้แนะช่วยแก้ปัญหาตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้ และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

สมปอง วิเศษพานิชกิจ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมุติฐานของการศึกษา.....	1
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	2
1.6 ขั้นตอนของการศึกษา.....	2
บทที่ 2 วงจร Adiabatic.....	4
2.1 วงจร Energy recovery logic.....	13
2.2 วงจร Partial Reversible Logic.....	16
2.3 วงจร ADL (Adiabatic Dynamic Logic).....	18
2.4 วงจร EEL (Energy Efficient Logic)	19
2.5 วงจร ADCPL (Adiabatic Differential Cascode voltage switch with Pass-transistor Logic)	21
2.6 วงจร CAL (Clocked CMOS Adiabatic Logic)	21
2.7 วงจร PAL-2N (Pass-transistor Adiabatic Logic with NMOS pull-down).....	22
2.8 วงจร APDL (Adiabatic Pseudo-Domino Logic)	23
2.9 วงจร T-APDL (Transmission gate-interfaced APDL)	23
2.10 วงจร ECRL (Efficient Charge Recovery Logic).....	24

สารบัญ (ต่อ)

	หน้า
บทที่ 3 วงจร QSECRL (Quasi-static efficient charge recovery logic)	25
3.1 การวิเคราะห์พลังงานสูญเสีย.....	32
3.1.1 พลังงานสูญเสียจากศักดาที่ตกคร่อมอุปกรณ์ควบคุมกระแส (ไดโอด).....	33
3.1.2 พลังงานสูญเสียจากศักดาขีดเริ่มสำหรับมอสทรานซิสเตอร์.....	35
3.1.3 พลังงานสูญเสียอันเนื่องมาจากความต้านทานของช่องทางเดินกระแสของ ทรานซิสเตอร์.....	35
3.2 ข้อพิจารณาการเปลี่ยนสถานะสัญญาณ (Switching Activities)	36
3.3 การวิเคราะห์ค่าหน่วยเวลา.....	38
บทที่ 4 การออกแบบวงจร QSECRL.....	40
4.1 การปรับปรุงประสิทธิภาพด้านพลังงานด้วยอุปกรณ์ทำงานคล้ายไดโอด.....	40
4.2 การออกแบบวงจร QSECRL แบบไม่มีอุปกรณ์เรียงกระแส (ไดโอด).....	43
บทที่ 5 การออกแบบวงจร QSECRL แบบ sequential.....	50
5.1 วงจร flip-flop แบบ QSECRL.....	50
5.2 การออกแบบวงจรบวกแบบ QSECRL.....	56
บทที่ 6 สรุปและวิจารณ์.....	61
บรรณานุกรม.....	63
ภาคผนวก.....	65
ภาคผนวก ก. ผลงานที่ได้รับการตีพิมพ์.....	66
ประวัติผู้เขียน.....	79

สารบัญตาราง

ตารางที่	หน้า
3.1 Switching activities ของวงจรลอจิกมาตรฐาน	37
4.1 การทำงานของไดโอดในช่วง Evaluation phase และ Hold phase.....	43
4.2 การเปรียบเทียบประสิทธิภาพการออกแบบวงจร QSECRL แบบต่าง ๆ.....	48

สารบัญรูป

รูปที่	หน้า
2.1 (a) วงจรดิจิทัลแบบ CMOS (b) กระบวนการชาร์จที่ตัวเก็บประจุตามแบบ adiabatic (c) แบบจำลอง RC network (d) การเปลี่ยนแปลงศักดาแหล่งจ่ายไฟเลี้ยง (ϕ) (e) ศักดาไหลคตัวเก็บประจุ (V_c).....	5
2.2 กระบวนการ energy recovery (a) แบบพื้นฐาน (b) แบบ reversible logic (c) แบบ self-bias..	11
2.3 (a) วงจร buffer/inverter แบบ energy recovery logic (b) สัญลักษณ์วงจร buffer/inverter (c) วงจร buffer/inverter chain (d) แหล่งจ่ายไฟกระแสสลับ 6 เฟสสำหรับวงจร reversible Logic.....	14
2.4 (a) วงจร AND/NAND แบบ partial reversible logic (b) สัญลักษณ์วงจร AND/NAND (c) วงจรนับ 1 บิต (d) แหล่งจ่ายไฟกระแสสลับ 4 เฟสสำหรับวงจร partial reversible logic...	17
2.5 วงจร inverter chain แบบ ADL (Adiabatic Dynamic Logic).....	18
2.6 วงจรอินเวอร์เตอร์แบบ EEL (Energy Efficient Logic).....	19
2.7 (a) วงจร AND แบบ ADCPL (b) สัญลักษณ์ทางลจิก (c) วงจร latch และ (d) แหล่งจ่ายไฟ 2 เฟส	20
2.8 วงจรอินเวอร์เตอร์แบบ CAL.....	22
2.9 วงจร 2:1 MUX แบบ PAL-2N.....	22
2.10 วงจรอินเวอร์เตอร์ (บัฟเฟอร์) แบบ APDL.....	23
2.11 วงจรอินเวอร์เตอร์แบบ T-APDL.....	24
2.12 วงจรอินเวอร์เตอร์แบบ ECRL.....	24
3.1 (a) วงจร Static CMOS (b) กระบวนการชาร์จ (c) กระบวนการดิสชาร์จที่ไหลคตัวเก็บประจุ (C_1).....	27
3.2 (a) วงจร ECRL (b) วงจร QSECRL (Quasi-Static Efficient Charge Recovery Logic) และการเชื่อมต่อวงจรข้างเคียง.....	29
3.3 (a) วงจรอินเวอร์เตอร์แบบ QSECRL (b) การเปลี่ยนแปลงสัญญาณภายในวงจร และ (c) ผลการจำลองการทำงาน.....	31
3.4 ทิศทางการถ่ายเทพลังงาน (a) วงจร ECRL (b) วงจร QSECRL.....	34
3.5 รูปจำลองการเปลี่ยนแปลงศักดาเอาต์พุตวงจร QSECRL.....	35
3.6 การทำงานของมอสทรานซิสเตอร์และความต้านทานช่องทางเดินกระแส (R_{CH}).....	36
3.7 วงจรกำเนิดสัญญาณแหล่งจ่ายแรงดันไฟเลี้ยงกระแสสลับ และแบบจำลอง Charge-recovery.....	39

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.1 (a) วงจร QSECRL ที่ถูกปรับปรุงด้วยอุปกรณ์ทำงานคล้ายไดโอด	
(b) อุปกรณ์ทำงานคล้ายไดโอดจากมอสทรานซิสเตอร์แบบ single self-bias	
(c) อุปกรณ์ทำงานคล้ายไดโอดจากมอสทรานซิสเตอร์แบบ double self-bias.....	41
4.2 ผลการจำลองการทำงานวงจร QSECRL ที่ถูกปรับปรุงด้วยอุปกรณ์ทำงานคล้ายไดโอด	
(a) อุปกรณ์ทำงานคล้ายไดโอดจากมอสทรานซิสเตอร์แบบ single self-bias	
(b) อุปกรณ์ทำงานคล้ายไดโอดจากมอสทรานซิสเตอร์แบบ double self-bias.....	42
4.3 วงจร QSECRL แบบไม่มีอุปกรณ์เรียงกระแส (ไดโอด).....	44
4.4 ผลการจำลองการทำงานวงจร QSECRL ที่ถูกปรับปรุงแบบไม่ใช้อุปกรณ์ไดโอด.....	45
4.5 กำหนดเวลาที่ความถี่ปฏิบัติงานต่าง ๆ ภายในโหลดตัวเก็บประจุ 10 fF.....	46
4.6 พลังงานสูญเสียที่ความถี่ปฏิบัติงานต่าง ๆ ($C_L = 1\text{fF}$).....	47
4.7 พลังงานสูญเสียที่ความถี่ปฏิบัติงานต่าง ๆ ($C_L = 10\text{fF}$).....	47
4.8 พลังงานสูญเสียที่ขนาดสัญญาณแหล่งจ่ายไฟเลี้ยงกระแสสลับต่าง ($C_L = 1\text{fF}$).....	49
4.9 พลังงานสูญเสียที่ขนาดสัญญาณแหล่งจ่ายไฟเลี้ยงกระแสสลับต่าง ($C_L = 10\text{fF}$).....	49
5.1 แบบจำลองวงจร sequential logic.....	50
5.2 (a) วงจร QSECRL SR flip-flop และ (b) ผลการจำลองการทำงานที่ความถี่ 100 MHz.....	52
5.3 (a) วงจร QSECRL T (toggle) flip-flop (b) ผลการจำลองการทำงานที่ความถี่ 100 MHz.....	53
5.4 (a) วงจร QSECRL JK flip-flop และ (b) ผลการจำลองการทำงานที่ความถี่ 100 MHz.....	54
5.5 วงจร QSECRL 4-bit counter.....	55
5.6 ผลการทดสอบวงจร QSECRL 4-bit counter.....	55
5.7 การเปรียบเทียบกำลังงานสูญเสียวงจร 4-bit counter ที่ความถี่ต่าง ๆ.....	56
5.8 วงจร n-bit ripple carry adder (RCA).....	56
5.9 (a) วงจร 8-bits carry look-ahead (CLA) (b). วงจร Grouping.....	58
5.10 การเปรียบเทียบกำลังงานสูญเสียวงจร 8-bit CLA ที่ความถี่ต่าง ๆ.....	60

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

จากความต้องการวงจรประมวลผลดิจิทัลแบบกำลังงานสูญเสียต่ำ ได้กลับกลายเป็นความจำเป็นด้วยเหตุผลหลายประการ เช่น เหตุผลด้านสภาวะแวดล้อม จากการศึกษาพลังงานไฟฟ้าที่ใช้พบว่ากว่า 5-10% เป็นพลังงานที่ใช้ไปกับเครื่องคอมพิวเตอร์รวมถึงเครื่องประมวลผลต่างๆ รวมทั้งปัญหาการจัดการความร้อนที่เกิดขึ้น โดยเฉพาะเมื่อเครื่องประมวลผลเหล่านี้ทำงานที่ความเร็วสูงขึ้น การจัดการความร้อนนี้ก่อให้เกิดต้นทุนที่เพิ่มสูงขึ้นสวนทางกับราคาเครื่องคอมพิวเตอร์ที่นับวันจะถูกลง จนเป็นอุปสรรคต่อการพัฒนาเทคโนโลยีให้สอดคล้องกับความต้องการตลาดและโครงสร้างราคา พลังงานความร้อนที่สะสมนี้ยังก่อให้เกิดสัญญาณรบกวน และข้อจำกัดในการใช้งานอุปกรณ์ต่างๆ เหล่านี้ในสภาวะแวดล้อมที่ไม่เอื้ออำนวยหรือจำกัด และสิ่งที่สำคัญและท้าทายคือ ความต้องการวงจรที่ใช้พลังงานต่ำสำหรับวงจรประเภทพกพา จากเทคโนโลยีการผลิตที่สามารถพัฒนาให้วงจรทำงานด้วยความเร็วสูงขึ้นและมีขนาดเล็กลง ในขณะที่เทคโนโลยีเซลล์ไฟฟ้า (แบตเตอรี่) กลับพัฒนาไปอย่างช้า ๆ ความไม่สอดคล้องกันนี้ เป็นอุปสรรคต่อการพัฒนาการประยุกต์ใช้งานเพื่อสนองตอบความต้องการผู้บริโภค

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ที่มีจุดมุ่งหมายเพื่อศึกษาวิจัยและค้นหาเทคนิคการออกแบบวงจร ที่มีการสูญเสียกำลังต่ำมาก (Ultra-low power circuit design) โดยมีวัตถุประสงค์ เพื่อให้เทคนิคที่ค้นพบสามารถนำไปประยุกต์ใช้งานได้จริง และสามารถแก้ไขปัญหาด้านพลังงาน การจัดการความร้อนและสัญญาณรบกวนที่เกิดขึ้นในวงจรประมวลผลจากต้นตอของปัญหา มากกว่าการบรรเทาปัญหาที่เกิดขึ้น

1.3 สมมุติฐานของการศึกษา

แม้ว่าพลังงานสูญเสียที่เกิดขึ้นในวงจรประมวลผลเป็นสิ่งที่หลีกเลี่ยงมิได้ หากแต่เมื่อนำหลักการของวงจร adiabatic ซึ่งว่าด้วยการอนุรักษ์พลังงาน โดยการนำพลังงานที่สะสมไว้ในส่วนต่าง ๆ ของวงจรกลับมาใช้ใหม่ แทนที่จะกระจายออกในรูปความร้อน ซึ่งเป็นหลักการของเทอร์โมไดนามิก โดยอาศัยเทคนิคการออกแบบวงจรที่เหมาะสม

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

แนวความคิดในการออกแบบวงจร adiabatic หรือ วงจร energy recovery ได้มีการศึกษาอย่างกว้างขวาง ทั้งการออกแบบบนหลักการอนุรักษ์พลังงานโดยตรง คือการควบคุมการถ่ายเทพลังงาน การสวอนและการนำพลังงานกลับมาใช้ใหม่ จากการกำหนดการทำงานของอุปกรณ์ต่าง ๆ ภายในวงจรอย่างเหมาะสมและเข้าจังหวะ รวมทั้งการดัดแปลงเทคนิคการออกแบบวงจรที่ใช้กันอยู่ปัจจุบันให้สอดคล้องการทฤษฎีการอนุรักษ์พลังงานแบบวงจร adiabatic ซึ่งแต่ละวิธีต่าง ๆ มีข้อดีข้อเสียต่างกัน รวมถึงข้อจำกัดที่ต่างกันด้วย

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์นี้มุ่งศึกษาการออกแบบวงจรแบบดิจิทัลในระดับ Logic design คือการออกแบบวงจรในระดับเกต ซึ่งครอบคลุมทั้งวงจรประเภท combination logic และวงจร sequential logic สำหรับงานที่ต้องการความเร็วไม่สูงมากนักคือระดับ 500 MHz ซึ่งเพียงพอต่อการประยุกต์ใช้งานในด้านต่าง ๆ โดยเฉพาะอุปกรณ์ประเภทพกพา

1.6 ขั้นตอนของการศึกษา

การวิจัยจะเริ่มจากการศึกษาเทคนิคการออกแบบวงจร adiabatic แบบต่าง ๆ ได้มีการนำเสนอไว้โดยพิจารณาถึงข้อดี ข้อเสียและข้อจำกัดของแต่ละวิธี ซึ่งจะกล่าวถึงในบทที่ 2 จากนั้นจึงจะนำเสนอเทคนิคการออกแบบวงจรที่พัฒนาขึ้น โดยในบทที่ 3 จะกล่าวถึงหลักการทำงานของวงจร QSECRL ในงานวิจัยนี้ รวมถึงการพิจารณาเปรียบเทียบพลังงานสูญเสียที่เกิดขึ้นภายในวงจรตลอดจนค่าหน่วยเวลาที่เกิดขึ้น และในบทที่ 4 จะกล่าวถึงการปรับปรุงวงจรเพื่อลดพลังงานสูญเสียด้วยกรรมวิธีต่าง ๆ สำหรับงานที่ต้องการวงจรที่มีกำลังสูญเสียต่ำมาก จากนั้นจึงจะกล่าวถึงการทำงานและการออกแบบวงจร QSECRL ประเภท sequential ซึ่งช่วยให้การออกแบบใช้งานวงจร adiabatic ประเภทนี้เป็นระบบที่สามารถรองรับงานประมวลขนาดใหญ่ได้สมบูรณ์ยิ่งขึ้น ซึ่งจะได้อีกถึงในบทที่ 5 โดยวิทยานิพนธ์นี้ ได้เลือกวงจรบวกแบบ 8-b CLA (8-bit Carry look-ahead) เป็นตัวแบบเพื่อให้เห็นถึงการออกแบบและการทำงานของระบบที่มีขนาดใหญ่ อีกทั้งใช้สำหรับทดสอบหลักการออกแบบวงจรที่นำเสนออีกด้วย

ผลการทดสอบวงจรที่นำเสนอในวิทยานิพนธ์นี้ตลอดจนวงจร adiabatic แบบอื่นที่ถูกนำเสนอไว้ในบทความวิชาการต่าง ๆ เพื่อการเปรียบเทียบ ได้จากการจำลองการทำงานวงจรด้วยโปรแกรมคอมพิวเตอร์ PSPICE โดยกำหนดให้ช่วงแอมพลิจูดของแหล่งจ่ายแรงดันไฟเลี้ยงแบบกระแสสลับมีค่าเท่ากับ $2 V_{pp}$ แบบ sinusoidal ยกเว้นวงจรดิจิทัลแบบ CMOS ใช้แหล่งจ่ายไฟตรง

คงที่ 2V และใช้แบบจำลองทรานซิสเตอร์ของ MOSIS เทคโนโลยี $0.8 \mu\text{m}$ โดยกำหนดให้ ทรานซิสเตอร์แบบ PMOS และ NMOS มีขนาดความกว้างต่อความยาวช่องทางเดินกระแส (aspect ratio) เท่ากับ $4 \mu\text{m} / 1 \mu\text{m}$ และ $2 \mu\text{m} / 1 \mu\text{m}$ ตามลำดับ

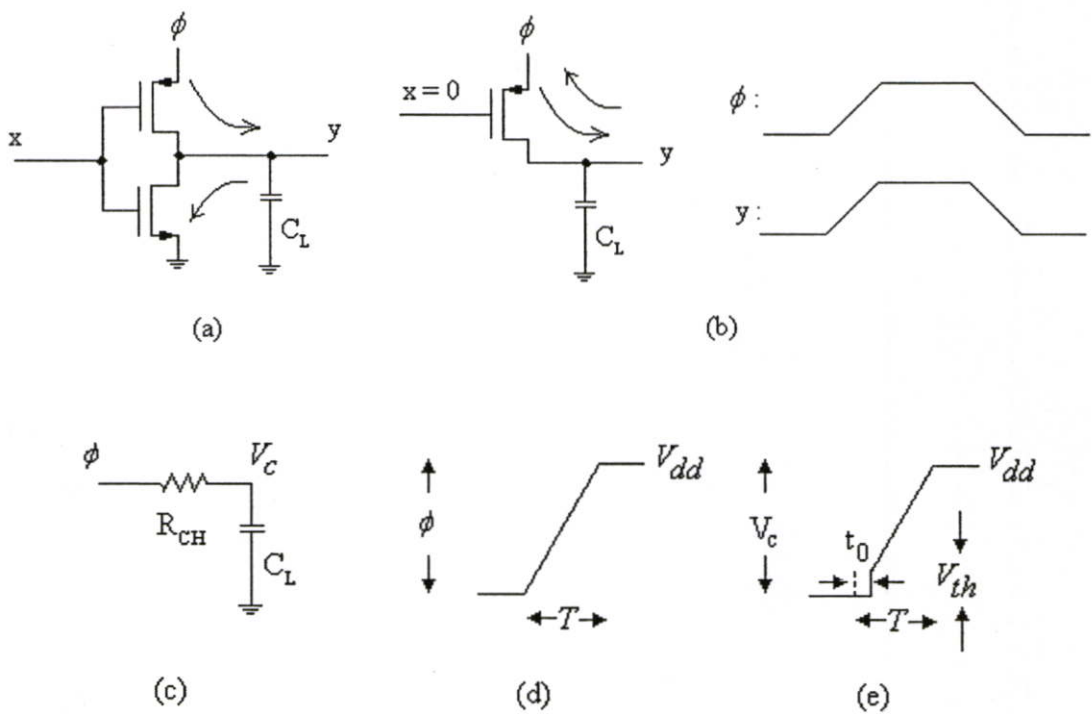
บทที่ 2

วงจร Adiabatic

จากความนิยมอย่างแพร่หลาย ในการออกแบบวงจรรด้วยเทคโนโลยี CMOS (Complementary MOS) อันมีเหตุผลจากคุณสมบัติด้านกำลังงานที่มีการสูญเสียน้อย และวงจรมีขนาดเล็กเมื่อเทียบกับวงจรประเภทไบโพลาร์ซึ่งสนับสนุนให้เกิดวงจรรวมขนาดใหญ่ อย่างไรก็ตาม จากความต้องการวงจรมีคุณภาพสูงขึ้น โดยเฉพาะอย่างยิ่งสำหรับงานได้กำลังงานสูญเสียต่ำมาก (ultra-low power application) กระตุ้นให้เกิดการวิจัยอย่างกว้างเพื่อตอบสนองความต้องการดังกล่าว โดยพยายามหาเทคนิคการออกแบบวงจรมที่สามารถควบคุมพลังงานและนำพลังงานกลับมาใช้อีกครั้ง (recover/recycle energy) และมุ่งหวังที่จะค้นพบเทคนิคการออกแบบวงจรม ที่ไม่สูญเสียพลังงานในขณะที่วงจรมกำลังทำงานและประมวลผล หรือความพยายามที่จะค้นหาขีดจำกัดการสูญเสียพลังงานที่น้อยที่สุด ซึ่งเมื่อพิจารณาตามหลักฟิสิกส์พบว่า หากระบบหรือวงจรมประมวลผลใดที่ไม่มีการกระจายออกของพลังงานสู่สภาวะแวดล้อม (non-dissipative computing system) การสงวนรักษาพลังงานที่หมุนเวียนภายในระบบโดยการนำกลับมาใช้ใหม่ย่อมเกิดขึ้นได้ สิ่งเหล่านี้จะเกิดขึ้นได้ก็ต่อเมื่อระบบดังกล่าวต้องเป็นระบบสามารถย้อนกลับได้ (reversible system) และสำหรับวงจรมดิจิทัล การประมวลผลทางด้านลอจิกย่อมต้องเป็นกระบวนการที่ย้อนกลับได้เช่นกัน ดังนั้น หากมองในแง่ของข้อมูลข่าวสารที่มาในรูปสัญญาณอินพุตของระบบ ผ่านการประมวลผลและเกิดเป็นข้อมูลข่าวสารใหม่ในรูปสัญญาณเอาต์พุต กระบวนการดังกล่าวย่อมต้องสามารถย้อนกลับได้ หรือกล่าวอีกนัยหนึ่งคือ Information Entropy จะต้องถูกสงวนได้และไม่สูญหายเมื่อผ่านกระบวนการทางฟิสิกส์ (วงจรมประมวลผล) ใดๆ อย่างไรก็ตาม ความสามารถในการย้อนกลับได้ของการประมวลผลทางด้านลอจิก (reversible logic operation) เป็นเพียงเงื่อนไขที่จำเป็นในการออกแบบวงจรมแบบสงวนพลังงาน อย่างไรก็ตาม ยังขึ้นกับว่าอุปกรณ์ที่นำมาประกอบขึ้นเป็นระบบ หรือวงจรมอีกด้วย ในทางปฏิบัติแนวคิดนี้อาจไม่มีทางเป็นจริงอันเนื่องจากอุปกรณ์ทุกชนิดที่มีพร้อมใช้งานต่างมีคุณสมบัติการสูญเสียพลังงานทั้งสิ้น คือมีลักษณะเป็น dissipative element คล้ายตัวต้านทานในวงจรมไฟฟ้า วิธีการหนึ่งในการออกแบบวงจรมที่มีกำลังสูญเสียต่ำคือ การลดความเร็วในการประมวลผลลง และ อนุญาตให้อุปกรณ์ต่าง ๆ เช่น ทรานซิสเตอร์ ทำงานหรือเปลี่ยนสถานะเท่าที่จำเป็น

เพื่อจะเข้าใจแนวความคิดของการทำงานของวงจรม adiabatic logic พิจารณาวงจรมอินเวอร์เตอร์แบบ CMOS ในรูป 2.1 (a) เมื่อสัญญาณอินพุต x มีค่าสถานะลอจิกเป็น 0 หรือศักดาเป็นกราวด์ มีผลทำให้ทรานซิสเตอร์ NMOS อยู่ในโหมดคัทออฟ ในขณะที่ทรานซิสเตอร์ PMOS เริ่มนำกระแสในโหมด linear โดยศักดาที่ตกคร่อมตัวเก็บประจุ (C_L) จะขึ้นอยู่กับศักดาของแหล่งจ่าย

ดังแสดงในรูปที่ 2.1 (b) เพื่อให้ง่ายต่อการพิจารณา แบบจำลอง RC network ถูกนำมาใช้ในการอธิบายถึงพลังงานสูญเสียที่เกิดขึ้นจากความต้านทานช่องทางเดินกระแส (channel resistance) ของทรานซิสเตอร์ ดังแสดงในรูปที่ 2.1 (c) สมมติว่าศักดาแหล่งจ่ายไฟเลี้ยง (ϕ) มีค่าค่อยๆ เพิ่มขึ้นอย่างเป็นเชิงเส้นจาก 0 จนถึง V_{dd} ในช่วงเวลา T ทำให้เกิดศักดาตกคร่อมขาเกต-ซอร์ท (V_{gs}) ของทรานซิสเตอร์ อย่างไรก็ตามเนื่องจากทรานซิสเตอร์จะไม่นำกระแสจนกว่าศักดาที่ตกคร่อมนี้มีค่ามากกว่าศักดาเทรชโฮลด์ (V_{th}) ดังแสดงในรูปที่ 2.1 (e) อย่างไรก็ตาม เพื่อให้ง่ายต่อการพิจารณา โดยขั้นแรกจะละเลยพลังงานสูญเสียที่เกิดขึ้นจากผลของศักดาเทรชโฮลด์ของทรานซิสเตอร์นี้ แต่จะถูกพิจารณาอีกครั้งในภายหลัง



รูปที่ 2.1 (a) วงจรดิจิทัลแบบ CMOS (b) กระบวนการชาร์ตตัวเก็บประจุตามแบบ adiabatic (c) แบบจำลอง RC network (d) การเปลี่ยนแปลงศักดาแหล่งจ่ายไฟเลี้ยง (ϕ) (e) ศักดาโวลต์ตัวเก็บประจุ (V_c)

เพื่อให้ง่ายในการพิจารณา เมื่อศักดาแหล่งจ่ายไฟเลี้ยง (ϕ) จะเปลี่ยนค่าจาก 0 จนมีค่าเท่ากับ V_{dd} และทำการชาร์ตตัวเก็บประจุผ่านทางช่องทางเดินกระแสของทรานซิสเตอร์ ซึ่งจะมีศักดาตกคร่อมในช่องทางเดินกระแสอันเนื่องมาจากความต้านทานภายในช่องทางเดินกระแส อันเป็นสาเหตุให้เกิดพลังงานสูญเสีย เมื่อพิจารณาด้วยแบบจำลอง RC network (รูปที่ 2.1(b)) สามารถอธิบายพลังงานสูญเสียที่เกิดขึ้นจากการชาร์ตตัวเก็บประจุจากค่าศักดา 0 จนมีค่าเท่ากับ V_{dd} อย่างเชิงเส้นในเวลา T ซึ่งความสัมพันธ์ของศักดาแหล่งจ่ายไฟ และศักดาตกคร่อมตัวเก็บประจุแสดงได้ดังนี้

$$RC \left(\frac{dV_c}{dt} \right) + V_c = \phi \quad (2.1)$$

โดยที่ ϕ คือ ศักดาแหล่งจ่ายไฟเลี้ยงมีค่าดังนี้

$$\phi = \begin{cases} 0 & t \leq 0 \\ \left(\frac{V_{dd}}{T} \right) t & 0 < t < T \\ V_{dd} & t \geq T \end{cases}$$

ซึ่งสามารถหาผลเฉลยเป็นค่าศักดาตกคร่อมตัวเก็บประจุ (V_c) ได้ดังนี้

$$V_c = \begin{cases} 0 & t \leq 0 \\ \phi - \left(\frac{RC}{T} \right) V_{dd} (1 - e^{-t/RC}) & 0 < t < T \\ \phi - \left(\frac{RC}{T} \right) V_{dd} (1 - e^{-T/RC}) e^{-(t-T)/RC} & t \geq T \end{cases} \quad (2.2)$$

ในการหาค่าพลังงานสูญเสียอันเนื่องมาจากความต้านทานในช่องทางเดินกระแสในตัวทรานซิสเตอร์ ทำได้โดยการหาผลรวมของผลคูณระหว่างกระแส (i) ที่ไหลผ่านและศักดาที่ตกคร่อมความต้านทาน (V_R) นี้ตลอดจนเวลา 0 ถึง ∞ ดังสมการที่ 2.3 โดยขณะที่ทรานซิสเตอร์นำกระแส ศักดาที่ตกคร่อมทำให้ทรานซิสเตอร์ทำงานในช่วงเชิงเส้น (linear region) และมีค่าศักดาตกคร่อมเท่ากับ $V_R = \phi - V_c$ ดังนั้น หากกำหนดให้ E_{linear} เป็นพลังงานสูญเสียที่เกิดขึ้นจากกระบวนการชาร์ตตัวเก็บประจุ ในช่วงทรานซิสเตอร์ทำงาน โหมด linear ดังนี้

$$E_{linear} = \int_0^T iV_R dt + \int_T^\infty iV_R dt \quad (2.3)$$

เมื่อพิจารณาแต่ละเทอมทางด้านขวาของสมการที่ (2.3) โดยเทอมแรกเป็นพลังงานสูญเสีย ช่วง $0 \leq t < T$ จะมีค่าเท่ากับ

$$\begin{aligned} E_{linear} \Big|_0^T &= \int_0^T iV_R dt = \int_0^T \frac{(\phi - V_c)^2}{R} dt \\ &= \int_0^T \frac{[(V_{dd}/T)RC(1 - e^{-t/RC})]^2}{R} dt \\ &= \frac{R^2 C^2}{T^2} CV_{dd}^2 \int_0^{T/RC} (1 - e^{-t/RC})^2 d\left(\frac{t}{RC}\right) \\ &= \left(\frac{RC}{T}\right) CV_{dd}^2 \left[1 - \frac{3}{2}\left(\frac{RC}{T}\right) + 2\left(\frac{RC}{T}\right)e^{-T/RC} - \frac{1}{2}\left(\frac{RC}{T}\right)e^{-2T/RC} \right] \end{aligned} \quad (2.4)$$

และเทอมที่สอง ซึ่งแสดงพลังงานสูญเสียที่เกิดขึ้น เมื่อ $t \geq T$ คือ

$$\begin{aligned} E_{linear} \Big|_T^\infty &= \int_T^\infty iV_R dt = \int_T^\infty \frac{(\phi - V_c)^2}{R} dt \\ &= \frac{RC}{T^2} CV_{dd}^2 (1 - e^{-T/RC})^2 \int_0^\infty e^{-2[(t-T)/RC]} dt \\ &= \left(\frac{RC}{T}\right)^2 CV_{dd}^2 \left[\frac{1}{2}(1 - e^{-T/RC})^2 \right] \end{aligned} \quad (2.5)$$

ดังนั้น พลังงานสูญเสียจากกระบวนการชาร์ตตัวเก็บประจุที่สูญเสียไปเนื่องจากความต้านทานช่องทางเดินกระแสของทรานซิสเตอร์ที่ทำงานในช่วง linear สามารถหาได้จากผลรวมสมการ 2.4 และ 2.5 ดังนี้

$$E_{linear} = \left(\frac{RC}{T}\right) CV_{dd}^2 \left[1 - \frac{RC}{T} + \frac{RC}{T} e^{-T/RC} \right] \quad (2.6)$$

หากพิจารณาการเปลี่ยนศักดาของแหล่งจ่ายไฟเลี้ยงเป็น 2 กรณีคือ กรณีที่ $T \gg RC$ ซึ่งหมายถึง ศักดาแหล่งจ่ายไฟเลี้ยง (ϕ) มีการเปลี่ยนแปลงแบบค่อยเป็นค่อยไป ซึ่งเป็นการทำงานของวงจร adiabatic ดังนั้นจากสมการ 2.6 ค่าพลังงานสูญเสียจึงมีประมาณ

$$E_{linear} = \left(\frac{RC}{T}\right) CV_{dd}^2 \quad (2.7)$$

และกรณีที่ $T \ll RC$ คือกรณีที่สัปดาห์ที่ตกคร่อมเกต-ซอร์ทเปลี่ยนแปลงอย่างรวดเร็ว (รูปที่ 2.1(b)) หรืออาจพิจารณาได้ว่าสัปดาห์ที่ขาซอร์ทหรือสัปดาห์แหล่งจ่ายมีค่าคงที่ และสัปดาห์ที่ขาเกตหรืออินพุตเกิดการเปลี่ยนแปลงอย่างรวดเร็ว เมื่อเทียบกับค่าคงที่เวลา RC ซึ่งเป็นกรณีทั่วไปของการทำงานวงจร CMOS ดังนั้น จากสมการ 2.6 พลังงานสูญเสียในช่องทางเดินกระแสของทรานซิสเตอร์สามารถประมาณค่าได้ดังนี้

$$\begin{aligned} E_{linear} &= \left(\frac{RC}{T}\right) CV_{dd}^2 \left\{ 1 - \frac{RC}{T} + \frac{RC}{T} \left[1 - \frac{T}{RC} + \frac{1}{2} \left(\frac{T}{RC}\right)^2 \right] \right\} \\ &= \frac{1}{2} CV_{dd}^2 \end{aligned} \quad (2.8)$$

จากสมการที่ 2.7 จะเห็นว่า พลังงานสูญเสียที่เกิดจากตัวกลางสามารถทำให้ลดลงได้ด้วยการปรับเพิ่ม T หรือช่วงเวลาในการเปลี่ยนสัปดาห์ และหาก T มีค่ามากสู่อินฟินิตี้ หรือกล่าวคือไม่เกิดการเปลี่ยนแปลงสัปดาห์เลย ($\phi = 0, 0 \leq t < \infty$) จะไม่เกิดพลังงานสูญเสียเลย เนื่องจากไม่เกิดการไหลของกระแสใด ๆ เลย ซึ่งไม่มีความหมายใดเลย ในทางกลับกัน พลังงานสูญเสียสามารถลดลงได้โดยทรานซิสเตอร์ไม่ควรทำงานหรือนำกระแสเมื่อมีสัปดาห์ตกคร่อม เงื่อนไขนี้ถูกนำมาใช้ในการออกแบบวงจร energy recovery logic ซึ่งจะกล่าวถึงในส่วนถัดไป

สมการที่ 2.6 เป็นพลังงานสูญเสียที่เกิดขึ้นจากค่าความต้านทานช่องทางเดินกระแส (รูปที่ 2.1(b)) โดยสมมติว่าทรานซิสเตอร์จะนำกระแสทันทีเมื่อ ϕ หรือ $V_{gs} > 0$ แต่ในความเป็นจริงแล้ว ทรานซิสเตอร์จะไม่นำกระแสจนกว่าสัปดาห์ที่เกต-ซอร์ทจะมีค่ามากกว่าหรือเปล่าสัปดาห์เทรคโฮลด์ ($V_{gs} \geq V_{th}$) ทำให้สัปดาห์ที่ตกคร่อมเดรน-ซอร์ท (V_{ds}) จะมีค่าเป็น 0 และเปลี่ยนเป็น V_{th} อย่างรวดเร็วดังแสดงในรูปที่ 2.1(e) ดังนั้น พลังงานสูญเสียอันเนื่องมาจากสัปดาห์เทรคโฮลด์ที่ตกคร่อมทรานซิสเตอร์ (E_{th}) จึงมีค่าเท่ากับ

$$E_{th} \approx \frac{1}{2} CV_{th}^2 \quad (2.9)$$

สำหรับพลังงานสูญเสียที่ช่องทางเดินกระแสของทรานซิสเตอร์ในกรณีที่นำช่วงสัปดาห์เทรคโฮลด์มาพิจารณา สามารถวิเคราะห์ได้เช่นเดียวกับวิธีการข้างต้น สัปดาห์ที่ตัวเก็บประจุในที่อยู่อธิบายด้วยแบบจำลอง RC network สามารถแสดงความสัมพันธ์ของสัปดาห์แหล่งจ่ายไฟเลี้ยงและสัปดาห์ที่ตัวเก็บประจุดังสมการ 2.1 ซึ่งมีผลเฉลยคือ

$$V_c = \begin{cases} 0 & t < t_0 \\ \phi - \left(\frac{RC}{T}\right)V_{dd}(1 - e^{-(t-t_0)/RC}) + V_{th}e^{-(t-t_0)/RC} & 0 \leq t_0 < t < T \\ \phi - \left(\frac{RC}{T}\right)V_{dd}(1 - e^{-(T-t_0)/RC})e^{-(t-T)/RC} + V_{th}e^{-(t-t_0)/RC} & t \geq T \end{cases} \quad (2.10)$$

โดยที่ t_0 คือเวลาที่สัปดาห์จ่ายเริ่มการเปลี่ยนแปลงจนถึงทรานซิสเตอร์นำกระแสซึ่ง มีค่าเท่ากับ $(V_{th}/V_{dd})T$

ดังนั้นพลังงานสูญเสียทั้งหมด ($E_{dissipated}$) ซึ่งมีค่าเท่ากับผลรวมของพลังงานสูญเสียจากสัปดาห์ทรานซิสเตอร์ และพลังงานสูญเสียที่ช่องทางเดินกระแสของทรานซิสเตอร์ที่ทำงานในช่วง linear คือ

$$E_{dissipated} = \int_0^{\infty} iV_R dt = \int_0^T iV_R dt + \int_T^{\infty} iV_R dt \quad (2.11)$$

ซึ่งมีค่าเท่ากับ

$$\begin{aligned} E_{dissipated} &= \frac{1}{2}CV_{th}^2 + \left(\frac{RC}{T}\right)CV_{dd}^2 \left(1 - \frac{RC}{\beta T} + \frac{RC}{\beta T}e^{-\beta T/RC}\right) \\ &\quad + \left(\frac{RC}{T}\right)CV_{th}V_{dd} \left(\frac{RC}{\beta T} - e^{-\beta T/RC} - \frac{RC}{\beta T}e^{-\beta T/RC}\right) \\ &= \left(\frac{RC}{T}\right)CV_{dd}^2 + \frac{1}{2}CV_{th}^2 + \mathcal{O}\left(\left(\frac{RC}{T}\right)^2\right) \\ &\approx E_{linear} + E_{th} \end{aligned} \quad (2.12)$$

เมื่อ $\beta = 1 - V_{th}/V_{dd}$

E_{linear} คือ พลังงานสูญเสียจากทรานซิสเตอร์ในช่วงทำงานแบบ linear ($(RC/T)CV_{dd}^2$)

E_{th} คือ พลังงานสูญเสียจากทรานซิสเตอร์เนื่องจากสัปดาห์ทรานซิสเตอร์ ($\frac{1}{2}CV_{th}^2$) และ

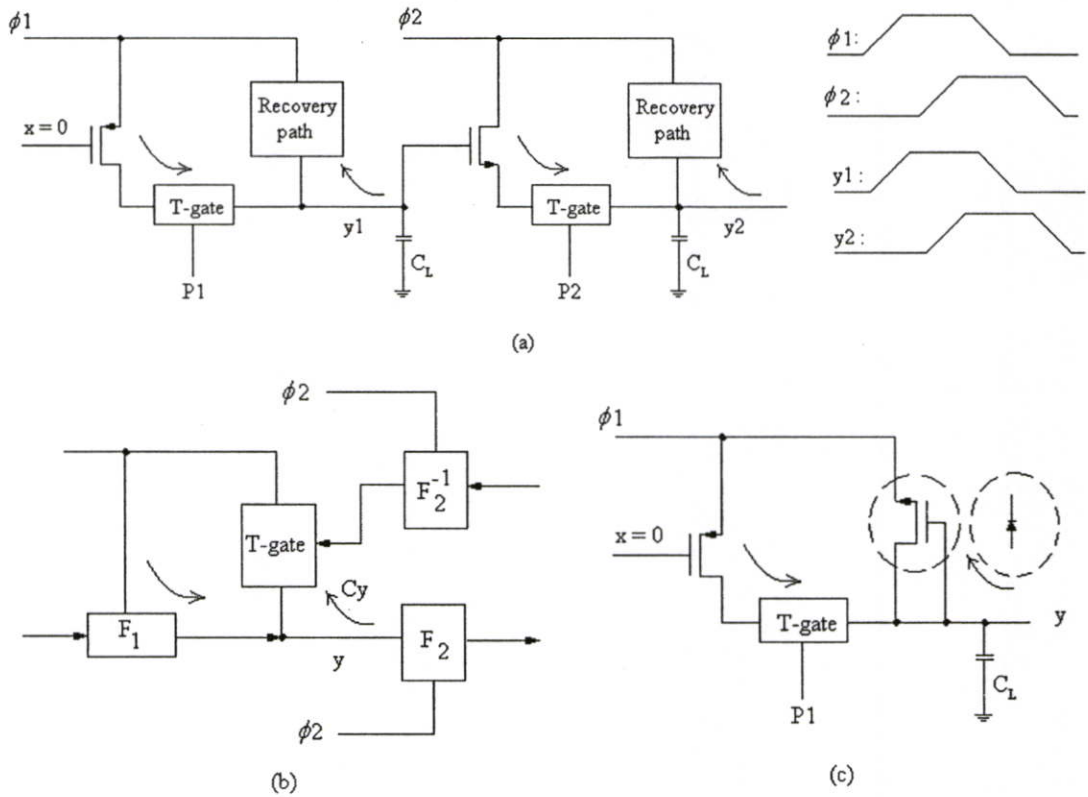
$\mathcal{O}((RC/T)^2)$ แทนการดำเนินการที่ขึ้นอยู่กับ $(RC/T)^2$ โดยจะมีค่าต่ำสำหรับวงจรประเภท Energy recovery circuit (รูป 2.2)

หากทำการเปรียบเทียบ 2 กรณี คือเมื่อละเลยและเมื่อพิจารณาพลังงานสูญเสียอันเนื่องมาจากสัปดาห์ทรานซิสเตอร์ โดยสมมติว่า ทรานซิสเตอร์ที่ใช้มีค่าสัปดาห์ทรานซิสเตอร์เท่ากับ 0.4V และสัปดาห์

แหล่งจ่ายไฟเลี้ยงสูงสุด V_{dd} มีค่าเท่ากับ 5 โวลต์ อัตราส่วน $(\frac{1}{2}CV_{th}^2)/(\frac{1}{2}CV_{dd}^2)$ จะมีค่าเท่ากับ 0.04 เท่า และเนื่องจากกระบวนการดิสชาร์จจะเกิดพลังงานสูญเสียเท่ากัน นั้นหมายถึง พลังงานสูญเสียอันเนื่องจากการสัปดาห์ทรานซิสเตอร์นี้จะมีค่าเป็น 8% ของพลังงานทั้งหมด นอกจากนี้เนื่องจากพลังงานสูญเสียจากการสัปดาห์ทรานซิสเตอร์ไม่ขึ้นกับช่วงเวลาในการเปลี่ยนสัปดาห์แหล่งจ่ายไฟเลี้ยง (7) ซึ่งพลังงานสูญเสียส่วนนี้ จะมีความสำคัญมากขึ้นเมื่อพลังงานสูญเสียอันเนื่องจากการชาร์จตัวเก็บประจุมีค่าลดลงมากเมื่อ T มีค่ามากขึ้น

จากการวิเคราะห์ข้างต้นแสดงพลังงานสูญเสียอันเนื่องมาจากการทำงานของทรานซิสเตอร์เนื่องจากกระแสที่ไหลผ่านและสัปดาห์คร่อม เพื่อลดพลังงานสูญเสียที่เกิดขึ้นสามารถทำได้โดยการลดสัปดาห์คร่อมทรานซิสเตอร์ด้วยการค่อยๆ เปลี่ยนแปลงสัปดาห์แหล่งจ่าย (ϕ) แทนที่จะมีค่าคงที่แบบวงจรถัดไป นอกจากนี้ ประจุที่เกิดจากการนำกระแสจะถูกลักไว้ในโหนดตัวเก็บประจุ ซึ่งประกอบด้วยความจุแฝงจากทรานซิสเตอร์เอง ความจุแฝงของสายโยงสัญญาณและความจุที่เกิดของวงจรถัดไป ประจุที่สะสมอยู่นี้จะถูกลำโพงกลับสู่แหล่งจ่ายไฟก็เพื่อนำกลับไปยังใหม่ในลักษณะ energy recovery ซึ่งจำเป็นต้องมีช่องทางให้เกิดการนำประจุกลับมาใช้ใหม่ (recovery path) และด้วยวิธีการเดียวกันในช่วงการ recovery นี้สัปดาห์คร่อมช่องทางเดินนี้ก็ควรมีสัปดาห์คร่อมให้น้อยสุด ซึ่งสามารถทำได้โดยการเปลี่ยนแปลงสัปดาห์แหล่งจ่าย (ϕ) แบบค่อยเป็นค่อยไปและสอดคล้องกับการลดลงของสัปดาห์ตัวเก็บประจุ ดังแสดงในรูปที่ 2.2(a)

เพื่อให้การทำงานงานของวงจรถัดไปเชื่อมต่อกันทำงานได้อย่างถูกต้อง ประจุจะคงค้างอยู่จนกว่าการทำงานของวงจรถัดไปเสร็จสิ้น จากนั้นจึงช่องทางเดินกระแสจึงจะนำกระแสเพื่อนำประจุกลับสู่แหล่งจ่ายไฟ การกำหนดการทำงานงานของช่องทางเดินกระแสจึงต้องมีลักษณะเป็นอินเวอร์สฟังก์ชันของวงจรถัดไป อย่างไรก็ตามอินเวอร์สฟังก์ชันสามารถหาได้เพียงในบางกรณีคือ สำหรับวงจรถัดไปเป็นแบบ reversible logic ดังแสดงในรูปที่ 2.2 (b) และเพื่อให้ง่ายต่อการควบคุมการทำงานงานของช่องทางเดินกระแสนี้ ช่องทางเดินกระแสสามารถแทนที่ด้วยอุปกรณ์ที่ควบคุมทิศทางการนำกระแส เช่น ไดโอด หรือ ทรานซิสเตอร์ถูกต่ออยู่ในแบบ self-bias (รูป 2.2 (c))



รูปที่ 2.2 กระบวนการ energy recovery (a) แบบพื้นฐาน (b) แบบ reversible logic (c) แบบ self-bias

กล่าวโดยสรุป เพื่อให้วงจร adiabatic ดังกล่าวทำงานได้อย่างมีประสิทธิภาพ จำเป็นต้องออกแบบอย่างคิภายได้ข้อจำกัดดังต่อไปนี้ [1 - 4]

1. มีโหนดคงที่และสมดุล
2. จุดต่างๆ ภายในวงจรที่ลอยอยู่ (floating point) ควรมีจำนวนน้อยที่สุด
3. วงจรควรมีสัญญาณเอาต์พุตแบบคู่ผลต่าง (differential output) คือ สัญญาณเอาต์พุตปกติ และสัญญาณเอาต์พุตที่มีสถานะตรงข้ามพร้อมกัน (complementary output) ในช่วงสัญญาณนาฬิกาเดียวกัน
4. มีจำนวนเฟสของ power-clock supply (PC) น้อยที่สุด แต่ยังสามารถควบคุมให้การถ่ายเทประจุและการทำงานของวงจรถูกต้องสมบูรณ์
5. มีความสามารถในการขับสัญญาณเอาต์พุตมีค่าสูงสุดต่ำสุดเท่ากับค่าสูงสุดต่ำสุดของแหล่งจ่ายแรงดันไฟเลี้ยงกระแสสลับ (Dual rail output signal) คือ V_{DD} สำหรับค่า 1 และ V_{SS} สำหรับค่า 0
6. กระบวนการทำงานและสัปดาห์ ตลอดจนประจุ ณ ตำแหน่งต่าง ๆ ของวงจร จะต้องสามารถประเมินหรือทราบได้

7. วงจรควรมีอุปกรณ์ประเภทไดโอดหรืออุปกรณ์อื่นใดที่ทำหน้าคล้ายไดโอดอันเป็นผลให้เกิดศักดาตกคร่อมเมื่อนำไฟฟ้า จำนวนน้อยที่สุด

8. จุดต่าง ๆ ภายในวงจรควรมีการเปลี่ยนสถานะน้อยที่สุดเท่าที่จำเป็นเพื่อลดการถ่ายเทประจุและพลังงาน ซึ่งนำไปสู่พลังงานสูญเสียจากความต้านทานแฝงอันเป็นผลจากความไม่เป็นอุดมคติของอุปกรณ์ต่าง ๆ

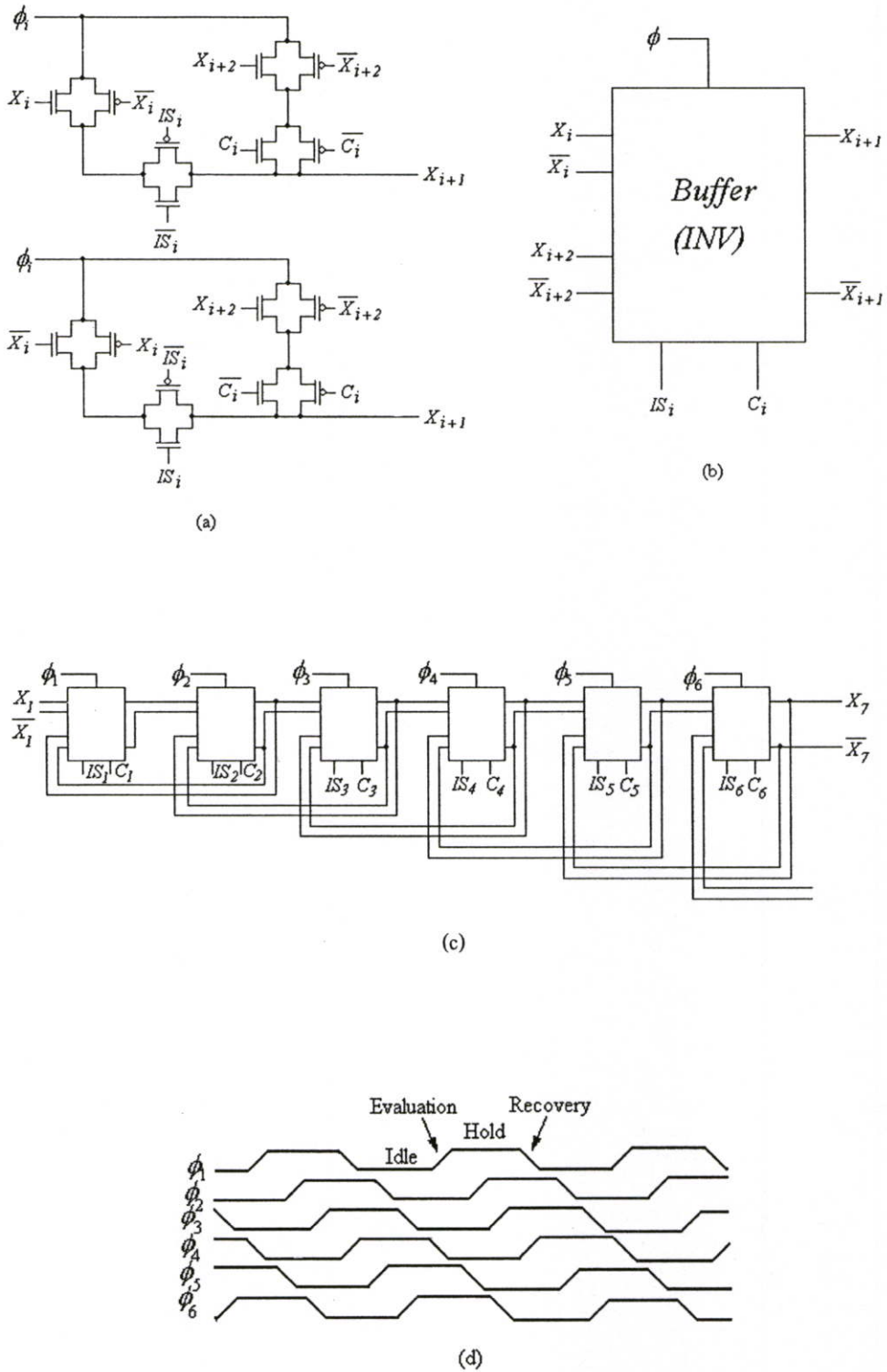
อย่างไรก็ตาม วงจร adiabatic ที่ถูกนำเสนอไว้ในบทความวิชาการต่าง ๆ ไม่สามารถครอบคลุมข้อกำหนดทั้งหลายเหล่านี้ได้อย่างครบถ้วน (รายละเอียดวงจร แสดงไว้ตอนท้ายบท) กล่าวคือ วงจรที่มีโครงสร้างแบบไดนามิก [5] เช่น วงจร EEL (Energy Efficient Logic) [6], วงจร ADCPL (Adiabatic Differential Cascade Voltage Switch with Complementary Pass-Transistor Logic) [7], วงจร PAL (Pass-Transistor Adiabatic Logic) [8-10] และวงจร APDL (Adiabatic Pseudo-domino Logic) [11-12] เป็นต้น แหล่งจ่ายไฟเลี้ยงแบบกระแสสลับ (Power-clock supply) จะทำการจ่ายพลังงานในช่วง pre-charge phase และช่วง evaluation phase และพลังงานเหล่านี้จะไหลกลับสู่แหล่งไฟเลี้ยงอีกครั้งในช่วง recovery phase ซึ่งจะพบว่าเกิดกระบวนการ charge และ discharge จากการทำงานแบบ dynamic ในทุกคาบสัญญาณนาฬิกาและในทุกโหนดภายในวงจร ดังนั้นเมื่อความถี่ของสัญญาณนาฬิกาเพิ่มขึ้น เพื่อเพิ่มความเร็วการทำงานหรือเพิ่มการประมวลผลของวงจร ทำให้เกิดการถ่ายเทพลังงานไปมาเพิ่มอย่างทวีคูณ กำลังสูญเสียที่เกิดจากความต้านทานแฝงภายในจากความไม่เป็นอุดมคติของวงจรเทียบกับปริมาณการถ่ายโอนพลังงานไปมาที่เพิ่มขึ้น จากความถี่การปฏิบัติงานวงจรที่เพิ่มขึ้น จึงเป็นข้อจำกัดของวงจรประเภทนี้ ในทางตรงกันข้ามกับวงจรประเภทสแตติก (Static logic) การเปลี่ยนสถานะทางลอจิกที่โหนดต่าง ๆ ภายในวงจร จะถูกกำหนดจากฟังก์ชันการทำงานของวงจรลอจิกนั้น ๆ ตามแต่สัญญาณอินพุตที่กำหนด และอาจไม่เกิดขึ้นกับทุกโหนดภายในวงจร การเพิ่มความถี่หรือคาบสัญญาณนาฬิกาจึงส่งผลให้เกิดการถ่ายโอนพลังงานไปมาน้อยกว่ามาก วงจร adiabatic ประเภทนี้ได้แก่ วงจร ECRL (Efficient Charge Recovery Logic) [13-14] และถูกปรับต่อมาเป็น วงจร HEERL (High Efficient Energy Recovery Logic) [5] โดยเพิ่มเติมส่วนควบคุมการถ่ายโอนพลังงานกลับสู่แหล่งจ่าย (recovery path) เพื่อเพิ่มประสิทธิภาพรักษาพลังงาน อย่างไรก็ตามสิ่งเหล่านี้ได้มาด้วยการแลกกับการเพิ่มแหล่งจ่ายแรงดันไฟเลี้ยงแบบกระแสสลับเป็น 4 เฟส เพื่อให้การทำงานแบบ ระบบ pipe-line เป็นไปอย่างถูกต้อง จำนวนแรงดันไฟเลี้ยงที่เพิ่มขึ้นก่อเกิดปัญหาในการวางสายและผังวงจร ทำให้วงจรมีขนาดใหญ่และทำงานได้ช้าลงจากค่าความต้านแฝงที่เพิ่มขึ้นจากระยะของสายโยงสัญญาณที่มากขึ้น วงจร HEERL ได้ถูกปรับปรุงต่อไปอีกเพื่อลดจำนวนแรงดันไฟเลี้ยงกระแสสลับลงเหลือเพียง 1 เฟสสัญญาณ (Single-phase power clock supply) ในแต่ละ stage ของระบบ [16] มีจุดมุ่งหมายหลักเพื่อขจัดปัญหาด้านการวางสายเชื่อมโยงสัญญาณและแหล่งจ่ายไฟ นอกจากนี้ ยังมีวงจร QSERL (Quasi-Static Energy Recovery Logic) [17-18] ซึ่งใช้แหล่งจ่ายไฟเลี้ยงแบบกระแสสลับเพียง 2 เฟส แบบ

two-complementary sinusoidal โดยทำหน้าที่จ่ายพลังงานในช่วง pre-charge phase และ evaluation phase และในพลังงานกลับสู่แหล่งจ่ายไฟเลี้ยงอีกครั้งในช่วง recovery phase คล้ายกับวงจรประเภทไดนามิก ต่างกันเพียงแต่พลังงานส่วนหนึ่งจะค้างอยู่ในบางโหนดของวงจรที่ไม่มีการเปลี่ยนแปลงสถานะของสัญญาณ ปริมาณการถ่ายโอนพลังงานไปมาจึงน้อยกว่าแบบไดนามิก

2.1 วงจร Energy recovery logic [3]

ในวงจรดิจิทัลแบบ CMOS มาตรฐานทั่วไป ประจุจะป้อนจากแหล่งจ่ายไฟ ผ่านทรานซิสเตอร์ไปยังจุดต่างๆ ของวงจร และก็จะไหลสู่กราวด์ในท้ายที่สุด และเพื่อทำการเปลี่ยนแปลงศักดาที่จุดต่าง ๆ ซึ่งมักเกี่ยวข้องกับตัวเก็บประจุแฝงภายในวงจรและอุปกรณ์ต่าง ๆ ดังแสดงในรูป 2.1(a) พลังงาน $V_{dd}Q (= CV_{dd}^2)$ จะได้จากแหล่งจ่ายไฟ เมื่อ Q คือประจุที่เคลื่อนจากแหล่งจ่ายไฟและถูกเก็บสะสมในตัวเก็บประจุ C โดยพลังงานเพียงครึ่งหนึ่ง ($\frac{1}{2}CV_{dd}^2$) จะถูกสะสมไว้ที่ตัวเก็บประจุเพียงชั่วคราว ในขณะที่พลังงานอีกครึ่งหนึ่งจะสูญเสียไปในรูปความร้อนจากความต้านทานช่องทางเดินกระแส และความต้านทานแฝงจากสายโยงสัญญาณ สังเกตว่า ปริมาณพลังงาน ($\frac{1}{2}V_{dd}Q$) นี้ไม่ขึ้นอยู่กับค่าความต้านทานแต่ขึ้นกับศักดาของแหล่งจ่ายไฟและปริมาณประจุที่มาจากแหล่งจ่ายเท่านั้น และหลังจากที่การเปลี่ยนแปลงสถานะหรือศักดาตามฟังก์ชันการทำงานของวงจร พลังงานที่สะสมไว้นี้ก็就会被กระจายออกในรูปความร้อนอีกครั้ง ดังนั้นพลังงานทั้งหมด ($V_{dd}Q$) ก็จะถูกกลายเป็นพลังงานสูญเสียในรูปความร้อนทั้งหมด

เมื่อใดก็ตามที่เกิดเส้นทางเดินกระแส พลังงานสูญเสียย่อมเกิดขึ้นอย่างเลี่ยงมิได้หากมีศักดาตกพร้อมที่ปลายเส้นทางเดินกระแสทั้งสอง ไม่ว่าจะเป็นระหว่างแหล่งจ่ายไฟถึงเอาต์พุตของวงจรหรือระหว่างสายสัญญาณภายในก็ตาม โดยพลังงานสูญเสียจะมีค่าประมาณเท่ากับ $\Delta V_{avg}Q$ โดยที่ ΔV_{avg} คือค่าความต่างศักย์เฉลี่ยที่ปลายเส้นทางเดินกระแสทั้งสอง และ Q คือจำนวนประจุที่ไหลผ่านเส้นทางเดินกระแสนั้น ดังนั้น หากต้องการให้เกิดพลังงานสูญเสียลดลงสามารถทำได้โดยการลดศักดาตกพร้อมนี้ด้วยการค่อยเพิ่มค่าศักดาแหล่งจ่ายไฟเลี้ยง (ϕ) จาก 0 จนถึง V_{dd} ดังแสดงในรูปที่ 2.1(d) และคงค่าอยู่ที่ค่านี้นี้ช่วงเวลาหนึ่งก่อนที่จะค่อย ๆ ลดค่าลงกลับสู่ 0 อีกครึ่งหนึ่งในช่วงนำประจุสะสมที่ไหลในตัวเก็บประจุกลับสู่แหล่งจ่ายไฟ หรือ recovery phase



รูปที่ 2.3 (a) วงจร buffer/inverter แบบ energy recovery logic (b) สัญลักษณ์วงจร buffer/inverter (c) วงจร buffer/inverter chain (d) แหล่งจ่ายไฟกระแสสลับ 6 เฟสสำหรับวงจร reversible logic

จากรูป 2.3 (a) แสดงวงจร adiabatic buffer/inverter แบบ energy recovery logic โดยมี recovery path แบบ reversible logic เมื่อกำหนดให้ $X_i = 1$, และ สักคาที่เกิดของ isolation gate (IS_i) = 0, ดังนั้น สักคาเอาต์พุต (X_{i+1}) จะเปลี่ยนค่าตามแหล่งจ่ายไฟเลี้ยงจาก 0 จนมีค่าเท่ากับ V_{dd} ในลักษณะเพิ่มขึ้นอย่างค่อยเป็นค่อยไป ซึ่งเป็นการเปลี่ยนสถานะลอจิกจาก 0 เป็น 1 สักคาเอาต์พุต X_{i+1} จะถูกคงไว้จนกว่าการทำงานของวงจรถัดไปจะเสร็จสิ้นลง จากนั้นวงจรจะเข้าสู่ช่วง recovery phase เพื่อนำประจุกลับสู่แหล่งจ่ายไฟเลี้ยงโดยสักคา X_{i+1} นี้จะลดค่าลงตามแหล่งจ่ายไฟสู่ค่า 0 โดยอาจมีสักคาคกร่อมเพียงเล็กน้อยตามช่องทางเดินกระแส ซึ่งก่อให้เกิดพลังงานสูญเสียเพียงเล็กน้อยเมื่อเทียบกับกระบวนการเปลี่ยนสถานะของวงจร CMOS การกำหนดให้แหล่งจ่ายมีค่าเปลี่ยนแปลงแบบค่อยเป็นค่อยไปและสอดคล้องกับการสักคาโหลดตัวเก็บประจุ ทำให้ลดสักคาที่ดกร่อมทรานซิสเตอร์ซึ่งทำหน้าที่เป็นช่องทางเดินกระแส วิธีการนี้เป็นการหลีกเลี่ยงการสูญเสียพลังงานจำนวนมากที่เกิดขึ้นที่ช่องทางเดินกระแส โดยปริมาณพลังงานสูญเสียจะขึ้นอยู่กับความสามารถในการรักษาความต่างศักย์ที่ปลายช่องทางเดินกระแสให้มีค่าต่ำที่สุด ซึ่งสามารถควบคุมได้จากเวลาในเปลี่ยนสถานะ (T) และ ค่าคงที่เวลา RC ดังนั้นพลังงานสูญเสียจึงมีค่าเท่ากับ

$$E_{dissipation} = \left(\frac{RC}{\Delta t} \right) CV_{dd}^2 \quad (2.13)$$

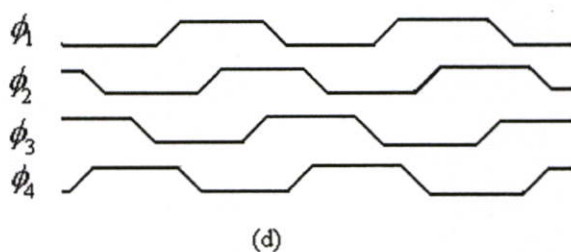
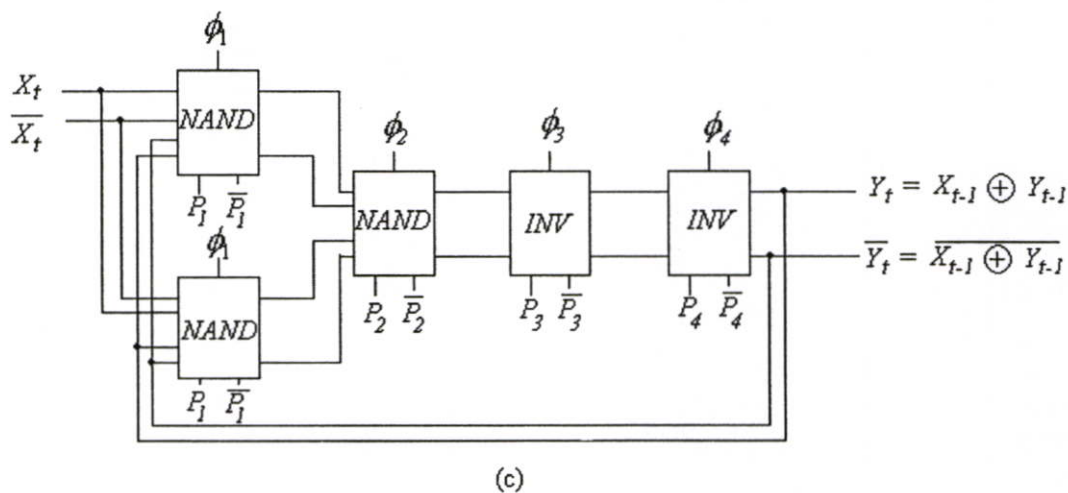
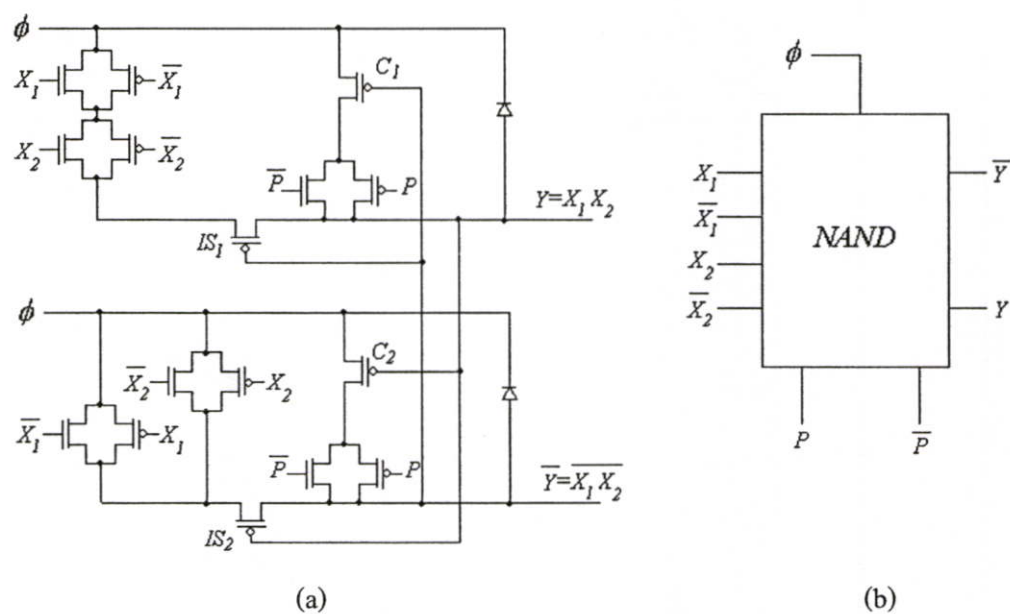
รูปที่ 2.3(b) แสดงสัญลักษณ์และขาสัญญาณของวงจร buffer/inverter แบบ energy recovery logic โดยรูปที่ 2.3(c) แสดงการเชื่อมต่อแบบ buffer/inverter chain เพื่อให้การทำงานของวงจรรวมเป็นไปอย่างถูกต้อง แหล่งจ่ายไฟเลี้ยงนี้จะถูกกำหนดมีการเปลี่ยนแปลงเป็น 4 ช่วงคือ ช่วง Idle phase ($\phi = 0$), ช่วง Evaluation phase (ϕ มีค่าค่อยๆ เพิ่มขึ้นจาก 0 ไปยัง V_{dd}), ช่วง hold phase ($\phi = V_{dd}$) และ ช่วง Recovery phase (ϕ มีค่าค่อยๆ ลดลงจาก V_{dd} กลับสู่ 0) การที่จะเป็นต้องมีช่วง Hold phase ดังแสดงในรูปที่ 2.3(d) ทั้งนี้ เพื่อให้แน่ใจว่าสักคาที่เอาต์พุตซึ่งจะทำหน้าที่เป็นอินพุตของวงจรถัดไป จะไม่เปลี่ยนแปลงจนกว่าการประมวลผลของวงจรถัดไปจะสิ้นสุดลง เพื่อให้การทำงานเป็นไปอย่างถูกต้องซึ่งต้องอาศัยอุปกรณ์ที่ควบคุมส่วนนี้คือ isolation gate (IS) และ control gate (C) ที่สร้างขึ้นจาก T-gate (Transmission gate) อย่างไรก็ตาม หัวใจของวงจรนี้มิใช่เพียงแต่การลดพลังงานสูญเสียจากความต้านทานช่องทางเดินกระแส แต่มุ่งหมายที่จะนำพลังงานที่สะสมไว้ในส่วนต่าง ๆ ของวงจรกลับสู่แหล่งจ่ายไฟ ปัญหาที่ตามมาคือ จะทราบได้อย่างไรว่ามีประจุสะสมอยู่ที่เอาต์พุตของวงจร X_{i+1} และต้องนำกลับสู่แหล่งจ่ายไฟเลี้ยง เนื่องจากวงจรในรูป 2.3 เป็นวงจร buffer/inverter chain ดังนั้นสถานะลอจิกของ X_{i+1} ซึ่งเป็นอินพุตของวงจรถัดไปจึงสามารถหาได้จากสถานะ X_{i+2} ซึ่งเป็นเอาต์พุตของวงจรถัดไปและสามารถใช้ในการควบคุมทรานซิสเตอร์ใน recovery path เพื่อนำประจุกลับสู่แหล่งจ่ายไฟเลี้ยง ดังแสดงในรูป

2.3(a) วงจรที่สามารถทราบสถานะลอจิกของสัญญาณอินพุตจากสถานะลอจิกของสัญญาณเอาต์พุตนี้ เรียกว่า วงจร reversible logic

สังเกตว่าวงจรลอจิกทั่วไปเป็นแบบ irreversible logic ดังนั้น วิธีการง่าย ๆ วิธีการหนึ่งคือการใช้ทรานซิสเตอร์ที่ต่อแบบ self-bias ทำหน้าที่คล้ายไดโอดในการกำกับทิศทางการไหลของประจุ (พลังงาน) ดังแสดงในรูป 2.2(c) วิธีการนี้แม้ง่าย แต่ไม่มีประสิทธิภาพเพียงพอ อันเกิดจากพลังงานสูญเสียอันเนื่องมาจากศักดาเทรคโวลต์ของทรานซิสเตอร์ซึ่งได้กล่าวก่อนหน้านี้และ ปัญหาเรื่องระดับสัญญาณอันเนื่องจากการหยุดนำกระแสของทรานซิสเตอร์ทำให้ระดับสัญญาณไม่ใช่ค่า 0 โวลต์อย่างแท้จริงในกระบวนการ restoration ดังนั้น วงจร Energy recovery logic จึงเป็นวิธีการออกแบบวงจรที่มีประสิทธิภาพสูงสุดในแง่การประหยัดพลังงาน ซึ่งสร้างขึ้นจาก T-gate และควบคุมการทำงานของวงจรด้วยสัญญาณที่สร้างขึ้นจากอินเวอร์สฟังกชันทางลอจิกของวงจรถัดไป อย่างไรก็ตามวิธีการนี้อาจทำได้จริงในทางปฏิบัติโดยปกติ เนื่องจากการที่ไม่สามารถสร้างวงจรอินเวอร์สฟังกชันได้ (irreversible logic)

2.2 วงจร Partial Reversible Logic

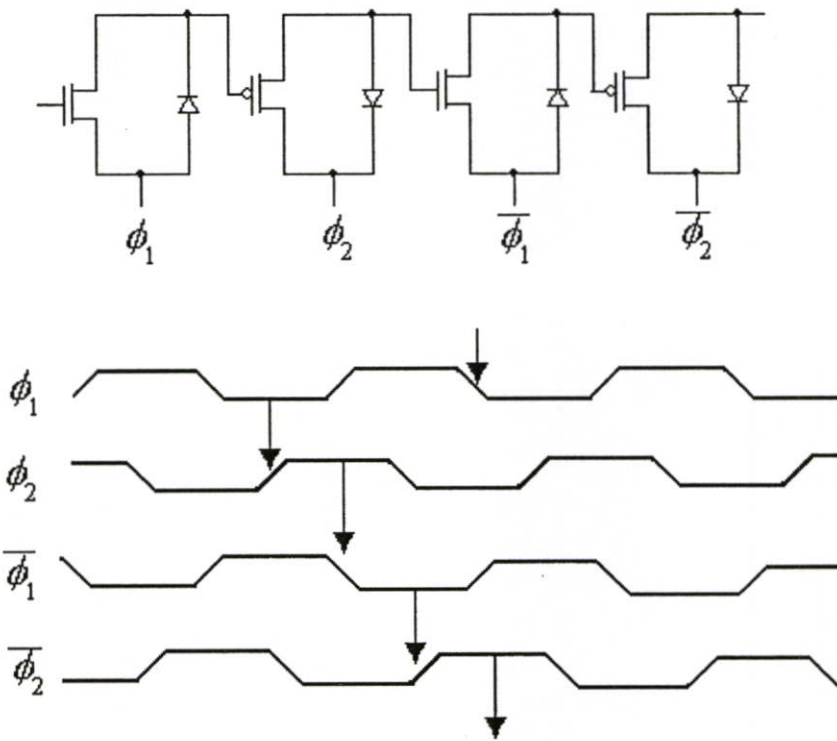
จากหัวข้อก่อนหน้าในกระบวนการ restoration ซึ่งเป็นขั้นตอนการนำประจุที่สะสมไว้ที่เอาต์พุตของวงจรกลับสู่แหล่งจ่ายไฟเพื่อใช้ในการประมวลผลในรอบถัดไป จำเป็นต้องอาศัยอุปกรณ์ควบคุมการไหลของกระแส (T-gate) และสัญญาณควบคุมที่ได้จากอินเวอร์สฟังกชันของวงจรถัดไปที่ได้เฉพาะวงจรประเภท reversible logic อย่างไรก็ตามวงจรลอจิกโดยทั่วไปมักเป็นแบบ irreversible logic เช่นวงจร NAND, NOR หรือ XOR ทำให้การสร้างสัญญาณควบคุมการทำงาน recovery path เป็นไปไม่ได้ ดังนั้นจึงมีการวิจัยค้นคว้าในการหาเทคนิคการออกแบบวงจร เพื่อให้กระบวนการนำพลังงานกลับมาใช้ใหม่เป็นไปมากที่สุด วิธีการหนึ่งคือการควบคุม T-gate ด้วยสัญญาณที่สร้างขึ้นจากคู่ฟังกชันทางลอจิกของวงจรมัน ๆ แทนที่จะเป็นสัญญาณจากอินเวอร์สฟังกชันของวงจรถัดไป ดังรูปที่ 2.4(a) ซึ่งแสดงวงจร AND/NAND แบบ Partial reversible logic โดย isolation gate (IS1 และ IS2) จะถูกควบคุมด้วยสัญญาณจากเอาต์พุตของวงจรรูฟังกชัน ($\bar{Y} (= \overline{X1X2})$ และ $Y (= X1X2)$ ตามลำดับ) โดยทำหน้าที่แยกวงจรกับวงจรถัดไป เช่นเดียวกันกับเกตควบคุม (control gate) ในส่วน recovery path (C1 และ C2) นอกจากนี้ T-gate ที่ควบคุมด้วยสัญญาณ $P1 (= \phi_{i+1})$ และ $\bar{P1} (= \phi_{i+3})$ ใช้ในการ synchronize สัญญาณเมื่อนำวงจรหลายวงจรมาทำงานร่วมกัน รูปที่ 2.4(b) แสดงสัญญาณลักษณะและขาสัญญาณของวงจร NAND แบบ partial reversible logic รูปที่ 2.4(c) แสดงวงจรนับ 1 บิตที่ทำการแทรกวงจรอินเวอร์เตอร์ (INV) สองวงจรเพื่อให้จังหวะการทำงานสอดคล้องกันกับจำนวนเฟส 4 เฟสของแหล่งจ่ายไฟเลี้ยง



รูปที่ 2.4 (a) วงจร AND/NAND แบบ partial reversible logic (b) สัญลักษณ์วงจรร AND/NAND (c) วงจรนับ 1 บิต (d) แหล่งจ่ายไฟกระแสสลับ 4 เฟสสำหรับวงจรร partial reversible logic

2.3 วงจร ADL (Adiabatic Dynamic Logic) [5]

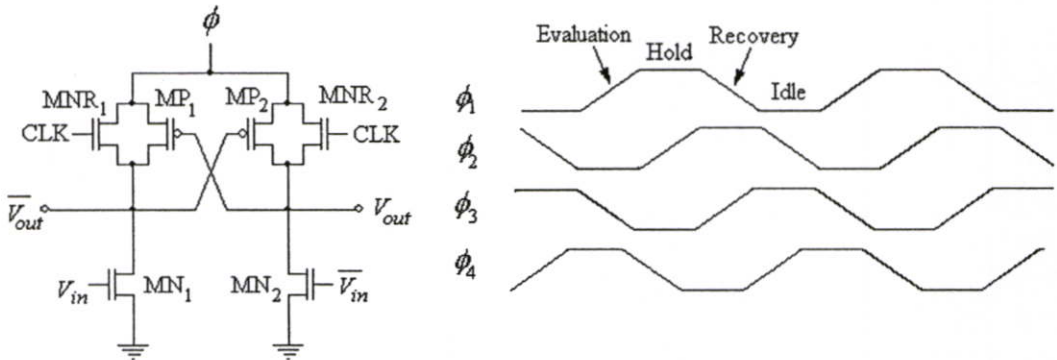
แนวความคิดการออกแบบวงจรประเภทนี้ เพื่อลดความยุ่งยากในกระบวนการนำพลังงานกลับคืน (Restoration) โดยผสมผสานการออกแบบ adiabatic และวงจรไดนามิกลอจิกแบบเดิมที่วงจรจะมีช่วงทำงานเป็น 2 ช่วงคือ precharge phase และ evaluation phase มาใช้ในกระบวนการ restoration โดยผ่านอุปกรณ์เรียงกระแส (ไดโอด) ซึ่งทำหน้าที่ precharge วงจร ดังรูปที่ 2.5 ซึ่งแสดงวงจรอินเวอร์เตอร์แบบ ADL อย่างไรก็ตามแม้วงจรประเภทนี้จะมีขนาดเล็กและออกแบบได้ง่าย แต่ประสิทธิภาพด้านการจัดการพลังงานยังไม่ดีกล่าวคือ เกิดการถ่ายโอนพลังงานตลอดเวลาในทุกคาบสัญญาณ และพลังงานส่วนมากจะสูญเสียเนื่องจากสัปดาห์ที่ตกคร่อมไดโอด ตลอดจนปัญหาเรื่องระดับแรงดันสัญญาณเอาต์พุตสูงสุดและต่ำสุด อันเนื่องจากสัปดาห์ส่วนหนึ่งที่ตกคร่อมไดโอดด้วยเช่นกัน



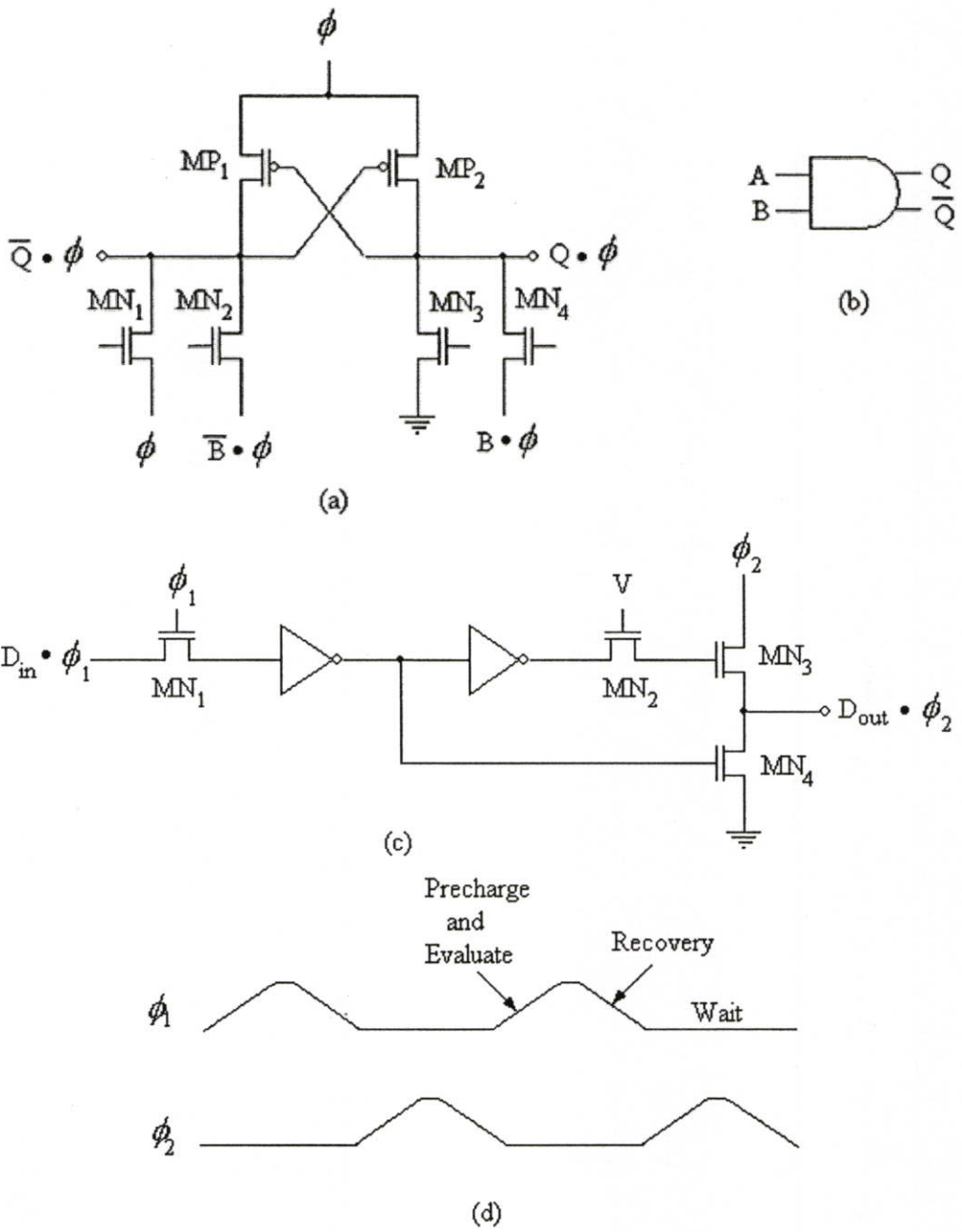
รูปที่ 2.5 วงจร inverter chain แบบ ADL (Adiabatic Dynamic Logic)

2.4 วงจร EEL (Energy Efficient Logic)[6]

รูปที่ 2.6 แสดงวงจรอินเวอร์เตอร์แบบ EEL วงจรประเภทนี้ถือเป็นวงจรไดนามิกอีกประเภทหนึ่ง ซึ่งแบ่งการทำงานเป็นสี่ช่วงคือ Idle phase, Evaluation phase, Hold phase และ Recover phase โดยการนำไดโอดออกไปเพื่อลดพลังงานสูญเสียจากสัปดาห์คร่อมและใช้คู่ทรานซิสเตอร์ (cross-couple transistor) MP_1 และ MP_2 ในการควบคุมประจุที่จะไหลจากเข้าสู่่วงจรและกลับสู่แหล่งจ่าย เนื่องจากคู่ออสทรานซิสเตอร์จะหยุดนำกระแสเมื่อศักดาเกต-ซอร์ท (V_{GS}) มีค่าต่ำกว่าศักดาเทรชโฮลด์ (V_{th}) ทำให้การถ่ายโอนประจุเป็นไปไม่สมบูรณ์และศักดาเอาต์พุต (V_{out} และ \bar{V}_{out}) มีช่วงแกว่งไม่เป็นแบบ rail to rail โดยศักดาส่วนหนึ่งจะตกคร่อมที่คู่ทรานซิสเตอร์นี้ ดังนั้นเพื่อให้การถ่ายโอนประจุเป็นไปอย่างสมบูรณ์ จึงมีการเพิ่มมอสทรานซิสเตอร์เพื่อทำหน้าที่ recovery (MNR_1 และ MNR_2) ซึ่งต้องการสัญญาณนาฬิกา (CLK) แบบ square signal ในการควบคุมการไหลของพลังงานเข้าสู่่วงจร ดังนั้นจำนวนสัญญาณที่ใช้ในการควบคุมการทำงานวงจรจำนวนมาก กลับเป็นอุปสรรคต่อการวางผังวงจรและการลากสายสัญญาณ ซึ่งจะส่งผลต่อการสูญเสียพลังงานในที่สุด



รูปที่ 2.6 วงจรอินเวอร์เตอร์แบบ EEL (Energy Efficient Logic)



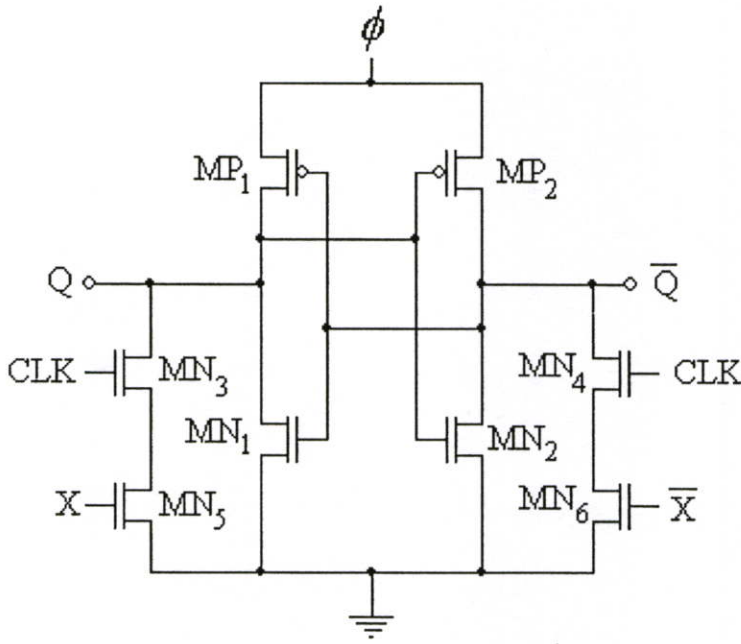
รูปที่ 2.7 (a) วงจร AND แบบ ADCPL (b) สัญลักษณ์ทางลอจิก (c) วงจร latch และ (d) แหล่งจ่ายไฟ 2 เฟส

2.5 วงจร ADCPL (Adiabatic Differential Cascode voltage switch with Pass-transistor Logic) [7]

รูปที่ 2.7 แสดงวงจร AND แบบ ADCPL วงจรประเภทนี้ถือเป็นวงจรไดนามิกอีกประเภทหนึ่ง ที่พัฒนาต่อจากวงจร EEL โดยยังคงใช้คู่ทรานซิสเตอร์ (MP_1 และ MP_2) ในการเชื่อมต่อกับแหล่งจ่ายไฟ (ϕ) แต่แทนที่จะเชื่อมต่อทรานซิสเตอร์ที่ทำหน้าที่เป็น function network (MN_1 - MN_4) ของวงจรลงกราวด์ วงจร ADCPL จะทำการเชื่อมต่อเข้ากับสัญญาณต่าง ๆ ในรูปแบบของ pass-transistor ทำให้สามารถออกแบบวงจรที่มีความสลับซับซ้อนได้โดยไม่เกิดปัญหา charge-sharing และส่งผลให้วงจรมีขนาดเล็ก อย่างไรก็ตาม ข้อเสียของวงจรมีความยากลำบากในการจัดช่วงเวลาของสัญญาณต่าง ๆ เมื่อนำวงจรมาต่อกัน ซึ่งจำเป็นต้องอาศัยวงจร latch (รูปที่ 2.7(c)) นอกจากนี้ พลังงานสูญเสียจะเกิดในทุกคาบสัญญาณอันเป็นผลมาจากการทำงานแบบไดนามิก

2.6 วงจร CAL (Clocked CMOS Adiabatic Logic) [9]

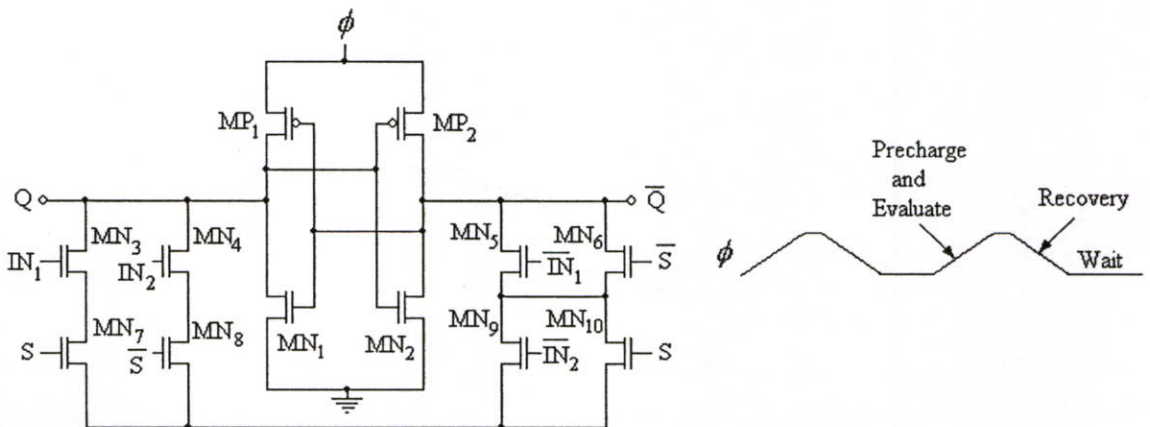
รูปที่ 2.8 แสดงวงจรอินเวอร์เตอร์แบบ CAL โดยวงจรมีความคล้ายคลึงกับวงจร EEL อย่างมาก หากแต่เพิ่มส่วนคู่ทรานซิสเตอร์ NMOS เพื่อให้แน่ใจว่า จะไม่มีจุดใดในวงจรที่จะอยู่ในสถานะลอยตัว (floating) นอกจากนี้ยังช่วยลดสัญญาณควมคุม (CLK) ที่จำเป็นต้องใช้ในวงจร EEL ดังนั้นสัญญาณเอาต์พุตของวงจรจึงมีลักษณะแกว่งเต็มช่วงแบบ rail to rail และส่งผลให้มีความทนทานต่อสัญญาณรบกวนอย่างดี อย่างไรก็ตามการต่อวงจรแบบนี้ทำให้ยากต่อการเปลี่ยนสถานะทางเอาต์พุตด้วย ดังนั้นจึงเป็นการยากที่จะควบคุมให้ศักดาเอาต์พุตเปลี่ยนแปลงสอดคล้องกับศักดาแหล่งจ่าย (ϕ) อันเป็นเงื่อนไขเบื้องต้นของการทำงานแบบ adiabatic ดังนั้นเมื่อเกิดศักดาตกคร่อมทรานซิสเตอร์จึงนำไปสู่การสูญเสียพลังงานมากขึ้นเมื่อเทียบกับวงจร adiabatic แบบอื่น ๆ นอกจากนี้ ในช่วงเปลี่ยนสถานะสัญญาณ ทรานซิสเตอร์ (MP_1 - MP_2) และ (MN_1 - MN_2) จะไม่นำกระแสเต็มที่และเกิดการลัดสัญญาณจากแหล่งจ่ายสู่กราวด์ อันเป็นผลให้เกิดพลังงานสูญเสียจากกระแสลัดวงจร



รูปที่ 2.8 วงจรอินเวอร์เตอร์แบบ CAL

2.7 วงจร PAL-2N (Pass-transistor Adiabatic Logic with NMOS pull-down) [10]

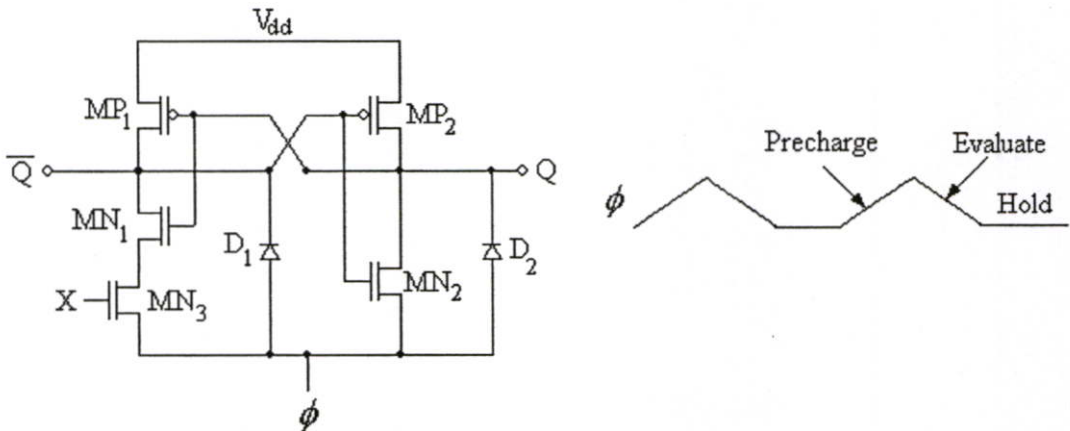
จากข้อดีด้านความทนทานต่อสัญญาณรบกวนที่ได้จากการเพิ่มคู่ทรานซิสเตอร์ NMOS ที่ทำหน้าที่ pull-down ในวงจร CAL (รูปที่ 2.8) ดังนั้น วิธีการนี้จึงได้ถูกประยุกต์ใช้เข้ากับวงจร ADCPL (รูปที่ 2.7) และถูกเรียกว่าวงจร PAL-2N โดย 2N หมายถึงมอสทรานซิสเตอร์ MN_1 และ MN_2 อย่างไรก็ตาม ข้อเสียของวงจร ADCPL ทั้งด้านการจัดการช่วงเวลาสัญญาณ และพลังงาน สูญเสียจากการทำงานแบบไดนามิกยังคงอยู่ เพียงแต่ปรับปรุงปัญหาเรื่องช่วงแกว่งของสัญญาณ เป็นแบบเต็มช่วงหรือแบบ rail-to-rail และ เพิ่มความต้านทานสัญญาณรบกวนเช่นเดียวกับวงจร CAL รูปที่ 2.9 แสดงวงจร multiplex แบบ 2:1 ที่ออกแบบด้วยวิธี PAL-2N



รูปที่ 2.9 วงจร 2:1 MUX แบบ PAL-2N

2.8 วงจร APDL (Adiabatic Pseudo-Domino Logic) [11]

เทคนิคการออกแบบวงจรประเภทนี้ถูกพัฒนามาจากวงจร CMOS Domino logic โดย ϕ เป็นแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับ และ V_{dd} เป็นแหล่งจ่ายไฟเลี้ยงตรง และแบ่งการทำงานเป็น 3 ช่วงคือ Precharge phase, Evaluation phase และ Hold phase (รูปที่ 2.10) โดยในช่วงแรก (Precharge phase) ทุกจุดในวงจรจะถูกซาร์ทอย่างช้า ๆ จากแหล่งจ่ายไฟ ϕ จนมีสถานะลอจิกที่เอาต์พุต (\bar{Q} และ Q) เท่ากับ 1 ผ่านทางไดโอด D_1 และ D_2 ตามลำดับ จากนั้นจึงเข้าสู่ Evaluation phase ซึ่ง ϕ จะค่อย ๆ ลดต่ำลงและไดโอดอยู่ในสภาพ reverse bias (ไม่นำกระแส) สักคาเอาต์พุตจะถูกประมวลจากฟังก์ชันการทำงานของวงจรและอินพุต (X) ในขณะนั้น จากรูป 2.10 ซึ่งเป็นวงจรอินเวอร์เตอร์ เมื่อสัญญาณอินพุต (X) มีสถานะลอจิก 1 ทรานซิสเตอร์ MN_3 จะนำกระแสทำให้สัญญาณเอาต์พุต \bar{Q} มีสถานะเป็น 0 ในขณะเดียวกันสัญญาณเอาต์พุต \bar{Q} ทำให้ทรานซิสเตอร์ MN_2 นำกระแส ส่งผลให้สัญญาณเอาต์พุต Q มีสถานะลอจิก 0 และจะถูกรักษาไว้ในช่วง Hold phase เพื่อเป็นอินพุตกับวงจรถัดไป ดังนั้นสัญญาณจะถูกถ่ายทอดต่อไปเหมือนลักษณะของ domino ข้อเสียของวงจรประเภทนี้คือพลังงานสูญเสียอันเนื่องจากการสัปดาห์คร่อมไดโอด ดังที่กล่าวไว้แล้ว

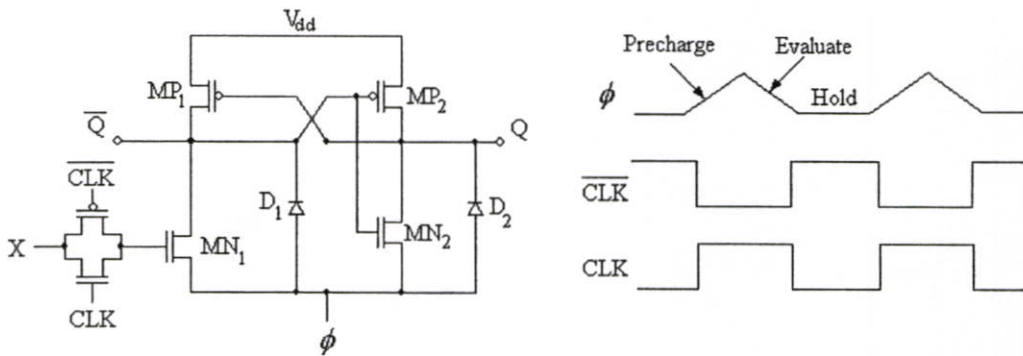


รูปที่ 2.10 วงจรอินเวอร์เตอร์ (บัฟเฟอร์) แบบ APDL

2.9 วงจร T-APDL (Transmission gate-interfaced APDL) [12]

รูปที่ 2.11 เป็นวงจรอินเวอร์เตอร์แบบ T-APDL ซึ่งเป็นวงจรที่ปรับปรุงต่อจากวงจร APDL (รูปที่ 2.10) ที่มีข้อเสียจากโหลดตัวเก็บประจุที่ไม่สมมาตรที่เอาต์พุตทั้งสองด้านเนื่องจาก (MN_1 - MN_3) และ MN_2 เมื่อทำงานที่ความถี่สูงขึ้นความไม่สมมาตรของขนาดโหลดตัวเก็บประจุ ทำให้ช่วงเวลาของสัญญาณเอาต์พุต Q และ \bar{Q} เหลื่อมและคลาดเคลื่อนกัน ส่งผลให้การควบคุมการทำงานของวงจรผิดพลาด ดังนั้นเพื่อให้วงจรสามารถทำงานที่ถี่สูงขึ้น วงจร T-APDL จึงเพิ่มส่วน transmission gate ที่ควบคุมด้วยสัญญาณ (CLK และ \overline{CLK}) ส่งผลของพลังงานสูญเสียลดวงจรลง

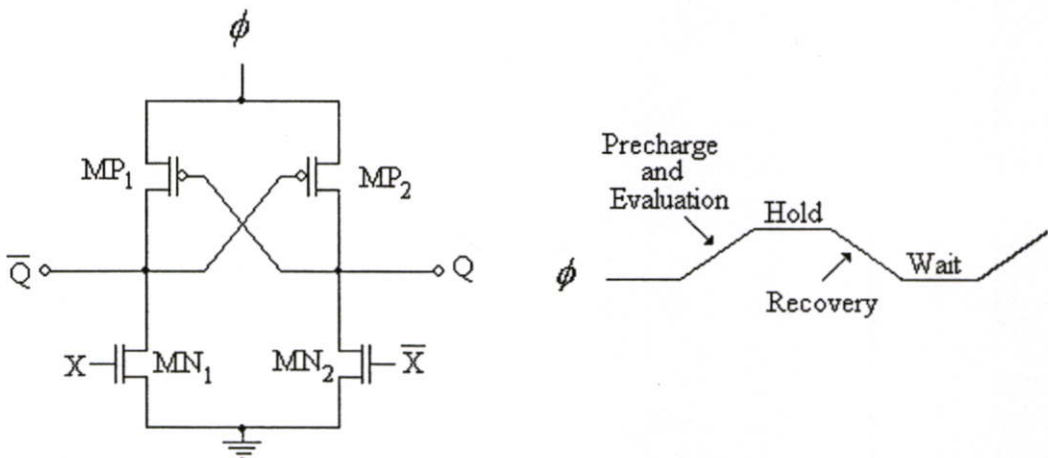
อย่างไรก็ตามวงจรต้องอาศัยสัญญาณควบคุมเพิ่มเติมทำให้ยากต่อการวางผังวงจร และการวางสายสัญญาณต่าง ๆ



รูปที่ 2.11 วงจรอินเวอร์เตอร์แบบ T-APDL

2.10 วงจร ECRL (Efficient Charge Recovery Logic) [13]

วงจรก่อนหน้านี้มักมีช่วงแรกของการทำงานคือ Precharge phase จากนั้นจึงตามด้วย Evaluation phase นั้นหมายถึง การถ่ายเทพลังงานจะเกิดขึ้นตั้งแต่ช่วงแรกของการทำงาน ทั้งความไม่เป็นอุดมคติของอุปกรณ์ต่าง ๆ ทำให้เกิดการสูญเสียพลังงานระหว่างการถ่ายเทไปมาอย่างหลีกเลี่ยงไม่ได้ ในขณะที่วงจร ECRL (รูปที่ 2.12) มีช่วง Precharge phase และ Evaluation phase เดียวกัน กล่าวคือเฉพาะจุดในวงจรที่สอดคล้องกับฟังก์ชันการทำงานและอินพุตขณะนั้น จึงเกิดการถ่ายเทพลังงาน ปริมาณพลังงานรวมที่เคลื่อนย้ายภายในวงจรเท่าที่จำเป็นก่อนเข้าสู่ช่วง Hold phase และ Recovery phase ทำให้วงจรประเภทนี้มีพลังงานสูญเสียต่ำกว่าวงจรไดนามิกแบบอื่นๆ ที่ได้กล่าวมาแล้วข้างต้น



รูปที่ 2.12 วงจรอินเวอร์เตอร์แบบ ECRL

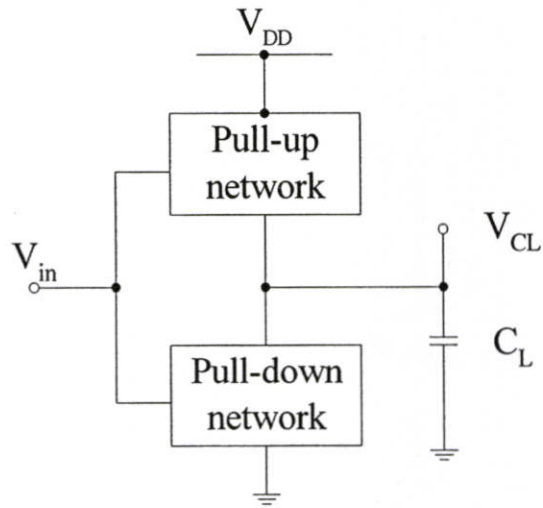
บทที่ 3

วงจรถูก QSECRL

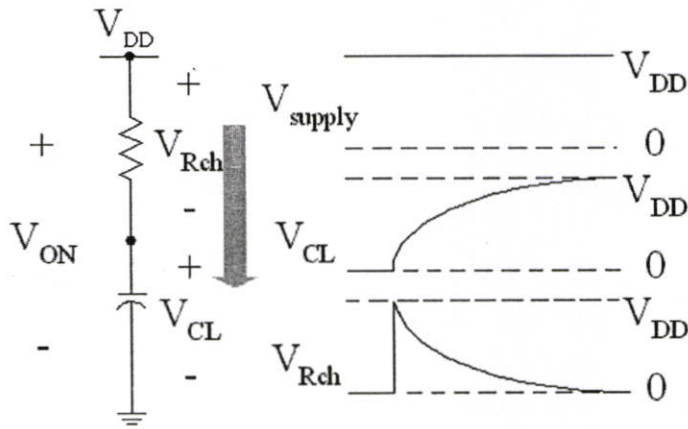
(Quasi-static efficient charge recovery logic)

กระบวนการออกแบบวงจรถูกแบบกำลังงานต่ำ ที่ใช้หลักการการถ่ายเทพลังงานไปมาเพื่อสงวนพลังงานไม่ให้เกิดการสูญเสีย หรือเรียกว่ากระบวนการอะไดอะบาติก (adiabatic process) บนพื้นฐานทางทฤษฎีเทอร์โมไดนามิกส์ได้รับความสนใจในช่วงหลายปีที่ผ่านมา จากความข้อจำกัดด้านประสิทธิภาพการจัดการพลังงานของวงจรถูกดิจิทัลของวงจรถูกทั่วไปเช่นวงจรถูกดิจิทัลแบบซิมอส วงจรถูกดิจิทัลแบบไบโพลาร์ รวมถึงวงจรถูกแบบไบซิมอส ซึ่งเป็นวงจรถูกที่ผสมผสานเทคโนโลยีกระบวนการผลิตซิมอสและไบโพลาร์เข้าด้วยกัน เพื่อใช้ประโยชน์จากขนาดวงจรถูกขนาดเล็กการสูญเสียพลังงานน้อยของอุปกรณ์ทรานซิสเตอร์แบบมอส และความสามารถในการขับเคลื่อนของไบโพลาร์ สิ่งเหล่านี้ต้องอาศัยการออกแบบที่ซับซ้อนและระมัดระวังเพื่อให้วงจรถูกมีประสิทธิภาพสูงสุด อย่างไรก็ตาม สำหรับงานที่ต้องการวงจรถูกที่ใช้กำลังงานต่ำมาก (Ultra-low power circuit) จำเป็นต้องมีการออกแบบวงจรถูกด้วยเทคนิคพิเศษ บนพื้นฐานทางทฤษฎีที่แตกต่างจากวงจรถูกอื่น ๆ เมื่อพิจารณาการทำงานของวงจรถูกดิจิทัลซิมอสซึ่งแสดงในรูปที่ 3.1 จะพบว่าค่าหรือสถานะของสัญญาณขาออก จะถูกแสดงในรูปของศักดาไฟฟ้า (V_{CL}) ที่ตกคร่อมโหลดซึ่งมักอยู่ในรูปของตัวเก็บประจุ (Capacitive load) ที่อาจประกอบขึ้นจาก ค่าความเก็บประจุจากทรานซิสเตอร์ขาออกเอง ค่าตัวเก็บประจุของสายโยงสัญญาณระหว่างวงจรถูก รวมถึงค่าตัวเก็บประจุของทรานซิสเตอร์ขาเข้าของวงจรถูกถัดไปซึ่งมักมีอิทธิพลมากที่สุดโดยเฉพาะอย่างยิ่งวงจรถูกประเภทซิมอส บางครั้งนักออกแบบวงจรถูกอาจสร้างโหลดตัวเก็บประจุโดยเฉพาะเพื่อเหตุผลบางประการ เช่น วงจรถูกประเภทหน่วยความจำ หรือวงจรถูกกำเนิดสัญญาณนาฬิกาเป็นต้น การที่สถานะของสัญญาณขาออกถูกกำหนดจากค่าศักดา (V_{CL}) เมื่อเกิดการเปลี่ยนค่าทางลอจิก จากค่า 0 ไปเป็นค่า 1 เกิดจากการชาร์จประจุที่ได้จากแหล่งจ่ายไฟไปยังโหลดตัวเก็บประจุ (C_L) ผ่าน pull-up network และในทางกลับเมื่อเกิดการเปลี่ยนค่าทางลอจิกจาก 1 ไปเป็นค่า 0 ประจุถูกสะสมไว้ในโหลดตัวเก็บประจุจะถูกดีสชาร์จหรือเกิดการคายประจุผ่านทาง pull-down network สู้กราวนี้ หากพิจารณาถึงการถ่ายเทพลังงานที่เกิดขึ้นในกระบวนการดังกล่าวจะพบว่าเมื่อกำหนดให้สัญญาณอินพุตของวงจรถูกเป็นสัญญาณไฟตรง ซึ่งมีค่าคงที่ตลอดช่วงที่วงจรถูกทำงานเพื่อกำหนดสัญญาณเอาต์พุตตามแต่ฟังก์ชันของวงจรถูกที่กำหนดไว้ เมื่อเอาต์พุตของวงจรถูกเปลี่ยนสถานะจาก 0 เป็น 1 พลังงานจะถูกถ่ายเทจากแหล่งจ่ายไฟอันเกิดจากการถ่ายประจุซึ่งมีค่าเท่ากับ $C_L V_{DD}^2$ การถ่ายเทพลังงานจะเป็นไปอย่างค่อยเป็นค่อยไปจากการชาร์จโหลดตัวเก็บประจุศักดาที่ตกคร่อมโหลดจะค่อย ๆ เพิ่มขึ้นจนมีค่าเท่ากับค่าศักดาแหล่งจ่าย กระบวนการถ่ายเทพลังงานในรูปแบบการเคลื่อนย้ายประจุจึงสิ้นสุดลง โดยพลังงานที่ถูกสะสมในตัวเก็บประจุจะมีค่าเท่ากับ

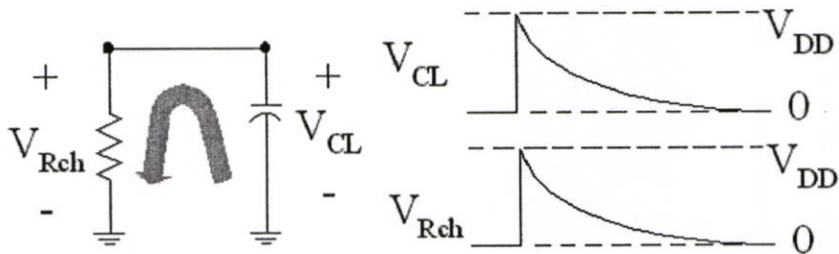
$\frac{1}{2}C_L V_{DD}^2$ ดังนั้นจะพบว่าพลังงานครึ่งหนึ่งสูญหายไประหว่างการเปลี่ยนสถานะ พลังงานส่วนนี้ จะอยู่ในรูปพลังงานความร้อนอันเกิดจากการถ่ายเทประจุผ่านค่าความต้านทานช่องทางเดินกระแส (channel resistance, R_{ch}) ของทรานซิสเตอร์ต่าง ๆ ที่ประกอบขึ้นเป็นส่วน pull-up network เมื่อมี สักคาตคกร้อม ดังแสดงในรูปที่ 3.1(b) และเมื่อเกิดการเปลี่ยนแปลงสถานะเอาต์พุตของวงจรจาก ค่า 1 เป็นค่า 0 ประจุที่ได้สะสมไว้ในโหลดตัวเก็บประจุ ก็จะถูกถ่ายเทอีกครั้งหนึ่งผ่าน pull-down network จนค่าศักดา มีค่าเท่ากับศักดาที่กราวด์ การถ่ายเทประจุก็จะสิ้นสุดที่สุด สักคที่ตคกร้อม pull-down network และการเคลื่อนย้ายประจุผ่านค่าความต้านทานช่องทางเดินกระแสของทรานซิสเตอร์ที่ ประกอบขึ้นเป็น pull-down network นี้ ทำให้เกิดการสูญเสียพลังงานในรูปความร้อนซึ่งมีค่า เท่ากับ $\frac{1}{2}C_L V_{DD}^2$ ซึ่งเท่ากับพลังงานที่ถูกสะสมไว้ในโหลดตัวเก็บประจุดังแสดงในรูปที่ 3.1(c) กระบวนการนี้จะเกิดขึ้นซ้ำ ๆ และในทุกส่วนของวงจรตลอดเวลาครบที่มีการเปลี่ยนแปลงสถานะ ของเอาต์พุตของวงจรต่าง ๆ อย่างหลีกเลี่ยงไม่ได้ ถ้าพลังงานสูญเสียหรืออัตราการสูญเสียพลังงาน ต่อเวลาจะเพิ่มขึ้น เมื่อวงจรทำงานภายใต้สัญญาณนาฬิกาที่มีความถี่สูงขึ้น โดยเฉพาะอย่างยิ่งวงจร ดิจิตอลลอจิกประเภทไดนามิก ซึ่งต้องมีการชาร์ต หรือ ดิสชาร์ต วงจรก่อนการประมวลสัญญาณ ซึ่งหมายถึงวงจรจะเกิดการสูญเสียพลังงาน $C_L V_{DD}^2$ ในทุกคาบสัญญาณและในทุกส่วนของวงจร



(a)



(b)

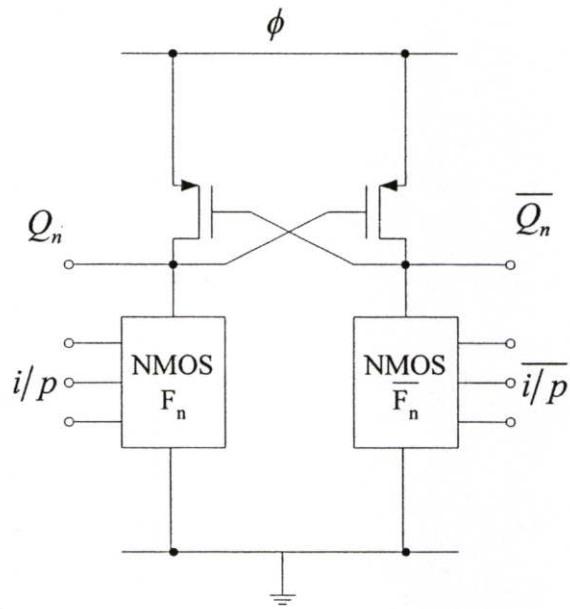


(c)

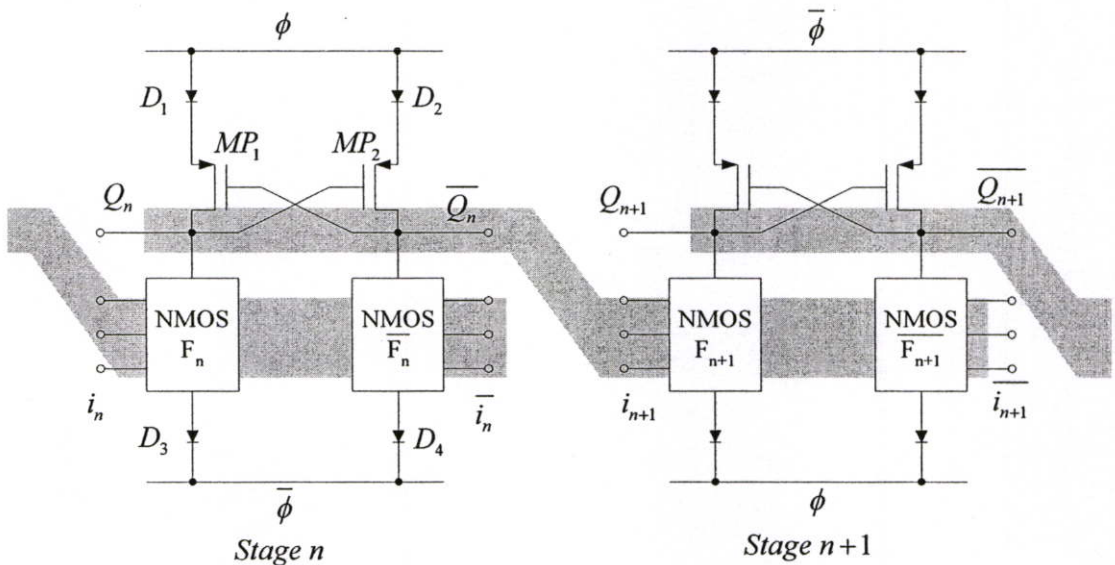
รูปที่ 3.1 (a) วงจร static CMOS (b) กระบวนการชาร์จ (c) กระบวนการดิสชาร์จ โหลดตัวเก็บประจุ (C_L)

เพื่อจัดการการถ่ายเทพลังงานให้มีประสิทธิภาพมากขึ้น จึงมีการนำเสนอวงจรที่มีการจัดการถ่ายเทพลังงาน ไปมาแบบสวอนพลังงานไม่ให้เกิดการสูญเสีย ซึ่งถูกเรียกว่า วงจร adiabatic โดยมีจุดมุ่งหมายในการลดหรือรักษาแรงดันตกคร่อม pull-up และ pull-down network ให้มีค่าต่ำที่สุดเท่าที่เป็นไปได้ตลอดช่วงการถ่ายเทประจุ รวมถึงการนำประจุที่สะสมไว้ในโหลดตัวเก็บประจุกลับสู่แหล่งจ่ายเพื่อนำกลับมาใช้ใหม่ วิธีการหนึ่งคือการเปลี่ยนแหล่งจ่ายไฟที่เป็นแบบไฟตรงที่ใช้ในวงจรดิจิทัลตลอดจนทั่วไป เป็นแหล่งจ่ายไฟกระแสสลับ (Ac power supply) ที่มีความถี่ของไฟกระแสสลับสอดคล้องกับการทำงานของวงจรและการเปลี่ยนแปลงสถานะสัญญาณที่เอาพุต ซึ่งแหล่งจ่ายไฟกระแสสลับที่กำกับจังหวะการทำงานของวงจรมีจะถูกเรียกว่า power-clock supply (PC) โดยค่าศักดาแรงดันของแหล่งจ่ายไฟนี้จะมีลักษณะค่อยเป็นค่อยไปในลักษณะสัญญาณซายนูซอยด์ (Sinusoidal signal) และสอดคล้องกับการเพิ่มหรือลดของศักดาที่ตกคร่อมโหลดตัวเก็บประจุ ดังนั้นศักดาที่ตกคร่อมตัวต้านทานในช่องทางเดินกระแสของทรานซิสเตอร์ใน pull-up และ pull-down network จึงมีค่าต่ำ และเมื่อเกิดการเคลื่อนย้ายประจุผ่านตัวต้านทานที่มีศักดาตกคร่อมต่ำ จึงทำให้เกิดพลังงานสูญเสียต่ำด้วย นอกจากนี้ พลังงานหรือประจุที่สะสมในโหลดตัวเก็บประจุก็ยังคงนำกลับมาใช้ใหม่ ทำให้วงจรที่ออกแบบด้วยวิธีการนี้มีอัตราสูญเสียกำลังงานต่ำมาก

วิทยานิพนธ์นี้เป็นการศึกษาวิจัยค้นคว้าหาวงจร adiabatic ประเภทใหม่ที่มีประสิทธิภาพดีกว่าวงจรที่นำเสนอไว้ โดยผสมผสานข้อดีของวงจรประเภทสแตติกที่มีประสิทธิภาพการถ่ายโอนพลังงานต่ำ และวงจร adiabatic แบบ QSERL ที่มีแหล่งจ่ายแรงดันไฟเลี้ยงแบบกระแสสลับเพียง 2 เฟส ซึ่งต่อไปจะถูกเรียกว่า วงจร QSECRL (Quasi-Static Efficient Charge Recovery Logic) โดยการทำงานวงจรจะแบ่งเป็น 2 เฟสคือ evaluation phase และ hold phase พลังงานจะถ่ายโอนสู่โหนดต่าง ๆ และถูกเก็บไว้ภายในวงจรสำหรับโหนดที่ไม่มีการเปลี่ยนแปลงสถานะของสัญญาณ พลังงานจะถูกถ่ายกลับสู่แหล่งจ่ายไฟเลี้ยงแบบกระแสสลับเฉพาะ โหนดของวงจรที่มีการเปลี่ยนสถานะเท่านั้น นอกจากนี้เอาต์พุตของวงจรซึ่งเป็นแบบคู่ผลต่าง (Differential output) ทำให้วงจรเป็นแบบโหลดสมดุลย์ (Balance load) และง่ายต่อการเชื่อมโยงวงจรสำหรับเป็นวงจรประมวลผลขนาดใหญ่



(a)



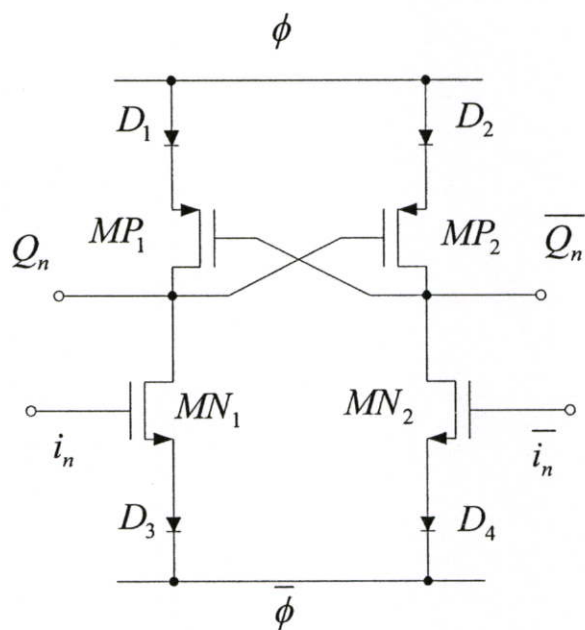
(b)

รูปที่ 3.2 (a) วงจร ECRL (b) วงจร QSECL (Quasi-Static Efficient Charge Recovery Logic) และการเชื่อมต่อวงจรข้างเคียง

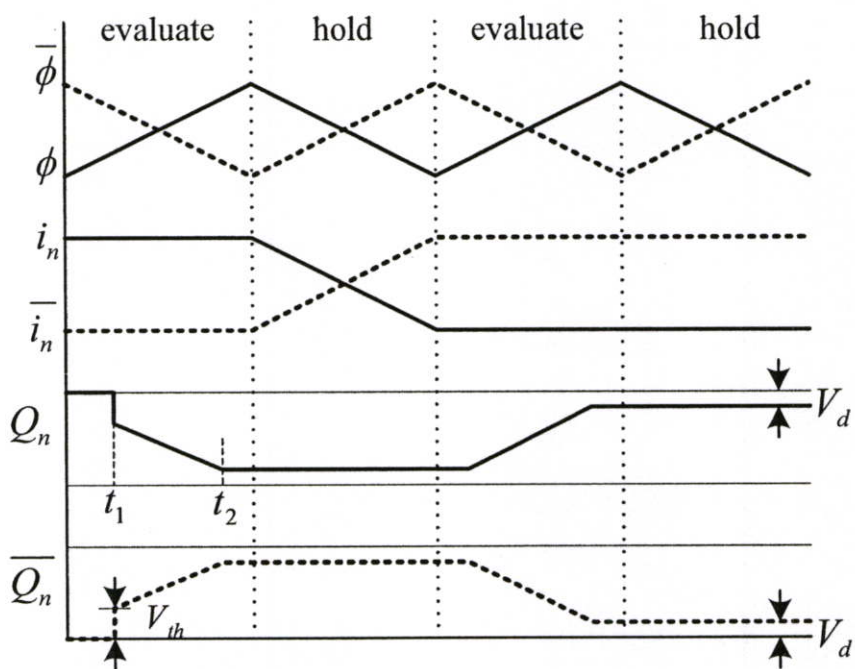
จากรูปที่ 3.2 (b) แสดงโครงสร้างวงจร QSECL ซึ่งประกอบด้วยวงจร NMOS network (F_n), วงจรคู่ประกอบ (\overline{F}_n), ทรานซิสเตอร์ MP_1 และ MP_2 แบบ PMOS ที่ต่อไขว้กัน (cross coupled PMOS transistors) และ ไดโอด ($D_1 - D_4$) ซึ่งแบ่งเป็นคู่ไดโอด D_1 และ D_2 ทำหน้าที่ควบคุมการถ่ายเทประจุจากแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับเข้าสู่วงจร และ คู่ไดโอด D_3 และ D_4

ทำหน้าที่ควบคุมการถ่ายโอนประจุจากวงจรกลับสู่แหล่งจ่ายไฟ โดยวงจร QSECRL นี้ต้องการแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับเพียง 2 เฟส คือ (ϕ และ $\bar{\phi}$) ทำหน้าที่เป็นแหล่งจ่ายประจุ (พลังงาน) ให้กับวงจร และรับประจุ(พลังงาน)จากวงจรกลับสู่แหล่งจ่ายไฟตามลำดับ อย่างสลับกันไประหว่างวงจรและวงจรที่อยู่ข้างเคียง วงจรจะทำงานช่วง evaluation phase ในขณะที่อินพุตของวงจรมีค่าคงที่ซึ่งได้จากเอาต์พุตของวงจรถูก่อนหน้าและอยู่ในช่วง hold phase ตามลักษณะการทำงานแบบวงจร สแตคในระบอบ pipe-line และเนื่องจากจำนวนเฟสการทำงานที่น้อย ทำให้ระบบดังกล่าวสามารถประมวลผลและให้สัญญาณเอาต์พุตภายในช่วงการทำงาน 2 เฟส หรือกล่าวคือ ระบบสามารถทำงานและให้ผลการประมวลเร็วกว่าวงจรประเภทอื่นๆ

แม้วงจร QSECRL จะมีโครงสร้างคล้ายวงจร ECRL (รูปที่ 3.2(a)) แต่การทำงานกลับต่างกันอย่างสิ้นเชิง สำหรับการดำเนินงานของวงจร เพื่อช่วยในการพิจารณา สมมติให้ ϕ and $\bar{\phi}$ เป็นสัญญาณสามเหลี่ยมที่มีเฟสตรงข้ามกัน ดังแสดงในรูป 3.3(a) เริ่มแรกสมมติว่า Q_n เป็นลอจิก high(1) และ \bar{Q}_n มีสถานะเป็นลอจิก low(0) จากรูปที่ 3 แสดงวงจร inverter QSECRL เมื่อสัญญาณอินพุต i_n เป็น ลอจิก high(1) ทรานซิสเตอร์ MN_1 จะยังคงไม่ทำงาน จนกระทั่ง $\bar{\phi}$ เริ่มลดระดับลงจนตัดคาตกร่อมเกต-ซอร์ส ($|V_m - \bar{\phi}|$) และไดโอดมีค่าเท่ากับ $V_m + V_d$ ทรานซิสเตอร์ MN_1 จึงเริ่มนำกระแส โดยที่ V_m คือศักดาเทรตโวลต์จของทรานซิสเตอร์แบบ NMOS และ V_d คือศักดาตกร่อมไดโอดเมื่อเกิดการนำกระแส กระแสที่ไหลผ่านทรานซิสเตอร์ MN_1 ทำให้ศักดา Q_n มีค่าลดลงตาม จนมีค่าต่ำสุดเท่ากับศักยตกร่อมไดโอด V_d และในขณะเดียวกัน เมื่อ $\bar{\phi}$ ลดต่ำลง ϕ ก็มีค่าเพิ่มขึ้น จนเมื่อศักดาที่ตกร่อมเกต-ซอร์สของทรานซิสเตอร์ MP_2 และไดโอด D_2 ($|\phi - V_{Q_n}|$), MP_2 เริ่มนำกระแส ดังนั้น \bar{Q}_n จะมีค่าเพิ่มขึ้นตาม ϕ จนกระทั่งสิ้นสุดช่วง evaluate phase และเมื่อเข้าสู่ช่วง hold phase $\bar{\phi}$ เริ่มเพิ่มค่าขึ้นอีกครั้งในขณะที่ ϕ ค่อย ๆ ลดค่าลงจนไดโอดทุกตัวอยู่ในสภาพ reverse bias และหยุดนำกระแส ดังนั้น Q_n and \bar{Q}_n อยู่ในลักษณะ float และยังคงค่า 0 และ 1 ไว้ตามลำดับ สำหรับเป็นสัญญาณอินพุตของวงจรในลำดับถัดไป ซึ่งมีการทำงานคล้ายคลึงกัน แต่ทำงานต่างเฟสสัญญาณกัน รูปที่ 3(c) แสดงสัญญาณที่ได้จากการจำลองการทำงานของวงจรอินเวอร์เตอร์แบบ QSECRL ที่เชื่อมต่อแบบระบบ pipe-line โดยมีโหลดตัวเก็บประจุ (C_L) เท่ากับ 10 fF และความถี่ของแหล่งจ่ายแรงดันไฟเลี้ยงแบบกระแสสลับ (ϕ) เท่ากับ 40 MHz

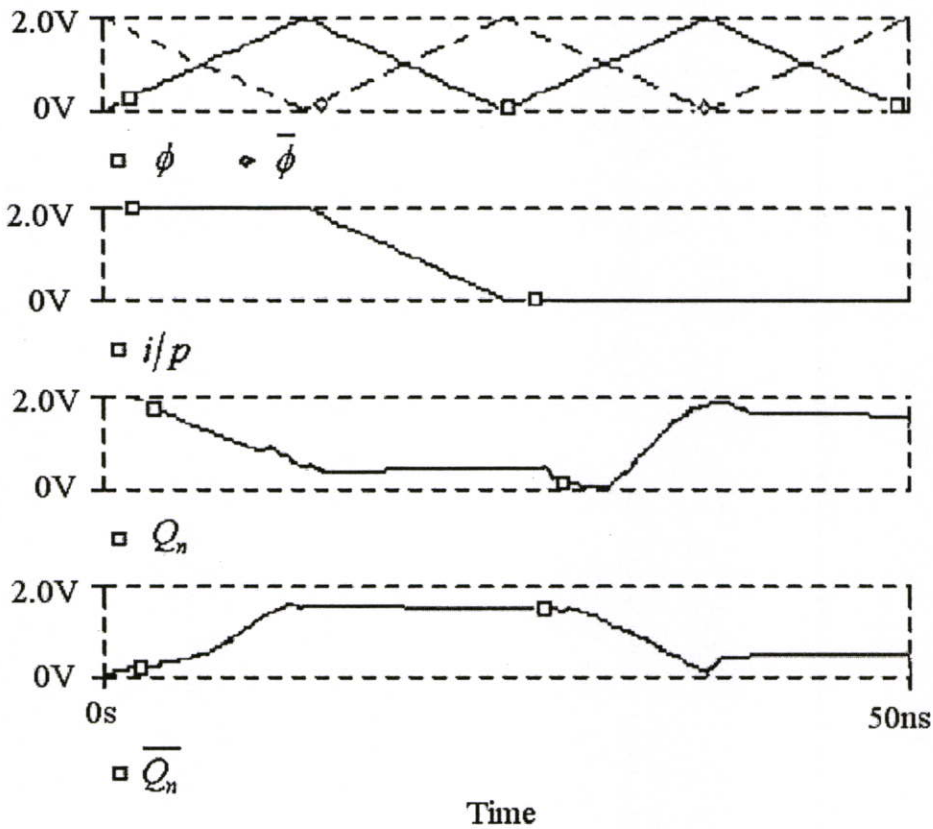


(a)



(b)

รูปที่ 3.3 (a) วงจรอินเวอร์เตอร์แบบ QSECR1 (b) การเปลี่ยนแปลงสัญญาณภายในวงจร และ
(c) ผลการจำลองการทำงาน



(c)

รูปที่ 3.3 (ต่อ)

3.1 การวิเคราะห์พลังงานสูญเสีย

แม้ว่าวงจร QSECRL ที่นำเสนอในงานวิจัยนี้จะถูกออกแบบบนพื้นฐานของกระบวนการ adiabatic ตามทฤษฎีเทอร์โมไดนามิก อันว่าด้วยการสงวนรักษาและนำพลังงานกลับมาใช้ใหม่ก็ตาม แต่ในความเป็นจริง วงจรที่ได้ก็ยังคงมีพลังงานสูญเสียเกิดขึ้นอยู่ดีจากผลของความไม่เป็นอุดมคติของอุปกรณ์ต่าง ๆ โดยสามารถแบ่งได้เป็น 3 ส่วนหลักตามแหล่งหรือสาเหตุที่ทำให้เกิดพลังงานสูญเสีย คือ พลังงานสูญเสียจากสัปดาห์ที่ตกคร่อมอุปกรณ์ควบคุมกระแส (ไดโอด) พลังงานสูญเสียจากสัปดาห์ขีดเริ่ม (สัปดาห์เทรตโซลต์) สำหรับมอสทรานซิสเตอร์ และ พลังงานสูญเสียอันเนื่องมาจากความต้านทานของช่องทางเดินกระแสของทรานซิสเตอร์ (R_{CH}) ซึ่งสามารถแสดงได้ในสมการที่ (3.1)

$$\therefore E_{total} = E_{diode} + E_{th} + E_{channel} \quad (3.1)$$

3.1.1 พลังงานสูญเสียจากศักดาที่ตกคร่อมอุปกรณ์ควบคุมกระแส (ไดโอด)

ถึงแม้ว่าวงจร QSECRL จะมีโครงสร้างคล้ายกับ วงจร ECRL [13, 14] แต่การทำงานกลับต่างกันอย่างสิ้นเชิง ดังแสดงในรูปที่ 3.2 ซึ่งแสดงทิศทางการไหลของพลังงานซึ่งเกิดขึ้นขณะทำงาน กล่าวคือ วงจร ECRL พลังงานจะถูกถ่ายโอนจากแหล่งจ่ายไฟเลี้ยงแบบกระแสลับ (ϕ) เข้าสู่วงจรในช่วง evaluation phase และถูกถ่ายเทกลับสู่ ϕ ในช่วง recovery phase อันมีลักษณะการทำงานแบบวงจรไดนามิก ดังนั้น แต่เนื่องจากทรานซิสเตอร์ PMOS จะหยุดนำกระแสเมื่อศักดาที่เอาต์พุตลดลง จนมีค่าเท่ากับศักดาเทรตโฮลด์ ($V_O = V_p$) ดังนั้น ในหนึ่งคาบสัญญาณแหล่งจ่ายไฟแบบกระแสลับเกิดพลังงานสูญเสียมีค่าเท่ากับ $E_{loss_ECRL} \approx \frac{1}{2} C_L V_{tp}^2$ [16].

ในขณะที่วงจร QSECRL การถ่ายเทพลังงานจะถูกกำกับจากการควบคุมการไหลของกระแสด้วยอุปกรณ์เรียงกระแส (ไดโอด) พลังงานจะถูกถ่ายเทจาก ϕ เข้าสู่วงจรหรือ ถ่ายเทกลับสู่ $\bar{\phi}$ ในช่วง evaluation phase ขึ้นอยู่กับอินพุตและฟังก์ชันการทำงาน และจะถูกเก็บไว้ในวงจรช่วง hold phase อันมีลักษณะกึ่งสถิต (quasi-static)

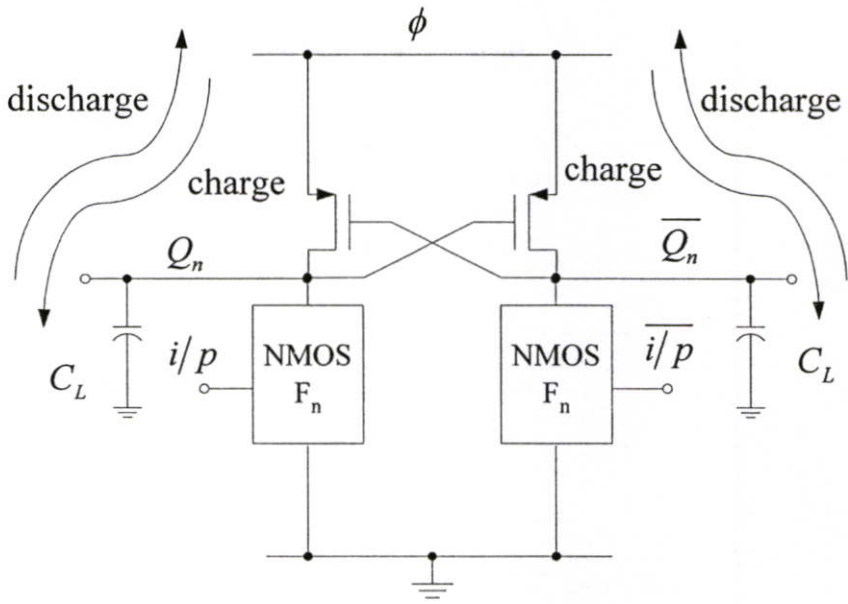
ในรูปที่ 3.2(b) วงจร QSECRL ประจุจะเคลื่อนที่จากแหล่งจ่ายไฟเลี้ยงแบบกระแสลับ (ϕ) ผ่านไดโอด D_1 (หรือ D_2) ไปยัง C_L (หรือ \bar{C}_L) และในขณะเดียวกันประจุที่สะสมไว้ใน \bar{C}_L (หรือ C_L) ก็จะถูกไหลกลับสู่แหล่งจ่ายไฟเลี้ยงแบบกระแสลับที่มีเฟสตรงข้าม $\bar{\phi}$ ผ่านไดโอดเรียงกระแส D_3 (หรือ D_4) โดยพลังงานสูญเสียที่เกิดขึ้นอยู่ในรูปงานจากการย้ายประจุผ่านศักดาที่ตกคร่อมไดโอดเรียงกระแสดังกล่าว คือ

$$\begin{aligned} E_{diode} &= 2qV_d \\ &= 2C_L V_\phi V_d \end{aligned} \quad (3.2)$$

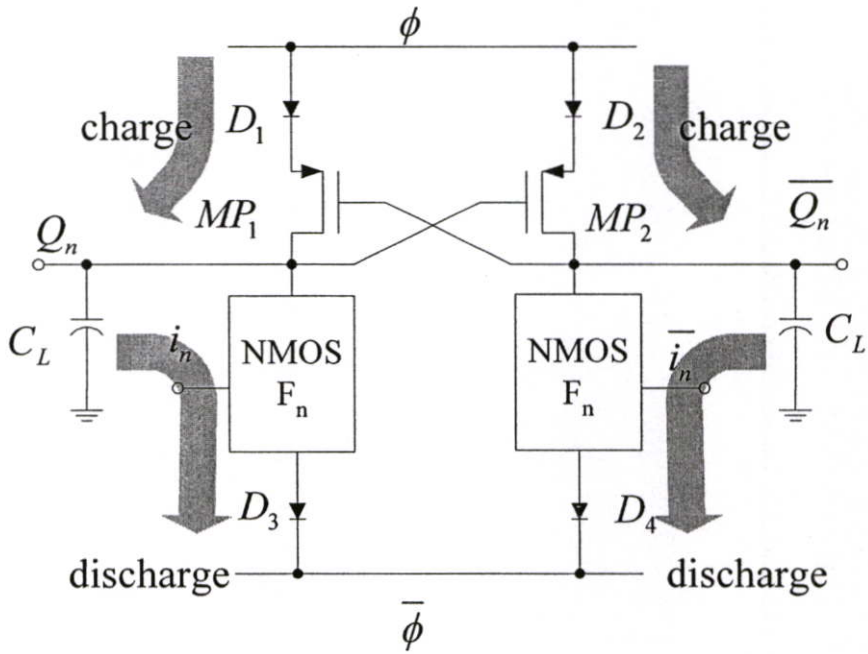
เมื่อ V_d คือ ศักดาตกคร่อมไดโอดเรียงกระแส

q คือ จำนวนประจุจากแหล่งจ่ายไฟเลี้ยงแบบกระแสลับ (ϕ) ที่เคลื่อนที่ไปสะสมในโหลดตัวเก็บประจุ (C_L)

V_ϕ คือ ขนาดสัญญาณของแหล่งจ่ายไฟเลี้ยง (Peak-to-peak voltage)



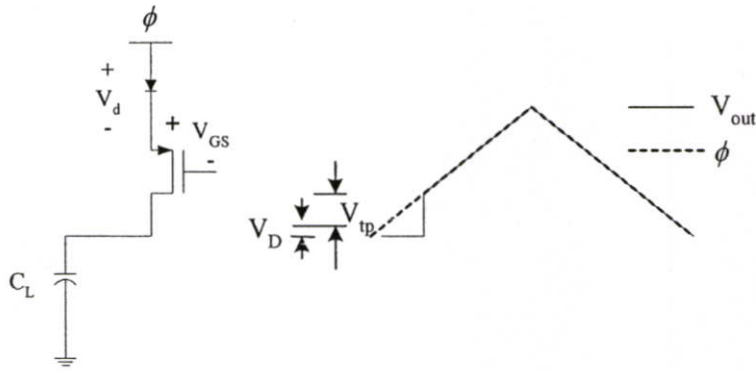
(a)



(b)

รูปที่ 3.4 ทิศทางการถ่ายเทพลังงาน (a) วงจร ECRL (b) วงจร QSECL

3.1.2 พลังงานสูญเสียจากศักดาขีดเริ่มสำหรับมอสทรานซิสเตอร์



รูปที่ 3.5 รูปจำลองการเปลี่ยนแปลงศักดาเอาต์พุตวงจร QSECL

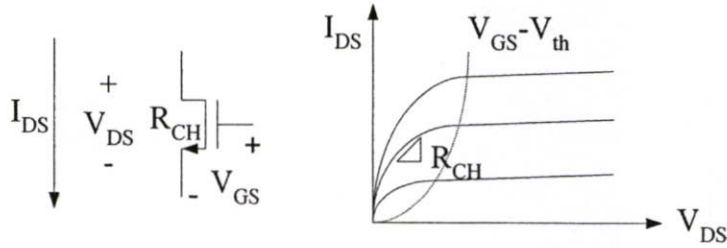
นอกจากพลังงานที่สูญเสียจากงานในการย้ายประจุผ่านศักดาคร่อมไดโอดเรียงกระแส ยังมีพลังงานสูญเสียอีกส่วนหนึ่งซึ่งมีรูปแบบคล้ายกัน คือ ในรูปของงานการเคลื่อนย้ายประจุที่เกิดขึ้นที่ทรานซิสเตอร์แบบ PMOS ในช่วงแรกของการเปลี่ยนแปลงสถานะลอจิกที่เอาต์พุต (Q_n) ทรานซิสเตอร์ MP_1 และ MP_2 จะยังคงไม่นำกระแสจนกว่าศักดาที่เกต-ซอร์ส (V_{GS}) จะมีค่าเท่ากับ ศักดาทรอดโฮลด์ (V_{th}) ดังนั้นจึงเกิดศักดาคร่อมที่ เดรน-ซอร์ส (V_{DS}) เท่ากับ V_{th} ดังแสดงในรูป 3.5 พลังงานสูญเสียจากการเคลื่อนย้ายประจุนี้จึงมีค่าเท่ากับ

$$\begin{aligned} E_{th} &= \int_0^{t_1} V_{th} \cdot i_C dt \\ &= \frac{1}{2} C_L V_{th}^2 \end{aligned} \quad (3.3)$$

เมื่อ i_C กระแสที่ไหลจากแหล่งจ่ายไฟเลี้ยงแบบกระแสลับ (ϕ) ไปยัง C_L ซึ่งมีค่าเท่ากับ $C_L \frac{dV}{dt}$

3.1.3 พลังงานสูญเสียอันเนื่องมาจากความต้านทานของช่องทางเดินกระแสของทรานซิสเตอร์

เมื่อทรานซิสเตอร์เริ่มทำงาน จะเกิดช่องทางเดินกระแส ค่าความต้านแ่งจากช่องทางเดินกระแสนี้ ทำให้เกิดการสูญเสียพลังงานในรูปความร้อนขึ้น [13] โดยเฉพาะอย่างยิ่งเมื่อทรานซิสเตอร์ทำงานในช่วง triode region ดังแสดงในรูปที่ 3.6



รูปที่ 3.6 การทำงานของมอสทรานซิสเตอร์และความต้านทานช่องทางเดินกระแส (R_{CH})

$$\begin{aligned}
 E_{channel} &= P \cdot T \\
 &= i^2 R_{CH} \cdot T \\
 &= \left(\frac{q}{T}\right)^2 R_{CH} \cdot T \\
 &= \left(\frac{C_L V_\phi}{T}\right)^2 R_{CH} \cdot T \\
 &= \left(\frac{R_{CH} C_L}{T}\right) C_L V_\phi^2
 \end{aligned} \tag{3.4}$$

เมื่อ T คือ คาบเวลาสัญญาณของแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับ (ϕ)

V_ϕ คือ ขนาดสัญญาณของแหล่งจ่ายไฟเลี้ยง (Peak-to-peak voltage)

R_{CH} คือ ค่าความต้านทานช่องทางเดินกระแสของทรานซิสเตอร์ ระหว่างที่เกิดการเปลี่ยนสถานะของเอาต์พุต (Q_n) ซึ่งทรานซิสเตอร์เข้าสู่การทำงานในช่วง triode region ดังนั้นค่าความต้านทานช่องทางเดินกระแสนี้สามารถประมาณได้เท่ากับ $\frac{1}{K((V_{GS} - V_{th}) - V_{DS})}$

จากสมการที่ (3.4) พบว่า พลังงานสูญเสียนี้จะแปรผันตรงกับค่ากำลังสองของ V_ϕ และแปรผกผันกับคาบเวลา T ซึ่งเป็นข้อกำหนดของแหล่งจ่ายแรงดันไฟเลี้ยงแบบกระแสสลับ การลดช่วงแวงสัญญาณ V_ϕ และการเพิ่มคาบเวลา T สามารถลดค่าพลังงานสูญเสียนี้ได้อย่างมาก

3.2 ข้อพิจารณาการเปลี่ยนสถานะสัญญาณ (Switching Activities)

จากหัวข้อก่อนหน้านี้นี้พบว่าพลังงานสูญเสียเกิดจากกิจกรรมการเคลื่อนย้ายประจุผ่านศักดาตกคร่อมไดโอด ทรานซิสเตอร์ และจากความต้านทานแฝงภายใน สิ่งเหล่านี้จะเกิดขึ้นเมื่อเกิดการเปลี่ยนแปลงสถานะที่จุดใด ๆ ภายในวงจรซึ่งเป็นเหตุผลว่าวงจรประเภทไดนามิกจึงมีค่าพลังงานสูญเสียสูงและไม่เหมาะกับการงานประเภทวงจรกำลังสูญเสียต่ำ การลดการปริมาณการเปลี่ยนแปลง

สถานะสัญญาณจะช่วยลดพลังงานสูญเสียรวมของวงจรลงอย่างมาก พิจารณาจากฟังก์ชันบูลีน การเปลี่ยนแปลงสถานะเอาต์พุตของสแตติกเกต จะถูกกำหนดจากค่าความน่าจะเป็นของสถานะเดิมกับค่าความน่าจะเป็นของสถานะใหม่ [17] ดังนี้

$$\alpha_{Static} = P(0 \rightarrow 1) = P(1 \rightarrow 0) = P_0 \cdot P_1 \quad (3.5)$$

และสำหรับวงจรประเภทไดนามิก เช่นวงจร ECRL การเปลี่ยนแปลงสถานะสัญญาณจะเกิดในช่วง evaluation phase และจะถูกเปลี่ยนสถานะกลับทุกครั้งในช่วง recovery phase ดังนั้นโอกาสในการเปลี่ยนสถานะสัญญาณจึงมีค่าเท่ากับ

$$\alpha_{Dynamic} = P(0 \rightarrow 1) = P_1 \quad (3.6)$$

โดยที่ P_0 และ P_1 สามารถหาได้จากสถานะเอาต์พุตลอจิก 0 และ ลอจิก 1 เทียบกับอินพุตที่เป็นไปได้ทั้งหมดของสัญญาณอินพุต (N) ซึ่งมีค่าเท่ากับ 2^n เมื่อ n เป็นจำนวนสัญญาณอินพุตของวงจร เมื่อสมมติว่าสัญญาณอินพุตมีสถานะเป็นไปตามการกระจายแบบ uniform [18, 19] และยังสามารถพบว่า P_0 มีค่าเท่ากับ $(1 - P_1)$ ด้วย ตารางที่ 3.1 แสดงการเปรียบเทียบ switching activity ระหว่างวงจรแบบสแตติกและแบบไดนามิก

ตารางที่ 3.1 Switching activities ของวงจรลอจิกมาตรฐาน

ฟังก์ชันลอจิก	Switching activity $P(0 \rightarrow 1)$	
	วงจรสแตติก	วงจรไดนามิก
Inverter /buffer	1/4	1/2
2 input AND	3/16	1/4
2 input NAND	3/16	3/4
2 input OR	3/16	3/4
2 input NOR	2/16	1/4
2 input XOR	1/4	1/2
3 input AND	7/64	1/8
3 input NAND	7/64	7/8
3 input OR	7/64	7/8
3 input NOR	7/64	1/8

จากพลังงานสูญเสียในแต่ละคาบสัญญาณแหล่งจ่ายแรงไฟ (ϕ) ในสมการข้างต้น เมื่อพิจารณาถึงค่า switching activity จะพบว่า

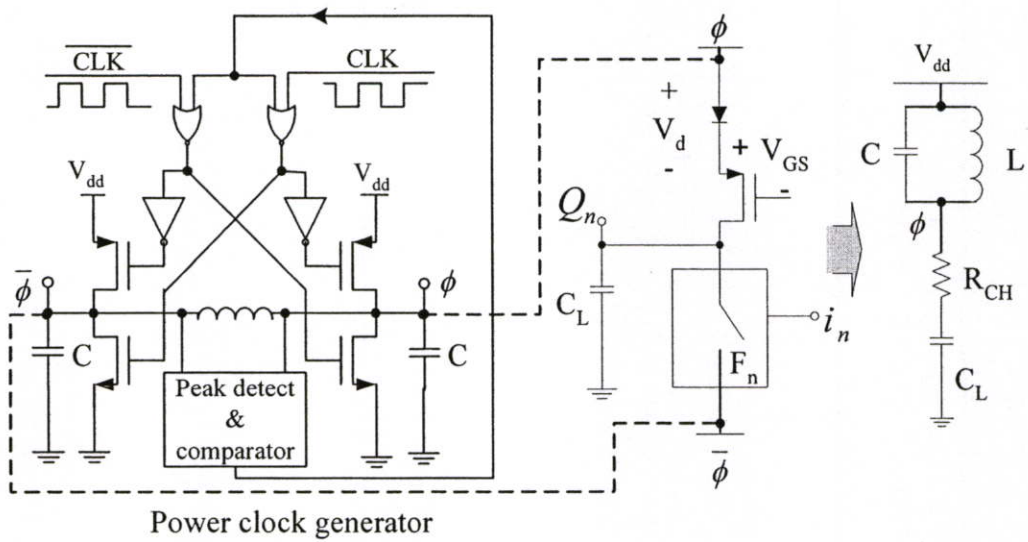
$$\frac{E_{loss_static}}{E_{loss_dynamic}} = \frac{4V_\phi V_d}{V_t^2} \cdot \frac{\alpha_{static}}{\alpha_{dynamic}} \quad (3.7)$$

ตัวอย่างเช่น เมื่อวงจร 3 input NAND ที่ทำงานภายใต้ V_ϕ เท่ากับ 2 โวลต์และใช้ทรานซิสเตอร์ที่มี ซึ่งมีค่าเทรชโฮลด์เท่ากับ 0.6 โวลต์ พบว่า อัตราส่วนพลังงานสูญเสียอันเกิดจากไดโอดในวงจรแบบสแตติกจะมีค่าเท่ากับพลังงานสูญเสียจากสวิตชิ่งของทรานซิสเตอร์ในวงจรแบบไดนามิก ดังนั้นจะพบว่าวงจร QSECL ซึ่งมีการทำงานแบบสแตติก เหมาะการออกแบบวงจรที่มีสลับซับซ้อนมากกว่าวงจรที่มีฟังก์ชันพื้นฐานง่าย ๆ ที่ถูกกระจายย่อยออก

3.3 การวิเคราะห์ค่าหน่วงเวลา

ในการออกแบบวงจร adiabatic เพื่อลดผลของสวิตชิ่งคร่อมในอุปกรณ์ต่างๆ อันจะส่งผลให้เกิดการสูญเสียพลังงาน จึงจำเป็นต้องมีการกำหนดคาบเวลาของแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับ (ϕ) ให้สอดคล้องกับโหลดตัวเก็บประจุที่จุดต่าง ๆ ภายในวงจรอย่างเหมาะสม ซึ่งเกิดขึ้นได้โดยการค่อย ๆ เพิ่มแรงดันแหล่งจ่ายอย่างช้า ๆ และดักคร่อมโหลดตัวเก็บประจุให้มากที่สุดแล้ว ดังนั้น สวิตชิ่งที่ดักคร่อมภายในวงจรก็จะมีค่าต่ำสุดและหมายถึงพลังงานสูญเสียต่ำสุดด้วย โดยปกติแล้วแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับ ซึ่งมักถูกสร้างขึ้นจากวงจรกำเนิดสัญญาณแบบ LRC ดังแสดงในรูปที่ 3.7 ซึ่งให้สัญญาณแบบ sinusoidal และที่คาบสัญญาณต่ำ การเปลี่ยนแปลงของสัญญาณก็จะมีคุณสมบัติใกล้เคียงกับการเปลี่ยนแปลงแบบ exponential ที่เกิดขึ้นกับโหลดตัวเก็บประจุ (C_L) ดังนั้นค่าหน่วงเวลาการเปลี่ยนสัญญาณซึ่งวัดจากจุดกึ่งกลางของระดับการเปลี่ยนแปลงสัญญาณ จึงมีค่าเท่ากับค่าหน่วงสัญญาณของแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับและค่าหน่วงเวลาในการประจุตัวเก็บประจุ C_L ผ่านค่าความต้านทานจากช่องทางเดินกระแสของทรานซิสเตอร์ (R_{CH})

$$delay = \frac{T}{2} + R_{ch} \cdot C_L \quad (3.8)$$



รูปที่ 3.7 วงจรกำเนิดสัญญาณแหล่งจ่ายแรงดันไฟเลี้ยงกระแสสลับ และแบบจำลอง Charge-recovery

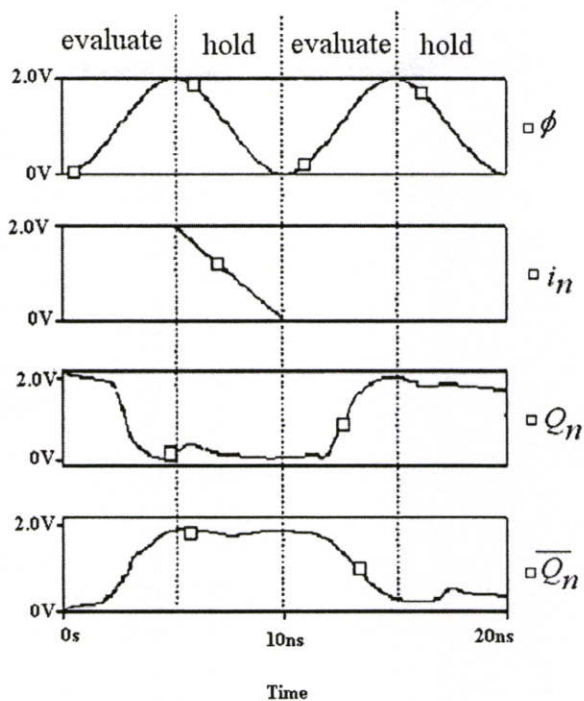
จากสมการที่ (3.8) พบว่าหากค่าความต้านทานช่องทางเดินกระแสมีขนาดเล็กจะสามารถลดปัญหาการทำงานร่วมกัน (synchronize problem) จากการเชื่อมโยงสัญญาณในระบบ pipe-line ที่มีโหลดตัวเก็บประจุ (C_L) ขนาดใหญ่ ซึ่งสามารถทำได้โดยการออกแบบขนาดทรานซิสเตอร์อย่างเหมาะสม และสามารถเพิ่มความเร็วการทำงานวงจรได้โดยการลดคาบเวลาสัญญาณแหล่งจ่ายไฟเลี้ยง (ϕ) ตราบเท่าที่ไม่เกิดปัญหาดังกล่าว และเพื่อหลีกเลี่ยงปัญหานี้ จึงมักนิยามออกแบบให้คาบหน่วงเวลาจากการประจุตัวเก็บประจุ ($R_{CH} \cdot C_L$) มีค่าไม่เกิน 10% ของคาบหน่วงเวลาของสัญญาณแหล่งจ่ายไฟเลี้ยง ($\frac{T}{2}$)

การออกแบบวงจร QSECRL

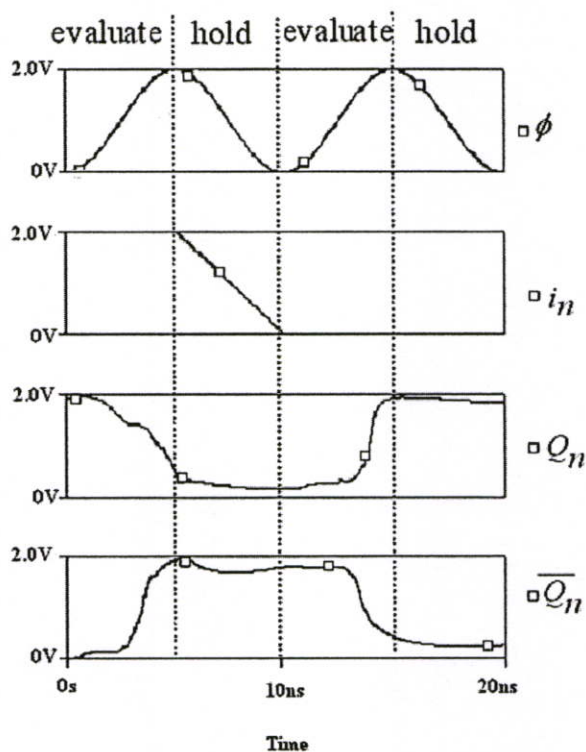
จากการวิเคราะห์การทำงานของวงจร adiabatic แบบ QSECRL ที่กล่าวถึงในบทก่อนหน้านี้ ซึ่งพบว่าพลังงานสูญเสียประกอบไปด้วย 3 ส่วนหลัก และพลังงานสูญเสียอันเนื่องมาจากศักดาที่ตกคร่อมอุปกรณ์ควบคุมกระแส (ไดโอด) ถือเป็นปัจจัยเมื่อเทียบกับพลังงานสูญเสียส่วนอื่น ๆ ดังนั้นการลดศักดาตกคร่อมไดโอด (V_d) จะช่วยเพิ่มประสิทธิภาพของวงจรในแง่การประหยัดพลังงานอย่างมาก ในบทนี้จะได้กล่าวถึงวิธีการในการลดค่าศักดาตกคร่อมไดโอดแบบต่าง ๆ ตลอดจนการออกแบบวงจรโดยปราศจากการใช้อุปกรณ์เรียงกระแส(ไดโอด) สิ่งเหล่านี้จะช่วยเพิ่มประสิทธิภาพของวงจร ซึ่งสังเกตได้จากการเปรียบเทียบผลการทดสอบวงจร QSECRL แบบต่าง ๆ และวงจร adiabatic อื่น ๆ ที่ถูกนำเสนอก่อนหน้านี้ในช่วงท้ายบท

4.1 การปรับปรุงประสิทธิภาพด้านพลังงานด้วยอุปกรณ์ทำงานคล้ายไดโอด

จากรูปที่ 4.1(a) ไดโอด P_d และ N_d ในวงจร QSECRL ถูกนำมาใช้ในการควบคุมการชาร์จและดิสชาร์จที่ประจุจากแหล่งจ่ายไฟเลี้ยงกระแสสลับเข้าและออกจากวงจร ซึ่งสามารถถูกแทนที่ด้วยทรานซิสเตอร์ที่ต่ออยู่ในลักษณะ self-bias ดังแสดงในรูปที่ 4.1(b) และเพื่อให้การสูญเสียพลังงานลดลงดังนั้นทรานซิสเตอร์ที่นำมาใช้ควรมีค่าศักดาเทรตโฮลด์ (V_{th}) ต่ำกว่าค่าศักดาตกคร่อมขณะนำกระแสของไดโอด (V_d) แม้ว่ามอสทรานซิสเตอร์ดังกล่าวจะสามารถแทนที่ไดโอดได้อย่างสมบูรณ์ อย่างไรก็ตามหากเทียบประสิทธิภาพด้านการนำกระแสแล้ว มอสทรานซิสเตอร์ก็ยังค้อยอยู่มาก ทั้งนี้เนื่องจากค่าความนำ (conductivity) ของช่องทางเดินกระแสภายใต้ชั้นกลับ (inversion layer) ด้านล่างของเกตมีค่าต่ำกว่าค่าความนำไดโอดเมื่อ forward bias ดังนั้น หากต้องการปรับปรุงประสิทธิภาพการนำกระแสของมอสทรานซิสเตอร์เพิ่มขึ้น จำเป็นต้องต่อทรานซิสเตอร์แบบ double self-bias ดังแสดงในรูป 4.1(c) การต่อทรานซิสเตอร์ดังกล่าวทำให้เกิดรอยต่อ P-N ขึ้นระหว่างฐานรองและซอร์ส ซึ่งมีผลทำให้เกิดศักดาตกคร่อมรอยต่อ (V_d) ประมาณ 0.7 โวลต์ เมื่อทรานซิสเตอร์เกิดการนำกระแสขึ้น กระแสส่วนมากจะไหลผ่านรอยต่อนี้จนกระทั่งศักดาตกคร่อมลดลงจนประจุไม่สามารถข้ามผ่านรอยต่อนี้ได้ ประจุจะยังคงถ่ายโอนต่อไปได้ผ่านทางช่องทางเดินกระแสของทรานซิสเตอร์ จนกว่าค่าแรงดันตกคร่อม เกต-ซอร์ส (V_{GS}) จะมีค่าต่ำกว่าค่าศักดาเทรตโฮลด์ (V_{th}) ทรานซิสเตอร์จึงหยุดนำกระแสอย่างสมบูรณ์ อย่างไรก็ตามเทคนิคนี้อาศัยรอยต่อ P-N ระหว่างฐานรองกับซอร์ส ซึ่งจะทำได้เฉพาะเทคโนโลยีการผลิตแบบพิเศษ เช่น SOI (Silicon-on-Insulator) [20]



(a)



(b)

รูปที่ 4.2 ผลการจำลองการทำงานวงจร QSECR1 ที่ถูกปรับปรุงด้วยอุปกรณ์ทำงานคล้ายไดโอด

(a) อุปกรณ์ทำงานคล้ายไดโอดจากมอสทรานซิสเตอร์แบบ single self-bias

(b) อุปกรณ์ทำงานคล้ายไดโอดจากมอสทรานซิสเตอร์แบบ double self-bias

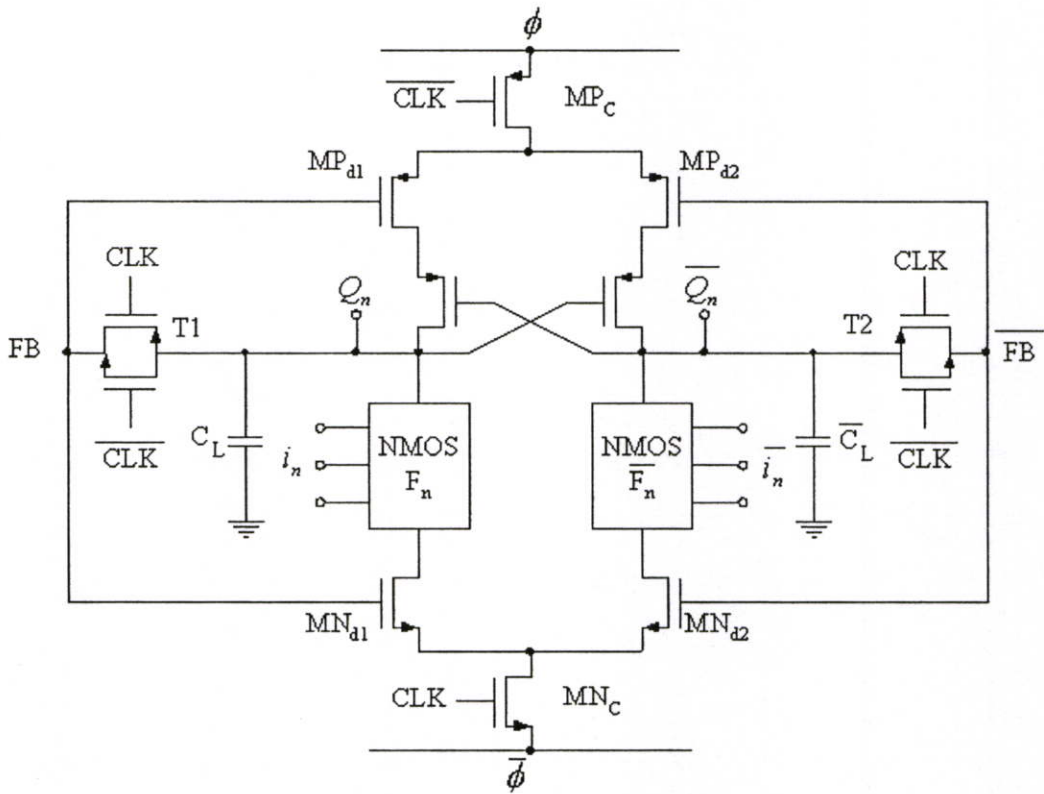
4.2 การออกแบบวงจร QSECRL แบบไม่มีอุปกรณ์เรียงกระแส (ไดโอด)

ดังที่ได้กล่าวไปข้างต้น แม้จะปรับปรุงวงจร QSECRL ด้วยการแทนที่ไดโอดด้วยทรานซิสเตอร์อย่างไรเสียก็จะมีสัปดาห์คาคอร์เรคชันอยู่ และเป็นผลให้เกิดพลังงานสูญเสียเกิดขึ้น หนทางหนึ่งคือการออกแบบวงจรโดยปราศจากไดโอด เพื่อหลีกเลี่ยงสัปดาห์คาคอร์เรคชัน

ตารางที่ 4.1 การทำงานของไดโอดในช่วง Evaluation phase และ Hold phase

Operation phase	D_1 และ D_4	D_2 และ D_3	การเปลี่ยนสถานะ $Q_n(t) \rightarrow Q_n(t+1)$
Evaluate	forward bias	reward bias	low \rightarrow high
	reward bias	forward bias	high \rightarrow low
Hold	reward bias	reward bias	low \rightarrow high
	reward bias	reward bias	high \rightarrow low

พิจารณาการทำงานของวงจร QSECRL พบว่าไดโอดจะนำกระแส (หรืออยู่ในสภาพ forward bias) เฉพาะเมื่อวงจรอยู่ในช่วง evaluation phase และภายใต้ภาวะการณบางอย่างดังแสดงในตารางที่ 4.1 และเมื่อพิจารณาการทำงานจากรูปที่ 4.1 พบว่า ไดโอด (D_1, D_4) และ (D_2, D_3) จะนำกระแสเมื่อ Q_n เปลี่ยนสถานะจากลอจิก low \rightarrow high และ high \rightarrow low ตามลำดับ

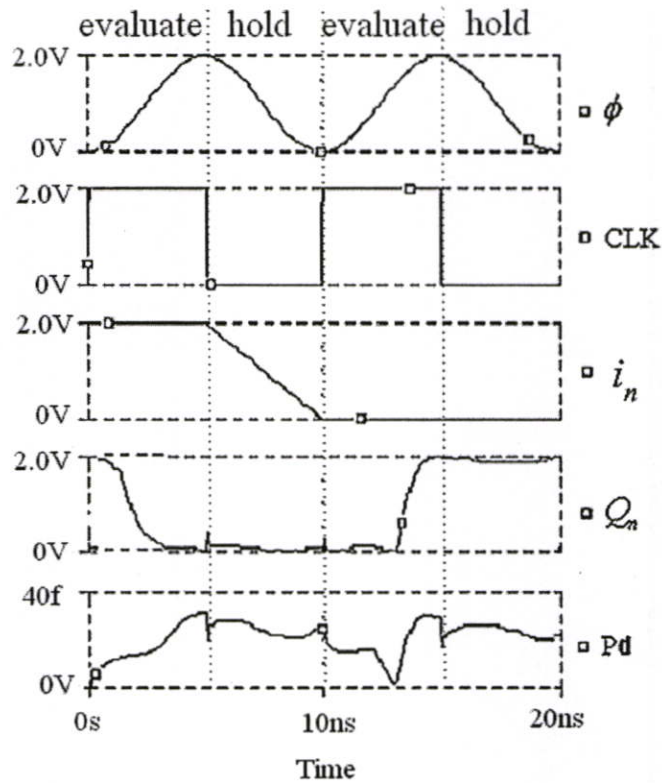


รูปที่ 4.3 วงจร QSECL แบบไม่มีอุปกรณ์เรียงกระแส (ไดโอด)

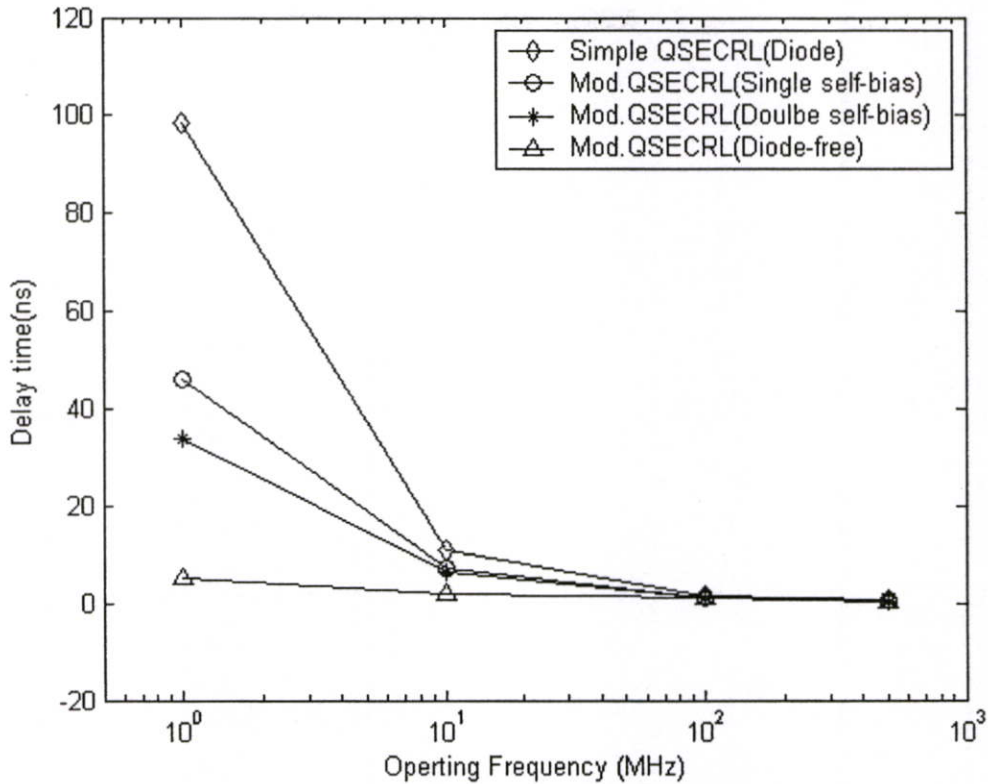
เพื่อยังคงรักษาการหน้ที่ของไดโอดในการควบคุมการถ่ายโอนประจุ การออกแบบวงจร QSECL แบบไม่ใช้อุปกรณ์ไดโอดสามารถทำได้โดยการแยกหน้าที่ระหว่างการควบคุมการเปลี่ยนสถานะเอาต์พุตของวงจรออกจาก หน้าที่ควบคุมการทำงานของวงจรในช่วง evaluation phase ซึ่งแสดงในรูปที่ 4.3 จากรูป MP_C และ MN_C จะทำหน้าที่ในการควบคุมการทำงานของวงจร ในขณะที่ transmission gate (T1 และ T2) และทรานซิสเตอร์ (MP_d และ MN_d) จะทำหน้าที่ควบคุมการเปลี่ยนสถานะเอาต์พุตของวงจร อย่างสอดคล้องกับการทำงานไดโอดตามตารางที่ 4.1

การทำงานของวงจรสามารถอธิบายได้ดังนี้ ทรานซิสเตอร์ MP_C และ MN_C จะถูกควบคุมจากสัญญาณนาฬิกาแบบสี่เหลี่ยม (CLK) เพื่อควบคุมการทำงานของวงจรให้เปลี่ยนไปอย่างถูกต้องในช่วง evaluation phase ในขณะที่ transmission gate (T1 และ T2) จะทำหน้าที่เป็น latch ในช่วง evaluation phase โดยสัญญาณเอาต์พุต $Q_n(t)$ (และ $\overline{Q_n}(t)$) จะถูกส่งผ่านไปยังโหนด feedback F_B (และ $\overline{F_B}$) และจะถูกเก็บไว้ที่เกตของทรานซิสเตอร์ MP_d และ MN_d ที่ทำหน้าที่ควบคุมการเปลี่ยนสถานะเอาต์พุต ในกรณีที่ evaluation phase ถัดมา หากเอาต์พุต $Q_n(t+1)$ ของ NMOS network (F_n) มีการเปลี่ยนสถานะที่สอดคล้องกับการทำงานของเอาต์พุต transmission gate (ดังแสดงในตารางที่ 4.1) แล้วทรานซิสเตอร์ (MP_d และ MN_d) ซึ่งทำหน้าที่คล้ายไดโอดใน

การควบคุมให้เกิดการของไหลกระแส แต่ในช่วง hold phase ทรานซิสเตอร์ MP_C (และ MN_C) ซึ่งถูกควบคุมด้วย \overline{CLK} (and CLK) ส่งผลให้วงจรไม่ถูกต่อกับแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับ (ϕ and $\bar{\phi}$) ดังนั้นสถานะต่างๆ ภายในวงจรจึงไม่เปลี่ยนแปลง รูปที่ 4.4 แสดงผลการจำลองการทำงานวงจรอินเวอร์เตอร์แบบ QSECRL ที่ไม่ใช่อุปกรณ์ไดโอด (รูปที่ 4.3) ภายใต้แหล่งจ่ายไฟเลี้ยงที่มีความถี่ 100 MHz โดยกำลังงานสูญเสีย (P_d) หรือ พลังงานสูญเสียต่อคาบเวลา ได้ถูกแสดงในส่วนล่าง ซึ่งพบว่ากำลังงานบางส่วนจะถูกนำกลับว่าได้ตามหลักการของวงจร adiabatic

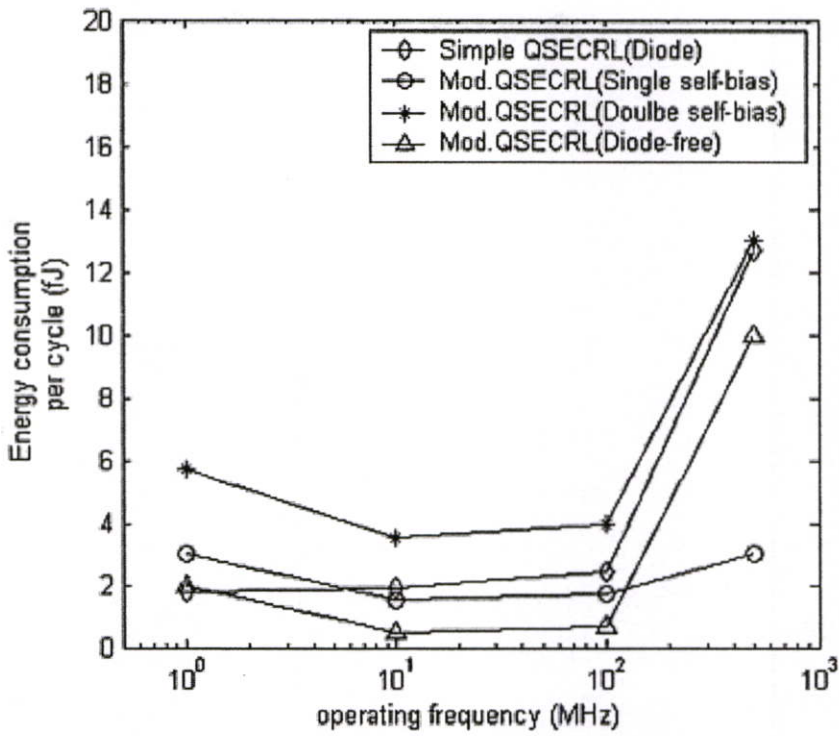


รูปที่ 4.4 ผลการจำลองการทำงานวงจร QSECRL ที่ถูกปรับปรุงแบบไม่ใช่อุปกรณ์ไดโอด

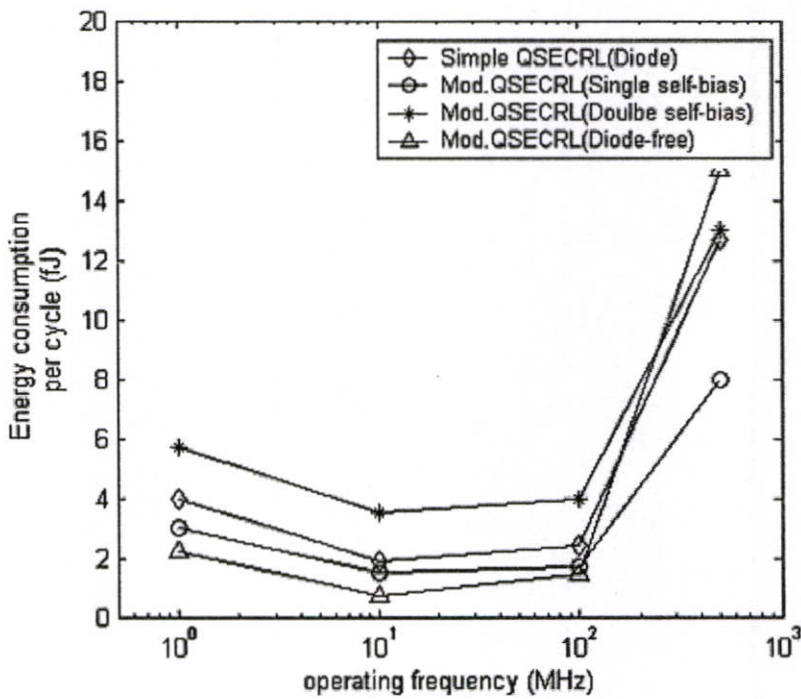


รูปที่ 4.5 กำหนดเวลาที่ความถี่ปฏิบัติงานต่าง ๆ ภายในโหลดตัวเก็บประจุ 10 fF

รูปที่ 4.5 แสดงค่าหน่วงเวลาของวงจร QSECRL แบบต่าง ๆ ซึ่งพบว่า วงจร QSECRL แบบธรรมดา (ก่อนการปรับปรุง) จะมีค่าหน่วงเวลาสูงสุดอันเป็นผลมาจากค่าศักดาไดโอดที่มีค่าสูงกว่าวงจรประเภทอื่นก่อนที่เกิดการนำกระแส นอกจากนี้วงจร QSECRL แบบที่ปรับปรุงด้วยการใช้ทรานซิสเตอร์แทนไดโอดแบบ single self-bias และ double self-bias จะมีค่าหน่วงเวลาลดลง อันเป็นผลมาจากการลดศักดาขีดเริ่ม (ศักดาเทรตโฮลด์) และการเพิ่มประสิทธิภาพการนำกระแส (conductivity) ของทรานซิสเตอร์ตามลำดับ และสุดท้าย วงจร QSECRL แบบไม่ใช้อุปกรณ์ไดโอดจะมีค่าหน่วงเวลาต่ำสุด



รูปที่ 4.6 พลังงานสูญเสียที่ความถี่ปฏิบัติงานต่าง ๆ ($C_L = 1\text{fF}$)



รูปที่ 4.7 พลังงานสูญเสียที่ความถี่ปฏิบัติงานต่าง ๆ ($C_L = 10\text{fF}$)

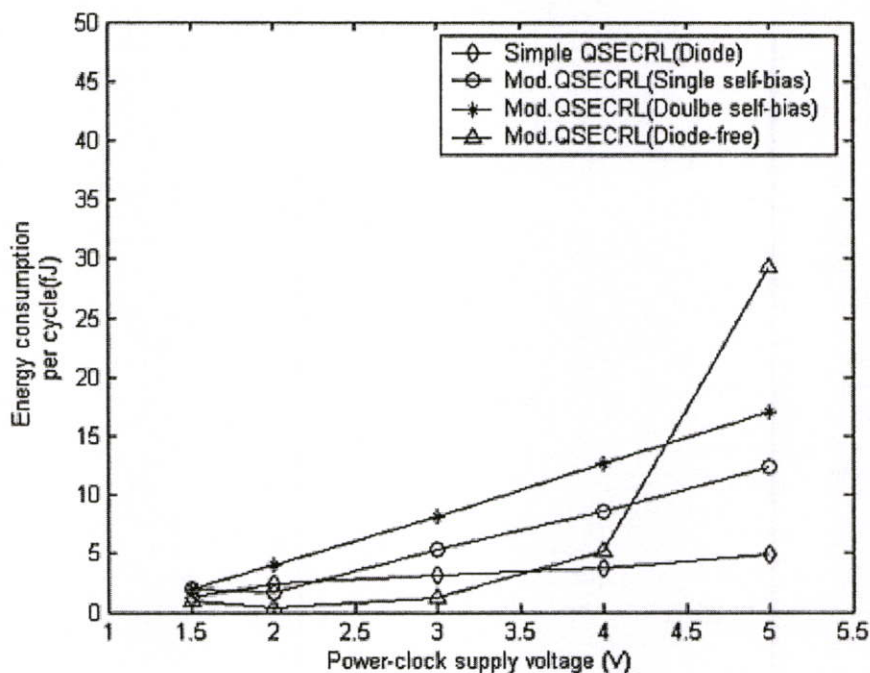
รูปที่ 4.6 และ 4.7 แสดงพลังงานสูญเสียที่เกิดขึ้นภายใต้ความถี่ปฏิบัติงานต่าง ๆ ที่มีโหลดตัวเก็บประจุ (C_L) เท่ากับ 1fF และ 10fF ตามลำดับ ซึ่งจะพบว่าวงจร QSECRL ที่ปรับปรุงด้วยการใช้ทรานซิสเตอร์แบบ double self-bias จะมีค่าพลังงานสูญเสียสูงสุดอันเนื่องมาจากความต้านทานช่องทางเดินกระแสที่เกิดขึ้นจากช่องทางเดินกระแสทั้งสอง (จากรอยต่อ P-N ระหว่างครั้น-ฐานรองและภายใต้ชั้นกลับของมอสทรานซิสเตอร์) วงจร QSECRL ที่ปรับปรุงด้วยการใช้ทรานซิสเตอร์แบบ single self-bias มีประสิทธิภาพด้านพลังงานสูญเสียดีที่สุดที่ความถี่ปฏิบัติงานสูง ๆ ในทางตรงกันข้ามที่ความถี่ปฏิบัติงานต่ำ (ถึงปานกลาง) วงจร QSECRL ที่ปรับปรุงไม่ใช้อุปกรณ์ไดโอดจะให้ผลที่ดีที่สุด ที่ความถี่ปฏิบัติงานสูงจะเกิดการรั่วไหลของประจุในกระบวนการป้อนกลับ ผลการหน่วงเวลาของ transmission gate (T1 และ T2) เป็นสาเหตุให้เกิดปัญหา unsynchronized ระหว่างส่วนวงจรต่าง ๆ และระหว่างสัญญาณป้อนกลับ และ สัญญาณนาฬิกา ดังนั้นทรานซิสเตอร์ (MP_C และ MN_C) ซึ่งถูกควบคุมด้วยสัญญาณนาฬิกา และทรานซิสเตอร์ (MP_d และ MN_d) ซึ่งทำหน้าที่ควบคุมการเปลี่ยนสถานะที่เอาต์พุต ไม่สามารถควบคุมการไหลของกระแสภายในวงจรได้อย่างมีประสิทธิภาพ อันเป็นผลมาจากการเหลื่อมทับของสัญญาณนาฬิกา กับสัญญาณป้อนกลับ และเกิดพลังงานสูญเสียอย่างมากโดยเฉพาะเมื่อวงจรปฏิบัติงานภายใต้ความถี่สูง

นอกจากนี้จากการวิเคราะห์พลังงานสูญเสียในบทก่อนหน้านี พบว่าพลังงานสูญเสียจะเพิ่มอย่างมากเมื่อศักดาของแรงจ่ายไฟเลี้ยงแบบกระแสลับ (V_{DD}) เพิ่มสูงขึ้น โดยเฉพาะอย่างยิ่งในวงจร QSECRL แบบไม่ใช้ไดโอด ผลการจำลองการทำงานแสดงในรูปที่ 4.8 และ 4.9 ตารางที่ 4.2 สรุปข้อดีและข้อเสียของวงจร QSECRL แบบต่างๆ

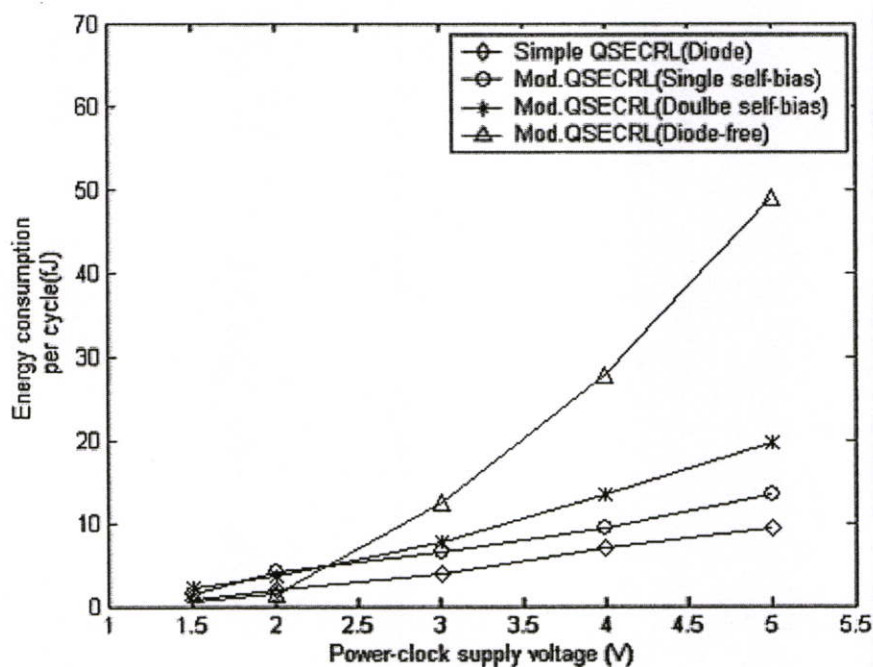
ตารางที่ 4.2 การเปรียบเทียบประสิทธิภาพการออกแบบวงจร QSECRL แบบต่าง ๆ

ปัจจัยทดสอบ	Simple QSECRL (Diode)	Mod. QSECRL (Single bias)	Mod. QSECRL (Double bias)	Mod. QSECRL (Diode free)
ความเร็ว	ช้า	ปานกลาง	เร็ว	เร็วที่สุด
พลังงานสูญเสีย	ปานกลาง	ปานกลาง	มาก	น้อย (low-medium frequency)
จำนวนอุปกรณ์	$2n+2P+4D$	$2n+4P+2N$	$2n+4P+2N$	$2n+7P+5N$

หมายเหตุ N, P และ D หมายถึง NMOS, PMOS และ diode ตามลำดับ และ $2n$ หมายถึง จำนวนทรานซิสเตอร์ใน NMOS network (F_n and \overline{F}_n)



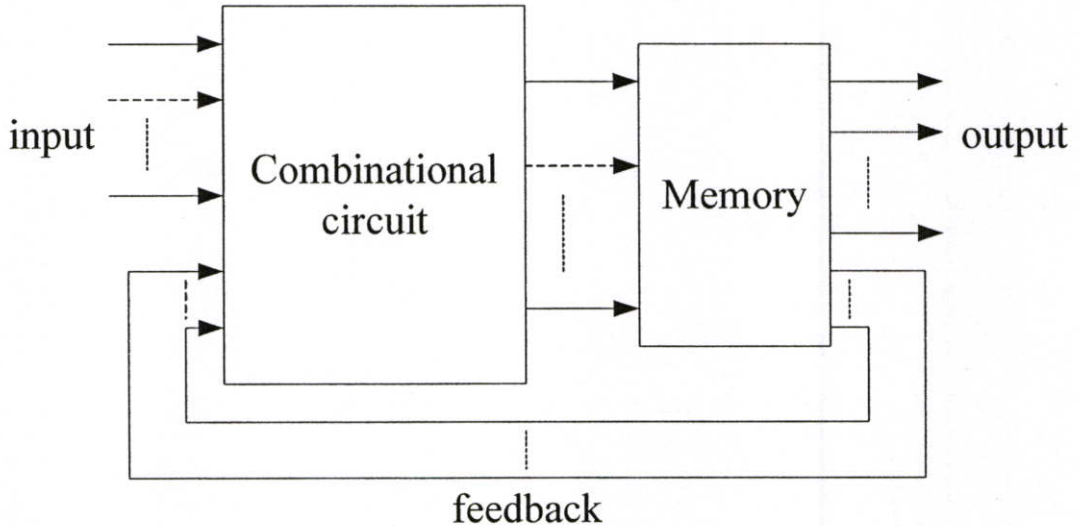
รูปที่ 4.8 พลังงานสูญเสียที่ขนาดสัญญาณแหล่งจ่ายไฟเลี้ยงกระแสสลับต่าง ($C_L = 1\text{fF}$)



รูปที่ 4.9 พลังงานสูญเสียที่ขนาดสัญญาณแหล่งจ่ายไฟเลี้ยงกระแสสลับต่าง ($C_L = 10\text{fF}$)

บทที่ 5

การออกแบบวงจร QSECRL แบบ Sequential



รูปที่ 5.1 แบบจำลองวงจร sequential logic

วงจร sequential[21] ประกอบขึ้นจากวงจร combinational และส่วนที่ทำหน้าที่เป็นหน่วยความจำในส่วนป้อนกลับดังแสดงในรูปที่ 5.1 วงจร sequential นี้ ถือเป็นส่วนสำคัญสำหรับวงจรประมวลผลรวมแบบดิจิทัล งานวิจัยในวิทยานิพนธ์นี้ได้ขยายขอบเขตแนวความคิดการออกแบบวงจรแบบ adiabatic จากวงจร combinational สู่วจร sequential ที่มีรูปแบบและการใช้งานเช่นเดียววงจร QSECRL ที่ได้กล่าวถึงในบทก่อนหน้า โดยในบทนี้จะกล่าวจะได้กล่าวถึงวงจร flip-flop ที่สำคัญ 3 วงจร ซึ่งเป็นวงจรพื้นฐานสำหรับวงจร sequential อื่น ๆ นอกจากนี้ ในส่วนท้ายบทยังแสดงการนำวงจร sequential นี้มาประยุกต์ใช้เป็นวงจรที่มีความซับซ้อนขึ้น เช่น วงจรนับและวงจรบวกแบบ 8-bit CLA

5.1 วงจร flip-flop แบบ QSECRL

ในส่วนนี้จะกล่าวถึงการออกแบบวงจร Flip-flop พื้นฐาน 3 วงจรคือ วงจร SR flip-flop, วงจร T (toggle) flip-flop และ วงจร JK flip-flop

สำหรับการทำงานของวงจร SR flip-flop สามารถแสดงด้วยสมการ ดังนี้

$$Q_{n+1} = S + \bar{R}Q_n \quad (5.1)$$

เมื่อ Q_n คือแสดงสถานะลอจิกปัจจุบัน (present state) และ Q_{n+1} แสดงค่าสถานะลอจิกถัดไป (next state) สำหรับการทำงานของ JK flip-flop สามารถแสดงได้ด้วยสมการด้วยวิธีเดียวกัน คือ

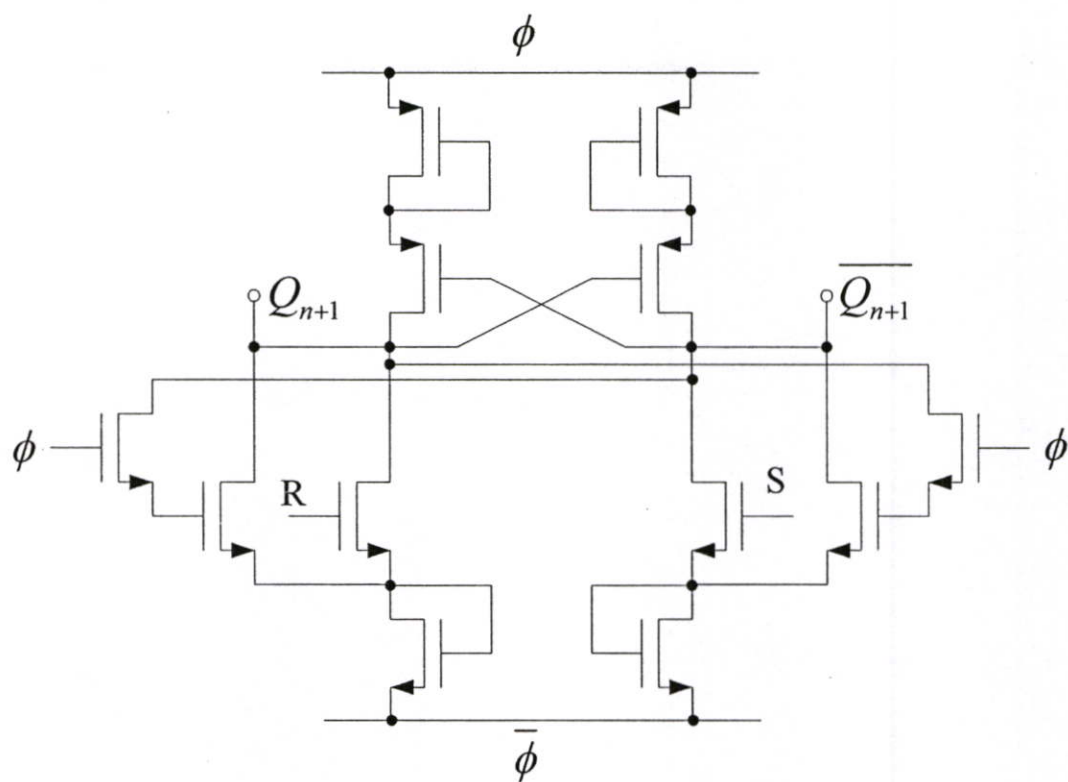
$$Q_{n+1} = J\overline{Q_n} + \overline{K}Q_n \quad (5.2)$$

และสำหรับ T(toggle) flip-flop

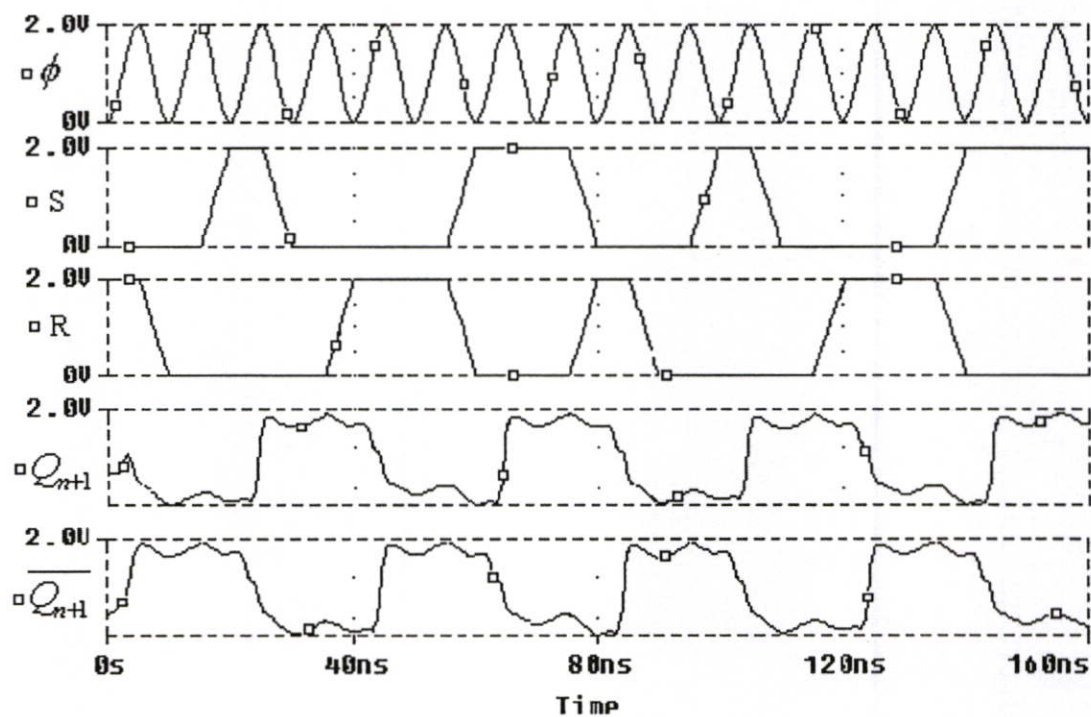
$$Q_{n+1} = Q_n \oplus T \quad (5.3)$$

เมื่อ \oplus หมายถึงการดำเนินการแบบ Exclusive-or

จากสมการข้างต้น การออกแบบวงจร QSECRL SR flip-flop สามารถทำได้โดยการนำค่าสถานะ Q_n ที่ได้ในช่วง evaluation phase มาเก็บรักษาไว้ที่เกิดของทรานซิสเตอร์ในช่วง hold phase เตรียมพร้อมสำหรับสัญญาณอินพุตถัดไปที่จะมีขึ้นในช่วง evaluation phase ถัดไป กระบวนการนี้สามารถทำได้โดยใช้ทรานซิสเตอร์ทำหน้าที่เป็น latch ซึ่งถูกควบคุมด้วยสัญญาณแหล่งจ่ายไฟเลี้ยงกระแสสลับ ϕ และ $\bar{\phi}$ ดังแสดงในรูปที่ 5.2(a) ผลการจำลองการทำงานของวงจร QSECRL SR flip-flop ที่ความถี่ 100 MHz แสดงในรูปที่ 5.2(b)

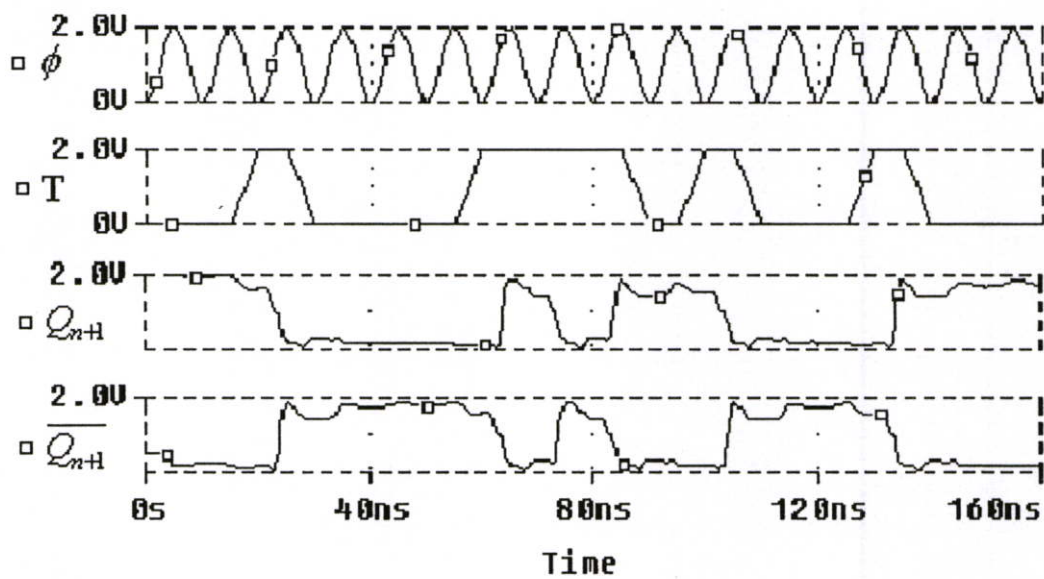
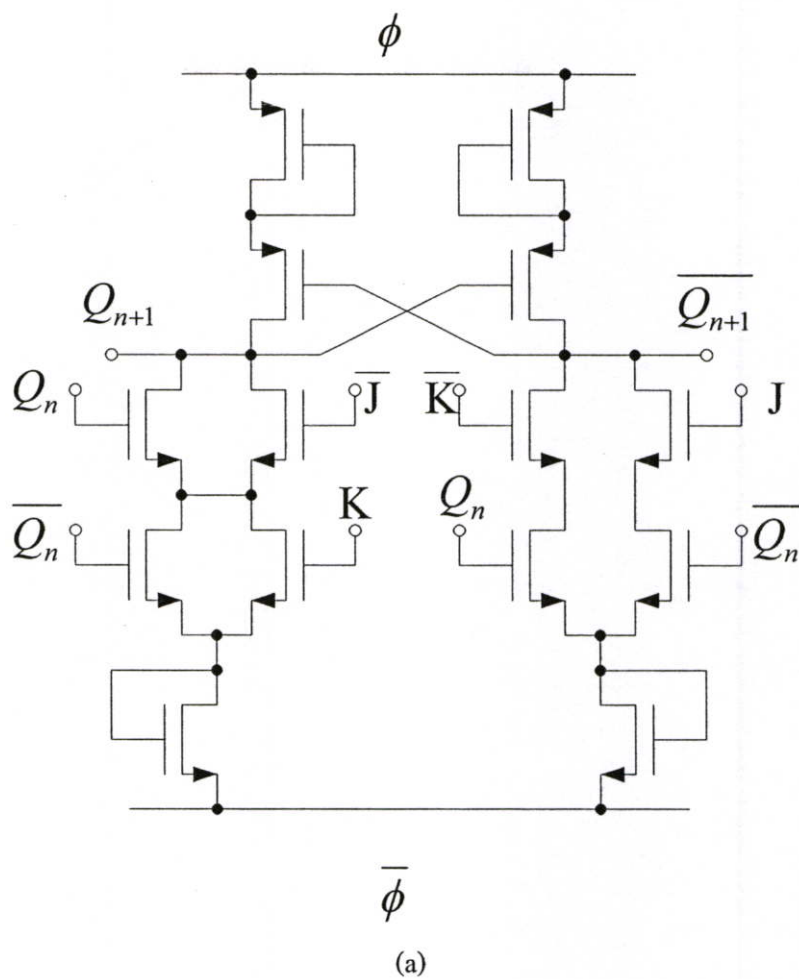


(a)



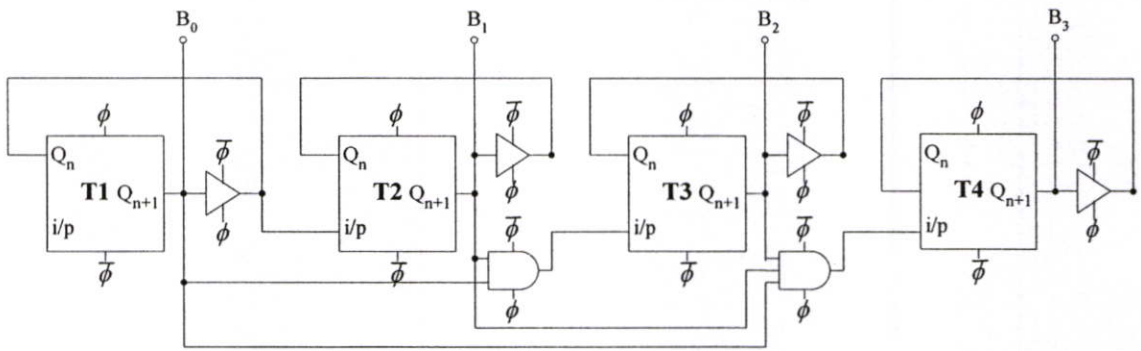
(b)

รูปที่ 5.2 (a) วงจร QSECRL SR flip-flop และ (b) ผลการจำลองการทำงานที่ความถี่ 100 MHz

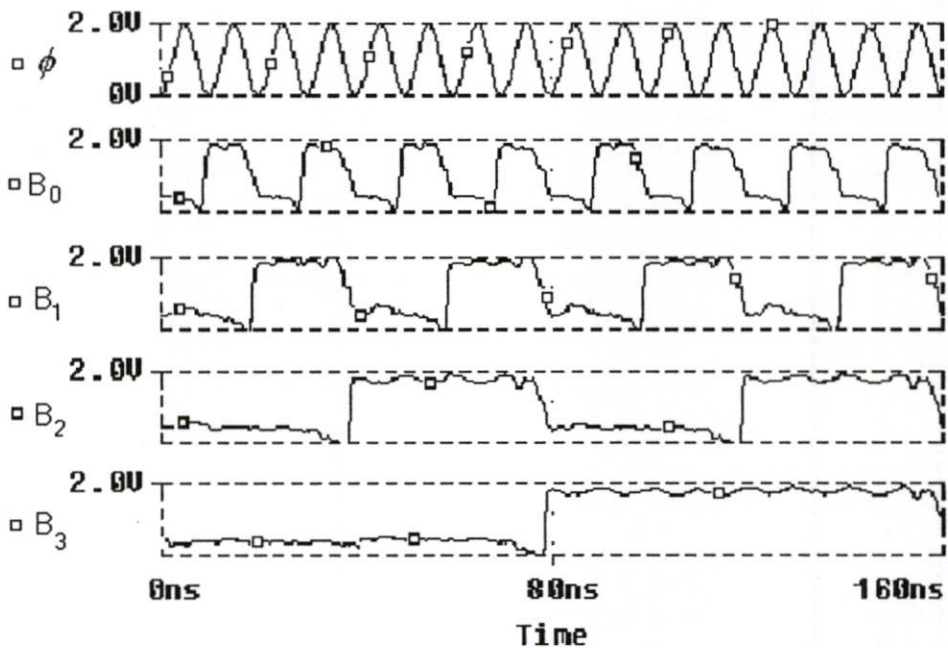


รูปที่ 5.4 (a) วงจร QSECL JK flip-flop และ (b) ผลการจำลองการทำงานที่ความถี่ 100 MHz

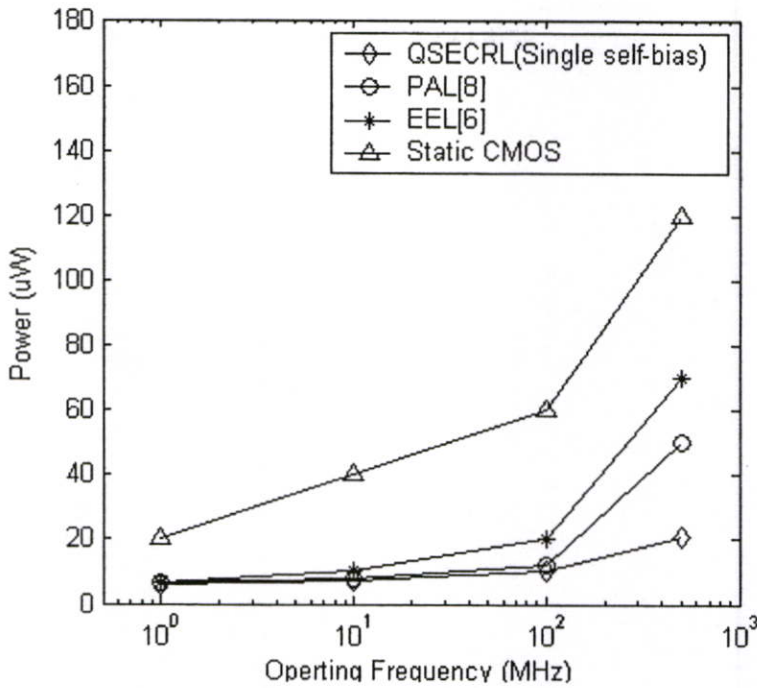
สำหรับวงจรนับแบบ 4-bit binary counter สามารถสร้างขึ้นจากวงจร T(toggle) flip-flop เพื่อให้จังหวะการทำงานเป็นไปอย่างถูกต้องจำเป็นต้องอาศัยวงจร transmission gate ในการเชื่อมโยงในแต่ละ stage ดังแสดงในรูปที่ 5.5 ผลการจำลองการทำงานวงจรถูกแสดงในรูปที่ 5.6 เมื่อทำการเปรียบเทียบกำลังงานสูญเสียที่เกิดขึ้นในวงจรนับที่ถูกออกแบบด้วยเทคนิคต่าง ๆ (รูปที่ 5.7) พบว่า วงจร static CMOS จะเกิดกำลังงานสูญเสียสูงสุด และจะเพิ่มขึ้นอย่างรวดเร็วเมื่อความถี่ปฏิบัติงานเพิ่มสูงขึ้น ในขณะที่วงจรประเภท adiabatic ทั้ง 3 แบบที่ถูกนำมาเปรียบเทียบคือ วงจร PAL [8], วงจร EEL [6] และวงจร QSECRL แบบ single self-bias ที่นำเสนอไว้ในวิทยานิพนธ์นี้ มีกำลังงานสูญเสียใกล้เคียงกันที่ความถี่ปฏิบัติงานต่ำกว่า 100 MHz และ วงจร QSECRL จะมีประสิทธิภาพด้านการจัดการพลังงานสูงสุดที่ความถี่เพิ่มมากขึ้นทั้งนี้จะคุณลักษณะการปฏิบัติงานแบบ quasi-static ในขณะที่วงจร PAL และ EEL ทำงานแบบไดนามิก ดังได้กล่าวไว้ในบทก่อนหน้า



รูปที่ 5.5 วงจร QSECRL 4-bit counter

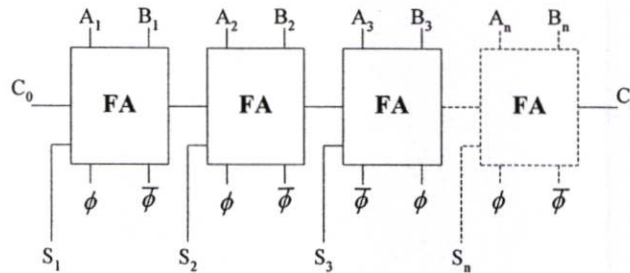


รูปที่ 5.6 ผลการทดสอบวงจร QSECRL 4-bit counter



รูปที่ 5.7 การเปรียบเทียบกำลังงานสูญเสียของวงจร 4-bit counter ที่ความถี่ต่างๆ

5.2 การออกแบบวงจรบวกแบบ QSECRL



รูปที่ 5.8 วงจร n-bit ripple carry adder (RCA)

เพื่อศึกษาประสิทธิภาพของวงจร QSECRL ที่นำเสนอต่อการทำงานที่ซับซ้อน ดังนั้น จึงได้นำเทคนิคการออกแบบวงจร QSECRL นี้มาประยุกต์เข้ากับการออกแบบวงจรบวก ซึ่งเป็นวงจรสำคัญหลักในการประมวลผลดิจิทัล เทคนิคการออกแบบวงจรบวกแบบหนึ่งที่ได้รับคามนิยม โดยเฉพาะอย่างยิ่งระบบดิจิทัลแบบ pipe-line คือ วงจร CLA (Carry Look Ahead) [13] มากกว่าวงจรบวกแบบ RCA (Ripple Carry Adder) (รูปที่ 5.8) และเหมาะสมอย่างยิ่งกับการออกแบบวงจร QSECRL ที่นำเสนอ สำหรับวงจร 8-bit CLA ที่ออกแบบและทดสอบ ถูกแบ่งออกเป็น 5 stage ดังแสดงในรูป 5.9 และประกอบด้วยวงจรร้อย 4 ประเภทคือ

- วงจร GP-generator
- วงจร Grouping (รูปที่ 5.9 (b))
- วงจร buffer หรือวงจร Transmission gate
- และ วงจร XOR

สำหรับการทำงานวงจร GP-generator สามารถแสดงได้ดังสมการด้านล่าง ซึ่งพบว่าสร้างขึ้นจากวงจร QSECRL XOR และ AND ที่ได้กล่าวไว้ในบทก่อนหน้านี้นี้แล้ว

$$P_i = A_i \oplus B_i \quad (5.4)$$

$$G_i = A_i \cdot B_i \quad (5.5)$$

และผลบวกสุดท้ายสามารถหาได้ ดังนี้

$$S_i = P_i \oplus C_{i-1} \quad (5.6)$$

$$C_i = G_i + P_i \cdot C_{i-1} \quad (5.7)$$

เมื่อ S คือบิตผลบวก และ C บิตตัวทด

จากสมการที่ (5.4) ~ (5.7) ดังนั้น สามารถหาบิตตัวทดได้ดังนี้

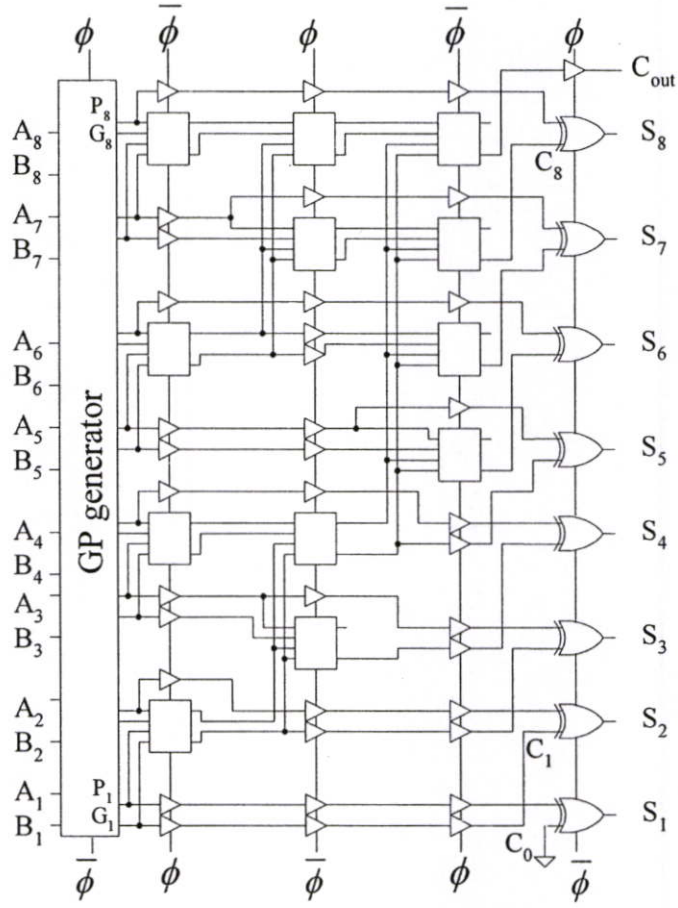
$$C_0 = 0$$

$$C_1 = G_1$$

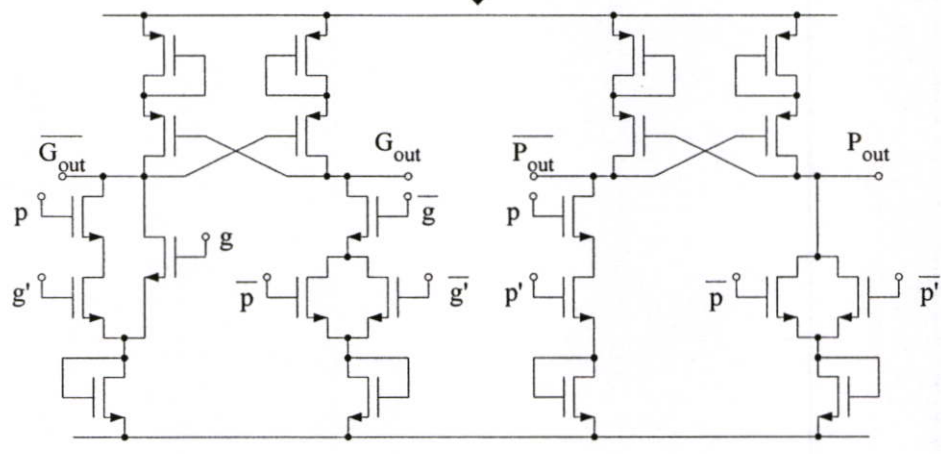
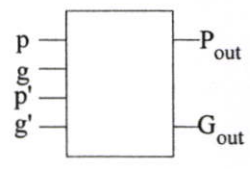
$$C_2 = G_2 + P_2 G_1$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1$$

$$\text{หรือ} \quad C_n = \sum_{i=1}^n \left[\left(\prod_{k=1}^{i-1} P_{n-k+1} \right) \cdot G_{n-i+1} \right] \quad n = 1, 2, 3 \dots \quad (5.8)$$



(a)



(b)

รูปที่ 5.9 (a) วงจร 8-bits carry look-ahead (CLA) (b). วงจร Grouping

และเพื่อลดเวลาในการคำนวณในการหาบิตตัวทศ สมการ (5.8) สามารถถูกจัดรูปใหม่ด้วยการแบ่งกลุ่มการคำนวณตามสมการที่ (5.9) และ (5.10)

$$C_n = (Y_n, Y_{n-1}), (Y_{n-2}, Y_{n-3}) \dots (Y_2, Y_1) \quad (5.9)$$

และ
$$C_{n+1} = Y_{n+1} (Y_n, Y_{n-1}), (Y_{n-2}, Y_{n-3}) \dots (Y_2, Y_1) \quad (5.10)$$

เมื่อทำการลดรูปสมการ ดังนั้นค่าบิตตัวทศสามารถหาได้จาก

$$C_n = (Y_n, Y_{n-1}), C_{n-2} \quad (5.11)$$

$$C_{n+1} = Y_{n+1}, C_n \quad (5.12)$$

เมื่อ $C_0 = 0$, $C_1 = G_1$ และ $Y_i = \begin{bmatrix} P_i \\ G_i \end{bmatrix}$

โดยกำหนดให้ การกระบวนการจัดกลุ่มคือ

$$(Y_i, Y_{i-1}) = G_i + P_i G_{i-1} \quad (5.13)$$

โดยวงจรจัดกลุ่มนี้ถูกออกแบบ แบบวงจร QSECRL และแสดงในรูปที่ 5.9(b)

จากสมการที่ (5.11), (5.12) และ (5.13) ดังนั้น

$$(Y_i, Y_{i-1}), (Y_{i-2}, Y_{i-3}) = [G_i + P_i G_{i-1}] + P_i P_{i-1} [G_{i-2} + P_{i-2} G_{i-3}] \quad (5.14)$$

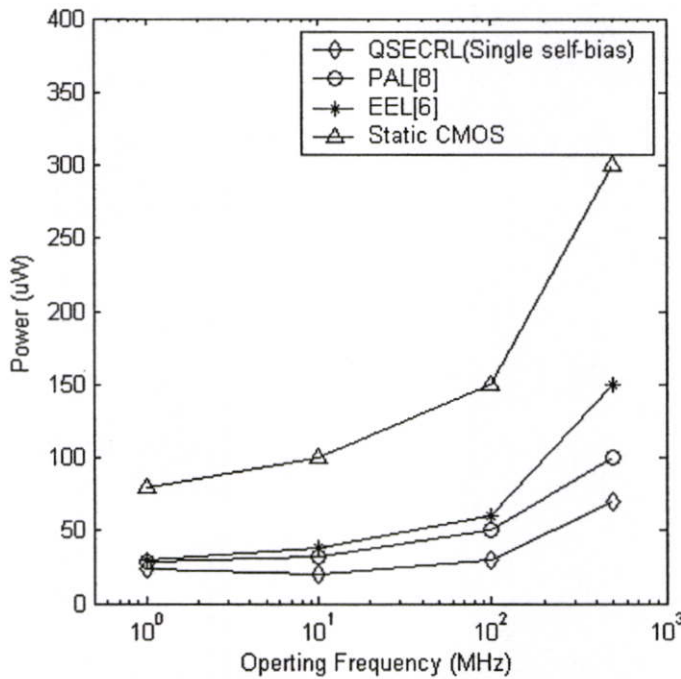
ซึ่งแสดงการเชื่อมโยงแต่ละส่วนวงจรเข้าด้วยกันประกอบขึ้นเป็นวงจรบวก รูปที่ 5.9 แสดง วงจร 8-bit CLA แบบ QSECRL

ข้อดีหลักของวงจร CLA คือความเร็วในการประมวลผล โดยอาศัยการจัดกลุ่มการประมวลผลย่อยเข้าด้วยกัน ระยะเวลา (จำนวนคาบเวลา, n_ϕ) ที่ต้องการสำหรับการประมวลผลการบวก n-bit คือ

$$n_\phi \leq \frac{1}{2} (\log_2 n) + 1 ; \quad 2n_\phi \in I^+ \quad (5.15)$$

n_d คือเลขจำนวนเท่าของเครื่องคาบที่มากที่สุดที่ทำให้สมการข้างต้นเป็นจริง เนื่องจากวงจร QSECRL จะประมวลผลทุกเครื่องคาบ โดยแต่ละคาบสัญญาณแบ่งเป็น evaluation phase และ hold phase สลับกันทำงานในแต่ละ stage

ตัวอย่างเช่น สำหรับวงจร CLA แบบ 8-bit, 16-bit และ 64-bit จะใช้ระยะเวลา 2.5, 3 และ 3.5 คาบเวลาในการประมวลผลตามลำดับ รูปที่ 5.10 แสดงผลการเปรียบเทียบกำลังงานสูญเสียที่เกิดขึ้นในวงจร 8-bit CLA ที่ออกแบบด้วยเทคนิคแบบต่าง ๆ วงจร static CMOS จะมีค่ากำลังสูญเสียสูงสุด ในขณะที่กำลังงานจะถูกสงวนและนำกลับมาใช้ในวงจร PAL, วงจร EEL และวงจร QSECRL ตามหลักการเทอร์โมไดนามิก โดยเฉพาะอย่างยิ่งวงจร QSECRL ที่นำเสนอ มีประสิทธิภาพสูงสุดจากการทำงานแบบ quasi-static



รูปที่ 5.10 การเปรียบเทียบกำลังงานสูญเสียของวงจร 8-bit CLA ที่ความถี่ต่าง ๆ

บทที่ 6

สรุปและวิจารณ์

วงจร QSECRL ที่ได้นำเสนอในวิทยานิพนธ์นี้ เป็นวงจรที่ถูกออกแบบและทำงานบนพื้นฐานของวงจร adiabatic กล่าวคือการสงวนและการนำกลับพลังงานมาใช้ใหม่ ซึ่งมีลักษณะการทำงานครอบคลุมคุณสมบัติที่จำเป็นต่อการทำงานแบบ adiabatic มากสุดเมื่อเทียบกับวงจรประเภทอื่นๆ ที่นำเสนอ โดยเฉพาะอย่างยิ่งในรูปแบบการทำงานแบบ quasi-static ที่อนุญาตให้ประจุเกิดการถ่ายโอนเท่าที่จำเป็นเพื่อลดพลังงานสูญเสียจากผลความไม่เป็นอุดมคติของอุปกรณ์ต่าง ๆ ด้วยรูปแบบวงจรที่ให้สัญญาณเอาต์พุตแบบ differential output ทำให้ง่ายต่อการเชื่อมโยงวงจรต่างๆ เข้าด้วยกันในลักษณะโหลดสมดุล (load balancing) สิ่งที่มาคือ ง่ายต่อการออกแบบวงจรถูกกำเนิดสัญญาณแหล่งจ่ายไฟเลี้ยงแบบกระแสสลับ และการกำหนดคาบเวลาในการกำกับการทำงานของวงจร ซึ่งขึ้นกับคาบเวลาสัญญาณที่จุดต่างๆ ซึ่งถูกกำหนดจากโหลดที่จุดต่างๆ อีกทอดหนึ่ง นอกจากนี้วงจร adiabatic ที่ออกแบบด้วยเทคนิคนี้ ยังต้องการแหล่งจ่ายไฟเลี้ยงกระแสสลับเพียง 2 เฟส ในการเชื่อมโยงแต่ละวงจรร่วมเข้าด้วยกัน และทำหน้าที่กำหนดจังหวะการทำงานเป็น 2 ช่วง คือ evaluation phase และ hold phase ซึ่งง่ายต่อการวางผังวงจรและการลากสายสัญญาณภายในวงจร จำนวนเฟสสัญญาณที่จำนวนน้อยนี้ทำให้การประมวลผลเป็นไปอย่างรวดเร็ว เมื่อเทียบกับเทคนิคการออกแบบวงจรอื่นๆ ที่มีเฟสสัญญาณจำนวนมาก อย่างไรก็ตามสิ่งเหล่านี้แลกมาด้วยการยินยอมให้เกิด floating node เพิ่มขึ้นในวงจร โดยเฉพาะอย่างยิ่งในช่วง hold phase โดยวงจรจะตัดขาดจากแหล่งจ่ายจากสภาพ reverse bias ของอุปกรณ์เรียงกระแส (ไดโอด) ซึ่งเป็นข้อดีของวงจร โดยเฉพาะอย่างยิ่งเมื่อถูกรบกวนด้วยสัญญาณรบกวนใด ทำให้ประจุที่เก็บไว้ที่จุดต่างๆ วงจรเปลี่ยนแปลงไป อันจะเป็นผลให้การสถานะสัญญาณผิดไปและทำให้การประมวลผลของระบบรวมผิดพลาดไป

นอกจากนี้เนื่องจากวงจร QSECRL นี้จำเป็นต้องใช้อุปกรณ์เรียงกระแสในการกำหนดทิศทางการถ่ายเทประจุ (พลังงาน) และจากความไม่เป็นอุดมคติของอุปกรณ์เรียงกระแสที่เกิดศักดาตกคร่อมนี้เองทำให้เกิดพลังงานสูญเสียจากงานเคลื่อนย้ายประจุ การลดศักดาตกคร่อมนี้จึงเป็นประเด็นสำคัญที่ผู้ออกแบบระบบจำเป็นต้องนำมาพิจารณา โดยเฉพาะอย่างยิ่งสำหรับวงจรประเภทกำลังงานสูญเสียต่ำมาก (ultra-low power circuit) วิทยานิพนธ์นี้ได้นำเสนอกรรมวิธีในการลดกำลังสูญเสียส่วนนี้ ทั้งการลดศักดาตกคร่อมโดยใช้อุปกรณ์อื่น แทนไดโอดในการทำหน้าที่เรียงกระแส หรือวิธีออกแบบโดยไม่ใช้อุปกรณ์เรียงกระแส แต่ใช้ทรานซิสเตอร์ที่ถูกกำกับจังหวะการทำงานที่เหมาะสมในการควบคุมทิศทางการเคลื่อนย้ายประจุแทน ซึ่งสามารถลดพลังงานสูญเสียและมีประสิทธิภาพด้านกำลังงานเหนือเทคนิคการออกแบบวงจรอื่นที่ได้ถูกนำเสนอไว้ อย่างไรก็ตาม

อุปกรณ์และสายสัญญาณควบคุมที่เพิ่มขึ้นทำให้วงจรมีขนาดใหญ่ อีกทั้งปัญหาการเชื่อมต่อสัญญาณ และนำไปสู่ปัญหาการทำงานไม่เข้าจังหวะ (unsynchronized problem) กลับทำให้เกิดพลังงานไม่สามารถถูกนำกลับมาใช้ใหม่ การสูญเสียกำลังงานของวงจรเพิ่มขึ้น โดยเฉพาะเมื่อวงจรทำงานที่ความถี่สูง ซึ่งต้องอาศัยการออกแบบ ความถี่ปฏิบัติการ (T), แหล่งจ่ายไฟเลี้ยงแบบกระแสสลับ (V_p), โหลดตัวเก็บประจุ (C_L) และทรานซิสเตอร์ (W/L) อย่างระมัดระวัง

บรรณานุกรม

- [1] W.C. Athas, L.J. Svensson and J.G. Koller, "Low-Power digital Systems Based on Adiabatic-Switching Principles," IEEE Trans. VLSI systems, Vol.2, No.4, pp.398-406, December 1994.
- [2] J.L. Denker, "A Review of Adiabatic Computing," IEEE Symp. on Low-Power Electronics, pp.94-97, 1994.
- [3] Y. Ye and K. Roy, "Energy Recovery Circuits Using Reversible and Partially Reversible Logic," IEEE Trans. Circuit and System, Vol.43, No.9, pp.769-778, September 1996.
- [4] K.J. Frank, "Comparison of High Speed Voltage-Scaled Conventional and Adiabatic Circuits," ISLPED, pp.337-380, Monterey CA, USA, 1996.
- [5] A.G. Dickinson and J.S. Denker, "Adiabatic Dynamic Logic," IEEE J. Solid-State Circuits, Vol.30, No.3, pp.311-315, March 1995.
- [6] C.C. Yeh, J.H. Lou and J.B. Kuo, "1.5V CMOS Full-Swing Energy Efficient Logic (EEL) Circuit Suitable for Low-Voltage and Low-Power VLSI applications," Electron. Lett., Vol.33, No.16, pp.1375-1376, July 1997.
- [7] C.K. Lo and C.H. Chan, "Design of Low-Power Differential Logic Using Adiabatic Switching Technique," Proc. ISCAS98, pp. II33-II36, May 1998.
- [8] V.G. Oklobdzija, D. Maksimovic and F. Lin, "Pass Transistor Adiabatic Logic Using Single Power-Clock Supply," IEEE Trans. Circuit and Systems II, Vol. 44, No. 10, pp.842-846, October 1997.
- [9] V.G. Oklobdzija, D. Maksimovic and K.W. Current, "Clocked CMOS Adiabatic Logic with Single AC Power Supply," 21st European Solid State Circuit Conference, ESSCIRC'95, Lille, France, September 1995.
- [10] F. Liu and K.T. Lau, "Pass-Transistor Adiabatic Logic with NMOS Pull-Down Configuration," Electron. Lett., Vol.34, No.8, pp.739-741, April 1998
- [11] W.Y. Wang and K.T. Lau, "Adiabatic Pseudo-Domino Logic," Electron. Lett., Vol. 31, No.23, pp.1982-1983, 1995.
- [12] W.Y. Wang and K.T. Lau, "Transmission Gate – Interfaced APDL design," Electron. Lett., Vol.32, No.4, pp.317-318, 1996.
- [13] Y. Moon and K.K. Jeong, "An Efficient Charge Recovery Logic Circuit," IEEE J. Solid-State Circuits, Vol.31, pp.514-522, April 1996.

- [14] F. Liu and K.T. Lau, "Improved Structure for Efficient Charge Recovery Logic," *Electron. Lett.*, Vol.34, No.18, pp.1731-1732, September 1998.
- [15] R.T. Hinman and M.F. Schlecht, "Power Dissipation Measurements on Recovered Energy Logic," *IEEE Symp. on VLSI Circuits Dig. of Tech. Papers*, pp.19-20, June 1994.
- [16] T. Indermaur and M. Horowitz, "Evaluation of Charge Recovery Circuits and Adiabatic Switching for Low-Power CMOS Design," *IEEE Symp. Low Power Electronics*, pp.102-103, 1994.
- [17] R. Zimmermann and W. Fichtner, "Low-Power Logic Styles: CMOS versus Pass-transistor Logic," *IEEE J. Solid-State Circuits*, Vol.32, No.7 pp.1079-1089, July 1997.
- [18] Y. Ye and G.I. Stamoulis, "Quasi-Static Energy Recovery Logic and Supply Clock Generation Circuits," *Proc. International Conf. Low-Power Electronics and Design*, pp. 96-99, Aug.1997.
- [19] Y. Ye and K. Roy, "Reversible and Quasi-Static Adiabatic Logic," *European Conf. Circuit Theory and Design*, pp.912-917, 1997.
- [20] N. Lindert, T. Sugii and S. Tang, "Dynamic Threshold Pass-Transistor Logic for Improved Delay at Low Power Supply voltage," *IEEE. J. Solid-State Circuits*, Vol.34, No.1, pp.85-89, January 1999.
- [21] K.W. Ng and K.T. Lau, "Adiabatic Sequential Circuit Design for Low-Power Applications," *ISIC*, pp.98-101, Singapore, 1998.

ภาคผนวก

ภาคผนวก ก.

ผลงานวิจัยที่ได้รับการตีพิมพ์

1. S. Wisetpanichkij and K. Dejhan, "Jitter decomposition by derivative Gaussian wavelet transform," Proc. 2004 International Symposium on Communications and Information Technology (ISCIT 2004), Sapporo, Japan, October 27-29, 2004.
2. S. Wisetpanichkij and K. Dejhan, "Low voltage wide band inverting current feedback amplifier," Proc. 2004 International Symposium on Communications and Information Technology (ISCIT 2004), Sapporo, Japan, October 27-29, 2004.
3. S. Wisetphanichkij and K. Dejhan, "The Combinational and Sequential Adiabatic Circuit Design and its Application," is *accepted to publish in Journal of Circuit, Systems & Signal Processing (CSSP)*.

The Combinational and Sequential Adiabatic Circuit Design and its Application

Sompong Wisetphanichkij and Kobchai Dejhan

Department of Telecommunication Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand. E-mail:jsompong,kobchaig@telecom.kmitl.ac.th

Abstract

In this paper, a new design of adiabatic circuit, called The Quasi-Static Efficient Charge Recovery Logic (QSECRL) is proposed. To achieve the minimum energy consumption, this paper proposes the technique to reduce channel resistance and remove diode from the signal path. This design method can be implemented in both combination logic and sequential logic. The counter circuit and the 8-bit Carry Look-Ahead (CLA) circuit, more complex circuit, are selected to evaluate this proposed design. All simulations in this paper have been implemented by SPICE with the 0.8 μ m MOSIS technology MOS transistor model under 2-volt (peak-peak) sinusoidal power-clock supply. The results show significantly improved performance of 8-bit CLA circuit with 20-30 fJ and 70 fJ energy consumption at 10-100 MHz and 500 MHz operating frequency, respectively.

Keywords: Adiabatic circuit, Low-voltage Low-power circuit, Digital circuit.

1 Introduction

In recent years, the ultra low-power circuit design methodologies based on adiabatic process of the thermodynamics theory have been interested by many researchers and circuit designer. Several adiabatic logic architectures were presented to minimize the energy dissipation and allow the stored energy in capacitive load to be recycled. This can be achieved by using AC power supply, called power-clock supply (ϕ). There are several important operational characteristics and circuit requirements to successfully utilize the adiabatic circuit [1-4]. However, there is no adiabatic circuit design which can cover all requirements. Most of current designs have dynamic structure [5] such as the Energy Efficient Logic (EEL) [6], the Adiabatic Differential Cascade voltage switch with Complementary Pass-transistor Logic (ADCPL) [7] and others [8-14]. The High Efficient Energy Recovery Logic [15] has an additional block for effective recovery path. But it needs 4-phase power-clock supply to complete the pipe-line system. The modified- HEERL [16] require only a single-phase power-clock supply for each stage as same as the Quasi-Static Energy Recovery Logic (QSERL) [17, 18]. However, the charge and discharge of dynamic operation in every clock cycle increase the node switching activities significantly when compared with static operation.

In this paper, a novel logic family called the Quasi-Static Efficient Charge Recovery Logic (QSECRL) is proposed. It requires only a two-phase power-clock supply at lower the circuit node switching activities in term of static operation, which is described in Section 2. The consideration of Energy consumption and delay of proposed circuit is detailed in Section 3. Section 4 shows the method of minimizing the energy dissipation by replacing diodes with equivalent components. In section 5, the sequential QSECRL circuit and 8-bit Carry Look-Ahead circuit (8-bit CLA) design is considered compared to other logic designs.

List of symbols:

V_d	voltage drop in diode,
V_ϕ	peak-peak voltage of power-clock supply (ϕ),
V_{CL}	voltage drop in capacitive load,
V_{th}	MOS transistor threshold voltage,
R_{ch}	MOS transistor channel resistance,
C_L	capacitive load,
T	period of power-clock supply.

2 QSECRL (Quasi-static efficient charge recovery logic)

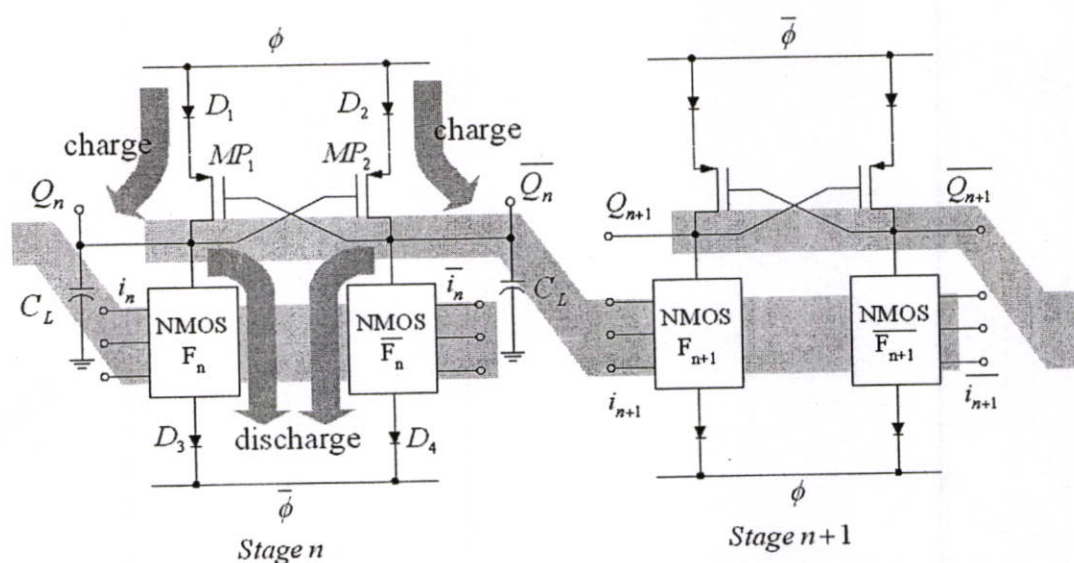


Figure 1: Quasi-Static Efficient Charge Recovery Logic (QSECRL) and its consecutive stage

In Figure 1, a schematic of cascaded QSECRL is shown. It consists of an NMOS network (F_n) and its complement ($\overline{F_n}$), the cross-coupled PMOS transistors (MP_1 and MP_2) and four diodes ($D_1 \sim D_4$). Two diodes on the top control the charging path, while the other two diodes at the bottom control the discharging path. Cascade of logic gates is provided by alternate connection of their power-clock supply (ϕ) and its 180° phase shifted signal ($\overline{\phi}$). The logic operation requires only two phases, evaluation and hold. The evaluation phase of an odd stage coincides with the hold phase of an even stage and vice versa. The QSECRL pipe-line system will complete its computation in each evaluate phase before the input (i_n) is changed by the next coming input.

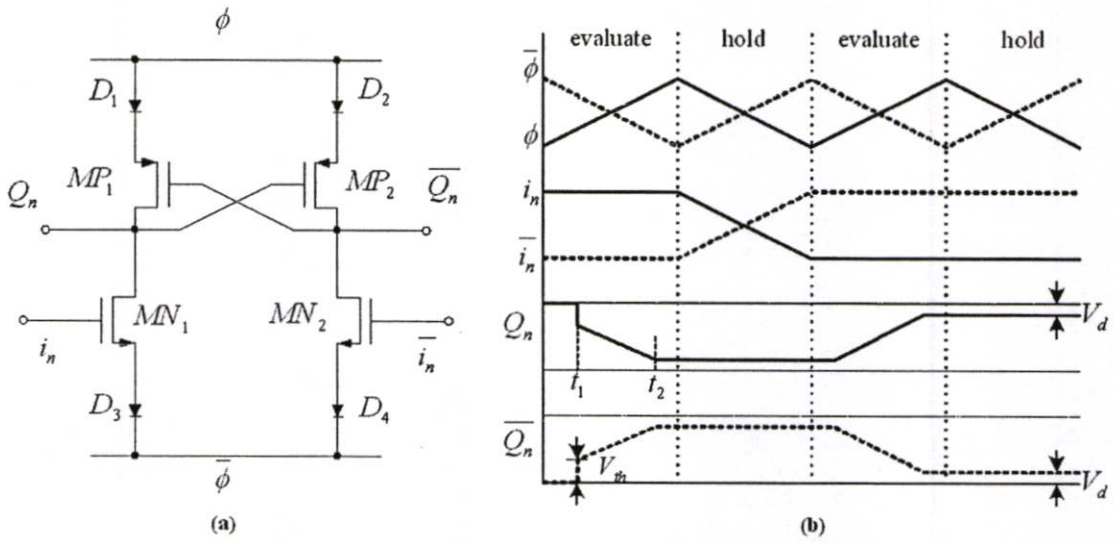


Figure 2: (a) Inverter QSECRL, (b) Circuit operation

In Figure 2(a), the QSECRL inverter is shown. In order to simplify the analysis of circuit operation, assuming ϕ and $\bar{\phi}$ are the triangular signal. At first, given $Q_n = \text{high}(1)$ and $\bar{Q}_n = \text{low}(0)$, when input (i_n) is high(1) and $\bar{\phi}$ starts to decrease, MN_1 will be cut off until gate-source voltage (V_{GS}) is equal or greater than a threshold voltage (V_{th}) at t_1 as shown in Figure 2(b). The MN_1 then starts to conduct, forcing Q_n to decrease. At t_2 , the voltage of Q_n is minimum, equivalent to the diode forward voltage (V_d). Alternately, consider at \bar{Q}_n , when ϕ decreases, $\bar{\phi}$ will be increased until V_{GS} of MP_2 is equal to or greater than V_{th} . The MP_2 then starts to conduct and forces \bar{Q}_n , to increase until the end of evaluation phase. When entering the hold phase, $\bar{\phi}$ will increase and ϕ gradually decrease. All diodes are in reverse bias condition. Therefore, Q_n and \bar{Q}_n are floated, and the logic status is maintained from the previous phase. For the pipe-line system, the next stage performs in the same manner but with different phase.

3 Energy consumption and delay consideration

There are three main portions of energy loss. The first is the energy loss in diodes (E_{diode}). In Figure 1, the charge will be extracted from the power-clock supply (ϕ) through the diode D_1 (or D_2) to C_L (or \bar{C}_L) and stored charge in C_L (or \bar{C}_L) from previous operation will flow back to power-clock supply ($\bar{\phi}$) by passing through the rectifier diode D_3 (or D_4). This energy loss can be defined as

$$E_{diode} = 2qV_d = 2C_L V_{\phi} V_d \quad (1)$$

where, q is charge extracted from power-clock supply (ϕ) to capacitive load (C_L).

The second energy loss causes from PMOS transistor. At the start of the output (Q_n) transition stage, MP_1 and MP_2 will not conduct until voltage drop in the gate-source (V_{GS}) is equal or greater than its threshold voltage (V_{th}). Therefore, there is a voltage drop in the drain-source of transistor (V_{DS}) which is equal to V_{th} , as see in Figure 2(b). At t_1 , the voltage

drop in transistor will suddenly increase from the cutoff region to the linear region causing energy dissipation (E_{th}) which can be computed from

$$E_{th} = \frac{1}{2} C_L V_{th}^2 \quad (2)$$

Finally, when transistor is turned on and operates in triode region, its channel resistance (R_{CH}) also causes an energy loss ($E_{channel}$) [19] with

$$E_{channel} = i^2 R_{CH} \cdot T = \left(\frac{R_{CH} C_L}{T} \right) C_L V_{\phi}^2 \quad (3)$$

This energy loss can be diminished by lower the power-clock supply voltage or the operating frequency.

Next, consider an adiabatic circuit delay time, the typical power-clock supply is able to obtain from an efficient LC oscillator. When it connects to QSECRL, the circuit can be modeled as the LRC network and its delay time (T_{delay}) can be formulated as a summation of the evaluation period ($\frac{T}{2}$) and the charge up delay ($R_{CH} \cdot C_L$) [20] as

$$T_{delay} = \frac{T}{2} + R_{ch} \cdot C_L \quad (4)$$

In the pipe-line system, the transistor sizing optimization is needed to keep the charge up delay ($R_{CH} \cdot C_L$) less than 10% of the evaluation period ($\frac{T}{2}$).

4 Energy consumption improvement

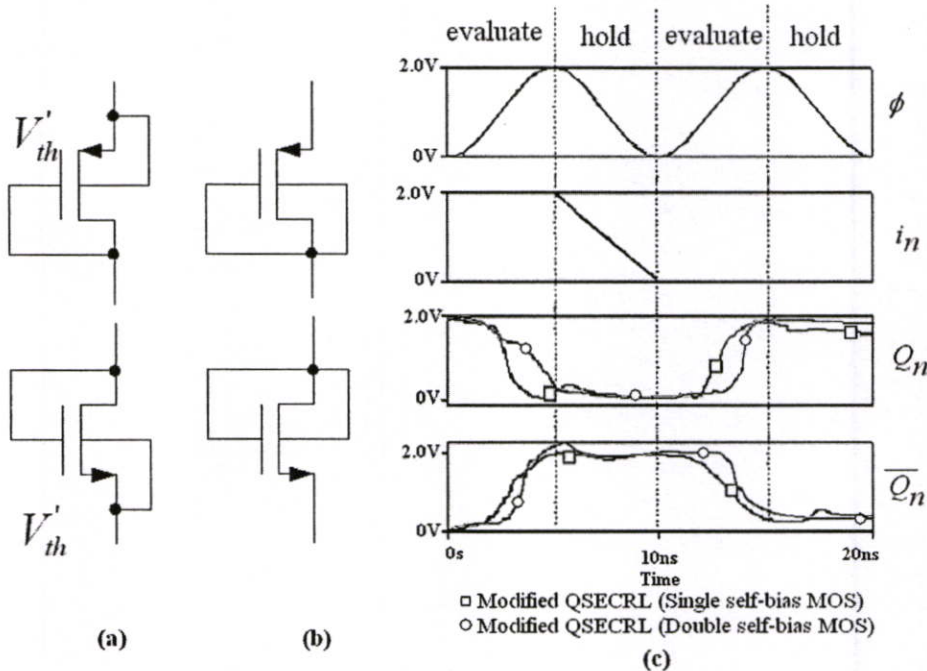


Figure 3: The modified QSECRL logic with the diode-equivalent device, (a) Single self-bias MOS transistor, (b) Double self-bias MOS transistor, (c) Simulation results of inverter QSECRL

From previous section, the main portion of energy consumption in QSECRL is energy loss in diodes. These diodes can be replaced by low-threshold voltage MOS transistor as shown in Figure 3(a). Therefore, the equivalent diode voltage (V_d) is changed to low threshold voltage (V_{th}) of MOS transistor.

In order to improve the conductivity, the MOS transistor can be wired as shown in Figure 3(b) to form the two parallel equivalent-diodes. When connecting drain to substrate, the current will flow through P-N junction of substrate-source until the voltage drop equals to (V_d). Then the current will flow into inversion layer of the MOS transistor until the gate-source voltage decreases to (V_{th}), and the transistor will stop conducting. However, this technique needs to connect gate and substrate together, which requires special fabrication process such as Silicon-On-Insulator (SOI) [21]. The simulation results of two modified QSECRL inverter circuit at 100 MHz operating frequency are shown in Figure 3(c).

Table 1 Diode functions in evaluation and hold phase

Operation phase	D ₁ and D ₄	D ₂ and D ₃	Transition $Q_n(t) \rightarrow Q_n(t+1)$
Evaluate	forward bias	reverse bias	low \rightarrow high
	reverse bias	forward bias	high \rightarrow low
Hold	reverse bias	reverse bias	low \rightarrow high
	reverse bias	reverse bias	high \rightarrow low

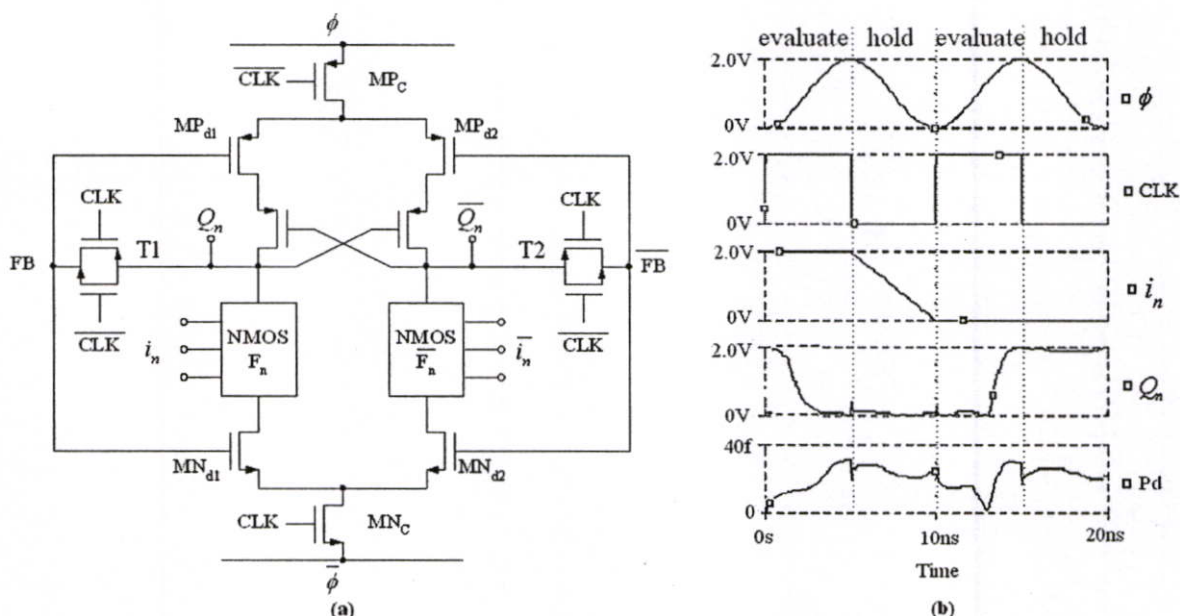


Figure 4: (a) QSECRL with auxiliary clock and (b) its simulation result

Further improvement of energy loss in QSECRL can be done by eliminating the voltage drop in diode during evaluation phase. Consider the circuit operation, the diodes will

conduct (or forward bias) only in the evaluate phase and specific transition of output logic as shown in Table 1, which can be replaced by MP_c and MN_c as shown in Figure 4(a). While transmission gate T1 and T2 perform as a latch in evaluation phase. The output signal $Q_n(t)$ (and $\overline{Q_n(t)}$) will be fed back and stored at gate of MP_d and MN_d . For next evaluation phase, if the output $Q_n(t+1)$ of NMOS network (F_B) is changed correspondingly to the output transition stage as shown in Table 1, then the diode- equivalent devices (MP_d and MN_d) will conduct. In hold phase, the MP_c (and MN_c) is controlled by \overline{CLK} (and CLK). Consequently, the circuit is disconnected from the power-clock supply (ϕ and $\overline{\phi}$) and maintains previous phase logic status. In Figure 4(b), the simulation result of the diode-free QSECRL inverter circuit at 100 MHz operating frequency is shown. The cyclic power dissipation (P_d) with small loss is also shown at the bottom. The area under P_d is a cyclic energy. The energy consumption at various operating frequencies for load 1fF are depicted in Figure 5. The modified QSECRL with double self-bias MOS has the highest energy loss due to channel resistance from both two current paths (the PN junction of drain-substrate and the inversion layer of MOS transistor). The modified QSECRL with single self-bias MOS shows the best energy saving when operating at high frequency. On the other hand, the diode-free QSECRL provides the best result in energy saving at low operating frequency, but will be worst at high operating frequency due to the charge leakage from feedback mechanism. The delay at transmission gate (T1 and T2) will cause the loss of synchronization between feedback (FB and \overline{FB}) and clock (CLK and \overline{CLK}) signal. The advantages and disadvantages of each QSECRL topology are concluded in Table 2. Because of the high number of transistors required, especially for the diode-free QSECRL, this kind of circuit is encouraged to use in special applications that power loss and speed are critical but package density is not an issue.

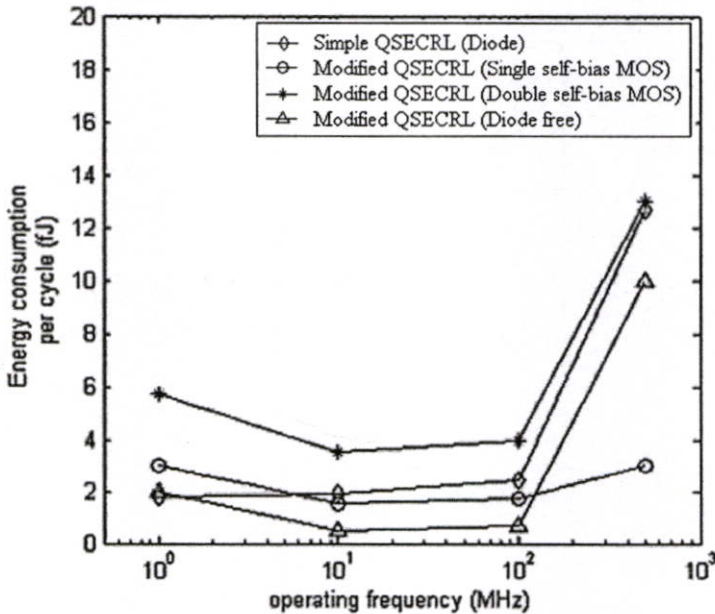


Figure 5: Energy consumption versus operating frequency ($C_L = 1\text{fF}$)

Table 2. The comparison of QSECRL

Topologies	Simple QSECRL (Diode)	Mod. QSECRL (Single bias)	Mod. QSECRL (Double bias)	Mod. QSECRL (Diode free)
Speed	slow	medium	fast	fastest
Energy Loss	medium	medium	large	small (low-medium frequency)
Transistor count	$2n+2P+4D$	$2n+4P+2N$	$2n+4P+2N$	$2n+7P+5N$

Note: The N, P and D mean NMOS, PMOS and diode, respectively. The 2n mean the two NMOS - functional network (F_n and $\overline{F_n}$)

5 QSECRL sequential circuit

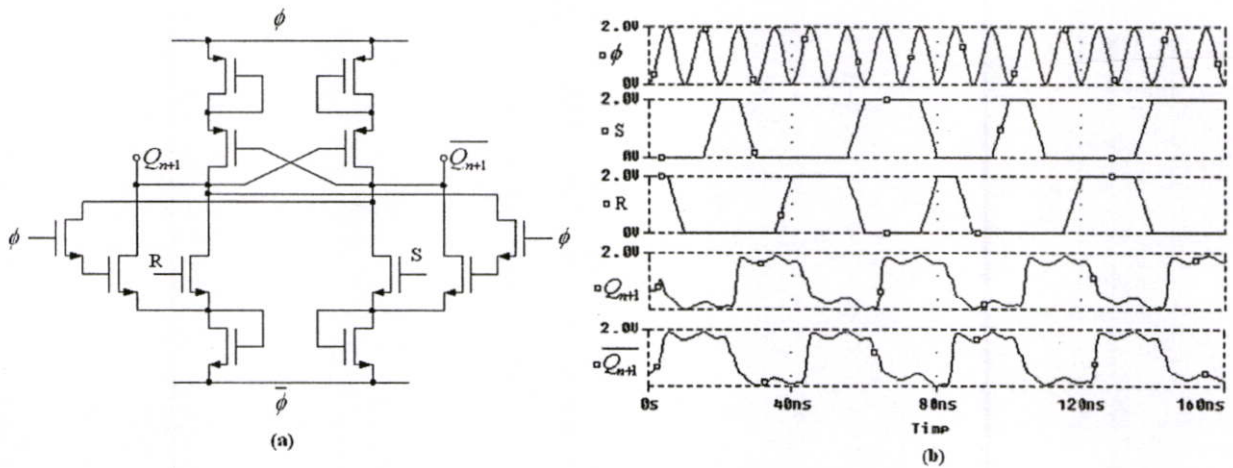


Figure 6: (a) QSECRL SR flip-flop and (b) its simulated results at 100 MHz

In order to design a complete QSECRL system, this paper proposes the QSECRL sequential circuit design. Three kinds of the °ip-°op circuits (SR, T(toggle) and JK) [22] are presented here. Their logic equation are

$$\begin{aligned}
 Q_{n+1} &= S + \overline{R}Q_n \\
 Q_{n+1} &= J\overline{Q}_n + \overline{K}Q_n \\
 Q_{n+1} &= Q_n \oplus T
 \end{aligned} \tag{5}$$

where, Q_n represents the present stage output and Q_{n+1} represents the next stage output. In Figure 6, the QSECRL SR flip-flop and its simulation results are shown. JK flip-flop is shown in Figure 7(a). When J and K are connected together, it can perform as T (toggle) flip-flop. The alternative design of T flip-flop based-on exclusive-or(XOR) is shown in Figure 7(b). Because of the signal-racing problem in toggle state, the T flip-flop requires an

additional buffer transistor to store and delay the output (Q_n and \overline{Q}_n) in the feedback path, which can be implemented by the QSECRL inverter. The simulation results are shown in Figure 7(c). By cascading 4 stages of the QSECRL T flip-flop, the 4-bit binary counter circuit can be constructed as shown in Figure 8(a). The comparison of the energy consumption per cycle of 4-stage T flip-flop designed with various logic families are shown in Figure 8(b). All circuits are supplied with 2Vp-p power-clock supply voltage, except the CMOS circuit is supplied with 2V constant supply voltage. The $0.8 \mu\text{m}$ MOSIS MOS transistor model is used in this simulation. The aspect ratio for all PMOS is $4 \mu\text{m}/1 \mu\text{m}$ and NMOS is $2 \mu\text{m}/1 \mu\text{m}$. Although the transistor count of QSECRL is the highest and requires largest area when compared with the others, the power consumption is minimum, especially when compared with the static CMOS version.

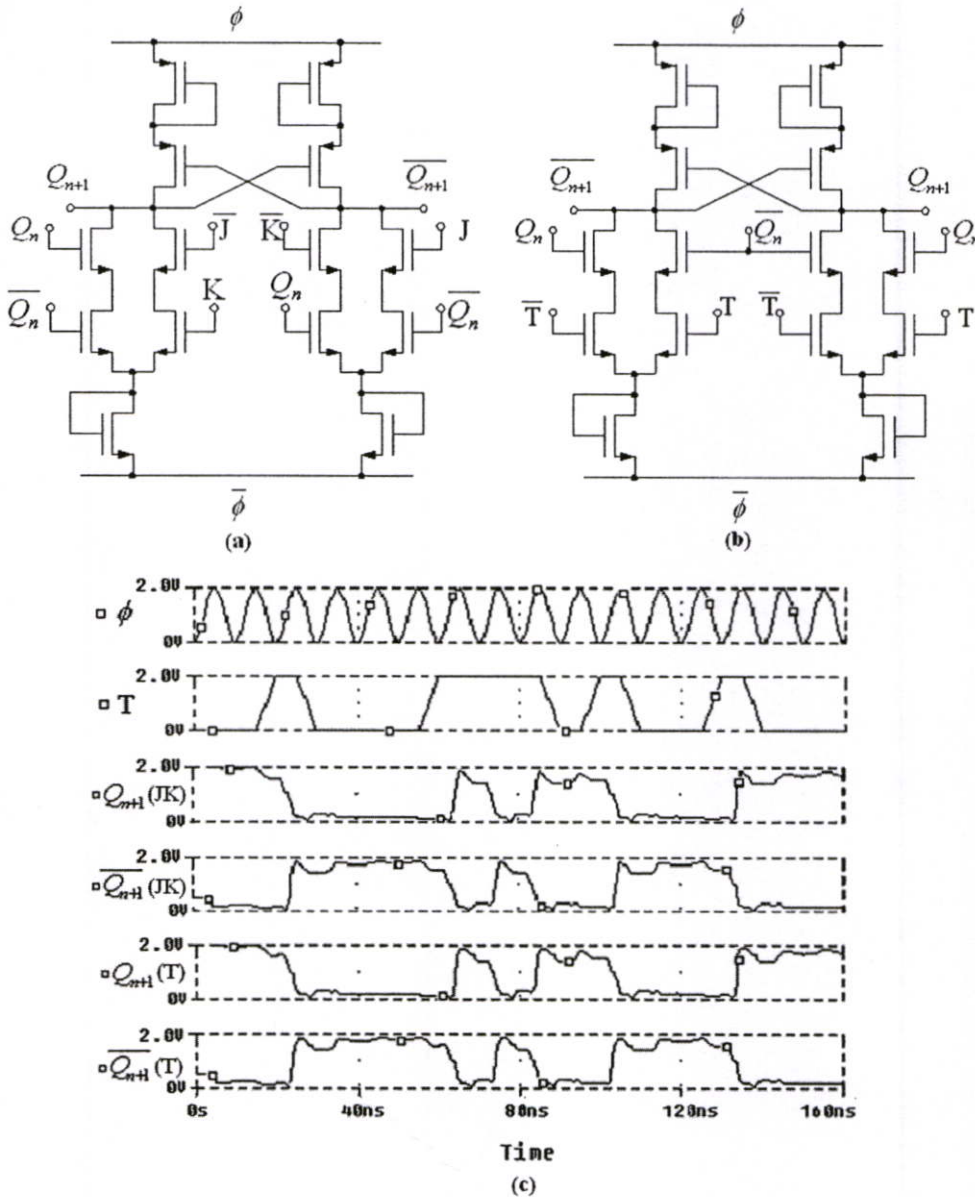


Figure 7: (a) QSECRL JK flip-flop design, (b) QSECRL T flip-flop design, and (c) Simulation results

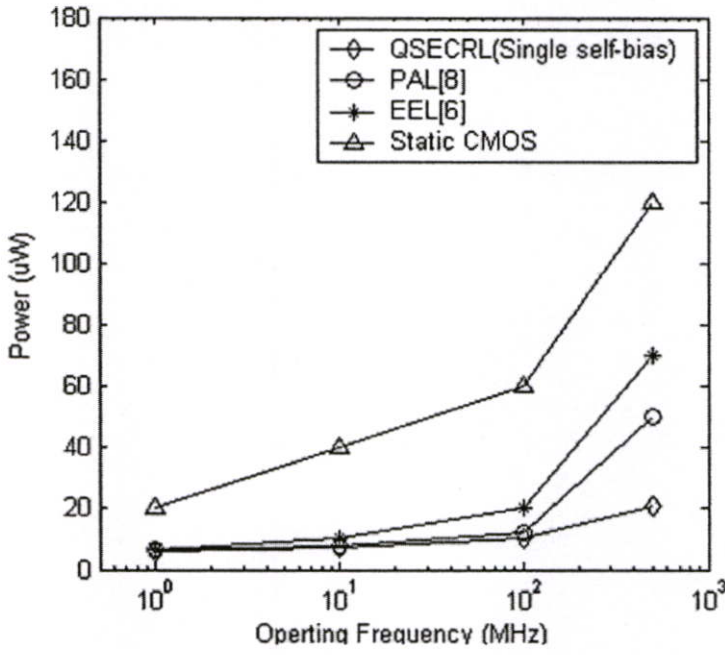
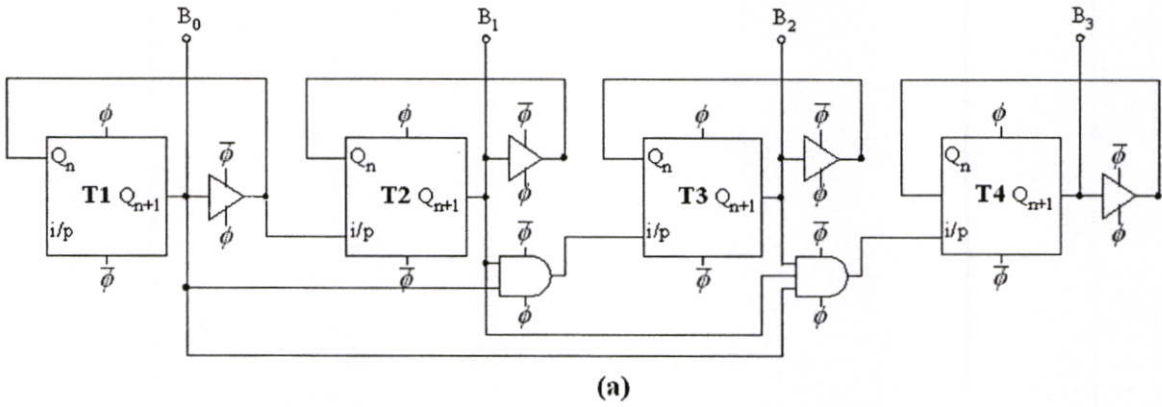


Figure 8: (a)QSECRL 4-bits counter and (b)Power consumption versus frequency

To evaluate the performance of the QSECRL, the adder circuit design is chosen as main core of digital system. A Carry Look-Ahead (CLA) adder circuit [23-25] has a pipe-line structure that suits the QSECRL circuit design. The 8-bit CLA consists of 5 stages with 4 elements (the GP- generator circuit, the grouping circuit, buffer and XOR circuit) as shown in Figure 9(a). The GP generator circuit function can be expressed as

$$P_i = A_i \oplus B_i \quad (6)$$

$$G_i = A_i \cdot B_i \quad (7)$$

which can be implemented from the XOR and the AND logic QSECRL circuit. And the final summation results are

$$S_i = P_i \oplus C_{i-1} \quad (8)$$

$$C_i = G_i + P_i \cdot C_{i-1} \quad (9)$$

when, S is a sum, and C is a carry. Therefore,

$$C_n = \sum_{i=1}^n \left[\left(\prod_{k=1}^{i-1} P_{n-k+1} \right) \cdot G_{n-i+1} \right] \quad n = 1, 2, 3... \quad (10)$$

To reduce logic phase, the grouping procedure must be applied as

$$C_n = (Y_n, Y_{n-1}), (Y_{n-2}, Y_{n-3}) \dots (Y_2, Y_1) \quad (11)$$

and;
$$C_{n+1} = Y_{n+1}(Y_n, Y_{n-1}), (Y_{n-2}, Y_{n-3}) \dots (Y_2, Y_1) \quad (12)$$

when, $C_0 = 0$ and $C_1 = G_1$. Finally, the grouping circuit function can be defined as

$$(Y_i, Y_{i-1}) = G_i + P_i G_{i-1} \quad (13)$$

which is represented by square-box in Figure 9(a). Figure 9(b), the energy loss by 8-bit CLA implemented by QSECRL and others logic family, PAL [8], EEL [6] and conventional static CMOS are shown, which QSECRL provides the best power saving at all operating frequency range.

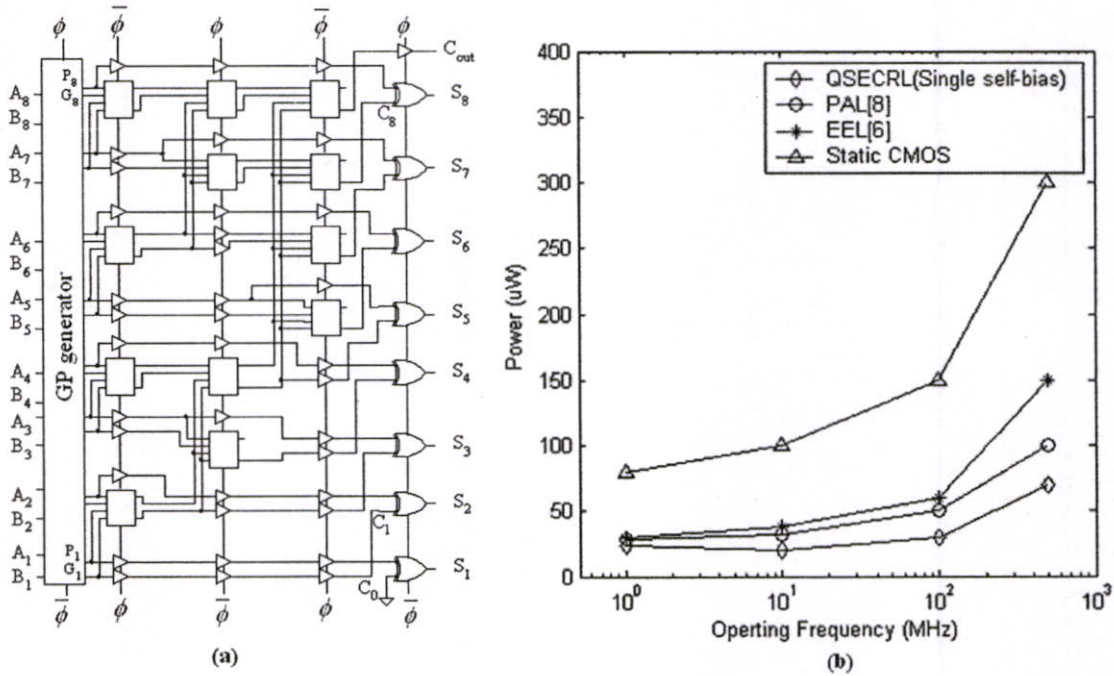


Figure 9: (a) The 8-bits Carry Look-Ahead (CLA) circuit, (b) Power consumption versus frequency

6 Conclusion

The QSECRL presented in this paper can achieve most requirements of adiabatic circuit designs. With output and its complementary, this leads to constant load presented by the gate of AC supply clock. The circuit requires only two phases power-clock supply, which can reduce the signal-racing problem in complex pipe-line system and is applicable for power system design. The diode-free QSECRL circuit is also able to drive the output to supply rail (V_ϕ), thus enhancing noise immunity and energy saving. Based on its static operating design, the QSECRL circuit is preferred in the complex logic. This also reduces the required extra transistors, especially for the diode-free QSECRL, which can help alleviate package density problem. However, the optimum techniques have to be applied to achieve minimum energy consumption, with constraint of the operating frequency (T), the power-clock supply voltage (V_ϕ) and the output load (C_L).

References

- [1] W.C. Athas, L.J. Svensson, and J.G. Koller, "Low-power digital systems based on adiabatic-switching principles," *IEEE trans. VLSI systems*, 2(4):398-406, 1994.
- [2] J.L. Denker, "A review of adiabatic computing," *IEEE Symp. Low-Power Electronics*, pages 94-97, 1994.
- [3] Y. Ye and K. Roy, "Energy recovery circuits using reversible and partially reversible logic," *IEEE. Trans. Circuit and System*, 43(9):769-778, September 1996.
- [4] K.J. Frank, "Comparison of high speed voltage-scaled conventional and adiabatic circuits," *ISLPED, Monterey CA, USA*, pages 337-380, 1996.
- [5] A.G. Dickinson and J.S. Denker, "Adiabatic dynamic logic," *IEEE J. Solid-State Circuits*, 30(3):311-315, March 1995.
- [6] C.C. Yeh, J.H. Lou, and J.B. Kuo, "1.5v cmos full-swing energy efficient logic (EEL) circuit suitable for low-voltage and low-power VLSI applications," *Electro. Lett.*, 33(16):1375-1376, 1997.
- [7] C.K. Lo and C.H. Chan, "Design of low-power differential logic using adiabatic switching technique," *Proc. ISCAS98*, pages II33-II36, March 1998.
- [8] V.G. Oklobdzija, D. Maksimovic, and F. Lin "Pass transistor adiabatic logic using single power-clock supply," *IEEE tran. Circuitl and Systems II*, 44(10):842-846, October 1997.
- [9] V.G. Oklobdzija, D. Maksimovic, and K.W. Current, "Clocked CMOS adiabatic logic with single ac power supply," *21st European Solid State Circuit Conference, ESSCIRC'95, Lille, France, 1995*.
- [10] F. Liu and K.T. Lau, "Pass-transistor adiabatic logic with nmos pull-down configuration," *Electron. Lett.*, 34(8):739{741, April 1998.
- [11] W.Y. Wang and K.T. Lau, "Adiabatic pseudo-domino logic," *Electron. Lett.*, 31(23):1982-1983, 1995.
- [12] W.Y. Wang and K.T. Lau, "Transmission gate - interfaced APDL design," *Electron. Lett.*, 32(4):317-318, 1996.
- [13] Y. Moon and K.K. Jeong, "An efficient charge recovery logic circuit," *IEEE J.Solid-State Circuits*, 31:514-522, April 1996.
- [14] F. Liu and K.T. Lau, "Improved structure for efficient charge recovery logic," *Electron. Lett.*, 34(18):1731-1732, September 1998.
- [15] D. Hongyy, Z. Runde, and G. Yuanqing, "High efficient charge recovery logic for adiabatic computing," *ASIC2001*, September 2001.
- [16] H.S. Song and J.K. Kang, "A CMOS adiabatic logic for low power circuit design," *AP-ASIC2004*, pages 348{351, August 2004.
- [17] Y. Ye and G.I. Stamoulis, "Quasi-static energy recovery logic and supply clock generation circuits," *Proc. International conf. Low-Power Electronics and Design*, pages 96-99, August 1997.
- [18] Y. Ye and K. Roy, "Reversible and quasi-static adiabatic logic," *European Conf. Circuit Theory and Design*, pages 912-917, 1997.
- [19] R.T. Hinman and M.F. Schlecht, "Power dissipation measurements on recovered energy logic," *IEEE Symp. on VLSI Circuits Dig. of Tech. Papers*, pages 19-20, June 1994.
- [20] T. Indermaur and M. Horowitz, "Evaluation of charge recovery circuits and adiabatic switching for low-power CMOS design," *IEEE Symp. Low Power Electronics*, pages 102-103, 1994.
- [21] N. Lindert, T. Sugii, and S. Tang, "Dynamic threshold pass-transistor logic for improved delay at low power supply voltage," *IEEE. J. Solid-State Circuits*, 34(1):85-59, 1999.

- [22] K.W. Ng and K.T. Lau, "Adiabatic sequential circuit design for low-power applications," *ISIC1998, Singapore*, pages 98-101, January 1998.
- [23] H. Mahmoodi, A. Afzali, and M. Nourani, "Efficiency of adiabatic logic for low-power, low-noise VLSI," *MWSCAS2000*, August 2000.
- [24] C.H. Ziesler S.Kim and M.C. Papaefthymiou, "A true single-phase 8-bit adiabatic multiplier," *ASP-DAC2001*, pages 758-763, June 2001.
- [25] G. Hang, "Adiabatic CMOS gate and adiabatic circuit design for low-power applications," *ASP-DAC2005*, pages 803-808, January 2005.

ประวัติผู้เขียน

- ชื่อ-นามสกุล นายสมปอง วิเศษพานิชกิจ
- วัน เดือน ปีเกิด 26 กันยายน 2517 ที่กรุงเทพมหานครฯ
- ที่อยู่ 2044/97 ถ.จันทน์ แขวงช่องนนทรี เขตยานนาวา กรุงเทพฯ 10200
- ประวัติการศึกษา 2539 วิศวกรรมศาสตรบัณฑิต สาขาวิชาอิเล็กทรอนิกส์
(เกียรตินิยมอันดับ2)
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- 2541 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- ความชำนาญเฉพาะด้าน
- 1.) การออกแบบวงจรดิจิทัลกำลังงานสูญเสียต่ำ
 - 2.) การออกแบบวงจรประมวลผลแบบอนาลอก
 - 3.) การวิจัยประมวลผลภาพ
- ประสบการณ์การทำงานและผลงานวิจัย
- 2545 -ปัจจุบัน อาจารย์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร
ลาดกระบัง
- ผลงานการออกแบบวงจรดิจิทัลไบซิมอสสแตติกแลตซ์
 - ผลงานการวิจัยประมวลผลภาพถ่ายดาวเทียม