วงจรมอดูเลทสัญญาณแถบความถี่ผ่านแบบซิกม่าเดลต้า อันดับที่ 8 ที่ใช้กำลังงานต่ำ

A LOW-POWER EIGHTH-ORDER BANDPASS SIGMA-DELTA MODULATOR

สิทธิพงษ์ วงศ์น้ำคำ

SITTHIPONG WONGNAMKUM

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2130-8

วงจรมอดูเลทสัญญาณแถบความถี่ผ่านแบบซิกม่าเดลต้า อันดับที่ 8 ที่ใช้กำลังงานต่ำ

A LOW-POWER EIGHTH-ORDER BANDPASS SIGMA-DELTA MODULATOR

T063288

สิทธิพงษ์ วงศ์น้ำคำ

SITTHIPONG WONGNAMKUM

เลขหมู่.................................
เลขทะเบียน 63288
วัน,เดือน,ปี 25 ส.ค. 2549

.b..................................
.i..................................

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2549

ISBN 974-15-2130-8

A LOW-POWER EIGHTH-ORDER BANDPASS SIGMA-DELTA MODULATOR

SITTHIPONG WONGNAMKUM

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRONICS ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2006

ISBN 974-15-2130-8

COPYRIGHT 2006

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรมอดูเลทสัญญาณแถบความถี่ผ่านแบบซิกม่าเดลต้าอันดับที่ 8 ที่ใช้กำลังงานต่ำ

A LOW-POWER EIGHTH-ORDER BANDPASS SIGMA-DELTA MODULATOR

นักศึกษา นายสิทธิพงษ์ วงศ์น้ำคำ

รหัสประจำตัว 45061132

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.อภินันท์ ธนชยานนท์

คณะกรรมการสอบวิทยานิพนธ์		**ลายมือชื่อ**
ศ.ดร.วัลลภ	สุระกำพลธร	
ดร.กสิน	วิเชียรชม	
ผศ.ประภากร	สุวรรณะ	
รศ.ดร.อภินันท์	ธนชยานนท์	

วัน / เดือน/ ปี ที่สอบ 19 ธันวาคม 2548 เวลา 14.15-16.15 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-403)

บัณฑิตวิทยาลัยรับรองแล้ว

(ผศ.ดร.จารุวัตร เจริญสุข)

คณบดีบัณฑิตวิทยาลัย

วันที่...๒๗........**เดือน**....มกราคม.........**พ.ศ.**...๒๕๔๙...

หัวข้อวิทยานิพนธ์	วงจรมอดูเลทสัญญาณแถบความถี่ผ่านแบบซิกม่าเดลต้าอันดับที่ 8 ที่ใช้กำลังงานต่ำ
นักศึกษา	นายสิทธิพงษ์ วงศ์น้ำคำ
รหัสนักศึกษา	45061132
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.อภินันท์ ธนชยานนท์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอเกี่ยวกับ การออกแบบวงจรมอดูเลตสัญญาณแถบความถี่ผ่านแบบซิกมาเดลตาอันดับที่ 8 ที่ใช้กำลังงานต่ำ ซึ่งเป็นวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลที่ทำงานในย่านความถี่กลาง ใช้ในเครื่องรับสัญญาณคลื่นวิทยุที่ประมวลผลสัญญาณย่านความถี่กลางด้วยวงจรดิจิตอล โดยการออกแบบวงจรมอดูเลตสัญญาณแถบความถี่ผ่านแบบซิกมาเดลตา จะใช้เทคนิคการประมวลผลสัญญาณด้วยวงจรไม่ต่อเนื่องทางเวลา และเทคนิคการเพิ่มอัตราสุ่มสองเท่า ซึ่งประกอบด้วยวงจรเรโซเนเตอร์ วงจรเปรียบเทียบแรงดัน และวงจรป้อนกลับสัญญาณดิจิตอลเชื่อมต่อกันด้วยวงรอบการป้อนกลับแบบลบ โดยในการออกแบบวงจรดังกล่าวใช้เทคโนโลยีซีมอส 0.35 ไมโครเมตร ทำงานด้วยแหล่งจ่ายแรงดัน 1.5 โวลต์ และใช้โปรแกรม Spectre Cadence ในการจำลองการทำงาน

Thesis Title	A low-power eighth-order bandpass sigma-delta modulator.
Student	Mr.Sitthipong Wongnamkum
Student ID.	45061132
Degree	Master degree
Programme	Electronics engineering
Year	2006
Thesis Advisor	Assoc. Prof. Dr.Apinunt Thanachayanont

ABSTRACT

This thesis describes the design of a low-power eighth-order bandpass sigma-delta modulator for analog to digital conversion in a digital-IF receiver. The modulator comprises switched-capacitor resonators, dynamic latch comparator and digital to analog converter connected in a negative-feedback loop. The bandpass sigma-delta modulator is implemented with discrete time circuits and double sampling technique in a 0.35 μm CMOS technology. It works at 1.5 volts of supply voltage and was simulated by Spectre Cadence.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยความกรุณาจากท่านอาจารย์ที่ปรึกษา รศ.ดร.อภินันท์ ธนชยานนท์ ที่ให้ความช่วยเหลือและแนวความคิดเกี่ยวกับงานวิจัย ตลอดจนให้ความรู้และประสบการณ์ในการออกแบบวงจรรวมแก่ข้าพเจ้า

ขอขอบคุณ โครงการวิจัยและพัฒนาระบบโทรคมนาคมสำหรับโทรศัพท์เคลื่อนที่รุ่นที่ 3 ของสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) ที่ให้เงินทุนสนับสนุนการทำงานวิจัย

ขอขอบคุณ สำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (ReCCIT) ที่ให้ความช่วยเหลือเกี่ยวกับเครื่องมือ และเงินทุนสนับสนุนการทำงานวิจัย

ขอขอบคุณ บัณฑิตวิทยาลัยสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้เงินทุนสนับสนุนการทำวิทยานิพนธ์

ขอขอบคุณ พี่ๆ และน้องๆ ภายในห้องปฏิบัติการไมโครอิเล็กทรอนิกส์ ที่ให้ประสบการณ์และความสนุกสนานตลอดระยะเวลาการทำงานวิจัย

และสุดท้ายนี้ข้าพเจ้าขอขอบพระคุณ บิดา มารดา และผู้อุปการะข้าพเจ้าอย่างสูงยิ่ง

สำหรับคุณความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับผู้มีพระคุณทุกท่าน

สิทธิพงษ์ วงศ์น้ำคำ

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญตาราง VIII

สารบัญรูป IX

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 2

1.3 สมมติฐานของการศึกษา 2

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย 2

1.5 ขอบเขตการวิจัย 3

1.6 ขั้นตอนของการศึกษา 3

บทที่ 2 วงจรมอดูเลตสัญญาณซิกมาเดลตา 4

2.1 บทนำ 4

2.2 สัญญาณรบกวนในวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล 4

2.3 คุณสมบัติสัญญาณรบกวนในวงจรมอดูเลตสัญญาณซิกมาเดลตา 10

2.3.1 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ (Low-pass sigma-delta modulator) 12

2.3.2 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ (Band-pass sigma-delta modulator) 15

2.4 วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง (High-order sigma-delta modulator) 18

2.4.1 โครงสร้างแบบภาคเดียว (Single-stage architecture) 19

2.4.2 โครงสร้างแบบหลายภาค (Multi-stage architecture) 20

2.5 วงจรมอดูเลตสัญญาณซิกมาเดลตากับการจัดระดับสัญญาณภายในหลายบิต 22

2.6 เสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา 23

สารบัญ (ต่อ)

หน้า

บทที่ 3 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 26
3.1 การกำหนดคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตา แบบผ่านแถบความถี่ 26
3.2 การออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูง กับฟังก์ชันการส่งผ่านสัญญาณรบกวนแบบเชบีเช็บผกผัน 30
3.2.1 การเปลี่ยนรูปวงจรมอดูเลตสัญญาณซิกมาเดลตา แบบผ่านความถี่ต่ำ 30
3.2.2 การกำหนดค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตา แบบผ่านแถบความถี่อันดับที่ 8 35
3.3 ความไม่เป็นอุดมคติของวงจรมอดูเลตสัญญาณซิกมาเดลตา 37
3.3.1 สัญญาณรบกวนในวงจรสวิทช์ตัวเก็บประจุ 38
3.3.1.1 สัญญาณรบกวนเชิงความร้อน 38
3.3.1.2 สัญญาณรบกวนจากวงจรขยาย 43
3.3.2 ความไม่เข้าคู่กันของวงจรสอดแทรกทางเวลา 45
3.3.3 ความไม่เป็นเชิงเส้นของค่าคงตัวเวลา 47

บทที่ 4 วงจรเรโซเนเตอร์และการออกแบบวงจรส่วนต่าง ๆ 49
4.1 วงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ 49
4.1.1 วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ (FE) 49
4.1.2 วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย (LDI) 50
4.1.3 วงจรเรโซเนเตอร์แบบทูดีเลย์ลูป (TDL) 51
4.2 วงจรขยายสัญญาณคลาสเอบี 59
4.3 วงจรเปรียบเทียบแรงดัน 64
4.4 วงจรบัฟเฟอร์แรงดันอ้างอิง 66
4.5 แอนะล็อกสวิทช์ 69
4.6 วงจรกำเนิดสัญญาณนาฬิกา 72

สารบัญ (ต่อ)

หน้า

บทที่ 5 การจำลองการทำงานวงจรมอดูเลตสัญญาณซิกมาเดลตา แบบผ่านแถบความถี่อันดับที่ 8 73

5.1 การออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 74

5.1.1 การปรับปรุงโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตา 74

5.1.2 การกำหนดค่าตัวเก็บประจุการสุ่มสัญญาณ 77

5.1.3 เทคนิคการออกแบบวงจรด้วยแรงดันแหล่งจ่ายต่ำ 79

5.1.3.1 วงจรเปลี่ยนระดับสัญญาณแบบไดนามิก 79

5.1.3.2 การชดเชยระดับแรงดันร่วม 79

5.1.4 การกำหนดขนาดทรานซิสเตอร์สวิทช์ 80

5.1.5 วงจรกำเนิดสัญญาณนาฬิกา 81

5.2 ผลการจำลองการทำงาน 82

บทที่ 6 สรุปผลการวิจัย และข้อเสนอแนะ 85

6.1 สรุปผลการวิจัย 85

6.2 ข้อเสนอแนะ 85

เอกสารอ้างอิง 87

ภาคผนวก ก การคำนวณหาค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (SNR) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2 93

ภาคผนวก ข การคำนวณหาค่าแรงดันผิดพลาดจากการสุ่มสัญญาณคลื่นไซน์ 96

ภาคผนวก ค การคำนวณหาค่าความนำเอาท์พุตของวงจรขยายสัญญาณ 99

ภาคผนวก ง การคำนวณหาฟังก์ชันการส่งผ่านสัญญาณของวงจรบัฟเฟอร์แรงดัน 102

ภาคผนวก จ การคำนวณหาขนาดทรานซิสเตอร์สวิทช์สำหรับภาคการสุ่มสัญญาณอินพุตคงที่ 105

ภาคผนวก ฉ การเปรียบเทียบคุณสมบัติวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ 108

สารบัญ (ต่อ)

หน้า

ภาคผนวก ช ผลงานวิจัยที่ได้รับการตีพิมพ์ 114

ประวัติผู้เขียน 129

สารบัญตาราง

ตารางที่ หน้า

2.1 การเปรียบเทียบคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง 22

3.1 คุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ 30

3.2 ค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 36

3.3 ค่าเฉลี่ยการลดทอนสัญญาณรบกวนเชิงความร้อน 41

3.4 ค่าอัตราส่วนการสเกลขนาดสัญญาณในแต่ละภาค 45

4.1 การเปรียบเทียบตัวแปรประสิทธิภาพของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ 55

4.2 คุณสมบัติวงจรขยายสัญญาณผลต่างแบบเต็ม 62

4.3 อัตราส่วนขนาดทรานซิสเตอร์ และการไบอัส 62

5.1 คุณสมบัติวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 73

5.2 ค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 75

5.3 ค่าอัตราส่วนการสเกลขนาดสัญญาณในแต่ละภาค 75

5.4 ค่าตัวเก็บประจุการสุ่มสัญญาณของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ 78

5.5 ขนาดทรานซิสเตอร์สวิทช์ 80

5.5 (ต่อ) ขนาดทรานซิสเตอร์สวิทช์ 81

5.6 สรุปผลการคำนวณค่าประสิทธิภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา 84

ฉ.1 การเปรียบเทียบคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ 111

ฉ.1 (ต่อ) การเปรียบเทียบคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตา
แบบผ่านแถบความถี่ 112

ฉ.1 (ต่อ) การเปรียบเทียบคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตา
แบบผ่านแถบความถี่ 113

สารบัญรูป

รูปที่ หน้า

1.1 ภาครับสัญญาณแบบความถี่กลางดิจิตอล (Digital-IF receivers) 1

2.1 ระบบการประมวลผลสัญญาณด้วยวงจรดิจิตอล 4

2.2 กราฟการส่งผ่านสัญญาณอินพุตของการแปลงสัญญาณแอนะล็อกเป็นดิจิตอล 5

2.3 กราฟการส่งผ่านค่าความคลาดเคลื่อนจากการจัดระดับสัญญาณ 6

2.4 ฟังก์ชันความหนาแน่นการกระจายตัวของความน่าจะเป็นของค่าความคลาดเคลื่อน (V_q) 7

2.5 กราฟความหนาแน่นกำลังงานขององค์ประกอบความถี่สัญญาณรบกวน
ในวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล 7

2.6 ระบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบทั่วไป 8

2.7 ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบดิจิตอล 9

2.8 การกระจายกำลังงานสัญญาณรบกวนในระนาบความถี่ 10

2.9 ระบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบซิกมาเดลตา 10

2.10 วงจรมอดูเลตสัญญาณซิกมาเดลตา (Sigma-delta modulator) 11

2.11 แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกมาเดลตา 12

2.12 ก) วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ
ข) วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 1 13

2.13 ผลตอบสนองทางความถี่ของฟังก์ชันการส่งผ่านสัญญาณ 14

2.14 ผลตอบสนองทางเวลาสัญญาณลาดเอียงของวงจรมอดูเลตสัญญาณซิกมาเดลตา
แบบผ่านความถี่ต่ำอันดับที่ 1 15

2.15 ก) วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่
ข) วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2 16

2.16 ผลตอบสนองทางความถี่ของฟังก์ชันการส่งผ่านสัญญาณ 17

2.17 ขนาดการลดทอนสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง 19

2.18 วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียว 20

2.19 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบหลายภาคอันดับที่ 3 21

2.20 แบบจำลองความไม่เป็นเชิงเส้นของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบหลายบิต 23

2.21 แบบจำลองเชิงเส้นทั่วไปของวงจรมอดูเลตสัญญาณซิกมาเดลตา 24

2.22 ความไม่แน่นอนทางเฟสของวงจรจัดระดับสัญญาณแบบไม่ต่อเนื่องทางเวลา 25

2.23 แบบจำลองเสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา 25

สารบัญรูป (ต่อ)

รูปที่ หน้า

3.1 ขนาดฟังก์ชันการส่งผ่านกำลังงานสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูง 27

3.2 ค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาที่มีบิตการจัดระดับสัญญาณภายในเท่ากับ 1 (B=1) 29

3.3 การเลื่อนค่าความถี่กลาง (ω_0) ของฟังก์ชันการส่งผ่านสัญญาณรบกวนในระนาบแซด 31

3.4 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ N ภาคเดียว 32

3.5 วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย (LDI) 32

3.6 ผลตอบสนองทางความถี่ของวงจรเรโซเนเตอร์กับอัตราการป้อนกลับแบบลบ (g) 33

3.7 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 4 34

3.8 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 35

3.9 ฟังก์ชันการส่งผ่านสัญญาณรบกวนกับค่า H_inf 35

3.10 ตำแหน่งโพลและซีโรของฟังก์ชันการส่งผ่านสัญญาณรบกวน ดังรูปที่ 3.9 36

3.11 แบบจำลองวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ 37

3.12 ผลตอบสนองทางความถี่ของวงจรกรองวงรอบ (G) และฟังก์ชันการส่งผ่านสัญญาณรบกวน : (NTF) 37

3.13 ก) แบบจำลองภาคการสุ่มสัญญาณอินพุต
ข) แบบจำลองการส่งผ่านสัญญาณรบกวนเชิงความร้อน 39

3.14 แบบจำลองสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตา 40

3.15 ก) ขนาดฟังก์ชันการส่งผ่านสัญญาณรบกวนเชิงความร้อนภาคที่สาม
ข) ขนาดฟังก์ชันการส่งผ่านสัญญาณรบกวนเชิงความร้อนภาคที่สี่ 41

3.16 ค่าบรรทัดฐานขนาดสัญญาณรบกวนเชิงความร้อนเฉลี่ยที่ภาคเอาท์พุต 42

3.17 เทคนิคการสเกลขนาดสัญญาณกับวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 43

3.18 แบบจำลองการส่งผ่านสัญญาณรบกวนจากวงจรขยายสัญญาณ 44

3.19 ผลการสเกลขนาดสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตา 45

3.20 เทคนิคการสอดแทรกทางเวลากับการแปลงสัญญาณแอนะล็อกเป็นดิจิตอล 46

3.21 เทคนิคการสุ่มสัญญาณแบบสวิทช์ร่วม (Global sampling technique) 47

3.22 แบบจำลองการสุ่มสัญญาณ 48

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.1 วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ , $R_1(z)$ 49

4.2 วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ , $R_2(z)$ 50

4.3 วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย 50

4.4 ก) วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย , $R_1(z)$
ข) วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย , $R_2(z)$ 51

4.5 วงจรเรโซเนเตอร์แบบทูดีเลย์ลูป 51

4.6 วงจรเรโซเนเตอร์แบบทูดีเลย์ลูปกับเทคนิคการสอดแทรกทางเวลา (Two-path bandpass filter) 52

4.7 วงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรต (I2P) 55

4.8 ก) วงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรตที่มีฟังก์ชันการส่งผ่านสัญญาณ $R_1(z)$ ข) วงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรตที่มีฟังก์ชันการส่งผ่านสัญญาณ $R_2(z)$ 56

4.9 การวิเคราะห์ความไม่เป็นอุดมคติของวงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรต 57

4.10 ตัวแปรประสิทธิภาพของวงจรเรโซเนเตอร์กับความไม่เป็นอุดมคติของวงจรขยาย 58

4.11 วงจรขยายสัญญาณผลต่างแบบเต็ม (Fully-differential amplifier) 59

4.12 แบบจำลองสัญญาณขนาดเล็กของวงจรขยายสัญญาณแบบข้างเดียว 60

4.13 วงจรป้อนกลับค่าระดับแรงดันร่วมเอาท์พุตแบบสวิทช์ตัวเก็บประจุ 62

4.14 ผลตอบสนองทางความถี่ของวงจรขยายสัญญาณที่โหลดตัวเก็บประจุ 3-pF 63

4.15 ผลตอบสนองต่อฟังก์ชันขั้นบันไดของวงจรขยายสัญญาณที่โหลดตัวเก็บประจุ 3-pF 63

4.16 คุณลักษณะกระแสตรงของวงจรขยายสัญญาณวงรอบปิดอัตราขยายเท่ากับ 1 63

4.17 วงจรไบแอสของวงจรขยายทรานส์คอนดักแตนซ์ 64

4.18 โครงสร้างวงจรเปรียบเทียบแรงดัน 64

4.19 วงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัต 65

4.20 วงจรขยายแรงดันแบบสองภาคกับการป้อนกลับแบบลบ 67

4.21 วงจรบัฟเฟอร์แรงดันแบบไบแอสตัวเอง 68

4.22 ค่าความนำของวงจรแอนะล็อกสวิทช์กับขนาดแรงดันอินพุตของสวิทช์ 69

4.23 ค่าความนำของวงจรแอนะล็อกสวิทช์แบบประตูการส่งผ่าน 70

4.24 วงจรบูตสแตรปสวิทช์ 70

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.25 แผนผังลำดับขั้นตอนการกำหนดขนาดของทรานซิสเตอร์สวิทช์ 71

4.26 วงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนทางเวลา 72

4.27 วงจรหารความถี่แบบดิจิตอล (÷2) 72

5.1 โครงสร้างการปรับปรุงวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 74

5.2 ขนาดการแกว่งสูงสุดของสัญญาณเอาท์พุตวงจรเรโซเนเตอร์ในแต่ละภาค 76

5.3 ผลการสเกลขนาดสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตา แบบผ่านแถบความถี่อันดับที่ 8 76

5.4 โครงสร้างของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ และเทคนิคการสุ่มคู่ 77

5.5 วงจรเปลี่ยนระดับแรงดันแบบไดนามิก 79

5.6 การชดเชยระดับแรงดันร่วมการป้อนกลับสัญญาณเอาท์พุตดิจิตอล 80

5.7 วงจรกำเนิดสัญญาณนาฬิกา 81

5.8 กำลังงานสเปกตรัมสัญญาณเอาท์พุตดิจิตอล 1 บิต ของสัญญาณไซน์อินพุต ขนาด -12 เดซิเบล ความถี่ 29.95 เมกกะเฮิรตซ์ 82

5.9 การแจกแจงความถี่ของค่าสัญญาณอินพุตวงจรจัดระดับสัญญาณ (Histogram) 83

5.10 ผลการคำนวณค่า SNDR ของวงจรมอดูเลตสัญญาณซิกมาเดลตา แบบผ่านแถบความถี่อันดับที่ 8 83

ข.1 แบบจำลองการสุ่มสัญญาณคลื่นไซน์ 96

ข.2 ความสัมพันธ์ทางคณิตศาสตร์ 98

ค.1 แบบจำลองสัญญาณขนาดเล็กของการคำนวณหาค่าความนำเอาท์พุตในย่านความถี่ต่ำ 99

ง.1 วงจรบัฟเฟอร์แรงดัน 102

จ.1 รูปแบบทั่วไปของภาคการสุ่มสัญญาณอินพุต 105

จ.2 วงจรสมมูลการสุ่มสัญญาณอินพุตคงที่ 105

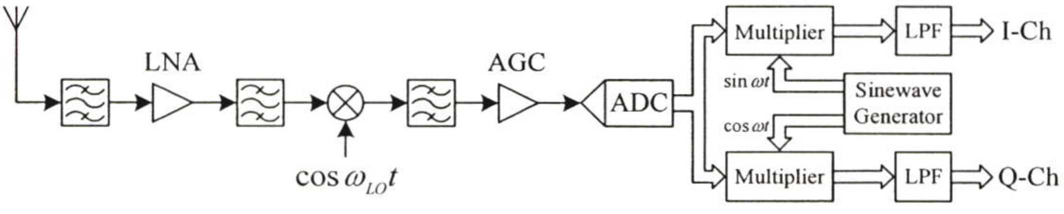
ฉ.1 การเปรียบเทียบตัวเลขคุณค่ากับขนาดแบนด์วิดท์การทำงาน 109

ฉ.2 การเปรียบเทียบตัวเลขคุณค่ากับค่าอัตราการสุ่ม 109

บทที่1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันความก้าวหน้า และการพัฒนาอย่างรวดเร็วของเทคโนโลยีการออกแบบวงจรดิจิตอล ทำให้การประมวลผลสัญญาณด้วยวงจรดิจิตอลได้รับความสนใจ และมีใช้กันอย่างแพร่หลาย เนื่องจากความยืดหยุ่น และความไม่ซับซ้อนในการจัดการกับสัญญาณข้อมูล จึงทำให้การประมวลผลสัญญาณด้วยวงจรแอนะลอกเป็นสิ่งที่ยุ่งยาก และมีประสิทธิภาพต่ำกว่า แต่ในบางฟังก์ชันการทำงานนั้น การประมวลผลสัญญาณด้วยวงจรดิจิตอลไม่สามารถเข้ามาแทนที่วงจรแอนะลอกได้อย่างสมบูรณ์ เช่น ภาคการรับ-ส่งสัญญาณของระบบการสื่อสารแบบไร้สาย ซึ่งการประมวลผลสัญญาณคลื่นวิทยุด้วยวงจรดิจิตอลสามารถทำได้ยาก เนื่องจากความต้องการขนาดแบนด์วิดท์การแปลงสัญญาณของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่ต้องมีค่ามากเพียงพอสำหรับค่าความถี่สัญญาณคลื่นวิทยุ ดังนั้นการออกแบบและพัฒนาวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลสำหรับภาครับสัญญาณคลื่นวิทยุจึงได้รับความสนใจอย่างแพร่หลาย อย่างไรก็ตามการประมวลผลสัญญาณคลื่นวิทยุด้วยวงจรดิจิตอล จะสามารถทำได้กับภาครับสัญญาณคลื่นวิทยุแบบเฮเทอโรดายน์ (Heterodyne receivers) ที่มีค่าความถี่กลางค่าต่ำ (Low Intermediate Frequency : IF) [1] ซึ่งจะเรียกภาครับสัญญาณรูปแบบนี้ว่า ภาครับสัญญาณแบบความถี่กลางดิจิตอล (Digital-IF receivers) ดังแสดงในรูปที่ 1.1 ซึ่งจะเห็นได้ว่าฟังก์ชันการคูณสัญญาณย่านความถี่ต่ำ (Quadrature mixing) และการเลือกช่องสัญญาณข้อมูลด้วยวงจรกรองผ่านความถี่ต่ำ (Channel filtering : LPF) จะสามารถทำได้ด้วยการออกแบบวงจรดิจิตอล ซึ่งจะทำให้คุณลักษณะการประมวลผลสัญญาณมีความยืดหยุ่นสามารถปรับเปลี่ยนคุณสมบัติของวงจรได้ง่าย และจะพบว่าคุณสมบัติดังกล่าวยังเหมาะสมกับการเข้าถึงผู้ใช้ด้วยการแบ่งรหัส (Code division multiple access : CDMA) จึงเป็นเหตุผลให้โครงสร้างภาครับสัญญาณแบบความถี่กลางดิจิตอล มีความเหมาะสมกับระบบการสื่อสารในปัจจุบันที่มีขนาดแบนด์วิดท์ข้อมูลแตกต่างกัน (Multi-mode communications)



รูปที่ 1.1 ภาครับสัญญาณแบบความถี่กลางดิจิตอล (Digital-IF receivers)

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

จากข้อดีของการประมวลผลสัญญาณด้วยวงจรดิจิตอล และคุณสมบัติของภาครับสัญญาณแบบความถี่กลางดิจิตอลดังที่กล่าวในหัวข้อที่ 1.1 จึงทำให้วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล ที่สามารถทำการแปลงสัญญาณคลื่นวิทยุในย่านความถี่กลาง ซึ่งใช้กับภาครับสัญญาณแบบความถี่กลางดิจิตอล โดยจะเรียกวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลลักษณะนี้ว่า วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ (Band-pass sigma-delta analog to digital converters) โดยได้มุ่งเน้นไปยังการออกแบบวงจรให้ทำงานกับแรงดันแหล่งจ่ายต่ำ เพื่อลดกำลังงานสูญเสียของวงจร ซึ่งจะเหมาะสมกับความต้องการอุปกรณ์สื่อสารไร้สายแบบพกพา (Portable devices) นอกจากนี้วัตถุประสงค์อีกประการของการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ คือการออกแบบวงจรให้มีช่วงแบนด์วิดท์การแปลงสัญญาณที่กว้าง เพื่อให้สามารถทำงานได้กับระบบการสื่อสารที่มีอยู่หลายรูปแบบในปัจจุบัน

1.3 สมมติฐานของการศึกษา

การออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ที่มีค่ากำลังงานสูญเสียต่ำสามารถทำการออกแบบได้ด้วยการปรับปรุงโครงสร้างของวงจรขยายสัญญาณ (Opamp) เพื่อให้สามารถทำงานได้ที่แรงดันแหล่งจ่ายต่ำ (Low-voltage operation) และมีขนาดแบนด์วิดท์การทำงานที่สูงขึ้น ซึ่งคุณสมบัติดังกล่าวของวงจรขยายสัญญาณสามารถสร้างได้ด้วยกลไกการผลัก–ดึง (Push-pull) เพื่อเพิ่มความสามารถในการขับโหลดตัวเก็บประจุที่มีค่ามาก เนื่องจากความต้องการขนาดกำลังงานสัญญาณรบกวนต่ำ

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

ในการออกแบบวงจรขยายสัญญาณให้สามารถทำงานได้ที่แรงดันแหล่งจ่ายต่ำ และมีคุณสมบัติการผลัก–ดึง นั้นจะสามารถทำได้ด้วยโครงสร้างของวงจรขยายสัญญาณแบบหลายภาค (Multi-stage Opamp) ซึ่งจะทำให้ไม่เหมาะสมกับการออกแบบวงจรที่ต้องการค่ากำลังงานสูญเสียต่ำ ดังนั้นการออกแบบวงจรขยายสัญญาณแบบภาคเดียวที่มีคุณสมบัติการผลัก–ดึง และสามารถทำงานได้ที่แรงดันแหล่งจ่ายต่ำ จะทำให้สามารถออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ที่มีค่ากำลังงานสูญเสียต่ำได้ เนื่องจากกำลังงานสูญเสียของวงจรโดยส่วนใหญ่แล้วจะเกิดขึ้นในส่วนของวงจรขยายสัญญาณ นอกจากนี้แล้วสัญญาณรบกวนที่เกิดขึ้นจากอุปกรณ์แอนะลอก และกลไกการจัดระดับสัญญาณของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลจะสามารถลดขนาดการส่งผ่านกำลังงานของสัญญาณรบกวนได้ด้วยการเพิ่มจำนวนอันดับ (Order)

ของวงจรมอดูเลตสัญญาณซิกมาเดลตาให้สูงขึ้น เพื่อให้เหมาะสมกับขนาดเทคโนโลยีการออกแบบวงจร และการประยุกต์ใช้งานสำหรับการแปลงสัญญาณคลื่นวิทยุที่มีขนาดกำลังงานสัญญาณที่ต่ำ

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ให้สามารถทำงานได้ที่แรงดันแหล่งจ่ายต่ำ และมีคุณสมบัติเหมาะสมกับการประยุกต์ใช้งานกับการสื่อสารที่มีขนาดแบนด์วิดท์ข้อมูลกว้าง

1.6 ขั้นตอนของการศึกษา

เนื้อหาภายในวิทยานิพนธ์ฉบับนี้ได้กล่าวถึง ทฤษฎี ขั้นตอนการออกแบบวงจร รวมถึงผลการจำลองการทำงานของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ ซึ่งจะแบ่งเนื้อหาดังกล่าวออกเป็นบทต่างๆ ดังนี้

บทที่ 2 กล่าวถึงคุณสมบัติสัญญาณรบกวนจากการจัดระดับสัญญาณของการแปลงสัญญาณแอนะลอกเป็นดิจิตอล คุณสมบัติเด่นเกี่ยวกับการจัดรูปสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาทั้งสองชนิด การเปรียบเทียบถึงข้อดี และข้อเสียของวงจรมอดูเลตสัญญาณซิกมาเดลตา และเสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา

บทที่ 3 กล่าวถึงการกำหนดคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูง ความไม่เป็นอุดมคติของวงจร รวมถึงวิธีการลดผลความไม่เป็นอุดมคติดังกล่าว

บทที่ 4 กล่าวถึงการเลือกโครงสร้างที่เหมาะสมของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ และการออกแบบวงจรแอนะลอกส่วนต่างๆ

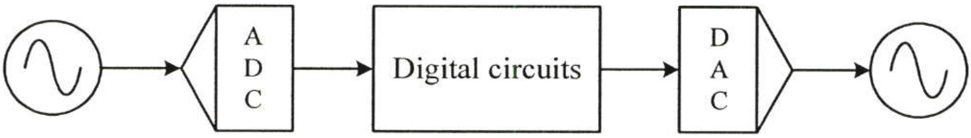
บทที่ 5 กล่าวถึงการปรับปรุงโครงสร้าง เทคนิคการออกแบบวงจรที่ใช้แรงดันแหล่งจ่ายต่ำ และผลการจำลองการทำงานของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

บทที่ 6 สรุปผลการวิจัย และข้อเสนอแนะ

บทที่ 2
วงจรมอดูเลตสัญญาณซิกมาเดลตา

2.1 บทนำ

โดยทั่วไปแล้วสัญญาณอินพุต และสัญญาณเอาท์พุตของฟังก์ชันการทำงานมักจะอยู่ในลักษณะของสัญญาณแอนะลอก เช่น ระบบการสื่อสารไร้สาย (Wireless communication systems) เป็นต้น จึงทำให้การออกแบบการประมวลผลสัญญาณด้วยวงจรดิจิตอลไม่สามารถทำได้อย่างสมบูรณ์ จึงต้องการฟังก์ชันการแปลงสัญญาณ (Converters) เป็นส่วนเชื่อมต่อระหว่างส่วนประมวลผลสัญญาณอินพุตกับส่วนประมวลผลกลาง (Analog to digital converters : ADCs) และส่วนประมวลผลกลางกับส่วนประมวลผลสัญญาณเอาท์พุต (Digital to analog converters : DACs) ดังแสดงในรูปที่ 2.1 ดังนั้นการออกแบบวงจรแปลงสัญญาณจึงเป็นส่วนที่มีความจำเป็นกับระบบการประมวลผลสัญญาณที่มีอยู่ในปัจจุบัน



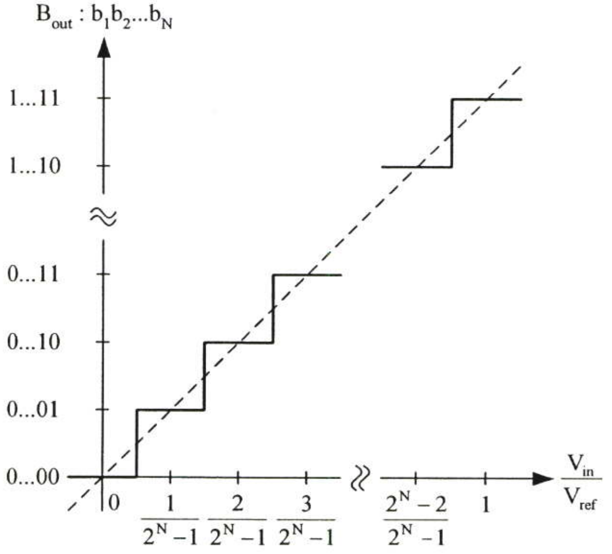
รูปที่ 2.1 ระบบการประมวลผลสัญญาณด้วยวงจรดิจิตอล

กระบวนการของการแปลงสัญญาณแอนะลอกเป็นดิจิตอลสามารถทำได้หลายวิธี ซึ่งจะแบ่งวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลออกเป็นหลายชนิดตามกลไกการทำงาน โดยรูปแบบของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่ได้นำเสนอ และทำการออกแบบในวิทยานิพนธ์ฉบับนี้จะเรียกว่า วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบซิกมาเดลตา (Sigma-delta analog to digital converters) ซึ่งเป็นวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่ใช้เทคนิคการสุ่มเกิน (Oversampling technique) และเทคนิคการจัดรูปสัญญาณรบกวน (Noise shaping technique) ที่มีช่วงแบนด์วิดท์การทำงานที่กว้าง (Wide bandwidth architecture) โดยทำการออกแบบด้วยเทคโนโลยีซีมอส 0.35 ไมโครเมตร และสามารถทำงานได้ด้วยแหล่งจ่ายแรงดัน 1.5 โวลต์

2.2 สัญญาณรบกวนในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล

การแปลงสัญญาณแอนะลอกเป็นดิจิตอลเป็นการเข้ารหัสให้กับสัญญาณแอนะลอก ที่มีขนาดแบนด์วิดท์จำกัดให้อยู่ในรูปแบบสัญญาณดิจิตอลหลายบิต (B_{out}) โดยทั่วไปการแปลง

สัญญาณแอนะลอกเป็นดิจิตอล จะใช้วิธีการตรวจจับขนาดแรงดันสัญญาณอินพุตด้วยวงจรเปรียบเทียบสัญญาณ (Voltage Comparator) แล้วนำผลที่ได้ไปทำการเข้ารหัสให้อยู่ในรูปของกลุ่มบิตสัญญาณดิจิตอล (B_{out} : $b_1b_2...b_N$) ซึ่งสามารถเขียนกราฟการส่งผ่านสัญญาณของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลได้ดังรูปที่ 2.2



รูปที่ 2.2 กราฟการส่งผ่านสัญญาณอินพุตของการแปลงสัญญาณแอนะลอกเป็นดิจิตอล

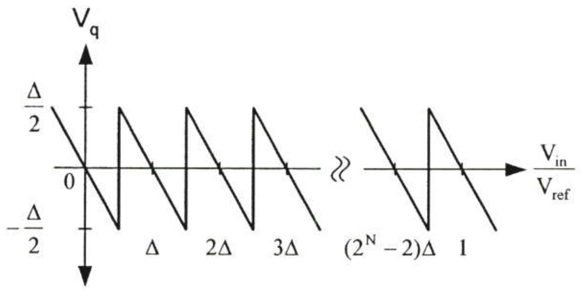
จากรูปที่ 2.2 อาจจะกล่าวได้อีกนัยหนึ่งว่าการแปลงสัญญาณ คือการจัดระดับให้กับสัญญาณแอนะลอก (Quantization) โดยค่าระดับสัญญาณนั้นได้มาจากการเปรียบเทียบขนาดแรงดันสัญญาณอินพุต (V_{in}) กับค่าแรงดันอ้างอิง (V_{ref}) เนื่องจากจำนวนของค่าระดับสัญญาณนั้นมีจำกัด ($2^N < \infty$) จึงทำให้ค่าแรงดันสัญญาณแอนะลอกอินพุตในช่วงหนึ่งๆ จะถูกจัดระดับได้ด้วยค่าสัญญาณดิจิตอลเพียง 1 รหัสเท่านั้น ซึ่งจะทำให้การแปลงสัญญาณแอนะลอกเป็นดิจิตอลมีความคลาดเคลื่อนเกิดขึ้น ซึ่งความคลาดเคลื่อนนี้เรียกว่า ความคลาดเคลื่อนจากการจัดระดับสัญญาณ (Quantization error) จากกราฟการส่งผ่านสัญญาณอินพุตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลในรูปที่ 2.2 และกลไกการทำงานที่กล่าวมานั้นอาจจะเขียนเป็นสมการทางคณิตศาสตร์ได้ดังสมการที่ 2.1

$$V_{ref}\left(b_1\frac{2^{N-1}}{2^N-1}+b_2\frac{2^{N-2}}{2^N-1}+\ldots+b_{N-1}\frac{2^1}{2^N-1}+b_N\frac{2^0}{2^N-1}\right)=V_{in}+V_q \quad (2.1)$$

$$V_{LSB}=\frac{V_{ref}}{2^N-1}=\Delta \quad (2.2)$$

กำหนดให้ V_q คือ ค่าความคลาดเคลื่อนที่เกิดจากการจัดระดับสัญญาณ (Quantization error) และ V_{LSB} (Δ) คือ ขนาดของช่วงการจัดระดับสัญญาณ โดยที่ $-\frac{\Delta}{2} \leq V_q < \frac{\Delta}{2}$

จากสมการที่ 2.1 สามารถเขียนกราฟการส่งผ่านค่าความคลาดเคลื่อน (V_q) ได้ดังรูปที่ 2.3



รูปที่ 2.3 กราฟการส่งผ่านค่าความคลาดเคลื่อนจากการจัดระดับสัญญาณ

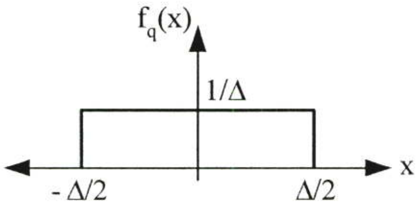
จากรูปที่ 2.3 และ สมการที่ 2.1 อาจจะกล่าวได้ว่าค่าความคลาดเคลื่อนที่เกิดขึ้นนั้นเป็นสัญญาณรบกวนที่เกิดจากการแปลงสัญญาณแอนะลอกเป็นดิจิตอล ในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลทั่วไป ดังนั้นคุณสมบัติของค่าความคลาดเคลื่อนจึงเป็นตัวแปรที่สำคัญของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่ควรพิจารณา

กำหนดให้สัญญาณอินพุตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลมีคุณสมบัติเป็นสัญญาณต่อเนื่องทางเวลาที่มีขนาดเปลี่ยนแปลงตลอดเวลา ในช่วง $-\Delta/2$ ถึง $V_{ref} + \Delta/2$ จากเงื่อนไขนี้ทำให้ค่าความคลาดเคลื่อนที่เกิดจากการจัดระดับสัญญาณ (V_q) มีคุณสมบัติเป็นสัญญาณแบบสุ่มที่มีการกระจายค่าแบบคงที่ (Uniform distribution) อยู่ในช่วง ($-\Delta/2$, $\Delta/2$) ซึ่งค่าความหนาแน่นการกระจายตัวของความน่าจะเป็นของสัญญาณรบกวน (Probability density function : $f_q(x)$) แสดงดังรูปที่ 2.4

จากคุณสมบัติของสัญญาณรบกวนดังกล่าว ทำให้สามารถคำนวณหาค่าเฉลี่ยของสัญญาณรบกวน ($V_{q(avg)}$) ที่เกิดจากการแปลงสัญญาณแอนะลอกเป็นดิจิตอลได้ดังสมการที่ 2.3 และการคำนวณหาค่ากำลังงานเฉลี่ย (V_q^2) ของสัญญาณรบกวนที่เกิดขึ้น แสดงดังสมการที่ 2.4

$$V_{q(avg)} = \int_{-\infty}^{\infty} x f_q(x)dx = \frac{1}{\Delta}\int_{-\Delta/2}^{\Delta/2} x dx = 0 \qquad (2.3)$$

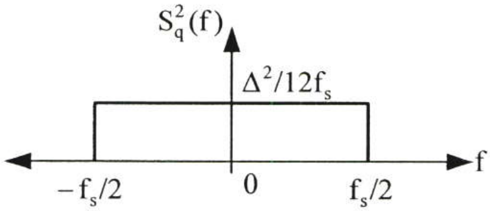
$$V_q^2 = \int_{-\infty}^{\infty} x^2 f_q(x)dx = \frac{1}{\Delta}\int_{-\Delta/2}^{\Delta/2} x^2 dx = \frac{\Delta^2}{12} \qquad (2.4)$$



รูปที่ 2.4 ฟังก์ชันความหนาแน่นการกระจายตัวของความน่าจะเป็นของค่าความคลาดเคลื่อน (V_q)

และจากสมการที่ 2.2 , 2.3 และ 2.4 สรุปได้ว่าสัญญาณรบกวนที่เกิดจากการแปลงสัญญาณแอนะล็อกเป็นดิจิตอล (V_q) จะมีค่าเฉลี่ยเท่ากับศูนย์ และมีค่ากำลังงานเฉลี่ยขึ้นอยู่กับค่าแรงดันอ้างอิง และจำนวนบิตของสัญญาณดิจิตอล โดยค่ากำลังงานของสัญญาณรบกวนที่เกิดขึ้นนี้จะไม่ขึ้นกับอัตราการสุ่มสัญญาณ (Sample frequency : f_s) ของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล ถ้ากำหนดให้สัญญาณรบกวนที่เกิดขึ้นมีคุณสมบัติเป็นสัญญาณรบกวนแบบ white noise จะทำให้ได้ว่าสัญญาณรบกวนที่เกิดขึ้นมีค่าความหนาแน่นกำลังงานขององค์ประกอบความถี่ (Power spectral density : $S_q^2(f)$) คงที่เท่ากับ $\Delta^2/(12f_s)$ ตลอดย่านความถี่ $\pm f_s/2$ ดังแสดงในรูปที่ 2.5

$$\int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} S_q^2(f)df = \frac{\Delta^2}{12} \tag{2.5}$$



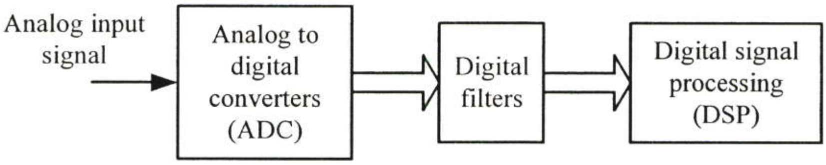
รูปที่ 2.5 กราฟความหนาแน่นกำลังงานขององค์ประกอบความถี่สัญญาณรบกวน
ในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล

จากรูปที่ 2.5 และสมการที่ 2.5 หากวงจรแปลงสัญญาณมีอัตราการสุ่มสัญญาณ (f_s) เป็นสองเท่าของขนาดแบนด์วิดท์สัญญาณอินพุต (f_{BW}) หรือเรียกวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบนี้ว่า วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบอัตราสุ่มไนควิสท์ (Nyquist rate analog to digital converters) จะได้ว่ากำลังงานของสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณทั้งหมดจะ

กระจายตัวอยู่ตลอดย่านความถี่สัญญาณอินพุต และจากคุณสมบัติของสัญญาณรบกวนที่กล่าวมานั้น เมื่อวงจรแปลงสัญญาณมีอัตราการสุ่มสัญญาณมากกว่าสองเท่าของขนาดแบนด์วิดท์สัญญาณอินพุต ($f_s > 2f_{BW}$) จะทำให้กำลังงานเฉลี่ยของสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ ในย่านความถี่สัญญาณอินพุต (f_{BW}) ลดลง เรียกวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบนี้ว่า วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบอัตราสุ่มเกิน (Oversampling analog to digital converters) ซึ่งค่าอัตราส่วนของอัตราการสุ่มสัญญาณต่อสองเท่าของขนาดแบนด์วิดท์สัญญาณอินพุตเรียกว่า สัดส่วนอัตราการสุ่มเกิน (Oversampling ratio : OSR) ดังสมการที่ 2.6

$$\text{Oversampling ratio (OSR)} = \frac{f_s}{2f_{BW}} \tag{2.6}$$

ในระบบการประมวลผลสัญญาณแบบดิจิตอล (DSP) ทั่วไป สัญญาณดิจิตอลที่ได้จากวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลนั้น จะถูกส่งผ่านวงจรกรองสัญญาณแบบดิจิตอล (Digital filters) เพื่อลดทอนขนาดกำลังงานของสัญญาณรบกวนในย่านความถี่ที่มากกว่าแบนด์วิดท์สัญญาณอินพุต ทำให้สัญญาณดิจิตอลที่ได้มีค่าอัตราส่วนกำลังงานของสัญญาณอินพุตต่อกำลังงานของสัญญาณรบกวน (Signal to noise ratio : SNR) เพิ่มขึ้น ซึ่งระบบของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่กล่าวไปนี้แสดงดังรูปที่ 2.6



รูปที่ 2.6 ระบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบทั่วไป

$$P_s = \left(\frac{\Delta 2^N}{2\sqrt{2}}\right)^2 \tag{2.7}$$

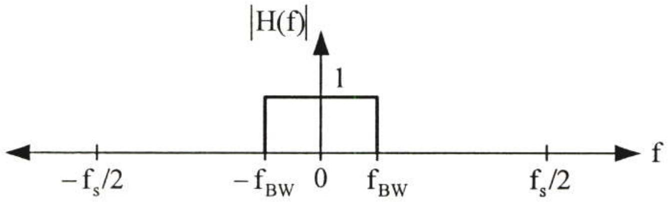
ถ้ากำหนดให้สัญญาณอินพุตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลเป็นสัญญาณไซนูซอยด์ (Sinusoidal signal) จะได้ว่าขนาดสูงสุดของสัญญาณอินพุตที่จะทำการแปลงต้องเท่ากับ $(\Delta 2^N)/2$ เพื่อไม่ให้วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลเกิดโหลดเกินขึ้น (Overload) ซึ่งค่ากำลังงานสูงสุดของสัญญาณอินพุต (P_s) นี้แสดงได้ดังสมการที่ 2.7

จากรูปที่ 2.6 ถ้าวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล (ADC) ที่ใช้เป็นวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบอัตราสุ่มเกิน (Oversampling ADC) ขนาดกำลังงานของสัญญาณรบกวน

ที่เกิดจากการจัดระดับสัญญาณ (P_q) ที่เอาท์พุทของวงจรกรองสัญญาณแบบดิจิตอล (Digital filters) จะมีค่าเท่ากับ

$$P_q = \int_{-\infty}^{\infty}\left(S_q(f)\left|H(f)\right|\right)^2 df = \int_{-f_{BW}}^{f_{BW}} \frac{\Delta^2}{12 f_s} df = \frac{\Delta^2 2 f_{BW}}{12 f_s} = \frac{\Delta^2}{12}\frac{1}{OSR} \tag{2.8}$$

กำหนดให้ H(f) คือ ผลตอบสองทางความถี่ของวงจรกรองสัญญาณแบบดิจิตอลดังรูปที่ 2.7



รูปที่ 2.7 ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบดิจิตอล

จากสมการที่ 2.8 จะเห็นว่าค่ากำลังงานของสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณที่เอาท์พุตของวงจรกรองสัญญาณแบบดิจิตอล จะแปรผกผันกับค่าสัดส่วนอัตราการสุ่มเกิน (OSR) และเมื่อทำการคำนวณหาค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน จะได้ดังสมการที่ 2.9

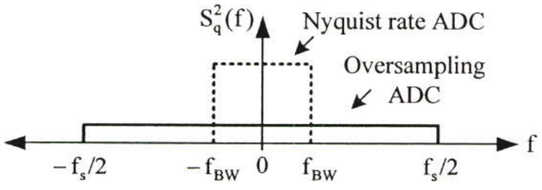
$$SNR = 10\log\left(\frac{P_s}{P_q}\right) = 10\log\left(\left(\frac{\Delta^2 2^{2N}}{8}\right) \Big/ \left(\frac{\Delta^2}{12 OSR}\right)\right)$$

$$SNR = 6.02N + 1.76 + 10\log(OSR) \tag{2.9}$$

จากสมการที่ 2.9 สรุปได้ว่าวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบอัตราสุ่มเกิน (Oversampling ADC) จะมีค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (SNR) เพิ่มขึ้น 3.01 เดซิเบล เมื่ออัตราการสุ่มสัญญาณเพิ่มขึ้นเป็นสองเท่า ซึ่งทำให้วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลรูปแบบนี้มีความละเอียดประสิทธิผล (Effective number of bit : ENOB) ในการแปลงสัญญาณสูงขึ้นดังแสดงได้ในสมการที่ 2.10

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2.10)$$

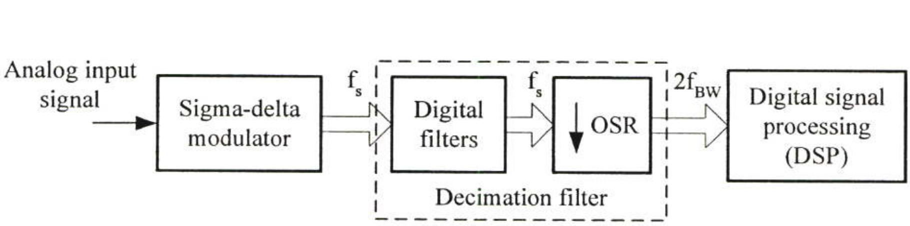
จากคุณสมบัติสัญญาณรบกวนที่เกิดจากการแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่กล่าวมานั้นสรุปได้ว่า วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลทั้งสองรูปแบบคือ วงจรแปลงสัญญาณแบบอัตราสุ่มในควิสท์ (Nyquist rate ADC) และวงจรแปลงสัญญาณแบบอัตราสุ่มเกิน (Oversampling ADC) ที่มีจำนวนบิตในการแปลงสัญญาณเท่ากัน จะมีขนาดกำลังงานเฉลี่ยของสัญญาณรบกวนที่เกิดขึ้นเท่ากัน แต่จะมีคุณสมบัติการกระจายกำลังงานสัญญาณรบกวนในระนาบความถี่แตกต่างกัน ซึ่งกำลังงานสัญญาณรบกวนในวงจรแปลงสัญญาณแบบอัตราสุ่มเกินนั้นจะกระจายตัวในย่านความถี่ที่กว้าง จึงทำให้มีค่ากำลังงานสัญญาณรบกวนต่อหนึ่งหน่วยความถี่ (Power spectral density) ที่ต่ำกว่า ดังแสดงในรูปที่ 2.8



รูปที่ 2.8 การกระจายกำลังงานสัญญาณรบกวนในระนาบความถี่

2.3 คุณสมบัติสัญญาณรบกวนในวงจรมอดูเลตสัญญาณซิกมาเดลตา

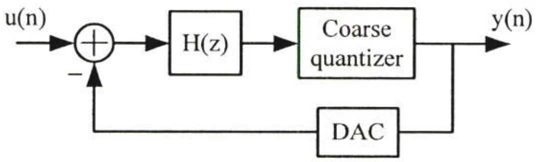
นอกจากคุณสมบัติการกระจายกำลังงานสัญญาณรบกวนในวงจรแปลงสัญญาณแอนะล-อกเป็นดิจิตอลแบบอัตราสุ่มเกิน (Oversampling ADC) แล้ว คุณสมบัติที่โดดเด่นและเป็นที่สนใจในปัจจุบัน คือ คุณสมบัติการจัดรูปสัญญาณรบกวน (Noise shaping) ซึ่งวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบอัตราสุ่มเกินที่มีคุณสมบัติการจัดรูปสัญญาณรบกวนนี้เรียกว่า วงจรมอดูเลตสัญญาณซิกมาเดลตา (Sigma-delta modulator) โดยบล็อกไดอะแกรมของระบบการแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบซิกมาเดลตาแสดงดังรูปที่ 2.9



รูปที่ 2.9 ระบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบซิกมาเดลตา

จากรูปที่ 2.9 สัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาจะถูกแปลงเป็นสัญญาณดิจิตอลด้วยอัตราการสุ่มเท่ากับ f_s จากนั้นจะนำสัญญาณดิจิตอลที่ได้ไปผ่านวงจรกรองสัญญาณเพื่อลดทอนกำลังงานสัญญาณรบกวน พร้อมทั้งจะทำการลดอัตราการสุ่มสัญญาณดิจิตอลให้เป็นสองเท่าของขนาดแบนด์วิดท์สัญญาณอินพุต ($2f_{BW}$) ก่อนที่จะทำการประมวลผลสัญญาณ ซึ่งรวมเรียกวงจรกรองสัญญาณและวงจรลดอัตราการสุ่มสัญญาณนี้ว่า Decimation filter ซึ่งในวิทยานิพนธ์ฉบับนี้ไม่ได้กล่าวถึง

โครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตาประกอบด้วยวงจรกรองสัญญาณ (H(z)) และวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลความละเอียดต่ำ (Coarse quantizer) ซึ่งต่อเชื่อมกันด้วยวงรอบการป้อนกลับแบบลบ (Negative feedback loop) ดังรูปที่ 2.10

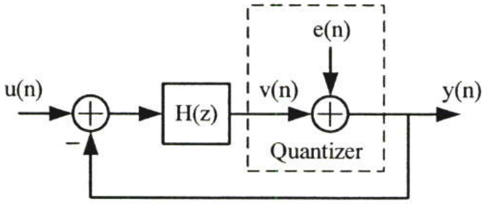


รูปที่ 2.10 วงจรมอดูเลตสัญญาณซิกมาเดลตา (Sigma-delta modulator)

จากรูปที่ 2.10 จะเห็นว่าสัญญาณอินพุตของวงจรจัดระดับสัญญาณ (Quantizer) ในวงจรมอดูเลตสัญญาณซิกมาเดลตาไม่ได้เป็นสัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาโดยตรง แต่เป็นสัญญาณผลต่างของสัญญาณอินพุต (u(n)) กับสัญญาณเอาท์พุตที่ได้จากการจัดระดับ (y(n)) ที่ผ่านวงจรกรองสัญญาณ (H(z)) จากลักษณะเฉพาะที่กล่าวไปนี้ทำให้วงจรมอดูเลตสัญญาณซิกมาเดลตามีคุณสมบัติการจัดรูปสัญญาณรบกวนเกิดขึ้น (Noise shaping) หรืออาจจะอธิบายให้เห็นได้ง่ายขึ้นด้วยการวิเคราะห์จากแบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกมาเดลตา

เมื่อกำหนดให้สัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ มีคุณสมบัติเป็นสัญญาณรบกวนแบบ white noise ที่มีขนาดไม่ขึ้นกับสัญญาณอินพุต ดังนั้นแบบจำลองเชิงเส้นของวงจรจัดระดับสัญญาณจะเป็นการรวมกันของสัญญาณอินพุต (v(n)) กับสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ (e(n)) และเมื่อกำหนดให้วงจรจัดระดับสัญญาณมีจำนวนบิตในการแปลงสัญญาณเท่ากับ 1 บิต จะได้ว่าแบบจำลองการทำงานวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกแบบ 1 บิต (DAC) สามารถทำได้ด้วยการป้อนกลับค่าสัญญาณดิจิตอลเอาท์พุตแบบบิต (Bit stream) ได้โดยตรง ซึ่งแบบจำลองเชิงเส้นดังกล่าวนี้แสดงดังรูปที่ 2.11

จากรูปที่ 2.11 เมื่อคำนวณหาฟังก์ชันการส่งผ่านสัญญาณอินพุต (Signal transfer function : STF(z)) และฟังก์ชันการส่งผ่านสัญญาณรบกวน (Noise transfer function : NTF(z)) จะได้ดังสมการที่ 2.11 และ 2.12 ตามลำดับ



รูปที่ 2.11 แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกมาเดลตา

$$\mathrm{STF}(z) = \frac{\mathrm{Y}(z)}{\mathrm{U}(z)} = \frac{H(z)}{1+H(z)} \tag{2.11}$$

$$\mathrm{NTF}(z) = \frac{\mathrm{Y}(z)}{\mathrm{E}(z)} = \frac{1}{1+H(z)} \tag{2.12}$$

จากสมการที่ 2.11 และ 2.12 จะเห็นว่าวงจรมอดูเลตสัญญาณซิกมาเดลตามีฟังก์ชันของโพล (poles) เป็น 1+H(z) โดยมีตำแหน่งซีโร (zeros) ของฟังก์ชันการส่งผ่านสัญญาณรบกวนเป็นตำแหน่งเดียวกับตำแหน่งโพลของวงจรกรองสัญญาณ (H(z)) หรือกล่าวอีกนัยหนึ่งได้ว่าที่ความถี่ใดๆที่วงจรกรองสัญญาณมีขนาดฟังก์ชันการส่งผ่านสัญญาณไม่จำกัด $(|\mathrm{H}(z)| = \infty)$ จะทำให้ขนาดของฟังก์ชันการส่งผ่านสัญญาณรบกวนที่ความถี่นั้นๆเท่ากับศูนย์ $(|\mathrm{NTF}(z)| = 0)$ และขนาดของฟังก์ชันการส่งผ่านสัญญาณอินพุตที่ความถี่นั้นๆ จะมีค่าเท่ากับหนึ่ง $(|\mathrm{STF}(z)| = 1)$

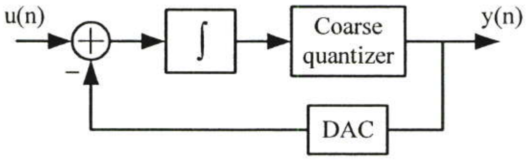
$$Y(z) = \frac{H(z)}{1+H(z)}U(z) + \frac{1}{1+H(z)}E(z) \tag{2.13}$$

จะเห็นได้ว่าสัญญาณเอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตา เป็นการรวมกันของสัญญาณอินพุต (u(n)) และสัญญาณรบกวน (e(n)) ที่ผ่านฟังก์ชันการส่งผ่านสัญญาณที่สัมพันธ์กับฟังก์ชันการส่งผ่านสัญญาณ (Transfer function) ของวงจรกรองสัญญาณ (H(z)) ดังสมการที่ 2.13 และจากคุณสมบัตินี้ทำให้เราสามารถกำหนดคุณลักษณะการกระจายกำลังงานสัญญาณรบกวน ที่เกิดจากการจัดระดับสัญญาณในวงจรมอดูเลตสัญญาณซิกมาเดลตา หรือที่เรียกกันว่า คุณสมบัติการจัดรูปสัญญาณรบกวน (Noise shaping) ได้โดยการกำหนดคุณสมบัติของฟังก์ชันการส่งผ่านสัญญาณของวงจรกรองที่อยู่ในวงรอบ (loop) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาให้เหมาะสม

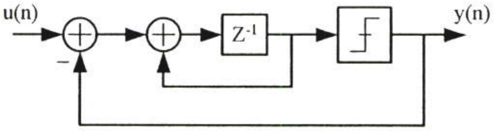
2.3.1 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ (Low-pass sigma-delta modulator)

จากคุณสมบัติการจัดรูปสัญญาณรบกวนที่กล่าวมานั้น ถ้ากำหนดให้ขนาดของฟังก์ชันการส่งผ่านสัญญาณในย่านความถี่ 0 ถึง f_0 เฮิรตซ์ ของวงจรกรองสัญญาณที่อยู่ในวงรอบของวงจร

มอดูเลตสัญญาณซิกมาเดลตามีค่ามาก $\left(H(z)\big|_0^{f_0} \rightarrow \infty\right)$ จะได้ว่าฟังก์ชันการส่งผ่านสัญญาณอินพุตจะมีขนาดเท่ากับหนึ่งในย่านความถี่ดังกล่าว $\left(STF(z)\big|_0^{f_0} \approx 1\right)$ ทำให้สัญญาณอินพุตที่มีแบนด์วิดท์สัญญาณน้อยกว่าหรือเท่ากับ f_0 ถูกส่งผ่านไปที่เอาท์พุตโดยไม่สูญเสียกำลังงาน และฟังก์ชันการส่งผ่านสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณในย่านความถี่เดียวกันนี้ จะมีขนาดเท่ากับศูนย์ $\left(NTF(z)\big|_0^{f_0} \approx 0\right)$ ทำให้กำลังงานของสัญญาณรบกวนที่ส่งผ่านไปที่เอาท์พุตมีขนาดลดลงในย่านความถี่ 0 ถึง f_0 โดยวงจรกรองสัญญาณที่ทำให้เกิดคุณสมบัติดังกล่าวคือ วงจรอินทิ-เกรตสัญญาณ (Integrator) เนื่องจากวงจรอินทิเกรตสัญญาณมีขนาดของฟังก์ชันการส่งผ่านในย่านความถี่ต่ำที่สูงมาก ซึ่งจะเรียกวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลลักษณะนี้ว่า วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ (Low-pass sigma-delta modulator) ดังแสดงในรูปที่ 2.12



(ก)



(ข)

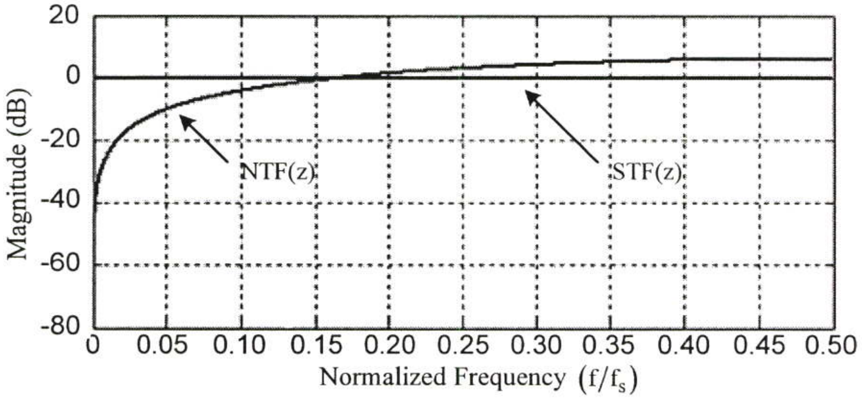
รูปที่ 2.12 (ก) วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ (ข) วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 1

รูปที่ 2.12 (ข) แสดงวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 1 (First-order low-pass sigma-delta modulator) ซึ่งประกอบด้วยวงจรอินทิเกรตสัญญาณแบบเวลาไม่ต่อเนื่อง (Discrete-time integrator) และวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบ 1 บิตหรือเรียกว่า วงจรเปรียบเทียบสัญญาณ (Comparator) เมื่อพิจารณาถึงฟังก์ชันการส่งผ่านสัญญาณอินพุต (STF(z)) และฟังก์ชันการส่งผ่านสัญญาณรบกวน (NTF(z)) จะได้ดังสมการที่ 2.14

$$H(z) = \frac{Z^{-1}}{1 - Z^{-1}}$$

$$STF(z) = Z^{-1} \quad , \quad NTF(z) = 1 - Z^{-1} \tag{2.14}$$

จากสมการที่ 2.14 จะเห็นว่าตำแหน่งซีโรของฟังก์ชันการส่งผ่านสัญญาณรบกวนจะอยู่ที่ความถี่ 0 เฮิรตซ์ หรือพิกัด (1,0) ในระนาบแซด (Z-plane) และมีโพลอยู่ที่พิกัด (0,0) ซึ่งสามารถคำนวณหาผลตอบสนองทางความถี่ได้ดังแสดงในรูปที่ 2.13



รูปที่ 2.13 ผลตอบสนองทางความถี่ของฟังก์ชันการส่งผ่านสัญญาณ

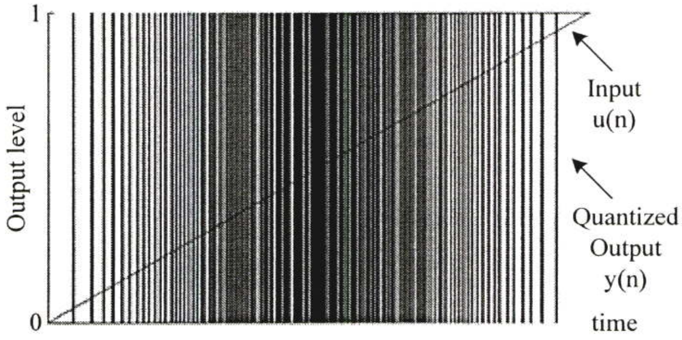
จากผลตอบสนองทางความถี่ของฟังก์ชันการส่งผ่านสัญญาณรบกวน (NTF(z)) จะเห็นว่าขนาดกำลังงานสัญญาณรบกวนในย่านความถี่ต่ำจะถูกลดทอนลง แต่ในย่านความถี่สูงสัญญาณรบกวนจะถูกขยายให้มีขนาดเพิ่มขึ้น โดยมีค่าอัตราขยายสูงสุดเท่ากับ 6 เดซิเบล ที่ความถี่ครึ่งหนึ่งของค่าความถี่การสุ่ม ($f_s/2$) และจากผลตอบสนองทางความถี่ของสัญญาณอินพุต (STF(z)) ที่เท่ากับ 0 เดซิเบล ทำให้สัญญาณอินพุตถูกส่งผ่านไปที่เอาท์พุตได้โดยไม่ถูกลดทอนในทุกๆย่านความถี่

จากผลตอบสนองทางความถี่ของฟังก์ชันการส่งผ่านสัญญาณดังรูปที่ 2.13 อาจจะกล่าวได้ว่า เนื่องจากอัตราขยายสัญญาณของวงจรอินทิเกรตสัญญาณในย่านความถี่ต่ำนั้นมีค่าสูง ทำให้ค่าเฉลี่ยของสัญญาณผลต่างระหว่างสัญญาณอินพุต (u(n)) กับสัญญาณเอาท์พุต (y(n)) มีขนาดเล็กมากหรืออาจจะประมาณเท่ากับศูนย์ ซึ่งหมายความว่าค่าเฉลี่ยของสัญญาณอินพุต (u(n)) มีขนาดเท่ากับค่าเฉลี่ยของสัญญาณเอาท์พุต (y(n)) ทำให้ในย่านความถี่ต่ำขนาดกำลังงานสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ (e(n)) มีค่าน้อย

จากฟังก์ชันการส่งผ่านสัญญาณรบกวนดังสมการที่ 2.14 สามารถคำนวณหาค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (SNR) ของวงจรมอดูเลตสัญญาณซิกมาเดล-ตาแบบผ่านความถี่ต่ำอันดับที่ 1 ได้ดังในสมการที่ 2.15 [4]

$$SNR = 10\log_{10}\left(\frac{\sigma_s^2}{\sigma_q^2}\right) - 10\log_{10}\left(\frac{\pi^2}{3}\right) + 30\log_{10}\left(OSR\right) \quad dB \qquad (2.15)$$

กำหนดให้ σ_s^2 คือค่ากำลังงานสัญญาณอินพุต และ σ_q^2 คือค่ากำลังงานสัญญาณรบกวน จากสมการที่ 2.15 แสดงให้เห็นว่า เมื่อทำการเพิ่มค่าความถี่การสุ่มขึ้นสองเท่าจะทำให้ค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวนเพิ่มขึ้นเท่ากับ 9 เดซิเบล หรือเท่ากับความละเอียด 1.5 บิต



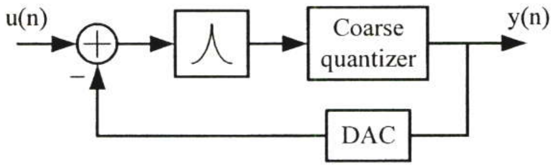
รูปที่ 2.14 ผลตอบสนองทางเวลาสัญญาณลาดเอียงของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 1

รูปที่ 2.14 เป็นผลตอบสนองทางเวลาสัญญาณลาดเอียง (Ramp signal) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 1 (รูปที่ 2.12 (ข)) ซึ่งจะเห็นว่าสัญญาณเอาท์พุต (y(n)) จะเสมือนกับเป็นการมอดูเลตความกว้างพัลส์ (Pulse width modulation) เนื่องจากที่ขนาดสัญญาณอินพุตค่าต่ำๆ สัญญาณเอาท์พุตจะมีความกว้างของพัลส์แคบ แต่ที่ขนาดสัญญาณอินพุตค่ามากๆ สัญญาณเอาท์พุตจะมีความกว้างของพัลส์มาก และที่ขนาดสัญญาณอินพุตค่ากลางๆ สัญญาณพัลส์ที่ได้จะมีค่าวัฏจักรหน้าที่ (Duty cycle) ประมาณเท่ากับ 50 เปอร์เซ็นต์ ทำให้เมื่อหาค่าเฉลี่ยของสัญญาณเอาท์พุตที่เวลาใดเวลาหนึ่งจะได้ว่ามีค่าใกล้เคียงกับขนาดสัญญาณอินพุต ซึ่งจะแตกต่างกับวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบ 1 บิตทั่วไป

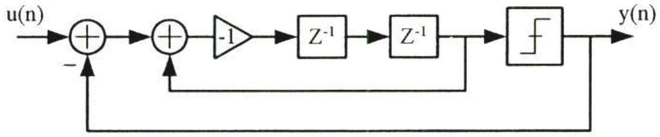
2.3.2 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ (Band-pass sigma-delta modulator)

จากรูปที่ 2.11 ถ้ากำหนดให้ขนาดของฟังก์ชันการส่งผ่านสัญญาณในย่านความถี่ f_1 ถึง f_2 เฮิรตซ์ ของวงจรกรองสัญญาณที่อยู่ในวงรอบวงจรมอดูเลตสัญญาณซิกมาเดลตามีค่ามาก $\left(H(z)\big|_{f_1}^{f_2} \rightarrow \infty\right)$ จะได้ว่าฟังก์ชันการส่งผ่านสัญญาณอินพุตจะมีขนาดเท่ากับหนึ่งในย่านความถี่ดังกล่าว $\left(STF(z)\big|_{f_1}^{f_2} \approx 1\right)$ และฟังก์ชันการส่งผ่านสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณในย่านความถี่นี้จะมีขนาดเท่ากับศูนย์ $\left(NTF(z)\big|_{f_1}^{f_2} \approx 0\right)$ ทำให้ขนาดกำลังงานของสัญญาณรบกวนในย่านความถี่ f_1 ถึง f_2 เฮิรตซ์ถูกลดทอนลง โดยวงจรกรองสัญญาณที่ทำให้เกิดคุณสมบัติดังกล่าวคือ

วงจรเรโซเนเตอร์ (Resonator) เนื่องจากที่ความถี่เรโซแนนซ์ (Resonance frequency) ขนาดของอัตราขยายสัญญาณจะมีค่าสูงมาก ซึ่งจะเรียกวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลลักษณะนี้ว่า วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ (Band-pass sigma-delta modulator) ดังรูปที่ 2.15



(ก)



(ข)

รูปที่ 2.15 (ก) วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ (ข) วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2

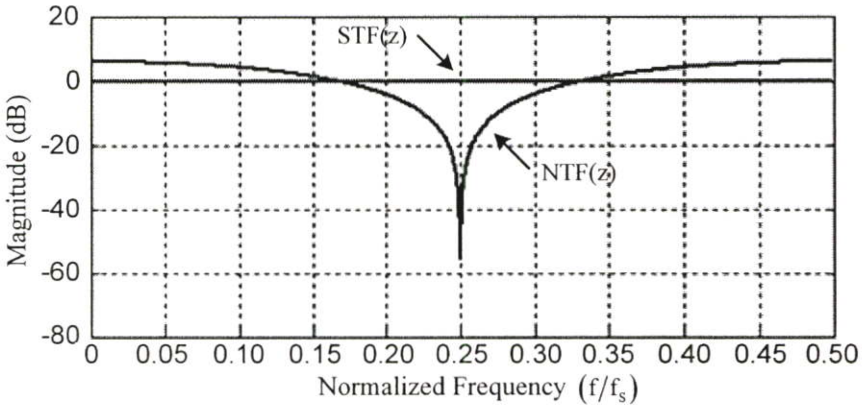
รูปที่ 2.15 (ข) แสดงวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2 (Second-order band-pass sigma-delta modulator) ซึ่งประกอบด้วยวงจรเรโซเนเตอร์แบบเวลาไม่ต่อเนื่อง (Discrete-time resonator) และวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบ 1 บิต เมื่อทำการพิจารณาถึงฟังก์ชันการส่งผ่านสัญญาณอินพุต (STF(z)) และฟังก์ชันการส่งผ่านสัญญาณรบกวน (NTF(z)) จะได้ดังแสดงในสมการที่ 2.16

$$H(z) = \frac{-Z^{-2}}{1+Z^{-2}}$$

$$STF(z) = -Z^{-2} \quad , \quad NTF(z) = 1+Z^{-2} \tag{2.16}$$

จากสมการที่ 2.16 จะเห็นว่าฟังก์ชันการส่งผ่านสัญญาณรบกวนมีจำนวนซีโรเท่ากับสอง วางตัวอยู่ที่ความถี่ $\pm f_s/4$ หรือพิกัด (0,i) และ (0,-i) ในระนาบแซด และมีจำนวนโพลเท่ากับสอง วางตัวอยู่ที่พิกัด (0,0) ในระนาบแซด จากคุณสมบัติของฟังก์ชันการส่งผ่านสัญญาณทั้งสองนี้สามารถคำนวณหาผลตอบสนองทางความถี่ได้ดังรูปที่ 2.16

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.16 ผลตอบสนองทางความถี่ของฟังก์ชันการส่งผ่านสัญญาณ

จากรูปที่ 2.16 จะเห็นว่าในย่านความถี่ $f_s/4$ ซึ่งเป็นความถี่เรโซแนนซ์ (Resonance frequency) ของวงจรเรโซเนเตอร์ ขนาดของฟังก์ชันการส่งผ่านสัญญาณรบกวนจะมีขนาดเล็กมากหรือประมาณได้ว่าเท่ากับศูนย์ ทำให้กำลังงานของสัญญาณรบกวนในย่านความถี่นี้ถูกลดทอนลง แต่ในย่านความถี่ขอบสัญญาณรบกวนจะถูกขยายให้มีขนาดเพิ่มขึ้น ซึ่งมีค่าอัตราขยายสูงสุดเท่ากับ 6 เดซิเบล ที่ความถี่ 0 และ $f_s/2$ เฮิรตซ์ และจากผลตอบสนองทางความถี่ของสัญญาณอินพุตที่มีค่าอัตราขยายเท่ากับ 0 เดซิเบล ตลอดทุกค่าความถี่ทำให้สัญญาณอินพุตถูกส่งผ่านไปที่เอาท์พุตโดยไม่สูญเสียกำลังงาน แต่จะมีการเลื่อนของเฟสไปเป็นมุม 180 องศา

ในลักษณะเช่นเดียวกันกับวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ อาจจะอธิบายคุณสมบัติการจัดรูปสัญญาณรบกวน (Noise shaping) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ได้ดังนี้คือ เนื่องจากค่าอัตราขยายของวงจรเรโซเนเตอร์ในย่านความถี่ $f_s/4$ มีค่าสูง ทำให้ค่าเฉลี่ยของสัญญาณผลต่างระหว่างสัญญาณอินพุต (u(n)) กับสัญญาณเอาท์พุต (y(n)) ในย่านความถี่นี้มีขนาดเล็ก ส่งผลให้สัญญาณเอาท์พุตแบบดิจิตอลมีขนาดกำลังงานสัญญาณรบกวนต่ำ ทำให้สัญญาณดิจิตอลที่ได้จากการแปลงสัญญาณแอนะลอกเป็นดิจิตอลในย่านความถี่ดังกล่าวมีค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (SNR) สูง

จากฟังก์ชันการส่งผ่านสัญญาณรบกวนดังสมการที่ 2.16 สามารถคำนวณหาค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (SNR) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2 ได้ดังสมการที่ 2.17 (ภาคผนวก ก)

$$SNR = 10\log_{10}\left(\frac{\sigma_s^2}{\sigma_q^2}\right) - 10\log_{10}\left(\frac{\pi^2}{6}\right) + 30\log_{10}(OSR) \quad dB \qquad (2.17)$$

กำหนดให้ σ_s^2 คือค่ากำลังงานสัญญาณอินพุต และ σ_q^2 คือค่ากำลังงานสัญญาณรบกวน

63288

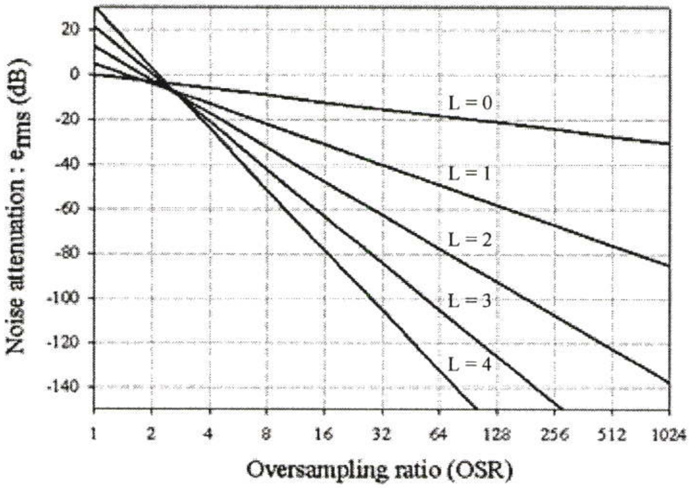
จากสมการที่ 2.17 แสดงให้เห็นว่า คุณสมบัติการลดทอนกำลังงานสัญญาณรบกวนของวงจรมอดู-เลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2 จะเหมือนกับคุณสมบัติการลดทอนกำลัง-งานสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 1 คือ เมื่อทำการเพิ่มค่าความถี่การสุ่มขึ้นสองเท่า จะทำให้ค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวนเพิ่มขึ้นเท่ากับ 9 เดซิเบล หรือ 1.5 บิต หรืออาจจะกล่าวได้ว่าที่คุณสมบัติการลดทอนสัญญาณรบกวนค่าเดียวกัน วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่จะมีอันดับเป็นสองเท่าของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ

2.4 วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง(High-order sigma-delta modulator)

คุณสมบัติการจัดรูปสัญญาณรบกวน (Noise shaping) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาเป็นคุณสมบัติที่ทำให้วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลรูปแบบนี้มีลักษณะเด่นและแตกต่างไปจากวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลทั่วไป จากที่กล่าวไปแล้วว่าวงจรกรองสัญญาณในวงรอบของวงจรมอดูเลตสัญญาณซิกมาเดลตานั้น มีความสัมพันธ์โดยตรงกับคุณสมบัติการส่งผ่านสัญญาณรบกวน ดังนั้นการที่จะกำหนดให้ฟังก์ชันการส่งผ่านสัญญาณรบกวนสามารถลดทอนกำลังงานของสัญญาณรบกวนได้มากขึ้น หรือมีขนาดแบนด์วิดท์การลดทอนที่กว้างมากขึ้นสามารถทำได้โดยการเพิ่มจำนวนวงรอบการป้อนกลับ (Feedback loop) [2] ซึ่งจะทำให้ฟังก์ชันการส่งผ่านสัญญาณรบกวนนั้นมีคุณสมบัติเป็นฟังก์ชันของวงจรกรองสัญญาณที่มีอันดับสูง (High-order filtering) โดยทั่วไปแล้วสามารถเขียนความสัมพันธ์ของจำนวนวงรอบการป้อนกลับ (L) กับขนาดสัญญาณรบกวนที่เอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตา (n_0) ได้ดังสมการที่ 2.18 [3] กำหนดให้ $e_{rms}^2 = \Delta^2/12 = V_q^2$ และสามารถเขียนกราฟแสดงขนาดการลดทอนสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาที่มีจำนวนวงรอบการป้อนกลับเท่ากับ L ได้ดังรูปที่ 2.17

$$n_0 = e_{rms} \frac{\pi^L}{\sqrt{2L+1}} \left(\frac{1}{OSR}\right)^{(L+0.5)} \tag{2.18}$$

จากความสัมพันธ์ในสมการที่ 2.18 สรุปได้ว่า เมื่อทำการเพิ่มความถี่การสุ่มสัญญาณ 2 เท่า ขนาดกำลังงานสัญญาณรบกวน (n_0^2) จะลดลงเท่ากับ 6(L+0.5) เดซิเบล หรือเทียบได้กับความละเอียด (L+0.5) บิต และเมื่อสังเกตจากกราฟขนาดการลดทอนสัญญาณรบกวนดังรูปที่ 2.17 จะพบว่าที่ค่าสัดส่วนอัตราการสุ่มเกิน (OSR) ค่าสูงๆ ขนาดการลดทอนสัญญาณรบกวนจะแปรผันตามจำนวนวงรอบของวงจรมอดูเลตสัญญาณซิกมาเดลตาอย่างรวดเร็ว ทำให้วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงที่มีค่าสัดส่วนอัตราการสุ่มเกินค่าสูงๆ เหมาะสมกับวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่ต้องการความละเอียดสูง



รูปที่ 2.17 ขนาดการลดทอนสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง

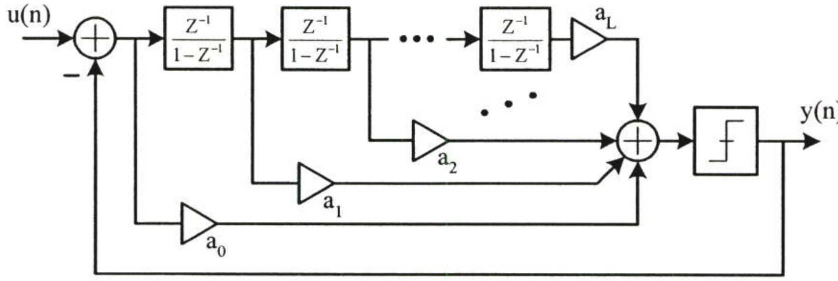
โดยทั่วไปโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง สามารถจำแนกได้ 2 รูปแบบคือ

2.4.1 โครงสร้างแบบภาคเดียว (Single-stage architecture)

วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียวคือ วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงที่มีวงจรจัดระดับสัญญาณเพียง 1 วงจรในวงรอบการป้อนกลับแบบลบ ข้อดีของวงจรมอดูเลตสัญญาณซิกมาเดลตาโครงสร้างนี้คือ มีความไวต่อคุณสมบัติวงจรกรองต่ำ ทำให้ลดความยากในการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาลงได้ แต่สิ่งที่ต้องคำนึงถึงของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบภาคเดียวคือ เสถียรภาพของวงจร เนื่องจากเป็นวงจรไม่เป็นเชิงเส้นที่มีการป้อนกลับ ซึ่งวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียวจะสามารถทำงานอย่างมีเสถียรภาพได้ด้วยเงื่อนไขของขนาดแรงดันสัญญาณอินพุตที่จำกัด เพื่อป้องกันการเกิดโหลดเกิน (Overload) ขึ้นกับวงจรจัดระดับสัญญาณ และการกำหนดค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาจะทำให้ได้คุณสมบัติของฟังก์ชันการส่งผ่านสัญญาณรบกวนที่เหมาะสมตามต้องการ [4] ดังจะกล่าวถึงในบทต่อไป

วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำภาคเดียวอันดับที่ L แสดงดังในรูปที่ 2.18 [5] เมื่อทำการคำนวณหาฟังก์ชันการส่งผ่านสัญญาณอินพุตและฟังก์ชันการส่งผ่านสัญญาณรบกวนจากแบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกมาเดลตาจะได้ดังสมการที่ 2.19

$$Y(z)=\frac{\sum_{i=0}^{L}a_i\left(z-1\right)^{L-i}}{\left(z-1\right)^L+\sum_{i=0}^{L}a_i\left(z-1\right)^{L-i}}U(z)+\frac{\left(z-1\right)^L}{\left(z-1\right)^L+\sum_{i=0}^{L}a_i\left(z-1\right)^{L-i}}E(z) \tag{2.19}$$



รูปที่ 2.18 วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียว

จากสมการการส่งผ่านสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตาดังรูปที่ 2.18 จะเห็นว่า สัญญาณรบกวนจะถูกลดทอนด้วยฟังก์ชันของวงจรกรองผ่านความถี่สูง ที่มีจำนวนซีโรเท่ากับ L วางตัวอยู่ที่ความถี่ 0 เฮิรตซ์

2.4.2 โครงสร้างแบบหลายภาค (Multi-stage architecture)

วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบหลายภาค จะเป็นการต่อเชื่อมกันแบบคาสเคด (Cascaded connection) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับต่ำหลายๆภาค เพื่อให้มีคุณสมบัติการลดทอนสัญญาณรบกวนอันดับสูงขึ้น สัญญาณอินพุตจะถูกป้อนให้กับวงจรมอดูเลตสัญญาณซิกมาเดลตาภาคแรก และค่าลบของสัญญาณความคลาดเคลื่อนจากการจัดระดับสัญญาณในภาคแรกจะเป็นสัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาภาคถัดไป โดยสัญญาณเอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบหลายภาค จะเป็นการรวมกันของสัญญาณดิจิตอลเอาท์พุตที่ผ่านฟังก์ชันวงจรกรองดิจิตอลที่เหมาะสม (Appropriate filtering) เพื่อให้เกิดการหักล้างของสัญญาณรบกวนที่เกิดขึ้นจากการจัดระดับสัญญาณในแต่ละภาคให้หมดไป ซึ่งทำให้สัญญาณเอาท์พุตสุดท้ายเป็นผลรวมของสัญญาณอินพุต กับสัญญาณรบกวนที่เกิดขึ้นในวงจรมอดูเลตสัญญาณซิกมาเดลตาภาคสุดท้าย ซึ่งถูกจัดรูปสัญญาณด้วยฟังก์ชันวงจรกรองสัญญาณอันดับสูง เนื่องจากเป็นการต่อกันแบบหลั่นของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับต่ำที่มีเสถียรภาพ ทำให้วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบหลายภาคทำงานได้อย่างมีเสถียรภาพที่ขนาดสัญญาณอินพุตประมาณเท่ากับขนาดแรงดันอ้างอิงป้อนกลับ โดยรูปที่ 2.19 เป็นวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำหลายภาคอันดับที่ 3 โดยคุณสมบัติการจัดรูปสัญญาณรบกวนแสดงได้จากการวิเคราะห์แบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกมาเดลตาดังสมการที่ 2.20 – 2.24

$$Y_1(z) = U(z) + \left(1 - z^{-1}\right)E_1(z) \tag{2.20}$$

$$Y_2(z) = -E_1(z) + \left(1 - z^{-1}\right)E_2(z) \tag{2.21}$$

$$Y_3(z) = -E_2(z) + \left(1 - z^{-1}\right)E_3(z) \tag{2.22}$$

เมื่อกำหนดให้ $E_1(z)$, $E_2(z)$ และ $E_3(z)$ คือการแปลงแซด (z-transform) ของสัญญาณรบกวนจากการจัดระดับสัญญาณในแต่ละภาค

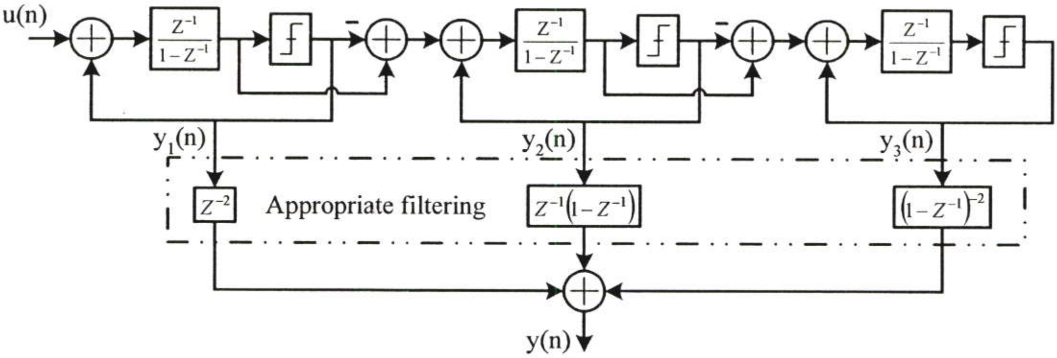
โดยผลรวมของสัญญาณเอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับต่ำแต่ละภาคที่ผ่านฟังก์ชันวงจรกรองสัญญาณที่เหมาะสมจะเท่ากับ

$$Y(z) = z^{-2}Y_1(z) + z^{-1}\left(1 - z^{-1}\right)Y_2(z) + \left(1 - z^{-1}\right)^{-2} Y_3(z) \tag{2.23}$$

เมื่อทำการแทนค่าสัญญาณเอาท์พุตวงจรมอดูเลตสัญญาณซิกมาเดลตาแต่ละภาคจะได้

$$Y(z) = z^{-2}U(z) + \left(1 - z^{-1}\right)^3 E_3(z) \tag{2.24}$$

จากสมการที่ 2.24 จะเห็นว่าสัญญาณเอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบหลายภาคอันดับที่ 3 (รูปที่ 2.19) เป็นการรวมกันของสัญญาณอินพุตกับสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาในภาคที่ 3 ซึ่งถูกจัดรูปสัญญาณด้วยฟังก์ชันวงจรกรองความถี่สูงผ่านที่มีจำนวนซีโรเท่ากับ 3 วางตัวอยู่ที่ความถี่ 0 เฮิรตซ์



รูปที่ 2.19 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบหลายภาคอันดับที่ 3

จากคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงทั้ง 2 รูปแบบที่แตกต่างกัน สามารถสรุปถึงข้อดีและข้อเสียได้ดังตารางที่ 2.1

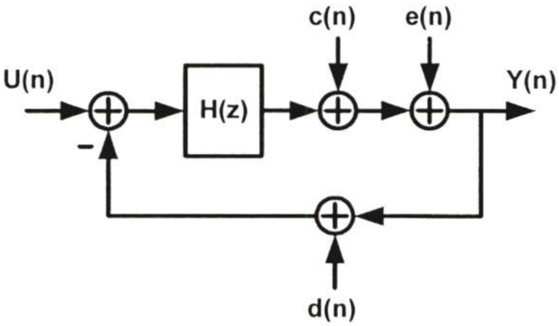
ตารางที่ 2.1 การเปรียบเทียบคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง

โครงสร้าง	ข้อดี	ข้อเสีย
วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบภาคเดียว	• มีสัญญาณดิจิตอลเอาท์พุตแบบ 1 บิต • มีความไวต่อความไม่เป็นอุดมคติของวงจรกรองสัญญาณต่ำ	• ทำงานอย่างมีเสถียรภาพด้วยขนาดสัญญาณอินพุตที่จำกัด • วงจรกรองสัญญาณออกแบบได้ยาก
วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบหลายภาค	• ทำงานอย่างมีเสถียรภาพ	• ต้องการการเข้าชุดกัน (match) ของฟังก์ชันการส่งผ่านสัญญาณแอนะล็อกและดิจิตอล • มีสัญญาณดิจิตอลเอาท์พุตแบบหลายบิต

2.5 วงจรมอดูเลตสัญญาณซิกมาเดลตากับการจัดระดับสัญญาณภายในหลายบิต

จากความสัมพันธ์ของขนาดสัญญาณรบกวนที่เอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตา ดังแสดงในสมการที่ 2.18 จะพบว่าขนาดสัญญาณรบกวนดังกล่าวจะถูกจำกัดด้วยค่าอัตราส่วนการสุ่มเกิน (OSR) และขนาดสัญญาณรบกวนจะสามารถทำให้มีค่าลดลงได้ด้วยการเพิ่มจำนวนอันดับ (L) ซึ่งวิธีการดังกล่าวจะต้องคำนึงถึงเสถียรภาพของวงจรเป็นสำคัญ อย่างไรก็ตามขนาดสัญญาณรบกวนที่เอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตา จะสามารถทำให้มีค่าที่ลดลงได้ด้วยการลดขนาดสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ (e_{rms}) ซึ่งจะทำได้ด้วยการเพิ่มจำนวนบิตการจัดระดับสัญญาณของวงจรจัดระดับสัญญาณภายในวงรอบ (Quantizer) โดยขนาดกำลังงานสัญญาณรบกวนจากการจัดระดับสัญญาณจะลดลงเท่ากับ 6-dB เมื่อทำการเพิ่มจำนวนบิตการจัดระดับสัญญาณมากขึ้น 1 บิต ซึ่งจะทำให้ค่าความละเอียดประสิทธิผล (ENOB) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาเพิ่มขึ้นด้วยเช่นกัน แต่อย่างไรก็ตามประสิทธิภาพการลดทอนขนาดสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบการจัดระดับสัญญาณภายในหลายบิตจะได้รับผลกระทบจากความไม่เป็นเชิงเส้น (Nonlinearity) ของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล และวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกในวงรอบการป้อนกลับ โดยความไม่เป็นเชิงเส้นของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล จะเกิดจากความไม่แม่นยำของค่าแรงดันขีดเริ่มเปลี่ยน (Thresholds voltage deviation) และความไม่เป็นเชิงเส้นของวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอก จะเกิดจากความไม่แม่นยำของค่าสัญญาณอ้างอิงในการถอดรหัสสัญญาณดิจิตอล โดยคุณสมบัติของความไม่เป็นเชิงเส้นดังกล่าวจะสามารถสร้างแบบจำลองการ

ทำงานของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบการจัดระดับสัญญาณภายในหลายบิตได้ดังรูปที่ 2.20



รูปที่ 2.20 แบบจำลองความไม่เป็นเชิงเส้นของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบหลายบิต

กำหนดให้ c(n) เป็นสัญญาณความผิดพลาดจากความไม่แม่นยำของค่าแรงดันขีดเริ่มเปลี่ยน, e(n) เป็นสัญญาณความผิดพลาดจากการจัดระดับสัญญาณของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล และ d(n) เป็นสัญญาณความผิดพลาดจากความไม่แม่นยำของค่าสัญญาณอ้างอิงการถอดรหัสสัญญาณดิจิตอล [3]

จากรูปที่ 2.20 จะพบว่าคุณสมบัติความไม่เป็นเชิงเส้นที่เกิดจากวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล จะถูกลดทอนได้ด้วยค่าอัตราขยายของวงจรกรองวงรอบและกลไกการป้อนกลับแบบลบของวงจรมอดูเลตสัญญาณซิกมาเดลตาเช่นเดียวกับสัญญาณรบกวนจากการจัดระดับสัญญาณ แต่เมื่อพิจารณาถึงขนาดฟังก์ชันการส่งผ่านสัญญาณรบกวนที่เกิดขึ้นจากวงรอบการป้อนกลับ จะพบว่ามีลักษณะเหมือนกับฟังก์ชันการส่งผ่านสัญญาณอินพุตของวงจร จึงทำให้ประสิทธิภาพการจัดรูปสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบการจัดระดับสัญญาณภายในหลายบิตจะถูกจำกัดด้วยความไม่เป็นเชิงเส้นของวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกที่อยู่ในวงรอบการป้อนกลับสัญญาณ

2.6 เสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา

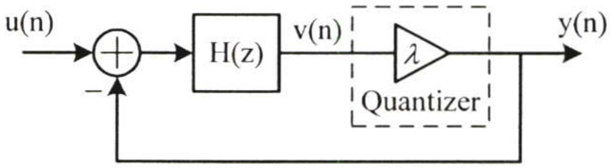
โดยทั่วไปแบบจำลองเชิงเส้นของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียว ซึ่งประกอบด้วยวงจรกรองสัญญาณแบบเชิงเส้น และแบบจำลองเชิงเส้นของวงจรจัดระดับสัญญาณดังรูปที่ 2.11 มักจะได้รับการยอมรับในการวิเคราะห์ถึงคุณสมบัติการจัดรูปสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตา ดังสมการที่ 2.11 – 2.12 แต่ในแบบจำลองดังกล่าวได้ละเลยความไม่เป็นเชิงเส้นของวงจรจัดระดับสัญญาณไป เนื่องจากความเป็นจริงสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ จะสัมพันธ์กับสัญญาณอินพุตของวงจรจัดระดับสัญญาณ ดังนั้น

วงจรจัดระดับสัญญาณจึงสามารถจำลองได้ด้วยบล็อกอัตราขยายสัญญาณที่มีอัตราขยาย λ ซึ่งเท่ากับอัตราส่วนของสัญญาณเอาท์พุตต่อสัญญาณอินพุตดังรูปที่ 2.21 [6] และจากแบบจำลองดังกล่าวสามารถคำนวณหาฟังก์ชันการส่งผ่านสัญญาณได้ดังสมการที่ 2.25

$$Y(z) = \frac{\lambda H(z)}{1+\lambda H(z)}U(z) \tag{2.25}$$

$$1+\lambda H(z) = 0 \tag{2.26}$$

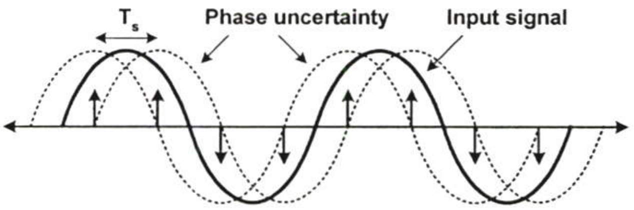
เนื่องจากความไม่เป็นเชิงเส้นของค่าอัตราขยาย λ ซึ่งจะเปลี่ยนแปลงทุกๆคาบเวลาการสุ่มสัญญาณ ดังนั้นการวิเคราะห์หาโลกัสของรากสมการที่ 2.26 (Root locus) จะสามารถหาขอบเขตของค่าอัตราขยาย λ ที่ทำให้วงจรมอดูเลตสัญญาณซิกมาเดลตาทำงานอย่างมีเสถียรภาพได้ [7] หรืออาจจะกล่าวได้ว่า การวิเคราะห์หาโลกัสของรากจะบอกถึงขนาดสัญญาณอินพุตสูงสุดของวงจรจัดระดับสัญญาณ (v(n)) ที่ไม่ทำให้เกิดการป้อนกลับแบบบวกของวงจรมอดูเลตสัญญาณซิกมาเดลตา



รูปที่ 2.21 แบบจำลองเชิงเส้นทั่วไปของวงจรมอดูเลตสัญญาณซิกมาเดลตา

เนื่องจากความมีเสถียรภาพของระบบที่มีการป้อนกลับ (Feedback system) จะถูกกำหนดด้วยคุณสมบัติการส่งผ่านสัญญาณทางขนาดและเฟสของวงจรที่อยู่ในวงรอบ ดังนั้นลักษณะการส่งผ่านสัญญาณอินพุตทางขนาดของวงจรจัดระดับสัญญาณ จะสามารถจำลองได้ด้วยค่าอัตราขยายเท่ากับ λ ที่มีความสัมพันธ์กับอัตราส่วนค่าสัญญาณเอาท์พุตของการจัดระดับสัญญาณต่อค่าสัญญาณอินพุตของวงจร และเนื่องจากวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบ 1 บิต จะสามารถออกแบบได้ด้วยวงจรเปรียบเทียบสัญญาณแบบไม่ต่อเนื่องทางเวลา ซึ่งการเปลี่ยนแปลงหรือการคงอยู่ของระดับสัญญาณดิจิตอลเอาท์พุตของวงจรเปรียบเทียบสัญญาณ จะทำให้เกิดช่วงของการส่งผ่านสัญญาณทางเฟส (Δφ) ที่จะสัมพันธ์กับอัตราส่วนค่าความถี่สัญญาณอินพุตกับค่าอัตราการสุ่มสัญญาณของวงจรดังแสดงในรูปที่ 2.22 และจะเรียกหลักการพิจารณาการส่งผ่านเฟสของสัญญาณอินพุตนี้ว่า หลักความไม่แน่นอนทางเฟสของสัญญาณ (Phase uncertainty) [8] ดังนั้นจากความสัมพันธ์ดังกล่าว จะสามารถสร้างเป็นแบบจำลองความไม่เป็นเชิงเส้นของวงจรจัดระดับ

สัญญาณในวงรอบของวงจรมอดูเลตสัญญาณซิกมาเดลตาได้ดังรูปที่ 2.23 และสามารถเขียนสมการการส่งผ่านสัญญาณของวงจรจัดระดับสัญญาณได้ดังสมการที่ 2.27

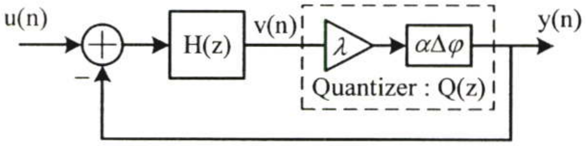


รูปที่ 2.22 ความไม่แน่นอนทางเฟสของวงจรจัดระดับสัญญาณแบบไม่ต่อเนื่องทางเวลา

$$Q(z) = \lambda \cdot e^{j\alpha\Delta\varphi_{\max}(\theta)} \qquad \text{กำหนด :} \quad \begin{cases} z = r \cdot e^{j\theta} \\ \lambda \in [0, \infty) \\ \alpha \in [-1, 1] \end{cases} \tag{2.27}$$

$$Y(z) = \frac{\lambda e^{j\alpha\Delta\varphi_{\max}(\theta)} H(z)}{1 + \lambda e^{j\alpha\Delta\varphi_{\max}(\theta)} H(z)} U(z) \tag{2.28}$$

$$1 + \lambda e^{j\alpha\Delta\varphi_{\max}(\theta)} H(z) = 0 \tag{2.29}$$



รูปที่ 2.23 แบบจำลองเสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา

จากแบบจำลองเสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา (รูปที่ 2.23) สามารถเขียนสมการการส่งผ่านสัญญาณอินพุต (u(n)) ได้ดังสมการที่ 2.28 เป็นที่น่าสังเกตเมื่อ $\alpha = 0$ จะทำให้สมการที่ 2.28 เหมือนกับสมการการส่งผ่านสัญญาณที่คำนวณได้จากแบบจำลองเชิงเส้นทั่วไปของวงจรมอดูเลตสัญญาณซิกมาเดลตา (สมการที่ 2.25)

การวิเคราะห์หาโลกัสของรากสมการที่ 2.29 เมื่อทำการเปลี่ยนค่า λ และ α จะทำให้ได้บริเวณของรากในระนาบแซด (z-plane) โดยที่ค่า λ และ α ที่ทำให้รากของสมการที่ 2.29 อยู่ในบริเวณวงกลมหนึ่งหน่วย (Unit circle) จะเป็นค่าที่บอกถึงขอบเขตการทำงานของวงจรมอดูเลตสัญญาณซิกมาเดลตาที่มีเสถียรภาพ

บทที่3

วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ อันดับที่ 8

3.1 การกำหนดคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่

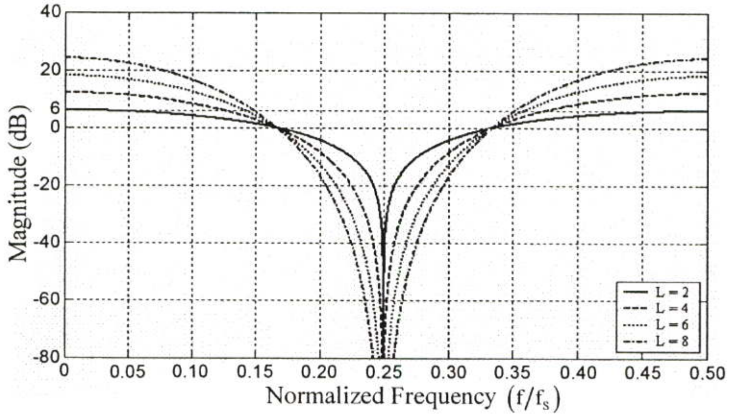
ในการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลนั้น ตัวแปรสำคัญที่กำหนดคุณสมบัติต่างๆของวงจรมอดูเลตสัญญาณซิกมาเดลตาคือ ค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (Signal to Noise Ratio : SNR) ซึ่งค่ากำลังงานสัญญาณรบกวนในวงจรมอดูเลตสัญญาณซิกมาเดลตาจะแปรผกผันกับค่าสัดส่วนอัตราการสุ่มเกิน (Oversampling ratio : OSR) และจำนวนอันดับของวงจรมอดูเลตสัญญาณซิกมาเดลตา (Order : L) ดังแสดงในสมการที่ 2.18 โดยจะพบว่าการลดทอนกำลังงานสัญญาณรบกวนจะแปรผันอย่างรวดเร็วกับจำนวนอันดับของวงจรมอดูเลตสัญญาณซิกมาเดลตาที่ค่าสัดส่วนอัตราการสุ่มเกินค่าสูง (OSR > 128) และเนื่องจากการประยุกต์ใช้เทคนิคการจัดรูปสัญญาณรบกวนกับสัญญาณแบนด์วิดท์กว้าง จะมีข้อจำกัดที่อัตราการสุ่มของวงจรมอดูเลตสัญญาณซิกมาเดลตา จึงทำให้การออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง เพื่อใช้งานกับการแปลงสัญญาณแอนะล็อกเป็นดิจิตอลที่มีขนาดแบนด์วิดท์กว้างเป็นวิธีที่หลีกเลี่ยงไม่ได้ โดยตัวแปรที่สำคัญในการพิจารณากำหนดค่าสัดส่วนอัตราการสุ่มเกินของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่คือ ค่าความถี่กลางของภาครับสัญญาณวิทยุ (Intermediate Frequency : IF) ซึ่งเป็นตัวแปรที่จะกำหนดย่านความถี่สัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ โดยการกำหนดค่าความถี่กลางของภาครับสัญญาณวิทยุจะคำนึงถึงคุณสมบัติของวงจรกรองผ่านแถบความถี่ (Band-pass filter) ซึ่งทำหน้าที่ลดทอนกำลังงานของสัญญาณรบกวนในย่านความถี่สัญญาณเงาของภาคอินพุตวงจรรวมสัญญาณ (Mixer) ดังนั้นการกำหนดค่าความถี่กลางของภาครับสัญญาณวิทยุจึงควรที่จะมีค่าสูงพอสมควร (50 – 200 MHz) เพื่อช่วยให้การออกแบบวงจรกรองผ่านแถบความถี่ดังกล่าวทำได้ง่ายขึ้น [9] และโดยทั่วไปแล้วค่าอัตราการสุ่มสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่จะถูกกำหนดให้มีค่าเป็น 4 เท่าของค่าความถี่กลางภาครับสัญญาณวิทยุ เพื่อลดความยุ่งยากสำหรับการประมวลผลสัญญาณดิจิตอลในย่านความถี่กลาง ดังนั้นการกำหนดค่าความถี่กลางของภาครับสัญญาณวิทยุจึงควรพิจารณาให้เกิดความเหมาะสม อย่างไรก็ตามการนำเทคนิคการสุ่มต่ำ (Undersampling) มาประยุกต์ใช้กับวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ จะช่วยลดความต้องการอัตราการสุ่มสัญญาณค่าสูงลงได้ แต่ข้อจำกัดของการแปลงสัญญาณแอนะล็อกเป็นดิจิตอลกับเทคนิคการสุ่มต่ำคือ ขนาดกำลังงานสัญญาณรบกวนที่เพิ่มขึ้น (Noise folding) และ

คุณสมบัติของวงจรกรองผ่านแถบความถี่ภาคอินพุต (Anti-aliasing filter) ดังนั้นจึงควรกำหนดให้ค่าอัตราส่วนของค่าความถี่กลาง (f_{IF}) ต่อค่าอัตราการสุ่ม (f_s) ของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล มีค่าต่ำเพียงพอกับความต้องการค่าพิสัยพลวัต (Dynamic range) โดยเรียกค่าอัตราส่วนนี้ว่า สัดส่วนอัตราการสุ่มต่ำ (Undersampling ratio) ดังสมการที่ 3.1

$$\text{Undersampling ratio} = \frac{\text{Intermediate frequency } (f_{IF})}{\text{Sample frequency } (f_s)} \tag{3.1}$$

จากเหตุผลดังกล่าว จึงทำให้คุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาสำหรับภาครับสัญญาณวิทยุในระบบสื่อสารความเร็วสูง (Wide-bandwidth communications) มักจะมีค่าสัดส่วนอัตราการสุ่มเกินน้อยกว่า 32 เท่า (OSR < 32) ทำให้การออกแบบและการพัฒนาวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูงได้รับความสนใจ และถูกนำมาพัฒนาประสิทธิภาพการทำงานอย่างแพร่หลายในปัจจุบัน

จากคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงดังที่กล่าวไปในบทที่ 2 จะเห็นว่า วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียวจะมีข้อจำกัดในการออกแบบวงจรที่น้อยกว่า และสามารถสร้างได้ง่าย แต่ปัญหาที่เกิดขึ้นคือ เสถียรภาพในการทำงาน ซึ่งยังไม่มีการเสนอทฤษฎีที่สามารถยืนยันเกี่ยวกับการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียวที่มีเสถียรภาพได้อย่างชัดเจน [10] แต่จากผลการจำลองการทำงานของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียวพบว่า วงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียว ที่มีขนาดฟังก์ชันการส่งผ่านกำลังงานสัญญาณรบกวนในย่านความถี่สูงน้อยกว่า 2 ($|NTF|_{f=\infty} < 6\text{-dB}$) จะสามารถทำงานอย่างมีเสถียรภาพในช่วงขนาดสัญญาณอินพุตที่จำกัดได้ [5]



รูปที่ 3.1 ขนาดฟังก์ชันการส่งผ่านกำลังงานสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูง

$$\mathrm{NTF}(z) = \left(1 + z^{-2}\right)^{L/2} \qquad 3.2$$

เมื่อกำหนดให้ฟังก์ชันการส่งผ่านสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ L มีลักษณะดังสมการที่ 3.2 ซึ่งจะสามารถคำนวณหาขนาดฟังก์ชันในระนาบความถี่ได้ดังรูปที่ 3.1 จากคุณสมบัติดังกล่าวพบว่าวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูงที่มีจำนวนอันดับมากกว่า 2 (L > 2) จะไม่สามารถทำงานอย่างมีเสถียรภาพได้ ($\left|\mathrm{NTF}\right|_{f=\infty} > 6\text{-dB}$) อย่างไรก็ตามการเพิ่มคุณสมบัติวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ท (Butterworth filter : 1/D(z)) จะทำให้สามารถกำหนดขนาดฟังก์ชันการส่งผ่านสัญญาณรบกวนในช่วงความถี่ขอบให้ราบเรียบ (Flat) และมีค่าสูงสุดตามต้องการได้ [3] ดังสมการที่ 3.3

$$\mathrm{NTF}(z) = \frac{\left(1 + z^{-2}\right)^{L/2}}{D(z)} \qquad 3.3$$

จากสมการที่ 3.3 จะเห็นว่าฟังก์ชันการส่งผ่านกำลังงานสัญญาณรบกวนมีซีโร (Zeros) จำนวนเท่ากับ L/2 วางตัวอยู่ที่ความถี่กลาง ($\omega_Z = \pi/2$) ซึ่งคุณสมบัตินี้ไม่เหมาะสมกับวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงที่มีค่าสัดส่วนอัตราการสุ่มเกินต่ำกว่า 64 เท่า ซึ่งการกำหนดตำแหน่งซีโรของฟังก์ชันการส่งผ่านกำลังงานสัญญาณรบกวนให้วางตัวกระจายตลอดย่านความถี่การทำงาน (Inverse chebyshev filters) จะช่วยเพิ่มประสิทธิภาพการลดทอนกำลังงานสัญญาณรบกวนได้ดีและเหมาะสมมากขึ้น [10]

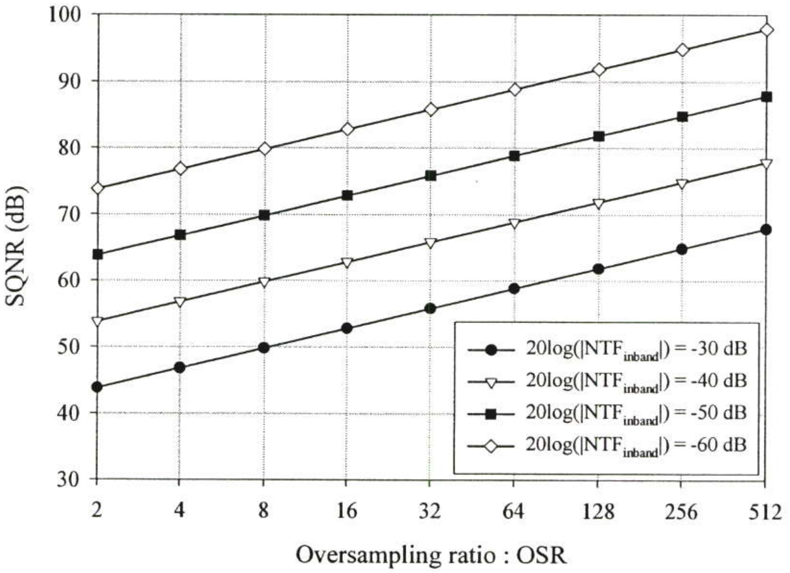
การวิเคราะห์หาจำนวนอันดับ (L) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่จะพิจารณาจากคุณสมบัติการจัดรูปสัญญาณรบกวนในย่านความถี่การทำงาน แต่เนื่องจากสมการการส่งผ่านกำลังงานสัญญาณรบกวน (NTF(z)) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาเป็นสมการโพลิโนเมียลอันดับสูง จึงทำให้การวิเคราะห์หาจำนวนอันดับของวงจรมอดูเลตสัญญาณซิก-มาเดลตาแบบผ่านแถบความถี่ด้วยวิธีทางคณิตศาสตร์ (Analytical method) ทำได้ยาก ดังนั้นลักษณะฟังก์ชันการส่งผ่านกำลังงานสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงจึงถูกกำหนดให้มีขนาดคงที่ตลอดย่านความถี่การทำงาน เพื่อช่วยให้การวิเคราะห์หาจำนวนอันดับทำได้ง่ายขึ้นดังสมการที่ 3.4 และสามารถคำนวณหาค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวนที่เอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ได้ดังสมการที่ 3.5

$$n_0^2 = \int_{f_1}^{f_2} S_q^2 \left|NTF(f)\right|^2 df = \frac{\Delta^2}{12 \cdot OSR}\left|NTF_{inband}\right|^2 \qquad 3.4$$

$$SQNR = B \cdot 20\log(2) + 10\log(3) + 10\log(OSR) - 20\log(|NTF_{inband}|) \qquad 3.5$$

กำหนดให้ B คือ จำนวนบิตการจัดระดับสัญญาณภายใน และ $|NTF_{inband}|$ คือ ค่าคงที่ขนาดการส่งผ่านกำลังงานสัญญาณรบกวนในย่านความถี่การทำงาน

จากสมการที่ 3.5 การวิเคราะห์หาจำนวนอันดับของวงจรมอดูเลตสัญญาณซิกมาเดลตาจะพิจารณาจากค่าคงที่การส่งผ่านกำลังงานสัญญาณรบกวนในย่านความถี่การทำงาน และขนาดแบนด์วิดท์สัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกมาเดลตา โดยจำนวนอันดับของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ จะถูกกำหนดให้มีค่าเท่ากับจำนวนอันดับของวงจรกรองแบบช่องบาก (Notch filter) ที่มีคุณสมบัติการลดทอนสัญญาณ และขนาดแบนด์วิดท์ของวงจรกรองเพียงพอกับคุณสมบัติการจัดรูปสัญญาณรบกวนที่ต้องการ



รูปที่ 3.2 ค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาที่มีบิตการจัดระดับสัญญาณภายในเท่ากับ 1 (B=1)

โดยทั่วไปแล้วระบบสื่อสารความเร็วสูงที่มีการประมวลผลสัญญาณข้อมูลภาพ และเสียงแบบดิจิตอล เช่น ระบบสื่อสารไร้สายความเร็วสูง, ระบบโทรทัศน์แบบดิจิตอลทั่วไป และระบบโทรทัศน์แบบดิจิตอลความละเอียดสูง จะต้องการความละเอียดสัญญาณดิจิตอลมากกว่า 8-10 บิต หรืออาจจะกล่าวได้ว่า วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลที่ใช้ต้องมีคุณสมบัติค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวนและสัญญาณความผิดเพี้ยน (Signal to noise and distortion ratio : SNDR) ที่เอาท์พุตมากกว่า 60 เดซิเบล จึงจะเพียงพอกับความต้องการของระบบสื่อสารความเร็วสูงที่มีในปัจจุบัน

ตารางที่ 3.1 คุณสมบัติการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่

คุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตา	การกำหนดค่าตัวแปร
แบนด์วิดท์สัญญาณอินพุต (Signal bandwidth : f_{BW})	3.84 MHz
ความถี่กลางของภาครับสัญญาณวิทยุ (Intermediate frequency : f_{IF})	138 MHz
อัตราการสุ่มสัญญาณ (Sample frequency : f_s)	184 MHz
สัดส่วนอัตราการสุ่มเกิน (Oversampling ratio : OSR)	24
อันดับของวงจรมอดูเลตสัญญาณซิกมาเดลตา (Order : L)	8
จำนวนบิตการจัดระดับสัญญาณภายใน (Internal bits : B)	1 บิต

3.2 การออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูง กับฟังก์ชันการส่งผ่านสัญญาณรบกวนแบบเชบีเช็บผกผัน

การสร้างวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูงแบบภาคเดียวจะประกอบด้วย 2 ขั้นตอนด้วยกันคือ

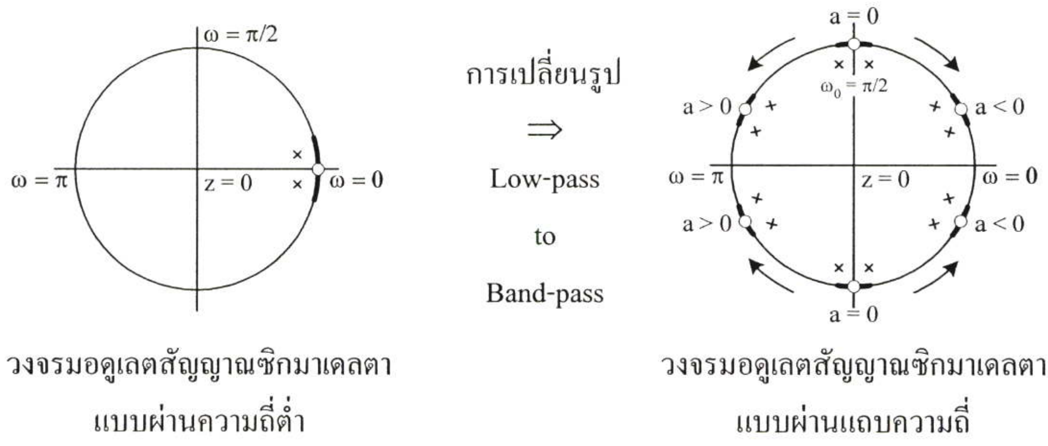
- การเปลี่ยนรูปวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ต่ำ
- การกำหนดสัมประสิทธิ์วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่

3.2.1 การเปลี่ยนรูปวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ

การเปลี่ยนรูปวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำ เป็นการเปลี่ยนคุณสมบัติของวงจรกรองวงรอบซึ่งเป็นวงจรกรองผ่านความถี่ต่ำ (Low-pass filter) ที่มีอัตราขยายสัญญาณค่าสูงในย่านความถี่ต่ำให้อยู่ในรูปวงจรกรองผ่านแถบความถี่ (Band-pass filter) ที่มีค่าอัตราขยายสัญญาณค่าสูงอยู่ที่ค่าความถี่ใดๆ ในช่วงความถี่ศูนย์ ($\omega = 0$) ถึงครึ่งค่าความถี่การสุ่ม ($\omega = \pi$) จึงทำให้วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำที่ผ่านการเปลี่ยนรูปจะมีคุณสมบัติการจัดรูปสัญญาณรบกวนอยู่ในย่านความถี่สัญญาณอินพุตใดๆที่ต้องการ หรือที่เรียกว่าวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ ซึ่งจะเรียกเทคนิคการเปลี่ยนรูปดังกล่าวนี้ว่าเทคนิคการเปลี่ยนรูปวงจรกรองผ่านความถี่ต่ำให้อยู่ในรูปวงจรกรองผ่านแถบความถี่ (Low-pass to Band-pass Transformation) ดังจะมีความสัมพันธ์ดังสมการที่ 3.6 ซึ่งเทคนิคการเปลี่ยนรูปวงจรกรองสัญญาณจะทำให้จำนวนอันดับของวงจรกรองสัญญาณเพิ่มขึ้นแต่คุณสมบัติต่างๆ ของวงจรกรองสัญญาณยังคงเหมือนเดิม [3]

$$z \rightarrow -z\frac{z+a}{az+1} \quad , \quad a = \cos\left(\frac{2\pi f_0}{f_s}\right) \qquad 3.6$$

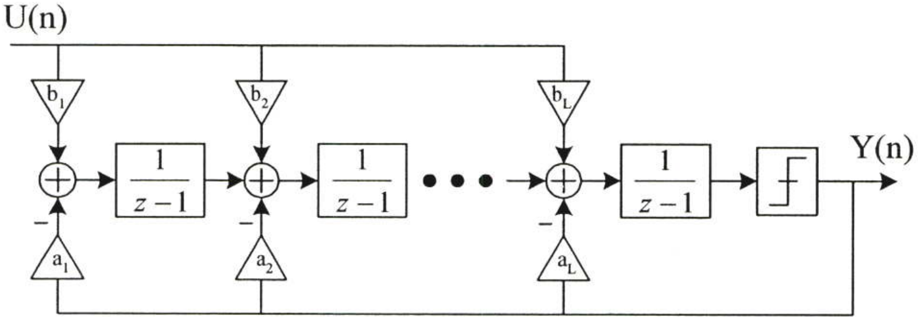
กำหนดให้ -1 < a < 1 โดยที่ค่าความถี่กลางการลดทอนสัญญาณรบกวนจะถูกกำหนดให้อยู่ที่ค่าความถี่ $f_s/4$ ($\omega_0 = \pi/2$) เมื่อ a มีค่าเท่ากับศูนย์ หรือ เมื่อ a มีค่าเป็นบวกจะทำให้ค่าความถี่กลางเลื่อนเข้าสู่ความถี่ $f_s/2$ ($\omega_0 = \pi$) และ เมื่อ a มีค่าเป็นลบจะทำให้ค่าความถี่กลางเลื่อนเข้าสู่ความถี่ศูนย์ ($\omega_0 = 0$) ดังรูปที่ 3.3



รูปที่ 3.3 การเลื่อนค่าความถี่กลาง (ω_0) ของฟังก์ชันการส่งผ่านสัญญาณรบกวนในระนาบแซด

ดังนั้นในขั้นตอนการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับสูง ตัวแปรแรกที่ต้องกำหนดคือ ค่าความถี่กลางการจัดระดับสัญญาณที่ต้องการ (ω_0) เพื่อใช้ในการคำนวณหารูปแบบการเปลี่ยนรูปจากความสัมพันธ์ดังสมการที่ 3.6

สำหรับการนำวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูง ไปประยุกต์ใช้งานกับการจัดระดับสัญญาณแบนด์วิดท์กว้าง คุณสมบัติที่สำคัญประการหนึ่งของฟังก์ชันการส่งผ่านสัญญาณคือลักษณะการวางตำแหน่งโพล (Poles) แบบวงจรกรองบัตเตอร์เวิร์ท ดังที่กล่าวในหัวข้อย่อย 3.1 ซึ่งวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับสูงแบบภาคเดียวที่เกิดจากการนำวงจรกรองวงรอบ (Loop filter) มาต่อเรียงกันแบบหลั่น (Cascade) จะสามารถสร้างคุณสมบัตินี้ได้ด้วยการกำหนดให้มีค่าอัตราการป้อนกลับสัญญาณเอาท์พุต (a_i) ที่จุดรวมสัญญาณอินพุตของวงจรกรองวงรอบในแต่ละภาค และเพื่อให้เกิดความยืดหยุ่นในการกำหนดคุณสมบัติของฟังก์ชันการส่งผ่านสัญญาณอินพุต (STF(z)) จึงจำเป็นต้องเพิ่มการส่งผ่านสัญญาณอินพุตด้วยค่าอัตราขยายเท่ากับ b_i ไปที่จุดรวมสัญญาณของวงจรกรองวงรอบด้วยเช่นกัน ซึ่งวงจรต้นแบบที่เหมาะสำหรับเทคนิคการเปลี่ยนรูปวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับสูงที่กล่าวไปนั้นแสดงดังรูปที่ 3.4 เมื่อทำการคำนวณหาฟังก์ชันการส่งผ่านสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตา ดังรูปที่ 3.4 ด้วยแบบจำลองเชิงเส้นอย่างง่าย จะได้ดังสมการที่ 3.7

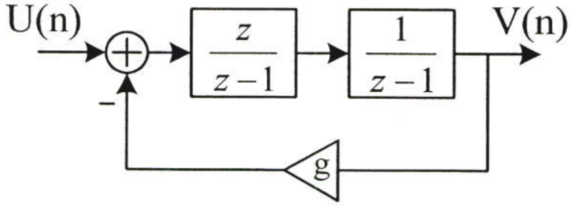


รูปที่ 3.4 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ L ภาคเดียว

$$Y(z)=\frac{\sum_{i=1}^{L} b_i\left(z-1\right)^{i-1}}{\left(z-1\right)^{L}+\sum_{i=1}^{L} a_i\left(z-1\right)^{i-1}}U(z)+\frac{\left(z-1\right)^{L}}{\left(z-1\right)^{L}+\sum_{i=1}^{L} a_i\left(z-1\right)^{i-1}}E(z) \qquad 3.7$$

จากสมการฟังก์ชันการส่งผ่านสัญญาณ (สมการที่ 3.7) จะเห็นได้ชัดเจนว่า วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ L จะสามารถกำหนดตำแหน่งโพลของฟังก์ชันการส่งผ่านสัญญาณแบบวงจรกรองบัตเตอร์เวิร์ทอันดับที่ L ได้ เมื่อมีการกำหนดค่าอัตราการป้อนกลับ (a_i) ที่เหมาะสม และการกำหนดคุณสมบัติของฟังก์ชันการส่งผ่านสัญญาณอินพุต (Y(z)/U(z)) จะทำได้อย่างอิสระด้วยการกำหนดตำแหน่งซีโรในระนาบแซดจากค่าอัตราการส่งผ่านสัญญาณ (b_i)

เนื่องจากสัญญาณความผิดพลาดจากการจัดระดับสัญญาณ ได้ถูกจัดรูปด้วยฟังก์ชันของวงจรอินทิเกรตสัญญาณเพียงชนิดเดียว จึงทำให้ซีโรจำนวนเท่ากับ L ของฟังก์ชันการส่งผ่านสัญญาณรบกวนถูกกำหนดให้อยู่ที่ค่าความถี่ศูนย์ (f_z = 0) ซึ่งการวางตำแหน่งซีโรให้กระจายตัวอยู่ตลอดย่านความถี่การทำงาน สามารถทำได้ด้วยการสร้างวงรอบการป้อนกลับแบบลบผ่านวงจรอินทิเกรตสัญญาณ 2 วงจร ด้วยอัตราการป้อนกลับค่าต่ำ (g) ซึ่งเป็นผลให้เกิดวงจรเรโซเนเตอร์อันดับที่ 2 แบบวงจรอินทิเกรตไม่สูญเสีย (Lossless Discrete Integrator : LDI) โดยค่าความถี่เรโซแนนซ์จะถูกกำหนดด้วยอัตราการป้อนกลับดังสมการที่ 3.8-3.9



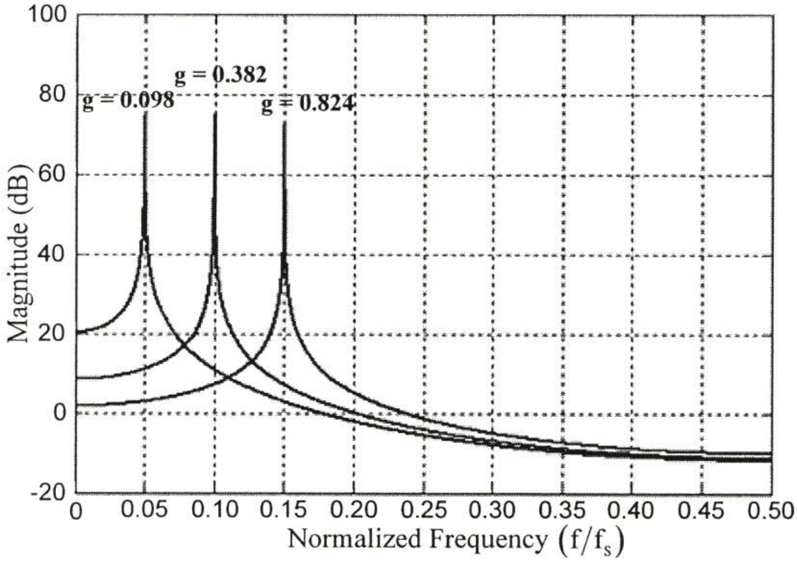
รูปที่ 3.5 วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย (LDI)

$$\frac{V(z)}{U(z)} = \frac{z}{z^2 - (2-g)z + 1} \tag{3.8}$$

และ

$$g = 2 - 2\cos\left(\frac{2\pi\Delta f}{f_s}\right) \tag{3.9}$$

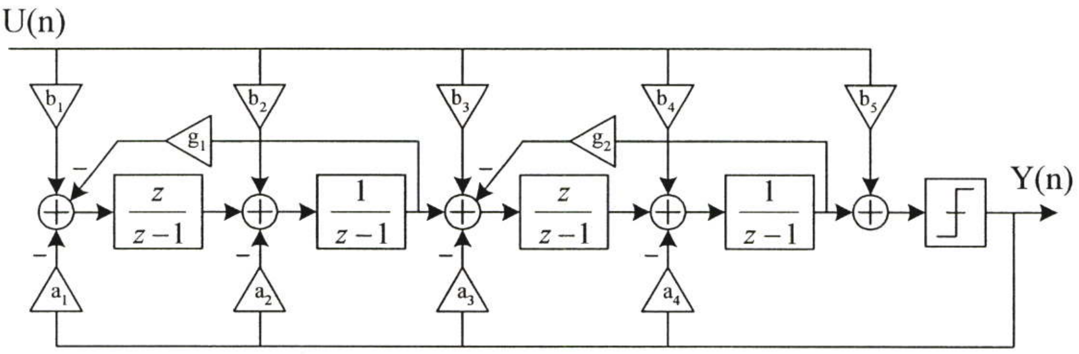
เมื่อกำหนดให้ Δf คือ ค่าความถี่เรโซแนนซ์ของวงจรเรโซเนเตอร์ โดยความสัมพันธ์ของค่าความถี่เรโซแนนซ์กับค่าอัตราการป้อนกลับแสดงดังรูปที่ 3.6



รูปที่ 3.6 ผลตอบสนองทางความถี่ของวงจรเรโซเนเตอร์กับอัตราการป้อนกลับแบบลบ (g)

นอกจากนี้การเพิ่มเส้นทางการส่งผ่านสัญญาณอินพุตไปที่ภาคอินพุตของวงจรจัดระดับสัญญาณภายใน จะช่วยเพิ่มทางเลือกให้กับการกำหนดคุณสมบัติของฟังก์ชันการส่งผ่านสัญญาณอินพุต (STF(z)) และจะทำให้เกิดการหักล้างระหว่างโพลและซีโรได้อย่างสมบูรณ์ โดยจะเรียกโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับสูง ที่มีคุณสมบัติดังที่กล่าวไปข้างต้นทั้งหมดว่า โครงสร้างการต่อเรียงกันแบบหลั่นของวงจรเรโซเนเตอร์กับการป้อนกลับภายใน (Cascade-of-resonator with feedback : CRFB) ดังรูปที่ 3.7

$$Y(z) = \frac{\left[b_5 + \frac{b_4(z-1)+b_3 z}{\left[z^2-(2-g_2)z+1\right]} + \frac{b_2 z(z-1)+b_1 z^2}{\left[z^2-(2-g_1)z+1\right]\left[z^2-(2-g_2)z+1\right]}\right]U(z)+E(z)}{1+\frac{a_4(z-1)+a_3 z}{\left[z^2-(2-g_2)z+1\right]}+\frac{a_2 z(z-1)+a_1 z^2}{\left[z^2-(2-g_1)z+1\right]\left[z^2-(2-g_2)z+1\right]}} \tag{3.10}$$

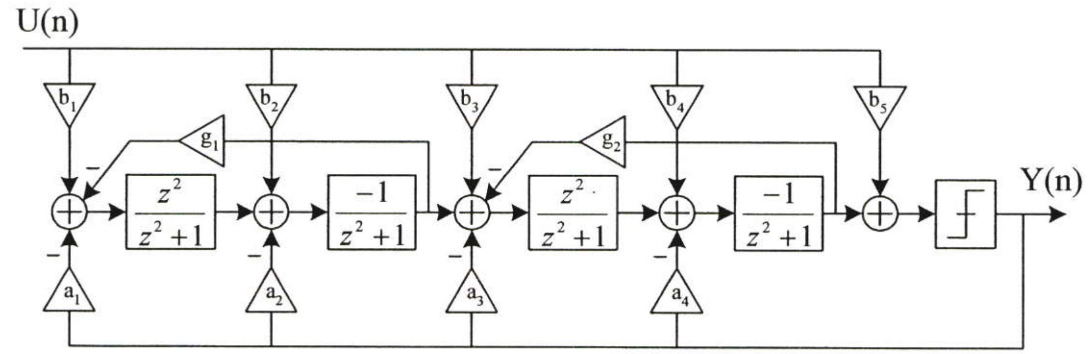


รูปที่ 3.7 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 4

จากสมการที่ 3.10 จะเห็นว่าค่าความถี่ซีโรของฟังก์ชันการส่งผ่านสัญญาณรบกวนจะถูกกำหนดให้กระจายตัวอยู่รอบค่าความถี่กลางได้ด้วยการกำหนดอัตราการป้อนกลับภายในค่าต่ำ ($g \rightarrow 0$) ซึ่งจะทำให้ฟังก์ชันการส่งผ่านสัญญาณรบกวนมีคุณสมบัติแบบวงจรกรองเชบีเช็บผกผัน และเมื่อกำหนดให้ค่าอัตราการป้อนกลับ (a_i) มีค่าเท่ากับค่าการส่งผ่านสัญญาณ (b_i) และค่าการส่งผ่านสัญญาณอินพุตที่วงจรจัดระดับสัญญาณภายในมีค่าเท่ากับหนึ่ง ($b_5 = 1$) จะได้ว่า ฟังก์ชันการส่งผ่านสัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาดังรูปที่ 3.7 จะมีขนาดเท่ากับหนึ่งทุกๆ ค่าความถี่ (STF(z)=1) ซึ่งจะเข้าสู่ความเป็นอุดมคติของฟังก์ชันการส่งผ่านสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตา (สมการ 2.10-2.11)

เมื่อนำเทคนิคการเปลี่ยนรูปดังสมการที่ 3.6 มาประยุกต์ใช้กับวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านความถี่ต่ำอันดับที่ 4 ดังรูปที่ 3.7 โดยกำหนดให้ค่าความถี่กลางการจัดระดับสัญญาณมีค่าน้อยกว่าความถี่การสุ่มอยู่ 4 เท่า ($f_0 = f_s/4$) ดังนั้นจากสมการที่ 3.6 จะได้ว่า $a = \cos(\pi/2) = 0$ ซึ่งทำให้ได้รูปแบบการเปลี่ยนรูปเท่ากับ $z \rightarrow -z^2$ เมื่อนำความสัมพันธ์การเปลี่ยนรูปที่ได้แทนลงในสมการการส่งผ่านสัญญาณดังสมการที่ 3.10 จะทำให้ได้ฟังก์ชันการส่งผ่านสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ที่มีค่าความถี่กลางเท่ากับ $f_s/4$ เป็นดังสมการที่ 3.11 ซึ่งจะเห็นว่าคุณสมบัติของฟังก์ชันการส่งผ่านสัญญาณมีลักษณะเหมือนเดิม แต่จะมีจำนวนอันดับเพิ่มเป็นสองเท่า โดยรูปที่ 3.8 แสดงถึงโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่ได้จากการประยุกต์ใช้เทคนิคการเปลี่ยนรูป

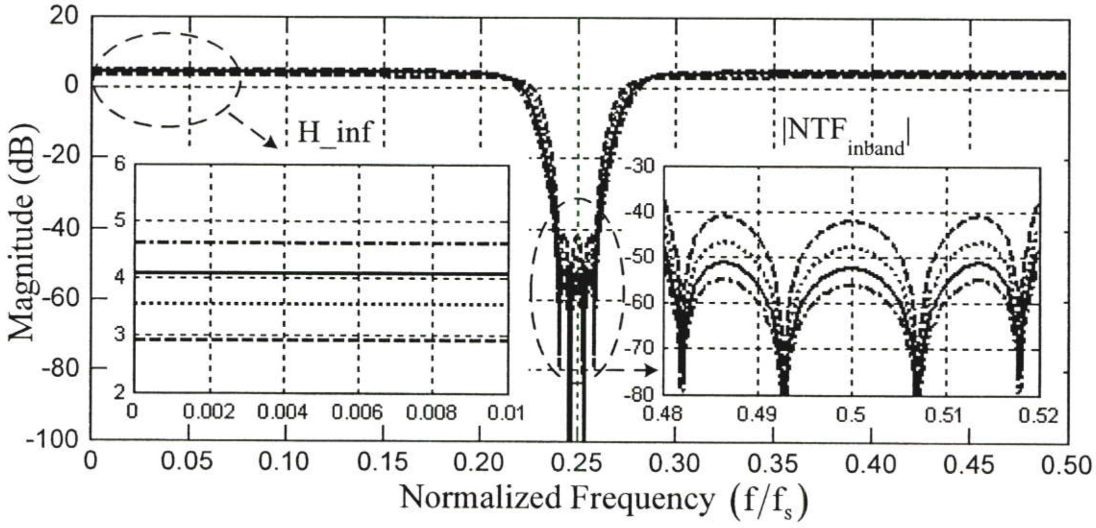
$$Y(z) = \frac{\left[b_5 - \frac{b_4\left(z^2+1\right)+b_3z^2}{\left[z^4+\left(2-g_2\right)z^2+1\right]} + \frac{b_2z^2\left(z^2+1\right)+b_1z^4}{\left[z^4+\left(2-g_1\right)z^2+1\right]\left[z^4+\left(2-g_2\right)z^2+1\right]}\right]U(z)+E(z)}{1-\frac{a_4\left(z^2+1\right)+a_3z^2}{\left[z^4+\left(2-g_2\right)z^2+1\right]}+\frac{a_2z^2\left(z^2+1\right)+a_1z^4}{\left[z^4+\left(2-g_1\right)z^2+1\right]\left[z^4+\left(2-g_2\right)z^2+1\right]}} \qquad 3.11$$



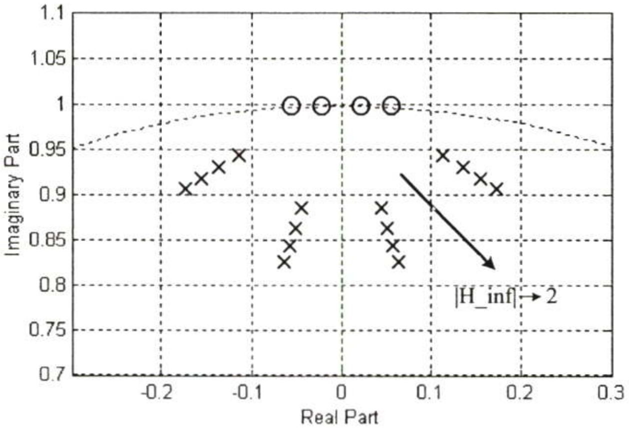
รูปที่ 3.8 วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

3.2.2 การกำหนดค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

ดังจะเห็นได้จากสมการที่ 3.11 การกำหนดคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาจะสามารถทำได้ด้วยการกำหนดค่าอัตราการป้อนกลับ และค่าอัตราการส่งผ่านสัญญาณที่เหมาะสม โดยจะเรียกค่าอัตราขยายสัญญาณทั้งสองชนิดนี้ว่า ค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตา ซึ่งการกำหนดค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาจะเริ่มจากการพิจารณาคุณสมบัติของฟังก์ชันการส่งผ่านสัญญาณรบกวนเป็นหลัก โดยขนาดสูงสุดฟังก์ชันการส่งผ่านสัญญาณรบกวน (H_inf) จะต้องมีค่าน้อยกว่า 2 เท่า (6 เดซิเบล) ตามทฤษฎีเสถียรภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา [5] โดยรูปที่ 3.9 แสดงถึงลักษณะฟังก์ชันการส่งผ่านสัญญาณรบกวนกับขนาดสูงสุดฟังก์ชันการส่งผ่านสัญญาณรบกวนค่าต่างๆ (H_inf = 1.4-1.7) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่มีคุณสมบัติดังตาราง



รูปที่ 3.9 ฟังก์ชันการส่งผ่านสัญญาณรบกวนกับค่า H_inf



รูปที่ 3.10 ตำแหน่งโพลและซีโรของฟังก์ชันการส่งผ่านสัญญาณรบกวน ดังรูปที่ 3.9

ที่ 3.1 [11] จากรูปที่ 3.9 จะเห็นได้ว่าขนาดการลดทอนสัญญาณรบกวนสูงสุดจะแปรผกผันกับขนาดสูงสุดฟังก์ชันการส่งผ่านสัญญาณรบกวน และจากตำแหน่งโพลและซีโรดังรูปที่ 3.10 จะสามารถหาสมการโพลีโนเมียลอันดับที่ 8 ของฟังก์ชันการส่งผ่านสัญญาณรบกวนที่มีคุณสมบัติการลดทอนสัญญาณรบกวนเพียงพอกับความต้องการ (ตารางที่ 3.1) ได้เท่ากับ

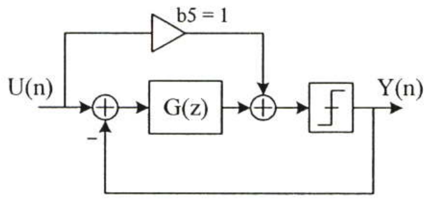
$$\frac{Y(z)}{E(z)} = \frac{\left(z^4 + 1.9873z^2 + 1\right)\left(z^4 + 1.9980z^2 + 1\right)}{z^8 + 3.0613z^6 + 3.5992z^4 + 1.9151z^2 + 0.3878} \qquad 3.12$$

จากสมการที่ 3.12 กำหนดให้ H_inf มีค่าเท่ากับ 1.6 เมื่อทำการเทียบค่าสัมประสิทธิ์ของสมการโพลีโนเมียลกับค่าสัมประสิทธิ์ฟังก์ชันการส่งผ่านสัญญาณรบกวน (สมการที่ 3.11) จะทำให้สามารถหาค่าอัตราการป้อนกลับ (g_i, a_i) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 (ดังรูปที่ 3.8) ได้ และสำหรับการกำหนดค่าอัตราการส่งผ่านสัญญาณ (b_i) จะสามารถทำได้หลายรูปแบบแต่วิธีที่ง่ายและถูกเลือกมาใช้คือ การกำหนดค่าอัตราการส่งผ่านสัญญาณเพื่อให้เกิดการหักล้างของโพลและซีโรอย่างสมบูรณ์ ($a_i = b_i$, $b_5 = 1$) โดยค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 แสดงดังตารางที่ 3.2

ตารางที่ 3.2 ค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

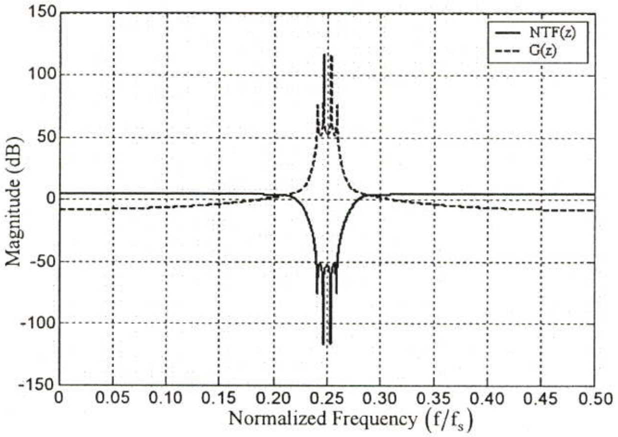
ภาคที่ (i)	1	2	3	4	5
a_i	0.0100	0.0770	0.3118	0.6122	-
b_i	0.0100	0.0770	0.3118	0.6122	1.0000
g_i	0.0020	0.0127	-	-	-

จากค่าสัมประสิทธิ์ที่ได้นี้ จะสามารถสร้างแบบจำลองของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ได้ดังรูปที่ 3.11 โดยเห็นได้ว่าวงจรกรองวงรอบ (G(z)) จะมีคุณสมบัติเป็นวงจรกรองผ่านความถี่อันดับที่ 8 (Band-pass filter) ซึ่งมีอัตราขยายในช่วงความถี่ผ่านมากกว่า 50 เดซิเบล ดังสมการที่ 3.13



รูปที่ 3.11 แบบจำลองวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ ดังรูปที่ 3.8

$$G(z) = -\frac{0.9240z^6 + 2.3714z^4 + 2.0702z^2 + 0.6122}{z^8 + 3.9853z^6 + 5.9707z^4 + 3.9853z^2 + 1} \qquad 3.13$$



รูปที่ 3.12 ผลตอบสนองทางความถี่ของวงจรกรองวงรอบ (G) และฟังก์ชันการส่งผ่านสัญญาณรบกวน : (NTF)

3.3 ความไม่เป็นอุดมคติของวงจรมอดูเลตสัญญาณซิกมาเดลตา

การประยุกต์ใช้งานวงจรมอดูเลตสัญญาณซิกมาเดลตาสำหรับฟังก์ชันการแปลงสัญญาณแอนะล็อกเป็นดิจิตอลของระบบสื่อสารในยุคปัจจุบัน มักจะทำการออกแบบวงจรด้วยเทคนิคการสวิทช์ตัวเก็บประจุ (Switched-capacitor technique) เนื่องจากสามารถทำการออกแบบวงจรทุกส่วนให้อยู่ในรูปแบบวงจรรวมได้อย่างสมบูรณ์ (Integrated circuit : IC) อย่างไรก็ตามการออกแบบวงจรด้วยเทคนิคการสวิทช์ตัวเก็บประจุ จะมีข้อจำกัดเกี่ยวกับกำลังงานสัญญาณรบกวนเชิงความร้อน

(Thermal noise) ที่เกิดขึ้น และจะนำมาซึ่งการสิ้นเปลืองกำลังงานของวงจร จึงทำให้การวิเคราะห์หาจุดเหมาะสมระหว่างค่ากำลังงานสัญญาณรบกวนเชิงความร้อน กับค่ากำลังงานสูญเสียมีความจำเป็นอย่างยิ่งสำหรับการออกแบบวงจรรวมกำลังงานต่ำ โดยการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบสวิทช์ตัวเก็บประจุ ควรจะทำการวิเคราะห์ความไม่เป็นอุดมคติต่าง ๆ ดังนี้

- สัญญาณรบกวนในวงจรสวิทช์ตัวเก็บประจุ
- ความไม่เข้าคู่กันของวงจรสอดแทรกทางเวลา
- ความไม่เป็นเชิงเส้นของค่าคงตัวเวลา

3.3.1 สัญญาณรบกวนในวงจรสวิทช์ตัวเก็บประจุ

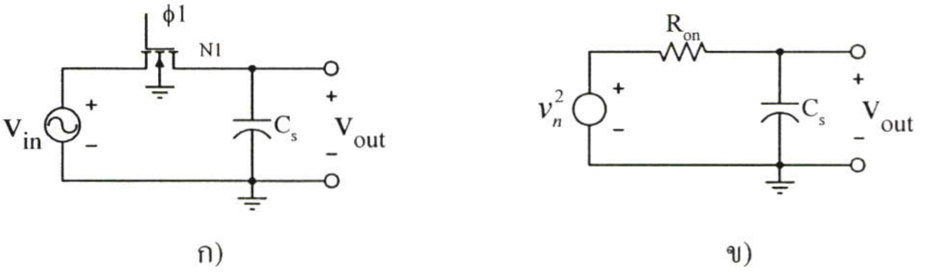
การพิจารณาเกี่ยวกับสัญญาณรบกวนที่เกิดขึ้นกับการออกแบบวงจรทั่วไป จะทำการพิจารณาถึงตัวแปรที่กำหนดขนาดกำลังงานสัญญาณรบกวน และฟังก์ชันการส่งผ่านกำลังงานสัญญาณรบกวนของวงจร โดยสัญญาณรบกวนที่จะเกิดขึ้นกับวงจรมอดูเลตสัญญาณซิกมาเดลตาสามารถแยกพิจารณาได้ 2 รูปแบบด้วยกันคือ สัญญาณรบกวนจากการจัดระดับสัญญาณ (Quantization noise) และสัญญาณรบกวนที่เกิดจากวงจรแอนะล็อก (Circuits noise) ดังได้ทำการพิจารณามาก่อนแล้วว่า กำลังงานสัญญาณรบกวนจากการจัดระดับสัญญาณจะถูกกำหนดด้วยจำนวนบิตการแปลงสัญญาณภายใน และค่าอัตราการสุ่มเกิน โดยมีฟังก์ชันการส่งผ่านสัญญาณเป็นฟังก์ชันวงจรกรองช่องบาก สำหรับสัญญาณรบกวนที่เกิดจากวงจรแอนะล็อก และส่งผลกระทบกับคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาอย่างมีนัยสำคัญประกอบด้วย สัญญาณรบกวนเชิงความร้อน และสัญญาณรบกวนจากวงจรขยาย (Opamp noise)

3.3.1.1 สัญญาณรบกวนเชิงความร้อน

การสร้างวงจรด้วยเทคนิคการสวิทช์ตัวเก็บประจุ จะประกอบด้วยตัวเก็บประจุกับแหล่งกำเนิดสัญญาณต่อเรียงกันแบบอนุกรม โดยมีทรานซิสเตอร์ทำหน้าที่เป็นสวิทช์ควบคุมกลไกการทำงานของวงจรดังรูปที่ 3.13 เนื่องจากความไม่เป็นอุดมคติของทรานซิสเตอร์สวิทช์ ซึ่งจะมีคุณสมบัติเป็นความต้านทานค่าต่ำในช่วงเวลานำกระแส (R_{on}) และเป็นสาเหตุให้เกิดสัญญาณรบกวนเชิงความร้อนที่มีขนาดกำลังงานแปรผันกับค่าความต้านทาน และอุณหภูมิดังสมการที่ 3.14

$$v_n^2 = 4kTR_{on} \quad , \quad \left(V^2/_{Hz}\right) \qquad 3.14$$

กำหนดให้ k คือ ค่าคงตัวโบลต์ซมันน์ และ T คือ ค่าอุณหภูมิองศาเคลวิน โดยสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้นจากทรานซิสเตอร์สวิทช์มีคุณสมบัติเป็นสัญญาณรบกวนแบบ white noise และจะถูกจัดรูปด้วยฟังก์ชันวงจรกรองผ่านความถี่ต่ำที่มีแบนด์วิดท์แปรผกผันกับขนาดผลคูณค่าตัวเก็บประจุการสุ่ม (C_s) กับค่าความต้านทานสวิทช์ (R_{on}) โดยขนาดกำลังงานสัญญาณรบกวนเชิงความ –

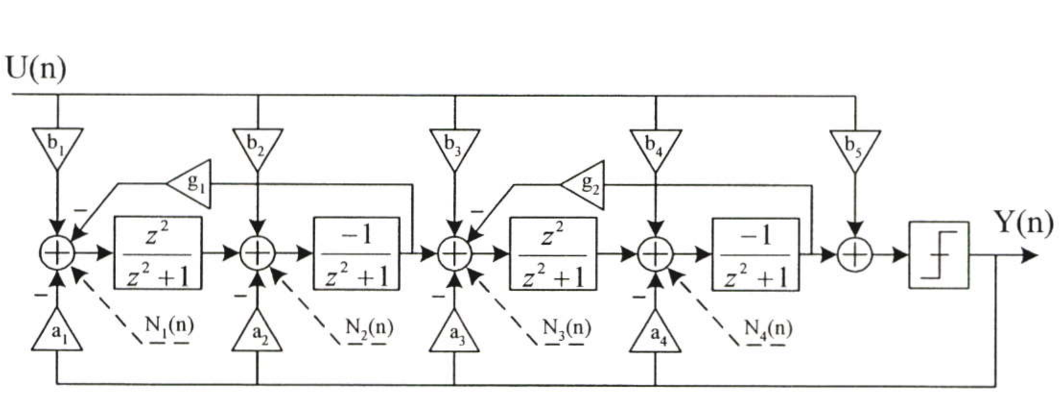


รูปที่ 3.13 ก) แบบจำลองภาคการสุ่มสัญญาณอินพุต และ ข) แบบจำลองการส่งผ่านสัญญาณรบกวนเชิงความร้อน

$$v_{n,out}^2 = \int_0^\infty \frac{4kTR_{on}}{1+\left(2\pi R_{on}C_s f\right)^2}df = \frac{kT}{C_s} \qquad 3.15$$

ร้อนที่สุ่มได้ด้วยตัวเก็บประจุจะมีค่าดังสมการที่ 3.15 ซึ่งจะเห็นว่าขนาดกำลังงานสัญญาณรบกวนเชิงความร้อนที่เกิดจากทรานซิสเตอร์สวิทช์ จะไม่แปรผันกับค่าความต้านทานสวิทช์ และมีค่าแปรผกผันกับค่าตัวเก็บประจุการสุ่ม ดังนั้นสัญญาณที่สุ่มได้ด้วยตัวเก็บประจุดังรูปที่ 3.13 ก) จะเป็นผลรวมของสัญญาณอินพุตกับสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้น

จากการวิเคราะห์คุณสมบัติสัญญาณรบกวนเชิงความร้อน ของวงจรสวิทช์ตัวเก็บประจุทำให้สามารถเขียนแบบจำลองสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตา (รูปที่ 3.8) ได้ดังรูปที่ 3.14 โดยกำหนดให้ N_i คือขนาดสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้นจากการสุ่มสัญญาณอินพุตภาคที่ i และมีค่าเท่ากับสมการที่ 3.16 [12]



รูปที่ 3.14 แบบจำลองสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตา ดังรูปที่ 3.8

$$N_i(n) = \sqrt{kT}\left[\frac{a_i}{\sqrt{C_{a,i}}}w_{a,i}(n) + \frac{b_i}{\sqrt{C_{b,i}}}w_{b,i}(n) + \frac{g_i}{\sqrt{C_{g,i}}}w_{g,i}(n) + \frac{1}{\sqrt{C_{f,i}}}w_{f,i}(n)\right] \qquad 3.16$$

กำหนดให้ $C_{x,i}$ คือ ตัวเก็บประจุการสุ่มสัญญาณอินพุตภาคที่ i a_i, b_i และ g_i คือ สัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาดังตารางที่ 3.2 และ $w_{x,i}$ คือ ค่าบรรทัดฐานการกระจายตัวแบบเกาซ์เชียน (Gaussian) ที่มีค่าส่วนเบี่ยงเบนมาตรฐานเท่ากับ 1 (Standard deviation : $\sigma = 1$)

จากแบบจำลองสัญญาณรบกวนดังรูปที่ 3.14 เมื่อทำการวิเคราะห์หาฟังก์ชันการส่งผ่านสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้นจากการสุ่มสัญญาณในแต่ละภาค ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 จะพบว่าสัญญาณรบกวนเชิงความร้อนจะถูกจัดรูปด้วยฟังก์ชันการส่งผ่านสัญญาณแบบวงจรกรองช่องบากที่มีช่วงความถี่การลดทอน (Stop-band frequency) ตรงกับช่วงความถี่การทำงานของวงจรมอดูเลตสัญญาณซิกมาดลตา ยกเว้นคุณสมบัติฟังก์ชันการส่งผ่านสัญญาณรบกวนเชิงความร้อนในภาคแรก (i=1) ซึ่งจะมีลักษณะฟังก์ชันการส่งผ่านสัญญาณแบบวงจรกรองผ่านความถี่ ที่มีอัตราขยายสัญญาณคงที่ในช่วงความถี่การทำงาน โดยฟังก์ชันการส่งผ่านสัญญาณรบกวนเชิงความร้อนในแต่ละภาค ($T_i(z)$) แสดงดังสมการที่ 3.17-3.20 โดยกำหนดให้ D(z) คือ ฟังก์ชันโพลีโนเมียลของโพลในวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

$$T_1(z) = \frac{z^4}{D(z)} \qquad 3.17$$

$$T_2(z) = \frac{z^2 + 1}{D(z)} \qquad 3.18$$

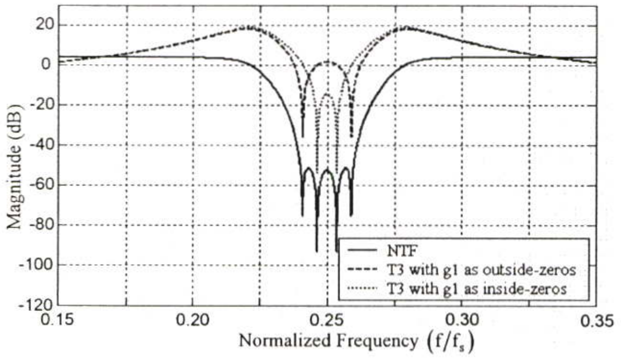
$$T_3(z) = \frac{z^4 + (2 - g_1)z^2 + 1}{D(z)} \qquad 3.19$$

$$T_4(z) = \frac{(z^2 + 1)(z^4 + (2 - g_1)z^2 + 1)}{D(z)} \qquad 3.20$$

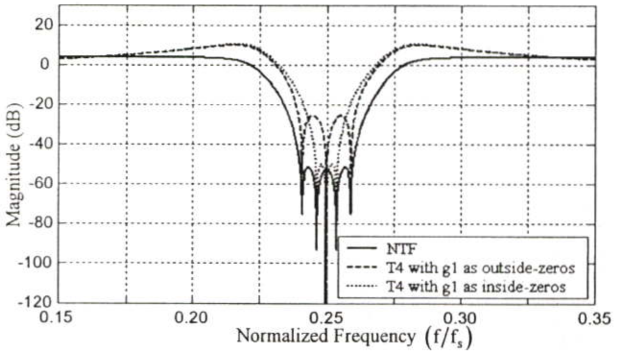
จากสมการที่ 3.17-3.18 จะพบว่าการลดทอนขนาดกำลังงานสัญญาณรบกวนเชิงความร้อนในภาคแรก และภาคที่สองที่ถูกส่งผ่านไปกับสัญญาณเอาท์พุต จะสามารถทำได้ด้วยการเพิ่มค่าตัวเก็บประจุการสุ่มสัญญาณเพียงอย่างเดียว จึงทำให้การออกแบบวงจรแอนะล็อกทั้งสองภาคค่อนข้างยาก และมีผลกับประสิทธิภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา โดยเฉพาะอย่างยิ่งการกำหนดค่าตัวเก็บประจุการสุ่มสัญญาณในภาคแรกที่ไม่เหมาะสม อาจจะนำมาซึ่งการสิ้นเปลืองกำลังงานได้

จากสมการที่ 3.19-3.20 จะพบว่าประสิทธิภาพการลดทอนกำลังงานสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้นในภาคที่สาม และภาคที่สี่จะสัมพันธ์กับการกำหนดค่าการป้อนกลับของวงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย (Lossless discrete integrator) ในภาคแรก (g_1) ดังรูปที่

3.15 ซึ่งการกำหนดค่าความถี่เรโซแนนซ์ของวงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสียในภาคแรกให้เหมาะสม จะทำให้เกิดการลดทอนกำลังงานสัญญาณรบกวนเชิงความร้อนได้สูงสุด และจากรูปที่ 3.15 เมื่อทำการคำนวณหาค่าเฉลี่ยการลดทอนสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้นจากการสุ่มสัญญาณในภาคที่สาม และภาคที่สี่ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ซึ่งมีค่าสัมประสิทธิ์กำหนดดังตารางที่ 3.2 จะได้ดังตารางที่ 3.3



ก)

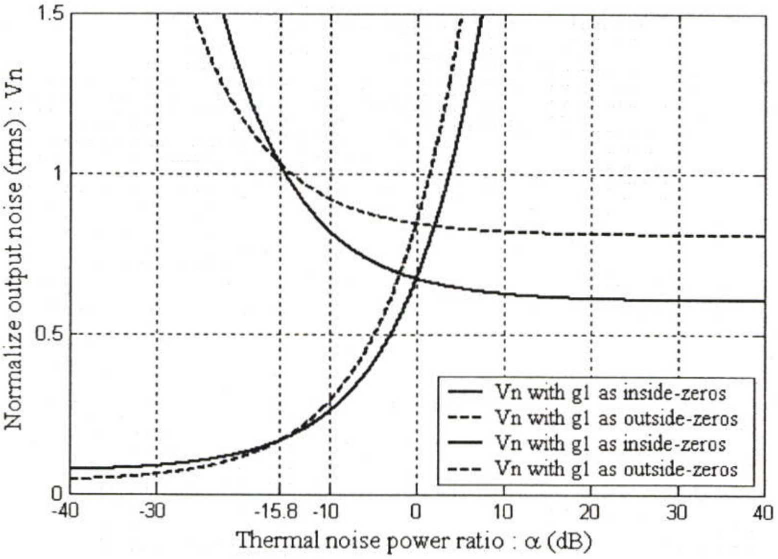


ข)

รูปที่ 3.15 ขนาดฟังก์ชันการส่งผ่านสัญญาณรบกวนเชิงความร้อน ก) ภาคที่สาม และ ข) ภาคที่สี่

ตารางที่ 3.3 ค่าเฉลี่ยการลดทอนสัญญาณรบกวนเชิงความร้อน

ค่าเฉลี่ยการลดทอนสัญญาณรบกวนเชิงความร้อน	ค่าความถี่เรโซแนนซ์ภาคแรกใกล้กับค่าความถี่กลาง (g_1 as inside-zeros)	ค่าความถี่เรโซแนนซ์ภาคแรกใกล้กับค่าความถี่ขอบ (g_1 as outside-zeros)
ภาคที่ 3	0.605	0.809
ภาคที่ 4	0.069	0.036
ผลรวม	0.674	0.845

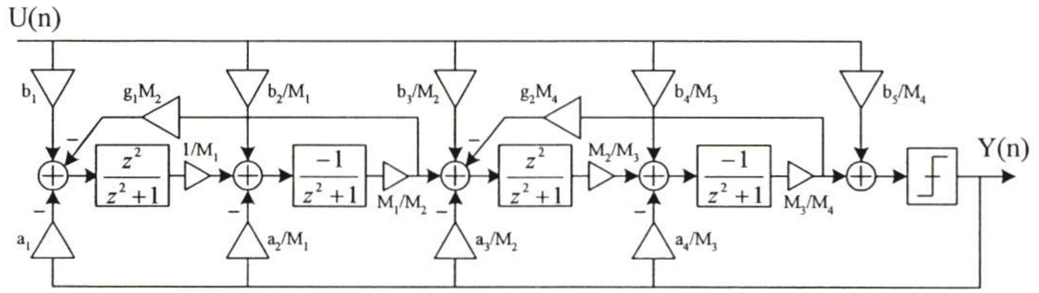


รูปที่ 3.16 ค่าบรรทัดฐานขนาดสัญญาณรบกวนเชิงความร้อนเฉลี่ยที่ภาคเอาท์พุต

จากตารางที่ 3.3 เมื่อกำหนดให้ α คือ อัตราส่วนของกำลังงานสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้นในภาคที่สามต่อกำลังงานสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้นในภาคที่สี่ จะได้ว่าการกำหนดค่าความถี่เรโซแนนซ์ของวงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสียในภาคแรก ให้อยู่ใกล้กับค่าความถี่กลาง จะทำให้เกิดประสิทธิภาพการลดทอนกำลังงานสัญญาณรบกวนเชิงความร้อนสูงสุดที่ค่าอัตราส่วนกำลังงานสัญญาณรบกวนมากกว่า 0.16 ($\alpha > 15.8$ เดซิเบล) ดังรูปที่ 3.16

อย่างไรก็ตามขนาดกำลังงานสัญญาณรบกวนเชิงความร้อนที่เกิดขึ้น สามารถทำให้มีค่าลดลงได้ด้วยการเพิ่มค่าตัวเก็บประจุการสุ่ม และค่าตัวเก็บประจุรวมสัญญาณ โดยยังคงค่าอัตราส่วนของค่าตัวเก็บประจุไว้ เพื่อให้วงจรสวิทช์ตัวเก็บประจุมีคุณสมบัติไม่เปลี่ยนแปลง แต่สำหรับวงจรสวิทช์ตัวเก็บประจุที่เกิดจากการต่อเรียงกันแบบหลั่น (Cascade connection) ของวงจรสวิทช์ตัวเก็บประจุย่อยหลาย ๆ ภาค จะสามารถทำการเพิ่มค่าตัวเก็บประจุการสุ่มได้โดยไม่ทำให้คุณสมบัติโดยรวมของวงจรเปลี่ยนแปลงไป โดยจะเรียกเทคนิคนี้ว่า เทคนิคการสเกลขนาดสัญญาณ (Signal scaling technique) โดยอัตราการส่งผ่านสัญญาณในแต่ละภาคจะถูกสเกลด้วยค่าที่เรียกว่าอัตราส่วนการสเกล (M_i) และจะทำการชดเชยอัตราการส่งผ่านสัญญาณในวงจรภาคถัดไป [13] ซึ่งการประยุกต์ใช้เทคนิคการสเกลขนาดสัญญาณ กับวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 แสดงได้ดังรูปที่ 3.17

$$M_i = \frac{\text{Maximum output signal swing of } i^{th} \text{ stage}}{\text{Maximum amplifier output swing of } i^{th} \text{ stage}} \qquad 3.21$$



รูปที่ 3.17 เทคนิคการสเกลขนาดสัญญาณกับวงจรมอดูเลตสัญญาณซิกมาเดลตา
แบบผ่านแถบความถี่อันดับที่ 8

จากรูปที่ 3.17 จะเห็นว่าเทคนิคการสเกลขนาดสัญญาณในวงจรสวิทช์ตัวเก็บประจุภาคสุดท้าย (i = 4) จะประยุกต์ใช้กับวงจรมอดูเลตสัญญาณซิกมาเดลตาที่มีจำนวนบิตการจัดระดับสัญญาณภายในมากกว่า 1 บิตไม่ได้ (B > 1) เนื่องจากจะทำให้คุณสมบัติโดยรวมเปลี่ยนแปลงไป

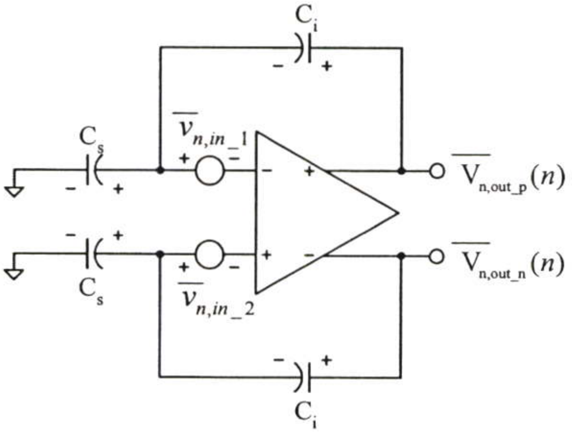
3.3.1.2 สัญญาณรบกวนจากวงจรขยาย

สัญญาณรบกวนจากวงจรขยายสัญญาณทั่วไป จะเป็นสัญญาณรบกวนที่เกิดขึ้นจากตัวอุปกรณ์แอนะล็อก โดยสัญญาณรบกวนที่มีขนาดกำลังงานค่อนข้างมาก และสามารถส่งผลกระทบกับประสิทธิภาพของวงจรโดยรวมได้คือ สัญญาณรบกวนเชิงความร้อนที่เกิดจากช่องทางกระแส (Channel) และสัญญาณรบกวนบริเวณผิวรอยต่อของเนื้อสาร (Flicker noise : 1/f) ของทรานซิสเตอร์แบบมอสเฟต (MOSFET) ซึ่งขนาดกำลังงานสัญญาณรบกวนของทรานซิสเตอร์แบบมอสเฟตจะสัมพันธ์กับค่าทรานส์คอนดักแตนซ์ (Transconductance : gm) และขนาดบริเวณช่องทางกระแส [14] โดยกำลังงานสัญญาณรบกวนที่เกิดจากทรานซิสเตอร์แต่ละตัว จะถูกส่งผ่านไปที่ภาคเอาท์พุตของวงจรขยายด้วยฟังก์ชันการส่งผ่านที่แตกต่างกัน และแปรผันกับโครงสร้างของวงจรขยายสัญญาณ ซึ่งแบบจำลองสัญญาณรบกวนจากวงจรขยายจะกำหนดได้ด้วยแหล่งกำเนิดสัญญาณรบกวนที่ภาคอินพุต เรียกว่า สัญญาณรบกวนเสมือนภาคอินพุต (Input refer noise : $\overline{v_{n,in}^2}$) และเนื่องจากวงจรขยายได้ถูกนำไปใช้งานในวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ (ดังจะกล่าวถึงในบทที่ 4) การวิเคราะห์หาลักษณะฟังก์ชันการส่งผ่านสัญญาณรบกวนของวงจรขยายจะทำได้ดังรูปที่ 3.18

จากรูปที่ 3.18 สามารถเขียนสมการการถ่ายโอนประจุได้ดังสมการที่ 3.22 และเมื่อทำการแปลงแซดกับสมการการถ่ายโอนประจุ จะได้ฟังก์ชันการส่งผ่านกำลังงานสัญญาณรบกวนดังสมการที่ 3.23

$$Q_{Ci}(n) = Q_{Ci}(n-2) + Q_{Cs}(n) \qquad 3.22$$

$$\overline{V_{n,out_p,n}} = \frac{1}{z^2+1}\overline{V_{n,in_1}} + \frac{1}{\beta}\frac{z^2}{z^2+1}\overline{V_{n,in_2}} \qquad 3.23$$



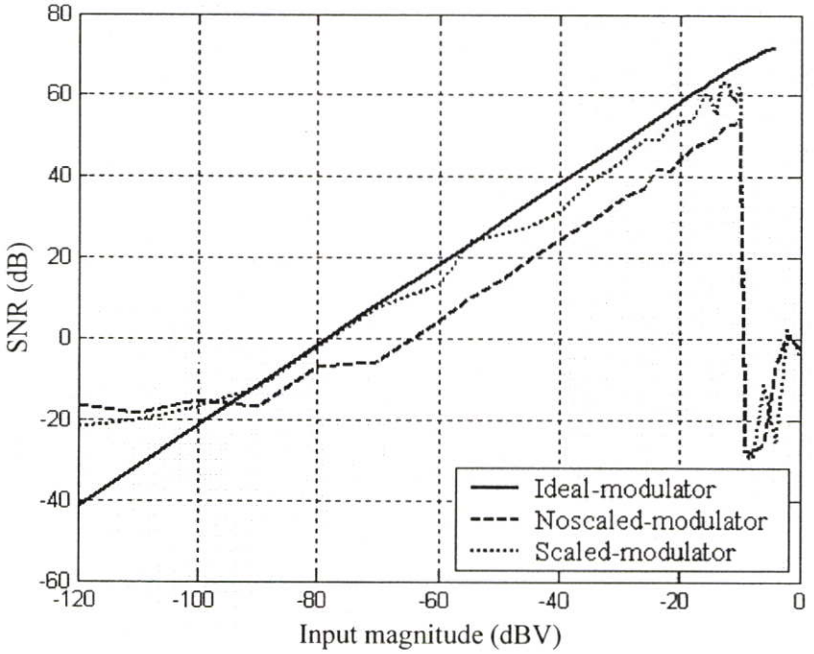
รูปที่ 3.18 แบบจำลองการส่งผ่านสัญญาณรบกวนจากวงจรขยายสัญญาณ

กำหนดให้ β คือ อัตราการป้อนกลับของวงจรขยายสัญญาณมีค่าเท่ากับ $C_i/(C_i+C_s)$ และจากสมการที่ 3.23 เห็นได้ว่าขนาดสัญญาณรบกวนเสมือนภาคอินพุตของวงจรขยาย จะถูกส่งผ่านไปที่ภาคเอาท์พุตของวงจร ด้วยฟังก์ชันการส่งผ่านสัญญาณแบบวงจรเรโซเนเตอร์เช่นเดียวกับสัญญาณอินพุต อย่างไรก็ตามเมื่อพิจารณาร่วมกับสมการการส่งผ่านสัญญาณรบกวนดังสมการที่ 3.18-3.20 จะพบว่า ขนาดกำลังงานสัญญาณรบกวนจากวงจรขยายที่ภาคเอาท์พุตของวงจรเรโซเนเตอร์แต่ละภาคจะถูกจัดรูปด้วยฟังก์ชันวงจรกรองแบบช่องบาก จึงทำให้ขนาดกำลังงานสัญญาณรบกวนจากวงจรขยายสัญญาณที่ภาคเอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตามีค่าต่ำ

จากการวิเคราะห์หาขนาดกำลังงานสัญญาณรบกวน และฟังก์ชันการส่งผ่านสัญญาณรบกวนทั้งสองรูปแบบ (3.3.1) ทำให้สามารถสร้างแบบจำลองสัญญาณรบกวนที่เกิดจากวงจรแอนะล็อกของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 และทำการจำลองการทำงานได้ใกล้เคียงความเป็นจริงมากขึ้น ซึ่งจากผลการจำลองการทำงานที่ได้จากแบบจำลองสัญญาณรบกวนด้วยโปรแกรม Simulink จะสามารถนำไปกำหนดค่าตัวแปร หรือสภาวะเหมาะสมของวงจรมอดูเลตสัญญาณซิกมาเดลตาได้ จากรูปที่ 3.19 จะเห็นได้ว่าเทคนิคการสเกลขนาดสัญญาณจะทำให้ค่าพิสัยพลวัต (Dynamic range : DR) และค่า SNR ของวงจรมอดูเลตสัญญาณซิกมาเดลตามีค่าเพิ่มขึ้นอย่างชัดเจน และมีค่าใกล้เคียงกับผลการคำนวณด้วยฟังก์ชันการส่งผ่านสัญญาณรบกวนแบบอุดมคติ ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ดังสมการที่ 3.12 ซึ่งมีค่าอัตราส่วนการสเกล (M_i) ดังตารางที่ 3.4 โดยกำหนดให้ขนาดการแกว่งสูงสุดของวงจรขยายในแต่ละภาคมีค่าเท่ากับ 0.4, 0.2, 0.4 และ 0.15 ตามลำดับ

ตารางที่ 3.4 ค่าอัตราส่วนการสเกลขนาดสัญญาณในแต่ละภาค

i	1	2	3	4
ค่าอัตราส่วนการสเกลสัญญาณภาคที่ (M_i)	0.0242	0.4060	0.6370	3.7727



รูปที่ 3.19 ผลการสเกลขนาดสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตา

จากรูปที่ 3.19 เป็นผลการคำนวณกำลังงานสเปกตรัมด้วยการแปลงฟูเรียร์ (Fourier transform) ของค่าการสุ่มสัญญาณเอาท์พุตดิจิตอล 1 บิต จำนวน 8192 จุด ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ซึ่งผ่านการคูณด้วยหน้าต่างแบบไกเซอร์ (Kaiser-window) ที่มีค่าตัวแปรเท่ากับ 7 โดยกำหนดให้จำนวนจุดของกลุ่มสัญญาณอินพุต (Bins) ในย่านความถี่การทำงานเท่ากับ 5 จุด และ 3 จุด สำหรับสัญญาณอินพุตขนาดเล็ก (V_{in} < -40 เดซิเบล)

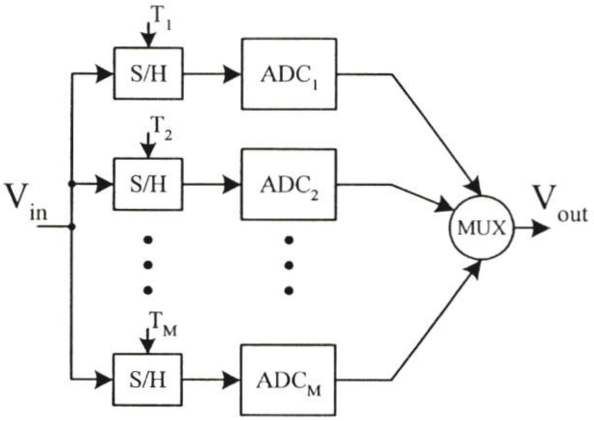
3.3.2 ความไม่เข้าคู่กันของวงจรสอดแทรกทางเวลา

การออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลที่มีความเร็วสูง สามารถสร้างได้จากการประยุกต์ใช้เทคนิคการสอดแทรกทางเวลา (Time-interleaving technique) ซึ่งเป็นการประมวลผลสัญญาณแบบคู่ขนานของวงจรความเร็วต่ำหลาย ๆ วงจร ที่ทำงานด้วยสัญญาณนาฬิกาที่ต่างเฟสกัน [15] ดังรูปที่ 3.20 โดยเทคนิคการสอดแทรกทางเวลาที่เป็นที่รู้จัก และนิยมในการออกแบบวงจรสวิทช์ตัวเก็บประจุกันอย่างแพร่หลาย คือ เทคนิคการสุ่มคู่ (Double-sampling technique) ซึ่งเป็นวงจรสอดแทรกทางเวลาที่มีจำนวนวงจร 2 วงจร (M = 2) ทำงานด้วยสัญญาณนาฬิกาแบบไม่คาบเกี่ยว (Non-overlap clock phase) ร่วมกับการประยุกต์ใช้เทคนิคการแบ่ง

นาฬิกาแบบไม่คาบเกี่ยว (Non-overlap clock phase) ร่วมกับการประยุกต์ใช้เทคนิคการแบ่งช่วงเวลาทำงานของวงจรขยาย (Opamp sharing technique) [16] จากคุณสมบัติดังกล่าวทำให้อัตราการทำงานโดยรวมของวงจรเพิ่มขึ้นสองเท่า อย่างไรก็ตามการออกแบบวงจรด้วยเทคนิคการสอดแทรกทางเวลา จะต้องพบกับปัญหาความไม่เข้าคู่กันของวงจรในแต่ละช่อง (Channel mismatch) ซึ่งประกอบด้วยความไม่เข้าคู่กันของค่าออฟเซต ค่าอัตราขยายของวงจร และการเลื่อนเวลาการสุ่ม (Time skewing) ซึ่งความไม่เป็นอุดมคติของวงจรสอดแทรกทางเวลาดังกล่าวจะทำให้เกิดสัญญาณรบกวนซ้ำคาบ (Tone) และสัญญาณเงา (Image signal) ขึ้นในระนาบความถี่ [15], [17], [18] ซึ่งค่าความถี่สัญญาณเงาที่เกิดขึ้นจะสัมพันธ์กับค่าความถี่สัญญาณอินพุต และจำนวนช่องวงจร (M) ดังสมการที่ 3.24

$$f_{tone} = k\frac{f_s}{M} \qquad , k = 1, 2, 3, \ldots \qquad 3.24$$

$$f_{image} = \pm f_{in} + k\frac{f_s}{M} \qquad , k = 1, 2, 3, \ldots \qquad 3.25$$

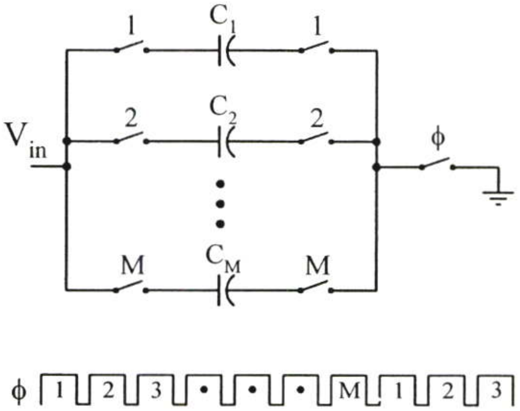


รูปที่ 3.20 เทคนิคการสอดแทรกทางเวลากับการแปลงสัญญาณแอนะล็อกเป็นดิจิตอล

จากสมการที่ 3.25 จะพบว่าความไม่เข้าคู่กันของวงจรสอดแทรกทางเวลาสำหรับวงจรสวิทช์ตัวเก็บประจุที่มีการประยุกต์ใช้เทคนิคการสุ่มคู่เพื่อเพิ่มอัตราการสุ่มเป็นสองเท่า และมีขนาดแบนด์วิดท์กว้างมากกว่า $f_s/4$ จะทำให้เกิดสัญญาณเงาในย่านความถี่การทำงานได้ เช่นเดียวกันกับวงจรมอดู-เลตสัญญาณซิกมาเดลตาที่มีค่าความถี่กลางอยู่ที่มุม $\pi/2$

โดยทั่วไปแล้วความไม่เข้าคู่กันของค่าอัตราขยายวงจรสวิทช์ตัวเก็บประจุ จะสัมพันธ์กับอัตราส่วนค่าตัวเก็บประจุที่ใช้ในการถ่ายโอนประจุ ดังนั้นการลดขนาดกำลังงานของสัญญาณเงา

สามารถทำได้ด้วยเทคนิคการออกแบบวงจรทางกายภาพ (Layout technique) แต่สำหรับความไม่เป็นอุดมคติของการเลื่อนเวลาการสุ่มของวงจรสวิทช์ตัวเก็บประจุนั้น การสร้างวงจรกำเนิดสัญญาณนาฬิกาที่มีความแม่นยำทางเวลาสูงสามารถทำได้ยาก ซึ่งวิธีแก้ปัญหาการเลื่อนเวลาการสุ่มได้อย่างสิ้นเชิง สามารถทำได้ด้วยการใช้วงจรสุ่มสัญญาณที่มีอัตราการสุ่มสูงแบบร่วม (Two-rank sample-and-hold) [19] แต่จะนำมาซึ่งการสิ้นเปลืองกำลังงานของวงจรสุ่มสัญญาณภาคอินพุต

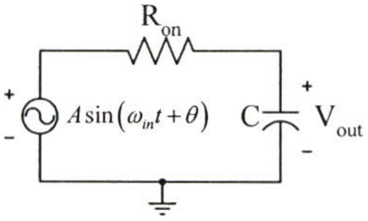


รูปที่ 3.21 เทคนิคการสุ่มสัญญาณแบบสวิทช์ร่วม (Global sampling technique)

การลดผลของความไม่เป็นอุดมคติการเลื่อนเวลาการสุ่ม สามารถทำได้ด้วยการใช้ทรานซิสเตอร์สวิทช์ควบคุมการสุ่มแบบร่วม (Global sampling technique) [20], [21] ดังรูปที่ 3.21 แทนการใช้วงจรสุ่มสัญญาณร่วม เนื่องจากทรานซิสเตอร์สวิทช์เป็นอุปกรณ์แบบเฉื่อยงาน (Passive component) จึงทำให้สูญเสียกำลังงานต่ำ โดยข้อเสียของเทคนิคการสุ่มสัญญาณแบบสวิทช์ร่วม จะอยู่ที่ค่าคงตัวเวลาของภาคการสุ่มสัญญาณที่เพิ่มขึ้น ทำให้ต้องเพิ่มขนาดของทรานซิสเตอร์สวิทช์และจะนำมาซึ่งความไม่เป็นเชิงเส้นของขนาดการส่งผ่านสัญญาณนาฬิกา (Clock feedthrough) และการฉีดประจุ (Charge injection) ที่มากขึ้น อย่างไรก็ตามการลดผลของความไม่เป็นเชิงเส้นดังกล่าวจะทำได้ง่ายด้วยเทคนิคการกำหนดลำดับการเปิด-ปิดสวิทช์การสุ่มสัญญาณ (Bottom-plate sampling technique) [22]

3.3.3 ความไม่เป็นเชิงเส้นของค่าคงตัวเวลา

การสุ่มสัญญาณของวงจรสวิทช์ตัวเก็บประจุ สามารถเขียนเป็นแบบจำลองได้ด้วยวงจรกรองผ่านความถี่ต่ำอันดับที่ 1 แบบตัวเก็บประจุกับความต้านทานดังรูปที่ 3.22 โดยค่าแรงดันตกคร่อมตัวเก็บประจุจะแปรผันกับค่าคงตัวเวลา (τ) ซึ่งเป็นผลคูณของค่าตัวเก็บประจุ (C) กับค่าความต้านทาน (R_{on}) โดยจะสามารถหาค่าแรงดันผิดพลาดจากการสุ่ม (V_{err}) สัญญาณอินพุตแบบคลื่นไซน์ได้เท่ากับสมการที่ 3.26 (ภาคผนวก ข)



รูปที่ 3.22 แบบจำลองการสุ่มสัญญาณ

$$V_{err} = \frac{A}{\sqrt{1+\left(\omega_{in}R_{on}C\right)^2}}\sin\left(\theta-\beta\right)e^{-\frac{T_S}{R_{on}C}} \quad 3.26$$

กำหนดให้ $\beta = \tan^{-1}\left(\omega_{in}R_{on}C\right)$, A คือ ขนาดสัญญาณคลื่นไซน์, ω_{in} คือ ค่าความถี่เชิงมุมสัญญาณคลื่นไซน์, θ คือ การเลื่อนเฟสของสัญญาณคลื่นไซน์ และ T_s คือ คาบเวลาการสุ่มสัญญาณ เนื่องจากค่าความต้านทานในแบบจำลองการสุ่มสัญญาณเป็นความต้านทานที่ขาซอส และเดรนของทรานซิสเตอร์สวิทช์ ซึ่งจะสัมพันธ์กับค่าแรงดันที่ขาเกท ซอส และเดรนของทรานซิสเตอร์ จึงทำให้คุณสมบัติของทรานซิสเตอร์สวิทช์เป็นตัวแปรสำคัญ ที่กำหนดค่าความไม่เป็นเชิงเส้นของวงจรสวิทช์ตัวเก็บประจุ [23] โดยเฉพาะอย่างยิ่งการออกแบบวงจรสวิทช์ตัวเก็บประจุที่แรงดันแหล่งจ่ายต่ำ จะทำให้มีความจำเป็นต้องใช้วงจรแอนะล็อกสวิทช์ที่ซับซ้อน เพื่อลดผลความไม่เป็นเชิงเส้นดังกล่าว ซึ่งสามารถสรุปวิธีการแก้ปัญหาได้สองแนวทางหลัก ๆ ด้วยกันคือ การลดผลของค่าคงตัวเวลา (Gate-voltage doubler) และการลดผลของความไม่เป็นเชิงเส้นของทรานซิสเตอร์สวิทช์ (Transmission gate และBootstrapped switch)

บทที่4

วงจรเรโซเนเตอร์และการออกแบบวงจรส่วนต่าง ๆ

4.1 วงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ

วงจรเรโซเนเตอร์เป็นส่วนที่สำคัญ สำหรับวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ดังจะเห็นได้จากรูปที่ 3.8 ซึ่งมีฟังก์ชันของวงจรเรโซเนเตอร์แบบอุดมคติอยู่สองรูปแบบ โดยทั้งสองรูปแบบจะมีค่าความถี่เรโซแนนซ์อยู่ที่มุม π/2 บนระนาบแซด ($\omega_0 = \pi/2$) แต่จะต่างกันเพียงลักษณะการส่งผ่านสัญญาณอินพุตเท่านั้น และเมื่อเขียนความสัมพันธ์สัญญาณอินพุตกับสัญญาณเอาท์พุตของวงจรเรโซเนเตอร์ทั้งสองรูปแบบในระนาบของเวลาจะได้ดังสมการที่ 4.2

$$R_1(z) = \frac{-1}{z^2+1} \quad , \quad R_2(z) = \frac{z^2}{z^2+1} \qquad 4.1$$

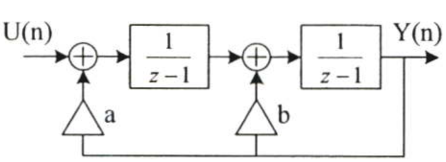
$$v_o(n) = -v_{in}(n-2) - v_o(n-2) \quad , \quad v_o(n) = v_{in}(n) - v_o(n-2) \qquad 4.2$$

จากสมการที่ 4.2 จะเห็นได้ว่าฟังก์ชันของวงจรเรโซเนเตอร์ดังกล่าว เป็นการหาค่าผลต่างของสัญญาณอินพุตกับสัญญาณเอาท์พุตที่ถูกหน่วงไว้ 2 คาบเวลา โดยวิธีการสร้างวงจรแอนะลอกเลียนแบบพฤติกรรมดังกล่าวสามารถทำได้หลายวิธีด้วยกัน ซึ่งจะทำให้เกิดโครงสร้างของวงจรเรโซเนเตอร์แบบเวลาไม่ต่อเนื่องหลายรูปแบบดังนี้คือ

- วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ (Forward-Euler : FE)
- วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย (Lossless discrete integrator :LDI)
- วงจรเรโซเนเตอร์แบบทูดีเลย์ลูป (Two-delay loop : TDL)

4.1.1 วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ (FE)

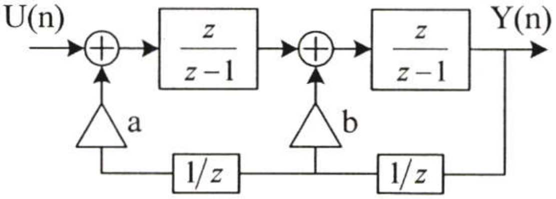
วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ คือ วงจรเรโซเนเตอร์แบบเวลาไม่ต่อเนื่องที่ประกอบด้วย วงจรอินทิเกรตสัญญาณ 2 วงจรที่มีคุณสมบัติเหมือนกันต่อเรียงกันแบบหลั่นด้วยวงรอบการป้อนกลับสองวงรอบดังรูปที่ 4.1 เมื่อคำนวณหาสมการการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์จะได้เท่ากับสมการที่ 4.3 และจากสมการที่ 4.3 เมื่อกำหนดให้อัตราการป้อนกลับทั้งสองมีค่าเท่ากับ -2 (a = b = -2) จะทำให้วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์มี



รูปที่ 4.1 วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ , $R_1(z)$

$$\frac{Y(z)}{U(z)} = \frac{1}{z^2 - (2+b)z + (1-a+b)} \qquad 4.3$$

คุณสมบัติเหมือนกับวงจรเรโซเนเตอร์แบบอุดมคติที่มีค่าความถี่เรโซแนนซ์อยู่ที่มุม π/2 ($R_1(z)$) และเมื่อกำหนดให้วงจรอินทิเกรตสัญญาณภายในวงรอบ มีคุณสมบัติไม่หน่วงค่าสัญญาณอินพุต (Delay free integrator) โดยทำการหน่วงค่าการป้อนกลับสัญญาณเอาท์พุตดังรูปที่ 4.2 จะทำให้ได้สมการการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบอุดมคติ ที่มีค่าความถี่เรโซแนนซ์อยู่ที่มุม π/2 ($R_2(z)$) ดังสมการที่ 4.1

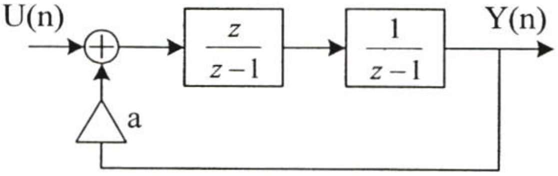


รูปที่ 4.2 วงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ , $R_2(z)$

จากฟังก์ชันการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบฟอร์เวิร์ทอูเลอร์ จะเห็นได้ว่าคุณสมบัติที่สำคัญของวงจรเรโซเนเตอร์จะขึ้นอยู่กับความเข้าคู่กัน (Matching) และความแม่นยำ (Accuracy) ในการกำหนดค่าอัตราการป้อนกลับ a และ b [24] โดยความคลาดเคลื่อนของค่าความถี่เรโซแนนซ์ (Δf_0) จะขึ้นอยู่กับความแม่นยำในการกำหนดค่าอัตราการป้อนกลับ b ส่วนค่าอัตราขยายสูงสุดหรือค่าตัวประกอบคุณภาพ (Quality factor : Q) ของวงจรเรโซเนเตอร์แบบฟอร์-เวิร์ทอูเลอร์จะขึ้นอยู่กับความเข้าคู่กันของค่าอัตราการป้อนกลับทั้งสอง

4.1.2 วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย (LDI)

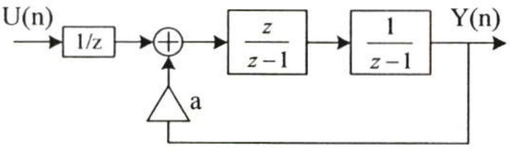
วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย คือ วงจรเรโซเนเตอร์แบบเวลาไม่ต่อเนื่องที่ประกอบด้วยวงจรอินทิเกรตสัญญาณ 2 วงจร ที่มีคุณสมบัติการส่งผ่านสัญญาณอินพุตต่างกันต่อเรียงกันแบบหลั่นด้วยวงรอบการป้อนกลับเพียงหนึ่งวงรอบดังรูปที่ 4.3 เมื่อทำการคำนวณหาสมการการส่งผ่านสัญญาณจะได้เท่ากับสมการที่ 4.4 และจากสมการที่ 4.4 เมื่อกำหนดให้อัตราการป้อนกลับมีค่าเท่ากับ -2 (a = -2) จะทำให้วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสียมีคุณสมบัติเป็นวงจรเรโซเนเตอร์แบบอุดมคติที่มีค่าความถี่เรโซแนนซ์อยู่ที่มุม π/2



รูปที่ 4.3 วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย

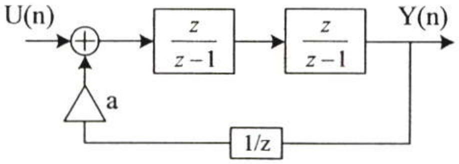
$$\frac{Y(z)}{U(z)} = \frac{z}{z^2 - (2+a)z + 1} \qquad 4.4$$

โดยฟังก์ชันการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบอุดมคติทั้งสองรูปแบบดังสมการที่ 4.1 สามารถสร้างจากคุณสมบัติของวงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสียได้ ด้วยการเพิ่มวงจรหน่วงค่าการป้อนกลับ หรือเพิ่มวงจรหน่วงค่าสัญญาณอินพุตดังรูปที่ 4.4



$$\frac{Y(z)}{U(z)} = \frac{1}{z^2 - (2+a)z + 1}$$

ก)



$$\frac{Y(z)}{U(z)} = \frac{z^2}{z^2 - (2+a)z + 1}$$

ข)

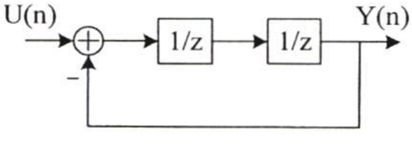
รูปที่ 4.4 วงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย ก) $R_1(z)$ และ ข) $R_2(z)$

จากฟังก์ชันการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบวงจรอินทิเกรตไม่สูญเสีย จะเห็นได้ว่าค่าอัตราขยายสูงสุดหรือค่าตัวประกอบคุณภาพจะมีค่าไม่จำกัด ($Q \rightarrow \infty$) หรือเข้าใกล้ความเป็นอุดมคติ แต่ความคลาดเคลื่อนของค่าความถี่เรโซแนนซ์จะยังขึ้นอยู่กับความแม่นยำในการกำหนดค่าอัตราการป้อนกลับ a

4.1.3 วงจรเรโซเนเตอร์แบบทูดีเลย์ลูป (TDL)

วงจรเรโซเนเตอร์แบบทูดีเลย์ลูป คือ วงจรเรโซเนเตอร์แบบเวลาไม่ต่อเนื่องที่ประกอบด้วย วงจรหน่วงค่าสัญญาณ 2 วงจร ต่อเรียงกันแบบหลั่นด้วยวงรอบการป้อนกลับที่มีอัตราการป้อนกลับเท่ากับ -1 ดังรูปที่ 4.5 เมื่อทำการคำนวณหาสมการการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบทูดีเลย์ลูป จะได้เท่ากับสมการที่ 4.5 ซึ่งฟังก์ชันการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์ $R_2(z)$ สามารถสร้างได้ด้วยการเปลี่ยนตำแหน่งของวงจรหน่วงค่าสัญญาณทั้งสองให้อยู่ในวงรอบการป้อนกลับ

$$\frac{Y(z)}{U(z)} = \frac{1}{z^2 + 1} \qquad 4.5$$

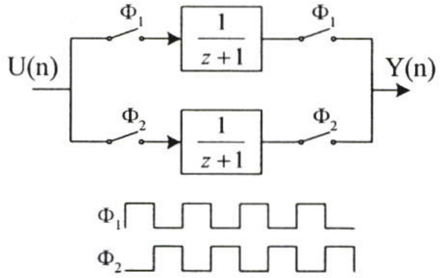


รูปที่ 4.5 วงจรเรโซเนเตอร์แบบทูดีเลย์ลูป

จากสมการที่ 4.5 เห็นได้ว่าวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปจะมีค่าความถี่เรโซแนนซ์อยู่ที่มุม π/2 โดยไม่ขึ้นกับค่าตัวแปรใดๆ และค่าอัตราขยายสูงสุดหรือค่าตัวประกอบคุณภาพของวงจรเรโซเนเตอร์จะมีค่าไม่จำกัด จึงทำให้วงจรเรโซเนเตอร์แบบทูดีเลย์ลูปมีคุณสมบัติที่เหมาะสมสำหรับการนำไปใช้งานที่ความถี่เรโซแนนซ์เท่ากับ $f_s/4$

สำหรับการสร้างวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปด้วยเทคนิคการสวิทช์ตัวเก็บประจุ อาจจะทำได้ด้วยการใช้วงจรสุ่มและคงค่าตัวอย่าง (Sample and Hold circuits : S/H) แทนวงจรหน่วงค่าสัญญาณ [25] แต่เนื่องจากวงจรสุ่มและคงค่าตัวอย่างแบบเทคนิคสวิทช์ตัวเก็บประจุ จะมีค่าอัตราการส่งผ่านสัญญาณ หรืออัตราขยายสัญญาณขึ้นอยู่กับอัตราส่วนของค่าตัวเก็บที่ใช้ในการถ่ายโอนประจุ ดังนั้นค่าอัตราขยายสูงสุด หรือค่าตัวประกอบคุณภาพของวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปจึงมีค่าจำกัด และจะแปรผันกับความไม่เข้าคู่กันของค่าตัวเก็บประจุของวงจรสุ่มและคงค่าตัวอย่าง ซึ่งค่าอัตราขยายสูงสุดที่จำกัดนี้ จะทำให้ขนาดการลดทอนสัญญาณรบกวนของฟังก์ชันการส่งผ่านสัญญาณรบกวนลดลง [26] โดยการลดผลของความไม่เข้าคู่กันของค่าตัวเก็บประจุการสุ่มกับค่าตัวเก็บประจุคงค่าตัวอย่าง จะสามารถทำได้ด้วยการใช้วงจรสุ่มและคงค่าตัวอย่างแบบใช้ตัวเก็บประจุร่วม [27] อย่างไรก็ตามคุณสมบัติความไม่เป็นอุดมคติของวงจรขยาย จะเป็นตัวแปรที่สำคัญสำหรับวงจรสุ่มและคงค่าตัวอย่าง และจะนำมาซึ่งความไม่เป็นอุดมคติของวงจรเรโซเนเตอร์

จากฟังก์ชันการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปดังสมการที่ 4.5 เมื่อทำการแปลงแซดผกผัน (Inverse z-transform) จะเห็นได้ว่าสัญญาณเอาท์พุตของวงจรเรโซเนเตอร์จะเป็นผลต่างของสัญญาณอินพุตกับสัญญาณเอาท์พุตที่ถูกหน่วงเวลาไว้ 2 คาบเวลา จากคุณสมบัติที่กล่าวไปนี้ทำให้เทคนิคการสอดแทรกทางเวลา (Time-interleaved technique) ที่มีฟังก์ชันวงจรผลต่างแบบเวลาไม่ต่อเนื่อง 2 วงจร (Differentiators) ที่มีคุณสมบัติเหมือนกันแต่ทำงานที่เวลาต่างกัน (Two-path technique) ดังรูปที่ 4.6 ได้ถูกนำมาประยุกต์ใช้กับการสร้างวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปแบบเวลาไม่ต่อเนื่อง [28] เพื่อลดความต้องการคุณสมบัติของวงจรขยายในวงจรสวิทช์ตัวเก็บประจุ อย่างไรก็ตามการเพิ่มจำนวนวงจรขยายสำหรับเทคนิคการสอดแทรกทางเวลานั้นจะนำมาซึ่งความสิ้นเปลืองกำลังงานของวงจร



รูปที่ 4.6 วงจรเรโซเนเตอร์แบบทูดีเลย์ลูปกับเทคนิคการสอดแทรกทางเวลา (Two-path Band-pass filter)

เนื่องจากวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปกับเทคนิคการสอดแทรกทางเวลา จะมีการทำงานเป็นวงจรหน่วงค่าสัญญาณเอาท์พุตเพื่อหาค่าผลต่างของสัญญาณ โดยการหน่วงค่าสัญญาณสามารถทำได้ด้วยวงจรเลื่อนข้อมูล (Shift register circuit) ซึ่งสร้างได้ด้วยการถ่ายโอนประจุระหว่างกันของกลุ่มตัวเก็บประจุ [29] และจะเรียกวงจรกรองสัญญาณลักษณะนี้ว่า วงจรกรองสัญญาณเลียนแบบการสอดแทรกทางเวลา (Pseudo N-path filters) [30] และจะเรียกวงจรเรโซเนเตอร์ที่มีโครงสร้างลักษณะนี้ว่า วงจรเรโซเนเตอร์เลียนแบบการสอดแทรกทางเวลา 2 เส้นทาง (Pseudo two-path resonator : P2P) ข้อดีของวงจรเรโซเนเตอร์โครงสร้างนี้คือ การลดจำนวนวงจรขยายให้เหลือเพียงหนึ่งวงจร ซึ่งจะทำให้ลดการสิ้นเปลืองกำลังงานของวงจรลงได้ แต่จากข้อดีดังกล่าวทำให้วงจรกรองสัญญาณที่ใช้เทคนิคการเลื่อนข้อมูล มักจะมีกลไกการถ่ายโอนประจุระหว่างตัวเก็บประจุที่ซับซ้อน และต้องการจำนวนสัญญาณนาฬิกาที่มีเฟสต่างกันสำหรับควบคุมสวิทช์ค่อนข้างมาก อย่างไรก็ตามนอกจากการหน่วงค่าสัญญาณด้วยเทคนิคการเลื่อนข้อมูลแล้ว การหน่วงค่าสัญญาณด้วยวงจรสวิทช์ตัวเก็บประจุ อาจจะทำได้ด้วยการเก็บค่าสัญญาณไว้ภายในหน่วยความจำแบบแอนะลอกแล้วจึงนำออกมาใช้ในช่วงเวลาที่ต้องการ ซึ่งสามารถทำได้ด้วยการเปลี่ยนค่าสัญญาณให้อยู่ในรูปของประจุไฟฟ้าแล้วเก็บประจุไฟฟ้าเหล่านี้ไว้ด้วยตัวเก็บประจุ โดยสามารถเปลี่ยนค่าประจุไฟฟ้าให้กลับเป็นค่าสัญญาณเดิมได้ด้วยการถ่ายโอนประจุ ซึ่งจะทำให้สามารถลดความซับซ้อนของกลไกการเลื่อนข้อมูลลงได้ และเรียกวงจรกรองสัญญาณที่ใช้การหน่วงค่าสัญญาณแบบหน่วยความจำแอนะลอกนี้ว่า วงจรกรองสัญญาณเลียนแบบการสอดแทรกทางเวลาชนิดหน่วยความจำ (RAM-type pseudo N-path filters) [31] ซึ่งข้อเสียของวงจรกรองสัญญาณโครงสร้างนี้คือ การมีเส้นทางการป้อนกลับสัญญาณเพิ่มมากขึ้น จึงต้องการคุณสมบัติความเข้าคู่กันของค่าตัวเก็บประจุการป้อนกลับสัญญาณที่ดี เพื่อลดขนาดสัญญาณเงาที่เกิดขึ้น [27]

จากคุณสมบัติต่างๆ ของวงจรเรโซเนเตอร์เลียนแบบการสอดแทรกทางเวลาทั้งสองโครงสร้างที่กล่าวไปนั้น [30]-[32] อาจจะกล่าวได้ว่ามีความเหมาะสมกับการสร้างวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปมากกว่าโครงสร้างวงจรเรโซเนเตอร์ ที่ประกอบด้วยวงจรสุ่มและคงค่าตัวอย่างสองวงจรต่อเรียงกันด้วยวงรอบการป้อนกลับ [25], [27] เนื่องจากมีความสิ้นเปลืองกำลังงานที่น้อยกว่า อย่างไรก็ตามผลกระทบจากความไม่เป็นอุดมคติของวงจรขยายจะทำให้วงจรเรโซเนเตอร์เลียนแบบการสอดแทรกทางเวลามีคุณสมบัติที่จำกัด และเมื่อกำหนดให้สมการการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบไม่เป็นอุดมคติเป็นดังสมการที่ 4.6 [24]

$$H_{res}(z) = \frac{g_0 z^2}{z^2 - p_1 z + p_2} \qquad 4.6$$

กำหนดให้ g_0 คือ อัตราขยายของวงจรเรโซเนเตอร์, p_1 และ p_2 คือ ค่าสัมประสิทธิ์สมการโพลิโนเมียลของฟังก์ชันโพล (Denominator)

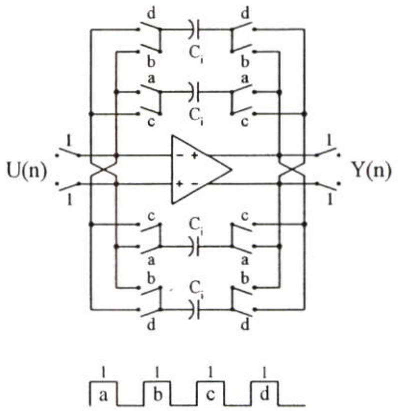
เมื่อพิจารณาถึงความไม่เป็นอุดมคติของวงจรขยาย เช่น ค่าอัตราขยายที่ความถี่ต่ำ และแบนด์วิดท์ที่จำกัด จะทำให้ทราบถึงผลกระทบความไม่เป็นอุดมคติของวงจรขยายที่มีต่อคุณสมบัติของวงจรเร-โซเนเตอร์ในแต่ละโครงสร้างที่กล่าวไปได้ดีมากขึ้น และสามารถสรุปได้ดังนี้

ผลความไม่เป็นอุดมคติของวงจรขยาย จะทำให้เกิดความคลาดเคลื่อนของค่าความถี่เร-โซแนนซ์ ($p_1 \neq 0$) เนื่องจากความผิดพลาดที่เกิดขึ้นจากการถ่ายโอนประจุที่เวลา (n-1)T และเมื่อกำหนดให้ความผิดพลาดการถ่ายโอนประจุที่เวลา (n-1)T ถูกเก็บสะสมไว้ในตัวเก็บประจุ C_e จะได้ว่าความคลาดเคลื่อนของค่าความถี่เรโซแนนซ์จะแปรผันกับค่าอัตราส่วนของค่าตัวเก็บประจุ C_e กับค่าตัวเก็บประจุรวมสัญญาณ (C_i) ดังสมการที่ 4.7 และเนื่องจากความไม่เข้าคู่กัน (ε_m) ของค่าตัวเก็บประจุการป้อนกลับ (C_f) กับค่าตัวเก็บประจุรวมสัญญาณ จะทำให้ขนาดอัตราการป้อนกลับสัญญาณเอาท์พุตของวงจรเรโซเนเตอร์มีค่าไม่เท่ากับ 1 ซึ่งจะทำให้ค่าตัวประกอบคุณภาพของวงจรเรโซเน-เตอร์มีค่าที่จำกัด ($p_2 \neq 1$) โดยอาจจะเขียนความสัมพันธ์ของความไม่เข้าคู่กันกับค่าตัวประกอบคุณภาพได้ดังสมการที่ 4.7 [24] นอกจากนี้ความไม่เข้าคู่กันของค่าตัวเก็บประจุการสุ่มกับค่าตัวเก็บประจุรวมสัญญาณ จะส่งผลให้เกิดความผิดพลาดของค่าอัตราขยายสัญญาณ (Δg_0)

$$\Delta f_0 \propto \left|\frac{C_e}{C_i}\right| \qquad \text{และ} \qquad Q \propto \frac{1}{1-\sqrt{\varepsilon_m}} \qquad 4.7$$

กำหนดให้ $\varepsilon_m \approx C_f/C_i$ เมื่อทำการวิเคราะห์ความไม่เป็นอุดมคติของวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปในแต่ละโครงสร้างจะพบว่าโครงสร้างของวงจรเรโซเนเตอร์ที่กล่าวมาทั้งหมดนั้น จะมีค่าพารามิ-เตอร์ความไม่เป็นอุดมคติที่ใกล้เคียงกัน (สมการที่ 4.7) ดังนั้นตัวแปรที่สามารถแสดงให้เห็นถึงความแตกต่างของประสิทธิภาพวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปในแต่ละโครงสร้าง คือ ขนาดของโหลดวงจรขยายที่เวลาใดๆ (C_L) ซึ่งควรที่จะมีค่าน้อยที่สุดเพื่อลดค่าความผิดพลาดในการถ่ายโอนประจุที่จะนำมาซึ่งความไม่เป็นอุดมคติของวงจรเรโซเนเตอร์ด้วยเช่นกัน ดังนั้นการพิจารณาเลือกโครงสร้างของวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปควรจะพิจารณาจากตัวแปรทั้ง 3 ค่าที่กล่าวไป

วงจรเรโซเนเตอร์แบบทูดีเลย์ลูปสอดแทรกทางเวลาอีกโครงสร้างหนึ่ง ที่สามารถลดผลความไม่เป็นอุดมคติของวงจรขยาย (C_e/C_i) และผลความไม่เข้าคู่กันของค่าตัวเก็บประจุ (ε_m) รวมทั้งกลไกการจัดเรียงตัวเก็บประจุให้เกิดโหลดของวงจรขยายที่ลดลง โดยเรียกวงจรเรโซเนเตอร์แบบทูดีเลย์ลูปโครงสร้างนี้ว่า วงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรต (Integrating two-path resonator : I2P) [33] ซึ่งกลไกการทำงานของวงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรตแสดงดังรูปที่ 4.7 โดยการหาผลต่างของค่าสัญญาณอินพุตกับค่าสัญญาณเอาท์พุตที่ถูกหน่วงไว้ 2 คาบเวลา จะทำได้ด้วยการหาผลรวมของประจุที่ได้จากการสลับการเชื่อมต่อตัวเก็บประจุรวมสัญญาณระหว่างด้านบวก และด้านลบของวงจรขยายผลต่างแบบเต็ม (Fully-differential amplifier) ทุก ๆ 2 คาบเวลา

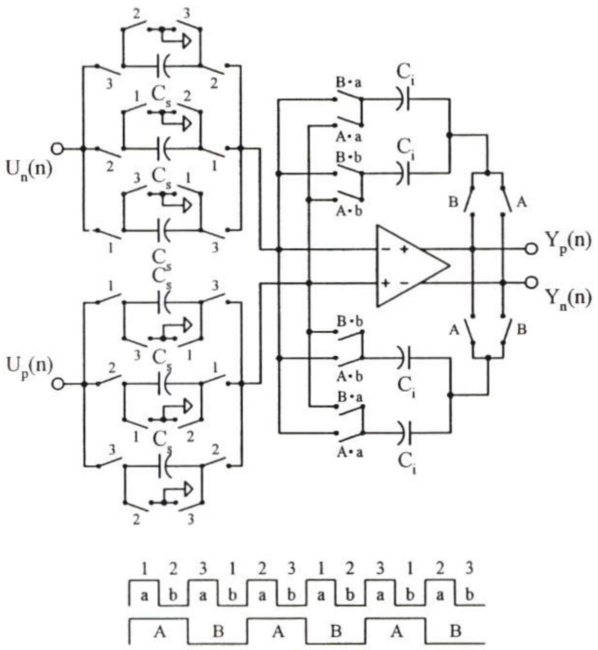


รูปที่ 4.7 วงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรต (I2P) [33]

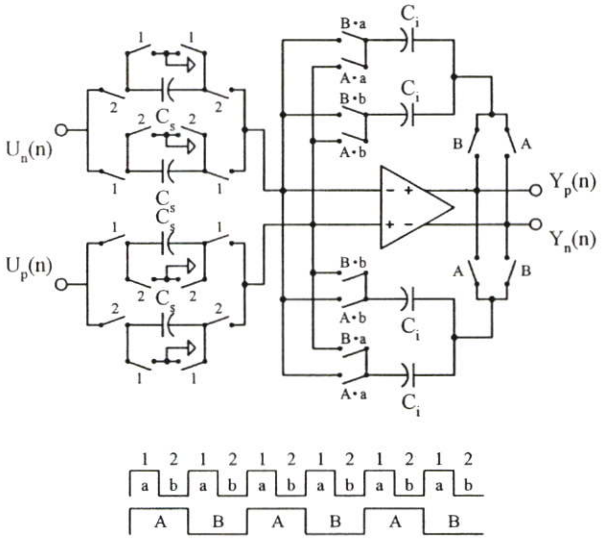
จากรูปที่ 4.7 จะเห็นได้ว่า วงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรตสามารถลดผลความไม่เข้าคู่กันของค่าตัวเก็บประจุได้ (ε_m) เนื่องจากการป้อนกลับ และการรวมสัญญาณจะทำด้วยตัวเก็บประจุเพียงตัวเดียว (C_i) จึงทำให้ขนาดอัตราการป้อนกลับของวงจรเรโซเนเตอร์ไม่แปรผันกับความไม่เข้าคู่กันของค่าตัวเก็บประจุ และมีค่าเท่ากับ 1 ซึ่งจะทำให้ค่าตัวประกอบคุณภาพมีค่าไม่จำกัด และความผิดพลาดที่เกิดจากการถ่ายโอนประจุที่เวลา (n-1)T จะถูกเก็บสะสมไว้ในตัวเก็บประจุแฝงที่อินพุตของวงจรขยาย (C_p) จึงทำให้ความคลาดเคลื่อนของค่าความถี่เรโซแนนซ์มีค่าน้อยมาก ($C_e \approx C_p$) และข้อดีอีกประการหนึ่ง คือ การมีโหลดของวงจรขยายที่น้อยกว่าวงจรเรโซเนเตอร์โครงสร้างอื่นๆ ซึ่งจะทำให้การออกแบบวงจรขยายทำได้ง่าย และลดความสิ้นเปลืองกำลังงานลงได้

ตารางที่ 4.1 การเปรียบเทียบตัวแปรประสิทธิภาพของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ

โครงสร้างวงจรเรโซเนเตอร์	ตัวแปรความคลาดเคลื่อนค่าความถี่เรโซแนนซ์ (C_e/C_i) โดย (C_p=0)	ตัวแปรความไม่เข้าคู่กันของค่าตัวเก็บประจุ ($\varepsilon_m = C_f/C_i$)	โหลดของวงจรขยาย (C_L)
1. TDL แบบ S/H [25]	1	$1 \pm \delta_m$	$C_i(C_s + C_f)/(C_i + C_s + C_f)$
2. TDL แบบ S/H two-delay cells [27]	0	$1 \pm \delta_m$	$C_f + C_i C_s/(C_i + C_s)$
3. P2P แบบการเลื่อนข้อมูล [30]	1	$1 \pm \delta_m$	$C_i(C_s + C_f)/(C_i + C_s + C_f)$
4. P2P แบบหน่วยความจำ [31]-[32]	1	$1 \pm \delta_m$	$C_i(C_s + C_f)/(C_i + C_s + C_f)$
5. I2P [33]	0	1	$C_i C_s/(C_i + C_s)$



ก)



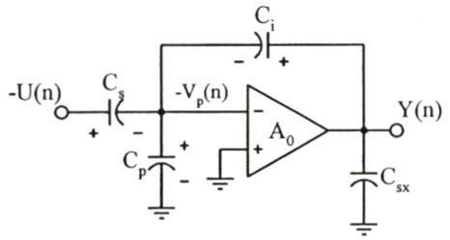
ข)

รูปที่ 4.8 วงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรตที่มีฟังก์ชันการส่งผ่านสัญญาณ ก) $R_1(z)$ และ ข) $R_2(z)$

กำหนดให้ δ_m คือ ค่าความผิดพลาดความไม่เข้าคู่กันของค่าตัวเก็บประจุการป้อนกลับ โดยมีค่าเท่ากับ $|1-\varepsilon_m|$ จากตารางที่ 4.1 เห็นได้ว่าเมื่อกำหนดให้วงจรขยายมีคุณสมบัติแบบอุดมคติ จะทำให้วงจรเรโซเนเตอร์โครงสร้างที่ 2 [27] และ 5 [33] มีความคลาดเคลื่อนค่าความถี่เรโซแนนซ์น้อยที่สุด แต่เมื่อกำหนดให้วงจรขยายมีคุณสมบัติที่จำกัด และมีความไม่เข้าคู่กันของค่าตัวเก็บประจุที่เกิดขึ้นในขั้นตอนการสร้างวงจรรวม (Fabrication) จะทำให้วงจรเรโซเนเตอร์โครงสร้างที่ 5 (I2P)

มีประสิทธิภาพ และมีความเหมาะสมมากที่สุด สำหรับการออกแบบวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุที่มีค่าความถี่เรโซแนนซ์อยู่ที่มุม π/2 โดยวงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรตที่มีฟังก์ชันการส่งผ่านสัญญาณดังสมการที่ 4.1 และมีการประยุกต์ใช้เทคนิคการสุ่มคู่ (Double-sampling technique) แสดงดังรูปที่ 4.8 ซึ่งค่าอัตราขยายของวงจรเรโซเนเตอร์ (g_0) จะถูกกำหนดด้วยอัตราส่วนค่าตัวเก็บประจุการสุ่มกับค่าตัวเก็บประจุรวมสัญญาณ (C_s/C_i)

เมื่อทำการวิเคราะห์ความไม่เป็นอุดมคติค่าอัตราขยายของวงจรขยาย (A_0) โดยกำหนดให้วงจรขยายมีคุณสมบัติของอัตราสลูว์ (Slew-rate) และช่วงเวลาเข้าที่ (Settling-time) แบบอุดมคติ จะสามารถเขียนแบบจำลองการถ่ายโอนประจุที่เวลาใดๆ ของวงจรเรโซเนเตอร์ได้ดังรูปที่ 4.9



รูปที่ 4.9 การวิเคราะห์ความไม่เป็นอุดมคติของวงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรต ดังรูปที่ 4.8

จากรูปที่ 4.9 สามารถเขียนความสัมพันธ์การถ่ายโอนประจุได้ดังสมการที่ 4.8

$$Q_{Ci}(n) = Q_{Ci}(n-2) - Q_{Cs}(n) + \Delta Q_{C_i}(n, n-1) \qquad 4.8$$

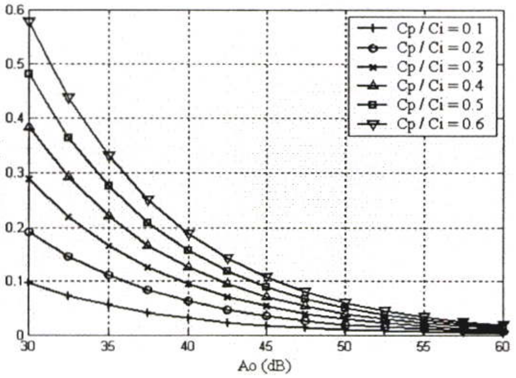
$$C_i\left[y(n) - \left(-v_p(n)\right)\right] = C_i\left[-y(n-2) - v_p(n-2)\right] - C_s\left[u(n) - \left(-v_p(n)\right)\right] + C_p\left[-v_p(n) - \left(-v_p(n-1)\right)\right] \qquad 4.9$$

แทนค่าความสัมพันธ์ $v_p(n) = \frac{1}{A_0} y(n)$ ลงในสมการที่ 4.9 และทำการแปลงแซด จะได้ว่า

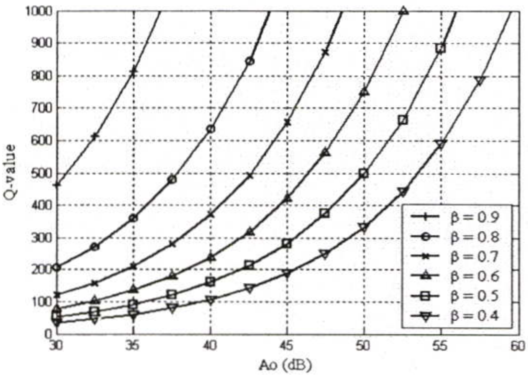
$$\frac{Y(z)}{U(z)} = \frac{\dfrac{1}{\left(1+\dfrac{1}{\beta A_0}\right)}\left(\dfrac{C_s}{C_i}\right)z^2}{z^2 - \dfrac{1}{A_0\left(1+\dfrac{1}{\beta A_0}\right)}\left(\dfrac{C_p}{C_i}\right)z + \dfrac{\left(1+\dfrac{1}{A_0}\right)}{\left(1+\dfrac{1}{\beta A_0}\right)}} \qquad 4.10$$

กำหนดให้ $\beta = C_i/\left(C_i + C_s + C_p\right)$

โดยที่ β คือ ค่าสัดส่วนการป้อนกลับของวงจรขยาย (Feedback factor : β) และมีค่าเท่ากับ $C_i/(C_i+C_s+C_p)$ จากสมการที่ 4.10 เห็นได้ว่าค่าสัดส่วนการป้อนกลับของวงจรเรโซเนเตอร์ จะเป็นตัวแปรสำคัญที่ทำให้ค่าตัวประกอบคุณภาพของวงจรเรโซเนเตอร์ (Q) มีค่าที่จำกัด หรือกล่าวได้อีกนัยหนึ่งว่า ค่าสัดส่วนการป้อนกลับของวงจรเรโซเนเตอร์ จะทำให้ตำแหน่งโพลของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุไม่วางตัวอยู่บนวงกลมหนึ่งหน่วยในระนาบแซด และความคลาดเคลื่อนของค่าความถี่เรโซแนนซ์ จะแปรผันกับอัตราส่วนค่าตัวเก็บประจุแฝงที่อินพุตของวงจรขยาย (C_p) ต่อค่าตัวเก็บประจุรวมสัญญาณ (C_i) ซึ่งผลความไม่เป็นอุดมคติของวงจรเรโซเนเตอร์ทั้งสองประการนี้จะลดลงได้ด้วยอัตราขยายของวงจรขยายค่าสูงดังรูปที่ 4.10



ก)



ข)

รูปที่ 4.10 ตัวแปรประสิทธิภาพของวงจรเรโซเนเตอร์กับความไม่เป็นอุดมคติของวงจรขยาย ก) เปอร์เซ็นต์ความคลาดเคลื่อนค่าความถี่เรโซแนนซ์ และ ข) ค่าตัวประกอบคุณภาพ

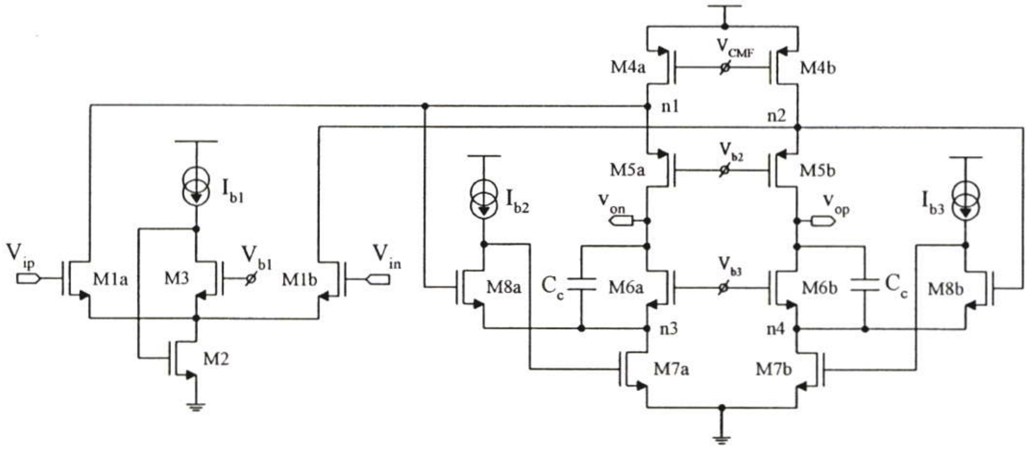
จากรูปที่ 4.10 ก) เป็นกราฟแสดงผลการคำนวณค่าเปอร์เซ็นต์ความคลาดเคลื่อนของค่าความถี่เรโซแนนซ์ที่เกิดขึ้นจากตัวเก็บประจุแฝงที่อินพุตของวงจรขยายค่าต่างๆ โดยกำหนดให้ค่าสัดส่วนการป้อนกลับของวงจรขยายมีค่าคงที่เท่ากับ 0.7 และรูปที่ 4.10 ข) เป็นกราฟแสดงผลการคำนวณค่าตัวประกอบคุณภาพของวงจรเรโซเนเตอร์ที่ค่าสัดส่วนการป้อนกลับค่าต่างๆ

จากผลการคำนวณค่าตัวแปรประสิทธิภาพของวงจรเรโซเนเตอร์แบบสอดแทรกทางเวลาอินทิเกรต พบว่าค่าอัตราขยายของวงจรขยายที่ต้องการมีค่าไม่สูงมาก และสามารถทำการออกแบบวงจรขยายได้ด้วยโครงสร้างแบบพื้นฐานทั่วไป เช่น วงจรขยายคาสโคด (Cascode amplifiers) วงจรขยายคาสโคดแบบพับ (Folded-cascode amplifiers) และ วงจรขยายสองภาค (Two-stage amplifiers) เป็นต้น

4.2 วงจรขยายสัญญาณคลาสเอบี

การประมวลผลสัญญาณแบบเวลาไม่ต่อเนื่อง ด้วยเทคนิคการสวิทช์ตัวเก็บประจุที่ทำงานด้วยแรงดันแหล่งจ่ายต่ำจะได้รับผลกระทบจากสัญญาณรบกวนเชิงความร้อนค่อนข้างมาก จึงมีความจำเป็นต้องเพิ่มค่าตัวเก็บประจุเพื่อรักษาขนาดพิสัยพลวัตของวงจร ดังนั้นคุณสมบัติที่สำคัญของวงจรขยายสัญญาณที่ใช้งานกับวงจรสวิทช์ตัวเก็บประจุที่แรงดันแหล่งจ่ายต่ำคือ ความสามารถการขับโหลดตัวเก็บประจุค่ามาก จึงทำให้วงจรขยายสัญญาณคลาสเอบีมีคุณสมบัติที่เหมาะสมสำหรับการนำไปประยุกต์ใช้งานกับเทคนิคการสวิทช์ตัวเก็บประจุ [34]

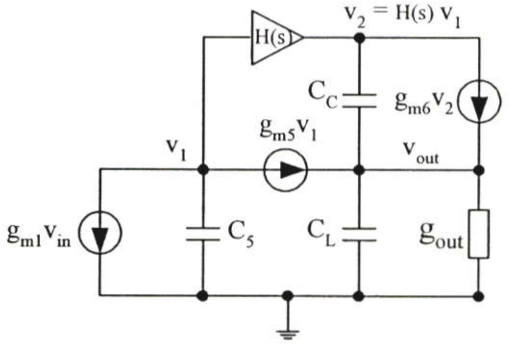
โดยทั่วไปโครงสร้างวงจรขยายสัญญาณ ที่มีความเหมาะสมกับการประยุกต์ใช้งานที่แรงดันแหล่งจ่ายต่ำคือ วงจรขยายสองภาค โดยส่วนขยายสัญญาณภาคที่สองจะมีคุณสมบัติเป็นวงจรขยายสัญญาณที่มีอัตราขยายต่ำแต่จะมีช่วงการแกว่งแรงดันเอาท์พุตที่มาก [14] และสำหรับการนำมาประยุกต์ใช้งานกับวงจรสวิทช์ตัวเก็บประจุ ส่วนขยายสัญญาณภาคที่สองมักจะมีคุณสมบัติการผลัก-ดึง (Push-pull) เพื่อเพิ่มความสามารถการขับโหลดตัวเก็บประจุให้ดีขึ้น [35], [36] อย่างไรก็ตามในบางโครงสร้างของวงจรขยายสัญญาณแบบสองภาค การเพิ่มคุณสมบัติการผลัก-ดึง อาจจะนำมาซึ่งการสูญเสียกำลังงานของวงจร และขนาดตัวเก็บประจุแฝงที่อินพุตของวงจรขยายค่ามาก [37], [38] ซึ่งเป็นคุณสมบัติที่ไม่ต้องการในการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่ใช้กำลังงานต่ำ ดังนั้นการออกแบบวงจรขยายสัญญาณคาสโคดแบบพับที่มีคุณสมบัติการผลัก-ดึง [39] จึงเป็นวงจรขยายสัญญาณอีกโครงสร้างที่เหมาะสมกับการใช้งานที่แรงดันแหล่งจ่ายต่ำ โดยโครงสร้างวงจรขยายสัญญาณผลต่างแบบเต็มที่นำมาประยุกต์ใช้งานกับวงจรเรโซเนเตอร์แบบเวลาไม่ต่อเนื่องแสดงดังรูปที่ 4.11 [40]



รูปที่ 4.11 วงจรขยายสัญญาณผลต่างแบบเต็ม (Fully-differential amplifier)

จากรูปที่ 4.11 จะเห็นได้ว่าวงจรขยายสัญญาณผลต่างแบบเต็มที่ใช้งานนั้นเป็นวงจรขยายสัญญาณคาสโคดแบบพับภาคเดียวที่มีการเพิ่มคุณสมบัติการผลัก-ดึง เพื่อขับโหลดตัวเก็บประจุค่ามาก โดย

การเพิ่มขนาดกระแสเอาท์พุตจะทำได้ด้วยทรานซิสเตอร์ M6 ซึ่งเป็นวงจรขยายแบบเกทร่วม (Common-gate amplifier) ที่ถูกไบแอสด้วยทรานซิสเตอร์ M7 โดยสัญญาณอินพุตของวงจรขยายแบบเกทร่วม (n3 และ n4) จะเป็นค่าแรงดันเดียวกันกับแรงดันที่ขาซอสของทรานซิสเตอร์ M5 (n1 และ n2) ซึ่งทำหน้าที่ส่งผ่านกระแสจากภาคขยายสัญญาณผลต่างอินพุต (M1) โดยมีทรานซิสเตอร์ M8 และแหล่งจ่ายกระแสคงที่ $I_{b2,3}$ ทำหน้าที่เป็นวงจรบัฟเฟอร์แรงดันที่มีอัตราขยายเท่ากับหนึ่งเสมอ จากกลไกการผลัก-ดึงของวงจรขยายสัญญาณผลต่างแบบเต็มดังรูปที่ 4.11 จะสามารถเขียนเป็นแบบจำลองสัญญาณขนาดเล็ก (Small-signal model) ได้ดังรูปที่ 4.12 และเขียนสมการการส่งผ่านแรงดันอินพุตได้ดังสมการที่ 4.11



รูปที่ 4.12 แบบจำลองสัญญาณขนาดเล็กของวงจรขยายสัญญาณแบบข้างเดียว

$$\frac{v_{out}}{v_{in}}(s)=A(s)=\frac{\dfrac{-gm_1}{g_{out}}\left(1+H(s)\dfrac{gm_6}{gm_5}\right)\left(1+\dfrac{sC_c}{gm_6+\dfrac{gm_5}{H(s)}}\right)}{\left(1+\dfrac{sC_5}{gm_5}\right)\left(1+\dfrac{s(C_L+C_c)}{g_{out}}\right)} \qquad 4.11$$

กำหนดให้ C_5 คือ ค่าตัวเก็บประจุแฝงที่โหนด n1 หรือ n2 และ C_C คือ ค่าตัวเก็บประจุชดเชยเฟส จากสมการที่ 4.11 เมื่อกำหนดให้วงจรบัฟเฟอร์แรงดันมีฟังก์ชันการส่งผ่านสัญญาณเท่ากับ H(s) และมีขนาดเท่ากับ 1 ตลอดช่วงความถี่ที่ทำการพิจารณา จะพบว่าขนาดกระแสเอาท์พุตที่เพิ่มขึ้นด้วยวงจรขยายแบบเกทร่วม จะสัมพันธ์กับอัตราส่วนค่าทรานส์คอนดักแตนซ์ (Transconductance : gm) ของทรานซิสเตอร์ M6 กับทรานซิสเตอร์ M5 หรือกล่าวได้อีกนัยหนึ่งว่า กลไกการผลัก-ดึงจะทำให้ค่าทรานส์คอนดักแตนซ์ประสิทธิผลของวงจรขยายสัญญาณ มีค่าเพิ่มขึ้นด้วยอัตราส่วนค่าทรานส์คอนดักแตนซ์ดังกล่าว และการกำหนดค่าตัวเก็บประจุชดเชยเฟสจะทำได้ดังสมการที่ 4.12

$$C_C=\left(1+\frac{gm_6}{gm_5}\right)C_5 \qquad 4.12$$

การพิจารณาค่าอัตราขยายสัญญาณที่ความถี่ต่ำ (A_0) จะพิจารณาจากผลคูณค่าทรานส์คอนดักแตนซ์ประสิทธิผลกับส่วนกลับค่าความนำเอาท์พุตที่ความถี่ศูนย์ (g_{out}) ซึ่งค่าความนำเอาท์พุตที่ความถี่ศูนย์ของวงจรขยายสามารถหาค่าได้เท่ากับสมการที่ 4.13 (ภาคผนวก ค)

$$g_{out} \approx gds_5 + gds_6 - \frac{gds_5 gm_5}{gds_1 + gds_4 + gm_5} - \frac{gds_6 gds_8 gm_6 + \dfrac{gds_5 gm_6 gm_7 gm_8}{gds_1 + gds_4 + gm_5}}{gds_8 gm_6 + gm_7 gm_8} \quad 4.13$$

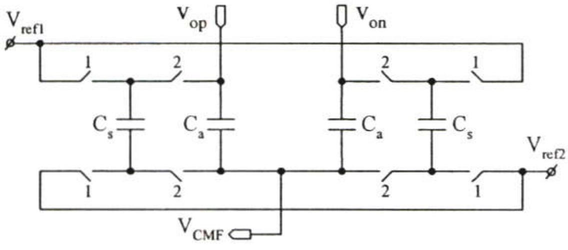
จากสมการที่ 4.13 เมื่อกำหนดให้ทรานซิสเตอร์ทุกตัวภายในวงจรขยายทำงานในย่านอิ่มตัว (Saturation region) จะสามารถประมาณค่าความนำเอาท์พุตที่ความถี่ศูนย์ได้เท่ากับ

$$g_{out} \approx gds_5 + gds_6 - \frac{gds_5 \left(gm_5 + gm_6\right)}{gds_1 + gds_4 + gm_5} \quad 4.14$$

$$g_{out} \approx gds_6 + \left(1 - 2\alpha\right) gds_5 \quad 4.15$$

จากสมการที่ 4.14 เมื่อกำหนดให้ค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M5 มีค่าประมาณเท่ากันกับทรานซิสเตอร์ M6 ($gm_5 \approx gm_6$) และกำหนดให้ $\alpha = gm_5 / \left(gds_1 + gds_4 + gm_5\right)$ จะได้ว่าค่าความนำเอาท์พุตที่ความถี่ศูนย์จะมีค่าเท่ากับสมการที่ 4.15 ซึ่งจะพบว่าค่าความนำเอาท์พุตที่ความถี่ศูนย์ของวงจรขยายนั้นสามารถมีค่าเท่ากับศูนย์ได้ ($g_{out} = 0$) เนื่องจากกลไกการป้อนกลับแบบบวก (Positive feedback) ที่เกิดจากการบัฟเฟอร์แรงดันด้วยวงจรขยายแบบเดรนร่วม (M8) และวงจรขยายแบบเกทร่วมภาคเอาท์พุต (M5 และ M6) ดังนั้นการกำหนดคุณสมบัติทรานซิสเตอร์ภาคเอาท์พุตให้เหมาะสม จะทำให้วงจรขยายมีค่าอัตราขยายที่ความถี่ต่ำไม่จำกัด ($A_0 \approx \infty$)

จากคุณสมบัติต่าง ๆ ของวงจรขยายสัญญาณผลต่างแบบเต็มที่กล่าวไปนั้น สามารถบอกได้ว่ามีความเหมาะสมกับการนำมาประยุกต์ใช้งานกับวงจรสวิทช์ตัวเก็บประจุที่ใช้แรงดันแหล่งจ่ายต่ำ เนื่องจากอัตราขยายค่าสูงจะช่วยลดความผิดพลาดจากการถ่ายโอนประจุ ซึ่งจะลดผลกระทบที่เกิดจากความไม่เป็นอุดมคติของวงจรเรโซเนเตอร์ลงได้ (สมการที่ 4.10) และคุณสมบัติการผลัก-ดึงจะช่วยรักษาค่าพิสัยพลวัตของวงจรให้ดีได้



รูปที่ 4.13 วงจรป้อนกลับค่าระดับแรงดันร่วมเอาท์พุตแบบสวิทช์ตัวเก็บประจุ

ในการออกแบบวงจรขยายสัญญาณผลต่างแบบเต็มดังรูปที่ 4.11 จะต้องมีการป้อนกลับค่าระดับแรงดันร่วมเอาท์พุต (Common-mode feedback) เพื่อรักษาระดับแรงดันร่วมให้คงที่ ซึ่งวงจรป้อนกลับค่าแรงดันร่วมเอาท์พุตที่ใช้จะเป็นแบบสวิทช์ตัวเก็บประจุ [41] ดังรูปที่ 4.13 โดยตัวเก็บประจุ C_a จะทำการหาค่าแรงดันร่วมเอาท์พุต และตัวเก็บประจุ C_s จะทำหน้าที่เปลี่ยนระดับแรงดันร่วมเอาท์พุตดังกล่าวด้วยค่าผลต่างแรงดันอ้างอิง [42] เพื่อให้เหมาะสมกับค่าแรงดันไบแอสทรานซิสเตอร์ M4 โดยสัญญาณนาฬิกาทั้งสองเฟสเป็นสัญญาณนาฬิกาแบบไม่คาบเกี่ยว

คุณสมบัติวงจรขยายสัญญาณผลต่างแบบเต็มที่ได้ทำการออกแบบ สรุปได้ดังตารางที่ 4.2 โดยค่าอัตราส่วนขนาดทรานซิสเตอร์ (W/L) และค่าการไบแอสวงจรขยายสัญญาณ แสดงดังตารางที่ 4.3

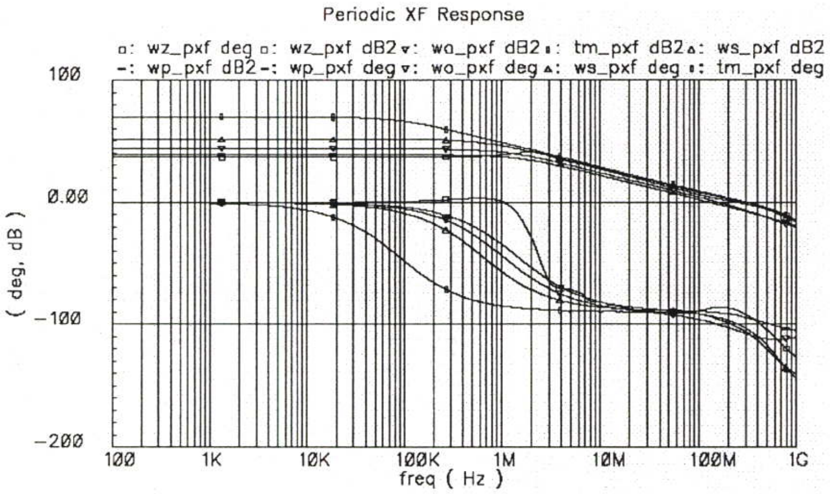
ตารางที่ 4.2 คุณสมบัติวงจรขยายสัญญาณผลต่างแบบเต็ม

คุณสมบัติวงจรขยาย	
กระบวนการ (Process)	0.35-μm
แรงดันแหล่งจ่าย (Supply voltage)	1.5 โวลต์
อัตราขยาย (A_0)	70-dB
ความกว้างแถบอัตราขยายหนึ่ง (GBW)	300-MHz
ส่วนเผื่อเฟส (Phase margin : PM)	76°
อัตราสลูว์ (Slew-rate : SR)	433-V/μs
ช่วงเวลาเข้าที่ (Settling time, 0.5-V)	10.9-ns
ช่วงการแกว่งแรงดันเอาท์พุต (O/P Swing)	±0.45-V
กระแสไบแอสรวม (Bias-current : I_{DD})	1.65-mA

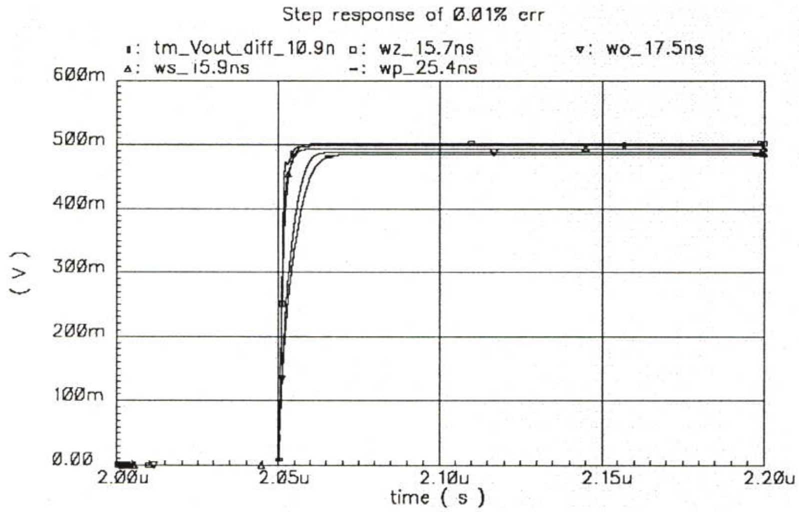
ตารางที่ 4.3 อัตราส่วนขนาดทรานซิสเตอร์ และการไบแอส

ทรานซิสเตอร์	ค่าอัตราส่วนขนาด (W/L)
M1	100 / 0.35
M2	32 / 0.35
M3	10.8 / 0.35
M4	315 / 0.35
M5	172.8 / 0.35
M6	32.4 / 0.35
M7	64.8 / 0.35
M8	64.8 / 0.35

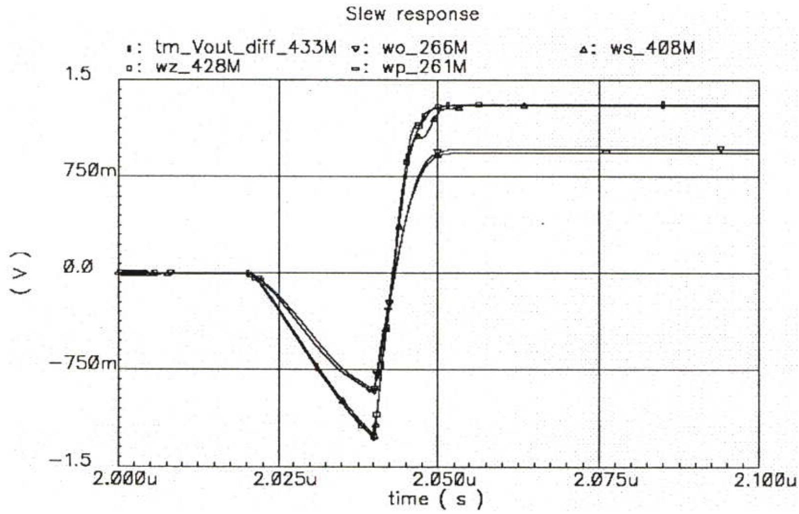
การไบแอส	ค่าการไบแอส
I_{b1}	50 ไมโครแอมป์
$I_{b2} = I_{b3}$	150 ไมโครแอมป์
V_{b1}	1.5 โวลต์
V_{b2}	0.3 โวลต์
V_{b3}	1.18 โวลต์
V_{CMF}	0.6 โวลต์
V_{CMI}	1.5 โวลต์
Cc	0.6-pF



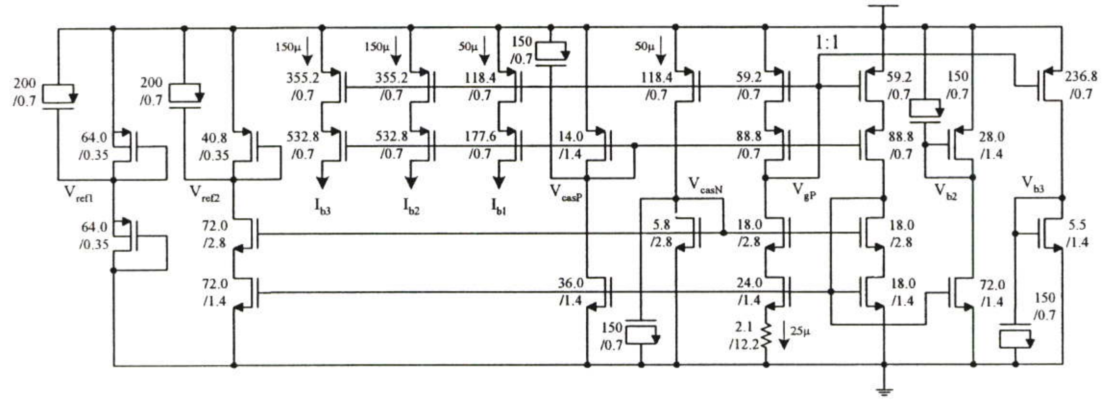
รูปที่ 4.14 ผลตอบสนองทางความถี่ของวงจรขยายสัญญาณที่โหลดตัวเก็บประจุ 3-pF



รูปที่ 4.15 ผลตอบสนองต่อฟังก์ชันขั้นบันไดของวงจรขยายสัญญาณที่โหลดตัวเก็บประจุ 3-pF



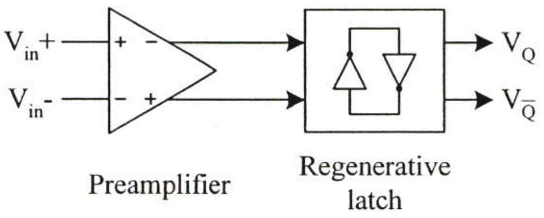
รูปที่ 4.16 คุณลักษณะกระแสตรงของวงจรขยายสัญญาณวงรอบปิดอัตราขยายเท่ากับ 1



รูปที่ 4.17 วงจรไบแอสของวงจรขยายทรานส์คอนดักแตนซ์

4.3 วงจรเปรียบเทียบแรงดัน

วงจรเปรียบเทียบแรงดันเป็นส่วนที่สำคัญสำหรับกระบวนการจัดระดับให้กับสัญญาณแอนะลอกทั่วไป ซึ่งจะทำหน้าที่ขยายสัญญาณผลต่างระหว่างค่าแรงดันอินพุตกับค่าแรงดันอ้างอิงด้วยอัตราขยายค่ามากเพื่อให้ได้สัญญาณเอาท์พุตในรูปแบบลอจิก โดยค่าอัตราขยายสัญญาณที่ไม่จำกัด อาจจะประกอบขึ้นด้วยวงจรขยายสัญญาณแบบหลายภาคต่อเรียงกันแบบหลั่น อย่างไรก็ตามวงจรเปรียบเทียบแรงดันลักษณะนี้จะมีข้อจำกัดของความเร็วในการทำงาน เนื่องจากเกิดค่าหน่วงเวลาการแพร่กระจาย (Propagation delay) ดังนั้นวงจรเปรียบเทียบแรงดันที่ทำงานด้วยความเร็วสูงมักจะประกอบด้วยส่วนขยายสัญญาณเพียง 2 ส่วนคือ ส่วนขยายภาคต้น (Preamplification) และส่วนการแลตช์ค่าแรงดันวกกลับ (Regenerative latch) ดังแสดงในรูปที่ 4.18



รูปที่ 4.18 โครงสร้างวงจรเปรียบเทียบแรงดัน

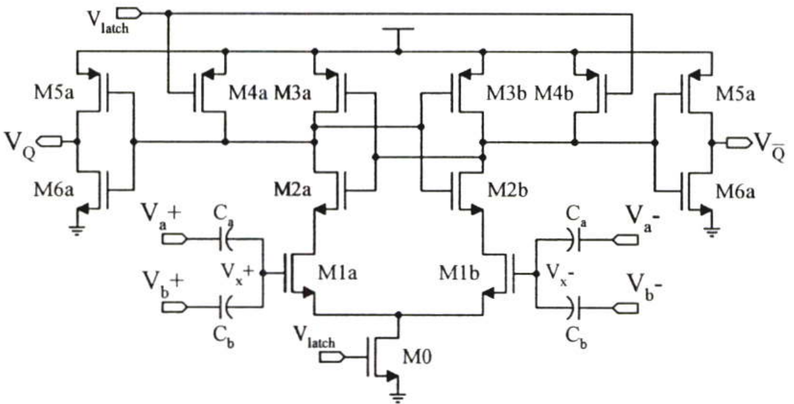
จากรูปที่ 4.18 วงจรขยายภาคต้นจะทำการขยายผลต่างสัญญาณอินพุตทั้งสองด้วยอัตราขยายค่าไม่สูง และสัญญาณผลต่างเอาท์พุตของวงจรขยายภาคต้นจะถูกส่งผ่านไปให้ส่วนการแลตช์ค่าแรงดันวกกลับ ซึ่งเป็นกลไกการป้อนกลับแบบบวกเพื่อเพิ่มค่าอัตราขยายประสิทธิผลให้กับวงจรขยาย โดยวงจรการแลตช์ค่าแรงดันวกกลับสามารถแทนได้ด้วยวงจรอินเวอร์เตอร์ 2 วงจรที่มีการเชื่อมต่อกันระหว่างภาคเอาท์พุต และภาคอินพุตดังรูปที่ 4.18 ซึ่งค่าอัตราการเปลี่ยนแปลงแรงดันเอาท์พุต (ΔV_Q) ที่เกิดจากกลไกการป้อนกลับของวงจรการแลตช์ค่าแรงดันวกกลับ จะเป็นฟังก์ชันเอกซ์โพเนนเชียลของค่าคงตัวเวลาวงจรอินเวอร์เตอร์ (τ_{inv}) [41] ดังสมการที่ 4.15

$$\Delta V_Q = \Delta V_0 e^{t/\tau_{inv}} \quad 4.15$$

กำหนดให้ ΔV_0 คือ ค่าผลต่างแรงดันเอาท์พุตที่เวลาเริ่มต้น $\Delta V_0 = V_Q(0) - V_{\bar{Q}}(0)$ โดยค่าคงตัวเวลาของวงจรอินเวอร์เตอร์จะแปรผันกับกระบวนการการออกแบบวงจรรวม (Process : L) ทำให้คุณสมบัติการแลตช์ค่าแรงดันวกกลับไม่สัมพันธ์กับขนาดทรานซิสเตอร์ (W) ภายในวงจรอินเวอร์เตอร์ ซึ่งค่าเวลาการสร้างใหม่ (Regenerative time : t_{latch}) ของวงจรการแลตช์ค่าแรงดันวกกลับจะเท่ากับสมการที่ 4.16 เมื่อกำหนดให้ K คือ ค่าสัดส่วนคงที่

$$t_{latch} = K\frac{L^2}{\mu_n V_{eff}}\ln\left(\frac{\Delta V_{supply}}{\Delta V_0}\right) \quad 4.16$$

จากสมการที่ 4.16 จะพบว่าการกำหนดค่าเวลาการสร้างใหม่สามารถทำได้ด้วยการกำหนดค่าขนาดผลต่างแรงดันเอาท์พุตที่เวลาเริ่มต้น ซึ่งจะสัมพันธ์กับค่าอัตราขยายของวงจรขยายภาคต้น ดังนั้นค่าอัตราขยายของวงจรขยายภาคต้น จะมีความสำคัญกับวงจรเปรียบเทียบแรงดันที่มีความเร็วในการทำงานสูง จึงทำให้วงจรเปรียบเทียบแรงดันดังกล่าวมีค่ากำลังงานสูญเสียที่มาก ดังนั้นโครงสร้างของวงจรเปรียบเทียบแรงดันแบบพลวัต (Dynamic comparator) ซึ่งมีการสูญเสียกำลังงานในการทำงานต่ำ จึงได้ถูกนำมาประยุกต์ใช้กับการจัดระดับสัญญาณภายในวงจรมอดูเลตสัญญาณซิกมาเดลตา โดยคุณสมบัติความไม่เป็นอุดมคติที่เกิดขึ้นกับวงจรเปรียบเทียบแรงดันแบบพลวัตที่สำคัญ คือ ค่าแรงดันออฟเซตอินพุต และการเกิดฮีสเตอริซีส (Hyteresis) อย่างไรก็ตามคุณสมบัติความไม่เป็นอุดมคติที่เกิดขึ้น จะถูกลดทอนด้วยค่าอัตราขยายวงจรกรองวงรอบของวงจรมอดูเลตสัญญาณซิกมาเดลตาเช่นเดียวกันกับสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ จึงทำให้การออกแบบวงจรเปรียบเทียบแรงดันแบบพลวัตมีความยืดหยุ่นและทำได้ง่าย ซึ่งวงจรเปรียบเทียบแรงดันแบบพลวัตที่ใช้งานเป็นวงจรจัดระดับสัญญาณภายใน 1 บิต สำหรับวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 แสดงดังรูปที่ 4.19 [43]



รูปที่ 4.19 วงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัต

จากรูปที่ 4.19 วงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัตได้ทำการออกแบบด้วยแรงดันแหล่งจ่ายต่ำเท่ากับ 1.5 โวลต์ โดยค่าแรงดันขีดเริ่มเปลี่ยน (Threshold) ของวงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัตจะเป็นค่าผลรวมสัญญาณอินพุตทั้งสอง ซึ่งค่าอัตราการขยายสามารถกำหนดได้ด้วยอัตราส่วนค่าตัวเก็บประจุการสุ่ม ดังสมการที่ 4.17

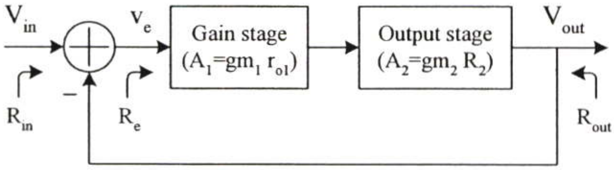
$$v_{x+} - v_{x-} = \frac{C_a}{C_a + C_b}\left(v_{a+} - v_{a-}\right) + \frac{C_b}{C_a + C_b}\left(v_{b+} - v_{b-}\right) \qquad 4.17$$

โดยวงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัต มีส่วนขยายภาคต้นเป็นวงจรขยายผลต่างแบบทรานซิสเตอร์ชนิดเอ็น (M1) ซึ่งถูกไบแอสด้วยทรานซิสเตอร์สวิทช์กระแส (M0) ที่ถูกควบคุมด้วยสัญญาณนาฬิกา V_{latch} และในส่วนของวงจรแลตช์ค่าแรงดันวกกลับจะประกอบด้วยวงจรอินเวอร์เตอร์แบบซีมอส 2 วงจร (M2 และ M3) ต่อเชื่อมกันด้วยการป้อนกลับแบบบวก ซึ่งมีวงจรอินเวอร์เตอร์ (M5 และ M6) ทำหน้าที่บัฟเฟอร์แรงดันการสร้างใหม่ และช่วยทำให้เกิดความสมมาตรของโหลดวงจรแลตช์ค่าแรงดันวกกลับ โดยทรานซิสเตอร์ M4 จะทำการกำจัดแรงดันฮีสเตอริซีสของวงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัต ด้วยการรีเซตค่าแรงดันเอาท์พุตของวงจรแลตช์ค่าแรงดันวกกลับทั้งสองข้าง ให้มีค่าเท่ากับแรงดันแหล่งจ่ายในช่วงเวลาที่สัญญาณนาฬิกามีค่าต่ำ และเมื่อสัญญาณนาฬิกามีค่าสูง วงจรขยายภาคต้นจะทำการขยายผลต่างแรงดันอินพุต ซึ่งจะทำให้เกิดค่าผลต่างแรงดันเอาท์พุตที่เวลาเริ่มต้น (ΔV_0) ของวงจรแลตช์ค่าแรงดันวกกลับ และทำให้วงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัตเข้าสู่ช่วงเวลาการสร้างใหม่ โดยเมื่อสัญญาณเอาท์พุตของวงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัต (V_Q) มีค่าคงตัวแล้วนั้น ทรานซิสเตอร์ของวงจรแลตช์ค่าแรงดันวกกลับจะหยุดนำกระแส จึงทำให้วงจรเปรียบเทียบแรงดันผลต่างแบบเต็มพลวัตมีการสูญเสียกำลังงานต่ำ

4.4 วงจรบัฟเฟอร์แรงดันอ้างอิง

การออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล มักจะต้องการค่าสัญญาณอ้างอิงที่มีความแม่นยำ และมีความสามารถขับโหลดของวงจรอ้างอิงได้ การประยุกต์ใช้เทคนิคการสวิทช์ตัวเก็บประจุซึ่งเป็นการทำงานในโหมดแรงดัน กับวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลความเร็วสูงแบบหลายภาค ทำให้วงจรสร้างแรงดันอ้างอิงจะต้องมีความสามารถในการขับโหลดตัวเก็บประจุค่ามาก และมีค่าความต้านทานเอาท์พุตของวงจรต่ำ เพื่อลดขนาดของค่าคงตัวเวลาที่เป็นตัวแปรกำหนดค่าความผิดพลาดของแรงดันอ้างอิงที่ใช้งาน จากคุณสมบัติต่างๆของวงจรสร้างแรงดันอ้างอิง จะเห็นได้ว่าการเพิ่มวงจรบัฟเฟอร์แรงดันอ้างอิงให้กับวงจรสร้างแรงดันอ้างอิงที่ต้องขับโหลดจากวงจรแบบหลายภาค นั้นมีความจำเป็นและสามารถแก้ไขปัญหาที่เกิดขึ้นได้ โดยวงจรบัฟเฟอร์แรงดันอ้างอิงจะต้องมีค่าความต้านทานอินพุตสูง ซึ่งเทคนิคการออกแบบวงจรบัฟเฟอร์

แรงดันโดยทั่วไปจะอาศัยกลไกการป้อนกลับแบบลบ กับวงจรขยายแรงดันแบบสองภาค (Two-stage opamp) ดังรูปที่ 4.20 เนื่องจากวงจรขยายแรงดันแบบสองภาคจะมีวงจรภาคเอาท์พุตที่มีความ



รูปที่ 4.20 วงจรขยายแรงดันแบบสองภาคกับการป้อนกลับแบบลบ

สามารถในการขับโหลดได้ดี และมีความต้านทานเอาท์พุตที่ไม่สูง (R_2) ดังนั้นจึงทำให้เมื่อทำการป้อนกลับแรงดันเอาท์พุตแบบลบด้วยสัดส่วนการป้อนกลับเท่ากับหนึ่ง (Feedback factor : β=1) จะทำให้ได้วงจรบัฟเฟอร์แรงดันที่มีความสามารถให้การขับโหลดได้ดี และมีค่าความต้านทานเอาท์พุต (R_{out}) ลดต่ำลงด้วยปริมาณการป้อนกลับ (Amount of feedback : 1+Aβ) ดังสมการที่ 4.18

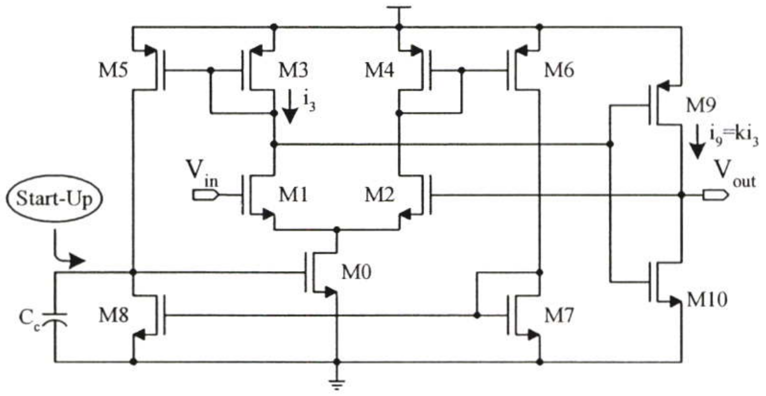
$$R_{out} = \frac{R_2}{1 + A\beta} \quad 4.18$$

กำหนดให้ A = A_1A_2 จะได้ว่าขนาดอัตราขยายสัญญาณภาคแรกจะเป็นตัวแปรที่สำคัญในการกำหนดค่าความต้านทานเอาท์พุตของวงจรบัฟเฟอร์ นอกจากนี้แล้วค่าความต้านทานอินพุตของวงจรบัฟเฟอร์แรงดันที่เกิดจากการป้อนกลับแบบลบ จะมีค่าเพิ่มขึ้นได้ด้วยปริมาณการป้อนกลับด้วยเช่นกัน [14] ดังสมการที่ 4.19 ทำให้วงจรสร้างแรงดันอ้างอิงที่มีวงจรบัฟเฟอร์แรงดัน มีคุณสมบัติของความเป็นแหล่งจ่ายแรงดันแบบอุดมคติมากขึ้น

$$R_{in} = R_e\left(1 + A\beta\right) \quad 4.19$$

วงจรขยายแรงดันแบบไบแอสตัวเอง [44] ได้ถูกนำมาประยุกต์ใช้กับวงจรขยายภาคแรกของวงจรบัฟเฟอร์แรงดัน เนื่องจากค่าอัตราขยายแรงดันของวงจรจะสามารถเพิ่มขึ้นได้ด้วยกลไกการป้อนกลับภายในด้วยทรานซิสเตอร์สะท้อนกระแส (M3-M8) และทรานซิสเตอร์กำเนิดกระแสไบแอส (M0) โดยสัดส่วนการเพิ่มของค่าอัตราขยายแรงดันจะเท่ากับผลคูณของค่าทรานส์คอนดักแตนซ์ทรานซิสเตอร์กำเนิดกระแสไบแอส (gm_0) กับค่าความต้านทานที่ขาเดรนของทรานซิสเตอร์ขยายกระแส ($r_{ds5}//r_{ds8}$) โดยภาคเอาท์พุตของวงจรบัฟเฟอร์แรงดันได้กำหนดให้เป็นวงจรผลัก-ดึง (M9-M10) เพื่อเพิ่มความสามารถในการขับโหลดตัวเก็บประจุ (C_L) ซึ่งวงจรบัฟเฟอร์แรงดันอ้างอิงที่มีคุณสมบัติดังกล่าวแสดงดังรูปที่ 4.21

จากรูปที่ 4.21 การป้อนกลับแบบลบของวงจรขยายสัญญาณแบบสองภาคสามารถสร้างได้ด้วยการเชื่อมต่อแรงดันเอาท์พุตกับขาเกทของทรานซิสเตอร์ขยายผลต่าง M2 ซึ่งการเปลี่ยนแปลงแรงดันที่



รูปที่ 4.21 วงจรบัฟเฟอร์แรงดันแบบไบแอสตัวเอง [44]

เอาท์พุตจะทำให้เกิดสัญญาณความผิดพลาด (V_e) และจะถูกขยายเป็นกระแสที่ส่งผ่านไปยังโหลดตัวเก็บประจุโดยทรานซิสเตอร์ผลัก-ดึงภาคเอาท์พุต นอกจากนี้แล้วสัญญาณความผิดพลาดที่เกิดขึ้นจะถูกป้อนกลับเพื่อกำหนดขนาดการไบแอสของทรานซิสเตอร์ภาคอินพุตเช่นกัน จากคุณสมบัติการไบแอสตัวเอง จะทำให้วงจรบัฟเฟอร์แรงดันมีค่าความถูกต้องในการส่งผ่านค่าแรงดันอ้างอิงที่ดี

เมื่อทำการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรบัฟเฟอร์แรงดันดังรูปที่ 4.21 โดยละเลยผลของตัวเก็บประจุแฝงภายในวงจรจะได้ดังสมการที่ 4.20 (ภาคผนวก ง)

$$\frac{V_{out}}{V_{in}} = \frac{1+\dfrac{sC_c}{gm_0}}{1+s\dfrac{C_c}{gm_0}+s^2\dfrac{2C_LC_c}{gm_igm_0\left(k+\dfrac{gm_{10}}{gm_3}\right)}} \qquad 4.20$$

กำหนดให้ gm_i คือค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์อินพุต (M1, M2)

จากสมการที่ 4.20 เมื่อทำการคำนวณหาค่าความถี่ตัด (ω_0) และค่าตัวประกอบคุณภาพ (Q) ของวงจรบัฟเฟอร์แรงดันอ้างอิงจะได้ดังสมการที่ 4.21 และ 4.22 ตามลำดับ

$$\omega_0 = \sqrt{\left(\frac{gm_0}{C_c}\right)\left(\frac{\left(k+\dfrac{gm_{10}}{gm_3}\right)gm_i}{2C_L}\right)} \qquad 4.21$$

$$Q = \sqrt{\left(\frac{gm_0}{C_c}\right)\Big/\left(\frac{\left(k+\dfrac{gm_{10}}{gm_3}\right)gm_i}{2C_L}\right)} \qquad 4.22$$

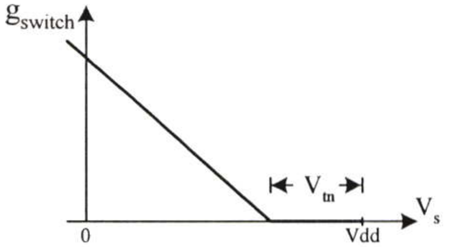
จากสมการที่ 4.21 และ 4.22 จะพบว่าวงจรบัฟเฟอร์แรงดันแบบไบแอสตัวเองที่มีภาคขยายเอาท์พุตแบบวงจรผลัก-ดึง จะมีค่าความถี่ตัด (Cut-off frequency) เพิ่มขึ้น และค่าตัวประกอบคุณภาพลดลงสัมพันธ์กับค่าอัตราส่วนทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M10 กับ M3 ทำให้วงจรบัฟเฟอร์แรงดันดังรูปที่ 4.20 มีผลตอบสนองทางความถี่ดีขึ้น เมื่อเปรียบเทียบกับวงจรต้นแบบ [44]

4.5 แอนะลอกสวิทช์

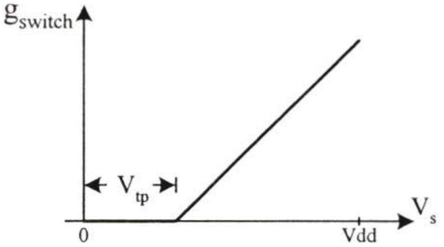
การประยุกต์ใช้งานวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบเวลาไม่ต่อเนื่อง ด้วยเทคนิคการสวิทช์ตัวเก็บประจุจะมีส่วนประกอบวงจรที่สำคัญ ซึ่งเป็นส่วนที่กำหนดคุณสมบัติและฟังก์ชันการทำงานของวงจรแบบเวลาไม่ต่อเนื่องคือ วงจรแอนะลอกสวิทช์ โดยทั่วไปวงจรแอนะล็อกสวิทช์จะสร้างได้ด้วยทรานซิสเตอร์แบบมอสเฟต ขาเดรนและซอสของทรานซิสเตอร์จะเป็นขั้วทางผ่านสัญญาณของวงจรสวิทช์ โดยสถานะ เปิด-ปิด หรือค่าความนำของวงจรสวิทช์จะควบคุมได้ด้วยแรงดันที่ขาเกทของทรานซิสเตอร์ เมื่อวงจรสวิทช์อยู่ในสถานะปิดทรานซิสเตอร์สวิทช์จะทำงานในย่านเชิงเส้น (Linear region) ทำให้ค่าความนำของวงจรสวิทช์มีค่าเท่ากับสมการที่ 4.23

$$g_{switch} = \mu C_{ox} \frac{W}{L}\left(V_g - V_s - V_{th}\right) \qquad 4.23$$

จากสมการที่ 4.23 จะสังเกตเห็นว่าค่าความนำของวงจรสวิทช์ในสถานะปิดจะแปรผันกับค่าแรงดันควบคุมที่ขาเกท และค่าแรงดันอินพุตที่ขาซอสของทรานซิสเตอร์สวิทช์ (V_s) ซึ่งโดยทั่วไปค่าแรงดันควบคุมที่ขาเกทของทรานซิสเตอร์สวิทช์ จะมีขนาดเท่ากับค่าแรงดันแหล่งจ่ายของระบบ ดังนั้นค่าความนำของวงจรแอนะลอกสวิทช์จะสามารถแสดงได้ดังรูปที่ 4.22



ก) ทรานซิสเตอร์ชนิดเอ็น

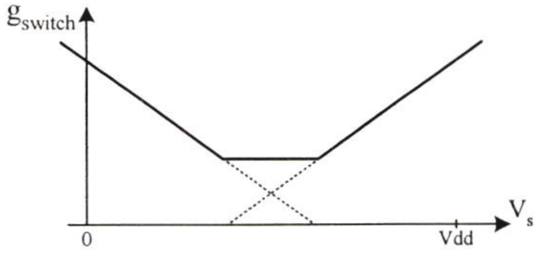


ข) ทรานซิสเตอร์ชนิดพี

รูปที่ 4.22 ค่าความนำของวงจรแอนะลอกสวิทช์กับขนาดแรงดันอินพุตของสวิทช์

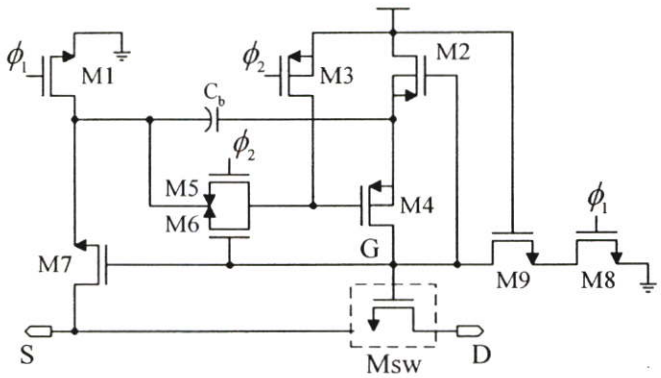
จากรูปที่ 4.22 จะพบว่าการออกแบบวงจรสวิทช์ตัวเก็บประจุที่มีขนาดแหล่งจ่ายแรงดันต่ำ ค่าความนำของวงจรแอนะลอกสวิทช์ จะเป็นส่วนสำคัญที่ทำให้เกิดคุณสมบัติความไม่เป็นเชิงเส้นของวงจรแบบเวลาไม่ต่อเนื่อง และทำให้ช่วงพิสัยพลวัตของวงจรมีค่าลดลง ซึ่งการลดผลของความไม่เป็นเชิงเส้นของวงจรแอนะลอกสวิทช์ สามารถทำได้ด้วยการนำทรานซิสเตอร์แบบมอสเฟตทั้งชนิดพี

และเอ็นต่อขนานกัน เรียกวงจรแอนะลอกสวิทช์ลักษณะนี้ว่า วงจรประตูการส่งผ่าน (Transmission-gate) ซึ่งจะทำให้เกิดช่วงแรงดันการทำงานของวงจรสวิทช์ที่เป็นเชิงเส้นขึ้น ดังแสดงในรูปที่ 4.23 โดยขนาดของช่วงแรงดันความเป็นเชิงเส้นของวงจรสวิทช์แบบประตูการส่งผ่านจะสัมพันธ์กับขนาดแหล่งจ่ายแรงดันของระบบ ซึ่งจะต้องมากกว่าผลรวมของค่าแรงดันขีดเริ่มของทรานซิสเตอร์แบบมอสเฟตทั้งสองชนิด



รูปที่ 4.23 ค่าความนำของวงจรแอนะลอกสวิทช์แบบประตูการส่งผ่าน

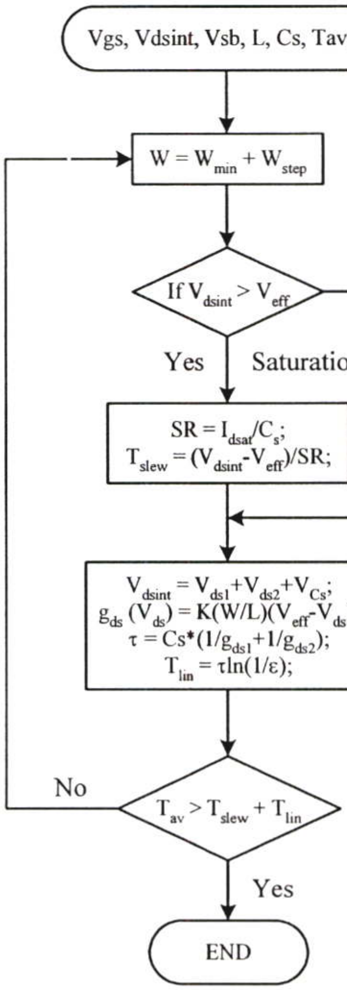
การเพิ่มขนาดช่วงแรงดันความเป็นเชิงเส้นของวงจรแอนะลอกสวิทช์ สามารถทำให้ด้วยเทคนิคการบูตสแตรป (Bootstrap technique) ซึ่งจะช่วยให้วงจรแอนะลอกสวิทช์มีช่วงพิสัยพลวัตที่ดีขึ้น [45] โดยวงจรแอนะลอกสวิทช์ที่สร้างด้วยเทคนิคการบูตสแตรปสามารถสร้างได้ดังรูปที่ 4.24 ซึ่งตัวเก็บประจุ C_b จะทำหน้าที่เสมือนกับแหล่งจ่ายแรงดันคงที่ให้กับทรานซิสเตอร์สวิทช์ Msw โดยมีแรงดันอินพุต (V_S) เป็นแรงดันอ้างอิงทำให้ค่าความนำของวงจรแอนะลอกสวิทช์แบบบูตสแตรปมีค่าคงที่ และไม่สัมพันธ์กับค่าแรงดันอินพุต



รูปที่ 4.24 วงจรบูตสแตรปสวิทช์ [46]

การกำหนดค่าความนำของวงจรแอนะลอกสวิทช์แบบบูตสแตรปดังรูปที่ 4.24 ทำได้ด้วยการกำหนดขนาดของทรานซิสเตอร์สวิทช์ Msw (W) ซึ่งจะมีตัวแปรที่ควรพิจารณาคือ ความคลาดเคลื่อนจากการฉีดประจุ (Charge injection) และขนาดการส่งผ่านสัญญาณนาฬิกา (Clock feedthrough) โดยความไม่เป็นอุดมคติของวงจรแอนะลอกสวิทช์ดังกล่าวสามารถลดลงได้ด้วยการ

กำหนดขนาดของทรานซิสเตอร์สวิทช์ Msw ให้เหมาะสมซึ่งมีขั้นตอนดังรูปที่ 4.25 [47] (ภาคผนวก จ) จากรูปที่ 4.25 เป็นขั้นตอนการกำหนดขนาดทรานซิสเตอร์การสุ่มสัญญาณสองวงจรที่ต่ออนุกรมกับตัวเก็บประจุการสุ่มสัญญาณ (C_s) ในสภาวะการทำงานที่มีแหล่งจ่ายแรงดันต่ำ



รูปที่ 4.25 แผนผังลำดับขั้นตอนการกำหนดขนาดของทรานซิสเตอร์สวิทช์

โดยกำหนดให้

V_{gs} คือ ค่าแรงดันตกคร่อมขาเกทและซอสของทรานซิสเตอร์สวิทช์

V_{sb} คือ ค่าแรงดันตกคร่อมขาซอสและเบาท์ของทรานซิสเตอร์สวิทช์

V_{dsint} คือ ค่าแรงดันตกคร่อมขาเดรนและซอสช่วงเวลาเริ่มต้นของทรานซิสเตอร์สวิทช์

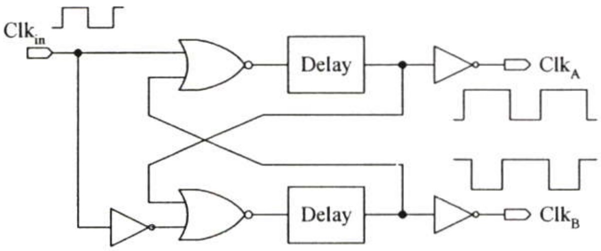
L คือ ขนาดของเทคโนโลยีของทรานซิสเตอร์สวิทช์

T_{av} คือ ค่าเวลาการสุ่มของทรานซิสเตอร์สวิทช์

ε คือ เปอร์เซ็นต์ความผิดพลาดการถ่ายโอนประจุ

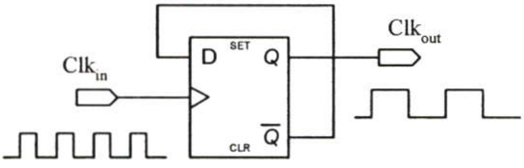
4.6 วงจรกำเนิดสัญญาณนาฬิกา

การทำงานของวงจรแบบเวลาไม่ต่อเนื่องจะต้องอาศัยการควบคุมด้วยสัญญาณนาฬิกา ซึ่งการออกแบบวงจรด้วยเทคนิคการสวิทช์ตัวเก็บประจุ จะสามารถกำหนดฟังก์ชันการทำงานได้ด้วยการจัดลำดับการส่งผ่านประจุระหว่างตัวเก็บประจุแต่ละภาค โดยลำดับการส่งผ่านประจุดังกล่าวจะถูกควบคุมได้ด้วยรูปแบบของสัญญาณนาฬิกา และสวิทช์ ดังนั้นเพื่อให้เกิดการส่งผ่านประจุที่สมบูรณ์ สัญญาณนาฬิกาที่ใช้ควบคุมการส่งผ่านประจุจึงต้องมีคุณสมบัติการไม่ทับซ้อน (Non-overlapping clock) ซึ่งคุณลักษณะดังกล่าวของสัญญาณนาฬิกา จะสามารถสร้างได้ด้วยวงจรกำเนิดสัญญาณนาฬิกาอย่างง่าย ดังรูปที่ 4.26



รูปที่ 4.26 วงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนทางเวลา

จากรูปที่ 4.26 จะพบว่าการสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อน สามารถสร้างได้จากวงจรดิจิตอลเกตนอร์ (NOR) และวงจรหน่วงเวลาดิจิตอล ซึ่งเกิดจากการต่อเรียงกันแบบคาสเคดของวงจรอินเวอร์เตอร์เป็นจำนวนคู่ และมีวงจรอินเวอร์เตอร์ทำหน้าที่เป็นภาคบัฟเฟอร์แรงดันเพื่อขับโหลดของวงจรกำเนิดสัญญาณนาฬิกา โดยการเปลี่ยนสถานะเป็นลอจิกหนึ่งของสัญญาณนาฬิกาที่โหนดอินพุตของวงจรเกตนอร์ จะถูกส่งผ่านไปเป็นสัญญาณเอาท์พุต และจะถูกป้อนกลับไปเปลี่ยนสถานะของสัญญาณเอาท์พุตด้านตรงข้าม โดยช่วงเวลาการไม่ทับซ้อนของสัญญาณเอาท์พุตจะเท่ากับสองเท่าของผลรวมค่าการแพร่กระจายเวลาการหน่วงสัญญาณ (Propagation delay) ของวงจรเกตนอร์ และวงจรหน่วงเวลาดิจิตอล อย่างไรก็ตามวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนดังแสดงในรูปที่ 4.26 ต้องการสัญญาณนาฬิกาอินพุตที่มีความแม่นยำของค่าวัฏจักรหน้าที่ (Duty cycle) เท่ากับ 50 เปอร์เซ็นต์ ซึ่งสามารถสร้างได้ด้วยวงจรหารความถี่เท่ากับสองแบบดิจิตอลดังรูปที่ 4.27



รูปที่ 4.27 วงจรหารความถี่แบบดิจิตอล (÷2)

บทที่5

การจำลองการทำงานวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

การออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ได้มุ่งหมายไปที่การประยุกต์ใช้งานกับการแปลงสัญญาณแอนะล็อกเป็นดิจิตอลในย่านความถี่กลาง (IF) เท่ากับ 30 เมกกะเฮิรตซ์ และมีขนาดแบนด์วิดท์การแปลงสัญญาณเท่ากับ 835 กิโลเฮิรตซ์ โดยการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ได้นำเทคนิคการสุ่มคู่และเทคนิคการสุ่มต่ำมาประยุกต์ใช้งาน จึงทำให้มีค่าอัตราการสุ่มสัญญาณเท่ากับ 40 เมกกะเฮิรตซ์ โดยการออกแบบวงจรรวมได้ใช้เทคโนโลยีแบบซีมอส 0.35 ไมโครเมตร (CMOS 0.35-μm technology) และใช้แรงดันแหล่งจ่ายเท่ากับ 1.5 โวลต์ ซึ่งคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่ได้ทำการออกแบบ สามารถสรุปได้ดังตารางที่ 5.1

ตารางที่ 5.1 คุณสมบัติที่ได้ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

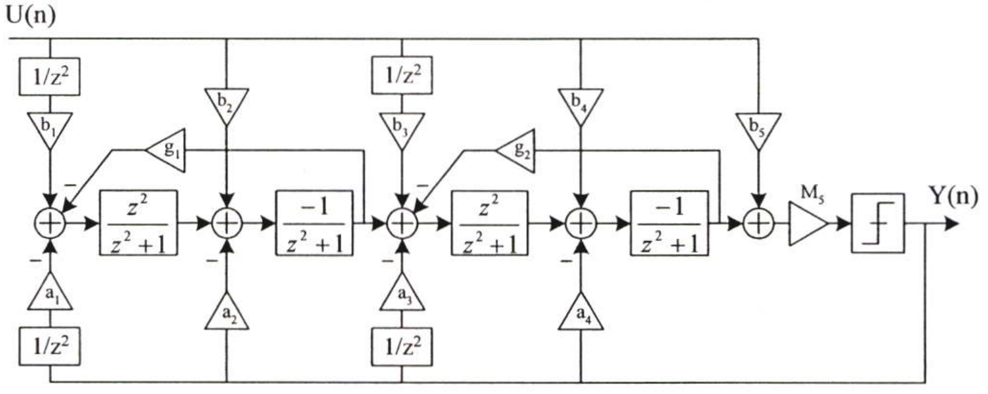
คุณสมบัติการออกแบบวงจรรวม	
เทคโนโลยีการออกแบบวงจรรวม	CMOS 0.35-μm
แรงดันแหล่งจ่าย	1.5 โวลต์
อัตราการสุ่มเกิน	24
ขนาดแบนด์วิดท์การแปลงสัญญาณ	835 กิโลเฮิรตซ์
ค่าความถี่กลาง	30 เมกกะเฮิรตซ์
อัตราการสุ่มต่ำ	0.75
อัตราการสุ่มสัญญาณ	40 เมกกะเฮิรตซ์
อันดับวงจรมอดูเลตสัญญาณ	8
จำนวนบิตการจัดระดับสัญญาณภายใน	1

ซึ่งจากการกำหนดคุณสมบัติทางความถี่จะเห็นได้ว่า การนำวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 โครงสร้างดังกล่าวไปประยุกต์ใช้งานกับระบบการสื่อสารข้อมูลแบนด์วิดท์กว้าง (3.84 เมกกะเฮิรตซ์) จะสามารถทำได้ด้วยการเพิ่มค่าอัตราการสุ่มสัญญาณเท่ากับ 4.6 เท่า โดยการออกแบบวงจรรวมของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ให้มีค่าอัตราการสุ่มดังกล่าว อาจจะทำได้ด้วยการลดขนาดเทคโนโลยีการออกแบบวงจรรวมเพื่อให้เกิดความเหมาะสมของการสิ้นเปลืองกำลังงาน และขนาดของวงจรรวม

5.1 การออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

5.1.1 การปรับปรุงโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตา

โครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 แสดงดังรูปที่ 3.8 ซึ่งเป็นวงจรมอดูเลตสัญญาณแบบผ่านแถบความถี่ภาคเดียว ที่สามารถกำหนดคุณสมบัติฟังก์ชันการส่งผ่านสัญญาณแบบเชบีเช็บผกผัน โดยค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแสดงดังตารางที่ 3.2 เมื่อทำการพิจารณากลไกการทำงานร่วมกับโครงสร้างของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุดังแสดงในรูปที่ 4.8 จะพบว่าการสร้างวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ด้วยเทคนิคการสวิทช์ตัวเก็บประจุ จะพบกับปัญหาการออกแบบวงจรขยายสัญญาณสำหรับวงจรเรโซเนเตอร์ในภาคที่ 1 และภาคที่ 3 เนื่องจากการสุ่มสัญญาณการป้อนกลับสัญญาณเอาท์พุตดิจิตอลแบบทันทีทันใด จึงทำให้คุณสมบัติของวงจรขยาย และค่าคงตัวเวลาของวงจรแอนะล็อกสวิทช์ต้องมีความเร็วในการทำงานที่สูงขึ้น ซึ่งจะเป็นการสิ้นเปลืองกำลังงาน และเกิดผลกระทบจากความไม่เป็นอุดมคติของวงจรแอนะล็อกสวิทช์ ดังนั้นการปรับปรุงโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ซึ่งทำได้โดยการเพิ่มส่วนการหน่วงค่าสัญญาณทั้งในส่วนของภาคการสุ่มสัญญาณการป้อนกลับสัญญาณเอาท์พุตดิจิตอล และภาคการสุ่มสัญญาณอินพุตของวงจรเรโซเนเตอร์ในภาคที่ 1 และภาคที่ 3 อย่างไรก็ตามการเพิ่มการหน่วงค่าสัญญาณให้เกิดความสมมาตร จะช่วยรักษาคุณสมบัติการส่งผ่านสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตาสำหรับโครงสร้างนี้ไว้ได้ โดยโครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่ได้ทำการปรับปรุงแสดงดังรูปที่ 5.1



รูปที่ 5.1 โครงสร้างการปรับปรุงวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

จากรูปที่ 5.1 จะพบว่าสัญญาณอินพุตของวงจรจัดระดับสัญญาณแบบ 1 บิต จะถูกสเกลด้วยค่าการสเกลเท่ากับ M_5 เนื่องจากวงจรเปรียบเทียบสัญญาณที่ใช้เป็นแบบผลต่างคู่ตัวเก็บประจุ (Capacitive differential pair comparator) จึงทำให้อัตราขยายสัญญาณต้องมีค่าน้อยกว่า 1 และเมื่อทำการ

วิเคราะห์หาสมการการส่งผ่านสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ดังแสดงในรูปที่ 5.1 จะได้ดังสมการที่ 5.1

$$Y(z)=\frac{M_5\left[b_5-\frac{b_4\left(z^2+1\right)+b_3}{\left[z^4+\left(2-g_2\right)z^2+1\right]}+\frac{b_2z^2\left(z^2+1\right)+b_1z^2}{\left[z^4+\left(2-g_1\right)z^2+1\right]\left[z^4+\left(2-g_2\right)z^2+1\right]}\right]U(z)+E(z)}{M_5\left[1-\frac{a_4\left(z^2+1\right)+a_3}{\left[z^4+\left(2-g_2\right)z^2+1\right]}+\frac{a_2z^2\left(z^2+1\right)+a_1z^2}{\left[z^4+\left(2-g_1\right)z^2+1\right]\left[z^4+\left(2-g_2\right)z^2+1\right]}\right]} \quad 5.1$$

จากสมการที่ 5.1 เมื่อทำการเปรียบเทียบกับสมการที่ 3.11 จะพบว่าฟังก์ชันการส่งผ่านสัญญาณอินพุต และฟังก์ชันการส่งผ่านสัญญาณรบกวนจากการจัดระดับสัญญาณ จะสามารถกำหนดให้มีคุณสมบัติเหมือนเดิมได้ด้วยการกำหนดค่าสัมประสิทธิ์การส่งผ่านสัญญาณให้เหมาะสม (a_i , b_i) โดยที่ขนาดฟังก์ชันการส่งผ่านสัญญาณรบกวน (NTF) จะถูกคูณด้วยส่วนกลับค่าการสเกลขนาดสัญญาณอินพุตของวงจรจัดระดับสัญญาณ ($1/M_5$) ดังนั้นจากสมการโพลีโนเมียลของฟังก์ชันการส่งผ่านสัญญาณรบกวนดังสมการที่ 3.12 จะสามารถหาค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ได้ดังตารางที่ 5.2

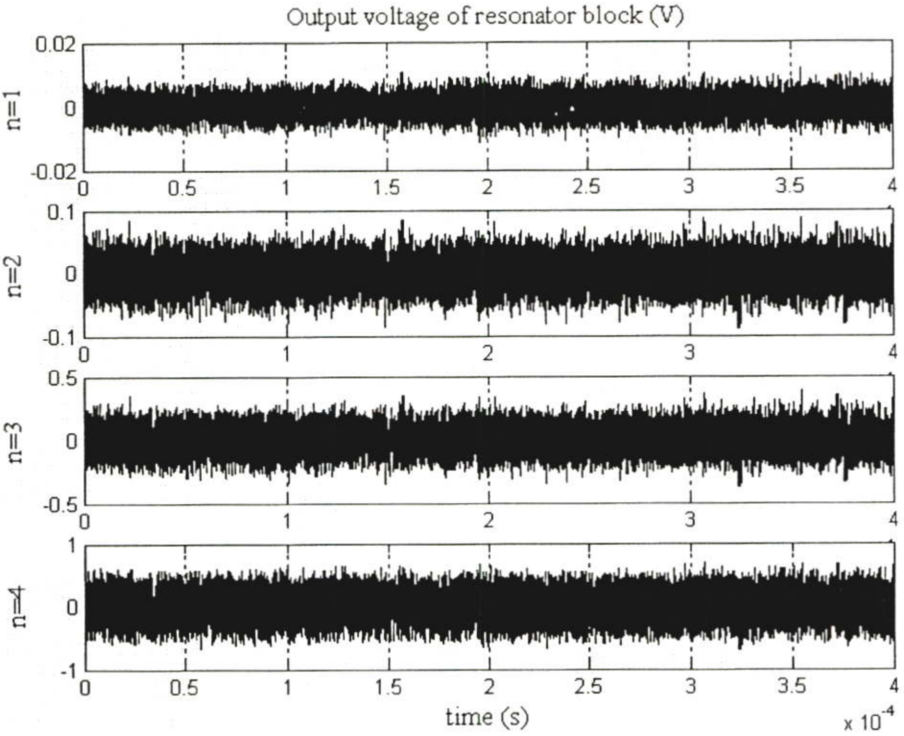
ตารางที่ 5.2 ค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

ภาคที่ (i)	1	2	3	4	5
a_i	- 0.0100	0.0871	- 0.3118	0.9241	-
b_i	- 0.0100	0.0871	- 0.3118	0.9241	1.0000
g_i	0.0020	0.0127	-	-	-

เมื่อนำค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาดังตารางที่ 5.2 ไปทำการจำลองการทำงานด้วยแบบจำลองความไม่เป็นอุดมคติดังที่กล่าวไปในบทที่ 3.3 จะได้ว่าขนาดการแกว่งสูงสุดของสัญญาณเอาท์พุตของวงจรเรโซเนเตอร์ในแต่ละภาคเป็นดังรูปที่ 5.2 ซึ่งจะช่วยให้สามารถคำนวณหาค่าอัตราส่วนการสเกลขนาดสัญญาณ (M_i) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ได้ดังตารางที่ 5.3

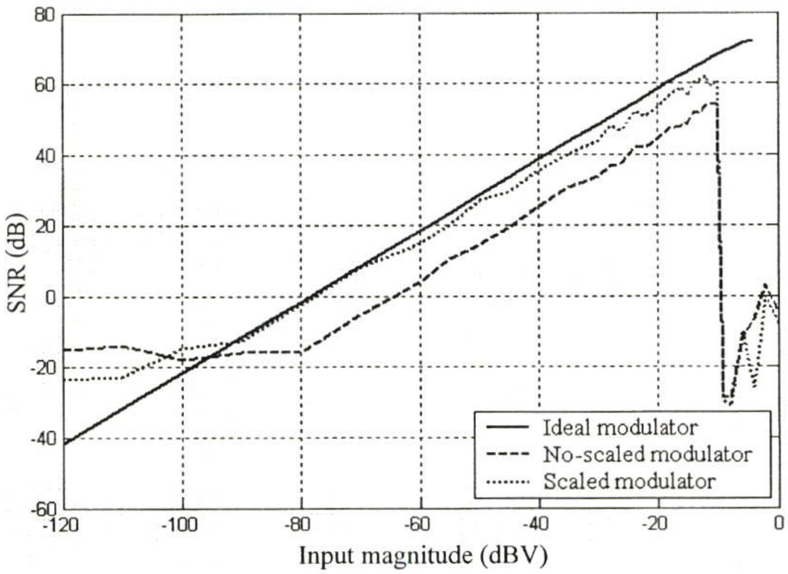
ตารางที่ 5.3 ค่าอัตราส่วนการสเกลขนาดสัญญาณในแต่ละภาค

ภาคที่ (i)	1	2	3	4	5
ขนาดการแกว่งสูงสุดของวงจรขยาย (โวลต์)	0.4000	0.2000	0.4000	0.1500	-
ขนาดการแกว่งสูงสุดสัญญาณเอาท์พุต (โวลต์)	0.0104	0.0847	0.3642	0.6695	-
ค่าอัตราส่วนการสเกล (M_i)	0.0260	0.4238	0.9106	4.4637	0.8170



รูปที่ 5.2 ขนาดการแกว่งสูงสุดของสัญญาณเอาท์พุตวงจรเรโซเนเตอร์ในแต่ละภาค

จากผลการคำนวณค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (SNR) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่ได้ทำการสเกลขนาดสัญญาณจะเป็นดังรูปที่ 5.3

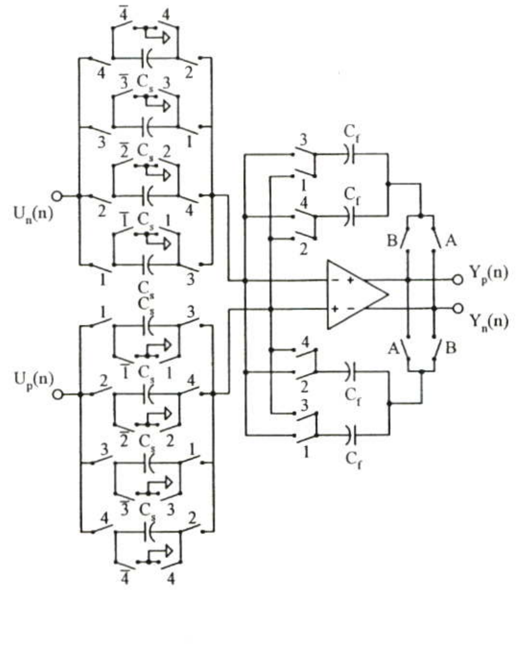


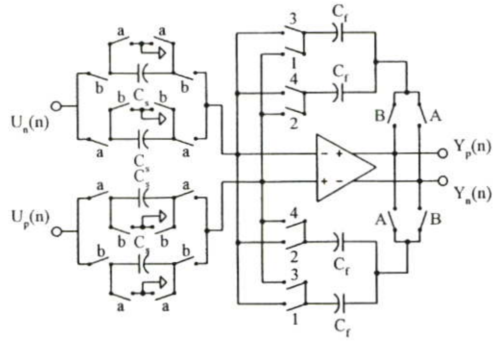
รูปที่ 5.3 ผลการสเกลขนาดสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตา
แบบผ่านแถบความถี่อันดับที่ 8

จากรูปที่ 5.3 จะพบว่าผลการสเกลขนาดสัญญาณของโครงสร้างการปรับปรุงวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 จะยังคงรักษาคุณสมบัติการจัดรูปสัญญาณรบกวน โดยมีค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวนสูงสุดประมาณเท่ากับ 60 เดซิเบล หรือประมาณได้เท่ากับความละเอียดในการจัดระดับสัญญาณแอนะล็อกแบบ 10 บิต และวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ยังคงมีค่าพิสัยพลวัตเท่าเดิม

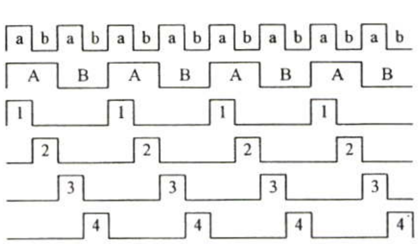
5.1.2 การกำหนดค่าตัวเก็บประจุการสุ่มสัญญาณ

จากโครงสร้างของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุดังแสดงในรูปที่ 4.8 จะพบว่ารูปแบบของสัญญาณนาฬิกาควบคุมการทำงานของวงจรเรโซเนเตอร์ทั้งสองโครงสร้าง จะแตกต่างกัน ซึ่งจะทำให้เกิดความซับซ้อนในการสร้างวงจรกำเนิดสัญญาณนาฬิกา และอาจจะนำมาซึ่งความผิดพลาดในการถ่ายโอนประจุ ดังนั้นการลดจำนวนรูปแบบสัญญาณนาฬิกาของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 สามารถทำได้ด้วยการกำหนดโครงสร้างกลไกการสุ่มสัญญาณ และการถ่ายโอนประจุภาคอินพุตของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุในภาคที่ 2 และภาคที่ 4 ให้เป็นดังรูปที่ 5.4 ก)





ข) วงจรเรโซเนเตอร์ภาคที่ 1 และ ภาคที่ 3



ก) วงจรเรโซเนเตอร์ภาคที่ 2 และ ภาคที่ 4

ค) รูปแบบสัญญาณนาฬิกา

รูปที่ 5.4 โครงสร้างของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ และเทคนิคการสุ่มคู่

จากรูปที่ 5.4 ค) จะพบว่าลักษณะทางเวลาของสัญญาณนาฬิกาวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 มีรูปแบบที่ไม่ซับซ้อน และสามารถสร้างได้ง่าย

เมื่อทำการคำนวณหาฟังก์ชันการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุทั้งสองรูปแบบ จะได้ดังสมการที่ 5.2 และ 5.3 ตามลำดับ

$$\frac{Y(z)}{U(z)}=\left(\frac{C_s}{C_f}\right)\frac{-1}{z^2+1} \tag{5.2}$$

$$\frac{Y(z)}{U(z)}=\left(\frac{C_s}{C_f}\right)\frac{z^2}{z^2+1} \tag{5.3}$$

จากฟังก์ชันการส่งผ่านสัญญาณของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ (สมการที่ 5.2 และ 5.3) จะพบว่าค่าสัมประสิทธิ์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 จะสามารถกำหนดได้ด้วยอัตราส่วนค่าตัวเก็บประจุการสุ่มสัญญาณ กับค่าตัวเก็บประจุรวมสัญญาณ ดังนั้นจากตารางค่าสัมประสิทธิ์ (ตารางที่ 5.2) และตารางค่าอัตราส่วนการสเกล (ตารางที่ 5.3) จะสามารถกำหนดค่าตัวเก็บประจุการสุ่มสัญญาณของวงจรเรโซเนเตอร์ในแต่ละภาคได้ดังตารางที่ 5.4

ตารางที่ 5.4 ค่าตัวเก็บประจุการสุ่มสัญญาณของวงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุ

ภาคที่ (i)	1	2	3	4	5
ค่าตัวเก็บประจุรวมสัญญาณ : C_f (ฟาห์รัด)	4.000p	3.000p	2.000p	2.000p	-
ค่าตัวเก็บประจุสุ่มสัญญาณการป้อนกลับสัญญาณเอาท์พุตดิจิตอล (Y(n)) : Ca_i (ฟาห์รัด)	1.540p	0.616p	0.685p	0.414p	-
ค่าตัวเก็บประจุสุ่มสัญญาณอินพุต (U(n)) : Cb_i (ฟาห์รัด)	1.540p	0.616p	0.685p	0.414p	0.183p
ค่าตัวเก็บประจุสุ่มสัญญาณการป้อนกลับภายใน : Cg_i (ฟาห์รัด)	0.129p	0.124p	-	-	-
ค่าตัวเก็บประจุการส่งผ่านสัญญาณแต่ละภาค : Cc_i (ฟาห์รัด)	-	0.184p	0.931p	0.408p	0.817p
ผลรวมค่าตัวเก็บประจุโหลดของวงจรขยาย : $Cload_i$ (ฟาห์รัด)	2.010p	2.090p	1.534p	1.760p	-

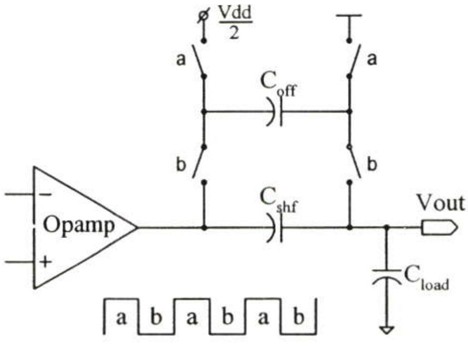
จากตารางที่ 5.4 พบว่าเทคนิคการสเกลขนาดสัญญาณของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 จะมีอัตราส่วนการกระจายค่าตัวเก็บประจุเท่ากับ 32.26 (Capacitor spreading) ซึ่งเพียงพอกับการรักษาค่าพิสัยพลวัตของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ดังแสดงในรูปที่ 5.3

5.1.3 เทคนิคการออกแบบวงจรด้วยแรงดันแหล่งจ่ายต่ำ

การออกแบบวงจรรวมด้วยแรงดันแหล่งจ่ายต่ำ จะพบกับปัญหาค่าพิสัยพลวัตการทำงานของวงจร และการพยายามเพิ่มช่วงแรงดันการทำงานของวงจรอาจจะนำมาซึ่งการสิ้นเปลืองกำลังงานที่มากเกินไป

5.1.3.1 วงจรเปลี่ยนระดับสัญญาณแบบไดนามิก

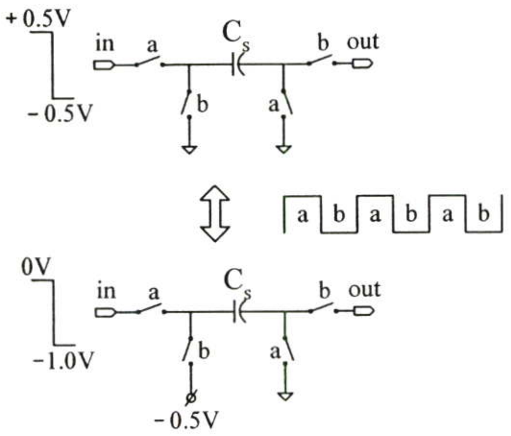
โดยทั่วไปการออกแบบวงจรขยายสัญญาณ มักจะกำหนดค่าระดับแรงดันร่วมเอาท์พุตให้อยู่ที่ค่าแรงดันกึ่งกลางของแรงดันแหล่งจ่าย เพื่อให้เกิดช่วงการแกว่งสัญญาณเอาท์พุตสูงสุด ด้วยเหตุนี้การออกแบบวงจรรวมที่แรงดันแหล่งจ่ายต่ำด้วยกลไกการทำงานของทรานซิสเตอร์สวิทช์จะก่อให้เกิดความผิดเพี้ยน และขนาดการส่งผ่านกำลังงานสัญญาณนาฬิกาค่ามาก ดังนั้นการนำวงจรเปลี่ยนระดับแรงดันแบบไดนามิกมาประยุกต์ใช้กับการออกแบบวงจรรวมด้วยเทคนิคการสวิทช์ตัวเก็บประจุที่แรงดันแหล่งจ่ายต่ำจึงมีความเหมาะสม และสามารถลดปัญหาที่เกิดจากค่าแรงดันขีดเริ่มของทรานซิสเตอร์สวิทช์ได้ ซึ่งวงจรเปลี่ยนระดับแรงดันแบบไดนามิกที่ใช้แสดงดังรูปที่ 5.5 โดยวงจรแอนะล็อกสวิทช์ที่ใช้จะเป็นวงจรแอนะล็อกสวิทช์แบบบูตสแตรปดังรูปที่ 4.24 เพื่อลดขนาดความผิดพลาดการเปลี่ยนระดับแรงดัน อย่างไรก็ตามการประยุกต์ใช้วงจรเปลี่ยนระดับแรงดันแบบไดนามิกควรจะคำนึงถึงค่าอัตราส่วนตัวเก็บประจุเปลี่ยนระดับ (C_{shf}) กับค่าตัวเก็บประจุโหลดของวงจรขยาย (C_{load}) ซึ่งจะสัมพันธ์กับค่าพิสัยพลวัตของวงจรขยายที่ต้องการ



รูปที่ 5.5 วงจรเปลี่ยนระดับแรงดันแบบไดนามิก

5.1.3.2 การชดเชยระดับแรงดันร่วม

เนื่องจากระดับแรงดันร่วมของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ถูกกำหนดให้เท่ากับค่าแรงดันแหล่งจ่าย จึงทำให้การสร้างแรงดันอ้างอิงสำหรับการป้อนกลับสัญญาณเอาท์พุตดิจิตอล ซึ่งมีช่วงการแกว่งสัญญาณเท่ากับ 0.5 โวลต์ สามารถทำได้ด้วยเทคนิคการชดเชยระดับแรงดันร่วมดังแสดงในรูปที่ 5.6 หรืออาจจะกล่าวได้อีกนัยหนึ่งว่าระดับแรงดันร่วมการป้อนกลับสัญญาณเอาท์พุตดิจิตอล มีค่าต่ำกว่าระดับแรงดันร่วมของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 อยู่เท่ากับ 0.5 โวลต์



รูปที่ 5.6 การชดเชยระดับแรงดันร่วมการป้อนกลับสัญญาณเอาท์พุตดิจิตอล

5.1.4 การกำหนดขนาดทรานซิสเตอร์สวิทช์

การกำหนดขนาดทรานซิสเตอร์ของวงจรแอนะล็อกสวิทช์ จะแปรผกผันกับขนาดความผิดพลาดการถ่ายโอนประจุ และการกำหนดขนาดทรานซิสเตอร์สวิทช์ที่มีขนาดใหญ่เกินไปจะทำให้ขนาดกำลังงานการส่งผ่านสัญญาณนาฬิกามีค่ามาก ดังนั้นการกำหนดขนาดทรานซิสเตอร์สวิทช์ให้มีขนาดเหมาะสม จะช่วยลดผลความไม่เป็นอุดมคติที่เกิดจากวงจรแอนะล็อกสวิทช์ได้ โดยขนาดทรานซิสเตอร์สวิทช์ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ซึ่งถูกกำหนดด้วยแผนผังลำดับขั้นดังรูปที่ 4.25 แสดงดังตารางที่ 5.5

ตารางที่ 5.5 ขนาดทรานซิสเตอร์สวิทช์

ค่าตัวเก็บประจุการสุ่ม : C_s (ฟาห์รัด)	ค่าแรงดันเริ่มต้น : V_{dsint} (โวลต์)	ค่าเวลาการสุ่ม : T_{av} Samp/Hold (นาโนวินาที)	ขนาดทรานซิสเตอร์สวิทช์ : W (ไมโครเมตร)
Ca_1 = 1.540p	0.50	20 / 25	12.2 / 8.2
Ca_2 = 0.616p	0.50	20 / 25	4.9 / 3.3
Ca_3 = 0.685p	0.50	20 / 25	5.5 / 3.7
Ca_4 = 0.414p	0.50	20 / 25	3.4 / 2.2
Cb_1 = 1.540p	0.30	18 / 25	14.4 / 8.4
Cb_2 = 0.616p	0.30	18 / 25	5.8 / 3.4
Cb_3 = 0.685p	0.30	18 / 25	6.4 / 3.7
Cb_4 = 0.414p	0.30	18 / 25	3.9 / 2.3
Cc_2 = 0.184p	0.40	25 / 25	1.0 / 1.2
Cc_3 = 0.931p	0.20	25 / 25	3.8 / 4.6

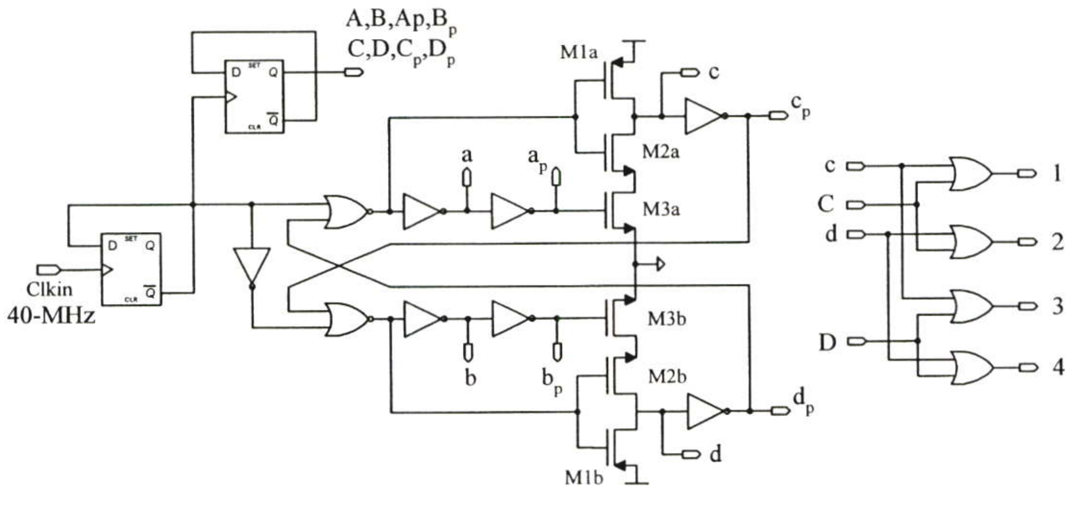
ตารางที่ 5.5 (ต่อ) ขนาดทรานซิสเตอร์สวิทช์

ค่าตัวเก็บประจุการสุ่ม : C_s (ฟาห์รัด)	ค่าแรงดันเริ่มต้น : V_{dsint} (โวลต์)	ค่าเวลาการสุ่ม : T_{av} Sample / Hold (นาโนวินาที)	ขนาดทรานซิสเตอร์สวิทช์ : W (ไมโครเมตร)
Cc_4 = 0.408p	0.40	25 / 25	2.1 / 2.4
Cg_1 = 0.129p	0.20	25 / 25	0.7 / 0.7
Cg_2 = 0.124p	0.15	25 / 25	0.7 / 0.7
Cf_1 = 4.000p	0.40	25 / 25	20.4
Cf_2 = 3.000p	0.20	25 / 25	12.4
Cf_3 = 2.000p	0.40	25 / 25	10.2
Cf_4 = 2.000p	0.15	25 / 25	7.8

จากตารางที่ 5.5 กำหนดให้เปอร์เซ็นต์ความผิดพลาดการถ่ายโอนประจุ (ε) มีค่าเท่ากับ 0.1 %

5.1.5 วงจรกำเนิดสัญญาณนาฬิกา

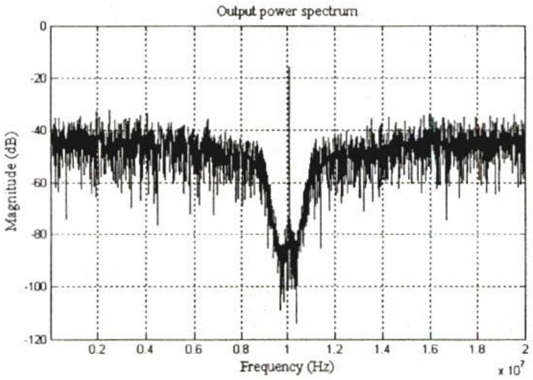
วงจรเรโซเนเตอร์แบบสวิทช์ตัวเก็บประจุทั้งสองโครงสร้าง ต้องการสัญญาณนาฬิกาในการควบคุมการถ่ายโอนประจุเท่ากับ 6 รูปแบบ โดยสัญญาณนาฬิกาทั้ง 6 รูปแบบ สร้างได้จากวงจรหารความถี่ และวงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อนดังแสดงในรูปที่ 5.7 โดยสัญญาณนาฬิกาแบบไม่ทับซ้อน สามารถสร้างได้จากวงจรกำเนิดสัญญาณนาฬิกาแบบไม่ทับซ้อนอย่างง่ายดังแสดงในรูปที่ 4.26 โดยขนาดของวงจรบัฟเฟอร์สัญญาณนาฬิกาจะกำหนดด้วยช่วงเวลาขึ้น-ลง (Rise-fall time) ของสัญญาณนาฬิกา ซึ่งในการออกแบบสัญญาณนาฬิกาจะกำหนดให้ช่วงเวลาขึ้น-ลงมีค่าเท่ากับ 0.5 นาโนวินาที (3 โวลต์ต่อนาโนวินาที)



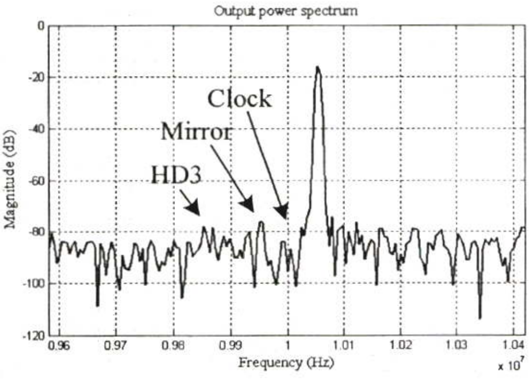
รูปที่ 5.7 วงจรกำเนิดสัญญาณนาฬิกา

5.2 ผลการจำลองการทำงาน

การออกแบบ และการจำลองการทำงานวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 จะใช้โปรแกรม Cadence Spectre โดยการทดสอบประสิทธิภาพการทำงานของวงจรระดับทรานซิสเตอร์ จะสร้างสัญญาณไซน์อินพุตผลต่าง (Differential signal) ด้วยวงจรกำเนิดสัญญาณผลต่างแบบอุดมคติที่มีระดับแรงดันร่วมเท่ากับ 1.5 โวลต์ และสัญญาณเอาท์พุตดิจิตอลที่ได้จากวงจรเปรียบเทียบสัญญาณที่ทำงานด้วยเทคนิคการสอดแทรกทางเวลา จะถูกมัลติเพลกซ์ด้วยวงจรดิจิตอลเกตออร์ (OR gate) เพื่อให้ได้สัญญาณดิจิตอลเอาท์พุตแบบ 1 บิต และการคำนวณค่ากำลังงานสเปกตรัมของสัญญาณดิจิตอลเอาท์พุตจะใช้โปรแกรม Matlab โดยจำนวนตัวอย่างที่ได้จากการสุ่มสัญญาณเอาท์พุตดิจิตอลจะเท่ากับ 8192 ตัวอย่าง และในการคำนวณค่าอนุกรมฟูเรียร์จะใช้การจัดรูปองค์ประกอบความถี่สัญญาณอินพุตด้วยหน้าต่างแบบไกเซอร์ (Kaiser windowing) ที่มีค่าคงที่หน้าต่างเท่ากับ 7 (β=7) โดยกำลังงานสเปกตรัมสัญญาณเอาท์พุตดิจิตอลแบบ 1 บิตของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 แสดงดังรูปที่ 5.8



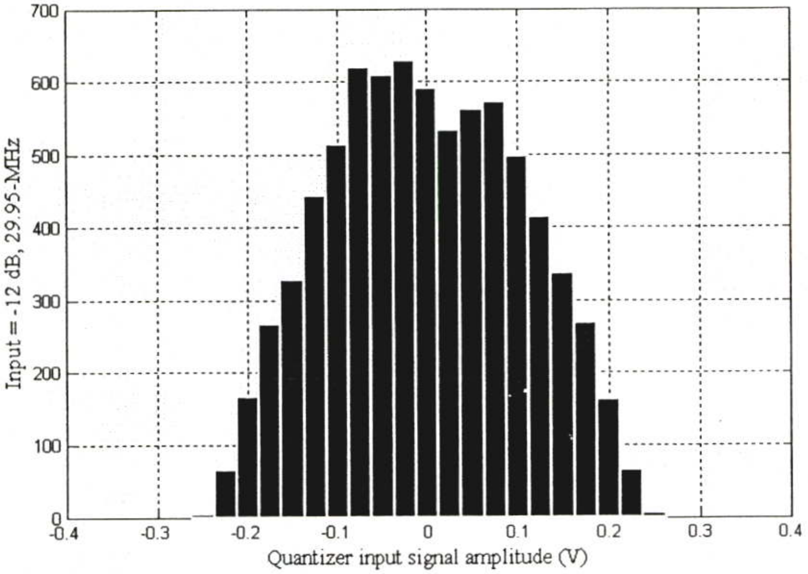
ก) กำลังงานสเปกตรัมตลอดช่วงความถี่ไนควิสท์ (20 เมกกะเฮิรตซ์)



ข) กำลังงานสเปกตรัมในช่วงแบนด์วิดท์การทำงาน (835 กิโลเฮิรตซ์)

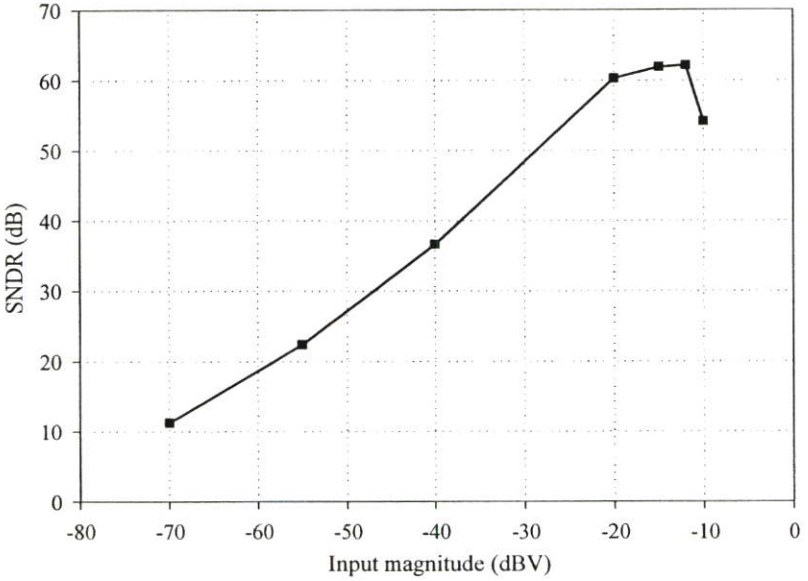
รูปที่ 5.8 กำลังงานสเปกตรัมสัญญาณเอาท์พุตดิจิตอล 1 บิต ของสัญญาณไซน์อินพุต ขนาด -12 เดซิเบล ความถี่ 29.95 เมกกะเฮิรตซ์

จากรูปที่ 5.8 แสดงให้เห็นว่าขนาดกำลังงานสัญญาณเงาจะมีค่าต่ำกว่าขนาดกำลังงานสัญญาณอินพุตเท่ากับ 60.20 เดซิเบล ซึ่งสัญญาณเงาจะเป็นองค์ประกอบความถี่ที่จำกัดค่า Spurious Free Dynamic Range : SFDR ของวงจร โดยกำลังงานของสัญญาณฮาร์มอนิกอันดับที่ 3 (HD3) ที่เกิดจากความไม่เป็นเชิงเส้นของวงจรจะมีค่าต่ำกว่าขนาดกำลังงานสัญญาณอินพุตเท่ากับ 61.80 เดซิเบล และขนาดกำลังงานสัญญาณรบกวนเฉลี่ย (Noise floor) ในช่วงแบนด์วิดท์การทำงานมีค่าประมาณเท่ากับ -85 เดซิเบล และจากรูปจะพบว่าขนาดกำลังงานสัญญาณนาฬิกาที่ส่งผ่านมากับสัญญาณเอาท์พุตดิจิตอลจะมีค่าต่ำกว่าระดับกำลังงานสัญญาณรบกวนเฉลี่ย



รูปที่ 5.9 การแจกแจงความถี่ของค่าสัญญาณอินพุตวงจรจัดระดับสัญญาณ (Histogram)

จากรูปที่ 5.9 เป็นผลการแจกแจงความถี่ของค่าสัญญาณอินพุตวงจรจัดระดับสัญญาณแบบ 1 บิต เมื่อกำหนดให้ขนาดสัญญาณอินพุตเท่ากับ -12 เดซิเบล ความถี่ 29.95 เมกกะเฮิรตซ์ โดยทำการสุ่มค่าสัญญาณทางเวลาเป็นจำนวนเท่ากับ 7660 ตัวอย่าง ซึ่งจากผลการแจกแจงความถี่พบว่าค่าสัญญาณอินพุตของวงจรจัดระดับสัญญาณจะมีค่าอยู่ในช่วงแรงดัน ±250 มิลลิโวลต์ ซึ่งไม่ทำให้เกิดภาวะโหลดเกินขึ้น



รูปที่ 5.10 ผลการคำนวณค่า SNDR ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8

จากรูปที่ 5.10 เป็นผลการคำนวณค่ากำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน และความผิดเพี้ยนที่เกิดขึ้น (SNDR) โดยวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่ได้ทำการออกแบบจะมีค่า SNDR สูงสุดเท่ากับ 62.15 เดซิเบล ซึ่งจะมีค่าจำนวนบิตการจัดระดับสัญญาณประสิทธิผล (ENOB) เท่ากับ 10.03 บิต และจากรูปพบว่าค่าพิสัยพลวัตของวงจรจะมีค่าประมาณเท่ากับ 70 เดซิเบล ซึ่งขนาดสัญญาณอินพุตสูงสุดที่ไม่ทำให้วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 เกิดโหลดเกินขึ้น จะมีค่าเท่ากับ -10 เดซิเบล หรือคิดเป็น 63 เปอร์เซ็นต์ของขนาดสัญญาณอ้างอิงป้อนกลับ

จากผลการจำลองการทำงานจะพบว่า วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 มีค่ากำลังงานสูญเสียเท่ากับ 12.38 มิลลิวัตต์ ซึ่งประสิทธิภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตาสามารถสรุปได้ดังตารางที่ 5.6

ตารางที่ 5.6 สรุปผลการคำนวณค่าประสิทธิภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตา

คุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตา	
แรงดันแหล่งจ่าย	1.5 โวลต์
กำลังงานสูญเสีย	12.38 มิลลิวัตต์
ความถี่สัญญาณอินพุต (IF)	30 เมกกะเฮิรตซ์
ขนาดช่วงความถี่แบนด์วิดท์	835 กิโลเฮิรตซ์
ค่าความถี่การสุ่มประสิทธิผล	40 เมกกะเฮิรตซ์
ค่า SNDR สูงสุด	62.15 เดซิเบล
SFDR	60.20 เดซิเบล
ค่าพิสัยพลวัต (Dynamic range)	70.00 เดซิเบล
ค่าการลดทอนสัญญาณเงา (Mirror signal attenuation)	60.20 เดซิเบล
ค่าการลดทอนสัญญาณความผิดเพี้ยน (HD3 attenuation)	61.80 เดซิเบล
ค่าการลดทอนสัญญาณนาฬิกา (Clock feedthrough)	80.00 เดซิเบล
ขนาดสัญญาณอินพุตสูงสุด	63.00 เปอร์เซ็นต์

บทที่6
สรุปผลการวิจัย และข้อเสนอแนะ

6.1 สรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่ทำงานได้ด้วยค่าแรงดันแหล่งจ่ายต่ำเท่ากับ 1.5 โวลต์ และมีค่ากำลังงานสูญเสียเท่ากับ 12.38 มิลลิวัตต์ โดยเทคนิคการสเกลขนาดสัญญาณจะทำให้วงจรมอดูเลตสัญญาณซิกมาเดลตามีค่ากำลังงานสัญญาณรบกวนเฉลี่ย (Noise floor) เท่ากับ -85 เดซิเบล ซึ่งใกล้เคียงกับผลการประมาณค่าด้วยแบบจำลองความไม่เป็นอุดมคติ (-90 เดซิเบล) และจากผลการจำลองการทำงานแสดงให้เห็นว่าการประยุกต์ใช้เทคนิคการสุ่มแบบสวิทช์ร่วม (Global sampling technique) จะสามารถลดทอนสัญญาณเงาได้เท่ากับ 60.20 เดซิเบล ซึ่งถือได้ว่าเพียงพอกับการประยุกต์ใช้งาน และความผิดเพี้ยนที่เกิดขึ้นจากความไม่เป็นเชิงเส้นของค่าคงตัวเวลาการสุ่มสัญญาณอินพุต จะสามารถลดทอนได้เท่ากับ 61.80 เดซิเบล ด้วยการใช้เทคนิคบูตสแตรปสวิทช์ (Bootstrapped switch) และจากผลการคำนวณค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน และความผิดเพี้ยน (SNDR) จะเห็นได้ว่าการประยุกต์ใช้เทคนิคต่างๆในการออกแบบวงจรสามารถรักษาคุณสมบัติการจัดรูปสัญญาณรบกวน ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ให้มีค่าใกล้เคียงความเป็นอุดมคติได้โดยมีค่า SNDR สูงสุดเท่ากับ 62.15 เดซิเบล และค่าพิสัยพลวัตเท่ากับ 70 เดซิเบล ซึ่งจะมีค่าความละเอียดประสิทธิผลเท่ากับ 10.03 บิต และจากการเลือกกำหนดคุณสมบัติฟังก์ชันการส่งผ่านสัญญาณรบกวน จะทำให้วงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 สามารถทำงานได้อย่างมีเสถียรภาพที่ขนาดสัญญาณอินพุตสูงสุดเท่ากับ -10 เดซิเบล หรือคิดเป็น 63 เปอร์เซ็นต์ของค่าแรงดันอ้างอิงป้อนกลับ

จากผลการจำลองการทำงานสรุปได้ว่าวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 ที่ได้จากการออกแบบจะมีขนาดแบนด์วิดท์การทำงานเท่ากับ 835 กิโลเฮิรตซ์ สามารถทำงานได้ดีที่ค่าแรงดันแหล่งจ่ายต่ำเท่ากับ 1.5 โวลต์ ด้วยการประยุกต์ใช้เทคนิคการออกแบบวงจรสวิทช์ตัวเก็บประจุเทคนิคต่างๆ ดังที่ได้กล่าวไป

6.2 ข้อเสนอแนะ

จากคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 8 การเพิ่มขนาดแบนด์วิดท์การทำงานของวงจร (3.84-MHz) สามารถทำได้ด้วยการเพิ่มค่าอัตราการสุ่มสัญญาณของวงจร ซึ่งจะสามารถทำได้ดีขึ้นด้วยการลดขนาดเทคโนโลยีการออกแบบวงจรรวมหรือการเพิ่มขนาดแรงดันแหล่งจ่ายของวงจรให้มีค่ามากขึ้น และความต้องการค่ากำลังงานสัญญาณ

รบกวนเฉลี่ย ค่าพิสัยพลวัตของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลในย่านความถี่กลาง จะสามารถทำได้ด้วยการเพิ่มจำนวนบิตการจัดระดับสัญญาณภายใน (B) ซึ่งจะทำให้การออกแบบวงจรป้อนกลับสัญญาณดิจิตอลเป็นแอนะลอก (DAC) ทำได้ยากมากขึ้น

เอกสารอ้างอิง

[1] B. Razavi, **RF microelectronics.** Prentice Hall PTR, United States of America, 1998

[2] J.C. Candy, "A use of double integration in sigma delta modulation" **IEEE Trans. Communications**, vol. 33, pp. 249-258, Mar. 1985

[3] S.R. Norsworthy, R. schreier and G.C. Temes, **Delta sigma data converters theory, design and simulation.** IEEE PRESS, New York, 1997.

[4] M. Kozak and I. kale, **Oversampled delta-sigma modulator analysis, applications and novel topologies**. Kluwer Academic Publishers, Dordrecht, Netherlands, 2003

[5] K.C. H. Chao, S. Nadeem, W.L. Lee and C. G. Sodini, "A higher order topology for interpolative modulators for oversampling A/D converters" **IEEE Trans. Circuits and Systems**, vol. 37, pp. 309-318, Mar. 1990

[6] E. F. Stikvoort, "Some remards on the stability and performance of the noise shaper or sigma-delta modulator" **IEEE Trans. Communications**, vol. 36, pp. 1157-1162, Oct. 1988

[7] T. Ritoniemi, T. Karema and H. Tenhunen, "Design of stable high order 1-bit sigma-delta modulators" **IEEE Int. Symp. On Circuits and Systems**, vol. 4, pp. 3267-3270, May 1990

[8] J. V. Engelen and R. V. de Plassche, **Bandpass sigma delta modulators stability analysis performance and design aspects.** Kluwer Academic Publishers, Dordrecht, Netherlands, 1999

[9] Teemu Salo, **"Bandpass delta-sigma modulators for radio receivers"** Ph. D. dissertation, Dept. Elect. and Comm. Eng., Helsinki Univ., Espoo, Finland, 2003

[10] R. Schreier, "An empirical study of high-order single-bit delta-sigma modulators" **IEEE Trans. Circuits and Systems**, Vol. 40, pp. 461-466, Aug. 1993

[11] www.math-works.com/matlabcentral/fileexchange, "Delta-Sigma toolbox"

[12] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato and A. Baschirotto, "Behavioral modeling of switched-capacitor sigma-delta modulators" **IEEE Trans. Circuits and Systems**, Vol. 50, pp. 352-364, March 2003

[13] N. Beilleau, H. Aboushady and M. M. Louerat, "Systematic approach for scaling coefficients of discrete-time and continuous-time sigma-delta modulators" **Proc. Mwscas** 2003

[14] B. Razavi, **Design of analog CMOS integrated circuits.** Mc Graw Hill, New York, 2001

[15] W. Black and D. Hodges, "Time interleaved converter arrays" **IEEE Conf. Solid-State Circuits.** Vol. XXIII, pp. 14-15, Feb. 1980

[16] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis and R. G. Renninger, "A 250-mW, 8-b, 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers" **IEEE Jour. Solid-State Circuits**, Vol. 32, pp. 312-320, March 1997

[17] Y. C. Jenq, "Digital spectra of nonuniformly sampled signal: Fundamentals and high-speed waveform digitizers" **IEEE Trans. Instrumentation and Measurement**, Vol. 37, pp. 245-251, June 1988

[18] N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara and K. Kobayashi, "Explicit analysis of channel mismatch effects in time-interleaved ADC systems" **IEEE Trans. Circuits and Systems**, Vol. 48, pp. 261-271, March 2001

[19] K. Poulton, J. J. Corcoran and T. Hornak, "A 1-GHz 6-bit ADC system" **IEEE Jour. Solid-State Circuits**, Vol. 22, pp. 962-970, Dec. 1987

[20] M. Waltari and K. Halonen, "Timing skew insensitive switching for double-sampled circuits" **IEEE Proc. Circuits and Systems**, Vol. 2, pp. 61-64, May 1999

[21] M. Gustavsson and N. N. Tan, "A global passive sampling technique for high-speed switched-capacitor time-interleaved ADCs" **IEEE Trans. Circuits and Systems**, Vol. 47, pp. 821-831, Sept. 2000

[22] D. G. Haigh and B. Singh, "A switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with switch control terminals" **IEEE Proc. Circuits and Systems**, pp. 586-589, May 1983

[23] M. Waltari, **"Circuit techniques for low-voltage and high-speed A/D converters"** Ph. D. dissertation, Dept. Elect. and Comm. Eng., Helsinki Univ., Espoo, Finland, 2002

[24] T. Salo, S. Lindfors and K A. I. Halonen, "A 80 MHz bandpass ΔΣ modulator for 100 MHz IF receiver" **IEEE Jour. Solid-State Circuits**, Vol. 37, pp. 798-808, July 2002

[25] L. Longo and B. R. Horng, "A 15b 30kHz bandpass sigma-delta modulator" **IEEE Int. Conf. Solid State Circuits**, pp. 226-227, 293, Feb. 1993

[26] F. W. Singor and W. M. Snelgrove, "Switched-capacitor bandpass delta-sigma A/D modulation at 10.7 MHz" **IEEE Jour. Solid-State Circuits**, Vol. 30, pp. 184-192, Mar. 1995

[27] S. Bazarjani and W. M. Snelgrove, "A 160-MHz fourth-order double-sampled SC bandpass sigma-delta modulator" **IEEE Trans. Circuits and Systems**, Vol. 45, pp. 547-555, May 1998

[28] A. K. Ong and B. A. Wooley, "A two-path bandpass ΔΣ modulator for digital IF extraction at 20 MHz" **IEEE Jour. Solid-State Circuits**, Vol. 32, pp. 1920-1934, Dec. 1997

[29] P. V. Ananda Mohan, V. Ramachandran and M. N. S. Swamy, **Switched capacitor filter theory, analysis and design.** Prentice Hall, London, 1995

[30] Z. Czarnul, G. C. Temes and A. G. Yesilyurt, "Pseudo N-path switched capacitor filters with out-of-band noise peaks" **IEE Elec. Letters**, Vol. 27 pp. 1137-1139, June 1991

[31] G. Palmisano and F. Montecchi, "Simplified pseudo N-path cells for z to $-z^N$ Transformed SC active filters" **IEEE Trans. Circuits and Systems**, Vol. 36, pp. 461-463, Mar. 1989

[32] S. I. Liu, C. H. Kuo, R. Y. Tsai and J. Wu, "A double-sampling pseudo two-path bandpass ΔΣ modulator" **IEEE Jour. Solid-State Circuits**, Vol. 35, pp. 276-280, Feb. 2000

[33] M. Keskin, U. K. Moon and G. C. Temes, "Switched-capacitor resonator structure with improved performance" **IEE Elec. Letters**, Vol. 37, pp. 212-213, Feb. 2001

[34] S. Mehrmanesh, H. A. Aslanzadeh, M. B. Vahidfar and M. Atarodi, "A 1.5 v high-speed class AB operational amplifier for high-resolution high-speed pipelined A/D converters" **IEEE Proc. Circuits and Systems**, Vol. 1, pp. 273-276, May 2003

[35] M. Taherzadeh-Sani, R. Lotfi, H. Zare-Hoseini and O. Shoaei, "A high slew-rate low-voltage low-power operational amplifier using a new current injection circuit" **IEEE Int. Symp. Circuits and Systems**, Vol. 2, pp. 481-484, July 2003

[36] M. Taherzaeh-Sani, R. Lofti and O. Shoaei, "A novel frequency compensation technique for two-stage CMOS operational amplifiers" **IEEE Int. Conf. Circuits and Systems**, Vol. 1, pp. 256-259, Dec. 2003

[37] H. A. Aslanzadeh, S. Mehrmanesh, M. B. Vahidfar, A. Q. Safarian and R. Lotfi, "A 1-V 1-mW high-speed class AB operational amplifier for high-speed low power pipelined A/D converters using 'slew boost' technique" **IEEE Int. Symp. Low Power Electronics and Design**, pp. 340-344, Aug. 2003

[38] M. M. Amourah and R. L. Geiger, "Gain and bandwidth boosting techniques for high-speed operational amplifiers" **IEEE Int. Symp. Circuits and Systems**, Vol. 1, pp. 232-235, May 2001

[39] H. Haibin and E. I. El-Masry, "A fast settling CMOS operational amplifier" **IEEE Int. Symp. Circuits and Systems**, Vol. 1, pp. 265-268, May 2003

[40] S. Wongnamkum and A. Thanachayanont, "New class-AB operational transconductance amplifier for high-speed switched-capacitor circuits" **IEEE Int. Symp. Communications and Information Technology**, Vol. 1, pp. 531-535, Oct. 2004

[41] David Johns and Ken Martin, **Analog integrated circuit design.** John Wiley & Sons, New York, 1997

[42] O. Choksi and L. R. Carley, "Analysis of switched-capacitor common-mode feedback circuit" **IEEE Trans. Circuits and Systems**, Vol. 50, pp. 906-917, Dec. 2003

[43] L. Sumanen, M. Waltari, V. Hakkarainen and K. Halonen, "CMOS dynamic comparators for pipeline A/D converters" **IEEE Int. Symp. Circuits and Systems**, Vol. 5, pp. 157-160, 2002

[44] V. Balan, "A low-voltage regulator circuit with self-bias to improve accuracy" **IEEE Jour. Solid-State Circuits**, Vol. 38, pp. 365-368, Dec. 2003

[45] J. Steengaard, "Bootstrapped low-voltage analog switches" **IEEE Int. Symp. Circuits and Systems**, Vol. 2, pp. 29-32, July 1999

[46] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping" **IEEE Jour. Solid-State Circuits**, Vol. 36, pp. 349-355, Mar 2001

[47] M. Dessouky, M. M. Louerat and A. Kaiser, "Switch sizing for very low-voltage switched-capacitor circuits" **IEEE Int. Conf. Circuits and Systems**, Vol. 3, pp. 1549-1552, Sept. 2001

[48] K. P. J. Thomas, R. S. Rana and Yong Lian, "A 1GHz CMOS fourth-order continuous-time bandpass sigma delta modulator for RF receiver front end A/D conversion" **in proc of ASP, IEEE Int. Conf**. Vol. 2, pp. 655-670, Jan. 2005

[49] Loi Changfeng and Yong Ping Xu, "A 400-MHz fourth-order bandpass sigma-delta modulator in SiGe technology" **in proc, IEEE Int. Symp**. Circuits and Systems, Vol.1, pp. 249-252, 2004

[50] T. Kaplan, J. Cruz-Albrecht, M. Mokhtari, D. Matthews, J. Jensen and M. F. Chang, "A 1.3-GHz IF digitizer using a 4^{th}-order continuous-time bandpass ΔΣ modulator" **in proc, IEEE Int. Conf.** Custom Integrated Circuits, pp. 127-130, Sept. 2003

[51] L. Chon-In, L. Ho-leng, A. Kuoi-Fok, M. Kuok-Hang and S. Martins, "A 10.7-MHz bandpass sigma-delta modulator using double-delay single-opamp SC resonator with double-sampling" **in proc. IEEE Int. Symp**. Circuits and Systems, Vol. 1, pp. 1061-1064, 2003

[52] T. O. Salo, S. J. Lindfors, T. M. Hollman, J. A. M. Jarvinen and K. A. I. Halonen, "80-MHz bandpass ΔΣ modulators for multimode digital IF receivers" **IEEE Jour. Solid-State Circuits**, Vol. 38, pp. 464-474, March 2003

[53] A. Norman, K. Sharaf and H. F. Ragai, "5 mW,64 dB SNDR, 4^{th} order bandpass ΣΔ modulator for 10.7 MHz digital IF" **in proc. IEEE Int. Conf.** Microelectronics, pp. 114-117, Dec. 2003

[54] W. Sau-Mou, L. Rou-Yi, W. Wei and C. Che-Pin, "Chip design of a bandpass sigma-delta modulator" **IEEE Int. Conf. Circuits and Systems**, Vol. 3, pp. 1375-1378, Sept. 2001

[55] J. A. Cherry, W. M. Snelgrove and G. Weinan, "On the design of a fourth-order continuous-time LC delta-sigma modulator for UHF A/D conversion" **IEEE Trans. Circuits and Systems**, Vol. 47, pp. 518-530, June 2000

[56] L. Louis, J. Abcarius and G. W. Roberts, "An eighth-order bandpass ΔΣ modulator for A/D conversion in digital radio" **IEEE Jour. Solid-State Circuits**, Vol.34, pp. 423-431, April 1999

[57] J. A. E. P. Van Engelen, R. J. Van De Plassche, E. Stikvoort and A. G. Venes, "A sixth-order continuous-time bandpass sigma-delta modulator for digital radio IF" **IEEE Jour. Solid-State Circuits**, Vol. 34, pp. 1753-1764, Dec. 1999

[58] S. Bazarjani, S. Younis, J. Goldblatt, D. Butterfield, G. Mcallister and S. Ciccarelli, "An 85 MHz IF bandpass sigma-delta modulator for CDMA receivers" **in proc. IEEE Int. Conf.** Solid-State Circuits, pp. 266-269, Sept. 1999

[59] W. Gao and W. M. Snelgrove, "A 950-MHz IF second-order integrated LC bandpass delta-sigma modulator" **IEEE Jour. Solid-State Circuits**, Vol. 33, pp. 723-732, May 1998

[60] S. Bazarjani and M. Snelgrove, "A 40 MHz IF fourth-order double-sampled SC bandpass ΣΔ modulator" **IEEE Int. Symp. Circuits and Systems**, Vol. 1, pp. 73-76, June 1997

[61] A. Jayaraman, P. Asbeck, K. Nary, S. Beccue and W. Keh-Chung, "Bandpass delta-sigma modulator with 800 MHz center frequency" **IEEE Int. Symp. Gallium Arsenide Integrated Circuits**, pp. 95-98, Oct. 1997

[62] A. Hairapetian, "An 81-MHz IF receiver in CMOS" **IEEE Jour. Solid-State Circuits**, Vol. 31, pp. 1981-1986, Dec. 1996

ภาคผนวก ก

การคำนวณหาค่าอัตราส่วนกำลังงานสัญญาณอินพุตต่อกำลังงานสัญญาณรบกวน (SNR) ของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2

ฟังก์ชันการส่งผ่านสัญญาณรบกวนของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2 (N(z)) ที่มีค่าความถี่กลางเท่ากับ $f_s/4$ จะเท่ากับสมการที่ ก.1

$$N(z) = 1 + z^{-2} \quad \text{ก.1}$$

กำหนดให้ $z = e^{j(2\pi f/f_s)}$ จะได้ว่า

$$N(f) = 1 + e^{-j(4\pi f/f_s)} \quad \text{ก.2}$$

$$N(f) = 2e^{-j(2\pi f/f_s)}\left[\frac{e^{j(2\pi f/f_s)} + e^{-j(2\pi f/f_s)}}{2}\right] \quad \text{ก.3}$$

จากความสัมพันธ์ทางคณิตศาสตร์ของฟังก์ชันตรีโกณมิติกับจำนวนเชิงซ้อนดังสมการที่ ก.4

$$\cos\theta = \frac{1}{2}\left(e^{j\theta} + e^{-j\theta}\right) \quad \text{ก.4}$$

เมื่อทำการแทนค่าความสัมพันธ์ดังสมการที่ ก.4 ลงในสมการการส่งผ่านสัญญาณรบกวนจะได้

$$N(f) = 2e^{-j(2\pi f/f_s)}\cos\left(\frac{2\pi f}{f_s}\right) \quad \text{ก.5}$$

ดังนั้นจะสามารถหาค่าขนาดการส่งผ่านกำลังงานสัญญาณรบกวนได้ดังสมการที่ ก.6

$$\left|N(f)\right| = 2\cos\left(\frac{2\pi f}{f_s}\right) \quad \text{ก.6}$$

ขนาดกำลังงานสัญญาณรบกวนที่เอาท์พุตของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2 (σ_n^2) จะเท่ากับ สมการที่ ก.7

$$\sigma_n^2 = \int_{f_1}^{f_2} S_q^2 \left|N(f)\right|^2 df \qquad \text{ก.7}$$

กำหนดให้ S_q^2 คือ ขนาดการกระจายกำลังงานสัญญาณรบกวนในระนาบความถี่

$$\sigma_n^2 = \int_{f_1}^{f_2} \frac{4\sigma_q^2}{f_s} \cos^2\left(\frac{2\pi f}{f_s}\right) \qquad \text{ก.8}$$

เมื่อกำหนดให้ σ_q^2 คือขนาดกำลังงานสัญญาณรบกวนที่เกิดจากการจัดระดับสัญญาณ ดังนั้นจากความสัมพันธ์ของฟังก์ชันตรีโกณมิติ $\cos^2(\theta) = \frac{1}{2}\left[1+\cos(2\theta)\right]$ จะได้ว่า

$$\sigma_n^2 = \frac{2\sigma_q^2}{\pi}\left(\frac{1}{4}\sin\left(\frac{4\pi f}{f_s}\right) + \frac{\pi f}{f_s}\right|_{f_1}^{f_2} \qquad \text{ก.9}$$

$$\sigma_n^2 = \frac{2\sigma_q^2}{\pi}\left[\frac{1}{4}\sin\left(\frac{4\pi f_2}{f_s}\right) - \frac{1}{4}\sin\left(\frac{4\pi f_1}{f_s}\right) + \frac{\pi}{f_s}(f_2 - f_1)\right] \qquad \text{ก.10}$$

จากความสัมพันธ์ของฟังก์ชันตรีโกณมิติ $\sin a - \sin b = 2\cos\left(\frac{a+b}{2}\right)\sin\left(\frac{a-b}{2}\right)$ จะได้ว่า

$$\sigma_n^2 = \frac{2\sigma_q^2}{\pi}\left[\frac{1}{2}\cos\left(\frac{2\pi(f_2+f_1)}{f_s}\right)\sin\left(\frac{2\pi(f_2-f_1)}{f_s}\right) + \frac{\pi}{f_s}(f_2 - f_1)\right] \qquad \text{ก.11}$$

เนื่องจากค่าความถี่กลาง (f_0) ของฟังก์ชันการส่งผ่านสัญญาณรบกวนอยู่ที่ตำแหน่ง $\pi/2$ จึงทำให้ผลรวมของค่าความถี่ขอบของฟังก์ชันการส่งผ่านสัญญาณรบกวนมีค่าเท่ากับ $f_s/2$ ดังนั้นจะได้ว่า

$$\sigma_n^2 = \frac{2\sigma_q^2}{\pi}\left[\frac{\pi}{f_s}(f_2 - f_1) - \frac{1}{2}\sin\left(\frac{2\pi(f_2-f_1)}{f_s}\right)\right] \qquad \text{ก.12}$$

เมื่อกำหนดให้ค่าสัดส่วนอัตราการสุ่มเกินของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่อันดับที่ 2 มีค่ามาก จะทำให้สามารถประมาณค่าฟังก์ชันไซน์ได้ด้วยอนุกรมเทย์เลอร์อันดับที่ 3 คือ $\sin x = x - \frac{1}{6}x^3$ ดังนั้นจากสมการที่ ก.12 จะได้ว่า

$$\sigma_n^2 = \frac{2\sigma_q^2}{\pi}\left[\frac{\pi}{f_s}(f_2 - f_1) - \frac{1}{2}\left(\frac{2\pi(f_2 - f_1)}{f_s}\right) + \frac{1}{12}\left(\frac{2\pi(f_2 - f_1)}{f_s}\right)^3\right] \qquad \text{ก.13}$$

$$\sigma_n^2 = \frac{\sigma_q^2 \pi^2}{6}\frac{1}{OSR^3} \qquad \text{ก.14}$$

เมื่อทำการหาค่าอัตราส่วนกำลังงานสัญญาณอินพุต $\left(\sigma_s^2\right)$ ต่อกำลังงานสัญญาณรบกวน $\left(\sigma_n^2\right)$ จะได้เท่ากับสมการที่ ก.16

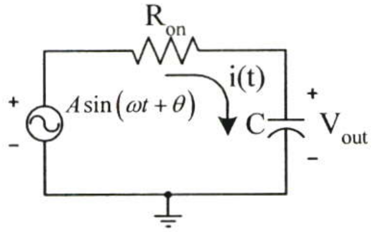
$$SNR = 10\log\left(\frac{\sigma_s^2}{\sigma_n^2}\right) \qquad \text{ก.15}$$

$$SNR = 10\log\left(\frac{\sigma_s^2}{\sigma_q^2}\right) - 10\log\left(\frac{\pi^2}{6}\right) + 30\log(OSR) \ \ dB \qquad \text{ก.16}$$

ภาคผนวก ข

การคำนวณหาค่าแรงดันผิดพลาดจากการสุ่มสัญญาณคลื่นไซน์

กำหนดให้แบบจำลองการสุ่มสัญญาณคลื่นไซน์ด้วยตัวเก็บประจุ C เป็นดังรูปที่ ข.1



รูปที่ ข.1 แบบจำลองการสุ่มสัญญาณคลื่นไซน์

จากแบบจำลองจะเห็นว่าค่าสัญญาณการสุ่มจะอยู่ในรูปสมการเชิงผลต่างอันดับที่ 1 (First-order differential equation) ซึ่งจะสามารถเขียนความสัมพันธ์ค่าแรงดันการสุ่มกับตัวแปรเวลาได้ดังสมการที่ ข.1

$$\frac{dV_o(t)}{dt}+\frac{V_o(t)}{R_{on}C}=\frac{A}{R_{on}C}\sin(\omega t+\theta) \qquad \text{ข.1}$$

จากสมการที่ ข.1 จะสามารถเขียนผลเฉลยธรรมชาติ (Natural response : $V_{o,n}$) และผลเฉลยบังคับ (Force response : $V_{o,f}$) ได้ดังสมการที่ ข.2 และ ข.3 ตามลำดับ

$$V_{o,n}(t)=Ke^{\left(\frac{-t}{R_{on}C}\right)} \qquad \text{ข.2}$$

$$V_{o,f}(t)=M\sin(\omega t)+N\cos(\omega t) \qquad \text{ข.3}$$

กำหนดให้ K, M และ N เป็นค่าคงที่ของผลเฉลย ดังนั้นจากสมการที่ ข.2 และ ข.3 จะสามารถเขียนผลเฉลยทั่วไป (General solutions :$V_{o,g}$) ของการสุ่มสัญญาณคลื่นไซน์ได้ดังสมการที่ ข.4

$$V_{o,g}(t)=Ke^{\left(\frac{-t}{R_{on}C}\right)}+M\sin(\omega t)+N\cos(\omega t) \qquad \text{ข.4}$$

เมื่อนำค่าผลเฉลยบังคับ ($V_{o,f}(t)$) แทนลงในสมการที่ ข.1 จะได้ว่า

$$\omega M\cos(\omega t)-\omega N\sin(\omega t)+\frac{M}{R_{on}C}\sin(\omega t)+\frac{N}{R_{on}C}\cos(\omega t)=\frac{A}{R_{on}C}\sin(\omega t+\theta) \qquad \text{ข.5}$$

จากความสัมพันธ์ของฟังก์ชันตรีโกณมิติ $\sin(a+b)=\sin(a)\cos(b)+\cos(a)\sin(b)$ จะได้ว่า

$$\left(\frac{M}{R_{on}C}-\omega N\right)\sin(\omega t)+\left(\frac{N}{R_{on}C}+\omega M\right)\cos(\omega t)=$$

$$\left(\frac{A}{R_{on}C}\cos(\theta)\right)\sin(\omega t)+\left(\frac{A}{R_{on}C}\sin(\theta)\right)\cos(\omega t) \qquad \text{ข.6}$$

จากความสัมพันธ์ในสมการที่ ข. 6 เมื่อทำการเทียบสัมประสิทธิ์จะหาความสัมพันธ์ของค่าคงที่ M และ N ได้ดังสมการที่ ข.9 และ ข.10

$$\frac{M}{R_{on}C}-\omega N=\frac{A}{R_{on}C}\cos(\theta) \qquad \text{ข.7}$$

$$\frac{N}{R_{on}C}+\omega M=\frac{A}{R_{on}C}\sin(\theta) \qquad \text{ข.8}$$

$$M=\frac{\omega A R_{on}C}{1+(\omega R_{on}C)^2}\sin(\theta)+\frac{A}{1+(\omega R_{on}C)^2}\cos(\theta) \qquad \text{ข.9}$$

$$N=\frac{A}{1+(\omega R_{on}C)^2}\sin(\theta)-\frac{\omega A R_{on}C}{1+(\omega R_{on}C)^2}\cos(\theta) \qquad \text{ข.10}$$

เมื่อกำหนดให้ค่าแรงดันการสุ่มเริ่มต้นมีค่าเท่ากับศูนย์ ($V_{o,t=0}=0$) ดังนั้นจากสมการที่ ข.4 , ข.9 และ ข.10 จะได้ว่า

$$K=\frac{\omega A R_{on}C}{1+(\omega R_{on}C)^2}\cos(\theta)-\frac{A}{1+(\omega R_{on}C)^2}\sin(\theta) \qquad \text{ข.11}$$

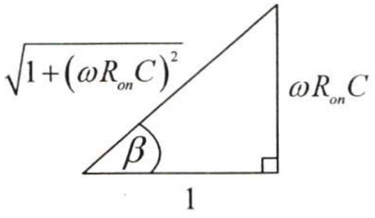
ดังนั้นจะได้ว่า ค่าแรงดันที่ได้จากการสุ่มสัญญาณคลื่นไซน์จะเท่ากับ

$$V_o(t)=\left[\frac{\omega A R_{on}C}{1+(\omega R_{on}C)^2}\sin(\theta)+\frac{A}{1+(\omega R_{on}C)^2}\cos(\theta)\right]\sin(\omega t)$$

$$+\left[\frac{A}{1+(\omega R_{on}C)^2}\sin(\theta)-\frac{\omega A R_{on}C}{1+(\omega R_{on}C)^2}\cos(\theta)\right]\cos(\omega t)$$

$$+\left[\frac{\omega A R_{on} C}{1+\left(\omega R_{on} C\right)^{2}} \cos(\theta)-\frac{A}{1+\left(\omega R_{on} C\right)^{2}} \sin(\theta)\right] e^{\left(\frac{-t}{R_{on} C}\right)} \qquad \text{ข.12}$$

เมื่อกำหนดให้ $\beta=\tan^{-1}\left(\omega R_{on} C\right)$



รูปที่ ข.2 ความสัมพันธ์ทางคณิตศาสตร์

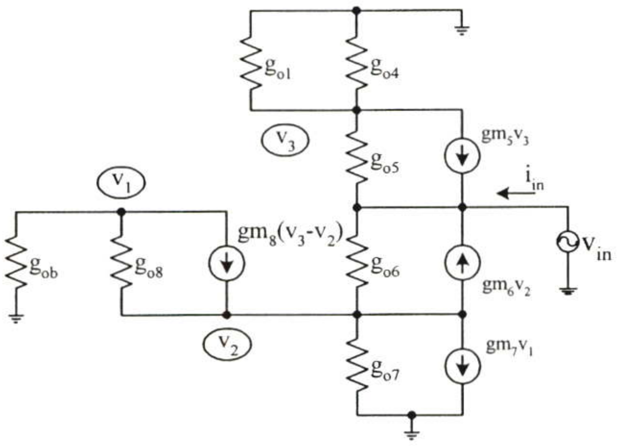
จากความสัมพันธ์ทางคณิตศาสตร์ที่กำหนดดังรูปที่ ข.2 จะสามารถเขียนค่าแรงดันการสุ่มสัญญาณคลื่นไซน์กับตัวแปรเวลาได้ดังสมการที่ ข.13

$$V_{o}(t)=\frac{A}{\sqrt{1+\left(\omega R_{on} C\right)^{2}}}\left[\sin(\omega t+\theta-\beta)-\sin(\theta-\beta) e^{\left(\frac{-t}{R_{on} C}\right)}\right] \qquad \text{ข.13}$$

ภาคผนวก ค

การคำนวณหาค่าความนำเอาท์พุตของวงจรขยายสัญญาณ

เมื่อทำการป้อนแหล่งจ่ายทดสอบ (V_{in}) ให้กับโหนดเอาท์พุตของวงจรขยาย และเขียนแบบจำลองสัญญาณขนาดเล็ก (Small signal modeling) ซึ่งพิจารณาในย่านความถี่ต่ำ จะแสดงได้ดังรูปที่ ค.1



รูปที่ ค.1 แบบจำลองสัญญาณขนาดเล็กของการคำนวณหาค่าความนำเอาท์พุตในย่านความถี่ต่ำ

เมื่อกำหนดให้ go_b คือค่าความนำเอาท์พุตของแหล่งจ่ายกระแสคงที่ $I_{b2,3}$ และจากแบบจำลองสัญญาณขนาดเล็กดังรูปที่ ค.1 จะสามารถเขียนความสัมพันธ์ของค่าแรงดันที่โหนดต่างๆได้คือ

โหนด V_1

$$\left(go_b + gds_8\right)v_1 - \left(gds_8 + gm_8\right)v_2 + gm_8 v_3 = 0 \qquad \text{ค.1}$$

โหนด V_2

$$\left(gm_7 - gds_8\right)v_1 + \left(gds_6 + gds_7 + gds_8 + gm_6 + gm_8\right)v_2 - gm_8 v_3 = gds_6 v_{in} \qquad \text{ค.2}$$

โหนด V_3

$$\left(gds_1 + gds_4 + gds_5 + gm_5\right)v_3 = gds_5 v_{in} \qquad \text{ค.3}$$

โหนด V_{in}

$$-\left(gds_6 + gm_6\right)v_2 - \left(gds_5 + gm_5\right) + \left(gds_5 + gds_6\right)v_{in} = i_{in} \qquad \text{ค.4}$$

จากสมการที่ ค.3 จะสามารถหาค่า V_3 ได้เท่ากับ

$$v_3 = \frac{gds_5}{gds_1 + gds_4 + gds_5 + gm_5} v_{in} \qquad \text{ค.5}$$

แทนค่าแรงดัน V_3 ลงในสมการที่ ค.1 และ ค.2 จะได้

$$\left(go_b + gds_8\right)v_1 - \left(gds_8 + gm_8\right)v_2 = \frac{-gds_5 gm_8}{gds_1 + gds_4 + gds_5 + gm_5} v_{in} \qquad \text{ค.6}$$

$$\left(gm_7 - gds_8\right)v_1 + \left(gds_6 + gds_7 + gds_8 + gm_6 + gm_8\right)v_2 =$$

$$\left(gds_6 + \frac{gds_5 gm_8}{gds_1 + gds_4 + gds_5 + gm_5}\right)v_{in} \qquad \text{ค.7}$$

จากสมการที่ ค.6 และ ค.7 จะสามารถหาค่าแรงดัน V_2 ได้เท่ากับ

$$v_2 = \left[\frac{\left(go_b + gds_8\right)\left(gds_6 + \frac{gds_5 gm_8}{gds_1 + gds_4 + gds_5 + gm_5}\right) + \left(\frac{gds_5 gm_8\left(gm_7 - gds_8\right)}{gds_1 + gds_4 + gds_5 + gm_5}\right)}{\left(go_b + gds_8\right)\left(gds_6 + gds_7 + gds_8 + gm_6 + gm_8\right) + \left(gds_8 + gm_8\right)\left(gm_7 - gds_8\right)}\right] v_{in}$$

ค.8

และจากสมการที่ ค.4 , ค.5 และ ค.8 จะสามารถหาค่าความนำเอาท์พุตของวงจรขยายสัญญาณ (g_{out}) ได้ดังสมการที่ ค.9

$$g_{out} = \left(gds_5 + gds_6\right) - \frac{gds_5\left(gds_5 + gm_5\right)}{gds_1 + gds_4 + gds_5 + gm_5} - \left(\frac{A_1 + A_2}{A_3}\right) \qquad \text{ค.9}$$

เมื่อกำหนดให้

$$A_1 = \left(go_b + gds_8\right)\left(gds_6 + gm_6\right)\left(gds_6 + \frac{gds_5 gm_8}{gds_1 + gds_4 + gds_5 + gm_5}\right) \qquad \text{ค.10}$$

$$A_2 = \frac{gds_5 gm_8\left(gm_7 - gds_8\right)\left(gds_6 + gm_6\right)}{gds_1 + gds_4 + gds_5 + gm_5} \qquad \text{ค.11}$$

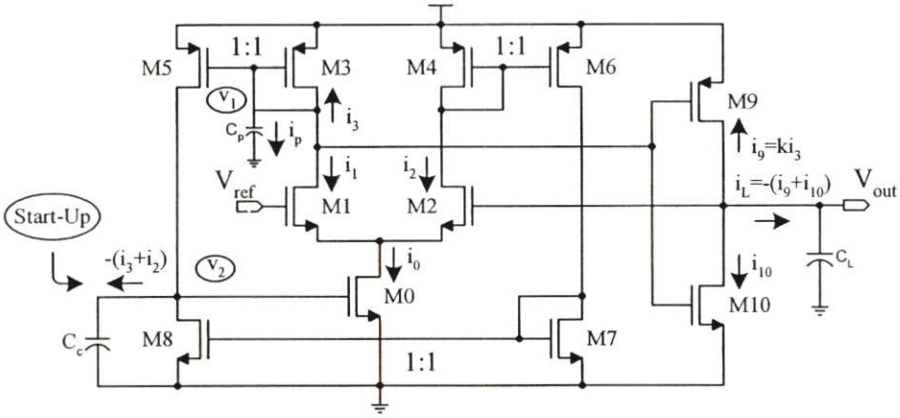
$$A_3 = \left(go_b + gds_8\right)\left(gds_6 + gds_7 + gds_8 + gm_6 + gm_8\right) + \left(gds_8 + gm_8\right)\left(gm_7 - gds_8\right) \quad \text{ค.12}$$

จากความสัมพันธ์ค่าความนำเอาท์พุตของวงจรขยายดังสมการที่ ค.9 - ค.12 เมื่อกำหนดให้ทรานซิสเตอร์ทุกตัวทำงานในย่านอิ่มตัว จะสามารถประมาณค่าความนำเอาท์พุตของวงจรขยายได้ดังสมการที่ ค.13

$$g_{out} \approx gds_5 + gds_6 - \frac{gds_5 gm_5}{gds_1 + gds_4 + gm_5} - \left(\frac{gds_6 gds_8 gm_6 + \dfrac{gds_5 gm_6 gm_7 gm_8}{gds_1 + gds_4 + gm_5}}{gds_8 gm_6 + gm_7 gm_8} \right) \quad \text{ค.13}$$

ภาคผนวก ง

การคำนวณหาฟังก์ชันการส่งผ่านสัญญาณของวงจรบัฟเฟอร์แรงดัน



รูปที่ ง.1 วงจรบัฟเฟอร์แรงดัน

จากรูปที่ ง.1 จะสามารถเขียนความสัมพันธ์ของกระแส และแรงดันได้คือ

$$i_1 = \frac{1}{2}\left[i_0 + gm_i \left(v_{ref} - v_{out} \right) \right] \qquad ง.1$$

$$i_2 = \frac{1}{2}\left[i_0 - gm_i \left(v_{ref} - v_{out} \right) \right] \qquad ง.2$$

เมื่อกำหนดให้ $gm_1 = gm_2 = gm_i$

$$i_3 = gm_3 v_1 \qquad ง.3$$

$$i_0 = gm_0 v_4 = -gm_0 \left(\frac{i_2 + i_3}{sC_c} \right) \qquad ง.4$$

$$v_1 = \frac{i_p}{sC_p} = \frac{-\left(i_1 + i_3\right)}{sC_p} \qquad ง.5$$

$$v_{out} = \frac{i_L}{sC_L} = \frac{-\left(i_9 + i_{10}\right)}{sC_L} \qquad ง.6$$

$$i_{10} = gm_{10} v_1 \qquad \text{ง.7}$$

จากสมการที่ ง.3 และ ง.5 จะสามารถเขียนความสัมพันธ์ของค่ากระแส i_1 และ i_3 ได้ดังสมการที่ ง.8

$$i_1 = -\left(\frac{gm_3 + sC_p}{gm_3}\right) i_3 \qquad \text{ง.8}$$

เมื่อแทนค่าความสัมพันธ์ดังสมการที่ ง.8 ลงในสมการที่ ง.1 จะได้ว่า

$$\left(gm_3 + sC_p\right) i_3 + \frac{gm_3}{2} i_0 = \frac{-gm_i gm_3}{2}\left(v_{ref} - v_{out}\right) \qquad \text{ง.9}$$

และจากสมการที่ ง.2 และ ง.4 จะได้ว่า

$$gm_0 i_3 + \left(\frac{gm_0}{2} + sC_c\right) i_0 = \frac{gm_i gm_0}{2}\left(v_{ref} - v_{out}\right) \qquad \text{ง.10}$$

จากสมการที่ ง.9 และ ง.10 จะสามารถหาความสัมพันธ์ค่ากระแส i_3 ได้ดังสมการที่ ง.11

$$i_3 = \left[\frac{\frac{gm_i gm_0 gm_3}{4} + \frac{gm_i gm_3}{2}\left(\frac{gm_0}{2} + sC_c\right)}{\frac{gm_0 gm_3}{2} - \left(\frac{gm_0}{2} + sC_c\right)\left(gm_3 + sC_p\right)}\right]\left(v_{ref} - v_{out}\right) \qquad \text{ง.11}$$

จากความสัมพันธ์ดังสมการที่ ง.3 , ง.6 และ ง.7 จะได้ว่า

$$v_{out} = \frac{-1}{sC_L}\left(k + \frac{gm_{10}}{gm_3}\right) i_3 \qquad \text{ง.12}$$

ดังนั้นจากสมการที่ ง.11 และ ง.12 จะสามารถคำนวณหาค่าสมการการส่งผ่านสัญญาณของวงจรบัฟเฟอร์แรงดันได้ดังสมการที่ ง.13

$$\frac{v_{out}}{v_{ref}} = \frac{\left(k + \frac{gm_{10}}{gm_3}\right)\frac{A_1}{A_2}}{\left(k + \frac{gm_{10}}{gm_3}\right)\frac{A_1}{A_2} - sC_L} \qquad \text{ง.13}$$

กำหนดให้

$$A_1 = \frac{gm_i gm_3}{2}\left(gm_0 + sC_c\right) \qquad \text{ง.14}$$

$$A_2 = -s\left(gm_3C_c + \frac{gm_0C_p}{2}\right) - s^2C_cC_L \qquad \text{ง.15}$$

เมื่อกำหนดให้ค่าตัวเก็บประจุแฝง C_p ภายในวงจรมีค่าน้อยมาก ($C_p \rightarrow \infty$) จะได้ว่า

$$\frac{V_{out}}{V_{ref}} = \frac{1+\dfrac{sC_c}{gm_0}}{1+s\left(\dfrac{C_c}{gm_0}\right)+s^2\left(\dfrac{2C_cC_L}{gm_igm_0\left(k+\dfrac{gm_{10}}{gm_3}\right)}\right)} \qquad \text{ง.16}$$

จากสมการที่ ง.16 จะพบว่าสมการการส่งผ่านสัญญาณของวงจรบัฟเฟอร์แรงดัน จะอยู่ในรูปของฟังก์ชันวงจรกรองผ่านความถี่ต่ำอันดับที่ 2 ซึ่งจะมีรูปทั่วไปดังสมการที่ ง.17

$$H(s) = \frac{1}{1+\dfrac{s}{\omega_0Q}+\dfrac{s^2}{\omega_0^2}} \qquad \text{ง.17}$$

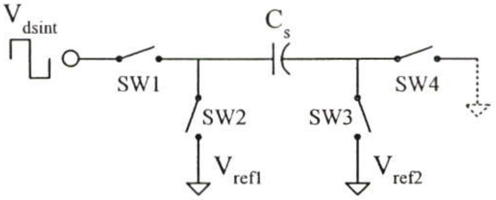
จากสมการที่ ง.16 และ ง.17 จะสามารถหาค่าความถี่ตัด (ω_0) และค่าตัวประกอบคุณภาพ (Q) ของวงจรบัฟเฟอร์แรงดันได้ดังสมการที่ ง.18 และ ง.19 ตามลำดับ

$$\omega_0 = \sqrt{\frac{gm_igm_0\left(k+\dfrac{gm_{10}}{gm_3}\right)}{2C_cC_L}} \qquad \text{ง.18}$$

$$Q = \sqrt{\left(\frac{gm_0}{C_c}\right)\Bigg/\left(\frac{gm_i\left(k+\dfrac{gm_{10}}{gm_3}\right)}{2C_L}\right)} \qquad \text{ง.19}$$

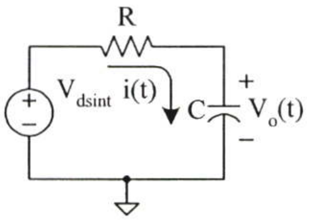
ภาคผนวก จ

การคำนวณหาขนาดทรานซิสเตอร์สวิทช์สำหรับภาคการสุ่มสัญญาณอินพุตคงที่



รูปที่ จ.1 รูปแบบทั่วไปของภาคการสุ่มสัญญาณอินพุต

การคำนวณหาขนาดของทรานซิสเตอร์สวิทช์ SW1-SW4 จะอ้างอิงด้วยวงจรสมมูลอันดับที่ 1 ของวงจรตัวเก็บประจุ (C) กับตัวต้านทาน (R) (First-order RC circuits) ซึ่งมีสัญญาณอินพุตเป็นสัญญาณคงที่ (V_{dsint}) ดังแสดงในรูปที่ จ.2



รูปที่ จ.2 วงจรสมมูลการสุ่มสัญญาณอินพุตคงที่

จากรูปที่ จ.2 เมื่อทำการคำนวณหาค่าแรงดันการสุ่ม ($V_o(t)$)

$$C\frac{dV_o(t)}{dt}+\frac{V_o(t)-V_{d\sin t}}{R}=0 \qquad \text{จ.1}$$

กำหนดให้ $V_o\ (t=0)=0$

$$V_o(t)=V_{d\sin t}\left(1-e^{\left(\frac{-t}{RC}\right)}\right) \qquad \text{จ.2}$$

กำหนดให้ $V_o\ (t = t_{av})$ คือค่าแรงดันที่ได้จากการสุ่มสัญญาณอินพุตคงที่ เมื่อทำการคำนวณหาค่าแรงดันผิดพลาดจากการสุ่มสัญญาณจะได้เท่ากับสมการที่ จ.4

$$V_{err} = V_o(t \rightarrow \infty) - V_o(t = t_{av}) \qquad \text{จ.3}$$

$$V_{err} = V_{d\sin t} e^{\left(\frac{-t_{av}}{RC}\right)} \qquad \text{จ.4}$$

จากสมการค่าแรงดันผิดพลาดจากการสุ่มสัญญาณอินพุตคงที่ จะสามารถคำนวณหาค่าเปอร์เซ็นต์ความผิดพลาดการสุ่มสัญญาณ (ε) เมื่อคาบเวลาการสุ่มสัญญาณมีค่าเท่ากับ t_s ได้คือ

$$t_s = RC \ln\left(\frac{1}{\varepsilon}\right) \qquad \text{จ.5}$$

กำหนดให้ $\varepsilon = \frac{V_{err}}{V_{d\sin t}}$

ดังนั้นจากสมการที่ จ.5 จะสามารถหาคาบเวลาการสุ่มสัญญาณ (Ts) ที่ต้องการความผิดพลาดจากการสุ่มสัญญาณอินพุตคงที่ไม่เกิน ε เปอร์เซ็นต์

สำหรับการประยุกต์ใช้งานการสุ่มสัญญาณกับแรงดันแหล่งจ่ายต่ำ ที่มีค่าการแกว่งสัญญาณอินพุตมาก จะทำให้ทรานซิสเตอร์สวิทช์ทำงานในย่านอิ่มตัวในช่วงเริ่มต้น ซึ่งจะทำให้ค่าแรงดันการสุ่มสัญญาณ ($V_o(t)$) เพิ่มขึ้นด้วยอัตราที่คงที่ (SR) ดังสมการที่ จ.6

$$SR = I_{dsat} / C \qquad \text{จ.6}$$

ดังนั้นเมื่อเวลา $t = t_{slew}$ จะทำให้มีค่าแรงดันการสุ่มสัญญาณเท่ากับ V_C และทรานซิสเตอร์สวิทช์จะเปลี่ยนไปทำงานในย่านเชิงเส้น ซึ่งค่าเวลา t_{slew} จะเท่ากับสมการที่ จ.7

$$t_{slew} = \left(V_{d\sin t} - V_{eff}\right) / SR \qquad \text{จ.7}$$

โดยความสัมพันธ์ของค่ากระแส และแรงดันของวงจรสุ่มสัญญาณอินพุตคงที่เมื่อทรานซิสเตอร์สวิทช์ทำงานย่านเชิงเส้นจะเขียนได้ดังสมการที่ จ.8

$$V_{d\sin t} = \frac{Id_{lin}}{gds_1} + \frac{Id_{lin}}{gds_2} + V_C \qquad \text{จ.8}$$

เมื่อกำหนดให้ Id_{lin} คือกระแสของทรานซิสเตอร์ที่ทำงานในย่านเชิงเส้น และ V_C คือค่าแรงดันการสุ่มเริ่มต้นสำหรับการทำงานย่านเชิงเส้นของทรานซิสเตอร์สวิทช์

จากสมการที่ จ.8 เมื่อแทนค่าความสัมพันธ์ของค่าความนำของทรานซิสเตอร์ กับค่าอัตราส่วนขนาดของทรานซิสเตอร์ จะได้ดังสมการที่ จ.9

$$Id_{lin} = \frac{V_{d\sin t} - V_C}{\dfrac{1}{K_1(W/L)V_{eff1}} + \dfrac{1}{K_2(W/L)V_{eff2}}} \quad \text{จ.9}$$

จากสมการที่ จ.9 เมื่อทำการหาค่าแรงดันตกคร่อมทรานซิสเตอร์สวิทช์ทั้งสอง จะได้ดังสมการที่ จ.10 และสมการที่ จ.11 ตามลำดับ

$$Vds_1 = \frac{V_{d\sin t} - V_C}{1 + \left(\dfrac{K_1}{K_2}\dfrac{V_{eff1}}{V_{eff2}}\right)} \quad \text{จ.10}$$

$$Vds_2 = \frac{V_{d\sin t} - V_C}{1 + \left(\dfrac{K_2}{K_1}\dfrac{V_{eff2}}{V_{eff1}}\right)} \quad \text{จ.11}$$

ดังนั้นจากความสัมพันธ์ค่าความนำทรานซิสเตอร์สวิทช์ กับค่าแรงดันตกตร่อมทรานซิสเตอร์สวิทช์ ดังสมการที่ จ.12 และวงจรสมมูลดังรูปที่ จ.2 จะสามารถหาค่าเวลาคงตัว (τ) ของการสุ่มสัญญาณ ได้ดังสมการที่ จ.13

$$gds(Vds) = K(W/L)(V_{eff} - Vds) \quad \text{จ.12}$$

$$\tau = C\left(\frac{1}{gds_1} + \frac{1}{gds_2}\right) \quad \text{จ.13}$$

จากสมการที่ จ.13 จะสามารถหาความสัมพันธ์ค่าขนาดของทรานซิสเตอร์สวิทช์ (W) สำหรับการสุ่มสัญญาณอินพุตคงที่ ซึ่งต้องการความผิดพลาดจากการสุ่มสัญญาณไม่เกิน ε กับคาบเวลาการสุ่มสัญญาณ (t_{lin}) ได้ดังสมการที่ จ.14

$$t_{lin} = \tau \ln\left(\frac{1}{\varepsilon}\right) \quad \text{จ.14}$$

ภาคผนวก ฉ

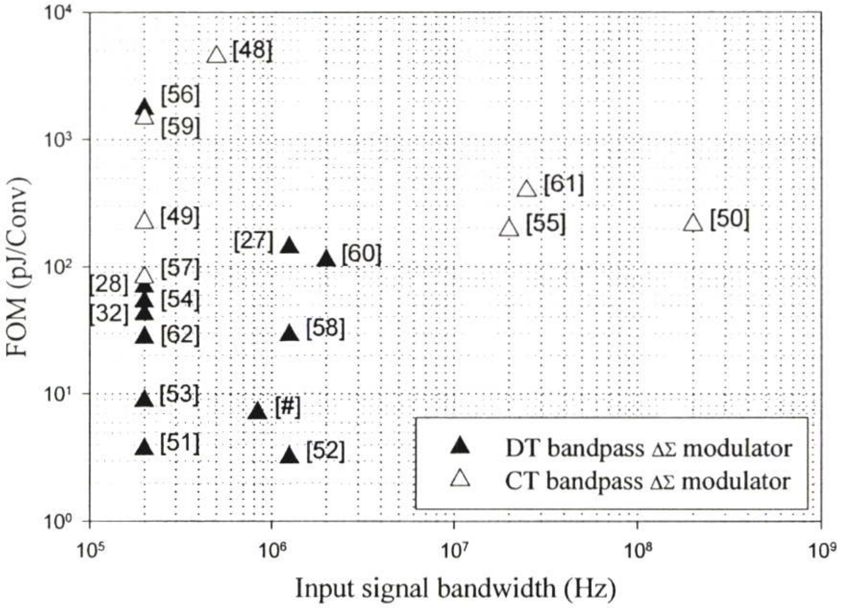
การเปรียบเทียบคุณสมบัติวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่

เนื่องจากการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล สามารถสร้างได้ด้วยโครงสร้างของวงจรที่แตกต่างกัน ดังเช่นในวิทยานิพนธ์ฉบับนี้ได้ทำการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล ที่ทำงานร่วมกับวงจรกรองสัญญาณ และวงรอบการป้อนกลับแบบลบ ซึ่งจะเรียกว่าวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ นอกจากนี้แล้วการออกแบบวงจรแปลงสัญญาณโครงสร้างชนิดเดียวกันก็มักจะมีคุณสมบัติที่ต่างกัน จึงทำให้เกิดความต้องการในการเปรียบเทียบถึงประสิทธิภาพวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล เพื่อให้เกิดการปรับปรุง หรือนำไปสู่ข้อดีและข้อด้อยของการออกแบบวงจรรวม อย่างไรก็ตามการเปรียบเทียบถึงประสิทธิภาพของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลด้วยตัวแปรใดๆ อาจจะไม่ใช่สิ่งที่ดีที่สุด เนื่องจากในการประยุกต์ใช้งานวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลในด้านต่างๆ จะต้องการคุณสมบัติที่แตกต่างกัน เช่นการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลสำหรับการประมวลผลสัญญาณย่านความถี่กลาง อาจจะต้องคำนึงถึงค่าความถี่กลางที่ใช้งาน และค่าความถี่การสุ่มสัญญาณของวงจรเป็นสำคัญ แต่โดยทั่วไปแล้วการเปรียบเทียบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล มักจะคำนึงถึงค่ากำลังงานสูญเสีย (Power) ค่าจำนวนบิตประสิทธิผล (Effective number of bit : ENOB) และขนาดแบนด์วิดท์การทำงาน (BW) เป็นสำคัญ ซึ่งจะเรียกตัวแปรที่ใช้เปรียบเทียบถึงประสิทธิภาพของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลนี้ว่า ตัวเลขคุณค่า (Figures of merit : FOM) ซึ่งสามารถคำนวณหาได้ดังสมการที่ ฉ.1

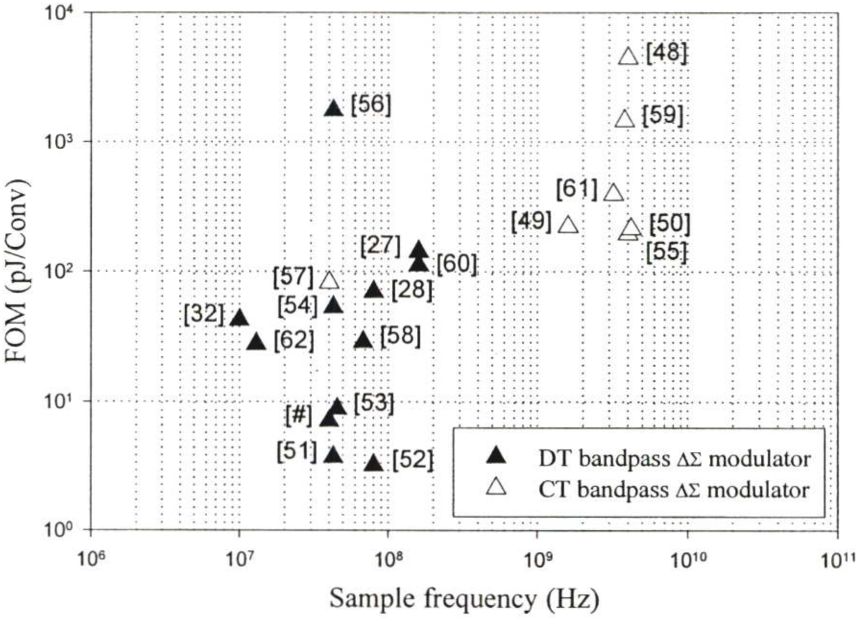
$$FOM = \frac{Power}{2^{ENOB}\left(2 \cdot BW\right)} \qquad \text{ฉ.1}$$

จากสมการที่ ฉ.1 จะพบว่าตัวเลขคุณค่าที่ทำการพิจารณาไม่ได้คำนึงถึงตัวแปรที่สำคัญอื่นๆ เช่น ค่าแรงดันแหล่งจ่าย (Supply voltage) ระดับเทคโนโลยีการออกแบบวงจรรวม (Process) ค่าความถี่กลาง (IF) และค่าอัตราการสุ่ม เป็นต้น โดยในตารางที่ ฉ.1 จะเป็นการรวบรวมคุณสมบัติการออกแบบวงจรรวมของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ ที่ได้นำเสนอในวารสาร และการประชุมวิชาการในต่างประเทศ เพื่อทำการเปรียบเทียบถึงข้อดี และข้อด้อยของโครงสร้างการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบประมวลผลสัญญาณในย่าน

ความถี่กลาง ซึ่งผลการเปรียบเทียบค่าตัวเลขคุณค่ากับขนาดแบนด์วิดท์ และค่าอัตราการสุ่มสัญญาณ แสดงดังรูปที่ ฉ.1 และ ฉ.2 ตามลำดับ



รูปที่ ฉ.1 การเปรียบเทียบตัวเลขคุณค่ากับขนาดแบนด์วิดท์การทำงาน



รูปที่ ฉ.2 การเปรียบเทียบตัวเลขคุณค่ากับค่าอัตราการสุ่ม

โดยจากรูปที่ ฉ.1 และ ฉ.2 จะพบว่าการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ด้วยเทคนิควงจรกรองแบบไม่ต่อเนื่องทางเวลา (DT) จะมีค่าอัตราการสุ่มสัญญาณที่ต่ำกว่า แต่จะให้ค่าตัวเลขคุณค่าที่ดีกว่าการออกแบบวงจรด้วยเทคนิควงจรกรองแบบต่อเนื่องทางเวลา (CT) เนื่องจากการออกแบบวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่ ด้วยเทคนิควงจรกรองแบบต่อเนื่องทางเวลาจะมีค่ากำลังงานสูญเสียที่มาก แต่จะสามารถชดเชยได้ด้วยขนาดแบนด์วิดท์การทำงาน และค่าอัตราการสุ่มสัญญาณที่สูงกว่า ทำให้สามารถประมวลผลสัญญาณย่านความถี่กลางค่าสูงมากได้ (Radio Frequency)

ตารางที่ ฉ.1 การเปรียบเทียบคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่

เอกสารอ้างอิง	กำลังงานสูญเสีย (มิลลิวัตต์)	จำนวนบิตประสิทธิผล (บิต)	แบนด์วิดท์ (เมกกะเฮิรตซ์)	อัตราการสุ่ม /ความถี่กลาง (เมกกะเฮิรตซ์)	ตัวเลขคุณค่า (pJ/Conv)	เทคโนโลยีการออกแบบวงจรรวม	เทคนิคการออกแบบ (CT , DT)	ปีที่ตีพิมพ์
[48]	290	6.02	0.5	4000 /1000	4468.8	0.18-μm CMOS 1.8-V	วงจรกรองแบบต่อเนื่องทางเวลา	2005
[49]	145	10.67	0.2	1600 /400	222.5	0.8-μm SiGe BiCMOS, 3.0-V	วงจรกรองแบบต่อเนื่องทางเวลา	2004
[50]	6200	10.01 6.18	1 200	4200 /1300	3027.3 213.8	InP HBT	วงจรกรองแบบต่อเนื่องทางเวลา	2003
[51]	12	13.00	0.2	42.8 /10.7	3.7	0.35-μm CMOS 2.5-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	2003
[52]	38 37 24	7.86 12.16 12.66	3.84 1.25 0.27	80 /60	21.3 3.2 6.8	0.35-μm CMOS 3.0-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	2003
[53]	5	10.47	0.2	45.45 /11.36	8.8	0.8-μm CMOS 3.0-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	2003

ตารางที่ ฉ.1 (ต่อ) การเปรียบเทียบคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่

เอกสารอ้างอิง	กำลังงานสูญเสีย (มิลลิวัตต์)	จำนวนบิตประสิทธิผล (บิต)	แบนด์วิดท์ (เมกกะเฮิรตซ์)	อัตราการสุ่ม /ความถี่กลาง (เมกกะเฮิรตซ์)	ตัวเลขคุณค่า (pJ/Conv)	เทคโนโลยีการออกแบบวงจรรวม	เทคนิคการออกแบบ (CT , DT)	ปีที่ตีพิมพ์
[54]	69	11.66	0.2	42.8 /10.7	53.3	0.35-μm CMOS 3.3-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	2001
[32]	5.5	8.34	0.2	10 /2.5	42.4	0.35-μm CMOS 3.3-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	2000
[55]	450	5.85	20	4000 /1000	195.0	0.5-μm SiGe HBT, 5.0-V	วงจรกรองแบบต่อเนื่องทางเวลา	2000
[56]	227	8.34	0.2	42.8 /10.7	1751.0	0.8-μm BiCMOS ±2.5-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	1999
[57]	60	10.83	0.2	40 /10.7	82.4	0.5-μm CMOS 3.3-V	วงจรกรองแบบต่อเนื่องทางเวลา	1999
[58]	48	9.37	1.25	68 /85	29.0	0.6-μm CMOS 3.0-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	1999
[27]	65	7.51	1.25	160 /40	142.6	0.5-μm CMOS 3.0-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	1998

ตารางที่ ฉ.1 (ต่อ) การเปรียบเทียบคุณสมบัติของวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบผ่านแถบความถี่

เอกสารอ้างอิง	กำลังงานสูญเสีย (มิลลิวัตต์)	จำนวนบิตประสิทธิผล (บิต)	แบนด์วิดท์ (เมกกะเฮิรตซ์)	อัตราการสุ่ม /ความถี่กลาง (เมกกะเฮิรตซ์)	ตัวเลขคุณค่า (pJ/Conv)	เทคโนโลยีการออกแบบวงจรรวม	เทคนิคการออกแบบ (CT , DT)	ปีที่ตีพิมพ์
[59]	135	7.85	0.2	3800 /950	1462.8	0.5-μm Bipolar	วงจรกรองแบบต่อเนื่องทางเวลา	1998
[60]	65	7.18	2	160 /40	112.0	0.5-μm CMOS 3.3-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	1997
[28]	72	11.33	0.2	80 /20	69.9	0.6-μm CMOS 3.3-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	1997
[61]	1800	10.67 6.52	0.1 25	3200 /800	5523.9 392.3	AlGaAs/GaAs HBT	วงจรกรองแบบต่อเนื่องทางเวลา	1997
[62]	14.4	10.34	0.2	13 /81.25	27.8	0.8-μm CMOS 3.0-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	1996
[#] วิทยานิพนธ์	12.38	10.03	0.84	40 /10	7.1	0.35-μm CMOS 1.5-V	วงจรกรองแบบไม่ต่อเนื่องทางเวลา	2005

ภาคผนวก ช

ผลงานวิจัยที่ได้รับการตีพิมพ์

1. S. Wongnamkum and A. Thanachayanont, “An Eighth-Order Wideband bandpass Delta-Sigma Modulator” **Int. Conf. Circuits and Systems**, Vol. 1, pp. 26-29, May 2004
2. S. Wongnamkum and A. Thanachayanont, “New Class-AB Operational Transconductance Amplifier for High-Speed Switched-Capacitor Circuits” **IEEE Int. Symp. Comm. And Info. Tech**. Vol. 1, pp. 26-29, Oct. 2004
3. Sitthipong Wongnamkum, Apinunt Thanachayanont and Varakorn Kasemsuwan, “An 8^{th}-Order Bandpass Sigma-Delta Modulator Using a New High-Speed Class-AB OTA” **Int. Conf. Circuits / Systems, Comp. and Comm**. Vol. 1, pp. 227-228, July 2005.

Proceedings of The First Electrical Engineering/Electronics, Computer, ecommunications, and Information Technology (ECTI) Annual Conference

IEEE COMMUNICATIONS SOCIE THAILAND CHAPT

IEEE MTT/AP/ED

IEEE CAS Society

NECTEC

IEEE-LEOS Thailand Chapter

An Eighth-Order Wideband Bandpass Delta-Sigma Modulator

Sitthipong Wongnamkum and Apinunt Thanachayanont
Microelectronics Research Laboratory, Research Center of Communications and Information Technology,
Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang
Chalongkrung Road, Ladkrabang, Bangkok, 10520, THAILAND
Tel: (02) 737-3000 ext 3309, Email: w_sitthipong@yahoo.com, ktapinun@kmitl.ac.th

ABSTRACT

This paper describes the design of an eighth-order wideband bandpass delta-sigma modulator, targeting for a digital-IF WCDMA receiver. The bandpass modulator is implemented using a double-delay switched-capacitor resonator architecture with double-sampling technique. Behavioral simulation, including non-ideal effects, of the bandpass modulator centered at an IF of 46 MHz and sampled at 92 MHz using a 0.35um CMOS technology shows a maximum signal-to-noise ratio of 84 dB.

Keywords: Analog-digital conversion, bandpass delta-sigma modulator, double-delay resonators, digital IF, switched-capacitor resonators, double-sampling.

1. INTRODUCTION

Oversampling bandpass delta-sigma analog-to-digital converter can be employed in a super-heterodyne receiver to allow digitization at the IF stage [1], as depicted in Fig. 1. This enables digital channel-select filtering and demodulation. Digital demodulation avoids I/Q path mismatch [2] and low-frequency flicker noise [3] due to non-idealities of analog circuits, while digital channel-selection adds programmability to allow a multi-standard receiver.

The new 3rd-generation (3G) mobile communications standard, based on a wideband code division multiple access (WCDMA) scheme, has demanded for a multi-standard RF receiver as it needs to co-exist with the current 2G and 2.5G systems. This has prompted a great interest in the design of wideband bandpass delta-sigma modulator suitable for multi-standard RF receiver [2]. As the signal bandwidth increases, the in-band quantization noise is increased, which leads to lower signal-to-noise ratio (SNR). The reduction in SNR can be compensated by increasing the sampling frequency, hence the oversampling ratio (OSR). However the maximum sampling frequency is ultimately limited by the technology. Thus, for wideband applications, a higher order delta-sigma modulator is used to overcome the problem. In higher order delta-sigma modulator, loop stability becomes a serious issue.

This paper describes the design of an eighth-order bandpass delta-sigma modulator using a double-delay double-sample switched-capacitor resonator structure. The modulator is capable of digitizing a 3.84-MHz signal band centered at an IF of 46 MHz. Using the double-sample technique, the input signal is sampled at 92 MHz. The modulator is designed in a top-down design manner using Matlab to perform behavioral simulation including non-ideal effects. The architecture and design theory of the modulator are described in section 2. In section 3, the double-delay double-sampling switched-capacitor is described and the effects of opamp non-idealities are discussed. Conclusion is given in section 4.

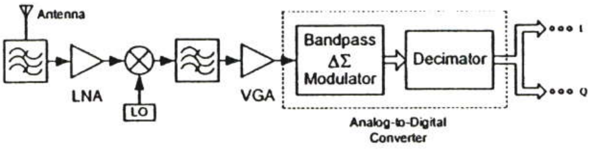


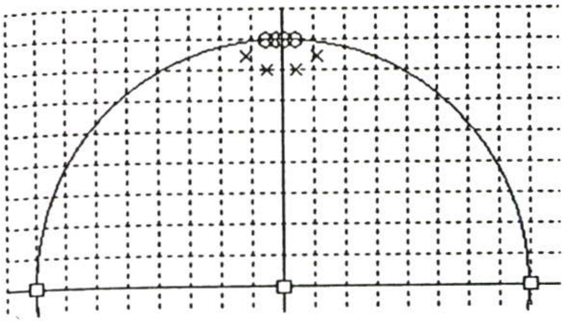
Fig. 1: Digital IF Radio Receiver

2. BANDPASS ΔΣ MODULATOR ARCHITECTURE

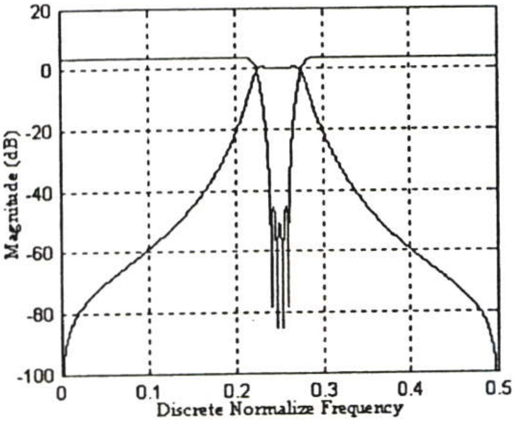
Generally, there are two choices of delta-sigma modulator structure, namely single-loop structure and cascaded structure (MASH). For wideband applications, a high order modulator must be employed to achieve the require SNR as the OSR is limited by the technology. The zeros of the noise transfer function (NTF) of the modulator should spread over the signal bandwidth for efficient in-band noise suppression. The single-loop structure is the preferred choice here because it's simplicity, flexibility of poles and zeros spreading, and robustness to component mismatch and opamp non-idealities. Thus it can obtain high SNR with an available modest OSR.

In this work, the bandpass modulator is designed for 3.84-MHz signal bandwidth centered at an IF of 46 MHz and is clocked at 184 MHz (4IF), resulting in an OSR of 24. From the above specifications, the design of the modulator is begun by optimizing the NTF to obtain the minimum in-band noise power. The NTF is responsible for minimizing the in-band noise power of a delta-sigma modulator, thus it is the most important modulator parameter. The poles and zeros of the NTF are optimized to obtain maximum in-band attenuation by using a Matlab optimization routine [9]. The optimized poles and zeros location and the frequency responses of the NTF and STF of the modulator are shown in Fig. 2a-2b respectively. To guarantee the stability of the modulator,

the maximum out-of-band magnitude of the NTF must be less than 4 dB [3].



⊡ : STF zeros, O : NTF zeros, × : poles
(a)



(b)

Fig. 2: (a) Poles and Zeros Placement in Z-Plane and (b) Transfer Functions Plot.

As shown in Fig. 2, the optimized NTF zeros are off the imaginary axis and spread over the signal bandwidth to suppress the in-band quantization noise. This can be obtained by using either the cascade of integrators structure or the cascade of resonators structure [4]. The cascade of integrators structure is more sensitive to the coefficient's accuracy, which will degrade the dynamic range of the modulator. Thus the cascade of resonators structure is a better choice here.

To satisfy the aforementioned specifications, an 8th-order modulator is required and realized with the cascade of resonators in feedback (CRFB) as shown in Fig. 3.

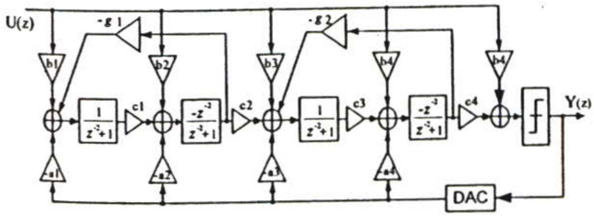


Fig. 3: Eighth-Order Bandpass Delta Sigma Modulator.

The coefficients of the modulator are calculated from the optimized poles/zeros position. The local feedback gain, g1 and g2, of the resonator are in the nominator of the NTF, and thus their values are determined by the position of the two complex NTF zero pairs. The feedback gain, a1-a4, is then calculated from the values of g1 and g2 and the poles location. The STF is used to calculate the feedforward gain, b1-b4 of the modulator. The coefficients c1-c4 are obtained through a Matlab optimization routine to optimized the dynamic range and the spreading factor. The optimized coefficient values are summarized in Table 1.

Table 1: *Coefficients Value of the Modulator.*

Coefficients	Value	Coefficients	Value
a_1	0.3978	b_4	0.3662
a_2	0.3233	c_1	0.1128
a_3	0.3716	c_2	0.2987
a_4	0.3662	c_3	0.5404
b_1	0.3978	c_4	1.7349
b_2	0.3233	g_1	0.0176
b_3	0.3716	g_2	0.0235

3. SWITCHED-CAPACITOR IMPLEMENTATION

The bandpass delta-sigma modulator in Fig. 3 is realized by using discrete-time switched-capacitor resonators. A discrete-time resonator can be implemented with different structures, such as forward euler (FE), lossless discrete integrator (LDI) and double delay (DD). Among the three structures, the DD resonator, as shown in Fig. 4, is the most suitable structure for realizing a bandpass delta-sigma modulator because the notch frequency is directly fixed at fs/4 and the notch Q-value is infinite regardless of the capacitor mismatch [6]. However, the finite DC gain and gain-bandwidth of the opamp affect the transfer functions of the modulator.

The DD resonator consists of two delay elements in series with the fixed unity feedback, and it can be implemented by using two analog delay elements or a pseudo-two-path architecture. The two-path technique can reduce the number of opamps and the double-sampling technique relaxes the settling time requirement of the opamps. Fig. 5 shows the DD resonator employing both the two-path and double-sampling techniques. The signal flow was arranged so that the feedback capacitors never load the opamp, which allows signal scaling with practically no power consumption penalty [5]. However, this is obtained at the cost of increased clock phase complexity.

The operation of the resonator in Fig. 5 can be explained as follows. The input signal is sampled by C_s (and hold for two clock phase for the resonator in Fig 5a.) and these charges are transferred to integrate with the charges in the feedback capacitor (C_i), which hold a sample of opposite sign output voltage at two previous clock pulses. The clock phases of ϕA and $\overline{\phi A}$ realize the unity-gain negative feedback of the DD resonator as shown in Fig. 4.

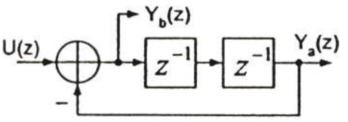


Fig. 4: Double Delay Resonator.

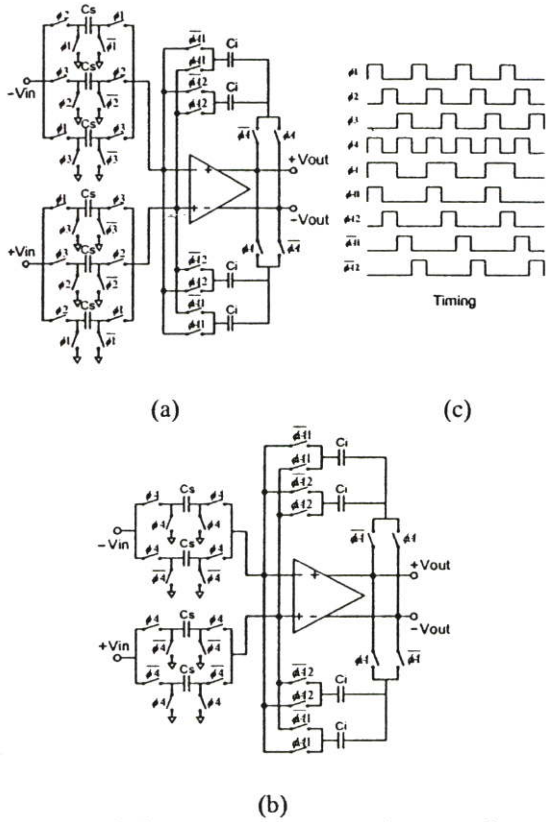


Fig. 5: Switched Capacitor Resonator Circuit and Timing

$$\frac{Vo(z)}{Vin(z)}=\frac{-\frac{Cs}{Ci}\frac{1}{\left[1+\frac{1}{A\beta}\right]}Z^{-2}}{1-\frac{Cp}{Ci}\frac{1}{\left[A+\frac{1}{\beta}\right]}Z^{-1}+\frac{\left[1+\frac{1}{A}\right]}{\left[1+\frac{1}{A\beta}\right]}Z^{-2}} \quad (1)$$

$$\frac{Vo(z)}{Vin(z)}=\frac{\frac{Cs}{Ci}\frac{1}{\left[1+\frac{1}{A\beta}\right]}}{1-\frac{Cp}{Ci}\frac{1}{\left[A+\frac{1}{\beta}\right]}Z^{-1}+\frac{\left[1+\frac{1}{A}\right]}{\left[1+\frac{1}{A\beta}\right]}Z^{-2}} \quad (2)$$

$$\beta=\frac{Ci}{Ci+Cs+Cp}$$

The finite DC gain and non-zero input capacitance of the opamp (C_p) affect the Q-value and the resonant frequency of the resonator [8]. In the integration phase, finite opamp DC gain (A) leads to a voltage dropped across the input capacitor (C_p) (V_p which equals to output voltage divide by A). This is a result of charge transfer error between C_s and C_i in the integration phase. The transfer function of the resonator, including the effects of finite DC gain and non-zero input capacitance (C_p) is given in eq. (1)-(2). Thus the effects of finite opamp DC gain to the Q-value and the resonant frequency of the resonator can be calculated and plotted as shown in Fig. 7. The frequency error is plotted with different values of Cp/Ci while the Q-value is plotted with different values of β at a fixed Cp/Ci=0.2. As seen in eq. (1)-(2), C_p has the most effect on the resonant frequency error and the Q-value.

Fig. 8 shows the simulated SNR of the modulator as a function of the opamp DC gain. It can be seen that the opamp DC gain must be greater than 50 dB to ensure a maximum SNR of about 80 dB. Fig. 9 shows the SNR as a function of input signal level. From the Spectre Cadence simulation, with A=60dB, C_p=0.2pF, C_i=2pF, non-ideal model of switch which is shown in Fig. 6. (R_{on}=200Ω , C=40fF) and f_s=92MHz. Fig. 10 shows an output power spectrum of the modulator output with one bit quantizer at 46.4MHz and 0.2 Volt for input signal amplitude, which shows that the in-band noise power is suppressed to –60 dB below the signal power.

4. CONCLUSION

An 8[th]-order oversampling bandpass delta-sigma modulator for 3.84-MHz signal bandwidth and 46-MHz intermediate frequency has been designed and simulated. Double delay, double sampling switched-capacitor resonators are used to obtain the highest modulator performance. Simulation results have confirmed that the modulator can achieve a maximum SNR of 60 dB, which is sufficient for wideband digital-IF receiver application.

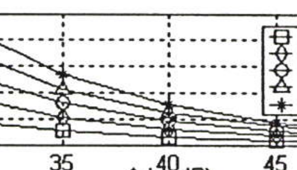


Fig. 6: Switch modeling.

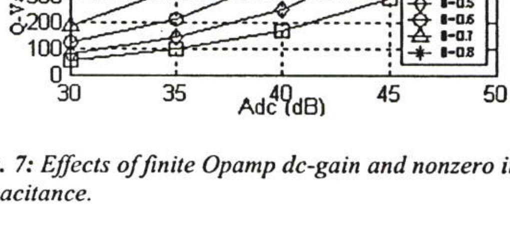


Fig. 7: Effects of finite Opamp dc-gain and nonzero input capacitance.

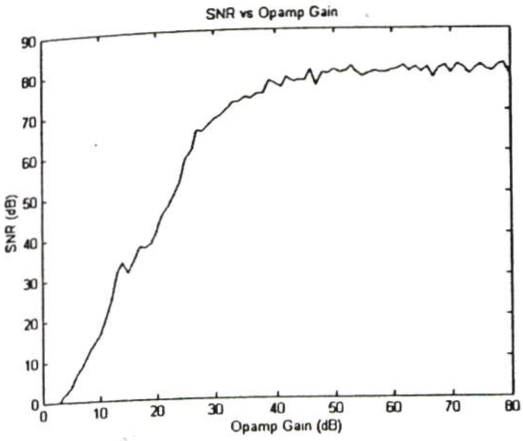


Fig. 8: SNR as a function of opamp DC gain.

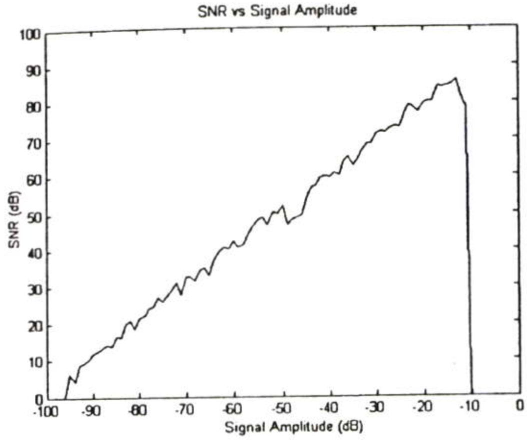
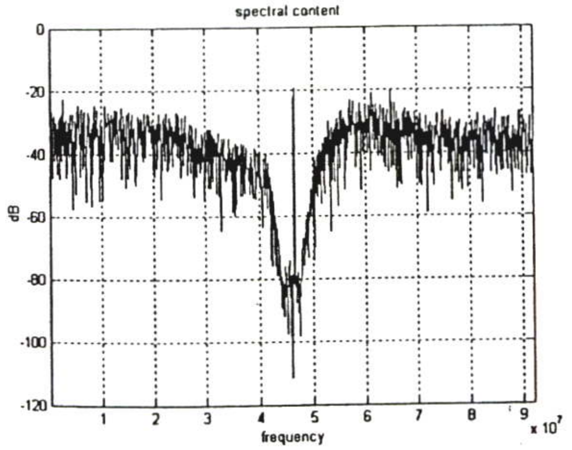
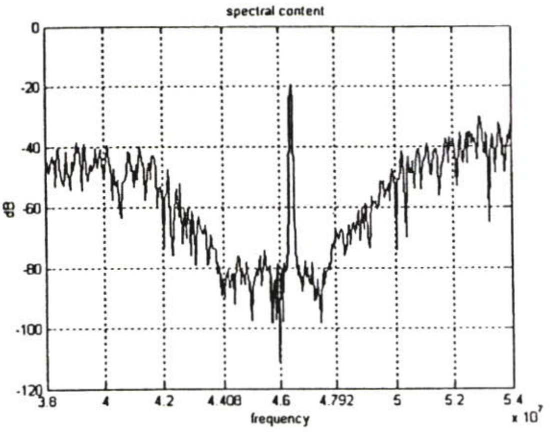


Fig. 9: SNR as a function of input level.



(a)



(b)

Fig. 10: (a) Modulator Output Spectrum and (b) In-Band Output Spectrum.

5. ACKNOWLEDGEMENT

Financial support from National Electronics and Computer Technology Center, National Science and Technology Development Agency and Thailand Research Fund (grant #RSA4680027) are gratefully acknowledged.

6. REFERENCES

[1] Razavi, Behzad, RF microelectronics. Prentice Hall PTR, 1998.

[2] Teemu O. Salo, Saska J. Lindfors, Tuomas M. Hollman, Jere A. M. Jarvinen and Kari A. I. Halonen, "80-MHz Bandpass Modulator for Multimode Digital IF Receivers", IEEE Journal of Solid-State Circuits, Vol. 38, No. 3, March 2003

[3] P. Cusinato, F. Stefani and A. Baschirotto, "Reducing the Power Consumption in High-Speed Sigma Delta Bandpass Modulators", IEEE Trans. Circuit syst, vol. 48, No. 10, Oct 2001.

[4] S. A. Jantzi, M. Snelgrove, P. F. Ferguson, "A Fourth-Order Bandpass Sigma Delta Modulator", IEEE Journal of Solid-State Circuits, Vol. 28, No. 3, March 1993.

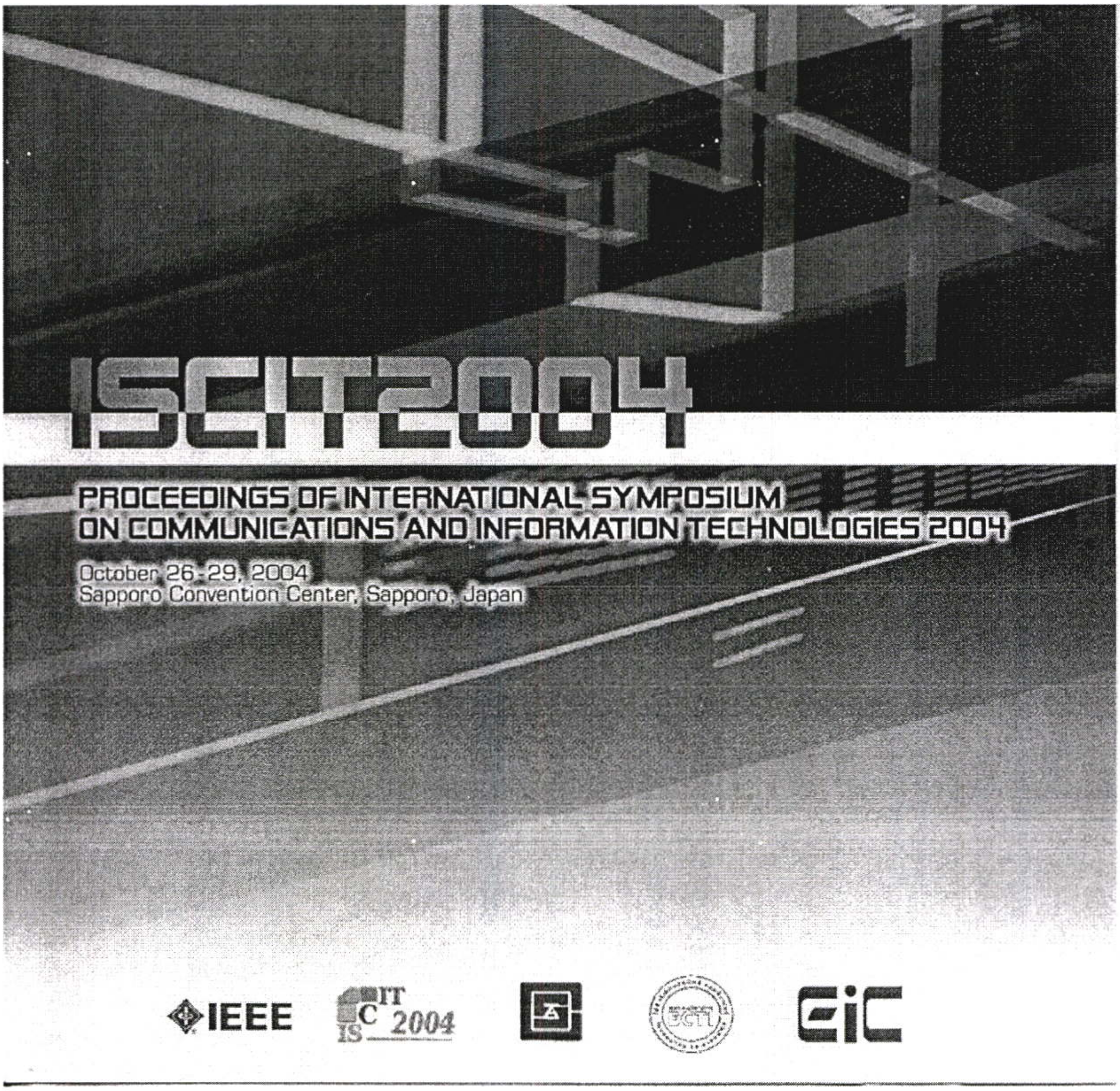
[5] S.-I. Liu, C.-H. Kuo, R.-Y. Tsai and J. Wu, "A Double-Sampling Pseudo-two-Path Bandpass Modulator" IEEE Journal of Solid-State Circuits, Vol. 35, No. 2, Feb 2000.

[6] T. Salo, S. Lindfors and K. Halonen, "A Double-Sampling SC-Resonator for Low Voltage Bandpass Delta Sigma Modulator" IEEE Trans. Circuit and Systems, Vol. 49, No. 12, Dec 2002.

[7] T. Salo, S. Lindfors, and K. Halonen, "A low-voltage single-Opamp 4thorder band-pass delta sigma modulator" IEEE Int. Symp. on Circuits and *Systems*, vol. 1, May 2001, pp. 352–355.

[8] T. Salo, Bandpass Delta-Sigma Modulator for Radio Receivers, D. SCI. Thesis, Helsinki University of Technology, Electronic Circuit Design Laboratory, Espoo, Finland, 2003, pp. 96-104.

[9] R. Schreier, "Matlab delta-sigma toolbox", http://www.mathworks.com/matlabcentral/fileexchange/loadCategory.do


ISCIT2004
PROCEEDINGS OF INTERNATIONAL SYMPOSIUM
ON COMMUNICATIONS AND INFORMATION TECHNOLOGIES 2004
October 26-29, 2004
Sapporo Convention Center, Sapporo, Japan
IEEE
ISCIT 2004
EiC

ISCIT 2004

International Symposium on Communications
and Information Technologies 2004 (ISCIT 2004)
Sapporo, Japan, October 26- 29, 2004

New Class-AB Operational Transconductance Amplifier For High-Speed Switched-Capacitor Circuits

S. Wongnamkum [1] and A. Thanachayanont [2]
Microelectronics Research Laboratory, Research Center of Communications and Information Technology
Department of Electronic Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang
Chalongkrung Road, Ladkrabang, Bangkok, 10520, THAILAND
Tel: (02) 737-3000 ext 3309
Email: w_sitthipong@yahoo.com [1] , ktapinun@kmitl.ac.th [2]

Abstract: In this paper, a new differential class-AB operational transconductance amplifier for high-speed switched capacitor circuits is proposed. A new class-AB output circuit combines a shunt-feedback voltage follower circuit and the conventional folding output circuit to improve the slew rate and bandwidth. The OTA has been designed to operate with a supply voltage of 1.5-V , using a 0.35-μm CMOS technology. Simulation results for a load capacitance (C_L) of 3-pF show 300-V/μs slew rate and 330-MHz unity-gain frequency.

1. Introduction

Operational transconductance amplifier (OTA) is the most critical building block in the design of high-speed switched-capacitor circuits. To obtain correct final output value and complete charge transfer to load capacitor within the small clock period, OTA must exhibit high open-loop DC gain (Ao), large gain-bandwidth product (GBW), and high slew rate (SR). These properties may be obtained by increasing the tail current of the input stage [1], which is at a cost of increased power dissipation. This should be avoided when the circuit is intended for portable applications. Therefore it is very challenging to design such an OTA with low power dissipation, especially under low power supply voltage as required in deep sub-micron CMOS technology. Recently, there has been a considerable interest in reducing power dissipation of wideband OTA without compromising other features [2], [3].

Folded-cascode OTA is often used for high-speed switched capacitor applications [4], [5], [6] because it has only one low-frequency pole at the output due to the load capacitor. High open-loop DC gain is often obtained by cascoding the output stage. However this limits the output voltage swing, which is a serious issue under low voltage environment. Class-AB output stage can improve slewing behavior and obtain rail-to-rail output swing with small DC bias current. However, previously reported class-AB output stages are often complex and create large parasitic capacitance, thus increasing the power dissipation of the OTA [7], [8].

In this paper, a high slew-rate, large bandwidth OTA with adequate DC gain is proposed. The Flipped Voltage Follow (FVF) circuits [9] are applied to the conventional folded cascode OTA in both the input differential pair stage and the output biasing current of the folding stage. It is shown that the proposed OTA is suitable for high-speed switched-capacitor circuits.

2. Proposed Class-AB OTA

The proposed class-AB OTA is depicted in Fig. 1. The circuit topology is similar to that of the conventional folded-cascode operational OTA with the class-AB pseudo-differential pair [10] as an input transconductance stage (M1-M3) and the newly proposed class-AB output stage (M4-M8).

The class-AB pseudo-differential input pair comprises the traditional source-coupled pair (M1a and M1b) and the shunt-feedback bias subcircuit (M2, M3 and Ib). The shunt-feedback subcircuit provides low impedance to the common-source node, which keeps its voltage approximately constant at V_b-V_{GS3}. Thus the input source-coupled pair operates in a pseudo-differential manner where the quiescent current is well controlled by I_b. When a large balanced differential input voltage is applied, the output current is absorbed by M2. The maximum output current is limited by the amount of current that M2 can supply, which can be much greater than the quiescent current. Thus the circuit operates in class-AB fashion. Note that the pseudo-differential input operation is allowed because, in SC circuits, OTA operates in an inverting, negative-feedback configuration with a constant voltage at both input terminals.

The proposed class-AB output stage combines the FVF circuit with the conventional folding output structure. The differential current from the input stage is applied to nodes N1 and N2, as in the typical folded-cascode circuit. The extra transistors, M8, are connected such that, together with M6 and M7, they form FVF circuits and provide low-impedance to nodes N3 and N4. Thus the voltage signals at nodes N1 and N2 are buffered to nodes N3 and N4, respectively. This creates a push-pull operation, which can be explained in as follows.

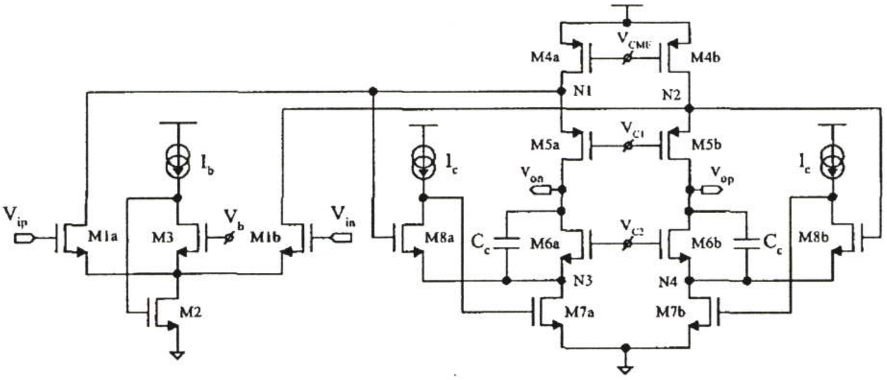


Fig. 1: The proposed Class-AB OTA.

As V_{ip} is increased and V_{in} is decreased, the signal currents from the input stage are pulled out of and push into the output node Von and Vop, respectively. At the same time, the signal voltages at node N1 and N2 are decreased and increased respectively. Due to the FVF circuit, the signal voltages at N3 and N4 follow those of N1 and N2, respectively. Therefore the common-gate transistors M6a and M6b deliver currents to the output nodes Von and Vop such that they are summed with the current from M5a and M5b. As a result, the output currents delivered to the load capacitor are increased, thus improving the slewing behavior and allowing large output voltage swing.

Fig. 2 shows the small signal equivalent circuit for pole and zero analysis of the proposed OTA, where C_S is the parasitic capacitor at N1 and C_c is the compensation capacitor. The shunt-feedback voltage follower circuit is modeled as a voltage gain A(s). The voltage gain of the OTA is given by (1). Assuming that A(s) approaches unity and its high-frequency poles and zeros can be ignored, it can be deduced that the DC gain of the OTA is a factor of $1+g_{m6}/g_{m5}$ greater than that of the conventional folded-cascode circuit. Typically, this factor is about 2 when $g_{m6}=g_{m5}$. Larger gain enhancement can be obtained by increasing g_{m6} and/or decreasing g_{m5}. However, increasing g_{m6} exaggerates the non-ideal effects of the voltage buffer A(s), while reducing g_{m5} lowers the non-dominant pole frequency reducing the phase margin of the OTA.

The capacitor C_c is added to obtain high-frequency phase-lead compensation to improve the phase margin of the circuit. From (1), It can be seen that C_c generates a high-frequency zero and moves the dominant pole to lower frequency. The output common-mode voltage is controlled by the typical swiched-capacitor common-mode feedback circuit as shown in Fig. 3. The feedback control voltage (V_{CMF}) is applied to the gate of transistor M4, as done in the conventional folded-cascode circuit.

$$\frac{v_{out}}{v_{in}}(s)=\frac{\dfrac{-g_{m1}}{g_L}\left(1+A(s)\dfrac{g_{m6}}{g_{m5}}\right)\left(1+\dfrac{sC_c}{\left(g_{m6}+\dfrac{g_{m5}}{A(s)}\right)}\right)}{\left(1+\dfrac{sC_S}{g_{m5}}\right)\left(1+\dfrac{sC_c+C_L}{g_L}\right)} \quad (1)$$

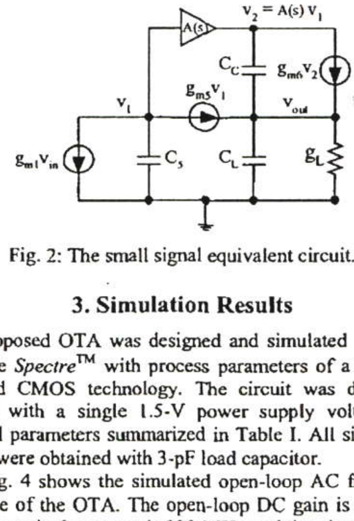


Fig. 2: The small signal equivalent circuit.

3. Simulation Results

The proposed OTA was designed and simulated by using Cadence *Spectre*™ with process parameters of a 0.35-μm standard CMOS technology. The circuit was design to operate with a single 1.5-V power supply voltage and nominal parameters summarized in Table I. All simulation results were obtained with 3-pF load capacitor.

Fig. 4 shows the simulated open-loop AC frequency response of the OTA. The open-loop DC gain is 70.8-dB, the unity-gain frequency is 330-MHz and the phase margin is equal to 64.5°.

To examine the closed-loop performance, an ideal voltage level shifter was used to realize the unity gain feedback configuration of the OTA. Fig. 5 and Fig. 6 demonstrate that a rail-to-rail output voltage swing of

±1.36-V can be obtained. A 1-MHz square-wave differential input voltage of ±1.5-V was applied to the OTA, and the output transient responses are depicted in Fig. 6 and Fig. 7. The output current delivered to the load capacitor is depicted in Fig. 7. The settling responses shown shown in Fig. 8 and Fig. 9. The simulated performance of the OTA is summarized in Table II.

To test the performance of the proposed technique, a first-order SC integrator, as depicted in Fig. 10, has been designed. Fig. 11. shows the differential output voltage and current of the SC integrator when applying a ±0.5-V, 4-MHz squarewave differential input voltage and a 40-MHz sampling frequency.

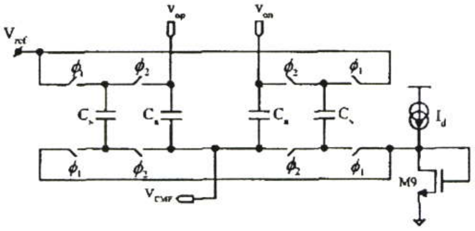


Fig. 3: The common-mode feedback circuit [12].

6. Conclusion

A new class-AB output stage for slewing enhance in a conventional folded cascode OTA has been described. The proposed technique employs a shunt feedback voltage follower circuit to enhance slew rate of the OTA. The proposed output stage can obtain a rail-to-rail output swing with large DC voltage gain and fast settling behavior. The proposed OTA is thus suitable for high-speed switched capacitor applications.

7. Acknowledgement

Financial support from Thailand Research Fund (grant #RSA4680027) and National Electronics and Computer Technology Center, National Science and Technology Development Agency (under IMT-2000 project) are gratefully acknowledged.

References

[1] Sudhir M. Mallya and Joseph H. Nevin, "Design Procedures for a Fully Differential Folded-Cascode CMOS Operational Amplifier," IEEE J. Solid-State Circuits, Vol. 24, no. 6, pp. 1737-1740, Dec 1989.

[2] Mohammad Yavari and Omid Shoaei, "Very Low-Voltage, Low-Power and Fast settling OTA for Switched-Capacitor Applications" in ICM 2002. IEEE Int. Symp. Microelectronic, pp. 10-13, Dec 2002.

[3] M. Taherzadeh-Sani, R. Lotfi, H. Zare-Hoseini and O. Shoaei "A high slew-rate low-voltage low-power operational amplifier using a new current injection circuit" in SCS 2003. IEEE Int. Symp. Signals, Circuits and Systems. Vol. 2, pp. 481-484, July 2003

[4] Shen-Iuan Liu, Chien-Hung Kuo, Ruey-Yuan Tsai and Jingshown Wu, "A Double-Sampling Pseudo-Two-Path Bandpass ΔΣ Modulator," IEEE J. Solid-State Circuits, Vol. 35, no. 2, pp. 276-280, Feb 2000.

[5] Reza Lotfi and Omid Shoaei, "A Low-Voltage Low-Power Fast-Settling Operational Amplifier for Use in High-Speed High-Resolution Pipelined A/D Converters," in ISCAS 2002. IEEE Int. Symp. Circuits and Systems, Vol. 2, pp. II 416-419, May 2002.

[6] Mohammad Yavari and Omid Shoaei, "Low-Voltage Low-Power Fast-Settling CMOS Operational Transconductance Amplifiers for Switched-Capacitor Applications," in ISLPED '03. IEEE Int. Symp. Low Power Electronics and Design, pp. 345-348, Aug 2003.

[7] S. Mehrmanesh, H.A. Aslanzadeh, M.B. Vahidfar and M. Atarodi, "A 1.5 v High-Speed Class-AB Operational Amplifier for High-Resolution High-Speed Pipelined A/D Converters," in ISCAS 2003. IEEE Int. Symp. Circuits and Systems, Vol. 1, pp. 273-276, May 2003.

[8] H.A. Aslazadeh, S. Mehrmanesh, M.B. Vahidfar, A.Q. Safarian and R. Lotfi, "A 1-V 1-mW High-Speed Class-AB Operational Amplifier for High-speed Low Power Pipelined A/D Converters using "Slew Boost" Technique." in ISLPED 2003. IEEE Int. Symp. Low Power Electronics and Design, pp. 340-344, Aug 2003.

[9] J.Ramirez-Angulo, R.G.Carvajal, A.Torralba, J.Galan, A.P.Vega-Leal and J.Tombs, "The Flipped Volgate Follower: A useful cell for low-voltage low-power circuit design," in ISCAS 2002. IEEE Int. Symp. Circuits and Systems, Vol. 3, pp. 615-618, May 2002.

[10] Jaime Ramirez-Angulo, Ramon Gonzalez-Carvajal, Antonio Torralba and C. Nieva, "A new Class-AB differential input stage for implementation of low-voltage high slew rate op-amps and linear transconductor," in ISCAS 2001. IEEE Int. Symp. Circuits and Systems, Vol. 1, pp. 671-674, May 2001.

[11] R.G.Carvajal, J. Galan, J.Ramirez-Angulo and A.Torralba, "New low-power low-voltage differential class-AB OTA for SC circuits," in ISCAS 2003. IEEE Int. Symp. Circuits and Systems, Vol. 1, pp. I 589-592, May 2003.

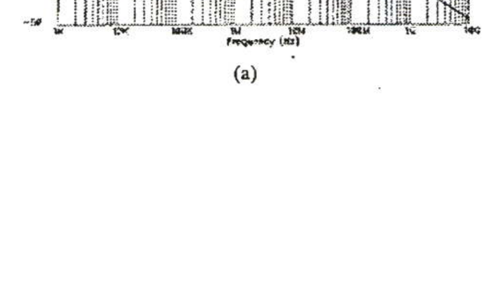
[12] Ojas Choksi and L. Richard Carley, "Analysis of Switched-Capacitor Common -Mode Feedback Circuit" IEEE Trans. Circuits and Systems. Analog and digital signal processing. Vol, 50, No. 12, Dec 2003.

Table I: Circuit parameters

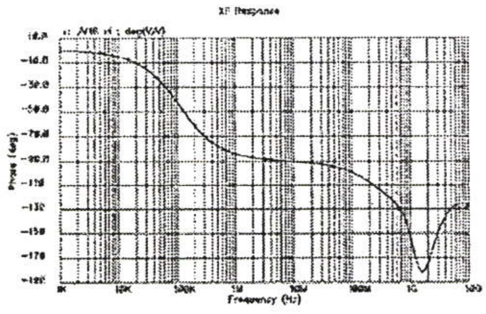
Components	value
$(W/L)_1$	160/0.35
$(W/L)_2$	80/0.35
$(W/L)_3$	1/0.35
$(W/L)_4$	114/0.35
$(W/L)_5$	54/0.35
$(W/L)_6$	16/0.35
$(W/L)_7$	10/0.35
$(W/L)_8$	24/0.35
$(W/L)_9$	2.4/0.35
I_b	2 μA
I_c	50 μA
I_d	2 μA
V_b	1 V
V_{c1}	0.3 V
V_{c2}	1.2 V
C_c	0.4 pF

Table II: Simulated performance of the completed OTA.

Parameters	This work	[2]
Process	0.35-μm	0.25-μm
V_{DD}	1.5-V	1.2-V
Power dissipation	1.4 mW	5.8 mW
DC gain	70.8 dB	68.5 dB
Unity-gain frequency	330 MHz (C_L = 3 pF)	165 MHz (C_L = 4 pF)
Phase Margin	64.5°	65°
O/P swing	+/- 1.36 V	+/- 0.9 V
Settling time (0.01%)	16.8 ns	11 ns
Slew rate	300 V/μs	329 V/us



(a)



(b)

Fig. 4: Frequency response of the OTA.

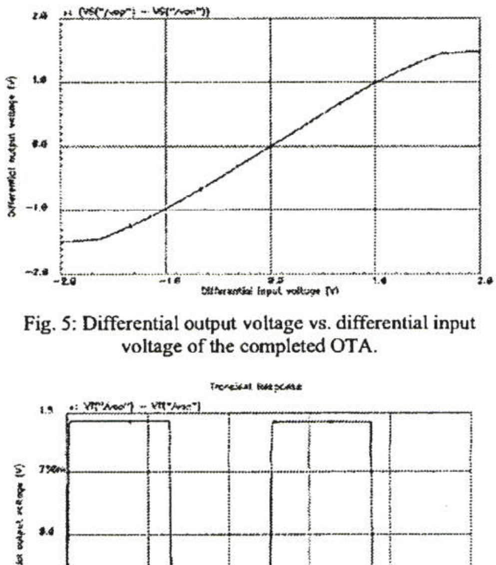


Fig. 5: Differential output voltage vs. differential input voltage of the completed OTA.

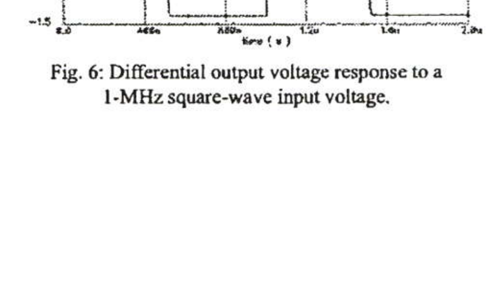


Fig. 6: Differential output voltage response to a 1-MHz square-wave input voltage.

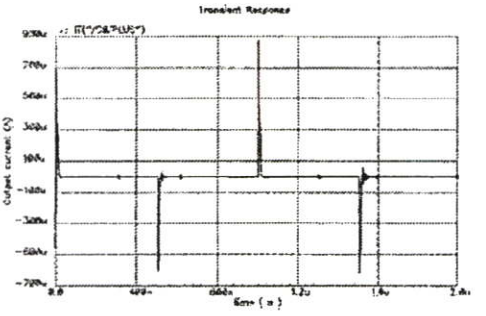


Fig. 7: Current delivered to a 3-pF load capacitor.

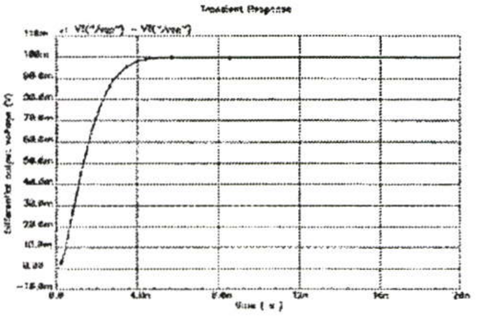


Fig. 8: Small step transient response of the OTA.

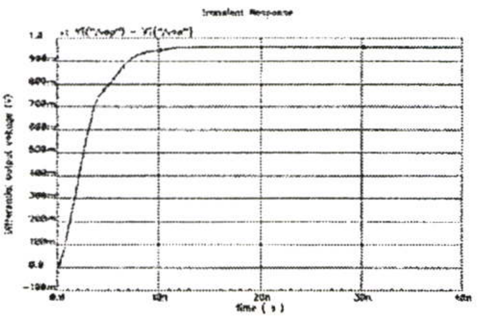


Fig. 9: Large step response of the completed OTA.

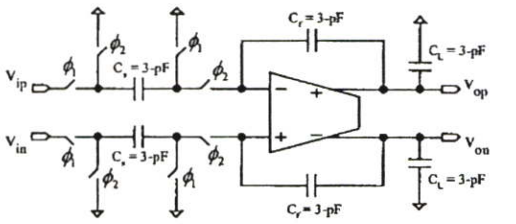


Fig. 10: First-order SC integrator circuit.

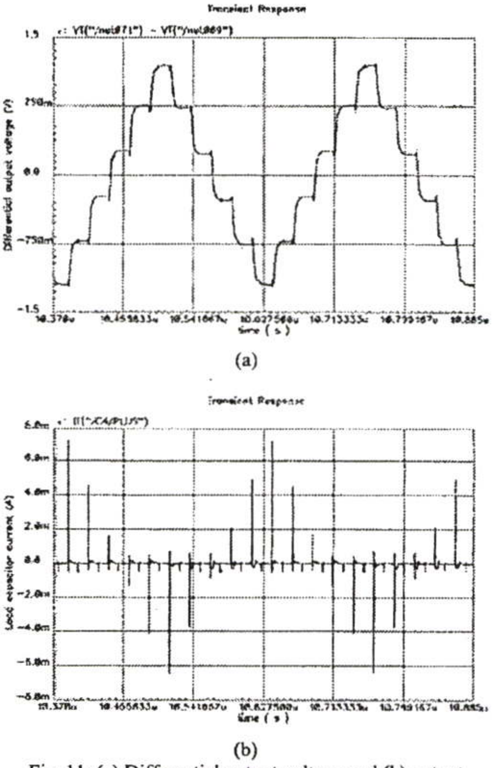
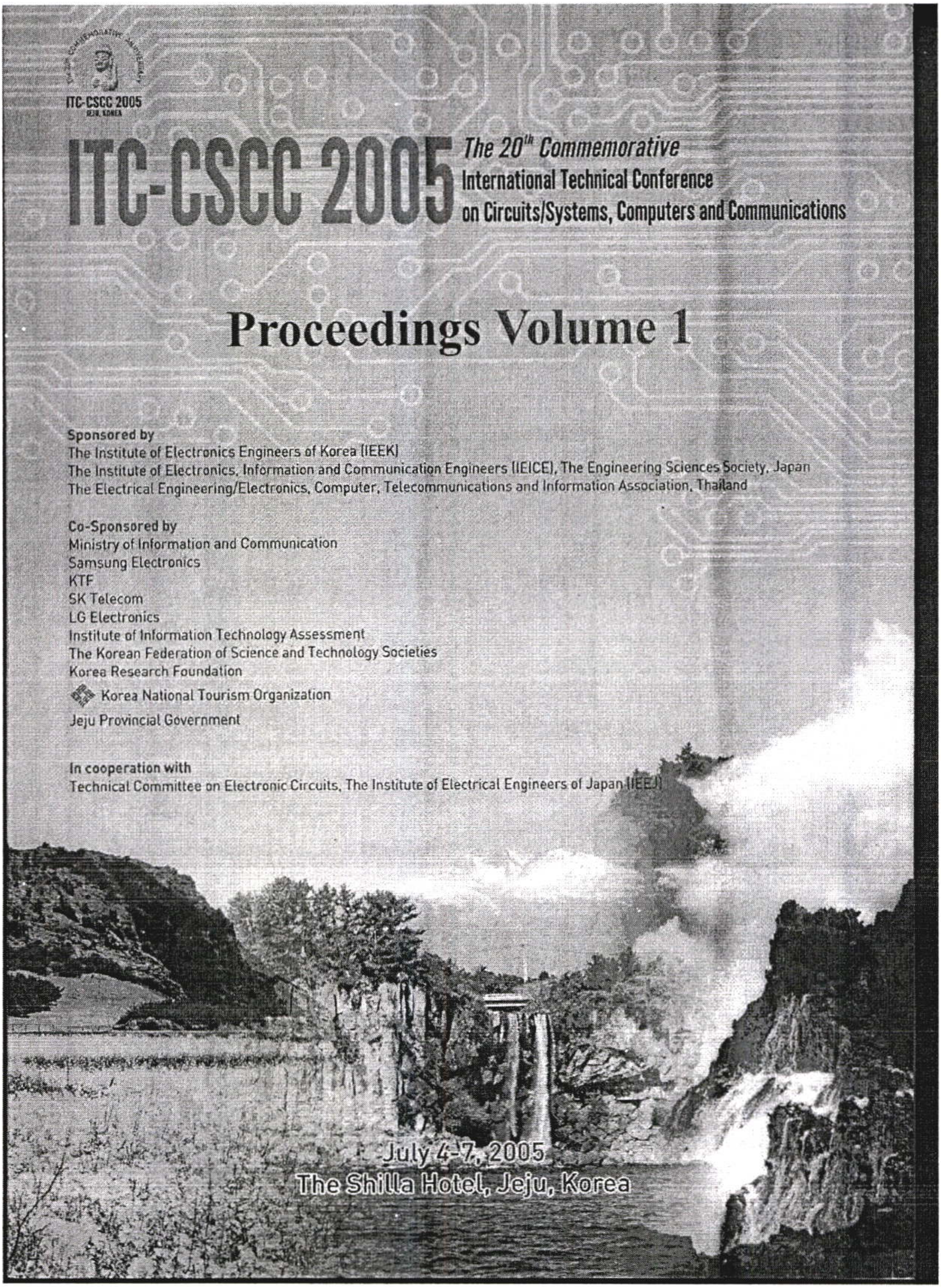


Fig. 11: (a) Differential output voltage and (b) output current of the SC integrator.



ITC-CSCC 2005 JEJU, KOREA

ITC-CSCC 2005

The 20th Commemorative
International Technical Conference
on Circuits/Systems, Computers and Communications

Proceedings Volume 1

Sponsored by
The Institute of Electronics Engineers of Korea (IEEK)
The Institute of Electronics, Information and Communication Engineers (IEICE), The Engineering Sciences Society, Japan
The Electrical Engineering/Electronics, Computer, Telecommunications and Information Association, Thailand

Co-Sponsored by
Ministry of Information and Communication
Samsung Electronics
KTF
SK Telecom
LG Electronics
Institute of Information Technology Assessment
The Korean Federation of Science and Technology Societies
Korea Research Foundation
Korea National Tourism Organization
Jeju Provincial Government

In cooperation with
Technical Committee on Electronic Circuits, The Institute of Electrical Engineers of Japan (IEEJ)

July 4-7, 2005
The Shilla Hotel, Jeju, Korea

An 8th-Order Bandpass Sigma-Delta Modulator Using a New High-Speed Class-AB OTA

Sitthipong Wongnamkum[1], Apinunt Thanachayanont[2], and Varakorn Kasemsuwan[3]
[1,2] Faculty of Engineering and Research Center of Communications and Information Technology,
King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Rd., Ladkrabang, Bangkok 10520, Thailand
partment of Electrical Engineering, 1 Hwayang-dong, Gwangjin-gu, Seoul 143-701, Konkuk University, Seoul, Korea
E-mail: w_sitthipong@yahoo.com[1], ktapinun@kmitl.ac.th[2], kkvarako@kmitl.ac.th[3]

act: This paper presents the design and implementation of voltage 8th-order band-pass sigma-delta modulator for communications. Double-sampling fully-differential l-capacitor resonators are used to implement the or and low voltage operation is possible due to the use of y proposed class-AB operational transconductance r. The modulator is designed to operate at 10-MHz center y with 40-MHz sampling frequency. Simulation results that the modulator can achieve a 9.16-bit effective n over a 840-kHz bandwidth with a 52-dB spurious-free range. The modulator is realized by using a 0.35-µm echnology and consumes 13.67-mW from a single 1.5-V ipply.

1. Introduction

eed for reconfigurable software radio receiver is clearly e due to the existence of many wireless communication s. Digital IF radio receiver provides a viable solution by ng analog-to-digital conversion at intermediate frequency compromising between reconfigurablity and realizability. s sigma delta modulator is a critical building block for F radio receiver. Oversampling bandpass sigma-delta or has been successfully employed in low- to medium-th applications [1], [2]. For wideband wireless systems, ow oversampling ratio (OSR) is allowed due to limited n achievable sampling frequency imposed by the gy, thus a high-order modulator is required to achieve le signal-to-noise ratio (SNR). It is not straightforward to high-order sigma-delta modulator with reasonably high n and low power consumption, especially under low pply voltage.

paper addresses the design of a low-voltage 8th-order sigma-delta modulator using a newly proposed class-AB al transconductance amplifier (OTA).

8th-Order Bandpass Sigma-Delta Modulator

ows the structure of the 8th-Order bandpass sigma-delta r, which comprises four cascaded resonators with This structure provides high suppression of quantization hin the interested bandwidth as a result of high resonator reover, the resonant frequency of a resonator should be to one another to achieve aggressive noise power over a wide bandwidth. In this work, the resonant of all resonators are symmetry, with two local feedback rol (g_1,g_2).

ral simulation, including modeling of nonideal amplifiers, oise, and circuit noise [3], was performed to predict the nce of the modulator. The predicted noise floor was then lculate the minimum value of sampling capacitors that d in the modulator.

3. Switched-capacitor resonators

-capacitor resonators are critical to the realization of sigma-delta modulator. Accurate resonant frequency and -gain are the key influential parameters that directly affects the noise transfer characteristic of the modulator.

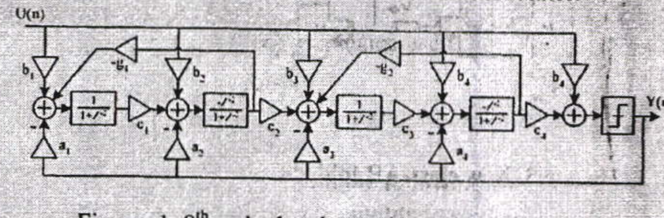


Figure. 1 8th-order bandpass sigma-delta modulator.

The double-delay resonator [4] whose resonant frequency is one-quarter of the sampling frequency ($f_s/4$) is used to realize the modulator. The resonator gain depends on the DC gain of the amplifier and the feedback factor of the resonator. The resonator circuits used in the modulator are shown in Figure 2. The switch arrangement of the feedback capacitor is optimized for minimum capacitive load, but this is obtained at the cost of more complex timing of switch control signal. Charge-direction technique [5] is applied to the clocking scheme to achieve complete charge transfer and thus high functional accuracy of the modulator. A switched-capacitor amplifier, also shown in Fig. 2, is used to sum the signals before quantization.

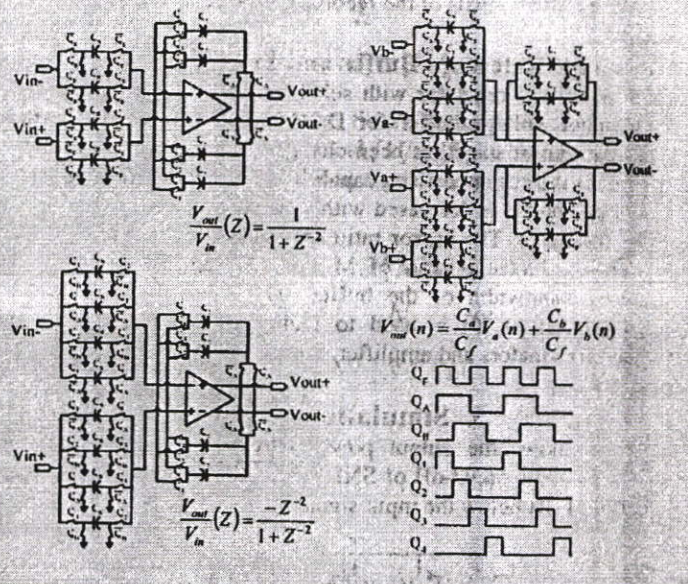


Figure 2. Switched-capacitor circuits.

4. Circuit implementation

4.1 Amplifier

The modulator employs a new class-AB folded-cascode amplifier shown in Fig. 3. The amplifier uses the class-AB pseudo-differential pair [6] as the input stage to increase the maximum output current. At the output stage, cascode current source load of the conventional folded-cascode amplifier has been replaced with a common-gate amplifier (M_5) to increase the capability to sink

t from a capacitive load. Transistors M_6-M_7 and current e load (I_2) perform a DC level shifter for to the input of the on-gate amplifier. The compensation capacitor C_C is used to a zero which compensates for the non-dominant pole and s the dominant pole to a lower frequency. Conventional hed-capacitor common-mode feedback is used to maintain tput common-mode level at half of power supply voltage.

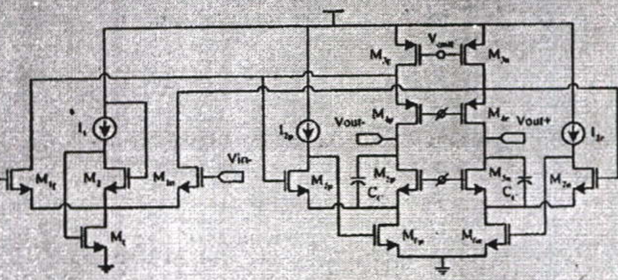


Figure 3. New class-AB folded-cascode amplifier.

Table 1 Performance summary of the circuit in Fig. 3

Parameters	Value
Power dissipation	2-mW
DC-gain	74.5-dB
Unity-gain frequency	330-MHz (@ 3-pF)
Phase margin	60°
Settling time	< 10-ns (0.01%)
Slew rate	400-V/μs

One-Bit Quantizer and DAC

single-ended dynamic comparator in [7] is used as to provide quantization. The differential voltage of the fully-differential signal is amplified and regenerated by the latch stage. Then output signals are applied to logic gates after buffering to rate control signals of the feedback voltage switches.

Voltage Reference Buffer and Switches

low-voltage regulator with self-bias technique in [8] is used ference voltage buffer for DAC circuit (Figure 4). In this , the output stage has been changed to a push-pull transistor crease the current driving capability. The output impedance of oltage buffer is decreased with self-bias technique by a factor $n_0(r_{ds9}//r_{ds6})$. The mirror ratio of transistor M_5 to M_3 (k) and ransconductance ratio of M_{10} to M_3 (gm_{10}/gm_3) limit the ating bandwidth of the buffer. The low-voltage bootstrap h circuit in [9] is used to realize switches in switched-citor resonators and amplifier.

5. Simulation Results

re 5 shows the output power spectrum of the modulator ure 5) show 56.92-dB of SNDR over 840-kHz and the image al is 54-dB below the input signal.

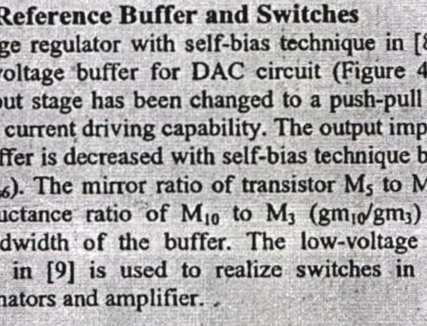


Figure 4. Low-voltage regulator with self-bias.

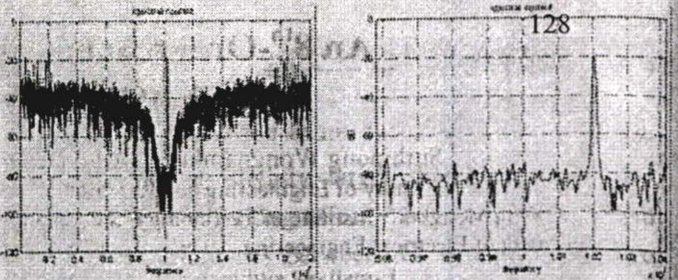


Figure 5. Output spectrum of a sine-wave input with 0.1-V_p, 10.2-MHz (over 840-kHz bandwidth)

6. Conclusion

This paper describes the design of a low-voltage 8^{th}-order bandpass sigma-delta modulator. The modulator can achieve 56.92-dB of SNDR over 840-kHz bandwidth. The overall modulator consumes 13.67-mW while operating under a single 1.5-V power supply voltage.

7. Acknowledgement

The authors are greatfully acknowledge for financial support from National Electronics and Computer Technology Center (NECTEC) project number NT-B-22-T2-38-47-13 (research grant contact no. 13/2547).

References

[1] M. Kozak and I. Kale, "Oversampled Delta-Sigma Modulators analysis, Applications and Novel Topologies" Dordrecht: Kluwer Academic Publishers, 2003, pp. 8-20.

[2] S. Chuang, H. Liu, H. Liu, X. Yu, T. L. Sculley and R. H. Bamberger, "Design and Implementation of Bandpass Delta-Sigma Modulators Using Half-Delay Integrators" IEEE Trans. Circuits and Systems, vol. 45, pp. 535-546, May 1998.

[3] S. Brigati, F. Francesconi, P. Malcovati, D. Tonietto, A. Baschirotto and F. Maloberti, "Modeling Sigma-Delta Modulator Non-Idealities in Simulink", in Proc. IEEE Int. Symp. Circuits and Systems, vol. 2, June 1999, pp. 384-387.

[4] Salo T. O, Lindfors S. J, Hollman T. M, Jarvinen J.A.M and Halonen K.A.I, "80-MHz Bandpass ΔΣ Modulators for Multimode Digital IF Receivers" IEEE J. Solid-State Circuits, vol. 38, Mar. 2003, pp. 464-474.

[5] J. Steensgaard, "Clocking Scheme for Switched-Capacitor Circuits" in Proc. IEEE Int. Symp. Circuits and Systems, vol. 1, June 1998, pp. 488-491.

[6] J. Ramirez-Angulo, R. Gonzalez-Carvajal, A. Torralba and C. Nieva, "A new class AB differential input stage for implementation of low-voltage high slew rate op-amps and linear transconductors" IEEE Int. Symp. Circuits and Systems, vol. 1, May 2001, pp. 671-674.

[7] R. Lotfi, M. Taherzadeh-Sani, M. Yaser Azizi and O. Shoaei, "A 1-V MOSFET-only fully-differential dynamic comparator for use in low-voltage pipelined A/D converters" IEEE Int. Symp. Signals, Circuits and Systems, vol. 2 July 2003, pp. 377-380.

[8] V. Balan, "A low-voltage regulator circuit with self-bias to improve accuracy" IEEE J. Solid-State and Circuits, vol. 38, Feb. 2003, pp. 365-368.

[9] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio ΔΣ modulator with 88-dB dynamic range using local switch bootstrapping" IEEE J. Solid-State Circuits, vol. 36, Mar. 2001, pp. 349-355.

ประวัติผู้เขียน

ชื่อ-นามสกุล นายสิทธิพงษ์ วงศ์น้ำคำ

วัน เดือน ปีเกิด 4 กรกฎาคม 2523 ที่ร้อยเอ็ด

ที่อยู่ 317 หมู่ 3 ต.สระคู อ.สุวรรณภูมิ จ.ร้อยเอ็ด 45130

ประวัติการศึกษา 2544 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ความชำนาญเฉพาะด้าน การออกแบบวงจรรวม

ประสบการณ์การทำงาน และผลงานวิจัย

2546 – ปัจจุบัน ผู้ช่วยวิจัยโครงการพัฒนาโทรศัพท์เคลื่อนที่ยุคที่ 3 ของสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (NECTEC)