

วงจรกรองความถี่ที่ทำงานในโหมดกระแสแบบซีมอส  
ที่สามารถปรับจูนได้ภายใต้ไฟเลี้ยงต่ำ

A LOW VOLTAGE TUNABLE CMOS CURRENT MODE FILTER

เสนาอ สระอาด

SAYER SA-AD

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต  
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

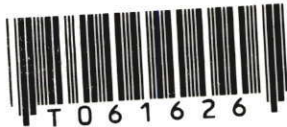
พ.ศ. 2549

ISBN 974-45-2503-5

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรกรองความถี่ที่ทำงานในโหมดกระแสแบบซิมอส  
ที่สามารถปรับจูนได้ภายใต้ไฟเลี้ยงต่ำ

A LOW VOLTAGE TUNABLE CMOS CURRENT MODE FILTER



เสนอ สะอาด

SANER SA-AD

เลขหมู่.....  
เลขทะเบียน..... 61626  
วัน,เดือน,ปี..... 19 ก.ค. 2549



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2549

ISBN 974-15-2503-6

**A LOW VOLTAGE TUNABLE CMOS CURRENT MODE FILTER**

**SANER SA-AD**

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MASTER OF ENGINEERING IN ELECTRONIC ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2006**

**ISBN 974-15-2503-6**

**COPYRIGHT 2006**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

บัณฑิตวิทยาลัย  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรกรองความถี่ที่ทำงานในโหมดกระแสแบบซิมอสที่สามารถปรับจูนได้  
ภายใต้ไฟเลี้ยงต่ำ  
A LOW VOLTAGE TUNABLE CMOS CURRENT MODE FILTER

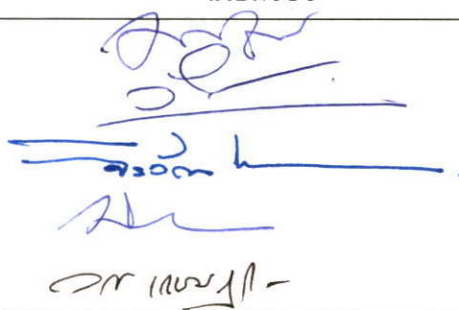
นักศึกษา นายเสนอ สะอาด

รหัสประจำตัว 46060503

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.วรากร เกษมสุวรรณ

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.อภิรักษ์	ธนชยานนท์	
ศ.ดร.วัลลภ	สุระกำพลธร	
รศ.จิรวัดน์	ปานกลาง	
ดร.กสิน	วิเชียรชม	
รศ.ดร.วรากร	เกษมสุวรรณ	

วัน/เดือน/ปี ที่สอบ 16 พฤษภาคม 2549 เวลา 11.30-13.30 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-402)

บัณฑิตวิทยาลัยรับรองแล้ว  
  
(ผศ.ดร.จารุวัตร เจริญสุข)  
คณบดีบัณฑิตวิทยาลัย

วันที่ 29 เดือน พฤษภาคม พ.ศ. 2549

หัวข้อวิทยานิพนธ์	วงจรรองความถี่ที่ทำงานในโหมดกระแสแบบซิมอสที่สามารถปรับจูนได้ภายใต้ไฟเลี้ยงต่ำ
นักศึกษา	นายเสนอ สะอาด
รหัสนักศึกษา	46060503
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.วรากร เกษมสุวรรณ
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	ดร.กิตติพล ชิตสกุล

### บทคัดย่อ

วิทยานิพนธ์เล่มนี้นำเสนอวงจรอินทิเกรเตอร์และวงจรรองความถี่โดยใช้มอสทรานซิสเตอร์ทำงานในโหมดกระแส ทั้งแบบซิวเดี่ยวและแบบขยายผลต่าง วงจรอินทิเกรเตอร์สร้างขึ้นจากวงจรสะท้อนกระแสที่มีความต้านทานอินพุตต่ำและสามารถทำงานได้ภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ วงจรอินทิเกรเตอร์ดังกล่าวถูกนำมาสร้างเป็นวงจรรองความถี่ต่ำผ่านแบบชั้นบันไดอันดับที่สาม โดยใช้เทคโนโลยีมอสทรานซิสเตอร์ขนาด 0.5 ไมครอน วงจรรองความถี่สามารถปรับค่าคงตัวเวลาได้อย่างอิสระ ทำให้ได้วงจรรองความถี่แบบบัตเตอร์เวิร์ทช์และแบบเชบีเชฟที่มีโครงสร้างวงจรเดียวกัน วงจรรองความถี่ต่ำผ่านแบบซิวเดี่ยวและแบบขยายผลต่างถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายแรงดันไฟเลี้ยงขนาด 1.5 โวลต์ โดยมีความถี่คัทออฟมีค่าเท่ากับ 88 เมกกะเฮิร์ตซ์ และ 250 เมกกะเฮิร์ตซ์ ตามลำดับ กำลังงานสูญเสีย 0.8 มิลลิวัตต์ และ 4.35 มิลลิวัตต์ ตามลำดับ

<b>Thesis Title</b>	A LOW VOLTAGE TUNABLE CMOS CURRENT MODE FILTER
<b>Student</b>	Mr. Saner Sa-ad
<b>Student ID</b>	4606053
<b>Degree</b>	Master of Engineering
<b>Programme</b>	Electronics Engineering
<b>Year</b>	2006
<b>Thesis Advisor</b>	Assoc. Prof. Dr. Varakorn Kasemsuwan
<b>Thesis Co-advisor</b>	Dr. Kitipol Chitsakul

### **ABSTRACT**

In this thesis, a current-mode CMOS integrator and filter employing both single ended and differential structure are proposed. The integrator is designed based on low input impedance current mirror and can operate under low supply voltage. The 3<sup>rd</sup> order low pass filter is then designed based on low sensitivity ladder technique. The filter can be electronically tuned to achieve Butterworth and Chebyshev low pass filter. The single ended and differential structure of the filter are designed based on 0.5  $\mu\text{m}$  CMOS technology to have cut off frequencies of 88 MHz and 250 MHz respectively. The total power dissipation is found to be 0.8mW for single-ended and 4.35mW for differential structure.

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.4 การเปรียบเทียบระหว่างวิธีการที่นำเสนอกับวิธีการแบบพื้นฐาน.....	3
1.5 ขอบเขตการวิจัย.....	3
1.6 ขั้นตอนการศึกษา.....	3
1.7 ประโยชน์ที่คาดว่าจะได้รับ.....	4
บทที่ 2 หลักการทำงานวงจรอินทิเกรเตอร์ในโหมดกระแสและวงจรอินทิเกรเตอร์ ที่ถูกนำเสนอมาก่อน.....	5
2.1 หลักการทำงานของวงจรอินทิเกรเตอร์.....	5
2.2 วงจรอินทิเกรเตอร์แบบเดิมที่ถูกนำเสนอไปแล้ว.....	9
บทที่ 3 วงจรอินทิเกรเตอร์ในโหมดกระแสที่นำเสนอ.....	19
3.1 วงจรอินทิเกรเตอร์ที่นำเสนอแบบชั่วคราว.....	19
3.1.1 การไบอัสวงจรอินทิเกรเตอร์และเงื่อนไขในการปรับจูน.....	20
3.1.2 วงจรอินทิเกรเตอร์แบบไม่เป็นอุดมคติ ( Practical Integrator).....	26
3.1.3 สัญญาณรบกวน (Noise).....	32
3.1.4 ผลการจำลองการทำงานวงจรอินทิเกรเตอร์.....	38
3.2 วงจรอินทิเกรเตอร์ที่นำเสนอแบบขยายผลต่าง.....	44
3.2.1 การจับไบอัสวงจรอินทิเกรเตอร์และเงื่อนไขในการปรับจูน.....	45
3.2.2 วงจรอินทิเกรเตอร์แบบไม่เป็นอุดมคติ ( Practical Integrator).....	47

## สารบัญ (ต่อ)

	หน้า
3.2.3 สัญญาฉบับรวม.....	53
3.2.4 ผลการจำลองการทำงานวงจรอินทิเกรเตอร์.....	55
3.3 บทสรุป.....	61
<b>บทที่ 4 วงจรกรองความถี่ต่ำผ่านทำงานในโหมดกระแส.....</b>	<b>64</b>
4.1 กล่าวนำ .....	64
4.2 ทฤษฎีและหลักการออกแบบวงจรกรองความถี่ด้วยวิธีการเลียนแบบการทำงาน วงจรกรองความถี่ขั้นบันได.....	66
4.2.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3 แบบจำลองการดำเนินการ.....	68
4.2.2 การสเกลลิง.....	71
4.3 วงจรกรองความถี่ต่ำผ่านแบบขั้วเดียวและแบบขยายผลต่าง.....	72
4.3.1 วงจรกรองความถี่แบบไม่เป็นอุดมคติ.....	74
4.3.2 ความไวของวงจรกรองความถี่ (Sensitivity).....	78
4.3.3 สัญญาฉบับรวมของวงจรกรองความถี่.....	80
4.4 การปรับค่าคงตัวของเวลาของวงจรกรองความถี่แบบอิสระ.....	84
4.5 ผลการจำลองการทำงานของวงจรกรองความถี่.....	85
4.5.1 ผลการจำลองการทำงานวงจรกรองความถี่แบบขั้วเดียว.....	86
4.5.2 ผลการจำลองการทำงานวงจรกรองความถี่แบบขยายผลต่าง.....	93
4.6 บทสรุป.....	99
<b>บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ.....</b>	<b>103</b>
<b>บรรณานุกรม.....</b>	<b>105</b>
<b>ภาคผนวก.....</b>	<b>107</b>
ภาคผนวก ก. ผลการจำลองการทำงานวงจรอินทิเกรเตอร์แบบขยายผลต่าง(Layout)...	108
ภาคผนวก ข. ผลการจำลองการทำงานวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3 แบบขยายผลต่าง (Layout).....	116
ภาคผนวก ค. การวิเคราะห์ความไม่สอดคล้องกันของทรานซิสเตอร์.....	126

## สารบัญ (ต่อ)

	หน้า
ภาคผนวก ง. วงจรสตาร์ทอัพ.....	132
ภาคผนวก จ. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	137
ประวัติผู้เขียน.....	143

## สารบัญตาราง

ตารางที่	หน้า
3.1 ขนาดมอดูสทรานซิสเตอร์ของวงจรอินทิเกรเตอร์แบบขั้วเดียวที่นำเสนอ.....	38
3.2 คุณสมบัติของวงจรอินทิเกรเตอร์แบบขั้วเดียวที่นำเสนอ.....	44
3.3 ขนาดมอดูสทรานซิสเตอร์ของวงจรอินทิเกรเตอร์แบบขยายผลต่างที่นำเสนอ.....	55
3.4 คุณสมบัติของวงจรอินทิเกรเตอร์แบบขยายผลต่างที่นำเสนอ.....	61
3.5 คุณสมบัติของวงจรอินทิเกรเตอร์แบบขั้วเดียวที่นำเสนอและที่นำเสนอมาก่อน.....	62
3.6 คุณสมบัติของวงจรอินทิเกรเตอร์แบบขยายผลต่างที่นำเสนอและที่นำเสนอมาก่อน.....	63
4.1 พารามิเตอร์ที่สำคัญของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรกรองความถี่.....	86
4.2 ขนาดมอดูสทรานซิสเตอร์ของวงจรอินทิเกรเตอร์แบบขั้วเดียวที่นำเสนอ.....	86
4.3 ขนาดตัวเก็บประจุของวงจรกรองความถี่แบบขั้วเดียว ความถี่คัทออฟมีค่าเท่ากับ 10 MHz.....	87
4.4 ขนาดตัวเก็บประจุของวงจรกรองความถี่แบบขั้วเดียว ความถี่คัทออฟมีค่าเท่ากับ 88 MHz.....	87
4.5 คุณสมบัติของวงจรกรองความถี่ที่นำเสนอ.....	93
4.6 ขนาดมอดูสทรานซิสเตอร์ของวงจรกรองความถี่แบบขยายผลต่างที่นำเสนอ.....	93
4.7 ขนาดตัวเก็บประจุของวงจรกรองความถี่แบบขยายผลต่าง ความถี่คัทออฟ มีค่าเท่ากับ 100 MHz.....	93
4.8 ขนาดตัวเก็บประจุของวงจรกรองความถี่แบบขยายผลต่าง ความถี่คัทออฟ มีค่าเท่ากับ 250 MHz.....	94
4.9 คุณสมบัติของวงจรกรองความถี่ที่นำเสนอแบบขยายผลต่าง.....	99
4.10 คุณสมบัติของวงจรกรองความถี่แบบขั้วเดียวที่นำเสนอและที่นำเสนอมาก่อน.....	101
4.11 คุณสมบัติของวงจรกรองความถี่แบบขยายผลต่างที่นำเสนอและที่นำเสนอมาก่อน.....	102

# สารบัญรูป

รูปที่	หน้า
2.1	โครงสร้างวงจรมติเกรเตอร์แบบไม่สูญเสียทำงานในโหมดกระแส.....5
2.2	วงจรมติเกรเตอร์ทำงานในโหมดกระแส.....7
2.3	การตอบสนองทางความถี่และเฟสของอินติเกรเตอร์แบบไม่สูญเสีย.....7
2.4	วงจรมติเกรเตอร์ ที่ถูกนำเสนอโดย Federico Galvez –Durand.....10
2.5	วงจรมติเกรเตอร์ ที่ถูกนำเสนอโดย D. J. Allstot.....11
2.6	วงจรมติเกรเตอร์ ที่ถูกนำเสนอโดย N. Fujii.....13
2.7	วงจรมติเกรเตอร์ที่ถูกสร้างจากวงจรสายพานกระแส.....15
2.8	วงจรมติเกรเตอร์ที่ถูกสร้างจากวงจรสายพานกระแสแบบขยายผลต่างที่ถูกนำเสนอ โดย J.Sabadell.....16
2.9	วงจรมติเกรเตอร์ ที่ถูกนำเสนอโดย Z.Yang .....16
2.10	วงจรมติเกรเตอร์ ที่ถูกนำเสนอโดย S.L. Smith .....17
3.1	วงจรมติเกรเตอร์แบบไม่สูญเสีย (แบบขั้วเดียว).....19
3.2	วงจรมติเกรเตอร์แบบไม่สูญเสีย สามารถปรับค่าทรานคอนคักแทนซ์ได้.....20
3.3	วงจรมติเกรเตอร์ขนาดเล็กของวงจรมติเกรเตอร์ แบบขั้วเดียว.....26
3.4	ผลการตอบสนองทางความถี่และเฟสของวงจรมติเกรเตอร์แบบขั้วเดียว เปรียบเทียบระหว่างแบบอุดมคติกับแบบไม่เป็นอุดมคติ.....30
3.5	การจำลองแหล่งจ่ายสัญญาณรบกวนของมอดูเลชันซิสเตอร์.....33
3.6	วงจรมติเกรเตอร์ขนาดเล็กที่รวมผลสัญญาณรบกวนของวงจรมติเกรเตอร์.....34
3.7	การตอบสนองความถี่และเฟสของวงจรมติเกรเตอร์.....40
3.8	ผลการตอบสนองทางเวลา (Transient response ) ของวงจรมติเกรเตอร์.....41
3.9	การตอบสนองความถี่ของวงจรมติเกรเตอร์เมื่อปรับกระแสไบอัส ค่าต่างๆ.....42
3.10	ค่าความผิดเพี้ยนฮาร์โมนิกสัรวมของวงจรมติเกรเตอร์ที่ขนาดสัญญาณค่าต่างๆ.....42
3.11	สัญญาณรบกวนอินพุต ของวงจรมติเกรเตอร์.....43
3.12	วงจรมติเกรเตอร์แบบขยายผลต่าง.....44
3.13	วงจรมติเกรเตอร์ขนาดเล็กของวงจรมติเกรเตอร์แบบขยายผลต่าง.....47
3.14	ผลการตอบสนองทางความถี่และเฟสของวงจรมติเกรเตอร์แบบขยายผลต่าง เปรียบเทียบระหว่างแบบอุดมคติกับแบบไม่เป็นอุดมคติ.....52

## สารบัญรูป (ต่อ)

รูปที่	หน้า
3.15 วงจรเสมือนสัญญาณขนาดเล็กที่รวมผลสัญญาณรบกวนของวงจรอินทิเกรเตอร์แบบขยายผลต่าง.....	53
3.16 การตอบสนองความถี่และเฟสของวงจรอินทิเกรเตอร์แบบขยายผลต่าง.....	57
3.17 ผลการตอบสนองทางเวลาของวงจรอินทิเกรเตอร์แบบขยายผลต่าง.....	58
3.18 การตอบสนองความถี่ของวงจรอินทิเกรเตอร์ เมื่อป้อนสัญญาณอินพุตแบบร่วม.....	59
3.19 การตอบสนองความถี่ของวงจรอินทิเกรเตอร์แบบขยายผลต่างเมื่อปรับกระแสไบอัส ค่าต่างๆ.....	59
3.20 ค่าความคิดเพี้ยนฮาร์โมนิกส์รวมของวงจรอินทิเกรเตอร์แบบขยายผลต่างที่ขนาดสัญญาณค่าต่างๆ.....	60
3.21 สัญญาณรบกวนด้านอินพุตของวงจรอินทิเกรเตอร์แบบขยายผลต่าง.....	60
4.1 บล็อกไดอะแกรมวงจรกรองความถี่.....	64
4.2 บล็อกไดอะแกรมวงจรกรองความถี่ขั้นบันไดแบบพาสซีฟที่มีตัวต้านทานสิ้นสุดคู่.....	66
4.3 วงจรกรองความถี่ขั้นบันไดแบบพาสซีฟ.....	67
4.4 โครงสร้างลีฟฟล็อกวงจรกรองความถี่ทำงานในโหมดแรงดัน.....	68
4.5 วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟ อันดับที่ 3.....	68
4.6 โครงสร้างลีฟฟล็อกของวงจรกรองความถี่ทำงานในโหมดกระแส.....	70
4.7 วงจรกรองความถี่ต่ำผ่านอันดับที่ 3 ที่ถูกออกแบบจากวงจรอินทิเกรเตอร์แบบขั้วเดียว.....	73
4.8 วงจรกรองความถี่ต่ำผ่านอันดับที่ 3 ที่ถูกออกแบบจากวงจรอินทิเกรเตอร์แบบขยายผลต่าง.....	73
4.9 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3 แบบขั้วเดียวเปรียบเทียบระหว่างแบบอุดมคติกับแบบไม่เป็นอุดมคติ .....	77
4.10 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบขยายผลต่าง เปรียบเทียบระหว่างแบบอุดมคติกับแบบไม่เป็นอุดมคติ.....	77
4.11 การจำลองแหล่งจ่ายสัญญาณรบกวนของวงจรกรองความถี่แบบขั้วเดียว.....	81
4.12 การจำลองแหล่งจ่ายสัญญาณรบกวนของวงจรกรองความถี่แบบขยายผลต่าง.....	83
4.13 แสดงการปรับค่าคงตัวเวลาอย่างอิสระของวงจรอินทิเกรเตอร์แบบขั้วเดียว.....	85
4.14 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทด์เปรียบเทียบกับแบบเชบีเชฟ เมื่อปรับจูนกระแสอย่างอิสระ.....	89
4.15 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ.....	89

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.16 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 10 MHz) .....	90
4.17 การตอบสนองความถี่ของวงจรรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ.....	90
4.18 ผลการตอบสนองทางเวลาของวงจรรองความถี่แบบขั้วเดียว.....	91
4.19 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 88 MHz) .....	92
4.20 สัญญาณรบกวนอินพุต ของวงจรรองความถี่.....	92
4.21 การตอบสนองความถี่ของวงจรรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทเปรียบเทียบกับ แบบเชบีเชฟ เมื่อปรับจูนกระแสอย่างอิสระ.....	95
4.22 การตอบสนองความถี่ของวงจรรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ.....	95
4.23 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 88 MHz) .....	96
4.24 การตอบสนองความถี่ของวงจรรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ.....	96
4.25 ผลการตอบสนองทางเวลาของวงจรรองความถี่แบบขยายผลต่าง.....	97
4.26 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 250 MHz) .....	98
4.27 สัญญาณรบกวนอินพุตของวงจรรองความถี่.....	99

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ระบบอิเล็กทรอนิกส์และระบบการสื่อสารโทรคมนาคมได้เข้ามามีบทบาทสำคัญในชีวิตประจำวัน พารามิเตอร์ที่สำคัญที่สุดอย่างหนึ่งของสัญญาณคือองค์ประกอบทางความถี่หรือสเปกตรัมของสัญญาณ เพื่อให้ระบบเหล่านี้ทำงานได้ถูกต้องและมีประสิทธิภาพ จำเป็นต้องมีวงจรกรององค์ประกอบทางความถี่หรือวงจรกรองความถี่ เพื่อทำหน้าที่เลือกความถี่ที่ต้องการและกำจัดความถี่ที่ไม่ต้องการ

วงจรกรองความถี่แบบเชิงเส้นต่อเนื่องทางเวลา สามารถแบ่งได้ตามลักษณะของอุปกรณ์ที่ใช้คือ วงจรกรองความถี่แบบพาสซีฟ (passive filter) และวงจรกรองความถี่แบบแอคทีฟ (active filter) วงจรกรองความถี่แบบพาสซีฟประกอบไปด้วยตัวต้านทาน ตัวเก็บประจุและขดลวดเหนี่ยวนำ วงจรกรองความถี่ประเภทนี้สามารถใช้งานได้ตั้งแต่สัญญาณไฟตรงไปจนถึงย่านความถี่สูง วงจรกรองความถี่แบบแอคทีฟเป็นวงจรกรองความถี่ที่ใช้อุปกรณ์แอคทีฟทำงานร่วมกับตัวต้านทานและ/หรือตัวเก็บประจุ โดยปกติแล้ววงจรกรองความถี่แบบแอคทีฟถูกออกแบบสร้างขึ้นมาจากอุปกรณ์ออปแอมป์ โดยใช้วิธีการต่อแบบคาสเคด การเลียนแบบการทำงานวงจรแอล-ซีแบบชั้นบันได และวงจรที่มีการป้อนกลับแบบหลายรูป อย่างไรก็ตาม วงจรกรองความถี่ดังกล่าวไม่เหมาะที่จะนำมาใช้งานที่ความถี่สูงเนื่องจากข้อจำกัดของออปแอมป์ ปัจจุบันวงจรกรองความถี่มักถูกออกแบบให้มีลักษณะเป็นแบบแอคทีฟโดยอยู่ในรูปแบบวงจรรวม (Integrated Circuit: IC)

ปัจจุบันในงานอุตสาหกรรมและงานวิจัยของวงจรรวมประเภทวงจรกรองความถี่เชิงเส้นแบบแอคทีฟการออกแบบได้มุ่งเน้นให้วงจรสามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำและวงจรมีการสูญเสียกำลังงานน้อย ดังนั้นวงจรกรองความถี่ที่ทำงานในโหมดกระแสจึงเป็นอีกทางเลือกหนึ่งที่น่าสนใจ[1] ทั้งนี้เนื่องจากวงจรที่ทำงานในโหมดกระแส สามารถทำงานได้ภายใต้ไฟเลี้ยงต่ำ นอกจากนี้วงจรสามารถทำงานได้ที่ความถี่สูง คุณสมบัติที่สำคัญของวงจรกรองความถี่เชิงเส้น คือความไว ค่าความไวของวงจรกรองความถี่ควรมีค่าต่ำ เพราะจะทำให้คุณสมบัติของวงจรกรองความถี่เปลี่ยนแปลงเพียงเล็กน้อย เมื่อค่าอุปกรณ์เปลี่ยนแปลงไป

วงจรกรองความถี่ที่มีความถี่คัทออฟในย่านความถี่สูง ถูกนำมาประยุกต์ใช้งานหลากหลาย เช่น การประมวลผลสัญญาณเสียง การประมวลผลสัญญาณภาพ ระบบการสื่อสาร และระบบการอ่านแถบแม่เหล็ก[2]-[7] วงจรกรองความถี่ที่ถูกสร้างขึ้นจากวงจรอินทิเกรเตอร์ด้วยวิธีการเลียนแบบการทำงานของวงจรกรองความถี่ชั้นบันไดแบบพาสซีฟจึงเป็นทางเลือกหนึ่ง

ที่ถูกนำมาออกแบบใช้งานกันอย่างกว้างขวาง อย่างไรก็ตาม วงจรอินทิเกรเตอร์ที่ถูกนำเสนอใน [8]-[9] เป็นวงจรอินทิเกรเตอร์แบบชั่วคราว ซึ่งจำเป็นต้องกลับเฟสกระแสเพื่อสร้างวงจรอินทิเกรเตอร์แบบไม่สูญเสีย ทำให้วงจรต้องสิ้นเปลืองกำลังงานมาก วงจรใน [10]-[11] เป็นวงจรกรองความถี่ที่ถูกนำเสนอโดยใช้ทรานซิสเตอร์ชนิดไบโพลาร์ ซึ่งไม่เหมาะที่จะนำไปใช้งานในวงจรที่เป็นแบบผสมระหว่างอนาล็อกและดิจิทัล (mixed signal integrated circuit) และยังพบว่าเมื่อมีการปรับความถี่คัทออฟ ผ่านทางค่าทรานคอนดักแตนซ์ จะส่งผลให้ค่าทรานคอนดักแตนซ์ตัวอื่นๆ เกิดการเปลี่ยนแปลง ทำให้ไม่สามารถปรับค่าทรานคอนดักแตนซ์ได้โดยอิสระ วงจรที่ถูกนำเสนอใน [12] เป็นวงจรกรองความถี่ที่ถูกสร้างจากวงจรอินทิเกรเตอร์โดยใช้วงจรสายพานกระแส วงจรอินทิเกรเตอร์ที่ถูกสร้างขึ้นสามารถทำงานได้ในโหมดกระแสและแรงดัน อย่างไรก็ตาม วงจรสิ้นเปลืองกำลังงานมากและใช้งานที่ความถี่ไม่สูงมากนัก วงจรใน [13] เป็นวงจรกรองความถี่ที่ถูกสร้างขึ้นจากวงจรอินทิเกรเตอร์แบบขยายผลต่าง วงจรอินทิเกรเตอร์สร้างจากวงจรสะท้อนกระแสแบบง่ายที่มีการต่อป้อนกลับแบบลบที่อินพุต โดยใช้โอทีเอ (OTA) เพื่อลดความต้านทานทางด้านอินพุตของวงจรอินทิเกรเตอร์ การที่วงจรต้องใช้โอทีเอทำให้วงจรต้องสิ้นเปลืองกำลังงานเพิ่มมากขึ้น นอกจากนี้แหล่งจ่ายไฟเลี้ยงในวงจรยังขึ้นกับความต้องการของโอทีเอด้วย

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรอินทิเกรเตอร์ โดยวงจรได้ถูกออกแบบให้สามารถทำงานภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ ความต้านทานขาเข้าต่ำ ความต้านทานขาออกสูง และมีการสูญเสียกำลังงานน้อย

## 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้มุ่งหวังเพื่อศึกษาเกี่ยวกับการทำงานของวงจรอินทิเกรเตอร์และการประยุกต์ใช้งาน เพื่อนำไปสร้างวงจรกรองความถี่ จุดหมายของการออกแบบคือวงจรที่ได้ควรจะสามารถทำงานได้ดีภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ ความต้านทานขาเข้าต่ำ ความต้านทานขาออกสูง และมีการสูญเสียกำลังงานน้อย นอกจากนี้วงจรที่ได้สามารถปรับจูนค่าความถี่ด้วยวิธีการทางอิเล็กทรอนิกส์

## 1.3 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วงจรกรองความถี่ได้มีการนำมาประยุกต์ใช้งานกันอย่างกว้างขวาง ทั้งในงานด้านอิเล็กทรอนิกส์ การสื่อสารโทรคมนาคมหรือแม้แต่งานด้านคอมพิวเตอร์ ดังนั้นในการออกแบบวงจรกรองความถี่ควรออกแบบให้วงจรสามารถทำงานได้ดีที่แหล่งจ่ายไฟเลี้ยงต่ำ และสิ้นเปลืองกำลังงานน้อย ในขณะเดียวกันวงจรกรองความถี่สามารถปรับจูนได้ด้วยวิธีการทางอิเล็กทรอนิกส์ จะทำให้วงจรกรองความถี่ที่ถูกสร้างขึ้นสามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวางมากขึ้น

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรกรองความถี่แบบแอกทีฟ วงจรกรองความถี่แบบแอกทีฟที่ถูกสร้างขึ้นโดยใช้วิธีการเลียนแบบการทำงานของวงจรกรองความถี่ขั้นบันไดแบบพาสซีฟบนพื้นฐานของวงจรที่สำคัญ คือ วงจรอินทิเกรเตอร์ วงจรอินทิเกรเตอร์ที่ถูกสร้างขึ้นได้ถูกออกแบบให้สามารถปรับค่าทรานคอนดักแตนซ์ได้อย่างอิสระด้วยการปรับเปลี่ยนกระแสไบอัส โดยไม่ทำให้วงจรอินทิเกรเตอร์ที่ต่อร่วมกันเปลี่ยนแปลงคุณสมบัติ ดังนั้นวงจรกรองความถี่ที่ถูกสร้างขึ้นสามารถปรับค่าคงตัวเวลา (Time constant:  $\tau$ ) ได้อย่างอิสระ ทำให้สามารถออกแบบวงจรให้ได้ทั้งวงจรกรองความถี่แบบบัตเตอร์เวิร์ทและวงจรกรองความถี่แบบเชบีเชฟโดยใช้โครงสร้างเดียวกัน

นอกจากนี้วงจรอินทิเกรเตอร์และวงจรกรองความถี่ ได้ถูกออกแบบให้สามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำ วงจรมีการสูญเสียกำลังงานน้อย ความต้านทานขาเข้าต่ำและความต้านทานขาออกสูง

#### 1.4 การเปรียบเทียบระหว่างวิธีการที่นำเสนอกับวิธีการแบบพื้นฐาน

วงจรอินทิเกรเตอร์และวงจรกรองความถี่ที่ได้ถูกออกแบบให้สามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำ มีค่าความต้านทานขาเข้าต่ำ ความต้านทานขาออกสูง วงจรสามารถปรับจูนความถี่ได้ และยังออกแบบให้สามารถปรับจูนได้โดยอิสระ

#### 1.5 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรอินทิเกรเตอร์ แบบขั้วเดียวและแบบขยายผลต่าง โดยใช้มอสทรานซิสเตอร์ทำงานในโหมดกระแส วงจรอินทิเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองความถี่แบบขั้วเดียวและแบบขยายผลต่าง โดยสามารถปรับจูนคุณสมบัติภายในของวงจรกรองความถี่ได้อย่างอิสระในวงจรเดียวกันด้วยวิธีการทางอิเล็กทรอนิกส์ จากวงจรที่ได้นำเสนอ สามารถแสดงผลการทำงานด้วยการจำลองการทำงานด้วยโปรแกรม H-spice

#### 1.6 ขั้นตอนของการศึกษา

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บทด้วยกันคือ

บทที่ 1 กล่าวถึงความเป็นมาของงานวิจัย ความมุ่งหมายและวัตถุประสงค์ ทฤษฎีที่ใช้ขอบเขตของการวิจัย ขั้นตอนการศึกษา และประโยชน์ที่คาดว่าจะได้รับ

บทที่ 2 กล่าวถึงหลักการออกแบบวงจรอินทิเกรเตอร์ และวงจรอินทิเกรเตอร์ที่เคยถูกนำเสนอมาก่อนแล้ว

บทที่ 3 กล่าวถึงวงจรอินทิเกรเตอร์ที่นำเสนอทั้งแบบชั่วคราว และแบบขยายผลต่าง วงจรอินทิเกรเตอร์แบบไม่เป็นอุดมคติ สัญญาณรบกวนที่เกิดขึ้น ในวงจรอินทิเกรเตอร์ และผลที่ได้จากการจำลองการทำงานของวงจรอินทิเกรเตอร์

บทที่ 4 กล่าวถึงการออกแบบวงจรกรองความถี่ ด้วยวิธีการเลียนแบบการทำงานของวงจรกรองความถี่ ชั้นบันไดแบบพาสซีฟ การนำวงจรอินทิเกรเตอร์ที่นำเสนอ มาออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3 การวิเคราะห์สัญญาณรบกวน การวิเคราะห์ค่าความไวของวงจรกรองความถี่ และผลที่ได้จากการจำลองการทำงานของวงจรกรองความถี่

บทที่ 5 เป็นบทสรุปผลการวิจัยและข้อเสนอแนะ

## 1.7 ประโยชน์ที่คาดว่าจะได้รับ

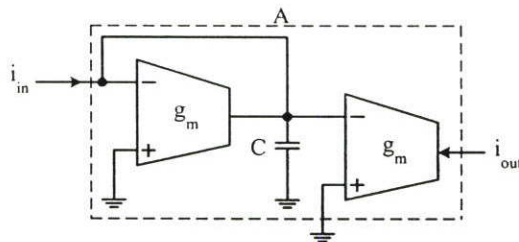
วงจรกรองความถี่แบบแอกทีฟที่ถูกออกแบบด้วยวิธีการเลียนแบบการทำงานของวงจรกรองความถี่ชั้นบันไดแบบพาสซีฟถูกสร้างขึ้นจากวงจรอินทิเกรเตอร์ที่นำเสนอ สามารถทำงานได้ดีที่ความถี่สูงในย่านความถี่สูงมาก (VHF) และย่านวิทยุ (RF) วงจรมีคุณสมบัติที่ดีใกล้เคียงกับวงจรกรองความถี่ชั้นบันไดแบบพาสซีฟ และสามารถทำงานได้ดีที่แหล่งจ่ายไฟเลี้ยงต่ำ สูญเสียกำลังงานน้อย การปรับจูนคุณสมบัติภายในของวงจรกรองความถี่ทำได้ง่ายทำให้สามารถนำไปประยุกต์ใช้งานกว้างขวางมากขึ้น

## บทที่ 2

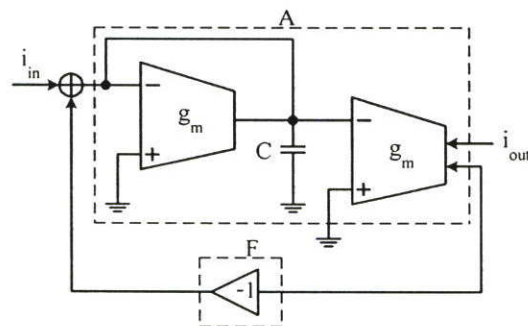
# หลักการทํางานวงจรอินทิเกรเตอร์ในโหมดกระแส และวงจรอินทิเกรเตอร์ที่ถูกนําสอนมาก่อน

การสร้างวงจรกรองความถี่แบบต่อเนื่องอันดับสูงนั้น มีเทคนิคและวิธีการสร้างได้หลายวิธี เช่น วงจรกรองความถี่ใช้อุปกรณ์พาสซีฟต่อแบบขั้นบันได (LC Ladder) วงจรกรองความถี่แบบใช้ออปแอมป์ต่อร่วมกับความต้านทานและตัวเก็บประจุ (Active RC filter) วงจรกรองความถี่แบบทรานคอนดักแตนซ์-ซี ( $G_m$ -C filter) จากวิธีการที่กล่าวมาทั้งหมดวงจรกรองความถี่แบบขั้นบันไดเป็นวงจรกรองความถี่ที่มีค่าความไวคําที่สุด[14] ซึ่งเป็นคุณสมบัติหนึ่งที่ดีของวงจรกรองความถี่ เพื่อที่จะสร้างวงจรกรองความถี่แบบขั้นบันไดโดยใช้อุปกรณ์แอคทีฟ จำเป็นต้องอาศัยวงจรที่สำคัญมากที่สุดวงจรหนึ่งได้แก่ วงจรอินทิเกรเตอร์ ในบทที่ 2 นี้จะเป็นการกล่าวถึงหลักการทํางานของวงจรอินทิเกรเตอร์และวงจรอินทิเกรเตอร์ที่ถูกนําสอนมาก่อน

### 2.1 หลักการทํางานของวงจรอินทิเกรเตอร์



(ก) กรณีลูปเปิด



(ข) กรณีลูปปิด

รูปที่ 2.1 โครงสร้างวงจรอินทิเกรเตอร์แบบไม่สูญเสียทํางานในโหมดกระแส

รูปที่ 2.1(ก) แสดงโครงสร้างวงจรมติเกรเตอร์แบบไม่สูญเสียทำงานในโหมดกระแสในกรณีลูเปิด (Open loop) วงจรประกอบไปด้วยบล็อก A ซึ่งเป็นวงจรมติเกรเตอร์แบบสูญเสียทำงานในโหมดกระแส (Lossy Integrator) ฟังก์ชันการถ่ายโอนของวงจร คือ

$$H(s)_{Open} = \frac{i_{out}(s)}{i_m(s)} = \frac{1}{s \frac{C}{g_m} + 1} \quad (2.1)$$

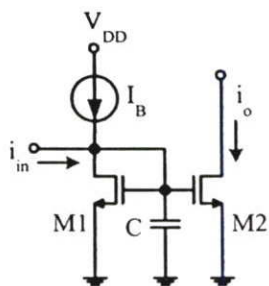
รูปที่ 2.1(ข) คือวงจรมติเกรเตอร์ในกรณีลูปิด (Closed loop) โดยมีการป้อนกลับแบบบวก (positive feedback) บล็อก F ทำหน้าที่เป็นชุดป้อนกลับ การป้อนกลับดังกล่าวก็เพื่อชดเชยการสูญเสียที่เกิดขึ้นในวงจรมติเกรเตอร์แบบสูญเสียทำให้ได้ฟังก์ชันการถ่ายโอนของวงจรมติเกรเตอร์แบบไม่สูญเสีย (Lossless Integrator) ดังนี้

$$H(s)_{Close} = \frac{i_o(s)}{i_m(s)} = \frac{1}{s \frac{C}{g_m}} \quad (2.2)$$

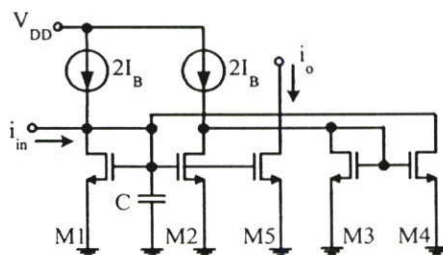
หลักการออกแบบวงจรมติเกรเตอร์ที่ได้กล่าวมาข้างต้น สามารถนำมาออกแบบเป็นวงจรมติเกรเตอร์แบบไม่สูญเสีย โดยใช้วงจรสะท้อนกระแสอย่างง่ายต่อร่วมกับตัวเก็บประจุ ดังแสดงในรูปที่ 2.2

วงจรที่แสดงในรูปที่ 2.2(ก) เป็นวงจรมติเกรเตอร์แบบสูญเสียทำงานในโหมดกระแส (Lossy Integrator) วงจรประกอบด้วยทรานซิสเตอร์ M1 และ M2 ทำหน้าที่เป็นวงจรสะท้อนกระแสแบบพื้นฐานต่อร่วมกับตัวเก็บประจุ C วงจรรูปที่ 2.2(ข) แสดงวงจรมติเกรเตอร์แบบไม่สูญเสียทำงานในโหมดกระแส ทรานซิสเตอร์ M1 M2 และตัวเก็บประจุ C ทำหน้าที่เป็นวงจรมติเกรเตอร์แบบสูญเสีย และ M3 M4 ทำหน้าที่ป้อนกลับกระแสแบบบวก ทรานซิสเตอร์ M5 ทำหน้าที่สะท้อนกระแสเอาต์พุตออกไปใช้งาน วงจรที่แสดงในรูปที่ 2.2(ก) และรูปที่ 2.2(ข) สามารถเขียนฟังก์ชันการถ่ายโอนได้เช่นเดียวกับสมการที่ (2.1) และสมการที่ (2.2) ตามลำดับ โดยที่ค่าทรานคอนดักแตนซ์ คือ  $\sqrt{2\mu C_{OX} \left(\frac{W}{L}\right) I_{DS}}$

ฟังก์ชันการถ่ายโอนที่ได้ในสมการที่ (2.1) และสมการที่ (2.2) ยังไม่ได้พิจารณาผลกระทบที่เกิดขึ้นจากค่าความนำไฟฟ้าด้านขาออก และค่าตัวเก็บประจุแฝงที่เกิดขึ้นในมอสทรานซิสเตอร์ เพื่อให้เข้าใจหลักการการทำงานให้ถูกต้องยิ่งขึ้น จำเป็นต้องตรวจสอบผลกระทบที่เกิดขึ้นกับวงจรมติเกรเตอร์ เนื่องจากความนำไฟฟ้าด้านขาออกและค่าตัวเก็บประจุแฝงของทรานซิสเตอร์

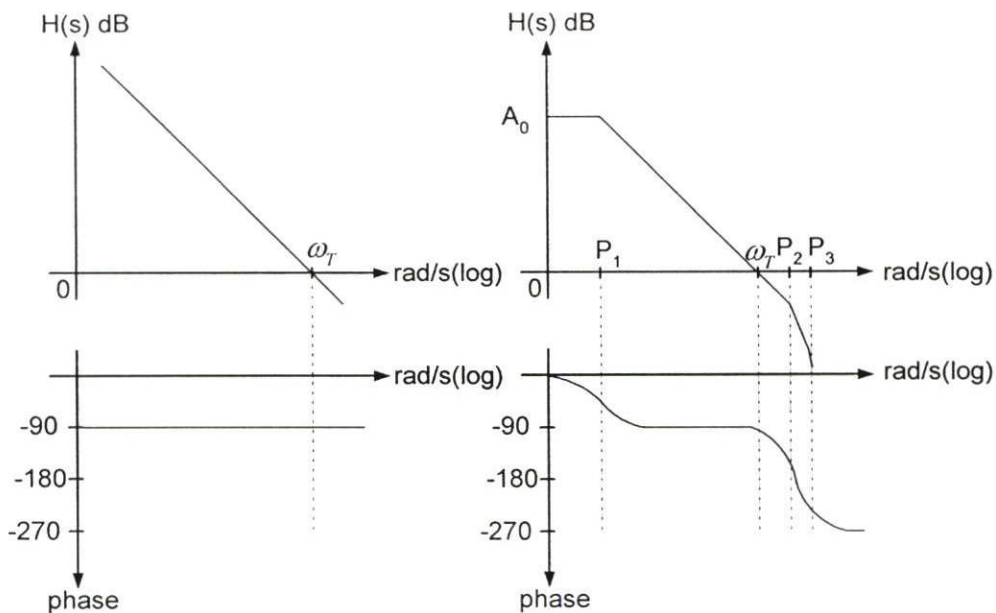


(ก) วงจรอินทิเกรเตอร์แบบสูญเสีย (Lossy Integrator)



(ข) วงจรอินทิเกรเตอร์แบบไม่สูญเสีย (Lossless Integrator)

รูปที่ 2.2 วงจรอินทิเกรเตอร์ทำงานในโหมดกระแส



(ก) แบบอุดมคติ (Ideal)

(ข) แบบไม่เป็นอุดมคติ (Practical)

รูปที่ 2.3 การตอบสนองทางความถี่และเฟสของวงจรอินทิเกรเตอร์แบบไม่สูญเสีย

รูปที่ 2.3 แสดงการตอบสนองทางความถี่และเฟสของวงจรมิติเกรเตอร์แบบไม่สูญเสีย รูปที่ 2.3(ก) แสดงการตอบสนองทางความถี่และเฟสของวงจรมิติเกรเตอร์แบบอุดมคติ ซึ่งสอดคล้องกับสมการที่ (2.2) จะเห็นว่า การตอบสนองทางความถี่ของวงจรมีลักษณะเป็นเส้นตรง และจะมีค่าเป็นอนันต์ที่ความถี่ศูนย์เฮิรตซ์ การตอบสนองทางเฟสจะมีค่าเท่ากับ 90 องศา วงจรมิติเกรเตอร์เพียงแค่นี้ โพลเท่านั้น รูปที่ 2.3(ข) แสดงการตอบสนองทางความถี่และเฟสของวงจรมิติเกรเตอร์แบบไม่สูญเสียในทางปฏิบัติที่ได้รับความนำไฟฟ้าด้านขาออกและตัวเก็บประจุแฝง โดยสามารถแสดงได้ในสมการที่ (2.3)

$$H(s) = \frac{i_o(s)}{i_m(s)} = \frac{A_0}{(1+s\tau_1)(1+s\tau_2)} \quad (2.3)$$

โดยที่  $1/\tau_1$  คือ โพลหลัก (Dominant pole) ที่เกิดจากตัวเก็บประจุ C  $1/\tau_2$  คือ โพลรอง (parasitic pole) ที่เกิดจากตัวเก็บประจุแฝงในมอสทรานซิสเตอร์ วงจรมิติเกรเตอร์ที่ความถี่ต่ำ (DC Gain) เท่ากับ  $A_0$  ความถี่ที่มีอัตราขยายเท่ากับหนึ่ง (unity gain frequency:  $\omega_T$ ) มีค่าประมาณ  $A_0/\tau_1$  เมื่อ  $1/\tau_1 \ll \omega_T \ll 1/\tau_2$  ซึ่งโดยปกติโพลรองจะถูกออกแบบให้มีค่าความถี่สูงกว่า สัญญาณความถี่ที่ได้ออกแบบในวงจรความถี่ และในการวิเคราะห์ถ้า  $|s\tau_2| \ll 1$  สามารถเขียนสมการที่ (2.3) ใหม่ ได้ดังสมการที่ (2.4)

$$H(s) = A_0 \frac{1-s\tau_2}{1+s\tau_1} \quad (2.4)$$

ในรูปที่ 2.3 จะเห็นได้ว่า วงจรมิติเกรเตอร์ในทางปฏิบัติ (Practical) นอกจากโพลหลักแล้วยังมีโพลรองเกิดขึ้นด้วย โดยเกิดจากตัวเก็บประจุแฝงในมอสทรานซิสเตอร์ เป็นสิ่งที่เราไม่ต้องการ ดังนั้นในการออกแบบวงจรมิติเกรเตอร์เพื่อไม่ให้โพลรองมีผลกับการทำงานของวงจรมิติเกรเตอร์จะต้องกำหนดให้โพลหลักมีค่ามากกว่าโพลรองมากๆ จะเห็นได้ว่าโพลรองที่เกิดขึ้นจะมีผลต่อการนำวงจรมิติเกรเตอร์ออกมาใช้งานที่ความถี่สูง ดังนั้นตัวเก็บประจุแฝงในมอสทรานซิสเตอร์จึงเป็นตัวจำกัดการทำงานที่ความถี่สูงของวงจรมิติเกรเตอร์ ในขณะที่ขบวนการตอบสนองทางความถี่ของวงจรมิติเกรเตอร์ที่ความถี่ต่ำ อัตราขยายของวงจรมิติเกรเตอร์จะขึ้นอยู่กับค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์และค่าความนำไฟฟ้าด้านขาออกของวงจรมิติเกรเตอร์ โดยอัตราขยายของวงจรมิติเกรเตอร์จะมีค่าเพิ่มขึ้นเมื่อค่าความนำไฟฟ้าด้านขาออกของวงจรมิติเกรเตอร์มีค่าลดลง

ตัวประกอบคุณภาพ (Quality factor) หรือค่า Q ของวงจรมิติเกรเตอร์เป็นพารามิเตอร์ตัวหนึ่งที่สามารถบ่งบอกประสิทธิภาพของวงจรมิติเกรเตอร์ได้ ในทางอุดมคิตัวประกอบ

คุณภาพมีค่าเป็นอนันต์ กล่าวคือไม่มีความสูญเสียเกิดขึ้นในวงจรอินทิเกรเตอร์ ในการออกแบบวงจรอินทิเกรเตอร์ในทางปฏิบัติ ควรออกแบบให้วงจรอินทิเกรเตอร์มีค่าตัวประกอบคุณภาพสูง เพื่อให้การสูญเสียที่เกิดขึ้นในวงจรมีค่าน้อย ตัวประกอบคุณภาพสามารถหาได้จากฟังก์ชันการถ่ายโอน

จากฟังก์ชันการถ่ายโอนวงจรอินทิเกรเตอร์สามารถเขียนใหม่ได้ดังนี้ คือ

$$H(j\omega) = \frac{1}{R(\omega) + jX(\omega)} \quad (2.5)$$

จากสมการที่ (2.5) สามารถนิยามตัวประกอบคุณภาพได้ คือ อัตราส่วนของจำนวนจินตภาพ (Imaginary part) ต่อจำนวนจริง (Real part)[8] ของฟังก์ชันการถ่ายโอนวงจรอินทิเกรเตอร์

$$Q(\omega) = \frac{X(\omega)}{R(\omega)} \quad (2.6)$$

จากสมการที่ (2.3) และสมการที่ (2.4) สามารถหาค่าตัวประกอบคุณภาพได้ ในทำนองเดียวกัน คือ[15]

$$\frac{1}{Q(\omega)} = \frac{1 - \omega^2 \tau_1 \tau_2}{\omega(\tau_1 + \tau_2)} \approx \frac{1}{\omega \tau_1} - \omega \tau_2 \quad (2.7)$$

เมื่อ  $\tau_2$  คือ ผลรวมของโพลาไรซ์ ตั้งแต่อันดับที่สองและอันดับถัดไปมีค่าเท่ากับ  $\sum_{i=2}^{\infty} \frac{1}{P_i}$

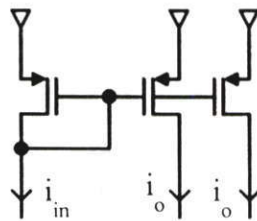
## 2.2 วงจรอินทิเกรเตอร์แบบเดิมที่ถูกลำเสนอไปแล้ว

รูปที่ 2.4 แสดงวงจรอินทิเกรเตอร์ ที่ถูกลำเสนอโดย Federico Galvez – Durand[16] รูปที่ 2.4(ก) แสดงวงจรสะท้อนกระแสแบบง่าย รูปที่ 2.4(ข) แสดงวงจรอินทิเกรเตอร์แบบสูญเสีย รูปที่ 2.4(ค) แสดงวงจรไจเรเตอร์ (gyrator) วงจรสะท้อนกระแส วงจรอินทิเกรเตอร์แบบสูญเสีย และวงจรไจเรเตอร์ทำงานในโหมดกระแสถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด  $\pm 1.5$  โวลต์ ที่กระแสไบอัสวงจรขนาด 10 ไมโครแอมป์ ฟังก์ชันกระแสเอาต์พุตที่ได้จากวงจรอินทิเกรเตอร์แบบสูญเสียและวงจรไจเรเตอร์ แสดงดังสมการที่ (2.8) และสมการที่ (2.9) ตามลำดับ วงจรอินทิเกรเตอร์แบบสูญเสีย และวงจรไจเรเตอร์ดังกล่าว ได้ถูกนำมาออกแบบเป็นวงจร กรองความถี่ทำงานในโหมดกระแส โดยใช้วิธีการเลียนแบบการทำงานวงจรกรองความถี่

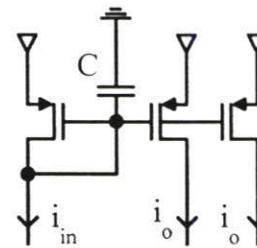
ชั้นบันไดแบบพาสซีฟ วงจรอินทิเกรเตอร์และวงจรไจเรเตอร์ดังกล่าวได้ถูกนำมาออกแบบเป็น วงจรกรองความถี่ต่ำผ่าน โดยความถี่คัทออฟมีค่าเท่ากับ 1 เมกกะเฮิร์ตซ์

$$I_o = -\frac{I_{in}}{s\frac{C}{g_m} + 1} \quad (2.8)$$

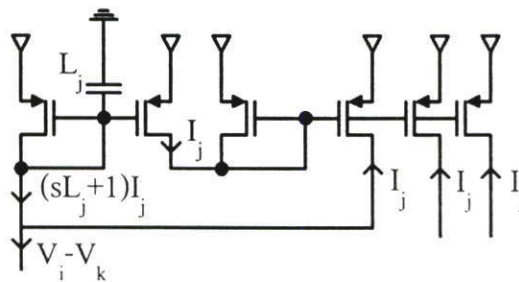
$$(sL_j + 1)I_j = V_i - V_k + I_j \quad (2.9)$$



(ก) วงจรสะท้อนกระแส

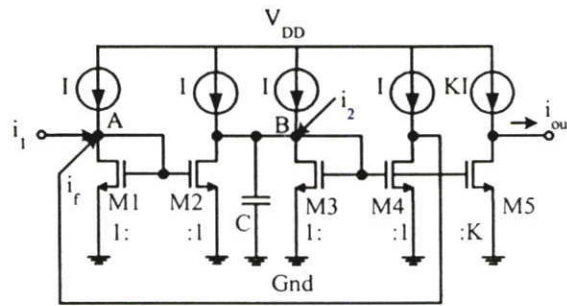


(ข) วงจรอินทิเกรเตอร์แบบสูญเสีย

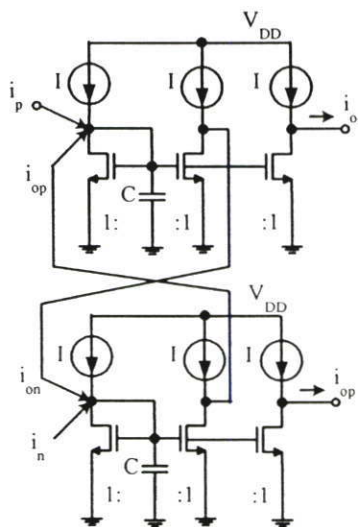


(ค) วงจรไจเรเตอร์

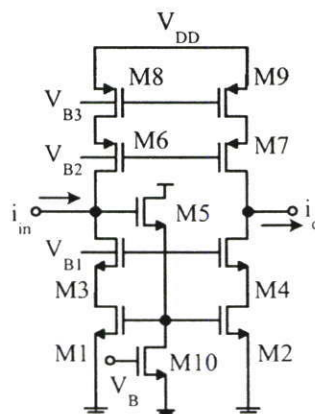
รูปที่ 2.4 วงจรอินทิเกรเตอร์ที่ถูกนำเสนอโดย Federico Galvez –Durand



(ก) วงจรอินทิเกรเตอร์แบบขั้วเดียว



(ข) วงจรอินทิเกรเตอร์แบบขยายผลต่าง



(ข) วงจรขยายกระแสประสิทธิภาพสูง

รูปที่ 2.5 วงจรอินทิเกรเตอร์ ที่ถูกนำเสนอ โดย D. J. Allstot

วงจรในรูปที่ 2.5 แสดงวงจรอินทิเกรเตอร์ ที่ถูกนำเสนอโดย D. J. Allstot[8]-[9] วงจรอินทิเกรเตอร์แบบไม่สูญเสียถูกสร้างขึ้นจากวงจรสะท้อนกระแสแบบง่าย วงจรอินทิเกรเตอร์ที่ถูกนำเสนอมีทั้งแบบขั้วเดี่ยวและแบบขยายผลต่าง วงจรอินทิเกรเตอร์แบบขั้วเดี่ยวดังแสดงในรูปที่ 2.6(ก) ประกอบด้วยวงจรสะท้อนกระแสแบบง่าย 2 ชุด ต่อกับตัวเก็บประจุ C วงจรถูกออกแบบมาให้สามารถป้อนสัญญาณอินพุต 2 อินพุตที่โนด A และโนด B ตามลำดับ วงจรมีจุดเด่นคือวงจรสามารถลบกระแสได้ ทรานซิสเตอร์ M4 ทำหน้าที่ป้อนกลับสัญญาณแบบบวก M5 ทำหน้าที่สะท้อนกระแสเอาต์พุตของวงจรอินทิเกรเตอร์ เราสามารถเขียนสมการกระแสได้ดังแสดงในสมการที่ (2.10) ถึงสมการที่ (2.12) จากวงจรจะเห็นได้ว่าสามารถปรับจูนค่าความถี่ได้ โดยการปรับค่ากระแสไบอัส วงจรอินทิเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองความถี่ที่มีความถี่คัทออฟมีค่าตั้งแต่ 24 MHz ถึง 42 MHz ทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 5.0 โวลต์

$$i_2 = i_1 + i_f + (g_{m3} + sC)\left(-\frac{i_f}{g_{m3}}\right) \quad (2.10)$$

$$i_f = \left(\frac{g_{m3}}{sC}\right)(i_1 - i_2) \quad (2.11)$$

$$i_o = K\left(\frac{g_{m3}}{sC}\right)(i_1 - i_2) \quad (2.12)$$

เมื่อ  $i_f$  คือ กระแสป้อนกลับแบบบวก

วงจรอินทิเกรเตอร์แบบขยายผลต่างได้ถูกออกแบบโดยใช้วงจรอินทิเกรเตอร์แบบสูญเสีย 2 ชุด มีการป้อนกลับสัญญาณแบบบวกให้กับวงจรอินทิเกรเตอร์ ดังแสดงในรูปที่ 25(ข) โดยวงจรที่ได้สามารถปรับจูนความถี่ได้เช่นเดียวกับวงจรอินทิเกรเตอร์แบบขั้วเดี่ยว ฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์แบบขยายผลต่างถูกแสดงในสมการที่ (2.13) วงจรอินทิเกรเตอร์แบบขยายผลต่างที่ได้นำเสนอ ถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน โดยมีความถี่คัทออฟตั้งแต่ 300 kHz ถึง 1 MHz และทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์

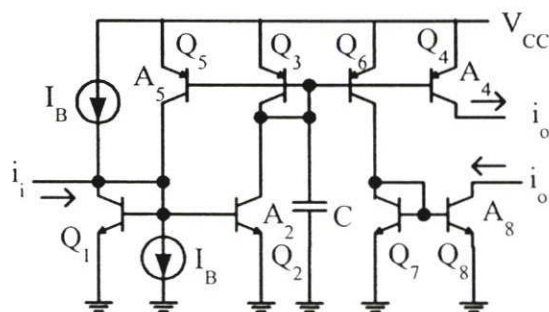
นอกจากนี้ D.J. Allstot ยังได้ออกแบบวงจรอินทิเกรเตอร์ โดยใช้วงจรสะท้อนกระแสแบบคาสโคด (Cascode current mirror) เป็นโครงสร้างพื้นฐานเพื่อให้วงจรอินทิเกรเตอร์มีประสิทธิภาพที่สูงขึ้น อย่างไรก็ตามการออกแบบวงจรอินทิเกรเตอร์โดยใช้วงจรสะท้อนกระแสแบบคาสโคดทำให้วงจรต้องการแหล่งจ่ายไฟเลี้ยงที่สูงขึ้น การปรับจูนความถี่ถูกจำกัดมากขึ้น

$$\frac{i_{om} - i_{op}}{i_n - i_p} = \frac{\frac{g_m}{2g_{ds}}}{\left(1 + \frac{s}{p_1}\right)\left(1 + \frac{s}{p_2}\right)} \quad (2.13)$$

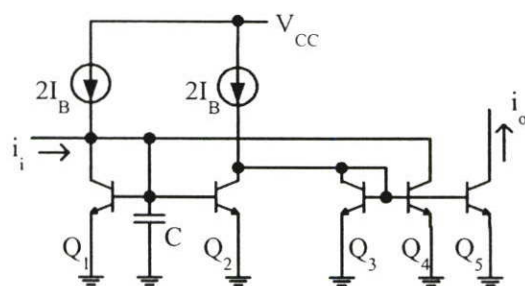
เมื่อ  $p_1$  และ  $p_2$  โพลหลักและโพลรอง ตามลำดับ มีค่าเท่ากับ

$$p_1 = \frac{2g_{ds}}{(C + 4C_{gd})}$$

$$p_2 = 2.5 \frac{g_m}{C_{gs}}$$



(ก) วงจรอินทิเกรเตอร์แบบไม่สูญเสีย แบบที่ 1



(ข) วงจรอินทิเกรเตอร์แบบไม่สูญเสีย แบบที่ 2

รูปที่ 2.6 วงจรอินทิเกรเตอร์ ที่ถูกนำเสนอโดย Nobuo Fujii

รูปที่ 2.6 แสดงวงจรอินทิเกรเตอร์แบบไม่สูญเสีย ที่ถูกนำเสนอโดย N. Fujii [10]-[11] วงจรได้ออกแบบโดยใช้ทรานซิสเตอร์ชนิดไบโพลาร์ วงจรอินทิเกรเตอร์ที่ถูกสร้างขึ้นมี 2 แบบ

คือ แบบที่ 1 ใช้ทรานซิสเตอร์ชนิดพีเอ็นพี ทำหน้าที่ป้อนกลับแบบบวกสัญญาณเอาต์พุต กลับมายังอินพุตดังแสดงในรูปที่ 2.6(ก) และแบบที่ 2 ใช้ทรานซิสเตอร์ชนิดเอ็นพีเอ็น ทำหน้าที่ป้อนกลับแบบบวกสัญญาณเอาต์พุตกลับมายังอินพุตดังแสดงในรูปที่ 2.6(ข) พิงก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์แบบที่ 1 และแบบที่ 2 แสดงได้ในสมการที่ (2.14) และสมการที่ (2.15) ตามลำดับ จากสมการที่ (2.14) พบว่าถ้าขนาดของทรานซิสเตอร์  $Q_2$  และทรานซิสเตอร์  $Q_3$  คูณกันแล้วมีค่าเท่ากับหนึ่งทำให้ได้วงจรอินทิเกรเตอร์แบบไม่สูญเสีย นอกจากนั้นจะสังเกตได้ว่าวงจรอินทิเกรเตอร์แบบที่ 2 สามารถทำงานได้ที่ความถี่สูงเนื่องจากวงจรใช้เฉพาะทรานซิสเตอร์ชนิดเอ็นพีเอ็น อย่างไรก็ตามวงจรสิ้นเปลืองกำลังงานมากกว่าวงจรอินทิเกรเตอร์แบบที่ 1 วงจรอินทิเกรเตอร์ดังกล่าวได้ถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านและมีความถี่คัทออฟเท่ากับ 500 MHz วงจรสามารถปรับจูนความถี่คัทออฟได้ตั้งแต่ 100 MHz จนถึง 800 MHz และยังสามารถนำวงจรอินทิเกรเตอร์มาออกแบบเป็นวงจรกรองแถบความถี่ผ่าน มีความถี่กลางเท่ากับ 135 MHz วงจรทำงานที่แหล่งจ่ายไฟเลี้ยงมากกว่า 2 โวลต์ เป็นที่น่าสังเกตว่าวงจรอินทิเกรเตอร์ที่ถูกออกแบบโดยใช้ทรานซิสเตอร์ชนิดไบโพลาร์ ไม่เหมาะที่จะนำไปใช้งานในวงจรรวมโดยเฉพาะอย่างยิ่งกับวงจรรวมประเภทผสมระหว่างอนาล็อกและดิจิตอล (mixed signal integrated circuit) เนื่องจากวงจรสิ้นเปลืองกำลังงานสูง

$$\frac{i_o}{i_m} = \frac{A_2 A_4}{sCR_3 + 1 - A_2 A_5} \quad (2.14)$$

เมื่อ  $A_i$  คือขนาดของทรานซิสเตอร์ ตัวที่  $i$

$$\frac{i_o}{i_m} = \frac{1}{sCR} \quad (2.15)$$

เมื่อ

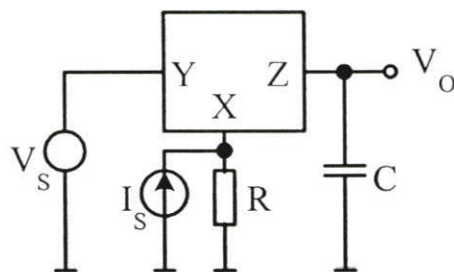
$$R \cong \frac{kT}{q} \frac{1}{I_B}$$

รูปที่ 2.7 และรูปที่ 2.8 แสดงวงจรอินทิเกรเตอร์ ที่ถูกนำเสนอโดย J.Sabadell [12] รูปที่ 2.7 แสดงการสร้างวงจรอินทิเกรเตอร์ที่ถูกสร้างจากวงจรสายพานกระแส (Current Conveyor) วงจรสามารถออกแบบให้ทำงานได้ในโหมดกระแสและโหมดแรงดัน รูปที่ 2.8 แสดงวงจรอินทิเกรเตอร์สร้างจากวงจรสายพานกระแสแบบขยายผลต่าง วงจรอินทิเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองแถบความถี่ผ่าน มีความถี่กลางที่ 10.7 MHz และทำงานที่แหล่งจ่ายไฟเลี้ยงมีค่าเท่ากับ 3 โวลต์

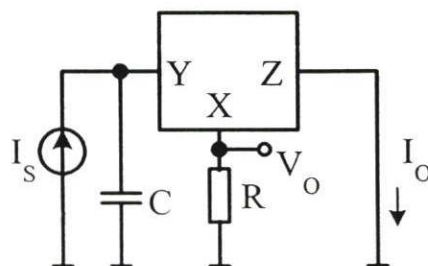
รูปที่ 2.9 เป็นวงจรอินทิเกรเตอร์ ที่ถูกนำเสนอโดย Z.Yang[13] วงจรอินทิเกรเตอร์แบบไม่สูญเสียที่ถูกนำเสนอสร้างจากวงจรสะท้อนกระแสแบบง่าย มีการป้อนกลับแบบลบที่อินพุตของวงจรโดยใช้โอทีเอ (OTA) เพื่อลดค่าความต้านทานทางด้านอินพุตของวงจรอินทิเกรเตอร์ วงจรโอทีเอได้ถูกออกแบบให้สามารถปรับค่าทรานคอนดักแตนซ์ได้โดยการปรับค่าแรงดัน  $V_{gm}$  จากวงจรสามารถหาค่าฟังก์ชันการถ่ายโอนได้ ดังแสดงในสมการที่ (2.16) และสมการที่ (2.17) ตามลำดับ วงจรอินทิเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน ให้มีความถี่คัทออฟ ตั้งแต่ความถี่ 160 Hz ถึง 5.6 kHz วงจรถูกออกแบบให้ทำงานที่แหล่งจ่ายไฟเลี้ยงขนาด 5.0 โวลต์

$$\frac{i_{on} - i_{op}}{i_n - i_p} = \frac{1}{s \frac{2g_o C}{g_m g_m^{ota}}} \quad (2.16)$$

$$\frac{i_{on} + i_{op}}{i_n + i_p} = \frac{-1}{2 + s \frac{2g_o C}{g_m g_m^{ota}}} \quad (2.17)$$

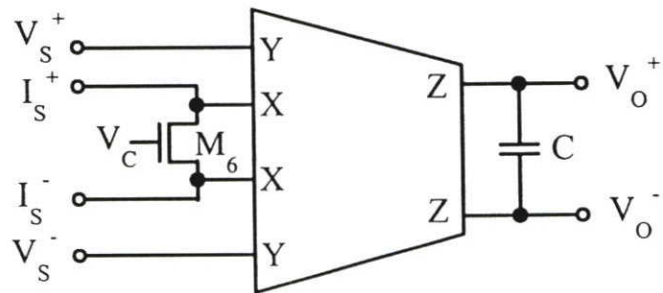


(ก) อินพุตเป็นกระแสและแรงดัน - เอาต์พุตเป็นแรงดัน[12]



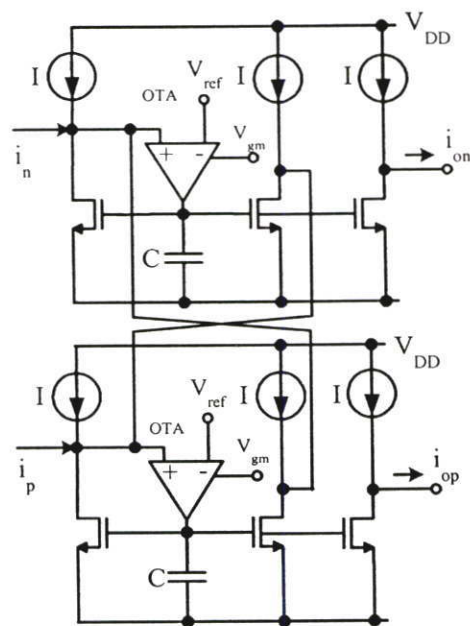
(ข) อินพุตเป็นกระแส- เอาต์พุตเป็นกระแสและแรงดัน[12]

รูปที่ 2.7 วงจรอินทิเกรเตอร์ที่สร้างจากวงจรสายพานกระแส

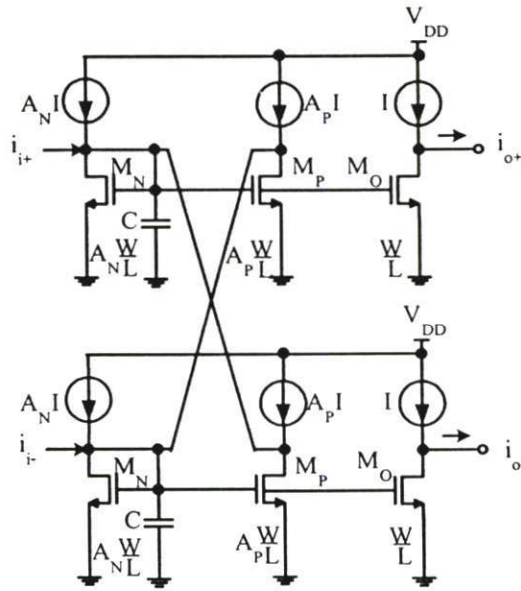


รูปที่ 2.8 วงจรอินทิเกรเตอร์ที่สร้างจากวงจรสายพานกระแสแบบขยายผลต่างที่ถูกลำเสนอ

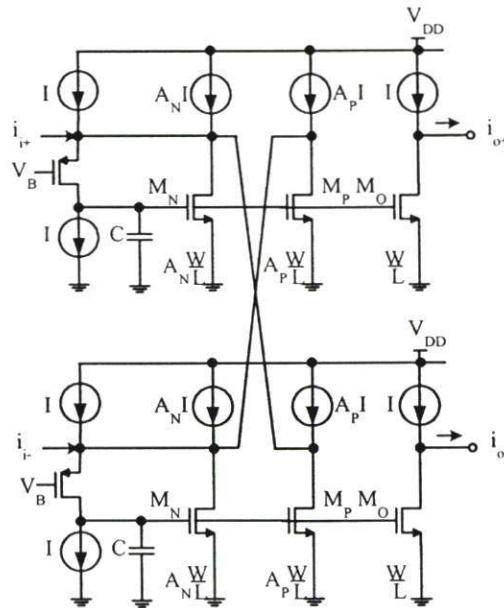
โดย J.Sabadell



รูปที่ 2.9 วงจรอินทิเกรเตอร์ ที่ถูกลำเสนอ โดย Z.Yang



(ก) ใช้โครงสร้างวงจรสะท้อนกระแสแบบง่าย



(ข) ใช้โครงสร้างวงจรสะท้อนกระแสแบบคาสโคดแบบพัว  
รูปที่ 2.10 วงจรอินทิเกรเตอร์ ที่ถูกนำเสนอโดย S.L. Smith

วงจรในรูปที่ 2.10 เป็นวงจรอินทิเกรเตอร์ที่ถูกนำเสนอโดย S.L. Smith[17] เป็นวงจรอินทิเกรเตอร์แบบขยายผลต่าง วงจรถูกสร้างจากวงจรสะท้อนกระแสแบบง่าย แบบคาสโคดแบบคาสโคดทำงานที่แหล่งจ่ายไฟเลี้ยงต่ำ และแบบคาสโคดแบบพับ วงจรถูกออกแบบให้สามารถกำจัดสัญญาณในโหมคร่วมกันได้ดีขึ้นโดยกำหนดให้ขนาด  $W/L$  ของทรานซิสเตอร์  $M_N$  และ  $M_p$  มีขนาดที่ใหญ่กว่าทรานซิสเตอร์  $M_0$  ฟังก์ชันการถ่ายโอนในโหมคขยายผลต่างและโหมคร่วม แสดงในสมการที่ (2.18) และสมการที่ (2.19) ตามลำดับ วงจรดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านให้มีความถี่คัทออฟมีค่าเท่ากับ 6 MHz ถึง 13 MHz โดยทำงานที่แหล่งจ่ายไฟเลี้ยงขนาด 3.3 โวลต์

$$\frac{i_o^+ - i_o^-}{i_m^+ - i_m^-} = \frac{\omega_U}{s + (K_N - K_P)\omega_U} \quad (2.18)$$

$$\frac{i_o^+ + i_o^-}{i_m^+ + i_m^-} = \frac{\omega_U}{s + (K_N + K_P)\omega_U} \quad (2.19)$$

โดยที่

$$\omega_U = \frac{g_{m0}}{C} = \frac{g_{mN}}{K_N C}$$

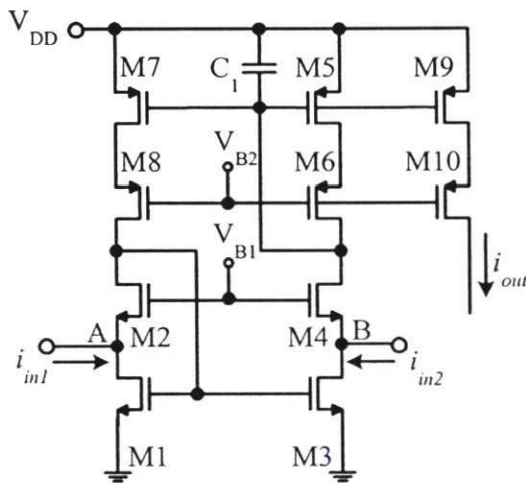
จะเห็นได้ว่าวงจรอินทิเกรเตอร์แบบขั้วเดียวที่ได้ถูกนำเสนอมาแล้วนั้น มีความจำเป็นต้องมีการกลับเฟสกระแสทำให้วงจรสิ้นเปลืองกำลังงานมาก ในงานวิจัยนี้ ได้ทำการออกแบบให้วงจรอินทิเกรเตอร์ใช้จำนวนกิ่งกระแสน้อยลง ทำให้วงจรที่ถูกนำเสนอขึ้นใหม่สิ้นเปลืองกำลังงานน้อยลง นอกจากนั้นยังได้ออกแบบให้ความต้านทานด้านอินพุทของวงจรอินทิเกรเตอร์มีค่าต่ำ ทำให้วงจรอินทิเกรเตอร์ที่ได้นำเสนอมีประสิทธิภาพที่ดีขึ้น

### บทที่ 3

## วงจรรีโอมิเตอร์ในโหมดกระแสที่นำเสนอ

ในบทนี้จะกล่าวถึงวงจรรีโอมิเตอร์ที่ได้นำเสนอ ทั้งแบบขั้วเดียวและแบบขยายผลต่าง รวมทั้งแสดงการวิเคราะห์จุดทำงานของวงจร ผลกระทบที่เกิดขึ้นกับวงจรรีโอมิเตอร์แบบไม่เป็นอุมคติ และการวิเคราะห์สัญญาณรบกวนที่เกิดขึ้นในวงจร นอกจากนี้ผลการจำลองการทำงานด้วยโปรแกรม H-spice จะถูกกล่าวในตอนท้าย

### 3.1 วงจรรีโอมิเตอร์ที่นำเสนอแบบขั้วเดียว



รูปที่ 3.1 วงจรรีโอมิเตอร์แบบไม่สูญเสีย (แบบขั้วเดียว)

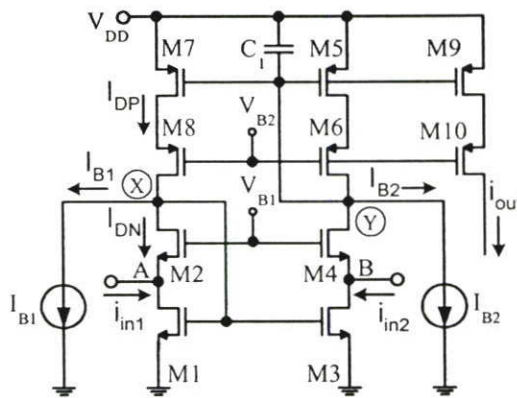
รูปที่ 3.1 แสดงวงจรรีโอมิเตอร์แบบไม่สูญเสีย (แบบขั้วเดียว) วงจรถูกออกแบบให้มีสัญญาณอินพุต 2 อินพุตและสัญญาณดังกล่าวสามารถลบกระแสได้ภายในวงจร วงจรถูกสร้างขึ้นจากวงจรสะท้อนกระแสที่มีความต้านทานอินพุตต่ำและสามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำ [18] ทรานซิสเตอร์ M1 ถึง M4 ทำหน้าที่เป็นวงจรลบกระแสที่ถูกป้อนเข้ามาที่โหนด A และโหนด B ตามลำดับ จากวงจร กระแสครนที่ไหลผ่านทรานซิสเตอร์ M4 คือกระแสที่ได้จากการลบกันของกระแส  $i_{in1}$  กับ  $i_{in2}$  กระแสนี้จะไหลผ่านเข้าไปยังวงจรรีโอมิเตอร์แบบสูญเสียซึ่งประกอบด้วยทรานซิสเตอร์ M5 ถึง M8 และตัวเก็บประจุ  $C_1$  ค่าคงตัวเวลา (Time constant :  $\tau$ ) ของวงจรรีโอมิเตอร์ หาได้จากค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ M5 และตัวเก็บประจุ  $C_1$  สัญญาณเอาต์พุตของวงจรรีโอมิเตอร์แบบสูญเสียจะถูกป้อนกลับแบบบวกเข้าไปยังอินพุต

ของวงจรเพื่อชดเชยการสูญเสียที่เกิดขึ้น ทรานซิสเตอร์ M9 ถึง M10 ทำหน้าที่ สะท้อนกระแสเอาต์พุตของวงจรอินทิเกรเตอร์ สามารถเขียนสมการฟังก์ชันการถ่ายโอนได้ดังนี้ คือ

$$i_{out} = \frac{g_{m5}}{sC_1} (i_{in1} - i_{in2}) \quad (3.1)$$

โดย  $g_m$  คือ ค่าทรานคอนดักแตนซ์ มีค่าเท่ากับ  $\sqrt{2\mu C_{ox} \left(\frac{W}{L}\right)_5 I_{D5}}$

จากสมการที่ (3.1) จะสังเกตได้ว่า ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์สามารถปรับค่าได้ โดยการปรับค่ากระแสไบอัสที่ไหลผ่านทรานซิสเตอร์ M5 ผ่านทางการปรับค่ากระแสไบอัส  $I_{B1}$  และ  $I_{B2}$  ดังแสดงในรูปที่ 3.2 การปรับค่ากระแสไบอัส  $I_{B1}$  และ  $I_{B2}$  ต้องคำนึงถึงเงื่อนไขการทำงานของทรานซิสเตอร์ ดังจะได้กล่าวต่อไป



รูปที่ 3.2 วงจรอินทิเกรเตอร์แบบไม่สูญเสีย สามารถปรับค่าทรานคอนดักแตนซ์ได้

### 3.1.1 การไบอัสวงจรรวมอินทิเกรเตอร์และเงื่อนไขในการปรับจูน

วงจรรูปที่ 3.2 สามารถปรับเปลี่ยนค่ากระแสไบอัสที่ไหลผ่านทรานซิสเตอร์ได้ ผ่านทางกระแส  $I_{B1}$  และ  $I_{B2}$  เมื่อกระแสที่ไหลผ่านทรานซิสเตอร์เปลี่ยนแปลง ความถี่ที่อัตราการขยายเท่ากับหนึ่ง (Unity current gain frequency:  $f_T$ ) ก็เปลี่ยนแปลงด้วย การปรับจูนดังกล่าวจะถูกจำกัดด้วยการทำงานของทรานซิสเตอร์ กล่าวคือ ทรานซิสเตอร์ทุกตัวต้องทำงานอยู่ในย่านอิมิตัว

การวิเคราะห์ทางไฟตรง (DC) ของวงจรรวมอินทิเกรเตอร์จะสมมติให้ทรานซิสเตอร์ทุกตัวทำงานในย่านอิมิตัว กล่าวคือ ค่าแรงดันเดรน-ซอส ( $V_{DS}$ ) จะต้องมีค่ามากกว่าผลต่างระหว่างแรงดันเกต-ซอส ( $V_{GS}$ ) และแรงดันขีดเริ่ม ( $V_T$ ) ( $V_{DS} \geq V_{GS} - V_T$ )

ในการออกแบบหาค่ากระแสไบอัสของวงจรรินทิเกรเตอร์ ต้องอยู่ภายใต้เงื่อนไข คือ ค่าแรงดันที่โหนด X ต้องมีค่าเท่ากับค่าแรงดันที่โหนด Y (รายละเอียดการวิเคราะห์ ดูภาคผนวก ก)

จากวงจรในรูปที่ 3.2 กำหนดให้กระแส  $I_B$  มีค่าเท่ากับ  $I_{B1}$  และ  $I_{B2}$  และเมื่อกระแส  $I_B$  มีค่าเป็นศูนย์ ( $I_B = 0$ ) พบว่า กระแสไบอัสที่ไหลผ่านทรานซิสเตอร์ชนิดพีมีค่าเท่ากับกระแสที่ไหลผ่านทรานซิสเตอร์ชนิดเอ็น กระแสเดรนที่ไหลผ่านทรานซิสเตอร์ คือ

$$I_D = \frac{1}{2} \left[ \frac{\sqrt{k_p k_N A_{M5} A_{M1}}}{\sqrt{k_N A_{M1}} + \sqrt{k_P A_{M5}}} \right]^2 (V_{DD} - |V_{TP}| - V_{TN})^2 \quad (3.2)$$

โดยที่  $k_N$  และ  $k_P$  คือ  $\mu_n C_{OX}$  และ  $\mu_p C_{OX}$  ตามลำดับ  $A$  คือ W/L หรือขนาดของทรานซิสเตอร์  $V_{TN}$  และ  $V_{TP}$  คือ แรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นและแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดพี ตามลำดับ

แรงดัน  $V_{B1}$  เป็นแหล่งจ่ายแรงดันที่ป้อนเข้าไปในวงจร เพื่อให้ทรานซิสเตอร์ M1 ถึง M4 ทำงานในย่านอิมิตัว เงื่อนไขของแรงดัน  $V_{B1}$  ดังกล่าว แสดงในสมการที่ (3.3)

$$V_{TN} + \sqrt{\frac{2I_D}{k_N} \left( \frac{1}{\sqrt{A_{M1}}} + \frac{1}{\sqrt{A_{M2}}} \right)} \leq V_{B1} \leq 2V_{TN} + \sqrt{\frac{2I_D}{k_N A_{M1}}} \quad (3.3)$$

ในการทำงานเดียวกัน เงื่อนไขของค่าแรงดัน  $V_{B2}$  เพื่อให้ทรานซิสเตอร์ M5 ถึง M10 ทำงานในย่านอิมิตัว แสดงในสมการที่ (3.4)

$$V_{DD} - |V_{TP}| - \sqrt{\frac{2I_D}{k_P} \left( \frac{1}{\sqrt{A_{M6}}} + \frac{1}{\sqrt{A_{M5}}} \right)} \geq V_{B2} \geq V_{DD} - 2|V_{TP}| - \sqrt{\frac{2I_D}{k_P A_{M5}}} \quad (3.4)$$

เมื่อกระแส  $I_B$  เปลี่ยนค่าไป กระแสไบอัสที่ไหลผ่านทรานซิสเตอร์ทุกตัวในวงจรเกิดการเปลี่ยนแปลง ดังนั้นค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ก็จะมีค่าเปลี่ยนแปลงไปด้วย ทิศทางของกระแส  $I_B$  สามารถแยกพิจารณาเป็น 2 กรณีคือ กรณีที่ 1 เมื่อกระแส  $I_B$  ไหลออกจากวงจรและ กรณีที่ 2 เมื่อกระแส  $I_B$  ไหลเข้าสู่วงจร

กรณีที่ 1 คือกรณีที่กระแส  $I_B$  ไหลออกจากวงจรรินทิเกรเตอร์ ในกรณีนี้กระแสที่ไหลผ่านทรานซิสเตอร์ชนิดพี ( $I_{DP}$ ) และที่ไหลผ่านทรานซิสเตอร์ชนิดเอ็น ( $I_{DN}$ ) เป็นไปตามสมการที่ (3.5)

$$I_{DP} = I_{DN} + I_B \quad (3.5)$$

จากสมการที่ (3.5) กระแสที่ไหลผ่านทรานซิสเตอร์ชนิดพีมีค่าเพิ่มขึ้นและในขณะเดียวกัน ค่ากระแสที่ไหลผ่านทรานซิสเตอร์ชนิดเอ็นจะมีค่าลดลง โดยการวิเคราะห์ห้วงจร เราสามารถเขียนสมการกระแส  $I_{DN}$  และกระแส  $I_{DP}$  ได้ดังนี้

$$I_{DN} = \frac{1}{2} \left[ \frac{\sqrt{k_p k_N A_{M5} A_{M1}}}{\sqrt{k_N A_{M1}} + \sqrt{k_p A_{M5}}} \right]^2 \left( V_{DD} - |V_{TP}| - V_{TN} - \sqrt{\frac{2I_B}{k_p A_{M5}}} \right)^2 \quad (3.6)$$

$$I_{DP} = \frac{1}{2} \left[ \frac{\sqrt{k_p k_N A_{M5} A_{M1}}}{\sqrt{k_N A_{M1}} + \sqrt{k_p A_{M5}}} \right]^2 \left( V_{DD} - |V_{TP}| - V_{TN} + \sqrt{\frac{2I_B}{k_N A_{M1}}} \right)^2 \quad (3.7)$$

สมการที่ (3.6) แสดงความสัมพันธ์ระหว่างค่ากระแสปรับจูน ( $I_B$ ) กับกระแสที่ไหลผ่านทรานซิสเตอร์ชนิดเอ็น ( $I_{DN}$ ) สมการที่ (3.7) แสดงความสัมพันธ์ระหว่างค่ากระแสปรับจูน ( $I_B$ ) กับกระแสที่ไหลผ่านทรานซิสเตอร์ชนิดพี ( $I_{DP}$ )

จากค่าแรงดัน  $V_{B1}$  ที่ต่ำที่สุดในสมการที่ (3.3) และค่ากระแส  $I_{DN}$  ในสมการที่ (3.6) ทำให้สามารถเขียนสมการกระแสที่น้อยที่สุดที่ไหลผ่านทรานซิสเตอร์ได้ แสดงในสมการที่ (3.8)

$$I_{DN,MIN} = \frac{k_N}{2} A_{M1} (V_{B1} - 2V_{TN})^2 \quad (3.8)$$

ในทำนองเดียวกัน จากค่าแรงดัน  $V_{B2}$  สูงสุดในสมการที่ (3.4) และกระแส  $I_{DP}$  ในสมการที่ (3.7) ทำให้สามารถเขียนสมการกระแสไหลผ่านทรานซิสเตอร์สูงสุดได้ แสดงในสมการที่ (3.9)

$$I_{DP,MAX} = \frac{k_p}{2} A_{M5} [(V_{DD} - V_{B2}) - |V_{TP}|]^2 \left[ \frac{\sqrt{\frac{A_{M6}}{A_{M5}}}}{1 + \sqrt{\frac{A_{M6}}{A_{M5}}}} \right]^2 \quad (3.9)$$

จะเห็นได้ว่าค่ากระแสที่ไหลผ่านทรานซิสเตอร์ต่ำสุดจะเกิดในทรานซิสเตอร์ชนิดเอ็น ( $I_{DN,MIN}$ ) และค่ากระแสที่ไหลผ่านทรานซิสเตอร์สูงสุดจะเกิดในทรานซิสเตอร์ชนิดพี ( $I_{DP,MAX}$ ) ในการใช้งานจริง กระแสปรับจูน  $I_B$  สามารถถูกออกแบบให้มีค่ามากที่สุด ( $I_{B,MAX}$ ) โดยทำให้เกิดกรณี  $I_{DN,MIN}$  และ/หรือ  $I_{DP,MAX}$  ขึ้นอยู่กับว่ากรณีไหนเกิดก่อน

ในกรณี  $I_{DN,MIN}$  เกิดก่อน  $I_{DP,MAX}$  จะได้ว่า (จากสมการที่ 3.5)

$$I_{DP} = I_{DN,MIN} + I_{B,MAX} \quad (3.10)$$

โดยการแทนสมการที่ (3.6) (3.8) และสมการที่ (3.10) เราสามารถหาค่า  $I_{B,MAX}$  ได้เท่ากับ

$$I_{B,MAX} = \frac{k_p A_{M5}}{2} \left[ V_{DD} - V_{TN} - |V_{TP}| - \left\{ \frac{\sqrt{k_N A_{M1}} + \sqrt{k_p A_{M5}}}{\sqrt{k_p A_{M5}}} (V_{B1} - 2V_{TN}) \right\} \right]^2 \quad (3.11)$$

สังเกตได้ว่าในสภาวะคัทออฟ กระแส  $I_{DN,MIN}$  มีค่าเท่ากับศูนย์ ดังนั้นกระแสปรับจูน  $I_B$  ในสมการที่ (3.11) มีค่าเท่ากับ

$$I_{B|I_{DN,MIN}=0} = \frac{1}{2} k_p A_{M5} [V_{DD} - |V_{TP}| - V_{TN}]^2 \quad (3.12)$$

ในกรณี  $I_{DP,MAX}$  เกิดก่อน  $I_{DN,MIN}$  จะได้ว่า (จากสมการที่ 3.5)

$$I_{DP,MAX} = I_{DN} + I_{B,MAX} \quad (3.13)$$

โดยการแทนสมการที่ (3.7) (3.9) และสมการที่ (3.13) เราสามารถหาค่า  $I_{B,MAX}$  ได้เท่ากับ

$$I_{B,MAX} = \frac{1}{2} k_N A_{M1} \left[ \left( \frac{\sqrt{\frac{A_{M6}}{A_{M5}}}}{1 + \sqrt{\frac{A_{M6}}{A_{M5}}}} \right) \left( 1 + \sqrt{\frac{k_p A_{M5}}{k_N A_{M1}}} \right) (V_{DD} - V_{B2} - |V_{TP}|) + |V_{TP}| + V_{TN} - V_{DD} \right]^2 \quad (3.14)$$

ค่ากระแสปรับจูน  $I_{B,MAX}$  ที่น้อยกว่าในสมการที่ (3.11) และสมการที่ (3.14) คือค่ากระแสปรับจูนสูงสุดที่ยังคงทำให้วงจรรีจิสเตอร์ทำงานตามที่ได้ออกแบบไว้

**กรณีที่ 2** คือกรณีที่กระแส  $I_B$  ไหลเข้าสู่วงจรรีจิสเตอร์ ในกรณีนี้กระแสที่ไหลผ่านทรานซิสเตอร์ชนิดพี ( $I_{DP}$ ) และที่ไหลผ่านทรานซิสเตอร์ชนิดเอ็น ( $I_{DN}$ ) เป็นไปตามสมการที่ (3.15)

$$I_{DN} = I_{DP} + I_B \quad (3.15)$$

จากสมการที่ (3.15) กระแสที่ไหลผ่านทรานซิสเตอร์ชนิดพีมีค่าลดลงและในขณะเดียวกัน ค่ากระแสที่ไหลผ่านทรานซิสเตอร์ชนิดเอ็นจะมีค่าเพิ่มขึ้น โดยการวิเคราะห์วงจร เราสามารถเขียนสมการกระแส  $I_{DN}$  และ  $I_{DP}$  ได้ดังนี้

$$I_{DP} = \frac{1}{2} \left[ \frac{\sqrt{k_p k_n A_{M5} A_{M1}}}{\sqrt{k_n A_{M1}} + \sqrt{k_p A_{M5}}} \right]^2 \left( V_{DD} - |V_{TP}| - V_{TN} - \sqrt{\frac{2I_B}{k_n A_{M1}}} \right)^2 \quad (3.16)$$

$$I_{DN} = \frac{1}{2} \left[ \frac{\sqrt{k_p k_n A_{M5} A_{M1}}}{\sqrt{k_n A_{M1}} + \sqrt{k_p A_{M5}}} \right]^2 \left( V_{DD} - |V_{TP}| - V_{TN} + \sqrt{\frac{2I_B}{k_p A_{M5}}} \right)^2 \quad (3.17)$$

สมการที่ (3.16) แสดงความสัมพันธ์ระหว่างค่ากระแสปรับจูน ( $I_B$ ) กับกระแสที่ไหลผ่านทรานซิสเตอร์ชนิดพี ( $I_{DP}$ ) สมการที่ (3.17) แสดงความสัมพันธ์ระหว่างค่ากระแสปรับจูน ( $I_B$ ) กับกระแสที่ไหลผ่านทรานซิสเตอร์ชนิดเอ็น ( $I_{DN}$ )

จากค่าแรงดัน  $V_{B1}$  ที่สูงที่สุดในสมการที่ (3.3) และค่ากระแส  $I_{DP}$  ในสมการที่ (3.16) ทำให้สามารถเขียนสมการกระแสที่มากที่สุดที่ไหลผ่านทรานซิสเตอร์ได้ แสดงในสมการที่ (3.18)

$$I_{DN,MAX} = \frac{k_n}{2} A_{M1} (V_{B1} - V_{TN})^2 \left[ \frac{\sqrt{\frac{A_{M2}}{A_{M1}}}}{1 + \sqrt{\frac{A_{M2}}{A_{M1}}}} \right]^2 \quad (3.18)$$

จากค่าแรงดัน  $V_{B2}$  ต่ำที่สุดในสมการที่ (3.4) และค่ากระแส  $I_{DN}$  ในสมการที่ (3.17) สามารถเขียนสมการกระแสที่ไหลผ่านทรานซิสเตอร์ต่ำที่สุดได้ดังแสดงในสมการที่ (3.19)

$$I_{DP,MIN} = \frac{k_p}{2} A_{M5} [(V_{DD} - V_{B2}) - 2|V_{TP}|]^2 \quad (3.19)$$

จะเห็นได้ว่า ค่ากระแสที่ไหลผ่านทรานซิสเตอร์ต่ำสุดจะเกิดในทรานซิสเตอร์ชนิดพี ( $I_{DP,MIN}$ ) และค่ากระแสที่ไหลผ่านทรานซิสเตอร์สูงสุดจะเกิดในทรานซิสเตอร์ชนิดเอ็น ( $I_{DN,MAX}$ ) ในการใช้งานจริงกระแสปรับจูน  $I_B$  สามารถถูกออกแบบให้มีค่ามากที่สุด ( $I_{B,MAX}$ ) โดยทำให้เกิดกรณี  $I_{DP,MIN}$  และ/หรือ  $I_{DN,MAX}$  ขึ้นอยู่กับว่ากรณีไหนเกิดก่อน

ในกรณี  $I_{DP,MIN}$  เกิดก่อน  $I_{DN,MAX}$  จะได้ว่า (จากสมการที่ 3.15)

$$I_{DN} = I_{DP,MIN} + I_{B,MAX} \quad (3.20)$$

โดยการแทนสมการที่ (3.16) (3.19) และสมการที่ (3.20) เราสามารถหาค่า  $I_{B,MAX}$  ได้เท่ากับ

$$I_{B,MAX} = \frac{1}{2} k_N A_{M1} \left[ V_{DD} - |V_{TP}| - V_{TN} - \left( 1 + \sqrt{\frac{k_P A_{M5}}{k_N A_{M1}}} \right) \left( (V_{DD} - V_{B2}) - 2|V_{TP}| \right) \right]^2 \quad (3.21)$$

สังเกตได้ว่าในสภาวะคัทออฟ กระแส  $I_{DP,MIN}$  มีค่าเท่ากับศูนย์ ดังนั้นกระแสปรับจูน  $I_B$  ในสมการที่ (3.21) มีค่าเท่ากับ

$$I_{B|I_{DP,MIN}=0} = \frac{1}{2} k_N A_{M1} \left[ V_{DD} - |V_{TP}| - V_{TN} \right]^2 \quad (3.22)$$

ในกรณี  $I_{DN,MAX}$  เกิดก่อน  $I_{DP,MIN}$  จะได้ว่า (จากสมการที่ 3.15)

$$I_{DN,MAX} = I_{DP} + I_{B,MAX} \quad (3.23)$$

โดยการแทนสมการที่ (3.17) (3.19) และสมการที่ (3.23) เราสามารถหาค่า  $I_{B,MAX}$  ได้เท่ากับ

$$I_{B,MAX} = \frac{1}{2} k_P A_{M5} \left[ \left( \frac{\sqrt{\frac{A_{M2}}{A_{M1}}}}{1 + \sqrt{\frac{A_{M2}}{A_{M1}}}} \right) \left( 1 + \sqrt{\frac{k_N A_{M1}}{k_P A_{M5}}} \right) (V_{B1} - V_{TN}) + |V_{TP}| + V_{TN} - V_{DD} \right]^2 \quad (3.24)$$

ค่ากระแสปรับจูน  $I_{B,MAX}$  ที่น้อยกว่าในสมการที่ (3.21) และสมการที่ (3.24) คือค่ากระแสปรับจูนสูงสุดที่ยังคงทำให้วงจรมอนิเตอร์ทำงานตามที่ได้ออกแบบไว้

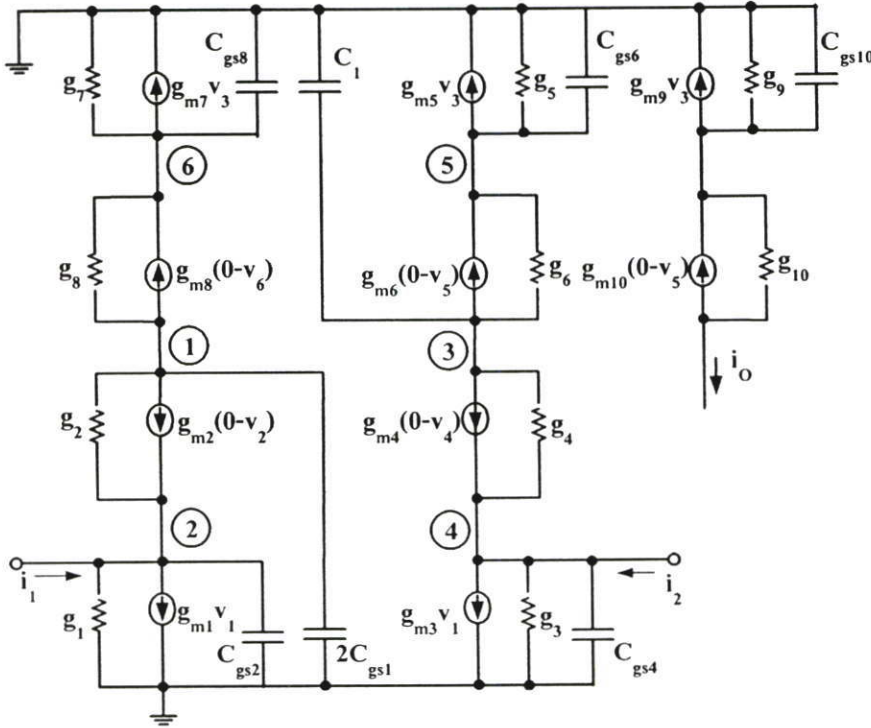
จะเห็นได้ว่า การปรับจูนกระแสสูงสุดขึ้นอยู่กับขนาดของมอสทรานซิสเตอร์ และค่าแรงดันไบอัส  $V_{B1}$  กับ  $V_{B2}$  ขนาดของมอสทรานซิสเตอร์จะมีความสัมพันธ์กับกระแสไบอัสที่ไหลผ่านในวงจรโดยตรง คือเมื่อทรานซิสเตอร์มีขนาดใหญ่ขึ้น จะทำให้กระแสไบอัสตรงมีค่ามากขึ้น ทำให้การปรับจูนมีช่วงกว้างขึ้น อย่างไรก็ตามการที่ทรานซิสเตอร์มีขนาดใหญ่ก็จะส่งผลทำให้ตัวเก็บประจุแฝงที่เกิดขึ้นในทรานซิสเตอร์มีค่าสูงทำให้การตอบสนองความถี่ของวงจรมีค่าลดลง

แหล่งจ่ายแรงดันไฟเลี้ยงต่ำสุดที่วงจรต้องการ เพื่อให้วงจรสามารถทำงานได้ตามที่ออกแบบไว้จะต้องมีค่ามากกว่าสองเท่าของแรงดันขีดเริ่มของทรานซิสเตอร์ ( $V_T$ ) นอกจากนี้ในการออกแบบใช้งานจริงจะต้องพิจารณาค่าแรงดันเพื่อใช้ในการปรับจูนกระแสและการกระเพื่อมของสัญญาณ ( $V_{Swing}$ ) ในวงจรด้วย ค่าแหล่งจ่ายแรงดันไฟเลี้ยงสามารถแสดงได้ในสมการที่ (3.25)

$$V_{DD(min)} \geq V_{TP} + V_{TN} + V_{Swing} \quad (3.25)$$

### 3.1.2 วงจรอินทิเกรเตอร์แบบไม่เป็นอุดมคติ (Practical Integrator)

การวิเคราะห์ห้วงจรอินทิเกรเตอร์ในสมการที่ (3.1) ยังไม่ได้พิจารณาค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์ และไม่คำนึงถึงค่าตัวเก็บประจุแฝงที่เกิดขึ้นในทรานซิสเตอร์ หัวข้อนี้จะเป็นการตรวจสอบผลกระทบที่เกิดขึ้นกับวงจร เนื่องจากค่าความนำไฟฟ้าด้านขาออกและค่าตัวเก็บประจุแฝง



รูปที่ 3.3 วงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์ แบบขั้วเดียว

รูปที่ 3.3 แสดงวงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์ที่รวมผลของค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์และตัวเก็บประจุแฝงเกต-ซอส ( $C_{gs}$ ) ในการออกแบบขนาดของทรานซิสเตอร์ ถูกกำหนดให้  $(W/L)_{M1}=(W/L)_{M3}$   $(W/L)_{M2}=(W/L)_{M4}$   $(W/L)_{M5}=(W/L)_{M7}=(W/L)_{M9}$  และ  $(W/L)_{M6}=(W/L)_{M8}=(W/L)_{M10}$  ในรูปที่ 3.3 ทำการเขียนสมการกระแสโดยใช้กฎกระแสของเคอร์ชอฟท์ (KCL) ได้

$$\text{Node 1.} \quad 0 = (2sC_{gs1} + g_{ds2} + g_{ds8})v_1 - (g_{m2} + g_{ds2})v_2 - (g_{m8} + g_{ds8})v_6 \quad (3.26)$$

$$\text{Node 2.} \quad i_1 = (g_{m1} - g_{ds2})v_1 + (g_{m2} + sC_{gs2} + g_{ds1} + g_{ds2})v_2 \quad (3.27)$$

$$\text{Node 3.} \quad 0 = (sC_1 + g_{ds4} + g_{ds6})v_3 - (g_{m4} + g_{ds4})v_4 - (g_{m6} + g_{ds6})v_5 \quad (3.28)$$

$$\text{Node 4.} \quad i_2 = (g_{m3} + sC_{gs4})v_1 - g_{ds4}v_3 + (g_{m4} + g_{ds3} + g_{ds4})v_4 \quad (3.29)$$

$$\text{Node 5.} \quad 0 = (g_{m5} - g_{ds6})v_3 + (g_{m6} + g_{ds5} + g_{ds6} + sC_{gs6})v_5 \quad (3.30)$$

$$\text{Node 6.} \quad 0 = -g_{ds8}v_1 + g_{m7}v_3 + (g_{m8} + g_{ds7} + g_{ds8} + sC_{gs8})v_6 \quad (3.31)$$

แก้สมการที่ (3.26) ถึงสมการที่ (3.31) เพื่อหาค่ากระแสเอาต์พุต  $i_o$  ได้เท่ากับ

$$i_o = \frac{g_{m5}[(a_0 + sa_1 + s^2a_2)i_1 - (b_0 + sb_1 + s^2b_2 + s^3b_3)i_2]}{sC_1(c_0 + sc_1 + s^2c_2 + s^3c_3) + d_0 + sd_1} \quad (3.32)$$

โดยที่

$$a_0 = 1 + \frac{2g_{ds2}}{g_{m2}} + \frac{2g_{ds5}}{g_{m6}} + \frac{2g_{ds6}}{g_{m6}}$$

$$a_1 = \frac{C_{gs2}}{g_{m1}} + \frac{2g_{ds2}C_{gs2}}{g_{m1}g_{m2}} + \frac{2g_{ds5}C_{gs2}}{g_{m1}g_{m6}} + \frac{2g_{ds6}C_{gs2}}{g_{m1}g_{m6}} + \frac{C_{gs6}}{g_{m6}} + \frac{2g_{ds2}C_{gs6}}{g_{m2}g_{m6}}$$

$$a_2 = \frac{C_{gs2}C_{gs6}}{g_{m1}g_{m6}} + \frac{2g_{ds2}C_{gs2}C_{gs6}}{g_{m1}g_{m2}g_{m6}}$$

$$b_0 = 1 + \frac{2g_{ds2}}{g_{m2}} + \frac{2g_{ds5}}{g_{m6}} + \frac{2g_{ds6}}{g_{m6}}$$

$$b_1 = \frac{2C_{gs1}}{g_{m1}} + \frac{2g_{ds1}C_{gs1}}{g_{m1}g_{m2}} + \frac{4g_{ds2}C_{gs1}}{g_{m1}g_{m2}} + \frac{4g_{ds5}C_{gs1}}{g_{m1}g_{m6}} + \frac{4g_{ds6}C_{gs1}}{g_{m1}g_{m6}} + \frac{g_{ds2}C_{gs2}}{g_{m1}g_{m2}} \\ + \frac{C_{gs6}}{g_{m6}} + \frac{g_{ds6}C_{gs6}}{g_{m1}g_{m6}} + \frac{2g_{ds2}C_{gs6}}{g_{m2}g_{m6}}$$

$$b_2 = \frac{2C_{gs1}C_{gs6}}{g_{m1}g_{m6}} + \frac{2g_{ds1}C_{gs1}C_{gs6}}{g_{m1}g_{m2}g_{m6}} + \frac{4g_{ds2}C_{gs1}C_{gs6}}{g_{m1}g_{m2}g_{m6}} + \frac{g_{ds2}C_{gs2}C_{gs6}}{g_{m1}g_{m2}g_{m6}} \\ + \frac{g_{ds6}C_{gs2}C_{gs6}}{g_{m1}g_{m2}g_{m6}}$$

$$b_3 = \frac{2g_{ds2}C_{gs1}C_{gs2}C_{gs6}}{g_{m1}g_{m2}^2g_{m6}} + \frac{2C_{gs1}C_{gs2}C_{gs6}}{g_{m1}g_{m2}g_{m6}}$$

$$c_0 = 1 + \frac{g_{ds1}}{g_{m2}} + \frac{2g_{ds5}}{g_{m2}} + \frac{2g_{ds5}}{g_{m6}} + \frac{2g_{ds6}}{g_{m6}}$$

$$c_1 = \frac{2C_{gs1}}{g_{m1}} + \frac{4g_{ds1}C_{gs1}}{g_{m1}g_{m2}} + \frac{4g_{ds2}C_{gs1}}{g_{m1}g_{m2}} + \frac{4g_{ds5}C_{gs1}}{g_{m1}g_{m6}} + \frac{4g_{ds6}C_{gs1}}{g_{m1}g_{m6}} + \frac{g_{ds2}C_{gs2}}{g_{m1}g_{m2}} \\ + \frac{C_{gs6}}{g_{m6}} + \frac{g_{ds6}C_{gs6}}{g_{m1}g_{m6}} + \frac{g_{ds1}C_{gs6}}{g_{m2}g_{m6}} + \frac{2g_{ds2}C_{gs6}}{g_{m2}g_{m6}}$$

$$c_2 = \frac{2C_{gs1}C_{gs6}}{g_{m1}g_{m6}} + \frac{4g_{ds1}C_{gs1}C_{gs6}}{g_{m1}g_{m2}g_{m6}} + \frac{4g_{ds2}C_{gs1}C_{gs6}}{g_{m1}g_{m2}g_{m6}} + \frac{g_{ds2}C_{gs2}C_{gs6}}{g_{m1}g_{m2}g_{m6}} \\ + \frac{g_{ds6}C_{gs2}C_{gs6}}{g_{m1}g_{m2}g_{m6}}$$

$$c_3 = \frac{2g_{ds1}C_{gs1}C_{gs2}C_{gs6}}{g_{m1}g_{m2}^2g_{m6}} + \frac{2g_{ds2}C_{gs1}C_{gs2}C_{gs6}}{g_{m1}g_{m2}^2g_{m6}} + \frac{2C_{gs1}C_{gs2}C_{gs6}}{g_{m1}g_{m2}g_{m6}}$$

$$d_0 = g_{ds5}g_{ds6} + \frac{g_{ds5}g_{ds6}g_{m5}}{g_{m1}} + \frac{g_{ds1}g_{ds2}g_{m6}}{g_{m2}} + \frac{g_{ds1}g_{ds2}g_{m5}g_{m6}}{g_{m1}g_{m2}}$$

$$d_1 = 3g_{ds6}g_{m5}C_{gs2} + g_{m5}g_{m6}C_{gs2} + \frac{g_{ds5}g_{m2}g_{m5}C_{gs2}}{g_{m1}} + \frac{g_{ds6}g_{m2}g_{m5}C_{gs2}}{g_{m1}}$$

จากสมการที่ 3.32 กระแสเอาต์พุต  $i_o$  เมื่อพิจารณาเฉพาะตัวเก็บประจุแผ่นที่เกิดขึ้นในทรานซิสเตอร์ จะได้กระแสเอาต์พุต  $i_o$  เท่ากับ

$$i_o = \frac{g_{m5}[(1 + \frac{sC_{gs2}}{g_{m1}})i_1 - (1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}})i_2]}{sC_1(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}}) + (\frac{2g_{m5}sC_{gs1}}{g_{m1}} + \frac{g_{m5}sC_{gs2}}{g_{m2}})} \quad (3.33)$$

จากสมการที่ (3.33) สังเกตได้ว่าเมื่อพิจารณาผลกระทบที่เกิดขึ้นกับวงจรรออินทิเกรเตอร์ เนื่องจากค่าตัวเก็บประจุแผ่นในทรานซิสเตอร์ นอกจากโพลหลักที่เกิดจากตัวเก็บประจุ  $C_1$  แล้วยังมีโพลรอง ส่งผลให้วงจรรออินทิเกรเตอร์ถูกจำกัดการใช้งานที่ความถี่สูง ดังนั้นในการออกแบบ

วงจรรินทิกเรเตอร์ต้องออกแบบให้โพลหลักมีขนาดที่มากกว่าโพลรองมากพอที่จะไม่ส่งผลต่อคุณสมบัติของวงจรรินทิกเรเตอร์

จากสมการที่ 3.32 เมื่อพิจารณาผลกระทบที่เกิดขึ้นกับวงจรรินทิกเรเตอร์เนื่องจากค่าความต้านทานเอาต์พุตของทรานซิสเตอร์ พบว่าฟังก์ชันการถ่ายโอน ที่ได้จะเป็นวงจรรินทิกเรเตอร์แบบสุญเสีย ค่าสุญเสียที่เกิดขึ้นในวงจรจะขึ้นกับค่า  $d_0$  ซึ่งทำให้อัตราการขยายของวงจรที่ความถี่ต่ำมีค่าจำกัด โดยมีค่าเท่ากับ

$$\text{Gain}(0) = \left| \frac{i_o}{i_1 - i_2} \right| (0) = g_{m5} \frac{a_0}{d_0} \quad (3.34)$$

จากสมการที่ (3.32) ทำการประมาณค่าฟังก์ชันการถ่ายโอน โดยที่ค่า  $a_1$   $a_2$   $b_1$   $b_2$   $b_3$   $c_2$   $c_3$  และ  $d_1$  มีค่าน้อยมาก จะได้ว่า

$$\frac{i_o}{i_1 - i_2} \cong \frac{g_{m5} a_0}{sC_1(c_0 + sc_1) + d_0} \quad (3.35)$$

โดยที่  $a_0$  และ  $b_0$  ในสมการที่ (3.32) มีค่าเท่ากัน

จัดรูปสมการที่ (3.25) ให้อยู่ในรูปสมการกำลังสอง จะได้ว่า

$$\frac{i_o}{i_1 - i_2} = \frac{1}{s^2 \frac{c_1 C_1}{g_{m5} a_0} + s \frac{c_0 C_1}{g_{m5} a_0} + \frac{d_0}{g_{m5} a_0}} = \frac{1}{(s + q_1)(s + q_2)} \quad (3.36)$$

เมื่อ

$$q_1 = \frac{-\frac{C_1 c_0}{g_{m5} a_0} - \sqrt{\left(\frac{C_1 c_0}{g_{m5} a_0}\right)^2 - 4 \frac{C_1 c_1}{g_{m5} a_0} \frac{d_0}{g_{m5} a_0}}}{2 \frac{C_1 c_1}{g_{m5} a_0}}$$

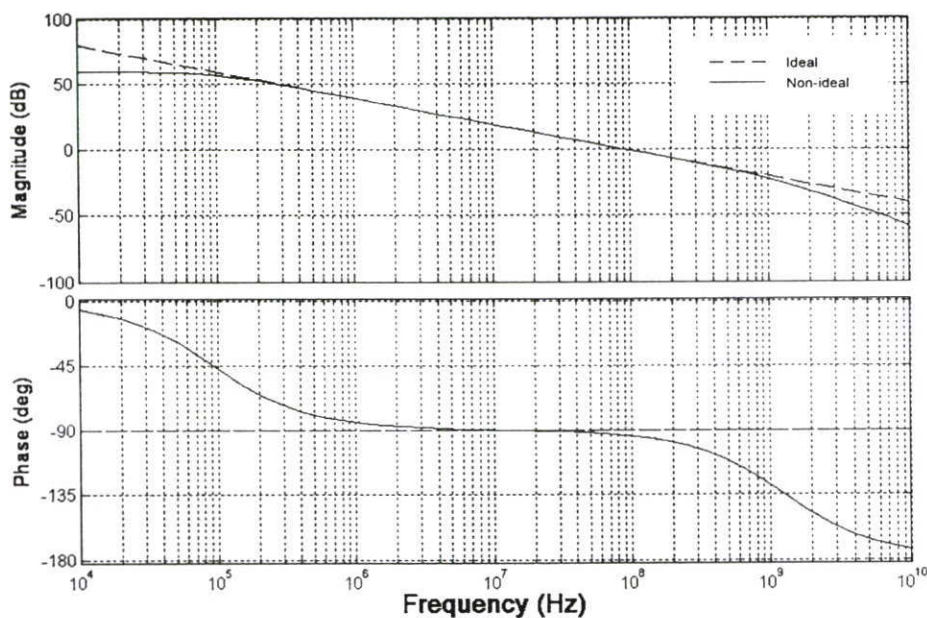
$$q_2 = \frac{-\frac{C_1 c_0}{g_{m5} a_0} + \sqrt{\left(\frac{C_1 c_0}{g_{m5} a_0}\right)^2 - 4 \frac{C_1 c_1}{g_{m5} a_0} \frac{d_0}{g_{m5} a_0}}}{2 \frac{C_1 c_1}{g_{m5} a_0}}$$

จัดรูปสมการที่ (3.36) ให้อยู่ในรูปสมการทั่วไป แสดงได้ในสมการที่ (3.37)

$$\frac{i_o}{i_1 - i_2} = \frac{A_0}{(s\tau_{(p1)} + 1)(s\tau_{(p2)} + 1)} \quad (3.37)$$

เมื่อ  $A_0$  คืออัตราขยายของวงจรที่ความถี่ต่ำ มีค่าเท่ากับ  $1/q_1q_2$   $1/\tau_{(p1)}$  และ  $1/\tau_{(p2)}$  คือ โพลหลักและโพลรอง ตามลำดับ

ฟังก์ชันการถ่ายโอนที่ถูกแสดงในสมการที่ 3.37 ได้จากการประมาณค่าฟังก์ชันการถ่ายโอนที่ได้จากการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก (สมการที่ 3.32) โดยทำการแยกพิจารณาให้เห็นถึงผลกระทบที่เกิดจากโพลรองและค่าความนำเอาต์พุต จากฟังก์ชันการถ่ายโอนในสมการที่ (3.37) ถูกนำมาเขียนกราฟแสดงผลการตอบสนองความถี่ของวงจรเปรียบเทียบกับฟังก์ชันการถ่ายโอนแบบอุดมคติ (สมการที่ (3.1)) ด้วยโปรแกรมเมทแล็บ (Matlab) ออกแบบให้มีความถี่ที่อัตราขยายเท่ากับหนึ่งมีค่าเท่ากับ 100 MHz แสดงในรูปที่ 3.4



รูปที่ 3.4 ผลการตอบสนองทางความถี่และเฟสของวงจรอินทิเกรเตอร์แบบขั้วเดียว เปรียบเทียบระหว่างแบบอุดมคติดกับแบบไม่เป็นอุดมคติ

รูปที่ 3.4 จะสังเกตเห็นได้ว่าที่ความถี่ต่ำ อัตราขยายของวงจรแบบไม่เป็นอุดมคติดีค่าจำกัด ในขณะที่ความถี่สูงกราฟที่ได้จะไม่เป็นฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์ และยังพบว่าการตอบสนองทางเฟสของวงจรมีค่าไม่เท่ากับ -90 องศา ที่ความถี่ต่ำเนื่องจากวงจรมีอัตราการขยายจำกัด ในขณะที่เดียวกันที่ความถี่สูงเฟสของวงจรจะมีค่าน้อยกว่า -90 องศา เนื่องจากผลของโพลรองที่เกิดขึ้นในวงจรอินทิเกรเตอร์ ซึ่งการนำค่าสมการที่ 3.37 มาพล็อตกราฟนั้นได้แทนค่าตัวเก็บตัวเก็บประจุแฝงและค่าความนำไฟฟ้าด้านขาออกที่เกิดขึ้นจริงในวงจร โดยทำการออกแบบให้โพลหลักมีค่าต่ำกว่าโพลรองมากกว่า 1,000 เท่า

ในการออกแบบวงจรอินทิเกรเตอร์ จะเห็นว่าค่าอัตราขยายของวงจรอินทิเกรเตอร์จะขึ้นกับค่าความต้านทานขาออกและค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ ซึ่งจะแปรผันกับขนาดของทรานซิสเตอร์และกระแสไบอัสที่ไหลในวงจร จากการวิเคราะห์การจับไบอัสและการปรับจูนวงจรอินทิเกรเตอร์ในหัวข้อที่ 3.1.2 พบว่าเมื่อทรานซิสเตอร์มีขนาดโตขึ้นจะทำให้กระแสไบอัสวงจรมีค่ามากขึ้น ส่งผลให้ค่าทรานคอนดักแตนซ์มีค่าสูงขึ้น แต่ในขณะเดียวกันก็จะทำให้ตัวเก็บประจุแผ่นมีขนาดโตขึ้นเช่นกัน สำหรับค่าความต้านทานขาออกของทรานซิสเตอร์จะขึ้นกับค่าความยาวของทรานซิสเตอร์และค่ากระแสไบอัสวงจรร ดังนั้นในการออกแบบวงจรจะต้องพิจารณาให้มีความเหมาะสมทั้งขนาดของทรานซิสเตอร์ ความถี่ที่ต้องการนำไปใช้งาน และการสูญเสียกำลังงานที่เกิดขึ้นในวงจร

ค่าตัวประกอบคุณภาพของวงจรอินทิเกรเตอร์ เป็นปัจจัยหนึ่งที่บ่งบอกประสิทธิภาพของวงจรอินทิเกรเตอร์ได้ ทำให้ทราบค่าความสูญเสียที่เกิดขึ้นในวงจรอินทิเกรเตอร์ว่ามากน้อยขนาดไหน โดยนิยามตัวประกอบคุณภาพ คืออัตราส่วนของจำนวนจินตภาพกับจำนวนจริงในโพลีโนเมียลของตัวหารของฟังก์ชันการถ่ายโอน

จากฟังก์ชันถ่ายโอนของวงจรอินทิเกรเตอร์ ในสมการ (3.32) สามารถเขียนฟังก์ชันการถ่ายโอนใหม่ให้อยู่ในรูปของจำนวนจริงและจำนวนจินตภาพ เมื่อกำหนดให้ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ชนิดเอ็นทุกตัวเท่ากันและ ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ชนิดพีทุกตัวเท่ากัน จะได้ว่า

$$\frac{i_o}{i_1 - i_2} = \frac{1}{sC_1\chi_1 + \chi_2} \quad (3.38)$$

เมื่อ

$$\chi_1 = \frac{g_{mn}g_{mp} + g_{mp}g_{dsn} + 2g_{mp}g_{dsp} + 2g_{mn}g_{dsp} + 2g_{mp}g_{dsp}}{g_{mn}^2g_{mp} + 2g_{mp}^2g_{dsn} + (2g_{mn}g_{mp}g_{dsn})^2}$$

$$\chi_2 = \left( \frac{g_{mp}}{g_{mn}} \right) \left( \frac{g_{mn}^2g_{dsp}^2 + g_{mn}g_{mp}g_{dsp}^2 + g_{mn}g_{mp}g_{dsn}^2 + g_{mp}^2g_{dsn}^2}{g_{mn}g_{mp}^2 + 2g_{mp}^2g_{dsn} + 2g_{mn}g_{mp}g_{dsp} + 2g_{mn}g_{mp}g_{dsp}} \right)$$

ในการออกแบบวงจรอินทิเกรเตอร์ที่ได้นำเสนอ ได้ออกแบบให้ค่าทรานคอนดักแตนซ์มีค่าใกล้เคียงกัน ดังนั้น จึงกำหนดให้ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน และได้กำหนดให้ค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์ทุกตัวมีค่าเท่ากันด้วย เพื่อให้สมการที่ได้ดูง่ายขึ้น โดยที่ผลที่ได้มีค่าผิดพลาดไปจากเดิมเพียงเล็กน้อย จะได้ว่า

$$\frac{i_o}{i_1 - i_2} = \frac{1}{sC_1 \left( \frac{g_m^2 + 6g_m g_{ds}}{g_m^3 + 2g_m^2 g_{ds} + (2g_m^2 g_{ds})^2} \right) + \left( \frac{4g_m^2 g_{ds}^2}{g_m^3 + 6g_m^2 g_{ds}} \right)} \quad (3.39)$$

จากสมการที่ (3.39) และนิยามตัวประกอบคุณภาพ (Q) สามารถหาตัวประกอบคุณภาพได้ คือ

$$Q = \frac{\omega C_1 \left( \frac{g_m^2 + 6g_m g_{ds}}{g_m^3 + 2g_m^2 g_{ds} + (2g_m^2 g_{ds})^2} \right)}{\left( \frac{4g_m^2 g_{ds}^2}{g_m^3 + 6g_m^2 g_{ds}} \right)} \cong \frac{3\omega C_1}{g_{ds}} \quad (3.40)$$

ที่ความถี่ที่อัตราขยายของวงจรมีค่าเท่ากับหนึ่ง (Unity gain frequency:  $\omega_T$ ) จะได้ตัวประกอบคุณภาพที่ความถี่ดังกล่าว Q ( $\omega_T$ ) มีค่าเท่ากับ

$$Q(\omega_T) \cong \frac{3g_m}{g_{ds}} = 3 \sqrt{\frac{2\mu C_{ox} \left( \frac{W}{L} \right)}{I_D \lambda^2}} \quad (3.41)$$

เมื่อ  $\lambda$  คือค่าคงที่ผลของความยาวช่องทางเดินกระแสของทรานซิสเตอร์ (Channel length modulation coefficient)

จากสมการที่ (3.41) จะเห็นได้ว่าค่าตัวประกอบคุณภาพจะแปรผันกับขนาดของมอสทรานซิสเตอร์และแปรผกผันกับกระแสที่ไหลผ่านทรานซิสเตอร์ การวิเคราะห์ค่าตัวประกอบคุณภาพที่ได้ในสมการที่ (3.41) ยังไม่ได้คิดผลกระทบที่เกิดขึ้นเนื่องจากค่าตัวเก็บประจุแฝงในทรานซิสเตอร์ และได้สมมติให้โพลรองมีค่าสูงกว่าโพลหลักมากๆ เมื่อแทนค่าขนาดของทรานซิสเตอร์และกระแสที่ไบอัสวงจรลงในสมการที่ (3.41) ค่าตัวประกอบคุณภาพที่ได้มีค่าประมาณเท่ากับ 114 อย่างไรก็ตามค่าตัวประกอบคุณภาพคำนวณได้ ยังไม่ได้คิดผลของความนำของทรานซิสเตอร์ที่ถูกลำมาต่อขนาน เพื่อทำหน้าที่เป็นแหล่งจ่ายกระแสปรับจูน  $I_{B1}$  และ  $I_{B2}$  (ดูรูปที่ 3.2) ทำให้ในการใช้งานจริง ค่าตัวประกอบคุณภาพจะมีค่าต่ำกว่าค่าที่คำนวณได้

### 3.13 สัญญาณรบกวน (Noise)

ในการออกแบบวงจรจำเป็นต้องพิจารณาถึงขนาดของสัญญาณรบกวนที่เกิดขึ้น เพราะขนาดของสัญญาณรบกวนเป็นปัจจัยหนึ่งที่กระทบต่อประสิทธิภาพของวงจร โดยปกติแล้วสัญญาณอินพุตที่ป้อนเข้าสู่วงจรควรมีค่ามากกว่าขนาดสัญญาณรบกวนทางอินพุตที่ได้ถูกออกแบบ สัญญาณรบกวนของทรานซิสเตอร์เกิดจากสัญญาณรบกวนหลักด้วยกัน 2 ชนิด คือ

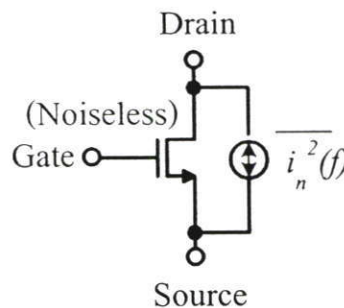
สัญญาณรบกวนแบบความร้อน (Thermal noise) ( $\overline{i_{nr}^2}(f)$ ) และสัญญาณรบกวนฟลิคเกอร์ (Flicker noise :  $1/f$ ) ( $\overline{i_{nf}^2}(f)$ ) ดังแสดงในสมการที่ (3.42) และสมการที่ (3.43) ตามลำดับ

$$\overline{i_{nr}^2}(f) = 4k_B T \left( \frac{1}{R} \right) \Delta f \quad (3.42)$$

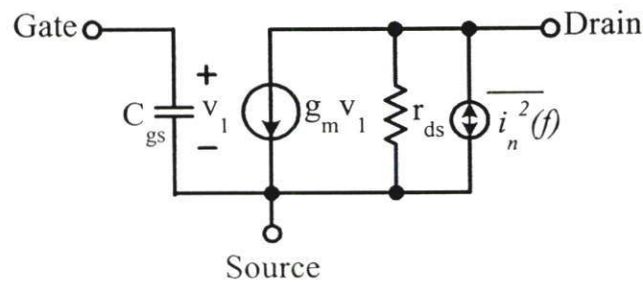
$$\overline{i_{nf}^2}(f) = K_1 T \frac{I^a}{f^b} \Delta f \quad (3.43)$$

เมื่อ  $k_B$ ,  $T$ ,  $R$  และ  $\Delta f$  คือค่าคงตัวโบลต์ซมันน์ (Boltzmann's constant) อุณหภูมิสัมบูรณ์ (absolute temperature [ $^{\circ}K$ ]) ค่าความต้านทานของทรานซิสเตอร์ และช่วงของความถี่ที่เราสนใจ ตามลำดับ เมื่อ  $K_1$ ,  $I$ ,  $a$  และ  $b$  คือ ค่าสัมประสิทธิ์สัญญาณรบกวน กระแสไบอัสวงจร ค่าคงที่ในช่วง 0.5 ถึง 2 และค่าคงที่ในช่วง 0.8 ถึง 1.2 ตามลำดับ

ในการวิเคราะห์สัญญาณรบกวนของวงจรอินทิเกรเตอร์จำเป็นต้องจำลองแหล่งจ่ายสัญญาณรบกวนของทรานซิสเตอร์แต่ละตัว ดังต่อไปนี้



(ก)



(ข)

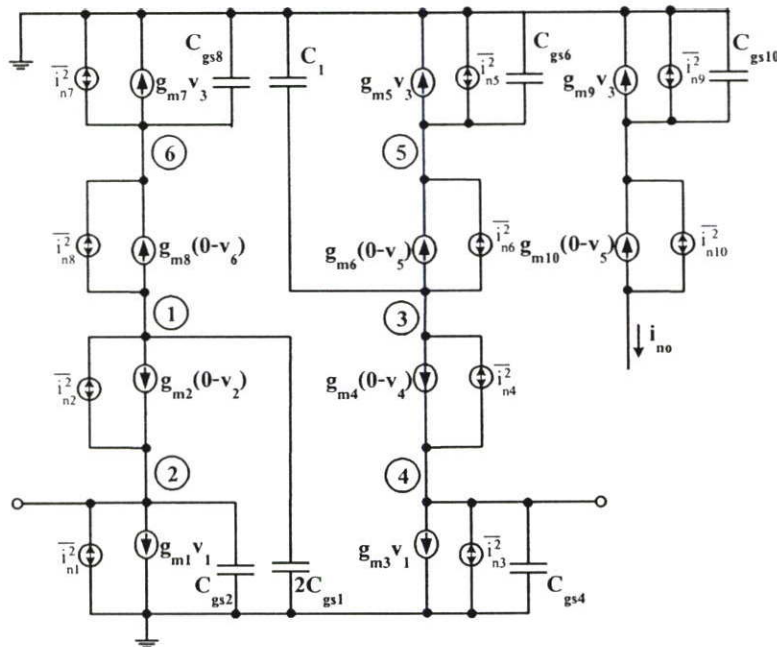
รูปที่ 3.5 การจำลองแหล่งจ่ายสัญญาณรบกวนของมอสทรานซิสเตอร์

รูปที่ 3.5 แสดงแหล่งจ่ายสัญญาณรบกวนแบบความถี่ของทรานซิสเตอร์ ในรูปของกระแส ดังแสดงในสมการที่ (3.44)

$$\bar{i}_n^2(f) = 4k_B T \left( \frac{2}{3} g_m \right) \Delta f + \frac{K_1}{C_{ox}(WL)f} g_m^2 \Delta f \quad (3.44)$$

เมื่อ  $4k_B T \left( \frac{2}{3} g_m \right)$  เป็นเทอมของแหล่งจ่ายสัญญาณรบกวนแบบความร้อน โดย  $g_m$  คือค่าทรานคอนดักแตนซ์ทรานซิสเตอร์ขณะทำงานในย่านอิมิตัว และ  $\frac{K_1}{C_{ox}(WL)f} g_m^2$  เป็นเทอมของแหล่งจ่ายสัญญาณรบกวนฟลิคเกอร์

การพิจารณาสัญญาณรบกวนของวงจรอินทิเกรเตอร์ในโหมดกระแส จะทำการวิเคราะห์หาสัญญาณรบกวนด้านอินพุตของวงจร โดยจะต้องพิจารณาสัญญาณรบกวนของอุปกรณ์ทุกตัวที่ถ่ายโอนไปเป็นสัญญาณรบกวนรวมทางด้านเอาต์พุต จากนั้นจะทำการถ่ายโอนสัญญาณรบกวนที่เอาต์พุตมายังอินพุต โดยการหารด้วยฟังก์ชันการถ่ายโอนของวงจร



รูปที่ 3.6 วงจรเสมือนสัญญาณขนาดเล็กที่รวมผลสัญญาณรบกวนของวงจรอินทิเกรเตอร์

เมื่อนำวงจรอินทิเกรเตอร์ที่แสดงในรูปที่ 3.1 มาวิเคราะห์หาสัญญาณรบกวนโดยแทนแหล่งจ่ายกระแสรบกวนที่เกิดจากทรานซิสเตอร์แต่ละตัวลงไปดังแสดงในรูปที่ 3.6 แล้วหาสัญญาณรบกวนด้านเอาต์พุตจะได้ดังนี้

$$\overline{I_{no}^2} = \sum_{i=1}^{10} \overline{I_{noi}^2} \quad (3.45)$$

โดยที่

$$\overline{I_{no1}^2} = \frac{\left(1 + \frac{sC_{gs4}}{g_{m1}} + \frac{sC_{gs6}}{g_{m6}} + \frac{s^2C_{gs4}C_{gs6}}{g_{m1}g_{m6}}\right)^2 \overline{I_{n1}^2}}{\Delta^2}$$

$$\overline{I_{no2}^2} = \frac{\left(\frac{sC_{gs2}}{g_{m2}} + \frac{s^2C_{gs2}C_{gs4}}{g_{m1}g_{m2}} + \frac{s^2C_{gs2}C_{gs6}}{g_{m2}g_{m6}}\right)^2 \overline{I_{n2}^2}}{\Delta^2}$$

$$\overline{I_{no3}^2} = \frac{\left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}} + \frac{sC_{gs6}}{g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m6}}\right)^2 \overline{I_{n3}^2}}{\Delta^2}$$

$$\overline{I_{no4}^2} = 0$$

$$\overline{I_{no5}^2} = \frac{\left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}}\right)^2 \overline{I_{n5}^2}}{\Delta^2}$$

$$\overline{I_{no6}^2} = \frac{\left(\frac{sC_{gs6}}{g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m6}}\right)^2 \overline{I_{n6}^2}}{\Delta^2}$$

$$\overline{I_{no7}^2} = \frac{\left(1 + \frac{sC_{gs2}}{g_{m2}} + \frac{sC_{gs4}}{g_{m1}} + \frac{s^2C_{gs2}C_{gs4}}{g_{m1}g_{m2}}\right)^2 \overline{I_{n7}^2}}{\Delta^2}$$

$$\overline{I_{no8}^2} = \frac{\left(\frac{sC_{gs6}}{g_{m6}} + \frac{s^2C_{gs2}C_{gs6}}{g_{m2}g_{m6}} + \frac{s^2C_{gs4}C_{gs6}}{g_{m1}g_{m6}}\right)^2 \overline{I_{no8}^2}}{\Delta^2}$$

$$\overline{I_{no9}^2} = \overline{I_{n9}^2}$$

$$\overline{I_{no10}^2} = \left(\frac{sC_{gs6}}{g_{m6}}\right)^2 \overline{I_{n10}^2}$$

และ

$$\Delta = s \frac{C_1}{g_{m5}} \left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}} + \frac{sC_{gs6}}{g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m6}}\right) + \left(\frac{2sC_{gs1}}{g_{m1}}\right)$$

ความสัมพันธ์ของสัญญาณรบกวนด้านเอาต์พุต ( $\overline{I_{no}^2}$ ) กับสัญญาณรบกวนด้านอินพุต ( $\overline{I_{n(eq)}^2}$ ) ของวงจรอินทิเกรเตอร์ แสดงในสมการที่ (3.46)

$$\overline{I_{n(eq)}^2} = \frac{\overline{I_{no}^2}}{H(s)^2} \quad (3.46)$$

เมื่อ  $H(s)$  คือ ฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์

จะเห็นได้ว่า วงจรอินทิเกรเตอร์ในรูปที่ 3.1 มีอินพุตอยู่ 2 จุด คือที่จุด A และจุด B ดังนั้นจึงต้องหาสัญญาณรบกวนด้านอินพุตของวงจรอินทิเกรเตอร์ทั้งที่จุด A และจุด B

ฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์ เมื่อป้อนสัญญาณอินพุตที่จุด A และ จุด B แสดงได้ในสมการที่ (3.47) และสมการที่ (3.48) ตามลำดับ

$$H_{(A)}(s) = \frac{i_o(s)}{i_{m(A)}(s)} = \frac{\left(1 + \frac{sC_{gs2}}{g_{m1}} + \frac{sC_{gs6}}{g_{m6}} + \frac{s^2C_{gs2}C_{gs6}}{g_{m1}g_{m6}}\right)}{s \frac{C_1}{g_{m5}} \left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}} + \frac{sC_{gs6}}{g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m6}}\right) + \left(\frac{2sC_{gs1}}{g_{m1}}\right)} \quad (3.47)$$

$$H_{(B)}(s) = \frac{i_o(s)}{i_{m(B)}(s)} = \frac{\left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}} + \frac{sC_{gs6}}{g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m6}}\right)}{s \frac{C_1}{g_{m5}} \left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}} + \frac{sC_{gs6}}{g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m6}}\right) + \left(\frac{2sC_{gs1}}{g_{m1}}\right)} \quad (3.48)$$

จากสัญญาณรบกวนทางด้านเอาต์พุตของวงจรอินทิเกรเตอร์ในสมการที่ (3.45) เราสามารถหาสัญญาณรบกวนด้านอินพุตที่จุด A ( $\overline{I_{n(eq)A}^2}$ ) ได้ดังนี้

$$\begin{aligned} \overline{I_{n(eq)A}^2} = & \frac{\left(1 + \frac{sC_{gs4}}{g_{m1}} + \frac{sC_{gs6}}{g_{m6}} + \frac{s^2C_{gs4}C_{gs6}}{g_{m1}g_{m6}}\right)^2 \overline{I_{n1}^2} + \left(\frac{sC_{gs2}}{g_{m2}} + \frac{s^2C_{gs2}C_{gs4}}{g_{m1}g_{m2}} + \frac{s^2C_{gs2}C_{gs6}}{g_{m2}g_{m6}}\right)^2 \overline{I_{n2}^2}}{\Delta_1^2} \\ & + \frac{\left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}} + \frac{sC_{gs6}}{g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m6}}\right)^2 \overline{I_{n3}^2} + \left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}}\right)^2 \overline{I_{n5}^2}}{\Delta_1^2} \\ & + \frac{\left(\frac{sC_{gs6}}{g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m6}}\right)^2 \overline{I_{n6}^2} + \left(1 + \frac{sC_{gs2}}{g_{m2}} + \frac{sC_{gs4}}{g_{m1}} + \frac{s^2C_{gs2}C_{gs4}}{g_{m1}g_{m2}}\right)^2 \overline{I_{n7}^2}}{\Delta_1^2} \\ & + \frac{\left(\frac{sC_{gs6}}{g_{m6}} + \frac{s^2C_{gs2}C_{gs6}}{g_{m2}g_{m6}} + \frac{s^2C_{gs4}C_{gs6}}{g_{m1}g_{m6}}\right)^2 \overline{I_{n8}^2} + \Delta^2 \overline{I_{n9}^2} + \Delta^2 \left(\frac{sC_{gs6}}{g_{m6}}\right)^2 \overline{I_{n10}^2}}{\Delta_1^2} \end{aligned} \quad (3.49)$$

โดยที่

$$\Delta_1 = \left(1 + \frac{sC_{gv2}}{g_{m1}} + \frac{sC_{gv6}}{g_{m6}} + \frac{s^2 C_{gv2} C_{gv6}}{g_{m1} g_{m6}}\right)$$

ในทำนองเดียวกัน เราสามารถหาสัญญาณรบกวนด้านอินพุตที่จุด B ( $\overline{I_{n(eq)B}^2}$ ) ได้ คือ

$$\begin{aligned} \overline{I_{n(eq)B}^2} &= \frac{\left(1 + \frac{sC_{gs4}}{g_{m1}} + \frac{sC_{gs6}}{g_{m6}} + \frac{s^2 C_{gs4} C_{gs6}}{g_{m1} g_{m6}}\right)^2 \overline{I_{n1}^2} + \left(\frac{sC_{gs2}}{g_{m2}} + \frac{s^2 C_{gs2} C_{gs4}}{g_{m1} g_{m2}} + \frac{s^2 C_{gs2} C_{gs6}}{g_{m2} g_{m6}}\right)^2 \overline{I_{n2}^2}}{\Delta_2^2} \\ &+ \frac{\left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2 C_{gs1} C_{gs2}}{g_{m1} g_{m2}} + \frac{sC_{gs6}}{g_{m6}} + \frac{2s^2 C_{gs1} C_{gs6}}{g_{m1} g_{m6}}\right)^2 \overline{I_{n3}^2} + \left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2 C_{gs1} C_{gs2}}{g_{m1} g_{m2}}\right)^2 \overline{I_{n5}^2}}{\Delta_2^2} \\ &+ \frac{\left(\frac{sC_{gs6}}{g_{m6}} + \frac{2s^2 C_{gs1} C_{gs6}}{g_{m1} g_{m6}}\right)^2 \overline{I_{n6}^2} + \left(1 + \frac{sC_{gs2}}{g_{m2}} + \frac{sC_{gs4}}{g_{m1}} + \frac{s^2 C_{gs2} C_{gs4}}{g_{m1} g_{m2}}\right)^2 \overline{I_{n7}^2}}{\Delta_2^2} \\ &+ \frac{\left(\frac{sC_{gs6}}{g_{m6}} + \frac{s^2 C_{gs2} C_{gs6}}{g_{m2} g_{m6}} + \frac{s^2 C_{gs4} C_{gs6}}{g_{m1} g_{m6}}\right)^2 \overline{I_{n8}^2} + \Delta^2 \overline{I_{n9}^2} + \Delta^2 \left(\frac{sC_{gs6}}{g_{m6}}\right)^2 \overline{I_{n10}^2}}{\Delta_2^2} \end{aligned} \quad (3.50)$$

โดยที่

$$\Delta_2 = \left(1 + \frac{2sC_{gs1}}{g_{m1}} + \frac{2s^2 C_{gs1} C_{gs2}}{g_{m1} g_{m2}} + \frac{sC_{gs6}}{g_{m6}} + \frac{2s^2 C_{gs1} C_{gs6}}{g_{m1} g_{m6}}\right)$$

สัญญาณรบกวนที่เกิดขึ้นในวงจรอินทิเกรเตอร์จะเกิดจากสัญญาณรบกวนแบบความร้อน และสัญญาณรบกวนฟลิกเกอร์ โดยสัญญาณรบกวนฟลิกเกอร์ จะมีค่าสูงที่ความถี่ต่ำและจะมีค่าลดลงเมื่อมีความถี่สูงขึ้น ในขณะที่สัญญาณรบกวนแบบความร้อนจะไม่เปลี่ยนแปลงตามความถี่ ในช่วงใช้งาน สัญญาณรบกวนด้านอินพุตที่แสดงในสมการที่ (3.49) และ (3.50) จะเห็นได้ว่า สัญญาณรบกวนจะขึ้นอยู่กับค่าทรานคอนดักแตนซ์ โดยค่าทรานคอนดักแตนซ์จะขึ้นกับขนาดและกระแสไบอัสของทรานซิสเตอร์ ดังนั้นหากต้องการออกแบบให้วงจรอินทิเกรเตอร์มีสัญญาณรบกวนน้อย ค่ากระแสและขนาดของทรานซิสเตอร์ต้องมีค่าน้อย แต่ส่งผลทำให้การปรับจูนความถี่วงจรอินทิเกรเตอร์ทำได้น้อย อีกทั้งยังส่งผลต่อการตอบสนองทางความถี่ของวงจรถูกด้วย (ดูสมการที่ 3.1) ในทำนองเดียวกันหากเราเพิ่มขนาดของทรานซิสเตอร์และกระแสไบอัสก็จะทำให้การตอบสนองความถี่มีค่าสูงขึ้น อย่างไรก็ตามสัญญาณรบกวนก็จะมีค่าสูงขึ้นเช่นเดียวกัน และการที่ทรานซิสเตอร์มีขนาดใหญ่ทำให้ตัวเก็บประจุแผ่นมีค่าสูงขึ้น ส่งผลทำให้สัญญาณรบกวนอินพุตมีค่าสูงขึ้น ยิ่งความถี่สูงขึ้นอัตราการเพิ่มขึ้นของสัญญาณรบกวนจะมีค่า

มากขึ้น ดังนั้นในการออกแบบวงจรอินทิเกรเตอร์จำเป็นจะต้องพิจารณาทั้งการตอบสนองความถี่ของวงจร การปรับจูนความถี่และ สัญญาณรบกวนที่เกิดขึ้นในวงจร

### 3.14 ผลการจำลองการทำงานของวงจรอินทิเกรเตอร์

วงจรอินทิเกรเตอร์ที่แสดงในรูปที่ 3.2 ถูกนำมาจำลองการทำงานโดยใช้โปรแกรม Hspice ภายใต้เทคโนโลยีแบบมอสทรานซิสเตอร์ ขนาด 0.5 ไมครอน และแหล่งจ่ายไฟเลี้ยง ( $V_{DD}$ ) ขนาด 1.5 โวลต์  $V_{B1}$  และ  $V_{B2}$  มีค่าเท่ากับ 1.3 โวลต์ และ 0.25 โวลต์ ตามลำดับ วงจรถูกออกแบบให้กระแสขณะสภาวะสงบ (Quiescent Currents) มีค่าเท่ากับ 35 ไมโครแอมป์ ขนาดของมอสทรานซิสเตอร์ที่ได้จากการออกแบบถูกแสดงในตารางที่ 3.1 กระแส  $I_{B1}$  และ  $I_{B2}$  จะถูกแทนด้วยมอสทรานซิสเตอร์ ซึ่งจะกล่าวถึงในบทที่ 4 หัวข้อที่ 4.5

ตารางที่ 3.1 ขนาดมอสทรานซิสเตอร์ของวงจรอินทิเกรเตอร์แบบขั้วเดียวที่นำเสนอ

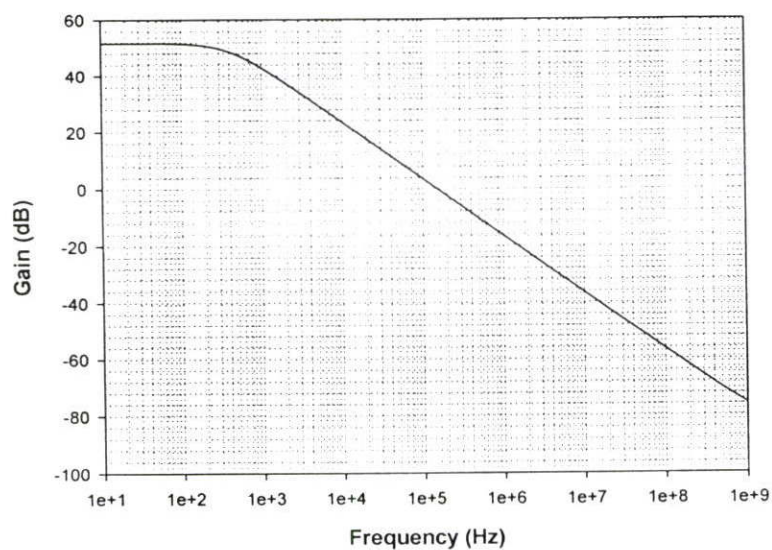
มอสทรานซิสเตอร์	อัตราส่วน ( $W/L$ )
$M_1, M_3$	10/0.5
$M_2, M_4$	14/0.5
$M_5, M_7, M_9$	34/0.5
$M_6, M_8, M_{10}$	26/0.5

รูปที่ 3.7 แสดงการตอบสนองความถี่และเฟสของวงจรอินทิเกรเตอร์ วงจรถูกออกแบบให้ความถี่ที่อัตราขยายเท่ากับหนึ่ง (Unity gain frequency) มีค่าเท่ากับ 150 kHz ตัวเก็บประจุ  $C_1$  มีค่าเท่ากับ 0.4 nF และค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์  $M_5$  มีค่า 370  $\mu A/V$  การตอบสนองทางเฟสที่แสดงในรูปที่ 3.7(ข) พบว่า เฟสของวงจรมีค่าไม่เท่ากับ -90 องศา ที่ความถี่ต่ำ เนื่องจากวงจรมีอัตราขยายจำกัด ในขณะที่เดียวกันที่ความถี่สูง เฟสของวงจรจะมีค่าน้อยกว่า -90 องศา เนื่องจากผลของโพลาไรเซชันที่เกิดขึ้นในวงจรอินทิเกรเตอร์ รูปที่ 3.8 แสดงการตอบสนองทางเวลาของวงจรอินทิเกรเตอร์เมื่อป้อนสัญญาณกระแสอินพุตที่มีความถี่ 150 kHz เข้าที่โนด A ( $i_{in}$ ) โดยสัญญาณกระแสมีขนาดเท่ากับ 20  $\mu A$  และ โนด B มีขนาดสัญญาณกระแสเท่ากับ 10  $\mu A$  ตามลำดับ สัญญาณกระแสเอาต์พุต ( $i_o$ ) มีขนาดสัญญาณกระแสเท่ากับ 10  $\mu A$  จากรูปที่ 3.8 จะสังเกตได้ว่าสัญญาณเอาต์พุตจะถูกเลื่อนเฟสไปจากสัญญาณอินพุต 90 องศา รูปที่ 3.9 แสดงการตอบสนองความถี่ของวงจรอินทิเกรเตอร์ วงจรถูกออกแบบให้ความถี่ที่อัตราขยายเท่ากับหนึ่งมีค่าเท่ากับ 90 MHz ตัวเก็บประจุ  $C_1$  มีค่าเท่ากับ 0.43 pF และค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์  $M_5$  มีค่า 370  $\mu A/V$  ที่กระแสไบอัส 35 ไมโครแอมป์ ค่าอัตราขยายของวงจรมีค่าเท่ากับ 51 เดซิเบล วงจรอินทิเกรเตอร์สามารถปรับจูนความถี่ได้ตั้งแต่ 90 MHz ถึง 116 MHz โดยการปรับกระแสไบอัสของวงจรจาก 35 ไมโครแอมป์ ถึง 80 ไมโครแอมป์ จะ

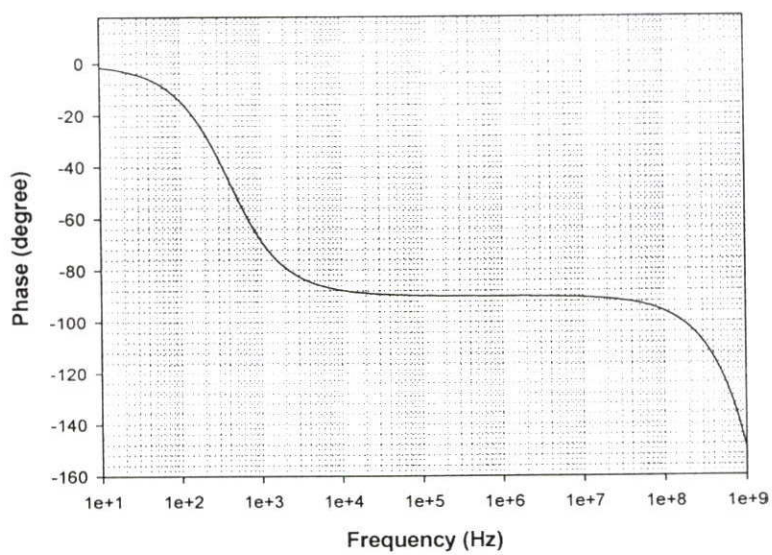
สังเกตได้ว่าอัตราขยายของวงจรที่ได้จากการจำลองการทำงานมีค่าจำกัด โดยจะขึ้นกับค่าผลของความยาวช่องทางเดินกระแสของทรานซิสเตอร์ (channel length modulation :  $\lambda$ ) และกระแสที่ไหลผ่านมอสทรานซิสเตอร์ ดังนั้นเมื่อมีการปรับจูนความถี่ของวงจรด้วยการทำให้ค่ากระแสที่ไหลผ่านทรานซิสเตอร์มีค่าเพิ่มขึ้นจะทำให้วงจรอินทิเกรเตอร์มีอัตราขยายลดลง และทำให้ค่าตัวประกอบคุณภาพของวงจรอินทิเกรเตอร์ลดลงด้วย รูปที่ 3.10 แสดงค่าความผิดเพี้ยนฮาร์โมนิกส์รวม (THD) ของวงจรอินทิเกรเตอร์ที่ค่าความถี่ 10 MHz 50 MHz และ 100 MHz ตามลำดับขนาดของสัญญาณกระแสอินพุต ( $i_{in1} - i_{in2}$ ) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจร จากการทดลองจะเห็นได้ว่าค่าความผิดเพี้ยนฮาร์โมนิกส์รวมจะมีค่าต่ำที่ความถี่ต่ำและจะมีค่าสูงขึ้นที่ความถี่สูง นอกจากนี้ค่าความเพี้ยนจะมีค่าลดลงเมื่อลดอัตราส่วนของกระแสอินพุตกับกระแสไบอัสวงจร ซึ่งจะเห็นได้ว่าเมื่อค่าความถี่สูงขึ้นจะทำให้ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมจะมีค่าสูง เนื่องจากผลของการเก็บประจุแฝงของทรานซิสเตอร์ นอกจากนี้จะเห็นได้ว่าเมื่อเพิ่มขนาดของสัญญาณอินพุตจะทำให้ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมมีค่าเพิ่มขึ้นเช่นกัน เนื่องจากความไม่เป็นเชิงเส้นของค่าทรานคอนดักแตนซ์ที่มีการเปลี่ยนแปลงเป็นกำลังสองของค่ากระแสไบอัส

รูปที่ 3.11 แสดงสัญญาณรบกวนทางด้านอินพุตของวงจรอินทิเกรเตอร์ รูปที่ 3.11(ก) แสดงสัญญาณรบกวนอินพุตที่จุด A รูปที่ 3.11(ข) แสดงสัญญาณรบกวนอินพุตที่จุด B โดยที่สัญญาณรบกวนมีค่าเท่ากับ  $10 \text{ pA}/\sqrt{\text{Hz}}$  ที่ความถี่ 1 MHz และที่ความถี่ 100 MHz สัญญาณรบกวนมีค่าเท่ากับ  $147 \text{ pA}/\sqrt{\text{Hz}}$  จะสังเกตได้ว่าสัญญาณรบกวนทางด้านอินพุตที่จุด A และจุด B มีค่าต่ำที่ความถี่ต่ำกว่า 100 MHz และจะมีค่าสูงขึ้นอย่างรวดเร็วที่ความถี่สูงกว่า 100 MHz จากกราฟสัญญาณรบกวนด้านอินพุต ที่จุด A และจุด B จะเห็นได้ว่าที่ความถี่ต่ำสัญญาณรบกวนจะมีค่าสูงเนื่องจากผลของสัญญาณรบกวนฟลิคเกอร์และจะมีค่าลดลงตามความถี่ ที่ความถี่มากกว่า 1 MHz สัญญาณรบกวนฟลิคเกอร์จะไม่มีผลกับวงจรเนื่องจากมีค่าต่ำมากๆ โดยที่ความถี่สูงกว่า 1 MHz เป็นสัญญาณรบกวนที่เกิดจากสัญญาณรบกวนแบบความร้อน โดยจะมีค่าต่ำที่ความถี่ต่ำโดยจะค่อยๆเพิ่มเมื่อความถี่สูงขึ้น และจะเพิ่มขึ้นอย่างรวดเร็วเมื่อความถี่สูงกว่าความถี่อัตราขยายเท่ากับหนึ่ง (Unity current gain frequency) เนื่องจากอัตราขยายของวงจรมีค่าต่ำ ให้สัญญาณรบกวนด้านอินพุตมีค่าสูง

ตารางที่ 3.2 แสดงคุณสมบัติของอินทิเกรเตอร์แบบขั้วเดียวที่นำเสนอ โดยวงจรถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์ ความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่งสามารถปรับจูนได้ตั้งแต่ 90 ถึง 116 MHz โดยการปรับจูนกระแสไบอัสจาก 35 ไมโครแอมป์ ถึง 80 ไมโครแอมป์ อัตราขยายวงจรที่ความถี่ต่ำมีขนาดเท่ากับ 51 เดซิเบล ความผิดเพี้ยนฮาร์โมนิกส์รวมน้อยกว่า 2.06 เปอร์เซ็นต์ ที่อัตราส่วนของสัญญาณกระแสอินพุตกับกระแสไบอัสมีขนาด 0.6 เท่า สัญญาณรบกวนทางด้านอินพุตมีค่าน้อยกว่า  $0.15 \text{ nA}/\sqrt{\text{Hz}}$  ที่ความถี่ 100 MHz วงจรใช้กำลังงานเท่ากับ 0.23 มิลลิวัตต์

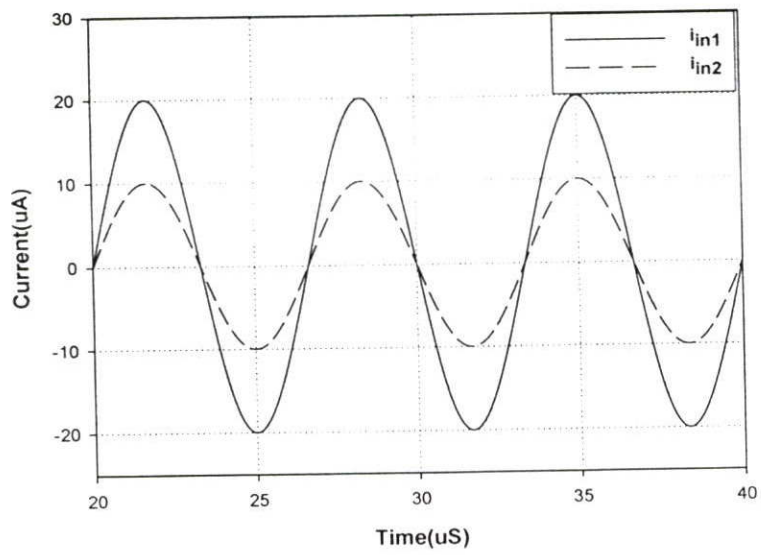


(ก) การตอบสนองทางความถี่

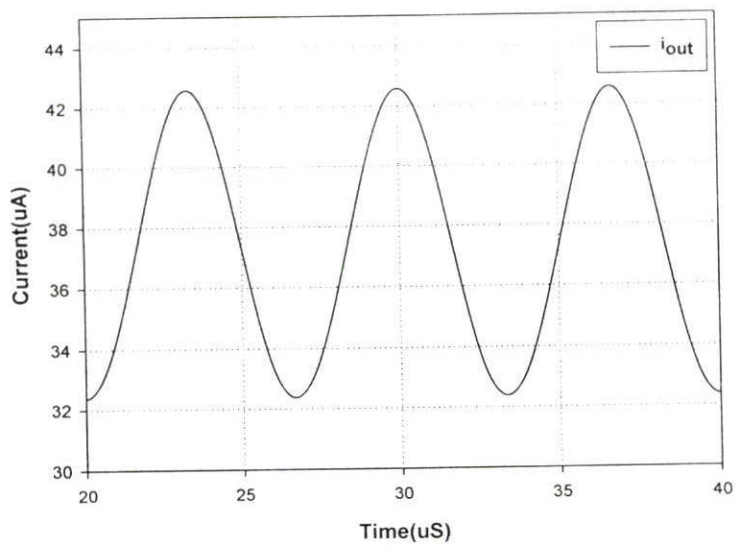


(ข) การตอบสนองทางเฟส

รูปที่ 3.7 การตอบสนองความถี่และเฟสของวงจรอินทิเกรเตอร์

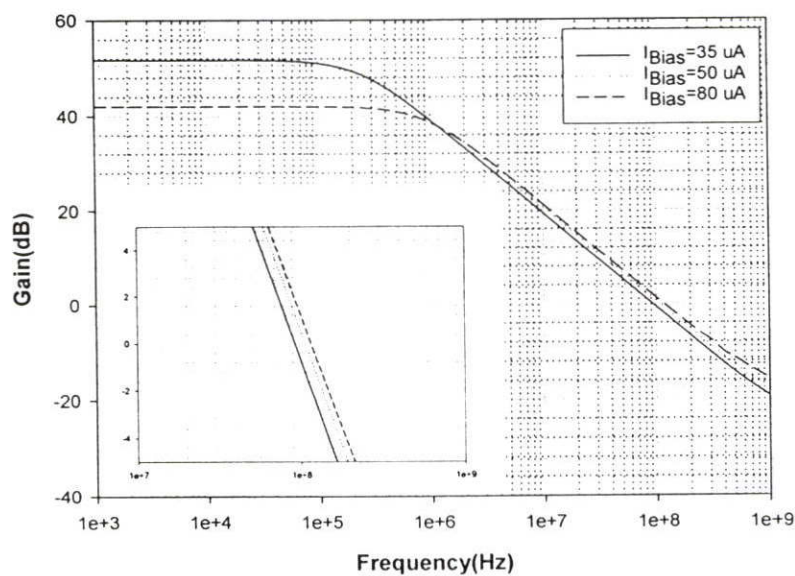


(ก) กระแสอินพุตของวงจรรินทิเกรเตอร์

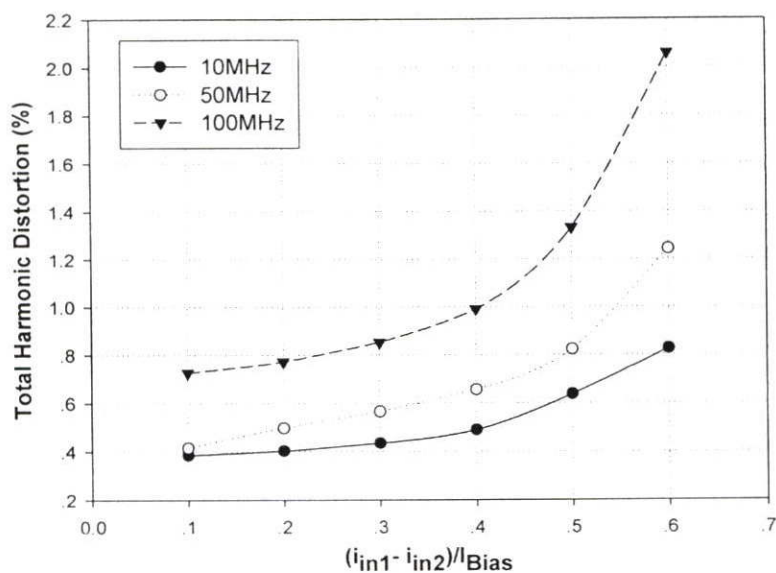


(ข) กระแสเอาต์พุตของวงจรรินทิเกรเตอร์

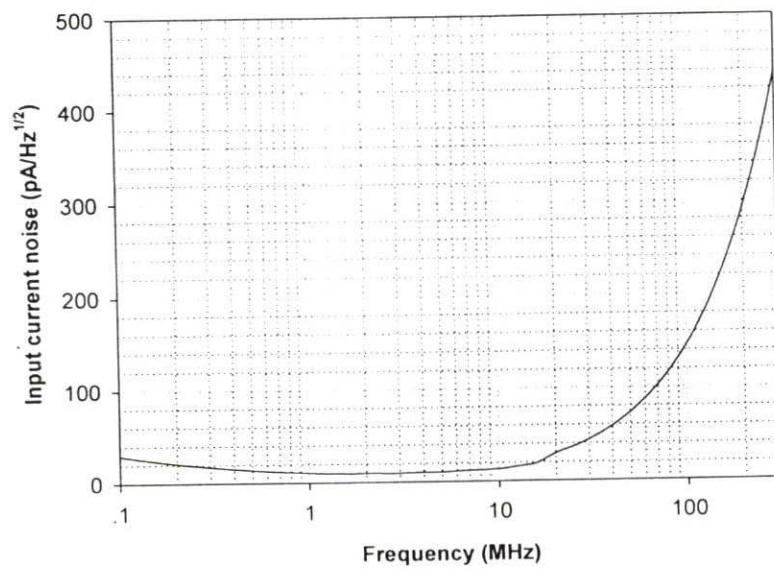
รูปที่ 3.8 ผลการตอบสนองทางเวลา (Transient response) ของวงจรรินทิเกรเตอร์



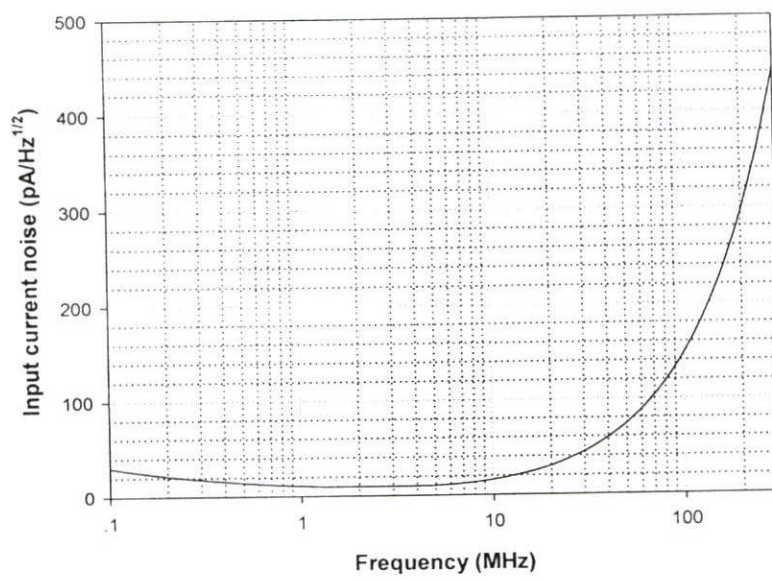
รูปที่ 3.9 การตอบสนองความถี่ของวงจรอินทิเกรเตอร์เมื่อปรับกระแสไบอัส ค่าต่างๆ



รูปที่ 3.10 ค่าความผิดเพี้ยนฮาร์โมนิกทั้งหมดของวงจรอินทิเกรเตอร์ที่ขนาดสัญญาณค่าต่างๆ



(ก)



(ข)

รูปที่ 3.11 สัญญาณรบกวนอินพุต ของวงจรรวมอินทิเกรเตอร์ (ก) ที่จุด A (ข) ที่จุด B



วงจรรวมอินทิเกรเตอร์เพื่อชดเชยการสูญเสียที่เกิดขึ้นในวงจรรวมทรานซิสเตอร์  $M_{N9}$ ,  $M_{N10}$  และ  $M_{N11}$ ,  $M_{N12}$  ทำหน้าที่สะท้อนกระแสเอาต์พุตของวงจรรวมอินทิเกรเตอร์แบบขยายผลต่าง โดยการออกแบบให้ขนาดของทรานซิสเตอร์  $M_{N1}$ ,  $M_{N3}$ ,  $M_{N5}$ ,  $M_{N7}$ ,  $M_{N9}$  และ  $M_{N11}$  มีขนาดเท่ากัน และ  $M_{N2}$ ,  $M_{N4}$ ,  $M_{N6}$ ,  $M_{N8}$ ,  $M_{N10}$  และ  $M_{N12}$  มีขนาดเท่ากัน ได้กระแสเอาต์พุตมีค่าเท่ากับ

$$i_{out}^+ - i_{out}^- = \frac{g_{m1}}{sC} (i_{in}^+ - i_{in}^-) \quad (3.51)$$

โดยที่  $C$  มีขนาดเท่ากับ  $C_1^+$  และ  $C_1^-$

### 3.2.1 การจัดไบอัสวงจรรวมอินทิเกรเตอร์และเงื่อนไขในการปรับจูน

จากวงจรรูปที่ 3.12 จะเห็นได้ว่าเราสามารถปรับเปลี่ยนกระแสไบอัสที่ไหลผ่านทรานซิสเตอร์ได้ ผ่านทางกระแส  $I_B$  กระแสที่เปลี่ยนแปลงทำให้วงจรรวมสามารถเปลี่ยนแปลงความถี่ได้ การปรับจูนความถี่ของวงจรรวมอินทิเกรเตอร์จะถูกจำกัดด้วยการทำงานของทรานซิสเตอร์ที่ต้องทำงานอยู่ในย่านอิมิตัว

การวิเคราะห์ทางไฟตรง (DC) ของวงจรรวมอินทิเกรเตอร์จะสมมติให้ทรานซิสเตอร์ทุกตัวทำงานในย่านอิมิตัว กล่าวคือ ค่าแรงดันเดรน-ซอส ( $V_{DS}$ ) จะต้องมีค่ามากกว่าผลต่างระหว่างแรงดันเกต-ซอส ( $V_{GS}$ ) และแรงดันขีดเริ่ม ( $V_T$ ) ( $V_{DS} \geq V_{GS} - V_T$ )

จากวงจรในรูปที่ 3.12 ค่าแรงดัน  $V_{GS}$  และแรงดัน  $V_{DS}$  ของทรานซิสเตอร์  $M_{N1}$  และ  $M_{N2}$  มีค่าเท่ากับ

$$V_{GS1} = V_{TN} + \sqrt{\frac{2I_B}{k_N A_{M1}}} \quad (3.52)$$

$$V_{GS2} = V_{TN} + \sqrt{\frac{2I_B}{k_N A_{M2}}} \quad (3.53)$$

$$V_{DSM1} = V_B - V_{TN} - \sqrt{\frac{2I_B}{k_N A_{M2}}} \quad (3.54)$$

$$V_{DSM2} = 2V_{TN} - V_B + \sqrt{\frac{2I_B}{k_N} \left( \frac{1}{\sqrt{A_{M1}}} + \frac{1}{\sqrt{A_{M2}}} \right)} \quad (3.55)$$

จากสมการที่ (3.52) (3.53) และสมการที่ (3.54) เพื่อให้ทรานซิสเตอร์  $M_{N1}$  ทำงานในย่านอิมิต์ ค่าแรงดัน  $V_B$  ต่ำสุดจะต้องมีค่าเท่ากับ

$$V_B \geq V_{TN} + \sqrt{\frac{2I_B}{k_N} \left( \frac{1}{\sqrt{A_{M1}}} + \frac{1}{\sqrt{A_{M2}}} \right)} \quad (3.56)$$

ในทำนองเดียวกันเพื่อให้ทรานซิสเตอร์  $M_{N2}$  ทำงานในย่านอิมิต์ ขนาดของแรงดัน  $V_B$  สูงสุดจะต้องมีค่าเท่ากับ

$$V_B \leq 2V_{TN} + \sqrt{\frac{2I_B}{k_N A_{M1}}} \quad (3.57)$$

ดังนั้นในช่วงของแรงดัน  $V_B$  ที่ใช้งานได้ เพื่อป้อนเข้าไปในวงจรให้ทรานซิสเตอร์ทำงานในย่านอิมิต์ สามารถแสดงในสมการที่ (3.58)

$$V_{TN} + \sqrt{\frac{2I_B}{k_N} \left( \frac{1}{\sqrt{A_{M1}}} + \frac{1}{\sqrt{A_{M2}}} \right)} \leq V_B \leq 2V_{TN} + \sqrt{\frac{2I_B}{k_N A_{M1}}} \quad (3.58)$$

จากสมการที่ (3.58) เมื่อเพิ่มค่ากระแส  $I_B$  มากขึ้น จะส่งผลทำให้ทรานซิสเตอร์  $M_{N1}$  เข้าสู่สถานะเชิงเส้น ในทางกลับกันหากลดค่ากระแส  $I_B$  ก็จะทำให้ทรานซิสเตอร์  $M_{N2}$  เข้าสู่สถานะเชิงเส้นเช่นกัน ดังนั้นการปรับจูนกระแส  $I_B$  จะถูกจำกัดด้วยการทำงานของทรานซิสเตอร์ เราสามารถหาค่ากระแส  $I_B$  สูงสุด ( $I_{B,MAX}$ ) และค่ากระแส  $I_B$  ต่ำสุด ( $I_{B,MIN}$ ) จากสมการที่ (3.56) และสมการที่ (3.57) ได้ดังต่อไปนี้

$$I_{B,MAX} = \frac{k_N}{2} A_{M1} (V_B - V_{TN})^2 \left[ \frac{\sqrt{\frac{A_{M2}}{A_{M1}}}}{1 + \sqrt{\frac{A_{M2}}{A_{M1}}}} \right]^2 \quad (3.59)$$

$$I_{B,MIN} = \frac{k_N}{2} A_{M1} (V_B - 2V_{TN})^2 \quad (3.60)$$

การปรับค่ากระแส  $I_B$  ในวงจรอินทิเกรเตอร์จะถูกจำกัดด้วยค่าของแรงดัน  $V_B$  และขนาดของมอสทรานซิสเตอร์  $M_{N1}$  และ  $M_{N2}$  จากฟังก์ชันการโอนย้ายของวงจรอินทิเกรเตอร์ ค่ากระแส  $I_B$  ดังกล่าวและขนาดของทรานซิสเตอร์จะมีผลกระทบโดยตรงต่อการตอบสนอง

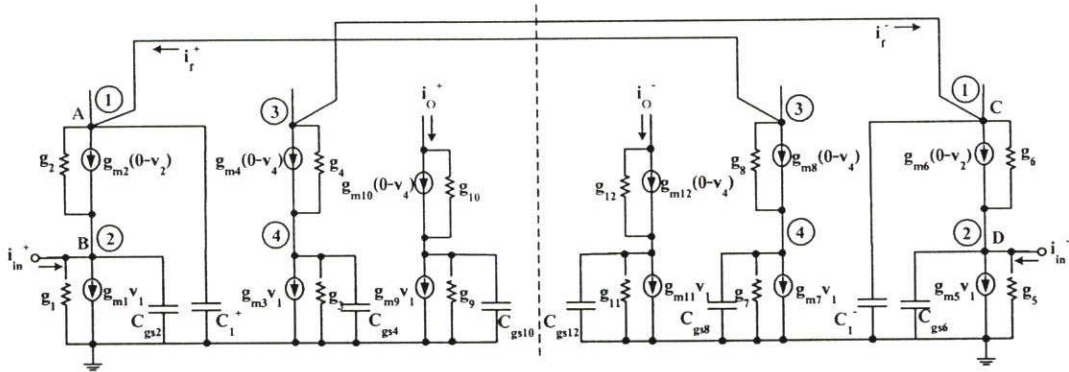
ความถี่และ อัตราการขยายของวงจร (แสดงให้เห็นในหัวข้อต่อไป) ดังนั้นการเลือกขนาดของทรานซิสเตอร์ แรงดัน  $V_B$  และค่ากระแส  $I_B$  ให้เหมาะสมจึงมีความสำคัญ

แหล่งจ่ายแรงดันไฟเลี้ยงต่ำสุดที่วงจรต้องการเพื่อให้สามารถทำงานได้ตามที่ออกแบบไว้จะต้องมีค่ามากกว่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็น และแรงดันที่ทำให้ทรานซิสเตอร์ชนิดพีทำงานเป็นแหล่งจ่ายกระแส อย่างไรก็ตาม ในการใช้งานเราจำเป็นต้องเผื่อค่าแรงดันที่ใช้ในการปรับจูนกระแสเพื่อปรับค่าทรานคอนดักแตนซ์และการกระเพื่อมของสัญญาณในวงจรด้วย ดังแสดงในสมการที่ (3.61)

$$V_{DD(\min)} \geq V_T + V_{Swing} + 2V_{DSAT} \tag{3.61}$$

### 3.2.2 วงจรอินทิเกรเตอร์แบบไม่เป็นอุดมคติ (Practical Integrator)

รูปที่ 3.13 แสดงวงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์ที่รวมผลของความไม่เป็นอุดมคติ อันได้แก่ ตัวเก็บประจุแฝง ( $C_{gs}$ ) และ ค่าความนำไฟฟ้าด้านขาออก ( $g_{ds}$ ) การพิจารณาการทำงานของวงจรสามารถแบ่งได้เป็น 2 โหมด คือ โหมดขยายผลต่าง (Differential mode) และ โหมดร่วม (Common mode)



รูปที่ 3.13 วงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์แบบขยายผลต่าง

#### - ฟังก์ชันการถ่ายโอนทำงานในโหมดขยายผลต่าง (Differential mode)

ใช้กฎกระแสของเคอร์ชอฟท์ (Kirchoff's Current Law : KCL) พิจารณาที่โนด A และ โนด C และละเลยค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์ และตัวเก็บประจุแฝงที่เกิดขึ้นในทรานซิสเตอร์ จะได้ว่า

$$i_m^+ + i_f^+ = (sC + g_{m1})v_1^+ \tag{3.62}$$

$$i_m^- + i_f^- = (sC + g_{m1})v_1^- \tag{3.63}$$

เมื่อ  $i_f^+$  และ  $i_f^-$  เป็นกระแสป้อนกลับ มีค่าเท่ากับ  $-g_{m1}v_1^-$  และ  $-g_{m1}v_1^+$  ตามลำดับ

จากรูปที่ 3.13 กระแสเอาต์พุต  $i_{out}^+$  และ  $i_{out}^-$  มีค่าเท่ากับ

$$i_{out}^+ = g_{m1}v_1^+ \quad (3.64)$$

$$i_{out}^- = g_{m1}v_1^- \quad (3.65)$$

ดังนั้น ฟังก์ชันการถ่ายโอนของวงจรในโหมดขยายผลต่าง คือ

$$\frac{i_{out}^+ - i_{out}^-}{i_{in}^+ - i_{in}^-} = \frac{g_{m1}}{sC} \quad (3.66)$$

จากสมการที่ (3.66) เราสามารถปรับจูนความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่งของวงจรอินทิเกรเตอร์ได้ ด้วยการควบคุมค่าทรานคอนดักแตนซ์ ( $g_m$ ) ผ่านทางกระแสไบอัส  $I_B$  การวิเคราะห์หาค่าฟังก์ชันการถ่ายโอนในสมการที่ (3.62) จนถึง (3.66) ยังไม่ได้พิจารณาค่าความนำไฟฟ้าด้านขาออกและตัวเก็บประจุแฝงของมอสทรานซิสเตอร์ เพื่อที่จะรวมผลกระทบของวงจรที่เกิดจากค่าความนำไฟฟ้าด้านขาออก และตัวเก็บประจุแฝงของวงจรอินทิเกรเตอร์ เราสามารถใช้กฎกระแสของเคอร์ชอฟฟ์ที่ โหนด A และ โหนด C จะได้

$$v_1^+ = \frac{\left(1 + \frac{g_{ds2}}{g_{m2}}\right)i_{in}^+ + \left(1 + \frac{g_{ds1}}{g_{m2}} + \frac{g_{ds2}}{g_{m2}} + \frac{sC_{gs2}}{g_{m2}}\right)i_f^+}{g_{m1} + sC + \frac{g_{ds2}g_{m1}}{g_{m2}} + \frac{g_{ds1}sC}{g_{m2}} + \frac{g_{ds2}sC}{g_{m2}} + \frac{g_{ds2}sC_{gs2}}{g_{m2}} + \frac{s^2C_{gs2}}{g_{m2}}} \quad (3.67)$$

$$v_1^- = \frac{\left(1 + \frac{g_{ds2}}{g_{m2}}\right)i_{in}^- + \left(1 + \frac{g_{ds1}}{g_{m2}} + \frac{g_{ds2}}{g_{m2}} + \frac{sC_{gs2}}{g_{m2}}\right)i_f^-}{g_{m1} + sC + \frac{g_{ds2}g_{m1}}{g_{m2}} + \frac{g_{ds1}sC}{g_{m2}} + \frac{g_{ds2}sC}{g_{m2}} + \frac{g_{ds2}sC_{gs2}}{g_{m2}} + \frac{s^2C_{gs2}}{g_{m2}}} \quad (3.68)$$

กระแสป้อนกลับ  $i_f^+$  และ  $i_f^-$  มีค่าเท่ากับ

$$i_f^+ = -\left(g_{m1}v_1^- + \frac{g_{ds2}(g_{ds1} + sC_{gs2})}{g_{m2} + g_{ds1} + g_{ds2} + sC_{gs2}}v_1^+\right) \quad (3.69)$$

$$i_f^- = - \left( g_{m1} v_1^+ + \frac{g_{ds2} (g_{ds1} + sC_{gs2})}{g_{m2} + g_{ds1} + g_{ds2} + sC_{gs2}} v_1^- \right) \quad (3.70)$$

จากสมการที่ (3.64) (3.65) และสมการที่ (3.67) ถึงสมการที่ (3.70) ฟังก์ชันการถ่ายโอนทำงานในโหมดขยายผลต่าง คือ

$$\frac{i_{out}^+ - i_{out}^-}{i_{in}^+ - i_{in}^-} = \frac{g_{m1} \left( 1 + \frac{g_{ds2}}{g_{m2}} \right)}{sC \left( 1 + \frac{g_{ds1}}{g_{m2}} + \frac{g_{ds2}}{g_{m2}} + \frac{sC_{gs2}}{g_{m2}} \right) + \left( \frac{g_{ds1}g_{ds2}}{g_{m2}} + \frac{g_{ds2}g_{m1}sC_{gs2}}{g_{m2}} \right)} \quad (3.71)$$

จากฟังก์ชันการถ่ายโอนจะเห็นได้ว่าค่าที่ได้เป็นวงจรมิติเกรเตอร์แบบสูญเสีย ค่าสูญเสียที่เกิดขึ้นในวงจรเกิดจากค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์

- ฟังก์ชันการถ่ายโอนทำงานในโหมดร่วม (Common mode)

ใช้กฎกระแสของเคอร์ซอพท์ พิจารณาที่โนด A และโนด C และละเลยค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์ และตัวเก็บประจุแฝงที่เกิดขึ้นในทรานซิสเตอร์ จะได้ว่า

$$i_{in}^+ - i_f^+ = (sC + g_{m1}) v_1^+ \quad (3.72)$$

$$i_{in}^- - i_f^- = (sC + g_{m1}) v_1^- \quad (3.73)$$

เมื่อ  $i_f^+$  และ  $i_f^-$  เป็นกระแสป้อนกลับ มีค่าเท่ากับ  $g_{m1} v_1^-$  และ  $g_{m1} v_1^+$  ตามลำดับ

จากรูปที่ 3.13 กระแสขาออก  $i_{out}^+$  และ  $i_{out}^-$  มีค่าเท่ากับ

$$i_{out}^+ = g_{m1} v_1^+ \quad (3.74)$$

$$i_{out}^- = g_{m1} v_1^- \quad (3.75)$$

เมื่อป้อนสัญญาณในโหมดร่วมพบว่าค่าแรงดัน  $v_1^+$  และมีค่าเท่ากับ  $v_1^-$  มีค่าเท่ากัน ดังนั้นฟังก์ชันการถ่ายโอนของวงจรในโหมดร่วม คือ

$$\frac{i_{out}^+ + i_{out}^-}{i_{in}^+ + i_{in}^-} = \frac{g_{m1}}{sC + 2g_{m1}} = \frac{1}{\frac{sC}{g_{m1}} + 2} \quad (3.76)$$

การวิเคราะห์ค่าฟังก์ชันการถ่ายโอนในสมการที่ (3.72) จนถึงสมการที่ (3.76) ยังไม่ได้พิจารณาค่าความนำไฟฟ้าด้านขาออกและตัวเก็บประจุแฝงของมอสทรานซิสเตอร์ เพื่อที่จะรวมผลกระทบของวงจรที่เกิดจากค่าความนำไฟฟ้าด้านขาออก และตัวเก็บประจุแฝงของวงจรอินทิเกรเตอร์ เราสามารถใช้กฎกระแสของเคอร์ชอฟท์ที่โนด A และโนด C จะได้

$$v_1^+ = \frac{\left(1 + \frac{g_{ds2}}{g_{m2}}\right) i_{in}^+ - \left(1 + \frac{g_{ds1}}{g_{m2}} + \frac{g_{ds2}}{g_{m2}} + \frac{sC_{gs2}}{g_{m2}}\right) i_f^+}{g_{m1} + sC + \frac{g_{ds2}g_{m1}}{g_{m2}} + \frac{g_{ds1}sC}{g_{m2}} + \frac{g_{ds2}sC}{g_{m2}} + \frac{g_{ds2}s^2C_{gs2}}{g_{m2}} + \frac{s^2C_{gs2}}{g_{m2}}} \quad (3.77)$$

$$v_1^- = \frac{\left(1 + \frac{g_{ds2}}{g_{m2}}\right) i_{in}^- - \left(1 + \frac{g_{ds1}}{g_{m2}} + \frac{g_{ds2}}{g_{m2}} + \frac{sC_{gs2}}{g_{m2}}\right) i_f^-}{g_{m1} + sC + \frac{g_{ds2}g_{m1}}{g_{m2}} + \frac{g_{ds1}sC}{g_{m2}} + \frac{g_{ds2}sC}{g_{m2}} + \frac{g_{ds2}s^2C_{gs2}}{g_{m2}} + \frac{s^2C_{gs2}}{g_{m2}}} \quad (3.78)$$

กระแสป้อนกลับ  $i_f^+$  และ  $i_f^-$  มีค่าเท่ากับ

$$i_f^+ = \left( g_{m1}v_1^- + \frac{g_{ds2}(g_{ds1} + sC_{gs2})}{g_{m2} + g_{ds1} + g_{ds2} + sC_{gs2}} v_1^+ \right) \quad (3.79)$$

$$i_f^- = \left( g_{m1}v_1^+ + \frac{g_{ds2}(g_{ds1} + sC_{gs2})}{g_{m2} + g_{ds1} + g_{ds2} + sC_{gs2}} v_1^- \right) \quad (3.80)$$

จากสมการที่ (3.64) (3.65) และสมการที่ (3.77) ถึงสมการที่ (3.80) ฟังก์ชันการถ่ายโอนทำงานในโหมคร่วม คือ

$$\frac{i_{out}^+ + i_{out}^-}{i_{in}^+ + i_{in}^-} = \frac{\left(1 + \frac{g_{ds2}}{g_{m2}}\right)}{sC \left( \frac{1}{g_{m1}} + \frac{g_{ds1}}{g_{m1}g_{m2}} + \frac{g_{ds2}}{g_{m1}g_{m2}} + \frac{sC_{gs2}}{g_{m1}g_{m2}} \right) + \left( 2 + \frac{2g_{ds2}}{g_{m2}} + \frac{g_{ds1}}{g_{m2}} + \frac{g_{ds1}g_{ds2}}{g_{m1}g_{m2}} + \frac{sC_{gs2}}{g_{m2}} \right)} \quad (3.81)$$

จากการวิเคราะห์การทำงานของวงจรอินทิเกรเตอร์ พบว่าเมื่อพิจารณาในโหมคขยายผลต่าง สัญญาณที่ป้อนกลับจะไปกำจัดส่วนที่สูญเสียที่เกิดขึ้นได้เป็นวงจรอินทิเกรเตอร์แบบไม่สูญเสีย และเมื่อพิจารณาการทำงานในโหมคร่วม ฟังก์ชันการถ่ายโอนที่ได้ จะเป็นวงจรอินทิเกรเตอร์แบบสูญเสีย โดยปกติแล้วเราไม่ต้องทำให้มีสัญญาณเอาต์พุตเกิดขึ้นในวงจรเมื่อมีสัญญาณในโหมคร่วม จากสมการที่ (3.76) เราสามารถลดอัตราขยายโหมคร่วมได้โดย กำหนดให้ทรานซิสเตอร์  $M_{N1}$   $M_{N3}$   $M_{N5}$  และ  $M_{N7}$  มีขนาดที่ใหญ่กว่าทรานซิสเตอร์  $M_{N9}$  และ  $M_{N11}$  เช่นขนาด

ของทรานซิสเตอร์  $M_{N1}$  มีค่าเท่ากับ  $5M_{N9}$  โดยวงจรอินทิเกรเตอร์จะมีอัตราขยายที่ความถี่ต่ำเมื่อป้อนสัญญาณแบบโหมคร่วมมีค่าเท่ากับ 0.1 เท่า แต่เมื่อป้อนสัญญาณในโหมคขยายผลต่าง ฟังก์ชันการถ่ายโอนจะมีค่าเท่ากับ  $g_{m1}/5sC$  หรือ  $g_{m9}/sC$  อย่างไรก็ตาม การที่เพิ่มขนาดของทรานซิสเตอร์  $M_{N1}$   $M_{N3}$   $M_{N5}$  และ  $M_{N7}$  ให้มีขนาดที่โตกว่าทรานซิสเตอร์  $M_{N9}$  และ  $M_{N11}$  เพื่อกำจัดสัญญาณในโหมคร่วม จะทำให้การตอบสนองความถี่ของวงจรอินทิเกรเตอร์มีค่าลดลง เนื่องจากค่าตัวเก็บประจุแฝงจะโตขึ้นตามไปด้วย

จากค่าฟังก์ชันการถ่ายโอน สมการที่ (3.71) จัดรูปสมการใหม่ จะได้ว่า

$$\frac{i_{out}^+ - i_{out}^-}{i_{in}^+ - i_{in}^-} = \frac{g_{m1} \left(1 + \frac{g_{ds2}}{g_{m2}}\right)}{s^2 \frac{CC_{gs2}}{g_{m2}} + sC \left(1 + \frac{g_{ds1}}{g_{m2}} + \frac{g_{ds2}}{g_{m2}}\right) + \frac{g_{ds1}g_{ds2}}{g_{m2}}} \quad (3.82)$$

จัดรูปสมการสมการที่ (3.82) ให้อยู่ในรูปสมการกำลังสอง จะได้ว่า

$$\frac{i_{out}^+ - i_{out}^-}{i_{in}^+ - i_{in}^-} = \frac{1}{s^2 \frac{CC_{gs2}}{g_{m1}(g_{m2} + g_{ds2})} + s \frac{C(g_{m2} + g_{ds1} + g_{ds2})}{g_{m1}(g_{m2} + g_{ds2})} + \frac{g_{ds1}g_{ds2}}{g_{m1}(g_{m2} + g_{ds2})}} = \frac{1}{(s + q_3)(s + q_4)} \quad (3.83)$$

โดยที่

$$q_3 = \frac{-\frac{C(g_{m2} + g_{ds1} + g_{ds2})}{g_{m1}(g_{m2} + g_{ds2})} - \sqrt{\left(\frac{C(g_{m2} + g_{ds1} + g_{ds2})}{g_{m1}(g_{m2} + g_{ds2})}\right)^2 - 4 \frac{CC_{gs2}}{g_{m1}(g_{m2} + g_{ds2})} \frac{g_{ds1}g_{ds2}}{g_{m1}(g_{m2} + g_{ds2})}}}{2 \frac{CC_{gs2}}{g_{m1}(g_{m2} + g_{ds2})}}$$

$$q_4 = \frac{-\frac{C(g_{m2} + g_{ds1} + g_{ds2})}{g_{m1}(g_{m2} + g_{ds2})} + \sqrt{\left(\frac{C(g_{m2} + g_{ds1} + g_{ds2})}{g_{m1}(g_{m2} + g_{ds2})}\right)^2 - 4 \frac{CC_{gs2}}{g_{m1}(g_{m2} + g_{ds2})} \frac{g_{ds1}g_{ds2}}{g_{m1}(g_{m2} + g_{ds2})}}}{2 \frac{CC_{gs2}}{g_{m1}(g_{m2} + g_{ds2})}}$$

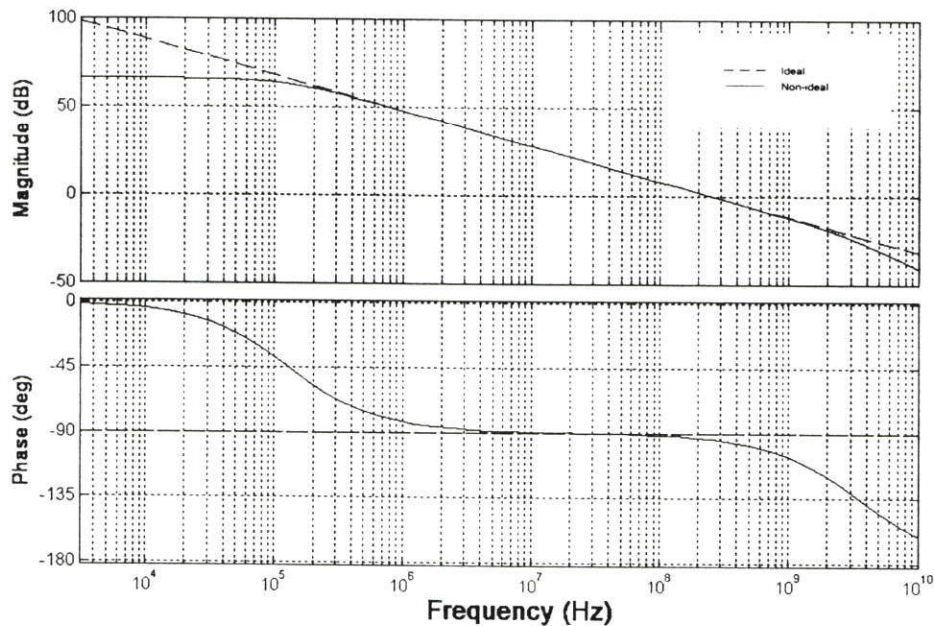
จากสมการที่ (3.83) จัดให้อยู่ในรูปสมการทั่วไป จะได้ว่า

$$\frac{i_{out}^+ - i_{out}^-}{i_{in}^+ - i_{in}^-} = \frac{A_0}{(s\tau_{(p1)} + 1)(s\tau_{(p2)} + 1)} \quad (3.84)$$

เมื่อ  $A_0$  คืออัตราขยายของวงจรที่ความถี่ต่ำ มีค่าเท่ากับ  $1/q_3q_4$   $1/\tau_{(p1)}$  คือโพลหลักมีค่าเท่ากับ  $q_3$  และ  $1/\tau_{(p2)}$  คือ โพลรองมีค่าเท่ากับ  $q_4$

ฟังก์ชันการถ่ายโอนที่ถูกแสดงในสมการที่ 3.84 ได้จากการประมาณค่าฟังก์ชันการถ่ายโอนที่ได้จากการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทิเกรเตอร์ (สมการที่ 3.71)

โดยทำการแยกพิจารณาให้เห็นถึงผลกระทบที่เกิดจากโพลรองและค่าความนำด้านเอาต์พุต จากฟังก์ชันการถ่ายโอนที่แสดงในสมการที่ 3.84 ได้ถูกนำมาเขียนกราฟแสดงการตอบสนองความถี่เปรียบเทียบกับฟังก์ชันการถ่ายโอนแบบอุดมคติ ด้วยโปรแกรมเมทแล็บ ( Matlab) โดยออกแบบให้ความถี่ที่อัตราขยายเท่ากับหนึ่งมีค่าเท่ากับ 250 MHz แสดงในรูปที่ 3.14



รูปที่ 3.14 ผลการตอบสนองทางความถี่และเฟสวงจรมิติเกรเตอร์แบบขยายผลต่าง เปรียบเทียบระหว่างแบบอุดมคติกับแบบไม่เป็นอุดมคติ

รูปที่ 3.14 พบว่าอัตราขยายของวงจรมิติเกรเตอร์แบบไม่เป็นอุดมคติที่ความถี่ต่ำมีค่าจำกัด ในขณะที่ความถี่สูง ค่าที่ได้จะมีคุณสมบัติไม่เป็นวงจรมิติเกรเตอร์ และการตอบสนองทางเฟสของวงจรมิติเกรเตอร์ที่ความถี่ต่ำมีค่าไม่เท่ากับ -90 องศา เนื่องจากวงจรมิติเกรเตอร์ขยายจำกัด ในขณะเดียวกันที่ความถี่สูงเฟสของวงจรมิติเกรเตอร์จะมีค่าน้อยกว่า -90 องศา เนื่องจากผลของโพลรองที่เกิดขึ้นในวงจรมิติเกรเตอร์

ค่าตัวประกอบคุณภาพของวงจรมิติเกรเตอร์ เป็นปัจจัยหนึ่งที่บ่งบอกประสิทธิภาพของวงจรมิติเกรเตอร์ได้ จากฟังก์ชันถ่ายโอนของวงจรมิติเกรเตอร์ ในสมการ (3.71) สามารถเขียนฟังก์ชันการถ่ายโอนใหม่ เนื่องจากในการออกแบบวงจรได้ออกแบบให้ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์มีค่าใกล้เคียงกัน จึงกำหนดให้ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ชนิดเอ็นทุกตัวในวงจรมิติเกรเตอร์มีค่าเท่ากันเท่ากัน จะได้ว่า

$$\frac{i_{out}^+ - i_{out}^-}{i_m^+ - i_m^-} = \frac{g_m (g_m + g_{ds})}{sC(g_m + 2g_{ds}) + g_{ds}^2} \quad (3.85)$$

จากสมการที่ (3.85) และนิยามตัวประกอบคุณภาพ (Q) สามารถหาตัวประกอบคุณภาพได้ คือ

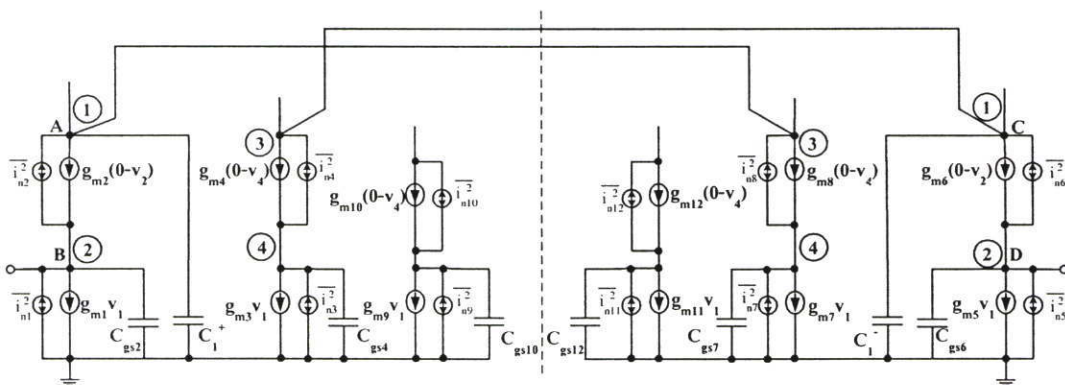
$$Q = \frac{\omega C (g_m + 2g_{ds})}{g_{ds}^2} \quad (3.86)$$

จากฟังก์ชันการถ่ายโอนในสมการที่ (3.86) ความถี่ที่ทำให้อัตราขยายมีค่าเท่ากับหนึ่ง ( $\omega_T$ ) จะได้ตัวประกอบคุณภาพที่ความถี่ดังกล่าว Q ( $\omega_T$ ) มีค่าเท่ากับ

$$Q(\omega_T) = \frac{g_m (g_m + 2g_{ds})}{g_{ds}^2} = \frac{2\mu C_{OX} (\frac{W}{L})}{I_B \lambda^2} + \frac{2}{\lambda} \sqrt{\frac{2\mu C_{OX} (\frac{W}{L})}{I_B}} \quad (3.87)$$

จากสมการที่ (3.87) พบว่าตัวประกอบคุณภาพ จะเปลี่ยนแปลงตามขนาดของทรานซิสเตอร์  $M_{N2}$  ในขณะที่เดียวกันจะแปรผกผันกับขนาดความยาวของช่องทางเดินกระแส (L) และกระแสที่ไหลผ่านทรานซิสเตอร์ ทั้งนี้จะเห็นได้ว่าการวิเคราะห์หาค่าตัวประกอบคุณภาพ ยังไม่ได้คิดผลกระทบที่เกิดขึ้นเนื่องจากค่าตัวเก็บประจุแฝงในทรานซิสเตอร์ และได้สมมติให้โพตรองห่างจากโพสหลักมาก และเมื่อแทนค่าขนาดของทรานซิสเตอร์และกระแสที่ไบอัสวางจริงในสมการที่ (3.78) ค่าตัวประกอบคุณภาพที่ได้มีค่าประมาณเท่ากับ 437

### 3.2.3 สัญญาณรบกวน (Noise)



รูปที่ 3.15 วงจรเสมือนสัญญาณขนาดเล็กรวมผลสัญญาณรบกวนของวงจรอินทิเกรเตอร์แบบขยายผลต่าง

เมื่อนำวงจรอินทิเกรเตอร์ที่แสดงในรูปที่ 3.12 มาวิเคราะห์หาสัญญาณรบกวน โดยแทนแหล่งจ่ายกระแสรบกวนที่เกิดจากทรานซิสเตอร์แต่ละตัวลงไปดังแสดงในรูปที่ 3.15 แล้วหาสัญญาณรบกวนด้านเอาต์พุต ( $\overline{I_{no}^2}$ ) จะได้ดังนี้

$$\overline{I_{no}^2} = \sum_{i=1}^4 \overline{I_{noi}^2} + \overline{I_{no9}^2} + \overline{I_{no10}^2} \quad (3.88)$$

โดยที่สัญญาณรบกวนด้านเอาต์พุต  $\overline{I_{no}^2}$  มีค่าเท่ากับ  $\overline{I_{no}^{2+}}$  และ  $\overline{I_{no}^{2-}}$

เมื่อ

$$\overline{I_{no1}^2} = \overline{I_{no3}^2} = \frac{\overline{I_{n1}^2}}{\Delta_3^2}$$

$$\overline{I_{no2}^2} = \overline{I_{no4}^2} = \frac{\left(\frac{sC_{gs2}}{g_{m2}}\right)^2 \overline{I_{n2}^2}}{\Delta_3^2}$$

$$\overline{I_{no9}^2} = \overline{I_{n9}^2}$$

$$\overline{I_{no10}^2} = \left(\frac{sC_{gs2}}{g_{m2}}\right)^2 \overline{I_{n10}^2}$$

และ

$$\Delta_3 = sC_1 \left( \frac{1}{g_{m5}} + \frac{sC_{gs2}}{g_{m2}g_{m5}} \right)$$

ความสัมพันธ์ของสัญญาณรบกวนด้านเอาต์พุต ( $\overline{I_{no}^2}$ ) กับสัญญาณรบกวนด้านอินพุต ( $\overline{I_{n(eq)}^2}$ ) ของวงจรอินทิเกรเตอร์แบบขยายผลต่าง สามารถหาสัญญาณรบกวนด้านอินพุต แสดงในสมการที่ (3.89)

$$\overline{I_{n(eq)}^2} = 2\overline{I_{n1}^2} + 2\left(\frac{sC_{gs2}}{g_{m2}}\right)^2 \overline{I_{n2}^2} + \Delta_3^2 \left( \overline{I_{n9}^2} + \left(\frac{sC_{gs2}}{g_{m2}}\right)^2 \overline{I_{n10}^2} \right) \quad (3.89)$$

โดยที่สัญญาณรบกวนด้านอินพุต  $\overline{I_{n(eq)}^2}$  มีค่าเท่ากับ  $\overline{I_{n(eq)}^{2+}}$  และ  $\overline{I_{n(eq)}^{2-}}$

### 3.2.4 ผลการจำลองการทำงานของวงจรรีจิสเตอร์

วงจรรีจิสเตอร์ที่แสดงในรูปที่ 3.12 ถูกนำมาจำลองการทำงานโดยใช้โปรแกรม Hspice ภายใต้เทคโนโลยีแบบซีมอสทรานซิสเตอร์ขนาด 0.5 ไมครอน และแหล่งจ่ายไฟเลี้ยง ( $V_{DD}$ ) ขนาด 1.5 โวลต์ วงจรถูกออกแบบให้มีกระแสไบอัสขณะสภาวะสงบ มีค่าเท่ากับ 100 ไมโครแอมป์ ขนาดของทรานซิสเตอร์ที่ได้จากการออกแบบ แสดงในตารางที่ 3.3

ตารางที่ 3.3 ขนาดมอสทรานซิสเตอร์ของวงจรรีจิสเตอร์แบบขยายผลต่างที่นำเสนอ

มอสทรานซิสเตอร์	อัตราส่วน ( $W/L$ )
$M_{n1}, M_{n3}, M_{n5}, M_{n7}, M_{n9}, M_{n11}$	30/0.5
$M_{n2}, M_{n4}, M_{n6}, M_{n8}, M_{n10}, M_{n12}$	35/0.5
$M_{B1}, M_{B3}, 2M_{B5}, 2M_{B7}$	60/1
$M_{B2}, M_{B4}, 2M_{B6}, 2M_{B8}$	70/1

รูปที่ 3.16 แสดงการตอบสนองความถี่และเฟสของวงจรรีจิสเตอร์แบบขยายผลต่าง วงจรถูกออกแบบให้ความถี่ที่อัตราขยายเท่ากับหนึ่งมีค่าเท่ากับ 400 kHz ตัวเก็บประจุ  $C_1$  มีค่าเท่ากับ  $0.43 \text{ nF}$  และค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์  $M_{N1}$  มีค่า  $1,080 \mu\text{A}/\text{V}$  การตอบสนองทางเฟสที่แสดงในรูปที่ 3.16(ข) พบว่าเฟสของวงจรมีค่าไม่เท่ากับ  $-90$  องศาที่ความถี่ต่ำ เนื่องจากวงจรมีอัตราขยายจำกัด ในขณะที่ความถี่สูงเฟสของวงจรมีค่าน้อยกว่า  $-90$  องศา เนื่องจากผลของโพรงที่เกิดขึ้นในวงจรรีจิสเตอร์ รูปที่ 3.17 แสดงการตอบสนองทางเวลาของวงจรรีจิสเตอร์เมื่อป้อนสัญญาณกระแสอินพุตที่มีความถี่ 400 kHz เข้าที่โหนด B ( $i_m^+$ ) และโหนด D ( $i_m^-$ ) ที่กลับเฟสกัน 180 องศา ตามลำดับ โดยสัญญาณกระแสมีขนาดเท่ากับ  $10 \mu\text{A}$  สัญญาณกระแสเอาต์พุต  $i_{out}^+$  และ  $i_{out}^-$  มีขนาดเท่ากับ  $10 \mu\text{A}$  กลับเฟสกัน 180 องศา รูปที่ 3.18 แสดงการตอบสนองความถี่ของวงจรรีจิสเตอร์ เมื่อป้อนสัญญาณอินพุตแบบโหมคร่วม เมื่อกำหนดให้ขนาดของทรานซิสเตอร์  $M_{N1}, M_{N3}, M_{N5}$  และ  $M_{N7}$  มีขนาดเท่ากับ  $M_{N9}$  และ  $M_{N11}$  และทรานซิสเตอร์  $M_{N2}, M_{N4}, M_{N6}$  และ  $M_{N8}$  มีขนาดเท่ากับ  $M_{N10}$  และ  $M_{N12}$  อัตราขยายที่ความถี่ต่ำมีค่า  $-6.16$  เดซิเบล (รูปกราฟเส้นทึบ) และเมื่อกำหนดให้ขนาดของทรานซิสเตอร์  $M_{N1}, M_{N3}, M_{N5}$  และ  $M_{N7}$  มีขนาดเท่ากับ  $3M_{N9}$  และ  $3M_{N11}$  ทรานซิสเตอร์  $M_{N2}, M_{N4}, M_{N6}$  และ  $M_{N8}$  มีขนาดเท่ากับ  $3M_{N10}$  และ  $3M_{N12}$  อัตราขยายที่ความถี่ต่ำมีค่า  $-16.07$  เดซิเบล (รูปกราฟเส้นประ) จะเห็นได้ว่าเมื่อขนาดของทรานซิสเตอร์  $M_{N1}, M_{N3}, M_{N5}$  และ  $M_{N7}$  มีขนาดเท่ากับ  $M_{N9}$  และ  $M_{N11}$  และทรานซิสเตอร์  $M_{N2}, M_{N4}, M_{N6}$  และ  $M_{N8}$  มีขนาดเท่ากับ  $M_{N10}$  และ  $M_{N12}$  อัตราขยายของวงจรเมื่อป้อนสัญญาณในโหมคร่วมมีค่าเท่ากับ  $-6.16$  เดซิเบล และ/หรือ 0.5 เท่า ผลที่ได้สอดคล้องกับสมการที่ (3.76) หากกำหนดให้ขนาดของทรานซิสเตอร์  $M_{N1}, M_{N3}, M_{N5}$  และ  $M_{N7}$  มีขนาดเท่ากับ

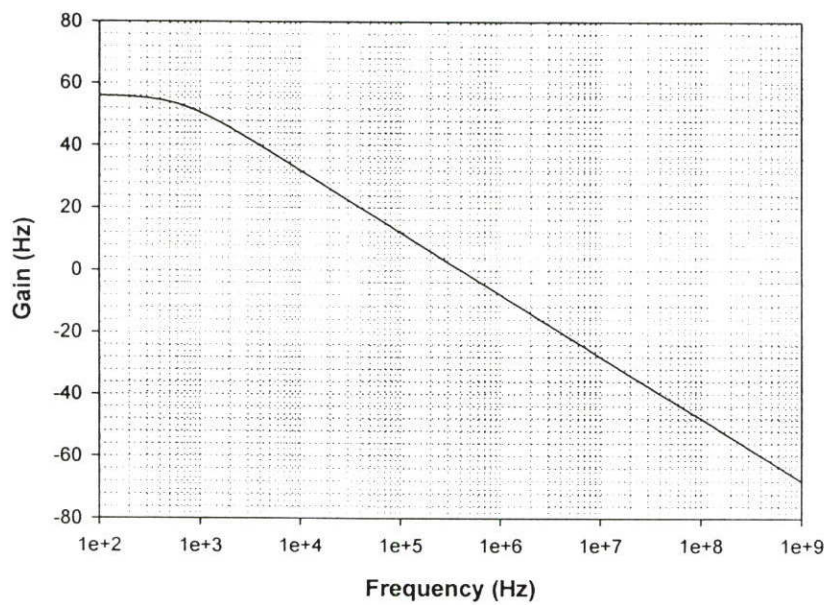
$3M_{N_9}$  และ  $3M_{N_{11}}$  และทรานซิสเตอร์  $M_{N_2}$   $M_{N_4}$   $M_{N_6}$  และ  $M_{N_8}$  มีขนาดเท่ากับ  $3M_{N_{10}}$  และ  $3M_{N_{12}}$  อัตราการขยายของวงจรเมื่อป้อนสัญญาณในโหมดรวมมีค่าเท่ากับ  $-16.17$  เดซิเบล และ/หรือ  $0.15$  เท่า ดังแสดงในสมการที่ (3.90)

$$\frac{i_{out}^+ + i_{out}^-}{i_m^+ + i_m^-} = \frac{g_{m9}}{sC + 2g_{m1}} = \frac{g_{m9}}{sC + 2(3g_{m9})} = \frac{1}{\frac{sC}{g_{m9}} + 6} \quad (3.90)$$

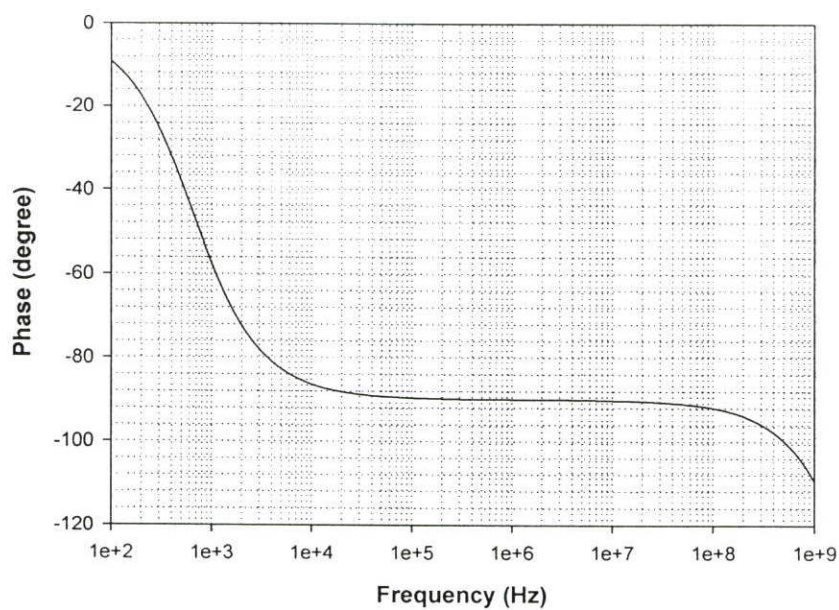
รูปที่ 3.19 แสดงการตอบสนองความถี่ของวงจรอินทิเกรเตอร์ วงจรถูกออกแบบให้ความถี่ที่อัตราการขยายเท่ากับหนึ่งมีค่าเท่ากับ  $250$  MHz ตัวเก็บประจุ  $C_1$  มีค่าเท่ากับ  $0.47$  pF และค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์  $M_{N_1}$  มีค่า  $1,080$   $\mu A/V$  ที่กระแสไบอัส  $100$  ไมโครแอมป์ ค่าอัตราขยายของวงจรมีค่าเท่ากับ  $58$  เดซิเบล วงจรอินทิเกรเตอร์สามารถปรับจูนความถี่ได้ตั้งแต่  $100$  MHz ถึง  $300$  MHz โดยการปรับกระแสไบอัสของวงจรจาก  $25$  ไมโครแอมป์ ถึง  $140$  ไมโครแอมป์ จะสังเกตได้ว่าอัตราการขยายของวงจรที่ได้จากการจำลองการทำงานมีค่าจำกัดโดยจะขึ้นกับค่าผลของความยาวช่องทางเดินกระแสของทรานซิสเตอร์ และกระแสที่ไหลผ่านมอสทรานซิสเตอร์ รูปที่ 3.20 แสดงค่าความผิดเพี้ยนฮาร์โมนิกสร่วม (THD) ของวงจรอินทิเกรเตอร์แบบขยายผลต่างที่ค่าความถี่  $10$  MHz  $50$  MHz  $100$  MHz และ  $200$  MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต ( $i_m$ ) มีค่าตั้งแต่  $0.1$  จนถึง  $0.6$  เท่าของค่ากระแสไบอัสวงจร ( $I_B$ ) จากการทดลองจะเห็นได้ว่าค่าความผิดเพี้ยนฮาร์โมนิกสร่วมจะมีค่าต่ำที่ความถี่ต่ำและจะมีค่าสูงขึ้นที่ความถี่สูง นอกจากนี้ค่าความเพี้ยนจะมีค่าลดลงเมื่อลดอัตราส่วนของกระแสอินพุตกับกระแสไบอัสวงจร รูปที่ 3.21 แสดงสัญญาณรบกวนทางด้านอินพุตของวงจรอินทิเกรเตอร์ สัญญาณรบกวนมีค่าเท่ากับ  $7.5$   $pA/\sqrt{Hz}$  ที่ความถี่  $10$  MHz และที่ความถี่  $200$  MHz วัดสัญญาณรบกวนได้  $100$   $pA/\sqrt{Hz}$  จะสังเกตได้ว่าสัญญาณรบกวนทางด้านอินพุตมีค่าต่ำที่ความถี่ต่ำกว่า  $200$  MHz และจะมีค่าสูงขึ้นอย่างรวดเร็วที่ความถี่สูงกว่า  $200$  MHz

ตารางที่ 3.4 แสดงคุณสมบัติของอินทิเกรเตอร์แบบขยายผลต่างที่นำเสนอ โดยวงจรถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด  $1.5$  โวลต์ ความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่ง ( $f_T$ ) สามารถปรับจูนได้ตั้งแต่  $100$  MHz ถึง  $300$  MHz โดยการปรับจูนกระแสไบอัสจาก  $25$  ถึง  $140$  ไมโครแอมป์ อัตราขยายที่ความถี่ต่ำมีขนาดเท่ากับ  $58$  เดซิเบล ความผิดเพี้ยนฮาร์โมนิกสร่วมน้อยกว่า  $0.94$  เปอร์เซ็นต์ ที่อัตราส่วนของสัญญาณกระแสอินพุตกับกระแสไบอัสมีขนาดเท่ากับ  $0.6$  เท่า สัญญาณรบกวนทางด้านอินพุตมีค่าน้อยกว่า  $100$   $pA/\sqrt{Hz}$  ที่ความถี่  $200$  MHz วงจรใช้กำลังงานเท่ากับ  $0.9$  มิลลิวัตต์

ตารางที่ 3.5 และตารางที่ 3.6 แสดงการเปรียบเทียบคุณสมบัติของวงจรอินทิเกรเตอร์ที่นำเสนอกับวงจรที่ได้ถูกนำเสนอมาก่อน ทั้งแบบขั้วเดี่ยวและแบบขยายผลต่าง ตามลำดับ

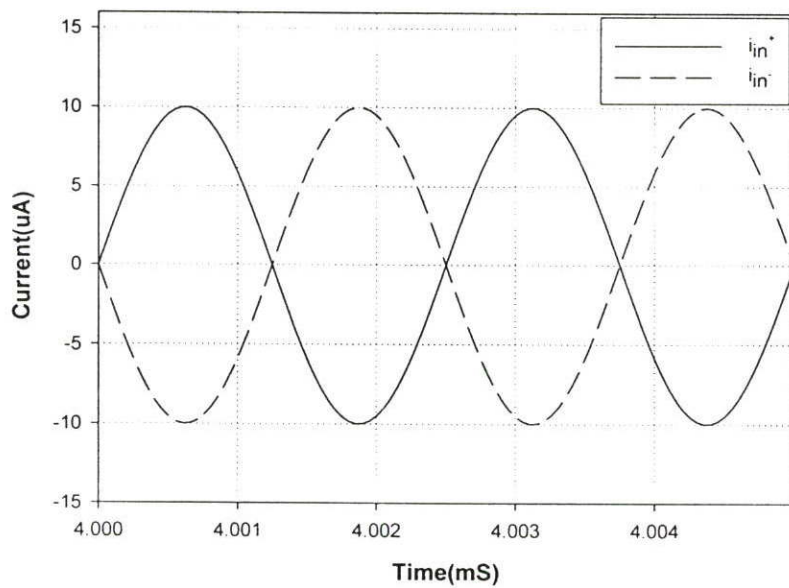


(ก) การตอบสนองทางความถี่

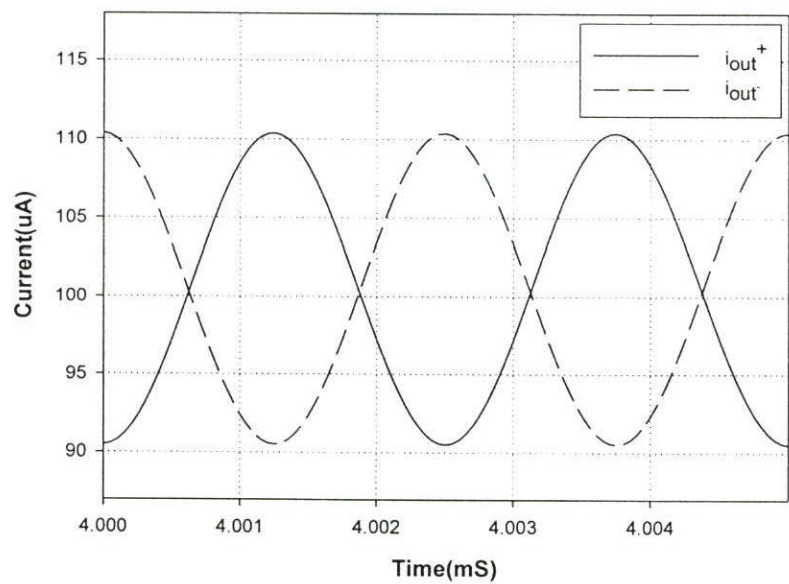


(ข) การตอบสนองทางเฟส

รูปที่ 3.16 การตอบสนองความถี่และเฟสของวงจรอินทิเกรเตอร์แบบขยายผลต่าง

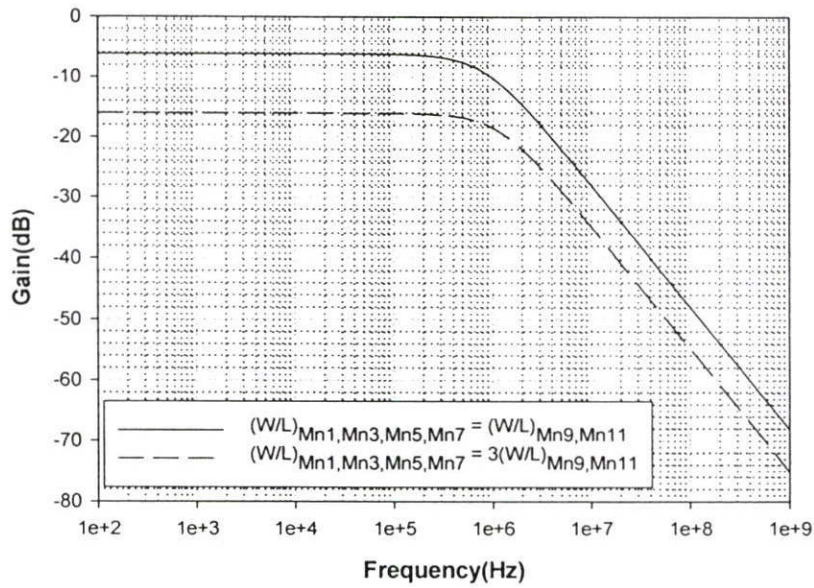


(ก) กระแสอินพุตของวงจรรีอินทิเกรเตอร์

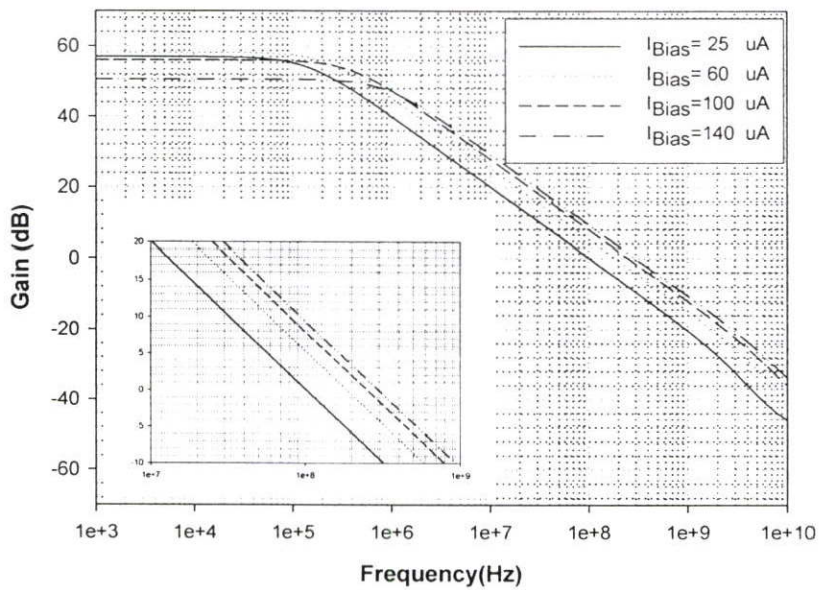


(ข) กระแสเอาต์พุตของวงจรรีอินทิเกรเตอร์

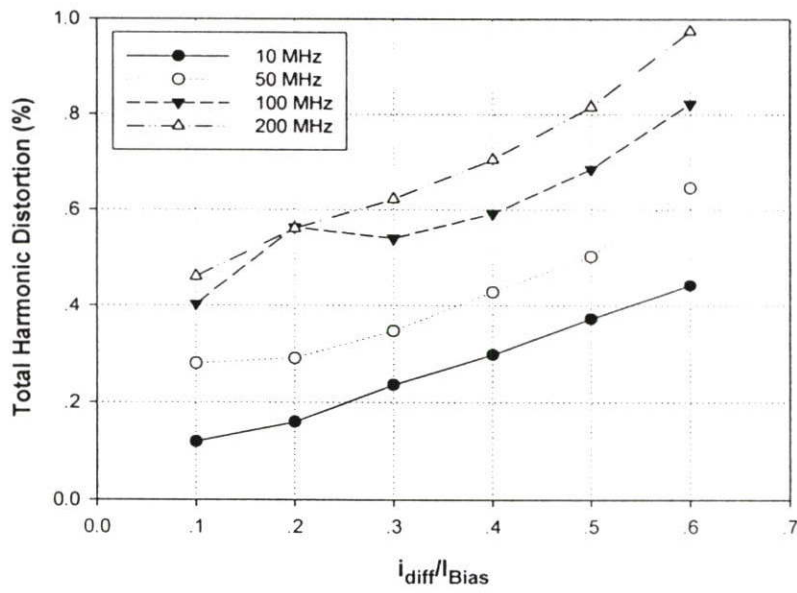
รูปที่ 3.17 ผลการตอบสนองทางเวลาของวงจรรีอินทิเกรเตอร์แบบขยายผลต่าง



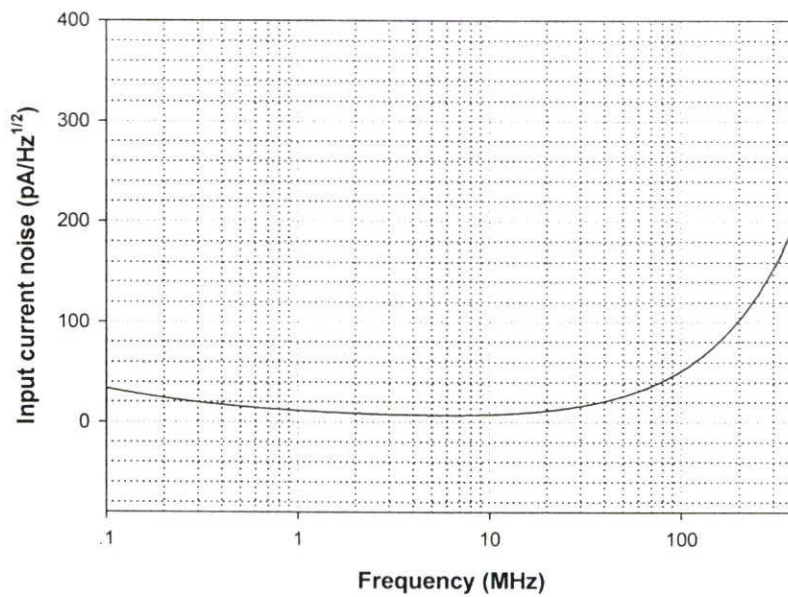
รูปที่ 3.18 การตอบสนองความถี่ของอินทิเกรเตอร์ เมื่อป้อนสัญญาณอินพุตแบบร่วมน



รูปที่ 3.19 การตอบสนองความถี่ของวงจรมินิเกรเตอร์แบบขยายผลต่าง เมื่อปรับกระแสไบอัสค่าต่างๆ



รูปที่ 3.20 ค่าความผิดเพี้ยนฮาร์โมนิกสรวมของวงจรรอินทิเกรเตอร์แบบขยายผลต่าง ที่ขนาดสัญญาณค่าต่างๆ



รูปที่ 3.21 สัญญาณรบกวนด้านอินพุตของวงจรรอินทิเกรเตอร์แบบขยายผลต่าง

ตารางที่ 3.4 คุณสมบัติของวงจรมอนิเตอร์แบบขยายผลต่างที่นำเสนอ

พารามิเตอร์	ผลการจำลองการทำงาน
แหล่งจ่ายแรงดัน	1.5 V
กระแสไบอัสวงจรมอนิเตอร์	25 - 140 $\mu$ A
อัตราขยายไฟตรง	58 เดซิเบล @ $I_{Bias} = 100 \mu$ A
ความผิดเพี้ยนฮาร์โมนิกสรวม	0.97 % @ $\frac{V_{out}}{I_{Bias}} = 0.6$ , 200MHz
สัญญาณรบกวนด้านอินพุต	100 pA/ $\sqrt{Hz}$ @ 200MHz
ความถี่ที่อัตราขยายเท่ากับหนึ่ง	100 - 300 MHz
กำลังงานสูญเสีย	0.9 mW @ $I_{Bias} = 100 \mu$ A

### 3.3 บทสรุป

วงจรมอนิเตอร์เป็นวงจรพื้นฐานที่สำคัญ ในการสังเคราะห์วงจรองความถี่ที่ใช้ อุปกรณ์แบบแอคทีฟ วงจรมอนิเตอร์ทำงานในโหมดกระแสที่ตีควรรจะมีความสามารถทำงานได้ดีที่ความถี่สูงภายใต้แหล่งจ่ายไฟเลี้ยงที่ต่ำ และสูญเสียกำลังงานน้อย บทนี้ได้นำเสนอวงจรมอนิเตอร์ทำงานในโหมดกระแสทั้งแบบขั้วเดียวและแบบขยายผลต่าง วงจรถูกออกแบบให้สามารถทำงานที่ความถี่สูงภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์ วงจรมอนิเตอร์สูญเสียกำลังงานต่ำ และยังสามารถปรับจูนค่าความถี่ได้โดยไม่มีผลกระทบต่อวงจรมอนิเตอร์ชุดอื่นที่ต่อรวมในวงจร

ตารางที่ 3.5 คุณสมบัติของวงจรมอนิเตอร์แบบซิงคัลที่นำเสนอละเอียดและที่นำเสนอมาก่อน

พารามิเตอร์	วงจรมอนิเตอร์	G. D.Federico [16]	D. J. Allstot [8]	N. Fujii [11]
เทคโนโลยี	CMOS 0.5 $\mu m$	CMOS 1.2 $\mu m$	CMOS 0.9 $\mu m$	Bipolar 0.7 $\mu m$
แหล่งจ่ายแรงดัน	1.5 V	$\pm 1.5$ V	5.0 V	1.5 V
การปรับจูนกระแส	มี	ไม่มี	มี	มี
กระแสไบอัส	35 - 80 $\mu A$	10 $\mu A$	50 - 150 $\mu A$	40 - 160 $\mu A$
อัตราขยาย	51 dB	-	-	-
ความผิดพลาดเพี้ยนฮาร์โมนิก	2.06 % @ 100MHz	1.0 % @ 1 MHz	-	-
สัญญาณรบกวนอินพุต	0.15 nA/Hz <sup>1/2</sup> @ 100MHz	-	-	-
ความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่ง	90 - 116 MHz	1 MHz	24 - 42 MHz	20 - 100 MHz
กำลังงานสูญเสีย	0.23 mW @ 35 $\mu A$	120 $\mu W$	-	-

ตารางที่ 3.6 คุณสมบัติของวงจรอินทิเกรตออร์แบบขยายผลต่างที่นำเสนอมาก่อน

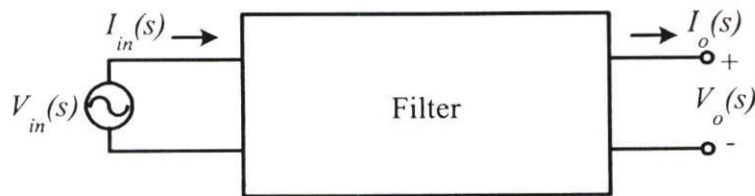
พารามิเตอร์	วงจรที่นำเสนอ	D. J. Allstot [9]	S.L. Smith [17]	Z. Yang [13]
เทคโนโลยี	CMOS 0.5 $\mu m$	CMOS 1.2 $\mu m$	CMOS 2.0 $\mu m$	CMOS 1.2 $\mu m$
แหล่งจ่ายแรงดัน	1.5 V	1.5 – 5.0 V	3.3 V	5.0 V
การปรับจูนกระแส	มี	มี	มี	มี
กระแสไบอัส	25 - 140 $\mu A$	5 $\mu A$	-	100 $\mu A$
อัตราขยาย	58 dB	-	-	-
ความผิดเพี้ยนฮาร์โมนิกสัรวม	0.97 % @ 200MHz	-	-	-
สัญญาณรบกวนอินพุต	100 pA/Hz <sup>1/2</sup> @ 200MHz	-	-	-
ความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่ง	100 - 300 MHz	0.3 - 1 MHz	6 - 13 MHz	0.16 – 5.6 kHz
กำลังงานสูญเสีย	0.9 mW @ $I_{Bias} = 100 \mu A$	75 $\mu W$ @ 1.5 V	0.7 mW	4 mW

## บทที่ 4

# วงจรกรองความถี่ต่ำผ่านทำงานในโหมดกระแส

### 4.1 กล่าวนำ

วงจรกรองความถี่ในทางไฟฟ้าเป็นวงจรที่ทำหน้าที่แปลงสัญญาณอินพุตเพื่อให้ได้สัญญาณเอาต์พุตตามต้องการ โดยสัญญาณเหล่านี้จะถูกพิจารณาในโดเมนของเวลาและโดเมนของความถี่ ซึ่งการพิจารณาในโดเมนของความถี่นั้น วงจรกรองความถี่จะเป็นวงจรถ่ายเลือกความถี่ โดยจะยอมให้สัญญาณผ่านไปเฉพาะความถี่ที่ต้องการ และจะลดทอนสัญญาณความถี่ที่ไม่ต้องการออกไป



รูปที่ 4.1 บล็อกไดอะแกรมวงจรกรองความถี่

เมื่อป้อนสัญญาณอินพุต ( $V_m(s)$  หรือ  $I_m(s)$ ) เข้าสู่วงจรกรองความถี่ดังแสดงในรูปที่ 4.1 ทำให้ได้สัญญาณเอาต์พุต ( $V_o(s)$  หรือ  $I_o(s)$ ) และ เฟส  $\theta(s)$  ซึ่งจะขึ้นอยู่กับความถี่อินพุต ( $\omega$ ) ของวงจร อัตราส่วนระหว่างสัญญาณเอาต์พุตต่อสัญญาณอินพุตก็คือ ฟังก์ชันการถ่ายโอน (Transfer Function :  $H(s)$ ) นำมาเขียนในโหมดของแรงดันหรือโหมดของกระแส แสดงในสมการที่ (4.1)

$$H(s) = \frac{V_o(s)}{V_m(s)} \quad \text{หรือ} \quad H(s) = \frac{I_o(s)}{I_m(s)} \quad (4.1)$$

สมการที่ (4.1) สามารถเขียนให้อยู่ในรูปของการตอบสนองความถี่ทางขนาดและทางเฟสได้ดังนี้

$$H(s) = |H(j\omega)| e^{j\theta(\omega)} \quad (4.2)$$

โดยที่  $s = j\omega$

$|H(j\omega)|$  คือขนาดของอัตราขยายของฟังก์ชันการถ่ายโอน นิยมวัดเป็นหน่วยเดซิเบล (dB) และ  $\theta(\omega)$  คือ เฟสของฟังก์ชันการถ่ายโอน จากฟังก์ชันการถ่ายโอนสามารถเขียนให้อยู่ในรูปทั่วไปได้ดังนี้ คือ

$$H(s) = \frac{a_m s^m + \dots + a_2 s^2 + a_1 s + a_0}{b_n s^n + \dots + b_2 s^2 + b_1 s + b_0} = \frac{a_m \prod_{i=1}^m (s - z_i)}{b_n \prod_{j=1}^n (s - p_j)} \quad (4.3)$$

จากสมการที่ (4.3) ค่าสัมประสิทธิ์ของฟังก์ชันการถ่ายโอนทั้งหมดสามารถคำนวณได้จากข้อกำหนดของวงจรกรองความถี่ตามความต้องการ วงจรกรองความถี่สามารถจำแนกได้เป็น 5 แบบด้วยกันคือ วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) วงจรกรองความถี่สูงผ่าน (High Pass Filter) วงจรกรองความถี่แถบผ่าน (Band Pass Filter) วงจรกรองความถี่จำกัดแถบความถี่ผ่าน (Band Stop Filter) และวงจรกรองความถี่ผ่านทุกความถี่ (All Pass Filter) ในบทนี้จะกล่าวถึงเฉพาะวงจรกรองความถี่แบบความถี่ต่ำผ่าน

โดยทั่วไปวงจรกรองความถี่แบบแอกทีฟอันดับสูง สามารถออกแบบได้หลายวิธี แต่ที่นิยมกันมีอยู่ด้วยกัน 3 วิธี คือ

- วิธีการคาสเคด (Cascade)

วิธีการนี้จะนำวงจรกรองความถี่อันดับที่สอง (Biquadratic filter) มาต่อเข้าด้วยกันแบบอนุกรม เพื่อสร้างวงจรกรองความถี่อันดับสูง ฟังก์ชันการถ่ายโอนของวงจรที่ได้เกิดจากการคูณกันของฟังก์ชันการถ่ายโอนอันดับที่สอง การคาสเคดกันของวงจรกรองความถี่ได้รับความนิยมเป็นอย่างมากวิธีหนึ่ง เนื่องจากการออกแบบและการปรับความถี่ของวงจรสามารถทำได้ง่าย ด้วยการปรับค่าพารามิเตอร์ของวงจรกรองความถี่อันดับที่สองในแต่ละชุด อย่างไรก็ตามวิธีการคาสเคดมีข้อเสียในเรื่องของค่าความไวของค่าพารามิเตอร์ของวงจรต่อการเปลี่ยนแปลงของอุปกรณ์ในวงจรที่ค่อนข้างสูง โดยเฉพาะในวงจรกรองความถี่อันดับสูงกว่าอันดับที่แปด[19]

- วิธีการป้อนกลับหลายวงรอบ (Multiple-loop feedback)

วิธีการนี้จะทำการแตกฟังก์ชันการถ่ายโอนวงจรกรองความถี่แยกออกเป็นอันดับที่สองเป็นหลายๆสมการเช่นเดียวกับแบบวิธีการคาสเคด แต่จะมีการป้อนกลับระหว่างวงจรกรองความถี่อันดับที่สอง เพื่อลดค่าความไวของวงจร การป้อนกลับมีด้วยกันหลายวิธีแต่ที่นิยมกันคือการป้อนกลับแบบ FLF (The Follow the Leader Feedback) ข้อเสียของวงจรนี้คือ วงจรยุ่งยากซับซ้อน และยังคงคำนึงอัตราการป้อนกลับเนื่องจากอาจทำให้วงจรกรองความถี่ไม่มีเสถียรภาพได้

#### - วิธีการจำลองขั้นบันได (Simulation of LC Ladder)

วิธีการนี้จะใช้วงจรกรองความถี่ขั้นบันไดแบบพาสซีฟเป็นวงจรต้นแบบในการสังเคราะห์วงจรกรองความถี่อันดับสูง โดยสามารถแยกได้เป็น 2 วิธี คือ

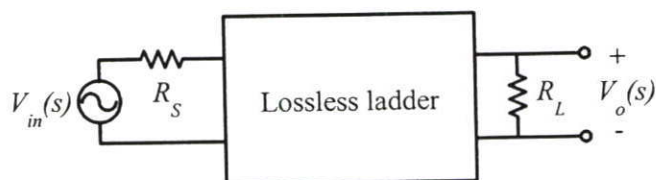
1. วิธีการแทนอุปกรณ์ (Element substitution) วิธีการนี้จะนำวงจรแอกทีฟมาเลียนแบบการทำงานของอุปกรณ์พาสซีฟ แต่ละตัวในวงจร แล้วแทนวงจรดังกล่าว ลงในวงจรกรองความถี่แบบพาสซีฟ เช่น การใช้โครงสร้างของวงจรจำลองค่าอิมพีแดนซ์ทั่วไป (General Impedance Network: GIN) ในการจำลองการทำงานของขดลวดเหนี่ยวนำในวงจรกรองความถี่แบบพาสซีฟ

2. วิธีการจำลองการดำเนินการ (Function simulation of LC Ladder) วิธีนี้จะจำลองการทำงานเลียนแบบสมการของวงจรกรองความถี่แบบพาสซีฟ

จากวิธีการออกแบบวงจรกรองความถี่อันดับสูงทั้ง 3 วิธี ดังที่ได้อธิบายในเบื้องต้น สรุปได้ว่า วงจรกรองความถี่ที่ใช้วิธีการจำลองขั้นบันได จะได้ค่าความไวของวงจรต่ำที่สุด ในงานวิจัยนี้เราเลือกใช้วิธีการจำลองการดำเนินการ (Function simulation of LC Ladder) ในการสังเคราะห์วงจรกรองความถี่อันดับสูง เนื่องจากใช้จำนวนอุปกรณ์น้อยกว่าวิธีแทนอุปกรณ์ ทำให้วงจรสิ้นเปลืองกำลังงานต่ำและความไวต่ำ

## 4.2 ทฤษฎีและหลักการออกแบบวงจรกรองความถี่ด้วยวิธีการเลียนแบบการทำงานของวงจรกรองความถี่ขั้นบันได

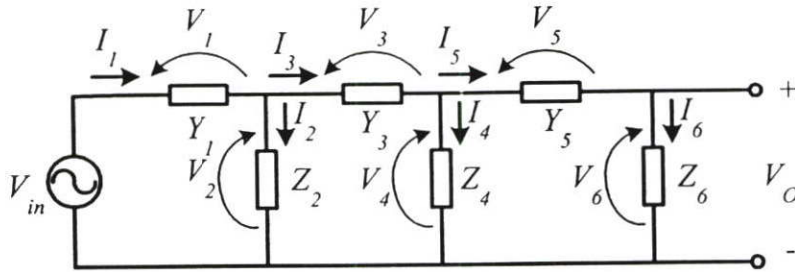
การออกแบบวงจรกรองความถี่โดยใช้วิธีการจำลองดำเนินการเลียนแบบการทำงานของวงจรกรองความถี่ขั้นบันได โดยใช้โครงสร้างของวงจรกรองความถี่แบบพาสซีฟที่มีตัวต้านทานสิ้นสุดคู่ (Doubly terminated LC ladder) เป็นโครงสร้างพื้นฐานในการสังเคราะห์ วงจรกรองความถี่แบบแอกทีฟ เนื่องจากวงจรดังกล่าวมีค่าความไวต่ำ และสามารถส่งผ่านกำลังงานได้สูงสุด [20] ดังแสดงในรูปที่ 4.2



รูปที่ 4.2 บล็อกไดอะแกรมวงจรกรองความถี่ขั้นบันไดแบบพาสซีฟที่มีตัวต้านทานสิ้นสุดคู่

ในการสังเคราะห์วงจรกรองความถี่แบบแอกทีฟ จะนำวงจรกรองความถี่ขั้นบันไดแบบพาสซีฟมาวิเคราะห์หาค่าสมการกระแสและแรงดัน โดยใช้กฎกระแสและแรงดันของเคอร์ชอฟท์

(Kirchhoff's voltage and current laws) แสดงความสัมพันธ์ของกระแสและแรงดันที่โหนดและกิ่งต่างๆ ดังแสดงในรูปที่ 4.3 และสมการที่ (4.4) ถึงสมการที่ (4.9)



รูปที่ 4.3 วงจรกรองความถี่ขั้นบันไดแบบพาสซีฟ

$$I_1 = (V_m - V_2) Y_1 \quad (4.4)$$

$$V_2 = (I_1 - I_3) Z_2 \quad (4.5)$$

$$I_3 = (V_2 - V_4) Y_3 \quad (4.6)$$

$$V_4 = (I_3 - I_5) Z_4 \quad (4.7)$$

$$I_5 = (V_4 - V_O) Y_5 \quad (4.8)$$

$$V_O = I_5 Z_6 \quad (4.9)$$

จากสมการที่ (4.4) ถึงสมการที่ (4.9) จะเห็นได้ว่า สมการที่ได้จะมีทั้งกระแสและแรงดัน ในการสังเคราะห์วงจรกรองความถี่แบบแอดทีฟจะทำการเปลี่ยนค่ากระแสที่ได้ในสมการที่ (4.4) ถึงสมการที่ (4.9) ให้อยู่ในรูปของค่าแรงดัน เมื่อต้องการออกแบบวงจรให้ทำงานในโหมดแรงดัน และหากต้องการออกแบบวงจรให้ทำงานในโหมดกระแสก็สามารถทำได้โดยการเปลี่ยนค่าแรงดันที่ได้ในสมการที่ (4.4) ถึงสมการที่ (4.9) ให้อยู่ในรูปของค่ากระแส สำหรับวงจรที่ทำงานในโหมดแรงดันสามารถแสดงได้ในสมการที่ (4.10) ถึงสมการที่ (4.15) จากสมการดังกล่าว นำมาเขียนบล็อกไดอะแกรมโดยใช้โครงสร้างลีฟลีอก (Leapfrog structure) ดังแสดงรูปที่ 4.4

$$V_{11} = (V_m - V_2) X_{Y1} \quad (4.10)$$

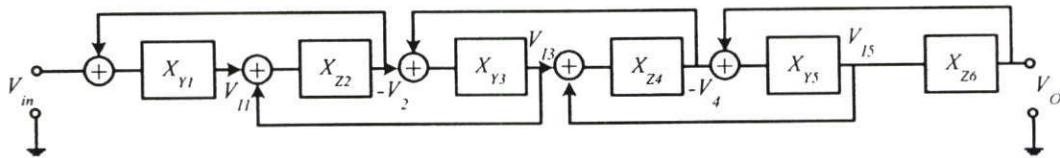
$$V_2 = (V_{11} - V_{13}) X_{Z2} \quad (4.11)$$

$$V_{13} = (V_2 - V_4) X_{Y3} \quad (4.12)$$

$$V_4 = (V_{13} - V_{15}) X_{Z4} \quad (4.13)$$

$$V_{15} = (V_4 - V_O) X_{Y5} \quad (4.14)$$

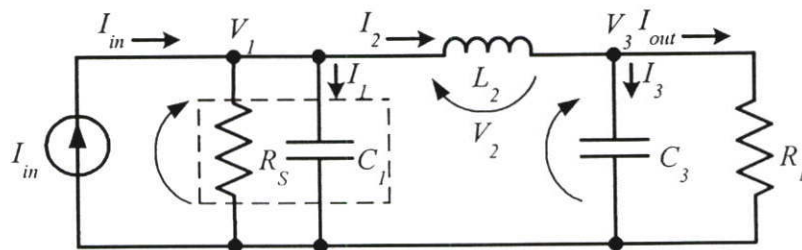
$$V_O = V_{15} X_{Z6} \quad (4.15)$$



รูปที่ 4.4 โครงสร้างลิฟลือทงจรกรองความถี่ทำงานในโหมดแรงดัน

#### 4.2.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3 แบบจำลองการดำเนินการ

โดยอาศัยหลักการออกแบบวงจรกรองความถี่แบบแอกทีฟด้วยวิธีการเลียนแบบการทำงานของวงจรกรองความถี่ขั้นบันได เราสามารถแสดงวิธีการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 โดยใช้อุปกรณ์แอกทีฟทำงานในโหมดกระแส โดยใช้วิธีการจำลองการดำเนินการดังนี้



รูปที่ 4.5 วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟ อันดับที่ 3

วงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบพาสซีฟดังที่แสดงในรูปที่ 4.5 ถูกนำมาวิเคราะห์ความสัมพันธ์ของกระแสและแรงดันที่โนดและที่กิ่งต่างๆ ตามลำดับ โดยใช้กฎกระแสและแรงดันของเคอร์ชอฟท์ ได้ดังนี้

$$V_1 = I_1 Z_1 = \frac{1}{sC_1 + G_S} (I_m - I_2) \quad (4.16)$$

$$I_2 = V_2 Y_2 = \frac{1}{sL_2} (V_1 - V_3) \quad (4.17)$$

$$V_3 = I_2 Z_3 = \frac{1}{sC_3 + G_L} I_2 \quad (4.18)$$

จากสมการที่ (4.16) ถึงสมการที่ (4.18) ทำการเปลี่ยนค่าแรงดันให้อยู่ในรูปของกระแส ด้วยการเปลี่ยนรูปสมการด้วยค่าความต้านทาน  $R_p$  จะได้

$$\frac{V_1}{R_p} = \frac{Z_1}{R_p} (I_m - I_2) \implies I_1 = X_{Z_1} (I_m - I_2) \quad (4.19)$$

$$I_2 = Y_2 R_p \left( \frac{V_1}{R_p} - \frac{V_3}{R_p} \right) \implies I_2 = X_{Y_2} (I_1 - I_3) \quad (4.20)$$

$$\frac{V_3}{R_p} = \frac{Z_3}{R_p} (I_2) \implies I_3 = X_{Z_3} (I_2) \quad (4.21)$$

สมการที่ (4.19) ถึงสมการที่ (4.21) เป็นการเปลี่ยนค่าแรงดันให้อยู่รูปของค่ากระแส โดยที่  $X_{Z_1}$ ,  $X_{Y_2}$  และ  $X_{Z_3}$  คือฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์ทำงานในโหมดกระแส ที่มีค่าคงตัวเวลาสอดคล้องกับค่าของอุปกรณ์  $R$ ,  $L$  และ  $C$  ในวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบพาสซีฟ

เมื่อแทนค่าฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์ที่ได้ถูกนำเสนอในบทที่ 3 ลงใน  $X_{Z_1}$ ,  $X_{Y_2}$  และ  $X_{Z_3}$  จะได้ว่า

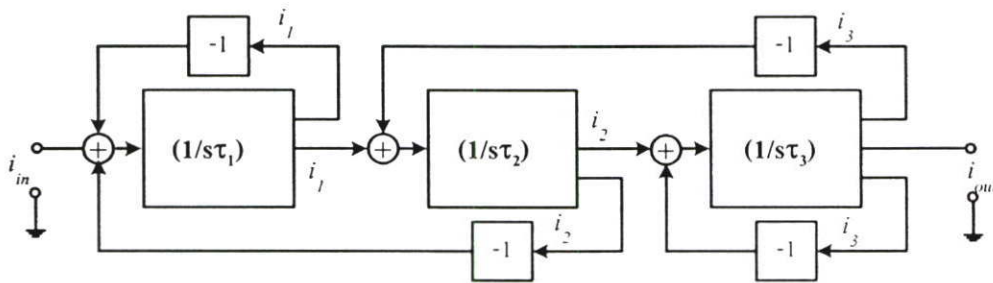
$$I_1 = \frac{1}{s\tau_1} (I_m - I_1 - I_2) \quad (4.22)$$

$$I_2 = \frac{1}{s\tau_2}(I_1 - I_3) \quad (4.23)$$

$$I_3 = \frac{1}{s\tau_3}(I_2 - I_3) \quad (4.24)$$

เมื่อ  $1/s\tau_i$  คือ ฟังก์ชันการถ่ายโอนของวงจรรีโวลูชัน อินทิเกรเตอร์ อันดับที่ 1 2 และ 3 ตามลำดับ ที่มีค่าคงตัวเวลา ( $\tau_i$ ) สอดคล้องกับค่าพารามิเตอร์ของวงจรรองความถี่ โดยกำหนดให้ค่าความต้านทาน  $R_s$  และค่าความต้านทาน  $R_L$  ในรูปที่ 4.5 มีค่าเท่ากับ 1 โอห์ม

สมการที่ (4.22) ถึงสมการที่ (4.24) ถูกนำมาเขียนโครงสร้างบล็อกทำงานในโหมดกระแส ดังแสดงในรูปที่ 4.6



รูปที่ 4.6 โครงสร้างบล็อกฟีดแบ็คของวงจรรองความถี่ทำงานในโหมดกระแส

จากโครงสร้างบล็อกฟีดแบ็คของวงจรรองความถี่แบบแอกทีฟที่แสดงในรูปที่ 4.6 สามารถหาฟังก์ชันการถ่ายโอน ของวงจรถัด ดังนี้คือ

$$H_{LPF}(s) = \frac{i_{out}(s)}{i_{in}(s)} = \frac{1}{s^3\tau_1\tau_2\tau_3 + s^2(\tau_1\tau_2 + \tau_2\tau_3) + s(\tau_1 + \tau_2 + \tau_3) + 2} \quad (4.25)$$

ฟังก์ชันการถ่ายโอนของวงจรรองความถี่ต่ำผ่านแบบแอกทีฟที่แสดงในสมการที่ (4.25) เป็นฟังก์ชันที่ถูกแทนด้วยวงจรรีโวลูชัน อินทิเกรเตอร์แบบอุดมคติ โดยค่าพารามิเตอร์ของวงจรรองความถี่จะถูกแทนด้วยค่าคงตัวเวลาของฟังก์ชันการถ่ายโอนของวงจรรีโวลูชัน อินทิเกรเตอร์ ในวิทยานิพนธ์ฉบับนี้ค่าคงตัวเวลาของวงจรรีโวลูชัน อินทิเกรเตอร์ที่นำเสนอ มีค่าเท่ากับ  $C_i/g_{mi}$  เมื่อ  $C_i$  คือค่าตัวเก็บประจุของวงจรรีโวลูชัน อินทิเกรเตอร์และ  $g_{mi}$  คือ ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ในวงจรรีโวลูชัน อินทิเกรเตอร์อันดับที่  $i$  มีค่าเท่ากับ 1 2 และ 3 ตามลำดับ

#### 4.2.2 การสเกลลิง (Scaling)

ในการออกแบบใช้งานวงจรกรองความถี่อันดับสูงแบบแอกทิฟด้วยวิธีการเลียนแบบการทำงานวงจรชั้นบันได จำเป็นต้องทราบค่าความต้านทาน ค่าตัวเก็บประจุ และค่าขดลวดเหนี่ยวนำในวงจรชั้นบันได ในปัจจุบันเราไม่จำเป็นต้องทำการวิเคราะห์หาค่าความต้านทาน ค่าตัวเก็บประจุ และค่าขดลวดเหนี่ยวนำในวงจรให้ยุ่งยาก เนื่องจากมีตารางค่ามาตรฐานของวงจรกรองความถี่แบบต่างๆ ทั้ง แบบบัตเตอร์เวิร์ธ (Butterworth) แบบเชบีเชฟ (Chebyshev) แบบเชบีเชฟส่วนกลับ (Inverse Chebyshev) แบบเบสเซล (Bessel) และแบบเอลลิปติก (Elliptic) ที่ค่าความถี่หนึ่งเรเดียนต่อวินาที (rad/s) ตั้งแต่อันดับต่ำจนถึงอันดับที่สูง ดังนั้นในการนำความต้านทาน ตัวเก็บประจุและขดลวดเหนี่ยวนำ ที่ได้จากรายค่ามาตรฐานของวงจรกรองความถี่มาออกแบบใช้งานที่ค่าความถี่ต่างๆ เราเพียงแต่ต้องปรับเปลี่ยนค่าของอุปกรณ์ในวงจรให้เป็นไปตามค่าความถี่และอิมพีแดนซ์ที่เราต้องการ เรียกวิธีการนี้ว่า การสเกลลิง (Scaling) การสเกลสามารถแบ่งออกได้เป็น 2 แบบคือ การสเกลทางขนาดและการสเกลทางความถี่

##### 1. การสเกลทางขนาด (Magnitude scaling)

การสเกลทางขนาด คือการเปลี่ยนแปลงค่าอิมพีแดนซ์ของอุปกรณ์ทุกตัวในวงจรด้วยตัวประกอบ  $k_m$  โดยที่อิมพีแดนซ์ของอุปกรณ์ในวงจรกรองความถี่ประกอบไปด้วย

$$Z_R = R, Z_L = j\omega L \text{ และ } Z_C = \frac{1}{j\omega C} \quad (4.26)$$

ขนาดของอิมพีแดนซ์ของวงจร คือ

$$|Z_R| = R, |Z_L| = \omega L \text{ และ } |Z_C| = \frac{1}{\omega C} \quad (4.27)$$

กำหนดอัตราส่วนของการเพิ่มและ/หรือลด ด้วยสเกล  $k_m$  จะได้ว่า

$$k_m |Z_R| = k_m R, k_m |Z_L| = k_m \omega L \text{ และ } k_m |Z_C| = \frac{k_m}{\omega C} \quad (4.28)$$

ค่าอุปกรณ์ใหม่ที่ได้ในวงจร คือ

$$R_{new} = k_m R \quad (4.29)$$

$$L_{new} = k_m L \quad (4.30)$$

$$C_{new} = \frac{1}{k_m} C \quad (4.31)$$

## 2. การสเกลทางความถี่ (Frequency scaling)

การสเกลทางความถี่ คือการเปลี่ยนแปลงค่าความถี่ โดยไม่กระทบต่อค่าอิมพีแดนซ์ของค่าความต้านทาน  $R$  แต่จะมีผลกับค่าอิมพีแดนซ์ของขดลวดเหนี่ยวนำ  $L$  และตัวเก็บประจุ  $C$  กำหนดให้อัตราการสเกลความถี่เท่ากับ  $k_f$  โดยที่ค่า  $k_f$  มีค่าเท่ากับ  $2\pi f_c$  เมื่อ  $f_c$  คือ ความถี่คัทออฟของวงจรกรองความถี่ ดังนั้นจะได้ค่าอุปกรณ์ใหม่ในวงจร คือ

$$R_{new} = R \quad (4.32)$$

$$L_{new} = \frac{1}{k_f} L \quad (4.33)$$

$$C_{new} = \frac{1}{k_f} C \quad (4.34)$$

สำหรับกรณีที่มีการสเกลทางขนาดและการสเกลความถี่ จะได้ค่าอุปกรณ์ใหม่ในวงจร คือ

$$R_{new} = k_m R \quad (4.35)$$

$$L_{new} = \frac{k_m}{k_f} L \quad (4.36)$$

$$C_{new} = \frac{1}{k_m k_f} C \quad (4.37)$$

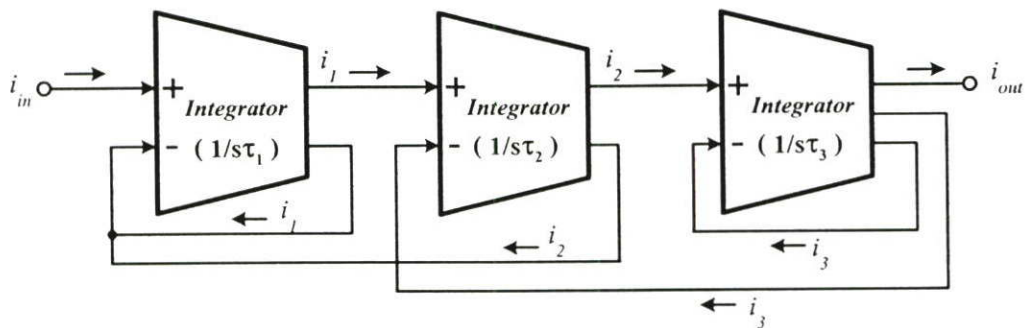
## 4.3 วงจรกรองความถี่ต่ำผ่านแบบขั้วเดียวและแบบขยายผลต่าง

จากพฤติกรรมการทำงานของวงจรอินทิเกรเตอร์ที่ได้นำเสนอในบทที่ 3 หัวข้อนี้ได้ นำวงจรอินทิเกรเตอร์ดังกล่าว (ทั้งแบบขั้วเดียวและแบบขยายผลต่าง) มาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบแอกทีฟโดยใช้วิธีการจำลองการดำเนินการ

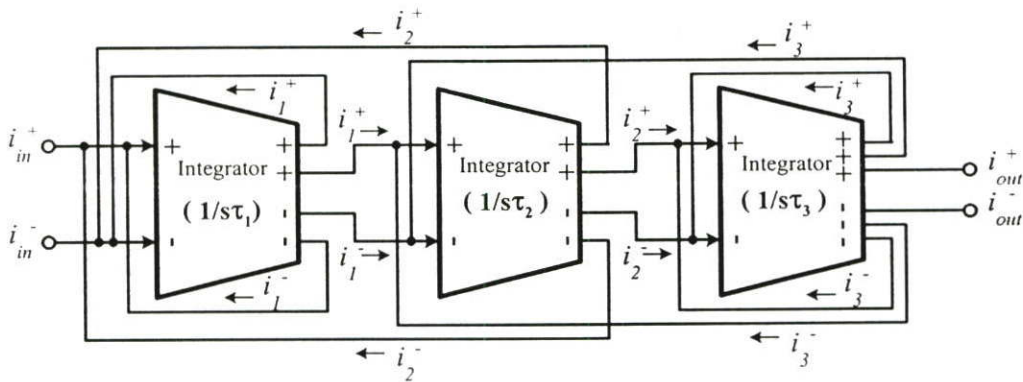
การทำงานของวงจรอินทิเกรเตอร์แบบขั้วเดียวที่ได้นำเสนอ ถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบขั้วเดียว โดยใช้วงจรกรองความถี่ขั้นบันไดอันดับที่ 3 แบบพาสซีฟเป็นต้นแบบในการสังเคราะห์ วงจรที่แสดงในรูปที่ 4.5 ถูกนำมาวิเคราะห์หา

ความสัมพันธ์ระหว่างกระแสและแรงดัน ทำให้ได้สมการกระแสของวงจรองความถี่แบบแอกทิฟที่ถูกแทนด้วยฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์ ดังแสดงในสมการที่ (4.22) ถึงสมการที่ (4.24) และโครงสร้างสปีฟล็อกของวงจรองความถี่ดังแสดงในรูปที่ 4.6 วงจรองความถี่ต่ำผ่านแบบแอกทิฟอันดับที่ 3 เขียนในรูปที่ 4.7 ในวิทยานิพนธ์ฉบับนี้ ชุดอินทิเกรเตอร์แต่ละตัวในวงจรองความถี่ถูกแทนด้วยวงจรอินทิเกรเตอร์ที่นำเสนอในบทที่ 3 โดยมีค่าคงตัวเวลาสอดคล้องกับพารามิเตอร์ของวงจรองความถี่อันดับที่ 3 ที่เป็นวงจรต้นแบบ

ในทำนองเดียวกันวงจรองความถี่แบบขยายผลต่าง ก็สามารถถูกสังเคราะห์ได้จากวงจรองความถี่อินทิเกรเตอร์แบบขยายผลต่างที่ได้นำเสนอในบทที่ 3 เช่นเดียวกัน ดังแสดงในรูปที่ 4.8



รูปที่ 4.7 วงจรองความถี่ต่ำผ่านอันดับที่ 3 ที่ถูกออกแบบจากวงจรอินทิเกรเตอร์แบบขั้วเดียว



รูปที่ 4.8 วงจรองความถี่ต่ำผ่านอันดับที่ 3 ที่ถูกออกแบบจากวงจรอินทิเกรเตอร์แบบขยายผลต่าง

### 4.3.1 วงจรกรองความถี่แบบไม่เป็นอุดมคติ

ความไม่เป็นอุดมคติที่เกิดขึ้นกับวงจรอินทิเกรเตอร์ที่นำเสนอในหัวข้อที่ 3.1.2 และในหัวข้อที่ 3.2.2 ทำให้วงจรกรองความถี่ที่ถูกสังเคราะห์ขึ้น มีความไม่เป็นอุดมคติด้วย ในส่วนนี้จะกล่าวถึงผลกระทบที่เกิดจากความไม่เป็นอุดมคติของฟังก์ชันการถ่ายโอนของวงจรกรองความถี่เนื่องจากความไม่เป็นอุดมคติของวงจรอินทิเกรเตอร์

ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบแอกทิฟ ดังแสดงในสมการที่ (4.25) เป็นแบบอุดมคติ ซึ่งเกิดจากวงจรอินทิเกรเตอร์แบบอุดมคติ ผลของความไม่เป็นอุดมคติของวงจรอินทิเกรเตอร์ดังที่ได้กล่าวมาแล้วในบทที่ 3 ทำให้วงจรกรองความถี่ที่ถูกสังเคราะห์ขึ้นมีคุณสมบัติที่ไม่เป็นไปอุดมคติด้วย

เมื่อแทนค่าฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์แบบไม่เป็นอุดมคติทั้งแบบขั้วเดียวและแบบขยายผลต่าง (สมการที่ (3.37) และสมการที่ (3.84)) ลงใน ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ ได้ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่แบบไม่เป็นอุดมคติ ดังแสดงได้จากสมการที่ (4.39)

$$H_{LPF}(s) = \frac{1}{b_{L6}s^6 + b_{L5}s^5 + b_{L4}s^4 + b_{L3}s^3 + b_{L2}s^2 + b_{L1}s + b_{L0}} \quad (4.38)$$

เมื่อ

$$b_{L6} = \frac{1}{A_0^3} (\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)})$$

$$b_{L5} = \frac{1}{A_0^3} \left( \begin{array}{l} \tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)} + \tau_{1(p1)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)} + \\ \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)} + \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{3(p1)}\tau_{3(p2)} + \\ \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p2)} + \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)} \end{array} \right)$$

$$b_{L4} = \frac{1}{A_0^3} \left( \begin{array}{l} \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)} + \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{3(p1)} + \\ \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p1)} + \tau_{1(p1)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)} + \\ \tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)} + \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{3(p2)} + \\ \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p2)} + \tau_{1(p1)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p2)} + \\ \tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p2)} + \tau_{1(p1)}\tau_{1(p2)}\tau_{3(p1)}\tau_{3(p2)} + \\ \tau_{1(p1)}\tau_{2(p1)}\tau_{3(p1)}\tau_{3(p2)} + \tau_{1(p2)}\tau_{2(p1)}\tau_{3(p1)}\tau_{3(p2)} + \\ \tau_{1(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)} + \tau_{1(p2)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)} + \\ \tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)} + \tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)} \end{array} \right)$$

$$\begin{aligned}
& + \frac{1}{A_0^2} (\tau_{1(p1)} \tau_{1(p2)} \tau_{2(p1)} \tau_{2(p2)}) \\
b_{L3} &= \frac{1}{A_0^3} \left( \begin{aligned} & \tau_{1(p1)} \tau_{1(p2)} \tau_{2(p1)} + \tau_{1(p1)} \tau_{1(p2)} \tau_{2(p2)} + \tau_{1(p1)} \tau_{2(p1)} \tau_{2(p2)} + \\ & \tau_{1(p2)} \tau_{2(p1)} \tau_{2(p2)} + \tau_{1(p1)} \tau_{1(p2)} \tau_{3(p1)} + \tau_{1(p1)} \tau_{2(p1)} \tau_{3(p1)} + \\ & \tau_{1(p2)} \tau_{2(p1)} \tau_{3(p1)} + \tau_{1(p1)} \tau_{2(p2)} \tau_{3(p1)} + \tau_{1(p2)} \tau_{2(p2)} \tau_{3(p1)} + \\ & \tau_{2(p1)} \tau_{2(p2)} \tau_{3(p1)} + \tau_{1(p1)} \tau_{1(p2)} \tau_{3(p2)} + \tau_{1(p1)} \tau_{2(p1)} \tau_{3(p2)} + \\ & \tau_{1(p2)} \tau_{2(p1)} \tau_{3(p2)} + \tau_{1(p1)} \tau_{2(p2)} \tau_{3(p2)} + \tau_{1(p2)} \tau_{2(p2)} \tau_{3(p2)} + \\ & \tau_{2(p1)} \tau_{2(p2)} \tau_{3(p2)} + \tau_{1(p1)} \tau_{3(p1)} \tau_{3(p2)} + \tau_{1(p2)} \tau_{3(p1)} \tau_{3(p2)} + \\ & \tau_{2(p1)} \tau_{3(p1)} \tau_{3(p2)} + \tau_{2(p2)} \tau_{3(p1)} \tau_{3(p2)} \end{aligned} \right) \\
& + \frac{1}{A_0^2} \left( \begin{aligned} & \tau_{1(p1)} \tau_{1(p2)} \tau_{2(p1)} + \tau_{1(p1)} \tau_{1(p2)} \tau_{2(p2)} + \tau_{1(p1)} \tau_{2(p1)} \tau_{2(p2)} + \\ & \tau_{2(p1)} \tau_{2(p2)} \tau_{3(p1)} + \tau_{1(p2)} \tau_{2(p1)} \tau_{2(p2)} + \tau_{2(p1)} \tau_{2(p2)} \tau_{3(p2)} + \\ & \tau_{2(p1)} \tau_{3(p1)} \tau_{3(p2)} + \tau_{2(p2)} \tau_{3(p1)} \tau_{3(p2)} \end{aligned} \right) \\
b_{L2} &= \frac{1}{A_0^3} \left( \begin{aligned} & \tau_{1(p1)} \tau_{1(p2)} + \tau_{1(p1)} \tau_{1(p2)} + \tau_{1(p2)} \tau_{2(p1)} + \tau_{1(p1)} \tau_{2(p2)} + \tau_{1(p2)} \tau_{2(p2)} + \\ & \tau_{2(p1)} \tau_{2(p2)} + \tau_{1(p1)} \tau_{3(p1)} + \tau_{1(p2)} \tau_{3(p1)} + \tau_{2(p1)} \tau_{3(p1)} + \tau_{2(p2)} \tau_{3(p1)} + \\ & \tau_{1(p1)} \tau_{3(p2)} + \tau_{1(p2)} \tau_{3(p2)} + \tau_{2(p1)} \tau_{3(p2)} + \tau_{2(p2)} \tau_{3(p2)} + \tau_{3(p1)} \tau_{3(p2)} \end{aligned} \right) \\
& + \frac{1}{A_0^2} \left( \begin{aligned} & \tau_{1(p1)} \tau_{1(p2)} + \tau_{1(p1)} \tau_{2(p1)} + \tau_{1(p2)} \tau_{2(p1)} + \tau_{1(p1)} \tau_{2(p2)} + \tau_{1(p2)} \tau_{2(p2)} + \\ & 2\tau_{2(p1)} \tau_{2(p2)} + \tau_{2(p1)} \tau_{3(p1)} + \tau_{2(p2)} \tau_{3(p1)} + \tau_{2(p1)} \tau_{3(p2)} + \tau_{2(p2)} \tau_{3(p2)} + \\ & \tau_{3(p1)} \tau_{3(p2)} \end{aligned} \right) \\
& + \frac{1}{A_0} (\tau_{1(p1)} \tau_{1(p2)} + \tau_{2(p1)} \tau_{2(p2)} + \tau_{3(p1)} \tau_{3(p2)}) \\
b_{L1} &= \left( \frac{1}{A_0^3} + \frac{1}{A_0^2} + \frac{1}{A_0} \right) (\tau_{1(p1)} + \tau_{1(p2)} + \tau_{2(p1)} + \tau_{2(p2)} + \tau_{3(p1)} + \tau_{3(p2)}) \\
b_{L0} &= 2 + \frac{1}{A_0^3} + \frac{2}{A_0^2} + \frac{3}{A_0}
\end{aligned}$$

โดยที่  $1/\tau_{i(p1)}$  และ  $1/\tau_{i(p2)}$  คือ โพลหลักและโพลรองของวงจรมิติเกรเตอร์อันดับที่  $i$  มีค่าเท่ากับ 1 2 และ 3 ตามลำดับ และ  $A_0$  คือ อัตราการขยายของวงจรมิติเกรเตอร์ที่ความถี่ต่ำ (ดูรายละเอียดในบทที่ 3 หัวข้อที่ 3.1.2 และ หัวข้อที่ 3.2.2)

เมื่อโพลหลักมีค่าต่ำกว่าโพลรองมากๆ โดยในการออกแบบได้ออกแบบให้โพลหลักห่างจากโพลรองมากกว่า 1,000 เท่า สำหรับวงจรแบบขั้วเดียว และมากกว่า 1,300 เท่า สำหรับแบบ

ขยายผลต่าง ทำให้เราไม่จำเป็นต้องพิจารณาผลของโพลรอง ดังนั้นฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ที่แสดงในสมการที่ (4.38) จะมีค่าประมาณเท่ากับสมการที่ (4.39)

$$H_{LPF}(s) \cong \frac{1}{b'_{L3}s^3 + b'_{L2}s^2 + b'_{L1}s + b'_{L0}} \quad (4.39)$$

โดยที่

$$b'_{L3} = \frac{1}{A_0^3} (\tau_{1(p1)} \tau_{2(p1)} \tau_{3(p1)})$$

$$b'_{L2} = \frac{1}{A_0^3} (\tau_{1(p1)} \tau_{3(p1)} + \tau_{2(p1)} \tau_{3(p1)}) + \frac{1}{A_0^2} (\tau_{1(p1)} \tau_{2(p1)} + \tau_{2(p1)} \tau_{3(p1)})$$

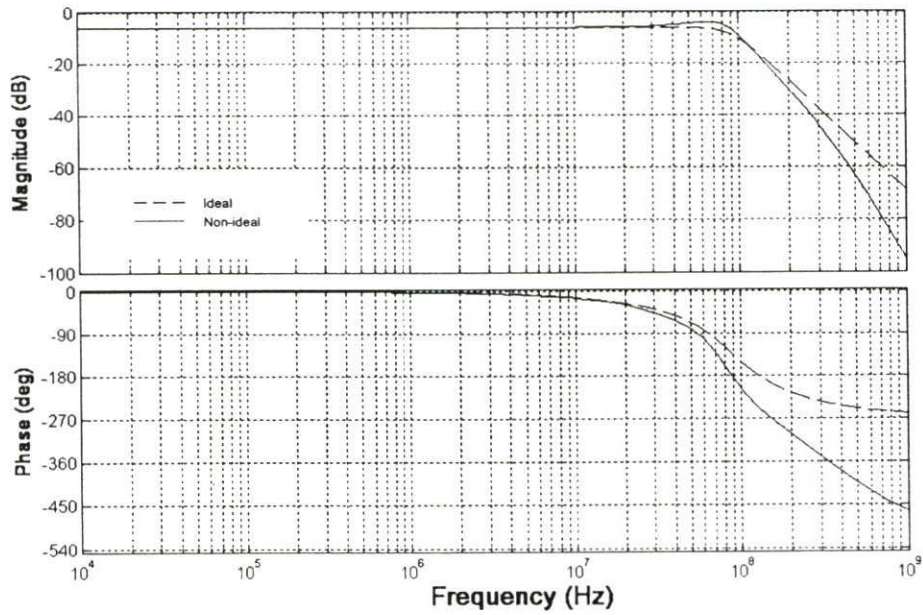
$$b'_{L1} = \left( \frac{1}{A_0^3} + \frac{1}{A_0^2} + \frac{1}{A_0} \right) (\tau_{1(p1)} + \tau_{2(p1)} + \tau_{3(p1)})$$

$$b'_{L0} = 2 + \frac{1}{A_0^3} + \frac{2}{A_0^2} + \frac{3}{A_0}$$

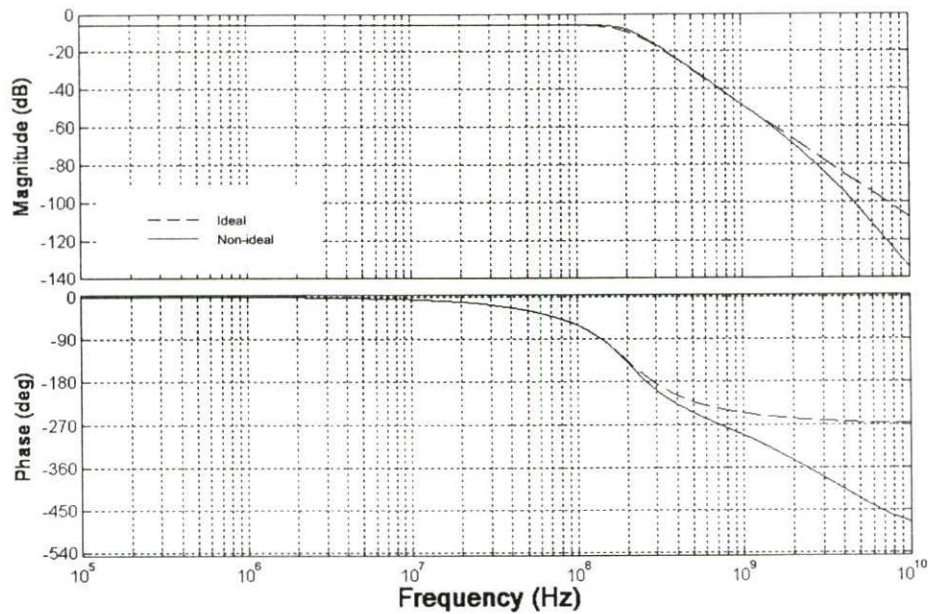
ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 ดังที่แสดงในสมการที่ (4.25) และสมการที่ (4.38) ถูกนำมาเขียนกราฟแสดงผลการตอบสนองความถี่ของวงจรเปรียบเทียบระหว่างฟังก์ชันการถ่ายโอนแบบอุดมคติ (สมการที่ (4.25)) กับแบบไม่เป็นอุดมคติ (สมการที่ (4.38)) ด้วยโปรแกรมแมทแล็บ (Matlab) ดังแสดงในรูปที่ 4.9 และรูปที่ 4.10

รูปที่ 4.9 และรูปที่ 4.10 แสดงผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 ทั้งแบบขั้วเดียวและแบบขยายผลต่าง ตามลำดับ วงจรกรองความถี่ต่ำผ่านแบบขั้วเดียวถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 90 MHz ในขณะที่วงจรกรองความถี่ต่ำผ่านแบบขยายผลต่างถูกออกแบบให้มีความถี่คัทออฟเท่ากับ 250 MHz จากรูปที่ 4.9 และรูปที่ 4.10 พบว่าผลที่ได้จากการตอบสนองทางความถี่และการตอบสนองทางเฟสของวงจรกรองความถี่ทั้งแบบขั้วเดียวและแบบขยายผลต่างมีลักษณะที่สอดคล้องกัน กล่าวคือที่ความถี่ต่ำการตอบสนองความถี่ของวงจรทั้งแบบอุดมคติและแบบไม่เป็นอุดมคติมีค่าใกล้เคียงกัน ในขณะที่ความถี่สูงผลการตอบสนองของวงจรกรองความถี่แบบไม่เป็นอุดมคติจะเริ่มมีค่าผิดเพี้ยนไปจากแบบอุดมคติ ที่ความถี่สูงผลการตอบสนองความถี่ของวงจรมีค่าผิดพลาดก็เนื่องมาจากผลของโพลรองที่เกิดในวงจรอินทิเกรเตอร์ ในทำนองเดียวกัน การตอบสนองทางเฟสของวงจรทั้งแบบขั้วเดียวและแบบขยายผลต่างมีค่าใกล้เคียงกันที่ความถี่ต่ำ ในขณะที่ความถี่สูงการตอบสนองทางเฟสของวงจรแบบไม่เป็นอุดมคติมีค่าไม่ถูกต้องอันเนื่องมาจากผลของโพลรอง การใช้งาน

วงจรกรองความถี่จึงถูกจำกัดด้วยโพโลงที่เกิดขึ้นในวงจรอินทิเกรเตอร์ ดังนั้นการออกแบบใช้งานวงจรกรองความถี่ที่ความถี่สูงจำเป็นต้องคำนึงถึงค่าตัวเก็บประจุแฝงที่เกิดขึ้นในวงจรอินทิเกรเตอร์ที่นำมาสังเคราะห์เป็นวงจรกรองความถี่ เพื่อให้วงจรสามารถทำงานได้อย่างถูกต้อง มีค่าไถ่เคียงความเป็นอุดมคติมากที่สุด



รูปที่ 4.9 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3 แบบขั้วเดียว เปรียบเทียบระหว่างแบบอุดมคติ (Ideal) กับแบบไม่เป็นอุดมคติ (Non ideal)



รูปที่ 4.10 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบขยายผลต่าง เปรียบเทียบระหว่างแบบอุดมคติ กับแบบไม่เป็นอุดมคติ

#### 4.3.2 ความไวของวงจรรองความถี่ (Sensitivity)

พารามิเตอร์ที่สำคัญที่ควรคำนึงถึงในการออกแบบวงจรรองความถี่คือ ความไว ในการใช้งานจริงค่าของอุปกรณ์ต่างๆในวงจรอาจจะมีการเปลี่ยนแปลงไปจากค่าจริง ซึ่งอาจจะเกิดจากสาเหตุต่างๆ เช่น การที่คุณสมบัติเฉพาะของอุปกรณ์เกิดการเปลี่ยนแปลงไปตามสภาพแวดล้อม ในขณะใช้งาน เช่น อุณหภูมิ ความชื้น เป็นต้น หรือมีการเปลี่ยนแปลงทางเคมีอันเนื่องมาจากอายุ ในการใช้งานของอุปกรณ์

ความไวเป็นอัตราส่วนระหว่างค่าการเปลี่ยนแปลงต่อหน่วยของค่าพารามิเตอร์ของวงจร ต่อค่าการเปลี่ยนแปลงต่อหน่วยของอุปกรณ์ในวงจร ซึ่งสามารถหาได้จากสมการดังต่อไปนี้

$$S_x^y = \frac{\partial y / y}{\partial x / x} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (4.41)$$

เมื่อ  $y$  หมายถึง ค่าพารามิเตอร์ใดๆ ซึ่งเป็นค่าจำเพาะเจาะจงที่เราสนใจของวงจร และ  $x$  หมายถึง ค่าของอุปกรณ์ใดๆในวงจร สำหรับกรณีฟังก์ชันขึ้นกับตัวแปรหลายๆตัวแปร เช่น ฟังก์ชัน  $y$  ขึ้นอยู่กับ  $x_1, x_2, x_3, \dots, x_n$  จำเป็นต้องหาการเปลี่ยนแปลงที่เกิดขึ้นจากการเปลี่ยนแปลงค่าของ อุปกรณ์ทุกตัว ( $x_1, x_2, \dots, x_n$ ) ดังนั้นการเปลี่ยนแปลงของฟังก์ชัน  $y$  ที่เกิดจากอุปกรณ์  $x$  คือ

$$dy = dy(x_1, x_2, \dots, x_n) = \frac{\partial y}{\partial x_1} dx_1 + \frac{\partial y}{\partial x_2} dx_2 + \dots + \frac{\partial y}{\partial x_n} dx_n \quad (4.42)$$

สามารถเขียนสมการที่ (4.42) ให้อยู่ในอีกรูปแบบหนึ่ง คือ

$$\frac{dy}{y} = S_{x_1}^y \frac{dx_1}{x_1} + S_{x_2}^y \frac{dx_2}{x_2} + \dots + S_{x_n}^y \frac{dx_n}{x_n} \quad (4.43)$$

วงจรรองความถี่ที่ดีนั้นควรมีค่าความไวที่ต่ำ การที่วงจรมีค่าความไวต่ำจะส่งผลให้ วงจรยังคงสามารถทำงานได้ตามคุณสมบัติที่ได้ถูกออกแบบไว้ แม้ว่าค่าอุปกรณ์ในวงจรจะเกิดการคลาดเคลื่อนไปจากเดิมก็ตาม

วงจรรองความถี่ต่ำผ่านแบบแอกทีฟ ที่ถูกสังเคราะห์จากวงจรอินทิเกรเตอร์ดังที่แสดง ในสมการที่ (4.25) จะถูกนำมาวิเคราะห์หาความไว โดยการแทนค่าคงตัวของวงจรอินทิเกรเตอร์ ( $\tau$ ) ที่นำเสนอในบทที่ 3 มีค่าเท่ากับ  $C_i / g_{mi}$  ก็จะได้ฟังก์ชันการถ่ายโอน แสดงในสมการที่ (4.44)

$$H_{LPF}(s) = \frac{1}{s^3 \frac{C_1}{g_{m1}} \frac{C_2}{g_{m2}} \frac{C_3}{g_{m3}} + s^2 \left( \frac{C_1}{g_{m1}} \frac{C_2}{g_{m2}} + \frac{C_2}{g_{m2}} \frac{C_3}{g_{m3}} \right) + s \left( \frac{C_1}{g_{m1}} + \frac{C_2}{g_{m2}} + \frac{C_3}{g_{m3}} \right) + 2} \quad (4.44)$$

โดยการจัดรูปสมการที่ (4.44) ให้อยู่ในรูปทั่วไป คือ

$$H_{LPF}(s) = \frac{1}{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + (c_{s1} + c_{s2} + c_{s3})s + 2} \quad (4.45)$$

เราสามารถหาค่าความไวของวงจรเนื่องจากตัวเก็บประจุ  $C_1$  ได้เท่ากับ

$$S_{C_1}^{H_{LPF}(s)} = \frac{C_1}{H_{LPF}(s)} \frac{\partial H_{LPF}(s)}{\partial C_1} \quad (4.46)$$

ดังนั้นจะได้

$$S_{C_1}^{H_{LPF}(s)} = -\frac{a_{s1}s^3 + b_{s1}s^2 + c_{s1}s}{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + (c_{s1} + c_{s2} + c_{s3})s + 2} \quad (4.47)$$

ในทำนองเดียวกัน ค่าความไวของวงจรเนื่องจากตัวเก็บประจุ  $C_2$  และตัวเก็บประจุ  $C_3$  คือ

$$S_{C_2}^{H_{LPF}(s)} = -\frac{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + c_{s2}s}{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + (c_{s1} + c_{s2} + c_{s3})s + 2} \quad (4.48)$$

$$S_{C_3}^{H_{LPF}(s)} = -\frac{a_{s1}s^3 + b_{s2}s^2 + c_{s3}s}{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + (c_{s1} + c_{s2} + c_{s3})s + 2} \quad (4.49)$$

การวิเคราะห์หาค่าความไวของฟังก์ชันการถ่ายโอนที่เกิดจากค่าทรานคอนดักแตนซ์ของวงจรอินทิเกรเตอร์ สามารถหาได้ดังต่อไปนี้

หาค่าความไวของวงจรเนื่องจากค่า  $g_{m1}$   $g_{m2}$  และ  $g_{m3}$  แสดงในสมการที่ (4.50) ถึงสมการที่ (4.52)

$$S_{g_{m1}}^{H_{LPF}(s)} = \frac{a_{s1}s^3 + b_{s1}s^2 + c_{s1}s}{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + (c_{s1} + c_{s2} + c_{s3})s + 2} \quad (4.50)$$

$$S_{g_{m2}}^{H_{LPF}(s)} = \frac{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + c_{s2}s}{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + (c_{s1} + c_{s2} + c_{s3})s + 2} \quad (4.51)$$

$$S_{g_{m3}}^{H_{LPF}(s)} = \frac{a_{s1}s^3 + b_{s2}s^2 + c_{s3}s}{a_{s1}s^3 + (b_{s1} + b_{s2})s^2 + (c_{s1} + c_{s2} + c_{s3})s + 2} \quad (4.52)$$

เมื่อพิจารณาค่าความไวของฟังก์ชันการถ่ายโอนของวงจรรองความถี่เนื่องจากค่าตัวเก็บประจุและค่าทรานคอนดักแตนซ์ จะสังเกตได้ว่าค่าที่ได้มีค่าสัมบูรณ์ต่ำกว่าหนึ่ง และยังพบอีกว่าผลรวมของค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากตัวเก็บประจุ  $C_1$  กับค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากทรานคอนดักแตนซ์  $g_{m1}$  มีค่าเป็นศูนย์หรือก็คือการเปลี่ยนแปลงของค่าตัวเก็บประจุ  $C_1$  และค่าทรานคอนดักแตนซ์  $g_{m1}$  ไม่มีผลต่อฟังก์ชันการถ่ายโอนของวงจรรองความถี่เมื่อค่าตัวเก็บประจุ  $C_1$  และค่าทรานคอนดักแตนซ์  $g_{m1}$  เกิดการเปลี่ยนแปลงพร้อมๆกัน สำหรับกรณีค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากตัวเก็บประจุ  $C_2$  กับค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากค่าทรานคอนดักแตนซ์  $g_{m2}$  และค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากตัวเก็บประจุ  $C_3$  กับค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากค่าทรานคอนดักแตนซ์  $g_{m3}$  ก็มีค่าเป็นศูนย์เช่นเดียวกัน แสดงได้ดังสมการที่ (4.53) นอกจากนี้เมื่อรวมผลค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากค่าอุปกรณ์ทั้งหมดในวงจรเข้าไว้ด้วยกัน ทำให้ได้ความไวมีค่าเท่ากับศูนย์ หากค่าตัวเก็บประจุและค่าทรานคอนดักแตนซ์เกิดการเปลี่ยนแปลงพร้อมๆกัน ดังแสดงในสมการที่ (4.54)

$$S_{C_1}^{H(s)} + S_{g_{m1}}^{H(s)} = 0, \quad S_{C_2}^{H(s)} + S_{g_{m2}}^{H(s)} = 0 \quad \text{และ} \quad S_{C_3}^{H(s)} + S_{g_{m3}}^{H(s)} = 0 \quad (4.53)$$

$$S_{C_1}^{H(s)} + S_{C_2}^{H(s)} + S_{C_3}^{H(s)} + S_{g_{m1}}^{H(s)} + S_{g_{m2}}^{H(s)} + S_{g_{m3}}^{H(s)} = 0 \quad (4.54)$$

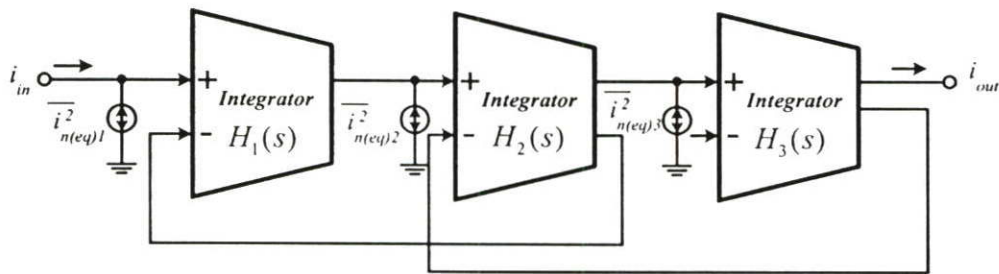
### 4.3.3 สัญญาณรบกวนของวงจรรองความถี่

จากการวิเคราะห์สัญญาณรบกวนที่เกิดขึ้นในวงจรอินทิเกรเตอร์ทั้งแบบขั้วเดียวและแบบขยายผลต่าง ดังที่แสดงในหัวข้อที่ 3.1.3 และในหัวข้อที่ 3.2.3 ตามลำดับ ส่งผลให้สัญญาณรบกวนเกิดขึ้นในวงจรรองความถี่เช่นเดียวกัน ในหัวข้อนี้จะแสดงการวิเคราะห์สัญญาณรบกวนที่เกิดขึ้นในวงจรรองความถี่ทั้งแบบขั้วเดียวและแบบขยายผลต่าง

#### 1. วงจรรองความถี่แบบขั้วเดียว

วงจรรองความถี่ต่ำผ่านอันดับที่ 3 แบบแอกทีฟ ถูกสังเคราะห์จากวงจรรวมอินทิเกรเตอร์แบบขั้วเดียวที่น่าเสนอ ดังแสดงในรูปที่ 4.7 ถูกลำมาวิเคราะห์หาสัญญาณรบกวนที่เกิดขึ้นในวงจร โดยการแทนแหล่งจ่ายกระแสรบกวนด้านอินพุตที่เกิดจากอินทิเกรเตอร์แต่ละชุด (การ

วิเคราะห์สัญญาณรบกวนของวงจรอินทิเกรเตอร์ แสดงในหัวข้อที่ 3.1.3) ลงในวงจรกรองความถี่ ดังแสดงในรูปที่ 4.11



รูปที่ 4.11 การจำลองแหล่งจ่ายสัญญาณรบกวนของวงจรกรองความถี่แบบขั้วเดียว

จากรูปที่ 4.11 สามารถหาสัญญาณรบกวนด้านเอาต์พุตได้ คือ

$$\overline{I_{no(LPF)}^2} = \sum_{i=1}^3 \overline{I_{no(LPF)i}^2} \quad (4.55)$$

เมื่อ

$$\overline{I_{no(LPF)1}^2} = \left( \frac{H_1(s)H_2(s)H_3(s)}{H_1(s)H_2(s) + H_2(s)H_3(s) + 1} \right)^2 \overline{I_{n(eq)1}^2}$$

$$\overline{I_{no(LPF)2}^2} = \left( \frac{H_2(s)H_3(s)}{H_2(s)H_3(s) + 1} \right)^2 \overline{I_{n(eq)2}^2}$$

$$\overline{I_{no3(LPF)3}^2} = (H_3(s))^2 \overline{I_{n(eq)3}^2}$$

โดยที่  $H_i(s)$  คือ ฟังก์ชันการถ่ายโอนของวงจรอินทิเกรเตอร์ มีค่าเท่ากับ

$$H_i(s) = \frac{\alpha_1}{sC_i \alpha_2 + \alpha_3 + 1} \quad \text{เมื่อ } i \text{ มีค่าเท่ากับ 1 และ 3}$$

$$H_i(s) = \frac{\alpha_1}{sC_i \alpha_2 + \alpha_3} \quad \text{เมื่อ } i \text{ มีค่าเท่ากับ 2}$$

และ

$$\alpha_1 = 1 + \frac{sC_{gs2}}{g_{m1}} + \frac{sC_{gs6}}{g_{m6}} + \frac{s^2C_{gs2}C_{gs6}}{g_{m1}g_{m6}}$$

$$\alpha_2 = \frac{1}{g_{m5}} + \frac{2sC_{gs1}}{g_{m1}g_{m5}} + \frac{2s^2C_{gs1}C_{gs2}}{g_{m1}g_{m2}g_{m5}} + \frac{sC_{gs6}}{g_{m5}g_{m6}} + \frac{2s^2C_{gs1}C_{gs6}}{g_{m1}g_{m5}g_{m6}}$$

$$\alpha_3 = \frac{2sC_{gs1}}{g_{m1}} + \frac{s^2C_{gs1}C_{gs6}}{g_{m1}g_{m2}}$$

ความสัมพันธ์ระหว่างสัญญาณรบกวนด้านเอาต์พุตกับสัญญาณรบกวนด้านอินพุตของ วงจรกรองความถี่ แสดงในสมการที่ (4.56)

$$\overline{I_{n(eq)LPF}^2} = \frac{\overline{I_{no(LPFF)}^2}}{\left(H_{LPF}(s)\right)^2} \quad (4.56)$$

ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ในโหมดกระแส ( $H_{LPF}(s)$ ) คือ

$$H_{LPF}(s) = \frac{H_1(s)H_2(s)H_3(s)}{H_1(s)H_2(s) + H_2(s)H_3(s) + 1} \quad (4.57)$$

จากสมการที่ (4.55) และสมการที่ (4.56) สามารถหาสัญญาณรบกวนด้านอินพุตของวงจรกรองความถี่ได้ คือ

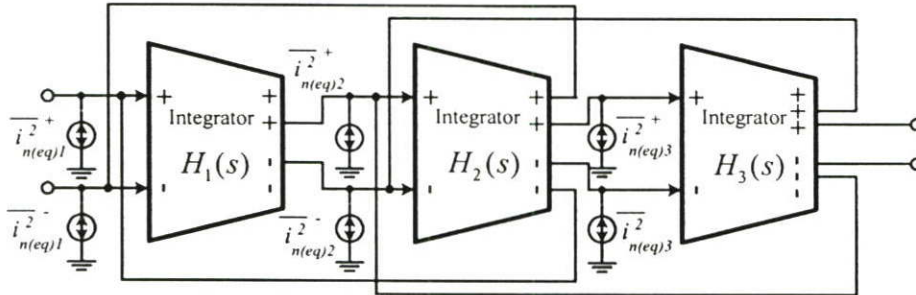
$$\overline{I_{n(eq)LPF}^2} = \overline{I_{n(eq)1}^2} + \left(\frac{H_1(s)H_2(s) + H_2(s)H_3(s) + 1}{H_1(s)H_2(s)H_3(s) + H_1(s)}\right)^2 \overline{I_{n(eq)2}^2}$$

$$+ \left(\frac{H_1(s)H_2(s) + H_2(s)H_3(s) + 1}{H_1(s)H_2(s)}\right)^2 \overline{I_{n(eq)3}^2} \quad (4.58)$$

## 2. วงจรกรองความถี่แบบขยายผลต่าง

วงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบแอกทิฟ ถูกสังเคราะห์จากวงจรอินทิเกรเตอร์แบบขยายผลต่างที่นำเสนอ ดังแสดงในรูปที่ 4.8 เราสามารถวิเคราะห์หาสัญญาณรบกวนที่เกิดขึ้นในวงจรได้เช่นเดียวกับวงจรกรองความถี่แบบขั้วเดียว โดยการแทนแหล่งจ่ายกระแสรบกวนด้าน

อินพุตที่เกิดจากอินทิเกรเตอร์แต่ละชุด (การวิเคราะห์สัญญาณรบกวนอินพุตที่เกิดจากวงจรรวมอินทิเกรเตอร์แบบขยายความแตกต่างแสดงในหัวข้อที่ 3.2.3) ลงในวงจรรองความถี่ ดังแสดงในรูปที่ 4.12



รูปที่ 4.12 การจำลองแหล่งจ่ายสัญญาณรบกวนของวงจรรองความถี่แบบขยายผลต่าง

จากรูปที่ 4.12 แสดงการจำลองแหล่งจ่ายสัญญาณรบกวนของวงจรรองความถี่แบบขยายผลต่าง โดยการแทนสัญญาณรบกวนที่เกิดจากวงจรรวมอินทิเกรเตอร์แบบขยายผลต่างแต่ละชุด ลงในวงจรรองความถี่ เราสามารถหาสัญญาณรบกวนด้านเอาต์พุตได้เช่นเดียวกับแบบขั้วเดียว ดังแสดงในสมการที่ (4.55) โดยการแทนค่าฟังก์ชันการถ่ายโอนของวงจรรวมอินทิเกรเตอร์เป็นแบบขยายความแตกต่าง คือ

$$H_i(s) = \frac{1}{sC_i + \alpha_4 + 1} \quad \text{เมื่อ } i \text{ มีค่าเท่ากับ 1 และ 3}$$

$$H_i(s) = \frac{1}{sC_i + \alpha_4} \quad \text{เมื่อ } i \text{ มีค่าเท่ากับ 2}$$

โดยที่

$$\alpha_4 = \frac{1}{g_{m1}} + \frac{sC_{gs2}}{g_{m1}g_{m2}}$$

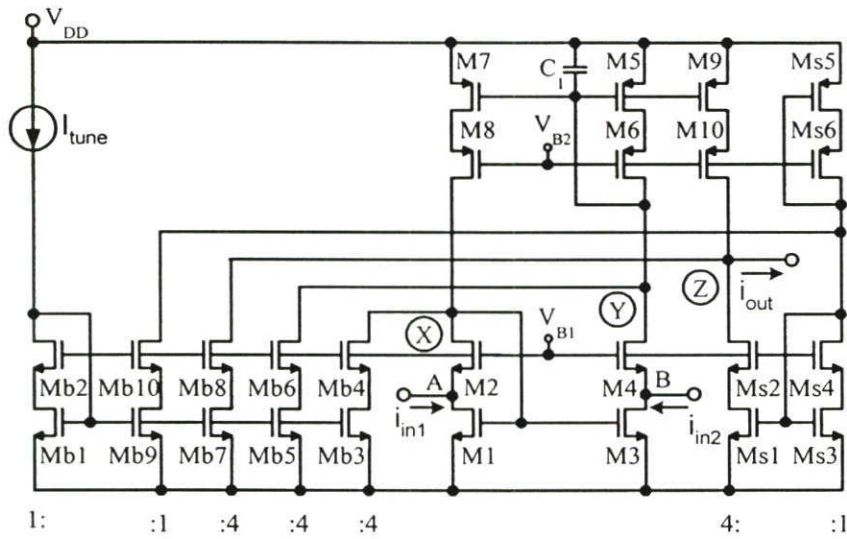
ในทำนองเดียวกัน สัญญาณรบกวนด้านอินพุตของวงจรรองความถี่แบบขยายผลต่าง สามารถหาได้จากสมการที่ (4.58) โดยการแทนค่าฟังก์ชันการถ่ายโอนของวงจรรวมอินทิเกรเตอร์เป็นแบบขยายความแตกต่าง

จากสัญญาณรบกวนที่แสดงในสมการที่ (4.58) จะเห็นได้ว่าสัญญาณรบกวนด้านอินพุตจะขึ้นอยู่กับค่าฟังก์ชันการถ่ายโอนของวงจรมิติเกรเตอร์และค่าสัญญาณรบกวนด้านอินพุตของวงจรมิติเกรเตอร์ โดยสัญญาณรบกวนจะมีค่าต่ำในช่วงความถี่ที่ต่ำกว่าความถี่คัทออฟของวงจรมิติเกรเตอร์และจะมีค่าเพิ่มขึ้นอย่างรวดเร็วที่ความถี่มากกว่าความถี่คัทออฟ เนื่องจากอัตราการขยายของวงจรมิติเกรเตอร์มีค่าลดลงอย่างรวดเร็ว โดยที่สัญญาณรบกวนจะมีค่ามากขึ้นอยู่กับสัญญาณรบกวนที่เกิดขึ้นในวงจรมิติเกรเตอร์ดังที่ได้แสดงในบทที่ 3

#### 4.4 การปรับค่าคงตัวเวลาของวงจรมิติเกรเตอร์แบบอิสระ

วงจรมิติเกรเตอร์ที่ถูกนำเสนอในบทที่ 3 สามารถปรับจูนความถี่ได้โดยการปรับค่ากระแสที่ไหลผ่านทรานซิสเตอร์ ในหัวข้อนี้จะกล่าวถึงการปรับจูน กระแสที่ไหลผ่านทรานซิสเตอร์ เพื่อไม่ทำให้วงจรมิติเกรเตอร์ที่ต่อร่วมกันค่าคงตัวเวลา (Time constant:  $\tau$ ) เปลี่ยนแปลง

วงจรมิติเกรเตอร์แบบขั้วเดียวที่แสดงในรูปที่ 4.7 สามารถปรับค่าคงตัวเวลาของวงจรมิติเกรเตอร์ได้โดยการปรับค่าคงตัวเวลาของวงจรมิติเกรเตอร์แต่ละขั้ว เพื่อให้การปรับค่าคงตัวเวลาของวงจรมิติเกรเตอร์เป็นไปอย่างอิสระจากกัน ในงานวิจัยนี้จึงได้นำเสนอวงจรมิติเกรเตอร์ที่สามารถปรับค่าทรานคอนดักแตนซ์ด้วยการปรับค่ากระแสไบอัสของวงจรมิติเกรเตอร์โดยไม่ทำให้ค่าทรานคอนดักแตนซ์ (ค่าคงตัวเวลา) ของวงจรมิติเกรเตอร์ขั้วอื่นเปลี่ยนแปลง ดังแสดงในรูปที่ 4.13 จากที่ได้กล่าวมาแล้วในหัวข้อที่ 3.1 เราสามารถปรับค่าคงตัวเวลาของวงจรมิติเกรเตอร์ได้โดยการปรับกระแสไบอัสที่ไหลผ่านทรานซิสเตอร์ M5 ผ่านทางกระแส  $I_{B1}$  และ  $I_{B2}$  กระแส  $I_{B1}$  และ  $I_{B2}$  สามารถสร้างได้โดยใช้วงจรมิติเกรเตอร์แบบคาสโคดทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำประกอบด้วยทรานซิสเตอร์ Mb1 ถึง Mb6 โดยจะต่อเข้ากับโหนด X และ โหนด Y (ดูรูปที่ 4.13) ของวงจรมิติเกรเตอร์ อย่างไรก็ตามการปรับค่ากระแสไบอัสทรานซิสเตอร์ M5 จะส่งผลให้กระแสไบอัสทรานซิสเตอร์ M9 เปลี่ยนแปลงไปด้วย ทำให้วงจรมิติเกรเตอร์ในขั้วถัดไปมีค่าคงตัวเวลาถูกปรับค่าไปด้วย เพื่อการแก้ปัญหาดังกล่าวจึงจำเป็นต้องสร้างกระแสไบอัสที่มีค่าเท่ากับกระแสไบอัสที่ไหลผ่านทรานซิสเตอร์ M9 แล้วทำการดึงออกจากโหนด Z สามารถทำได้โดยสร้างวงจรมิติเกรเตอร์แบบการทำงานของทรานซิสเตอร์ M3 ถึง M6 ด้วยทรานซิสเตอร์ Ms3 ถึง Ms6 ทำให้ได้กระแสไบอัสวงจรมิติเกรเตอร์ที่ไหลผ่านทรานซิสเตอร์ Ms1 ถึง Ms2 มีค่าเท่ากับกระแสที่ไหลผ่านทรานซิสเตอร์ M9 ถึง M10 ส่งผลให้กระแสเอาต์พุต ( $i_{out}$ ) ของวงจรมิติเกรเตอร์ที่ได้ ไม่มีผลกระทบกับวงจรมิติเกรเตอร์ที่ต่อร่วมกันในวงจรมิติเกรเตอร์



รูปที่ 4.13 แสดงการปรับค่าคงตัวเวลาอย่างอิสระของวงจรอินทิเกรเตอร์แบบหัวเดียว

จากวงจรในรูปที่ 4.13 จะเห็นได้ว่าทรานซิสเตอร์ Ms3 ถึง Ms6 ถูกออกแบบมาให้มีอัตราส่วนที่เล็กกว่าทรานซิสเตอร์ M3 ถึง M6 เพื่อลดกระแสไบอัส และกำลังงานสูญเสียที่เกิดขึ้นในวงจร โครงสร้างของวงจรรองความถี่ต่ำผ่านอันดับที่ 3 แบบแอกทิฟ (แบบหัวเดียว) ที่แสดงในรูปที่ 4.7 จะถูกแทนลงไปด้วยวงจรอินทิเกรเตอร์แบบหัวเดียว ดังแสดงในรูปที่ 4.13

วงจรรองความถี่แบบขยายผลต่างที่แสดงในรูปที่ 4.8 สามารถปรับค่าคงตัวเวลาได้โดยการปรับค่าคงตัวเวลาของวงจรอินทิเกรเตอร์แต่ละชุด เช่นเดียวกับวงจรกับวงจรรองความถี่แบบหัวเดียว จากวงจรอินทิเกรเตอร์แบบขยายผลต่างที่ถูกนำเสนอในบทที่ 3 (รูปที่ 3.11) จะสังเกตเห็นว่าเราสามารถปรับค่าทรานคอนดักแตนซ์ผ่านการปรับกระแสไบอัสโดยไม่ทำให้ค่าทรานคอนดักแตนซ์ (ค่าคงตัวเวลา) ของวงจรอินทิเกรเตอร์ชุดอื่นเปลี่ยนแปลง ทำให้สามารถปรับค่าคงตัวเวลาของวงจรรองความถี่แบบขยายผลต่างได้อย่างอิสระ

การที่วงจรรองความถี่สามารถปรับค่าคงตัวเวลาของวงจรอินทิเกรเตอร์แต่ละชุดได้อย่างอิสระ ทำให้เราสามารถปรับค่าคงตัวเวลาของวงจรอินทิเกรเตอร์แต่ละชุดได้อย่างอิสระ ส่งผลให้ได้คุณสมบัติของวงจรรองความถี่ที่แตกต่างกัน ดังจะได้แสดงต่อไปในหัวข้อที่ 4.5

#### 4.5 ผลการจำลองการทำงานของวงจรรองความถี่ต่ำผ่าน อันดับที่ 3

คุณสมบัติของวงจรอินทิเกรเตอร์ที่นำเสนอทั้งแบบหัวเดียวและแบบขยายผลต่าง ถูกนำมาออกแบบเป็นวงจรรองความถี่ต่ำผ่านอันดับที่ 3 ทั้งแบบหัวเดียวและแบบขยายผลต่าง วงจรดังกล่าวถูกนำมาจำลองการทำงานเพื่อทดสอบประสิทธิภาพโดยใช้โปรแกรม Hspice

ร่วมกับเทคโนโลยี แบบซีมอสทรานซิสเตอร์ ขนาด 0.5 ไมครอน พารามิเตอร์ที่สำคัญของทรานซิสเตอร์ที่ใช้ในการออกแบบแสดงในตารางที่ 4.1

ตารางที่ 4.1 พารามิเตอร์ที่สำคัญของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรความถี่

พารามิเตอร์	NMOS	PMOS
$f_T$	6.7 GHz	2.1 GHz
$\mu_0$	588.43 $cm^2/V-s$	148.64 $cm^2/V-s$
$V_{T0}$	0.60 V	-0.61 V
$t_{ox}$	$1 \times 10^{-8}$ m	$1 \times 10^{-8}$ m

#### 4.5.1 ผลการจำลองการทำงานวงจรความถี่แบบขั้วเดียว

วงจรความถี่แบบขั้วเดียวที่แสดงในรูปที่ 4.7 ถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายไฟเลี้ยง ( $V_{DD}$ ) ขนาด 1.5 โวลต์ แรงดัน  $V_{B1}$  และแรงดัน  $V_{B2}$  มีค่าเท่ากับ 1.3 โวลต์ และ 0.25 โวลต์ ตามลำดับ ที่กระแสไบอัสทรานซิสเตอร์ขณะสภาวะสงบ (Quiescent Currents) มีค่าเท่ากับ 35 ไมโครแอมป์ ขนาดของมอสทรานซิสเตอร์ที่ได้จากการออกแบบถูกแสดงในตารางที่ 4.2 วงจรถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 10 MHz และ 88 MHz ตัวเก็บประจุแสดงในตารางที่ 4.3 และ ตารางที่ 4.4 ตามลำดับ

ตารางที่ 4.2 ขนาดมอสทรานซิสเตอร์ของวงจรอินทิเกรเตอร์แบบขั้วเดียวที่นำเสนอ

มอสทรานซิสเตอร์	อัตราส่วน ( $W/L$ )
$M_1, M_3, M_{S1}$	10/0.5
$M_2, M_4, M_{S2}$	14/0.5
$M_5, M_7, M_9$	34/0.5
$M_6, M_8, M_{10}$	26/0.5
$M_{S3}$	2.5/0.5
$M_{S4}$	3.5/0.5
$M_{S5}$	6.5/0.5
$M_{S6}$	8.5/0.5
$M_{b1}, M_{b9}$	1.5/0.5
$M_{b2}, M_{b10}$	2/0.5
$M_{b3}, M_{b5}, M_{b7}$	6/0.5
$M_{b4}, M_{b6}, M_{b8}$	8/0.5

ตารางที่ 4.3 ขนาดตัวเก็บประจุของวงจรกรองความถี่แบบขั้วเดียว ความถี่คัทออฟ มีค่าเท่ากับ

10 MHz

ตัวเก็บประจุ	$pF$
$C_1$	7.5
$C_2$	9.5
$C_3$	7.5

ตารางที่ 4.4 ขนาดตัวเก็บประจุของวงจรกรองความถี่แบบขั้วเดียว ความถี่คัทออฟ มีค่าเท่ากับ

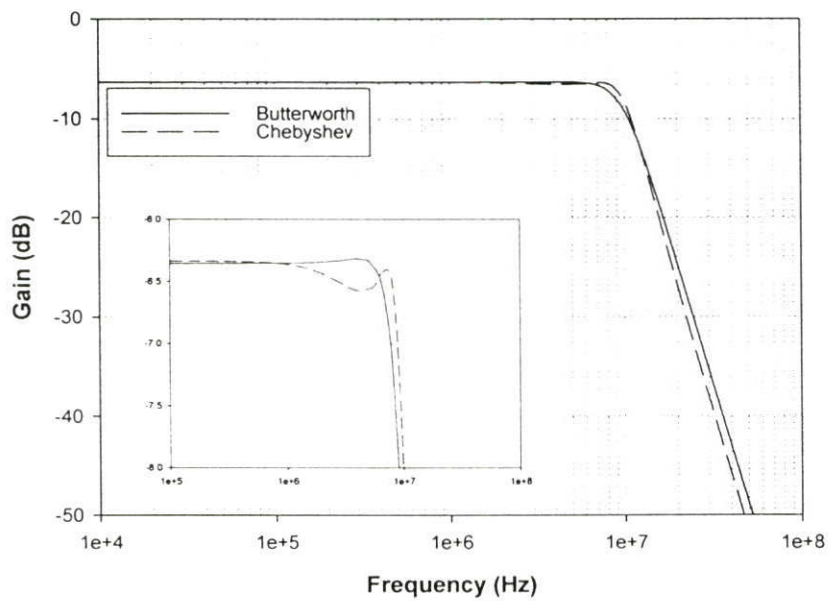
88 MHz

ตัวเก็บประจุ	$pF$
$C_1$	0.45
$C_2$	1.12
$C_3$	0.45

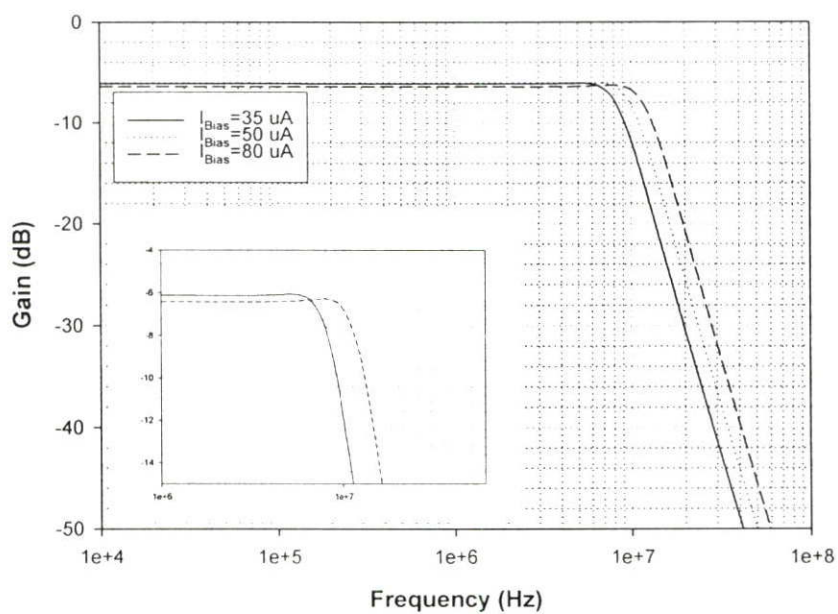
รูปที่ 4.14 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบบัตเตอร์เวิร์ท (Butterworth) กับแบบเชบีเชฟ (Chebyshev) วงจรถูกออกแบบให้มีความถี่คัทออฟเท่ากับ 10 MHz ภายใต้การปรับค่ากระแสไบอัส (หรือค่า  $g_m$ ) ที่แตกต่างกัน ซึ่งเราสามารถทำให้เป็นจริงได้ด้วยการปรับค่าคงตัวของวงจรมอดูเลเตอร์อย่างอิสระในรูปที่ 4.13 เมื่อปรับเพิ่มค่ากระแสไบอัสในวงจรมอดูเลเตอร์ในชุดแรก ( $\tau_1$ ) และชุดที่สาม ( $\tau_3$ ) ขณะเดียวกัน กระแสไบอัสในวงจรมอดูเลเตอร์ในบล็อกที่สอง ( $\tau_2$ ) จะถูกปรับลด ทำให้ได้วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ท ในทำนองเดียวกัน วงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟ ได้จากการปรับลดกระแสไบอัสในชุดแรกและชุดที่สามของวงจรมอดูเลเตอร์ และปรับเพิ่มกระแสไบอัสในวงจรมอดูเลเตอร์ในชุดที่สอง และเมื่อทำการปรับค่ากระแสไบอัสของวงจรพร้อมๆ กันทั้งสามชุด วงจรกรองความถี่จะสามารถปรับจูนค่าความถี่คัทออฟได้ ดังแสดงในรูปที่ 4.15 การตอบสนองความถี่ของวงจรในรูปที่ 4.15 สามารถปรับความถี่คัทออฟได้จากความถี่ 8.7 MHz ถึง 13 MHz ด้วยการปรับค่ากระแสไบอัสจาก  $35 \mu A$  จนถึง  $80 \mu A$  รูปที่ 4.16 แสดงค่าความผิดเพี้ยนฮาร์โมนิกทั้งหมด (THD) ของวงจรกรองความถี่ต่ำผ่าน (ความถี่คัทออฟมีค่าเท่ากับ 10 MHz) ที่ค่าความถี่ 1 MHz 5 MHz และ 10 MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต ( $i_m$ ) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจร ( $I_B$ ) เมื่อป้อนอัตราส่วนของกระแสอินพุตต่อกระแสไบอัส มีค่าเท่ากับ 0.6 ที่ความถี่ 10 MHz ได้ค่าความผิดเพี้ยนฮาร์โมนิกทั้งหมดน้อยกว่า 3.6 เปอร์เซ็นต์ จากรูปที่ 4.16 จะเห็นได้ว่าเมื่อลดอัตราส่วนของกระแสอินพุตลงเปรียบเทียบกับ

กระแสไบอัสวงจรทำค่าความผิดพลาดเพี้ยนฮาร์โมนิกส์รวมมีค่าลดลง รูปที่ 4.17 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทด์วงจรถูกออกแบบให้มีความถี่คัทออฟเท่ากับ 88 MHz การตอบสนองความถี่ของวงจรสามารถปรับความถี่ได้จาก 88 MHz ถึง 118 MHz โดยการปรับค่ากระแสไบอัสวงจรพร้อมกันจาก  $35 \mu A$  ถึง  $80 \mu A$  รูปที่ 4.18 แสดงการตอบสนองทางเวลาของวงจรกรองความถี่ เมื่อป้อนสัญญาณกระแสอินพุตมีขนาดเท่ากับ  $10 \mu A$  ที่ความถี่ 88 MHz เข้าสู่วงจรกรองความถี่ สัญญาณกระแสเอาต์พุตมีค่าเท่ากับ  $3.55 \mu A$  จากรูปที่ 4.18 พบว่าที่ความถี่ 88 MHz ขนาดของสัญญาณกระแสเอาต์พุตมีค่าเป็น 0.707 เท่า ของขนาดสัญญาณกระแสเอาต์พุตที่ความถี่ต่ำ รูปที่ 4.19 แสดงค่าความผิดพลาดเพี้ยนฮาร์โมนิกส์รวมของวงจรกรองความถี่ (ความถี่คัทออฟมีค่าเท่ากับ 88 MHz) ที่ค่าความถี่ 1 MHz 10 MHz และ 100 MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต ( $i_m$ ) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจร ( $I_b$ ) ค่าความผิดพลาดเพี้ยนฮาร์โมนิกส์รวมที่ได้มีค่าน้อยกว่า 4.5 เปอร์เซ็นต์ เมื่อป้อนอัตราส่วนของสัญญาณกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.6 ที่ความถี่ 100 MHz

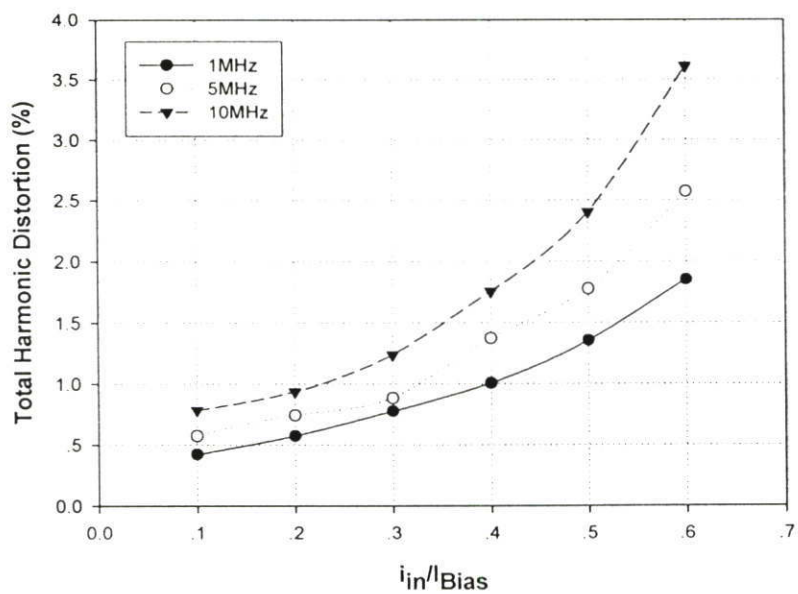
รูปที่ 4.20 แสดงสัญญาณรบกวนอินพุตของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 (ความถี่คัทออฟมีค่าเท่ากับ 88 MHz) ที่ค่าความถี่ 100 MHz วัดสัญญาณรบกวนได้มีค่าเท่ากับ  $0.447 nA/\sqrt{Hz}$  สังเกตได้ว่าสัญญาณรบกวนอินพุตที่ความถี่ต่ำสัญญาณรบกวนจะมีค่าน้อยและที่ความถี่สูงกว่า 100 MHz สัญญาณรบกวนอินพุตจะมีค่าสูงขึ้นอย่างรวดเร็ว ตารางที่ 4.5 แสดงคุณสมบัติของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบซั้วเดี่ยวที่นำเสนอ



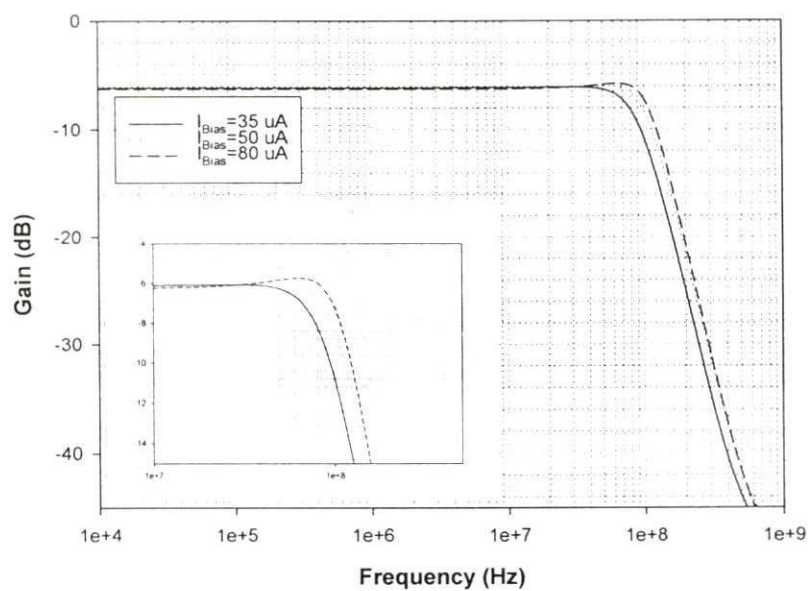
รูปที่ 4.14 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทด์เปรียบเทียบกับแบบเชบีเชฟ เมื่อปรับจูนกระแสอย่างอิสระ



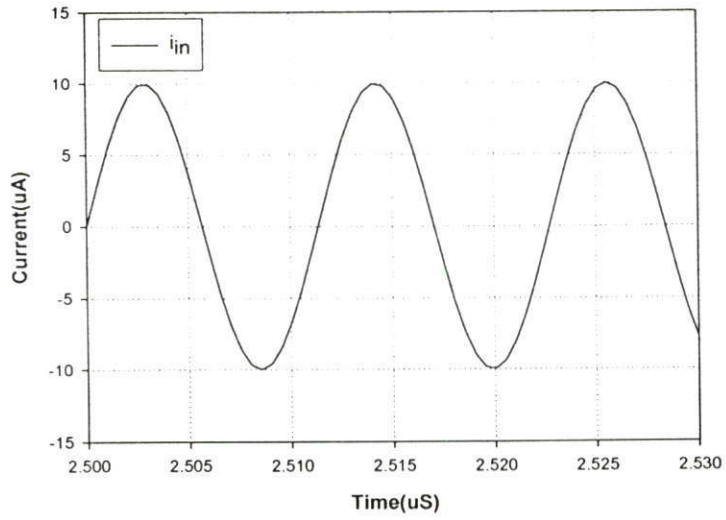
รูปที่ 4.15 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ



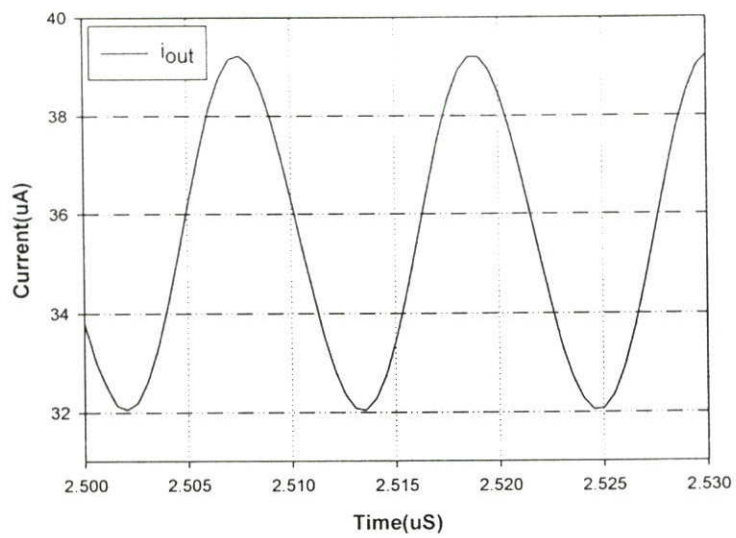
รูปที่ 4.16 ค่าความผิดเพี้ยนฮาร์โมนิกสรวมของวงจรรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 10 MHz)



รูปที่ 4.17 การตอบสนองความถี่ของวงจรรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ

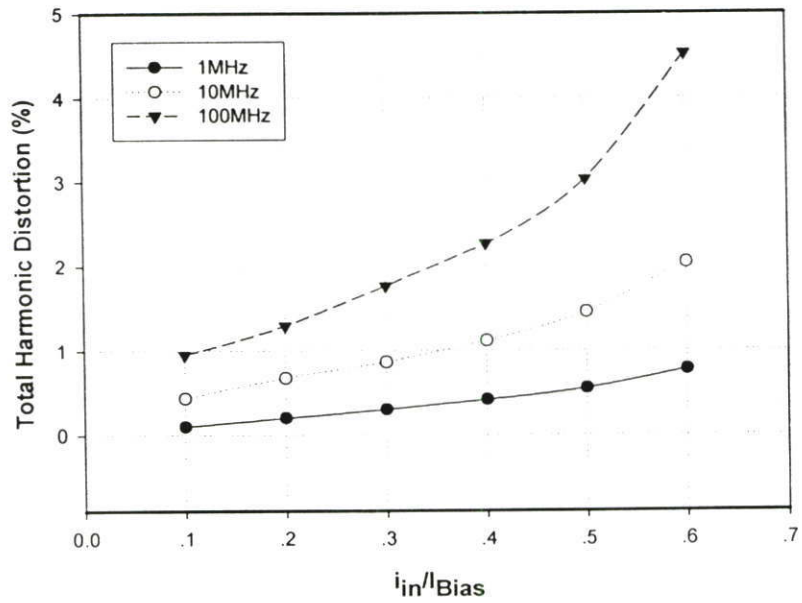


(ก) กระแสอินพุตของวงจรกรองความถี่

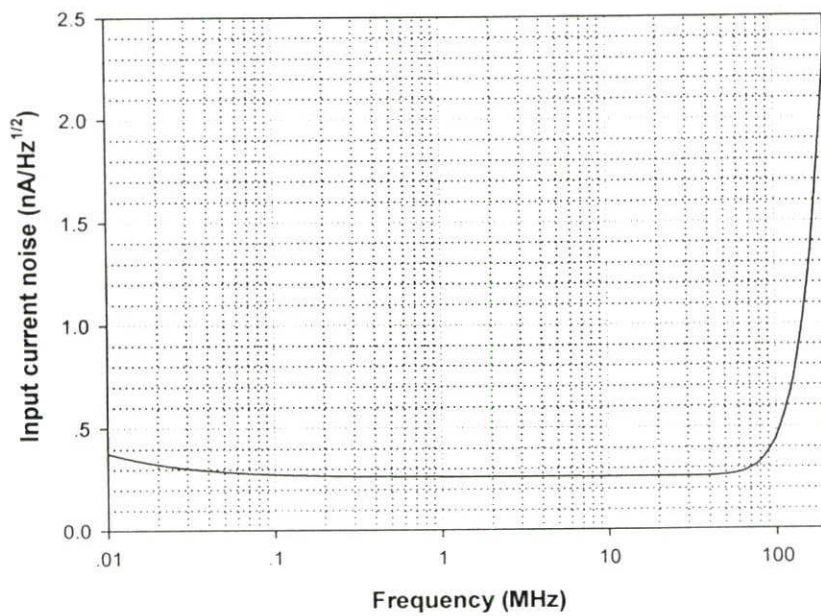


(ข) กระแสเอาต์พุตของวงจรกรองความถี่

รูปที่ 4.18 ผลการตอบสนองทางเวลาของวงจรกรองความถี่แบบขั้วเดียว



รูปที่ 4.19 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรกรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 88 MHz)



รูปที่ 4.20 สัญญาณรบกวนอินพุต ของวงจรกรองความถี่

ตารางที่ 4.5 คุณสมบัติของวงจรรองความถี่ที่นำเสนอ

พารามิเตอร์	ผลการจำลองการทำงาน
แหล่งจ่ายแรงดัน	1.5 V
กระแสไบอัสวงจรร	35 - 80 $\mu$ A
ความถี่คัทออฟ	88 - 116 MHz
ความผิดเพี้ยนฮาร์โมนิกสรวม	4.5 % @ 100MHz
สัญญาณรบกวนอินพุต	0.44 $nA/\sqrt{Hz}$ @ 100MHz
กำลังงานสูญเสีย	0.8 mW @ $I_{Bias} = 35 \mu$ A

#### 4.5.2 ผลการจำลองการทำงานวงจรรองความถี่แบบขยายผลต่าง

วงจรรองความถี่แบบขยายผลต่างที่แสดงในรูปที่ 4.8 ถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายไฟเลี้ยง ( $V_{DD}$ ) ขนาด 1.5 โวลต์ แรงดัน  $V_B$  และแรงดัน  $V_{Bias}$  มีค่าเท่ากับ 1.2 โวลต์ และ 0 โวลต์ ตามลำดับ ที่กระแสไบอัสทรานซิสเตอร์ขณะสภาวะสงบ มีค่าเท่ากับ 100 ไมโครแอมป์ ขนาดของมอสทรานซิสเตอร์ที่ได้จากการออกแบบแสดงในตารางที่ 4.6 วงจรถูกออกแบบให้ ความถี่คัทออฟมีค่าเท่ากับ 100 MHz และ 250 MHz ตัวเก็บประจุที่ใช้ในวงจร ถูกแสดงในตารางที่ 4.7 และตารางที่ 4.8 ตามลำดับ

ตารางที่ 4.6 ขนาดมอสทรานซิสเตอร์ของวงจรรองความถี่แบบขยายผลต่างที่นำเสนอ

มอสทรานซิสเตอร์	อัตราส่วน ( $W/L$ )
$M_{n1}, M_{n3}, M_{n5}, M_{n7}, M_{n9}, M_{n11}$	30/0.5
$M_{n2}, M_{n4}, M_{n6}, M_{n8}, M_{n10}, M_{n12}$	35/0.5
$M_{B1}, M_{B3}$	60/1
$M_{B2}, M_{B4}$	70/1
$M_{B5}, M_{B7}$	120/1
$M_{B6}, M_{B8}$	150/1

ตารางที่ 4.7 ขนาดตัวเก็บประจุของวงจรรองความถี่แบบขยายผลต่าง ความถี่คัทออฟ มีค่าเท่ากับ

100 MHz

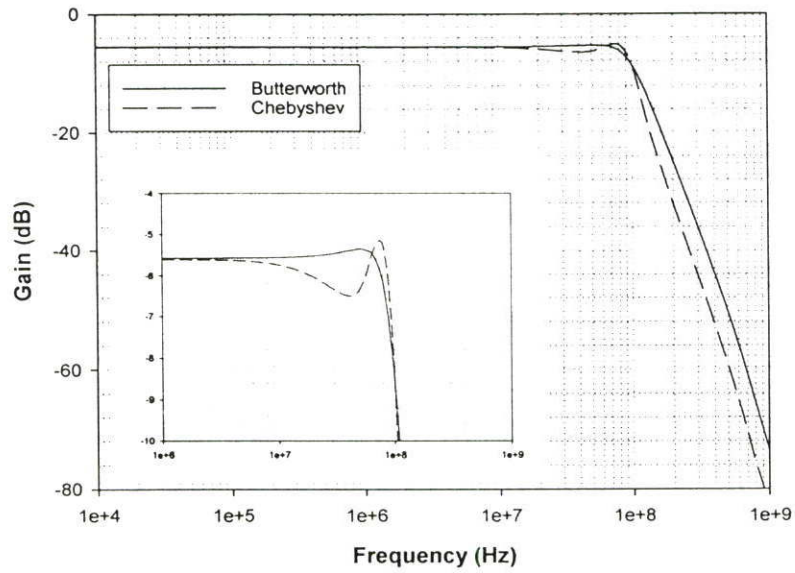
ตัวเก็บประจุ	$pF$
$C_1$	1.8
$C_2$	2.0
$C_3$	1.8

ตารางที่ 4.8 ขนาดตัวเก็บประจุของวงจรกรองความถี่แบบขยายผลต่าง ความถี่คัทออฟ มีค่าเท่ากับ 250 MHz

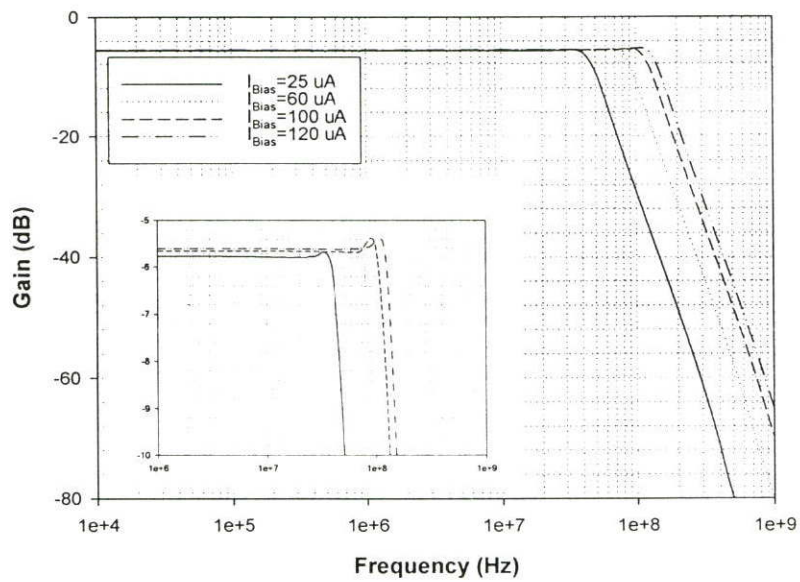
ตัวเก็บประจุ	$pF$
$C_1$	0.5
$C_2$	1.2
$C_3$	0.5

รูปที่ 4.21 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 (แบบขยายผลต่าง) แบบบัตเตอร์เวิร์ท (Butterworth) กับแบบเชบีเชฟ (Chebyshev) วงจรถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 100 MHz ภายใต้การปรับค่ากระแสไบอัส (หรือค่า  $g_m$ ) ที่แตกต่างกัน ซึ่งเราสามารถทำได้ด้วยการปรับค่าคงตัวเวลาได้อย่างอิสระของวงจรอินทิเกรเตอร์แบบขยายผลต่าง (รายละเอียดดูในบทที่ 3) เมื่อปรับเพิ่มค่ากระแสไบอัสในวงจรอินทิเกรเตอร์ในชุดแรก ( $\tau_1$ ) และชุดที่สาม ( $\tau_3$ ) ขณะเดียวกันกระแสไบอัสในวงจรอินทิเกรเตอร์ในชุดที่สอง ( $\tau_2$ ) จะถูกปรับค่าลดลงทำให้ได้วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ท ในทำนองเดียวกันวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟได้จากการปรับลดค่ากระแสไบอัสในชุดแรกและชุดที่สามของวงจรอินทิเกรเตอร์ และเพิ่มค่ากระแสไบอัสในวงจรอินทิเกรเตอร์ในชุดที่สอง และเมื่อปรับค่ากระแสไบอัสวงจรพร้อมกันทั้งสามชุด วงจรกรองความถี่จะปรับจูนค่าความถี่คัทออฟได้ ดังแสดงในรูปที่ 4.22 ความถี่คัทออฟของวงจรสามารถปรับค่าได้ตั้งแต่ 48 MHz จนถึง 142 MHz ด้วยการปรับค่ากระแสไบอัสวงจรจาก  $25 \mu A$  จนถึง  $140 \mu A$  รูปที่ 4.23 แสดงค่าความผิดเพี้ยนฮาร์โมนิกสรวม (THD) ของวงจรกรองความถี่ต่ำผ่าน (ความถี่คัทออฟมีค่าเท่ากับ 100 MHz) ที่ค่าความถี่ 1 MHz 10 MHz และ 100 MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต ( $i_m$ ) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจร ( $I_B$ ) เมื่อป้อนอัตราส่วนของกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.6 ที่ความถี่ 100 MHz ได้ค่าความผิดเพี้ยนฮาร์โมนิกสรวมน้อยกว่า 0.96 เปอร์เซ็นต์ จากรูปที่ 4.23 จะเห็นได้ว่าเมื่อลดอัตราส่วนของกระแสอินพุตลงเปรียบเทียบกับกระแสไบอัสวงจรทำค่าความผิดเพี้ยนฮาร์โมนิกสรวมจะมีค่าลดลง

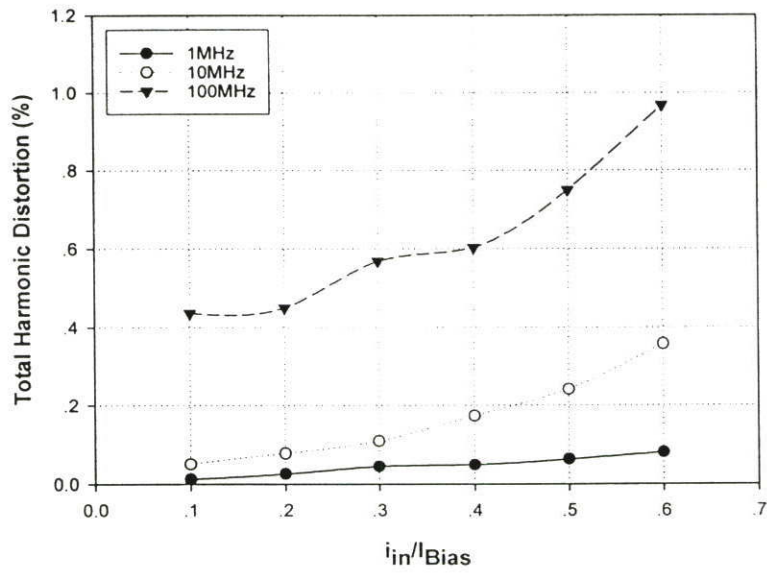
รูปที่ 4.24 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ท วงจรถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 250 MHz วงจรสามารถปรับค่าความถี่คัทออฟได้ตั้งแต่ 97 MHz ถึง 290 MHz ด้วยการปรับค่ากระแสไบอัสวงจรพร้อมกันตั้งแต่  $25 \mu A$  จนถึง  $140 \mu A$  รูปที่ 4.25 แสดงการตอบสนองทางเวลาของวงจรกรองความถี่ เมื่อป้อนสัญญาณกระแสอินพุตขนาด  $40 \mu A$  ที่ความถี่ 250 MHz เข้าสู่วงจรกรองความถี่แบบขยายความแตกต่าง วัดสัญญาณกระแสเอาต์พุตได้มีค่าเท่ากับ  $14.3 \mu A$  ที่ความถี่ 250 MHz พบว่า ขนาดของสัญญาณกระแสเอาต์พุตมีค่าเป็น 0.707 เท่า ของขนาดสัญญาณกระแสเอาต์พุตที่ความถี่ต่ำ



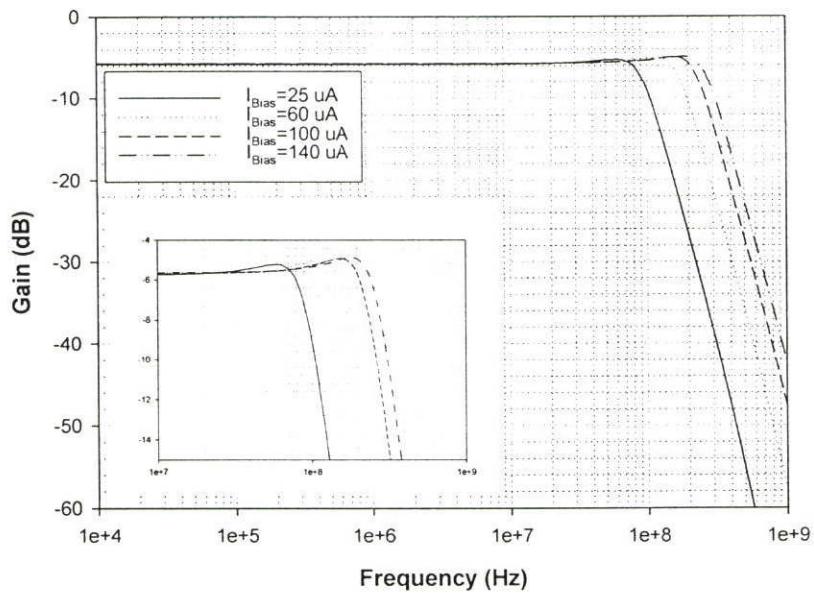
รูปที่ 4.21 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทด์เปรียบเทียบกับแบบเชบิเชฟ เมื่อปรับจูนกระแสอย่างอิสระ



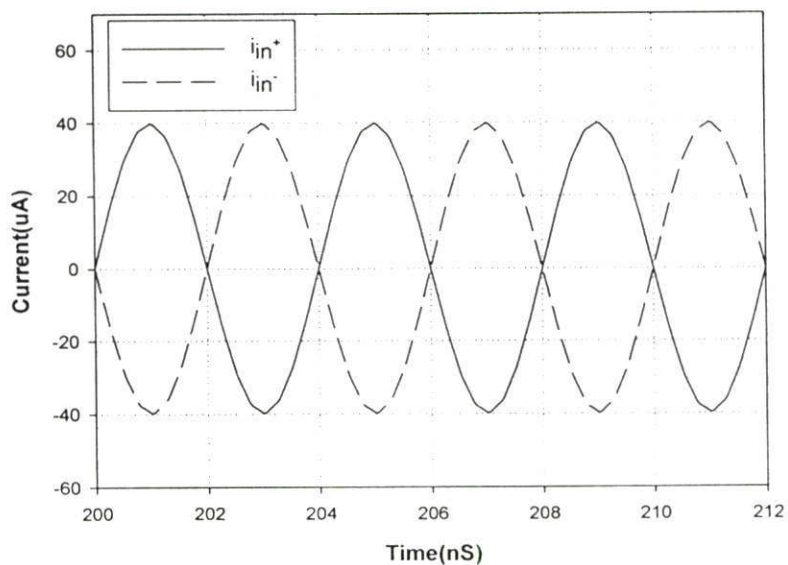
รูปที่ 4.22 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ



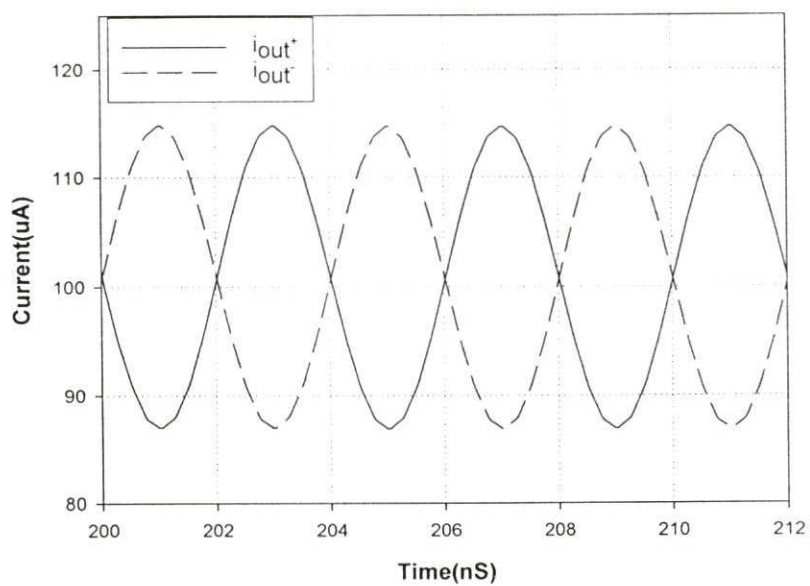
รูปที่ 4.23 ค่าความผิดเพี้ยนฮาร์โมนิกสัรวมของวงจรกรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 88 MHz)



รูปที่ 4.24 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ



(ก) กระแสอินพุตของวงจรกรองความถี่

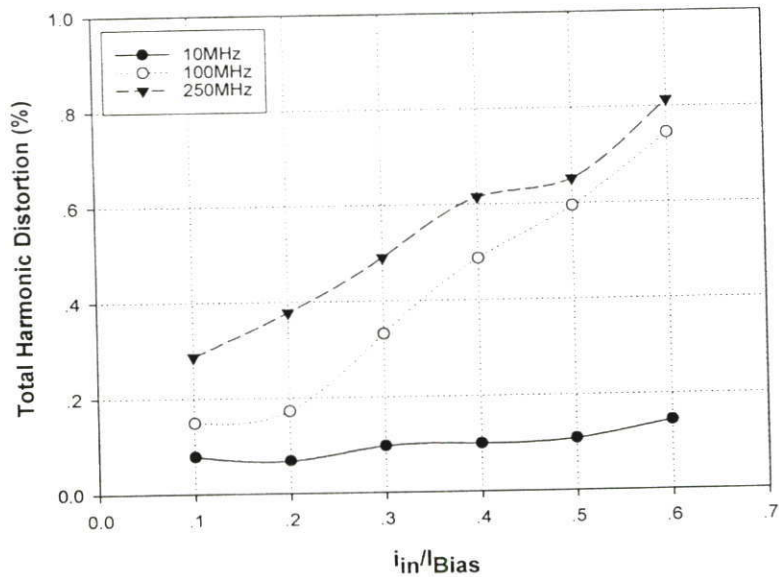


(ข) กระแสเอาต์พุตของวงจรกรองความถี่

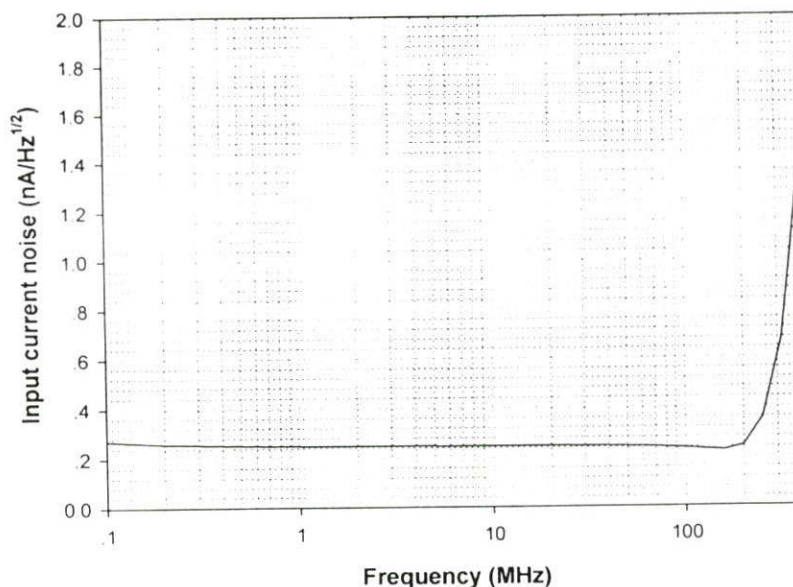
รูปที่ 4.25 ผลการตอบสนองทางเวลาของวงจรกรองความถี่แบบขยายผลต่าง

รูปที่ 4.26 แสดงค่าความผิดเพี้ยนฮาร์โมนิกสรวมของวงจรรองความถี่ (ความถี่คัทออฟมีค่าเท่ากับ 250 MHz) ที่ค่าความถี่ 10 MHz 100 MHz และ 250 MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต ( $i_{in}$ ) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสจอร์ ( $I_b$ ) ค่าความผิดเพี้ยนฮาร์โมนิกสรวมที่ได้มีค่าน้อยกว่า 0.81 เปอร์เซ็นต์ เมื่อป้อนอัตราส่วนของสัญญาณกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.6 ที่ความถี่ 250 MHz รูปที่ 4.27 แสดงสัญญาณรบกวนอินพุตของ วงจรรองความถี่ที่ความถี่คัทออฟมีค่าเท่ากับ 250 MHz สัญญาณรบกวนอินพุตมีค่า  $0.35 \text{ nA}/\sqrt{\text{Hz}}$  ที่ความถี่ 250 MHz สังเกตได้ว่า สัญญาณรบกวนอินพุตของวงจรรองความถี่ต่ำสัญญาณรบกวนจะมีค่าน้อย และที่ความถี่สูงกว่า 300 MHz สัญญาณรบกวนอินพุตจะมีค่าสูงขึ้นอย่างรวดเร็ว ตารางที่ 4.9 แสดงคุณสมบัติของวงจรรองความถี่ต่ำผ่านอันดับที่ 3 แบบขยายผลต่างที่นำเสนอ

ผลที่ได้จากการจำลองการทำงานของวงจรรองความถี่ที่นำเสนอเปรียบเทียบกับวงจรรองความถี่งานในวิจัยที่ถูกนำเสนอมาก่อนทั้งแบบขั้วเดียวและแบบขยายผลต่าง ดังแสดงในตารางที่ 4.10 และตารางที่ 4.11 ตามลำดับ



รูปที่ 4.26 ค่าความผิดเพี้ยนฮาร์โมนิกสรวมของวงจรรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 250 MHz)



รูปที่ 4.27 สัญญาณรบกวนอินพุต ของวงจรกรองความถี่

ตารางที่ 4.9 คุณสมบัติของวงจรกรองความถี่ที่นำเสนอแบบขยายผลต่าง

พารามิเตอร์	ผลการจำลองการทำงาน
แหล่งจ่ายแรงดัน	1.5 V
กระแสไบอัสวงจร	25 - 140 $\mu A$
ความถี่คัทออฟ	97 - 290 MHz
ความผิดเพี้ยนฮาร์โมนิกส์รวม	0.81 % @250MHz
สัญญาณรบกวนอินพุต	0.35 $nA/\sqrt{Hz}$ @250MHz
กำลังงานสูญเสีย	4.35 mW @ $I_{Bias} = 100 \mu A$

#### 4.6 บทสรุป

วงจรกรองความถี่เป็นวงจรที่มีความสำคัญโดยทำหน้าที่เลือกสัญญาณอินพุตเพื่อให้ได้สัญญาณเอาต์พุตตามต้องการ โดยจะยอมให้สัญญาณผ่านไปได้เฉพาะความถี่ที่ต้องการ ในบทนี้ได้นำเสนอวงจรกรองความถี่แบบแอกทีฟ ทั้งแบบขั้วเดี่ยวและแบบขยายผลต่าง วงจรกรองความถี่ดังกล่าว ถูกสร้างมาจากวงจรอินทิเกรเตอร์ ด้วยวิธีการเลียนแบบการทำงานของวงจรกรองความถี่ขั้นบันไดแบบพาสซีฟ โดยได้ออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3

วงจรกรองความถี่ต่ำผ่านแบบขั้วเดียว ถูกออกแบบให้ความถี่ทอพอมีค่าเท่ากับ 10 MHz และ 88 MHz วงจรกรองความถี่ต่ำผ่านแบบขยายผลต่าง ถูกออกแบบให้ความถี่ทอพอมีค่าเท่ากับ 100 MHz และ 250 MHz วงจรที่ถูกลำเสนอ สามารถปรับจูนค่าคงตัวเวลาได้อย่างอิสระ ทำให้ได้วงจรกรองความถี่บัตเตอร์เวิร์ทและแบบเชบีเชฟ โดยใช้โครงสร้างวงจรเดียวกันภายใต้การปรับจูนที่แตกต่างกัน นอกจากนี้ยังสามารถปรับจูนค่าความถี่ทอพอของวงจรได้อีกด้วย

ตารางที่ 4.10 คุณสมบัติของวงจรรองความถี่แบบขั้วเดียวที่นำเสนอและที่นำเสนอมาก่อน

พารามิเตอร์	วงจรถิ่นำเสนอ	G. D.Federico [16]	D. J. Allstot [8]	Nobuo Fujii [11]
เทคโนโลยี	CMOS 0.5 $\mu m$	CMOS 1.2 $\mu m$	CMOS 1.2 $\mu m$	Bipolar 0.7 $\mu m$
แหล่งจ่ายแรงดัน	1.5 V	$\pm 1.5$ V	5.0 V	1.5 V
การปรับจูนกระแส	มี	ไม่มี	มี	มี
กระแสไบอัส	35 - 80 $\mu A$	10 $\mu A$	50 -150 $\mu A$	40 - 160 $\mu A$
ความถี่ทอพอ	90 - 116 MHz	1 MHz	24 - 42 MHz	20 - 100 MHz
ความผิดเพี้ยนฮาร์โมนิกสรวม	4.5 % @88MHz	1.0 % @ 1 MHz	-	5.0 % @ 60MHz
สัญญาณรบกวนอินพุต	0.44 nA/Hz <sup>1/2</sup> @ 100MHz	-	-	-
กำลังงานสูญเสีย	0.8 mW @ 35 $\mu A$	660 $\mu W$	25.5 mW@ 100 $\mu A$	1.8 mW @ 120 $\mu A$

ตารางที่ 4.11 คุณสมบัติของวงจรกรองความถี่แบบขยายผลต่างที่นำเสนอมาก่อน

พารามิเตอร์	วงจรที่นำเสนอ	D. J. Allstot [9]	Z. Yang [13]	S.L. Smith [17]
เทคโนโลยี	CMOS 0.5 $\mu m$	CMOS 1.2 $\mu m$	CMOS 1.2 $\mu m$	CMOS 2.0 $\mu m$
แหล่งจ่ายแรงดัน	1.5 V	1.5 – 5.0 V	5.0 V	3.3 V
การปรับจูนกระแส	มี	มี	มี	มี
กระแสไบอัส	25 - 140 $\mu A$	5 $\mu A$	100 $\mu A$	-
ความถี่คัทออฟ	97 - 290 MHz	0.3 -1 MHz	0.16 – 5.6 kHz	6 -13 MHz
ความผิดเพี้ยนฮาร์โมนิกส์รวม	0.81 % @ 250MHz	1.0 % @ 500 kHz	-	1.25 %
สัญญาณรบกวนอินพุต	0.35 nA/Hz <sup>1/2</sup> @ 250MHz	-	-	-
กำลังงานสูญเสีย	4.35 mW @ 100 $\mu A$	375 $\mu W$ @ 5 $\mu A$	20 mW @ 100 $\mu A$	4 mW

## บทที่ 5

# สรุปผลการวิจัย และข้อเสนอแนะ

วงจรกรองความถี่เป็นวงจรหนึ่งที่มีความสำคัญและถูกนำมาประยุกต์ใช้งานอย่างกว้างขวางทั้งในระบบอิเล็กทรอนิกส์ ระบบการสื่อสาร โทรคมนาคมและงานด้านคอมพิวเตอร์ วงจร กรองความถี่ทำหน้าที่จัดองค์ประกอบทางความถี่ โดยจะยอมให้สัญญาณผ่านไปเฉพาะความถี่ที่ต้องการ และจะลดทอนสัญญาณความถี่ที่ไม่ต้องการ เพื่อให้ระบบเหล่านี้ทำงานได้ถูกต้องและมีประสิทธิภาพสูง วงจรกรองความถี่จึงต้องสามารถทำงานได้ที่ความถี่สูงและสูญเสียกำลังงานไฟฟ้าต่ำ นอกจากนี้พารามิเตอร์ที่สำคัญอีกอย่างหนึ่งของวงจรกรองความถี่คือค่าความไว วงจร กรองความถี่ที่ดีควรมีค่าความไวต่ำ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรอินทิเกรเตอร์ทำงานในโหมดกระแส วงจรสามารถทำงานได้ดีที่ความถี่สูงภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ วงจรอินทิเกรเตอร์ได้ถูกนำมาเสนอทั้งแบบขั้วเดียวและแบบขยายผลต่าง วงจรอินทิเกรเตอร์ดังกล่าวได้ถูกนำมาสังเคราะห์เป็นวงจรกรองความถี่ด้วยวิธีการจำลองการดำเนินการ วิธีการนี้จะจำลองการทำงานเลียนแบบสมการกระแสและแรงดันของวงจรกรองความถี่แบบพาสซีฟ ดังนั้นวงจรกรองความถี่แบบแอคทีฟที่ถูกสร้างขึ้นจะมีค่าความไวของวงจรที่ต่ำ เช่นเดียวกับวงจรกรองความถี่ชั้นบันไดแบบพาสซีฟ วิทยานิพนธ์ฉบับนี้ได้นำวงจรอินทิเกรเตอร์ที่นำเสนอมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 ทั้งแบบขั้วเดียวและแบบขยายผลต่าง โดยวงจรอินทิเกรเตอร์ที่ถูกสร้างขึ้นสามารถปรับค่า ทรานคอนคัคแตนซ์ได้อย่างอิสระด้วยการปรับค่ากระแสไบอัสวงจร โดยทำให้ไม่มีผลกระทบกับวงจรอินทิเกรเตอร์อื่นๆ การปรับเปลี่ยนค่าทรานคอนคัคแตนซ์ดังกล่าวก็เพื่อปรับจูนค่าคงตัวเวลาของวงจรอินทิเกรเตอร์ทำให้ค่าความถี่ที่อัตราขยายเท่ากับหนึ่งของวงจรเปลี่ยนแปลง ดังนั้นวงจรกรองความถี่ที่ถูกสร้างขึ้นจึงสามารถปรับค่าพารามิเตอร์ (ค่าเวลาคงตัว) ของวงจรกรองความถี่ได้อย่างอิสระ ทำให้สามารถออกแบบวงจรกรองความถี่ได้มากกว่าหนึ่งชนิดในวงจรเดียวกัน ดังที่แสดงให้เห็นในผลจากการจำลองการทำงานคือ วงจรกรองความถี่แบบบัตเตอร์เวิร์ทซ์ และวงจร กรองความถี่แบบเชบีเชฟ นอกจากนี้วงจรยังสามารถปรับจูนความถี่คัทออฟได้ ด้วยการปรับเปลี่ยนค่าพารามิเตอร์ (เวลาคงตัว) ของวงจรกรองความถี่ไปพร้อมกัน

อย่างไรก็ตาม ในการใช้งานวงจรกรองความถี่ยังมีข้อจำกัดบางประการ คือ กรณีวงจรอินทิเกรเตอร์ที่สร้างแบบขั้วเดียวสองอินพุต วงจรถูกออกแบบโดยใช้ทรานซิสเตอร์ทั้งชนิดเอ็นและทรานซิสเตอร์ชนิดพีเป็นทางผ่านของสัญญาณ ทำให่วงจรกรองความถี่ที่ได้มีข้อจำกัดในการใช้งานที่ความถี่สูง และกระแสไบอัสในวงจรและการปรับจูนยังขึ้นอยู่กับขนาดของทรานซิสเตอร์ และแหล่งจ่ายไฟเลี้ยงในวงจรอีกด้วย ส่งผลให้วงจรมีข้อจำกัดในการปรับจูนและการตอบสนองความถี่ นอกจากนี้เนื่องจากอินพุตของวงจรที่ออกแบบมีค่าแรงดันที่ต่ำทำให้จำเป็นต้องใช้

ทรานซิสเตอร์ที่ทำหน้าที่จ่ายกระแสไบอัสวงจรจะต้องมีค่าความต้านทานออกสูง ทำให้ต้อง  
ทรานซิสเตอร์ที่มีความยาวช่องทางเดินกระแส (L) ที่ค่อนข้างสูงทำให้ทรานซิสเตอร์ที่ใช้มีขนาด  
ใหญ่

จากวงจรรองความถี่ที่นำเสนอ สามารถนำไปประยุกต์ใช้งานได้ที่ค่าความถี่ต่างๆ  
ภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ (ขนาด 1.5 โวลต์) จึงเหมาะที่จะนำไปใช้งานในอุปกรณ์ประเภทพกพา

## บรรณานุกรม

- [1] C. Toumazou, F.J. Lidgey, and D.G.Haigh, **Analog IC design : the current-mode approach.** Peter Peregrinus, London. 1990.
- [2] H. Khorramabadi and R.P. Gray, “**High frequency CMOS continuous-time.**” IEEE J. Solid-State Circuits, vol.SC-19, no.6, Dec. 1984. pp. 939-948.
- [3] S.C. Park and R. Schauman, “**Design of 4 MHz analog integrated CMOS transconductance-C bandpass filter.**” IEEE J. Solid-State Circuits, vol. 23, Aug. 1988. pp. 987-996.
- [4] V. Gopinathan, P.Y. Tsividis, S.K. Tan, and K.R. Hester. “**Design considerations for high-frequency continuous-time filter and implementation of an anti-aliasing filter for digital video.**” IEEE J. Solid-State Circuits, vol. 25, no.6, Dec. 1990. pp. 1368-1378.
- [5] M.J. Khoury , “**Design of a 15MHz CMOS continuous-filter with on-chip tuning.**” IEEE J. Solid-State Circuits, vol. 25, no.12, Dec. 1991. pp. 1988-1997.
- [6] B. Nauta, “**A CMOS transconductance-C filter technique for very high frequencies.**” IEEE J. Solid-State Circuits, vol. 27, no.2, Feb. 1992. pp. 142-153.
- [7] R.G. Wiegner, E. Seevinck, and W.D. Jaeger, “**Offset canceling circuit.**” IEEE J. Solid-State Circuits, vol. 24, June. 1989. pp. 651-658.
- [8] S.S. Lee, H.R. Zele and D.J. Allstot, “**CMOS continuous-time Current-Mode Filter for High-frequency Applications.**” IEEE J. Solid-State Circuits, vol.28, no.3, March. 1993. pp. 323-329.
- [9] R.H. Zele, D.J. Allstot, “**Low-power CMOS continuous-time filters.**” IEEE Journal of Solid-State Circuits, vol.31, Feb. 1996. pp. 157 – 168.
- [10] N. Fujii, “**High frequency low voltage current mode analog integrable filters.**” Bipolar/BiCMOS Circuits and Technology Meeting, Proceedings of the 1998, Sept. 1998. pp.47 – 52.
- [11] J. Chul AHN and N. Fujii, “**Current-Mode Filters Continuous-Time Filters Using Complementary Current Mirror Pairs.**” IEICE Trans. Fundamentals, vol. E78-A, no.2, Feb. 1996. pp. 168-175.

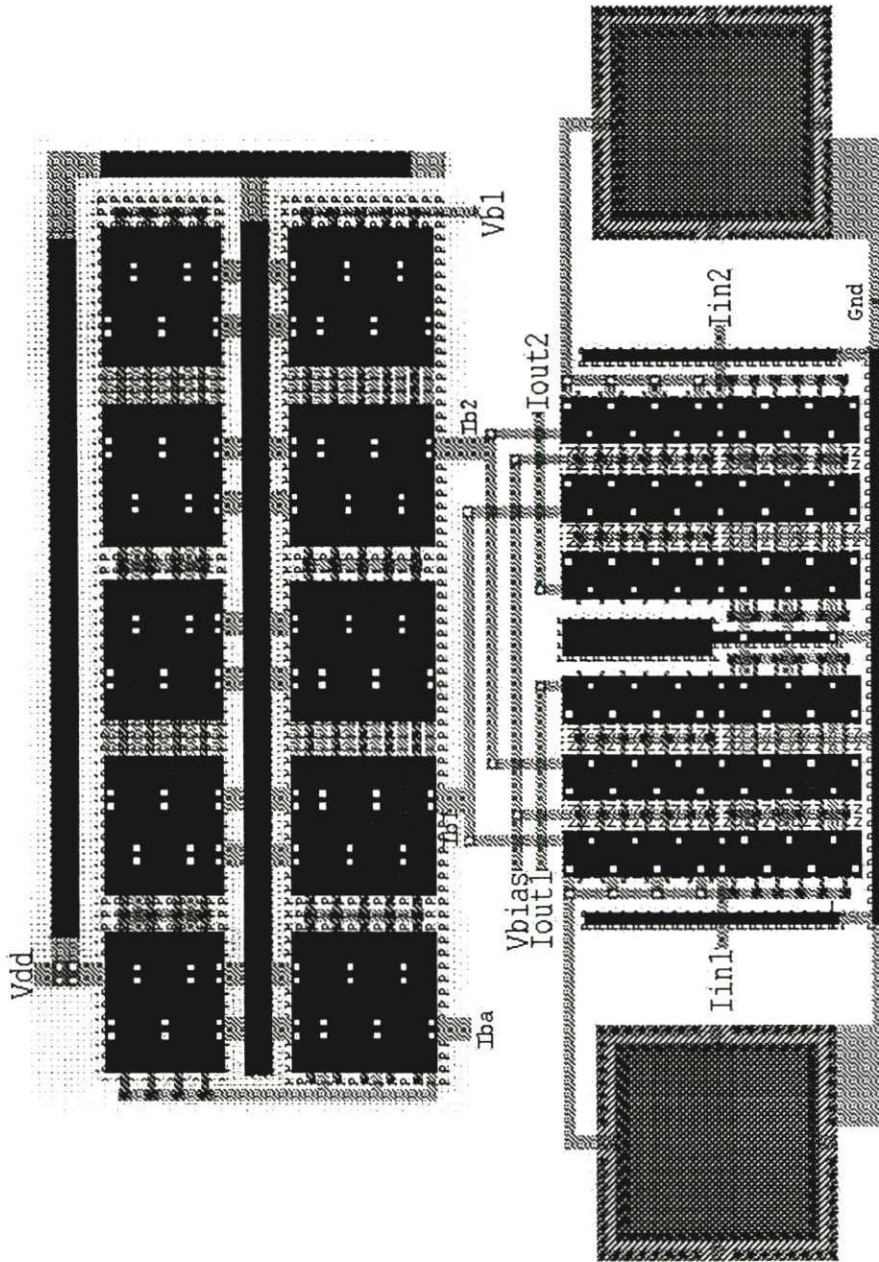
- [12] J. SABADELL, C. ALDEA, S.CELDEA and P.MARTINEZ , “**A Low voltage high frequency integrator for CMOS continuous time current mode filters.**” Electronic circuit and system IEEE International conference, vol 3 , Sep. 1998. pp. 339-342.
- [13] Z. Yang, T. Hinck, H.I. Cohen, A.E. Hubbard , “**Current-mode integrator for voltage-controllable low frequency continuous-time filters.**” Electronics Letters, vol 39, Jan. 2003. pp. 883-884.
- [14] H.J. Orchard, “**Introducorless filters.**” Electron. Lett. 2, 1966. pp.224 – 225.
- [15] W.J.A. De Heij, E. Seevinck, KHoen, “**Practical formulation of the relation between filterspecifications and the requirements for integrator circuits.**” IEEE Transactions on Circuits and Systems, vol.36, no.8, Aug. 1989. pp. 1124-1128.
- [16] F.Galvez-Durand, “**Low-voltage current-mode filters.**” IEEE 39th Midwest symposium on Circuits and Systems, vol.2, Aug. 1996. pp. 911-914.
- [17] S.L. Smith, and E.Sanchez-Sinencio , “**Low voltage integrators for high-frequency CMOS filters using current mode techniques.**” IEEE Transactions on Circuits and Systems II, Vol. 43, Jan. 1996. pp.39-48.
- [18] A. Torralba, R.G. Carvajal, F.Munoz, and J. Ramirez-Angulo, “**New output stage for low supply voltage, high-performance CMOS current mirrors.**” ISCAS '03, Vol. 1, May. 2003. pp. I-269 - I-272.
- [19] จิรยุทธ์ มหัทธนกกุล. “การออกแบบวงจรกรองแอนะลือก.” กรุงเทพฯ: แมคกรอ-ฮิด อินเตอร์เนชั่นแนล เอ็นเตอร์ไพร์ส, ینگค์. 2001.
- [20] T. Deliyannis, S. Yichuang, and J.K. Fidler, **Cotinuous-Time Active Filter.** CRC Press LLC, London, 1999.

## ภาคผนวก

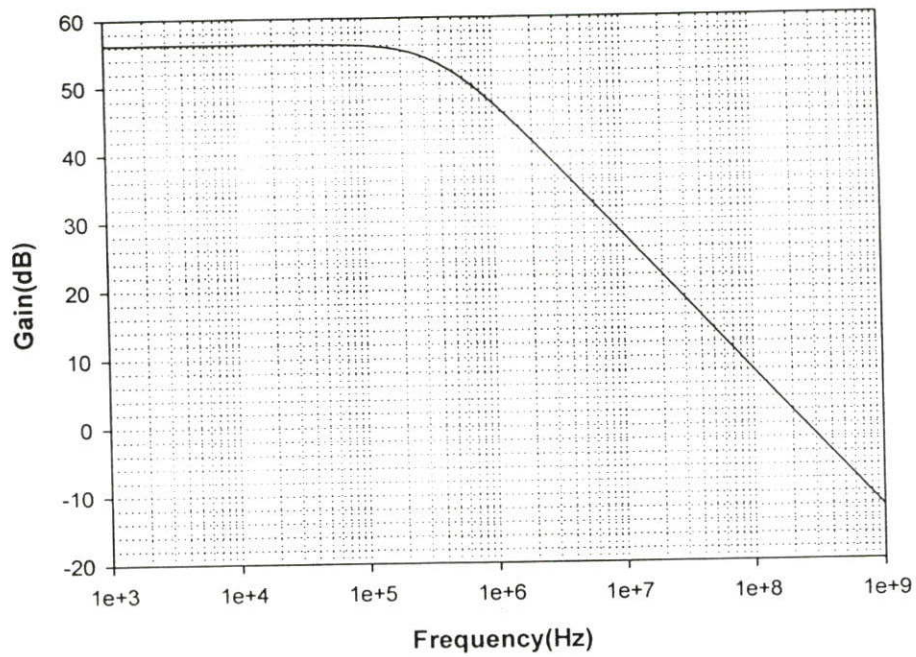
**ภาคผนวก ก.**

**ผลการจำลองการทำงานวงจรอินทิเกรเตอร์แบบขยายผลต่างที่นำเสนอ  
จากการเลย์เอาต์ (Layout)**

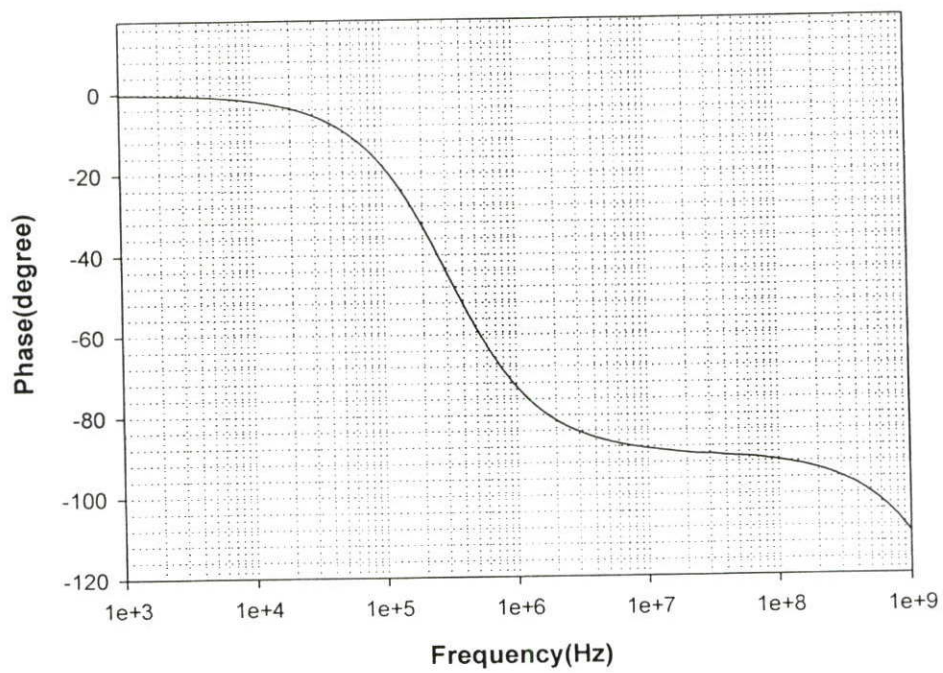
วงจรรวมอินทิเกรเตอร์ที่นำเสนอ ดังแสดงในรูปที่ 3.12 ถูกนำมาทดสอบประสิทธิภาพด้วยการเลย์เอาต์ (Layout) ด้วยโปรแกรม L-EDIT โดยใช้เทคโนโลยีแบบซีมอสทรานซิสเตอร์ขนาด 0.5 ไมครอน ( $\mu m$ ) ภายใต้แหล่งจ่ายไฟเลี้ยง ( $V_{DD}$ ) ขนาด 1.5 โวลต์ แรงดัน  $V_B$  และแรงดัน  $V_{Bias}$  มีค่าเท่ากับ 1.2 โวลต์ และ 0 โวลต์ ตามลำดับ วงจรถูกออกแบบให้มีกระแสไบอัสขณะสภาวะสงบมีค่าเท่ากับ 100 ไมโครแอมป์ รูปที่ ก.1 แสดงวงจรรวมทางกายภาพที่ได้จากการการเลย์เอาต์ (Layout) วงจรรวมอินทิเกรเตอร์แบบขยายผลต่าง รูปที่ ก.2 แสดงการตอบสนองความถี่และเฟสของวงจรรวมอินทิเกรเตอร์แบบขยายผลต่าง วงจรถูกออกแบบให้ความถี่ที่อัตราขยายเท่ากับหนึ่ง มีค่าเท่ากับ 250 MHz อัตราขยายของวงจรมีค่าเท่ากับ 56 เดซิเบล การตอบสนองทางเฟสที่แสดงในรูปที่ ก.2 (ข) พบว่าเฟสของวงจรมีค่าไม่เท่ากับ  $-90$  องศาที่ความถี่ต่ำ เนื่องจากวงจรมีอัตราการขยายจำกัด ในขณะที่ความถี่สูงเฟสของวงจรมีค่าน้อยกว่า  $-90$  องศา เนื่องจากผลของโพลาไรเซชันที่เกิดขึ้นในวงจรรวมอินทิเกรเตอร์ รูปที่ ก.3 แสดงการตอบสนองทางเวลาของวงจรรวมอินทิเกรเตอร์เมื่อป้อนสัญญาณกระแสอินพุตที่มีความถี่ 250 MHz เข้าที่โนด B ( $i_m^+$ ) และโนด D ( $i_m^-$ ) ที่กลับเฟสกัน 180 องศา ตามลำดับ โดยสัญญาณกระแสมีขนาดเท่ากับ  $20 \mu A$  สัญญาณกระแสเอาต์พุต  $i_{out}^+$  และ  $i_{out}^-$  มีขนาดเท่ากับ  $19.6 \mu A$  กลับเฟสกัน 180 องศา รูปที่ ก.4 แสดงการตอบสนองความถี่ของวงจรรวมอินทิเกรเตอร์ ที่มีการปรับจูน ความถี่ที่อัตราขยายเท่ากับหนึ่ง วงจรถูกออกแบบให้ความถี่ที่อัตราขยายเท่ากับหนึ่งมีค่าเท่ากับ 250 MHz อัตราขยายของวงจรมีค่าเท่ากับ 56 เดซิเบล วงจรรวมอินทิเกรเตอร์สามารถปรับจูนความถี่ได้ตั้งแต่ 100 MHz ถึง 288 MHz โดยการปรับกระแสไบอัสของวงจรรวมจาก 25 ไมโครแอมป์ ถึง 135 ไมโครแอมป์ รูปที่ ก.5 แสดงการตอบสนองความถี่ของวงจรรวมอินทิเกรเตอร์ เมื่อป้อนสัญญาณอินพุตแบบโหมคร่วม ได้อัตราการขยายที่ความถี่ต่ำมีค่า  $-6.19$  เดซิเบล รูปที่ ก.6 แสดงค่าความผิดเพี้ยนฮาร์โมนิกสร่วม (THD) ของวงจรรวมอินทิเกรเตอร์แบบขยายผลต่างที่ค่าความถี่ 10 MHz 50 MHz 100 MHz และ 200 MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต ( $i_m$ ) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจรรวม ( $I_B$ ) จากการทดลองจะเห็นได้ว่าค่าความผิดเพี้ยนฮาร์โมนิกสร่วมจะมีค่าต่ำที่ความถี่ต่ำและจะมีค่าสูงขึ้นที่ความถี่สูง นอกจากนี้ค่าความเพี้ยนจะมีค่าลดลงเมื่อลดอัตราส่วนของสัญญาณกระแสอินพุตกับกระแสไบอัสวงจรรวม รูปที่ ก.7 แสดงสัญญาณรบกวนทางด้านอินพุตของวงจรรวมอินทิเกรเตอร์ สัญญาณรบกวนมีค่าเท่ากับ  $7.6 pA/\sqrt{Hz}$  ที่ความถี่ 10 MHz และที่ความถี่ 250 MHz สัญญาณรบกวนมีค่าเท่ากับ  $130 pA/\sqrt{Hz}$  ตารางที่ ก.1 แสดงคุณสมบัติของอินทิเกรเตอร์แบบขยายผลต่างที่นำเสนอ โดยวงจรรวมถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์ ความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่ง ( $f_T$ ) สามารถปรับจูนได้ตั้งแต่ 100 MHz ถึง 288 MHz โดยการปรับจูนกระแสไบอัสจาก 25 ถึง 135 ไมโครแอมป์ อัตราขยายที่ความถี่ต่ำมีขนาดเท่ากับ 56 เดซิเบล ความผิดเพี้ยนฮาร์โมนิกสร่วมน้อยกว่า 1.05 เปอร์เซ็นต์ ที่อัตราส่วนของสัญญาณกระแสอินพุตกับกระแสไบอัสมีขนาดเท่ากับ 0.6 เท่า สัญญาณรบกวนทางด้านอินพุตมีค่าน้อยกว่า  $130 pA/\sqrt{Hz}$  ที่ความถี่ 250 MHz วงจรใช้กำลังงานเท่ากับ 0.91 มิลลิวัตต์



รูปที่ ก.1 วงจรทางกายภาพที่ได้จากการการเลย์เอาต์ (Layout) วงจรวงจรอินทิเกรเตอร์ แบบขยาย ผลต่าง

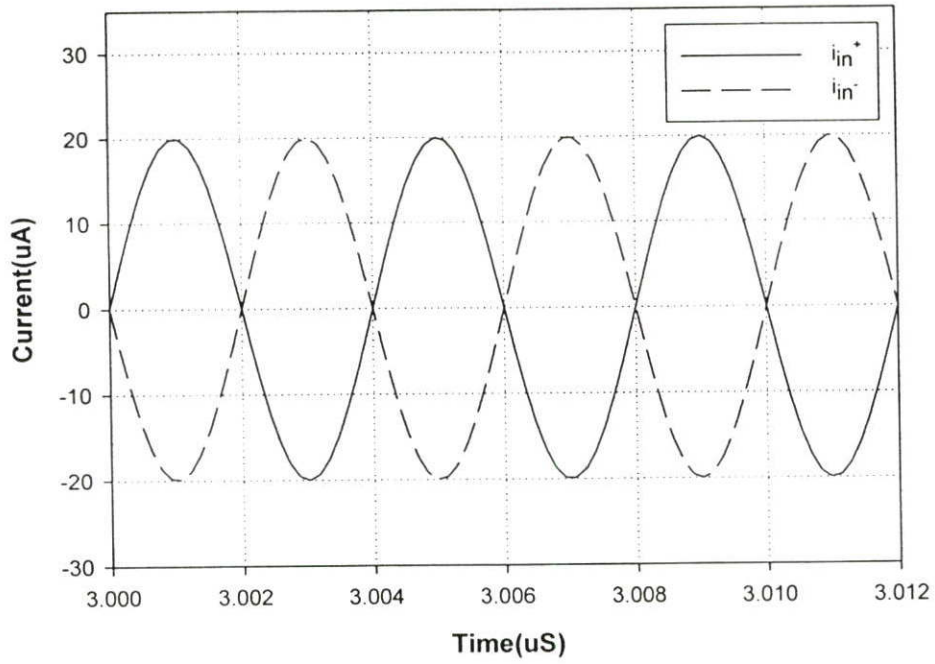


(ก) การตอบสนองทางความถี่

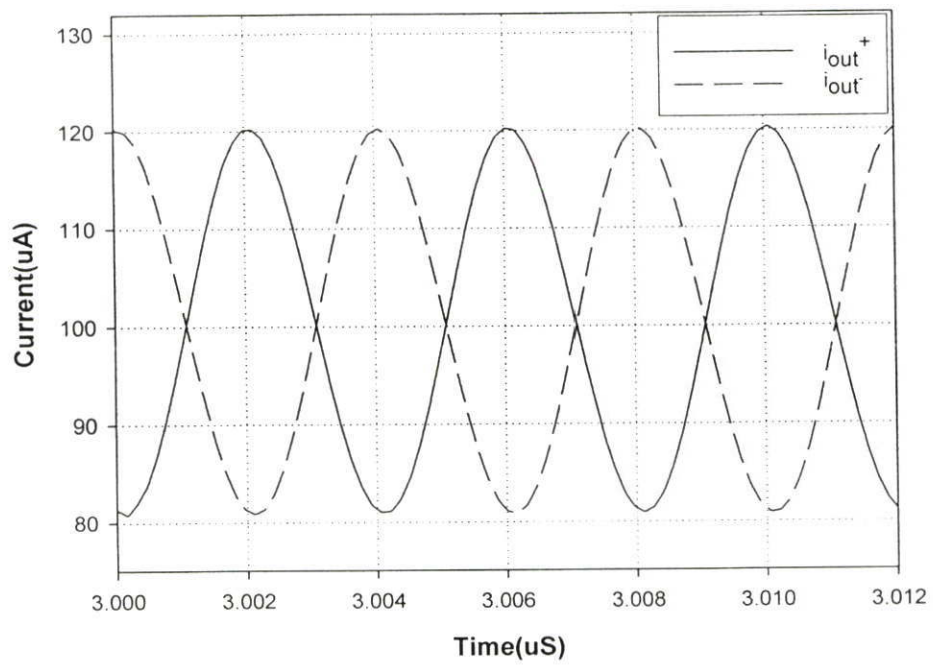


(ข) การตอบสนองทางเฟส

รูปที่ ก.2 การตอบสนองความถี่และเฟสของวงจรอินทิเกรเตอร์แบบขยายผลต่าง

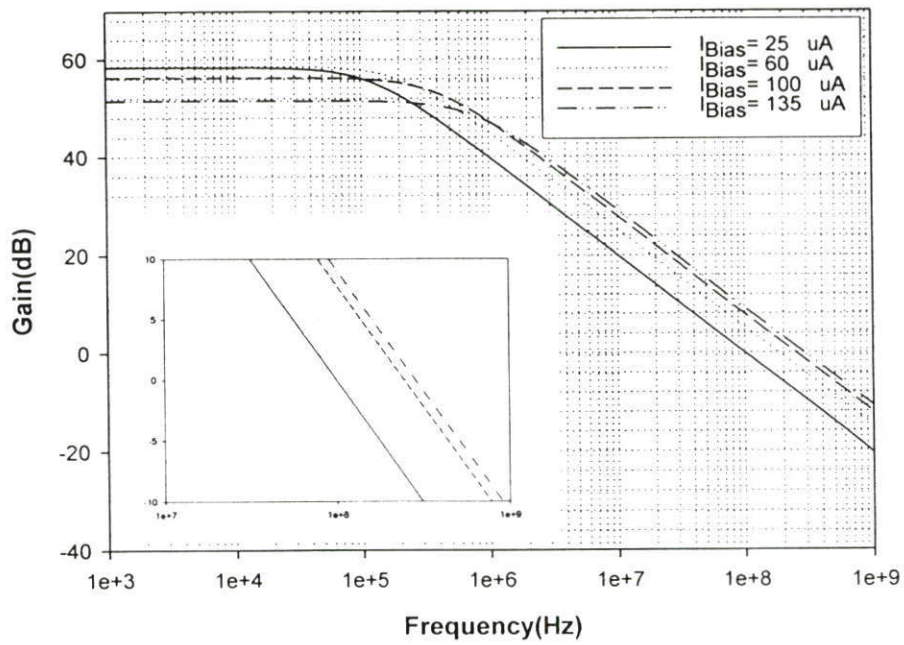


(ก) กระแสอินพุตของวงจรรินทิกเรเตอร์

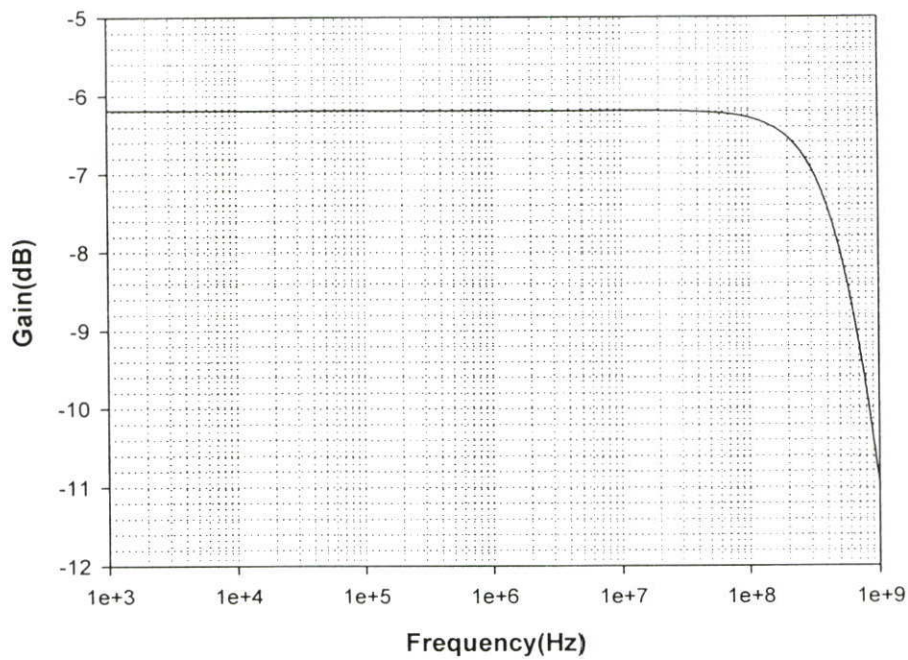


(ข) กระแสเอาต์พุตของวงจรรินทิกเรเตอร์

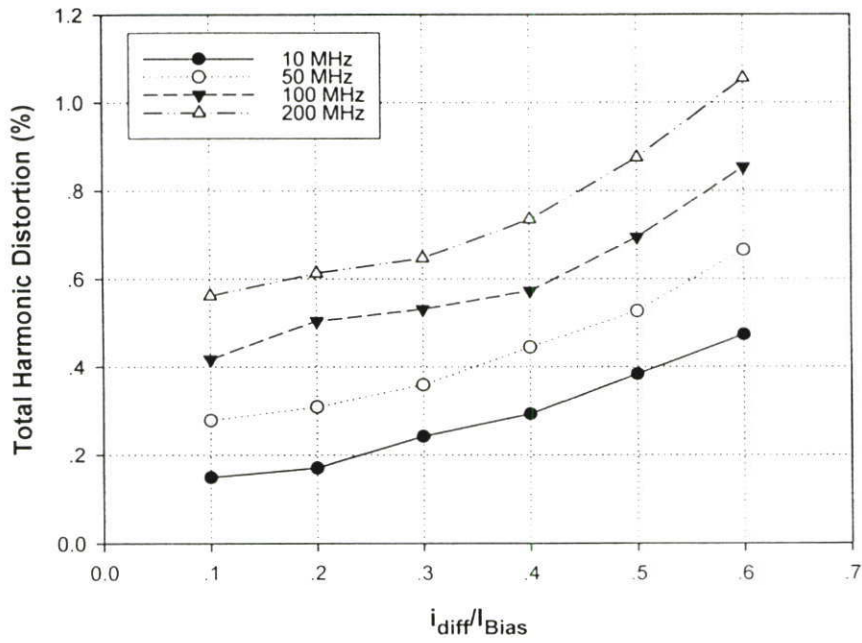
รูปที่ ก.3 ผลการตอบสนองทางเวลาของวงจรรินทิกเรเตอร์แบบขยายผลต่าง



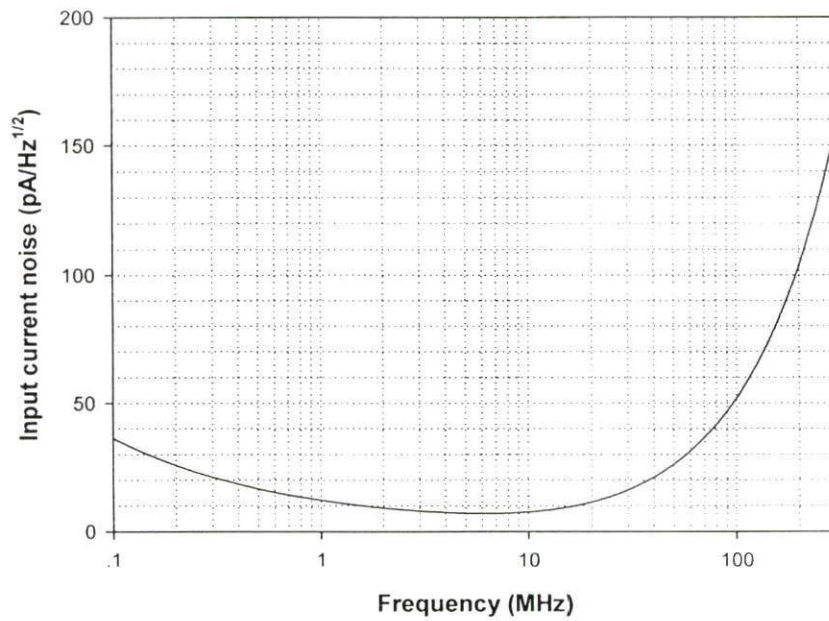
รูปที่ ก.4 การตอบสนองความถี่ของวงจรรวมอินทิเกรเตอร์แบบขยายผลต่าง เมื่อปรับกระแสไบอัสค่าต่างๆ



รูปที่ ก.5 การตอบสนองความถี่ของวงจรรวมอินทิเกรเตอร์ เมื่อป้อนสัญญาณอินพุตแบบร่วม



รูปที่ 6.6 ความผิดเพี้ยนฮาร์โมนิกสัรวมของวงจรอินทิเกรเตอร์แบบขยายผลต่าง ที่ขนาดสัญญาณค่าต่างๆ



รูปที่ 6.7 สัญญาณรบกวนด้านอินพุตของวงจรอินทิเกรเตอร์แบบขยายผลต่าง

ตารางที่ ก.1 คุณสมบัติของวงจรรีจิสเตอร์แบบขยายผลต่างที่นำเสนอ

พารามิเตอร์	ผลการจำลองการทำงาน
แหล่งจ่ายแรงดัน	1.5 V
กระแสไบอัสวงจรร	25 - 135 $\mu$ A
อัตราขยายไฟตรง	56 เดซิเบล
ความผิดเพี้ยนฮาร์โมนิกส์รวม	1.05 % @200MHz
สัญญาณรบกวนอินพุต	130 $pA/\sqrt{Hz}$ @ 250MHz
ความถี่ที่อัตราขยายเท่ากับหนึ่ง	100 - 288 MHz
กำลังงานสูญเสีย	0.91 mW @ $I_{Bias} = 100 \mu A$

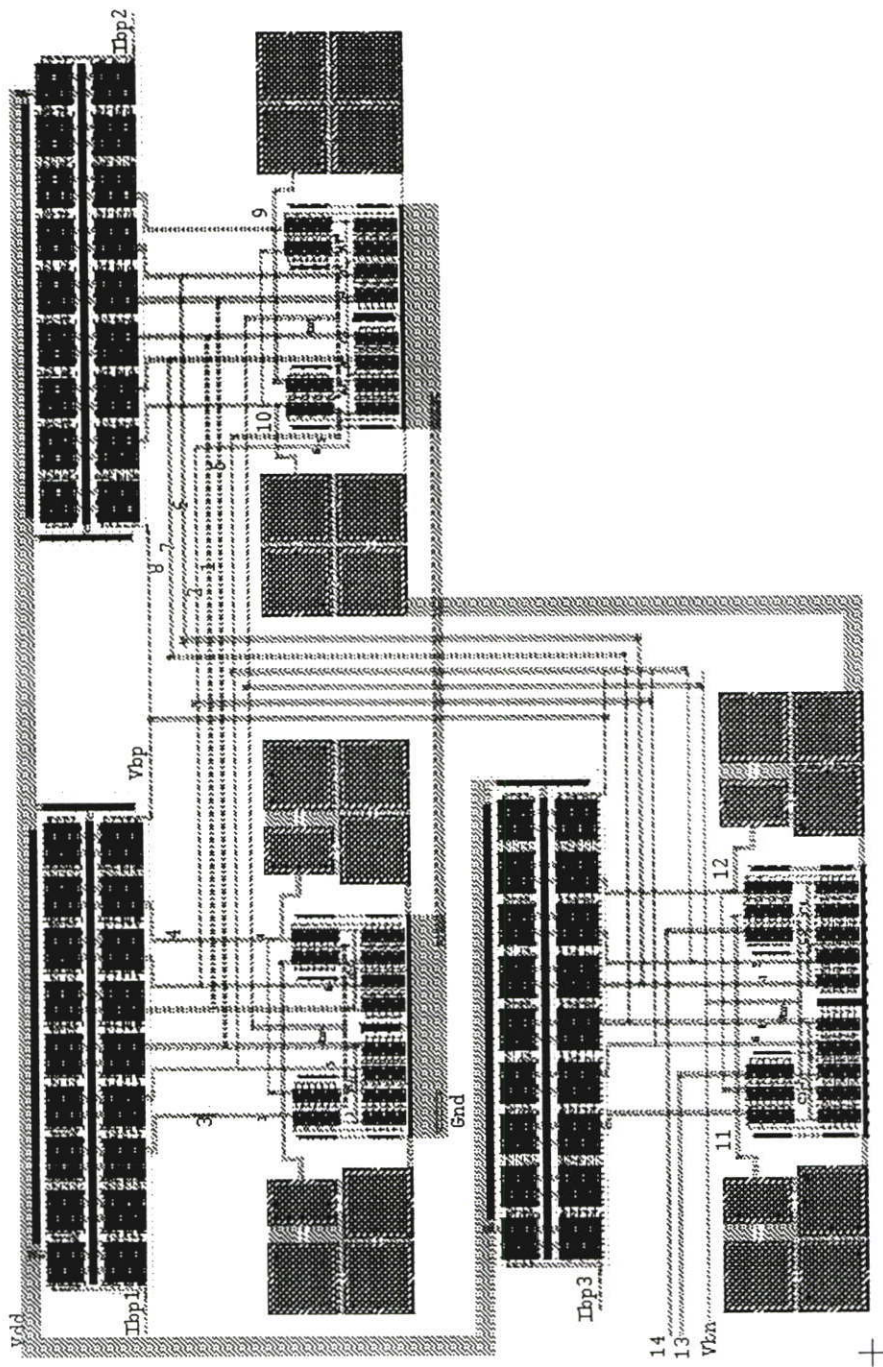
ภาคผนวก ข.

ผลการจำลองการทำงานวงจรรองความถี่ต่ำผ่าน อันดับที่ 3

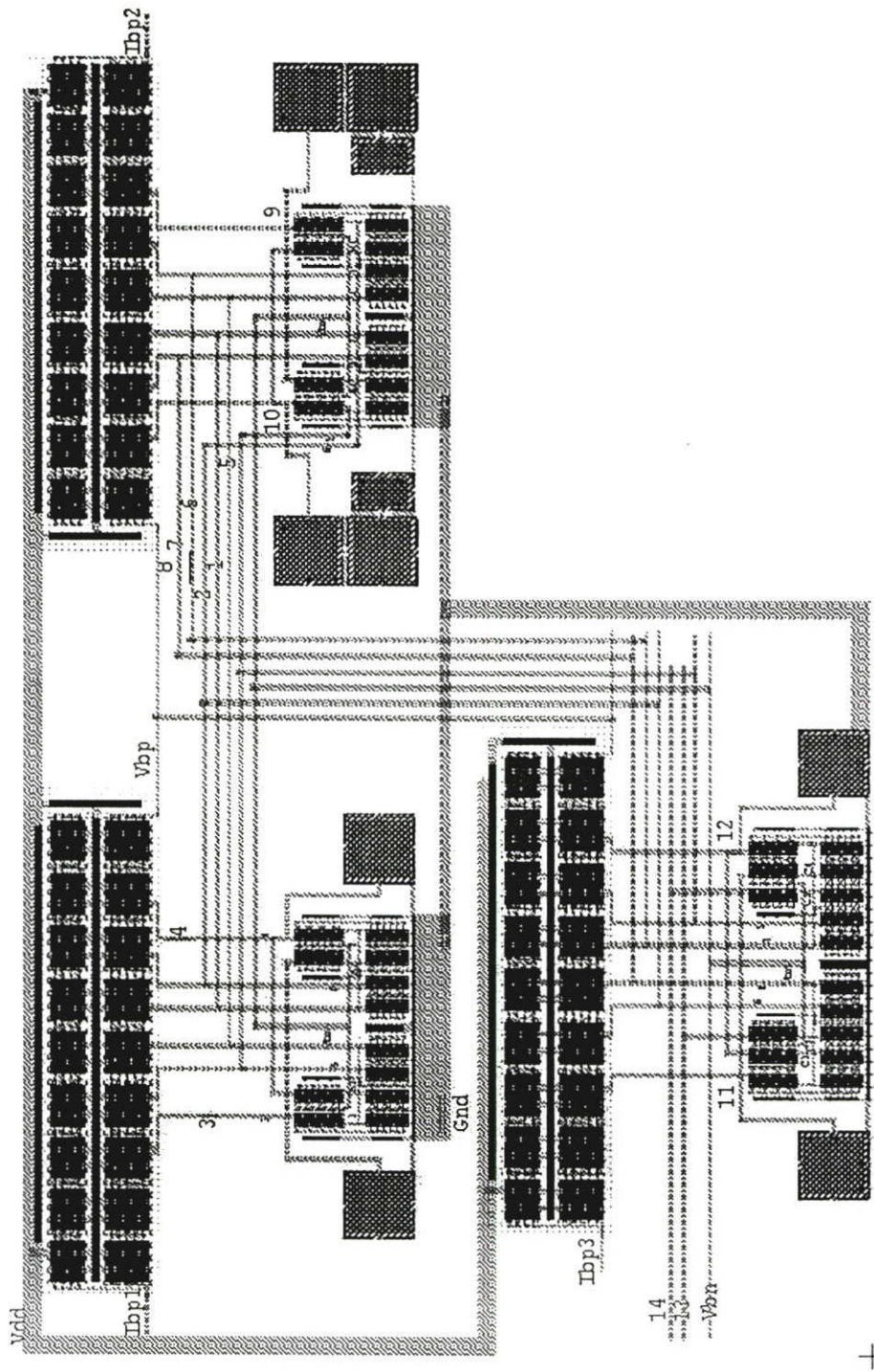
แบบขยายผลต่าง (Layout)

วงจรรองความถี่แบบขยายผลต่างที่แสดงในรูปที่ 4.8 ถูกนำมาทดสอบประสิทธิภาพด้วยการเลย์เอาต์ (Layout) ด้วยโปรแกรม L-EDIT โดยใช้เทคโนโลยีแบบซิมอสทรานซิสเตอร์ ขนาด 0.5 ไมครอน ภายใต้แหล่งจ่ายไฟเลี้ยง ( $V_{DD}$ ) ขนาด 1.5 โวลต์ แรงดัน  $V_B$  และแรงดัน  $V_{Bias}$  มีค่าเท่ากับ 1.2 โวลต์ และ 0 โวลต์ ตามลำดับ วงจรถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 100 MHz และ 250 MHz ตามลำดับ รูปที่ ข.1 แสดงวงจรทางกายภาพที่ได้จากการการเลย์เอาต์ (Layout) วงจรรองความถี่ต่ำผ่าน อันดับที่ 3 แบบขยายผลต่าง (ความถี่คัทออฟมีค่าเท่ากับ 100 MHz) รูปที่ ข.2 แสดงวงจรทางกายภาพที่ได้จากการการเลย์เอาต์ (Layout) วงจรรองความถี่ต่ำผ่าน อันดับที่ 3 แบบขยายผลต่าง (ความถี่คัทออฟมีค่าเท่ากับ 250 MHz) รูปที่ ข.3 แสดงการตอบสนองความถี่ของวงจรรองความถี่ต่ำผ่านอันดับที่ 3 แบบบัตเตอร์เวิร์ท (Butterworth) กับแบบเชบิเชฟ (Chebyshev) วงจรถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 100 MHz ภายใต้การปรับค่ากระแสไบอัส (หรือค่า  $g_m$ ) ที่แตกต่างกัน ซึ่งเราสามารถทำได้ด้วยการปรับค่าคงตัวเวลาได้อย่างอิสระของวงจรรองความถี่แบบขยายผลต่าง (รายละเอียดดูในบทที่ 3) เมื่อปรับเพิ่มค่ากระแสไบอัสในวงจรรองความถี่ในชุดแรก ( $\tau_1$ ) และชุดที่สาม ( $\tau_3$ ) ขณะเดียวกันกระแสไบอัสในวงจรรองความถี่ในชุดที่สอง ( $\tau_2$ ) จะถูกปรับค่าลดลงทำให้ได้วงจรรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ท ในทำนองเดียวกันวงจรรองความถี่ต่ำผ่านแบบเชบิเชฟได้จากการปรับลดค่ากระแสไบอัสในชุดแรกและชุดที่สามของวงจรรองความถี่ และเพิ่มค่ากระแสไบอัสในวงจรรองความถี่ในชุดที่สอง และเมื่อปรับค่ากระแสไบอัสวงจรพร้อมกันทั้งสามชุด วงจรรองความถี่จะปรับจูนค่าความถี่คัทออฟได้ ดังแสดงในรูปที่ ข.4 ความถี่คัทออฟของวงจรสามารถปรับค่าได้ตั้งแต่ 47 MHz จนถึง 140 MHz ด้วยการปรับค่ากระแสไบอัสวงจรจาก  $25 \mu A$  จนถึง  $135 \mu A$  รูปที่ ข.5 แสดงค่าความผิดเพี้ยนฮาร์โมนิกสร่วม (THD) ของวงจรรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ท (ความถี่คัทออฟมีค่าเท่ากับ 100 MHz) ที่ค่าความถี่ 1 MHz 10 MHz และ 100 MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต ( $i_m$ ) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจร ( $I_B$ ) เมื่อป้อนอัตราส่วนของกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.6 ที่ความถี่ 100 MHz ได้ค่าความผิดเพี้ยนฮาร์โมนิกสร่วมน้อยกว่า 1.0 เปอร์เซ็นต์ จากรูปที่ ข.5 จะเห็นได้ว่าเมื่อลดอัตราส่วนของกระแสอินพุตลงเปรียบเทียบกับกระแสไบอัสวงจรทำค่าความผิดเพี้ยนฮาร์โมนิกสร่วมจะมีค่าลดลง รูปที่ ข.6 แสดงสัญญาณรบกวนอินพุตของ วงจรรองความถี่ที่ความถี่คัทออฟมีค่าเท่ากับ 100 MHz สัญญาณรบกวนอินพุตมีค่า  $0.23 \text{ nA}/\sqrt{\text{Hz}}$  ที่ความถี่ 100 MHz สังเกตได้ว่า สัญญาณรบกวนอินพุตของวงจรที่ความถี่ต่ำสัญญาณรบกวนจะมีค่าน้อย และที่ความถี่สูงกว่าความถี่คัทออฟ สัญญาณรบกวนอินพุตจะมีค่าสูงขึ้นอย่างรวดเร็ว รูปที่ ข.7 แสดงการตอบสนองความถี่ของวงจรรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ท วงจรถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 250 MHz วงจรสามารถปรับค่าความถี่คัทออฟได้ตั้งแต่ 100 MHz ถึง 295 MHz ด้วยการปรับค่ากระแสไบอัสวงจรพร้อมกันตั้งแต่  $25 \mu A$  จนถึง  $135 \mu A$

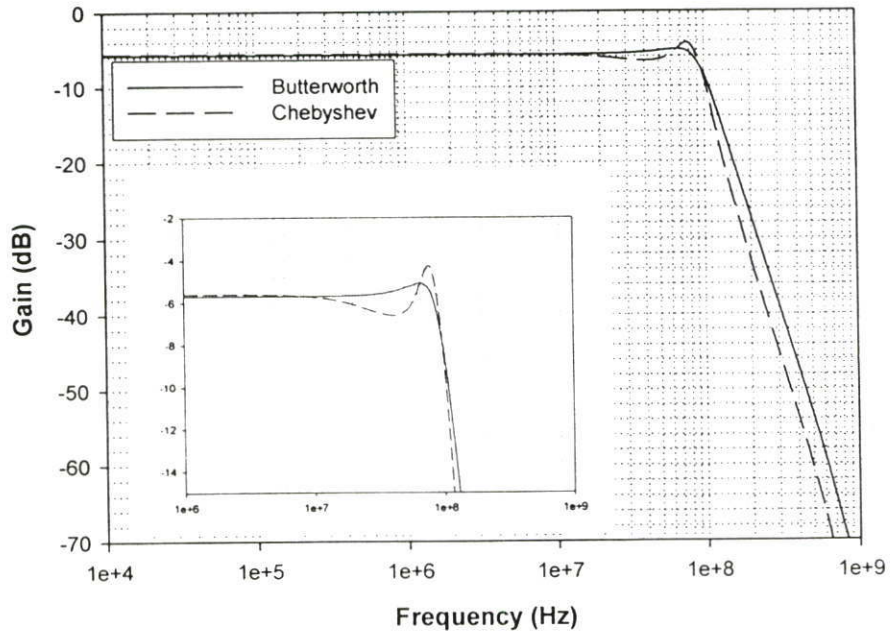
รูปที่ ข.8 แสดงค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรรองความถี่ (ความถี่คัทออฟมีค่าเท่ากับ 250 MHz) ที่ค่าความถี่ 10 MHz 100 MHz และ 250 MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต ( $i_m$ ) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจรรองความถี่ ( $I_B$ ) ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมที่ได้มีค่าน้อยกว่า 0.98 เปอร์เซ็นต์ เมื่อป้อนอัตราส่วนของสัญญาณกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.6 ที่ความถี่ 250 MHz รูปที่ ข.9 แสดงการตอบสนองทางเวลาของวงจรรองความถี่ เมื่อป้อนสัญญาณกระแสอินพุตขนาด  $40 \mu A$  ที่ความถี่ 250 MHz เข้าสู่วงจรรองความถี่แบบขยายความแตกต่าง วัดสัญญาณกระแสเอาต์พุตได้มีค่าเท่ากับ  $15.5 \mu A$  ที่ความถี่ 250 MHz พบว่า ขนาดของสัญญาณกระแสเอาต์พุตมีค่าเป็น 0.707 เท่า ของขนาดสัญญาณกระแสเอาต์พุตที่ความถี่ต่ำ รูปที่ ข.10 แสดงสัญญาณรบกวนอินพุตของ วงจรรองความถี่ที่ความถี่คัทออฟมีค่าเท่ากับ 250 MHz สัญญาณรบกวนอินพุตมีค่า  $0.39 nA/\sqrt{Hz}$  ที่ความถี่ 250 MHz ตารางที่ ข.1 แสดงคุณสมบัติของวงจรรองความถี่ต่ำผ่านอันดับที่ 3 แบบขยายผลต่างที่นำเสนอ



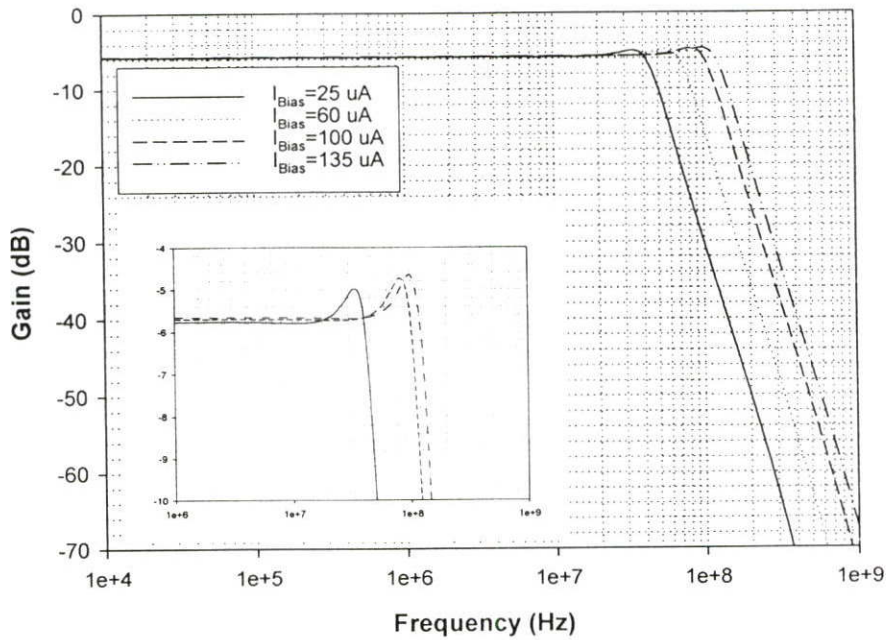
รูปที่ ข.1 วงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบขยายผลต่างที่ได้จากการเลย์เอาต์  
(ความถี่คัทออฟมีค่าเท่ากับ 100 MHz)



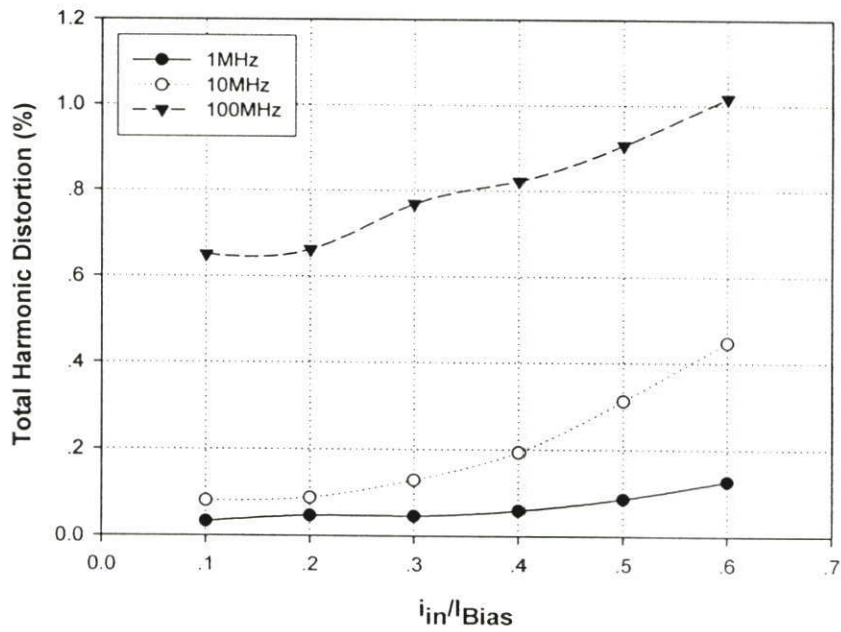
รูปที่ ข.2 วงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบขยายผลต่างที่ได้จากการเลย์เอาต์  
(ความถี่คutoffมีค่าเท่ากับ 250 MHz)



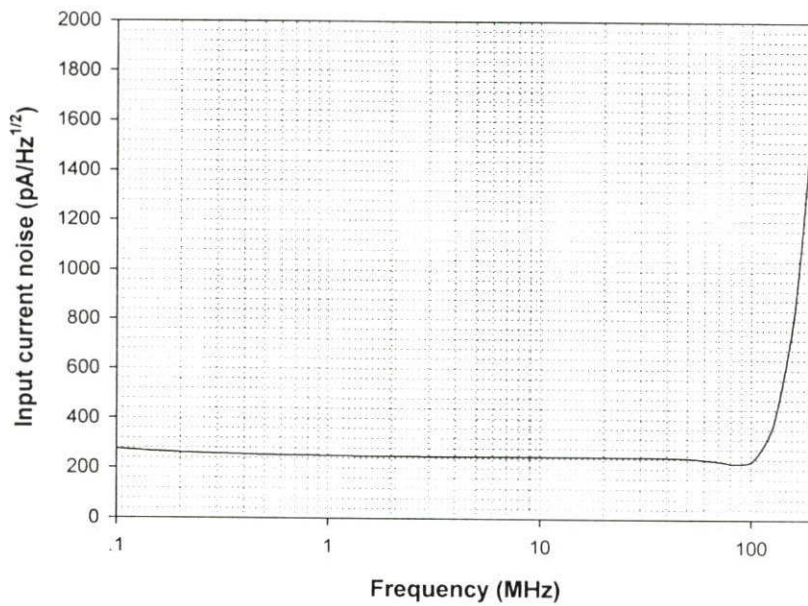
รูปที่ ข.3 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทด์ เปรียบเทียบกับแบบเชบีเชฟ เมื่อปรับจูนกระแสอย่างอิสระ



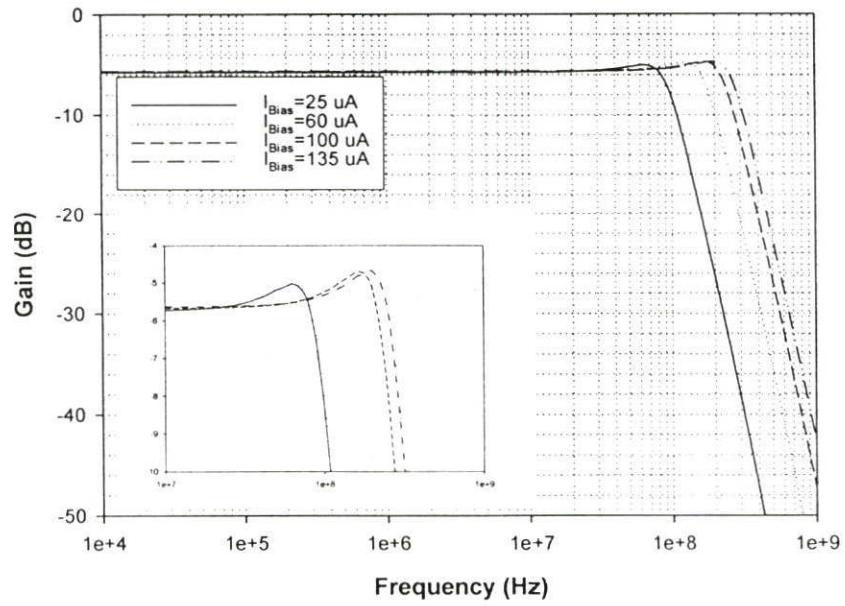
รูปที่ ข.4 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ



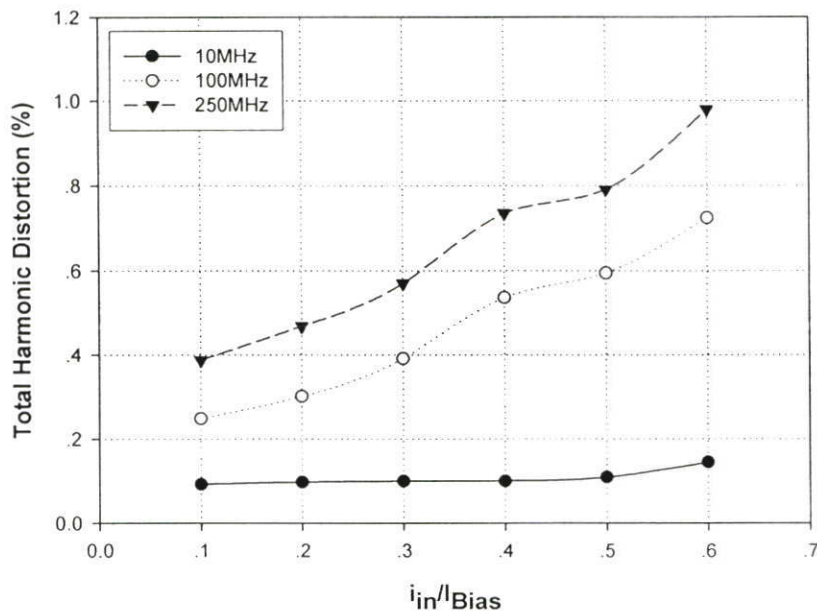
รูปที่ ข.5 ค่าความผิดเพี้ยนฮาร์โมนิกทั้งหมดของวงจรกรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 100 MHz)



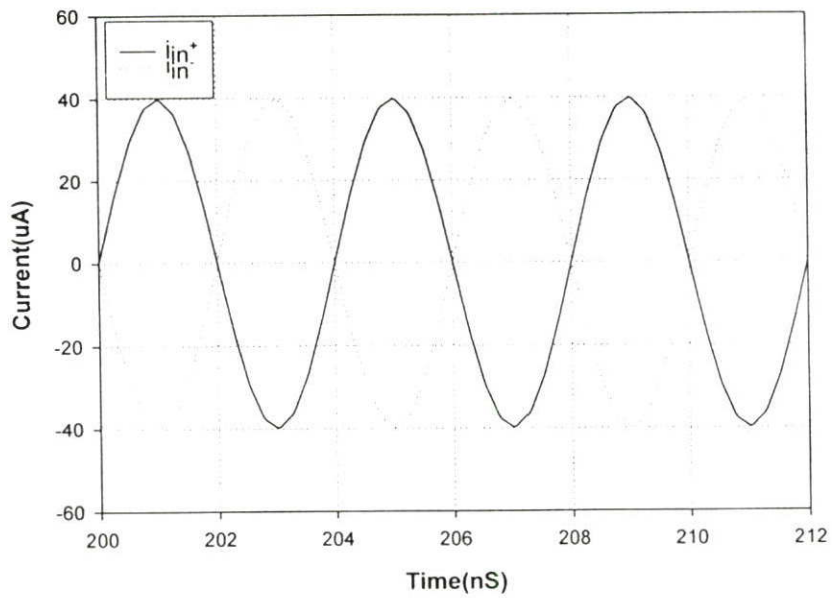
รูปที่ ข.6 สัญญาณรบกวนอินพุตของวงจรกรองความถี่



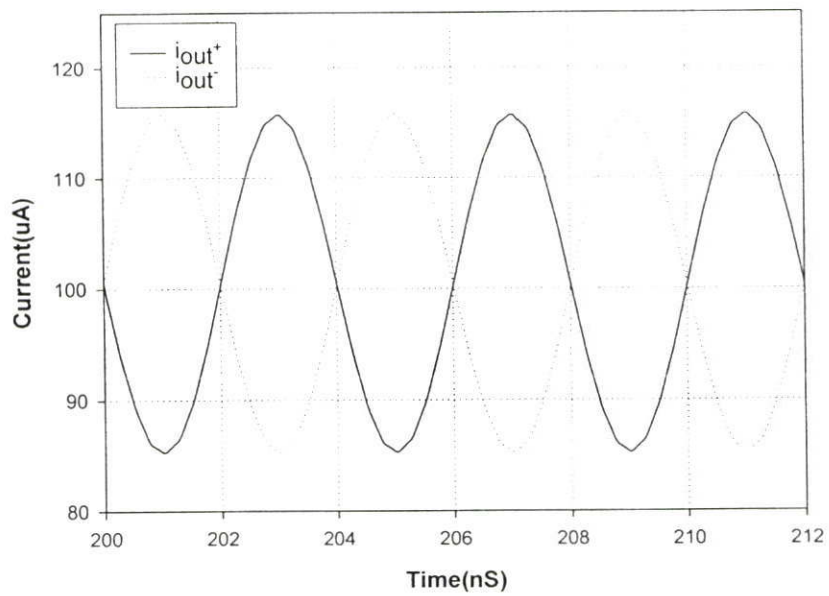
รูปที่ ข.7 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ



รูปที่ ข.8 ค่าความผิดเพี้ยนฮาร์โมนิกสัรวมของวงจรกรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 250 MHz)

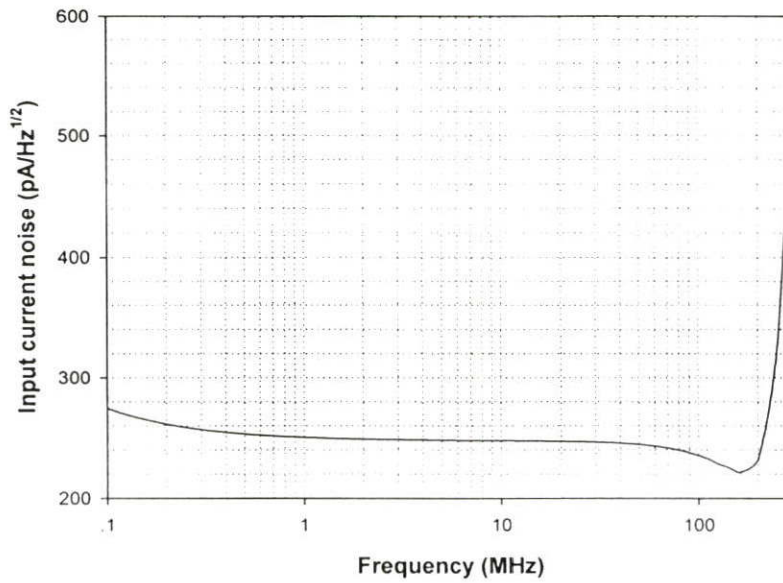


(ก) กระแสอินพุตของวงจรกรองความถี่



(ข) กระแสเอาต์พุตของวงจรกรองความถี่

รูปที่ ๙.๙ ผลการตอบสนองทางเวลาของวงจรกรองความถี่แบบขยายผลต่าง



รูปที่ ข.10 สัญญาณรบกวนอินพุตของวงจรรองความถี่

ตารางที่ ข.1 คุณสมบัติของวงจรรองความถี่ที่นำเสนอแบบขยายผลต่าง

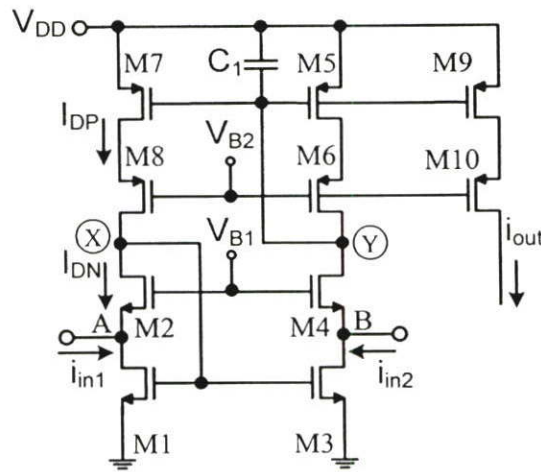
พารามิเตอร์	ผลการจำลองการทำงาน
แหล่งจ่ายแรงดัน	1.5 V
กระแสไบอัสวงจร	25 - 135 $\mu A$
ความถี่คัทออฟ	100 - 295 MHz
ความผิดเพี้ยนฮาร์โมนิกสรวม	0.98 % @250MHz
สัญญาณรบกวนอินพุต	0.23 $nA/\sqrt{Hz}$ @250MHz
กำลังงานสูญเสีย	4.35 mW @ $I_{Bias} = 100 \mu A$

**ภาคผนวก ค.**

**การวิเคราะห์ความไม่สอดคล้องกันของทรานซิสเตอร์**

**(Mismatch Analysis of transistor)**

ในการออกแบบวงจรอินทิเกรเตอร์ที่นำเสนอ ต้องทำการออกแบบให้ค่าแรงดันที่โหนด X มีค่าเท่ากับแรงดันที่โหนด Y โดยการกำหนดขนาดของทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพีได้ โดยจะพิจารณากับเงื่อนไขดังต่อไปนี้



รูปที่ ก.1 วงจรอินทิเกรเตอร์แบบไม่สูญเสีย

ในการทำงานของวงจรอินทิเกรเตอร์ ทรานซิสเตอร์ทุกตัวต้องทำงานในย่านอิ่มตัว นั่นคือ

$$V_{DS} \geq V_{GS} - V_T \tag{ก.1}$$

การวิเคราะห์ทางไฟตรง (DC) ของวงจรอินทิเกรเตอร์จะสมมติให้ทรานซิสเตอร์ทุกตัวทำงานในย่านอิ่มตัว กล่าวคือ ค่าแรงดันเดรน-ซอส ( $V_{DS}$ ) จะต้องมีค่ามากกว่าผลต่างระหว่างแรงดันเกต-ซอส ( $V_{GS}$ ) และแรงดันขีดเริ่ม ( $V_T$ ) ( $V_{DS} \geq V_{GS} - V_T$ )

ค่าแรงดันที่โหนด X และ ที่โหนด Y มีค่าเท่ากับ

$$V_X = V_{GSN} \tag{ก.2}$$

$$V_Y = V_{DD} - |V_{GSP}| \tag{ก.3}$$

ในการออกแบบเพื่อให้ค่าแรงดันที่โหนด X และ โหนด Y มีขนาดเท่ากัน กระแสที่ไหลผ่านทรานซิสเตอร์ M1 M2 M7 และ M8 จะต้องมีค่าเท่ากับกระแสที่ไหลผ่านทรานซิสเตอร์ M3 M4 M5 และ M6 ดังแสดงในสมการที่ (ก.5)

$$I_{DS(M1)} = I_{DS(M5)} \quad (ก.4)$$

จากสมการที่ (ก.2) (ก.3) และ (ก.4) จะได้ว่า

$$V_{DD} = V_{GSN} + |V_{GSP}| \quad (ก.5)$$

โดยที่

$$V_{GSN} = \sqrt{\frac{2I_{DS}}{\mu_n C_{OX} \left(\frac{W}{L}\right)_{M1}}} + V_{TN} \quad (ก.6)$$

$$|V_{GSP}| = \left| \sqrt{\frac{2I_{DS}}{\mu_h C_{OX} \left(\frac{W}{L}\right)_{M5}}} \right| + |V_{TP}| \quad (ก.7)$$

โดยที่  $\mu_n$  และ  $\mu_h$  คือ ค่าความคล่องตัวของอิเล็กตรอนและโฮล ตามลำดับ  $V_{TN}$  และ  $V_{TP}$  คือ แรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นและแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดพี ตามลำดับ และ  $C_{OX}$  คือค่าความจุไฟฟ้าของออกไซด์ในมอสทรานซิสเตอร์

จากสมการที่ (ก.5) เพื่อให้ค่ากระแสที่ได้มีค่าเป็นจริง แรงดัน  $V_{DD}$  จะต้องมีค่ามากกว่าผลรวมของค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็น ( $V_{TN}$ ) และค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดพี ( $V_{TP}$ ) นอกจากนี้ ค่าแรงดันเกต-ซอส ของทรานซิสเตอร์ชนิดเอ็น ( $V_{GSN}$ ) จะต้องมีค่ามากกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็น ( $V_{TN}$ ) และค่าแรงดันเกต-ซอส ของทรานซิสเตอร์ชนิดพี ( $V_{GSP}$ ) จะต้องมีค่ามากกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดพี ( $V_{TP}$ ) และจากสมการที่ (ก.4) และ (ก.5) ทำการจัดรูปสมการให้อยู่ในรูปของกระแสทรานซอส จะได้ว่า

$$V_{DD} = \sqrt{\frac{2I_{DS}}{\mu_n C_{OX} \left(\frac{W}{L}\right)_{M1}}} + V_{TN} + \left| \sqrt{\frac{2I_{DS}}{\mu_h C_{OX} \left(\frac{W}{L}\right)_{M5}}} \right| + |V_{TP}|$$

$$I_{DS} = \frac{1}{2} \left[ \frac{\sqrt{\mu_n C_{OX} \mu_h C_{OX} \left(\frac{W}{L}\right)_{M1} \left(\frac{W}{L}\right)_{M5}}}{\sqrt{\mu_n C_{OX} \left(\frac{W}{L}\right)_{M1}} + \sqrt{\mu_h C_{OX} \left(\frac{W}{L}\right)_{M5}}} \right]^2 (V_{DD} - |V_{TP}| - V_{TN})^2 \quad (ก.8)$$

ในสมการที่ (ก.6) เราสามารถหาค่าความสัมพันธ์ระหว่างขนาดของทรานซิสเตอร์ชนิดเอ็นและชนิดพีได้ดังนี้

กรณีที่ 1 เมื่อ  $\mu_n = \mu_p$  และ  $V_{TN} = V_{TP}$  จะได้ว่า

$$I_{DS} = \frac{1}{2} \left[ \frac{\sqrt{\mu_n C_{OX} \left(\frac{W}{L}\right)_{M1} \left(\frac{W}{L}\right)_{M5}}}{\sqrt{\left(\frac{W}{L}\right)_{M1}} + \sqrt{\left(\frac{W}{L}\right)_{M5}}} \right]^2 (V_{DD} - 2V_{TN})^2 \quad (\text{ก.9})$$

กำหนดให้ค่าแรงดันที่โหนด X และ โหนด Y มีค่าเท่ากันและมีค่าเท่ากับ  $V_{DD}/2$  จากสมการที่ (ก.6) และ (ก.7) จะได้ว่า

$$\left(\frac{W}{L}\right)_{M1} = \left(\frac{W}{L}\right)_{M5} \quad (\text{ก.10})$$

และ

$$V_{GSN} = |V_{GSP}| = \sqrt{\frac{2I_{DS}}{\mu_n C_{OX} \left(\frac{W}{L}\right)_{M1}}} + V_{TN} \quad (\text{ก.11})$$

จากกรณีที่ 1 พบว่า ขนาด W/L ของทรานซิสเตอร์ M1 มีค่าเท่ากับขนาด W/L ของทรานซิสเตอร์ M5 และจะแปรผันตรงกับกระแสไบอัสที่ไหลในวงจร คือเมื่อขนาด W/L ของทรานซิสเตอร์มีขนาดโตขึ้น กระแสไบอัสวงจรมีค่ามากขึ้น

กรณีที่ 2 เมื่อ  $\mu_n \neq \mu_p$  โดยสมมติให้  $\mu_n = 3\mu_p$  และ  $V_{TN} = V_{TP}$  จะได้ว่า

$$I_{DS} = \frac{1}{2} \left[ \frac{\sqrt{3\mu_p C_{OX} \left(\frac{W}{L}\right)_{M1} \left(\frac{W}{L}\right)_{M5}}}{\sqrt{3\left(\frac{W}{L}\right)_{M1}} + \sqrt{\left(\frac{W}{L}\right)_{M5}}} \right]^2 (V_{DD} - 2V_{TN})^2 \quad (\text{ก.12})$$

กำหนดให้ค่าแรงดันที่โหนด X และ โหนด Y มีค่าเท่ากันและมีค่าเท่ากับ  $V_{DD}/2$  จากสมการที่ (ก.6) และ (ก.7) จะได้ว่า

$$\left(\frac{W}{L}\right)_{M5} = 3\left(\frac{W}{L}\right)_{M1} \quad (\text{ก.13})$$

และ

$$V_{GSN} = |V_{GSP}| = \sqrt{\frac{2I_{DS}}{3\mu_h C_{OX} \left(\frac{W}{L}\right)_{M1}}} + V_{TN} \quad (\text{ก.14})$$

จากกรณีที่ 2 พบว่า ขนาด W/L ของทรานซิสเตอร์ M5 มีที่โตกว่าขนาด W/L ของทรานซิสเตอร์ M1 เป็นสามเท่า เมื่อกำหนดให้ค่าความคล่องตัวของอิเล็กตรอนสูงกว่าค่าความคล่องตัวของโฮลเป็นสามเท่า จะเห็นได้ว่า ถ้าขนาดของแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นและชนิดพีมีค่าเท่ากัน อัตราส่วนของขนาด W/L ของทรานซิสเตอร์จะขึ้นอยู่กับอัตราส่วนระหว่างค่าความคล่องของอิเล็กตรอนและค่าความคล่องตัวของโฮล

กรณีที่ 3 เมื่อ  $\mu_n = \mu_h$  และ  $V_{TN} \neq V_{TP}$  โดยสมมติให้  $V_{TN} = 0.8V_{TP}$  จะได้ว่า

$$I_{DS} = \frac{1}{2} \left[ \frac{\sqrt{\mu_n C_{OX} \left(\frac{W}{L}\right)_{M1} \left(\frac{W}{L}\right)_{M5}}}{\sqrt{\left(\frac{W}{L}\right)_{M1}} + \sqrt{\left(\frac{W}{L}\right)_{M5}}} \right]^2 (V_{DD} - 1.8|V_{TP}|)^2 \quad (\text{ก.15})$$

กำหนดให้ค่าแรงดันที่โนด X และ โนด Y มีค่าเท่ากันและมีค่าเท่ากับ  $V_{DD}/2$  จากสมการที่ (ก.6) และ (ก.7) จะได้ความสัมพันธ์ดังนี้

$$\frac{V_{DD}}{2} - 0.8|V_{TP}| = \sqrt{\frac{2I_{DS}}{\mu_n C_{OX} \left(\frac{W}{L}\right)_{M1}}} \quad (\text{ก.16})$$

$$\frac{V_{DD}}{2} - |V_{TP}| = \left| \sqrt{\frac{2I_{DS}}{\mu_h C_{OX} \left(\frac{W}{L}\right)_{M5}}} \right| \quad (\text{ก.17})$$

กรณี 3 จะเห็นได้ว่าเราสมมติให้ขนาดของแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นมีค่าต่ำกว่าค่าแรงดันขีดเริ่มในทรานซิสเตอร์ชนิดพี ทำให้ขนาด W/L ของทรานซิสเตอร์ชนิดเอ็นมีขนาดเล็กกว่าขนาด W/L ของทรานซิสเตอร์ชนิดพี ในทางกลับกัน หากสมมติให้ขนาดของแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นมีค่าสูงกว่าค่าแรงดันขีดเริ่มในทรานซิสเตอร์ชนิดพี ทำให้ขนาด W/L ของทรานซิสเตอร์ชนิดเอ็นมีขนาดที่โตกว่าขนาด W/L ของทรานซิสเตอร์ชนิดพี ความแตกต่างของแรงดันขีดเริ่มระหว่างทรานซิสเตอร์ชนิดเอ็นกับชนิดพีมากขึ้นส่งผลให้ขนาด W/L ของทรานซิสเตอร์แตกต่างกันมาก

กรณีที่ 4 เมื่อ  $\mu_n \neq \mu_h$  และ  $V_{TN} \neq V_{TP}$  โดยสมมติให้  $\mu_n = 3\mu_h$  และ  $V_{TN} = 0.8V_{TP}$  จะได้ว่า

$$I_{DS} = \frac{1}{2} \left[ \frac{\sqrt{3\mu_h C_{OX} \left(\frac{W}{L}\right)_{M1} \left(\frac{W}{L}\right)_{M5}}}{\sqrt{3\left(\frac{W}{L}\right)_{M1} + \left(\frac{W}{L}\right)_{M5}}} \right]^2 (V_{DD} - 1.8|V_{TP}|)^2 \quad (ค.18)$$

กำหนดให้ค่าแรงดันที่โหนด X และ โหนด Y มีค่าเท่ากันและมีค่าเท่ากับ  $V_{DD}/2$  จากสมการที่ (ค.6) และ (ค.7) จะได้ความสัมพันธ์ดังนี้

$$\frac{V_{DD}}{2} - 0.8|V_{TP}| = \sqrt{\frac{2I_{DS}}{3\mu_h C_{OX} \left(\frac{W}{L}\right)_{M1}}} \quad (ค.19)$$

$$\frac{V_{DD}}{2} - |V_{TP}| = \sqrt{\frac{2I_{DS}}{\mu_h C_{OX} \left(\frac{W}{L}\right)_{M5}}} \quad (ค.20)$$

ในกรณีที่ 4 จะเห็นว่าเราได้สมมติให้ค่าความคล่องตัวของอิเล็กตรอนและความคล่องตัวของโฮลมีค่าไม่เท่ากัน คือ เมื่อค่าความคล่องตัวของอิเล็กตรอนสูงกว่าค่าความคล่องตัวของโฮล ทำให้ขนาด W/L ของทรานซิสเตอร์ M5 มีที่โตกว่าขนาด W/L ของทรานซิสเตอร์ M1 ในขณะที่เราสมมติให้ขนาดของแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็นมีค่าต่ำกว่าค่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดพี ทำให้ขนาด W/L ของทรานซิสเตอร์ชนิดพีมีขนาดโตกว่าขนาด W/L ของทรานซิสเตอร์ชนิดเอ็น

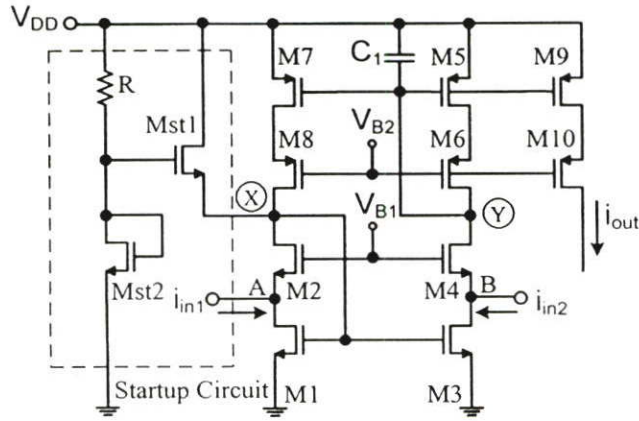
จากกรณีทั้ง 4 กรณี พบว่าในการออกแบบใช้งานทรานซิสเตอร์นั้น จะเป็นไปตามกรณีที่ 4 คือ ค่าความคล่องตัวของอิเล็กตรอนกับค่าความคล่องตัวของโฮลมีค่าไม่เท่ากัน และค่าแรงดันขีดเริ่มของทรานซิสเตอร์ไม่เท่ากัน ในงานวิจัยชิ้นนี้ได้ออกแบบโดยใช้เทคโนโลยีมอสทรานซิสเตอร์ 0.5 ไมครอน ค่าพารามิเตอร์ดังตารางที่ 4.1 สามารถหาค่าความสัมพันธ์ระหว่างทรานซิสเตอร์ชนิดเอ็นและทรานซิสเตอร์ชนิดพี ดังสมการที่ (ค.21)

$$\left(\frac{W}{L}\right)_{M5} = 3.9\left(\frac{W}{L}\right)_{M1} \quad (ค.21)$$

สำหรับการออกแบบใช้งานวงจรรีจิสเตอร์แบบขั้วเดียว ทำงานที่แหล่งจ่ายแรงดันขนาด 1.5 โวลต์ กระแสไบอัสขนาด 35 ไมโครแอมป์ ใช้ขนาด W/L ของทรานซิสเตอร์ชนิดเอ็นขนาด 10/0.5 และขนาด W/L ของทรานซิสเตอร์ชนิดเอ็นขนาด 34/0.5

ภาคผนวก ง.

วงจรสตาร์ทอัพ (Startup circuit)



รูปที่ ง.1 วงจรสตาร์ทอัพ (Startup circuit)

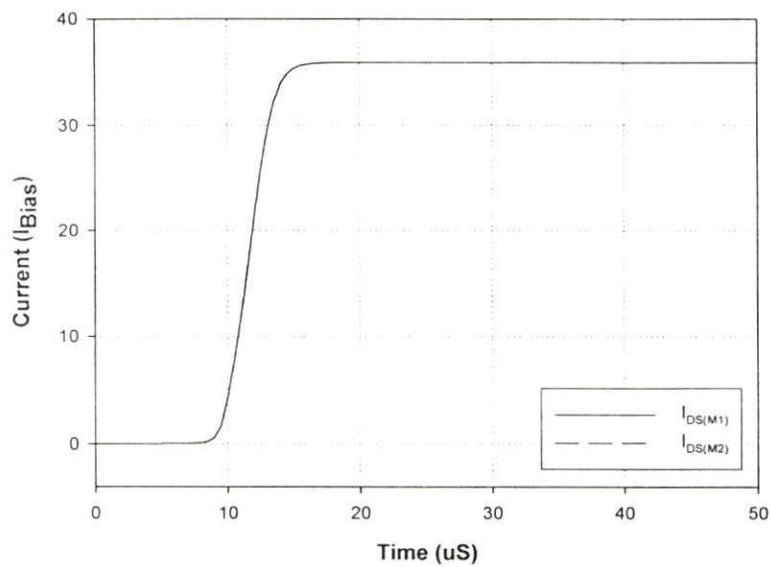
วงจรรีเซ็ตแบบขั้วเดียวที่ได้นำเสนอ ถูกออกแบบให้มีวงจรรสตาร์ทอัพ (Startup circuit) เพื่อให้วงจรทำงานได้ถูกต้องตามที่ออกแบบ ดังแสดงในรูปที่ ง.1 วงจรรสตาร์ทอัพ ประกอบด้วย ทรานซิสเตอร์ Mst1 Mst2 และตัวต้านทาน R เมื่อวงจรเริ่มทำงาน สมมติว่ากระแสที่ไหลในวงจรรีเซ็ตมีค่าเป็นศูนย์ ทรานซิสเตอร์ Mst1 ซึ่งออกแบบให้ทำงานในย่านอิ่มตัว จะทำหน้าที่จ่ายกระแสให้วงจรรีเซ็ต โดยป้อนเข้าที่โหนด X กระแสที่ไหลในวงจรรีเซ็ตผ่านทรานซิสเตอร์ M1 และ M2 ทำให้แรงดันที่โหนด X มีค่าสูงขึ้น กระแสไหลผ่านทรานซิสเตอร์ M1 และ M2 ดังกล่าวจะถูกสะท้อนไปยังทรานซิสเตอร์ M3 และ M4 ส่งผลทำให้ค่าแรงดันที่โหนด Y มีค่าลดลง เกิดกระแสไหลผ่านทรานซิสเตอร์ M5 และ M6 และกระแสจะถูกสะท้อนไปยังทรานซิสเตอร์ M7 และ M8 ทำให้กระแสที่ไหลผ่านทรานซิสเตอร์ในวงจรรีเซ็ตจะค่อยๆเพิ่มขึ้น การที่กระแสในวงจรรีเซ็ตมีค่าเพิ่มขึ้นทำให้แรงดันที่โหนด X จะค่อยๆเพิ่มขึ้น และทำให้ทรานซิสเตอร์ Mst1 จ่ายกระแสน้อยลง ในที่สุดเมื่อแรงดันที่โหนด X และ โหนด Y เข้าสู่ภาวะสมดุล ทรานซิสเตอร์ Mst1 จะทำงานในย่านคัทออฟ จากรูปจะเห็นได้ว่า ทรานซิสเตอร์ Mst2 ถูกต่อแบบไดโอดเพื่อให้ทำงานในย่านอิ่มตัว ทำหน้าที่เป็นวงจรรีเซ็ตที่ขากเทให้กับทรานซิสเตอร์ Mst1 โดยขนาดของทรานซิสเตอร์ Mst1 และขนาดตัวต้านทาน R จะเป็นตัวกำหนดขนาดแรงดันเกต-ซอส และกระแสที่ไหลผ่านทรานซิสเตอร์ Mst1 ได้ ในการออกแบบ กำหนดให้แรงดันเกต-ซอส ของทรานซิสเตอร์ Mst2 มีค่าสูงกว่าแรงดันเกต-ซอสของทรานซิสเตอร์ M1 เล็กน้อย เพื่อให้ทรานซิสเตอร์ Mst1 ทำงานในย่านคัทออฟเมื่ วงจรรีเซ็ตเข้าสู่ภาวะสมดุล ดังแสดงในสมการที่ (ง.1) และสมการที่ (ง.2)

$$V_{DD} = I_D R + \sqrt{\frac{2I_D}{\mu C_{OX} \left(\frac{W}{L}\right)_{Mst2}}} + V_T \tag{ง.1}$$

$$V_{GS(Mst2)} = \sqrt{\frac{2I_D}{\mu C_{OX} \left(\frac{W}{L}\right)_{Mst2}}} + V_T \quad (ง.2)$$

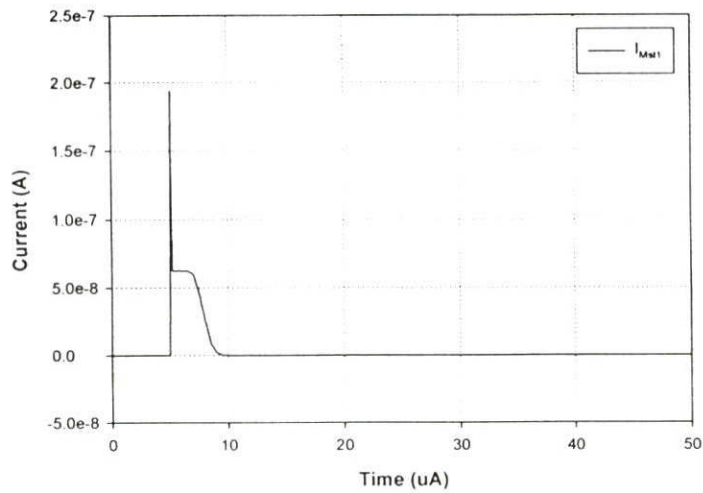
ในสมการที่ (ง.1) เราสามารถ หาค่ากระแสที่ไหลผ่านวงจรถ่ายต่อพัลส์ได้ จากการกำหนดขนาด W/L ของทรานซิสเตอร์ และค่าความต้านทาน R สมการที่ (ง.2) เป็นค่าแรงดันที่ใช้ในการไบอัสทรานซิสเตอร์ Mst1 สำหรับในการใช้งานวงจรถ่ายต่อพัลส์ในวงจรประเภทวงจรรวม เพื่อที่จะประหยัดพื้นที่ในการออกแบบ ตัวต้านทาน R จะถูกแทนด้วยทรานซิสเตอร์ที่ออกแบบให้ทำงานในย่านลิเนียร์

จากวงจรถ่ายต่อพัลส์ที่แสดงในรูปที่ ง.1 ถูกนำมาจำลองการทำงานโดยใช้โปรแกรม Hspice ภายใต้เทคโนโลยีแบบมอสทรานซิสเตอร์ ขนาด 0.5 ไมครอน และแหล่งจ่ายไฟเลี้ยง ( $V_{DD}$ ) ขนาด 1.5 โวลต์

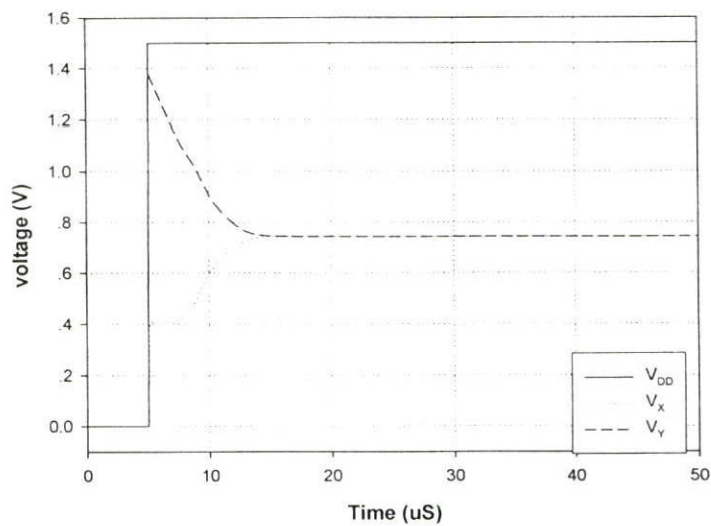


รูปที่ ง.2 ผลการตอบสนองทางเวลาของกระแสไบอัสตรงที่ไหลในวงจรถ่ายต่อพัลส์

รูปที่ ง.2 แสดงการตอบสนองทางเวลาของกระแสไบอัสตรงที่ไหลในวงจรถ่ายต่อพัลส์ โดยกำหนดให้แหล่งจ่ายแรงดัน  $V_{DD}$  เปลี่ยนจากค่า 0 โวลต์ เป็น 1.5 โวลต์ ที่เวลา 5  $\mu S$  ทำให้ค่ากระแสไบอัสจะค่อยๆมีค่าเพิ่มขึ้น จากค่า 0 โวลต์ จนถึงระดับที่ได้ออกแบบไว้ที่ 35 ไมโครแอมป์ ในขณะที่กระแสที่ไหลผ่านทรานซิสเตอร์ Mst1 ในวงจรถ่ายต่อพัลส์จะมีค่าสูงในช่วงแรก (เวลา 5  $\mu S$ ) และจะค่อยๆลดลง จนมีค่าเป็นศูนย์ ดังแสดงในรูปที่ ง.3



รูปที่ 3.3 ผลการตอบสนองทางเวลาของกระแสไบอัสตรงที่ไหลในวงจรสตาร์ทอัพ (Mst1)



รูปที่ 3.4 ผลการตอบสนองทางเวลาของแรงดันไบอัสตรงที่โหนดต่างๆ

รูปที่ 3.4 แสดงผลการตอบสนองทางเวลาของค่าแรงดัน  $V_{DD}$  แรงดันที่โหนด X และแรงดันที่โหนด Y เมื่อแรงดัน  $V_{DD}$  เปลี่ยนค่าจาก 0 โวลต์ เป็น 1.5 โวลต์ ค่าแรงดันที่โหนด X จะค่อยๆมีค่าเพิ่มขึ้น ในขณะที่แรงดันที่โหนด Y จะค่อยๆลดลง จนถึงแรงดันที่ได้ถูกออกแบบไว้

จากผลที่ได้จากการจำลองการทำงาน จะเห็นได้ว่า วงจรสตาร์ทอัพจะมีผลต่อการทำงานของวงจรอินทิเกรเตอร์เฉพาะช่วงแรกเท่านั้น เพื่อให้วงจรทำงานที่กระแสไบอัสวงจรได้ถูกต้อง หลังจากนั้นวงจรสตาร์ทอัพจะไม่มีผลกับวงจร แต่อย่างไรก็ตามการที่วงจรต้องใช้วงจรสตาร์ทอัพ ทำให้วงจรสูญเสียกำลังงานเพิ่มขึ้น สำหรับวงจรอินทิเกรเตอร์ที่ถูกนำเสนอแบบชั่วคราวที่มีการปรับจูนกระแสไบอัส (ดังแสดงในรูปที่ 4.13) ไม่จำเป็นต้องใช้วงจรสตาร์ทอัพเนื่องจากกระแสปรับจูน จะทำหน้าที่เสมือนวงจรสตาร์ทอัพ เพื่อช่วยให้วงจรอินทิเกรเตอร์ทำงานได้ถูกต้อง

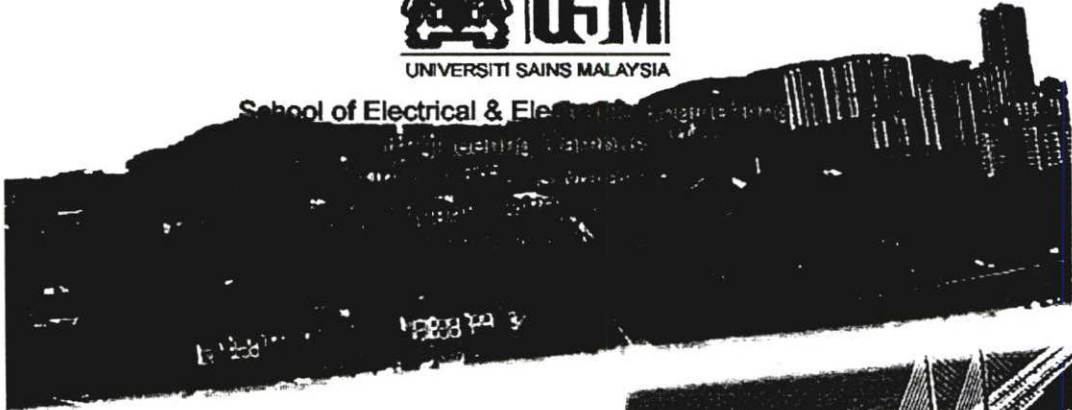
### ภาคผนวก จ.

#### ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

1. S. Sa-ad , V. Kasemsuwan , T. Arthansiri , A. Suadet and W. Pongpalit, “**A Low Voltage Independently Tunable CMOS Current Mode Filters.**” International Conference on Robotics, Vision, Information and Signal Processing (ROVISP2005), pp. 63-66 Penang, Malaysia, July 20-22, 2005.



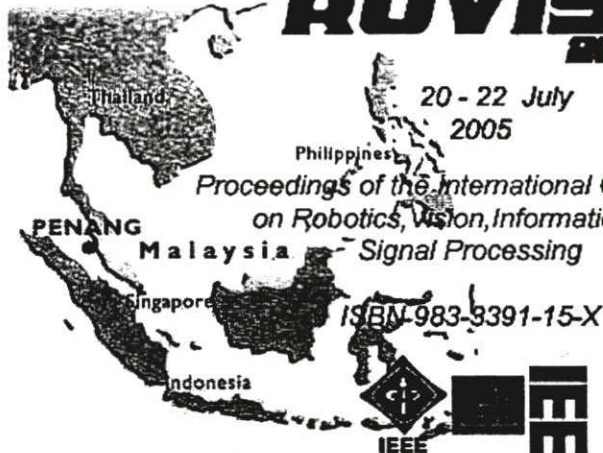
School of Electrical & Electronic Engineering



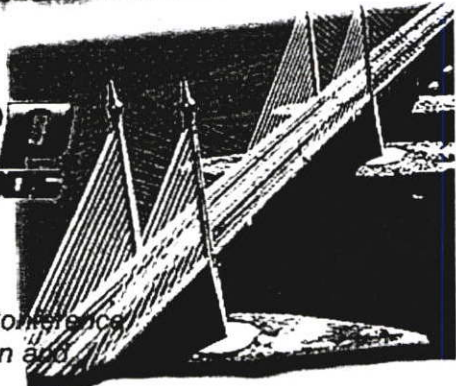
# ROVISA 2005

20 - 22 July  
2005

Proceedings of the International Conference  
on Robotics, Vision, Information and  
Signal Processing



ISBN 983-9391-15-X



## A Low Voltage Independently Tunable CMOS Current Mode Filters

Saner Sa-ad , Varakorn Kasemsuwan , Teerawat Arthansiri ,

Apirak Suadet , Wacharapol Pongpalit

Department of Electronics, Faculty of Engineering,  
 King Mongkut's Institute of Technology Ladkrabang Bangkok 10260,  
 THAILAND, E-mail: [kkvarako@kmitl.ac.th](mailto:kkvarako@kmitl.ac.th)

### Abstract

A CMOS current-mode integrator and filters are presented. A current-mode tuneable integrator as basic building block is implemented using low voltage low input impedance current mirror. A prototype 3<sup>rd</sup> low pass active ladder filter using the proposed integrator is designed in a standard 0.5  $\mu\text{m}$  CMOS process. The resulting filters can be electronically and independently tuned and, therefore, different types of filter can be achieved using the same filter circuit. The Butterworth low pass filter with the cut off frequency of 100 MHz is designed under the supply voltage 1.5 V. The power dissipation is found to be 0.8 mW.

### Keywords:

Lossless integrator, Current mode filter, Current mirror

### Introduction

Filter is one among important circuit building blocks that is extensively employed in various parts of communication circuits. Active filter based on the operational voltage amplifier using the cascade of biquadratic sections, simulated LC ladder prototypes and multiple loop feedback technology are common approaches. However, op-amp based active-RC filters have been found inappropriate for high frequency operation. A current mode filter is an interesting alternative approach because the current mode circuit can operate at high frequency. In addition, the current summing, current copying and current scaling can be easily achieved under the low supply voltage [1].

Several approaches have been proposed to implement integrated circuit filters [2-7]. [2-3] designed bandpass filters for communication system. [4-7] designed the low pass filters for the hard disk and digital video applications. However, all of them require the supply voltage of 5 V or higher to operate at high frequency. Lee et al. [8] designed lossless integrator using simple current mirror. The integrator was then used to implement the filter. The time constant of the integrator can be electronically tuned so that the resulting cut off frequency filter is tuneable. The circuit can operate up to 38.5MHz. The circuit however requires the supply voltages of 5 V with power dissipation as high as 25.5 mW. In addition, although the time constant of the lossless integrator can be electronically tuned, the changing in the time constant of any integrator cell unavoidably

affects the time constants of other integrators. This tuning dependency of the time constants results in the filter circuit which is unable to be tuned in the desired manner. [9-10] proposed filters using bipolar transistors consisting of NPN and PNP current mirrors. The circuit is simple and can operate at high frequency (500 MHz). Although the circuit shows good performance, bipolar transistor is not suitable for the mixed signal integrated circuit implementation. In addition, the time constant of the integrator in the filter circuit can not be independently tuned making the tuning a difficult task.

This paper presents a simple lossless integrator using low voltage low input impedance current mirror[11]. The circuit employs both NMOS and PMOS current mirrors with the supply voltage as low as 1.5 V. The dc gain of the integrator is quite high (52 dB). In addition, the integrator can receive two input currents from two low impedance nodes making the design of the filter, based on our lossless integrator, simple. The power dissipation is found to be 0.16 mW. ( $I_B=35\mu\text{A}$ ). The integrator is then used to design the low pass filter. The time constants of the each integrator in the filter can be electronically and independently tuned and, therefore, different types of filter can be achieved using the same filter circuit. In this work, the proposed filter is used to design both Butterworth and Chebyshev low pass filters only by tuning the bias current.

### The proposed circuit

Figure 1 shows the proposed lossless integrator. The circuit employs two low voltage current mirrors(M1-M4 and M5-M8). The input currents can be injected into both node A and B. From the circuit, the drain current of M4 is the subtraction of  $i_{in1}$  and  $i_{in2}$ . This current is passed to the lossy integrator formed by M5-M8 with its time constant determined by the capacitor  $C_1$  and the transconductance of the transistor M5. The output of the lossy integrator is then positively fed back to the input of the NMOS current mirror. M9-M10 are used to mirror the output current which can be found as

$$i_{out} = \frac{g_{m5}}{sC_1} (i_{in1} - i_{in2}) \quad (1)$$

where  $g_{m5}$  is the transconductance of the transistor M5 and given by  $\sqrt{2\mu C_{ox}(W/L)I_{D5}}$

As seen, the time constant of the proposed lossless integrator can be electronically tuned by adjusting the drain current of the transistor M5 via the bias currents  $I_{B1}$  and  $I_{B2}$ .

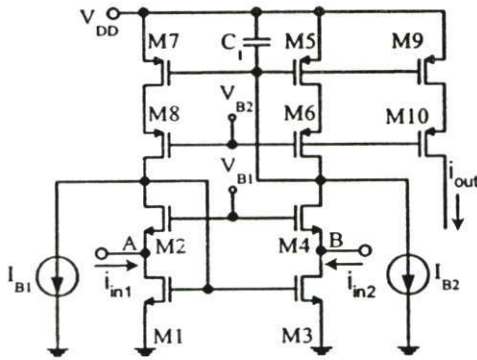


Figure 1 - Lossless integrator

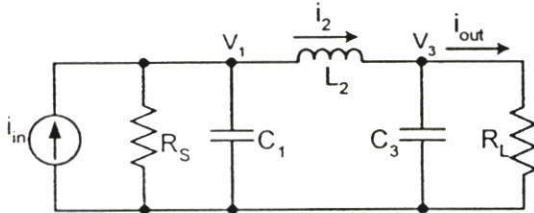


Figure 2 - Doubly terminated 3<sup>rd</sup> LC ladder low pass filter prototype

To show that the proposed lossless integrator can be used to implement the filter, 3<sup>rd</sup> Butterworth and Chebyshev low pass filters based on the proposed integrator are implemented using doubly terminated LC ladder filter prototype as shown in Figure 2. The doubly terminated LC ladder prototype is well known for its low sensitivity to component variations. From the passive LC ladder, one can derive the signal flow graph with all nodes converted to current variables ( $i_1$ ,  $i_2$  and  $i_3$ ) which can be shown as

$$i_1 = \frac{1}{sC_1} (i_m - i_1 - i_2) \tag{2}$$

$$i_2 = \frac{1}{sL_2} (i_1 - i_3) \tag{3}$$

$$i_3 = \frac{1}{sC_3} (i_2 - i_3) \tag{4}$$

From Equation (2)-(4), one can implement the corresponding active filter ladder using lossless integrator as shown in Figure 3.

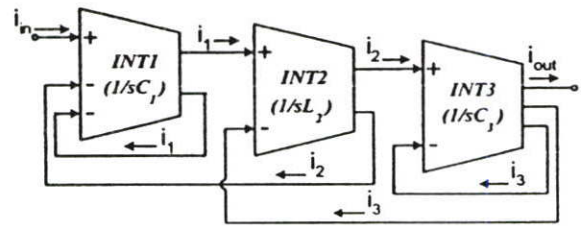


Figure 3 - Block diagram of the 3<sup>rd</sup> active LC ladder filter using lossless integrators

The independent tuning of the time constants  $C_1$ ,  $L_2$  and  $C_3$  in Equation (2)-(4) inevitably requires independent tuning of the bias current of each integrator that consist to be the filter. In this work, we design the lossless integrator with independent bias tuning as shown in Figure 4. As mentioned earlier, the time constant of the integrator can be tuned by adjusting the drain current of transistor M5 via the bias current  $I_{B1}$  and  $I_{B2}$ . Both bias currents are implemented using low voltage current mirror Mb1-Mb6 at nodes X and Y. However, the change of the bias current of M5 will also be mirrored to the transistor M9 and therefore result in the same change to the bias current, and the time constant, of the next integrator. To solve this problem, one needs to pull the same bias current out from the node Z. To achieve this, the replicated transistors Ms3-Ms6, which are the scaled down version of M3-M6, are employed to generate the same bias current of M5 or M9 via Ms1-Ms2. As a result, the output current  $i_{out}$  at node Z will contain only the ac component which is then supplied to the next integrator stage. Noted that scaled version (see Figure 4) of Ms3-Ms6 are employed to reduce the bias current and the power dissipation.

To implement the active filter ladder, the integrator blocks in Figure 3 are replaced by the lossless integrator in Figure 4

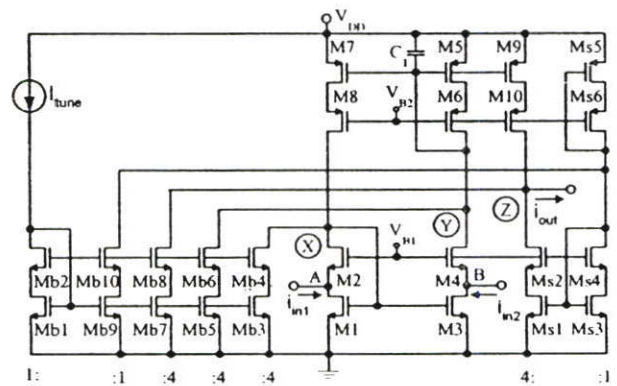


Figure 4 - Independently tuneable lossless integrator

**Simulation results**

To verify the circuit performance, HSPICE is used to simulate the proposed integrator and the filter using a standard 0.5  $\mu\text{m}$  CMOS process under the supply voltage of 1.5 V. Figure 5 shows frequency response of the proposed lossless integrator. As seen, the dc gain of the circuit is found to be 53 dB ( $I_B=35\mu\text{A}$ ) and the unity gain frequency can be tuned by adjusting the bias current. Figure 6 shows the total harmonic distortion for different input currents and frequencies. Obviously, the distortion can be reduced by decreasing the ratio between the input currents and the bias current. Figure 7 shows the Butterworth and Chebyshev low pass filters with the cut off frequency of 10 MHz using the same circuit under different bias currents. Again, this is made possible because the time constant of each integrator in Figure 3 can be independently tuned. We have increased the bias current of the integrator in the first and third integrator blocks (see Figure 3) while the bias current of the second integrator block is reduced to obtain the Butterworth filter. Similarly, the Chebyshev filter is achieved by reducing the bias current in the first and third integrator blocks and increasing the bias current in the second integrator block. Figure 8 shows harmonic distortion of the Butterworth low pass filter. Again, the distortion can be reduced by decreasing the ratio of the input current and the bias current. Figure 9 shows 3<sup>rd</sup> Butterworth low pass filter with the cut off frequency of 100 MHz. As seen, the cut off frequency can be tuned (88 MHz-118 MHz) simultaneously.

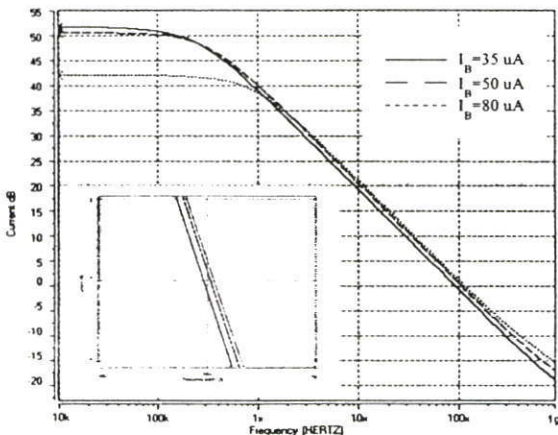


Figure 5 - Frequency response of the integrator with different bias currents

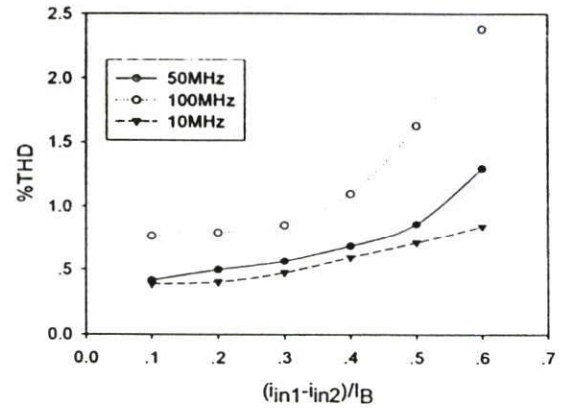


Figure 6 - THD of the integrator for different input current amplitudes

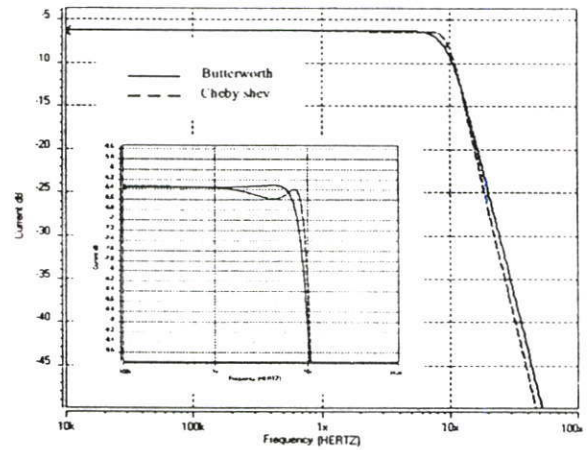


Figure 7 - Butterworth and Chebyshev low pass filters

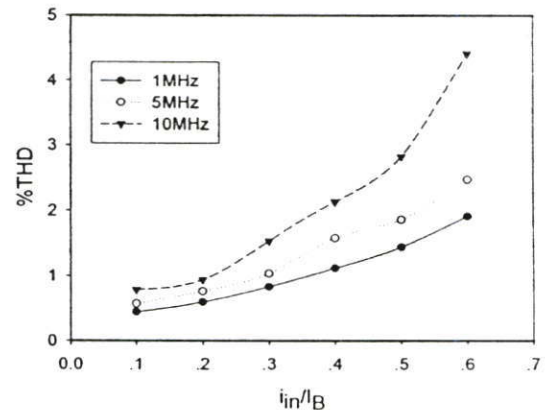


Figure 8 - THD of the Butterworth filter at various input frequencies and input current amplitudes

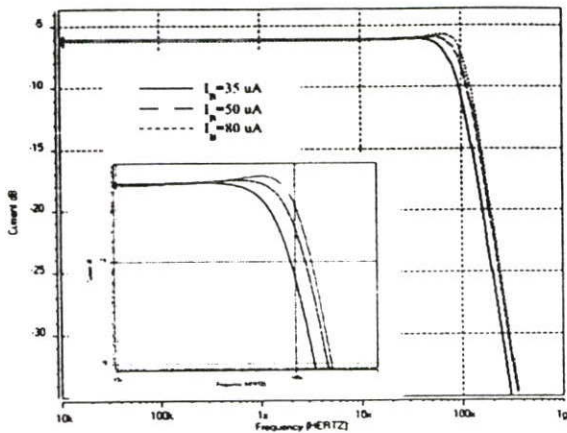


Figure 9 - Frequency response of the filter with different bias currents

## Conclusion

The current mode 3<sup>rd</sup> order Butterworth and Chebyshev low pass filters using the proposed integrator is presented. The circuit can operate under the supply voltage as low as 1.5 V. The resulting filter can be electronically tuned. In addition, the time constant of each integrator in the active LC ladder filter can be independently adjusted making the circuit capable of implementing different types of filter, i.e., Butterworth and Chebyshev filters.

## References

- [1] Toumazou, C., Lidgey, F.J. and Haigh, D.G. eds. 1990. *Analog IC design: the current-mode approach*. Peter Peregrinus, London.
- [2] Khorramabadi, H. and Gray, R.P. 1984. High frequency CMOS continuous-time. *IEEE J. Solid-State Circuits*, vol.SC-19 no.6: 939-948.
- [3] Park, S.C. and Schauman, R. 1988. Design of 4 MHz analog integrated CMOS transconductance-C bandpass filter. *IEEE J. Solid-State Circuits*, vol. 23 no.4: 987-996.
- [4] Gopinathan, V., Tsividis, P.Y., Tan, S.K and Hester, K.R. 1990. Design considerations for high-frequency continuous-time filter and implementation of an anti-aliasing filter for digital video. *IEEE J. Solid-State Circuits*, vol. 25 no.6: 1368-1378.
- [5] Khoury, M.J. 1991. Design of a 15MHz CMOS continuous-filter with on-chip tuning. *IEEE J. Solid-State Circuits*, vol. 25 no.12: 1988-1997.
- [6] Nauta, B. 1992. A CMOS transconductance-C filter technique for very high frequencies. *IEEE J. Solid-State Circuits*, vol. 27 no.2: 142-153.
- [7] Wiegering, R.G., Seevinck, E. and Jaeger, W.D. 1989. Offset canceling circuit. *IEEE J. Solid-State Circuits*, vol. 24: 651-658.
- [8] Lee, S.S., Zele, H.R. and Allstot, D.J. 1993. CMOS continuous-time Current-Mode Filter for High-frequency Applications. *IEEE J. Solid-State Circuits*, vol.28 no.3: 323-329.
- [9] Fujii, N. 1998. High frequency low voltage current mode analog integrable filters. *Bipolar/BiCMOS Circuits and Technology Meeting*: 47 – 52.
- [10] Chul AHN, J. and Fujii, N. 1996. Current-Mode Filters Continuous-Time Filters Using Complementary Current Mirror Pairs. *IEICE Trans. Fundamentals*, vol. E78-A no.2: 168-175.
- [11] Torralba, A., Carvajal, R.G., Galan, J. and Ramirez-Angulo, J. 2003. A New Compact Low-Power High Slew Rate Class AB CMOS Buffer. *ISCAS '03*, Vol. 1: 1237 - 1240.

## ประวัติผู้เขียน

นายเสนอ สะอาด เกิดเมื่อวันที่ 5 ตุลาคม พ.ศ.2517 ที่จังหวัดสงขลา สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2541 และในปีการศึกษา 2546 ได้เข้าศึกษาต่อในระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โดยในปี พ.ศ. 2541 ได้เข้ารับราชการในตำแหน่งอาจารย์ประจำแผนกวิชาอิเล็กทรอนิกส์ มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย วิทยาเขตภาคใต้ จนถึงปัจจุบัน