

วงจรเรียงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบในโหมดกระแส  
แบบซีมอสที่มีควมต้านทานอินพุตต่ำ

LOW INPUT IMPEDANCE CMOS CURRENT MODE FULL-WAVE  
RECTIFIER AND COMPARATOR

สุรเชษฐ์ ขุชรชัยศิริ  
SURACHET KHUCHAROENSIN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของโครงงานหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต  
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2521-4

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรเรียงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบในโหมดกระแสแบบซิมอส  
ที่มีความต้านทานอินพุตต่ำ

LOW INPUT IMPEDANCE CMOS CURRENT MODE FULL-WAVE  
RECTIFIER AND COMPARATOR



สุรเชษฐ์ คุณเจริญศิลป์

SURACHET KHUCHAROENSIN

เลขหมู่.....

เลขทะเบียน..... 61647

วัน,เดือน,ปี... 1.9.0.ค. 2549



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2521-4

LOW INPUT IMPEDANCE CMOS CURRENT MODE FULL-WAVE  
RECTIFIER AND COMPARATOR

SURACHET KHUCHAROENSIN

A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MASTER OF ENGINEERING IN ELECTRONIC ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2006

ISBN 974-15-2521-4

COPYRIGHT 2006

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

**บัณฑิตวิทยาลัย**  
**สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**  
**ใบรับรองวิทยานิพนธ์**

---

หัวข้อวิทยานิพนธ์      วงจรเรียงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบ ใน โหมดกระแสแบบซิมอส  
ที่มีความต้านทานอินพุตต่ำ  
LOW INPUT IMPEDANCE CMOS CURRENT MODE FULL-WAVE  
RECTIFIER AND COMPARATOR




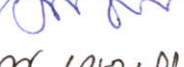
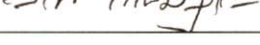
นักศึกษา                      นายสุรเชษฐ์    คุเจริญศิลป์

รหัสประจำตัว                44061321

ปริญญา                        วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา                    วิศวกรรมอิเล็กทรอนิกส์

อาจารย์ผู้ควบคุมวิทยานิพนธ์    รศ.ดร.วรากร            เกษมสุวรรณ

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ผศ.ประภากร	สุวรรณะ	
รศ.จิรวัดน์	ปานกลาง	
ศ.ดร.วัลลภ	สุระกำพลธร	
รศ.ดร.อภิวัฒน์	ชนชยานนท์	
รศ.ดร.วรากร	เกษมสุวรรณ	

วัน / เดือน / ปี ที่สอบ 16 พฤษภาคม 2549 เวลา 9.00-11.00 น.  
สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-405)

  
บัณฑิตวิทยาลัยรับรองแล้ว  
  
(ผศ.ดร.จารุวัตร เจริญสุข)  
คณบดีบัณฑิตวิทยาลัย

วันที่.....๑๖.....เดือน.....พฤษภาคม.....พ.ศ.....๒๕๔๙.....

## หัวข้อวิทยานิพนธ์

วงจรรีจิงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบใน  
โหมดกระแสแบบซีมอสที่มีความต้านทานอินพุตต่ำ  
LOW INPUT IMPEDANCE CMOS CURRENT MODE  
FULL-WAVE RECTIFIER AND COMPARATOR

ชื่อนักศึกษา

นายสุรเชษฐ์ คุเจริญศิลป์

รหัสประจำตัว

44061321

ปริญญา

วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา

วิศวกรรมอิเล็กทรอนิกส์

พ.ศ.

2549

อาจารย์ผู้ควบคุมวิทยานิพนธ์

รศ.ดร. วรากร เกษมสุวรรณ

อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม

ดร. กิตติพล ชิตสกุล

## บทคัดย่อ

วิทยานิพนธ์นี้เสนอการประยุกต์ใช้งานวงจรถ้าก่อนกระแสแบบวิลสันชนิดปรับปรุง โดยนำจุดที่มีความต้านทานต่ำของวงจรถ้าก่อนกระแสนี้มาสร้างเป็นอินพุตของวงจรถ้าออกแบบให้ทำงานในโหมดกระแส เนื่องจากวงจรถ้าก่อนกระแสนี้ให้ผลตอบสนองทางความถี่กว้างจึงน่าสนใจที่จะนำไปสร้างเป็นวงจรมีประสิทธิภาพสูง ตัวอย่างของการใช้งานในวิทยานิพนธ์นี้คือการนำไปสร้างเป็นวงจรรีจิงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบกระแส ในตอนท้ายได้แสดงตัวอย่างการประยุกต์ใช้งานวงจรถ้าทั้งสอง การออกแบบวงจรถ้าใช้เทคโนโลยีซีมอส 0.5 ไมครอน และทดสอบประสิทธิภาพของวงจรถ้าด้วยโปรแกรม Hspice

Thesis Title	LOW INPUT IMPEDANCE CMOS CURRENT MODE FULL-WAVE RECTIFIER AND COMPARATOR
Student	Mr. Surachet Khucharoensin
Student ID.	44061321
Degree	Master of Engineering
Programme	Electronic Engineering
Year	2006
Thesis Advisor	Assoc. Prof. Dr. Varakorn Kasemsuwan
Thesis Co-advisor	Dr. Kitiphol Chitsakul

### ABSTRACT

This thesis presents the applications of an improved Wilson current mirror which inherently has low impedance node and wide bandwidth. Two circuits, namely the low input impedance precision full-wave rectifier and current comparator, are designed based on an improved Wilson current mirror. The applications of both circuits are provided. The circuits are designed based on 0.5  $\mu\text{m}$  CMOS technology and the circuit performances are verified using Hspice.

## กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาอย่างสูงจากอาจารย์ที่ปรึกษา รศ.ดร. วรากร เกษมสุวรรณและอาจารย์ที่ปรึกษาร่วม ดร. กิติพล ชิตสกุลที่ให้ความช่วยเหลือ ให้คำชี้แนะและช่วยแก้ไขปัญหา รวมทั้งอุปสรรคต่างๆ ตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้าเพื่อเป็นเครื่องมือในการดำเนินชีวิตต่อไปอย่างมีคุณค่า

ขอขอบคุณญาติสนิท เพื่อนๆ ทุกคน รวมทั้งเพื่อนร่วมงานและพี่ๆ ที่ห้องทดลองบริษัท Agere Systems Microelectronics (Thai) Ltd. ที่ให้กำลังใจเสมอมา

สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่บิดา-มารดา อันเป็นที่รักและเคารพซึ่งได้ให้การสนับสนุนด้านการศึกษาของข้าพเจ้าตลอดมา ตลอดจนคณะกรรมการคุมสอบวิทยานิพนธ์ที่ให้คำชี้แนะ รวมถึงอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาให้แก่ข้าพเจ้า

สุรเชษฐ์ คุุเจริญศิลป์

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VIII
สารบัญรูป.....	X
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา .....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา .....	1
1.3 สมมติฐานของการศึกษา.....	2
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	2
1.6 รายละเอียดขั้นตอนการวิจัย.....	3
บทที่ 2 วงจรสะท้อนกระแส.....	4
2.1 กล่าวนำ.....	4
2.2 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว.....	4
2.2.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis).....	5
2.2.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลับสัญญาณขนาดเล็ก (Small signal analysis).....	6
2.2.3 ผลการเปรียบเทียบคุณสมบัติต่างๆ จากวิธีวิเคราะห์โนดกับวิธีจำลองการทำงานด้วย Hspice.....	7
2.3 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว.....	12
2.3.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis) .....	12
2.3.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลับสัญญาณขนาดเล็ก (Small signal analysis).....	13
2.3.3 ผลการเปรียบเทียบคุณสมบัติต่างๆ จากวิธีวิเคราะห์โนดกับวิธีจำลองการทำงานด้วย Hspice .....	14

## สารบัญ (ต่อ)

	หน้า
2.4 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว (Improved Wilson current mirror) .....	18
2.4.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis) .....	18
2.4.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลับสัญญาณขนาดเล็ก (Small signal analysis).....	19
2.4.3 ผลการเปรียบเทียบคุณสมบัติต่างๆ จากวิธีวิเคราะห์โนดกับวิธีจำลองการทำงานด้วย Hspice.....	22
2.5 วงจรสะท้อนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัว (Differential improved Wilson current mirror).....	26
2.5.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis).....	26
2.5.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลับสัญญาณขนาดเล็ก (Small signal analysis).....	26
2.5.3 ผลการเปรียบเทียบคุณสมบัติต่างๆ จากวิธีวิเคราะห์โนดกับวิธีจำลองการทำงานด้วย Hspice.....	28
2.6 สรุป.....	28
บทที่ 3 วงจรเรียงกระแสแบบเต็มคลื่นทำงานในโหมดกระแส.....	33
3.1 กล่าวนำ.....	33
3.2 วงจรเรียงกระแสแบบเต็มคลื่นแบบเดิม .....	34
3.3 วงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอ.....	38
3.3.1 หลักการทำงานของวงจร.....	38
3.3.2 ผลการจำลองการทำงานของวงจรด้วยโปรแกรม Hspice.....	40
3.4 เลย์เอาท์ (Layout) ของวงจรเรียงกระแสแบบเต็มคลื่น.....	44
3.5 สรุป.....	46
บทที่ 4 วงจรเปรียบเทียบกระแส.....	47
4.1 กล่าวนำ.....	47
4.2 วงจรเปรียบเทียบกระแสแบบเดิม.....	47



## สารบัญ (ต่อ)

	หน้า
บทที่ 6 บทส่งท้ายและข้อเสนอแนะแนวทางการทำวิจัย.....	104
6.1 บทส่งท้าย.....	104
6.2 ข้อเสนอแนะและแนวทางการทำวิจัย.....	104
6.2.1 วงจรเรียงกระแสแบบเต็มคลื่น (Precision full-wave rectifier).....	104
6.2.2 วงจรเปรียบเทียบกระแส (Current comparator).....	104
6.2.3 วงจรหาค่าเฉลี่ยของสัญญาณกระแส (Averaging current value circuit).....	105
6.2.4 วงจรกำเนิดสัญญาณไซน์แบบดิฟเฟอเรนเชียล (Differential sinusoidal oscillator).....	105
เอกสารอ้างอิง.....	106
ภาคผนวก ก.....	110
ภาคผนวก ข.....	153
ภาคผนวก ค.....	164
ประวัติผู้เขียน.....	192

# สารบัญตาราง

ตารางที่	หน้า
2.1 โมเดลพารามิเตอร์ของมอสทรานซิสเตอร์ (MOSIS SCN-2.0 $\mu m$ ).....	8
2.2 ความต้านทานขาเข้า ( $Z_{in}$ ) และขาออก ( $Z_{out}$ ) ของวงจรถ่ายโอนกระแสแต่ละแบบ เมื่อกำหนดให้ความต้านทานเดรน-ซอร์สของแหล่งจ่ายกระแส ( $r_{oBLS}$ ) มีค่าสูงมาก.....	31
2.3 แรงดันไฟเลี้ยงต่ำสุด ( $V_{DD(min)}$ ) ที่ทำให้วงจรวงจรยังคงทำงาน.....	31
2.4 ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง ( $\epsilon$ ) และค่าสัมประสิทธิ์แรงดัน เอาท์พุท (OVC) .....	32
3.1 ขนาดของมอสทรานซิสเตอร์แต่ละตัวในวงจรวีจกรกระแสแบบเต็มคลื่น.....	40
3.2 ขนาดของมอสทรานซิสเตอร์ในรูปที่ 3.11.....	43
3.3 ขนาดของแหล่งจ่ายกระแสและแรงดันไบอัสที่ใช้ในรูปที่ 3.11.....	43
4.1 ขนาดของมอสทรานซิสเตอร์ในวงจรวีจกรเปรียบเทียบกระแสที่เสนอ.....	53
4.2 ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product) เมื่อต่อ คอมมอนซอร์สและซีมอสอินเวอร์เตอร์รูปแบบต่างๆ กัน.....	55
4.3 คุณสมบัติของวงจรวีจกรเปรียบเทียบกระแสที่นำเสนอจากการจำลองการทำงานด้วย โปรแกรม Hspice.....	59
4.4 ขนาดของมอสทรานซิสเตอร์ในวงจรวีจกรเปรียบเทียบกระแสแบบปรับปรุง.....	75
4.5 ขนาดของแรงดันไบอัสที่ใช้ในวงจรวีจกรเปรียบเทียบกระแสแบบปรับปรุง.....	75
4.6 ความต้านทานขาเข้าของวงจรวีจกรที่เสนอ ณ โหนด a และ b ที่ค่าพารามิเตอร์ในกระบวนการ การผลิตต่างๆ กัน (Process corner).....	76
4.7 การเปลี่ยนแปลงของแรงดันที่โหนด $V_o$ ของวงจรวีจกรที่เสนอต่อการเปลี่ยนแปลงของ กระบวนการผลิต.....	76
4.8 คุณสมบัติของวงจรวีจกรเปรียบเทียบกระแสแบบปรับปรุงที่นำเสนอจากการจำลองการ ทำงานด้วยโปรแกรม Hspice.....	77
4.9 ค่าความต้านทานขาเข้าของวงจรวีจกรที่เสนอ ณ โหนด a และ b ก่อนและหลังการเลย์เอาท์ ที่ค่าพารามิเตอร์ในกระบวนการผลิตต่างๆ กัน (Process corner).....	82
4.10 การเปลี่ยนแปลงของแรงดันที่โหนด $V_o$ ของวงจรวีจกรเปรียบเทียบกระแสแบบปรับปรุงต่อการ เปลี่ยนแปลงของกระบวนการผลิตก่อนและหลังการเลย์เอาท์.....	82
4.11 คุณสมบัติของวงจรวีจกรเปรียบเทียบกระแสแบบปรับปรุงก่อนและหลังการเลย์เอาท์.....	83

## สารบัญตาราง (ต่อ)

ตารางที่	หน้า
5.1 ขนาดของมอสทธานซิสเตอร์ในรูปที่ 5.1.....	87
5.2 ขนาดของมอสทธานซิสเตอร์ที่ใช้ในวงจรกำเนิดสัญญาณชಾಯน์แบบดิฟเฟอเรนเชียล....	98
5.3 กระแสไบอัสที่ใช้ในวงจรกำเนิดสัญญาณชಾಯน์แบบดิฟเฟอเรนเชียล.....	99
5.4 แรงดันไบอัสที่ใช้ในวงจรกำเนิดสัญญาณชಾಯน์แบบดิฟเฟอเรนเชียล.....	99

# สารบัญรูป

รูปที่	หน้า
2.1	วงจระสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว..... 5
2.2	ผลตอบสนองทางความถี่ของอัตราขยายกระแสของวงจระสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของอัตราขยายกระแส (ข) เฟสของอัตราขยายกระแส..... 9
2.3	ผลตอบสนองทางความถี่ของความต้านทานขาเข้าของวงจระสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาเข้า..... 10
2.4	ผลตอบสนองทางความถี่ของความต้านทานขาออกของวงจระสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาออก..... 11
2.5	วงจระสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว..... 12
2.6	ผลตอบสนองทางความถี่ของอัตราขยายกระแสของวงจระสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของอัตราขยายกระแส (ข) เฟสของอัตราขยายกระแส..... 15
2.7	ผลตอบสนองทางความถี่ของความต้านทานขาเข้าของวงจระสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาเข้า..... 16
2.8	ผลตอบสนองทางความถี่ของความต้านทานขาออกของวงจระสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาออก ..... 17
2.9	วงจระสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว ..... 18
2.10	ผลตอบสนองทางความถี่ของอัตราขยายกระแสของวงจระสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของอัตราขยายกระแส (ข) เฟสของอัตราขยายกระแส..... 23
2.11	ผลตอบสนองทางความถี่ของความต้านทานขาเข้าของวงจระสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาเข้า..... 24

## สารบัญรูป (ต่อ)

รูปที่	หน้า
2.12 ผลตอบสนองทางความถี่ของความต้านทานขาออกของวงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 4 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (n) ขนาดของความต้านทานขาออก (ข) เฟสของความต้านทานขาออก.....	25
2.13 วงจรถ่ายโอนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัว.....	26
2.14 ผลตอบสนองทางความถี่ของอัตราขยายกระแสเมื่อป้อนกระแสอินพุตที่ขาเดรนของมอสทรานซิสเตอร์ $M_2$ ของวงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 4 ตัวในรูปที่ 2.13 จากการวิเคราะห์โนดกับผลของ Hspice (n) ขนาดของอัตราขยายกระแส (ข) เฟสของอัตราขยายกระแส.....	29
2.15 ผลตอบสนองทางความถี่ของความต้านทานขาเข้าเมื่อป้อนกระแสอินพุตที่ขาเดรนของมอสทรานซิสเตอร์ $M_2$ ของวงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 4 ตัวในรูปที่ 2.13 จากการวิเคราะห์โนดกับผลของ Hspice (n) ขนาดของความต้านทานขาเข้าที่ขาเดรนของ $M_2$ (ข) เฟสของความต้านทานขาเข้าที่ขาเดรนของ $M_2$ .....	30
3.1 (ก) คุณสมบัติการถ่ายโอนทางไฟตรงของวงจรถ่ายโอนกระแสในอุดมคติ (ข) ผลตอบสนองต่อสัญญาณกระแสอินพุตที่เป็นรูปคลื่นชานัน์.....	33
3.2 วงจรถ่ายโอนกระแสแบบเต็มคลื่นที่เสนอโดย [14].....	34
3.3 วงจรถ่ายโอนกระแสแบบเต็มคลื่นที่ใช้วงจรถ่ายโอนกระแสต่อร่วมกับไดโอด.....	35
3.4 วงจรถ่ายโอนกระแสที่เสนอโดย [19].....	36
3.5 วงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 4 ตัว.....	37
3.6 บล็อกไดอะแกรมของวงจรถ่ายโอนกระแสแบบเต็มคลื่นที่ออกแบบ.....	38
3.7 วงจรถ่ายโอนกระแสแบบเต็มคลื่นที่ได้ออกแบบ.....	39
3.8 คุณสมบัติการถ่ายโอนทางไฟตรง (DC transfer characteristic).....	41
3.9 สัญญาณกระแสเอาต์พุตที่ได้จากวงจรถ่ายโอนกระแสแบบเต็มคลื่นเมื่อป้อนสัญญาณอินพุตความถี่ 100 MHz.....	41
3.10 ความต้านทานขาเข้าของวงจรถ่ายโอนกระแสเมื่อป้อนกระแสอินพุตต่างๆ กัน.....	42
3.11 วงจรถ่ายโอนความแตกต่างที่ใช้ป้อนสัญญาณอินพุตให้วงจรถ่ายโอนกระแสแบบเต็มคลื่น .....	42
3.12 คุณสมบัติการถ่ายโอนทางไฟตรงเมื่อป้อนสัญญาณอินพุตของวงจรถ่ายโอนกระแสผ่านทางวงจรถ่ายโอนความแตกต่าง .....	43
3.13 เลย์เอาต์ (Layout) ของวงจรถ่ายโอนกระแสแบบเต็มคลื่น.....	44

## สารบัญญรูป (ต่อ)

รูปที่	หน้า
4.19 กำลังงานสูญเสียเมื่อป้อนกระแสอินพุทขนาด $0.01 \mu A$ - $10 \mu A$ .....	73
4.20 ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product, PDP).....	74
4.21 ค่าความต้านทานขาเข้าที่โนด b ของวงจรเปรียบเทียบกระแสแบบปรับปรุงที่เสนอกับ วงจร [20, 22-23] .....	74
4.22 เลย์เอาท์ (Layout) ของวงจรเปรียบเทียบกระแสแบบปรับปรุง.....	77
4.23 ผลตอบสนองของเวลาของวงจรเปรียบเทียบกระแสแบบปรับปรุงเมื่อป้อนอินพุทขนาด $\pm 0.1 \mu A$ ที่ความถี่ 25 MHz ก่อนและหลังการเลย์เอาท์.....	79
4.24 ความไวของวงจรเปรียบเทียบกระแสแบบปรับปรุงก่อนและหลังการเลย์เอาท์.....	79
4.25 ค่าเวลาหน่วงเมื่อป้อนกระแสอินพุทขนาด $0.01 \mu A$ - $10 \mu A$ ก่อนและหลังการเลย์เอาท์...	80
4.26 กำลังงานสูญเสียเฉลี่ยเมื่อป้อนกระแสอินพุทขนาด $0.01 \mu A$ - $10 \mu A$ ก่อนและหลัง การเลย์เอาท์.....	80
4.27 ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product, PDP) ก่อนและ หลังการเลย์เอาท์.....	81
4.28 ค่าความต้านทานขาเข้าที่โนด b ของวงจรเปรียบเทียบกระแสแบบปรับปรุงก่อนและ หลังการเลย์เอาท์.....	81
5.1 วงจรหาค่าเฉลี่ยของสัญญาณกระแส (Averaging current value circuit).....	85
5.2 ค่าเฉลี่ยของกระแสเอาท์พุทที่ผ่านการเรียงกระแสแบบเต็มคลื่นเมื่อป้อนกระแสอินพุทของ วงจรเรียงกระแสขนาด $\pm 100 \mu A$ โดยมีความถี่ 4 MHz และใช้ค่า $C_{AV} = 1nF$ .....	87
5.3 ไดอะแกรมแสดงองค์ประกอบของวงจรถ้าเนดสัญญาณ.....	88
5.4 บล็อกไดอะแกรมของวงจรถ้าเนดสัญญาณชายนแบบดิฟเฟอเรนเชียลที่ได้ออกแบบ.....	89
5.5 คุณสมบัติของวงจรเลื่อนเฟสอันดับสอง (ก) อัตราขยายของวงจรเลื่อนเฟสอันดับสอง (ข) มุมเฟส ( $\phi$ ) (ค) ตำแหน่งของโพลและซีโรในระนาบความถี่เชิงซ้อน (s-plane).....	91
5.6 วงจรเลื่อนเฟสอันดับหนึ่งโดยใช้วงจรสะท้อนกระแส.....	91
5.7 วงจรเลื่อนเฟสอันดับสองโดยใช้วงจรสะท้อนกระแส.....	92
5.8 วงจรขยายกระแสโดยอาศัยวงจรถ้าเนดความแตกต่าง.....	93
5.9 บล็อกไดอะแกรมของวงจรถ้าเนดอัตราขยายอัตโนมัติ (AGC).....	94
5.10 วงจรเปรียบเทียบกระแสที่ใช้ในวงจรถ้าเนดสัญญาณชายนแบบดิฟเฟอเรนเชียล.....	95

## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.11 จุดต่อสัญญาณจากวงจรเลื่อนเฟสอันดับสองไปยังอินพุทของวงจรเรียงกระแส (PFWR) และโหลดของวงจรกำเนิดสัญญาณชาयน์ ( $R_L$ ).....	97
5.12 สัญญาณกระแสออสซิลเลตที่เอาท์พุทของวงจรกำเนิดสัญญาณชาयน์แบบดิฟเฟอเรนเชียลความถี่ออสซิลเลต ( $f_{osc}$ ) เท่ากับ 1.85 MHz และขนาดสัญญาณออสซิลเลตถูกจำกัดไว้ที่ $\pm 30 \mu A$ .....	99
5.13 รูปขยายของรูปที่ 5.12 สัญญาณกระแสออสซิลเลตที่เอาท์พุทของวงจรกำเนิดสัญญาณชาयน์แบบดิฟเฟอเรนเชียล ความถี่ออสซิลเลต ( $f_{osc}$ ) เท่ากับ 1.85 MHz สัญญาณออสซิลเลตถูกจำกัดไว้ที่ $\pm 30 \mu A$ .....	101
5.14 สัญญาณชาयน์ที่ได้จากวงจรกำเนิดสัญญาณชาयน์ที่นำเสนอในกรณีขนาดสัญญาณออสซิลเลตมีค่าน้อยกว่าขนาดสัญญาณที่จำกัดไว้ในวงจรควบคุมอัตราขยายอัตโนมัติ (ความถี่ออสซิลเลต 1.85 MHz).....	101
5.15 ขนาดสัญญาณออสซิลเลตเปรียบเทียบกับค่าความผิดเพี้ยนรวมทางฮาร์โมนิกที่กระแสไบอัสของวงจรเลื่อนเฟสอันดับสอง ( $I_{TUNE}$ ) ค่าต่างๆ โดยใช้ค่า $C_{1,2}$ เท่ากับ 10 pF.....	102
5.16 ขนาดกระแสไบอัสของวงจรเลื่อนเฟสอันดับสอง ( $I_{TUNE}$ ) เปรียบเทียบกับความถี่ออสซิลเลต โดยใช้ค่า $C_{1,2}$ เท่ากับ 10 pF.....	102

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันนี้การออกแบบวงจรรอนาลอกในโหมดกระแสเป็นอีกทางเลือกหนึ่งที่น่าสนใจ เนื่องจากการออกแบบดังกล่าวมีข้อดีคือวงจรถูกได้สามารถทำงานได้ที่ความถี่สูงและใช้แรงดันไฟเลี้ยงต่ำ ในช่วงระยะเวลาที่ผ่านมา บรรดานักวิจัยได้พยายามใช้เทคนิคต่างๆ ในการลดระดับแรงดันแหล่งจ่ายไฟเลี้ยงให้ต่ำลงจาก 5 โวลต์เป็น 3 โวลต์ และมีแนวโน้มที่จะลดลงเรื่อยๆ สาเหตุหลักก็เพราะว่าวงจรถูกใช้พลังงานต่ำลง การลดกระแสไบอัสของวงจรถูกเพื่อลดพลังงานก็เป็นอีกวิธีหนึ่งที่ใช้ประกอบกับการลดระดับไฟเลี้ยงเพื่อประหยัดพลังงานให้มากที่สุด อย่างไรก็ตามการลดกระแสไบอัสส่งผลให้ค่าทรานสดักชันของมอสทรานซิสเตอร์มีค่าต่ำลงซึ่งไม่เหมาะสมกับการทำงานในโหมดกระแสเพราะวงจรถูกมีความต้านทานอินพุตต่ำเพื่อให้วงจรถูกสามารถรับสัญญาณกระแสอินพุตได้ดี

### 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ในการทำวิทยานิพนธ์เรื่องวงจรถูกเรียงกระแสแบบเต็มคลื่นและวงจรถูกเปรียบเทียบในโหมดกระแสแบบซิมอสที่มีความต้านทานอินพุตต่ำนั้นมีเนื้อหาทั้งหมดทั้งสิ้นสามเรื่องคือ วงจรถูกเรียงกระแสแบบเต็มคลื่นโดยใช้วงจรถูกสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว (Improved Wilson current mirror) เรื่องที่สองคือวงจรถูกเปรียบเทียบกระแสโดยใช้วงจรถูกสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวต่อเข้ากับวงจรถูกซิมอสอินเวอร์เตอร์ (CMOS inverter) เรื่องที่สามคือการนำวงจรถูกเรียงกระแสแบบเต็มคลื่นไปประยุกต์ใช้งานเป็นวงจรถูกหาค่าเฉลี่ยของสัญญาณกระแส นอกจากนี้ได้ใช้วงจรถูกหาค่าเฉลี่ยของสัญญาณกระแสที่ออกแบบนี้ต่อร่วมกับวงจรถูกเปรียบเทียบกระแสเพื่อใช้สร้างวงจรถูกควบคุมอัตราขยายอัตโนมัติ (AGC) ในวงจรถูกกำเนิดสัญญาณชานน์

จุดประสงค์ของการทำวิทยานิพนธ์มีดังนี้

1. เพื่อศึกษาค้นคว้าวิจัยการออกแบบวงจรถูกเรียงกระแสแบบเต็มคลื่นและวงจรถูกเปรียบเทียบกระแสโดยใช้วงจรถูกสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวเป็นส่วนประกอบหลักของวงจรถูกเพื่อให้ได้วงจรถูกที่มีความต้านทานอินพุตต่ำ
2. วงจรถูกออกแบบควรมีขนาดเล็กและใช้อุปกรณ์น้อย
3. เทคนิคการออกแบบควรถูกสามารถนำไปสร้างเป็นวงจรถูกจริง

### 1.3 สมมติฐานของการศึกษา

วงจรถ้าก่อนกระแสมีการใช้งานกันอย่างแพร่หลายในวงจรที่ทำงานในโหมดกระแส เนื่องจากวงจรไม่ซับซ้อน ใช้แรงดันไฟเลี้ยงต่ำ สามารถทำงานได้ที่ความถี่สูงและนำไปประยุกต์สร้างเป็นวงจรอื่นได้ วงจรถ้าก่อนกระแสแบบทรานซิสเตอร์ 4 ตัวเป็นวงจรหนึ่งที่มีโมดที่มีความต้านทานต่ำอยู่ในตัววงจร (ซึ่งจะกล่าวถึงในภายหลัง) จึงเหมาะสมกับการทำงานในโหมดกระแส

### 1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

โดยทั่วไปวงจรเรียงกระแสแบบเต็มคลื่นถูกสร้างได้โดยการส่งผ่านสัญญาณซีกใดซีกหนึ่งของสัญญาณอินพุตที่เป็นคลื่นขายน้สู่อาร์ทพุทของวงจรและกลับเฟสสัญญาณอีกซีกหนึ่ง จากนั้นจึงส่งผ่านสัญญาณที่กลับเฟสแล้วนั้นสู่อาร์ทพุท แต่ในวิทยานิพนธ์นี้จะใช้การสร้างวงจรเรียงกระแสแบบครึ่งคลื่นสองชุดแล้วป้อนสัญญาณอินพุตแบบผลต่าง (Differential) เข้าที่วงจรทั้งสอง จากนั้นนำสัญญาณเอาร์ทพุทที่ได้จากวงจรเรียงกระแสแบบครึ่งคลื่นทั้งสองชุดมารวมเข้าด้วยกัน เพื่อให้ได้สัญญาณเรียงกระแสแบบเต็มคลื่น

ในกรณีของวงจรเปรียบเทียบกระแส วิทยานิพนธ์นี้ใช้วงจรถ้าก่อนกระแสแบบทรานซิสเตอร์ 4 ตัว โดยวงจรที่ได้มีจุดเด่นที่มีความต้านทานอินพุตต่ำและยังมีวงจรถ้าก่อนกระแสในตัว ซึ่งโดยทั่วไปอินพุทของวงจรเปรียบเทียบกระแสจะเป็นกระแสที่เกิดจากการลบกัันระหว่างกระแสอินพุทและกระแสอ้างอิง นั้นหมายความว่าวงจรที่ได้ออกแบบขึ้นในวิทยานิพนธ์นี้ไม่จำเป็นต้องมีวงจรถ้าก่อนกระแสมาเพิ่มเติม การออกแบบในลักษณะนี้สามารถลดกำลังงานสูญเสียและลดค่าเวลาหน่วงได้

### 1.5 ขอบเขตการวิจัย

วงจรเรียงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบกระแสแบบซีมอสมีขอบเขตการวิจัยที่รวมการนำไปประยุกต์ใช้งานเป็นวงจรอื่นๆ เช่นวงจรหาค่าเฉลี่ยของสัญญาณกระแสโดยใช้วงจรเรียงกระแสแบบเต็มคลื่น และวงจรกำเนิดสัญญาณชายน้ที่มีวงจรถ้าก่อนกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบกระแสทำงานในส่วนของวงจรควบคุมอัตราขยายอัตโนมัติ (Automatic gain control) เพื่อให้ควบคุมขนาดของสัญญาณที่ได้จากวงจรถ้าก่อนกำเนิดสัญญาณชายน้ นอกจากนี้ได้มีการออกแบบวงจรถ้าก่อนกระแสที่มีผลกระทบจากการเปลี่ยนแปลงของกระบวนการผลิตน้อย (Robust current comparator)

## 1.6 รายละเอียดขั้นตอนการวิจัย

ขั้นตอนการศึกษาและทำวิจัยเริ่มจากการศึกษาคุณสมบัติและลักษณะการทำงานของมอสทรานซิสเตอร์เพราะการออกแบบในวิทยานิพนธ์นี้เป็นการออกแบบวงจรโดยใช้มอสทรานซิสเตอร์เป็นหลัก ขั้นตอนนี้ได้รวมถึงการค้นคว้าข้อมูลงานวิจัยที่ได้มีการคิดค้นไว้แล้ว (Literature survey) จากนั้นจึงวิเคราะห์หาจุดดี-เสียของแต่ละวงจร ทั้งวงจรเรียงกระแสและวงจรเปรียบเทียบกระแส ต่อมาก็พยายามคิดค้นหาหนทางเพื่อปรับปรุงให้ได้วงจรที่มีประสิทธิภาพสูงขึ้นโดยพิจารณาจากคุณสมบัติต่างๆ ของวงจร จากนั้นก็เป็นการนำวงจรทั้งสองไปประยุกต์ใช้งานเป็นวงจรต่างๆ เช่น วงจรหาค่าเฉลี่ยของสัญญาณกระแสและวงจรควบคุมอัตราขยายอัตโนมัติในวงจรกำเนิดสัญญาณชายน์ ท้ายสุดเป็นการสรุปการทำงานทั้งหมดของวงจรที่ได้ออกแบบและศึกษาแนวทางในการพัฒนาต่อไป

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 6 บทและ 3 ภาคผนวก โดยแต่ละบทมีรายละเอียดดังนี้

บทที่ 1 กล่าวถึงวัตถุประสงค์ สมมติฐาน ทฤษฎีแนวความคิดรวมถึงหลักการใหม่ขอบเขตในการทำวิทยานิพนธ์และรายละเอียดขั้นตอนของการทำวิจัย

บทที่ 2 กล่าวถึงทฤษฎีและการวิเคราะห์วงจรสะท้อนกระแสแบบต่างๆ

บทที่ 3 กล่าวถึงหลักการต่างๆ ที่ใช้เป็นแนวทางในการออกแบบวงจรเรียงกระแสแบบเต็มคลื่น ผลการจำลองการทำงานก่อนและหลังการเลย์เอาต์ (Layout) ของวงจร

บทที่ 4 กล่าวถึงหลักการต่างๆ ที่ใช้เป็นแนวทางในการออกแบบวงจรเปรียบเทียบกระแส ผลการจำลองการทำงานก่อนและหลังการเลย์เอาต์ (Layout) ของวงจร

บทที่ 5 กล่าวถึงการประยุกต์ใช้งานวงจรเรียงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบกระแส

บทที่ 6 สรุปผลการวิจัยที่ได้นำเสนอในวิทยานิพนธ์นี้และแนวทางในการทำวิจัยต่อไป

ภาคผนวก ก รายละเอียดการวิเคราะห์วงจรสะท้อนกระแสแบบต่างๆ

ภาคผนวก ข รายละเอียดการวิเคราะห์วงจรเปรียบเทียบกระแสแบบปรับปรุง

ภาคผนวก ค บทความวิจัยที่ได้รับการตีพิมพ์

## บทที่ 2

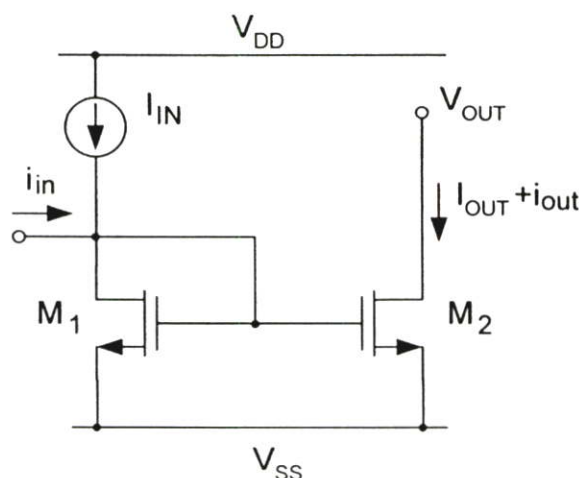
### วงจรสะท้อนกระแส

#### 2.1 กล่าวนำ

วงจรสะท้อนกระแส [1-4] เป็นวงจรซึ่งมีประโยชน์มากในการออกแบบวงจรอนาล็อกและมักนำไปใช้งานในวงจรขยายกระแส [5, 6] รวมทั้งนำมาใช้ในการไบอัสวงจรอื่นและใช้เป็นโหลดของภาคขยาย [1-4] หรือแม้แต่วงจรเปรียบเทียบกระแส [7] วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล (Analog to digital converter, A/D) และวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก (Digital to analog converter, D/A) แบบกระแส [8-10] ปัจจุบันมีการคิดค้นออกแบบวงจรสะท้อนกระแสออกมาหลายแบบ บทนี้จะกล่าวถึงวงจรสะท้อนกระแสที่นิยมใช้งาน ซึ่งในที่นี้จะกล่าวถึงวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว (Simple current mirror) แบบ 3 ตัว (Wilson current mirror) แบบ 4 ตัว (Improved Wilson current mirror) และวงจรสะท้อนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัว (Differential improved Wilson current mirror) คุณสมบัติสำคัญของวงจรสะท้อนกระแสที่จะพิจารณาในบทนี้ประกอบด้วยอัตราขยายกระแส (Current gain) ความต้านทานขาเข้า (Input impedance) และความต้านทานขาออก (Output impedance) โดยจะทำการพิจารณาเมื่ออัตราขยายกระแสเป็นหนึ่งเท่านั้น นอกจากนี้ยังมีการพิจารณาความผิดพลาดเนื่องจากความไม่สมพงค์ทางไฟตรง (DC matching error) สัมประสิทธิ์แรงดันเอาต์พุต (Output-voltage coefficient) และแรงดันไฟเลี้ยงต่ำสุด ( $V_{DD(min)}$ ) ที่ทำให้วงจรยังคงทำงาน

#### 2.2 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว

วงจรสะท้อนกระแสในรูปที่ 2.1 เป็นวงจรสะท้อนกระแสแบบที่ง่ายที่สุด มอสทรานซิสเตอร์  $M_1$  ถูกต่อในลักษณะไดโอด (Diode connected) โดยการต่อขาเกตเข้ากับขาเดรนทำให้แรงดันเดรน-เกตของมอสทรานซิสเตอร์  $M_1$  มีค่าเป็นศูนย์ทำให้มอสทรานซิสเตอร์  $M_1$  นี้ถูกไบอัสในย่านอิ่มตัว (Saturation region) มอสทรานซิสเตอร์  $M_2$  ต่อในลักษณะคอมมอนซอร์ส (Common source) โดยขาเกตของมอสทรานซิสเตอร์ตัวนี้ถูกต่อเข้ากับขาเกตของมอสทรานซิสเตอร์  $M_1$  ถ้าหากขนาดของมอสทรานซิสเตอร์สองตัวนี้เท่ากันทุกประการจะทำให้ได้กระแสเอาต์พุตที่ขาเดรนของมอสทรานซิสเตอร์  $M_2$  เท่ากับกระแสอินพุตที่ขาเดรนของมอสทรานซิสเตอร์  $M_1$  ด้วย



รูปที่ 2.1 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว

### 2.2.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis)

คุณสมบัติทางกระแสไฟตรงที่สำคัญของวงจรสะท้อนกระแสคือความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง (DC matching error) และสัมประสิทธิ์แรงดันเอาต์พุต (Output-voltage coefficient) ความผิดพลาดจากความไม่สมพงศ์ทางไฟตรงและค่าสัมประสิทธิ์แรงดันเอาต์พุตของวงจรสะท้อนกระแสในรูปทั่วไปมีค่าตามสมการ (2.1) และ (2.2) ตามลำดับ [11]

$$\varepsilon = \frac{I_{OUT}}{I_{IN}} - 1 = \alpha - 1 \quad (2.1)$$

$$OVC = \frac{\Delta I_{OUT} / I_{OUT}}{\Delta V_{OUT}} \quad (2.2)$$

โดยที่  $I_{OUT}$ ,  $I_{IN}$ ,  $\alpha$ ,  $\Delta I_{OUT}$  และ  $\Delta V_{OUT}$  คือกระแสเอาต์พุต กระแสอินพุต อัตราส่วนกระแส (Current ratio) ค่ากระแสและแรงดันเอาต์พุตที่เปลี่ยนแปลงไปจากค่าที่ออกแบบตามลำดับ

สังเกตได้ว่าค่าสัมประสิทธิ์แรงดันเอาต์พุต (Output-voltage coefficient) ใช้วัดความสามารถของวงจรในการคงค่ากระแสเอาต์พุตที่ออกแบบไว้ขณะที่แรงดันเอาต์พุตเปลี่ยนแปลง

ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง ( $\varepsilon$ ) และค่าสัมประสิทธิ์แรงดันเอาต์พุต ( $OVC$ ) ของวงจรในรูปที่ 2.1 สามารถวิเคราะห์ได้โดยอาศัยสมการ (2.1) และ (2.2) โดยความไม่สมพงศ์ทางไฟตรง ( $\varepsilon$ ) และค่าสัมประสิทธิ์แรงดันเอาต์พุต ( $OVC$ ) มีค่าเท่ากับสมการ (2.3) และ (2.4) ตามลำดับ [11] (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

$$\varepsilon = \lambda(V_{OUT} - V_{IN}) \quad (2.3)$$

$$OVC = \lambda \quad (2.4)$$

โดยที่  $V_{IN}$  คือค่าแรงดันอินพุตซึ่งเท่ากับแรงดันที่ขาเกตของมอสทรานซิสเตอร์ในรูปที่ 2.1 และ  $\lambda$  คือสัมประสิทธิ์เซนแนลเลนจ์มอดดูเลชัน (Channel-length modulation coefficient)

แรงดันไฟเลี้ยงต่ำสุด  $V_{DD(\min)}$  ที่ทำให้วงจรยังคงทำงานมีค่าเท่ากับ

$$V_{DD(\min)} = V_{GS} + V_{DSsat(BIAS)} \quad (2.5)$$

โดยที่  $V_{GS}$  คือแรงดันเกต-ซอร์สของมอสทรานซิสเตอร์และ  $V_{DSsat(BIAS)}$  คือแรงดันเดรน-ซอร์สอิ่มตัวของมอสทรานซิสเตอร์ที่ใช้สร้างแหล่งจ่ายกระแส ( $I_{IN}$ )

จากสมการ (2.3) ค่าความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงมีค่าแปรผันโดยตรงกับผลต่างระหว่างแรงดันเอาต์พุตกับแรงดันอินพุตและค่าสัมประสิทธิ์เซนแนลเลนจ์มอดดูเลชัน (Channel-length modulation coefficient) ในขณะที่ค่าสัมประสิทธิ์แรงดันเอาต์พุตในสมการ (2.4) จะแปรผันโดยตรงกับค่าสัมประสิทธิ์เซนแนลเลนจ์มอดดูเลชันของมอสทรานซิสเตอร์

## 2.2.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลบสัญญาณขนาดเล็ก (Small signal analysis)

จากการวิเคราะห์สัญญาณขนาดเล็กของวงจรในรูปที่ 2.1 โดยกำหนดให้มอสทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกันทุกประการจะทำให้ได้อัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกดังแสดงในสมการ (2.6) (2.7) และ (2.8) ตามลำดับ (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

$$A_i = \frac{1 - (sc_{gd} / g_m)}{1 + s \left( \frac{2c_{gs} + c_{gd}}{g_m} \right)} \quad (2.6)$$

$$Z_m = \frac{1/g_m}{1 + s(2c_{gs} + c_{gd})/g_m} \quad (2.7)$$

$$Z_{out} = \frac{r_o \left[ 1 + \frac{s}{g_m} (2c_{gs} + c_{gd}) \right]}{1 + s \frac{r_o}{g_m} \left[ \frac{2c_{gs}}{r_o} + 2g_m c_{gd} \right] + s^2 \frac{r_o}{g_m} (2c_{gs} c_{gd})} \quad (2.8)$$

โดยที่  $g_m$ ,  $c_{gs}$ ,  $c_{gd}$  และ  $r_o$  คือค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์ ค่าเก็บประจุแฝงที่ขาเกต-ซอร์ส ค่าเก็บประจุแฝงที่ขาเกต-เดรนของมอสทรานซิสเตอร์และความต้านทานเดรน-ซอร์สของมอสทรานซิสเตอร์ตามลำดับ

จากสมการ (2.7) และ (2.8) สามารถคำนวณหาค่าความต้านทานขาเข้าและขาออกที่ความถี่ต่ำได้เท่ากับ  $1/g_m$  และ  $r_o$  ตามลำดับ

แบนวิดท์ (Bandwidth) ของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัวหาได้จากการวิเคราะห์ค่าความถี่โพลของสมการ (2.6) มีค่าเท่ากับ

$$f_{-3dB} = \frac{g_m}{2\pi(2c_{gs} + c_{gd})} = \frac{f_T}{2} \quad (2.9)$$

โดยที่  $f_T$  คือค่าความถี่ที่ทำให้อัตราขยายกระแสของมอสทรานซิสเตอร์เป็นหนึ่ง (Unity gain frequency)

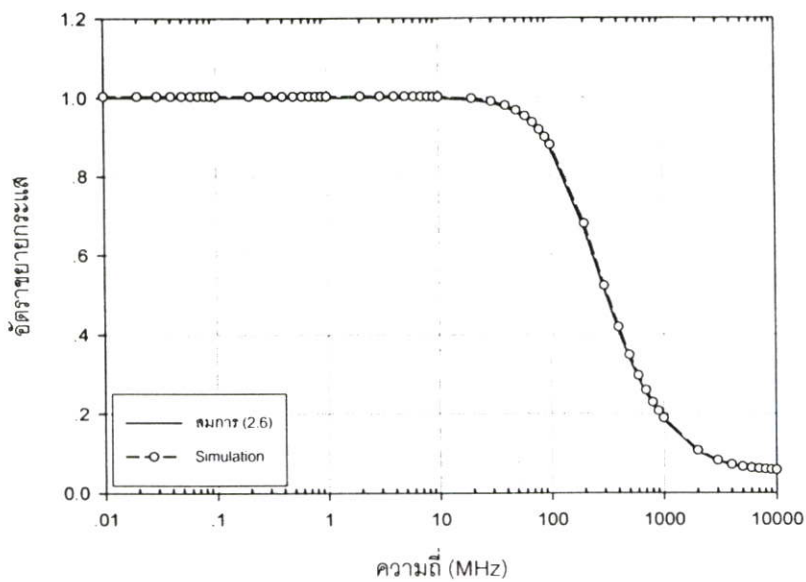
### 2.2.3 ผลการเปรียบเทียบคุณสมบัติต่างๆ จากวิธีวิเคราะห์โนดกับวิธีจำลองการทำงานด้วย Hspice

เพื่อตรวจสอบความถูกต้องของสมการที่ได้วิเคราะห์ไว้ในหัวข้อก่อนหน้านี้ โปรแกรม Hspice ได้ถูกใช้เพื่อยืนยันผลของวงจรสะท้อนกระแสในรูปที่ 2.1 โดยกำหนดค่ากระแสไบอัสเท่ากับ  $100 \mu A$  แรงดันแหล่งจ่ายไฟเลี้ยงเท่ากับ 3 โวลต์และใช้ขนาดมอสทรานซิสเตอร์ ( $W/L$ ) เท่ากับ  $50 \mu m / 5 \mu m$  โมเดลพารามิเตอร์ที่ใช้ในการจำลองการทำงานแสดงไว้ในตารางที่ 2.1

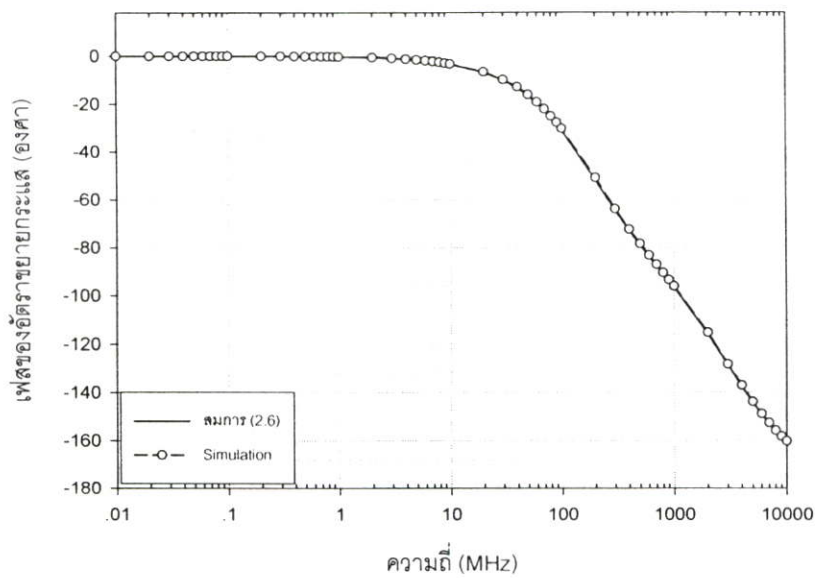
ตารางที่ 2.1 โมเดลพารามิเตอร์ของมอสทรานซิสเตอร์ (MOSIS SCN-2.0  $\mu\text{m}$ )

NMOS Model			
+VTO=0.77527	GAMMA=0.5388	PHI=0.6	NSUB=6.264661E+15
+LD=0.250000U	UO=652	KP=5.518000E-05	LAMBDA=2.752568E-03
+TOX=408.000001E-10	PB=0.800000	CJ=1.038500E-04	CJSW=4.743300E-10
+MJ=0.649379	MJSW=0.326991	CGDO=3.173845E-10	CGSO=3.173845E-10
PMOS Model			
+VTO=-0.77048	GAMMA=0.5083	PHI=0.6	NSUB=5.574486E+15
+LD=0.213695U	UO=263.253	KP=2.226000E-05	LAMBDA=1.41E-02
+TOX=408.000001E-10	PB=0.800000	CJ=2.375000E-04	CJSW=2.707600E-10
+MJ=0.532556	MJSW=0.252466	CGDO=2.712940E-10	CGSO=2.712940E-10

โดยการคำนวณค่า  $C_{gs}$ ,  $C_{gd}$ ,  $g_m$  และ  $r_o$  โดยใช้โมเดลพารามิเตอร์ในตารางที่ 2.1 แล้วนำค่าพารามิเตอร์เหล่านี้ไปแทนในสมการอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกของวงจรถะท้อนกระแสในสมการ (2.6) (2.7) และ (2.8) ตามลำดับ ได้อัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกของวงจรรูปที่ 2.1 เท่ากับ 1.0, 3.01 k $\Omega$  และ 3.63 M $\Omega$  ตามลำดับ ในทำนองเดียวกันการคำนวณหาแบนวิดท์โดยใช้สมการ (2.9) ได้ค่าแบนวิดท์เท่ากับ 177.4 MHz ในขณะที่ผลการจำลองการทำงานด้วย Hspice ได้ค่าอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกเท่ากับ 1.003, 2.85 k $\Omega$  และ 3.64 M $\Omega$  ตามลำดับ โดยมีค่าแบนวิดท์เท่ากับ 183.4 MHz กราฟเปรียบเทียบผลตอบสนองทางความถี่ของอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกจากการคำนวณกับผลการจำลองการทำงานด้วย Hspice แสดงไว้ในรูปที่ 2.2 ถึง 2.4 ตามลำดับ ซึ่งจากรูปจะเห็นว่าผลที่ได้จากการวิเคราะห์ในสมการ (2.6) (2.7) และ (2.8) สอดคล้องกับผลที่ได้จากการจำลองการทำงานด้วยโปรแกรม Hspice

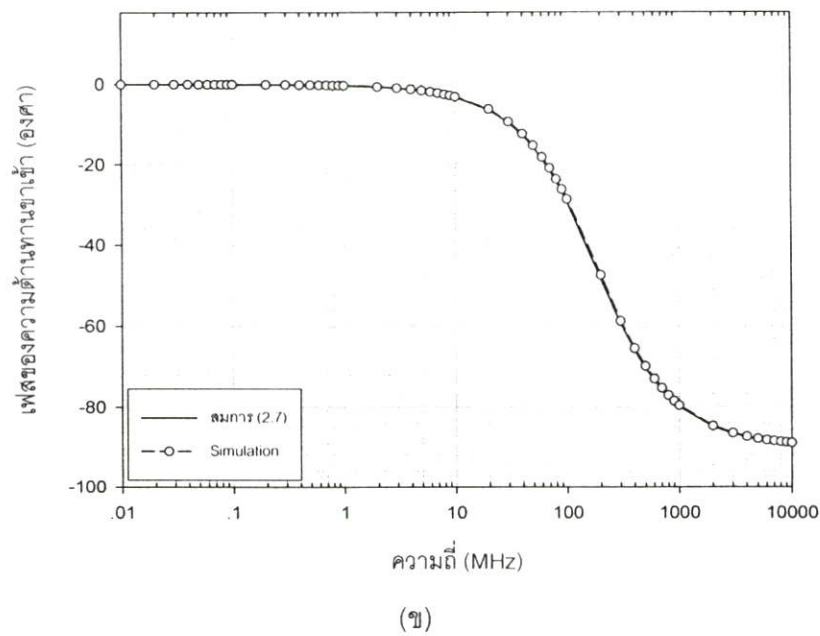
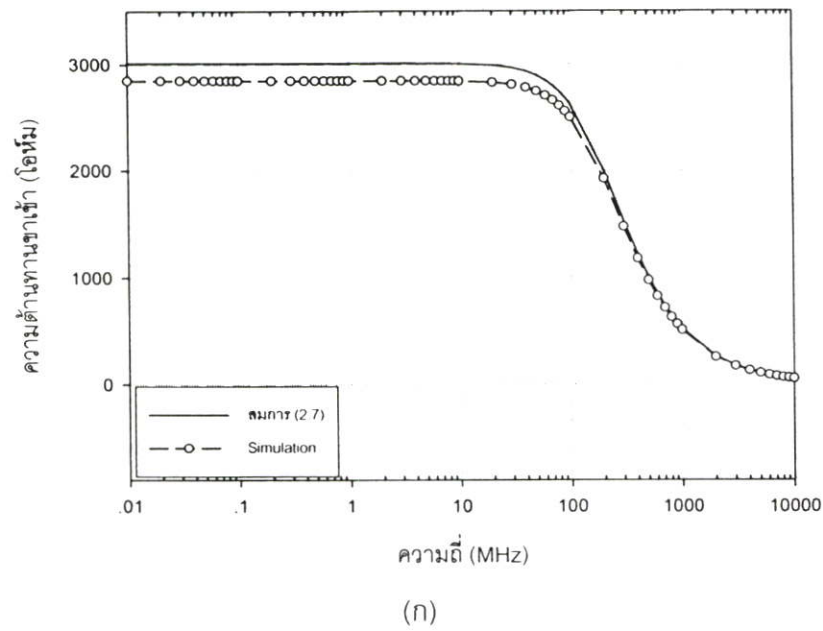


(ก)

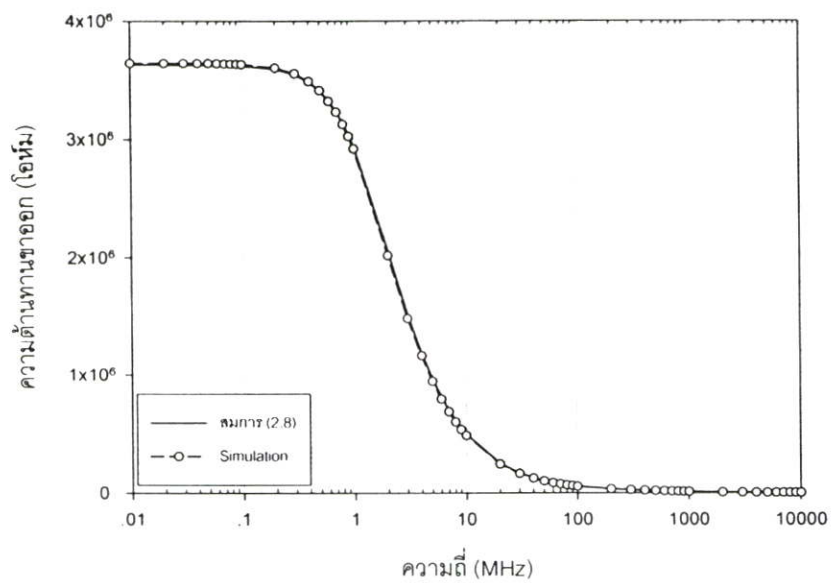


(ข)

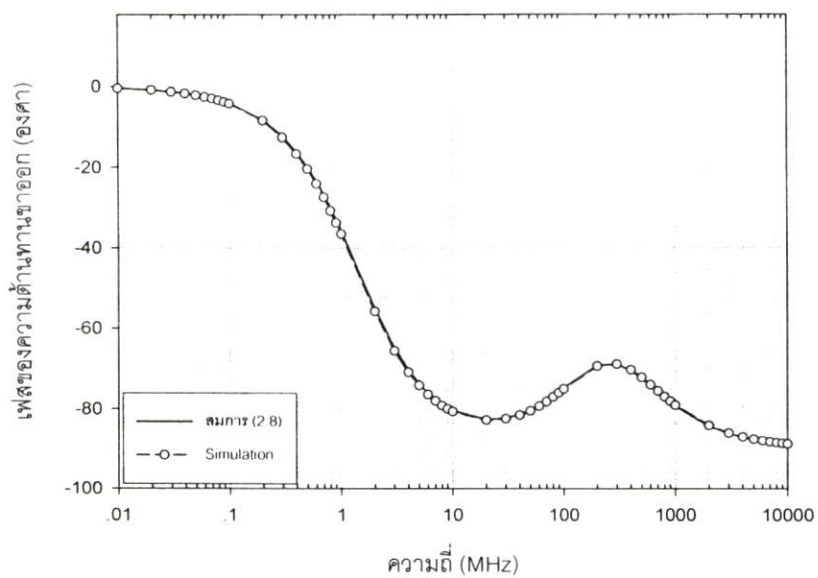
รูปที่ 2.2 ผลตอบสนองทางความถี่ของอัตราขยายกระแสของวงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 2 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของอัตราขยายกระแส (ข) เฟสของอัตราขยายกระแส



รูปที่ 2.3 ผลตอบสนองทางความถี่ของความต้านทานขาเข้าของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาเข้า



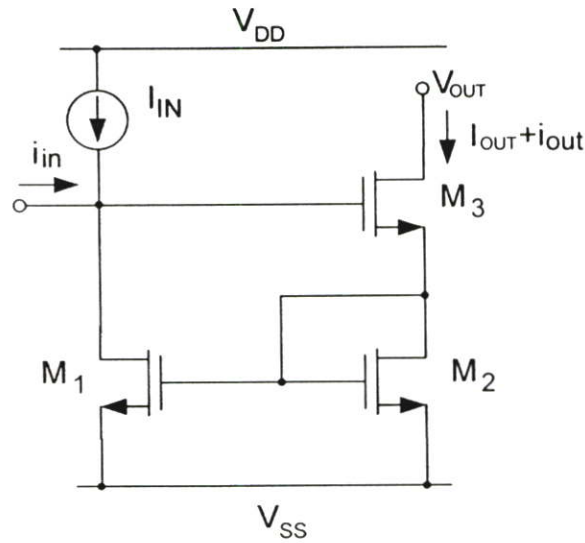
(ก)



(ข)

**รูปที่ 2.4** ผลตอบสนองทางความถี่ของความต้านทานขาออกของวงจรถ่ายแบบทรานซิสเตอร์ 2 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาออก

### 2.3 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว (Wilson current mirror)



รูปที่ 2.5 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว

วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว (Wilson current mirror) ในรูปที่ 2.5 เป็นวงจรที่ปรับปรุงมาจากวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัวเพื่อลดผลความผิดพลาดของการสะท้อนกระแสโดยใช้การป้อนกลับแบบลบเพื่อเพิ่มความต้านทานขาออก [12]

#### 2.3.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis)

จากการวิเคราะห์วงจรในรูปที่ 2.5 โดยให้มอสทรานซิสเตอร์  $M_1$  และ  $M_2$  มีคุณสมบัติเหมือนกันทุกประการ ค่าความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง ค่าสัมประสิทธิ์แรงดันเอาท์พุทและแรงดันไฟเลี้ยงต่ำสุดที่ทำให้วงจรยังคงทำงานมีค่าตามสมการ (2.10) (2.11) และ (2.12) ตามลำดับ [11] (ดูรายละเอียดการวิเคราะห์ทีในภาคผนวก ก)

$$\varepsilon = -\frac{\lambda V_{IN}}{2(1 + \lambda V_{IN})} + \lambda^2 \sqrt{\frac{I_{IN}}{2K}} (V_{OUT} - V_{IN}) \quad (2.10)$$

$$OVC = \lambda^2 \sqrt{\frac{I_{IN}}{2K}} \quad (2.11)$$

$$V_{DD(\min)} = 2V_{GS} + V_{DSsat(BIAS)} \quad (2.12)$$

โดยที่  $K$  มีค่าเท่ากับ  $\mu_n C_{ox} W/L$ ,  $\mu_n$  คือความคล่องตัวของพาหะ,  $C_{ox}$  คือความจุไฟฟ้าที่ออกไซด์ของชาเกต,  $W$  คือความกว้างของแชนแนล,  $L$  คือความยาวของแชนแนลและ  $V_{IN}$  ในสมการ (2.10) มีค่าเท่ากับสองเท่าของแรงดันที่ชาเกต-ซอร์สของมอสทรานซิสเตอร์ ( $V_{IN} = 2V_{GS}$ )

จากสมการที่ (2.10) แม้ว่าแรงดันเอาท์พุทจะเท่ากับแรงดันอินพุท วงจรก็ยังคงให้ค่าความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงที่ไม่เป็นศูนย์อันเป็นผลมาจากโครงสร้างที่ไม่สมมาตรของวงจรในรูปที่ 2.5 นอกจากนี้ค่าสัมประสิทธิ์แรงดันของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว ในสมการ (2.11) มีค่าลดลงไปมากเมื่อเทียบกับวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัวในสมการ (2.4)

### 2.3.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลัสัญญาณขนาดเล็ก (Small signal analysis)

จากการวิเคราะห์สัญญาณขนาดเล็กของวงจรในรูปที่ 2.5 โดยกำหนดให้มอสทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกันทุกประการจะได้อัตราขยายกระแส ( $A_v$ ) ความต้านทานขาเข้า ( $Z_m$ ) และความต้านทานขาออก ( $Z_{out}$ ) ดังแสดงในสมการ (2.13) (2.14) และ (2.15) ตามลำดับ (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

$$A_v = \frac{g_m^2 - s \left( 2g_m c_{gd} - 2g_m c_{gs} + \frac{c_{gs} + 2c_{gd}}{r_o} \right) - s^2 c_{gd} (3c_{gs} + c_{gd})}{g_m^2 + \frac{2g_m}{r_o} + s \left( 2g_m c_{gs} + 4g_m c_{gd} + \frac{4c_{gs} + 3c_{gd}}{r_o} \right) + s^2 (2c_{gs}^2 + 5c_{gs} c_{gd} + c_{gd}^2)} \quad (2.13)$$

$$Z_m = \frac{2g_m + \frac{1}{r_o} + s(3c_{gs} + c_{gd})}{g_m^2 + \frac{2g_m}{r_o} + s \left( 2g_m c_{gs} + 4g_m c_{gd} + \frac{4c_{gs} + 3c_{gd}}{r_o} \right) + s^2 (2c_{gs}^2 + 5c_{gs} c_{gd} + c_{gd}^2)} \quad (2.14)$$

$$Z_{out} = \left\{ \frac{g_m^2 + \frac{1}{r_o^2} + \frac{2g_m}{r_o} + s \left( 2g_m(c_{gs} + 2c_{gd}) + \frac{4c_{gs} + 3c_{gd}}{r_o} \right)}{+s^2 (2c_{gs}^2 + 5c_{gs}c_{gd} + 2c_{gd}^2)} \right\} /$$

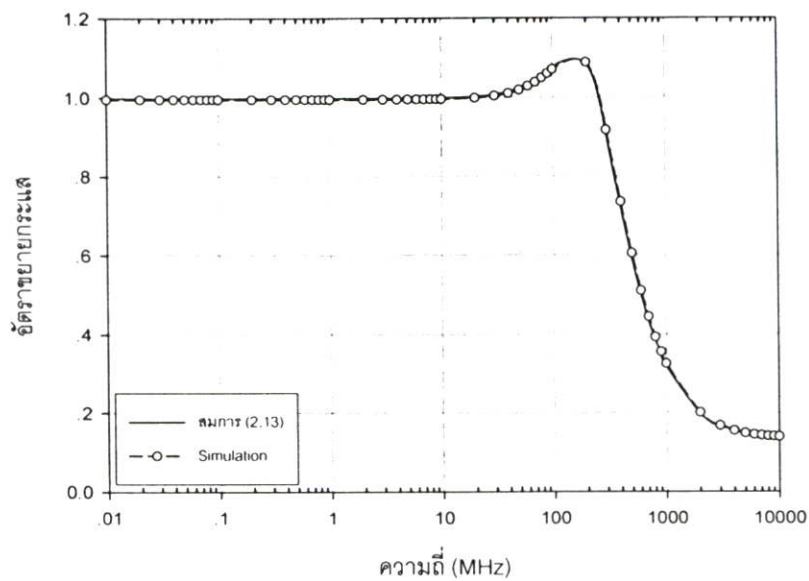
$$\left\{ \frac{\frac{g_m}{r_o^2} + s \left( 2g_m^2 c_{gd} + \frac{g_m(c_{gs} + 2c_{gd})}{r_o} \right) + s^2 \left( \frac{5g_m c_{gd}(c_{gs} + c_{gd})}{+ \frac{2c_{gs}^2 - g_m r_o c_{gd}^2 + c_{gs} c_{gd}(7 - g_m r_o)}{r_o}} \right)}{+s^3 2c_{gs} c_{gd}(c_{gs} + c_{gd})} \right\}$$

(2.15)

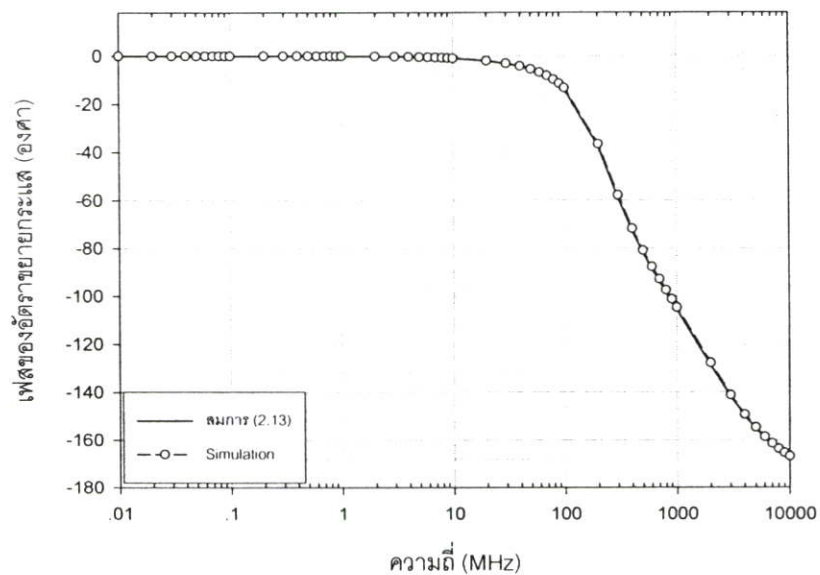
จากสมการ (2.14) และ (2.15) สามารถคำนวณค่าความต้านทานขาเข้าและความต้านทานขาออกที่ความถี่ต่ำได้ประมาณ  $2/g_m$  และ  $g_m r_o^2$  ตามลำดับ

### 2.3.3 ผลการเปรียบเทียบคุณสมบัติต่างๆ จากวิธีวิเคราะห์โนดกับวิธีจำลองการทำงานด้วย Hspice

โดยกำหนดให้กระแสไบอัส ขนาดของมอสทรานซิสเตอร์ แรงดันไฟเลี้ยงและโมเดลพารามิเตอร์เหมือนกับในหัวข้อ 2.2.3 เราสามารถคำนวณค่าอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกของวงจรรูปที่ 2.5 ได้เท่ากับ 0.99, 6.01 k $\Omega$  และ 4.38 G $\Omega$  ตามลำดับ นอกจากนี้การคำนวณหาแบนวิดท์โดยใช้สมการ (2.13) ได้ค่าแบนวิดท์เท่ากับ 402 MHz ในขณะที่เดียวกันผลการจำลองการทำงานด้วย Hspice ได้ค่าอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกเท่ากับ 0.99, 5.69 k $\Omega$  และ 4.71 G $\Omega$  ตามลำดับโดยมีค่าแบนวิดท์เท่ากับ 423.7 MHz กราฟเปรียบเทียบผลตอบสนองทางความถี่ของอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกจากการคำนวณกับผลการจำลองการทำงานด้วย Hspice แสดงไว้ในรูปที่ 2.6 ถึง 2.8 ตามลำดับ ซึ่งจากรูปจะเห็นได้ว่าผลที่ได้จากการวิเคราะห์ในสมการ (2.13) (2.14) และ (2.15) สอดคล้องกับผลที่ได้จากการจำลองการทำงานด้วยโปรแกรม Hspice

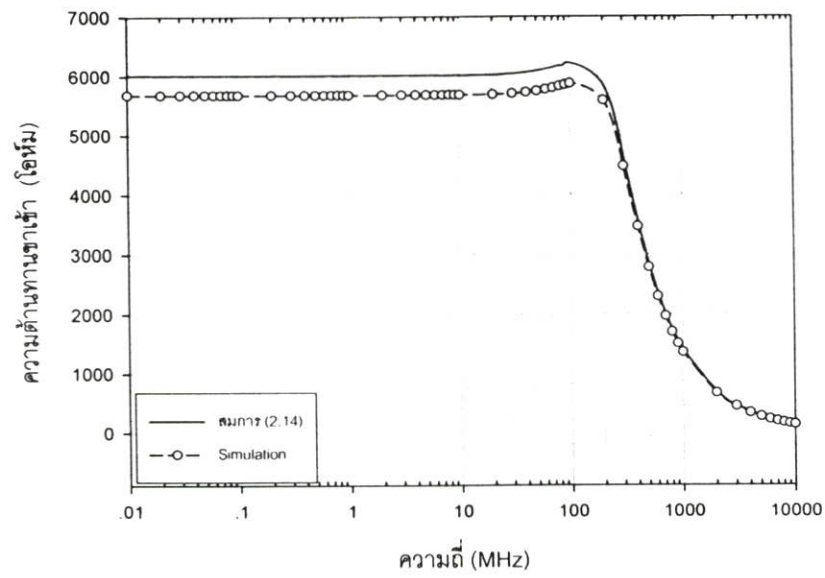


(ก)

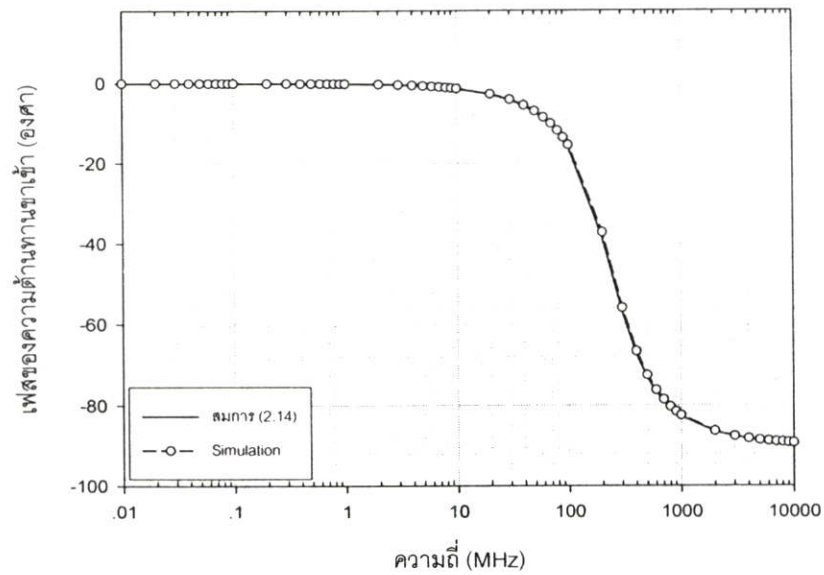


(ข)

รูปที่ 2.6 ผลตอบสนองทางความถี่ของอัตราขยายกระแสของวงจรถัก่อนกระแสแบบทรานซิสเตอร์ 3 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของอัตราขยายกระแส (ข) เฟสของอัตราขยายกระแส

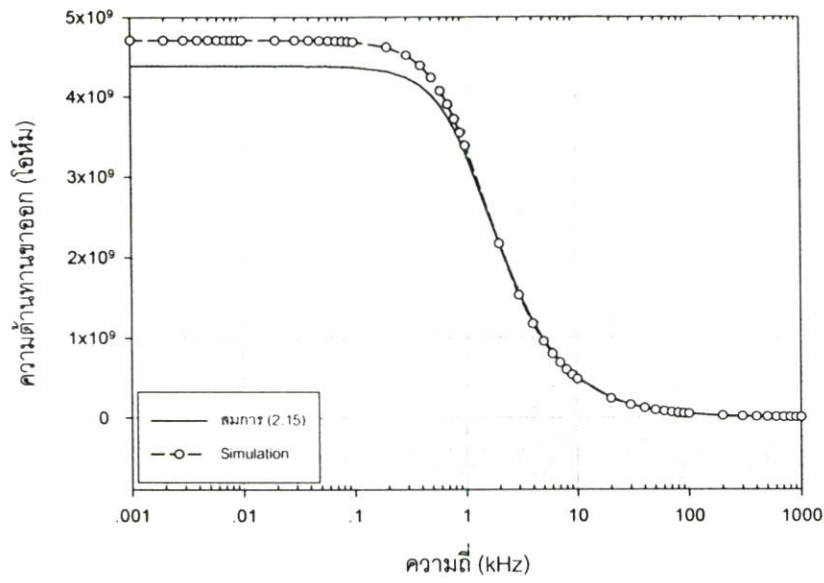


(ก)

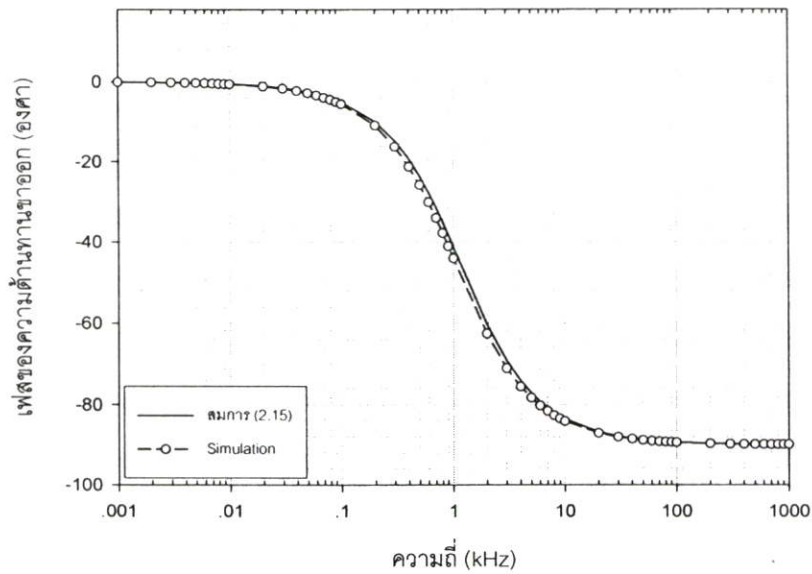


(ข)

**รูปที่ 2.7** ผลตอบสนองทางความถี่ของความต้านทานขาเข้าของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาเข้า



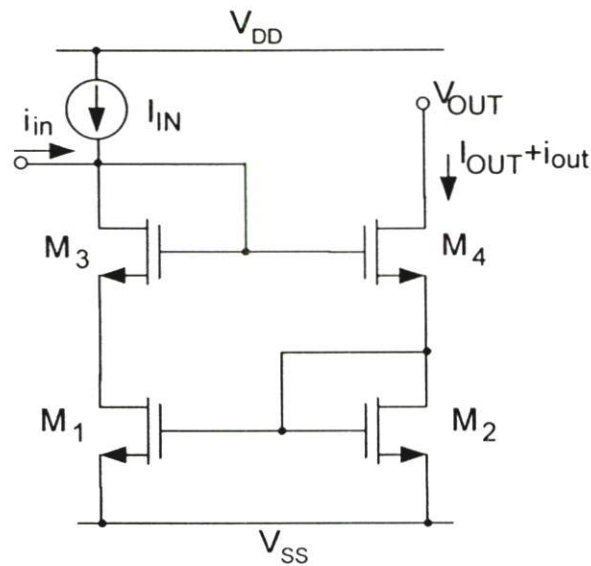
(ก)



(ข)

รูปที่ 2.8 ผลตอบสนองทางความถี่ของความต้านทานขาออกของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาออก

## 2.4 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว (Improved Wilson current mirror)



รูปที่ 2.9 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว

วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว (Wilson current mirror) ในรูปที่ 2.9 เป็นวงจรที่ปรับปรุงมาจากวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวซึ่งมีโครงสร้างที่ไม่สมมาตร โดยออกแบบให้วงจรมีความสมมาตรโดยใช้ทรานซิสเตอร์ 4 ตัวดังแสดงในรูปที่ 2.9 ทำให้การสะท้อนกระแสมีความเป็นอุดมคติมากขึ้น ถ้ากำหนดให้มอสทรานซิสเตอร์ทุกตัวในวงจรรูปที่ 2.9 มีคุณสมบัติเหมือนกันทุกประการ แรงดันเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_1$  ก็จะมีค่าเท่ากับแรงดันเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_2$  ( $V_{DS1} = V_{DS2}$ ) ทำให้กระแสอินพุตมีค่าเท่ากับกระแสเอาต์พุต ค่าความต้านทานขาออกมีค่าใกล้เคียงกับวงจรในรูปที่ 2.5 เนื่องจากใช้การป้อนกลับแบบลบผ่านมอสทรานซิสเตอร์  $M_1$  เช่นเดียวกัน

### 2.4.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis)

จากการวิเคราะห์วงจรในรูปที่ 2.9 โดยให้มอสทรานซิสเตอร์  $M_1$ - $M_4$  มีคุณสมบัติเหมือนกันทุกประการ ค่าความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง ค่าสัมประสิทธิ์แรงดันเอาต์พุต และแรงดันไฟเลี้ยงต่ำสุดที่ทำให้วงจรยังคงทำงานมีค่าเท่ากับสมการ (2.16) (2.17) และ (2.18) ตามลำดับ [11] (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

$$\varepsilon = \lambda^2 \sqrt{\frac{I_{IN}}{2K}} (V_{OUT} - V_{IN}) \quad (2.16)$$

โดยที่  $V_{IN}$  ในสมการ (2.16) มีค่าเท่ากับสองเท่าของแรงดันที่ขาเกต-ซอร์สของมอสทรานซิสเตอร์ ( $V_{IN} = 2V_{GS}$ )

$$OVC = \lambda^2 \sqrt{\frac{I_{IN}}{2K}} \quad (2.17)$$

$$V_{DD(\min)} = 2V_{GS} + V_{DSsat(BIAS)} \quad (2.18)$$

เมื่อเราทำการเปรียบเทียบสมการ (2.10) กับสมการ (2.16) พบว่าเทอมแรกของสมการ (2.10) หายไปเนื่องจากวงจรมีความสมมาตรนั่นเองและเมื่อแรงดันเอาต์พุตมีค่าเท่ากับแรงดันอินพุตวงจรจะให้ค่าความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงที่เป็นศูนย์เช่นเดียวกับกรณีวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว

สมการ (2.11) และ (2.17) แสดงว่าค่าสัมประสิทธิ์แรงดันเอาต์พุตของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวมีค่าเท่ากับของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวทุกประการ

#### 2.4.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลัปลสัญญาณขนาดเล็ก (Small signal analysis)

จากการวิเคราะห์สัญญาณขนาดเล็กของวงจรในรูปที่ 2.9 โดยกำหนดให้มอสทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกันทุกประการจะได้อัตราขยายกระแส ( $A_i$ ) มีค่าเท่ากับ (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

$$A_i = \frac{g_m^3 + \frac{g_m}{r_o^2} + \frac{2g_m^2}{r_o} + sa_1 + s^2a_2 + s^3a_3 + s^4a_4}{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} + sb_1 + s^2b_2 + s^3b_3} \quad (2.19)$$

โดยที่

$$a_1 = g_m^2 [3c_{gs} + c_{gd}(g_m - 1)] - \frac{c_{gd}}{r_o^2} + \frac{g_m(3c_{gs} + c_{gd}(g_m - 1))}{r_o}$$

$$a_2 = g_m(2c_{gs}^2 + c_{gs}c_{gd}(g_m - 3) - c_{gd}^2(2 + g_m)) - \frac{2c_{gd}(2c_{gs} + g_m c_{gd} + c_{gd})}{r_o}$$

$$a_3 = -c_{gd} [3c_{gs}^2 + c_{gd}^2(1 + g_m) + 2c_{gs}c_{gd}(2 + g_m)] + \frac{c_{gd}^3}{r_o}$$

$$a_4 = c_{gd}^3(c_{gs} + c_{gd})$$

$$b_1 = \left( \begin{aligned} &g_m^2(3c_{gs} + 2c_{gdBLAS} + 4c_{gd}) + \frac{g_m(5c_{gs} + 4c_{gd})}{r_{oBLAS}} + \frac{2c_{gs} + c_{gdBLAS} + c_{gd}}{r_o^2} \\ &+ \frac{g_m(7c_{gs} + 3c_{gdBLAS} + 5c_{gd})}{r_o} + \frac{2(2c_{gs} + c_{gd})}{r_{oBLAS}r_o} \end{aligned} \right)$$

$$b_2 = \left( \begin{aligned} &g_m(4c_{gs}^2 + 5c_{gs}c_{gdBLAS} + 11c_{gs}c_{gd} + 4c_{gdBLAS}c_{gd} + 4c_{gd}^2) + \frac{c_{gs}(3c_{gs} + 4c_{gd})}{r_{oBLAS}} \\ &+ \frac{2(3c_{gs}^2 + 4c_{gs}c_{gd} + c_{gdBLAS}(2c_{gs} + c_{gd}) + c_{gd}^2)}{r_o} \end{aligned} \right)$$

$$b_3 = c_{gs}(2c_{gs}^2 + 3c_{gs}c_{gdBLAS} + 7c_{gs}c_{gd} + 4c_{gdBLAS}c_{gd} + 4c_{gd}^2)$$

โดยที่  $r_{oBLAS}$  และ  $c_{gdBLAS}$  คือความต้านทานทรานซิสเตอร์และตัวเก็บประจุแฝงที่ขาเกต-เดรนของ มอดูลทรานซิสเตอร์ที่ใช้ไปอัลตราสไล์ให้วงจร ( $I_{IN}$ )

ในทำนองเดียวกันความต้านทานขาเข้า ( $Z_m$ ) มีค่าเท่ากับ

$$Z_m = \frac{2g_m^2 + \frac{1}{r_o^2} + \frac{3g_m}{r_o} + sc_1 + s^2c_2}{g_m^3 + \frac{2g_m^2}{r_{oBLAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBLAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBLAS}r_o} + sb_1 + s^2b_2 + s^3b_3}$$

(2.20)

โดยที่  $c_1 = g_m(5c_{gs} + 4c_{gd}) + \frac{4c_{gs} + 2c_{gd}}{r_o}$  และ  $c_2 = 3c_{gs}^2 + 4c_{gs}c_{gd}$

ความต้านทานขาออก( $Z_{out}$ ) มีค่าเท่ากับ

$$Z_{out} = \frac{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} + sj_1 + s^2j_2 + s^3j_3}{\frac{g_m}{r_o^3} + \frac{1}{r_{oBIAS}r_o^3} + \frac{g_m^2}{r_o^2} + \frac{2g_m}{r_{oBIAS}r_o^2} + \frac{g_m^2}{r_{oBIAS}r_o} + sk_1 + s^2k_2 + s^3k_3 + s^4k_4} \quad (2.21)$$

โดยที่

$$j_1 = \left( \frac{g_m^2(3c_{gs} + 2c_{gdBIAS} + 4c_{gd}) + \frac{g_m(5c_{gs} + 4c_{gd})}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^2}}{+ \frac{g_m(7c_{gs} + 3c_{gdBIAS} + 5c_{gd})}{r_o} + \frac{2(2c_{gs} + c_{gd})}{r_{oBIAS}r_o}} \right)$$

$$j_2 = \left( \frac{g_m(4c_{gdBIAS}c_{gd} + 4c_{gd}^2 + 5c_{gs}c_{gdBIAS} + 11c_{gs}c_{gd} + 4c_{gs}^2)}{+ \frac{2c_{gs}c_{gd} + c_{gs}^2 + 2c_{gs}(c_{gs} + c_{gd})}{r_{oBIAS}}} \right)$$

$$+ \frac{2(c_{gd}^2 + 4c_{gs}c_{gd} + 3c_{gs}^2 + c_{gdBIAS}(2c_{gs} + c_{gd}))}{r_o}$$

$$j_3 = c_{gs}(4c_{gdBIAS}c_{gd} + 4c_{gd}^2 + 3c_{gs}c_{gdBIAS} + 7c_{gs}c_{gd} + 2c_{gs}^2)$$

$$k_1 = \left( \frac{2g_m^3c_{gd} + \frac{2g_m^2c_{gd}}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^3} + \frac{2g_m(c_{gdBIAS} + 3(c_{gs} + c_{gd}))}{r_o^2} + \frac{4c_{gs} + 3c_{gd}}{r_{oBIAS}r_o^2}}{+ \frac{g_m^2(c_{gdBIAS} + 2(c_{gs} + 4c_{gd}))}{r_o} + \frac{g_m(4c_{gs} + 6c_{gd})}{r_{oBIAS}r_o}} \right)$$

$$k_2 = \left( \frac{2g_m^2c_{gd}(3c_{gs} + c_{gdBIAS} + 2c_{gd}) + \frac{g_m c_{gd}(5c_{gs} + 4c_{gd})}{r_{oBIAS}}}{+ \frac{3c_{gdBIAS}c_{gd} + 2c_{gd}^2 + 4c_{gs}c_{gdBIAS} + 9c_{gs}c_{gd} + 6c_{gs}^2}{r_o^2}} \right)$$

$$+ \frac{2g_m(3c_{gdBIAS}c_{gd} + 3c_{gd}^2 + 2c_{gs}c_{gdBIAS} + 10c_{gs}c_{gd} + 2c_{gs}^2)}{r_o} + \frac{3c_{gs}^2 + 2c_{gd}^2 + 8c_{gs}c_{gd}}{r_{oBIAS}r_o}$$

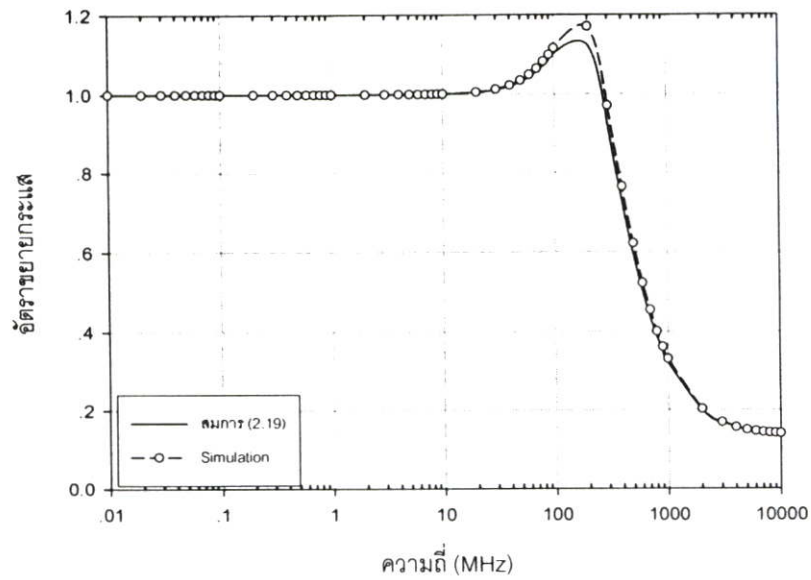
$$k_3 = \left( \frac{g_m c_{gd} (4c_{gdBLAS} c_{gd} + 5c_{gs} c_{gdBLAS} + 8c_{gs} c_{gd} + 6c_{gs}^2) + \frac{c_{gs} c_{gd} (3c_{gs} + 4c_{gd})}{r_{oBLAS}}}{+ \frac{2c_{gdBLAS} c_{gd}^2 + 2c_{gs} c_{gd} (4c_{gdBLAS} + 3c_{gd}) + 3c_{gs}^2 (c_{gdBLAS} + 4c_{gd}) + 2c_{gs}^3}{r_o}} \right)$$

$$k_4 = 4c_{gs} c_{gdBLAS} c_{gd}^2 + 3c_{gs}^2 c_{gdBLAS} c_{gd} + 4c_{gs}^2 c_{gd}^2 + 2c_{gs}^3 c_{gd}$$

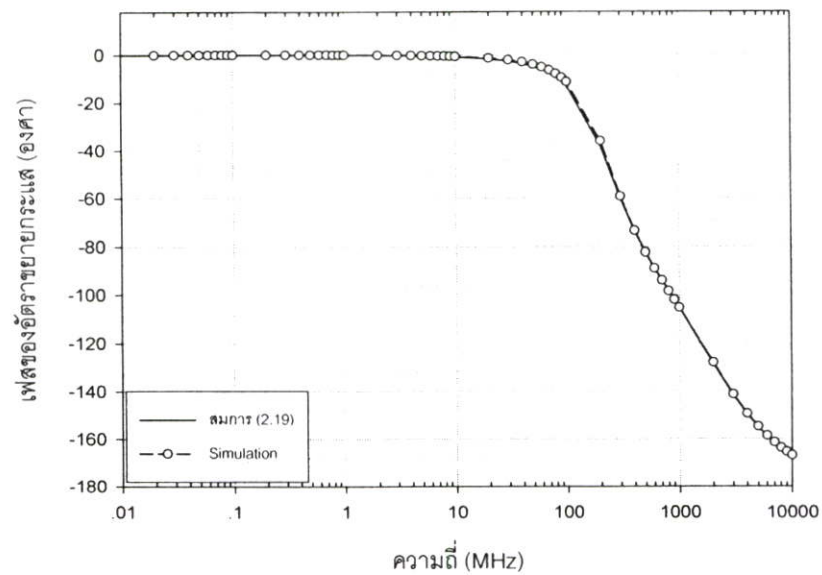
จากสมการ (2.20) และ (2.21) สามารถคำนวณค่าความต้านทานขาเข้าที่ความถี่ต่ำได้ ประมาณ  $2/g_m$  และ  $g_m r_o^2$  ตามลำดับ

#### 2.4.3 ผลการเปรียบเทียบคุณสมบัติต่างๆ จากวิธีวิเคราะห์โนดกับวิธีจำลองการทำงานด้วย Hspice

โดยกำหนดให้กระแสไบอัส ขนาดของมอสทรานซิสเตอร์ แรงดันไฟเลี้ยงและโมเดลพารามิเตอร์เหมือนกับในหัวข้อ 2.2.3 และ 2.3.3 เราสามารถคำนวณค่าอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกของวงจรรูปที่ 2.9 ได้เท่ากับ 1.0, 6.01 k $\Omega$  และ 4.38 G $\Omega$  ตามลำดับ นอกจากนี้การวิเคราะห์หาแบนวิดท์โดยใช้สมการ (2.19) ได้ค่าแบนวิดท์เท่ากับ 413 MHz ในขณะที่ผลการจำลองการทำงานด้วย Hspice ได้ค่าอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกเท่ากับ 1.0, 5.68 k $\Omega$  และ 4.71 G $\Omega$  ตามลำดับโดยมีค่าแบนวิดท์เท่ากับ 439 MHz กราฟเปรียบเทียบผลตอบสนองทางความถี่ของอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกจากการคำนวณกับผลการจำลองการทำงานด้วย Hspice แสดงไว้ในรูปที่ 2.10 ถึง 2.12 ตามลำดับ ซึ่งจากรูปจะเห็นได้ว่าผลที่ได้จากการวิเคราะห์ในสมการ (2.19) (2.20) และ (2.21) สอดคล้องกับผลที่ได้จากการจำลองการทำงานด้วยโปรแกรม Hspice

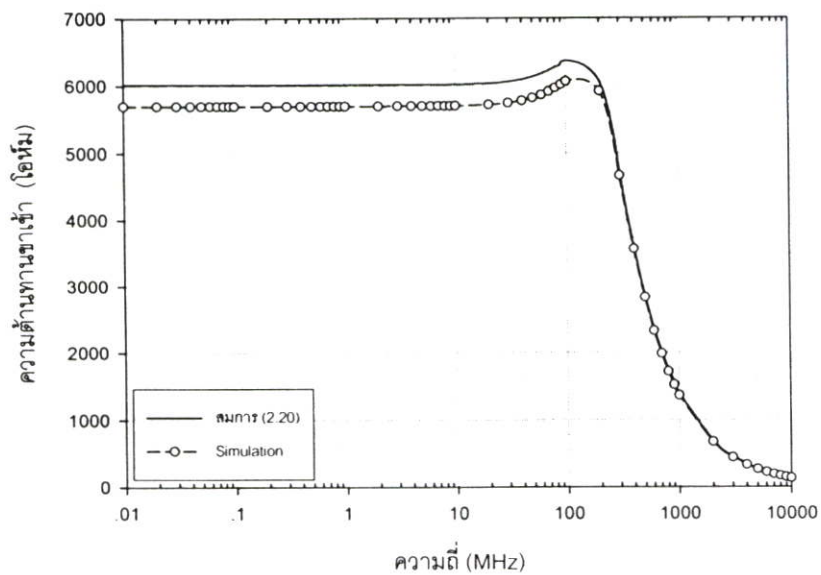


(ก)

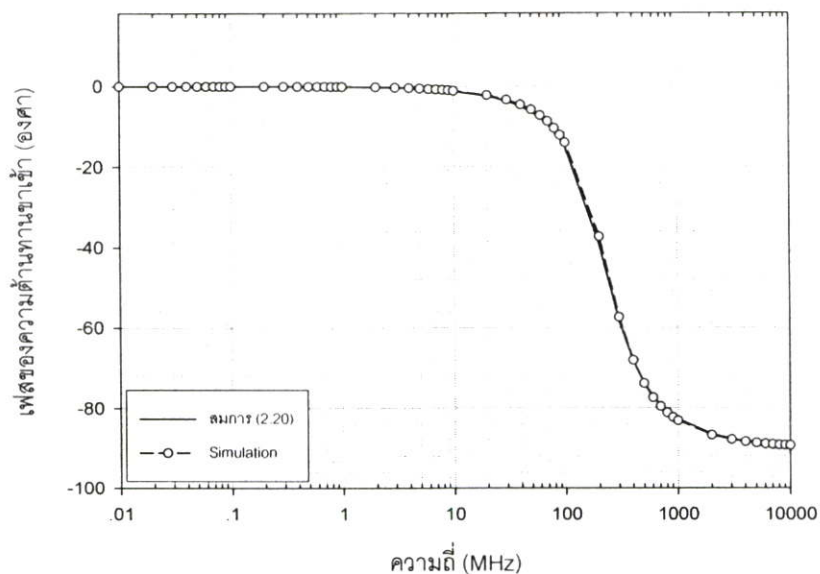


(ข)

รูปที่ 2.10 ผลตอบสนองทางความถี่ของอัตราขยายกระแสของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวจากการวิเคราะห์ไหนดกับผลของ Hspice (ก) ขนาดของอัตราขยายกระแส (ข) เฟสของอัตราขยายกระแส

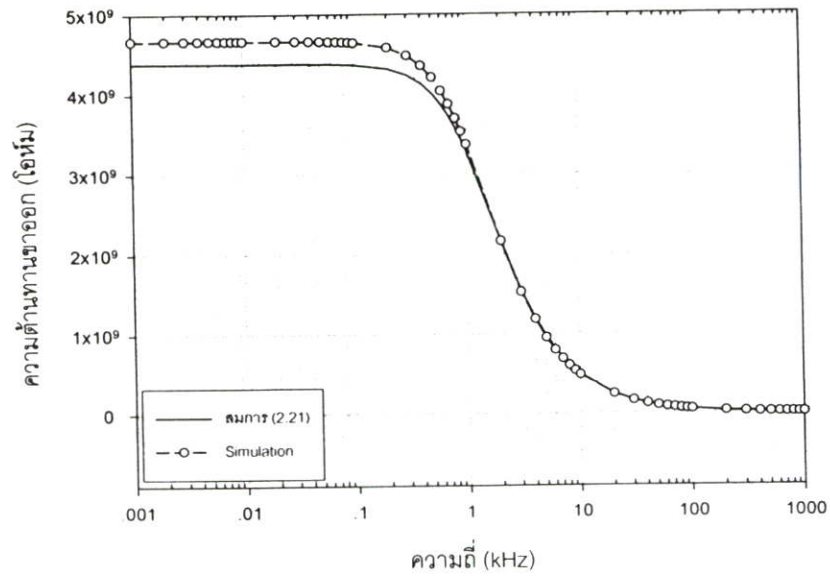


(ก)

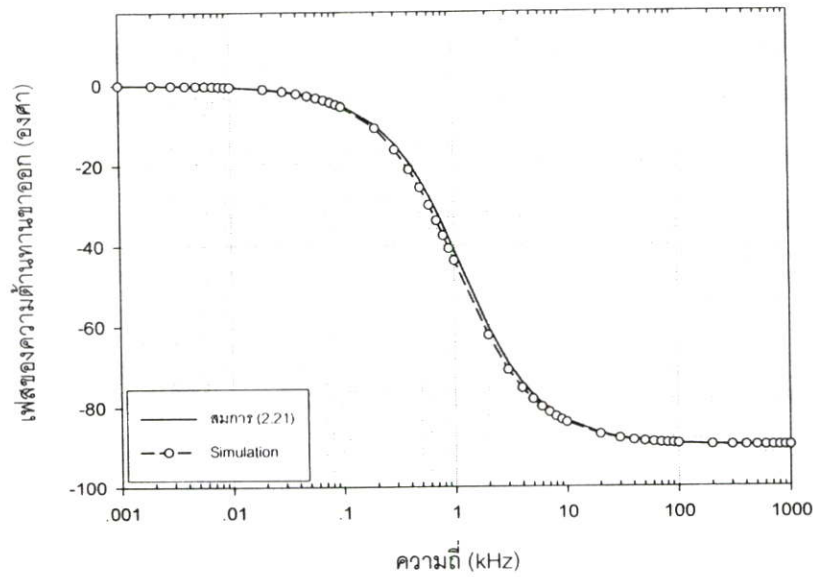


(ข)

รูปที่ 2.11 ผลตอบสนองทางความถี่ของความต้านทานขาเข้าของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวจากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้า (ข) เฟสของความต้านทานขาเข้า



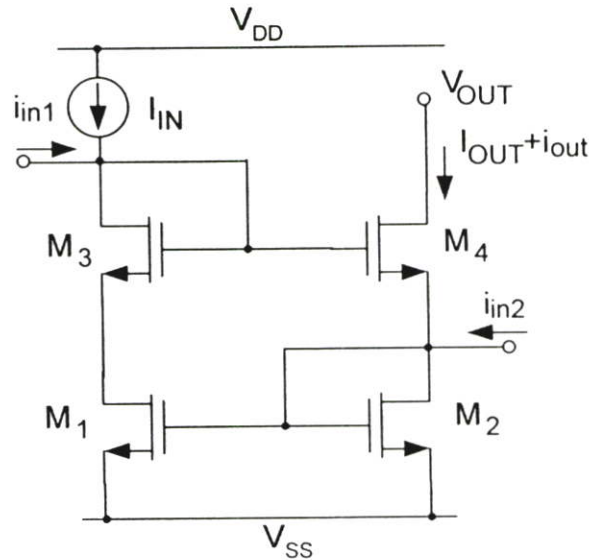
(ก)



(ข)

**รูปที่ 2.12** ผลตอบสนองทางความถี่ของความต้านทานขาออกของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวจากกรวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของความต้านทานขาออก (ข) เฟสของความต้านทานขาออก

## 2.5 วงจรสะท้อนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัว (Differential improved Wilson current mirror)



รูปที่ 2.13 วงจรสะท้อนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัว

### 2.5.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis)

จากการวิเคราะห์วงจรในรูปที่ 2.13 โดยให้มอสทรานซิสเตอร์  $M_1$ - $M_4$  มีคุณสมบัติเหมือนกันทุกประการ ค่าความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง ค่าสัมประสิทธิ์แรงดันเอาต์พุตและแรงดันไฟเลี้ยงต่ำสุดที่ทำให้วงจรยังคงทำงานมีค่าเท่ากับสมการ (2.16) (2.17) และ (2.18) ในหัวข้อ 2.4.1 ตามลำดับ

### 2.5.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลับสัญญาณขนาดเล็ก (Small signal analysis)

วงจรในรูปที่ 2.13 เหมือนกับวงจรในรูปที่ 2.9 เพียงแต่วงจรในรูปที่ 2.13 มีอินพุตที่สองเพิ่มเข้ามาที่ขาเดรนของมอสทรานซิสเตอร์  $M_2$  ดังนั้นค่าอัตราขยายกระแสและความต้านทานขาเข้าที่ขาเดรนของมอสทรานซิสเตอร์  $M_3$  ความต้านทานขาออกรวมถึงแรงดันต่ำไฟเลี้ยงต่ำสุดที่ต้องการเพื่อให้วงจรทำงานมีค่าเท่ากับในหัวข้อ 2.4 ทุกประการ โดยใช้การวิเคราะห์สัญญาณขนาดเล็กจะได้ความต้านทานขาเข้าและอัตราขยายกระแสซึ่งเกิดจากกระแสอินพุตที่สอง ( $i_{in2}$ ) ดังสมการ (2.22) และ (2.23) ตามลำดับ (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

$$A_{12} = - \frac{g_m^3 + \frac{g_m^2}{r_{oBIAS}} + \frac{g_m^2}{r_o} + \frac{g_m}{r_{oBIAS}r_o} + sa_{1\_2} + s^2a_{2\_2} + s^3a_{3\_2}}{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} + sb_1 + s^2b_2 + s^3b_3} \quad (2.22)$$

$$Z_{m2} = \frac{\frac{g_m}{r_{oBIAS}} + \frac{g_m}{r_o} + \frac{1}{r_{oBIAS}r_o} + sc_{1\_2} + s^2c_{2\_2}}{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} + sb_1 + s^2b_2 + s^3b_3} \quad (2.23)$$

โดยที่

$$a_{1\_2} = g_m^2(c_{gs} + c_{gdBIAS}) + \frac{g_m(c_{gs} + c_{gd})}{r_{oBIAS}} + \frac{g_m(c_{gs} + c_{gdBIAS} + c_{gd})}{r_o}$$

$$a_{2\_2} = g_m \left[ c_{gdBIAS}(c_{gs} + c_{gd}) + c_{gd}(c_{gs} + 2c_{gd}) \right] + \frac{c_{gs}c_{gd}}{r_o}$$

$$a_{3\_2} = c_{gs}c_{gd}(c_{gs} + 2c_{gd})$$

$b_1$ ,  $b_2$  และ  $b_3$  มีค่าเช่นเดียวกับในหัวข้อ 2.4.2

$$c_{1\_2} = g_m(c_{gs} + c_{gdBIAS} + 2c_{gd}) + \frac{c_{gs} + c_{gd}}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o}$$

$$c_{2\_2} = -c_{gs}^2 + (c_{gs} + c_{gd})(2c_{gs} + c_{gdBIAS} + c_{gd})$$

จากสมการ (2.23) ความต้านทานขาเข้าที่ขาเดรนของมอสทรานซิสเตอร์  $M_2$  ที่ความถี่ต่ำ

มีค่าประมาณ  $\frac{1}{g_m^2(r_o // r_{oBIAS})}$

### 2.5.3 ผลการเปรียบเทียบคุณสมบัติต่างๆ จากวิธีวิเคราะห์โนดกับวิธีจำลองการทำงานด้วย Hspice

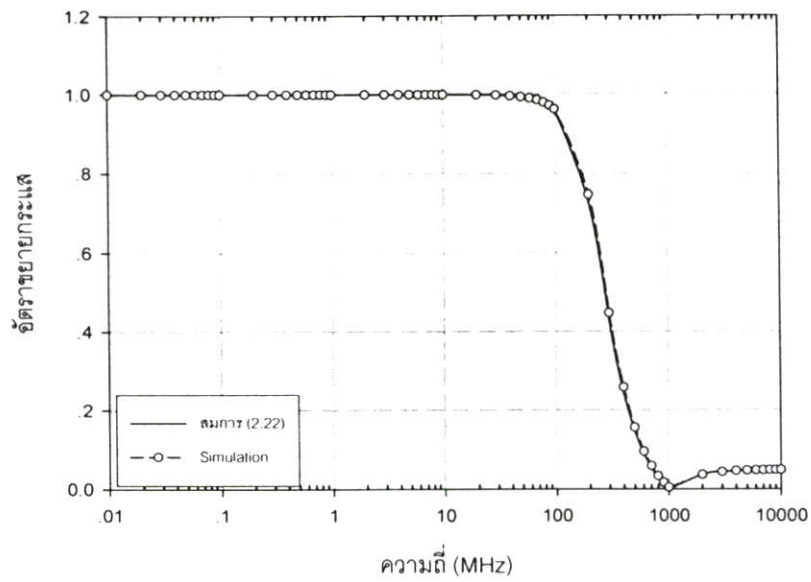
เนื่องจากค่าอัตราขยายกระแส ความต้านทานขาเข้าและความต้านทานขาออกของวงจรรูปที่ 2.13 มีค่าเท่ากับสมการ (2.19) ถึง (2.21) ดังนั้นทั้งค่าอัตราขยายกระแส ความต้านทานขาเข้า ความต้านทานขาออกและแบนด์วิธของวงจรถูกคำนวณได้จากการวิเคราะห์โนดและค่าที่ได้จาก Hspice จึงมีค่าเท่ากับในหัวข้อ 2.4.3 ทุกประการ อย่างไรก็ตามในวงจรรูปที่ 2.13 มีการป้อนกระแสอินพุตที่สอง ( $i_{in2}$ ) เข้าที่ขาเดรนของมอสทรานซิสเตอร์  $M_2$  ด้วย ค่าอัตราขยายกระแสและความต้านทานขาเข้าเมื่อป้อนกระแสอินพุตที่ขาเดรนของ  $M_2$  มีค่าเท่ากับ 0.99 และ 2.49  $\Omega$  ตามลำดับ ในขณะที่ค่าที่ได้จาก Hspice มีค่าเท่ากับ 0.99 และ 2.23  $\Omega$  ตามลำดับ

กราฟเปรียบเทียบผลตอบสองทางความถี่ของอัตราขยายกระแสและความต้านทานขาเข้าเมื่อป้อนกระแสอินพุตที่ขาเดรนของ  $M_2$  จากการคำนวณกับผลการจำลองการทำงานด้วย Hspice แสดงไว้ในรูปที่ 2.14 ถึง 2.15 ตามลำดับ และจากรูปที่ 2.14 ถึง 2.15 แสดงว่าค่าที่คำนวณได้จากสมการ (2.22) และ (2.23) มีความใกล้เคียงกับผลจาก Hspice

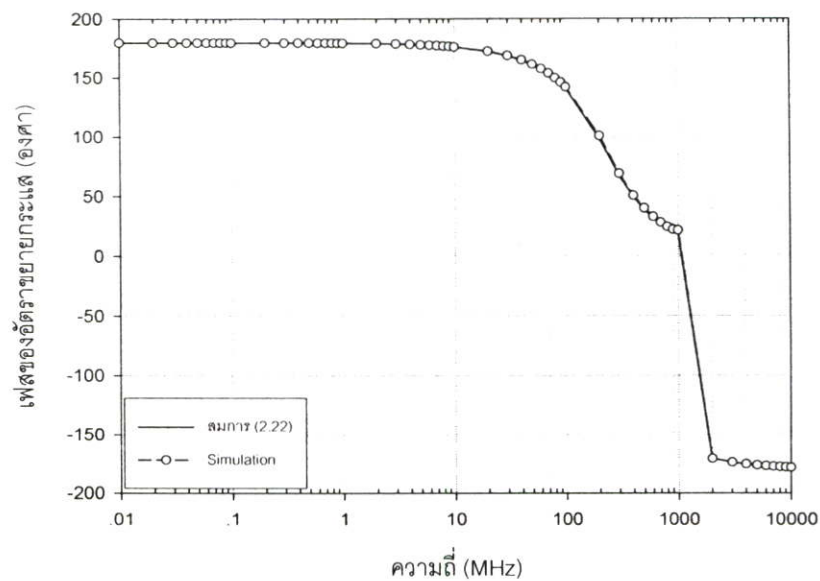
## 2.6 สรุป

วงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 2 ตัว (Simple current mirror) มีข้อดีคือใช้อุปกรณ์น้อยที่สุดและมีความต้องการแรงดันไฟเลี้ยงต่ำ อย่างไรก็ตามวงจรมีค่าความต้านทานขาออกต่ำและให้ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงมาก วงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 3 ตัว (Wilson current mirror) มีความต้านทานขาออกสูงกว่าวงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 2 ตัวแต่มีความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงสูงกว่าแบบทรานซิสเตอร์ 4 ตัว (Improved Wilson current mirror) เนื่องจากโครงสร้างที่ไม่สมมาตรของวงจรถ่ายโอนกระแสอินพุตมีค่ามากกว่ากระแสเอาต์พุตเล็กน้อย วงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 4 ตัวมีความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงต่ำเนื่องจากโครงสร้างวงจรถ่ายโอนกระแสและยังคงให้ค่าความต้านทานขาออกสูงเนื่องจากการต่อวงจบบนแคสโคดที่มอสทรานซิสเตอร์ทางด้านเอาต์พุต วงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 3 ตัวและ 4 ตัวมีความต้องการแรงดันไฟเลี้ยงเท่ากันซึ่งมีค่าสูงกว่าวงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 2 ตัว

ค่าความต้านทานขาเข้าและขาออกของวงจรถ่ายโอนกระแสแต่ละแบบเมื่อกำหนดให้ความต้านทานเดรน-ซอร์สของแหล่งจ่ายกระแส ( $r_{oBIAS}$ ) มีค่าสูงมากแสดงไว้ในตารางที่ 2.2 นอกจากนี้ค่าแรงดันไฟเลี้ยงต่ำสุดที่ทำให้วงจรมีการทำงานได้รวมทั้งความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงและค่าสัมประสิทธิ์แรงดันเอาต์พุตแสดงไว้ในตารางที่ 2.3 และ 2.4 ตามลำดับ

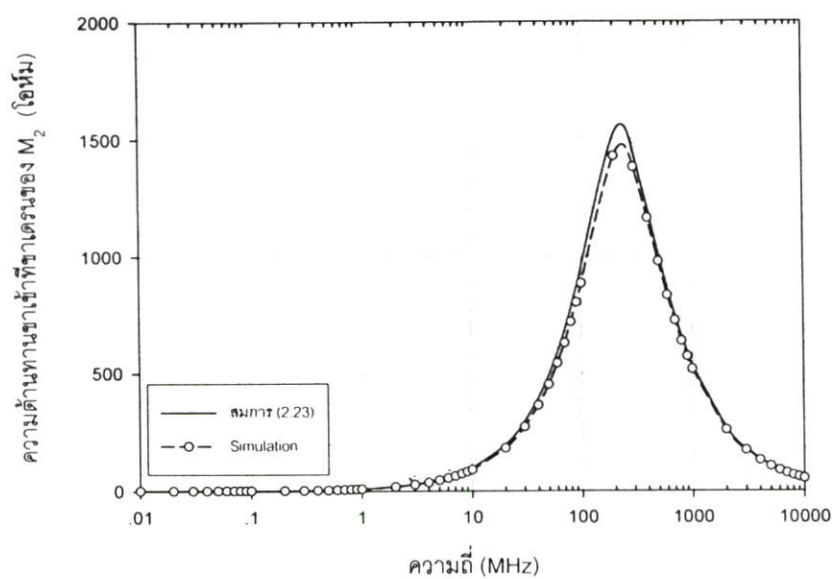


(ก)

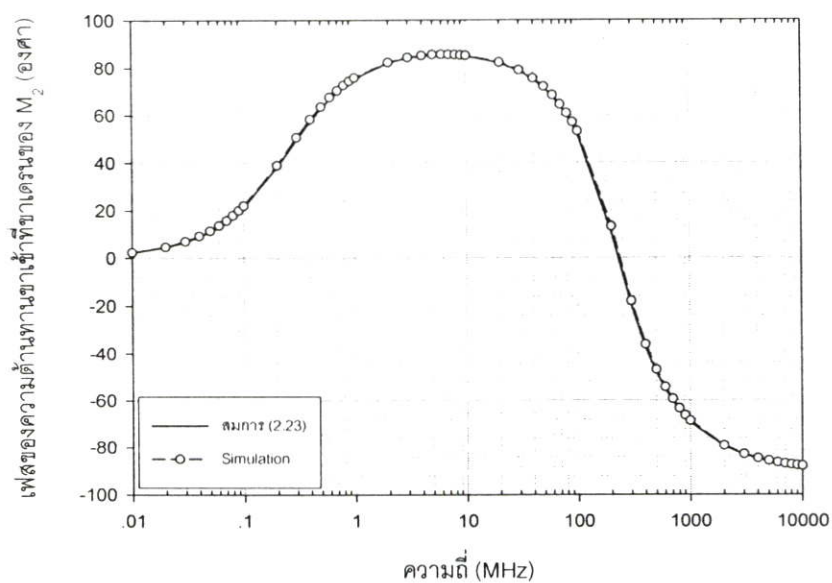


(ข)

**รูปที่ 2.14** ผลตอบสนองทางความถี่ของอัตราขยายกระแสเมื่อป้อนกระแสอินพุตที่ขาเดรนของ มอสทรานซิสเตอร์  $M_2$  ของวงจรถ่ายโอนกระแสแบบทรานซิสเตอร์ 4 ตัวในรูปที่ 2.13 จากการวิเคราะห์โนดกับผลของ Hspice (ก) ขนาดของอัตราขยายกระแส (ข) เฟสของอัตราขยายกระแส



(ก)



(ข)

รูปที่ 2.15 ผลตอบสนองทางความถี่ของความต้านทานขาเข้าเมื่อป้อนกระแสอินพุตที่ชาเดรนของมอสทรานซิสเตอร์  $M_2$  ของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวในรูปที่ 2.13 จากการวิเคราะห์ไบนด์กับผลของ Hspice (ก) ขนาดของความต้านทานขาเข้าที่ชาเดรนของ  $M_2$  (ข) เฟสของความต้านทานขาเข้าที่ชาเดรนของ  $M_2$

ตารางที่ 2.2 ความต้านทานขาเข้า ( $Z_m$ ) และขาออก ( $Z_{out}$ ) ของวงจรถ่ายโอนกระแสแต่ละแบบ เมื่อกำหนดให้ความต้านทานเดรน-ซอร์สของแหล่งจ่ายกระแส ( $r_{oBLAS}$ ) มีค่าสูงมาก (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

วงจรถ่ายโอนกระแส	ความต้านทานขาเข้า ( $Z_m$ )	ความต้านทานขาออก ( $Z_{out}$ )
Simple	$1/g_m$	$r_o$
Wilson	$2/g_m$	$g_m r_o^2$
Improved Wilson	$2/g_m$	$g_m r_o^2$
Differential Improved Wilson	$2/g_m$ (ที่จุดป้อนสัญญาณ $i_{m1}$ ) $1/g_m^2 r_o$ (ที่จุดป้อนสัญญาณ $i_{m2}$ )	$g_m r_o^2$

ตารางที่ 2.3 แรงดันไฟเลี้ยงต่ำสุด ( $V_{DD(min)}$ ) ที่ทำให้วงจรรยังค้งทำงาน

วงจรถ่ายโอนกระแส	$V_{DD(min)}$
Simple	$V_{GS} + V_{DSsat(BLAS)}$
Wilson	$2V_{GS} + V_{DSsat(BLAS)}$
Improved Wilson	$2V_{GS} + V_{DSsat(BLAS)}$
Differential Improved Wilson	$2V_{GS} + V_{DSsat(BLAS)}$

ตารางที่ 2.4 ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง ( $\epsilon$ ) และค่าสัมประสิทธิ์แรงดัน  
โอเวอร์ชูต ( $OVC$ ) [11] (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

วงจรสะท้อนกระแส	ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง ( $\epsilon$ )	สัมประสิทธิ์แรงดันโอเวอร์ชูต ( $OVC$ ), $V^{-1}$
Simple*	$\lambda(V_{OUT} - V_{IN})$	$\lambda$
Wilson**	$-\frac{\lambda V_{IN}}{2(1 + \lambda V_{IN})} + \lambda^2 \sqrt{\frac{I_{IN}}{2K}} (V_{OUT} - V_{IN})$	$\lambda^2 \sqrt{\frac{I_{IN}}{2K}}$
Improved Wilson**	$\lambda^2 \sqrt{\frac{I_{IN}}{2K}} (V_{OUT} - V_{IN})$	$\lambda^2 \sqrt{\frac{I_{IN}}{2K}}$
Differential Improved Wilson**	$\lambda^2 \sqrt{\frac{I_{IN}}{2K}} (V_{OUT} - V_{IN})$	$\lambda^2 \sqrt{\frac{I_{IN}}{2K}}$

$$* V_{IN} = \sqrt{\frac{2I_{IN}}{K}} + V_T$$

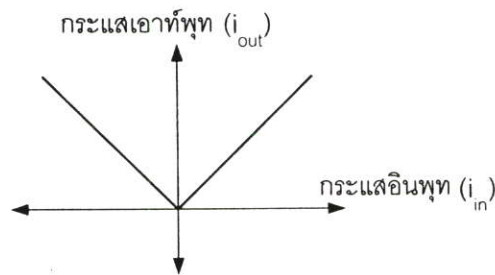
$$** V_{IN} = 2 \left( \sqrt{\frac{2I_{IN}}{K}} + V_T \right)$$

## บทที่ 3

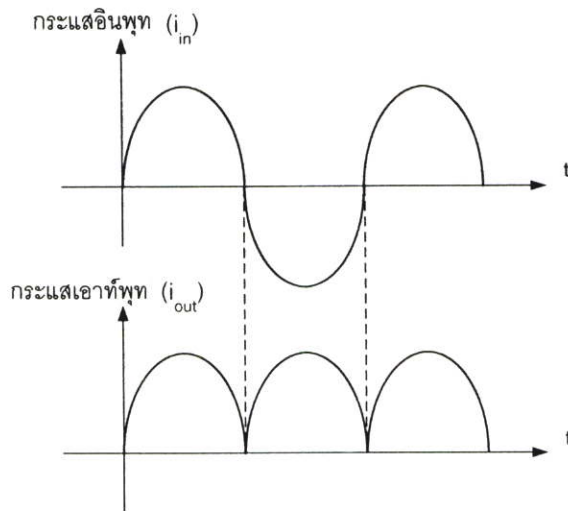
# วงจรเรียงกระแสแบบเต็มคลื่น

### 3.1 กล่าวนำ

วงจรเรียงกระแสแบบเต็มคลื่น (Full-wave rectifiers) เป็นวงจรพื้นฐาน (Building blocks) ที่ใช้ในงานด้านประมวลผลสัญญาณและการวัดสัญญาณและ/หรือตรวจจับสัญญาณ โดยทั่วไปแล้ววงจรเรียงกระแสแบบเต็มคลื่นในโหมดกระแสสามารถถูกสร้างได้โดยการส่งผ่านสัญญาณกระแสอินพุตซึ่งหนึ่งไปสู่เอาต์พุตของวงจรและในขณะเดียวกันก็กลับสัญญาณอินพุตอีกซึ่งหนึ่งจากนั้นจึงส่งผ่านสัญญาณ (ที่กลับเฟสแล้ว) นั้นสู่เอาต์พุต คุณสมบัติการถ่ายโอนทางไฟตรงของวงจรเรียงกระแสในอุดมคติและการตอบสนองต่อสัญญาณกระแสอินพุตรูปชายน์แสดงดังรูปที่ 3.1 (ก) และ 3.1 (ข) ตามลำดับ



(ก)



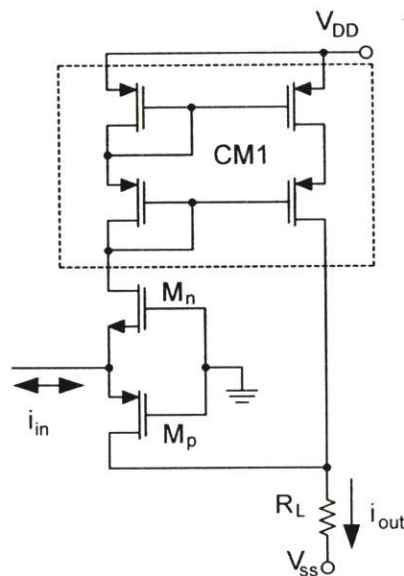
(ข)

รูปที่ 3.1 (ก) คุณสมบัติการถ่ายโอนทางไฟตรงของวงจรเรียงกระแสในอุดมคติ

(ข) ผลตอบสนองต่อสัญญาณกระแสอินพุตที่เป็นรูปคลื่นชายน์

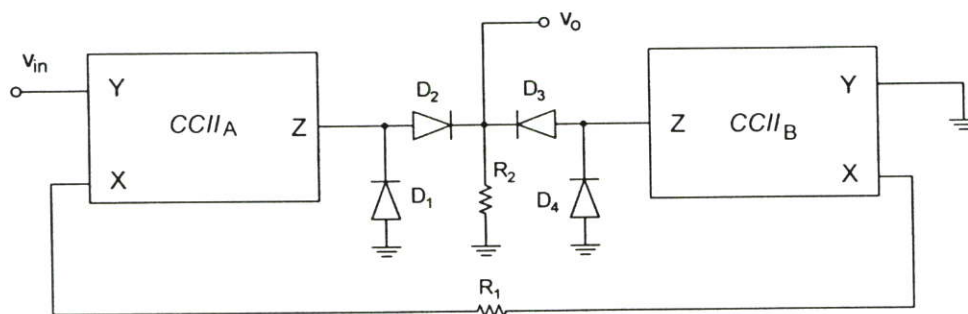
### 3.2 วงจรเรียงกระแสแบบเต็มคลื่นแบบเต็ม

วิธีสร้างวงจรเรียงกระแสแบบเต็มคลื่นนั้นมีหลายวิธี [13-19] วงจรเรียงกระแสแบบเต็มคลื่นในยุคแรกถูกสร้างจากออปแอมป์ต่อร่วมกับไดโอดและตัวต้านทาน อย่างไรก็ตามวงจรที่ได้มีข้อจำกัดหลายอย่าง เช่น มีความผิดเพี้ยนของสัญญาณในช่วงตัดผ่านศูนย์และวงจรทำงานได้ที่มีความถี่ไม่สูงมากนัก ต่อมาได้มีการพัฒนางจรเรียงกระแสเพื่อลดข้อจำกัดดังกล่าว เช่น การใช้ออปแอมป์ต่อร่วมกับวงจรสะท้อนกระแส [13] ทำให้วงจรที่ได้ทำงานได้ที่มีความถี่สูงขึ้น จะเห็นได้ว่าวงจรที่กล่าวมาข้างต้นใช้ออปแอมป์เป็นหลักทำให้วงจรมีขนาดค่อนข้างใหญ่และความถี่ที่ใช้งานของวงจรถูกจำกัดโดยความถี่ของออปแอมป์ ยุคต่อมาได้มีการสร้างวงจรเรียงกระแสแบบเต็มคลื่นโดยใช้เอ็นมอสและพีมอสทรานซิสเตอร์เพียงสองตัว [14] ดังรูปที่ 3.2 วงจรมีการสลับกันทำงานเมื่อสัญญาณกระแสอินพุตเป็นบวกและลบตามลำดับ เมื่ออินพุตเป็นบวก (กระแสอินพุตไหลเข้า) มอสทรานซิสเตอร์  $M_p$  จะทำงานเป็นคอมมอนเกตส่งผ่านสัญญาณอินพุตไปที่โหลด เมื่ออินพุตเป็นลบ (กระแสอินพุตไหลออก) มอสทรานซิสเตอร์  $M_n$  จะทำงานเป็นคอมมอนเกตเช่นเดียวกันโดยส่งผ่านสัญญาณอินพุตไปที่วงจรสะท้อนกระแส  $CM_1$  และสะท้อนกระแสไปทางโหลดเอาท์พุททำให้ขนาดของกระแสเอาท์พุทมีค่าเท่ากับขนาดของกระแสอินพุตทุกคาบเวลา วงจรในรูปที่ 3.2 นี้มีขนาดเล็กและมีความผิดเพี้ยนของสัญญาณช่วงตัดผ่านศูนย์ต่ำ แต่วงจรมีความต้านทานขาเข้าสูง นอกจากนี้วงจรใช้พีมอสทรานซิสเตอร์ทำให้การตอบสนองทางความถี่ของวงจรไม่ดีเท่าที่ควร



รูปที่ 3.2 วงจรเรียงกระแสแบบเต็มคลื่นที่เสนอโดย [14]

ต่อมาได้มีการพัฒนาวงจรรีจกกระแสโดยใช้วงจรสายพานกระแส (Current conveyor) สองชุดต่อร่วมกับไดโอดและแหล่งจ่ายไฟตรง [15-18] ดังแสดงในรูปที่ 3.3 วงจรนี้สามารถทำงานได้ที่ความถี่ค่อนข้างสูงแต่การใช้วงจรสายพานกระแสสองชุดทำให้วงจรมีขนาดค่อนข้างใหญ่ไม่เหมาะกับการนำไปสร้างเป็นวงจรรวม

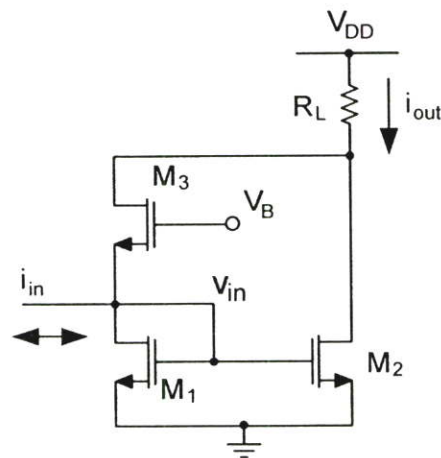


รูปที่ 3.3 วงจรรีจกกระแสแบบเต็มคลื่นที่ใช้วงจรสายพานกระแสต่อร่วมกับไดโอด

จากรูปที่ 3.3 วงจรสายพานกระแสทั้งสองทำหน้าที่แปลงแรงดันให้เป็นกระแส แรงดันที่ขา X มีค่าเท่ากับแรงดันที่ขา Y และมีความต้านทานต่ำ ขา Y เป็นแรงดันจุดเข้าที่มีค่าความต้านทานขาเข้าสูงและขา Z เป็นจุดออกของวงจรสายพานกระแสที่อยู่ในรูปของกระแส หลักการทำงานของวงจรถูกเป็นดังนี้ เมื่อป้อนแรงดันอินพุตที่มีค่ามากกว่าศูนย์ ( $v_m > 0$ ) เข้าที่ขา Y ของวงจรสายพานกระแส CCII<sub>A</sub> จะทำให้เกิดกระแสไหลออกจากขา Z ของ CCII<sub>A</sub> เท่ากับ  $v_m / R_1$  ผ่านไดโอด D<sub>2</sub> และตัวต้านทาน R<sub>2</sub> ในขณะเดียวกันกระแสที่ไหลจากขา X ของ CCII<sub>A</sub> ผ่าน R<sub>1</sub> ก็จะมีกระแสไหลเข้ายังขา X ของ CCII<sub>B</sub> ซึ่งมีระดับแรงดันเท่ากับกราวด์เนื่องจากขา Y ของ CCII<sub>B</sub> ต่อกกราวด์ ทำให้มีกระแสไหลเข้าขา Z ของ CCII<sub>B</sub> ผ่านไดโอด D<sub>4</sub> ถ้ากำหนดให้  $R_1 = R_2$  จะทำให้แรงดันเอาต์พุตเท่ากับแรงดันอินพุต ( $v_o = v_m$ ) ในทำนองเดียวกันเมื่อแรงดันจุดเข้าที่ CCII<sub>A</sub> มีค่าน้อยกว่าศูนย์ ( $v_m < 0$ ) ไดโอด D<sub>3</sub> และ D<sub>1</sub> จะทำงานทำให้กระแสจุดออกของวงจรสายพานกระแส CCII<sub>B</sub> ไหลผ่านไปยังตัวต้านทาน R<sub>2</sub> ทำให้ได้แรงดันเอาต์พุตเท่ากับแรงดันอินพุตซึ่งเขียนเป็นสมการได้ดังนี้

$$v_o = \begin{cases} v_m & \text{เมื่อ } v_m > 0 \\ -v_m & \text{เมื่อ } v_m < 0 \end{cases} \quad (3.1)$$

จากการค้นคว้าและติดตามงานวิจัยทางด้านนี้พบว่าวงจรเรียงกระแสแบบเต็มคลื่นที่มีประสิทธิภาพสูงประกอบด้วยมอสทรานซิสเตอร์เพียง 3 ตัว [19] ดังรูปที่ 3.4 โดยทรานซิสเตอร์ทั้งหมดถูกไบอัสที่จุดเริ่มของสภาวะอิมิตว วงจรทำงานได้ที่ความถี่สูงและมีกำลังงานสูญเสียต่ำ ความผิดเพี้ยนของสัญญาณที่จุดตัดผ่านศูนย์ (Zero crossing) มีค่าต่ำ อย่างไรก็ตามการไบอัสที่กระแสต่ำ (Edge of conduction) ทำให้ค่าความต้านทานขาเข้าสูง นอกจากนี้สัญญาณเอาต์พุตที่ได้ในแต่ละคาบมีขนาดไม่เท่ากันอันเป็นผลจากความไม่สมพงค์กันของแรงดันเกต-ซอร์สของมอสทรานซิสเตอร์  $M_1$  และ  $M_2$  ในวงจรสะท้อนกระแสส่งผลให้วงจรงดงกล่าวไม่เหมาะสมกับการนำไปใช้งานที่ต้องการความแม่นยำสูง

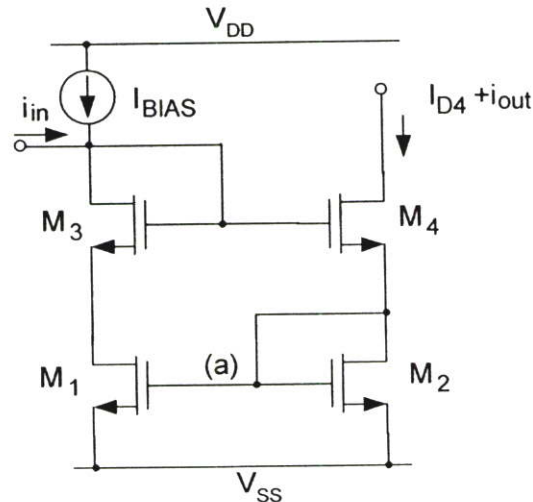


รูปที่ 3.4 วงจรเรียงกระแสที่เสนอโดย [19]

การทำงานของวงจรในรูปที่ 3.4 สามารถอธิบายได้ดังนี้ มอสทรานซิสเตอร์ทุกตัวถูกไบอัสที่จุดเริ่มต้นของสภาวะอิมิตว (Edge of conduction) โดยการไบอัสให้แรงดันเกต-ซอร์สของทรานซิสเตอร์มีขนาดมากกว่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์เล็กน้อย การทำงานเป็นวงจรเรียงกระแสแบบเต็มคลื่นอาศัยการสลับกันทำงานระหว่างวงจรสะท้อนกระแส ( $M_1$  และ  $M_2$ ) และคอมมอนเกต ( $M_3$ ) โดยเมื่อกระแสอินพุตไหลเข้าสู่วงจรที่โนด  $v_{in}$  ทรานซิสเตอร์  $M_1$  จะทำงานและสะท้อนกระแสไปยังทรานซิสเตอร์  $M_2$  เนื่องจากมอสทรานซิสเตอร์ทั้งสองตัว ( $M_1$  และ  $M_2$ ) มีขนาด (W/L) และแรงดันเกต-ซอร์สเท่ากัน จึงทำให้กระแสเอาต์พุต ( $i_{out}$ ) ไหลเท่ากับกระแสอินพุต ( $i_{in}$ ) และเมื่อกระแสอินพุตไหลออกจากวงจรที่โนด  $v_{in}$  จะทำให้เกิดกระแสเอาต์พุตไหลผ่านมอสทรานซิสเตอร์  $M_3$  ซึ่งทำงานในลักษณะของคอมมอนเกตทำให้กระแสเอาต์พุตเท่ากับกระแสอินพุต ดังนั้นวงจรในรูปที่ 3.4 จึงทำงานเป็นวงจรเรียงกระแสแบบเต็มคลื่นได้ อย่างไรก็ตาม

แรงดันเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_2$  ไม่เท่ากับแรงดันเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_1$  ดังสมการ (3.2) ทำให้กระแสเอาต์พุตไม่เท่ากับกระแสอินพุต นอกจากนี้การไบอัสที่จุดเริ่มของสภาวะอิมิตัว (กระแสไบอัสต่ำ) ทำให้วงจรมีความต้านทานขาเข้าสูง

$$V_{DS2} = V_{GS1} + V_{DS3} \quad (3.2)$$



รูปที่ 3.5 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว

เราสามารถทำให้ความต้านทานขาเข้ามีค่าต่ำ (แม้ว่าจะใช้กระแสไบอัสต่ำก็ตาม) ได้โดยใช้การป้อนกลับแบบลบ วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวในรูปที่ 3.5 มีคุณสมบัติการป้อนกลับแบบลบส่งผลให้มีความต้านทานขาเข้าต่ำ โดยการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กจะได้ความต้านทานที่โนด a ของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวในรูปที่ 3.5 เท่ากับ (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ก)

$$R_{(a)} = \frac{\frac{1}{g_{m3}} + (r_{oBIAS} + r_{o1})}{g_{m1}g_{m4}r_{oBIAS}r_{o1} + (r_{oBIAS} + r_{o1})\left(g_{m2} + g_{m4} + \frac{1}{r_{o4}}\right) + \frac{g_{m2} + g_{m4}}{g_{m3}} + \frac{1}{g_{m3}r_{o4}}} \quad (3.3)$$

เนื่องจาก  $1/g_{m3}$  มีค่าน้อยดังนั้นสมการ (3.3) มีค่าประมาณ

$$R_{(a)} \cong \frac{1}{g_{m2} + g_{m4} + g_{m1}g_{m4}(r_{oBIAS} // r_{o1})} \quad (3.4)$$

ถ้ามอสทรานซิสเตอร์ทุกตัวมีขนาดเท่ากันและกระแสไบอัสเท่ากัน อีกทั้งความต้านทานเดรน-ซอร์สของมอสทรานซิสเตอร์ที่ใช้สร้างแหล่งจ่ายกระแสมีค่าสูงมาก ความต้านทานที่โนด a จะมีค่าเท่ากับ

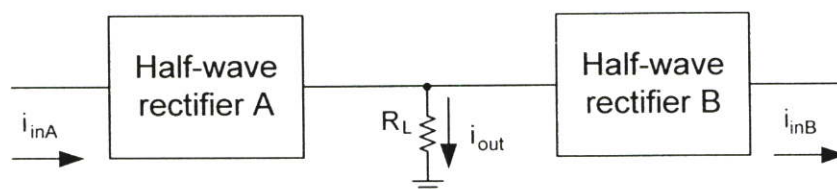
$$R_{(a)} \cong \frac{1}{g_m^2 r_o + 2g_m} \quad (3.5)$$

หากเราป้อนสัญญาณกระแสอินพุตเข้าที่โนด a และนำวงจรนี้มาสร้างวงจรเรียงกระแสแบบครึ่งคลื่นจะทำให้ได้วงจรเรียงกระแสแบบเต็มคลื่นที่ทำงานในโหมดกระแสที่มีความต้านทานขาเข้าต่ำ จากรูปที่ 3.5 เมื่อนำวงจรนี้ไปสร้างวงจรเรียงกระแสที่นั่นเราสามารถบังคับให้กระแสเอาต์พุตไหลทางเดียวได้โดยออกแบบให้กระแสไบอัสมีค่าต่ำ (โดยให้แรงดัน  $V_{DSsat}$  ของมอสทรานซิสเตอร์ทุกตัวมีค่าประมาณแรงดันขีดเริ่มของมอสทรานซิสเตอร์) สังเกตว่ากระแสไบอัสที่ต่ำทำให้วงจรมีกำลังงานสูญเสียต่ำ นอกจากนี้วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวยังประกอบด้วยมอสทรานซิสเตอร์ชนิดเอ็นเท่านั้นทำให้วงจรสามารถทำงานได้ที่ความถี่สูง

### 3.3 วงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอ

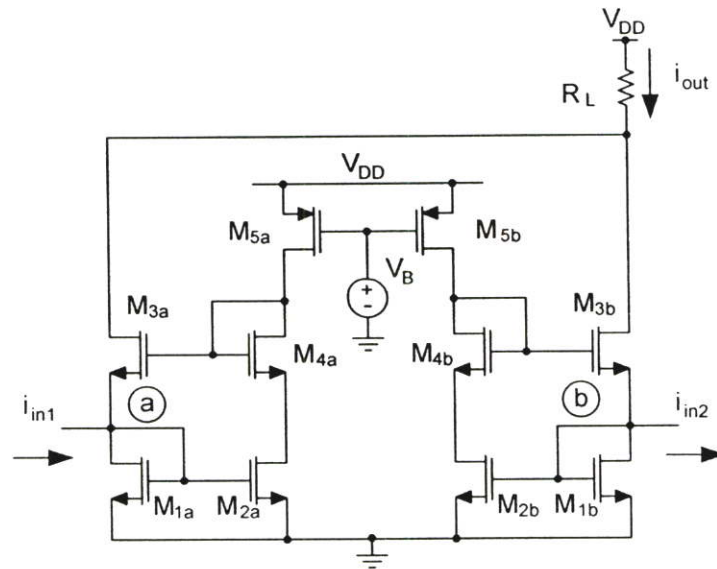
#### 3.3.1 หลักการทำงานของวงจร

วงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอนี้อาศัยสัญญาณอินพุตที่มีขนาดเท่ากันแต่กลับเฟสกัน (Differential input) วงจรประกอบด้วยวงจรเรียงกระแสแบบครึ่งคลื่นสองชุดที่มีโครงสร้างเหมือนกันทุกประการ (Symmetry) ดังแสดงบล็อกไดอะแกรมในรูปที่ 3.6 วงจรเรียงกระแสแบบครึ่งคลื่นสองชุดนี้สลับกันทำงานโดยให้กระแสเอาต์พุตไหลในทิศทางเดียวกันตลอด เราก็จะได้วงจรเรียงกระแสแบบเต็มคลื่นที่มีขนาดสัญญาณเอาต์พุตเท่ากันตลอดทุกคาบเวลา



รูปที่ 3.6 บล็อกไดอะแกรมของวงจรเรียงกระแสแบบเต็มคลื่นที่ออกแบบ

วิทยานิพนธ์ฉบับนี้ได้ออกแบบวงจรเรียงกระแสแบบเต็มคลื่นทำงานในโหมดกระแสที่มีความต้านทานขาเข้าต่ำและสามารถทำงานได้ที่ความถี่ปฏิบัติงานสูงภายใต้แรงดัน 3 โวลต์ มอสทรานซิสเตอร์ถูกไบอัสที่จุดเริ่มต้นของสภาวะอิ่มตัว (Edge of conduction) โดยให้แรงดันเกต-ซอร์สของทรานซิสเตอร์มีค่าประมาณเท่ากับแรงดันขีดเริ่มของมอสทรานซิสเตอร์ ( $V_{GS} \cong V_T$ ) การทำงานของวงจรอาศัยหลักการสร้างสัญญาณเรียงกระแสแบบครึ่งคลื่นสองชุดที่มีเฟสต่างกัน 180 องศา จากนั้นนำสัญญาณทั้งสองชุดมารวมกันให้ได้เป็นสัญญาณกระแสแบบเต็มคลื่น



รูปที่ 3.7 วงจรเรียงกระแสแบบเต็มคลื่นที่ได้ออกแบบ

วงจรเรียงกระแสแบบครึ่งคลื่นชุดแรกประกอบด้วย  $M_{1a}$ - $M_{5a}$  ในขณะที่วงจรเรียงกระแสแบบครึ่งคลื่นที่สองประกอบด้วย  $M_{1b}$ - $M_{5b}$  กระแสอินพุต  $i_{in1}$  และ  $i_{in2}$  มีขนาดเท่ากันแต่เฟสต่างกัน 180 องศา เมื่อกระแส  $i_{in1}$  และ  $i_{in2}$  ไหลเข้าสู่โหนด a และออกจากโหนด b ตามลำดับ มอสทรานซิสเตอร์  $M_{3a}$  จะหยุดการทำงาน ในขณะที่ทรานซิสเตอร์  $M_{3b}$  ทำงานในลักษณะของคอมมอนเกตโดยทำหน้าที่ส่งผ่านกระแสไปยังโหลด  $R_L$  (ดูทิศทางกระแสประกอบจากรูปที่ 3.7) ถ้า  $i_{in1}$  และ  $i_{in2}$  ไหลออกจากโหนด a และเข้าสู่โหนด b ตามลำดับ จะทำให้  $M_{3b}$  หยุดทำงานในขณะที่  $M_{3a}$  ทำงานในลักษณะของคอมมอนเกตและส่งผ่านกระแสไปยังโหลด  $R_L$  ในลักษณะเดียวกัน ด้วยเหตุผลดังกล่าววงจรจึงทำงานเป็นวงจรเรียงกระแสแบบเต็มคลื่น โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก ความต้านทานขาเข้า ( $R_m$ ) มีค่าเท่ากับ

$$R_m \cong \frac{1}{g_{m1a,b} + g_{m3a,b} + g_{m2a,b} \cdot g_{m3a,b} (r_{o2a,b} // r_{o5a,b})} \quad (3.6)$$

### 3.3.2 ผลการจำลองการทำงานของวงจรมอดูลด้วยโปรแกรม Hspice

เพื่อเป็นการยืนยันว่าวงจรมอดูลสามารถทำงานได้จริง วงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอ ถูกจำลองการทำงานด้วยโปรแกรม Hspice โดยใช้โมเดลพารามิเตอร์ของ Alcatel (level 49) เทคโนโลยี  $0.5 \mu\text{m}$  ขนาดมอดูลทรานซิสเตอร์ตามตารางที่ 3.1

ตารางที่ 3.1 ขนาดของมอดูลทรานซิสเตอร์แต่ละตัวในวงจรเรียงกระแสแบบเต็มคลื่น

มอดูลทรานซิสเตอร์	ขนาด W/L ( $\mu\text{m}$ )
$M_{1a,b} - M_{4a,b}$	0.5/0.5
$M_{5a,b}$	7/2

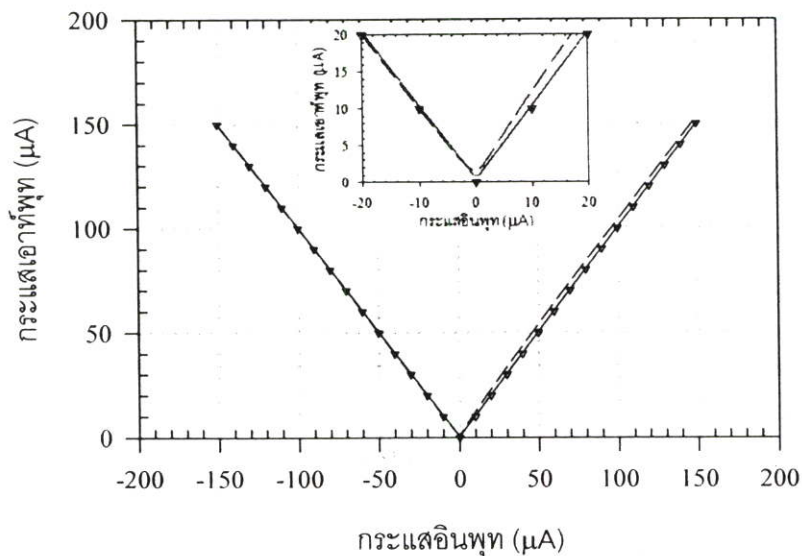
จากตารางที่ 3.1 สังเกตได้ว่าใช้ค่าความยาวของแชนแนล (L) ของมอดูลทรานซิสเตอร์  $M_{5a,b}$  เท่ากับ 2 ไมครอนซึ่งมีค่าค่อนข้างมากเนื่องจากความต้านทานขาเข้าในสมการ (3.6) แสดงให้เห็นว่าค่าความต้านทานขาเข้าของวงจรมอดูลจะมีค่าต่ำก็ต่อเมื่อค่าความต้านทานเดรน-ซอร์สของมอดูลทรานซิสเตอร์ที่ใช้สร้างแหล่งจ่ายกระแสมีค่าสูง มอดูลทรานซิสเตอร์  $M_{1a,b} - M_{4a,b}$  ใช้ขนาด (W/L) ที่เล็กเนื่องจากต้องการให้ค่าเก็บประจุแผ่นที่ขาเกต-ซอร์สและเกต-เดรนของมอดูลทรานซิสเตอร์มีค่าต่ำเพื่อให้วงจรมอดูลทำงานได้ที่ความถี่สูง

รูปที่ 3.8 แสดงคุณสมบัติการถ่ายโอนทางไฟตรง จากรูปจะเห็นได้ว่าวงจรมอดูลในช่วงการปฏิบัติงานของกระแสอินพุตถึง  $\pm 150 \mu\text{A}$  (ความผิดพลาดระหว่างกระแสอินพุตและเอาต์พุตเพียง 0.21 %) นอกจากนี้วงจรมอดูลยังมีคุณสมบัติการถ่ายโอนทางไฟตรงเป็นเชิงเส้น กระแสเอาต์พุตต่ำสุดที่จุดกระแสอินพุตเป็นศูนย์มีค่าเท่ากับกระแสไบอัสของวงจรมอดูลซึ่งในวงจรมอดูลนี้มีค่าเท่ากับ  $1 \mu\text{A}$  อย่างไรก็ตามกระแสไบอัสนี้สามารถลดลงได้อีกในกรณีที่ต้องการนำวงจรมอดูลไปใช้ในงานที่ต้องการความแม่นยำสูง

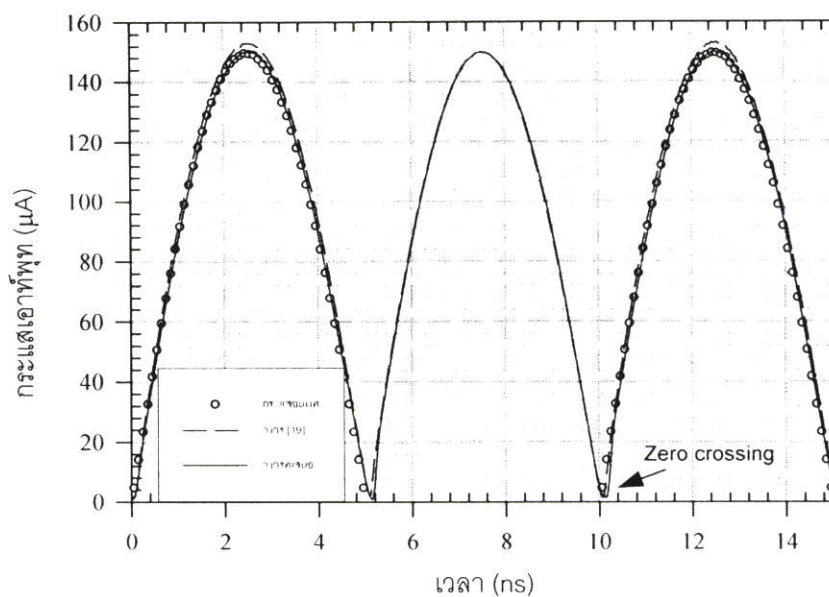
รูปที่ 3.9 แสดงการทำงานของวงจรมอดูลเมื่อป้อนสัญญาณอินพุตความถี่เท่ากับ 100 MHz วงจรเรียงกระแสแบบเต็มคลื่นสามารถทำงานได้ที่ความถี่สูงถึง 100 MHz โดยที่จุดสัญญาณตัดผ่านศูนย์ (Zero crossing) มีความแหลมคม

รูปที่ 3.10 แสดงความต้านทานขาเข้าของวงจรมอดูลที่กระแสอินพุตต่างๆ กัน ( $0 \mu\text{A}$  ถึง  $\pm 150 \mu\text{A}$ ) วงจรมอดูลสามารถทำงานได้ดีโดยมีค่าความต้านทานขาเข้าในช่วงปฏิบัติงานของกระแสอินพุตต่ำกว่า  $236 \Omega$  สังเกตว่าขณะกระแสอินพุตเป็นศูนย์ค่าความต้านทานขาเข้าของวงจรมอดูลที่เสนอจะมีค่า  $1.75 \text{ k}\Omega$  เนื่องจากไบอัสที่จุดเริ่มของย่านอิมิตัว แต่เมื่อป้อนกระแสอินพุตเข้าสู่วงจรมอดูลจะทำให้กระแสที่ไหลในวงจรมอดูลมากขึ้นส่งผลให้ความต้านทานขาเข้าลดลงเช่นเดียวกับวงจรมอดูลที่เสนอโดย [19] แต่วงจรมอดูลที่นำเสนอยังคงมีค่าความต้านทานขาเข้าต่ำกว่ามาก นอกจากนี้วงจรมอดูลใช้เพียงแหล่งจ่ายไฟ

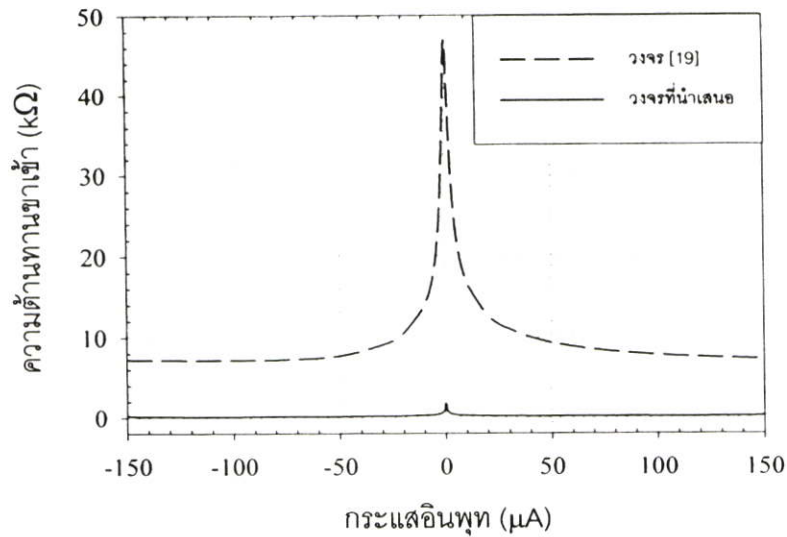
บวก 3 โวลต์ โดยมีกำลังงานสูญเสียเพียง  $5.8 \mu\text{W}$  โครงสร้างวงจรถ่ายโอนสัญญาณน้อยทำให้เหมาะสมสำหรับการนำไปสร้างเป็นวงจรรวม



รูปที่ 3.8 คุณสมบัติการถ่ายโอนทางไฟตรง (DC transfer characteristic) (— : วงจรที่เสนอ; --- : วงจร [19];  $\nabla$  : อุดมคติ)

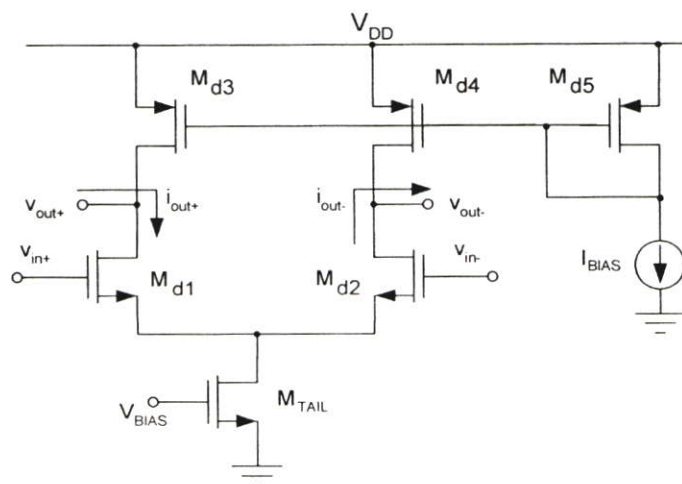


รูปที่ 3.9 สัญญาณกระแสเอาต์พุตที่ได้จากวงจรถ่ายโอนสัญญาณแบบเต็มคลื่นเมื่อป้อนสัญญาณอินพุตความถี่ 100 MHz ( $\circ$ : กระแสอินพุต; --- : วงจร [19]; — : วงจรที่เสนอ)



รูปที่ 3.10 ความต้านทานขาเข้าของวงจรที่ออกแบบเมื่อป้อนกระแสอินพุทต่างๆ กัน

เพื่อยืนยันว่าวงจรเรียงกระแสแบบเต็มคลื่นที่ออกแบบยังคงทำงานได้แม้ว่าจะป้อนสัญญาณกระแสอินพุทจากแหล่งจ่ายสัญญาณที่มีความต้านทานขาออกจำกัด วิทยานิพนธ์นี้จึงป้อนสัญญาณกระแสอินพุทของวงจรเรียงกระแสแบบเต็มคลื่นผ่านทางเอาต์พุทของวงจรขยายความแตกต่างในรูปที่ 3.11 ขนาดของมอสทรานซิสเตอร์ตามตารางที่ 3.2 และขนาดของแหล่งจ่ายกระแสและแหล่งจ่ายแรงดันไบอัสตามตารางที่ 3.3 เมื่อป้อนสัญญาณอินพุทขนาด  $\pm 200$  mV ขณะช็อตโหลดจะได้ค่ากระแสเอาต์พุทเท่ากับ  $\pm 150$   $\mu A$  ผลการจำลองการทำงานเมื่อต่อวงจรขยายความแตกต่างเข้ากับภาคอินพุทของวงจรเรียงกระแสแบบเต็มคลื่นพบว่ากระแสเอาต์พุทของวงจรเรียงกระแสมีค่าเท่ากับ  $149.2$   $\mu A$  ดังนั้นคุณสมบัติการถ่ายโอนทางไฟตรงมีความผิดพลาดเพิ่มขึ้นจาก 0.21 % เป็น 0.54 % ดังแสดงในรูปที่ 3.12



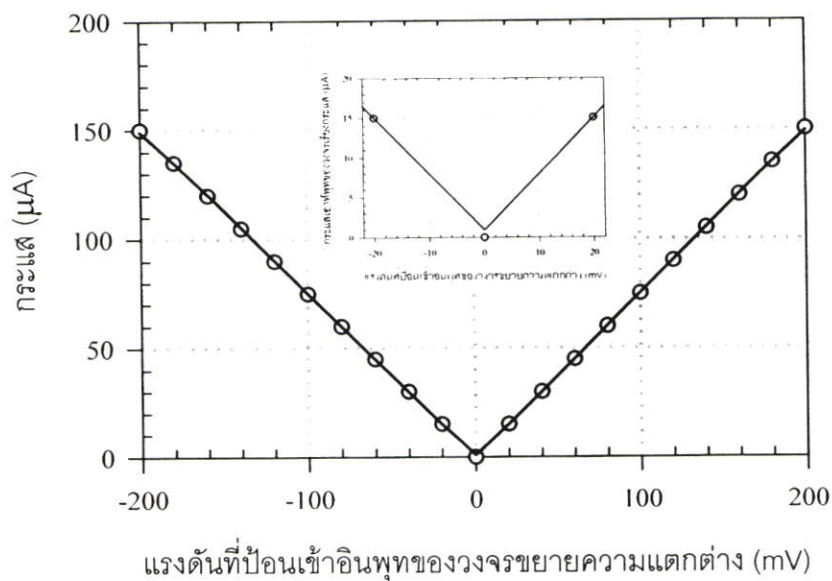
รูปที่ 3.11 วงจรขยายความแตกต่างที่ใช้ป้อนสัญญาณอินพุทให้วงจรเรียงกระแสแบบเต็มคลื่น

ตารางที่ 3.2 ขนาดของมอสทรานซิสเตอร์ในรูปที่ 3.11

มอสทรานซิสเตอร์	ขนาด W/L ( $\mu\text{m}$ )
$M_{d1-2}$	45/1.5
$M_{d3-5}$	130/2
$M_{TAIL}$	160/2

ตารางที่ 3.3 ขนาดของแหล่งจ่ายกระแสและแรงดันไบอัสที่ใช้ในรูปที่ 3.11

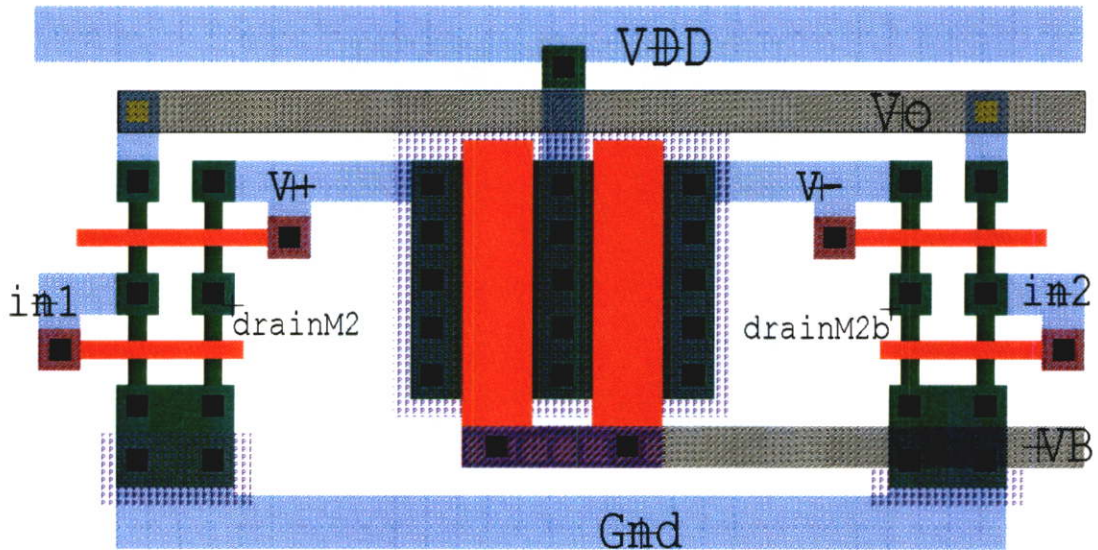
ชนิดของแหล่งจ่าย	อุปกรณ์	ขนาด
แหล่งจ่ายกระแส	$I_{BIAS}$	$155 \mu\text{A}$
แหล่งจ่ายแรงดัน	$V_{BIAS}$	0.9 V



รูปที่ 3.12 คุณสมบัติการถ่ายโอนทางไฟตรงเมื่อป้อนสัญญาณอินพุทของวงจรเรียงกระแสผ่านทางวงจรขยายความแตกต่าง (— : เอาท์พุทของวงจรเรียงกระแส; ○○ : เอาท์พุทของวงจรขยายความแตกต่างขณะชัตโวลต์โหลดของวงจรขยายความแตกต่าง)

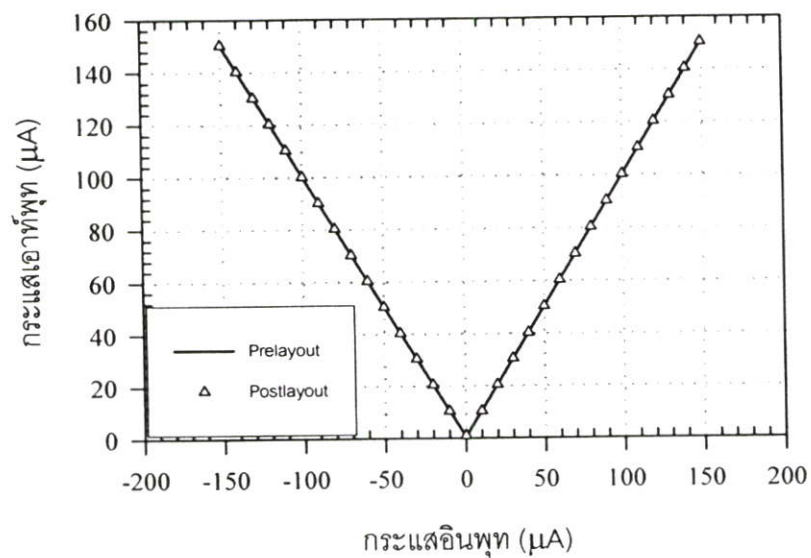
### 3.4 เลย์เอาท์ (Layout) ของวงจรเรียงกระแสแบบเต็มคลื่น

ในหัวข้อนี้เป็นการนำวงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอมาออกแบบเลย์เอาท์ (Layout) โดยใช้เทคโนโลยีซีมอส 0.5 ไมครอน ของ Alcatel ขนาดของมอสทรานซิสเตอร์ตามตารางที่ 3.1 ขนาดของวงจรมีค่าเท่ากับ  $527 \mu\text{m}^2$

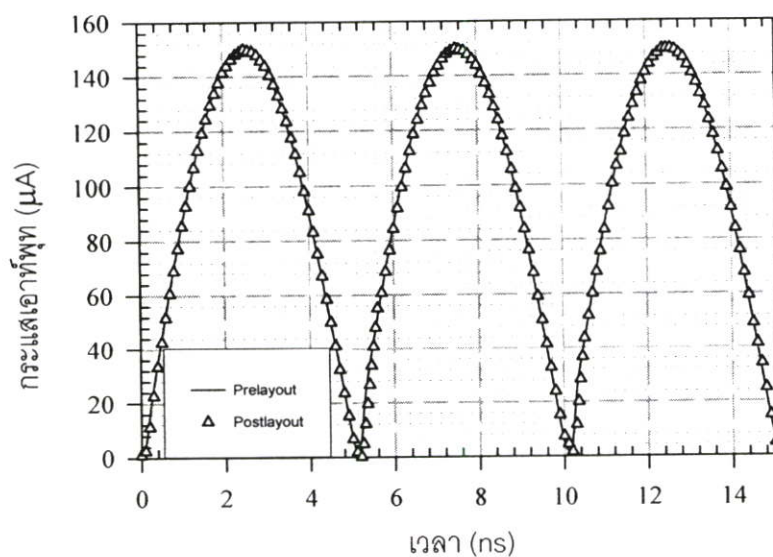


รูปที่ 3.13 เลย์เอาท์ (Layout) ของวงจรเรียงกระแสแบบเต็มคลื่น

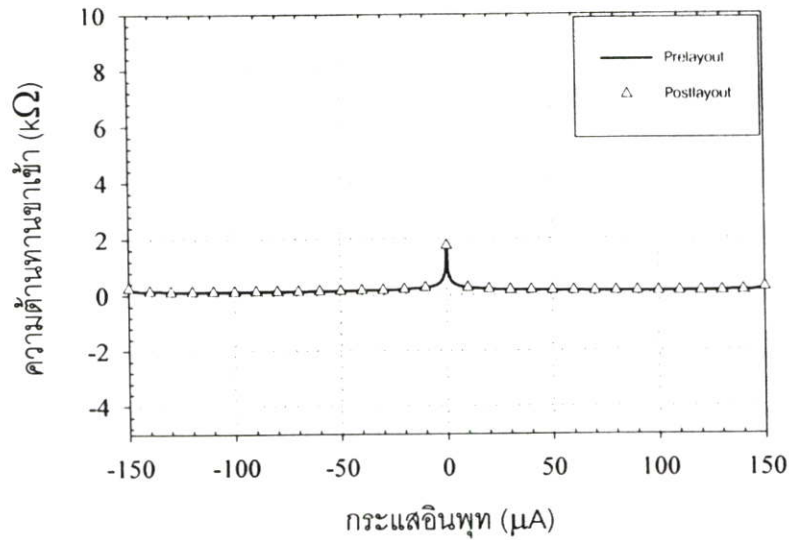
รูปที่ 3.13 เป็นรูปเลย์เอาท์ของวงจรเรียงกระแสแบบเต็มคลื่น พื้นที่ส่วนใหญ่ที่เสียไปในการเลย์เอาท์คือที่มอสทรานซิสเตอร์ที่ใช้สร้างแหล่งจ่ายกระแสให้วงจร แต่โดยรวมแล้ววงจรนี้ยังคงมีขนาดเล็กและไม่ซับซ้อนทำให้การออกแบบเลย์เอาท์ของวงจรนี้ไม่ยุ่งยากและให้ผลการจำลองการทำงานหลังการเลย์เอาท์ด้วย Hspice ที่ใกล้เคียงกับก่อนการเลย์เอาท์มาก ดังจะเห็นได้จากรูปที่ 3.14 ถึงรูปที่ 3.16 จากรูปที่ 3.14 ถึงรูปที่ 3.16 สัญลักษณ์เส้นทึบแสดงผลที่ได้จากวงจรก่อนการเลย์เอาท์ (Prelayout) และสัญลักษณ์สามเหลี่ยม ( $\Delta$ ) แสดงผลที่ได้จากการจำลองการทำงานของวงจรหลังการเลย์เอาท์ (Postlayout) ลักษณะของกราฟทั้งสามรูปนี้เป็นเช่นเดียวกับในหัวข้อ 3.3.2



รูปที่ 3.14 คุณสมบัติการถ่ายโอนทางไฟตรง (DC transfer characteristic)



รูปที่ 3.15 สัญญาณกระแสเอาต์พุตที่ได้จากวงจรเรียงกระแสแบบเต็มคลื่นเมื่อป้อนสัญญาณอินพุตความถี่ 100 MHz



รูปที่ 3.16 ความต้านทานขาเข้าของวงจรที่ออกแบบเมื่อป้อนกระแสอินพุตต่างๆ กัน

### 3.5 สรุป

วงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอนี้ถูกออกแบบขึ้นโดยอาศัยวงจรเรียงกระแสแบบครึ่งคลื่นสองชุดต่อเข้าด้วยกันทำให้ได้สัญญาณกระแสเอาต์พุตที่มีขนาดเท่ากันทุกคาบเวลา วงจรที่ได้มีความเหมาะสมกับงานที่ต้องการความแม่นยำสูง อีกทั้งสามารถทำงานได้ที่ความถี่สูงถึง 100 MHz ช่วงการปฏิบัติงานของกระแสอินพุตมีค่าเท่ากับ  $\pm 150 \mu\text{A}$  โดยความผิดพลาดระหว่างกระแสอินพุตและเอาต์พุตมีค่าเท่ากับ 0.21 % วงจรสามารถทำงานได้ดีโดยมีค่าความต้านทานขาเข้าในช่วงปฏิบัติงานต่ำกว่า 236 โอห์ม วงจรมีคุณสมบัติการถ่ายโอนทางไฟตรงเป็นเชิงเส้น และจุดสัญญาณตัดผ่านศูนย์มีความแหลมคม นอกจากนี้วงจรใช้เพียงแหล่งจ่ายไฟบวก 3 โวลต์ โดยมีกำลังงานสูญเสียเพียง  $5.8 \mu\text{W}$  วงจรใช้อุปกรณ์น้อยทำให้เหมาะสมสำหรับการนำไปสร้างเป็นวงจรรวมและขนาดวงจรที่ได้จากการเลย์เอาต์เท่ากับ  $527 \mu\text{m}^2$

## บทที่ 4

# วงจรเปรียบเทียบกระแส

### 4.1 กล่าวนำ

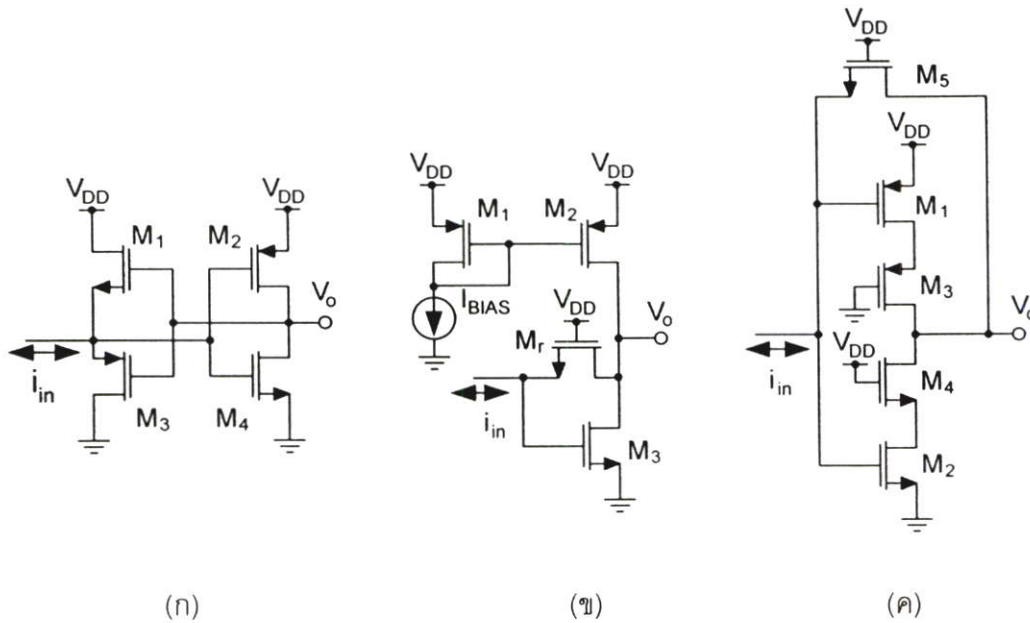
วงจรเปรียบเทียบ (Comparator) เป็นวงจรหนึ่งที่มีการใช้งานอย่างแพร่หลาย วงจรเปรียบเทียบสัญญาณเป็นวงจรที่มีบทบาทสำคัญในการตรวจจับขนาดของสัญญาณอินพุตว่ามีค่ามากหรือน้อยกว่าสัญญาณอ้างอิง วงจรเปรียบเทียบเป็นหัวใจสำคัญของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to digital converter, A/D) รวมทั้งการส่งผ่านข้อมูล (Data transmission) วงจรแหล่งจ่ายไฟแบบสวิตชิง (Switching power regulators) วงจรกำเนิดสัญญาณ (Oscillator) วงจรโครงข่ายนิวรอลขนาดใหญ่มาก (VLSI neural network) และการประยุกต์ใช้กับการประมวลผลสัญญาณ (Signal processing) ในบทนี้ได้กล่าวถึงวงจรเปรียบเทียบที่ทำงานในโหมดกระแสรวมทั้งเปรียบเทียบผลของวงจรที่เสนอกับวงจรเปรียบเทียบกระแสอื่นๆ ด้วย

### 4.2 วงจรเปรียบเทียบกระแสแบบเดิม

จากการติดตามงานวิจัยด้านนี้ผู้เขียนพบที่มีการเสนองจรเปรียบเทียบกระแสประสิทธิภาพสูงหลายวงจร [7, 20-23] วงจรส่วนใหญ่ประสบปัญหาบางประการ เช่นวงจรที่เสนอโดย [7] ไม่สามารถทำงานได้ที่ความถี่สูงเนื่องจากมีความต้านทานขาออกสูง H. Träff ได้เสนองจรเปรียบเทียบกระแส [20] แสดงในรูปที่ 4.1 (ก) โดยใช้วงจรคอมมอนเดรนเป็นอินพุตของวงจรเพื่อให้ความต้านทานขาเข้าต่ำ อย่างไรก็ตามความต้านทานขาเข้าของวงจรมีค่าค่อนข้างสูงมากเมื่อกระแสอินพุตเป็นศูนย์ (ซึ่งเป็นจุดเปลี่ยนของสัญญาณอินพุตไหลเข้าและไหลออก) ซึ่งเรียกว่า Dead band region ดังนั้นความเร็วในการทำงานของวงจรจึงถูกจำกัด ต่อมาได้มีการใช้แหล่งจ่ายกระแสมาไบอัสเพื่อแก้ปัญหา Dead band region นี้ [21] แต่วงจรมียังคงต้องใช้กระบวนการผลิตแบบบ่อคู่ (Twin well process) นอกจากนี้การป้อนกลับแบบลบเพื่อลดความต้านทานขาเข้าและขาออกของวงจรก็เป็นอีกวิธีหนึ่ง [22-23] ตัวอย่างของวงจรดังกล่าวถูกแสดงในรูปที่ 4.1 (ข) และ 4.1 (ค) วงจรทั้งหมดในรูปที่ 4.1 นี้เป็นวงจรส่วนหน้า (Front-end) ของวงจรเปรียบเทียบกระแสซึ่งต้องนำเอาท์พุทของวงจรเหล่านี้ไปต่อกับวงจรขยายแรงดันเพื่อให้สัญญาณเอาท์พุทของวงจรเปรียบเทียบกระแสสวิงได้กว้าง (Rail-to-rail operation)

ข้อเสียของวงจรเปรียบเทียบกระแสของวงจรถูกกล่าวมาก็คือวงจรมีจำเป็นต้องใช้ผลต่างของกระแสอ้างอิง ( $I_{REF}$ ) และกระแสอินพุตจริง ( $i_{in}$ ) เพื่อนำกระแสผลต่างที่ได้ไปป้อนเป็นกระแสอินพุต

ของวงจรจึงเกิดค่าเวลาหน่วงที่เพิ่มขึ้นจากวงจรสร้างผลต่างกระแสด้วย รูปที่ 4.1 เป็นตัวอย่างวงจรที่ไม่มีการลบกัณของกระแสในตัววงจรเปรียบเทียบกระแส



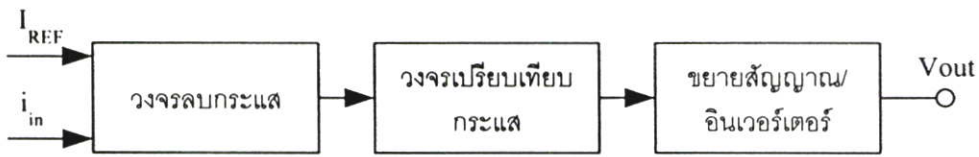
รูปที่ 4.1 วงจรเปรียบเทียบกระแสที่เสนอโดย (ก) H. Träff [20], (ข) B.M. Min, et al. [22] และ (ค) L. Chen, et al. [23]

### 4.3 วงจรเปรียบเทียบกระแสที่นำเสนอน

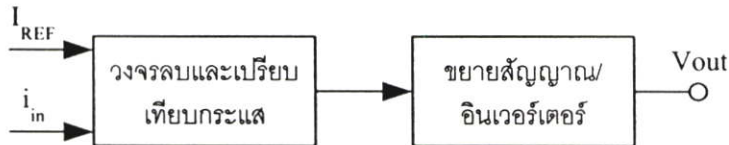
#### 4.3.1 หลักการทำงานของวงจร

โครงสร้างของวงจรที่ได้กล่าวมาทั้งแบบดั้งเดิมและแบบที่เสนอได้แสดงไว้ในรูปที่ 4.2 (ก) และ 4.2 (ข) ตามลำดับ จากรูปสังเกตได้ว่างานวิจัยนี้ได้สร้างวงจรเปรียบเทียบกระแสที่มีการลบกัณของกระแสอ้างอิงและกระแสอินพุทจริงอยู่ในตัววงจรโดยมีพื้นฐานมาจากวงจรสะท้อนกระแสทรานซิสเตอร์ 4 ตัวสองสัญญาณเข้า โดยให้กระแสอ้างอิง  $I_{REF}$  และกระแสอินพุทจริง ( $i_{in}$ ) ที่ใช้ป้อนเข้ามาที่จุด a และ b ของวงจรสะท้อนกระแสในรูปที่ 4.3 ตามลำดับ นอกจากนี้ยังใช้จุดเด่นของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวแบบสองสัญญาณเข้าซึ่งมีความต้านทาน ณ จุดสัญญาณเข้าที่สองต่ำ

ข้อดีของวงจรที่นำเสนอนี้คือลดจำนวนทรานซิสเตอร์และค่าเวลาหน่วงจากวงจรลบกัณกระแสลงได้เนื่องจากวงจรลบกัณกระแสเป็นส่วนหนึ่งของวงจรเปรียบเทียบกระแส นอกจากนี้วงจรลบกัณและวงจรเปรียบเทียบกระแสถูกรวมเข้าไว้ด้วยกันทำให้กำลังงานสูญเสียของวงจรทั้งหมดลดลงด้วย ดังนั้นค่าผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product, PDP) จึงอยู่ในเกณฑ์ที่ดี



(ก)

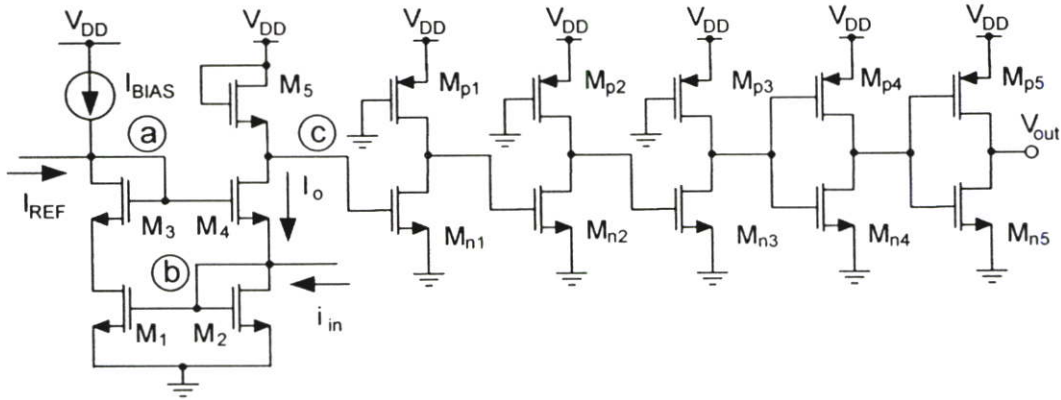


(ข)

รูปที่ 4.2 โครงสร้างของวงจรเปรียบเทียบกระแส (ก) วงจรเปรียบเทียบกระแสทั่วไป (ข) วงจรเปรียบเทียบกระแสที่เสนอ

รูปที่ 4.3 แสดงวงจรเปรียบเทียบกระแสที่ได้ออกแบบ วงจรส่วนหน้า (Front-end) ประกอบด้วยวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวแบบสองสัญญาณเข้า ( $M_1$ - $M_4$ ) และ มอสทรานซิสเตอร์  $M_5$  ต่อเป็นไดโอด (Diode connected) เพื่อทำหน้าที่เป็นโหลดของวงจรสะท้อน กระแสนี้ จากนั้นนำสัญญาณที่ได้ต่อเข้ากับวงจรขยายสัญญาณแบบกลับเฟสสามชุดโดยให้ มอสทรานซิสเตอร์  $M_{p1}$ - $M_{p3}$  ทำงานในย่านเชิงเส้นเพื่อทำหน้าที่เป็นโหลดของ  $M_{n1}$ - $M_{n3}$  ตามลำดับ จากนั้นส่งผ่านสัญญาณที่ได้เข้าวงจรซีมอสอินเวอร์เตอร์อีกสองชุด ( $M_{n4}$ - $M_{n5}$  และ  $M_{p4}$ - $M_{p5}$ ) เพื่อให้แรงดันเอาท์พุทสวิงได้ตั้งแต่ 0 โวลต์ถึง 3 โวลต์ วงจรลบบและเปรียบเทียบกระแสนี้ใช้วงจร สะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวโดยป้อนกระแสที่ต้องการถูกเปรียบเทียบเข้าที่จุด a (กระแสอ้างอิง) และจุด b (กระแสอินพุท) กระแสเดรนของมอสทรานซิสเตอร์  $M_4$  มีค่าเป็นผลต่าง ระหว่างกระแสอ้างอิงกับกระแสอินพุท ( $I_{REF} - i_{in}$ ) การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อ กระแสอ้างอิง ( $I_{REF}$ ) กับกระแสอินพุท ( $i_{in}$ ) มีค่าเท่ากันแล้วจะทำให้ค่าแรงดันที่จุด c ของวงจรมี ค่าประมาณกึ่งกลางของแรงดันแหล่งจ่ายไฟเลี้ยง ถ้ากระแสอินพุท ( $i_{in}$ ) มีค่าน้อยกว่ากระแส อ้างอิงแรงดันที่จุด c จะมีค่าลดลง ซึ่งแรงดันที่ลดลงนี้จะถูกขยายและทำให้แรงดันเอาท์พุท เพิ่มขึ้นจนถึง  $V_{DD}$  ในทางกลับกันถ้ากระแสอินพุทมีค่ามากกว่ากระแสอ้างอิงจะทำให้แรงดันที่จุด c เพิ่มขึ้นทำให้แรงดันเอาท์พุทลดลงจนถึงระดับกราวนด์หรือศูนย์โวลต์ วงจรเปรียบเทียบกระแส

ดังกล่าวมีความต้านทานขาเข้าต่ำเพราะวงจรใช้การป้อนกลับแบบลบ (Shunt input) ภายในรูปของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว ( $M_1$ - $M_4$ )



รูปที่ 4.3 วงจรเปรียบเทียบกระแสที่นำเสนอ

#### 4.3.2 การวิเคราะห์ห้วงจร

สมการความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของวงจรเปรียบเทียบกระแสมีค่าเท่ากับ

$$V_{out} = Z_1 A_2 (I_{REF} - i_m) + \frac{V_{DD}}{2} \quad (4.1)$$

โดยที่  $Z_1$  คืออัตราขยายความต้านทาน (Transimpedance gain) จากจุดอินพุตไปยังจุดเอาต์พุตของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวที่โนด c และ  $A_2$  คืออัตราขยายแรงดันจากโนด c ไปยังเอาต์พุตของวงจรเปรียบเทียบกระแส

โดยการวิเคราะห์สัญญาณขนาดเล็กจะได้อัตราขยายความต้านทาน  $Z_1$  เท่ากับ

$$Z_1 \cong \frac{1/g_{m5}}{1 + s/\omega_p} \quad (4.2)$$

โดยที่

$$\omega_p = \frac{1}{\frac{1}{g_{m5}} (c_{gs5} + c_{gs1} + c_{gd1} [1 + g_{m1} (r_{on1} // R_{op1})])}$$

โดยที่  $R_{op1}$  คือความต้านทานเสมือนเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_{p1}$

ในการทำงานเดียวกัน อัตราขยาย  $A_2$  มีค่าเท่ากับ

$$A_2 \cong \prod_{i=1}^3 \frac{g_{mi}(r_{oi} // R_{Op_i})}{1 + s / \omega_{p_i}} \times \prod_{j=4}^5 \frac{(g_{mj} + g_{mp_j})(r_{oj} // r_{op_j})}{1 + s / \omega_{p_j}} \quad (4.3)$$

โดยที่

$$\omega_{p1,2} = \frac{1}{(r_{om1,2} // R_{Op1,2}) [c_{gsm1,2} + c_{gdm1,2} g_{mm1,2} (r_{om1,2} // R_{Op1,2})]}$$

$$\omega_{p3} = \frac{1}{(r_{om3} // R_{Op3}) [c_{gsm4} + c_{gsp4} + (c_{gdm4} + c_{gdp4})(g_{mm4} + g_{mp4})(r_{om4} // r_{op4})]}$$

$$\omega_{p4} = \frac{1}{(r_{om4} // r_{op4}) [c_{gsm5} + c_{gsp5} + (c_{gdm5} + c_{gdp5})(g_{mm5} + g_{mp5})(r_{om5} // r_{op5})]}$$

$$\omega_{p5} = \frac{1}{(r_{om5} // r_{op5})(c_{gdm5} + c_{gdp5})}$$

ในการออกแบบขนาด  $M_{n1-n3}$  และ  $M_{p1-3}$  จำเป็นต้องทำการพิจารณาทั้งอัตราขยายและความเร็วในการทำงาน แม้ว่าวงจรซีมอสอินเวอร์เตอร์จะมีอัตราขยายแรงดันสูงแต่เนื่องจากมีค่าความจุไฟฟ้าที่อินพุทของวงจรสูงเช่นกันทำให้การต่อโนด c เข้ากับวงจรซีมอสอินเวอร์เตอร์โดยตรงส่งผลให้ความเร็วในการทำงานของวงจรเปรียบเทียบกับกระแสต่ำลงไปมาก วงจรคอมมอนซอร์สที่มีโหลดเป็นตัวต้านทาน (ในที่นี้ใช้มอสทรานซิสเตอร์ที่ทำงานในย่านเชิงเส้น) จึงถูกนำมาใช้เพราะมีค่าความจุไฟฟ้าที่อินพุทของวงจรต่ำกว่าโดยที่ยังให้อัตราขยายแรงดันสูงในระดับหนึ่ง อย่างไรก็ตามวงจรนี้มีความสามารถในการจ่ายกระแสให้โหลดน้อย จึงจำเป็นต้องมีวงจรซีมอสอินเวอร์เตอร์ที่ภาคขยายแรงดันช่วงท้ายเพราะวงจรซีมอสอินเวอร์เตอร์สามารถให้แรงดันเอาต์พุทสวิงได้กว้าง (Rail-to-rail operation) ในการวิจัยพบว่าการใช้คอมมอนซอร์สต่อเข้ากับซีมอสอินเวอร์เตอร์โดยมีรูปแบบจำนวนของวงจรต่างๆ กันสามารถให้แรงดันเอาต์พุทของวงจรเปรียบเทียบกับกระแสสวิงได้ตลอดย่านของแหล่งจ่ายไฟเลี้ยง อย่างไรก็ตามผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product) ก็มีค่าแตกต่างกันไป ทั้งนี้พบว่าการใช้คอมมอนซอร์สสามวงจรต่ออนุกรมกับซีมอสอินเวอร์เตอร์สองวงจรให้ประสิทธิภาพดีที่สุด

ความต้านทานขาเข้าที่โนด b มีค่าต่ำเนื่องจากการป้อนกลับแบบลบภายในลูบของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว โดยสามารถอธิบายได้ดังนี้ เมื่อกระแสอินพุท  $i_{in}$  ไหลเข้าโนด b ค่าแรงดันที่โนด b ( $V_o$ ) จะเพิ่มสูงขึ้น ค่าแรงดัน  $V_o$  นี้จะถูกขยายโดย  $M_1$  (Common

source) ทำให้แรงดันที่ขาเดรนของ  $M_1$  และขาเกตของ  $M_3$  ลดต่ำลง ดังนั้นแรงดันขาซอร์สของ  $M_4$  จะถูกทำให้ต่ำลง

ความต้านทานขาเข้าของวงจรเปรียบเทียบกับกระแส ( $R_m$ ) มีค่าเท่ากับ

$$R_m = \frac{1}{g_{m2} + g_{m4} + g_{m1}g_{m4}(r_{oBIAS} // r_{o1})} \quad (4.4)$$

เมื่อขนาดของมอสทรานซิสเตอร์ในวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวเหมือนกัน ทุกประการ สมการ (4.4) จะถูกลดรูปเป็น

$$R_m \cong \frac{1}{g_m^2 (r_{oBIAS} // r_{o1})} \quad (4.5)$$

#### 4.3.3 ผลการจำลองการทำงานของวงจรด้วยโปรแกรม Hspice

เพื่อยืนยันการทำงานของวงจรเปรียบเทียบกับกระแส วงจรดังกล่าวจึงถูกจำลองการทำงานด้วยโปรแกรม Hspice โดยใช้โมเดลพารามิเตอร์ของ Alcatel 0.5 ไมครอน (level 49) ภายใต้แหล่งจ่ายไฟเลี้ยง 3 โวลต์ กระแสไบอัส  $I_{BIAS}$  เท่ากับ  $20 \mu A$  ในกรณีนี้ค่ากระแสไบอัสถูกเลือกโดยให้วงจรมีค่ากำลังงานสูญเสียและความเร็วในการทำงานดีที่สุด ขนาดของมอสทรานซิสเตอร์แสดงไว้ในตารางที่ 4.1 ซึ่งขนาดของมอสทรานซิสเตอร์  $M_{n1}$ - $M_{p5}$  ถูกเลือกให้มีขนาดเล็กที่สุดเพื่อให้ตัวเก็บประจุแผ่น ( $C_{gs}$  และ  $C_{gd}$ ) มีค่าต่ำ โดยที่วงจรซีมอสอินเวอร์เตอร์ถูกออกแบบให้มีแรงดันดีซีไบอัสประมาณกึ่งกลางของแหล่งจ่ายแรงดันไฟเลี้ยง ขนาดของมอสทรานซิสเตอร์  $M_{1,4}$  ถูกเลือกโดยให้ค่าความต้านทานขาเข้าของวงจรถ้าโดยยังคงมีความเร็วในการทำงานสูง ค่า  $L$  ของมอสทรานซิสเตอร์ที่ใช้ไบอัสกระแสให้วงจรสะท้อนกระแสมีค่าค่อนข้างมากเนื่องจากต้องการลดผลของแชนเนลเล้นจ์มอดดูเลชัน (Channel length modulation) มอสทรานซิสเตอร์  $M_5$  ถูกออกแบบขนาดให้เหมาะสมเพื่อให้ค่าแรงดันไฟตรงที่โนด  $c$  มีค่าเป็น  $V_{DD}/2$

ตารางที่ 4.1 ขนาดของมอสทรานซิสเตอร์ในวงจรเปรียบเทียบกระแสที่เสนอ

มอสทรานซิสเตอร์	ขนาด W/L ( $\mu\text{m}$ )
$M_{\text{BIAS}}$	8/2
$M_1$ - $M_4$	2/0.5
$M_5$	0.5/0.65
$M_{n1}$ - $M_{n5}$	0.5/0.5
$M_{p1}$ - $M_{p3}$	0.5/0.6
$M_{p4}$ - $M_{p5}$	2.4/0.5

สังเกตว่ากระแสอินพุทของวงจรที่เสนอโดย [20], [22-23] (รูปที่ 4.1(ก)-(ค)) คือผลต่างระหว่างกระแสอินพุทจริงกับกระแสอ้างอิง ในความเป็นจริงค่ากระแสที่เท่ากับกระแสเดรนของมอสทรานซิสเตอร์  $M_4$  ของวงจรที่นำเสนอ ในการเปรียบเทียบประสิทธิภาพของแต่ละวงจรมันั้น วิทยานิพนธ์ฉบับนี้ได้กำหนดกระแสอินพุทของวงจรที่เสนอโดย [20], [22-23] มีค่าเท่ากับกระแสเดรนของมอสทรานซิสเตอร์  $M_4$  และใช้ภาคขยายแรงดัน ( $M_{n1}$ - $M_{p5}$ ) ชุดเดียวกัน ขนาดของมอสทรานซิสเตอร์มีขนาดใกล้เคียงกันกับวงจรที่เสนอและใช้โมเดลพารามิเตอร์เดียวกัน รูปที่ 4.4 ถึง 4.11 แสดงผลการจำลองการทำงานของวงจรที่ออกแบบเปรียบเทียบกับวงจรที่เสนอโดย [20], [22-23] (รูปที่ 4.1(ก)-(ค)) โดยใช้โปรแกรม Hspice

รูปที่ 4.4 คุณสมบัติการถ่ายโอนทางไฟตรง (DC transfer characteristic) ของวงจรที่นำเสนอเมื่อต่อเข้ากับภาคขยายแรงดันแบบต่างๆ โดยใช้จำนวนของคอมมอนซอร์สและซีมอสอินเวอร์เตอร์ต่างๆ กัน แม้ว่าวงจรซีมอสอินเวอร์เตอร์จะให้ค่าอัตราขยายแรงดันสูงที่สุดแต่ช่วงเวลาขอบขาขึ้นและขอบขาลง (Rise time and fall time) ของสัญญาณมีค่าค่อนข้างมาก ค่าอัตราขยายความต้านทาน (Transimpedance gain) ของวงจรที่ได้จากการจำลองการทำงานมีค่าเท่ากับ 166 dB ขณะที่การคำนวณจากสมการที่ 4.1-4.3 ได้เท่ากับ 171 dB ความคลาดเคลื่อนนี้เกิดจากการที่ไม่ได้รวมผลของ Short channel effects ที่เกิดขึ้นเมื่อขนาดของมอสทรานซิสเตอร์เล็กกว่าหนึ่งไมครอน (Submicron MOSFET) ตารางที่ 4.2 แสดงผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power Delay Product, PDP) เมื่อต่อคอมมอนซอร์สและซีมอสอินเวอร์เตอร์จำนวนต่างๆ กัน พบว่าการใช้คอมมอนซอร์สจำนวนสามภาคต่ออนุกรมกับซีมอสอินเวอร์เตอร์

จำนวนสองภาคจะให้ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วงที่ดีที่สุด ในขณะที่การใช้ซีมอสอินเวอร์เตอร์อย่างเดียวนำให้ค่า PDP มากที่สุด

รูปที่ 4.5 แสดงผลตอบสนองทางเวลาของวงจรเปรียบเทียบกระแสที่ออกแบบ โดยเส้นทึบแสดงกระแสอินพุทและเส้นประเป็นแรงดันเอาต์พุท เมื่อป้อนกระแสอินพุทเป็นคลื่นสี่เหลี่ยมที่มีความถี่เท่ากับ 25 MHz ขนาด  $\pm 0.1 \mu A$  จะได้ค่าเวลาหน่วงเท่ากับ 1.02 ns โดยสัญญาณเอาต์พุทสวิงมีค่าตั้งแต่ 0 ถึง 3 โวลต์

รูปที่ 4.6 แสดงค่าความไว (Sensitivity) ของวงจรที่ออกแบบโดยป้อนสัญญาณอินพุทสามเหลี่ยมที่มีความถี่เท่ากับ 12.5 MHz และขนาดเท่ากับ  $\pm 0.1 \mu A$  ซึ่งแสดงด้วยเส้นทึบสัญญาณแรงดันเอาต์พุทถูกแทนด้วยเส้นประและมีค่าความไวเท่ากับ 2 nA (รายละเอียดการวัดค่าความไวของวงจรเปรียบเทียบกระแสหาได้จาก [24-25])

รูปที่ 4.7 แสดงค่าเฉลี่ยของเวลาหน่วงเมื่อป้อนกระแสอินพุทจาก  $\pm 0.01 \mu A$  ถึง  $\pm 10 \mu A$  สังเกตว่าที่กระแสอินพุทต่ำค่าเวลาหน่วงของวงจรที่นำเสนอมีค่าน้อยกว่าค่าเวลาหน่วงของวงจร [20] และมีค่าใกล้เคียงกับวงจร [22] และ [23] อย่างไรก็ตามค่าเวลาหน่วงมีค่าใกล้เคียงกันหมดทุกวงจรเมื่อกระแสอินพุทเพิ่มขึ้นเป็น  $10 \mu A$  สาเหตุเนื่องมาจากเมื่อกระแสอินพุทมีค่าสูงจะทำให้ค่าเวลาหน่วงมีผลมาจากวงจรขยายแรงดันและวงจรซีมอสอินเวอร์เตอร์มากกว่าจากวงจรส่วนหน้า (Front-end)

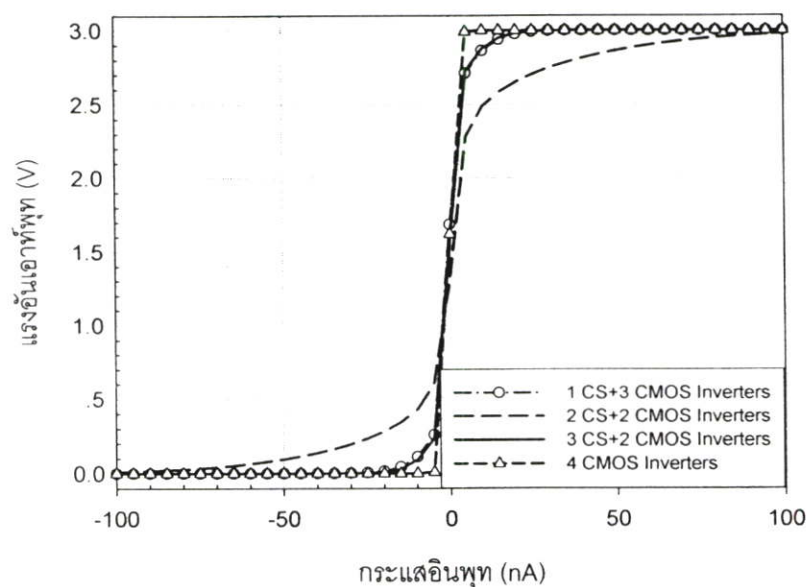
รูปที่ 4.8 แสดงการเปรียบเทียบกำลังงานสูญเสียเมื่อป้อนกระแสอินพุทค่าต่างๆ กัน แม้ว่ากำลังงานสูญเสียของวงจรที่เสนอมีค่าใกล้เคียงกับ [23] และมีค่ามากกว่าวงจร [20] และ [22] แต่กราฟของวงจร [20], [22-23] ในรูปที่ 4.8 ยังไม่ได้คิดกำลังงานสูญเสียจากวงจรลบกระแสซึ่งจำเป็นต้องใช้กับวงจรทั้งสามที่นำมาเปรียบเทียบ นอกจากนี้ความต้านทานขาเข้าของวงจรที่เสนอยังมีค่าต่ำกว่าอีกด้วย

รูปที่ 4.9 แสดงค่าความต้านทานขาเข้าของวงจรเปรียบเทียบกระแส ที่กระแสอินพุท  $0.1 \mu A$  ความต้านทานขาเข้าของวงจรที่เสนอมีค่า  $137 \Omega$  ในขณะที่วงจร [20] มีค่า  $36.8 \text{ k}\Omega$  วงจร [22] มีค่า  $12 \text{ k}\Omega$  และวงจร [23] มีค่า  $5 \text{ k}\Omega$  ซึ่งแสดงให้เห็นว่าวงจรที่เสนอมีความต้านทานขาเข้าต่ำที่สุด

รูปที่ 4.10 แสดงผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product, PDP) จะเห็นว่าวงจรที่เสนอมีค่า PDP น้อยกว่า [20] มาก และมีค่าใกล้เคียงกับ [22-23] รูปที่ 4.10 สมมติว่าค่าเวลาหน่วงของวงจรลบกระแสใน [20],[22-23] มีค่าเป็นศูนย์ซึ่งไม่เป็นจริงในทางปฏิบัติ ดังนั้นหากต้องการเปรียบเทียบวงจรทั้งหมด เราได้สร้างวงจรลบกระแสแบบง่ายโดยใช้วงจรสะท้อนกระแสที่ใช้กระแสไบอัสเท่ากับ  $10 \mu A$  และใช้แรงดันไฟเลี้ยงเท่ากับ 3 โวลต์ พบว่าวงจรลบกระแสมีกำลังงานสูญเสีย  $60 \mu W$  โดยสมมติว่าวงจรลบไม่มีเวลาหน่วงจะได้ค่า PDP

ของวงจร [20], [22], [23] และวงจรถีเสนอเป็น 4.99 pJ, 1.1 pJ, 0.931 pJ และ 0.928 pJ ตามลำดับ

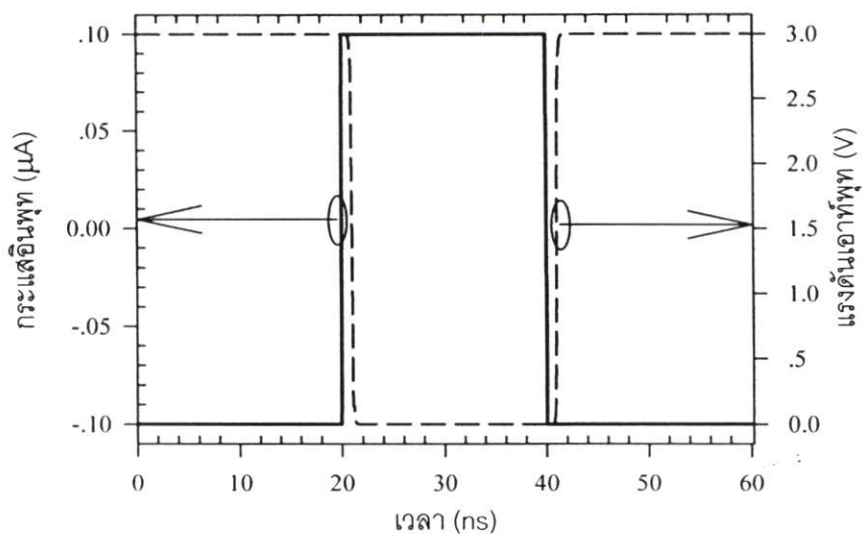
เราสามารถลดค่ากระแสออฟเซตของวงจรเปรียบเทียบกระแสได้โดยเพิ่มขนาดความยาวของแกนแนล (L) ของมอสทรานซิสเตอร์  $M_1$  และ  $M_2$  อย่างไรก็ตามความเร็วในการทำงานของวงจรมีค่าลดลง อีกวิธีที่ใช้ลดกระแสออฟเซตคือการเพิ่มค่าความต้านทานเดรน-ซอร์สของมอสทรานซิสเตอร์ที่ใช้ไบอัสกระแส ( $M_{BIAS}$ ) เพื่อให้ค่าความต้านทานขาเข้าของวงจรมีค่าต่ำลง ส่งผลให้กระแสอินพุต ( $i_{in}$ ) สามารถไหลเข้าไปในวงจรเปรียบเทียบกระแสได้อย่างมีประสิทธิภาพ จากการจำลองการทำงานวัดค่ากระแสออฟเซตของวงจรได้เท่ากับ 2.8 nA



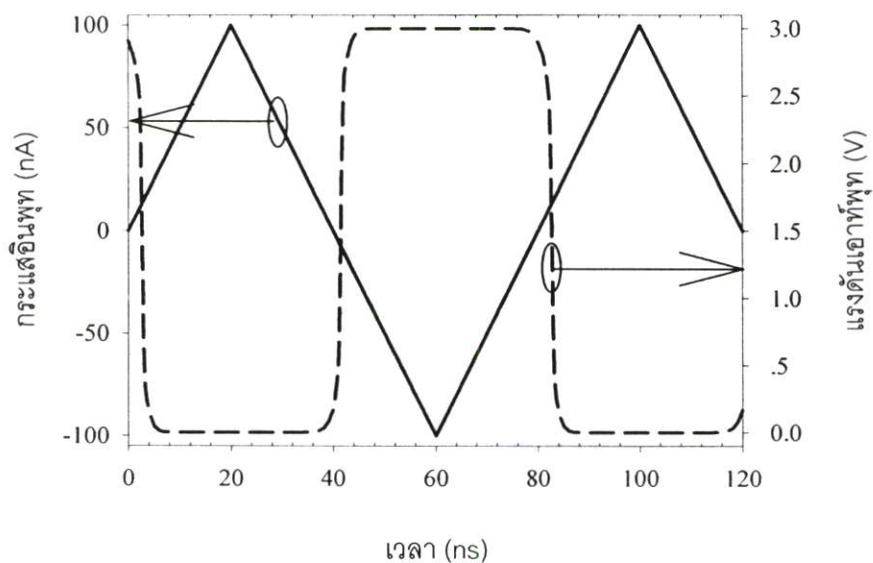
รูปที่ 4.4 คุณสมบัติการถ่ายโอนทางไฟตรง (DC transfer characteristic) ของวงจรถีนำเสนอเมื่อต่อเข้ากับภาคขยายแรงดันแบบต่างๆ

ตารางที่ 4.2 ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product) เมื่อต่อคอมมอนซอร์สและซีมอสอินเวอร์เตอร์รูปแบบต่างๆ กัน

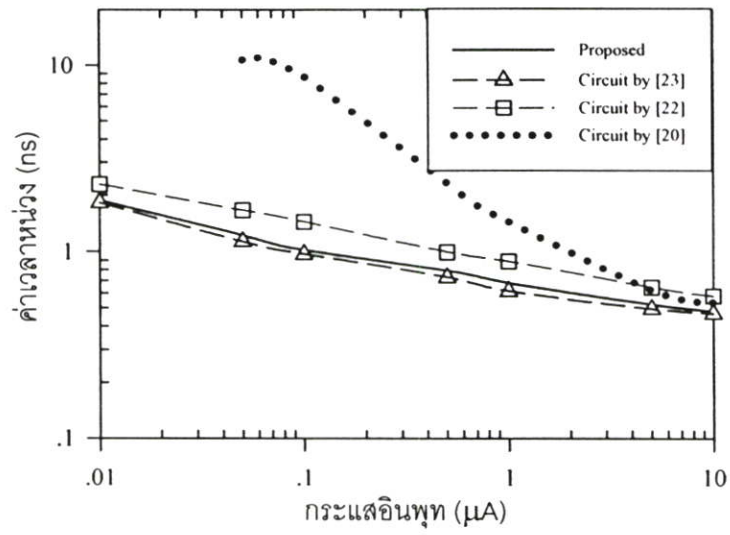
จำนวนคอมมอนซอร์ส (CS)	จำนวนซีมอสอินเวอร์เตอร์	ค่าเวลาหน่วง (ns)	กำลังงานสูญเสีย (mW)	PDP (pJ)
0	4	2.62	0.47	1.119
1	3	2.72	0.55	1.5
2	2	1.41	0.61	0.858
3	2	1.02	0.74	0.761



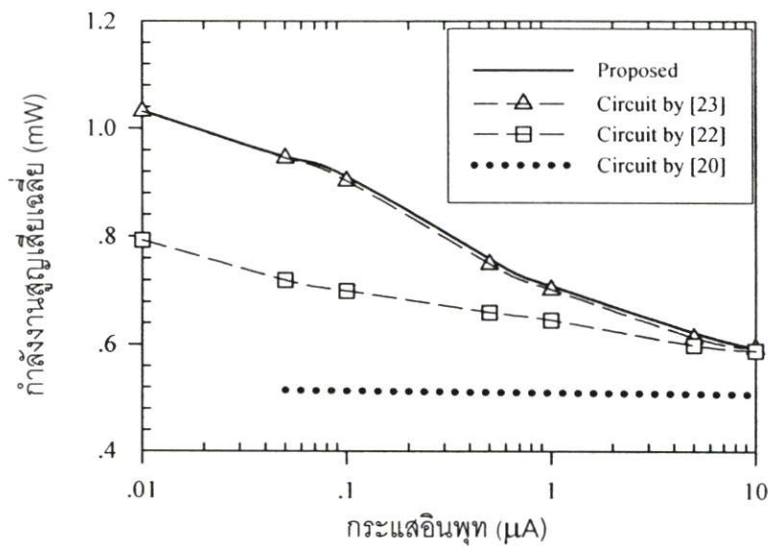
รูปที่ 4.5 ผลตอบสนองทางเวลาของวงจรเปรียบเทียบกระแสที่เสนอเมื่อป้อนอินพุตขนาด  $\pm 0.1 \mu\text{A}$  ที่ความถี่ 25 MHz (— : กระแสอินพุต; - - : แรงดันเอาต์พุต)



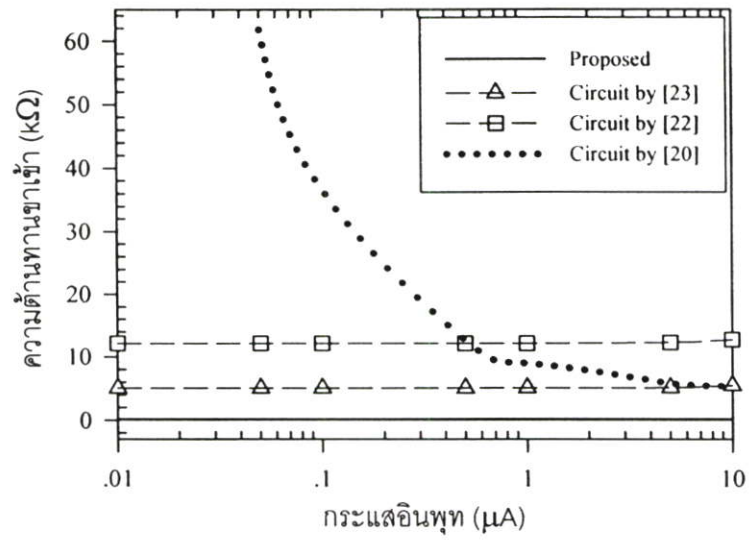
รูปที่ 4.6 ความไวของวงจรเปรียบเทียบกระแสที่นำเสนอ (— : กระแสอินพุต; - - : แรงดันเอาต์พุต)



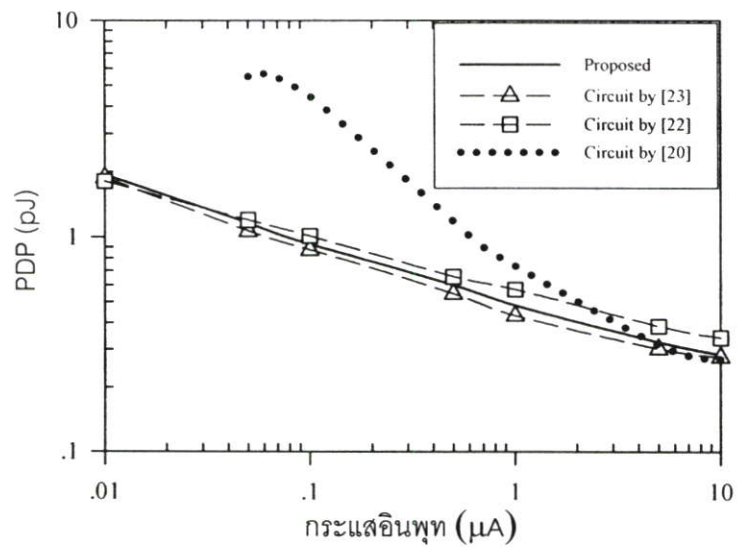
รูปที่ 4.7 ค่าเวลาหน่วงเมื่อป้อนกระแสอินพุตค่าต่างๆ



รูปที่ 4.8 กำลังงานสูญเสียเมื่อป้อนกระแสอินพุตค่าต่างๆ



รูปที่ 4.9 ความต้านทานขาเข้าเมื่อป้อนกระแสอินพุตค่าต่างๆ



รูปที่ 4.10 ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (PDP) เมื่อป้อนกระแสอินพุตค่าต่างๆ

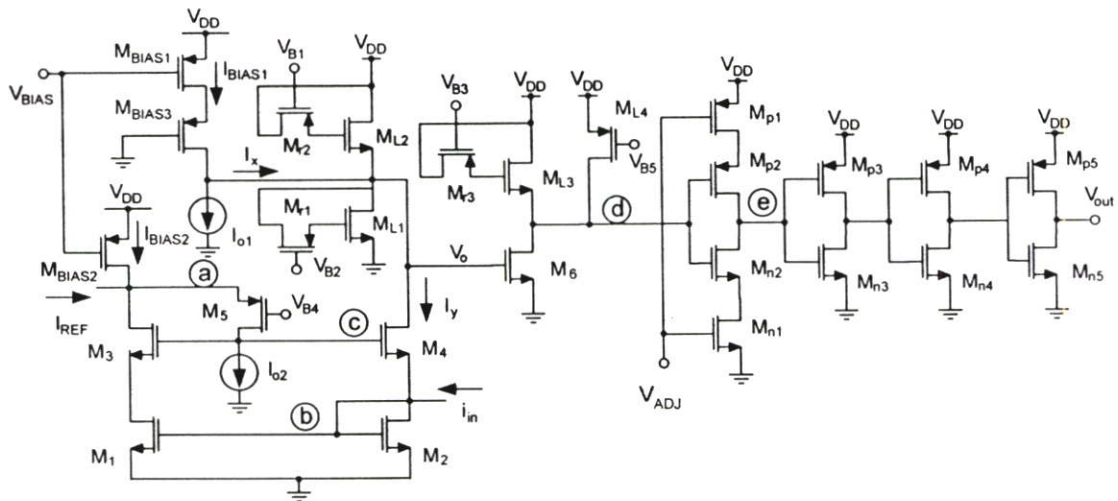
ตารางที่ 4.3 คุณสมบัติของวงจรเปรียบเทียบกระแสที่นำเสนอจากการจำลองการทำงานด้วยโปรแกรม Hspice

Process technology	0.5 $\mu\text{m}$ CMOS
Supply voltage	Single supply +3 V
Propagation delay time ( $\pm 0.1 \mu\text{A}$ input)	1.02 ns
Average power consumption	0.91 mW
Power delay product ( $\pm 0.1 \mu\text{A}$ input)	0.92 pJ
Input resistance	137 $\Omega$
Minimum input range	$\pm 0.01 \mu\text{A}$
Transimpedance gain (front-end circuit)	82.07 dB
Bandwidth of front-end circuit	$\cong 3$ GHz
Input offset current	2.8 nA
Sensitivity (12.5 MHz triangle input)	2 nA

#### 4.4 สรุป

วงจรเปรียบเทียบกระแสที่ได้ออกแบบในหัวข้อนี้สามารถทำงานได้ดีตามตารางที่ 4.3 แต่ยังคงมีปัญหบางประการเช่นความต้านทานขาเข้าที่จุดต่อสัญญาณกระแสอ้างอิงและกระแสอินพุทของวงจรมีค่าไม่เท่ากัน ( $2/g_m$  และ  $1/g_m^2(r_{oBIAS} // r_{oI})$ ) ตามลำดับ) นอกจากนี้วงจรไม่สามารถปรับแรงดันออฟเซตในภาคขยายแรงดันได้ รวมทั้งไม่คงทนต่อการเปลี่ยนแปลงของกระบวนการผลิต ซึ่งปัญหาต่างๆ เหล่านี้ได้ถูกแก้ไขแล้วในหัวข้อถัดไป

## 4.5 วงจรเปรียบเทียบกระแสแบบปรับปรุง (Robust current comparator)



รูปที่ 4.11 วงจรเปรียบเทียบกระแสแบบปรับปรุง

### 4.5.1 หลักการทำงานของวงจร

วงจรเปรียบเทียบกระแสแบบปรับปรุงในรูปที่ 4.11 ทำงานในลักษณะเดียวกับวงจรเปรียบเทียบกระแสในหัวข้อ 4.3 แต่มีวงจรเพิ่มเติมมาหลายส่วนดังนี้ ส่วนแรกประกอบด้วย มอสทรานซิสเตอร์  $M_{L1}$ - $M_{L2}$ ,  $M_{BIAS1,3}$  และกระแสไบอัส  $I_{o1}$  เป็นส่วนที่ทำให้วงจรที่ออกแบบคงทนต่อการเปลี่ยนแปลงของพารามิเตอร์ในกระบวนการผลิต (Process corner) ส่วนที่สองเป็นวงจรที่ใช้ลดค่าความต้านทานขาเข้าที่โหนด a เพื่อให้มีค่าใกล้เคียงกับความต้านทานที่โหนด b ประกอบด้วยมอสทรานซิสเตอร์  $M_5$  และกระแสไบอัส  $I_{o2}$  ส่วนที่สามประกอบด้วย มอสทรานซิสเตอร์  $M_{11}$  -  $M_{13}$  ใช้เพิ่มความเร็วในการทำงานของวงจรเปรียบเทียบกระแส สุดท้ายคือส่วนที่สี่เป็นวงจรที่ใช้ปรับค่าแรงดันออฟเซตให้มีค่าต่ำประกอบด้วย  $M_{n1}$  และ  $M_{p1}$  อธิบายหลักการทำงานของวงจรในแต่ละส่วนได้ดังนี้

ส่วนที่หนึ่งหรือวงจรที่ออกแบบให้คงทนต่อการเปลี่ยนแปลงของพารามิเตอร์ในกระบวนการผลิต การทำงานของวงจรในส่วนนี้สามารถอธิบายได้ดังนี้ จุดเอาต์พุตของวงจรส่วนหน้าของวงจรเปรียบเทียบกระแสที่เสนอโดย [20,22-23] ในรูปที่ 4.1 (ก)-(ค) ใช้เอ็นมอสทรานซิสเตอร์ต่อร่วมกันทำงานกับพีมอสทรานซิสเตอร์ทำให้เมื่อกระบวนการผลิตเปลี่ยนแปลงไปจากค่าปกติ (Typical-Typical) (โดยเฉพาะเมื่อกระบวนการผลิตเปลี่ยนเป็น Fast-Slow และ Slow-Fast) ค่าแรงดันไบอัสที่จุดเอาต์พุตนี้จะเปลี่ยนไปมากจนวงจรภาคถัดไป (ภาคขยายแรงดันเพื่อให้สัญญาณเอาต์พุตสุดท้ายมีแรงดันสวิงได้ตลอดย่านของแหล่งจ่ายไฟ) ไม่สามารถทำงานได้ตามปกติ ในวงจรเปรียบเทียบกระแสแบบปรับปรุงนี้ใช้การต่อเอ็น

มอสทรานซิสเตอร์แบบไดโอด (Diode connected) สองตัว ( $M_{L1}$  และ  $M_{L2}$ ) ซึ่งมีคุณสมบัติเหมือนกันต่อเป็นวงจรแบ่งแรงดันเพื่อให้แรงดันที่จุด  $V_o$  มีค่าเท่ากับ  $V_{DD}/2$  เสมอทำให้สามารถแก้ปัญหาของกระบวนการผลิตที่อาจเปลี่ยนแปลงไป

มอสทรานซิสเตอร์  $M_{L1}$  และ  $M_{L2}$  ถูกออกแบบให้มีขนาด (W/L) เท่ากันและกระแสไบอัสเท่ากัน นอกจากนั้นแล้วกระแส  $I_x$  ถูกออกแบบให้มีค่าเท่ากับกระแส  $I_y$  ส่งผลให้แรงดันที่จุด  $V_o$  มีค่าเท่ากับ  $V_{DD}/2$  การออกแบบให้กระแส  $I_x$  เท่ากับกระแส  $I_y$  สามารถอธิบายได้ดังนี้  $M_{BIAS1}$  และ  $I_{o1}$  ทำหน้าที่บังคับให้กระแสเดรนของ  $M_{L1}$  มีค่าเท่ากับกระแสเดรนของ  $M_{L2}$  โดยไม่ขึ้นกับการเปลี่ยนแปลงของกระบวนการผลิตโดยการบังคับให้  $I_x$  มีค่าเท่ากับ  $I_y$  ในขณะที่  $M_{BIAS3}$  ถูกไบอัสในย่านเชิงเส้นและทำหน้าที่ให้แรงดันเดรน-ซอร์สของ  $M_{BIAS2}$  มีค่าใกล้เคียงกับ  $M_{BIAS1}$  เพื่อให้กระแส  $I_{BIAS1}$  เท่ากับ  $I_{BIAS2}$  เนื่องจากกระแสไบอัสมอสทรานซิสเตอร์  $M_1$ - $M_4$  ลดลงไปด้วยกระแสที่ใช้ไบอัส  $M_5$  (ซึ่งทำหน้าที่ลดความต้านทานขาเข้าที่โนด a) หรือ  $I_{o2}$  ทำให้มีกระแสไบอัสเป็น  $I_y$  ด้วยการกำหนดค่า  $I_{o1} = I_{o2}$  จะได้ค่ากระแส  $I_x$  ซึ่งเป็นผลต่างของ  $I_{BIAS1}$  และ  $I_{o1}$  จะมีค่าเท่ากับ  $I_y$  สังเกตว่ามอสทรานซิสเตอร์ที่ใช้ไบอัสทั้งสองชุด ( $M_{BIAS1}$ - $M_{BIAS3}$ ) เป็นชนิดเดียวกันคือพีมอสทรานซิสเตอร์ ดังนั้นการเปลี่ยนแปลงใดๆที่เกิดจากกระบวนการผลิตจึงส่งผลให้เกิดการเปลี่ยนแปลงไปในทิศทางเดียวกันทำให้กระแส  $I_x$  และกระแส  $I_y$  มีค่าเท่ากันเสมอ

ส่วนที่สองคือวงจรที่ใช้ลดค่าความต้านทานขาเข้าที่โนด a จากรูปที่ 4.11 ความต้านทานที่โนด a มีค่าต่ำเนื่องจากผลจากการป้อนกลับแบบลบโดยสามารถอธิบายได้ดังนี้ เมื่อกระแสไหลเข้าที่โนด a แรงดันที่โนด c จะเพิ่มสูงขึ้น แรงดันที่เพิ่มขึ้นนี้จะถูกขยายผ่านมอสทรานซิสเตอร์  $M_3$  ซึ่งต่อเป็นวงจรคอมมอนซอร์สส่งผลให้แรงดันที่โนด a มีการเปลี่ยนแปลงน้อย

ส่วนที่สามเป็นวงจรที่ใช้ลดผลของตัวเก็บประจุแฝงเกต-ซอร์ส การเพิ่มความเร็วในการทำงานของวงจรสามารถทำได้โดยการเพิ่มกระแสไบอัสของวงจร [26] ข้อเสียของวิธีดังกล่าวคือทำให้วงจรมีกำลังงานสูญเสียมาก ดังนั้นการเพิ่มความเร็วด้วยวิธีนี้จึงไม่มีประสิทธิภาพเท่าที่ควร ข้อเสียอีกประการหนึ่งคือการใช้ค่ากระแสไบอัสสูงทำให้ความคล่องตัวของพาหะลดลง (Mobility degradation) [27] อันเป็นผลมาจากแรงดันเกต-ซอร์ส ( $V_{GS}$ ) ที่สูงขึ้นดังต่อไปนี้

$$\mu = \mu_o \left[ 1 - \frac{1}{E_{cr} t_{ox}} (V_{GS} - V_T) \right] \quad (4.6)$$

โดยที่  $\mu_o$  คือความคล่องตัวของพาหะที่ค่าสนามไฟฟ้าเป็นศูนย์,  $t_{ox}$  คือความหนาของอ็อกไซด์และ  $E_{cr}$  คือสนามไฟฟ้าวิกฤติ (Critical electrical field)

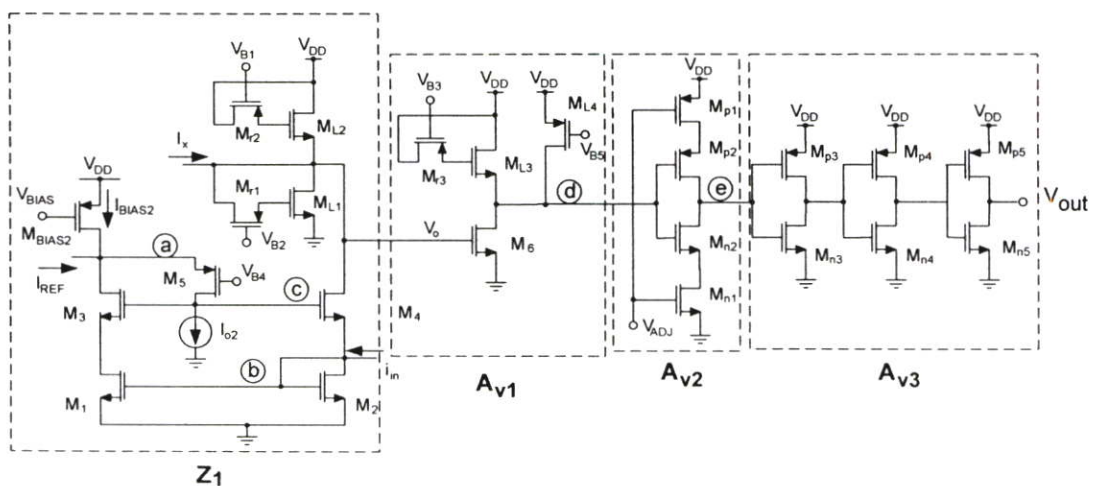
เพื่อแก้ปัญหาดังกล่าว วิทยานิพนธ์ฉบับนี้ได้ใช้มอสทรานซิสเตอร์  $M_1$ - $M_3$  ซึ่งถูกไบอัสให้ทำงานในย่านเชิงเส้นทำหน้าที่เป็นตัวต้านทานชดเชยทางความถี่ต่ออนุกรมเข้ากับตัวเก็บประจุ

แฝงเกต-ซอร์ส ( $C_{gs}$ ) ของมอสทรานซิสเตอร์  $M_{L1}$ - $M_{L3}$  ตัวด้านทานเสมือนดังกล่าวทำหน้าที่ป้องกันไม่ให้โนด  $V_o$  มองเห็นตัวเก็บประจุแฝงเกต-ซอร์สโดยตรงส่งผลให้ความถี่โพล ( $\omega_p$ ) ของวงจรไม่ได้รับผลกระทบโดยตรงจากตัวเก็บประจุแฝงเกต-ซอร์ส ( $C_{gs}$ ) แต่ขึ้นกับตัวเก็บประจุแฝงเกต-เดรน ( $C_{gd}$ ) ของมอสทรานซิสเตอร์  $M_{L1}$ - $M_{L3}$  เท่านั้น [26, 28-29]

ส่วนที่สี่เป็นวงจรที่ใช้ปรับค่าแรงดันออฟเซตให้มีค่าต่ำ จากรูป 4.11 มอสทรานซิสเตอร์  $M_{n1}$  และ  $M_{p1}$  ถูกไบอัสให้ทำงานในย่านเชิงเส้นขณะที่  $M_{n2}$  และ  $M_{p2}$  ประกอบกันเป็นวงจรซีมอสอินเวอร์เตอร์ ขาเกตของ  $M_{n1}$  และ  $M_{p1}$  ถูกต่อเข้าด้วยกันเพื่อสามารถปรับลดผลของแรงดันออฟเซตผ่านทางแรงดัน  $V_{ADJ}$  การทำงานของวงจรสามารถอธิบายได้ดังนี้ สมมติให้แรงดันไฟตรงที่เอาท์พุทของวงจร (โนด e) นี้เพิ่มสูงขึ้นกว่าปกติ (อาจเนื่องจากแรงดันไบอัสที่โนด d สูงขึ้นด้วยเหตุใดๆ ก็ตาม) เราสามารถปรับค่าแรงดันที่โนด e ให้ต่ำลงสู่ค่าที่ออกแบบไว้ได้โดยการปรับ  $V_{ADJ}$  ให้มีค่าเพิ่มขึ้นเล็กน้อย เพราะว่าเมื่อ  $V_{ADJ}$  เพิ่มขึ้นค่าแรงดันเกต-ซอร์สของ  $M_{n1}$  จะเพิ่มทำให้กระแสเดรนของ  $M_{n1}$  มากขึ้นส่งผลให้แรงดันที่โนด e ลดลง ในทำนองเดียวกันแรงดันเกต-ซอร์สของ  $M_{p1}$  ก็ลดลง ( $V_{GS_{p1}} = V_{DD} - V_{ADJ}$ ) กระแสเดรนของ  $M_{p1}$  จึงลดลงทำให้แรงดันที่โนด e ลดลงด้วย

#### 4.5.2 การวิเคราะห์ห้วงจร

ในการวิเคราะห์ห้วงจรเราจะแบ่งวงจรเปรียบเทียบกระแสแบบปรับปรุงออกเป็นวงจรขยาย 4 ภาคดังแสดงในรูปที่ 4.12 ซึ่งประกอบด้วยวงจรส่วนหน้าของวงจรเปรียบเทียบกระแสแบบปรับปรุงที่มีอัตราขยายเท่ากับ  $Z_1$  วงจรปรีแอมป์ (Preamp) ที่มีอัตราขยายเท่ากับ  $A_{v1}$  วงจรส่วนหน้าของซีมอสอินเวอร์เตอร์ที่มีอัตราขยายเท่ากับ  $A_{v2}$  และวงจรซีมอสอินเวอร์เตอร์สามภาคสุดท้ายที่มีอัตราขยายเท่ากับ  $A_{v3}$



รูปที่ 4.12 วงจรเปรียบเทียบกระแสแบบปรับปรุง

แรงดันเอาต์พุตของวงจรเปรียบเทียบกับกระแสแบบปรับปรุ่งมีค่าเท่ากับ

$$V_{out} = Z_1 A_{v1} A_{v2} A_{v3} (I_{REF} - i_m) + \frac{V_{DD}}{2} \quad (4.7)$$

โดยการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กได้อัตราขยาย  $Z_1$  มีค่าเท่ากับ

$$Z_1 \cong \frac{1 // \frac{1}{g_{m1.1}} // \frac{1}{g_{m1.2}}}{1 + s / \omega_p} \quad (4.8)$$

โดยที่  $\omega_p = \frac{1}{\left( \frac{1}{g_{m1.1}} // \frac{1}{g_{m1.2}} \right) \left[ c_{gd4} + c_{gs6} + c_{gd6} \left( 1 + \frac{g_{m6}}{g_{m1.3}} \right) \right]}$

ในทำนองเดียวกันอัตราขยายแรงดันของวงจรปริแอมป์ (Preamp) มีค่าเท่ากับ

$$A_{v1} \cong \frac{g_{m6} / g_{m3}}{1 + s / \omega_{p1}} \quad (4.9)$$

โดยที่

$$\omega_{p1} = \frac{1}{\frac{1}{g_{m1.3}} \left\{ c_{gd6} + c_{gd4} + (c_{gs2} + c_{gs2}) \left[ 1 + (g_{m2} + g_{mp2}) \times (r_{on2} (1 + g_{m2} R_{on1}) // r_{op2} (1 + g_{mp2} R_{op1})) \right] \right\}}$$

อัตราขยายแรงดันของซีมอสอินเวอร์เตอร์ชุดแรก ( $A_{v2}$ ) มีค่าเท่ากับ

$$A_{v2} \cong \frac{\left( \frac{g_{m2}}{1 + g_{m2} R_{on1}} + \frac{g_{mp2}}{1 + g_{mp2} R_{op1}} \right) \times (r_{on2} (1 + g_{m2} R_{on1}) // r_{op2} (1 + g_{mp2} R_{op1}))}{1 + s / \omega_{p2}} \quad (4.10)$$

โดยที่

$$\omega_{p2} = \frac{1}{(r_{on2} (1 + g_{m2} R_{on1}) // r_{op2} (1 + g_{mp2} R_{op1})) \left[ c_{gs3} + c_{gs3} + (c_{gd3} + c_{gd3}) (g_{m3} + g_{mp3}) (r_{on3} // r_{op3}) \right]}$$

อัตราขยายแรงดันของซีมอสอินเวอร์เตอร์สามภาคสุดท้าย (CMOS inverter 3 stages) มีค่าเท่ากับ

$$A_{v,3} \cong \prod_{i=3}^5 \frac{(g_{mni} + g_{mpi})(r_{oni} // r_{opi})}{1 + s/\omega_{pi}} \quad (4.11)$$

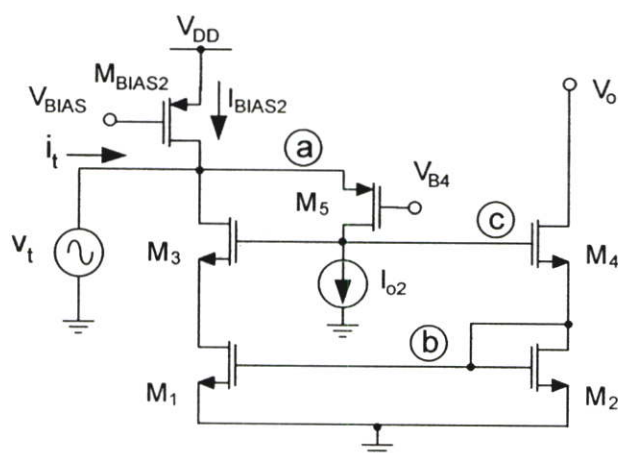
โดยที่

$$\omega_{p3} = \frac{1}{(r_{on3} // r_{op3}) [c_{gsn4} + c_{gsp4} + (c_{gdn4} + c_{gdp4})(g_{mn4} + g_{mp4})(r_{on4} // r_{op4})]}$$

$$\omega_{p4} = \frac{1}{(r_{on4} // r_{op4}) [c_{gsn5} + c_{gsp5} + (c_{gdn5} + c_{gdp5})(g_{mn5} + g_{mp5})(r_{on5} // r_{op5})]}$$

$$\omega_{p5} = \frac{1}{(r_{on5} // r_{op5})(c_{gdn5} + c_{gdp5})}$$

ความต้านทานขาเข้าที่โนด b มีค่าต่ำเนื่องจากการป้อนกลับแบบลบดังที่ได้กล่าวไว้แล้ว ในหัวข้อ 4.3.2 ในหัวข้อนี้จะเป็นการกล่าวถึงการลดความต้านทานทางด้านอินพุตอีกจุดหนึ่ง (ที่จุด a) ของวงจรเปรียบเทียบกระแส



รูปที่ 4.13 วงจรส่วนหน้าของวงจรเปรียบเทียบกระแส

โดยการวิเคราะห์สัญญาณขนาดเล็กจะให้ความต้านทานขาเข้าที่จุด a เท่ากับ (ดูรายละเอียดในภาคผนวก ข)

$$R_{m(a)} = \frac{2(r_{o5} + r_{oo2})}{g_{m5} [2r_{oo2} + r_{o5}(2 + g_{m3}r_{oo2})]} \quad (4.12)$$

เนื่องจาก  $g_{m3}r_{oo2}r_{o5}$  มีค่าสูงมากดังนั้นค่าประมาณของความต้านทานขาเข้าที่โนด a มีค่าเท่ากับ

$$R_{m(a)} \cong \frac{2}{g_{m3}g_{m5}(r_{o5} // r_{oo2})} \quad (4.13)$$

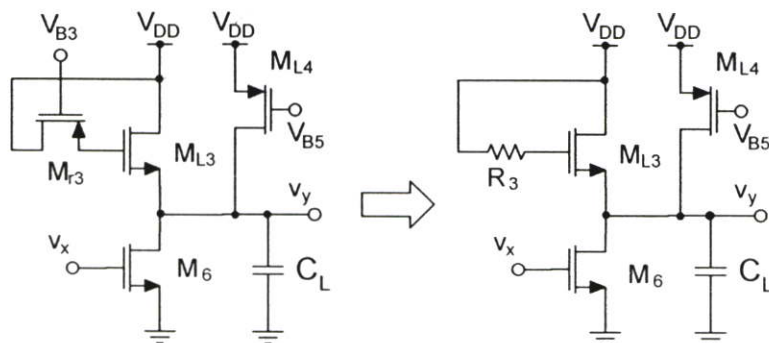
โดยที่  $r_{oo2}$  คือความต้านทานเดรน-ซอร์สของมอสทรานซิสเตอร์ที่ใช้ไบอัสกระแส  $I_{o2}$

ในวิทยานิพนธ์ฉบับนี้ได้มีการออกแบบให้ความต้านทานอินพุตทั้งสองจุด (โนด a และ โนด b) มีค่าเท่ากันเพื่อความสมมาตรและลดผลของกระแสออฟเซตของวงจรโดยการแทนค่าให้ความต้านทานที่โนด a ในสมการ (4.13) เท่ากับความต้านทานที่โนด b ในสมการ (4.5) จะได้เงื่อนไขดังต่อไปนี้

$$\frac{2}{g_{m5}r_{o5}} = \frac{1}{g_m r_{o1}} \quad (4.14)$$

โดยที่  $g_m$  คือค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์  $M_1$ - $M_4$

การวิเคราะห์หาค่าตัวต้านทานชดเชยทางความถี่ ( $R_1$ - $R_3$ ) ที่เหมาะสมของวงจรปรีแอมป์ และที่โหลดของวงจรส่วนหน้า (รูปที่ 4.14 และ 4.15 ตามลำดับ) เพื่อลดผลของตัวเก็บประจุแผ่นเกต-ซอร์สของ  $M_{L1}$ - $M_{L3}$  สามารถทำได้โดยการวิเคราะห์จากค่าโพลและซีโรของวงจร



รูปที่ 4.14 วงจรปรีแอมป์ (Preamp)

รูปที่ 4.14 เป็นวงจรภาคปริแอมป์ (Preamp) ซึ่งใช้เทคนิคผลของตัวเก็บประจุแฝงเกต-ซอร์สของมอสทรานซิสเตอร์  $M_{L3}$  โดยการต่อมอสทรานซิสเตอร์  $M_{R3}$  เพิ่มในวงจร ตัวต้านทาน  $R_3$  แทนความต้านทานเสมือนเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_{R3}$  และตัวเก็บประจุ  $C_L$  แทนตัวเก็บประจุโหลดของวงจร วงจรที่ออกแบบนี้มีค่าแรงดันเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_{R3}$  ใกล้เคียงศูนย์โวลต์เนื่องจากกระแสเกตของมอสทรานซิสเตอร์มีค่าประมาณศูนย์ โดยการวิเคราะห์สัญญาณขนาดเล็กได้อัตราขยายแรงดันของวงจรมีค่าเท่ากับ (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ข)

$$A_v = -\frac{(g_{m6} - sc_{gd6})[1 + sR_3(c_{gsL3} + c_{gdL3})]}{g_{mL3} + s(g_{mL3}R_3c_{gdL3} + c_{gsL3} + c_{gd6} + c_{gd4} + C_L) + s^2R_3C_{T1}} \quad (4.15)$$

$$\text{โดยที่ } C_{T1} = c_{gsL3}(c_{gdL3} + c_{gd14} + c_{gd6} + C_L) + c_{gdL3}(c_{gd4} + c_{gd6} + C_L)$$

จากสมการ (4.15) ในกรณีไม่มี  $R_3$  ในวงจร ( $R_3 = 0$ ) และตัวเก็บประจุแฝงเกต-เดรนของมอสทรานซิสเตอร์ทุกตัว ( $C_{gd}$ ) มีค่าน้อยมากๆ โดยการแทนค่า  $C_{T1}$  จากสมการ (4.15) จะได้อัตราขยายแรงดันและความถี่คัทออฟเท่ากับสมการ (4.16) และ (4.17) ตามลำดับ

$$A_v \cong -\frac{g_{m6}}{g_{mL3} \left\{ 1 + s \frac{(c_{gsL3} + C_L)}{g_{mL3}} \right\}} \quad (4.16)$$

$$\omega_0 = -\frac{g_{mL3}}{c_{gsL3} + C_L} \quad (4.17)$$

จากสมการ (4.15) กรณีตัวเก็บประจุแฝงเกต-เดรนของมอสทรานซิสเตอร์ทุกตัว ( $C_{gd}$ ) มีค่าน้อยมากๆ และแทนค่า  $C_{T1}$  จากสมการ (4.15) จะได้อัตราขยายแรงดันเท่ากับ

$$A_v \cong -\frac{g_{m6}(1 + sR_3c_{gsL3})}{R_3c_{gsL3}C_L \left\{ s^2 + s \frac{(c_{gsL3} + C_L)}{R_3c_{gsL3}C_L} + \frac{g_{mL3}}{R_3c_{gsL3}C_L} \right\}} \quad (4.18)$$

จากสมการ (4.18) สามารถวิเคราะห์หาค่าความถี่ซีโรและคู่ของความถี่โพลเชิงซ้อน (Complex poles pair) ได้ดังสมการ (4.19) และ (4.20) ตามลำดับ

$$\omega_{z1} = -\frac{1}{R_3 c_{gsl.3}} \quad (4.19)$$

$$\omega_{p1,2} = \frac{-(c_{gsl.3} + C_L) \pm \sqrt{(c_{gsl.3} + C_L)^2 - 4g_{ml.3}R_3c_{gsl.3}C_L}}{2R_3c_{gsl.3}C_L} \quad (4.20)$$

จากสมการ (4.19) และ (4.20) สามารถวิเคราะห์หาค่า  $R_3$  ที่เหมาะสมได้โดยกำหนดให้  $|\omega_{z1}|$  และ  $|\omega_{p1,2}|$  จากสมการ (4.19) และ (4.20) มีค่าเท่ากันดังสมการ (4.21)

$$-\frac{1}{R_3 c_{gsl.3}} = \frac{-(c_{gsl.3} + C_L) \pm \sqrt{(c_{gsl.3} + C_L)^2 - 4g_{ml.3}R_3c_{gsl.3}C_L}}{2R_3c_{gsl.3}C_L} \quad (4.21)$$

โดยการย้ายข้างสมการ (4.21) สามารถหาค่า  $R_3$  ได้เท่ากับ

$$R_3 = \frac{1}{g_{ml.3}} \quad (4.22)$$

สังเกตได้ว่าเมื่อ  $R_3$  มีค่าเท่ากับ  $1/g_{ml.3}$  จะทำให้ผลของความถี่โพลตัวหนึ่งถูกหักล้างกับความถี่ซีโรพอดี และโดยการแทนค่า  $R_3$  จากสมการ (4.22) ลงในสมการ (4.20) จะได้อค่าความถี่คัทออฟเป็น

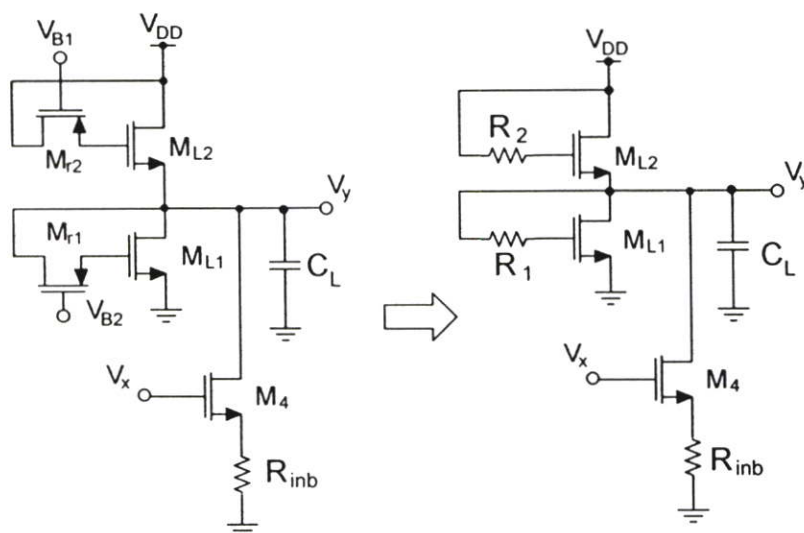
$$\omega_0 = -\frac{g_{ml.3}}{C_{gsl.3}} \quad (4.23)$$

จากสมการ (4.17) และ (4.23) สังเกตได้ว่าการใส่ตัวต้านทาน  $R_3$  ในวงจรรูปที่ 4.14 ทำให้ความถี่คัทออฟขึ้นกับตัวเก็บประจุที่โหลดของวงจร ( $C_L$ ) เท่านั้น ไม่ขึ้นกับตัวเก็บประจุแฝงเกต-ซอร์ส ( $C_{gs}$ ) ของมอสทรานซิสเตอร์  $M_{L3}$

นอกจากนี้สามารถวิเคราะห์หาอัตราขยายแรงดันที่ความถี่ต่ำได้จากสมการ (4.15) ซึ่งมีค่าเท่ากับ

$$A_v = -\frac{g_{m6}}{g_{ml.3}} = \frac{\sqrt{(W/L)_6 I_{D6}}}{\sqrt{(W/L)_{L3} I_{DL3}}} = \sqrt{\frac{(W/L)_6 I_{D6}}{(W/L)_{L3} (I_{D6} - I_{DL4})}} \quad (4.24)$$

สังเกตได้ว่าอัตราขยายแรงดันของวงจรนี้จะไม่สูงมากนักเพราะไม่ต้องการให้ค่าความจุไฟฟ้าที่โหนด d มีค่ามากเนื่องจากผลของมิลเลอร์ (Miller effect) ของ  $M_6$



รูปที่ 4.15 การลดผลของตัวเก็บประจุแฝงเกต-ซอร์สที่โหนดของวงจรส่วนหน้าของวงจรเปรียบเทียบกระแส

รูปที่ 4.15 เป็นวงจรส่วนหน้าของวงจรเปรียบเทียบกระแสแบบปรับปรุงซึ่งใช้วิธีลดผลของตัวเก็บประจุแฝงเกต-ซอร์สที่โหนดของวงจรส่วนหน้าโดยต่อมอสทรานซิสเตอร์  $M_{r1}$  และ  $M_{r2}$  เพิ่มในวงจร ตัวต้านทาน  $R_1$  และ  $R_2$  แทนค่าความต้านทานเสมือนเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_{r1}$  และ  $M_{r2}$  ตามลำดับ  $R_{inb}$  แทนความต้านทานขาเข้าของวงจรเปรียบเทียบกระแสและตัวเก็บประจุ  $C_L$  แทนตัวเก็บประจุโหนดของวงจร ค่าแรงดันเดรน-ซอร์สของมอสทรานซิสเตอร์ที่ใช้เป็นตัวต้านทาน ( $M_{r1}$  และ  $M_{r2}$ ) มีค่าใกล้เคียงศูนย์โวลต์เช่นเดียวกับในวงจรปรีแอมป์ โดยการวิเคราะห์สัญญาณขนาดเล็กได้อัตราขยายแรงดันเท่ากับ (ดูรายละเอียดการวิเคราะห์ในภาคผนวก ข)

$$A_v = - \frac{(g_{m4} - s c_{gd4}) [1 + s R_{1,2} (c_{gs1,2} + c_{gd1,2})]}{2 g_{m1,2} + s (2 g_{m1,2} R_{1,2} c_{gd1,2} + 2 c_{gs1,2} + c_{gd4} + C_L) + s^2 R_{1,2} C_{T2}} \quad (4.25)$$

$$\text{โดยที่ } C_{T2} = c_{gs1,2} (2 c_{gd1,2} + c_{gd4} + C_L) + c_{gd1,2} (c_{gd4} + C_L)$$

จากสมการ (4.25) ในกรณีไม่มี  $R_{1,2}$  ในวงจรถ (  $R_{1,2} = 0$  ) และตัวเก็บประจุแฝงเกต-เดรนของมอสทรานซิสเตอร์ทุกตัว ( $C_{gd}$ ) มีค่าน้อยมากๆ โดยการแทนค่า  $C_{T2}$  จากสมการ (4.25) จะได้ อัตราขยายแรงดันและความถี่คัทออฟเท่ากับสมการ (4.26) และ (4.27) ตามลำดับ

$$A_v \cong - \frac{g_{m4}}{2g_{m1,2} \left( 1 + s \frac{(2c_{gs1,2} + C_L)}{2g_{m1,2}} \right)} \quad (4.26)$$

$$\omega_0 = - \frac{2g_{m1,2}}{2c_{gs1,2} + C_L} \quad (4.27)$$

จากสมการ (4.27) กรณีตัวเก็บประจุแฝงเกต-เดรนของมอสทรานซิสเตอร์ทุกตัว ( $C_{gd}$ ) มีค่าน้อยมากๆ และแทนค่า  $C_{T2}$  จากสมการ (4.25) จะได้อัตราขยายแรงดันเท่ากับ

$$A_v \cong - \frac{g_{m4} (1 + sR_{1,2}c_{gs1,2})}{R_{1,2}c_{gs1,2}C_L \left\{ s^2 + s \frac{(2c_{gs1,2} + C_L)}{R_{1,2}c_{gs1,2}C_L} + \frac{2g_{m1,2}}{R_{1,2}c_{gs1,2}C_L} \right\}} \quad (4.28)$$

จากสมการ (4.28) สามารถวิเคราะห์หาค่าความถี่ซีโรและคู่ของความถี่โพลเชิงซ้อน (Complex poles pair) ได้ดังสมการ (4.29) และ (4.30) ตามลำดับ

$$\omega_{z1} = - \frac{1}{R_{1,2}c_{gs1,2}} \quad (4.29)$$

$$\omega_{p1,2} = \frac{-(2c_{gs1,2} + C_L) \pm \sqrt{(2c_{gs1,2} + C_L)^2 - 8g_{m1,2}R_{1,2}c_{gs1,2}C_L}}{2R_{1,2}c_{gs1,2}C_L} \quad (4.30)$$

กำหนดให้  $|\omega_{z1}|$  และ  $|\omega_{p1,2}|$  จากสมการ (4.29) และ (4.30) มีค่าเท่ากันดังสมการ (4.31) เพื่อหาค่า  $R_{1,2}$  ที่เหมาะสม

$$- \frac{1}{R_{1,2}c_{gs1,2}} = \frac{-(2c_{gs1,2} + C_L) \pm \sqrt{(2c_{gs1,2} + C_L)^2 - 8g_{m1,2}R_{1,2}c_{gs1,2}C_L}}{2R_{1,2}c_{gs1,2}C_L} \quad (4.31)$$

โดยการย้ายข้างสมการ (4.31) สามารถหาค่า  $R_{1,2}$  ได้เท่ากับ

$$R_{1,2} = \frac{1}{g_{m1,1,2}} \quad (4.32)$$

สังเกตได้ว่าเมื่อ  $R_{1,2}$  มีค่าเท่ากับ  $1/g_{m1,1,2}$  จะทำให้ผลของความถี่โพลตัวหนึ่งถูกหักล้างกับความถี่ซีโรพอดดี และโดยการแทนค่า  $R_{1,2}$  จากสมการ (4.32) ลงในสมการ (4.30) จะได้ค่าความถี่คัทออฟเป็น

$$\omega_0 = -\frac{2g_{m1,1,2}}{C_L} \quad (4.33)$$

จากสมการ (4.27) และ (4.33) สังเกตได้ว่าการใส่ตัวต้านทาน  $R_{1,2}$  ในวงจรรูปที่ 4.15 ทำให้ความถี่คัทออฟขึ้นกับตัวเก็บประจุที่โหนดของวงจร ( $C_L$ ) เท่านั้น ไม่ขึ้นกับตัวเก็บประจุแผ่นเกต-ซอร์ส ( $C_{gs}$ ) ของมอสทรานซิสเตอร์  $M_{1,2}$

#### 4.5.3 ผลการจำลองการทำงานของวงจรด้วยโปรแกรม Hspice

เพื่อตรวจสอบประสิทธิภาพของวงจรเปรียบเทียบกับกระแสแบบปรับปรุงกับวงจรที่เสนอโดย [20, 22-23] เราได้ใช้โปรแกรม Hspice จำลองการทำงานของวงจรโดยใช้โมเดลพารามิเตอร์ของ Alcatel 0.5 ไมครอน (level 49) ภายใต้แรงดันไฟเลี้ยง 3 โวลต์ ไบอัสกระแสให้วงจรสะท้อนกระแสเท่ากับ  $23 \mu A$  และกระแสไบอัส  $I_{01,2}$  เท่ากับ  $1 \mu A$  ขนาดของมอสทรานซิสเตอร์ถูกแสดงในตารางที่ 4.4 และค่าแรงดันไบอัสต่างๆ ถูกแสดงในตารางที่ 4.5

การเปรียบเทียบประสิทธิภาพของวงจรที่เสนอกับวงจรที่เสนอโดย [20, 22-23] (ดูรูปที่ 4.1) สามารถทำได้โดยใช้โมเดลพารามิเตอร์เดียวกันและใช้ขนาด (W/L) ของทรานซิสเตอร์ค่าใกล้เคียงกัน รวมทั้งต่อกับภาคขยายแรงดันเดียวกันหมด รูปที่ 4.16 เป็นผลตอบสนองทางเวลา (Transient) ของวงจรเปรียบเทียบกับกระแสแบบปรับปรุง โดยป้อนสัญญาณสี่เหลี่ยมขนาด  $\pm 0.1 \mu A$  ที่ความถี่เท่ากับ 25 MHz เข้าที่อินพุทของวงจรที่เสนอ ค่าเวลาหน่วง (Propagation delay time) ที่ได้มีค่าเท่ากับ 1.67 ns ซึ่งมากกว่าวงจรเปรียบเทียบกับกระแสที่ได้เสนอไว้ในหัวข้อ 4.3 ที่วัดได้ 1.02 ns ค่าเวลาหน่วงที่เพิ่มขึ้นนี้มีสาเหตุมาจากการเพิ่มอุปกรณ์หลายตัว เช่น ที่วงจรลดความต้านทานขาเข้าที่โนด a วงจรปรับค่าแรงดันออฟเซตที่ซิมอสอินเวอร์เตอร์ เป็นต้น รูปที่ 4.17 แสดงค่าความไวของวงจรเมื่อป้อนกระแสอินพุทรูปสามเหลี่ยมที่มีความถี่เท่ากับ 12.5 MHz และขนาดเท่ากับ  $\pm 0.1 \mu A$  โดยวัดค่าความไวได้เท่ากับ 0.8 nA

รูปที่ 4.18-4.21 สัญลักษณ์จุด (•••) สี่เหลี่ยม (□) สามเหลี่ยม (Δ) และเส้นทึบ แสดงผลการจำลองการทำงานของวงจรรโน [20] [22] [23] และวงจรถูกนำเสนอตามลำดับ รูปที่ 4.18 แสดงค่าเวลาหน่วงเมื่อป้อนกระแสอินพุตตั้งแต่ขนาด  $0.01 \mu A$ - $10 \mu A$  จากกราฟแสดงให้เห็นว่าที่กระแสอินพุตมีค่าต่ำ ค่าเวลาหน่วงของวงจรถูกเสนอต่ำกว่าของวงจรรโน [20] แต่มีค่าน้อยกว่าของวงจรรโน [22-23] เล็กน้อย อย่างไรก็ตามค่าเวลาหน่วงของทุกวงจรมีค่าใกล้เคียงกันเมื่อกระแสอินพุตเพิ่มขึ้นถึง  $10 \mu A$  สาเหตุเนื่องจากค่าเวลาหน่วงจะขึ้นกับวงจรรายแรงดันแต่ละภาคมากกว่าวงจรรส่วนหน้าของวงจรถูกเสนอเปรียบเทียบกระแส

รูปที่ 4.19 แสดงการเปรียบเทียบกำลังงานสูญเสียเมื่อป้อนกระแสอินพุตในย่านเดียวกับรูปที่ 4.18 กำลังงานสูญเสียของวงจรถูกเสนอมีค่าน้อยกว่าวงจรรโน [22-23] แต่มีค่ามากกว่าวงจรรโน [20] อย่างไรก็ตามค่ากำลังงานสูญเสียของวงจรรโน [20, 22-23] ยังไม่ได้รวมกำลังงานสูญเสียของวงจรรอบกระแสซึ่งต่อเข้ากับภาคอินพุตของวงจรถูกเสนอเปรียบเทียบกระแส ดังอธิบายไว้ในหัวข้อ 4.2

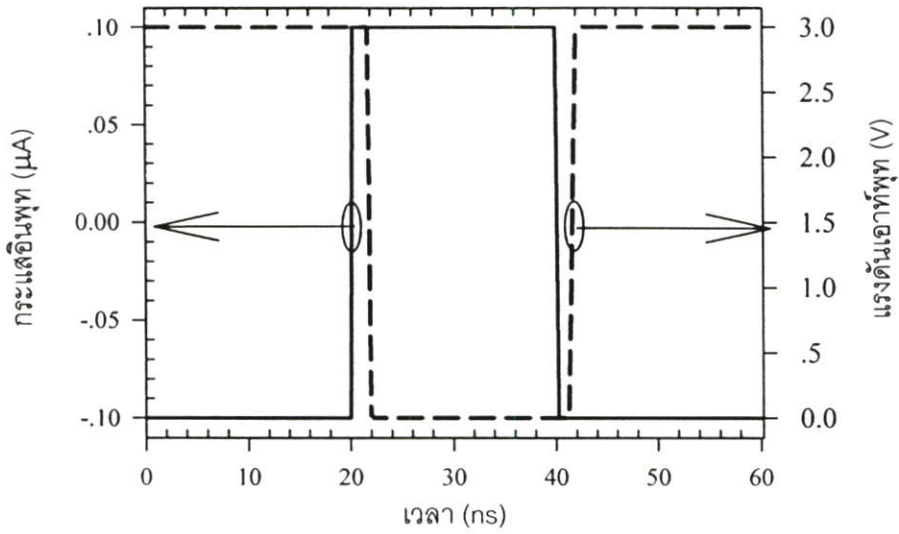
รูปที่ 4.20 เป็นการเปรียบเทียบค่าผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product, PDP) พบว่าค่า PDP ของวงจรถูกเสนอมีค่าน้อยกว่าวงจรรโนโดย [20, 22-23] มากแต่มีค่ามากกว่าวงจรรโน [20] เมื่อกระแสอินพุตมีค่ามากกว่า  $1 \mu A$

รูปที่ 4.21 แสดงการเปรียบเทียบค่าความต้านทานขาเข้าที่โนด b ของวงจรถูกเสนอเปรียบเทียบกระแสแบบปรับปรุงที่เสนอกับวงจรรโน [20, 22-23] เห็นได้ชัดว่าค่าความต้านทานขาเข้าของวงจรถูกเสนอมีค่าน้อยกว่าวงจรรโนอื่นมาก ตัวอย่างเช่น วงจรถูกเสนอมีค่าความต้านทานขาเข้า 126 โอห์มที่กระแสอินพุต  $0.1 \mu A$  ขณะที่วงจรถูกเสนอเปรียบเทียบด้วยมีค่า  $36.4 k\Omega$  ใน [20],  $12 k\Omega$  ใน [20] และสุดท้าย  $5 k\Omega$  ใน [23] ปัจจุบันนี้วงจรถูกเสนอยังคงมีค่าความต้านทานขาเข้าต่ำที่สุด

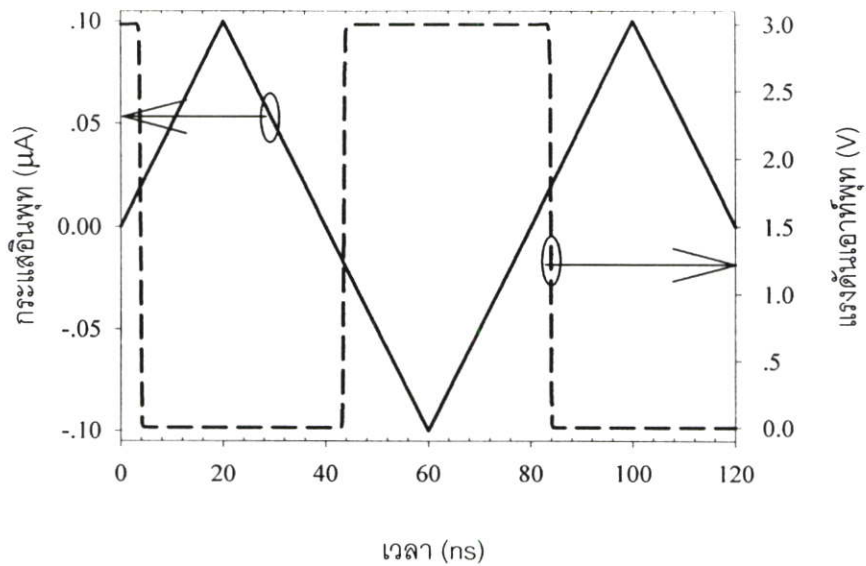
ตารางที่ 4.6 แสดงค่าความต้านทานขาเข้าของวงจรถูกเสนอ ณ โหนด a และ b ภายใต้ค่าพารามิเตอร์ในกระบวนการผลิตต่างๆ กัน (Process corner) พบว่าค่าความต้านทานทั้งสองโนดยังคงมีค่าต่ำเสมอและมีการเปลี่ยนแปลงตามพารามิเตอร์ในกระบวนการผลิตน้อยมาก

ตารางที่ 4.7 แสดงให้เห็นว่าวงจรรส่วนหน้าของวงจรถูกเสนอมีความคงทนต่อกระบวนการผลิตที่พารามิเตอร์ต่างๆ กัน วงจรถูกเสนอมีการเปลี่ยนแปลงสูงสุดของแรงดันเอาต์พุตของวงจรรส่วนหน้าเพียง 1.9 % เท่านั้น ขณะที่วงจรรอื่นที่เสนอโดย [20, 22-23] มีการเปลี่ยนแปลง 62.8 % 28.5% และ 22.7 % ตามลำดับ

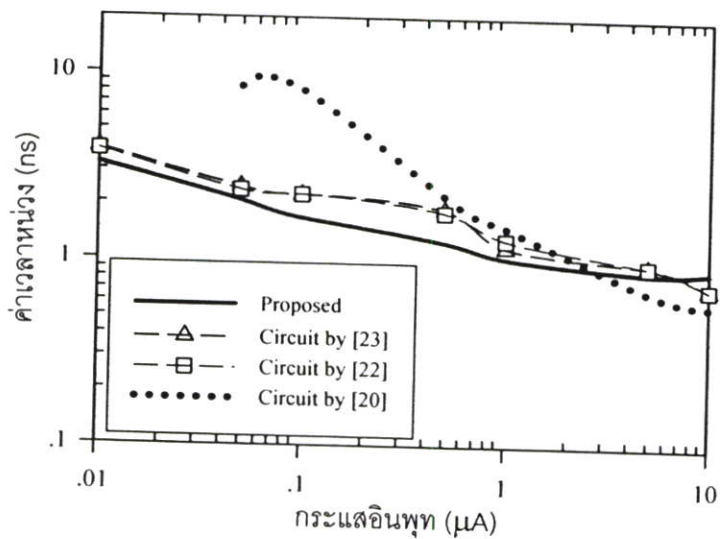
จากผลการจำลองการทำงานสรุปได้ว่าวงจรถูกเสนอเปรียบเทียบกระแสแบบปรับปรุงสามารถทำงานได้ดีตามที่ออกแบบและวิเคราะห์ไว้ ซึ่งวงจรถูกเสนอพัฒนาจากวงจรถูกเสนอเปรียบเทียบกระแสที่เสนอในหัวข้อ 4.3 โดยใช้เทคนิคการออกแบบดังที่ได้กล่าวไว้ข้างต้น คุณสมบัติของวงจรถูกเสนอแสดงในตารางที่ 4.8



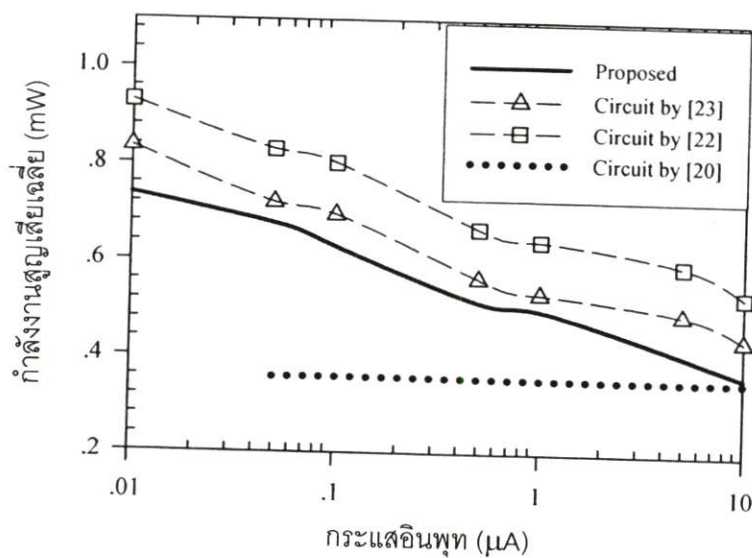
รูปที่ 4.16 ผลตอบสนองทางเวลาของวงจรเปรียบเทียบกับกระแสแบบปรับรูปร่างเมื่อป้อนอินพุต ขนาด  $\pm 0.1 \mu A$  ที่ความถี่ 25 MHz (— : กระแสอินพุต; - - : แรงดันเอาต์พุต)



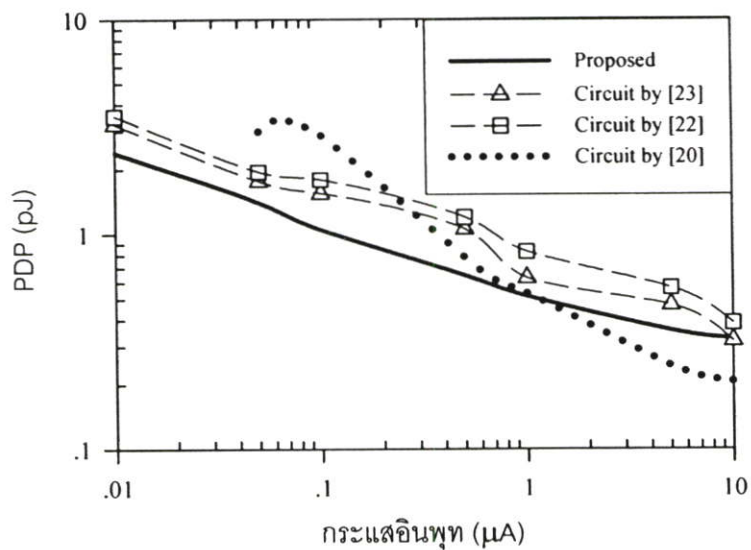
รูปที่ 4.17 ความไวของวงจรเปรียบเทียบกับกระแสแบบปรับรูปร่าง (— : กระแสอินพุต; - - : แรงดันเอาต์พุต)



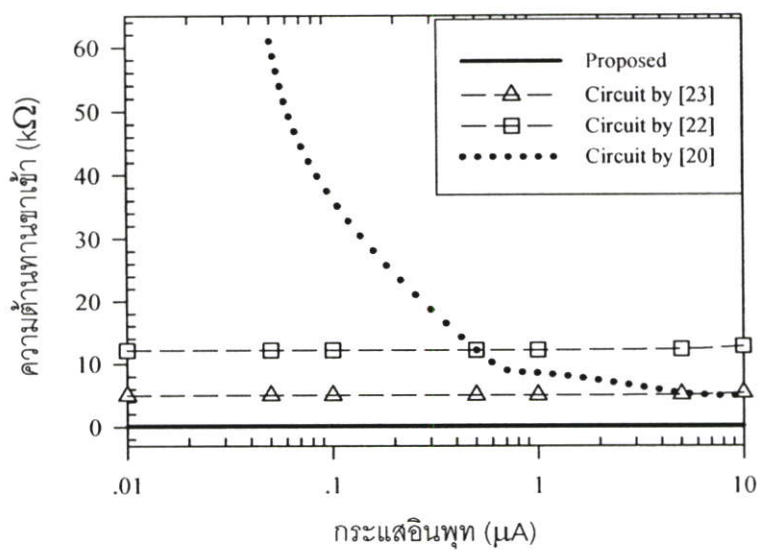
รูปที่ 4.18 ค่าเวลาหน่วงเมื่อป้อนกระแสอินพุตขนาด  $0.01 \mu A$ - $10 \mu A$



รูปที่ 4.19 กำลังงานสูญเสียเมื่อป้อนกระแสอินพุตขนาด  $0.01 \mu A$ - $10 \mu A$



รูปที่ 4.20 ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product, PDP)



รูปที่ 4.21 ค่าความต้านทานขาเข้าที่โนด b ของวงจรเปรียบเทียบกับกระแสแบบปรับปรุงที่เสนอกับวงจร [20, 22-23]

ตารางที่ 4.4 ขนาดของมอสทรานซิสเตอร์ในวงจรเปรียบเทียบกระแสแบบปรับปรุง

มอสทรานซิสเตอร์	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$M_{\text{BIAS1}}, M_{\text{BIAS2}}$	22	2
$M_{\text{BIAS3}}$	0.7	1
$M_{\text{oo1.2}}$	0.9	1.5
$M_1$ - $M_4$	3	0.5
$M_5$	0.9	0.7
$M_{L1}$ - $M_{L2}$	0.5	3.5
$M_{L3}$	0.5	2
$M_{L4}$	2.5	0.5
$M_6, M_{r1}$ - $M_{r3}, M_{n1}, M_{n3}$ - $M_{n5}$	0.5	0.5
$M_{n2}$	1.7	0.5
$M_{p1}$	5	0.5
$M_{p2}$	2.8	0.5
$M_{p3}$ - $M_{p5}$	2.4	0.5

ตารางที่ 4.5 ขนาดของแรงดันไบอัสที่ใช้ในวงจรเปรียบเทียบกระแสแบบปรับปรุง

แหล่งจ่ายแรงดัน	ขนาดแรงดัน (โวลต์)
$V_{B1}$	2.25
$V_{B2}$	0.75
$V_{B3}$	2.3
$V_{B4}$	1.65
$V_{B5}$	1.63
$V_{B \text{ MOO1.2}}$	0.8
$V_{\text{ADJ}}$	1.52

ตารางที่ 4.6 ความต้านทานขาเข้าของวงจรถ่ายโอน โหนด a และ b ที่ค่าพารามิเตอร์ใน  
กระบวนการผลิตต่างๆ กัน (Process corner)

ชนิดของกระบวนการผลิต (Process corner)	ความต้านทานที่โหนด a ( $R_{in(a)}$ )	ความต้านทานที่โหนด b ( $R_{in(b)}$ )
TT	126.34	122.64
FF	124.84	129.25
SS	151.29	141.16
FS	252.18	232.99
SF	135.53	143.66

ตารางที่ 4.7 การเปลี่ยนแปลงของแรงดันที่โหนด  $V_o$  ของวงจรถ่ายโอนต่อการเปลี่ยนแปลงของ  
กระบวนการผลิต

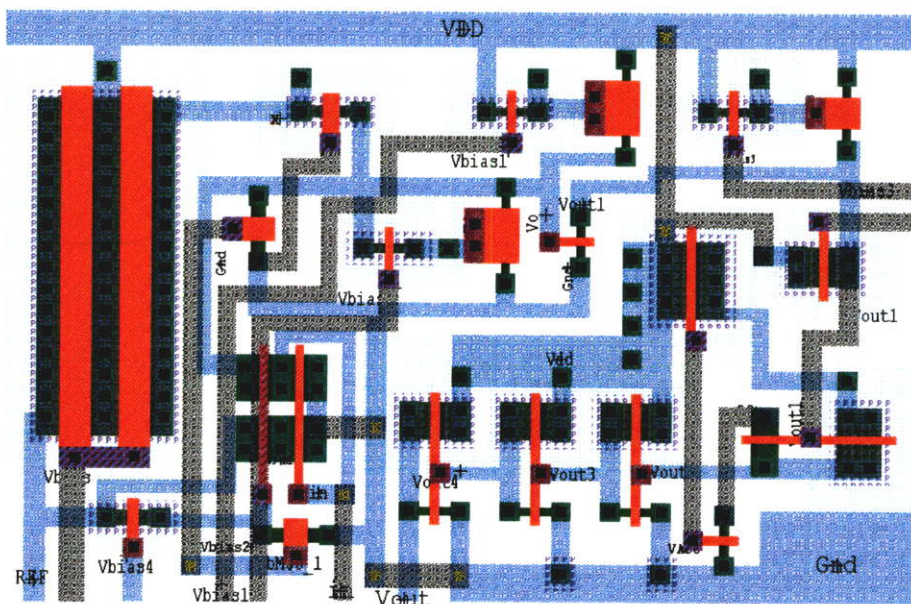
ชนิดของกระบวนการผลิต (Process corner)	วงจรถ่ายโอน	วงจรถ่ายโอน [23]	วงจรถ่ายโอน [22]	วงจรถ่ายโอน [20]
TT	1.511	1.492	1.500	1.515
FF	1.508	1.481	1.208	1.458
SS	1.507	1.596	1.908	2.175
FS	1.539	1.268	1.286	0.655
SF	1.493	1.832	1.926	2.467
การเปลี่ยนแปลงสูงสุด (%)	1.9	22.8	28.4	62.8

ตารางที่ 4.8 คุณสมบัติของวงจรเปรียบเทียบกระแสแบบปรับปรุ้งที่นำเสนอจากการจำลองการทำงานด้วยโปรแกรม Hspice

Process technology	0.5 $\mu\text{m}$ CMOS
Supply voltage	Single supply +3 V
Propagation delay time ( $\pm 0.1 \mu\text{A}$ input)	1.67 ns
Average power consumption	0.63 mW
Power delay product ( $\pm 0.1 \mu\text{A}$ input)	1.05 pJ
Input resistance at node a	126 $\Omega$
Input resistance at node b	123 $\Omega$
Minimum input range	$\pm 0.01 \mu\text{A}$
Maximum $V_o$ variation for different process corner	1.9 %
Bandwidth of front-end circuit	1.02 GHz
Input offset current	0.5 nA
Sensitivity (12.5 MHz triangle input)	0.8 nA

4.5.4 เลย์เอาท์ (Layout) ของวงจรเปรียบเทียบกระแสแบบปรับปรุ้ง

ในหัวข้อนี้เป็นการนำวงจรเปรียบเทียบกระแสแบบปรับปรุ้งมาออกแบบเลย์เอาท์ (Layout) โดยใช้เทคโนโลยีซีมอส 0.5 ไมครอนของ Alcatel ขนาดของมอสทรานซิสเตอร์ถูกแสดงไว้ตามตารางที่ 4.4 ขนาดของวงจรมีค่ากับ  $2,300 \mu\text{m}^2$



รูปที่ 4.22 เลย์เอาท์ (Layout) ของวงจรเปรียบเทียบกระแสแบบปรับปรุ้ง

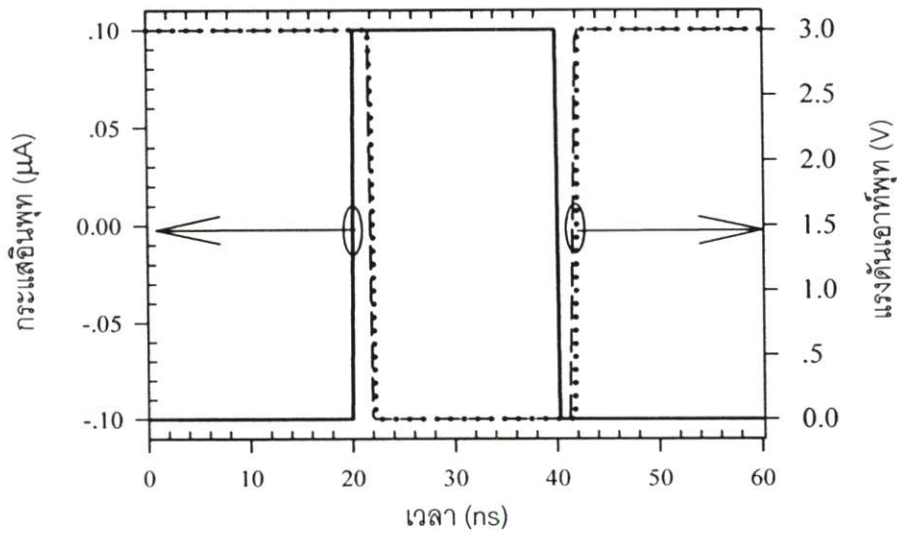
รูปที่ 4.22 เป็นรูปเลย์เอาต์ของวงจรเปรียบเทียบกระแสแบบปรับปรุง พื้นที่ส่วนใหญ่ที่เสียไปในการเลย์เอาต์คือพินออสทรานซิสเตอร์เนื่องจากความจำเป็นที่ต้องมีบ่อ (Well) ในกระบวนการผลิต ผลการจำลองการทำงานหลังการเลย์เอาต์โดยใช้ Hspice พบว่ากระแสอินพุทออฟเซตมีค่าสูงขึ้นเล็กน้อยซึ่งเท่ากับ 6.51 nA นอกจากนี้ค่าเวลาหน่วงของวงจรหลังการเลย์เอาต์มีค่าสูงกว่าก่อนการเลย์เอาต์ ดังจะเห็นได้จากรูปที่ 4.23 ถึงรูปที่ 4.25 จากรูปที่ 4.23 ถึงรูปที่ 4.24 สัญลักษณ์เส้นทึบแสดงกระแสอินพุท เส้นประแสดงผลที่ได้จากวงจรก่อนการเลย์เอาต์ (Prelayout) และสัญลักษณ์จุด (•••) แสดงผลที่ได้จากการจำลองการทำงานของวงจรหลังการเลย์เอาต์ (Postlayout) ในรูปที่ 4.23 ค่าเวลาหน่วงโดยเฉลี่ยของวงจรหลังการเลย์เอาต์มีค่ามากกว่าก่อนการเลย์เอาต์เนื่องจากค่าเก็บประจุแฝงที่เกิดจากการเลย์เอาต์ รูปที่ 4.24 แสดงค่าความไวของวงจรหลังการเลย์เอาต์เท่ากับ 0.9 nA

จากรูปที่ 4.25 ถึงรูปที่ 4.28 สัญลักษณ์เส้นทึบแสดงผลก่อนการเลย์เอาต์และสัญลักษณ์สามเหลี่ยม ( $\Delta$ ) แสดงผลที่ได้หลังการเลย์เอาต์ รูปที่ 4.25 แสดงค่าเวลาหน่วงที่เพิ่มขึ้นจากผลของตัวเก็บประจุแฝงจากการเลย์เอาต์ แต่ในรูปที่ 4.26 พบว่าค่ากำลังงานสูญเสียยังคงใกล้เคียงกับผลก่อนการเลย์เอาต์ทำให้ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วงในรูปที่ 4.27 มีค่าสูงขึ้น รูปที่ 4.28 แสดงค่าความต้านทานขาเข้าซึ่งยังคงมีค่าใกล้เคียงกับผลก่อนการเลย์เอาต์

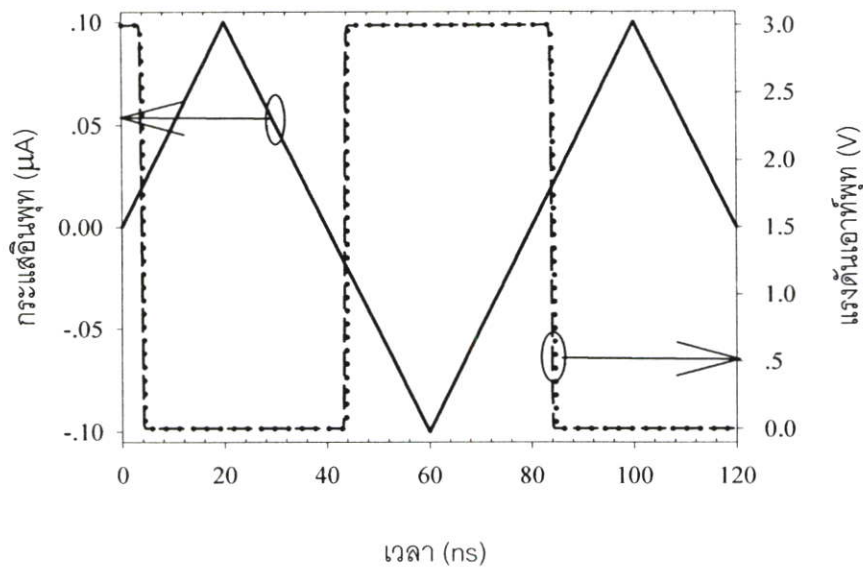
ตารางที่ 4.9 แสดงค่าความต้านทานขาเข้าของวงจรที่เสนอ ณ โหนด a และ b ก่อนและหลังการเลย์เอาต์ภายใต้ค่าพารามิเตอร์ในกระบวนการผลิตต่างๆ กัน (Process corner) พบว่าค่าความต้านทานขาเข้าทั้งสองโหนดยังคงมีค่าใกล้เคียงกับก่อนการเลย์เอาต์และมีการเปลี่ยนแปลงตามพารามิเตอร์ในกระบวนการผลิตน้อยมาก

ตารางที่ 4.10 แสดงให้เห็นว่าวงจรส่วนหน้าของวงจรที่เสนอภายหลังการเลย์เอาต์ยังคงมีความคงทนต่อการเปลี่ยนแปลงของกระบวนการผลิตที่พารามิเตอร์ต่างๆ กัน วงจรที่นำเสนอมีการเปลี่ยนแปลงสูงสุดของแรงดันเอาต์พุทของวงจรส่วนหน้าเพียง 1.9 % เท่านั้นเช่นเดียวกับก่อนการเลย์เอาต์

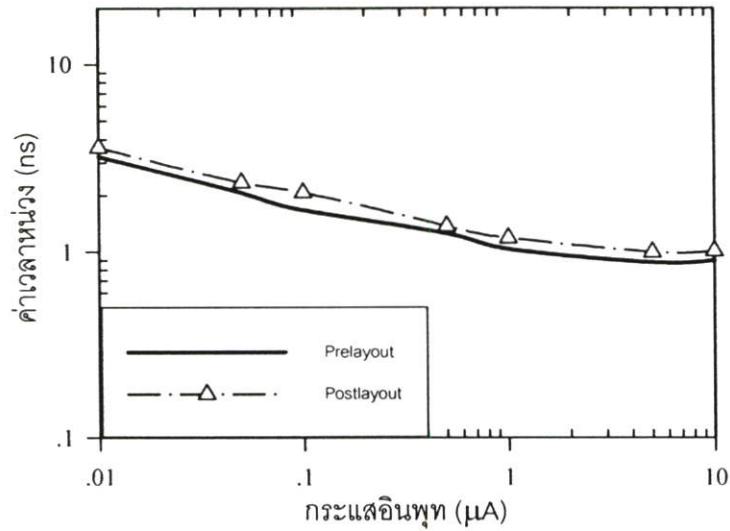
ตารางที่ 4.11 แสดงคุณสมบัติโดยรวมของวงจรเปรียบเทียบกระแสแบบปรับปรุงก่อนและหลังการเลย์เอาต์ ค่าเวลาหน่วงและกระแสอินพุทออฟเซตมีค่าเพิ่มขึ้นเล็กน้อย โดยกระแสอินพุทออฟเซตนี้เพิ่มขึ้นจากผลของความต้านทานแฝงที่เกิดจากการเลย์เอาต์



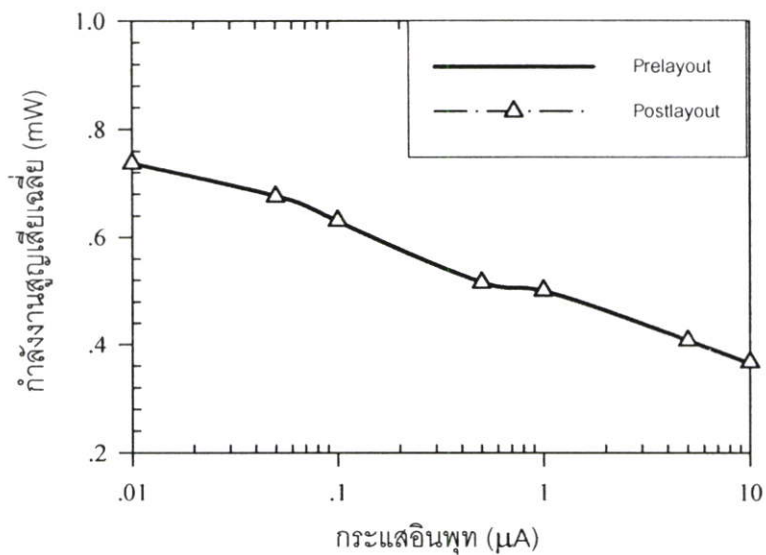
รูปที่ 4.23 ผลตอบสนองทางเวลาของวงจรเปรียบเทียบกระแสแบบปรับงเมื่อป้อนอินพุท ขนาด  $\pm 0.1 \mu A$  ที่ความถี่ 25 MHz ก่อนและหลังการเลี้ยวเอียง (— : กระแสอินพุท; --- : แรงดันเอาต์พุทก่อนเลี้ยวเอียง; ... : แรงดันเอาต์พุทหลังเลี้ยวเอียง)



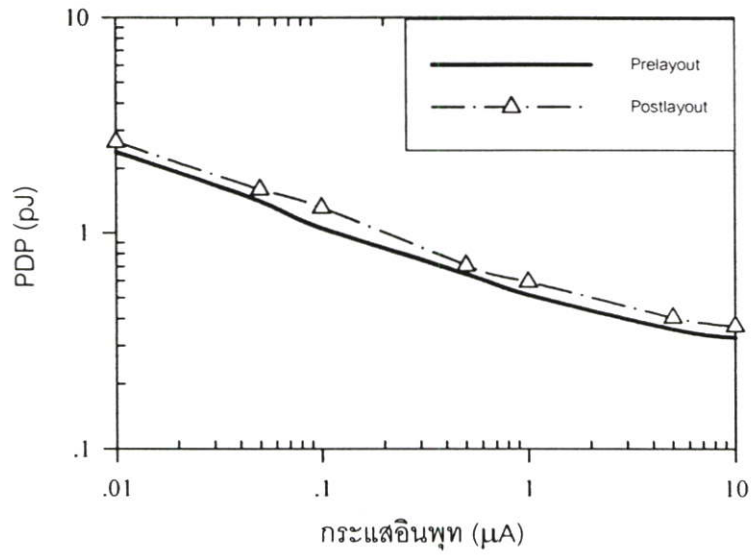
รูปที่ 4.24 ความไวของวงจรเปรียบเทียบกระแสแบบปรับงก่อนและหลังการเลี้ยวเอียง (— : กระแสอินพุท; --- : แรงดันเอาต์พุทก่อนเลี้ยวเอียง; ... : แรงดันเอาต์พุทหลังเลี้ยวเอียง)



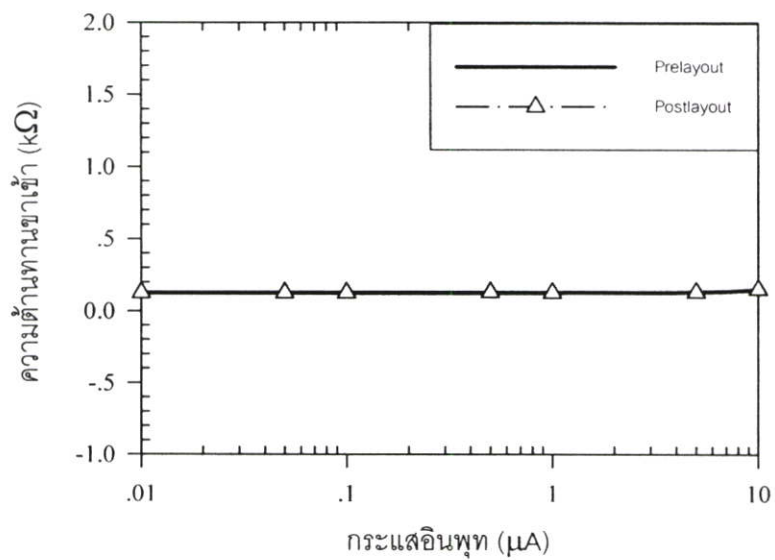
รูปที่ 4.25 ค่าเวลาหน่วงเมื่อป้อนกระแสไฟฟ้าขนาด  $0.01 \mu A$ - $10 \mu A$  ก่อนและหลังการเลย์เอาต์



รูปที่ 4.26 กำลังงานสูญเสียเฉลี่ยเมื่อป้อนกระแสไฟฟ้าขนาด  $0.01 \mu A$ - $10 \mu A$  ก่อนและหลังการเลย์เอาต์



รูปที่ 4.27 ผลคูณของกำลังงานสูญเสียกับค่าเวลาหน่วง (Power delay product, PDP) ก่อนและหลังการเลย์เอาต์



รูปที่ 4.28 ค่าความต้านทานขาเข้าที่โนด b ของวงจรเปรียบเทียบกระแสแบบปรับปรุงก่อนและหลังการเลย์เอาต์

ตารางที่ 4.9 ค่าความต้านทานขาเข้าของวงจรที่เสนอ ณ โหนด a และ b ก่อนและหลังการเลย์เอาต์ที่ค่าพารามิเตอร์ในกระบวนการผลิตต่างๆ กัน (Process corner)

ชนิดของกระบวนการผลิต (Process corner)	$R_{in(a)}$		$R_{in(b)}$	
	ก่อนเลย์เอาต์	หลังเลย์เอาต์	ก่อนเลย์เอาต์	หลังเลย์เอาต์
TT	126.34	126.36	122.64	122.65
FF	124.84	124.84	129.25	129.25
SS	151.29	152.31	141.16	141.66
FS	252.18	252.39	232.99	233.09
SF	135.53	135.53	143.66	143.66

ตารางที่ 4.10 การเปลี่ยนแปลงของแรงดันที่โหนด  $V_o$  ของวงจรเปรียบเทียบกับกระแสแบบปรับปรุงต่อการเปลี่ยนแปลงของกระบวนการผลิตก่อนและหลังการเลย์เอาต์

ชนิดของกระบวนการผลิต (Process corner)	ก่อนเลย์เอาต์	หลังเลย์เอาต์
TT	1.511	1.511
FF	1.508	1.508
SS	1.507	1.506
FS	1.539	1.539
SF	1.493	1.493
การเปลี่ยนแปลงสูงสุด (%)	1.9	1.9

ตารางที่ 4.11 คุณสมบัติของวงจรเปรียบเทียบกระแสแบบปรับปรุ้งก่อนและหลังการเลย์เอาท์

พารามิเตอร์ (Parameters)	ก่อนเลย์เอาท์	หลังเลย์เอาท์
Propagation delay time ( $\pm 0.1 \mu A$ input)	1.67 ns	2.07 ns
Average power consumption	0.63 mW	0.63 mW
Power delay product ( $\pm 0.1 \mu A$ input)	1.05 pJ	1.306 pJ
Input resistance at node a	126 $\Omega$	126 $\Omega$
Input resistance at node b	123 $\Omega$	123 $\Omega$
Maximum $V_o$ variation for different process corner	1.9 %	1.9 %
Transimpedance gain (front-end circuit)	90.3 dB	90.18 dB
Bandwidth of front-end circuit	1.02 GHz	777 MHz
Input offset current	0.5 nA	6.51 nA
Sensitivity (12.5 MHz triangle input)	0.8 nA	0.9 nA

#### 4.6 สรุป

วงจรเปรียบเทียบกระแสแบบแรกที่น่าเสนอในหัวข้อ 4.3 นั้นมีข้อดีที่ใช้อุปกรณ์น้อย วงจรไม่ซับซ้อน การไบอัสวงจรสามารถทำได้ง่ายกว่าและสามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำกว่า เพราะไม่มีวงจรลดความต้านทานขาเข้า อีกทั้งยังมีค่าเวลาหน่วงน้อยกว่าวงจรเปรียบเทียบกระแสแบบปรับปรุ้งอีกด้วย อย่างไรก็ตามค่าความต้านทานที่อินพุตทั้งสองนั้น (จุดสัญญาณเข้าของกระแสอ้างอิงและกระแสอินพุต) มีค่าไม่เท่ากัน รวมทั้งไม่สามารถปรับแรงดันออฟเซตในภาคขยายแรงดัน นอกจากนี้วงจรในหัวข้อ 4.3 นั้นไม่สามารถทำงานได้ดีภายใต้การเปลี่ยนแปลงของกระบวนการผลิต (Process corner) วงจรเปรียบเทียบกระแสแบบปรับปรุ้งในหัวข้อ 4.5 นั้นได้ถูกออกแบบและสามารถแก้ปัญหาดังกล่าวทั้งหมด โดยผลจำลองการทำงานของวงจรได้เสนอไว้แล้วในหัวข้อที่ 4.5.3

## บทที่ 5

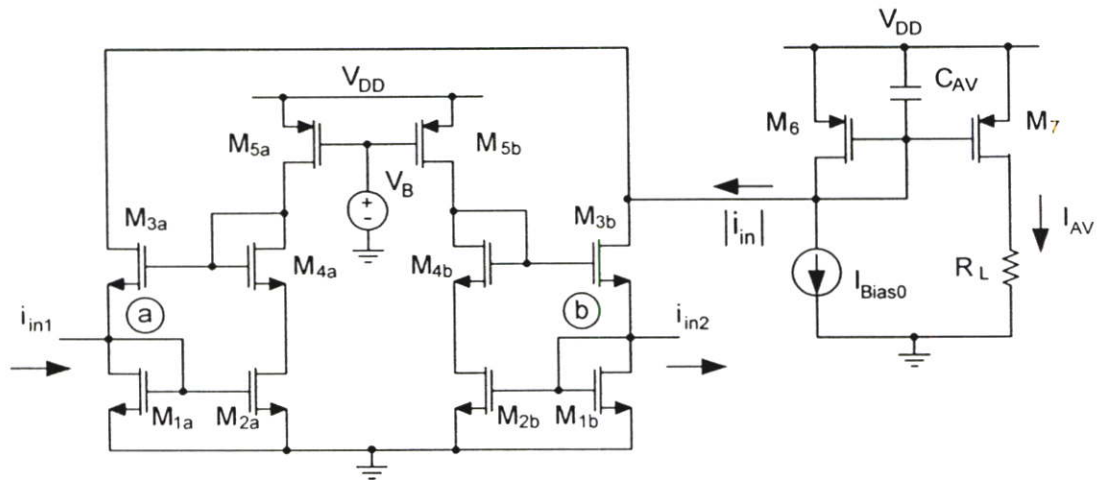
# การประยุกต์ใช้งานวงจรเรียงกระแสแบบเต็มคลื่น และวงจรเปรียบเทียบกระแส

### 5.1 กล่าวนำ

วงจรเรียงกระแสแบบเต็มคลื่น (Precision full-wave rectifiers, PFWR) เป็นวงจรพื้นฐาน (Building blocks) ที่ใช้ในงานด้านประมวลผลสัญญาณ การวัดสัญญาณและ/หรือการตรวจจับสัญญาณ เช่น วงจรตรวจจับขนาดสัญญาณในภาคเซอร์โวของฮาร์ดไดรฟ์ [30] นอกจากนี้ยังมีการใช้งานมากในการดีมอดูเลตที่ย่านความถี่วิทยุ (RF demodulator) [31, 32-33] รวมทั้งงานด้านระบบโครงข่ายนิวรอล (Neural network) [34] อีกทั้งสามารถใช้ประยุกต์สร้างเป็นวงจรหาค่าอาร์เอ็มเอส (RMS-to-DC converters) [14] วงจรตรวจจับระดับยอดของสัญญาณในงานด้านความถี่เหนือเสียง (Ultrasonic) [15] และสร้างวงจรถ้าเนดสัญญาณแบบเชิงเส้น (Piecewise linear function generator) [33] ในขณะที่เดียวกันวงจรเปรียบเทียบสัญญาณเป็นอีกวงจรหนึ่งที่มีบทบาทสำคัญในการตรวจจับขนาดของสัญญาณว่ามีค่ามากหรือน้อยกว่าศูนย์หรือใช้เปรียบเทียบขนาดของสัญญาณอินพุทกับสัญญาณอ้างอิง นิยมใช้งานในวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (A/D converter) [20] รวมทั้งการส่งผ่านข้อมูล (Data transmission) วงจรแหล่งจ่ายไฟแบบสวิตชิง (Switching power regulators) วงจรกำเนิดสัญญาณ (Oscillator) งานด้านโครงข่ายวงจรรวมขนาดใหญ่แบบนิวรอล (VLSI neural network) และการประยุกต์ใช้กับการประมวลผลของสัญญาณ (Signal processing)

ในบทนี้เป็นการนำวงจรเรียงกระแสและวงจรเปรียบเทียบกระแสไปประยุกต์ใช้งานเป็นวงจรอื่นๆ โดยการต่อวงจรเรียงกระแสแบบเต็มคลื่นเป็นวงจรหาค่าเฉลี่ยของสัญญาณกระแส (Averaging current value circuit) นอกจากนี้ได้ใช้วงจรหาค่าเฉลี่ยของสัญญาณกระแสที่ออกแบบนี้ต่อร่วมกับวงจรเปรียบเทียบกระแสเพื่อใช้สร้างวงจรควบคุมอัตราขยายอัตโนมัติ (AGC) ในวงจรถ้าเนดสัญญาณข่ายน์ด้วย

## 5.2 วงจรหาค่าเฉลี่ยของสัญญาณกระแสโดยอาศัยวงจรเรียงกระแสแบบเต็มคลื่น



รูปที่ 5.1 วงจรหาค่าเฉลี่ยของสัญญาณกระแส (Averaging current value circuit)

### 5.2.1 หลักการทำงานของวงจร

การประยุกต์ใช้งานวงจรเรียงกระแสแบบเต็มคลื่นที่ได้รับความนิยมแบบหนึ่งคือการสร้างวงจรหาค่าเฉลี่ยของสัญญาณโดยการป้อนสัญญาณกระแสเต็มคลื่นเข้าสู่วงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง [14] ดังแสดงในรูปที่ 5.1 สังเกตว่าความต้านทานเอาต์พุตของวงจรเรียงกระแสที่ได้นำเสนอมีค่าสูง (ต่อแบบแคสโคด) จึงไม่เกิดปัญหาในการขับกระแสมายังอินพุตของวงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง (1<sup>st</sup> order low-pass filter)

มอสทรานซิสเตอร์  $M_{1a,b}$ - $M_{5a,b}$  ในรูปที่ 5.1 ประกอบเป็นวงจรเรียงกระแสแบบเต็มคลื่น ดังที่ได้กล่าวไว้แล้วในหัวข้อ 3.3 มอสทรานซิสเตอร์  $M_6$  และ  $M_7$  ประกอบเป็นวงจรสะท้อนกระแส โดยต่อร่วมกับตัวเก็บประจุ  $C_{AV}$  ทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง (1<sup>st</sup> order low-pass filter) เมื่อนำมาต่อร่วมกับวงจรเรียงกระแสแบบเต็มคลื่นก็จะได้วงจรหาค่าเฉลี่ยของสัญญาณ (Averaging circuit)

### 5.2.2 การวิเคราะห์วงจร

ความสัมพันธ์ระหว่างกระแสอินพุตของวงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง  $|i_{in}|$  และกระแสเอาต์พุต  $I_{AV}$  มีค่าเท่ากับ [14]

$$I_{AV} = \frac{|i_{in}|}{1 + S(C_{AV} / g_{m6})} \quad (5.1)$$

โดยการออกแบบให้  $SC_{AV} / g_{m6} \gg 1$  จะได้  $I_{AV}$  ในโดเมนทางความถี่ (s-domain) และโดเมนทางเวลา (Time domain) เท่ากับสมการ (5.2) และ (5.3) ตามลำดับ

$$I_{AV} = |i_{in}| \cdot \frac{g_{m6}}{SC_{AV}} \quad (5.2)$$

$$I_{AV} = \frac{1}{T} \int_0^T |i_{in}| dt \quad (5.3)$$

โดยที่  $T$  เป็นค่าคงตัวเวลา(RC-time constant) มีค่าเท่ากับ  $C_{AV} / g_{m6}$

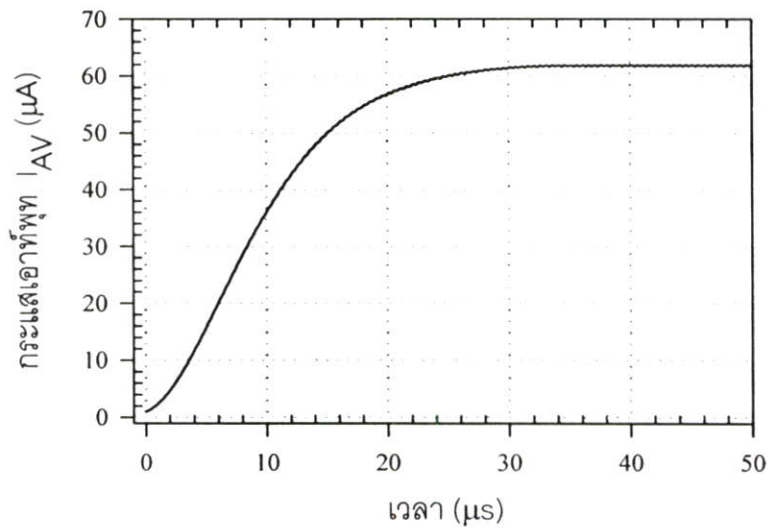
ขนาดของตัวเก็บประจุ  $C_{AV}$  มีความสำคัญในการกำหนดขนาดแรงดันกระเพื่อม (Ripple voltage) ดังนั้นควรออกแบบให้  $C_{AV}$  มีค่าเท่ากับ [14, 35]

$$C_{AV} \gg \frac{g_{m6(\max)}}{4\pi f(\min)} \quad (5.4)$$

โดยที่  $f(\min)$  คือความถี่ต่ำสุดของสัญญาณกระแสอินพุตที่ป้อนเข้าสู่วงจรของความถี่ต่ำผ่านอันดับหนึ่งและ  $g_{m6(\max)}$  มีค่าเท่ากับ  $\sqrt{2\mu C_{ox}(W/L)_6 |i_{m(\max)}|}$

### 5.2.3 ผลการจำลองการทำงานของวงจรด้วยโปรแกรม Hspice

เพื่อเป็นการยืนยันผลการทำงานของวงจร วิทยานิพนธ์ฉบับนี้ได้ออกแบบวงจรในรูปแบบที่ 5.1 โดยใช้โมเดลพารามิเตอร์ของ Alcatel 0.5 ไมครอน (level 49) ภายใต้แหล่งจ่ายไฟขนาด 3 โวลต์ กำหนดขนาดของมอสทรานซิสเตอร์ดังตารางที่ 5.1 และใช้ค่า  $C_{AV}$  เท่ากับ 1 nF เมื่อป้อนกระแสอินพุตเข้าวงจรเรียงกระแสขนาดเท่ากับ  $\pm 100 \mu A$  และความถี่เท่ากับ 4 MHz ได้วัดสัญญาณเอาต์พุตของวงจรหาค่าเฉลี่ยดังรูปที่ 5.2 จากรูปจะเห็นว่าวงจรหาค่าเฉลี่ยนี้สามารถทำงานได้อย่างถูกต้องโดยมีความผิดพลาดเท่ากับ 1.7 %



รูปที่ 5.2 ค่าเฉลี่ยของกระแสเอาต์พุตที่ผ่านการเรียงกระแสแบบเต็มคลื่นเมื่อป้อนกระแสอินพุตของวงจรเรียงกระแสขนาด  $\pm 100 \mu A$  โดยมีความถี่ 4 MHz และใช้ค่า  $C_{AV} = 1nF$

ตารางที่ 5.1 ขนาดของมอสทรานซิสเตอร์ในรูปที่ 5.1

มอสทรานซิสเตอร์	ขนาด W/L ( $\mu m$ )
$M_{1a,b} - M_{4a,b}$	0.5/0.5
$M_{5a,b}$	7/2
$M_6, M_7$	10/2

### 5.3 วงจรกำเนิดสัญญาณชายนัน

#### 5.3.1 หลักการออกแบบวงจรกำเนิดสัญญาณ

วงจรกำเนิดสัญญาณ (Oscillator) เป็นวงจรไฟฟ้าที่สามารถให้กำเนิดสัญญาณทางด้านเอาต์พุตเป็นสัญญาณรายคาบ (Periodic Signal) โดยไม่จำเป็นต้องมีสัญญาณทางด้านอินพุต วงจรกำเนิดสัญญาณนั้นเป็นวงจรพื้นฐานอย่างหนึ่งที่เข้ามามีบทบาทในทางวิศวกรรมด้านต่างๆ เช่น ในระบบเครื่องมือวัดและระบบสื่อสารโทรคมนาคม โดยถูกใช้เป็นวงจรสร้างคลื่นพาห์ (Carrier Signal) เพื่อใช้ในการมอดดูเลตสัญญาณ (Modulation) หรือสร้างสัญญาณนาฬิกาอ้างอิง (Reference Clock Signal) ให้แก่ระบบ วงจรกำเนิดสัญญาณมีการใช้งานทั่วไปในอุปกรณ์ไฟฟ้าชนิดต่างๆ เช่น โทรศัพท์มือถือ วิทยุ เครื่องเล่นเทป คอมพิวเตอร์และวิทยุรับส่ง เป็นต้น

นอกจากนี้วงจรกำเนิดสัญญาณเป็นส่วนสำคัญในการสร้างวงจรเฟสล็อกคูล (Phase-locked loop) และวงจรสังเคราะห์ทางความถี่ (Frequency synthesizer)

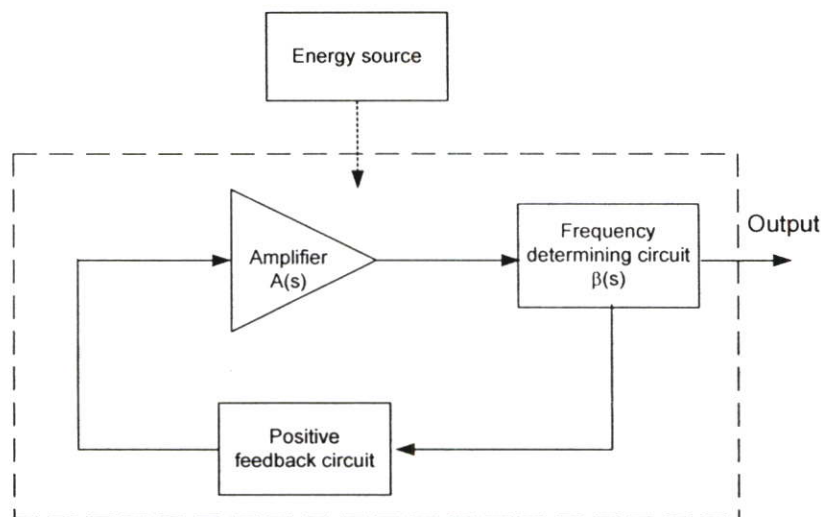
รูปที่ 5.3 แสดงองค์ประกอบหลักของวงจรกำเนิดสัญญาณซึ่งประกอบด้วย [36]

(1) แหล่งกำเนิดพลังงาน (Energy source) ได้แก่แหล่งจ่ายไฟตรงที่มีคัทดาคงที่

(2) วงจรกำหนดความถี่ของการกำเนิดสัญญาณ (Frequency determining circuit) เป็นวงจรที่ใช้เลือกความถี่ของสัญญาณ

(3) วงจรขยาย (Amplifier circuit) เป็นวงจรที่ทำหน้าที่ขยายสัญญาณเพื่อชดเชยพลังงานในส่วนที่สูญเสียไปในวงจรกำหนดความถี่

(4) วงจรป้อนกลับแบบบวก (Positive feedback circuit) หรือรีเจนเนอเรเตอร์ (Regenerator) เป็นวงจรที่นำสัญญาณทางด้านเอาต์พุตของวงจรกำหนดความถี่ป้อนกลับเข้ายังด้านอินพุตของวงจขยายสัญญาณโดยเฟสของสัญญาณที่ป้อนกลับต้องมีมุมเฟสตรงกันกับสัญญาณทางอินพุตของวงจขยายเพื่อเป็นการเสริมขนาดของสัญญาณ



รูปที่ 5.3 ไดอะแกรมแสดงองค์ประกอบของวงจรกำเนิดสัญญาณ

ข้อกำหนดของบาร์คเฮาเซน (Barkhausen Criterion) ซึ่งเป็นที่รู้จักกันดีในการออกแบบวงจรกำเนิดสัญญาณได้อธิบายไว้ว่าการสร้างสัญญาณชายนที่บริสุทธิ์นอกจากจำเป็นต้องใช้การป้อนกลับแบบบวกแล้วค่าผลคูณของอัตราขยายป้อนกลับ ( $A(s)$ ) กับอัตราขยายลูปเปิด ( $\beta(s)$ ) หรือเรียกอีกอย่างหนึ่งว่าลูปเกน (Loop gain) ต้องมีค่าเท่ากับหนึ่งและเฟสของลูปเกนต้องมีค่าเท่ากับ  $2n\pi$  ( $n$  เป็นเลขจำนวนเต็ม) ดังสมการ (5.5)

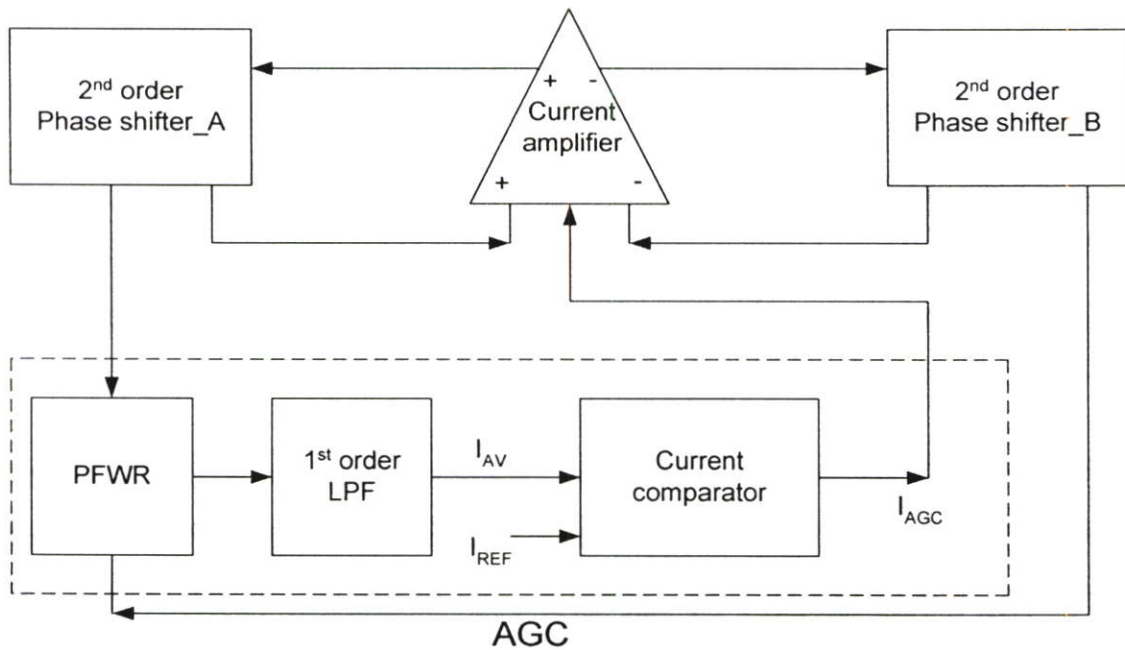
$$|A(s)\beta(s)|=1 ; s = j\omega$$

$$\text{ค่าเฟสของ } A(s)\beta(s) = 2n\pi \text{ โดยที่ } n = 0, 1, 2, \dots \quad (5.5)$$

โดยที่  $A(s)$  คือค่าอัตราขยายของวงจรรขยายและ  $\beta(s)$  คือค่าอัตราขยายของวงจรถูกกำหนดความถี่

### 5.3.2 วงจรถูกกำเนิดสัญญาณชายนแบบดิฟเฟอเรนเชียลที่นำเสนอ

วงจรถูกกำเนิดสัญญาณชายนในวิทยานิพนธ์ฉบับนี้เป็นการต่อร่วมกันของวงจรเลื่อนเฟส วงจรรขยายกระแสและวงจรถูกควบคุมอัตราขยายอัตโนมัติซึ่งประกอบด้วยวงจรเรียงกระแสและวงจรถูกเปรียบเทียบกระแส



รูปที่ 5.4 บล็อกไดอะแกรมของวงจรถูกกำเนิดสัญญาณชายนแบบดิฟเฟอเรนเชียลที่ได้ออกแบบ

การทำงานของวงจรในรูปที่ 5.4 สามารถอธิบายได้ดังนี้ วงจรเลื่อนเฟสอันดับสอง ( $2^{\text{nd}}$  order phase shifter) ทำหน้าที่เป็นตัวกำหนดความถี่ออสซิลเลต (Frequency determining circuit) อีกทั้งการปรับจูนความถี่ก็สามารถทำได้ทั้งที่วงจรถูกเลื่อนเฟสนี้เอง วงจรรขยายกระแส (Current amplifier) ทำหน้าที่ขยายกระแสเพื่อชดเชยพลังงานที่สูญเสียไปในวงจรถูกกำหนดความถี่ เพื่อให้ค่าอัตราขยายรวมของระบบเท่ากับหนึ่งซึ่งเป็นเงื่อนไขในการสร้างวงจรถูกกำเนิดสัญญาณชายนตามสมการ (5.5) วงจรถูกควบคุมอัตราขยายอัตโนมัติ (AGC) ประกอบด้วยวงจรถูกเรียงกระแส

แบบเต็มคลื่น (PFWR) ต่ออนุกรมอยู่กับวงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง ( $1^{\text{st}}$  order LPF) ทำหน้าที่เป็นวงจรถ่ายค่าเฉลี่ยของสัญญาณ ค่าเฉลี่ยของสัญญาณที่ได้จะถูกนำไปเปรียบเทียบกับสัญญาณกระแสอ้างอิง ( $I_{\text{REF}}$ ) โดยใช้วงจรเปรียบเทียบกระแส (Current comparator) สัญญาณที่ได้จากวงจรเปรียบเทียบกระแสจะถูกนำไปควบคุมอัตราขยายกระแส ( $A(s)$ ) เพื่อให้เงื่อนไขในสมการ (5.5) เป็นจริง

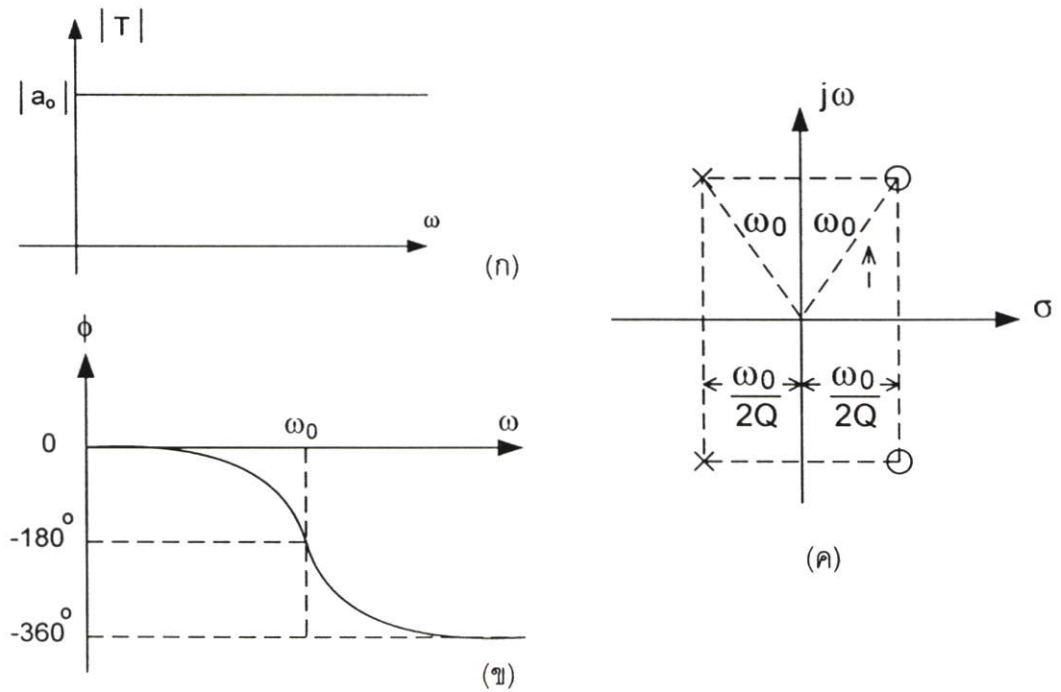
### 5.3.2.1 วงจรกำหนดความถี่ของการกำเนิดสัญญาณ (Frequency determining circuit)

วิทยานิพนธ์ฉบับนี้ใช้วงจรเลื่อนเฟสอันดับสอง ( $2^{\text{nd}}$  order phase shifter) เป็นวงจรถ่ายค่าเฉลี่ยโดยวงจรถูกออกแบบให้ทำงานในลักษณะผลต่าง (Differential) รูปสมการทั่วไปของวงจรเลื่อนเฟสอันดับสองคือ [12]

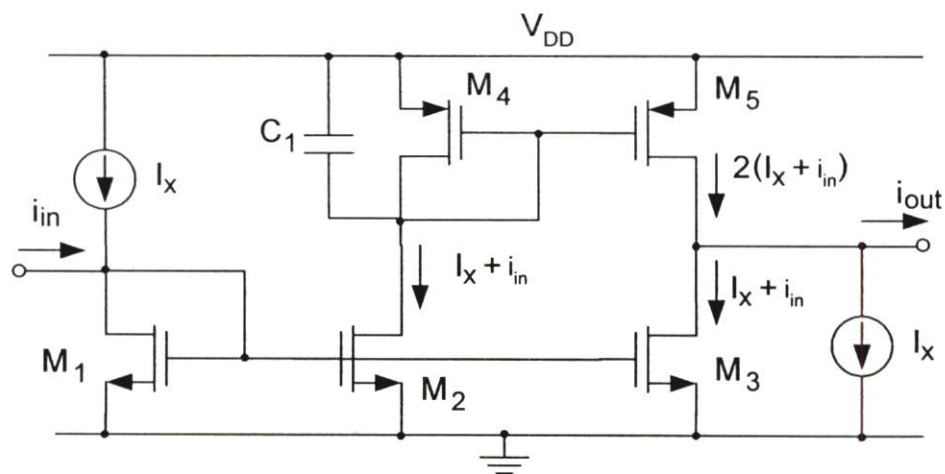
$$T_{AP}(s) = a_0 \frac{s^2 - s \frac{\omega_0}{Q} + \omega_0^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \quad (5.6)$$

โดยที่  $a_0$  คือค่าอัตราขยายของวงจร (Flat gain),  $\omega_0$  คือค่าความถี่กึ่งกลาง (Center frequency) (ดูรูปที่ 5.5 (ข) ประกอบ) และ  $Q$  คือตัวประกอบคุณภาพ (Quality Factor)

สมการ (5.6) สามารถนำไปสร้างกราฟคุณสมบัติของวงจรเลื่อนเฟสอันดับสองได้ดังรูปที่ 5.5 รูปที่ 5.5 (ก) เป็นอัตราขยายของวงจรเลื่อนเฟสซึ่งโดยทั่วไปแล้วมักถูกออกแบบให้มีค่าประมาณหนึ่ง ดังนั้นวงจรเลื่อนเฟสจึงมีชื่อเรียกอีกอย่างหนึ่งว่าวงจรกรองความถี่ผ่านตลอด (All-pass filter) โดยผลตอบสนองทางขนาดของสัญญาณจะคงที่ตลอดทุกความถี่ (Flat gain) รูปที่ 5.5 (ข) แสดงเฟสของวงจรเลื่อนเฟสอันดับสอง จากรูปสังเกตได้ว่าค่าความถี่กึ่งกลาง ( $\omega_0$ ) ของวงจรเลื่อนเฟสอันดับสองมีค่าตรงกับมุมเฟสที่ 180 องศาพอดีซึ่งเป็นค่าความถี่ที่ใช้ในการกำหนดความถี่ของสัญญาณออสซิลเลตเมื่อสร้างเป็นวงจรถ่ายค่าเฉลี่ยสัญญาณชานน์ รูปที่ 5.5 (ค) แสดงซีโรสองตัวซึ่งอยู่ทางซ้ายของระนาบความถี่เชิงซ้อน (s-plane) โดยจะอยู่ตำแหน่งตรงข้ามกับโพลสองตัวที่อยู่ด้านฝั่งซ้ายของระนาบพอดี ลักษณะของโพลและซีโรเช่นนี้ทำให้ผลตอบสนองทางขนาดของสัญญาณคงที่ตลอดทุกความถี่



รูปที่ 5.5 คุณสมบัติของวงจรเลื่อนเฟสอันดับสอง (ก) อัตราขยายของวงจรเลื่อนเฟสอันดับสอง (ข) มุมเฟส ( $\phi$ ) (ค) ตำแหน่งของโพลและซีโรในระนาบความถี่เชิงซ้อน (s-plane)



รูปที่ 5.6 วงจรเลื่อนเฟสอันดับหนึ่งโดยใช้วงจรสะท้อนกระแส

รูปที่ 5.6 เป็นวงจรเลื่อนเฟสที่ได้นำเสนอในวิทยานิพนธ์นี้ หลักการทำงานของวงจรมีคล้ายกับวงจรเลื่อนเฟสที่เสนอโดย [37] การทำงานของวงจรในรูปที่ 5.6 เป็นดังนี้ วงจรสะท้อนกระแสซึ่งประกอบด้วยมอสทรานซิสเตอร์  $M_1$ - $M_3$  เป็นวงจรสะท้อนกระแสชุดที่หนึ่งซึ่งทำหน้าที่รับสัญญาณกระแสอินพุตและกำหนดให้วงจรสะท้อนกระแสนี้มีอัตราการสะท้อนกระแสเท่ากับหนึ่ง

ในขณะที่วงจรถ่ายโอนกระแสชุดที่สองซึ่งประกอบด้วยมอสทรานซิสเตอร์  $M_4$ - $M_5$  มีอัตราการถ่ายโอนกระแสเป็นสองเท่าโดยออกแบบให้มอสทรานซิสเตอร์  $M_5$  มีขนาดใหญ่กว่ามอสทรานซิสเตอร์  $M_4$  สองเท่า จากนั้นนำวงจรถ่ายโอนกระแสชุดที่สองมาต่อร่วมกับตัวเก็บประจุ  $C_1$  เพื่อทำหน้าที่เป็นวงจรถ่ายโอนความถี่ต่ำผ่าน เมื่อทำการวิเคราะห์หาค่าความสัมพันธ์ระหว่างกระแสเอาต์พุตและกระแสอินพุตได้สมการถ่ายโอนดังสมการ (5.7)

$$\frac{i_{out}}{i_{in}} = \frac{2}{(1 + s\tau_1)(1 + s\tau_2)} - \frac{1}{1 + s\tau_1} = \frac{1 - s\tau_2}{s^2\tau_1\tau_2 + s(\tau_1 + \tau_2) + 1} \tag{5.7}$$

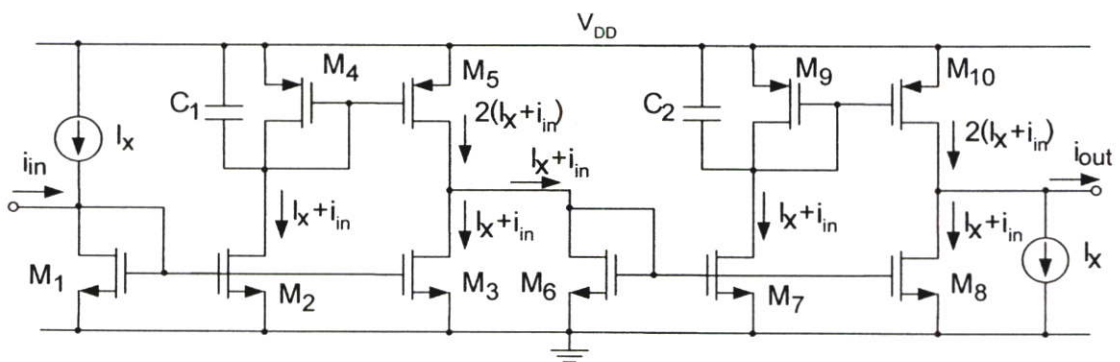
โดยที่  $\tau_1$  มีค่าเท่ากับ  $\frac{1}{g_{m1}}(c_{gs1} + c_{gs2} + c_{gs3})$  และ  $\tau_2$  มีค่าเท่ากับ  $\frac{C_1 + c_{gs4} + c_{gs5}}{g_{m4}}$

ถ้ากำหนดให้  $\tau_1 \ll \tau_2$  สมการ (5.7) จะลดรูปเป็น

$$\frac{i_{out}}{i_{in}} = \frac{(1 - s\tau_2)}{(1 + s\tau_2)} \tag{5.8}$$

โดยการวิเคราะห์สมการ (5.8) สามารถหาค่ามุมเฟสของวงจรถ่ายโอนเฟสอันดับหนึ่งได้เท่ากับ [38]

$$\phi_{AP} = -2 \tan^{-1}(2\pi f\tau_2) \tag{5.9}$$



รูปที่ 5.7 วงจรถ่ายโอนเฟสอันดับสองโดยใช้วงจรถ่ายโอนกระแส

เมื่อนำวงจรถ่ายโอนในรูปที่ 5.6 สองวงจรมาต่ออนุกรมดังรูปที่ 5.7 จะได้วงจรถ่ายโอนเฟสอันดับสอง โดยกำหนดให้  $\tau_2 = T$  ในสมการ (5.8) จะได้สมการถ่ายโอนเท่ากับ

$$\frac{i_{out}}{i_m} = \left( \frac{1-sT}{1+sT} \right)^2 = \frac{s^2 - \frac{2}{T}s + \frac{1}{T^2}}{s^2 + \frac{2}{T}s + \frac{1}{T^2}} \quad (5.10)$$

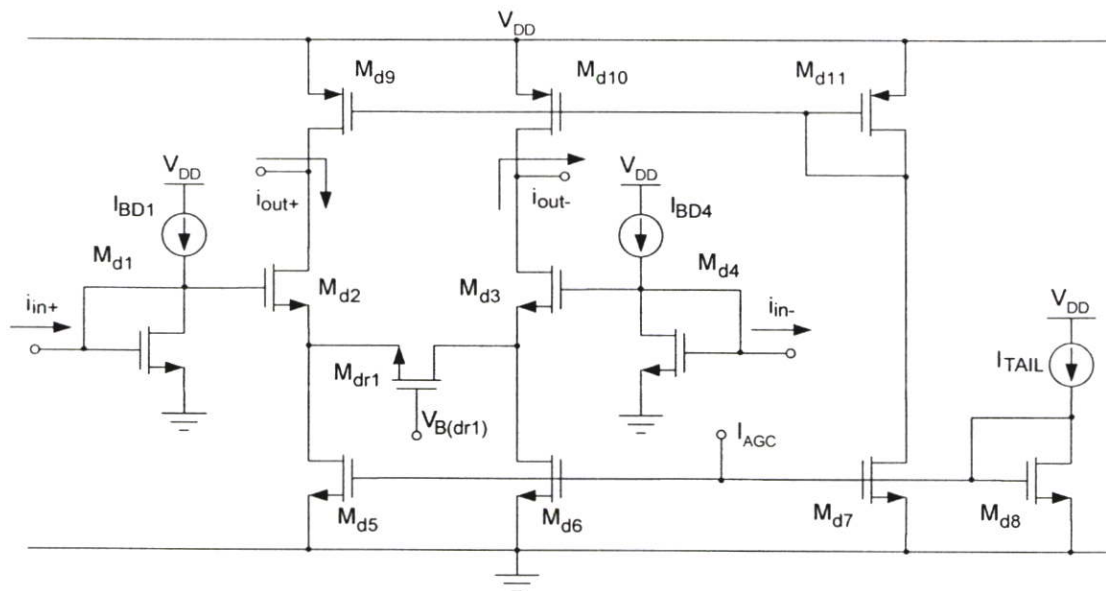
สมการ (5.10) นี้เป็นสมการรูปแบบเดียวกับสมการ (5.6) ที่ได้กล่าวไว้แล้ว จากการวิเคราะห์สมการ (5.6) และ (5.10) ได้ค่าความถี่กึ่งกลาง ( $\omega_0$ ) และตัวประกอบคุณภาพเท่ากับสมการ (5.11) และ (5.12) ตามลำดับ

$$\omega_0 = \frac{1}{T} \quad (5.11)$$

$$Q = \frac{1}{2} \quad (5.12)$$

### 5.3.2.2 วงจรขยายกระแส (Current amplifier circuit)

วิทยานิพนธ์นี้ได้ใช้วงจขยายกระแสโดยมีพื้นฐานจากวงจขยายความแตกต่าง (Differential amplifier) ที่มีภาคอินพุตดังรูปที่ 5.8



รูปที่ 5.8 วงจขยายกระแสโดยอาศัยวงจขยายความแตกต่าง

วงจรูปที่ 5.8 มีหลักการทำงานดังนี้ มอสทรานซิสเตอร์  $M_{d1}$  และ  $M_{d4}$  ต่อแบบไดโอดเพื่อทำหน้าที่เปลี่ยนกระแสอินพุตเป็นแรงดันอินพุต วงจขยายความแตกต่างซึ่งประกอบด้วย  $M_{d2}$ -

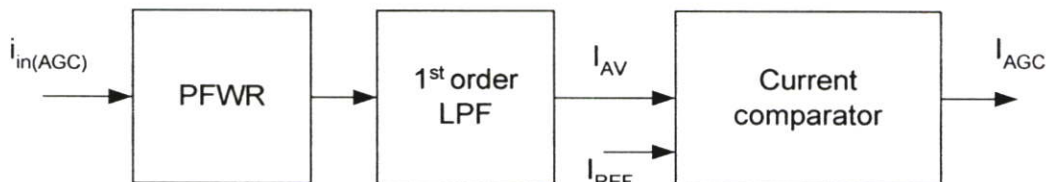
$M_{d3}$  ทำหน้าที่ขยายแรงดันอินพุทโดยมีโพลเป็นอินพุทของวงจรถ่ายโอนกระแสในวงจรถ่ายโอนเฟสอันดับสองในรูปที่ 5.7 มอสทรานซิสเตอร์  $M_{d5}$ - $M_{d11}$  ทำหน้าที่ไบอัสกระแสให้วงจรถ่ายโอนความแตกต่างในขณะที่มอสทรานซิสเตอร์  $M_{dr1}$  ถูกไบอัสให้ทำงานในย่านเชิงเส้นเพื่อทำหน้าที่แทนตัวต้านทาน การใส่ตัวต้านทานคร่อมที่ขาซอร์สของมอสทรานซิสเตอร์  $M_{d2}$  และ  $M_{d3}$  นั้นทำให้อัตราขยายของวงจรถ่ายโอนความแตกต่างมีความเป็นเชิงเส้นมากขึ้น ผลที่ได้คือวงจรถ่ายโอนจะมีค่าความผิดเพี้ยนรวมทางฮาร์โมนิก (Total harmonic distortion, THD) น้อยลง จากรูปที่ 5.8 สามารถหาอัตราขยายกระแสได้เท่ากับ

$$A_i = \frac{g_{md2,3}}{g_{md1,4} (1 + g_{md2,3} R_{ONdr1} / 2)} \quad (5.13)$$

โดยที่  $R_{ONdr1}$  คือความต้านทานเสมือนเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_{dr1}$

จากรูปที่ 5.8 กระแส  $I_{AGC}$  มีบทบาทในการกำหนดค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์  $M_{d2}$  และ  $M_{d3}$  ดังนั้นอัตราขยายของวงจรถ่ายโอนสามารถปรับค่าได้โดยการปรับค่ากระแส  $I_{AGC}$  ซึ่งจะอธิบายในหัวข้อถัดไป

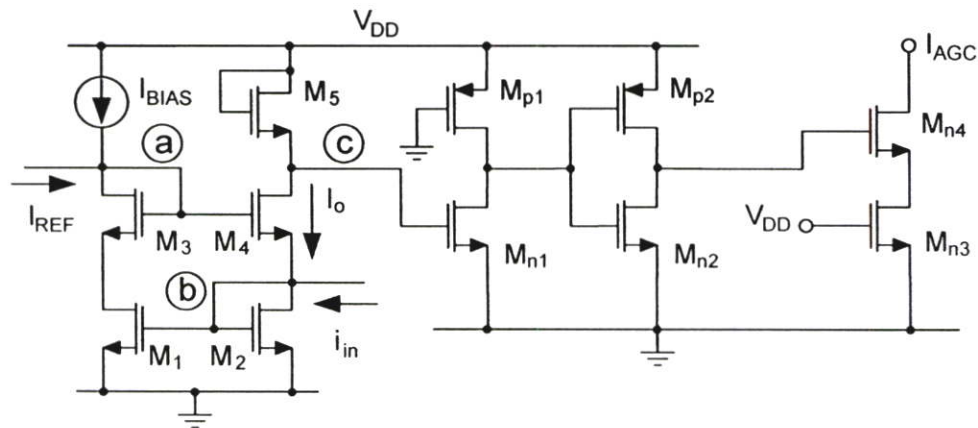
### 5.3.2.3 วงจรควบคุมอัตราขยายอัตโนมัติ (AGC)



รูปที่ 5.9 บล็อกไดอะแกรมของวงจรถับคุมอัตราขยายอัตโนมัติ (AGC)

วงจรถับคุมอัตราขยายอัตโนมัติ (Automatic gain control, AGC) เป็นวงจรถับคุมขนาดของสัญญาณที่ออสซิลเลตให้คงที่ วงจรถับคุมอัตราขยายอัตโนมัติ (AGC) ประกอบด้วยวงจรถ่ายโอนกระแสแบบเต็มคลื่น (PFWR) ต่ออนุกรมอยู่กับวงจรถ่ายโอนความถี่ต่ำผ่านอันดับหนึ่ง (1<sup>st</sup> order LPF) ทำหน้าที่เป็นวงจรถ่ายโอนค่าเฉลี่ยของสัญญาณ ค่าเฉลี่ยของสัญญาณที่ได้จะถูกนำไปเปรียบเทียบกับสัญญาณกระแสอ้างอิง ( $I_{REF}$ ) โดยใช้วงจรถับคุมกระแส (Current comparator) ในรูปที่ 5.10 สัญญาณที่ได้จากวงจรถับคุมกระแสจะถูกนำไปควบคุมอัตราขยายของวงจรถ่ายโอนกระแส

วงจรถ้าค่าเฉลี่ยของสัญญาณกระแสที่ได้ออกแบบไว้ในรูปที่ 5.1 เพียงแต่ต่ออินพุทของวงจรเปรียบเทียบกับกระแสในรูปที่ 5.10 แทนตำแหน่งตัวต้านทานโหลด ( $R_L$ ) ของวงจรถ้าค่าเฉลี่ยของสัญญาณกระแสและต่ออินพุทของวงจรถ้าค่าเฉลี่ยของสัญญาณกระแส (จุดอินพุทของวงจรเรียงกระแสแบบเต็มคลื่น) เข้ากับวงจรถ้าค่าเฉลี่ยของสัญญาณกระแสในรูปที่ 5.11 การต่อวงจรถ้าค่าเฉลี่ยทั้งสองเข้าด้วยกันนั้นจำเป็นต้องต่อแบบดิฟเฟอเรนเชียลซึ่งอินพุทของวงจรเรียงกระแสเป็นแบบดิฟเฟอเรนเชียลอยู่แล้ว ดังนั้นต้องใช้วงจรถ้าค่าเฉลี่ยของสัญญาณกระแสจำนวนสองชุดเพื่อให้สามารถทำงานแบบดิฟเฟอเรนเชียลกับวงจรถ้าค่าเฉลี่ยและวงจรเรียงกระแสแบบเต็มคลื่นได้



รูปที่ 5.10 วงจรเปรียบเทียบกับกระแสที่ใช้ในวงจรถ้าค่าเฉลี่ยสัญญาณชานน์แบบดิฟเฟอเรนเชียล

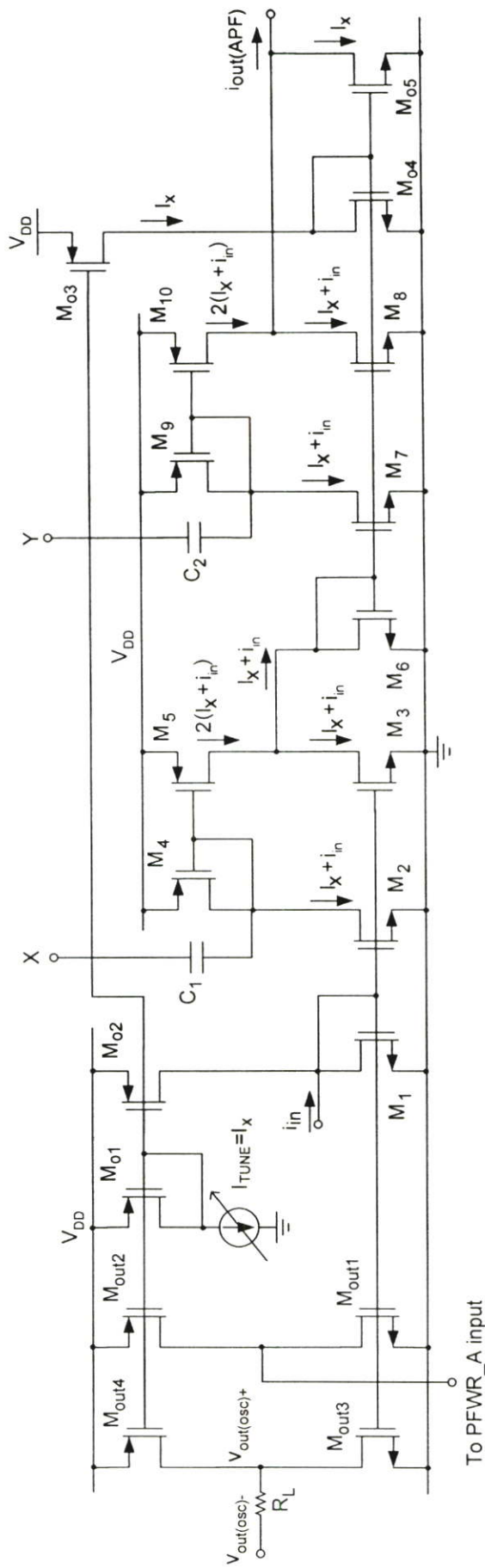
รูปที่ 5.10 เป็นวงจรเปรียบเทียบกับกระแสที่ใช้ในวงจรถ้าค่าเฉลี่ยสัญญาณชานน์ หลักการทำงานของวงจรจะเหมือนในหัวข้อ 4.3 วงจรเปรียบเทียบกับกระแสแบบปรับปรุงเนื่องจากวงจรในหัวข้อ 4.3 มีความเร็วในการทำงานสูงกว่าและใช้แรงดันไฟเลี้ยงต่ำกว่า ภาคขยายแรงดันประกอบด้วยวงจรถ้าค่าเฉลี่ยคอมมอนซอร์ส ( $M_{n1}$  และ  $M_{p1}$ ) และซีมอสอินเวอร์เตอร์ ( $M_{n2}$  และ  $M_{p2}$ ) สังเกตได้ว่าวงจรถ้าค่าเฉลี่ยแรงดันเพียงสองภาคก็เพียงพอที่จะทำให้อินพุทของซีมอสอินเวอร์เตอร์มีการสวิตช์ได้ตลอดย่านของแรงดันไฟเลี้ยง สาเหตุดังกล่าวก็เพราะสัญญาณอินพุทของวงจรเปรียบเทียบกับกระแสที่ได้จากวงจรถ้าค่าเฉลี่ยของสัญญาณมีขนาดใหญ่ มอสทรานซิสเตอร์  $M_{n3}$  ถูกไบอัสให้ทำงานในย่านเชิงเส้นโดยการต่อขาเกตเข้ากับแรงดันไฟเลี้ยง  $V_{DD}$  ในขณะที่มอสทรานซิสเตอร์  $M_{n4}$  ถูกไบอัสให้ทำงานในย่านอิ่มตัว กระแสเดรนของมอสทรานซิสเตอร์  $M_{n4}$  นี้จะมีค่าน้อยเมื่อแรงดันที่ขาเดรนของมอสทรานซิสเตอร์  $M_{n2}$  มีค่าประมาณกึ่งกลางของแรงดันไฟเลี้ยง แต่เมื่อใดก็ตามที่แรงดันที่ขาเดรนของมอสทรานซิสเตอร์  $M_{n2}$  มีค่าเท่ากับแหล่งจ่าย  $V_{DD}$  (เมื่อกระแสเอาต์พุทของวงจรถ้าค่าเฉลี่ยมีค่ามากกว่ากระแสอ้างอิงของวงจรเปรียบเทียบกับกระแส) จะทำให้  $M_{n4}$  ทำงานในย่านเชิงเส้นและจะมี

กระแสไหลผ่านมอสทรานซิสเตอร์  $M_{n3}$  และ  $M_{n4}$  เพิ่มขึ้นทำให้กระแสไบอัสของวงจรถยายกระแสลดลงและอัตราขยายกระแสของวงจรถยายกระแสลดลงในที่สุด ในทางกลับกันเมื่อแรงดันที่ขาเดรนของมอสทรานซิสเตอร์  $M_{n2}$  มีค่าน้อยกว่ากึ่งกลางของแรงดันไฟเลี้ยง (กรณีที่กระแสเอาท์พุทของวงจรถายค่าเฉลี่ยมีค่าน้อยกว่ากระแสอ้างอิงของวงจรถยายเปรียบเทียบกระแส) ทำให้มอสทรานซิสเตอร์  $M_{n4}$  หยุดทำงานส่งผลให้ไม่มีการดึงกระแสออกจากภาคขยายกระแส ดังนั้นอัตราขยายกระแสเพิ่มขึ้น

เนื่องจากวงจรถายกำเนิดสัญญาณขาอินที่ออกแบบเป็นแบบดิฟเฟอเรนเชียล ดังนั้นจำเป็นต้องใช้วงจรถอยเฟสอันดับสองทั้งหมดสองชุด รูปที่ 5.11 เป็นวงจรถอยเฟสอันดับสองชุดแรกที่ใช้ในวงจรถายกำเนิดสัญญาณขาอินที่ได้ออกแบบ ในรูปได้แสดงจุดต่อสัญญาณไปยังอินพุทของวงจรถอยกระแสชุด A (PFWR\_A input) โดยวงจรถอยกระแสแบบครึ่งคลื่นต้องมีสองชุดและจุดต่อนี้จะถูกต่อไปยังอินพุทของวงจรถอยกระแสแบบครึ่งคลื่นแต่ละชุดนั่นเอง ในขณะที่จุดต่อไปยังโหนดของวงจรถายกำเนิดสัญญาณขาอิน ( $R_L$ ) คือโหนด  $v_{out(osc)}$  โดยสัญญาณที่โหนดนี้จะเป็นแบบดิฟเฟอเรนเชียล ที่โหนด  $v_{out(osc)}$  ใช้ต่อเข้ากับวงจรถอยเฟสอันดับสองชุดที่สอง ที่โหนด X และ Y ของตัวเก็บประจุ  $C_1$  และ  $C_2$  ใช้ต่อเข้าขาเดรนของมอสทรานซิสเตอร์  $M_2$  และ  $M_7$  ของวงจรถอยเฟสอันดับสองชุดที่สองตามลำดับ กระแสไบอัส  $I_{TUNE}$  มีค่าเท่ากับกระแสไบอัส  $I_x$  เนื่องจากการต่อวงจรถอยก่อนกระแส  $M_{o1}$ - $M_{o3}$  และ  $M_{o4}$ - $M_{o5}$  ที่มีขนาดของมอสทรานซิสเตอร์เท่ากันโดยมอสทรานซิสเตอร์  $M_{o4}$  และ  $M_{o5}$  ทำหน้าที่ดึงกระแสดีซีไบอัส  $I_x$  ที่เกินออกมาจากวงจรถอยเฟสอันดับสองเพื่อไม่ให้ไปรบกวนการทำงานของวงจรถยายกระแสในภาคถัดไป การปรับความถี่ของวงจรถายกำเนิดสัญญาณขาอิน ( $f_{osc}$ ) สามารถปรับได้โดยอาศัย  $I_{TUNE}$  ดังสมการ (5.14)

$$f_{osc} = \frac{g_{m4,9}}{4\pi C_{1,2}} = \frac{1}{2\pi C_{1,2}} \sqrt{\frac{KI_{TUNE}}{2}} \quad (5.14)$$

โดยที่  $K$  คือ  $\mu C_{ox} W / L$  ของมอสทรานซิสเตอร์  $M_{4,9}$ ,  $I_{TUNE}$  คือค่ากระแสไบอัสของวงจรถอยเฟสอันดับสอง



รูปที่ 5.11 จุดต่อสัญญาณจากวงจรเลื่อนเฟสอันดับสองไปยังอินพุทของวงจรรีจกกระแส (PFWR) และโหลดของวงจรถูกกำหนดสัญญาณขาเข้า ( $R_L$ )

### 5.3.3 ผลการจำลองการทำงานของวงจรถ่ายโปรแกรมห Spice

เพื่อยืนยันการทำงานของวงจรถ่ายโปรแกรมห Spice วงจรถ่ายโปรแกรมห Spice ถูกจำลองการทำงานด้วยโปรแกรม Hspice โดยใช้โมเดลพารามิเตอร์ของ Alcatel 0.5 ไมครอน (level 49) ภายใต้แรงดันไฟเลี้ยง 2.5 โวลต์ ขนาดของมอสทรานซิสเตอร์ตามตารางที่ 5.2 กระแสและแรงดันไบอัสในแต่ละวงจรถ่ายใช้ค่าในตารางที่ 5.3 และ 5.4 ตามลำดับ กำหนดค่า  $C_{AV}$  ในวงจรถ่าย ค่าเฉลี่ยสัญญาณเท่ากับ 1.5 nF,  $C_1$  และ  $C_2$  ในวงจรถ่ายเฟสอินพุตสองมีค่าเท่ากับ 10 pF โดยการวัดสัญญาณกระแสเอาต์พุตแบบดิฟเฟอเรนเชียลของวงจรถ่ายโปรแกรมห Spice ที่ตัวต้านทานโหลด ( $R_L$ ) ได้ผลลัพธ์แสดงไว้ในรูปที่ 5.12 ถึง 5.15

ตารางที่ 5.2 ขนาดของมอสทรานซิสเตอร์ที่ใช้ในวงจรถ่ายโปรแกรมห Spice แบบดิฟเฟอเรนเชียล

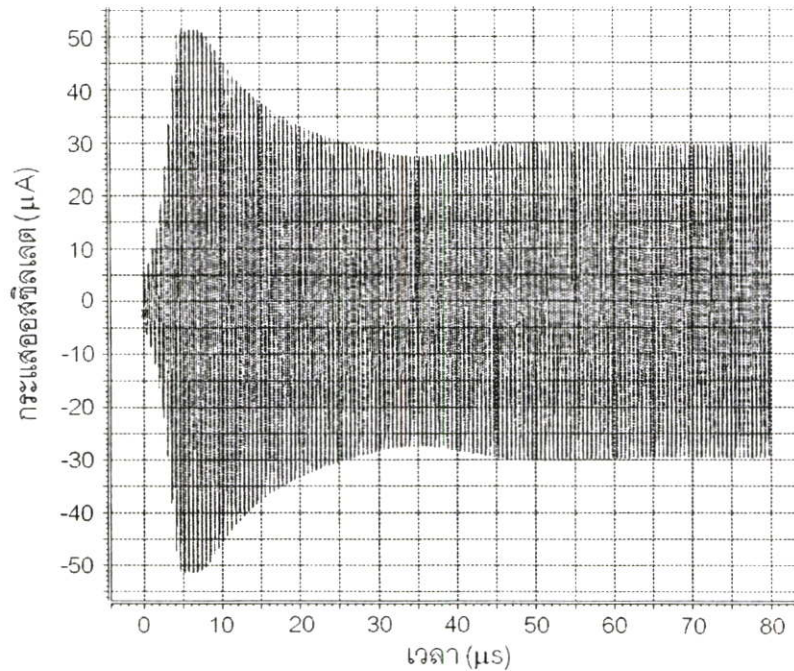
วงจรถ่าย	มอสทรานซิสเตอร์	ขนาด W/L ( $\mu m$ )
วงจรถ่ายเฟสอินพุตสอง ในรูปที่ 5.11	$M_{1-3}, M_{6-8}, M_{04-05}, M_{out1,3}$	5/1
	$M_{4-5}, M_{9-10}, M_{01-03}, M_{out2,4}$	18/1
วงจรถ่ายกระแสในรูปที่ 5.8	$M_{d1,4}, M_{dr1}$	2/0.5
	$M_{d2,3}$	18/0.5
	$M_{d5,6}$	26.5/1
	$M_{d7,8}$	25/1
	$M_{d9-11}$	30/1
วงจรถ่ายค่าเฉลี่ยสัญญาณ ในรูปที่ 5.1	$M_{1ab}, M_{4ab}$	0.5/0.5
	$M_{5ab}$	2/2
	$M_{6,7}$	20/1
วงจรถ่ายเปรียบเทียบกระแสใน รูปที่ 5.10	$M_{1,4}$	2/0.5
	$M_5$	0.5/0.5
	$M_{n1}$	0.75/0.5
	$M_{n2}, M_{p1}$	0.5/0.6
	$M_{p2}$	2.5/0.5
	$M_{n3}$	1/0.5
	$M_{n4}$	0.5/2

ตารางที่ 5.3 กระแสไบอัสที่ใช้ในวงจรกำเนิดสัญญาณซายน์แบบดิฟเฟอเรนเชียล

วงจรรย่อย	อุปกรณ์	กระแสไบอัส ( $\mu A$ )
วงจรรขยายกระแสในรูปที่ 5.8	$I_{TAIL}$	205
	$I_{BD1,4}$	100
วงจรรหาค่าเฉลี่ยสัญญาณในรูปที่ 5.1	$I_{BIAS0}$	1
วงจรรเปรียบเทียบกระแสในรูปที่ 5.10	$I_{BIAS}$	20

ตารางที่ 5.4 แรงดันไบอัสที่ใช้ในวงจรกำเนิดสัญญาณซายน์แบบดิฟเฟอเรนเชียล

วงจรรย่อย	อุปกรณ์	แรงดันไบอัส (V)
วงจรรหาค่าเฉลี่ยสัญญาณในรูปที่ 5.1	$V_B$	1.8
วงจรรขยายกระแสในรูปที่ 5.8	$V_{B(dr1)}$	1.4



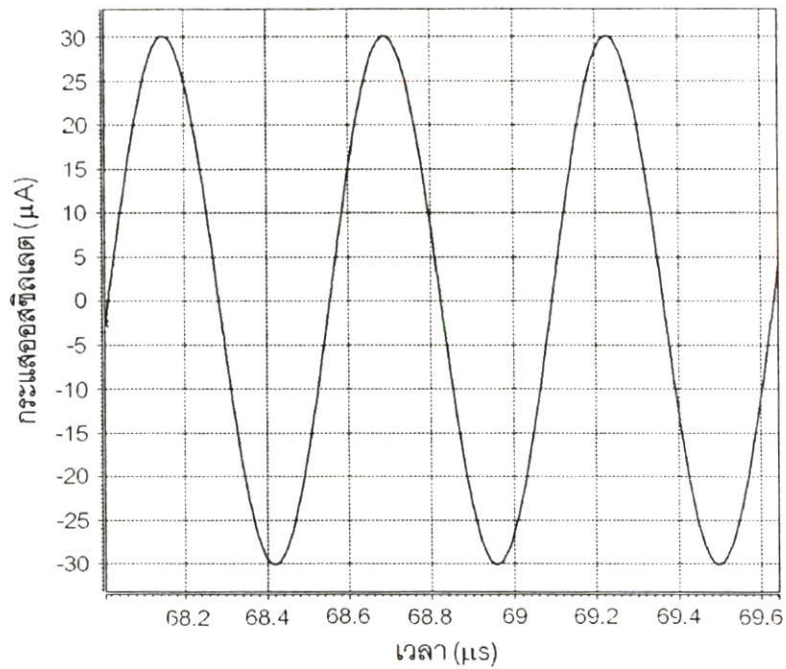
รูปที่ 5.12 สัญญาณกระแสออสซิลเลตที่เอาต์พุตของวงจรกำเนิดสัญญาณซายน์แบบดิฟเฟอเรนเชียล ความถี่ออสซิลเลต ( $f_{osc}$ ) เท่ากับ 1.85 MHz และขนาดสัญญาณออสซิลเลต ถูกจำกัดไว้ที่  $\pm 30 \mu A$

รูปที่ 5.12 เป็นสัญญาณเอาต์พุตของวงจรกำเนิดสัญญาณชาयน์แบบดิฟเฟอเรนเชียลที่ได้ออกแบบ ความถี่ออสซิลเลต ( $f_{osc}$ ) มีค่าเท่ากับ 1.85 MHz ขนาดสัญญาณออสซิลเลตมีค่าเท่ากับ  $\pm 30 \mu A$  และมีค่าความผิดเพี้ยนรวมทางฮาร์โมนิก (Total harmonic distortion) เท่ากับ 0.65 % ใช้ค่ากระแสไบอัส  $I_{TUNE}$  ในวงจรเลื่อนเฟสอันดับสองเท่ากับ  $50 \mu A$  จากรูปที่ 5.12 สังเกตได้ว่าขนาดสัญญาณออสซิลเลตจะเพิ่มขึ้นเรื่อยๆ จนเท่ากับกระแสไบอัส  $I_{TUNE}$  จากนั้นสัญญาณจึงค่อยๆ ลดลงจนมีขนาดคงที่ที่  $\pm 30 \mu A$  เนื่องจากขนาดสัญญาณออสซิลเลตถูกจำกัดไว้ที่  $\pm 30 \mu A$  โดยภาคควบคุมอัตราขยายอัตโนมัติ รูปที่ 5.13 เป็นรูปขยายจากรูปที่ 5.12 เพื่อให้เห็นรายละเอียดลักษณะของสัญญาณออสซิลเลตที่ได้

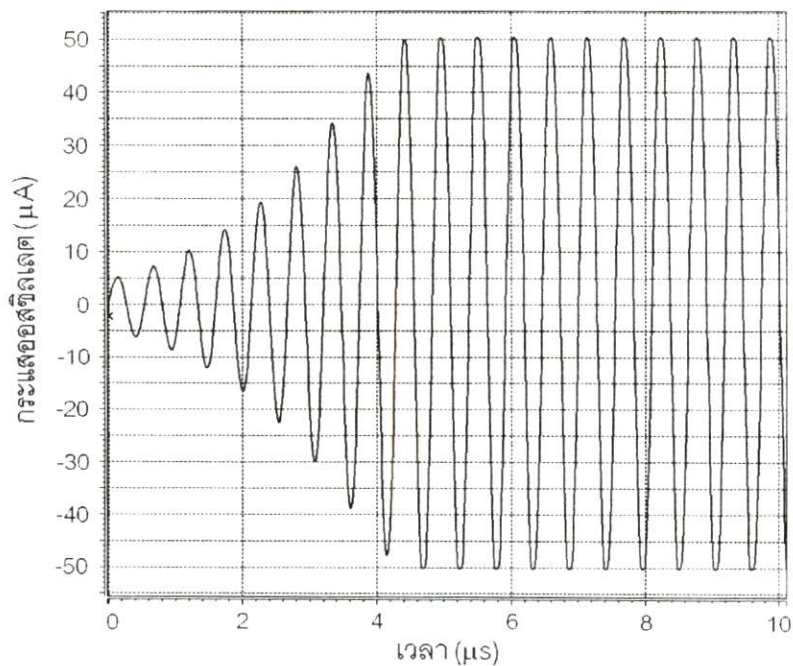
รูปที่ 5.14 เป็นลักษณะของสัญญาณชาयน์ที่ได้จากวงจรกำเนิดสัญญาณชาयน์แบบดิฟเฟอเรนเชียลโดยวัดสัญญาณที่ตัวต้านทานโหลด กำหนดค่ากระแส  $I_{TUNE}$  ในวงจรเลื่อนเฟสอันดับสองไว้ที่  $50 \mu A$  แต่จำกัดขนาดสัญญาณออสซิลเลตสูงสุดไว้ที่มากกว่า  $50 \mu A$  ทำให้สัญญาณเพิ่มขึ้นเรื่อยๆ จนคงที่ที่ค่าเท่ากับ  $I_{TUNE}$  หรือเท่ากับ  $50 \mu A$  ซึ่งในกรณีนี้จะทำให้ค่าความผิดเพี้ยนรวมทางฮาร์โมนิกมีค่าสูงเนื่องจากขณะที่สัญญาณออสซิลเลตมีขนาดคงที่นั้นจุดยอดของสัญญาณออสซิลเลตทั้งด้านบวกและลบจะถูกขลิบออกเล็กน้อย ในที่นี้วัดค่าความผิดเพี้ยนรวมทางฮาร์โมนิกได้ 3.72 %

รูปที่ 5.15 แสดงขนาดสัญญาณที่ออสซิลเลตเปรียบเทียบกับค่าความผิดเพี้ยนรวมทางฮาร์โมนิกที่กระแสไบอัสของวงจรเลื่อนเฟสอันดับสอง ( $I_{TUNE}$ ) ค่าต่างๆ ( $40 \mu A - 70 \mu A$ ) โดยใช้ค่า  $C_{1,2}$  เท่ากับ 10 pF จากกราฟสังเกตได้ว่าที่กระแสออสซิลเลตค่าสูงจะมีค่าความผิดเพี้ยนทางฮาร์โมนิกสูงกว่าที่กระแสค่าต่ำ ค่ากระแสออสซิลเลตสูงสุดที่ได้จะมีค่าไม่เกินค่ากระแสไบอัสของวงจรเลื่อนเฟสอันดับสอง ( $I_{TUNE}$ ) เสมอ โดยทั่วไปวงจรถูกกำเนิดสัญญาณชาयน์จะให้ค่าความผิดเพี้ยนรวมทางฮาร์โมนิกสูงเมื่อความถี่ออสซิลเลตสูงขึ้น แต่ในวงจรที่ออกแบบนี้ให้ค่าความผิดเพี้ยนรวมทางฮาร์โมนิกลดต่ำลงเนื่องจากในขณะที่ปรับค่ากระแสไบอัส  $I_{TUNE}$  เพื่อเพิ่มค่าความถี่ออสซิลเลต ค่ากระแสไบอัสของวงจรเลื่อนเฟสอันดับสองก็จะเพิ่มขึ้นด้วย

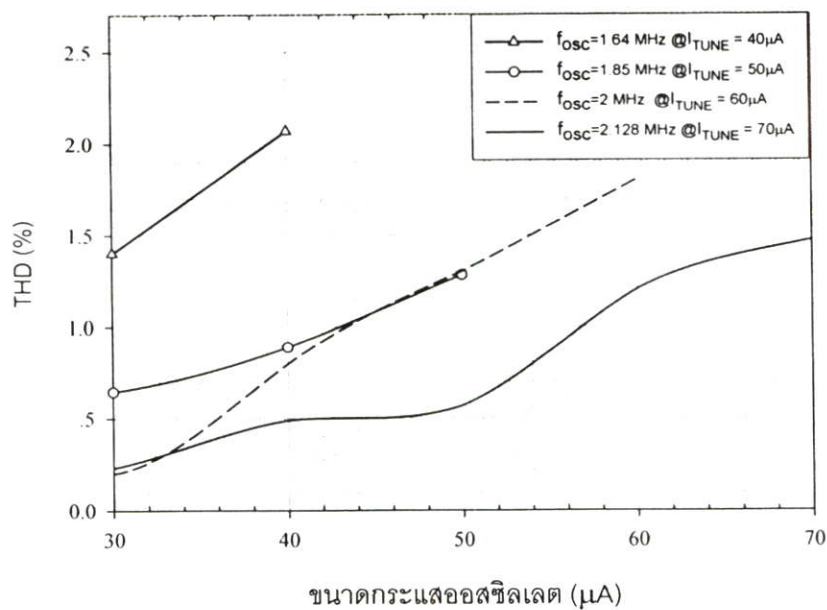
รูปที่ 5.16 แสดงกระแสไบอัสของวงจรเลื่อนเฟสอันดับสอง ( $I_{TUNE}$ ) เปรียบเทียบกับความถี่ในการออสซิลเลตโดยใช้ค่า  $C_{1,2}$  เท่ากับ 10 pF ค่าความถี่ออสซิลเลตเปลี่ยนไปตั้งแต่ 1 MHz - 2.44 MHz เมื่อปรับค่ากระแส  $I_{TUNE}$  ตั้งแต่  $10 \mu A - 100 \mu A$



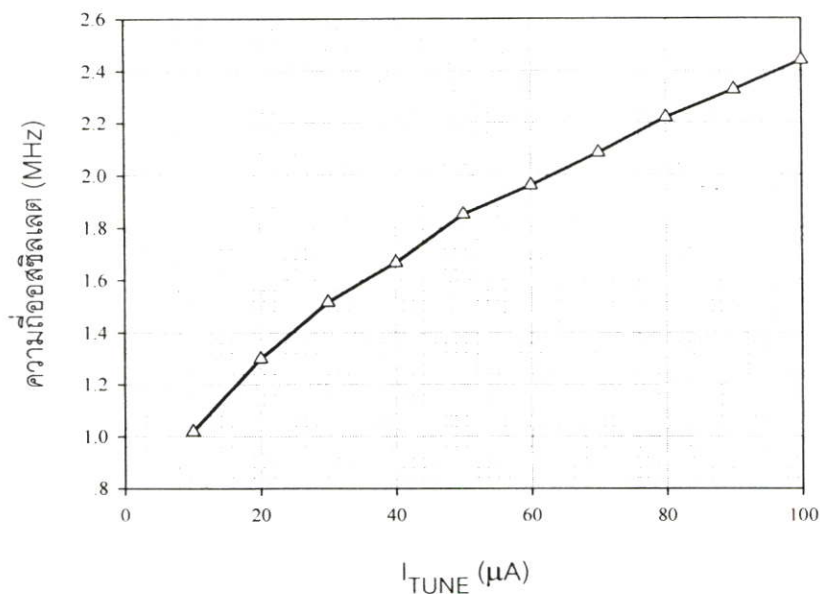
รูปที่ 5.13 รูปขยายของรูปที่ 5.12 สัญญาณกระแสออสซิลเลตที่เอาท์พุทของวงจรถักกำเนิด สัญญาณชายน์แบบดิฟเฟอเรนเชียล ความถี่ออสซิลเลต ( $f_{osc}$ ) เท่ากับ 1.85 MHz สัญญาณออสซิลเลตถูกจำกัดไว้ที่  $\pm 30 \mu A$



รูปที่ 5.14 สัญญาณชายน์ที่ได้จากวงจรถักกำเนิดสัญญาณชายน์ที่นำเสนอนในกรณีนี้ที่ขนาด สัญญาณออสซิลเลตมีค่าน้อยกว่าขนาดสัญญาณที่จำกัดไว้ในวงจรควบคุม อัตราขยายอัตโนมัติ (ความถี่ออสซิลเลต 1.85 MHz)



รูปที่ 5.15 ขนาดสัญญาณออสซิลเลตเปรียบเทียบกับค่าความผิดเพี้ยนรวมทางฮาร์โมนิกที่กระแสไบอัสของวงจรเลือนเฟสอันดับสอง ( $I_{TUNE}$ ) ค่าต่างๆ โดยใช้ค่า  $C_{1,2}$  เท่ากับ 10 pF



รูปที่ 5.16 ขนาดกระแสไบอัสของวงจรเลือนเฟสอันดับสอง ( $I_{TUNE}$ ) เปรียบเทียบกับความถี่ออสซิลเลตโดยใช้ค่า  $C_{1,2}$  เท่ากับ 10 pF

## 5.4 สรุป

วงจรกำเนิดสัญญาณชายน์แบบดิฟเฟอเรนเชียลที่ได้นำเสนอสามารถปรับจูนค่าความถี่และขนาดของสัญญาณที่ออสซิลเลตได้โดยขนาดของสัญญาณมีค่าคงที่เมื่อวงจรควบคุมอัตราขยายอัตโนมัติเริ่มทำงาน แต่ในขณะที่ปรับจูนความถี่ ขนาดสูงสุดของสัญญาณที่ออสซิลเลตจะถูกจำกัดด้วยกระแสที่ไ้จูนด้วยเนื่องจากมอสทรานซิสเตอร์ในวงจรเลื่อนเฟสอันดับสองหยุดการทำงานที่ค่ากระแสออสซิลเลตเท่ากับกระแสไบอัส

ค่าความผิดเพี้ยนรวมทางฮาร์โมนิก (Total harmonic distortion, THD) ถูกลดลงมากด้วยการใช้เทคนิคแบบดิฟเฟอเรนเชียล ถ้าต้องการค่าความผิดเพี้ยนรวมทางฮาร์โมนิกต่ำลงก็สามารถทำได้โดยให้กระแสไบอัสแก่วงจรต่างๆ ที่อยู่ในรูปของออสซิลเลเตอร์มีค่าสูง โดยพื้นฐานแล้ววงจรกำเนิดสัญญาณจะให้ค่าความผิดเพี้ยนรวมทางฮาร์โมนิกสูงเมื่อความถี่ออสซิลเลตสูงขึ้นแต่ในวงจรที่ออกแบบนี้ให้ค่าความผิดเพี้ยนรวมทางฮาร์โมนิกต่ำลงเนื่องจากกระแสไบอัสวงจรเลื่อนเฟสอันดับสองมีค่าเพิ่มขึ้นตามการปรับความถี่แต่ยังคงมีค่าความผิดเพี้ยนรวมทางฮาร์โมนิกสูงขึ้นที่กระแสออสซิลเลตสูงเช่นเดียวกับวงจรกำเนิดสัญญาณทั่วไป วงจรกำเนิดสัญญาณชายน์แบบดิฟเฟอเรนเชียลที่ออกแบบนี้ให้เอาท์พุทเป็นกระแส กรณีที่ต้องการใช้งานเอาท์พุทเป็นแรงดันจำเป็นต้องนำเอาท์พุทของวงจรกำเนิดสัญญาณชายน์แบบดิฟเฟอเรนเชียลนี้ไปต่อกับวงจรแปลงกระแสเป็นแรงดันเพื่อนำไปใช้งานต่อไป

## บทที่ 6

# บทส่งท้ายและข้อเสนอแนะแนวทางการทำวิจัย

### 6.1 บทส่งท้าย

วิทยานิพนธ์นี้ได้มีการเสนอวงจรเรียงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบกระแส โดยทั้งสองวงจรมีพื้นฐานมาจากวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว (Improved Wilson current mirror) การออกแบบมุ่งเน้นการใช้งานกับแหล่งจ่ายไฟต่ำและสามารถทำงานได้ที่ความถี่สูง วงจรทั้งหมดที่ออกแบบสามารถทำงานได้กับแหล่งจ่ายไฟบวก ไม่จำเป็นต้องอาศัยแหล่งจ่ายไฟลบแต่อย่างใด ตัวอย่างการประยุกต์ใช้งานของวงจรเรียงกระแสแบบเต็มคลื่นคือ วงจรหาค่าเฉลี่ยของสัญญาณกระแส นอกจากนี้มีการประยุกต์ใช้วงจรเรียงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบกระแสต่อร่วมกับวงจรขยายกระแสและวงจรเลื่อนเฟสอันดับสองเพื่อสร้างวงจรกำเนิดสัญญาณชายนแบบดิฟเฟอเรนเชียล

### 6.2 ข้อเสนอแนะและแนวทางการทำวิจัย

เทคโนโลยีซีมอสในปัจจุบันมีความก้าวหน้าอย่างรวดเร็วซึ่งช่วยให้นักออกแบบวงจรสามารถพัฒนาวงจรที่มีขนาดเล็กลงได้เป็นการเอื้อประโยชน์ให้กับการนำไปประยุกต์ใช้งานอย่างยิ่ง เนื่องจากเป็นการประหยัดพื้นที่ของวงจรและเหมาะสมกับการใช้งานแบบพกพา อีกทั้งสามารถใช้งานได้กับระดับของแหล่งจ่ายไฟที่ต่ำจนถึงต่ำมากทำให้กำลังงานสูญเสียน้อยและเหมาะสมกับการใช้งานกับแบตเตอรี่ทำให้ช่วยลดปัญหาการนำวงจรมานำออกมาต่อร่วมกับวงจรดิจิทัล (Mixed-signal IC) นอกจากนี้แนวโน้มของการออกแบบวงจรในอนาคตยังต้องสามารถทำงานได้ที่ความถี่สูงหรือทำงานได้เร็วขึ้นอีกด้วยทำให้การออกแบบวงจรโดยใช้เอ็นมอสทรานซิสเตอร์เพียงอย่างเดียวมีความได้เปรียบมาก

#### 6.2.1 วงจรเรียงกระแสแบบเต็มคลื่น (Precision full-wave rectifier)

วงจรเรียงกระแสแบบเต็มคลื่นที่ได้นำเสนอจำเป็นต้องใช้กับสัญญาณอินพุตที่เป็นดิฟเฟอเรนเชียลเท่านั้น แม้ว่าในอนาคตวงจรจะถูกออกแบบเป็นดิฟเฟอเรนเชียลมากขึ้นเนื่องจากมีความคงทนต่อสัญญาณรบกวนแต่จะเป็นการดีหากวงจรสามารถทำงานได้กับอินพุตขั้วเดียวด้วย

#### 6.2.2 วงจรเปรียบเทียบกระแส (Current comparator)

วงจรเปรียบเทียบกระแสที่เสนอทั้งแบบธรรมดาและแบบปรับปรุงนั้นได้กล่าวถึงข้อดี-ข้อเสียของวงจรทั้งสองแบบแล้วในหัวข้อ 4.6 แม้ว่าวงจรเปรียบเทียบกระแสแบบคงทนจะถูก

ออกแบบมาเพื่อแก้ไขปัญหาหลายอย่างของวงจรเปรียบเทียบกระแสแบบธรรมดาที่เสนอไว้ในหัวข้อ 4.3 แต่หากสามารถออกแบบในส่วนของวงจรปรีแอมป์ (Preamp) ให้คงทนต่อการเปลี่ยนแปลงของกระบวนการผลิตมากกว่าวงจรที่ได้ออกแบบไว้โดยยังคงให้ค่าอัตราขยายแรงดันค่อนข้างสูงและแบนวิดท์กว้างก็จะทำให้วงจรเปรียบเทียบกระแสแบบปรับปรุงทำงานได้ดียิ่งขึ้น

### 6.2.3 วงจรหาค่าเฉลี่ยของสัญญาณกระแส (Averaging current value circuit)

วงจรหาค่าเฉลี่ยของสัญญาณกระแสที่สร้างขึ้นจากวงจรเรียงกระแสแบบเต็มคลื่นต่อร่วมกับวงจรกรองความถี่ต่ำผ่านอันดับหนึ่งนั้นสามารถทำงานได้ดี เพียงแต่ในส่วนของวงจรกรองความถี่ต่ำผ่านอันดับหนึ่งนั้นจำเป็นต้องใช้ตัวเก็บประจุค่าสูงเพื่อลดการกระเพื่อมของสัญญาณ ถ้าสามารถออกแบบวงจรที่สร้างตัวเก็บประจุเสมือนขนาดใหญ่ได้จะทำให้ประหยัดพื้นที่ของวงจรรวมได้มาก

### 6.2.4 วงจรกำเนิดสัญญาณไซน์แบบดิฟเฟอเรนเชียล (Differential sinusoidal oscillator)

บทที่ 5 ของวิทยานิพนธ์นี้แสดงการประยุกต์ใช้วงจรเรียงกระแสแบบเต็มคลื่นและวงจรเปรียบเทียบกระแสต่อร่วมกันเพื่อสร้างวงจรควบคุมอัตราขยายอัตโนมัติ (AGC) หลังจากนั้นนำวงจรควบคุมอัตราขยายอัตโนมัติไปต่อกับวงจรขยายกระแสและวงจรเลื่อนเฟสอันดับสองเพื่อสร้างเป็นวงจรกำเนิดสัญญาณไซน์แบบดิฟเฟอเรนเชียลสามารถทำงานได้ดี ขนาดของสัญญาณที่ออสซิลเลตมีค่าคงที่เนื่องจากถูกควบคุมโดยวงจรควบคุมอัตราขยายอัตโนมัติและสามารถปรับขนาดสัญญาณออสซิลเลตได้ อย่างไรก็ตามการปรับค่าความถี่ออสซิลเลตจะทำให้กระแสไบอัสของวงจรเลื่อนเฟสอันดับสองเปลี่ยนแปลงด้วยส่งผลให้ขนาดสัญญาณออสซิลเลตสูงสุดถูกจำกัดด้วยกระแสไบอัสนี้เอง นอกจากนี้ค่าความถี่ออสซิลเลตที่ได้ยังเป็นฟังก์ชันกับรากที่สองของกระแสที่ใช้ปรับค่าความถี่ทำให้การปรับค่าความถี่ในช่วงกว้างต้องใช้กระแสไบอัสวงจรในช่วงที่กว้างมากด้วย ซึ่งอาจไม่เหมาะกับการใช้งานในวงจรเฟสล็อกกลุ๊ปและวงจรสังเคราะห์ทางความถี่ (Frequency Synthesizer) โดยพื้นฐานแล้ววงจรกำเนิดสัญญาณจะให้ค่าความผิดพลาดเพียงรวมทางฮาร์โมนิกสูงเมื่อความถี่ออสซิลเลตสูงขึ้นแต่ในวงจรที่ออกแบบนี้ให้ค่าความผิดพลาดเพียงรวมทางฮาร์โมนิกต่ำลงเนื่องจากกระแสไบอัสวงจรเลื่อนเฟสอันดับสองมีค่าเพิ่มขึ้นตามการปรับความถี่ที่สูงขึ้น แต่ยังคงให้ค่าความผิดพลาดเพียงรวมทางฮาร์โมนิกสูงขึ้นที่กระแสออสซิลเลตสูงเช่นเดียวกับวงจรกำเนิดสัญญาณทั่วไป วงจรเลื่อนเฟสอันดับสองซึ่งใช้เป็นวงจรถูกกำหนดความถี่ออสซิลเลตมีค่าตัวประกอบคุณภาพต่ำ ( $Q = 0.5$ ) ถ้าออกแบบวงจรถูกกำหนดความถี่ที่มีค่าตัวประกอบคุณภาพสูงกว่านี้จะทำให้ได้ค่าความผิดพลาดเพียงรวมทางฮาร์โมนิกน้อยลง

## เอกสารอ้างอิง

- [1] P.R. Gray and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits*. 4<sup>th</sup> ed., chap. 4, John Wiley & Sons, Inc. 2001.
- [2] David Johns and Ken Martin, *Analog Integrated Circuit Design*. Canada : John Wiley & Sons, Inc. 1997.
- [3] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2000.
- [4] R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing*. 1<sup>st</sup> ed., New York, USA : John Wiley & Sons, Inc. 1986.
- [5] G.C. Temes and W.H. Ki, "Fast CMOS Current Amplifier and Buffer Stage," *Electron. Lett.*, vol. 23, no. 13, pp. 696-697, 1987.
- [6] Z. Wang and W. GUGGENBÜHL, "Adjustable Bidirectional MOS Current Mirror/Amplifier," *Electron. Lett.*, vol. 25, no. 10, pp. 673-675, 1989.
- [7] D.A. Freitas and K.W. Current, "CMOS Current Comparator Circuit," *Electron. Lett.*, vol. 19, no. 17, pp. 695-697, 1983.
- [8] K.R. Lakshmikummar, R.A. Hadaway, M.A. Copeland and M.I.H. King, "A High-Speed 8-bit Current Steering CMOS DAC," *Proceedings of IEEE 1985 Custom Integrated Circuits Conference, Portland*, pp. 156-159, 1985.
- [9] D.G. Nairn and C.A.T. Salama, "Algorithmic Analog/Digital Converter Based on Current Mirrors," *Electron. Lett.*, vol. 24, no. 8, pp. 471-472, 1988.
- [10] P.H. Saul, D.W. Howard and C.J. Greenwood, "VLSI Process Compatible 8 bit CMOS DAC," *IEE Proc. E and I, Comput. & Digital Tech. and Solid-State & Electron. Dev.*, vol.132, no. 2, pp. 99-101, 1985.
- [11] Z. Wang, "Analytical Determination of Output Resistance and DC Matching Errors in MOS Current Mirrors," *IEE Proceedings*, vol. 137, Pt. G., no. 5, Oct. 1990.
- [12] A.S. Sedra and K.C. Smith, *Microelectronic Circuits*. 3<sup>rd</sup> ed., chap. 8, Oxford University Press, 1982.
- [13] F.J. Lidgley, K. Hayatleh and C. Toumazou, "New Current-Mode Precision Rectifiers," *IEEE Inter. Symposium on Circuits and Systems*, pp. 1322-1325, May 1993.

- [14] Z. Wang, "Novel Pseudo RMS Current Converter for Sinusoidal Signals using a CMOS Precision Current Rectifier," IEEE Transactions on Instrumentation and Measurement, vol. 39, Issue: 4, pp. 670-671, Aug. 1990.
- [15] C. Toumazou, F.J. Lidgey and S. Chattong, "High Frequency Current Conveyor Precision Full-Wave Rectifier," Electron. Lett., vol. 30, no. 10, pp. 745-746, May 1994.
- [16] K. Hayatleh, S. Porta and F.J. Lidgey, "Temperature Independent Current Conveyor Precision Rectifier," Electron. Lett., vol. 30, no. 25, pp. 2091-2093, Dec. 1994.
- [17] B. Wilson and V. Mannama, "Current-Mode Rectifier with Improved Precision," Electron. Lett., vol. 31, no. 4, pp. 247-248, Feb. 1995.
- [18] D. Sturca, "Truly Temperature Independent Current Conveyor Precision Rectifier," Electron. Lett., vol. 31, no. 16, pp. 1302-1303, Aug. 1995.
- [19] C.C. Chang and S.L. Liu, "Current-Mode Full-Wave Rectifier and Vector Summation Circuit," Electron. Lett., vol. 36, no. 19, pp. 1599-1600, Sep. 2000.
- [20] H. Träff, "Novel Approach to High Speed CMOS Current Comparators," Electron. Lett., vol.28, no. 3, pp. 310-312, 1992.
- [21] A.T.K. Tang and C. Toumazou, "High Performance CMOS Current Comparator," Electron. Lett., vol. 30, no.1, pp. 5-6, 1994.
- [22] B. M. Min and S. W. Kim, "High Performance CMOS Current Comparator Using Resistive Feedback Network," Electron. Lett., vol. 34, no. 22, pp. 2074-2076, 1998.
- [23] L. Chen, B. Shi and C. Lu, "A Robust High-Speed and Low-Power CMOS Current Comparator Circuit," IEEE Asia-Pacific Conference on Circuits and Systems 2000, pp. 174-177, 2000.
- [24] G. Di Cataldo, G. Palmisano, G. Palumbo and S. Pennisi, "An Accurate Offset-Compensated Current Comparator," IEEE proceedings of the 37<sup>th</sup> Midwest symposium on circuits and systems 1994 (MWSCAS 1994), vol. 2, pp. 1107-1110, 1995.

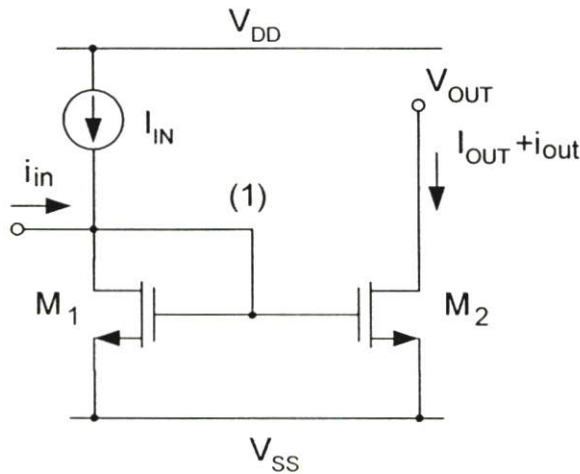
- [25] G. Palmisano and G. Palumbo, "An Offset Compensated Fully Differential CMOS Current Comparator," IEEE proceedings of the 38<sup>th</sup> Midwest symposium on circuits and systems 1995 (MWSCAS 1995), vol. 2, pp. 1038-1041, 1996.
- [26] ThartFah Voo and Chris Toumazou, "A Novel High-Speed Current Mirror Compensation Technique and Application," IEEE International Symposium on circuits and systems (ISCAS'95), vol. 3, pp. 2108-2111, 1996.
- [27] P.E. Allen, CMOS/BICMOS Analog Integrated Circuit Design. organized by the continue education program at Imperial college, 1994.
- [28] ThartFah Voo and Chris Toumazou, "High-Speed Current Mirror Resistive Compensation Technique," Electron. Lett., vol. 31, no. 4, pp. 248-250, 1995.
- [29] ThartFah Voo and Chris Toumazou, "Efficient Tunable Continuous-Time Integrated Current-Mode Filter Designs," IEEE International symposium on circuits and systems (ISCAS'96), vol. 1, pp. 93-96, 1996.
- [30] Michel S. J. Steyaert et. al., "A CMOS Rectifier-Integrator for Amplitude Detection in Hard Disk Servo Loops," IEEE J. solid-state circuits, vol. 30, no. 7, 1995.
- [31] B. Song and JR. Barner, "A CMOS Double-Heterodyne FM Receiver," IEEE J. solid-state circuits, vol. SC-21, pp. 916-923, 1986.
- [32] B. Song, "CMOS RF Circuits for Data Communications Applications," IEEE J. solid-state circuits, vol. SC-21, pp. 310-317, 1986.
- [33] Sibum Jun and Su Jin Ahn, "CMOS Precision Half-Wave Rectifying Transconductor," IEICE trans. Fundamentals, vol. E80-A, no. 10, pp. 659-662, 1998.
- [34] P. Heim, F. Krummenacher and E. Vittoz, "CMOS Full-Wave Operational Transconductance Rectifier with Improved DC Transfer Characteristic," Electron. Lett., vol. 28, no. 3, pp. 333-334, 1992.
- [35] K. Apharattanachai, K. Kumwachara and W. Surakamponorn, "A Translinear-Based True RMS-to-DC Converter," EECON-24, pp. 1040-1044, 2001.
- [36] Konthong S., "A Design of Current-Mode All-Pass Oscillating Circuit Based on Current Conveyor Circuit," Master's degree thesis of King Mongkut's Institute of Technology Ladkrabang, 1997.

- [37] สมชาย สุภาพ, วันชัย รุ่งรุจา, อนุชา แก้วพูลสุขและธิภาพรรณ แซ่ลี่, "วงจรเลื่อนเฟสที่ควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์แบบซิมอส," การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 23, หน้า 629-632, 2000.
- [38] Rolf schumann and Mac. E. Van Valkenburg, *Design of Analog Filters*. chap. 3, Portland state university : Oxford university press, 2001.
- [39] S. Karni, *Intermediate Network Analysis*. chap. 2, Boston : Allyn and Bacon, 1971.

## ภาคผนวก ก

### การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส

ก. 1 การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว  
(Simple Current Mirror)



รูปที่ ก. 1.1 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว

จากรูปที่ ก. 1.1 เป็นวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว โดยมีวงจรเสมือนสัญญาณขนาดเล็กแสดงในรูปที่ ก. 1.2 และ ก. 1.3

#### ก. 1.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis)

หัวข้อนี้เป็นการวิเคราะห์หาค่าคุณสมบัติทางกระแสไฟตรงที่สำคัญของวงจรสะท้อนกระแส ได้แก่ ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง (DC matching error) และสัมประสิทธิ์แรงดันเอาต์พุต (Output-voltage coefficient) โดยมีรายละเอียดการวิเคราะห์ดังนี้ [11]

กระแสเดรนของมอสทรานซิสเตอร์มีค่าเท่ากับ

$$I_D = \frac{K}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (\text{ก. 1.1.1})$$

โดยที่  $K$  มีค่าเท่ากับ  $\mu C_{OX} W/L$ ,  $V_{GS}$  คือแรงดันเกต-ซอร์สของมอสทรานซิสเตอร์,  $V_T$  คือแรงดันขีดเริ่มของมอสทรานซิสเตอร์,  $\lambda$  คือสัมประสิทธิ์แชนแนลเล้นจ์มอดดูเลชันและ  $V_{DS}$  คือแรงดันเดรน-ซอร์สของมอสทรานซิสเตอร์

ดังนั้นกระแสเดรนทางด้านอินพุตและเอาต์พุตของวงจรในรูปที่ ก. 1.1 มีค่าเท่ากับสมการ (ก. 1.1.2) และ (ก. 1.1.3) ตามลำดับ

$$I_{IN} = I_{D1} = \frac{K}{2}(V_{GS} - V_T)^2 (1 + \lambda V_{IN}) \quad (\text{ก. 1.1.2})$$

$$I_{OUT} = I_{D2} = \frac{K}{2}(V_{GS} - V_T)^2 (1 + \lambda V_{OUT}) \quad (\text{ก. 1.1.3})$$

จากสมการ (ก. 1.1.2) และ (ก. 1.1.3) สามารถหาอัตราส่วนกระแสของวงจรสะท้อนกระแส (Current ratio) ได้เท่ากับ

$$\alpha = \frac{I_{OUT}}{I_{IN}} = \frac{1 + \lambda V_{OUT}}{1 + \lambda V_{IN}} \quad (\text{ก. 1.1.4})$$

จากสมการ (ก. 1.1.4) จัดรูปสมการใหม่ได้

$$\alpha = 1 + \frac{\lambda(V_{OUT} - V_{IN})}{1 + \lambda V_{IN}} \quad (\text{ก. 1.1.5})$$

ความนำขาออกของวงจรสะท้อนกระแสแบบทรานซิสเตอร์สองตัวมีค่าเท่ากับ

$$g_{out} = \frac{\partial I_D}{\partial V_{DS}} = \frac{K}{2}(V_{GS} - V_T)^2 \lambda \quad (\text{ก. 1.1.6})$$

ทำการหารสมการ (ก. 1.1.6) ด้วยสมการ (ก. 1.1.2) ได้เท่ากับ

$$\frac{g_{out}}{I_{IN}} = \frac{\lambda}{1 + \lambda V_{IN}} \quad (\text{ก. 1.1.7})$$

โดยการแทนค่าสมการ (ก. 1.1.7) ใน (ก. 1.1.5) ได้อัตราส่วนกระแสของวงจรสะท้อนกระแสเท่ากับ

$$\alpha = 1 + \frac{g_{out}(V_{OUT} - V_{IN})}{I_{IN}} \quad (\text{ก. 1.1.8})$$

คุณสมบัติสมการ (ก. 1.1.6) ด้วย  $(1 + \lambda V_{OUT})I_{OUT}$  ทั้งเศษและส่วน และโดยอาศัยสมการ (ก. 1.1.4) สามารถจัดรูปสมการใหม่ได้เท่ากับ

$$g_{out} = \frac{\lambda I_{OUT}}{1 + \lambda V_{OUT}} \times \frac{(1 + \lambda V_{OUT})I_{IN}}{(1 + \lambda V_{IN})I_{OUT}} = \frac{\lambda I_{OUT}}{1 + \lambda V_{OUT}} \quad (\text{ก. 1.1.9})$$

ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรง (DC matching error) มีค่าเท่ากับ

$$\varepsilon = \frac{I_{OUT}}{I_{IN}} - 1 = \alpha - 1 \quad (\text{ก. 1.1.10})$$

จากสมการ (ก. 1.1.5) สามารถวิเคราะห์หาความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงได้เท่ากับ

$$\varepsilon = \frac{\lambda(V_{OUT} - V_{IN})}{1 + \lambda V_{IN}} \quad (\text{ก. 1.1.11})$$

เนื่องจาก  $\lambda V_{IN} \ll 1$  ดังนั้นสามารถหาค่าประมาณของสมการ (ก. 1.1.11) ได้เท่ากับ

$$\varepsilon \cong \lambda(V_{OUT} - V_{IN}) = \lambda \left( V_{OUT} - V_T - \sqrt{\frac{2I_{IN}}{K}} \right) \quad (\text{ก. 1.1.12})$$

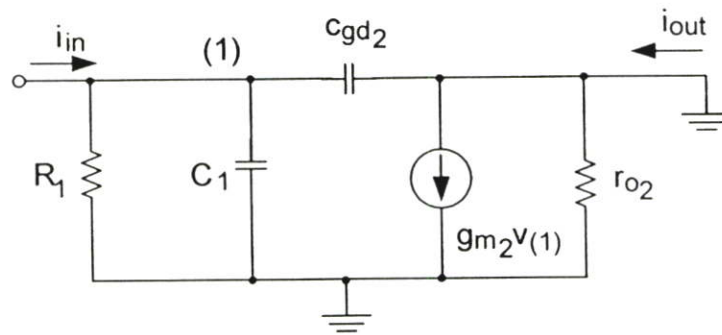
สัมประสิทธิ์แรงดันเอาต์พุตของวงจรสะท้อนกระแสในรูปทั่วไปมีค่าเท่ากับ

$$OVC = \left( \frac{\partial I_{OUT}}{\partial V_{OUT}} \right) \frac{1}{I_{OUT}} \quad (\text{ก. 1.1.13})$$

จากสมการ (ก. 1.1.13) และ (ก. 1.1.9) ได้ค่าสัมประสิทธิ์แรงดันเอาต์พุตของวงจรสะท้อนกระแสเท่ากับ

$$OVC = \frac{g_{out}}{I_{OUT}} = \frac{\lambda}{1 + \lambda V_{OUT}} \cong \lambda \quad (\text{ก. 1.1.14})$$

ก. 1.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลัสัญญาณขนาดเล็ก (Small signal analysis)



รูปที่ ก. 1.2 วงจรเสมือนสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว เพื่อให้อัตราขยายกระแสและความต้านทานขาเข้า

โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กในรูปที่ ก. 1.2 ได้ค่าแรงดันที่โหนด (1) และกระแสเอาต์พุตเท่ากับสมการ (ก. 1.1.15) และ (ก. 1.1.16) ตามลำดับ

$$v_{(1)} = \frac{R_1 \times i_{in}}{1 + sR_1(C_1 + c_{gd2})} = v_{gs2} \quad (\text{ก. 1.1.15})$$

$$i_{out} = v_{gs2} (g_{m2} - sc_{gd2}) \quad (\text{ก. 1.1.16})$$

โดยที่  $R_1 = \frac{1}{g_{m1}} // r_{o1} = \frac{r_{o1}}{1 + g_{m1}r_{o1}}$  และ  $C_1 = c_{gs1} + c_{gs2}$

โดยการแทนค่า  $v_{gs2}$  จากสมการ (ก. 1.1.15) ลงในสมการ (ก. 1.1.16) ได้อัตราขยายกระแสเท่ากับ

$$A_i = \frac{i_{out}}{i_{in}} = \frac{g_{m2}R_1 - sc_{gd2}}{1 + sR_1(C_1 + c_{gd2})} \quad (\text{ก. 1.1.17})$$

โดยการแทนค่า  $R_1 = \frac{r_{o1}}{1 + g_{m1}r_{o1}}$  และ  $C_1 = c_{gs1} + c_{gs2}$  ลงในสมการ (ก. 1.1.17) ได้อัตราขยายกระแสเท่ากับ

$$A_v = \frac{g_{m2} \left( \frac{r_{o1}}{1 + g_{m1} r_{o1}} \right) - s \left( \frac{r_{o1}}{1 + g_{m1} r_{o1}} \right) c_{gd2}}{1 + s \left( \frac{r_{o1}}{1 + g_{m1} r_{o1}} \right) (c_{gs1} + c_{gs2} + c_{gd2})} \quad (\text{ก. 1.1.18})$$

กำหนดให้มอสทรานซิสเตอร์ทุกตัวในรูปที่ ก. 1.1 มีคุณสมบัติเหมือนกันทุกประการ สมการ (ก. 1.1.18) จะมีค่าเป็น

$$A_v = \frac{\frac{g_m r_o}{1 + g_m r_o} - \frac{s r_o c_{gd}}{1 + g_m r_o}}{1 + s \left( \frac{r_o}{1 + g_m r_o} \right) (2c_{gs} + c_{gd})} \quad (\text{ก. 1.1.19})$$

จากสมการ (ก. 1.1.19) แบนวิดท์ของวงจรถ่ายสัญญาณกระแสแบบทรานซิสเตอร์ 2 ตัวมีค่าเท่ากับ

$$f_{-3dB} = \frac{\left( \frac{1 + g_m r_o}{r_o} \right)}{2\pi(2c_{gs} + 2c_{gd})} \cong \frac{f_T}{2} \quad (\text{ก. 1.1.20})$$

โดยที่  $f_T$  คือค่าความถี่ที่ทำให้อัตราขยายกระแสของมอสทรานซิสเตอร์เท่ากับหนึ่งซึ่งมีค่าเท่ากับ  $\frac{g_m}{2\pi(c_{gs} + c_{gd})}$

จากนั้นทำการวิเคราะห์หาค่าความต้านทานขาเข้าโดยใช้วงจรเสมือนสัญญาณขนาดเล็ก ในรูปที่ ก. 1.2 จะได้ความต้านทานขาเข้าเท่ากับ

$$Z_{in} = \frac{v_{gs2}}{i_m} = \frac{R_1}{1 + sR_1(C_1 + c_{gd2})} \quad (\text{ก. 1.1.21})$$

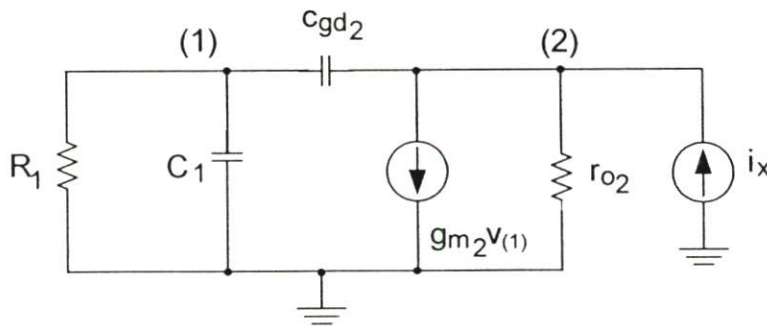
โดยการแทนค่า  $R_1 = \frac{r_{o1}}{1 + g_{m1} r_{o1}}$  และ  $C_1 = c_{gs1} + c_{gs2}$  ลงในสมการ (ก. 1.1.21) ได้ความต้านทานขาเข้าเท่ากับ

$$Z_m = \frac{\left( \frac{r_{o1}}{1 + g_{m1}r_{o1}} \right)}{1 + s \left( \frac{r_{o1}}{1 + g_{m1}r_{o1}} \right) (c_{gs1} + c_{gs2} + c_{gd2})} \quad (\text{ก. 1.1.22})$$

จากสมการ (ก. 1.1.22) สามารถทำการวิเคราะห์หาค่าความต้านทานขาเข้าที่ความถี่ต่ำได้เท่ากับ

$$Z_m = \frac{r_{o1}}{1 + g_{m1}r_{o1}} \cong \frac{1}{g_{m1}} \quad (\text{ก. 1.1.23})$$

จากนั้นทำการวิเคราะห์หาค่าความต้านทานขาออกโดยใช้วงจรเสมือนสัญญาณขนาดเล็กในรูปที่ ก. 1.3



รูปที่ ก. 1.3 วงจรเสมือนสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 2 ตัว เพื่อใช้หาความต้านทานขาออก

จากรูปที่ ก. 1.3 โดยใช้วิธีการวิเคราะห์โหนด (Nodal analysis) จะได้เมตริกซ์ (ก. 1.1.24)

$$\begin{bmatrix} \frac{1}{R_1} + s(C_1 + c_{gd2}) & -sc_{gd2} \\ g_{m2} - sc_{gd2} & \frac{1}{r_{o2}} + sc_{gd2} \end{bmatrix} \begin{bmatrix} v_{(1)} \\ v_{(2)} \end{bmatrix} = \begin{bmatrix} 0 \\ i_x \end{bmatrix}$$

(ก. 1.1.24)

จากเมตริกซ์ (ก. 1.1.24) สามารถหาค่าดีเทอร์มิแนนซ์ได้เท่ากับ

$$\Delta = \frac{1}{R_1 r_{o2}} + s \left[ \left( \frac{C_1 + c_{gd2}}{r_{o2}} \right) + \frac{c_{gd2}}{R_1} + c_{gd2} g_{m2} \right] + s^2 C_1 c_{gd2} \quad (\text{ก. 1.1.25})$$

โดยการแทนค่า  $R_1 = \frac{r_{o1}}{1 + g_{m1}r_{o1}}$  และ  $C_1 = c_{gs1} + c_{gs2}$  ลงในสมการ (ก. 1.1.25) ได้ค่า ดีเทอร์มิแนนซ์เท่ากับ

$$\Delta = \frac{1 + g_{m1}r_{o1}}{r_{o1}r_{o2}} + s \left[ \left( \frac{c_{gs1} + c_{gs2} + c_{gd2}}{r_{o2}} \right) + \frac{c_{gd2}(1 + g_{m1}r_{o1})}{r_{o1}} + c_{gd2}g_{m2} \right] + s^2(c_{gs1} + c_{gs2})c_{gd2} \quad (\text{ก. 1.1.26})$$

จากสมการ (ก. 1.1.26) เนื่องจาก  $g_{m1}r_{o1} \gg 1$  ดังนั้นได้ค่าประมาณของดีเทอร์มิแนนซ์เท่ากับ

$$\Delta \cong \frac{g_{m1}}{r_{o2}} + s \left[ \left( \frac{c_{gs1} + c_{gs2}}{r_{o2}} + c_{gd2}(g_{m1} + g_{m2}) \right) \right] + s^2(c_{gs1} + c_{gs2})c_{gd2} \quad (\text{ก. 1.1.27})$$

จากเมตริกซ์ (ก. 1.1.24) สามารถหาค่าแรงดันที่โหนด 2 ( $v_{(2)}$ ) โดยใช้วิธี Cramer's rule ได้เท่ากับ [39]

$$v_{(2)} = \frac{\left[ \frac{1}{R_1} + s(C_1 + c_{gd2}) \right] i_x}{\Delta} \quad (\text{ก. 1.1.28})$$

จากสมการ (ก. 1.1.28) โดยการย้ายข้างสมการสามารถหาค่าความต้านทานขาออกได้เท่ากับ

$$Z_{out} = \frac{v_{(2)}}{i_x} = \frac{\frac{1}{R_1} + s(C_1 + c_{gd2})}{\Delta} \quad (\text{ก. 1.1.29})$$

โดยการแทนค่า  $R_1 = \frac{r_{o1}}{1 + g_{m1}r_{o1}}$  และ  $C_1 = c_{gs1} + c_{gs2}$  และ  $\Delta$  จาก (ก. 1.1.27) ลงในสมการ (ก. 1.1.29) ได้ความต้านทานขาออกเท่ากับ

$$Z_{out} = \frac{\left( \frac{1 + g_{m1}r_{o1}}{r_{o1}} \right) + s(c_{gs1} + c_{gs2} + c_{gd2})}{\frac{g_{m1}}{r_{o2}} + s \left[ \frac{c_{gs1} + c_{gs2}}{r_{o2}} + c_{gd2}(g_{m1} + g_{m2}) \right] + s^2(c_{gs1} + c_{gs2})c_{gd2}} \quad (\text{ก. 1.1.30})$$

โดยการคูณสมการ (ก. 1.1.30) ด้วย  $r_{o2} / g_{m1}$  ทั้งเศษและส่วน จากนั้นตัดเทอมที่มีผลต่อสมการน้อยออกโดยใช้เงื่อนไข  $g_{m1}r_{o1} \gg 1$  จะได้ความต้านทานขาออกเป็น

$$Z_{out} \cong \frac{r_{o2} \left[ 1 + \frac{s}{g_{m1}} (c_{gs1} + c_{gs2} + c_{gd2}) \right]}{1 + s \frac{r_{o2}}{g_{m1}} \left[ \frac{c_{gs1} + c_{gs2}}{r_{o2}} + c_{gd2} (g_{m1} + g_{m2}) \right] + s^2 \frac{r_{o2}}{g_{m1}} (c_{gs1} + c_{gs2} + c_{gd2})} \quad (\text{ก. 1.1.31})$$

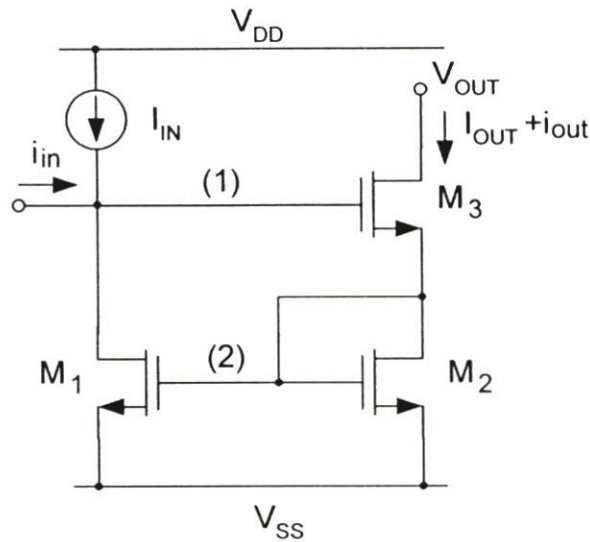
กำหนดให้มอสทรานซิสเตอร์ทุกตัวในรูปที่ (ก. 1.1) มีคุณสมบัติเหมือนกันทุกประการจะได้ค่าความต้านทานขาออกดังสมการ (ก. 1.1.32)

$$Z_{out} \cong \frac{r_o \left[ 1 + \frac{s}{g_m} (2C_{gs} + C_{gd}) \right]}{1 + s \frac{r_o}{g_m} \left[ \frac{2C_{gs}}{r_o} + 2g_m C_{gd} \right] + s^2 \frac{r_o}{g_m} (2C_{gs} C_{gd})} \quad (\text{ก. 1.1.32})$$

จากสมการ (ก. 1.1.32) สามารถวิเคราะห์หาค่าความต้านทานขาเข้าที่ความถี่ต่ำได้เท่ากับ

$$Z_{out} \cong r_o \quad (\text{ก. 1.1.33})$$

## ก. 2 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว (Wilson Current Mirror)



รูปที่ ก. 2.1 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว

จากรูปที่ ก. 2.1 เป็นวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวโดยมีวงจรเสมือนสัญญาณขนาดเล็กแสดงในรูปที่ ก. 2.2 และ ก. 2.3

### ก. 2.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis) [11]

วงจรรูปที่ ก. 2.1 มีโครงสร้างวงจรที่ไม่สมมาตรดังนั้นกระแสในสถานะสงบนิ่งที่เอาต์พุต (Quiescent output current,  $I_{OUT}^0$ ) จึงมีค่าต่างจากกระแสอินพุต ( $I_{IN}$ ) เมื่อทำการหารกระแสเอาต์พุตด้วยกระแสอินพุตจะได้

$$\frac{I_{OUT}^0}{I_{IN}} = \frac{1 + \lambda(V_{DS1}^0 - V_{GS3}^0)}{1 + \lambda V_{DS1}^0} = 1 - \frac{\lambda V_{GS3}^0}{1 + \lambda V_{IN}} \quad (\text{ก. 2.1.1})$$

โดยที่  $V_{DS1}^0$  และ  $V_{GS3}^0$  คือแรงดันเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_1$  และแรงดันเกต-ซอร์สของมอสทรานซิสเตอร์  $M_3$  ในสถานะสงบนิ่งตามลำดับ

จากสมการ (ก. 2.1.1) กำหนดให้  $V_{GS3}^0 \cong \frac{V_{IN}}{2}$  จะได้

$$\frac{I_{OUT}^0}{I_{IN}} = 1 - \frac{\lambda V_{IN}}{2(1 + \lambda V_{IN})} \quad (\text{ก. 2.1.2})$$

เพื่อให้สมการกระแสเอาต์พุตรวมผลของแรงดันเอาต์พุตที่ค่าแรงดันใดๆ ก็ตาม ดังนั้น กระแสเอาต์พุตจะเท่ากับ

$$I_{OUT} = I_{OUT}^0 + \left( \frac{\partial I_{OUT}}{\partial V_{OUT}} \right)^0 dV_{OUT} \quad (\text{ก. 2.1.3})$$

จากสมการ (ก. 2.1.3) ได้ค่าอัตราส่วนกระแสของวงจรในรูปที่ ก. 2.1 เท่ากับ

$$\alpha = \frac{I_{OUT}}{I_{IN}} = \frac{I_{OUT}^0 + \left( \frac{\partial I_{OUT}}{\partial V_{OUT}} \right)^0 dV_{OUT}}{I_{IN}} \quad (\text{ก. 2.1.4})$$

โดยการแทนค่าสมการ (ก. 2.1.2) ลงใน (ก. 2.1.4) ได้อัตราส่วนกระแสเท่ากับ

$$\alpha = \frac{1}{2} \left[ 2 - \frac{\lambda V_{IN}}{(1 + \lambda V_{IN})} \right] + \frac{g_{out}}{I_{IN}} (V_{OUT} - V_{IN}) \quad (\text{ก. 2.1.5})$$

ความผิดพลาดเนื่องจากความความไม่สมพงศ์ทางไฟตรงมีค่าเท่ากับ

$$\varepsilon = \alpha - 1 = \frac{-\lambda V_{IN}}{2(1 + \lambda V_{IN})} + \frac{g_{out}}{I_{IN}} (V_{OUT} - V_{IN}) \quad (\text{ก. 2.1.6})$$

วิเคราะห์หาค่า  $\frac{g_{out}}{I_{IN}}$  ในสมการ (ก. 2.1.6) ได้เท่ากับ

$$\frac{g_{out}}{I_{IN}} \cong \frac{1}{g_m r_o^2 I_{IN}} = \frac{\lambda^2 I_{IN}}{g_m} = \lambda^2 \sqrt{\frac{I_{IN}}{2K}} \quad (\text{ก. 2.1.7})$$

แทนสมการ (ก. 2.1.7) ลงใน (ก. 2.1.6) จะได้

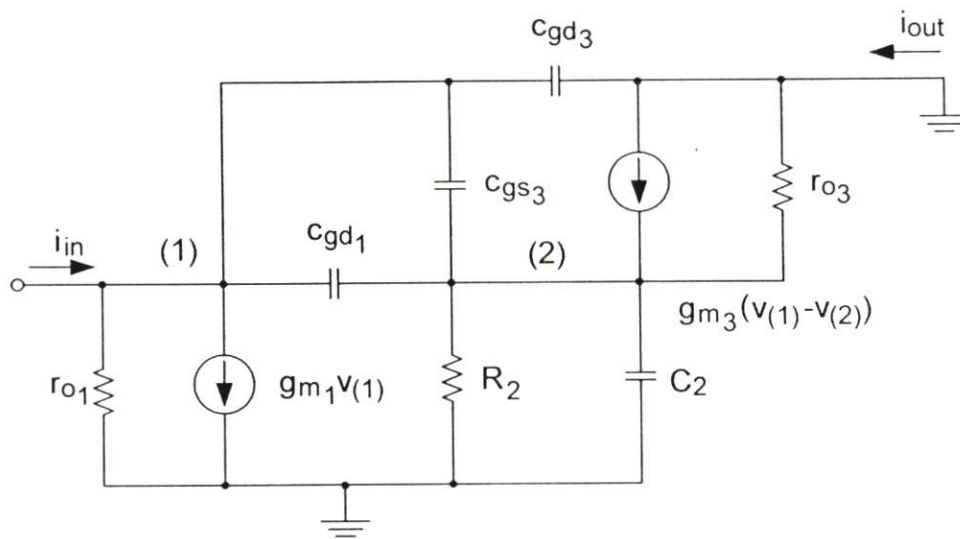
$$\varepsilon = \frac{-\lambda V_{IN}}{2(1 + \lambda V_{IN})} + \lambda^2 \sqrt{\frac{I_{IN}}{2K}} (V_{OUT} - V_{IN}) \quad (\text{ก. 2.1.8})$$

โดยที่  $V_{IN} \cong 2 \left( \sqrt{\frac{2I_{IN}}{K}} + V_t \right)$

เทอมแรกของสมการ (ก. 2.1.8) เกิดจากความไม่สมมาตรของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว ในขณะที่เทอมสองของสมการนี้เกิดจากแรงดันอินพุทไม่เท่ากับแรงดันเอาต์พุท จากสมการ (ก. 2.1.8) สามารถหาค่าสัมประสิทธิ์แรงดันเอาต์พุทได้เท่ากับ

$$OVC = \lambda^2 \sqrt{\frac{I_{IN}}{2K}} \quad (\text{ก. 2.1.9})$$

### ก. 2.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลับสัญญาณขนาดเล็ก (Small signal analysis)



รูปที่ ก. 2.2 วงจรเสมือนของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวเพื่อใช้หาอัตราขยายกระแสและความต้านทานขาเข้า

จากรูปที่ ก. 2.2 กำหนดให้  $R_2 = (1/g_{m2}) // r_{o2}$  และ  $C_2 = c_{gs1} + c_{gs2}$  โดยใช้วิธีการวิเคราะห์โหนด (Nodal analysis) จะได้เมตริกซ์ (ก. 2.1.10)

$$\begin{bmatrix} \frac{1}{r_{o1}} + s(c_{gs3} + c_{gd1} + c_{gd3}) & -(-g_{m1} + sc_{gd3} + sc_{gd1}) \\ -g_{m3} - s(c_{gs3} + c_{gd1}) & g_{m3} + \frac{1}{R_2} + \frac{1}{r_{o3}} + s(C_2 + c_{gs3} + c_{gd1}) \end{bmatrix} \begin{bmatrix} v_{(1)} \\ v_{(2)} \end{bmatrix} = \begin{bmatrix} i_m \\ 0 \end{bmatrix}$$

(ก. 2.1.10)

จากเมตริกซ์ (ก. 2.1.10) สามารถหาค่าดีเทอร์มิแนนซ์ได้เท่ากับ

$$\begin{aligned}
\Delta &= g_{m1}g_{m3} + \frac{g_{m3}}{r_{o1}} + \frac{1}{R_2 r_{o1}} + \frac{1}{r_{o1}r_{o3}} \\
&+ s \left( g_{m1}c_{gd1} + g_{m1}c_{gs3} + g_{m3}c_{gd3} + \frac{c_{gs3}c_{gd1}c_{gd3}}{R_2} + \frac{C_2 c_{gs3}c_{gd1}}{r_{o2}} + \frac{c_{gs3}c_{gd1}c_{gd3}}{r_{o3}} \right) \\
&+ s^2 (C_2 c_{gd1} + C_2 c_{gd3} + c_{gd1}c_{gd3} + C_2 c_{gs3} + c_{gs3}c_{gd3})
\end{aligned} \tag{ก. 2.1.11}$$

จากเมตริกซ์ (ก. 2.1.10) สามารถหาค่าแรงดันที่โนด (1) และโนด (2) โดยใช้วิธี Cramer's rule ได้เท่ากับสมการ (ก. 2.1.12) และ (ก. 2.1.13) ตามลำดับ

$$v_{(1)} = i_m \left( g_{m3} + \frac{1}{R_2} + \frac{1}{r_{o3}} + s(C_2 + c_{gs3} + c_{gd1}) \right) / \Delta \tag{ก. 2.1.12}$$

$$v_{(2)} = i_m (g_{m3} + s(c_{gs3} + c_{gd1})) / \Delta \tag{ก. 2.1.13}$$

โดยที่  $\Delta$  ในสมการ (ก. 2.1.12) และ (ก. 2.1.13) มีค่าเท่ากับสมการ (ก. 2.1.11)

จากรูปที่ ก. 2.2 สามารถวิเคราะห์หาค่ากระแสเอาต์พุตได้เท่ากับ

$$i_{out} = (g_{m3} - s c_{gd3}) v_{(1)} - \left( g_{m3} + \frac{1}{r_{o3}} \right) v_{(2)} \tag{ก. 2.1.14}$$

โดยการแทนค่า  $v_{(1)}$  และ  $v_{(2)}$  จากสมการ (ก. 2.1.12) และ (ก. 2.1.13) ตามลำดับ ลงในสมการ (ก. 2.1.14) ได้กระแสเอาต์พุตเท่ากับ

$$i_{out} = \frac{i_m}{\Delta} \left\{ \frac{g_{m3}}{R_2} + s \left( \frac{-g_{m3}c_{gd1} - g_{m3}c_{gd3} - g_{m3}c_{gs3} + g_{m3}(C_2 + c_{gs3} + c_{gd1})}{R_2} - \frac{(c_{gs3} + c_{gd1} + c_{gd3})}{r_{o3}} \right) \right. \\
\left. - s^2 c_{gd3} (C_2 + c_{gs3} + c_{gd1}) \right\} \tag{ก. 2.1.15}$$

โดยการแทนค่า  $\Delta$  จากสมการ (ก. 2.1.11) ลงใน (ก. 2.1.15) ได้อัตราขยายกระแส  
เท่ากับ

$$A_i = \frac{i_{out}}{i_m} = \left\{ \frac{g_{m3}}{R_2} + s \left( g_{m3}(C_2 - c_{gd3}) - \frac{c_{gd3}}{R_2} - \frac{(c_{gs3} + c_{gd1} + c_{gd3})}{r_{o3}} \right) \right\} /$$

$$\left\{ -s^2 c_{gd3}(C_2 + c_{gs3} + c_{gd1}) \right.$$

$$\left. \left\{ g_{m1}g_{m3} + \frac{g_{m3}}{r_{o1}} + \frac{1}{R_2 r_{o1}} + \frac{1}{r_{o1} r_{o3}} + s \left( \frac{g_{m1}c_{gd1} + g_{m1}c_{gs3} + g_{m3}c_{gd3} + \frac{c_{gs3} + c_{gd1} + c_{gd3}}{R_2}}{+ \frac{C_2 + c_{gs3} + c_{gd1}}{r_{o1}} + \frac{c_{gs3} + c_{gd1} + c_{gd3}}{r_{o3}}} \right) \right\} \right.$$

$$\left. \left\{ s^2 (C_2 c_{gs3} + C_2 c_{gd1} + C_2 c_{gd3} + c_{gs3} c_{gd3} + c_{gd1} c_{gd3}) \right\} \right\}$$

(ก. 2.1.16)

กำหนดให้มอสทรานซิสเตอร์ทุกตัวในรูปที่ ก. 2.1 มีคุณสมบัติเหมือนกันทุกประการ  
อัตราขยายกระแสในสมการ (ก. 2.1.16) จะมีค่าเท่ากับ

$$A_i = \left\{ \frac{g_m}{R_2} + s \left( g_m(2c_{gs} - c_{gd}) - \frac{c_{gd}}{R_2} - \frac{(2c_{gd} + c_{gs})}{r_o} \right) \right\} /$$

$$\left\{ -s^2 c_{gd}(c_{gd} + 3c_{gs}) \right.$$

$$\left. \left\{ g_m^2 + \frac{1}{r_o^2} + \frac{g_m}{r_o} + \frac{1}{R_2 r_o} + s \left( 2g_m c_{gd} + g_m c_{gs} + \frac{2c_{gd} + c_{gs}}{R_2} + \frac{3c_{gd} + 4c_{gs}}{r_o} \right) \right\} \right.$$

$$\left. \left\{ +s^2 (c_{gd}^2 + 5c_{gd}c_{gs} + 2c_{gs}^2) \right\} \right\}$$

(ก. 2.1.17)

จากสมการ (ก. 2.1.17) โดยการแทนค่า  $R_2$  ด้วย  $1/g_m$  และเนื่องจาก  $r_o^2$  มีค่าสูงมาก  
ดังนั้นได้อัตราขยายกระแสเท่ากับ

$$A_i \cong \frac{g_m^2 - s \left( 2g_m c_{gd} - 2g_m c_{gs} + \frac{2c_{gd}}{r_o} + \frac{c_{gs}}{r_o} \right) - s^2 c_{gd} (3c_{gs} + c_{gd})}{g_m^2 + \frac{2g_m}{r_o} + s \left( 4g_m c_{gd} + 2g_m c_{gs} + \frac{4c_{gs} + 3c_{gd}}{r_o} \right) + s^2 (2c_{gs}^2 + 5c_{gs}c_{gd} + c_{gd}^2)}$$

(ก. 2.1.18)

จากสมการ (ก. 2.1.16) สามารถวิเคราะห์หาค่าอัตราขยายกระแสที่ความถี่ต่ำได้เท่ากับ

$$A_i = \frac{g_{m3}}{R_2 \left( g_{m1}g_{m3} + \frac{g_{m3}}{r_{o1}} + \frac{1}{R_2 r_{o1}} + \frac{1}{r_{o1}r_{o3}} \right)} \quad (\text{ก. 2.1.19})$$

โดยการแทนค่า  $R_2 = \frac{1}{g_{m2}} // r_{o2} = \frac{r_{o2}}{1 + g_{m2}r_{o2}}$  ลงในสมการ (ก. 2.1.19) ได้อัตราขยายกระแสที่ความถี่ต่ำเท่ากับ

$$A_i = \frac{g_{m3}(1 + g_{m2}r_{o2})}{r_{o2} \left( g_{m1}g_{m3} + \frac{g_{m3}}{r_{o1}} + \frac{1 + g_{m2}r_{o2}}{r_{o1}r_{o2}} + \frac{1}{r_{o1}r_{o3}} \right)} \quad (\text{ก. 2.1.20})$$

กำหนดให้มอสทรานซิสเตอร์ทุกตัวในรูปที่ ก. 2.1 มีคุณสมบัติเหมือนกันทุกประการจะได้อัตราขยายกระแสที่ความถี่ต่ำเท่ากับ

$$A_i = \frac{g_m(1 + g_m r_o)}{r_o \left( g_m^2 + \frac{g_m}{r_o} + \frac{2 + g_m r_o}{r_o^2} \right)} \quad (\text{ก. 2.1.21})$$

โดยทั่วไปค่า  $r_o$  ของมอสทรานซิสเตอร์มีค่าสูงดังนั้นสมการ (ก. 2.2.21) จะมีค่าเป็น

$$A_i \cong \frac{g_m^2 r_o}{r_o \left( g_m^2 + \frac{2g_m}{r_o} \right)} \cong \frac{g_m^2 r_o}{g_m^2 r_o + 2g_m} \quad (\text{ก. 2.1.22})$$

ความต้านทานขาเข้าหาได้จากการย้ายข้างสมการ (ก. 2.1.12) มีค่าเท่ากับ

$$Z_m = \frac{v_{(1)}}{i_m} = \left( g_{m3} + \frac{1}{R_2} + \frac{1}{r_{o3}} + s(C_2 + c_{gs3} + c_{gd1}) \right) / \Delta \quad (\text{ก. 2.1.23})$$

โดยการแทนค่า  $\Delta$  จากสมการ (ก. 2.1.11) ลงใน (ก. 2.1.23) ได้ค่าความต้านทานขาเข้าเท่ากับ

$$Z_m = \left\{ g_{m3} + \frac{1}{R_2} + \frac{1}{r_{o3}} + s(C_2 + c_{gs3} + c_{gd1}) \right\} /$$

$$\left\{ g_{m1}g_{m3} + \frac{g_{m3}}{r_{o1}} + \frac{1}{R_2 r_{o1}} + \frac{1}{r_{o1}r_{o3}} + s \left( \frac{g_{m1}c_{gs3} + g_{m1}c_{gd1} + g_{m3}c_{gd3} + \frac{c_{gs3} + c_{gd1} + c_{gd3}}{R_2}}{+ \frac{C_2 + c_{gs3} + c_{gd1}}{r_{o1}} + \frac{c_{gs3} + c_{gd1} + c_{gd3}}{r_{o3}}} \right) \right.$$

$$\left. + s^2 (C_2 c_{gs3} + C_2 c_{gd1} + C_2 c_{gd3} + c_{gs3} c_{gd3} + c_{gd1} c_{gd3}) \right\}$$

(ก. 2.1.24)

โดยการแทนค่า  $C_2 = c_{gs1} + c_{gs2}$  และกำหนดให้มอสทรานซิสเตอร์ทุกตัวในรูปที่ ก. 2.1 มีคุณสมบัติเหมือนกันทุกประการจะได้ค่าความต้านทานขาเข้าเท่ากับ

$$Z_m = \left\{ g_m + \frac{1}{R_2} + \frac{1}{r_o} + s(3c_{gs} + c_{gd}) \right\} /$$

$$\left\{ g_m^2 + \frac{g_m}{r_o} + \frac{1}{R_2 r_o} + \frac{1}{r_o^2} + s \left( g_m c_{gs} + 2g_m c_{gd} + \frac{c_{gs} + 2c_{gd}}{R_2} + \frac{4c_{gs} + 3c_{gd}}{r_o} \right) \right.$$

$$\left. + s^2 (2c_{gs}^2 + 5c_{gs} c_{gd} + c_{gd}^2) \right\}$$

(ก. 2.1.25)

จากสมการ (ก. 2.1.25) โดยการแทนค่า  $R_2$  ด้วย  $1/g_m$  และเนื่องจาก  $r_o^2$  มีค่าสูงมาก ดังนั้นได้ความต้านทานขาเข้าเท่ากับ

$$Z_m \cong \frac{2g_m + \frac{1}{r_o} + s(3c_{gs} + c_{gd})}{g_m^2 + \frac{2g_m}{r_o} + s \left( 2g_m c_{gs} + 4g_m c_{gd} + \frac{4c_{gs} + 3c_{gd}}{r_o} \right) + s^2 (2c_{gs}^2 + 5c_{gs} c_{gd})}$$

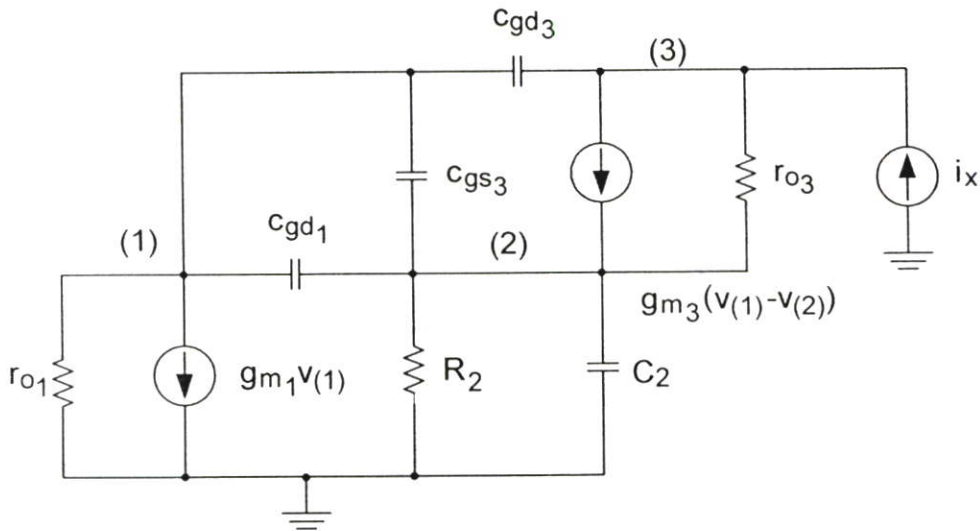
(ก. 2.1.26)

จากสมการ (ก. 2.1.25) สามารถวิเคราะห์หาค่าความต้านทานขาเข้าที่ความถี่ต่ำได้เท่ากับ

$$Z_m = \frac{g_m + \frac{1}{R_2} + \frac{1}{r_o}}{g_m^2 + \frac{g_m}{r_o} + \frac{1}{R_2 r_o}} \quad (\text{ก. 2.1.27})$$

โดยการแทนค่า  $R_2 = \frac{1}{g_{m2}} // r_{o2} = \frac{r_{o2}}{1 + g_{m2} r_{o2}}$  ลงในสมการ (ก. 2.1.27) จะได้ความต้านทานขาเข้าเท่ากับ

$$Z_m \cong \frac{2g_m r_o}{g_m^2 r_o + \frac{2g_m}{r_o}} \cong \frac{2}{g_m} \quad (\text{ก. 2.1.28})$$



รูปที่ ก. 2.3 วงจรเสมือนสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว (Wilson current mirror) เพื่อใช้หาความต้านทานขาออก

จากรูปที่ ก. 2.3 เป็นวงจรเสมือนสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัวเพื่อใช้หาความต้านทานขาออก โดยที่  $R_2 = (1/g_{m2}) // r_{o2}$  และ  $C_2 = c_{gs1} + c_{gs2}$  โดยใช้การวิเคราะห์โนด (Nodal analysis) จะได้เมตริกซ์ (ก. 2.1.29)

$$\begin{bmatrix} \frac{1}{r_{o1}} + s(c_{gs3} + c_{gd1} + c_{gd3}) & -(-g_{m1} + sc_{gs3} + sc_{gd1}) & -sc_{gd3} \\ -(g_{m3} + sc_{gs3} + sc_{gd1}) & g_{m3} + \frac{1}{R_2} + \frac{1}{r_{o3}} + s(C_2 + c_{gs3} + c_{gd1}) & -\frac{1}{r_{o3}} \\ -(-g_{m3} + sc_{gd3}) & -(g_{m3} + \frac{1}{r_{o3}}) & \frac{1}{r_{o3}} + sc_{gd3} \end{bmatrix} \begin{bmatrix} v_{(1)} \\ v_{(2)} \\ v_{(3)} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ i_x \end{bmatrix}$$

(ก. 2.1.29)

จากเมตริกซ์ (ก. 2.1.29) สามารถหาค่าดีเทอร์มิแนนต์ได้เท่ากับ

$$\Delta = \frac{1}{r_{o1}r_{o3}^2} + \frac{g_{m3}}{r_{o1}r_{o3}} + \frac{1}{R_2r_{o1}r_{o3}} - \frac{g_{m3} + \frac{1}{r_{o3}}}{r_{o1}r_{o3}}$$

$$+ S \left( \begin{aligned} & g_{m1}g_{m3}c_{gd3} + g_{m3}^2c_{gd3} + \frac{g_{m3}c_{gd3}}{R_2} + \frac{g_{m3}c_{gd3}}{r_{o1}} + \frac{c_{gd3}}{R_2r_{o1}} \\ & -g_{m3}c_{gd3} \left( g_{m3} + \frac{1}{r_{o3}} \right) + \frac{c_{gd1} + c_{gd3} + c_{gs3}}{r_{o3}^2} \\ & + \frac{g_{m1}(c_{gd1} + c_{gd3} + c_{gs3}) + g_{m3}(c_{gs3} + c_{gd1} + 2c_{gd3})}{r_{o3}} \\ & - \frac{\left( g_{m3} + \frac{1}{r_{o3}} \right) (c_{gs3} + c_{gd1} + c_{gd3})}{r_{o3}} + \frac{c_{gs3} + c_{gd1} + c_{gd3}}{R_2r_{o3}} + \frac{C_2 + c_{gs3} + c_{gd1} + c_{gd3}}{r_{o1}r_{o3}} \end{aligned} \right)$$

$$+ S^2 \left( \begin{aligned} & \frac{g_{m1}c_{gd3}(c_{gs3} + c_{gd1}) + g_{m3}c_{gd3}(C_2 + c_{gs3} + c_{gd1}) + \frac{c_{gd3}(c_{gs3} + c_{gd1} + c_{gd3}) - c_{gd3}^2}{R_2}}{r_{o1}} \\ & + \frac{c_{gd3}(C_2 + c_{gs3} + c_{gd1})}{r_{o1}} - \left( g_{m3} + \frac{1}{r_{o3}} \right) c_{gd3}(c_{gs3} + c_{gd1}) \\ & + \frac{c_{gd3}(c_{gd1} + c_{gs3}) + C_2(c_{gd1} + c_{gd3} + c_{gs3})}{r_{o3}} \end{aligned} \right)$$

$$+ S^3 \left( \begin{aligned} & \frac{c_{gd3}(C_2 + c_{gd1} + c_{gs3})(c_{gd1} + c_{gd3} + c_{gs3})}{-c_{gd1}^2c_{gd3} - 2c_{gs3}c_{gd1}c_{gd3} - c_{gs3}^2c_{gd3} - c_{gd3}^2(C_2 + c_{gs3} + c_{gd1})} \end{aligned} \right)$$

(ก. 2.1.30)

จากเมตริกซ์ (ก. 2.1.29) สามารถหาค่าแรงดันที่โหนด (3) โดยใช้วิธี Cramer's rule ได้เท่ากับ

$$v_{(3)} = i_x \left\{ \frac{\left[ \frac{1}{r_{o1}} + s(c_{gs3} + c_{gd1} + c_{gd3}) \right] \left[ g_{m3} + \frac{1}{R_2} + \frac{1}{r_{o3}} + s(C_2 + c_{gs3} + c_{gd1}) \right]}{-(g_{m3} + sc_{gs3} + sc_{gd1})(-g_{m1} + sc_{gs3} + sc_{gd1})} \right\} / \Delta \quad (\text{ก. 2.1.31})$$

จากสมการ (ก. 2.1.31) โดยการย้ายข้างหาค่าความต้านทานขาออกได้เท่ากับ

$$Z_{out} = \frac{v_{(3)}}{i_x} = \left\{ \frac{\left[ \frac{1}{r_{o1}} + s(c_{gs3} + c_{gd1} + c_{gd3}) \right] \left[ g_{m3} + \frac{1}{R_2} + \frac{1}{r_{o3}} + s(C_2 + c_{gs3} + c_{gd1}) \right]}{-(g_{m3} + sc_{gs3} + sc_{gd1})(-g_{m1} + sc_{gs3} + sc_{gd1})} \right\} / \Delta \quad (\text{ก. 2.1.32})$$

โดยการแทนค่า  $\Delta$  จากสมการ (ก. 2.1.30) ลงใน (ก. 2.1.32) ได้ค่าความต้านทานขาออกเท่ากับ

$$Z_{out} = \frac{\left\{ \begin{aligned} & -(-g_{m1} + sc_{gs3} + sc_{gd1})(g_{m3} + sc_{gs3} + sc_{gd1}) \\ & + \left( g_{m3} + \frac{1}{R_2} + \frac{1}{r_{o3}} + s(C_2 + c_{gs3} + c_{gd1}) \right) \left( \frac{1}{r_{o1}} + s(c_{gs3} + c_{gd1} + c_{gd3}) \right) \end{aligned} \right\}}{\frac{1}{R_2 r_{o1} r_{o3}} + sk_1 + s^2 k_2 + s^3 k_3} \quad (\text{ก. 2.1.33})$$

โดยที่

$$k_1 = \left( \begin{aligned} & g_{m1} g_{m3} c_{gd3} + g_{m3}^2 c_{gd3} + \frac{g_{m3} c_{gd3}}{R_2} + \frac{g_{m3} c_{gd3}}{r_{o1}} + \frac{c_{gd3}}{R_2 r_{o1}} - g_{m3} c_{gd3} \left( g_{m3} + \frac{1}{r_{o3}} \right) \\ & + \frac{c_{gs3} + c_{gd1} + c_{gd3} - (c_{gd1} + c_{gd3} + c_{gs3})(1 + g_{m3} r_{o3})}{r_{o3}^2} \\ & + \frac{c_{gs3}(g_{m1} + g_{m3}) + c_{gd1}(g_{m1} + g_{m3}) + c_{gd3}(g_{m1} + 2g_{m3})}{r_{o3}} + \frac{c_{gs3} + c_{gd1} + c_{gd3}}{R_2 r_{o3}} \\ & + \frac{C_2 + c_{gs3} + c_{gd1} + c_{gd3}}{r_{o1} r_{o3}} \end{aligned} \right)$$

$$k_2 = \left( \begin{aligned} &g_{m1}c_{gd3}(c_{gd1} + c_{gs3}) + g_{m3}c_{gd3}(C_2 + c_{gs3} + c_{gd1}) + \frac{c_{gd3}(c_{gs3} + c_{gd1} + c_{gd3}) - c_{gd3}^2}{R_2} \\ &+ \frac{c_{gd3}(C_2 + c_{gs3} + c_{gd1})}{r_{o1}} - \left( g_{m3} + \frac{1}{r_{o3}} \right) (c_{gs3} + c_{gd1})c_{gd3} \\ &- \frac{(c_{gs3}^2 + c_{gd1}c_{gd3} + 2c_{gs3}c_{gd1} + c_{gs3}c_{gd3} + c_{gd1}^2 + c_{gd3}^2)}{r_{o3}} \\ &+ \frac{c_{gd3}(c_{gs3} + c_{gd1} + c_{gd3}) + (C_2 + c_{gs3} + c_{gd1})(c_{gs3} + c_{gd1} + c_{gd3})}{r_{o3}} \end{aligned} \right)$$

$$k_3 = \left( \begin{aligned} &-c_{gd1}^2c_{gd3} - 2c_{gs3}c_{gd1}c_{gd3} - c_{gs3}^2c_{gd3} - c_{gd3}^2(C_2 + c_{gd1} + c_{gs3}) \\ &+ c_{gd3}(C_2 + c_{gd1} + c_{gs3})(c_{gs3} + c_{gd1} + c_{gd3}) \end{aligned} \right)$$

โดยการแทนค่า  $C_2 = c_{gs1} + c_{gs2}$  ลงในสมการ (ก. 2.1.33) และให้คุณสมบัติของ มอสทรานซิสเตอร์ทุกตัวในรูปที่ ก. 2.1 เหมือนกันทุกประการจะได้ค่าความต้านทานขาออกเท่ากับ

$$Z_{out} = \left\{ \begin{aligned} &g_m^2 + \frac{1}{r_o^2} + \frac{g_m}{r_o} + \frac{1}{R_2 r_o} + s \left( g_m(c_{gs} + 2c_{gd}) + \frac{c_{gs} + 2c_{gd}}{R_2} + \frac{4c_{gs} + 3c_{gd}}{r_o} \right) \\ &+ s^2 (2c_{gs}^2 + 5c_{gs}c_{gd} + 2c_{gd}^2) \end{aligned} \right\} /$$

$$\left( \begin{aligned} &\frac{1}{R_2 r_o^2} + s \left( \begin{aligned} &2g_m^2c_{gd} + \frac{g_m c_{gd}}{R_2} - g_m c_{gd} \left( g_m + \frac{1}{r_o} \right) + \frac{3c_{gs} + g_m r_o c_{gs} + 2c_{gd} + 4g_m r_o c_{gd}}{r_o^2} \\ &+ \frac{c_{gs} + 3c_{gd}}{R_2 r_o} \end{aligned} \right) \right) \\ &+ s^2 \left( \begin{aligned} &g_m c_{gd} (4c_{gs} + 2c_{gd}) + \frac{c_{gd}(c_{gs} + 2c_{gd}) - c_{gd}^2}{R_2} \\ &+ \frac{2c_{gs}^2 + c_{gd}^2(1 - g_m r_o) + c_{gs}c_{gd}(7 - g_m r_o)}{r_o} \end{aligned} \right) + s^3 2c_{gs}c_{gd}(c_{gs} + c_{gd}) \end{aligned} \right)$$

(ก. 2.1.34)

จากสมการ (ก. 2.1.34) เนื่องจาก  $r_o^2$  มีค่าสูงมากดังนั้นค่าประมาณของความต้านทานขาออกเท่ากับ

$$Z_{out} \equiv \left\{ \begin{aligned} &g_m^2 + \frac{1}{r_o^2} + \frac{g_m}{r_o} + \frac{1}{R_2 r_o} + s \left( g_m (c_{gs} + 2c_{gd}) + \frac{c_{gs} + 2c_{gd}}{R_2} + \frac{4c_{gs} + 3c_{gd}}{r_o} \right) \\ &+ s^2 (2c_{gs}^2 + 5c_{gs}c_{gd} + 2c_{gd}^2) \end{aligned} \right\} /$$

$$\left\{ \begin{aligned} &\frac{1}{R_2 r_o^2} + s \left( 2g_m^2 c_{gd} + \frac{g_m c_{gd}}{R_2} - g_m c_{gd} \left( g_m + \frac{1}{r_o} \right) + \frac{c_{gs} + 3c_{gd}}{R_2 r_o} \right) \\ &+ s^2 \left( \begin{aligned} &g_m c_{gd} (4c_{gs} + 2c_{gd}) + \frac{c_{gd} (c_{gs} + 2c_{gd})}{R_2} \\ &+ \frac{2c_{gs}^2 - g_m r_o c_{gd}^2 + c_{gs} c_{gd} (7 - g_m r_o)}{r_o} \end{aligned} \right) \\ &+ s^3 2c_{gs} c_{gd} (c_{gs} + c_{gd}) \end{aligned} \right\}$$

(ก. 2.1.35)

โดยการแทนค่า  $R_2 = 1/g_{m2}$  ลงใน (ก. 2.1.35) ได้ความต้านทานขาออกเป็น

$$Z_{out} = \left\{ \begin{aligned} &g_m^2 + \frac{1}{r_o^2} + \frac{2g_m}{r_o} + s \left( 2g_m (c_{gs} + 2c_{gd}) + \frac{4c_{gs} + 3c_{gd}}{r_o} \right) \\ &+ s^2 (2c_{gs}^2 + 5c_{gs}c_{gd} + 2c_{gd}^2) \end{aligned} \right\} /$$

$$\left\{ \begin{aligned} &\frac{g_m}{r_o^2} + s \left( 2g_m^2 c_{gd} + \frac{g_m (c_{gs} + 2c_{gd})}{r_o} \right) + s^2 \left( \begin{aligned} &g_m c_{gd} (5c_{gs} + 4c_{gd}) \\ &+ \frac{2c_{gs}^2 - g_m r_o c_{gd}^2 + c_{gs} c_{gd} (7 - g_m r_o)}{r_o} \end{aligned} \right) \\ &+ s^3 2c_{gs} c_{gd} (c_{gs} + c_{gd}) \end{aligned} \right\}$$

(ก. 2.1.36)

จากสมการ (ก. 2.1.36) สามารถวิเคราะห์หาค่าความต้านทานขาออกที่ความถี่ต่ำได้  
เท่ากับ

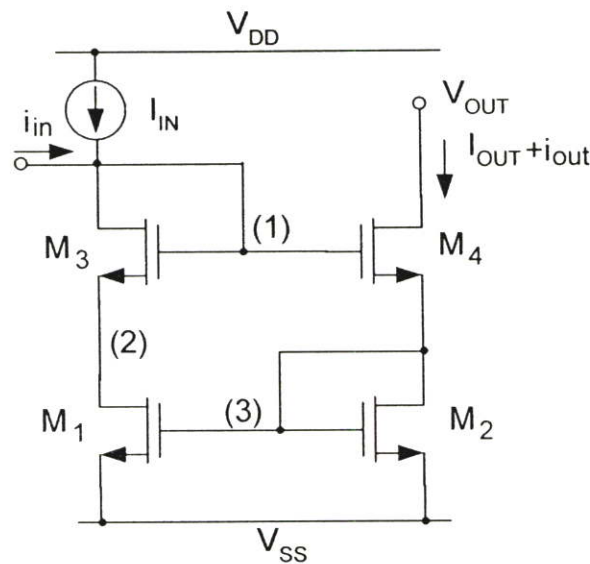
$$Z_{out} = \frac{g_m^2 + \frac{1}{r_o^2} + \frac{g_m}{r_o} + \frac{1}{R_2 r_o}}{\frac{1}{R_2 r_o^2}}$$

(ก. 2.1.37)

โดยการแทนค่า  $R_2 = \frac{r_{o2}}{1 + g_{m2}r_{o2}}$  ลงใน (ก. 2.1.37) และกำหนดให้คุณสมบัติของ มอสทรานซิสเตอร์ทุกตัวเหมือนกันทุกประการจะได้

$$Z_{out} = g_m r_o^2 + 2r_o + \frac{1}{g_m} \cong g_m r_o^2 \quad (\text{ก. 2.1.38})$$

### ก. 3 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว (Improved Wilson Current Mirror)



รูปที่ ก. 3.1 วงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว

รูปที่ ก. 3.1 เป็นวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว มีวงจรเสมือนสัญญาณ ขนาดเล็กดังแสดงในรูปที่ ก. 3.2 และ ก. 3.3

#### ก. 3.1 การวิเคราะห์คุณสมบัติทางกระแสไฟตรง (DC analysis)

ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงและสัมประสิทธิ์แรงดันเอาต์พุตของ วงจรรูปที่ ก. 3.1 สามารถหาได้โดยใช้หลักการเดียวกับวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว เมื่อทำการหารกระแสเอาต์พุตด้วยกระแสอินพุตจะได้สมการ (ก. 3.1.1)

$$\frac{I_{OUT}^0}{I_{IN}} = \frac{1 + \lambda V_{DS2}^0}{1 + \lambda V_{DS1}^0} = \frac{1 + \lambda(V_{DS1}^0 + V_{GS4}^0 - V_{GS3}^0)}{1 + \lambda V_{DS1}^0}$$

$$\frac{I_{OUT}^0}{I_{IN}} = 1 + \frac{\lambda(V_{GS4}^0 - V_{GS3}^0)}{1 + \lambda V_{DS1}^0} \cong 1 \quad (\text{ก. 3.1.1})$$

เช่นเดียวกับในกรณีของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 3 ตัว สมการอัตราส่วนกระแสซึ่งคำนวณจากกระแสเอาต์พุตที่รวมผลของแรงดันเอาต์พุตค่าแรงดันใดๆ ก็ตามมีค่าเท่ากับ

$$\alpha = \frac{I_{OUT}}{I_{IN}} = \frac{I_{OUT}^0 + \left( \frac{\partial I_{OUT}}{\partial V_{OUT}} \right)^0 dV_{OUT}}{I_{IN}} \quad (\text{ก. 3.1.2})$$

แทนค่าสมการ (ก. 3.1.1) ลงใน (ก. 3.1.2) ได้อัตราส่วนกระแสเท่ากับ

$$\alpha = 1 + \frac{g_{out}}{I_{IN}} dV_{OUT} = 1 + \frac{g_{out}}{I_{IN}} (V_{OUT} - V_{IN}) \quad (\text{ก. 3.1.3})$$

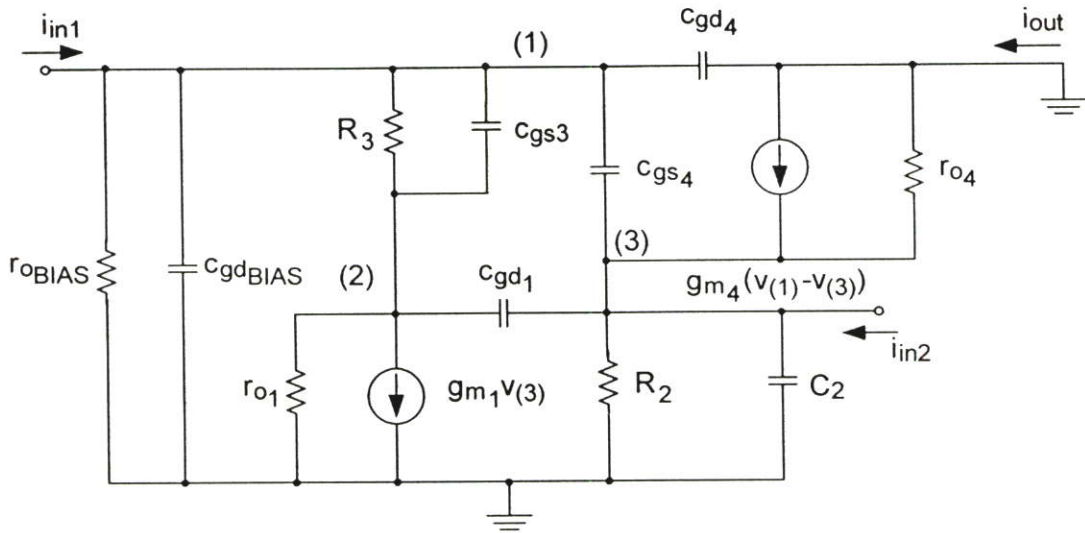
ความผิดพลาดเนื่องจากความไม่สมพงศ์ทางไฟตรงมีค่าเท่ากับ

$$\varepsilon = \alpha - 1 = \lambda^2 \sqrt{\frac{I_{IN}}{2K}} (V_{OUT} - V_{IN}) \quad (\text{ก. 3.1.4})$$

จากสมการ (ก. 3.1.4) สามารถหาค่าสัมประสิทธิ์แรงดันเอาต์พุตได้เท่ากับ

$$OVC = \lambda^2 \sqrt{\frac{I_{IN}}{2K}} \quad (\text{ก. 3.1.5})$$

ก. 3.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลับสัญญาณขนาดเล็ก (Small signal analysis)



รูปที่ ก. 3.2 วงจรเล็กรวมของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวเพื่อให้อัตราขยายกระแสและความต้านทานขาเข้า

จากรูปที่ ก. 3.2 เป็นวงจรเล็กรวมของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวเพื่อให้อัตราขยายกระแสและความต้านทานขาเข้าของวงจรในรูปที่ ก. 3.1 โดยที่  $r_{oBIAS}$  และ  $c_{gdBIAS}$  คือความต้านทานแตรน-ซอร์สและตัวเก็บประจุแฝงเกิด-แตรนของมอสทรานซิสเตอร์ที่สร้างแหล่ง-จ่ายกระแสไบอัส ( $i_{IN}$ ) กำหนดค่า  $R_2 = \frac{1}{g_{m2}} // r_{o2}$ ,  $R_3 = \frac{1}{g_{m3}} // r_{o3}$  และ  $C_2 = c_{gs1} + c_{gs2}$

จากรูปที่ ก. 3.2 โดยการวิเคราะห์โหนด (Nodal analysis) จะได้เมตริกซ์ (ก. 3.1.1)

$$\begin{bmatrix} \frac{1}{r_{oBIAS}} + \frac{1}{R_3} + s(c_{gs3} + c_{gs4} + c_{gdBIAS} + c_{gd4}) & -\left(\frac{1}{R_3} + sc_{gs3}\right) & -sc_{gs4} \\ -\left(\frac{1}{R_3} + sc_{gs3}\right) & \frac{1}{r_{o1}} + \frac{1}{R_3} + s(c_{gs3} + c_{gd1}) & g_{m1} - sc_{gd1} \\ -(g_{m4} + sc_{gs4}) & -sc_{gd1} & g_{m4} + \frac{1}{R_2} + \frac{1}{r_{o4}} + s(C_2 + c_{gs4} + c_{gd1}) \end{bmatrix} \begin{bmatrix} v_{(1)} \\ v_{(2)} \\ v_{(3)} \end{bmatrix} = \begin{bmatrix} i_m \\ 0 \\ 0 \end{bmatrix}$$

(ก. 3.1.6)

จากเมตริกซ์ (น. 3.1.6) สามารถหาค่าดีเทอร์มิแนนซ์ได้เท่ากับ

$$\Delta = \frac{g_{m1}g_{m4}}{R_3} + \frac{g_{m4}}{R_3r_{oBLAS}} + \frac{1}{R_2R_3r_{oBLAS}} + \frac{g_{m4}}{R_3r_{o1}} + \frac{1}{R_2R_3r_{o1}} + \frac{g_{m4}}{r_{oBLAS}r_{o1}} + \frac{1}{R_2r_{oBLAS}r_{o1}} + \frac{1}{R_3r_{oBLAS}r_{o4}} + \frac{1}{R_3r_{o1}r_{o4}} + \frac{1}{r_{oBLAS}r_{o1}r_{o4}} + sk_1 + s^2k_2 + s^3k_3 \quad (\text{น. 3.1.7})$$

โดยที่

$$k_1 = \left( \begin{aligned} & \frac{g_{m1}g_{m4}c_{gs3} + \frac{g_{m1}(c_{gs4} + c_{gd1}) + g_{m4}(c_{gdBLAS} + c_{gd4})}{R_3}}{R_3} \\ & + \frac{c_{gs4} + c_{gdBLAS} + c_{gd1} + c_{gd4}}{R_2R_3} + \frac{g_{m1}c_{gd1} + g_{m4}(c_{gs3} + c_{gd1})}{r_{oBLAS}} + \frac{c_{gs3} + c_{gd1}}{R_2r_{oBLAS}} \\ & + \frac{C_2 + c_{gs4} + c_{gd1}}{R_3r_{oBLAS}} + \frac{g_{m4}(c_{gs3} + c_{gdBLAS} + c_{gd4})}{r_{o1}} + \frac{c_{gs3} + c_{gs4} + c_{gdBLAS} + c_{gd4}}{R_2r_{o1}} \\ & + \frac{C_2 + c_{gs4} + c_{gd1}}{R_3r_{o1}} + \frac{C_2 + c_{gs4} + c_{gd1}}{r_{oBLAS}r_{o1}} + \frac{c_{gs4} + c_{gdBLAS} + c_{gd1} + c_{gd4}}{R_3r_{o4}} \\ & + \frac{c_{gs3} + c_{gd1}}{r_{oBLAS}r_{o4}} + \frac{c_{gs3} + c_{gs4} + c_{gdBLAS} + c_{gd4}}{r_{o1}r_{o4}} \end{aligned} \right)$$

$$k_2 = \left( \begin{aligned} & \frac{g_{m1}(c_{gs3}c_{gs4} + c_{gs3}c_{gd1} + c_{gs4}c_{gd1} + c_{gdBLAS}c_{gd1} + c_{gd1}c_{gd4})}{R_2} \\ & + \frac{c_{gdBLAS}(c_{gs3} + c_{gd1}) + c_{gs3}(c_{gs4} + c_{gd4}) + c_{gd1}(c_{gs3} + c_{gs4} + c_{gd4})}{R_2} \\ & + \frac{(c_{gdBLAS} + c_{gd4})(c_{gs4} + c_{gd1}) + C_2(c_{gs4} + c_{gdBLAS} + c_{gd1} + c_{gd4})}{R_3} \\ & + \frac{C_2(c_{gs3} + c_{gd1}) + c_{gs3}c_{gs4} + c_{gd1}(c_{gs3} + c_{gs4})}{r_{oBLAS}} \\ & + \frac{(C_2 + c_{gs4} + c_{gd1})(c_{gs3} + c_{gs4} + c_{gdBLAS} + c_{gd4}) - c_{gs4}^2}{r_{o1}} \\ & + \frac{c_{gdBLAS}(c_{gs3} + c_{gd1}) + c_{gs3}(c_{gs4} + c_{gd4}) + c_{gd1}(c_{gs3} + c_{gs4} + c_{gd4})}{r_{o4}} \\ & + g_{m4}(c_{gs3}c_{gdBLAS} + c_{gs3}c_{gd4} + c_{gdBLAS}c_{gd1} + c_{gd1}c_{gd4}) \end{aligned} \right)$$

$$k_3 = \left( \begin{aligned} & C_2(c_{gs3}c_{gs4} + c_{gs3}c_{gdBLAS} + c_{gs3}c_{gd1} + c_{gs3}c_{gd4} + c_{gs4}c_{gd1} + c_{gdBLAS}c_{gd1} + c_{gd1}c_{gd4}) \\ & + (c_{gdBLAS} + c_{gd4})(c_{gs3}c_{gs4} + c_{gd1}(c_{gs3} + c_{gs4})) \end{aligned} \right)$$

จากรูปที่ ก. 3.1 กำหนดให้มอสทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกันทุกประการและแทนค่า  $R_2 = R_3 = 1/g_m$  และ  $C_2 = 2c_{gs}$  ลงในสมการ (3.1.7) จะได้

$$\begin{aligned} \Delta = & g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} \\ & + s \left( \frac{g_m^2(3c_{gs} + 2c_{gdBIAS} + 4c_{gd}) + \frac{g_m(5c_{gs} + 4c_{gd})}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^2}}{\frac{g_m(7c_{gs} + 3c_{gdBIAS} + 5c_{gd})}{r_o} + \frac{2(2c_{gs} + c_{gd})}{r_{oBIAS}r_o}} \right) \\ & + s^2 \left( \frac{g_m(4c_{gs}^2 + 5c_{gs}c_{gdBIAS} + 11c_{gs}c_{gd} + 4c_{gdBIAS}c_{gd} + 4c_{gd}^2) + \frac{c_{gs}(3c_{gs} + 4c_{gd})}{r_{oBIAS}}}{\frac{2(3c_{gs}^2 + 4c_{gs}c_{gd} + c_{gdBIAS}(2c_{gs} + c_{gd}) + c_{gd}^2)}{r_o}} \right) \\ & + s^3 c_{gs} (2c_{gs}^2 + 3c_{gs}c_{gdBIAS} + 7c_{gs}c_{gd} + 4c_{gdBIAS}c_{gd} + 4c_{gd}^2) \end{aligned} \quad (\text{ก. 3.1.8})$$

จากเมตริกซ์ (ก. 3.1.6) สามารถวิเคราะห์หาค่าแรงดันที่โนด (1) ได้เท่ากับ

$$v_{(1)} = \frac{i_m}{\Delta} \left\{ \begin{array}{l} \left( \frac{1}{r_{o1}} + \frac{1}{R_3} + s(c_{gs3} + c_{gd1}) \right) \left( g_{m4} + \frac{1}{R_2} + \frac{1}{r_{o4}} + s(C_2 + c_{gs4} + c_{gd1}) \right) \\ -sc_{gd1}(-g_{m1} + sc_{gd1}) \end{array} \right\} \quad (\text{ก. 3.1.9})$$

จากสมการ (ก. 3.1.9) กำหนดให้มอสทรานซิสเตอร์ทุกตัวในรูปที่ ก. 3.1 มีคุณสมบัติเหมือนกันทุกประการจะได้แรงดันที่โนด (1) เท่ากับ

$$v_{(1)} = \frac{i_m}{\Delta} \left\{ \begin{array}{l} \left( \frac{1}{r_o} + \frac{1}{R_3} + s(c_{gs} + c_{gd}) \right) \left( g_m + \frac{1}{R_2} + \frac{1}{r_o} + s(3c_{gs} + c_{gd}) \right) \\ -sc_{gd}(-g_m + sc_{gd}) \end{array} \right\} \quad (\text{ก. 3.1.10})$$

จากสมการ (ก. 3.1.10) โดยการย้ายข้างสมการหาความต้านทานขาเข้าได้เท่ากับ

$$Z_m = \frac{1}{\Delta} \left\{ \left( \frac{1}{r_o} + \frac{1}{R_3} + s(c_{gs} + c_{gd}) \right) \left( g_m + \frac{1}{R_2} + \frac{1}{r_o} + s(3c_{gs} + c_{gd}) \right) - sc_{gd}(-g_m + sc_{gd}) \right\} \quad (\text{ก. 3.1.11})$$

โดยการแทนค่า  $\Delta$  จากสมการ (ก. 3.1.8) ลงใน (ก. 3.1.11) ได้ความต้านทานขาเข้าดังสมการ (ก. 3.1.12)

$$Z_m = \frac{2g_m^2 + \frac{1}{r_o^2} + \frac{3g_m}{r_o} + sa_1 + s^2a_2}{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} + sb_1 + s^2b_2 + s^3b_3} \quad (\text{ก. 3.1.12})$$

โดยที่

$$a_1 = g_m(5c_{gs} + 4c_{gd}) + \frac{4c_{gs} + 2c_{gd}}{r_o}$$

$$a_2 = 3c_{gs}^2 + 4c_{gs}c_{gd}$$

$$b_1 = \left( \begin{aligned} &g_m^2(3c_{gs} + 2c_{gdBIAS} + 4c_{gd}) + \frac{g_m(5c_{gs} + 4c_{gd})}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^2} \\ &+ \frac{g_m(7c_{gs} + 3c_{gdBIAS} + 4c_{gd})}{r_o} + \frac{2(2c_{gs} + c_{gd})}{r_{oBIAS}r_o} \end{aligned} \right)$$

$$b_2 = \left( \begin{aligned} &g_m(4c_{gs}^2 + 5c_{gs}c_{gdBIAS} + 11c_{gs}c_{gd} + 4c_{gdBIAS}c_{gd} + 4c_{gd}^2) + \frac{c_{gs}(3c_{gs} + 4c_{gd})}{r_{oBIAS}} \\ &+ \frac{2(3c_{gs}^2 + 4c_{gs}c_{gd} + c_{gdBIAS}(2c_{gs} + c_{gd}) + c_{gd}^2)}{r_o} \end{aligned} \right)$$

$$b_3 = c_{gs}(2c_{gs}^2 + 3c_{gs}c_{gdBIAS} + 7c_{gs}c_{gd} + 4c_{gdBIAS}c_{gd} + 4c_{gd}^2)$$

โดยการวิเคราะห์สมการ (ก. 3.1.12) สามารถหาค่าความต้านทานขาเข้าที่ความถี่ต่ำได้  
เท่ากับ

$$Z_m = \frac{(1 + 2g_m r_o)}{\left( \frac{1}{r_{oBIAS}} + g_m + \frac{2g_m r_o}{r_{oBIAS}} + g_m^2 r_o \right)} = \frac{\frac{1}{g_m r_o} + 2}{\frac{1}{g_m r_{oBIAS} r_o} + \frac{1}{r_o} + \frac{2}{r_{oBIAS}} + g_m} \quad (\text{ก. 3.1.13})$$

จากสมการ (ก. 3.1.13) เนื่องจาก  $r_o$  มีค่าสูงดังนั้นสามารถหาค่าประมาณของความ  
ต้านทานขาเข้าได้เท่ากับ

$$Z_m \cong \frac{2}{\frac{2}{r_{oBIAS}} + g_m} \cong \frac{2}{g_m} // r_{oBIAS} \quad (\text{ก. 3.1.14})$$

จากเมตริกซ์ (ก. 3.1.6) สามารถหาค่าแรงดันที่โนด (3) ได้เท่ากับ

$$v_{(3)} = \frac{i_m}{\Delta} \left\{ sc_{gd1} \left( \frac{1}{R_3} + sc_{gs3} \right) + (g_{m4} + sc_{gs4}) \left[ \frac{1}{r_{o1}} + \frac{1}{R_3} + s(c_{gs3} + c_{gd1}) \right] \right\} \quad (\text{ก. 3.1.15})$$

จากวงจรเสมือนสัญญาณขนาดเล็กในรูปที่ ก. 3.2 สามารถหาค่ากระแสเอาต์พุตได้  
เท่ากับ

$$i_{out} = (g_{m4} - sc_{gd4})v_{(1)} - \left( g_{m4} + \frac{1}{r_{o4}} \right) v_{(3)} \quad (\text{ก. 3.1.16})$$

จากสมการ (ก. 3.1.16) เนื่องจาก  $r_{o4}$  มีค่าสูงดังนั้นสามารถหาค่าประมาณของกระแส  
เอาต์พุตได้เท่ากับ

$$i_{out} \cong (g_m - sc_{gd})v_{(1)} - g_m v_{(3)} \quad (\text{ก. 3.1.17})$$

โดยการแทนค่า  $v_{(1)}$  และ  $v_{(3)}$  จากสมการ (ก. 3.1.10) และ (ก. 3.1.15) ตามลำดับลงใน  
(ก. 3.1.17) ได้สมการ (ก. 3.1.18)

$$\frac{i_{out}\Delta}{i_m} \cong (g_m - sc_{gd}) \left\{ \left( \frac{1}{r_o} + \frac{1}{R_3} + s(c_{gs} + c_{gd}) \right) \left( g_m + \frac{1}{R_2} + \frac{1}{r_o} + s(3c_{gs} + c_{gd}) \right) \right\} \\ - g_m \left\{ sc_{gd} \left( \frac{1}{R_3} + sc_{gs} \right) + (g_m + sc_{gs}) \left[ \frac{1}{r_o} + \frac{1}{R_3} + s(c_{gs} + c_{gd}) \right] \right\} \quad (\text{ก. 3.1.18})$$

โดยการย้ายข้างสมการ (ก. 3.1.18) และแทนค่า  $\Delta$  จากสมการ (ก. 3.1.8) ลงในสมการ (ก. 3.1.18) จะได้อัตราขยายกระแสเท่ากับ

$$A_i = \frac{g_m^3 + \frac{g_m}{r_o^2} + \frac{2g_m^2}{r_o} + sc_1 + s^2c_2 + s^3c_3 + s^4c_4}{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} + sb_1 + s^2b_2 + s^3b_3} \quad (\text{ก. 3.1.19})$$

โดยที่

$$c_1 = g_m^2 [3c_{gs} + c_{gd}(g_m - 1)] - \frac{c_{gd}}{r_o^2} + \frac{g_m(3c_{gs} + c_{gd}(g_m - 1))}{r_o} \\ c_2 = g_m(2c_{gs}^2 + c_{gs}c_{gd}(g_m - 3) - c_{gd}^2(2 + g_m)) - \frac{2c_{gd}(2c_{gs} + g_m c_{gd} + c_{gd})}{r_o} \\ c_3 = -c_{gd} [3c_{gs}^2 + c_{gd}^2(1 + g_m) + 2c_{gs}c_{gd}(2 + g_m)] + \frac{c_{gd}^3}{r_o} \\ c_4 = c_{gd}^3(c_{gs} + c_{gd})$$

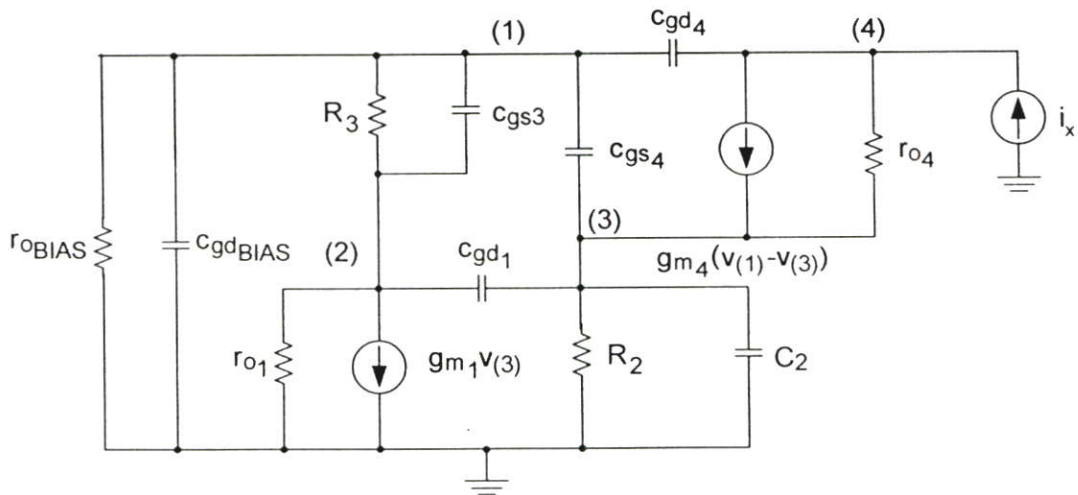
$b_1 - b_3$  มีค่าเท่ากับ  $b_1 - b_3$  ในสมการ (ก. 3.1.12)

จากสมการ (ก. 3.1.19) สามารถหาอัตราขยายกระแสที่ความถี่ต่ำได้เท่ากับ

$$A_i = \frac{g_m r_{oBIAS} (1 + g_m r_o)}{1 + g_m^2 r_{oBIAS} r_o + g_m (r_{oBIAS} + 2r_o)} \quad (\text{ก. 3.1.20})$$

จากสมการ (ก. 3.1.20) เนื่องจาก  $g_m r_o \gg 1$  ดังนั้นค่าประมาณของอัตราขยายกระแสมีค่าเท่ากับ

$$A_i \cong \frac{g_m r_{oBIAS}}{2 + g_m r_{oBIAS}} \cong \frac{r_{oBIAS}}{r_{oBIAS} + 2/g_m} \quad (\text{ก. 3.1.21})$$



รูปที่ ก. 3.3 วงจรเสมือนสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว (Improved Wilson current mirror) เพื่อใช้หาความต้านทานขาออกของวงจรในรูปที่ ก. 3.1

จากรูปที่ ก. 3.3 เป็นวงจรเสมือนสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัวเพื่อใช้หาความต้านทานขาออก โดยใช้วิธีการวิเคราะห์โนด (Nodal analysis) จะได้เมตริกซ์ (ก. 3.1.22)

$$\begin{bmatrix} \frac{1}{r_{oBUIS}} + \frac{1}{R_1} + s(c_{gs1} + c_{gs4} + c_{gdBUIS} + c_{gd4}) & -\left(\frac{1}{R_1} + sC_{gs1}\right) & -sC_{gs4} & -sC_{gd4} \\ -\left(\frac{1}{R_1} + sC_{gs1}\right) & \frac{1}{r_{o1}} + \frac{1}{R_1} + s(c_{gs1} + c_{gd1}) & g_{m1} - sC_{gd1} & 0 \\ -(g_{m4} + sC_{gs4}) & -sC_{gd1} & \frac{1}{R_2} + \frac{1}{r_{o4}} + g_{m4} + s(C_2 + c_{gs4} + c_{gd1}) & -\frac{1}{r_{o4}} \\ g_{m4} - sC_{gd4} & 0 & -g_{m4} & \frac{1}{r_{o4}} + sC_{gd4} \end{bmatrix} \begin{bmatrix} v_{(1)} \\ v_{(2)} \\ v_{(3)} \\ v_{(4)} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ i_x \end{bmatrix}$$

(ก. 3.1.22)

จากเมทริกซ์ (ก. 3.1.22) สามารถหาค่าดีเทอร์มิแนนซ์แบบ 4 แถว 4 หลักได้ดังสมการ (ก. 3.1.24) โดยอาศัยการคำนวณด้วยสมการ (ก. 3.1.23)

$$\begin{vmatrix} a & b & c & d \\ e & f & g & h \\ i & j & k & l \\ m & n & o & p \end{vmatrix} = a \begin{vmatrix} f & g & h \\ j & k & l \\ n & o & p \end{vmatrix} - b \begin{vmatrix} e & g & h \\ i & k & l \\ m & o & p \end{vmatrix} + c \begin{vmatrix} e & f & h \\ i & j & l \\ m & n & p \end{vmatrix} - d \begin{vmatrix} e & f & g \\ i & j & k \\ m & n & o \end{vmatrix}$$

(ก. 3.1.23)

$$\Delta = d_0 + sd_1 + s^2d_2 + s^3d_3 + s^4d_4 \quad (\text{ก. 3.1.24})$$

โดยที่

$$d_0 = \frac{1}{R_3 r_o^3} + \frac{1}{r_{oBIAS} r_o^3} + \frac{1}{R_2 R_3 r_o^2} + \frac{1}{R_2 r_{oBIAS} r_o^2} + \frac{1}{R_3 r_{oBIAS} r_o^2} + \frac{1}{R_2 R_3 r_{oBIAS} r_o}$$

$$d_1 = \left( \begin{aligned} & \frac{g_m^2 c_{gd}}{R_3} + \frac{g_m c_{gd}}{R_2 R_3} + \frac{g_m c_{gd}}{R_3 r_{oBIAS}} + \frac{c_{gd}}{R_2 R_3 r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^3} + \frac{g_m c_{gd}}{r_o^2} \\ & + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{R_2 r_o^2} + \frac{4c_{gs} + c_{gdBIAS} + 4c_{gd}}{R_3 r_o^2} + \frac{4c_{gs} + 3c_{gd}}{r_{oBIAS} r_o^2} + \frac{g_m c_{gd}}{R_2 r_o} \\ & + \frac{g_m (c_{gs} + 4c_{gd})}{R_3 r_o} + \frac{c_{gs} + c_{gdBIAS} + 3c_{gd}}{R_2 R_3 r_o} + \frac{2g_m c_{gd}}{r_{oBIAS} r_o} + \frac{c_{gs} + 2c_{gd}}{R_2 r_{oBIAS} r_o} + \frac{3c_{gs} + 2c_{gd}}{R_3 r_{oBIAS} r_o} \end{aligned} \right)$$

$$d_2 = \left( \begin{aligned} &g_m^2 c_{gd} (c_{gs} + c_{gd}) + \frac{g_m c_{gd} (c_{gs} + c_{gd})}{R_2} + \frac{g_m c_{gd} (3c_{gs} + c_{gdBIAS} + c_{gd})}{R_3} \\ &+ \frac{c_{gd} (c_{gs} + c_{gdBIAS} + c_{gd})}{R_2 R_3} + \frac{g_m c_{gd} (c_{gs} + 2c_{gd})}{r_{oBIAS}} + \frac{c_{gd} (c_{gs} + c_{gd})}{R_2 r_{oBIAS}} + \frac{c_{gd} (3c_{gs} + c_{gd})}{R_3 r_{oBIAS}} \\ &+ \frac{6c_{gs}^2 + 3c_{gdBIAS} c_{gd} + 2c_{gd}^2 + 4c_{gs} c_{gdBIAS} + 9c_{gs} c_{gd}}{r_o^2} \\ &+ \frac{g_m (2c_{gdBIAS} c_{gd} + 3c_{gd}^2 + 7c_{gs} c_{gd} + c_{gs}^2)}{r_o} \\ &+ \frac{2c_{gdBIAS} c_{gd} + c_{gd}^2 + c_{gs} c_{gdBIAS} + 5c_{gs} c_{gd} + c_{gs}^2}{R_2 r_o} \\ &+ \frac{2c_{gd} (c_{gdBIAS} + c_{gd}) + c_{gs} (3c_{gdBIAS} + 8c_{gd}) + 2c_{gs}^2}{R_3 r_o} + \frac{3c_{gs}^2 + 8c_{gs} c_{gd} + 2c_{gd}^2}{r_{oBIAS} r_o} \end{aligned} \right)$$

$$d_3 = \left( \begin{aligned} &g_m (2c_{gdBIAS} c_{gd}^2 + c_{gs} c_{gdBIAS} c_{gd} + 4c_{gs} c_{gd}^2 + 3c_{gs}^2 c_{gd}) \\ &+ \frac{c_{gdBIAS} c_{gd}^2 + c_{gs} c_{gdBIAS} c_{gd} + 2c_{gs} c_{gd}^2 + c_{gs}^2 c_{gd}}{R_2} \\ &+ \frac{c_{gdBIAS} c_{gd}^2 + 3c_{gs} c_{gdBIAS} c_{gd} + 2c_{gs} c_{gd}^2 + 2c_{gs}^2 c_{gd}}{R_3} + \frac{c_{gs} c_{gd} (3c_{gs} + 4c_{gd})}{r_{oBIAS}} \\ &+ \frac{2c_{gd}^2 c_{gdBIAS} + 2c_{gs} c_{gd} (4c_{gdBIAS} + 3c_{gd}) + 3c_{gs}^2 (c_{gdBIAS} + 4c_{gd}) + 2c_{gs}^3}{r_o} \end{aligned} \right)$$

$$d_4 = 4c_{gs} c_{gdBIAS} c_{gd}^2 + 3c_{gs}^2 c_{gdBIAS} c_{gd} + 4c_{gs}^2 c_{gd}^2 + 2c_{gs}^3 c_{gd}$$

จากเมตริกซ์ (ก. 3.1.22) สามารถหาค่าแรงดันที่โหนด (4) ของวงจรรูปที่ ก. 3.1 ได้เท่ากับ

$$v_{(4)} = \frac{i_x}{\Delta} \left\{ \begin{aligned} &\frac{g_{m1} g_{m4}}{R_3} + \frac{g_{m4}}{R_3 r_{oBIAS}} + \frac{1}{R_2 R_3 r_{oBIAS}} + \frac{g_{m4}}{R_3 r_{o1}} + \frac{1}{R_2 R_3 r_{o1}} + \frac{g_{m4}}{r_{oBIAS} r_{o1}} + \frac{1}{R_2 r_{oBIAS} r_{o1}} \\ &+ \frac{1}{R_3 r_{oBIAS} r_{o4}} + \frac{1}{R_3 r_{o1} r_{o4}} + \frac{1}{r_{oBIAS} r_{o1} r_{o4}} + sm_1 + s^2 m_2 + s^3 m_3 \end{aligned} \right\}$$

(ก. 3.1.25)

โดยที่

$$m_1 = \left( \begin{aligned} & \frac{g_{m1}g_{m4}c_{gs3} + \frac{g_{m1}c_{gd1} + g_{m1}c_{gs4} + g_{m4}(c_{gdBIAS} + c_{gd4})}{R_3} + \frac{c_{gs4} + c_{gdBIAS} + c_{gd1} + c_{gd4}}{R_2R_3}}{r_{oBIAS}} \\ & + \frac{g_{m4}c_{gs3} + c_{gd1}(g_{m1} + g_{m4})}{r_{oBIAS}} + \frac{c_{gs3} + c_{gd1}}{R_2r_{oBIAS}} + \frac{C_2 + c_{gs4} + c_{gd1}}{R_3r_{oBIAS}} \\ & + \frac{g_{m4}(c_{gs3} + c_{gdBIAS} + c_{gd4})}{r_{o1}} + \frac{c_{gs3} + c_{gs4} + c_{gdBIAS} + c_{gd4}}{R_2r_{o1}} + \frac{C_2 + c_{gs4} + c_{gd1}}{R_3r_{o1}} \\ & + \frac{C_2 + c_{gs4} + c_{gd1}}{r_{oBIAS}r_{o1}} + \frac{c_{gs4} + c_{gdBIAS} + c_{gd1} + c_{gd4}}{R_3r_{o4}} + \frac{c_{gs3} + c_{gd1}}{r_{oBIAS}r_{o4}} + \frac{c_{gs3} + c_{gs4} + c_{gdBIAS} + c_{gd4}}{r_{o1}r_{o4}} \end{aligned} \right)$$

$$m_2 = \left( \begin{aligned} & \frac{g_{m1}(c_{gd1}(c_{gs3} + c_{gdBIAS} + c_{gd4}) + c_{gs4}(c_{gs3} + c_{gd1})) + g_{m4}(c_{gdBIAS} + c_{gd4})(c_{gs3} + c_{gd1})}{R_2} \\ & + \frac{c_{gdBIAS}(c_{gs3} + c_{gd1}) + c_{gs3}(c_{gs4} + c_{gd4}) + c_{gd1}(c_{gs3} + c_{gs4} + c_{gd4})}{R_2} \\ & + \frac{(c_{gdBIAS} + c_{gd4})(c_{gs4} + c_{gd1}) + C_2(c_{gs4} + c_{gdBIAS} + c_{gd1} + c_{gd4})}{R_3} \\ & + \frac{C_2(c_{gs3} + c_{gd1}) + c_{gs3}c_{gs4} + c_{gd1}(c_{gs3} + c_{gs4})}{r_{oBIAS}} \\ & + \frac{-c_{gs4}^2 + (C_2 + c_{gs4} + c_{gd1})(c_{gdBIAS} + c_{gd4} + c_{gs3} + c_{gs4})}{r_{o1}} \\ & + \frac{c_{gdBIAS}(c_{gs3} + c_{gd1}) + c_{gs3}(c_{gs4} + c_{gd4}) + c_{gd1}(c_{gs3} + c_{gs4} + c_{gd4})}{r_{o4}} \end{aligned} \right)$$

$$m_3 = (c_{gdBIAS} + c_{gd4})(c_{gs3}c_{gs4} + c_{gd1}(c_{gs3} + c_{gs4})) \\ + C_2(c_{gdBIAS}(c_{gs3} + c_{gd1}) + c_{gs3}(c_{gs4} + c_{gd4}) + c_{gd1}(c_{gs3} + c_{gs4} + c_{gd4}))$$

กำหนดให้คุณสมบัติของมอดสทรานซิสเตอร์ในรูปที่ ก. 3.1 เหมือนกันทุกประการยกเว้น มอดสทรานซิสเตอร์ที่ใช้สร้างแหล่งจ่ายกระแส สมการ (ก. 3.1.25) จะเป็น

$$v_{(4)} = \frac{i_s}{\Delta} \left\{ \frac{g_m^2}{R_3} + \frac{g_m}{R_3r_{oBIAS}} + \frac{1}{R_2R_3r_{oBIAS}} + \frac{1}{R_3r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{g_m}{R_3r_o} + \frac{1}{R_2R_3r_o} + \frac{g_m}{r_{oBIAS}r_o} + \frac{1}{R_2r_{oBIAS}r_o} + \frac{1}{R_3r_{oBIAS}r_o} \right\} \\ + sn_1 + s^2n_2 + s^3n_3 \quad (\text{ก. 3.1.26})$$

โดยที่

$$n_1 = \left( \begin{aligned} &g_m^2 c_{gs} + \frac{g_m(c_{gs} + c_{gdBIAS} + 2c_{gd})}{R_3} + \frac{c_{gs} + c_{gdBIAS} + 2c_{gd}}{R_2 R_3} + \frac{g_m(c_{gs} + 2c_{gd})}{r_{oBIAS}} \\ &+ \frac{c_{gs} + c_{gd}}{R_2 r_{oBIAS}} + \frac{3c_{gs} + c_{gd}}{R_3 r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^2} + \frac{g_m(c_{gs} + c_{gdBIAS} + c_{gd})}{r_o} \\ &+ \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{R_2 r_o} + \frac{4c_{gs} + c_{gdBIAS} + 3c_{gd}}{R_3 r_o} + \frac{2(2c_{gs} + c_{gd})}{r_{oBIAS} r_o} \end{aligned} \right)$$

$$n_2 = \left( \begin{aligned} &\frac{g_m(c_{gs} + c_{gdBIAS} + c_{gd})(c_{gs} + 2c_{gd}) + \frac{c_{gdBIAS}(c_{gs} + c_{gd}) + c_{gs}(c_{gs} + c_{gd}) + c_{gd}(2c_{gs} + c_{gd})}{R_2}}{R_2} \\ &+ \frac{(c_{gdBIAS} + c_{gd})(c_{gs} + c_{gd}) + 2c_{gs}(c_{gs} + c_{gdBIAS} + 2c_{gd})}{R_3} \\ &+ \frac{2c_{gs}c_{gd} + c_{gs}^2 + 2c_{gs}(c_{gs} + c_{gd})}{r_{oBIAS}} + \frac{2(c_{gd}^2 + 4c_{gs}c_{gd} + 3c_{gs}^2 + c_{gdBIAS}(2c_{gs} + c_{gd}))}{r_o} \end{aligned} \right)$$

$$n_3 = c_{gs}(4c_{gdBIAS}c_{gd} + 4c_{gd}^2 + 3c_{gs}c_{gdBIAS} + 7c_{gd}c_{gd} + 2c_{gs}^2)$$

จากสมการ (ก. 3.1.26) สามารถวิเคราะห์หาค่าความต้านทานขาออกได้โดยการย้ายข้างสมการ (ก. 3.1.26) และแทนค่า  $\Delta$  จากสมการ (ก. 3.1.24) ได้ค่าความต้านทานขาออกเท่ากับ

$$Z_{out} = \frac{z_0 + sz_1 + s^2 z_2 + s^3 z_3}{d_0 + sd_1 + s^2 d_2 + s^3 d_3 + s^4 d_4} \quad (\text{ก. 3.1.27})$$

โดยที่

$$z_0 = \frac{g_m^2}{R_3} + \frac{g_m}{R_3 r_{oBIAS}} + \frac{1}{R_2 R_3 r_{oBIAS}} + \frac{1}{R_3 r_o^2} + \frac{1}{r_{oBIAS} r_o^2} + \frac{g_m}{R_3 r_o} + \frac{1}{R_2 R_3 r_o} + \frac{g_m}{r_{oBIAS} r_o} + \frac{1}{R_2 r_{oBIAS} r_o} + \frac{1}{R_3 r_{oBIAS} r_o}$$

$$z_1 = \left( \begin{aligned} &g_m^2 c_{gs} + \frac{g_m(c_{gs} + c_{gdBIAS} + 2c_{gd})}{R_3} + \frac{c_{gs} + c_{gdBIAS} + 2c_{gd}}{R_2 R_3} + \frac{g_m(c_{gs} + 2c_{gd})}{r_{oBIAS}} \\ &+ \frac{c_{gs} + c_{gd}}{R_2 r_{oBIAS}} + \frac{3c_{gs} + c_{gd}}{R_3 r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^2} + \frac{g_m(c_{gs} + c_{gdBIAS} + c_{gd})}{r_o} \\ &+ \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{R_2 r_o} + \frac{4c_{gs} + c_{gdBIAS} + 3c_{gd}}{R_3 r_o} + \frac{2(2c_{gs} + c_{gd})}{r_{oBIAS} r_o} \end{aligned} \right)$$

$$z_2 = \left( \begin{array}{l} \frac{g_m(c_{gs} + c_{gdBIAS} + c_{gd})(c_{gs} + 2c_{gd}) + \frac{c_{gs}(c_{gs} + c_{gd}) + c_{gdBIAS}(c_{gs} + c_{gd}) + c_{gd}(2c_{gs} + c_{gd})}{R_2}}{R_3} \\ + \frac{(c_{gs} + c_{gd})(c_{gdBIAS} + c_{gd}) + 2c_{gs}(c_{gs} + c_{gdBIAS} + 2c_{gd})}{R_3} \\ + \frac{2c_{gs}c_{gd} + c_{gs}^2 + 2c_{gs}(c_{gs} + c_{gd})}{r_{oBIAS}} + \frac{2(c_{gd}^2 + 4c_{gs}c_{gd} + 3c_{gs}^2 + c_{gdBIAS}(2c_{gs} + c_{gd}))}{r_o} \end{array} \right)$$

$$z_3 = c_{gs}(4c_{gdBIAS}c_{gd} + 4c_{gd}^2 + 3c_{gs}c_{gdBIAS} + 7c_{gs}c_{gd} + 2c_{gs}^2)$$

$d_0 - d_4$  มีค่าเท่ากับ  $d_0 - d_4$  ในสมการ (ก. 3.1.24)

โดยการแทนค่า  $R_2 = R_3 = 1/g_m$  ในสมการ (ก. 3.1.27) จะได้ความต้านทานขาออกเท่ากับ

$$Z_{out} = \frac{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} + si_1 + s^2i_2 + s^3i_3}{\frac{g_m}{r_o^3} + \frac{1}{r_{oBIAS}r_o^3} + \frac{g_m^2}{r_o^2} + \frac{2g_m}{r_{oBIAS}r_o^2} + \frac{g_m^2}{r_{oBIAS}r_o} + sj_1 + s^2j_2 + s^3j_3 + s^4j_4}$$

(ก. 3.1.28)

โดยที่

$$i_1 = \left( \begin{array}{l} \frac{g_m^2(3c_{gs} + 2c_{gdBIAS} + 4c_{gd}) + \frac{g_m(5c_{gs} + 4c_{gd})}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^2}}{r_o} \\ + \frac{g_m(7c_{gs} + 3c_{gdBIAS} + 5c_{gd})}{r_o} + \frac{2(2c_{gs} + c_{gd})}{r_{oBIAS}r_o} \end{array} \right)$$

$$i_2 = \left( \begin{array}{l} \frac{g_m(4c_{gdBIAS}c_{gd} + 4c_{gd}^2 + 5c_{gs}c_{gdBIAS} + 11c_{gs}c_{gd} + 4c_{gs}^2)}{r_{oBIAS}} \\ + \frac{2c_{gs}c_{gd} + c_{gs}^2 + 2c_{gs}(c_{gs} + c_{gd})}{r_{oBIAS}} \\ + \frac{2(c_{gd}^2 + 4c_{gs}c_{gd} + 3c_{gs}^2 + c_{gdBIAS}(2c_{gs} + c_{gd}))}{r_o} \end{array} \right)$$

$$i_3 = c_{gs}(4c_{gdBIAS}c_{gd} + 4c_{gd}^2 + 3c_{gs}c_{gdBIAS} + 7c_{gs}c_{gd} + 2c_{gs}^2)$$

$$j_1 = \left( \begin{aligned} & 2g_m^3 c_{gd} + \frac{2g_m^2 c_{gd}}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^3} + \frac{2g_m (c_{gdBIAS} + 3(c_{gs} + c_{gd}))}{r_o^2} + \frac{4c_{gs} + 3c_{gd}}{r_{oBIAS} r_o^2} \\ & + \frac{g_m^2 (c_{gdBIAS} + 2(c_{gs} + 4c_{gd}))}{r_o} + \frac{g_m (4c_{gs} + 6c_{gd})}{r_{oBIAS} r_o} \end{aligned} \right)$$

$$j_2 = \left( \begin{aligned} & 2g_m^2 c_{gd} (3c_{gs} + c_{gdBIAS} + 2c_{gd}) + \frac{g_m c_{gd} (5c_{gs} + 4c_{gd})}{r_{oBIAS}} \\ & + \frac{3c_{gdBIAS} c_{gd} + 2c_{gd}^2 + 4c_{gs} c_{gdBIAS} + 9c_{gs} c_{gd} + 6c_{gs}^2}{r_o^2} \\ & + \frac{2g_m (3c_{gdBIAS} c_{gd} + 3c_{gd}^2 + 2c_{gs} c_{gdBIAS} + 10c_{gs} c_{gd} + 2c_{gs}^2)}{r_o} + \frac{3c_{gs}^2 + 2c_{gd}^2 + 8c_{gs} c_{gd}}{r_{oBIAS} r_o} \end{aligned} \right)$$

$$j_3 = \left( \begin{aligned} & g_m c_{gd} (4c_{gdBIAS} c_{gd} + 5c_{gs} c_{gdBIAS} + 8c_{gs} c_{gd} + 6c_{gs}^2) + \frac{c_{gs} c_{gd} (3c_{gs} + 4c_{gd})}{r_{oBIAS}} \\ & + \frac{2c_{gdBIAS} c_{gd}^2 + 2c_{gs} c_{gd} (4c_{gdBIAS} + 3c_{gd}) + 3c_{gs}^2 (c_{gdBIAS} + 4c_{gd}) + 2c_{gs}^3}{r_o} \end{aligned} \right)$$

$$j_4 = (4c_{gs} c_{gdBIAS} c_{gd}^2 + 3c_{gs}^2 c_{gdBIAS} c_{gd} + 4c_{gs}^2 c_{gd}^2 + 2c_{gs}^3 c_{gd})$$

จากสมการ (ก. 3.1.28) วิเคราะห์หาค่าความต้านทานขาออกที่ความถี่ต่ำได้เท่ากับ

$$Z_{out} = \frac{r_o (1 + g_m r_{oBIAS} + g_m r_o (2 + g_m r_{oBIAS}))}{1 + g_m (r_{oBIAS} + r_o)} \quad (\text{ก. 3.1.29})$$

จากสมการ (ก. 3.1.29) เนื่องจาก  $g_m r_o \gg 1$  ดังนั้นได้ค่าความต้านทานขาออกเป็น

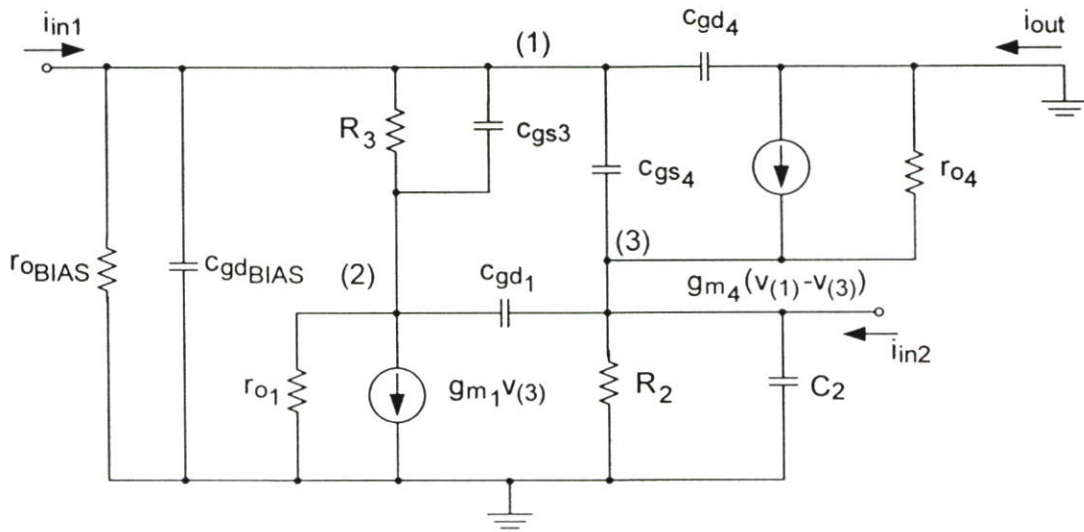
$$Z_{out} \cong \frac{r_o (r_{oBIAS} + g_m r_{oBIAS} r_o)}{r_{oBIAS} + r_o} \cong \frac{r_o (1 + g_m r_o)}{1 + \frac{r_o}{r_{oBIAS}}} \quad (\text{ก. 3.1.30})$$

จากสมการ (ก. 3.1.30) ในกรณี  $r_{oBIAS}$  มีค่าสูงมากๆ จะได้ความต้านทานขาออกดัง  
สมการ (ก. 3.1.31)

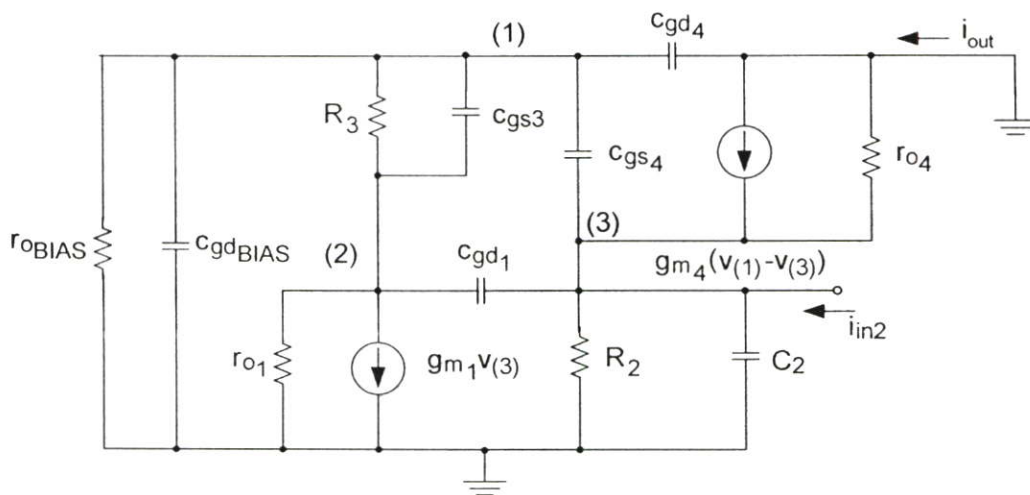
$$Z_{out} \cong g_m r_o^2 \quad (\text{ก. 3.1.31})$$



ก. 4.2 การวิเคราะห์คุณสมบัติทางกระแสไฟสลับสัญญาณขนาดเล็ก (Small signal analysis)



รูปที่ ก. 4.2 วงจรเสมือนสัญญาณขนาดเล็กของวงจรสะท้อนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัวเพื่อให้อัตราขยายกระแสและความต้านทานขาเข้าเมื่อป้อนกระแสอินพุตเข้าที่จุดสัญญาณเข้าที่หนึ่ง (โนด 1)



รูปที่ ก. 4.3 วงจรเสมือนสัญญาณขนาดเล็กของวงจรสะท้อนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัวให้อัตราขยายกระแสและความต้านทานขาเข้าเมื่อป้อนกระแสอินพุตเข้าที่จุดสัญญาณเข้าที่สอง (โนด 3)

จากรูปที่ ก. 4.3 โดยใช้การวิเคราะห์โนดจะได้เมตริกซ์ (ก. 4.1.1)

$$\begin{bmatrix} \frac{1}{r_{oBIAS}} + \frac{1}{R_3} + s(c_{gdBIAS} + c_{gs3} + c_{gs4} + c_{gd4}) & -\left(\frac{1}{R_3} + sc_{gs3}\right) & -sc_{gs4} \\ -\left(\frac{1}{R_3} + sc_{gs3}\right) & \frac{1}{R_3} + \frac{1}{r_{o1}} + s(c_{gs3} + c_{gd1}) & g_{m1} - sc_{gd1} \\ -(g_{m4} + sc_{gs4}) & -sc_{gd1} & g_{m4} + \frac{1}{R_2} + \frac{1}{r_{o4}} + s(C_2 + c_{gs4} + c_{gd1}) \end{bmatrix} \begin{bmatrix} v_{(1)} \\ v_{(2)} \\ v_{(3)} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ i_{m2} \end{bmatrix} \quad (\text{ก. 4.1.1})$$

ค่าดีเทอร์มิแนนต์ของเมตริกซ์ (ก. 4.1.1) มีค่าเท่ากับสมการ (ก. 3.1.3) ในหัวข้อ ก. 3

จากเมตริกซ์ (ก. 4.1.1) สามารถวิเคราะห์หาค่าแรงดันที่โนด (1) ได้เท่ากับ

$$v_{(1)} = \frac{i_{m2}}{\Delta} \left\{ -\left(\frac{1}{R_3} + sc_{gs3}\right)(g_{m1} - sc_{gd1}) - \left[ -sc_{gs4} \left(\frac{1}{R_3} + \frac{1}{r_{o1}} + s(c_{gs3} + c_{gd1})\right) \right] \right\} \quad (\text{ก. 4.1.2})$$

กำหนดให้คุณสมบัติของมอดสทรานซิสเตอร์ในรูปที่ ก. 4.1 เหมือนกันทุกประการ (ยกเว้นมอดสทรานซิสเตอร์ที่ใช้สร้างแหล่งจ่ายกระแส) จะได้ค่าแรงดันที่โนด (1) เท่ากับ

$$v_{(1)} = \frac{i_{m2}}{\Delta} \left\{ -\left(\frac{1}{R_3} + sc_{gs}\right)(g_m - sc_{gd}) + sc_{gs} \left(\frac{1}{R_3} + \frac{1}{r_o} + s(c_{gs} + c_{gd})\right) \right\} \quad (\text{ก. 4.1.3})$$

จากเมตริกซ์ (ก. 4.1.1) สามารถหาค่าแรงดันที่โหนด (3) ได้เท่ากับ

$$v_{(3)} = \frac{i_{m2}}{\Delta} \left\{ \begin{array}{l} \left( \frac{1}{r_{oBLAS}} + \frac{1}{R_3} + s(c_{gdBLAS} + c_{gs3} + c_{gs4} + c_{gd4}) \right) \left( \frac{1}{R_3} + \frac{1}{r_{o1}} + s(c_{gs3} + c_{gd1}) \right) \\ - \left( \frac{1}{R_3} + sc_{gs3} \right)^2 \end{array} \right\} \quad (\text{ก. 4.1.4})$$

กำหนดให้คุณสมบัติของมอสทรานซิสเตอร์ในรูปที่ ก. 4.1 เหมือนกันทุกประการ (ยกเว้นมอสทรานซิสเตอร์ที่ใช้สร้างแหล่งจ่ายกระแส) จะได้ค่าแรงดันที่โหนด (3) และกระแสเอาต์พุตเท่ากับสมการ (ก. 4.1.5) และ (ก. 4.1.6) ตามลำดับ

$$v_{(3)} = \frac{i_{m2}}{\Delta} \left\{ \begin{array}{l} \left( \frac{1}{r_{oBLAS}} + \frac{1}{R_3} + s(c_{gdBLAS} + 2c_{gs} + c_{gd}) \right) \left( \frac{1}{R_3} + \frac{1}{r_o} + s(c_{gs} + c_{gd}) \right) \\ - \left( \frac{1}{R_3} + sc_{gs} \right)^2 \end{array} \right\} \quad (\text{ก. 4.1.5})$$

$$i_{out} = (g_{m4} - sc_{gd4})v_{(1)} - \left( g_{m4} + \frac{1}{r_{o4}} \right) v_{(3)} \cong (g_m - sc_{gd})v_{(1)} - g_m v_{(3)} \quad (\text{ก. 4.1.6})$$

โดยการแทนค่า  $v_{(1)}$  และ  $v_{(3)}$  จากสมการ (ก. 4.1.3) และ (ก. 4.1.5) ลงใน (ก. 4.1.6) ตามลำดับจะได้สมการ (ก. 4.1.7)

$$A_{v2} \cdot \Delta = \frac{i_{out} \Delta}{i_{m2}} = (g_m - sc_{gd}) \left\{ - \left( \frac{1}{R_3} + sc_{gs} \right) (g_m - sc_{gd}) + sc_{gs} \left( \frac{1}{R_3} + \frac{1}{r_o} + s(c_{gs} + c_{gd}) \right) \right\} - g_m \left\{ \left( \frac{1}{r_{oBLAS}} + \frac{1}{R_3} + s(c_{gdBLAS} + 2c_{gs} + c_{gd}) \right) \left( \frac{1}{R_3} + \frac{1}{r_o} + s(c_{gs} + c_{gd}) \right) - \left( \frac{1}{R_3} + sc_{gs} \right)^2 \right\}$$

$$\begin{aligned}
A_{12} \cdot \Delta = & -\frac{g_m^2}{R_3} - \frac{g_m}{R_3 r_o} - \frac{g_m}{R_3 r_{oBIAS}} - \frac{g_m}{r_o r_{oBIAS}} \\
& -s \left( g_m^2 c_{gs} + \frac{g_m c_{gdBIAS}}{R_3} + \frac{g_m (c_{gs} + c_{gd} + c_{gdBIAS})}{r_o} + \frac{g_m (c_{gs} + c_{gd})}{r_{oBIAS}} \right) \\
& +s^2 \left( g_m (-c_{gd} (c_{gd} + c_{gdBIAS}) - c_{gdBIAS} c_{gs}) - \frac{c_{gd} (c_{gs} + c_{gd})}{R_3} - \frac{c_{gs} c_{gd}}{r_o} \right) \\
& -s^3 c_{gs} c_{gd} (c_{gs} + 2c_{gd})
\end{aligned} \tag{ก. 4.1.7}$$

โดยการแทนค่า  $R_2 = R_3 = 1/g_m$  ลงในสมการ (ก. 4.1.7) ได้อัตราขยายกระแสเมื่อป้อนกระแสอินพุตที่จุดสัญญาณเข้าที่สองเท่ากับ

$$A_{12} = -\frac{g_m^3 + \frac{g_m^2}{r_{oBIAS}} + \frac{g_m^2}{r_o} + \frac{g_m}{r_{oBIAS} r_o} + sa_{1\_2} + s^2 a_{2\_2} + s^3 a_{3\_2}}{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS} r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS} r_o} + sb_{1\_2} + s^2 b_{2\_2} + s^3 b_{3\_2}} \tag{ก. 4.1.8}$$

โดยที่

$$a_{1\_2} = g_m^2 (c_{gs} + c_{gdBIAS}) + \frac{g_m (c_{gs} + c_{gd})}{r_{oBIAS}} + \frac{g_m (c_{gs} + c_{gdBIAS} + c_{gd})}{r_o}$$

$$a_{2\_2} = g_m \left[ c_{gdBIAS} (c_{gs} + c_{gd}) + c_{gd} (c_{gs} + 2c_{gd}) \right] + \frac{c_{gs} c_{gd}}{r_o}$$

$$a_{3\_2} = c_{gs} c_{gd} (c_{gs} + 2c_{gd})$$

$$b_{1\_2} = \left( \begin{aligned} & g_m^2 (3c_{gs} + 2c_{gdBIAS} + 4c_{gd}) + \frac{g_m (5c_{gs} + 4c_{gd})}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o^2} \\ & + \frac{g_m (7c_{gs} + 3c_{gdBIAS} + 5c_{gd})}{r_o} + \frac{2(2c_{gs} + c_{gd})}{r_{oBIAS} r_o} \end{aligned} \right)$$

$$b_{2\_2} = \left( \begin{array}{l} g_m(4c_{gdBIAS}c_{gd} + 4c_{gd}^2 + 5c_{gs}c_{gdBIAS} + 11c_{gs}c_{gd} + 4c_{gs}^2) + \frac{c_{gs}(3c_{gs} + 4c_{gd})}{r_{oBIAS}} \\ + \frac{2(c_{gd}^2 + 4c_{gs}c_{gd} + 3c_{gs}^2 + c_{gdBIAS}(2c_{gs} + c_{gd}))}{r_o} \end{array} \right)$$

$$b_{3\_2} = c_{gs}(4c_{gdBIAS}c_{gd} + 4c_{gd}^2 + 3c_{gs}c_{gdBIAS} + 7c_{gs}c_{gd} + 2c_{gs}^2)$$

จากสมการ (ก. 4.1.8) เนื่องจาก  $r_{oBIAS}r_o$  มีค่าสูงมากดังนั้นสามารถวิเคราะห์หาค่าประมาณของอัตราขยายกระแสที่ความถี่ต่ำเมื่อป้อนกระแสอินพุตที่จุดสัญญาณเข้าที่สองได้เท่ากับ

$$A_{v2} \cong - \frac{g_m^3 + \frac{g_m^2}{r_{oBIAS}} + \frac{g_m^2}{r_o}}{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{2g_m^2}{r_o}} \quad (\text{ก. 4.1.9})$$

สมการ (ก. 4.1.5) เป็นสมการแรงดันที่โนด (3) ซึ่งเป็นจุดสัญญาณเข้าของกระแสอินพุตที่สอง ( $i_{m2}$ ) ดังนั้นได้ความต้านทานขาเข้าที่จุดสัญญาณเข้าที่สองเท่ากับ

$$Z_{m2} = \frac{v_{(3)}}{i_{m2}} = \frac{1}{\Delta} \left\{ \begin{array}{l} \left( \frac{1}{r_{oBIAS}} + \frac{1}{R_3} + s(c_{gdBIAS} + 2c_{gs} + c_{gd}) \right) \left( \frac{1}{R_3} + \frac{1}{r_o} + s(c_{gs} + c_{gd}) \right) \\ - \left( \frac{1}{R_3} + sc_{gs} \right)^2 \end{array} \right\}$$

$$Z_{m2} = \frac{1}{\Delta} \left\{ \begin{array}{l} \frac{1}{R_3 r_{oBIAS}} + \frac{1}{R_3 r_o} + \frac{1}{r_{oBIAS} r_o} \\ + s \left( \frac{c_{gs} + c_{gdBIAS} + 2c_{gd}}{R_3} + \frac{c_{gs} + c_{gd}}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o} \right) \\ + s^2 (-c_{gs}^2 + (c_{gs} + c_{gd})(2c_{gs} + c_{gdBIAS} + c_{gd})) \end{array} \right\} \quad (\text{ก. 4.1.10})$$

โดยการแทนค่า  $\Delta$  จากสมการ (ก. 3.1.3) และ  $R_2 = R_3 = 1/g_m$  ลงใน (ก. 4.1.10) ได้ความต้านทานขาเข้าที่จุดสัญญาณเข้าที่สองเท่ากับ

$$Z_{m2} = \frac{\frac{g_m}{r_{oBIAS}} + \frac{g_m}{r_o} + \frac{1}{r_{oBIAS}r_o} + si_{1\_2} + s^2i_{2\_2}}{g_m^3 + \frac{2g_m^2}{r_{oBIAS}} + \frac{g_m}{r_o^2} + \frac{1}{r_{oBIAS}r_o^2} + \frac{2g_m^2}{r_o} + \frac{3g_m}{r_{oBIAS}r_o} + sb_{1\_2} + s^2b_{2\_2} + s^3b_{3\_2}} \quad (\text{ก. 4.1.11})$$

โดยที่

$$i_{1\_2} = g_m(c_{gs} + c_{gdBIAS} + 2c_{gd}) + \frac{c_{gs} + c_{gd}}{r_{oBIAS}} + \frac{2c_{gs} + c_{gdBIAS} + c_{gd}}{r_o}$$

$$i_{2\_2} = -c_{gs}^2 + (c_{gs} + c_{gd})(2c_{gs} + c_{gdBIAS} + c_{gd})$$

$b_{1\_2} - b_{3\_2}$  ในสมการ (ก. 4.1.11) มีค่าเท่ากับ  $b_{1\_2} - b_{3\_2}$  ในสมการ (ก. 4.1.8) ทุกประการ

จากสมการ (ก. 4.1.11) สามารถวิเคราะห์หาค่าความต้านทานขาเข้าที่จุดสัญญาณเข้าที่สองที่ความถี่ต่ำได้เท่ากับ

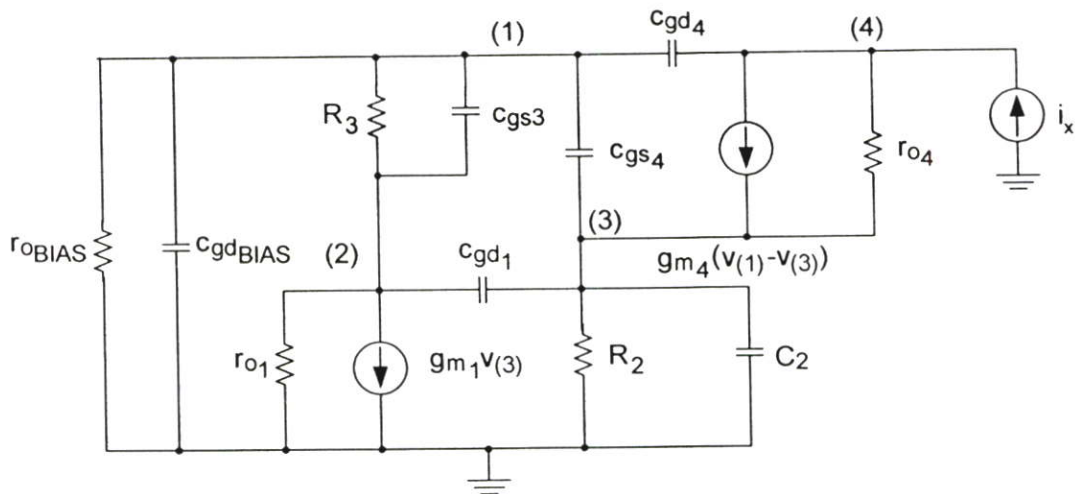
$$Z_{m2} = \frac{(1 + g_m r_{oBIAS} + g_m r_o) / r_{oBIAS} r_o}{(1 + g_m r_{oBIAS} + 3g_m r_o + 2g_m^2 r_{oBIAS} r_o + 2g_m^2 r_o^2 + g_m^3 r_{oBIAS} r_o^2) / r_{oBIAS} r_o^2} \quad (\text{ก. 4.1.12})$$

เนื่องจาก  $g_m r_{oBIAS} + g_m r_o \gg 1$  และ  $r_{oBIAS} r_o$  มีค่าสูงมากๆ ดังนั้นสมการ (ก. 4.1.12) จะมีค่าประมาณเท่ากับ

$$Z_{m2} \cong \frac{1 + \frac{r_o}{r_{oBIAS}}}{g_m (2 + g_m r_o)} \quad (\text{ก. 4.1.13})$$

โดยทั่วไป  $g_m r_o \gg 2$  ดังนั้นสมการ (ก. 4.1.13) จะเท่ากับ

$$Z_{m2} \cong \frac{1}{g_m^2 (r_o // r_{oBIAS})} \quad (\text{ก. 4.1.14})$$



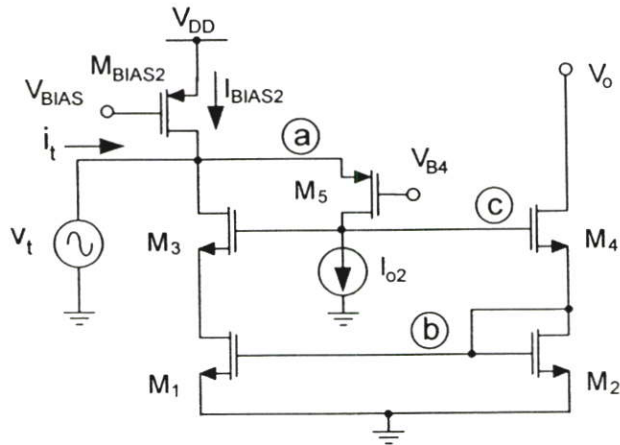
รูปที่ ก. 4.4 วงจรเสมือนของวงจรสะท้อนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัวเพื่อใช้หาความต้านทานที่จุดสัญญาณออก

รูปที่ ก. 4.4 เป็นวงจรเสมือนของวงจรสะท้อนกระแสความแตกต่างสองสัญญาณเข้าแบบทรานซิสเตอร์ 4 ตัวเพื่อใช้หาความต้านทานที่จุดสัญญาณออก ความต้านทานที่จุดสัญญาณออกมีค่าเท่ากับสมการ (ก. 3.1.22) ของวงจรสะท้อนกระแสแบบทรานซิสเตอร์ 4 ตัว (Improved Wilson current mirror) ในหัวข้อ ก. 3 ทุกประการ

ภาคผนวก ข

การวิเคราะห์วงจรเปรียบเทียบกระแสแบบปรับปรุง

ข. 1 การวิเคราะห์ความต้านทานขาเข้าของวงจรส่วนหน้าของวงจรเปรียบเทียบกระแสแบบปรับปรุง



รูปที่ ข. 1 วงจรส่วนหน้าของวงจรเปรียบเทียบกระแสแบบปรับปรุง

รูปที่ ข. 1 เป็นวงจรส่วนหน้าของวงจรเปรียบเทียบกระแสแบบปรับปรุง สามารถวิเคราะห์หาค่าความต้านทานขาเข้าที่จุด a ได้โดยการป้อนแหล่งจ่ายแรงดัน  $v_t$  เข้าที่โนด a จากนั้นคำนวณหาค่า  $v_t / i_t$

$$v_t = v_{gs5} \tag{ข. 1.1}$$

จากรูปที่ ข. 1 ค่าแรงดันที่โนด c มีค่าเท่ากับ

$$v_{(c)} = g_{m5} v_{gs5} (r_{o5} // r_{o2}) = v_{gs3,4} + v_{gs1,2} \tag{ข. 1.2}$$

โดยที่  $r_{o2}$  คือความต้านทานเดรน-ซอร์สของแหล่งจ่ายกระแส  $I_{o2}$

เนื่องจากแรงดันเกต-ซอร์สของมอสทรานซิสเตอร์  $M_1$ - $M_4$  มีค่าเท่ากันดังนั้นแรงดันที่โนด c จะเป็น

$$v_{(c)} = 2v_{gs} \quad (\text{ข. 1.3})$$

จากสมการ (ข. 1.1) (ข. 1.2) และ (ข. 1.3) สามารถหาค่าแรงดัน  $v$ , ได้เท่ากับ

$$v_t = \frac{2v_{gs}}{g_{m5}v_{gs5}(r_{o5} // r_{oo2})} \quad (\text{ข. 1.4})$$

จากรูปที่ ข. 1 กระแส  $i_t$  ที่ไหลเข้าโนด a มีค่าเท่ากับ

$$i_t = g_{m3}v_{gs3} + g_{m5}v_{gs5} \quad (\text{ข. 1.5})$$

จากสมการ (ข. 1.1) และ (ข. 1.4) แทนค่า  $v_{gs5}$  ในสมการ (ข. 1.5) กระแส  $i_t$  จะมีค่าเท่ากับ

$$i_t = g_{m3}v_{gs3} + g_{m5} \left( \frac{2v_{gs}}{g_{m5}(r_{o5} // r_{oo2})} \right) \quad (\text{ข. 1.6})$$

จากสมการ (ข. 1.4) และ (ข. 1.6) ได้ความต้านทานขาเข้าที่โนด a เท่ากับ

$$R_{m(a)} = \frac{v_t}{i_t} = \frac{2v_{gs}}{[g_{m3}v_{gs3}(r_{o5} // r_{oo2}) + 2v_{gs}]} \quad (\text{ข. 1.7})$$

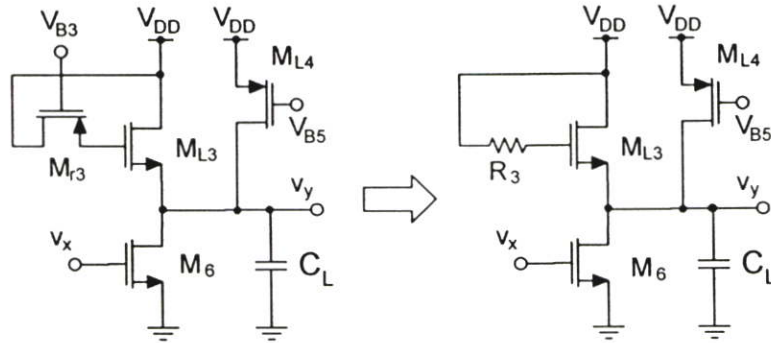
เนื่องจากแรงดันเกต-ซอร์สของมอสทรานซิสเตอร์  $M_1$ - $M_4$  มีค่าเท่ากัน ดังนั้นสมการ (ข. 1.7) จะเป็น

$$R_{m(a)} = \frac{2(r_{o5} + r_{oo2})}{g_{m5}[2r_{oo2} + r_{o5}(2 + g_{m3}r_{oo2})]} \quad (\text{ข. 1.8})$$

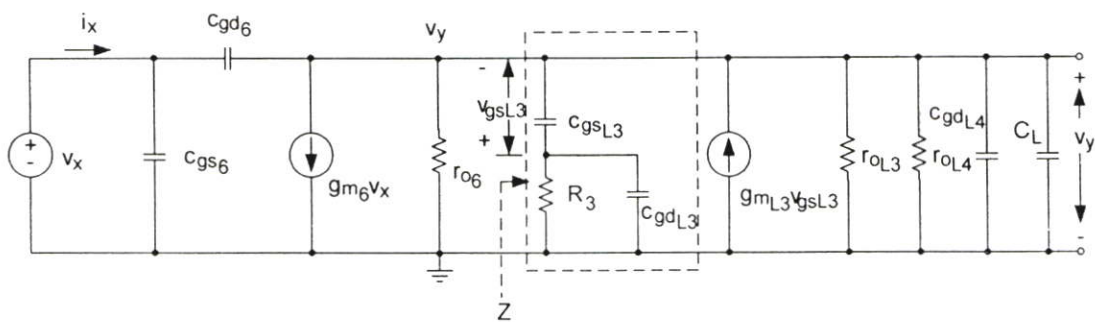
จากสมการ (ข. 1.8) เนื่องจาก  $g_{m3}r_{oo2} \gg 2$  และ  $g_{m3}r_{oo2}r_{o5} \gg 2r_{oo2}$  ดังนั้นสมการ (ข. 1.8) จะเป็น

$$R_{m(a)} \cong \frac{2}{g_{m3}g_{m5}(r_{o5} // r_{oo2})} \quad (\text{ข. 1.9})$$

ข. 2 การวิเคราะห์การลดผลของตัวเก็บประจุแผ่นเกต-ซอร์ส ( $C_{gs}$ ) ของมอสทรานซิสเตอร์ในวงจรเปรียบเทียบกับกระแสแบบปรับปรุง



รูปที่ ข. 2 วงจรปรีแอมป์ (Preamp)



รูปที่ ข. 3 วงจรเสมือนสัญญาณขนาดเล็กของวงจรรูปที่ ข. 2 เพื่อใช้หาอัตราขยายแรงดัน

รูปที่ ข. 2 เป็นวงจรปรีแอมป์ (Preamp) ที่ใช้ในวงจรเปรียบเทียบกระแสแบบปรับปรุงซึ่งใช้เทคนิคลดผลของตัวเก็บประจุแผ่นเกต-ซอร์สของมอสทรานซิสเตอร์  $M_{L3}$  โดยต่อมอสทรานซิสเตอร์  $M_{L3}$  เพิ่มในวงจร ตัวต้านทาน  $R_3$  แทนความต้านทานเสมือนเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_{L3}$  และตัวเก็บประจุ  $C_L$  แทนตัวเก็บประจุโหลดของวงจร

รูปที่ ข. 3 เป็นวงจรเสมือนสัญญาณขนาดเล็กของวงจรรูปที่ ข. 2 เพื่อใช้วิเคราะห์หาอัตราขยายแรงดัน ค่าอิมพีแดนซ์  $Z$  และค่าแรงดันเกต-ซอร์สของมอสทรานซิสเตอร์  $M_{L3}$  มีค่าเท่ากับสมการ (ข. 2.1) และ (ข. 2.2) ตามลำดับ

$$Z = \frac{1}{sC_{gsL3}} + \frac{R_3}{1 + sR_3C_{gdL3}} = \frac{1 + sR_3(C_{gsL3} + C_{gdL3})}{sC_{gsL3} + s^2R_3C_{gsL3}C_{gdL3}} \quad (\text{ข. 2.1})$$

$$v_{gsL3} = -v_y \times \frac{1 + sR_3c_{gdL3}}{1 + sR_3(c_{gsL3} + c_{gdL3})} \quad (\text{ข. 2.2})$$

โดยการวิเคราะห์โหนดในรูปที่ ข. 3 ได้สมการ (ข. 2.3) และ (ข. 2.4)

$$v_x \cdot s(c_{gs6} + c_{gd6}) - v_y \cdot sc_{gd6} = i_x \quad (\text{ข. 2.3})$$

$$v_x(g_{m6} - sc_{gd6}) + v_y \cdot \left[ \frac{1}{r_{o6}} + \frac{1}{r_{ol3}} + \frac{1}{r_{ol4}} + \frac{1}{Z} + s(c_{gd4} + c_{gd6} + C_L) \right] - g_{ml3}v_{gsL3} = 0 \quad (\text{ข. 2.4})$$

จากสมการ (ข. 2.3) และ (ข. 2.4) โดยการแทนค่า  $v_{gsL3}$  และ  $Z$  จากสมการ (ข. 2.2) และ (ข. 2.3) ตามลำดับลงใน (ข. 2.4) ได้เมตริกซ์ (ข. 2.5)

$$\begin{bmatrix} s(c_{gs6} + c_{gd6}) & -sc_{gd6} \\ g_{m6} - sc_{gd6} & \frac{1}{r_{o6}} + \frac{1}{r_{ol3}} + \frac{1}{r_{ol4}} + \frac{g_{ml3} + s(g_{ml3}R_3c_{gdL3} + c_{gsL3} + c_{gd6} + c_{gd4} + C_L) + s^2R_3C_{T1}}{1 + sR_3(c_{gsL3} + c_{gdL3})} \end{bmatrix} \begin{bmatrix} v_x \\ v_y \end{bmatrix} = \begin{bmatrix} i_x \\ 0 \end{bmatrix} \quad (\text{ข. 2.5})$$

$$\text{โดยที่ } C_{T1} = c_{gsL3}(c_{gdL3} + c_{gdL4} + c_{gd6} + C_L) + c_{gdL3}(c_{gdL4} + c_{gd6} + C_L)$$

จากเมตริกซ์ (ข. 2.5) สามารถวิเคราะห์หาค่า  $v_x$  และ  $v_y$  ได้เท่ากับสมการ (ข. 2.6) และ (ข. 2.7) ตามลำดับ

$$v_x = \frac{i_x}{\Delta} \left[ \frac{1}{r_{o6}} + \frac{1}{r_{ol3}} + \frac{1}{r_{ol4}} + \frac{g_{ml3} + s(g_{ml3}R_3c_{gdL3} + c_{gsL3} + c_{gd6} + c_{gd4} + C_L) + s^2R_3C_{T1}}{1 + sR_3(c_{gsL3} + c_{gdL3})} \right] \quad (\text{ข. 2.6})$$

$$v_y = -\frac{i_x}{\Delta}(g_{m6} - sc_{gd6}) \quad (\text{ข. 2.7})$$

จากสมการ (ข. 2.6) และ (ข. 2.7) เนื่องจากความต้านทานเดรน-ซอร์สของ มอสทรานซิสเตอร์ ( $r_{o6}$ ,  $r_{ol,3}$  และ  $r_{ol,4}$ ) มีค่าสูงดังนั้นสามารถหาอัตราขยายแรงดันได้เท่ากับ

$$A_v = \frac{v_v}{v_x} = - \frac{(g_{m6} - sc_{gd6}) [1 + sR_3(c_{gsL,3} + c_{gdL,3})]}{g_{mL,3} + s(g_{mL,3}R_3c_{gdL,3} + c_{gsL,3} + c_{gd6} + c_{gd4} + C_L) + s^2R_3C_{T1}} \quad (\text{ข. 2.8})$$

จากสมการ (ข. 2.8) ในกรณีไม่มี  $R_3$  ในวงจร ( $R_3 = 0$ ) และตัวเก็บประจุแฝงเกต-เดรนของ มอสทรานซิสเตอร์ทุกตัว ( $C_{gd}$ ) มีค่าน้อยมากๆ โดยการแทนค่า  $C_{T1}$  จากสมการ (ข. 2.8) จะได้ อัตราขยายแรงดันและความถี่คัทออฟเท่ากับสมการ (ข. 2.9) และ (ข. 2.10) ตามลำดับ

$$A_v \cong - \frac{g_{m6}}{g_{mL,3} \left\{ 1 + s \frac{(c_{gsL,3} + C_L)}{g_{mL,3}} \right\}} \quad (\text{ข. 2.9})$$

$$\omega_0 = - \frac{g_{mL,3}}{c_{gsL,3} + C_L} \quad (\text{ข. 2.10})$$

จากสมการ (ข. 2.8) กรณีตัวเก็บประจุแฝงเกต-เดรนของมอสทรานซิสเตอร์ทุกตัว ( $C_{gd}$ ) มี ค่าน้อยมากๆ และแทนค่า  $C_{T1}$  จากสมการ (ข. 2.5) จะได้อัตราขยายแรงดันเท่ากับ

$$A_v \cong - \frac{g_{m6} (1 + sR_3c_{gsL,3})}{R_3c_{gsL,3}C_L \left\{ s^2 + s \frac{(c_{gsL,3} + C_L)}{R_3c_{gsL,3}C_L} + \frac{g_{mL,3}}{R_3c_{gsL,3}C_L} \right\}} \quad (\text{ข. 2.11})$$

จากสมการ (ข. 2.11) สามารถวิเคราะห์หาค่าความถี่โพลและคู่ของความถี่โพลเชิงซ้อน (Complex poles pair) ได้ดังสมการ (ข. 2.12) และ (ข. 2.13) ตามลำดับ

$$\omega_{z1} = - \frac{1}{R_3c_{gsL,3}} \quad (\text{ข. 2.12})$$

$$\omega_{p1,2} = \frac{-(c_{gsL,3} + C_L) \pm \sqrt{(c_{gsL,3} + C_L)^2 - 4g_{mL,3}R_3c_{gsL,3}C_L}}{2R_3c_{gsL,3}C_L} \quad (\text{ข. 2.13})$$

จากสมการ (ข. 2.12) และ (ข. 2.13) สามารถวิเคราะห์หาค่า  $R_3$  ที่เหมาะสมได้โดยกำหนดให้  $|\omega_{z1}|$  และ  $|\omega_{p1,2}|$  จากสมการ (ข. 2.12) และ (ข. 2.13) มีค่าเท่ากันดังสมการ (ข. 2.14)

$$-\frac{1}{R_3 c_{gsL,3}} = \frac{-(c_{gsL,3} + C_L) \pm \sqrt{(c_{gsL,3} + C_L)^2 - 4g_{mL,3} R_3 c_{gsL,3} C_L}}{2R_3 c_{gsL,3} C_L} \quad (\text{ข. 2.14})$$

โดยการย้ายข้างสมการ (ข. 2.14) สามารถหาค่า  $R_3$  ได้เท่ากับ

$$R_3 = \frac{1}{g_{mL,3}} \quad (\text{ข. 2.15})$$

สังเกตได้ว่าเมื่อ  $R_3$  มีค่าเท่ากับ  $1/g_{mL,3}$  จะทำให้ผลของความถี่โพลตัวหนึ่งถูกหักล้างกับความถี่ซีโรพอดี และโดยการแทนค่า  $R_3$  จากสมการ (ข. 2.15) ลงในสมการ (ข. 2.13) จะได้ค่าความถี่คัทออฟเป็น

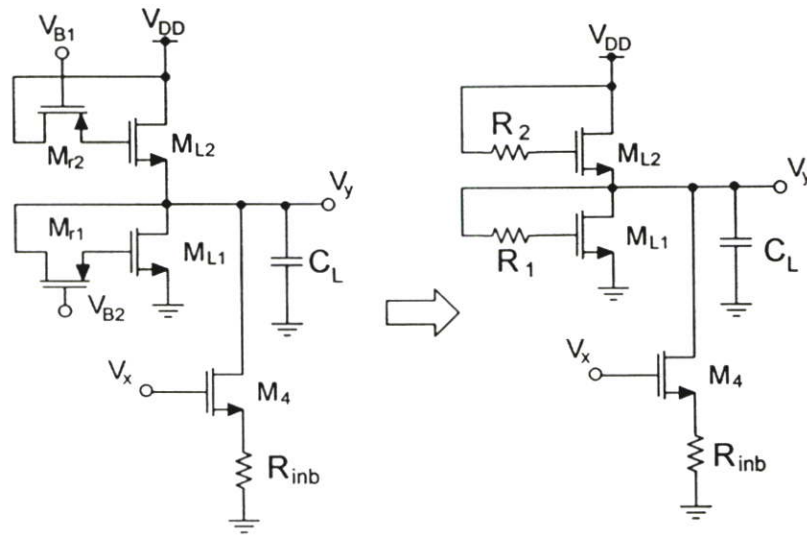
$$\omega_0 = -\frac{g_{mL,3}}{C_{gsL,3}} \quad (\text{ข. 2.16})$$

จากสมการ (ข. 2.10) และ (ข. 2.16) สังเกตได้ว่าการใส่ตัวต้านทาน  $R_3$  ในวงจรรูปที่ ข. 2 ทำให้ความถี่คัทออฟขึ้นกับตัวเก็บประจุที่โหนดของวงจรถ่วง ( $C_L$ ) เท่านั้น ไม่ขึ้นกับตัวเก็บประจุแผ่นเกต-ซอร์ส ( $C_{gs}$ ) ของมอสทรานซิสเตอร์  $M_{L3}$

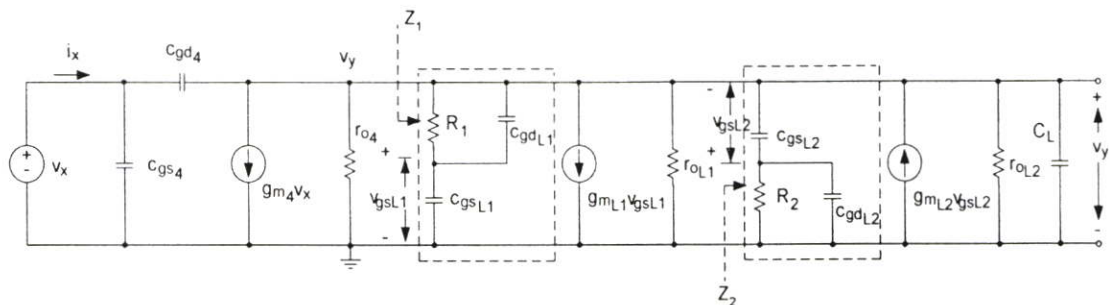
นอกจากนี้สามารถวิเคราะห์หาอัตราขยายแรงดันที่ความถี่ต่ำได้จากสมการ (ข. 2.8) ซึ่งมีค่าเท่ากับ

$$A_v = -\frac{g_{m6}}{g_{mL,3}} = \frac{\sqrt{(W/L)_6 I_{D6}}}{\sqrt{(W/L)_{L3} I_{DL,3}}} = \sqrt{\frac{(W/L)_6 I_{D6}}{(W/L)_{L3} (I_{D6} - I_{DL,4})}} \quad (\text{ข. 2.17})$$

สังเกตได้ว่าอัตราขยายแรงดันของวงจรมีค่าจะไม่สูงมากนักเพราะไม่ต้องการให้ค่าความจุไฟฟ้าที่โหนด d มีค่ามากเนื่องจากผลของมิลเลอร์ (Miller effect) ของ  $M_6$



รูปที่ ข. 4 การลดผลของตัวเก็บประจุแฝงเกต-ซอร์สที่ไหลดของวงจรส่วนหน้าของวงจรเปรียบเทียบกับกระแส



รูปที่ ข. 5 วงจรเสมือนสัญญาณขนาดเล็กของวงจรรูปที่ ข. 4 เพื่อใช้วิเคราะห์หาอัตราขยายแรงดัน (สมมติให้  $R_{inb}$  มีค่าเป็นศูนย์เนื่องจากมีค่าต่ำมาก)

รูปที่ ข. 4 เป็นวงจรส่วนหน้าของวงจรเปรียบเทียบกับกระแสแบบปรับปรุงซึ่งใช้วิธีลดผลของตัวเก็บประจุแฝงเกต-ซอร์สที่ไหลดของวงจรส่วนหน้าโดยต่อมอสทรานซิสเตอร์  $M_{r1}$  และ  $M_{r2}$  เพิ่มในวงจร ตัวต้านทาน  $R_1$  และ  $R_2$  แทนค่าความต้านทานเสมือนเดรน-ซอร์สของมอสทรานซิสเตอร์  $M_{r1}$  และ  $M_{r2}$  ตามลำดับ  $R_{inb}$  แทนความต้านทานขาเข้าของวงจรเปรียบเทียบกับกระแสและตัวเก็บประจุ  $C_L$  แทนตัวเก็บประจุไหลดของวงจร

รูปที่ ข. 5 เป็นวงจรเสมือนสัญญาณขนาดเล็กของวงจรรูปที่ ข. 4 เพื่อใช้วิเคราะห์หาอัตราขยายแรงดันโดยสมมติให้ความต้านทานขาเข้า  $R_{inb}$  มีค่าเป็นศูนย์เนื่องจากมีค่าต่ำมาก ค่าอิมพีแดนซ์  $Z_1$  และ  $Z_2$  มีค่าเท่ากับสมการ (ข. 2.18) และ (ข. 2.19) ตามลำดับ

$$Z_1 = \frac{1}{sC_{gs1.1}} + R_1 // \frac{1}{sC_{gd1.1}} = \frac{1 + sR_1(c_{gs1.1} + c_{gd1.1})}{sC_{gs1.1} + s^2 R_1 c_{gs1.1} c_{gd1.1}} \quad (\text{ข. 2.18})$$

$$Z_2 = \frac{1}{sC_{gs1.2}} + R_2 // \frac{1}{sC_{gd1.2}} = \frac{1 + sR_2(c_{gs1.2} + c_{gd1.2})}{sC_{gs1.2} + s^2 R_2 c_{gs1.2} c_{gd1.2}} \quad (\text{ข. 2.19})$$

จากรูปที่ ข. 5 แรงดันคร่อมขาเกต-ซอร์สของมอสทรานซิสเตอร์  $M_{L1}$  และ  $M_{L2}$  มีค่าเท่ากับ สมการ (ข. 2.20) และ (ข. 2.21) ตามลำดับ

$$v_{gs1.1} = v_y \frac{1 + sR_1 c_{gd1.1}}{1 + sR_1(c_{gs1.1} + c_{gd1.1})} \quad (\text{ข. 2.20})$$

$$v_{gs1.2} = -v_y \frac{1 + sR_2 c_{gd1.2}}{1 + sR_2(c_{gs1.2} + c_{gd1.2})} \quad (\text{ข. 2.21})$$

โดยการวิเคราะห์โนดวงจรในรูปที่ ข. 5 ได้สมการ (ข. 2.22) และ (ข. 2.23)

$$v_x \cdot s(c_{gs4} + c_{gd4}) - v_y \cdot sC_{gd4} = i_x \quad (\text{ข. 2.22})$$

$$v_x(g_{m4} - sC_{gd4}) + v_y \cdot \left[ \frac{1}{r_{ol.1}} + \frac{1}{r_{ol.2}} + \frac{1}{r_{o4}} + \frac{1}{Z_1} + \frac{1}{Z_2} + s(c_{gd4} + C_L) \right] + g_{mL1} v_{gs1.1} - g_{mL2} v_{gs1.2} = 0 \quad (\text{ข. 2.23})$$

เนื่องจากมอสทรานซิสเตอร์  $M_{L1}$  และ  $M_{L2}$  มีคุณสมบัติเหมือนกันทุกประการและ  $v_{gs1.1} = -v_{gs1.2}$  ดังนั้นสมการ (ข. 2.23) จะเป็น

$$v_x(g_{m4} - sC_{gd4}) + v_y \cdot \left[ \frac{2}{r_{ol.1,2}} + \frac{1}{r_{o4}} + \frac{2}{Z_{1,2}} + s(c_{gd4} + C_L) \right] + 2g_{mL1,2} v_{gs1.1,2} = 0 \quad (\text{ข. 2.24})$$

จากสมการ (ข. 2.22) และ (ข. 2.24) โดยการแทนค่า  $Z_1$  และ  $v_{gs1.1}$  จากสมการ (ข. 2.18) และ (ข. 2.20) ตามลำดับลงใน (ข. 2.24) ได้เมตริกซ์ (ข. 2.25)

$$\begin{bmatrix} s(c_{gs4} + c_{gd4}) & -sc_{gd4} \\ g_{m4} - sc_{gd4} & \frac{2}{r_{ol.1,2}} + \frac{1}{r_{o4}} + \frac{2g_{ml.1,2} + s(2g_{ml.1,2}R_{1,2}c_{gd.1,2} + 2c_{gs.1,2} + c_{gd4} + C_l) + s^2R_{1,2}C_{T2}}{1 + sR_{1,2}(c_{gs.1,2} + c_{gd.1,2})} \end{bmatrix} \begin{bmatrix} v_x \\ v_y \end{bmatrix} = \begin{bmatrix} i_x \\ 0 \end{bmatrix} \quad (\text{ข. 2.25})$$

$$\text{โดยที่ } C_{T2} = c_{gs.1,2}(2c_{gd.1,2} + c_{gd4} + C_l) + c_{gd.1,2}(c_{gd4} + C_l)$$

จากเมตริกซ์ (ข. 2.25) สามารถวิเคราะห์หาค่า  $v_x$  และ  $v_y$  ได้เท่ากับสมการ (ข. 2.26) และ (ข. 2.27) ตามลำดับ

$$v_x = \frac{i_x}{\Delta} \left[ \frac{2}{r_{ol.1,2}} + \frac{1}{r_{o4}} + \frac{2g_{ml.1,2} + s(2g_{ml.1,2}R_{1,2}c_{gd.1,2} + 2c_{gs.1,2} + c_{gd4} + C_l) + s^2R_{1,2}C_{T2}}{1 + sR_{1,2}(c_{gs.1,2} + c_{gd.1,2})} \right] \quad (\text{ข. 2.26})$$

$$v_y = -\frac{i_x}{\Delta} (g_{m4} - sc_{gd4}) \quad (\text{ข. 2.27})$$

จากสมการ (ข. 2.26) และ (ข. 2.27) เนื่องจากความต้านทานทรานซิสเตอร์ของ มอสทรานซิสเตอร์ ( $r_{o4}$  และ  $r_{ol.1,2}$ ) มีค่าสูง ดังนั้นสามารถหาอัตราขยายแรงดันได้เท่ากับ

$$A_v = \frac{v_y}{v_x} = -\frac{(g_{m4} - sc_{gd4})[1 + sR_{1,2}(c_{gs.1,2} + c_{gd.1,2})]}{2g_{ml.1,2} + s(2g_{ml.1,2}R_{1,2}c_{gd.1,2} + 2c_{gs.1,2} + c_{gd4} + C_l) + s^2R_{1,2}C_{T2}} \quad (\text{ข. 2.28})$$

จากสมการ (ข. 2.28) ในกรณีไม่มี  $R_{1,2}$  ในวงจรถอด ( $R_{1,2} = 0$ ) และตัวเก็บประจุแฝงเกต-เดรน ของมอสทรานซิสเตอร์ทุกตัว ( $C_{gd}$ ) มีค่าน้อยมากๆ โดยการแทนค่า  $C_{T2}$  จากสมการ (ข. 2.28) จะได้อัตราขยายแรงดันและความถี่คัทออฟเท่ากับสมการ (ข. 2.29) และ (ข. 2.30) ตามลำดับ

$$A_v \cong - \frac{g_{m4}}{2g_{ml,1,2} \left( 1 + s \frac{(2c_{gs,1,2} + C_L)}{2g_{ml,1,2}} \right)} \quad (\text{ข. 2.29})$$

$$\omega_0 = - \frac{2g_{ml,1,2}}{2c_{gs,1,2} + C_L} \quad (\text{ข. 2.30})$$

จากสมการ (ข. 2.28) กรณีตัวเก็บประจุแฝงเกิด-เดรนของมอสทรานซิสเตอร์ทุกตัว ( $C_{gd}$ ) มีค่าน้อยมากๆ และแทนค่า  $C_{T2}$  จากสมการ (ข. 2.28) จะได้อัตราขยายแรงดันเท่ากับ

$$A_v \cong - \frac{g_{m4} (1 + sR_{1,2}c_{gs,1,2})}{R_{1,2}c_{gs,1,2}C_L \left\{ s^2 + s \frac{(2c_{gs,1,2} + C_L)}{R_{1,2}c_{gs,1,2}C_L} + \frac{2g_{ml,1,2}}{R_{1,2}c_{gs,1,2}C_L} \right\}} \quad (\text{ข. 2.31})$$

จากสมการ (ข. 2.31) สามารถวิเคราะห์หาค่าความถี่ซีโรและคู่ของความถี่โพลเชิงซ้อน (Complex poles pair) ได้ดังสมการ (ข. 2.32) และ (ข. 2.33) ตามลำดับ

$$\omega_{z1} = - \frac{1}{R_{1,2}c_{gs,1,2}} \quad (\text{ข. 2.32})$$

$$\omega_{p1,2} = \frac{-(2c_{gs,1,2} + C_L) \pm \sqrt{(2c_{gs,1,2} + C_L)^2 - 8g_{ml,1,2}R_{1,2}c_{gs,1,2}C_L}}{2R_{1,2}c_{gs,1,2}C_L} \quad (\text{ข. 2.33})$$

กำหนดให้  $|\omega_{z1}|$  และ  $|\omega_{p1,2}|$  จากสมการ (ข. 2.32) และ (ข. 2.33) มีค่าเท่ากันดังสมการ (ข. 2.34) เพื่อหาค่า  $R_{1,2}$  ที่เหมาะสม

$$\frac{1}{R_{1,2}c_{gs,1,2}} = \frac{-(2c_{gs,1,2} + C_L) \pm \sqrt{(2c_{gs,1,2} + C_L)^2 - 8g_{ml,1,2}R_{1,2}c_{gs,1,2}C_L}}{2R_{1,2}c_{gs,1,2}C_L} \quad (\text{ข. 2.34})$$

โดยการย้ายข้างสมการ (ข. 2.34) สามารถหาค่า  $R_{1,2}$  ได้เท่ากับ

$$R_{1,2} = \frac{1}{g_{ml,1,2}} \quad (\text{ข. 2.35})$$

สังเกตได้ว่าเมื่อ  $R_{1,2}$  มีค่าเท่ากับ  $1/g_{m1,2}$  จะทำให้ผลของความถี่โพลตัวหนึ่งถูกหักล้างกับความถี่ซีโรพอดี และโดยการแทนค่า  $R_{1,2}$  จากสมการ (ข. 2.35) ลงในสมการ (ข. 2.33) จะได้ค่าความถี่คัทออฟเป็น

$$\omega_0 = -\frac{2g_{m1,2}}{C_L} \quad (\text{ข. 2.36})$$

จากสมการ (ข. 2.30) และ (ข. 2.36) สังเกตได้ว่าการใส่ตัวต้านทาน  $R_{1,2}$  ในวงจรรูปที่ ข. 4 ทำให้ความถี่คัทออฟขึ้นกับตัวเก็บประจุที่โหลดของวงจร ( $C_L$ ) เท่านั้น ไม่ขึ้นกับตัวเก็บประจุแผ่นเกต-ซอร์ส ( $C_{gs}$ ) ของมอสทรานซิสเตอร์  $M_{1,2}$

**ภาคผนวก ค**  
**บทความวิจัยที่ได้รับการตีพิมพ์**

1. "High Speed Low Input Impedance CMOS Current Comparator," IEICE Transactions on Fundamentals of Electronics, vol. E88-A, no. 6, pp. 1549-1553, June 2005, Japan.
2. "A 3V Robust High-Speed Low Input Impedance CMOS Current Comparator," 2004 IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS 2004), vol. 2, pp. 1041-1044, Dec. 6-9, 2004, Tainan, Taiwan.
3. "Robust High Speed Low Input Impedance CMOS Current Comparator," IEEE International Midwest Symposium on Circuits and Systems 47<sup>th</sup> (MWSCAS 2004), vol. 1, pp. I-93 - I-96, July 25-28, 2004, Hiroshima, Japan.
4. "High Performance CMOS Current-Mode Precision Full-Wave Rectifier (PFWR)," IEEE Inter. Symposium on Circuits and Systems (ISCAS'03), vol. 1, pp. I-41 - I-44, May 25-28, 2003, Bangkok, Thailand.
5. "High-Speed Low Input Impedance CMOS Current Comparator," IEEE Inter. Symposium on Circuits and Systems (ISCAS'03), vol. 1, pp. I-141 - I-144, May 25-28, 2003, Bangkok, Thailand.
6. "A 3V High Frequency and Low Input Impedance CMOS Current-Mode Precision Full-Wave Rectifier," IEEE International Conference on Semiconductor Electronics (ICSE 2002), pp. 239-242, Dec. 19-21, 2002, Penang, Malaysia.

# IEICE TRANSACTIONS

## on Fundamentals of Electronics, Communications and Computer Sciences

### ■ Special Section on Papers Selected from 2004 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2004)

#### **Special Section on Papers Selected from 2004 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2004)**

1393 FOREWORD ..... Hisakazu KIKUCHI

#### PAPERS

- 1394 A Basic Study on a Very Low-Level DC Current Amplifier Using a Switched-Capacitor Circuit ..... Hiroki HIGA, Naoki NAKAMURA, and Ikuo NAKAMURA
- 1401 A Basic Study on Noise Source Modeling for a Very Low-Level DC Current Amplifier ..... Hiroki HIGA, Jun IWAKI, and Ikuo NAKAMURA
- 1408 TMR-Based Logic-in-Memory Circuit for Low-Power VLSI ..... Akira MOCHIZUKI, Hiromitsu KIMURA, Mitsuru IBUKI, and Takahiro HANYU
- 1416 Clock-Free MTCMOS Flip-Flops with High Speed and Low Power ..... Bong Hyun LEE, Young Hwan KIM, and Kwang-Ok JEONG
- 1425 A New Application-Specific PLD Architecture ..... Jae-Jin LEE and Gi-Yong SONG
- 1434 A Method of Guaranteeing Image-Quality for Quantization-Based Watermarking Using a Nonorthogonal Transformation ..... Masaaki FUJIYOSHI, Osamu WATANABE, and Hitoshi KIYA
- 1443 A Design of Real-Time JPEG Encoder for 1.4 Mega Pixel CMOS Image Sensor SoC ..... Kyeong-Yuk MIN and Jong-Wha CHONG
- 1448 The Efficient and Robust Error Resilient Entropy Coding of Compressed Image for Wireless Communications ..... Jeong-Sig KIM, Ju-Do KIM, and Keun-Young LEE
- 1455 Proposal of a Simple Synchronization Method for CSK/SS ..... Azumi ITO, Hiromasa HABUCHI, and Fumie ONO
- 1462 A Reasonable Throughput Analysis of the CSK/SSMA Unslotted ALOHA System with Nonorthogonal Sequences ..... Nobuyoshi KOMURO and Hiromasa HABUCHI
- 1469 Analysis on Channel Estimation for the Equalization in ATSC DTV Receivers ..... Hyoung-Nam KIM, Sung Ik PARK, and Seung Won KIM
- 1476 New Method of Moving Control for Wireless Endoscopic Capsule Using Electrical Stimuli ..... Hee-Joon PARK, Jyung-Hyun LEE, Yeon-Kwan MOON, Young-Ho YOON, Chul-Ho WON, Hyun-Chul CHOI, and Jin-Ho CHO
- 1481 An Optimization Method for Investment and Maintenance Planning of Power Plants under Uncertain Environments ..... Keiichi HANDA, Shigeru MATSUMOTO, Masashi NAKAMOTO, and Naoshi UCHIHIRA
- 1487 A Flexible and Efficient Workflow Change Type: Selective Shift ..... Shingo YAMAGUCHI, Akira MISHIMA, Qi-Wei GE, and Minoru TANAKA

(continued over leaf)



A PUBLICATION OF THE ENGINEERING SCIENCES SOCIETY  
The Institute of Electronics, Information and Communication Engineers  
Kikai-Shinko-Kaikan Bldg., 5-8, Shibakoen 3 chome, Minato-ku, TOKYO, 105-0011 JAPAN  
URL: <http://search.ieice.org/>

**VOL.E88-A NO.**  
**JUNE 200**

**LETTERS**

- 1497 **Enhanced RBF Network by Using ART2 Algorithm and Fuzzy Control Method**  
..... Kwang-Baek KIM, Sung-Kwan JE, and Young-Ju KIM
- 1502 **Performance Evaluation of a Two-Processor Scheduling Method for Acyclic SWITCH-less Program Nets**  
..... Qi-Wei GE, Chen LI, and Mitsuru NAKATA
- 1507 **A Simple Estimation of the Rotation Parameter for the 2-Axes Stabilization System**  
..... Dong-Noh KIM, Ki-Hong KIM, Tae-Yeon JUNG, and Duk-Gyoo KIM
- 1512 **Complex EGI Based 3D-Mesh Watermarking**  
..... Jong-Won LEE, Suk-Hwan LEE, Ki-Ryong KWON, and Kuhn-Il LEE
- 1520 **A Novel Image Enhancement Algorithm for a Small Target Detection of Panoramic Infrared Imagery**  
..... Ju-Young KIM, Ki-Hong KIM, Hee-Chul HWANG, and Duk-Gyoo KIM
- 1525 **Anchor Frame Detection in News Video Using Anchor Object Extraction**  
..... Ki-tae PARK, Doo Sun HWANG, and Young Shik MOON
- 1529 **Background-Adjusted Weber-Fechner Fraction Considering Crispening Effect**  
..... Dong-Ha LEE, Chan-Ho HAN, and Kyu-Ik SOHNG
- 1533 **A Simple Bit Allocation Scheme Based on Adaptive Coding for MIMO-OFDM Systems with V-BLAST Detector**  
..... Jongwon KIM, Sanhae KIM, Min-Cheol HONG, and Yoan SHIN
- 1538 **A Rapid and Reliable Signal Acquisition Scheme for Indoor UWB Systems**  
..... Suckchel YANG, Jongok OH, and Yoan SHIN

**Regular Section****PAPERS****■ Engineering Acoustics**

- 1543 **A New Method for Solving the Permutation Problem of Frequency-Domain Blind Source Separation**  
..... Xuebin HU and Hidefumi KOBATAKE

**■ Analog Signal Processing**

- 1549 **High-Speed Low Input Impedance CMOS Current Comparator**  
..... Varakorn KASEMSUWAN and Surachet KHUCHAROENSIN

**■ Systems and Control**

- 1554 **New Encoding/Converting Methods of Binary GA/Real-Coded GA**  
..... Jong-Wook KIM and Sang Woo KIM

**■ Circuit Theory**

- 1565 **Crosstalk and Congestion Driven Layer Assignment Algorithm**  
..... Bin LIU, Yici CAI, Qiang ZHOU, and Xianlong HONG

**■ Algorithms and Data Structures**

- 1573 **A Distributed Task Assignment Algorithm with the FCFS Policy in a Logical Ring** ..... Atsushi SASAKI

**■ Graphs and Networks**

- 1583 **On the Orthogonal Drawing of Outerplanar Graphs**  
..... Kumiko NOMURA, Satoshi TAYU, and Shuichi UENO

**■ Information Security**

- 1589 **An Addition Algorithm in Jacobian of  $C_{34}$  Curve** ..... Seigo ARITA

**■ Coding Theory**

- 1599 **A Cycle Search Algorithm Based on a Message-Passing for the Design of Good LDPC Codes**  
..... Sang Hyun LEE, Kwang Soon KIM, Yun Hee KIM, and Jae Young AHN

**■ Communication Theory and Signals**

- 1605 **Application of Successive Interference Cancellation to a Packet-Recognition/Code-Acquisition Scheme in CDMA Unslotted ALOHA Systems**  
..... Yukihiko TADOKORO, Hiraku OKADA, Takaya YAMAZATO, and Masaaki KATAYAMA

**LETTERS****■ Speech and Hearing**

- 1613 **Interface for Barge-in Free Spoken Dialogue System Combining Adaptive Sound Field Control and Microphone Array** ..... Tatsunori ASAI, Hiroshi SARUWATARI, and Kiyohiro SHIKANO
- 1619 **Fuzzy Training Algorithm for Wavelet Codebook Based Text-Independent Speaker Identification**  
..... Shung-Yung LUNG

## PAPER

## High-Speed Low Input Impedance CMOS Current Comparator

Varakorn KASEMSUWAN<sup>†a)</sup>, Member and Surachet KHUCHAROENSIN<sup>†</sup>, Nonmember

**SUMMARY** A simple high-speed low input impedance CMOS current comparator is presented. The circuit uses improved Wilson current-mirror to perform subtraction. Negative feedback is employed to reduce the input impedance of the circuit. HSPICE is used to verify the circuit performance with standard  $0.5\ \mu\text{m}$  CMOS technology. Simulation results demonstrate propagation delay of 1.02 ns, average power consumption of 0.9 mW, and input impedance of  $137\ \Omega$  for  $\pm 0.1\ \mu\text{A}$  input current at the supply voltage of 3 V.

**key words:** current-mode, current comparator, low input impedance

## 1. Introduction

In recent years, current-mode circuits have become increasingly popular among analog circuit designers. This is mainly attributed to higher speed, larger bandwidth and lower supply voltage requirement compared to its voltage mode circuit counterpart. Current comparator is widely used as a building block for analog systems including A/D converters, oscillator, VLSI neural network and other signal processing applications.

Several approaches have been proposed to implement current comparators [1]–[5]. Current mirror current comparator was first proposed by [1]. The circuit consists of two cascode current mirrors. The circuit cannot operate at high frequency due to high impedance at the output node. To increase frequency of the operation and, at the same time, to reduce the input impedance of the circuit, source follower input stage current comparator as shown in Fig. 1(a) is then proposed [2]. The input part of the circuit consists of two transistors ( $M_1$  and  $M_3$ ) connected as source follower to lower the input impedance while two transistors at the output ( $M_2$  and  $M_4$ ) are connected as complementary common source. The circuit however shows deadband region where the input impedance is quite high during input transition and thus limiting the speed of operation. A biasing method using current source [3] is proposed to alleviate this deadband problem. The circuit needs very accurate current sources in addition to the requirement of a twin well process because the substrate of two diode connected transistors have to be tied to their sources. The input and output impedances of the current comparator are further reduced by using a negative feedback approach [4], [5]. The front

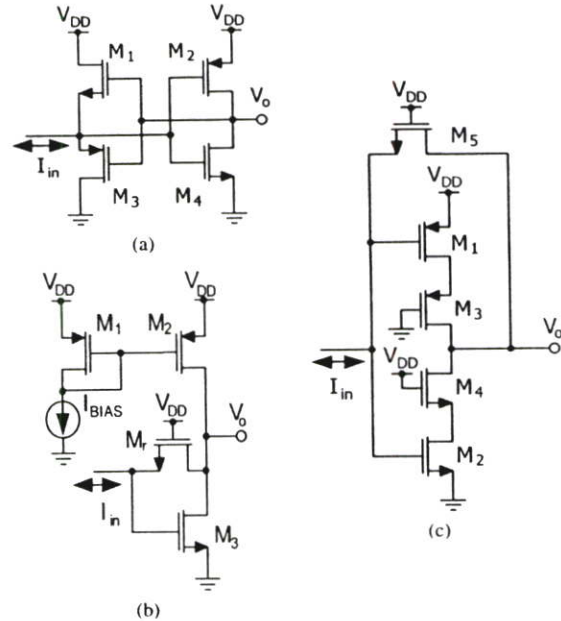


Fig. 1 Current comparator by (a) H. Träff [2], (b) B.M. Min, et al. [4] and (c) L. Chen, et al. [5].

end preamplifier circuit by [4] shown in Fig. 1(b) is current source inverting amplifier with  $M_r$  operating as a resistive feedback element while the front end preamplifier circuit by [5] shown in Fig. 1(c) is a cascode current source inverting amplifier with  $M_5$  serving as a resistive feedback element. Their circuits exhibit low input and output impedances and the delay time is less than 1.5 ns for  $\pm 0.1\ \mu\text{A}$  input current.

Up to present, most proposed current comparators [2]–[5] assumed input current  $I_{in}$  as a result of the subtraction between the reference current ( $I_{REF}$ ) and the actual input current (to be compared with  $I_{REF}$ ). None of them shows the circuit that performs such subtraction. It is instructive to note that the subtraction circuit is also part of the current comparator and therefore previously reported simulation results, i.e., power dissipation, speed of operation and power delay product, are too optimistic as the subtraction circuit also consumes certain amount of power and exhibits certain delay time.

In this paper, a simple high speed and low input impedance CMOS current comparator is presented. The circuit employs an improved Wilson current mirror which serves two purposes; 1) it is used to perform current subtraction

Manuscript received March 5, 2004.

Manuscript revised October 28, 2004.

Final manuscript received March 1, 2005.

<sup>†</sup>The authors are with the Department of Electronic, Faculty of Engineering, KMITL, Bangkok, Thailand.

a) E-mail: kkvarako@kmitl.ac.th

DOI: 10.1093/ietfec/e88-a.6.1549

tion between the actual input current  $I_{in}$  and the reference current ( $I_{REF}$  and 2) it is used to reduce input impedance of the circuit via negative feedback within the improved Wilson current mirror itself. HSPICE is used to verify the circuit performance and the results show the propagation delay of 1.02 ns with an average power dissipation of 0.9 mW using a standard  $0.5 \mu\text{m}$  CMOS technology for an input current of  $\pm 0.1 \mu\text{A}$  at the supply voltage of 3 V. The input impedance of the circuit is  $137 \Omega$ .

## 2. Circuit Description

Figure 2 shows the proposed current comparator circuit.  $M_1$ – $M_4$  are connected as an improved Wilson current mirror and  $M_5$  is a diode connected load.  $M_{n1-n3}$  and  $M_{p1-p3}$  are three resistive load amplifiers ( $M_{p1-p3}$  operating in the linear region) and are used to amplify the voltage signal at node  $c$ .  $M_{n4-n5}$  and  $M_{p4-p5}$  are two CMOS inverters and they are used to amplify the signal for rail to rail operation at the output.  $I_{REF}$  is referred to the reference current to be compared with the input current  $I_{in}$ . The operation of the circuit can be explained as follows: The reference current  $I_{REF}$  flows to  $M_3$  making the drain current of  $M_1$  and  $M_2$  equal to  $I_{REF}$  provided that  $M_1$  and  $M_2$  have the same aspect ratio. The output current (drain current of  $M_4$ ) is then the subtraction between the reference current  $I_{REF}$  and the input current  $I_{in}$ . If the input current  $I_{in}$  is increased and greater than the reference current  $I_{REF}$ , the output current  $I_o$  decreases pulling up the voltage at node  $c$ . The same situation is applied when input current  $I_{in}$  is decreased and less than the reference current  $I_{REF}$ , the voltage at node  $c$  is pulled down. The signal at node  $c$  is amplified by three resistive load common source ( $M_{n1-n3}$  and  $M_{p1-p3}$ ) and two CMOS inverters ( $M_{n4-n5}$  and  $M_{p4-p5}$ ) for rail-to-rail operation.

The small signal current to voltage gain of the circuit is given by

$$V_{out} = A_1 A_2 (I_{REF} - I_{in}) \quad (1)$$

where  $A_1$  is the transimpedance gain from the input to the output at node  $C$  (see Fig. 2) and  $A_2$  is the voltage gain from the node  $C$  to the output node.

By using small signal analysis,  $A_1$  is given by

$$A_1 \cong \frac{(1/g_{m5})}{1 + s/\omega_p} \quad (2)$$

where

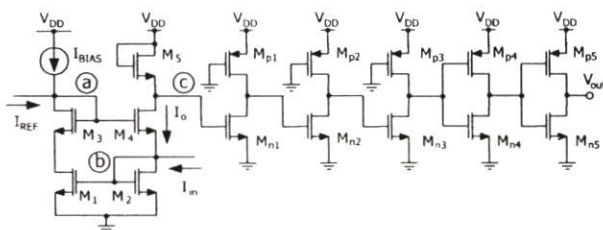


Fig. 2 Proposed current comparator.

$$\omega_p = \left( (1/g_{m5})(C_{gs5} + C_{gs1} + C_{gd1}) \left( 1 + g_{m1}(r_{o1}/R_{Op1}) \right) \right)^{-1}$$

and  $g_m$ ,  $r_o$ ,  $R_O$ ,  $C_{gs}$  and  $C_{gd}$  are transconductance, drain to source resistance of MOSFET in the saturation region, drain to source resistance of MOSFET in the linear region, gate to source and gate to drain capacitances respectively.

Similarly,  $A_2$  can be shown as

$$A_2 \cong \prod_{i=1}^3 \frac{g_{mi}(r_{oi}/R_{Op_i})}{1 + s/\omega_{p_i}} \cdot \prod_{j=4}^5 \frac{(g_{mj} + g_{mp_j})(r_{oj}/r_{op_j})}{1 + s/\omega_{p_j}} \quad (3)$$

where

$$\begin{aligned} \omega_{p1,2} &= ((r_{o1,2}/R_{Op1,2}) \\ & [C_{gs1,2} + C_{gd1,2}g_{m1,2}(r_{o1,2}/R_{Op1,2})])^{-1} \\ \omega_{p3} &= ((r_{o3}/R_{Op3})[C_{gs3} + C_{gs4} \\ & + (C_{gd3} + C_{gd4})(g_{m3} + g_{m4})(r_{o3}/r_{op3})])^{-1} \\ \omega_{p4} &= ((r_{o4}/r_{op4})[C_{gs5} + C_{gs6} \\ & + (C_{gd5} + C_{gd6})(g_{m5} + g_{m6})(r_{o4}/r_{op4})])^{-1} \\ \omega_{p5} &= ((r_{o5}/r_{op5})(C_{gd5} + C_{gd6}))^{-1} \end{aligned}$$

In the design of  $M_{n1-n3}$  and  $M_{p1-p3}$ , one has to consider both gain and speed of operation. Although CMOS inverter has high gain, it suffers from large input capacitance. We have found that direct connection of CMOS inverter at node  $C$  will drastically degrade the overall speed of the circuit. Common source with resistive load is therefore chosen because it has smaller input capacitance with moderately high gain. However common source with resistive load has non-zero output low voltage ( $V_{OL}$ ) and, in addition, its output current sourcing capability is poor. As a result, CMOS inverter is employed at the last output stage because CMOS inverter has true rail-to-rail operation at the output and its output current sourcing capability is superior to common source. We have found that different combination of common sources and CMOS inverters can achieve rail-to-rail signal at the output but with different power delay product (to be discussed later).

The input impedance of the circuit at node  $b$  is low due to the negative feedback (shunt input) within the loop of the improved Wilson current mirror. For example, when  $I_{in}$  flows into node  $b$ , voltage at node  $b$  ( $V_b$ ) is pulled high. The signal  $V_b$  is amplified via  $M_1$  (common source) causing voltage at the drain of  $M_1$  and at the gate of  $M_3$  to go low. As a result, the source voltage of  $M_4$  is forced to be low. Straightforward circuit analysis shows the input impedance of the circuit given by

$$R_{in} \cong \frac{1}{g_{m2} + g_{m4} + g_{m1}g_{m4}(r_{o1}/r_{oBIAS})} \quad (4)$$

where  $r_{oBIAS}$  is output impedance of the biasing current source  $I_{BIAS}$ . It can be easily shown that when  $g_m$  of  $M_1$ – $M_4$  are of the same value, Eq. (4) can be reduced to

$$R_{in} \cong \frac{1}{g_m^2(r_{o1}/r_{oBIAS})} \quad (5)$$

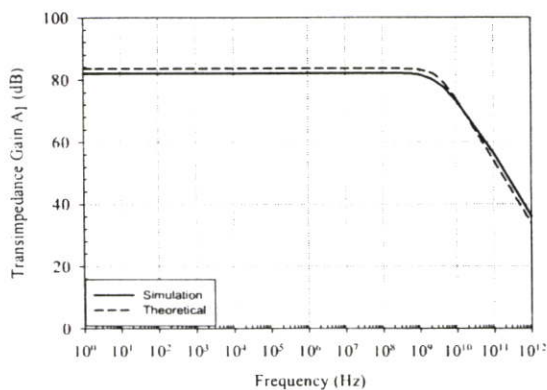
### 3. Simulation Results

To verify the circuit performance, HSPICE is used to simulate the proposed circuit using standard  $0.5\ \mu\text{m}$  CMOS process with 3 V supply voltage. Bias current  $I_{\text{BIAS}}$  is set to  $20\ \mu\text{A}$  while the reference current  $I_{\text{REF}}$  is  $20\ \mu\text{A}$ . This bias current value is chosen to optimize both speed and power dissipation of the circuit. The transistor dimensions of the proposed circuit are summarized in Table 1. The aspect ratios of  $M_{n1}$ – $M_{p5}$  are selected to be of minimum size to enhance the speed of the circuit and to have a good symmetry for the CMOS inverter. The aspect ratios of  $M_1$ – $M_4$  are chosen to reduce the input impedance while the speed is still maintained.  $M_{\text{BIAS}}$  is selected to be quite large to reduce the effect of channel length modulation and  $M_5$  is selected to set the DC voltage at node C (see Fig. 2) to  $V_{\text{DD}}/2$ . It is instructive to note that the conventional input current used in [2], [4], [5] is the difference between the actual input current and the reference current. This current is in fact equivalent to the drain current of transistor  $M_4$  of our proposed circuit. To compare our circuit performance with others, we have assigned the input current to mean the drain current of  $M_4$ . The same set of  $M_{n1}$ – $M_{p5}$  is also used to amplify the signals from comparators by [4], [5] for rail-to-rail operation. In addition, the same standard  $0.5\ \mu\text{m}$  CMOS technology is employed and transistor dimensions of [2], [4], [5] are chosen to be comparable with ours.

Figure 3 shows frequency response of the tran-

**Table 1** Transistor's geometrical dimensions.

Devices	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$M_{\text{BIAS}}$	8	2
$M_1$ – $M_4$	2	0.5
$M_5$	0.5	0.6
$M_{n1}$ – $M_{n5}$	0.5	0.5
$M_{p1}$ – $M_{p3}$	0.5	0.6
$M_{p4}$ – $M_{p5}$	2.5	0.5

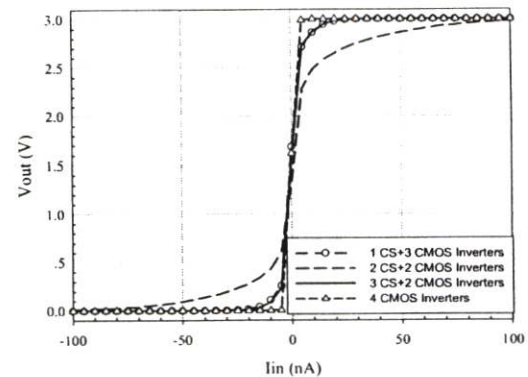


**Fig. 3** Frequency response of the transimpedance gain  $A_1$ .

simpedance gain  $A_1$ . The bandwidth of the circuit is 3 GHz. As seen, the simulation results (solid line) and the theoretical predictions from Eq. (2) (dash line) agree well over a wide range of operating frequencies. Figure 4 shows DC transfer characteristic of the proposed circuit for different combination of common sources (CS) and CMOS inverters. It is instructive to note that, although four CMOS inverters show largest gain, its corresponding rise and fall times are poor. The simulated transimpedance gain (solid line) is equal to 166 dB while the theoretical prediction in Eq. (1) is 171 dB. This difference is mainly due to short channel effects in the submicron MOSFET which are neglected in the calculation of Eq. (1).

Table 2 summarizes the power delay products for different combination of common sources and CMOS inverters. As seen, three common sources and two CMOS inverters give lowest power delay product while CMOS inverters only results in largest power delay product. Other combinations that are not shown in Table 2 give either larger power dissipation or slower speed (larger rise and fall times) when compared to the combination of three common sources and two CMOS inverters.

Figure 5 shows transient response of the input current signal (solid line) and output voltage signal (dash line) from our circuit. The input current is  $\pm 0.1\ \mu\text{A}$  square wave at the frequency of 25 MHz. The output signal shows rail-to-rail operation with propagation delay time of 1.02 ns. Figure 6 shows the sensitivity of the proposed circuit. The input cur-



**Fig. 4** DC transfer characteristic of the proposed circuit.

**Table 2** Delay and power for different combination of common sources (CS) and CMOS inverters.

Common Sources (CS)	CMOS Inverters	Delay (ns)	Power (mW)	Power Delay Product (pJ)
0	4	2.62	0.47	1.12
1	3	2.72	0.55	1.50
2	2	1.41	0.61	0.86
3	2	1.02	0.74	0.76

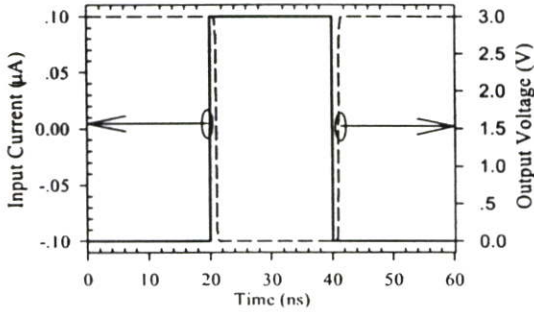


Fig. 5 Transient response of the proposed circuit.

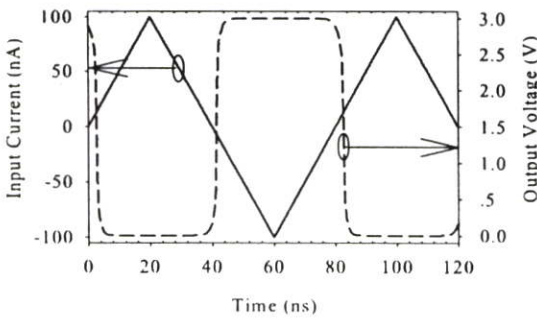


Fig. 6 Sensitivity of the proposed circuit.

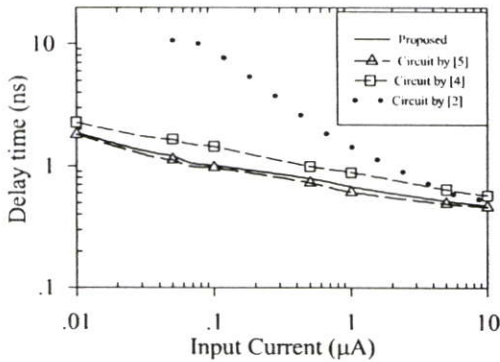


Fig. 7 Delay time versus input current.

rent signal is a 12.5 MHz triangular waveform varying from  $-100\text{ nA}$  to  $100\text{ nA}$  (solid line). The output voltage signal (dash line) shows rail-to-rail operation with the sensitivity of  $2\text{ nA}$ .

Figure 7 shows a comparison of the average delay time as a function of the input current ranging from  $\pm 0.01\ \mu\text{A}$  to  $\pm 10\ \mu\text{A}$  for current comparators by [2] (dot), [4] (square), [5] (triangle) and our proposed circuit (solid line). From Fig. 7, it can be seen that, for low input current, the delay time of the proposed comparator is much lower than that of [2] and is comparable with those of [4] and [5]. However, the delay time of all comparators become comparable when the input current increases up to  $10\ \mu\text{A}$ . This is attributed to the fact that the delay time is mainly determined by the

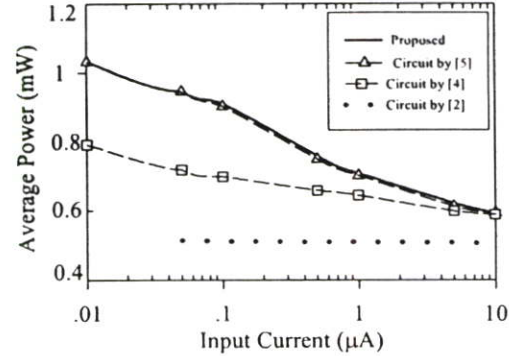


Fig. 8 Power consumption versus input current.

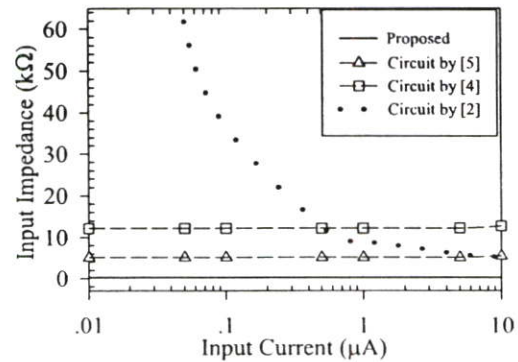


Fig. 9 Input impedance versus input current.

rail-to-rail amplifiers for high input current.

Figure 8 shows a comparison of power consumption as a function of the input current in the same range of Fig. 5 for current comparators by [2] (dot), [4] (square), [5] (triangle) and our proposed circuit (solid line). Although the power consumption of our circuit is comparable with that in [5] but more than those in [2] and [4], it is noted that the power consumption of the circuit by [2] and [4], [5] exclude the power consumption taken by the subtraction circuit. In addition, the input impedance of our proposed circuit is much lower for the same input current.

Figure 9 shows a comparison of input impedance for current comparator by [2] (dot), [4] (square), [5] (triangle) and our proposed circuit (solid line). As seen, the input impedance of our proposed circuit is much smaller. For example, our circuit shows input impedance of  $137\ \Omega$  at the input current of  $0.1\ \mu\text{A}$  while the input impedance are found to be  $36.8\ \text{k}\Omega$  in [2],  $12\ \text{k}\Omega$  in [4] and  $5\ \text{k}\Omega$  in [5]. To the best of our knowledge, our circuit gives lowest input impedance for the same biasing current.

Figure 10 shows a comparison of power delay product for current comparator by [2] (dot), [4] (square), [5] (triangle) and our proposed circuit (solid line). As seen, our power delay product is superior to [2] and comparable to [4], [5]. Again, the delay, the power consumption and the power delay product in Figs. 7, 8 and 10 assume that

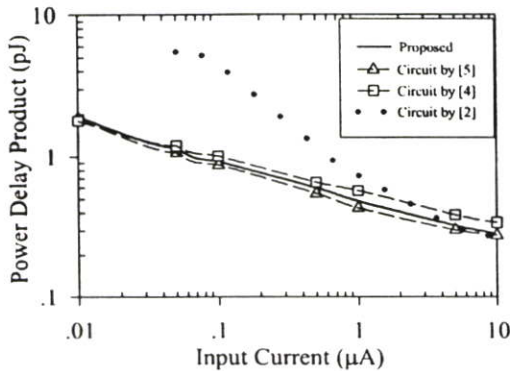


Fig. 10 Power-delay product versus input current.

the subtraction circuit in [2], [4], [5] gives zero delay and has zero power consumption which are not true. The input referred offset current of the proposed circuit can be minimized by either increasing the channel length of  $M_1$  and  $M_2$  with the penalty of the speed reduction or increasing the drain-source resistance of the transistor  $M_{BIAS}$  so that the input impedance of the circuit can be further reduced and the input current  $I_{in}$  can thus be effectively transferred to the circuit.

#### 4. Conclusion

In this paper, an improved Wilson current mirror is used as a circuit building block to design the CMOS current comparator. The circuit exhibits a large DC voltage gain. The simulation results show propagation delay of 1.02 ns, average power dissipation of 0.9 mW and input impedance of 137  $\Omega$ . The circuit can operate under the supply voltage of 3 V.

#### Acknowledgments

This work is supported by a grant from "The THAILAND RESEARCH FUND (TRF)" under the grant number PDF/74/2544.

#### References

- [1] D.A. Freitas and K.W. Current, "CMOS current comparator circuit," *Electron. Lett.*, vol.19, no.17, pp.695–697, 1983.
- [2] H. Träff, "Novel approach to high speed CMOS current comparators," *Electron. Lett.*, vol.28, no.3, pp.310–312, 1992.
- [3] A.T.K. Tang and C. Toumazou, "High performance CMOS current comparator," *Electron. Lett.*, vol.30, no.1, pp.5–6, 1994.
- [4] B.M. Min and S.W. Kim, "High performance CMOS current comparator using resistive feedback network," *Electron. Lett.*, vol.34, no.22, pp.2074–2076, 1998.
- [5] L. Chen, B. Shi, and C. Lu, "A robust high-speed and low-power CMOS current comparator circuit," *IEEE Asia-Pacific Conference on Circuits and Systems 2000*, pp.174–177, 2000.



**Varakorn Kasemsuwan** was born in Bangkok Thailand in 1968. He received his B.Eng. degree in electronic from King Mongkut's Institute of Technology Ladkrabang (KMUTL), Bangkok, Thailand in 1990, and the M.S. and the Ph.D. degrees both in electrical engineering from the University of Pittsburgh, PA, in 1993 and 1997 respectively. His current research interests are semiconductor device modeling and low voltage analog integrated circuits design.



**Surachet Khucharoensin** was born in 1977, Thailand. He received B.Eng. in electronics from King Mongkut's Institute of Technology Ladkrabang in 2001, Thailand. Currently, he is pursuing M.E. in electronics at the same university. His research interest is in analog circuit design emphasizing on low voltage, low power and high speed CMOS.



**PROCEEDINGS**  
**The 2004 IEEE Asia-Pacific Conference on**  
**Circuits and Systems**

*SoC Design for Ubiquitous Information Technology*

**December 6-9, 2004**  
**Tayih Landis Hotel, Tainan, Taiwan**

**Sponsors**

IEEE Circuits and Systems Society  
 National Cheng Kung University

**Co-Sponsors**

Ministry of Education, Taiwan  
 National Science Council, Taiwan

**In Cooperation with**

IEEE Taipei Section  
 IEEE Circuits and Systems Society—Taipei Chapter  
 IEEE Tainan Section  
 IEEE Circuits and Systems Society—Tainan Chapter



Kaneko, M	545	Le, H. P.	949	Liao, G. C.	1165, 1169
Kang, L. W.	145	Lee, C. C.	121	Laio, S. S.	793
Kao, C. C.	181, 537	Lee, C. L.	29, 861	Liao, W. Y.	633
Kao, J. Y.	89	Lee, C. Y.	125, 449, 985,	Lim, A. G. K. C.	493
Kasemsuwan, V.	1041		, 673	Lin, C. C.	125, 153, 281,
Ke, K. W.	885	Lee, D. L.	249		665
Ker, M. D.	841, 845	Lee, D. U.	113	Lin, C. H.	101, 229, 641
Khali, H.	369	Lee, G. R.	209	Lin, C. S.	349, 901
Khucharoensin, S.	1041	Lee, H. J.	1009, 1085, 525	Lin, C. T.	373
Khuntaweetep, S.	497	Lee, J.	1149	Lin, C. W.	1145
Kielbasa, R.	53	Lee, J. F.	301	Lin, C. Y.	49, 1105, 561
Kikuchi, H.	385	Lee, J. H.	129	Lin, D. B.	329
Kim, D.	137	Lee, K. B.	1157, 773	Lin, F. S.	745
Kim, J. H.	669	Lee, K. C.	305	Lin, F. Y. S.	465, 789
Kim, J. K.	1	Lee, K. J.	177, 625	Lin, G. C.	1105
Kim, M.	137	Lee, S. C.	241	Lin, G. J.	393
Kim, S. D.	397	Lee, S. H.	273, 301	Lin, H. C.	969
Kim, S. K.	729	Lee, S. Y.	41, 221., 241,	Lin, H. L.	837
Kiya, H.	905		269	Lin, H. Y.	349, 633
Klahan, K.	725	Lee, T. J.	765	Lin, I. P.	909
Ko, S. Y.	865	Lee, T. S.	393, 249	Lin, J. L.	657, 741
Kobayashi, M. A.	81	Lee, T. T.	581	Lin, J. S.	1109
Kodama, C.	521	Lee, T. Y.	49	Lin, J. Y.	221
Kohira, Y.	533	Lee, W. T.	49	Lin, K. C.	305
Koolivand.Y	933	Lee, Y. C.	529	Lin, K. H.	221
Kuan, C. W.	885	Lee, Y.H	853	Lin, K. P.	529
Kuang, S. R.	457	Leelarasmee, E.	57, 73	Lin, K. Y.	109, 277, 289
Kubasek, R.	713	Lei, Y. C.	389, 697	Lin, L. C.	89, 121
Kumwachara, K.	733	Leksono, B. E.	929	Lin, M. C.	453, 217, 261,
Kung, Y. S.	645	Leou, J. J.	145		913
Kunieda, H.	133	Li, C. F.	425	Lin, P. S.	293
Kuo, C. J.	269	Li, C. P.	989, 993	Lin, R. L.	649, 745, 965
Kuo, Y. C.	745, 825	Li, D.	133	Lin, S. C.	565, 753
Kuo, S. M.	365	Li, D. U.	225	Lin, S. H.	821, 829
Kuroki, Y.	17	Li, F. M.	1073	Lin, S. J.	1145
Kurosaki, M.	905	Li, H.	157	Lin, S. Y.	229
Kusakawa, N.	637	Li, H. J.	605	Lin, T. F.	701
Kwasniewski, T.	337	Li, J. F.	37, 825	Lin, T. J.	121, 445
Kwon, T. H.	421	Li, J. S.	461, 469	Lin, T. T.	393, 989
		Li, M.	337	Lin, W. B.	249
		Li, S. H.	425	Lin, W. C.	869
		Li, S. J.	613	Lin, Y. C.	177, 361, 261
		Li, Y.	141	Lin, Y. H.	993
		Liang, G.	1013	Lin, Y. S.	913, 1033
		Liang, H. C.	561	Lin, Y. Z.	945
		Liang, L. C.	665	Lin, Y.W.	449
		Liang, T. J.	745, 965	Lin, Z. M.	45, 937, 1053
		Liang, Y. C.	257	Lin, Z. X.	441
		Liao, B. Y.	601	Liou, J. S.	285
		Liao, C. Y.	797	Liu, B. D.	177, 345, 349,

## L

**8C: Analog Circuits (III)****03:20pm – 05:00pm, December 9****Room: London**

- 8C.1: New Universal Current-Mode Multiple-Input Multiple-Output OTA-C Filter** 1037  
**Muhammad Taher Abuelma'atti, Abdulwahab Bentrchia, King Fahd University of Petroleum and Minerals, Saudi Arabia**
- 8C.2: A 3V Robust High-speed Low Input Impedance CMOS Current Comparator** 1041  
**Surachet Khucharoensin, Varakorn Kasemsuwan, King Mongkut's Institute of Technology Ladkrabang, Thailand**
- 8C.3: A New Current Mirror Memory Cell to Improve the Power Efficiency of CMOS Current Mode Analog Circuits** 1045  
**Chi-Hong Chan, Cheong-Fat Chan, Chiu-Sing Choy, Kong-Pang Pun, the Chinese University of Hong Kong, Hong Kong**
- 8C.4: Continuous-Time Low-Pass Filter Using an Active Distributed MOSFET Transistor** 1049  
**Virote Pirajanchai, Kanok Janchitrapongvej, King Mongkut's Institute of Technology Ladkrabang, Thailand**
- 8C.5: A Rapid Acquisition Phase-Locked Loop with Frequency-Double Circuit Operated in 2.4-GHz Band** 1053  
**Ming-Feng Wu, Zhi-Ming Lin, Jun-Da Chen, Kuan-Hung Liu, National Changhua University of Education, Taiwan**
- 8D: Channel Coding**
- 03:20pm – 05:00pm, December 9**
- Room: New York**
- 8D.1: A Simplification of the Log-Map Algorithm for Turbo Decoding** 1057  
**Lou Xi-zhong, Mao Zhi-gang, Ye Yi-zheng, Chen Yan-min, Harbin Institute of Technology, China**
- 8D.2: GA-Based Evolutionary Interleaver Design for Turbo Codes** 1061  
**Tan Ying, Sun Hong, Wuhan University, China**
- 8D.3: Realization of a Systematic Bit-Wise Decomposition Metric** 1065  
**Chia-Wei Chang, Po-Ning Chen, National Chiao-Tung University, Taiwan; Yunghsiang S. Han, National Chi Nan University, Taiwan**
- 8D.4: The Design of RS Decoder with a Small Core for Portable Communication** 1069  
**M. H. Jing, T. K. Truong, Y. H. Chen, Y. C. Luo, I-Shou University, Taiwan**
- 8D.5: Unified Convolutional/Turbo Decoder Architecture Design Based on Triple-Mode MAP/VA Kernel** 1073  
**Fan-Min Li, Pei-Ling Shen, An-Yeu Wu, National Taiwan University, Taiwan**

## A 3V ROBUST HIGH-SPEED LOW INPUT IMPEDANCE CMOS CURRENT COMPARATOR

Surachet Khucharoensin and Varakorn Kasemsuwan

Department of Electronics, Faculty of Engineering  
King Mongkut's Institute of Technology Ladkrabang (KMUTL)  
Tel. +66-2-326-4222 Ext. 102, Fax: +66-2-739-2398 E-mail: kkvarko@kmutl.ac.th

### ABSTRACT

In this paper, a 3V robust high speed low input impedance CMOS current comparator is proposed. The circuit uses modified Wilson current-mirror to perform a current subtraction. Negative feedback is employed to reduce input impedances of the circuit. The diode connected transistors of the same type(NMOS) are used at the output making the circuit immune to the process variation. HSPICE is used to verify the circuit performance and the results show the propagation delay of 1.67 nsec with an average power dissipation of 0.63 mW using a standard 0.5 $\mu$ m CMOS technology for an input current of  $\pm 0.1\mu$ A at the supply voltage of 3V. The input impedances of the proposed current comparator are 123  $\Omega$  and 126  $\Omega$  while the maximum output voltage variation is only 1.9%.

### 1. INTRODUCTION

In recent years, current-mode circuits become increasingly popular among analog circuit designers. This is mainly attributed to higher speed, larger bandwidth and lower supply voltage requirement compared to the voltage mode circuit counterpart. Current comparator is widely used as a building block of analog systems including A/D converters, oscillator, VLSI neural network and other signal processing applications. Several approaches have been proposed to implement current comparator [1-5]. Current mirror current comparator has been firstly proposed by [1]. The circuit consists of two cascode current mirrors. The circuit can not operate at high frequency due to high impedance at the output node. To increase frequency of the operation and, at the same time, to reduce the input impedance of the circuit, source follower input stage current comparator as shown in Fig. 1a) is then proposed[2]. The input part of the circuit consists of two transistors( $M_1$  and  $M_3$ ) connected as source follower to lower the input impedance while two transistors at the output( $M_2$  and  $M_4$ ) are connected as complementary common source. The circuit however shows deadband region where the input impedance is quite high during input transition and thus limiting the speed of operation. A biasing method using current source[3] is proposed to

alleviate this deadband problem. The circuit needs very well controlled current sources in addition to the requirement of a twin well process as the substrate of two diode connected transistors have to be tied to their sources. The input and output impedances of current comparator are further reduced by using a negative feedback approach[4-5]. The core part of the current comparator by[4] shown in Fig. 1b) is current source inverting amplifier with  $M_1$  operating as a resistive feedback element while core part by[5] shown in Fig. 1c) is a cascode current source inverting amplifier with  $M_5$  serving as a resistive feedback element. Their circuits exhibit low input and output impedances and the delay time is less than 2.3 ns for  $\pm 0.1\mu$ A input current. It is also noticed that the output voltages  $V_o$  by[2, 4-5] are taken from the node with the active pull up via the PMOS and active pull down via the NMOS. This structure can pose a serious problem to the operating point voltage at node  $V_o$  when the process variation takes place. Such process variation, especially for the FS and SF corners, can result in a large intolerable variation of biasing voltage  $V_o$ , which could easily saturate or cut off the subsequent high gain rail to rail amplifier stage even before the input current signal being applied, and completely fail the circuit operation.

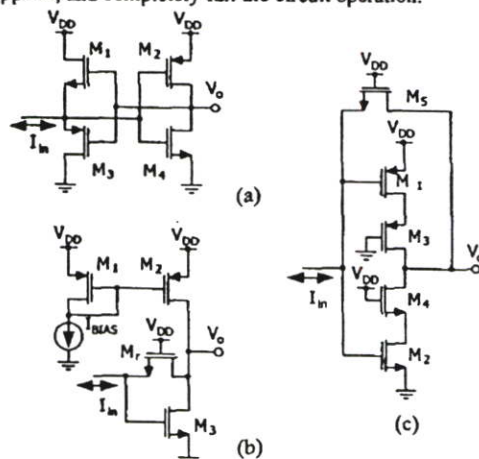


Fig. 1 Current Comparator by 1a) H. Träff [2], 1b) B.M. Min, et al.[4] and 1c) L. Chen, et al.[5]

Up to present, most proposed current comparators[2-5] assumed input current  $I_{in}$  as a subtraction(or difference) of the reference current( $I_{REF}$ ) and the actual input current(to be compared with  $I_{REF}$ ). None of them shows the circuit that performs such subtraction. It is instructive to note that the subtraction circuit is also part of the current comparator and therefore previously reported simulation results[2,4-5], i.e., power dissipation, speed of operation and power delay product, are too optimistic as the subtraction circuit also consumes certain amount of power and exhibits certain delay time.

In this paper, a robust high speed low input impedance CMOS current comparator is proposed. The circuit employs a modified Wilson current mirror which serves two duties; 1) it is used to perform a current subtraction between the actual input current  $I_{in}$  and the reference current( $I_{REF}$ ) and 2) it is used to reduce both input impedances of the circuit via negative feedback. In addition, the output node is taken from the node which has two transistors of the same type(NMOS) in the diode connected fashion and consequently making the circuit immune to the process variation. HSPICE is used to verify the circuit performance and the results show the propagation delay of 1.67 nsec with an average power dissipation of 0.63 mW using a standard 0.5 $\mu$ m CMOS technology for an input current of  $\pm 0.1\mu$ A at the supply voltage of 3V. The input impedances of the proposed current comparator are 123  $\Omega$  and 126  $\Omega$  while the maximum output voltage variation is only 1.9%.

## II. CIRCUIT DESCRIPTION

Fig. 2 shows the proposed current comparator circuit.  $I_{REF}$  is referred to the reference current to be compared with the input current  $I_{in}$ .  $I_{o1}$  and  $I_{o2}$  are current sources and implemented using a conventional single MOS transistor in this work.  $M_1$ - $M_4$  are connected as an improved Wilson current mirror and  $M_{L1-L2}$  are diode connected load.  $M_5$  and  $I_{o2}$  form a negative feedback to reduce the input impedance at the input node a.  $M_{r1-r2}$  and  $M_{r3}$  are biased in the linear region operate as resistors to reduce the delay time of the signals at nodes  $V_o$  and d respectively.  $M_6$ ,  $M_{L3}$  and  $M_{L4}$  form a high speed preamplifier stage where its voltage gain depends on the aspect ratios and the bias currents of  $M_6$ ,  $M_{L3-L4}$ .  $M_{p1-p5}$  and  $M_{p1-p5}$  form a multistage high gain inverter and are used to amplify the signal for rail to rail operation at the output. The adjusting voltage,  $V_{adj}$ , in the first inverter stage is to be adjusted to minimize any offset voltage. The operation of the circuit can be explained as follows: The reference current  $I_{REF}$  flows to  $M_3$  making the drain current of  $M_1$  and  $M_2$  equal to  $I_{REF}$  provided that  $M_1$  and  $M_2$  have the same aspect ratio. The drain current of  $M_4$ (or  $I_y$ ) is then the subtraction between the reference current  $I_{REF}$  and the input current  $I_{in}$ . If the input current  $I_{in}$  is increased and greater than the reference current  $I_{REF}$ , the current  $I_y$  decreases pulling up the voltage at node  $V_o$ . The same situation is applied when input current  $I_{in}$  is decreased and less than

the reference current  $I_{REF}$ , the voltage at node  $V_o$  is pulled down.

The input impedances of the circuit at both nodes a and b are low due to the negative feedback. To demonstrate this fact, let us first consider node a. When  $I_{REF}$  flows into node a, voltage at node c is pulled high. The signal at node c is then amplified via  $M_3$ (common source) causing voltage at node a to go low. Similarly, when  $I_{in}$  flows into node b, voltage at node b( $V_b$ ) is pulled high. The signal  $V_b$  is amplified via  $M_1$ (common source) causing voltages at the drain of  $M_1$  and at node c to go low. As a result, the source voltage of  $M_4$  at node b is forced to be low. Straightforward circuit analysis shows the input impedances at nodes a and b as

$$R_{in(a)} \cong \frac{2}{g_{m1}g_{m5}(r_{o02} \parallel r_{o5})} \quad (1)$$

$$\text{and } R_{in(b)} \cong \frac{1}{g_{m1}g_{m4}(r_{o1} \parallel r_{oBIAS2})} \quad (2)$$

respectively where  $g_m$  is the transconductance of MOS transistor,  $r_{o1}$ ,  $r_{o02}$ ,  $r_{o5}$  and  $r_{oBIAS2}$  are drain-source resistances of transistors  $M_1$ ,  $M_{o2}$ ,  $M_5$  and  $M_{BIAS2}$  respectively.

In this work, the input impedances at nodes a and b are designed to be low and also to have the same value so that reference input current,  $I_{REF}$ , and the input current,  $I_{in}$ , can be transferred into both inputs of the circuit effectively and equally. This way, the current comparison can be processed properly and the output offset voltage can be partly reduced.

The robustness of the circuit is achieved by having the bias voltage at node  $V_o$  taken from the point between two diode connected transistors( $M_{L1}$  and  $M_{L2}$ ) of the same type(NMOS). One can view these diode connected  $M_{L1-L2}$  as a voltage divider configuration. These  $M_{L1}$  and  $M_{L2}$  are designed to have the same aspect ratio and the same bias current so that their equivalent resistances are the same. Using this fact, any process variation will result in the same variation for both equivalent resistances of  $M_{L1}$  and  $M_{L2}$  and consequently the bias voltage at node  $V_o$  is kept unchanged and equal to  $V_{DD}/2$ . In this design,  $M_{BIAS3}$  and  $I_{o1}$  play an important role in keeping the currents of both  $M_{L1}$  and  $M_{L2}$  the same value regardless of process variation by forcing  $I_x$  and  $I_y$ (see Fig. 2) to be equal.  $M_{BIAS3}$  is biased in the linear region and used to adjust the drain source voltage of  $M_{BIAS2}$  to be the same as that of  $M_{BIAS1}$  so that  $I_{BIAS1}$  and  $I_{BIAS2}$  are the same. The current source  $I_{o2}$  is taken out from  $I_{BIAS2}$  for the negative feedback purpose and thus the actual input current( $I_{D3}$ ) and output current of the Wilson current mirror is the difference between  $I_{BIAS2}$  and  $I_{o2}$  or just simply  $I_y$ . By setting  $I_{o1}$  to be the same as  $I_{o2}$ ,  $I_x$ , which is also the difference between  $I_{BIAS1}$  and  $I_{o1}$ , is therefore the same with  $I_y$ . It is noticed that the transistors used for biasing(PMOS) and for the Wilson current mirror(NMOS) are of the same type. As a result, any

process variation should result in the same variations in both the bias currents and in the input/output currents of the Wilson current mirror and the completed cancellation between  $I_x$  and  $I_y$  can thus be ensured.

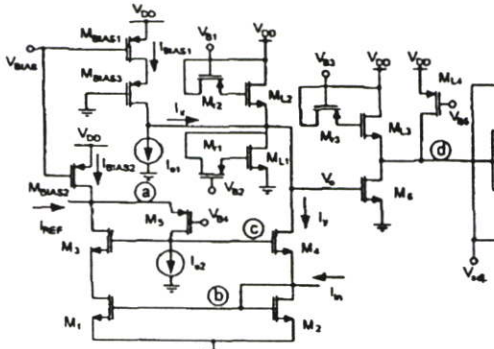


Fig. 2 Schematic diagram of proposed circuit.

### III. EXPERIMENTAL RESULTS

To verify the circuit performance, HSPICE is used to simulate the proposed circuit using a standard  $0.5\mu\text{m}$  CMOS process with 3V supply voltage. The bias current set by  $M_{BIAS1}$  and  $M_{BIAS2}$  are set to  $23\mu\text{A}$ . The transistor dimensions of the proposed circuit are summarized in Table 1. It is instructive to note that the conventional input current used in [2,4-5] is the difference between the actual input current and the reference current. This current is in fact equivalent to the drain current of transistor  $M_4$  of our proposed circuit (see Fig. 2). To compare our circuit performance with others, the input current, when referred to, means the drain current of  $M_4$ . The circuit by [2] is connected to the multistage high gain amplifier similar to ours except that only three inverters ( $M_{n1}$ - $M_{n4}$  and  $M_{p1}$ - $M_{p4}$ ) are required. This is because the gain of [2] is quite high due to its inherent one inverter. However, the circuits by [4,5] employ the same set of  $M_{n1}$ - $M_{n5}$  and  $M_{p1}$ - $M_{p5}$  to amplify the signals from the core parts for rail to rail operation. The same standard  $0.5\mu\text{m}$  CMOS technology is also employed during simulation for all current comparators. In addition, transistor dimensions of others are chosen to be comparable with ours. Fig. 3 shows transient response of the input current signal (solid line) and output voltage signal (dash line) from our circuit. The input current is  $\pm 0.1\mu\text{A}$  square wave at the frequency of 25 MHz. The output signal shows rail to rail operation (0V-3V) with a propagation delay time of 1.67 ns. Fig. 4 shows a comparison of an average delay time as a function of the input current ranging from  $\pm 0.01\mu\text{A}$  to  $\pm 10\mu\text{A}$  for current comparators by [2](dot), [4](square), [5](triangle) and our proposed circuit (solid line). From Fig. 4, it can be seen that for low input current, the delay time of the proposed comparator is much lower than that of [2] and is slightly smaller than those of [4] and [5]. However, the delay

time of all comparators become comparable when the input current increases up to  $10\mu\text{A}$ . This is attributed to the fact that the delay time is mainly determined by the multistage high gain amplifier at high input current.

Fig. 5 shows a comparison of power consumption as a function of the input current in the same range of Fig. 4 for current comparator by [2](dot), [4](square), [5](triangle) and our proposed circuit (solid line). As seen, the power consumption of our circuit is smaller than those in [4-5] but more than those in [2], it is noted that the power consumption of the

circuit by [2] and [4-5] exclude the power consumption taken by the subtraction circuit which is also part of the current comparator. Fig. 6 shows a comparison of power delay product for current comparators by [2](dot), [4](square), [5](triangle) and our proposed circuit (solid line). As seen, our power delay product is superior to [2,4-5] but more than [2] for the input current more than  $1\mu\text{A}$ . Fig. 7 shows a comparison of input impedance at node b for current comparators by [2](dot), [4](square), [5](triangle) and our proposed circuit (solid line). As seen, the input impedance of our proposed circuit is smaller with an order of magnitude. For example, our circuit shows input impedance of  $126\Omega$  at  $0.1\mu\text{A}$  while the input impedance are found to be  $36.4\text{ k}\Omega$  in [2],  $12\text{ k}\Omega$  in [4] and  $5\text{ k}\Omega$  in [5]. To the best of authors' knowledge, our circuit gives lowest input impedance for the same biasing current. Table 2 shows the simulation results of the input impedance at nodes a and b for different process corner. It is noticed that not only both input impedances at node a and b are very small but their impedance are also around the same for different process corner. To prove that our proposed circuit has the output voltage robust to process variation, Table 3 shows the voltage variation at node  $V_o$  for all process corners. Our proposed circuit shows only 1.9% maximum variation while the circuits by [2,4-5] show maximum variation of 62.8%, 28.5% and 22.7% variation respectively.

### IV. CONCLUSIONS

In this paper, a 3V robust high speed low input impedance CMOS current comparator is proposed. The circuit uses modified Wilson current-mirror to perform a current subtraction. Negative feedback is employed to reduce both input impedances of the circuit. The diode connected transistors of the same type (NMOS) are used at the output making the circuit immune to the process variation. HSPICE is used to verify the circuit performance and the results show the propagation delay of 1.67 nsec with an average power dissipation of 0.63 mW using a standard  $0.5\mu\text{m}$  CMOS technology for an input current of  $\pm 0.1\mu\text{A}$  at the supply voltage of 3V. The input impedances of the proposed current comparator are  $126\Omega$  and  $123\Omega$  while the maximum output voltage variation is only 1.9%.

Table 1: Transistor's geometrical dimensions

Device	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )
M <sub>BIAS1</sub> , M <sub>BIAS2</sub>	22	2
M <sub>BIAS3</sub>	0.7	1
M <sub>out, 1</sub>	0.9	1.5
M <sub>1</sub> -M <sub>4</sub>	3	0.5
M <sub>5</sub>	0.9	0.7
M <sub>L1</sub> -M <sub>L2</sub>	0.5	3.5
M <sub>L3</sub>	0.5	2
M <sub>L4</sub>	2.5	0.5
M <sub>6</sub> , M <sub>61</sub> -M <sub>63</sub> , M <sub>64</sub> , M <sub>65</sub> -M <sub>66</sub>	0.5	0.5
M <sub>67</sub>	1.7	0.5
M <sub>71</sub>	5	0.5
M <sub>72</sub>	2.8	0.5
M <sub>73</sub> -M <sub>74</sub>	2.4	0.5

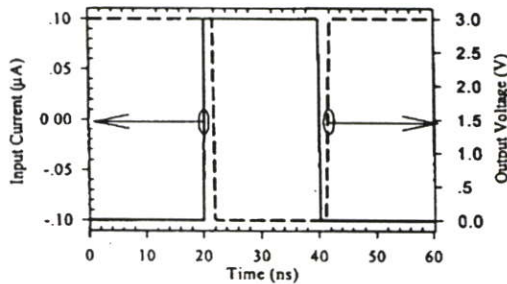


Fig. 3 Transient response of the proposed circuit.

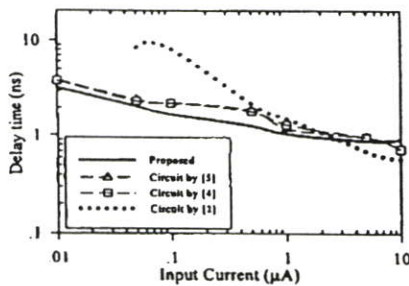


Fig. 4 Delay time versus input current.

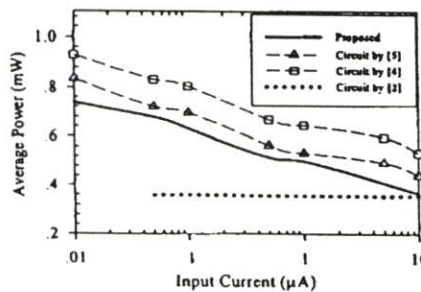


Fig. 5 Power consumption versus input current.

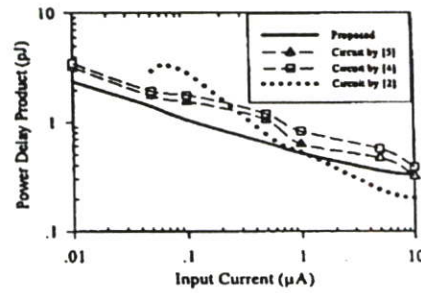


Fig. 6 Power-delay product versus input current.

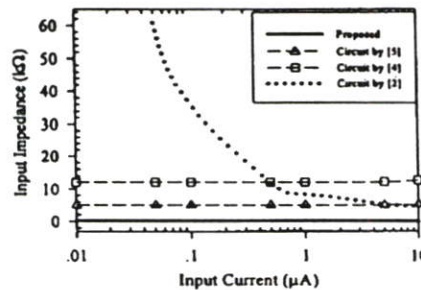


Fig. 7 Input impedance versus input current.

Table 2: Simulation results of the input impedance at node a and b for different process corner.

Process (NMOS, PMOS)	Rin(a)	Rin(b)
TT	126.3417	122.6390
FF	124.8379	129.2494
SS	151.2933	141.1632
FS	252.1746	232.9897
SF	135.5296	143.6598

Table 3: Voltage variation at node V<sub>o</sub> for all process corners.

Circuit by Process	Proposed	[5]	[4]	[2]
TT	1.5106	1.4924	1.4998	1.5152
FF	1.5076	1.4811	1.2082	1.4584
SS	1.5074	1.5961	1.9082	2.1750
FS	1.5391	1.2683	1.2857	0.655
SF	1.4931	1.8317	1.9275	2.4665

## REFERENCES

- [1] D. A. Freitas and K. W. Current, "CMOS current comparator circuit," *Electron. Lett.*, vol. 19, no. 17, pp. 695-697, 1983.
- [2] H. Träff, "Novel Approach to High Speed CMOS Current Comparators," *Electron. Lett.*, Vol. 28, No.3, pp. 310-312, 1992.
- [3] A.T.K. Tang and C. Toumazou, "High performance CMOS current comparator," *Electron. Lett.*, vol. 30, no.1, pp. 5-6, 1994.
- [4] B. M. Min and S. W. Kim, "High performance CMOS current comparator using resistive feedback network," *Electron. Lett.*, vol. 34, no. 22, pp. 2074-2076, 1998.
- [5] L. Chen, B. Shi and C. Lu, "A robust high-speed and low-power CMOS current comparator circuit," *IEEE Asia-Pacific Conference on Circuits and Systems 2000*, pp. 174-177, 2000.

# PROCEEDINGS of the 2003 IEEE International Symposium on Circuits and Systems



**DOCUMENT GUIDE**

**TABLE OF CONTENTS**

**FOREWORD**

**AUTHORS**

**©2003 IEEE**

**SEARCH**

IEEE Catalog No. 03CH37430C ISBN: 0-7803-7762-1  
For Technical Inquiries Contact: MosArt Productions  
e-mail: [ISCAS2003@conference.org](mailto:ISCAS2003@conference.org)  
Phone: (831) 625-5257 Fax: (815) 550-0345

©2003 IEEE. Personal use of this paper is permitted. However, permission to reproduce copies for advertising or promotional purposes, for creating new collective works for resale or redistribution to serve clients, or to reuse any copyrighted component of this paper in other works must be obtained from the IEEE.

## AUTHOR INDEX

ISCAS 2003

Huang, Garng	III-363
Huang, Garng	III-407
Huang, Haibin	I-265
Huang, Hong-Yi	I-73
Huang, Jiwu	II-948
Huang, Jiwu	II-916
Huang, Jiwu	II-924
Huang, Jiwu	III-798
Huang, Kuan-Hsun	IV-848
Huang, Sheng	IV-664
Huang, Shihway	II-552
Huang, Shi-Yu	V-549
Huang, Te-Hsin	I-417
Huang, Xialing	II-916
Huang, Xiaoling	III-910
Huang, Yu-Wen	II-796
Huang, Yu-Wen	II-800
Huang, Yu-Wen	II-720
Hufford, Michael	I-1013
Hui, Ron	III-439
Hung, Chun Kit	II-308
Hung, Chung-Ping	II-129
Hung, Chien Jen	II-149
Hung, Ming	II-105
Hung, Tang	I-449
Husøy, John Håkon	IV-381
Hussain, Amir	V-713
Huvanandana, Sanpachai	II-952
Hwang, Chormg-Sii	I-37
Hwang, Jenq-Neng	II-952
Hwang, Myung-Woon	I-285
Hwang, Yin-Tsung	II-256
Hyjazie, Jihad	V-177

## I

Ibrahim, Subariah	II-508
Igarashi, Naoya	III-192
Ikeda, Makoto	IV-788
Ikeguchi, Tohru	V-697
Ikehara, Masaaki	IV-213
Ikuta, Akira	IV-25
Ikuta, S	II-420
Im, Yeon-Ho	II-512
Im, Yonghee	V-637
Imai, Masashi	V-205
Imai, Masashi	V-617
Imamura, Hiroshi	III-626
Imamura, Kousuke	II-476
Inagaki, Jun	II-488
Indiveri, Giacomo	I-81
Indiveri, Giacomo	III-770
Indiveri, Giacomo	IV-820
Inoue, Yasuaki	III-196
Inoue, Yasuaki	III-192
Inouye, Yujiro	III-48
Ioinovici, Adrian	III-435
Ioinovici, Adrian	III-296
Ismail, Yehea	III-494
Ismail, Yehea	IV-588
Ismail, Yehea	V-477
Isnin, Ismail Fauzi	II-508
Italia, Alessandro	I-213
Ito, Koichi	IV-77
Ito, M	II-420
Ito, Rika	IV-285
Itoh, Yoshio	III-36
Itoh, Yoshio	IV-401
Itoh, Yoshio	IV-73
Iu, Herbert	III-312

Ivanov, Andre	IV-676
Ivanov, Andre	V-217
Iwahashi, Masahiro	II-400
Iwahashi, Masahiro	IV-313
Izumi, Tomonori	II-740

## J

Jackson, David J	II-444
Jafaripناه, Mehdi	IV-752
Jahan, Kauser	III-24
Jahangir, Amir Hossein	V-609
Jakonis, Darius	I-725
Janchitrapongvej, Kanok	I-529
Jang, Hyuk-Jac	IV-480
Jang, Ling-Sheng	III-638
Jang, Sei Hyung	V-397
Jangkrajarn, Nuttorn	IV-704
Jarry, Pierre	I-441
Järvinen, Tuomas	IV-524
Jen, Chein-Wei	IV-33
Jen, Chein-Wei	V-173
Jenkner, Martin	V-9
Jennings, Les	III-431
Jeon, Min Yong	II-780
Jeong, Dong-Seok	II-668
Ji, Ying	V-5
Ji, Zhu	II-844
Jiang, Guo-Ping	III-64
Jiang, J	I-961
Jiang, Rong	IV-608
Jiang, Shu-Yu	V-577
Jiang, Yingtao	V-709
Jigang, Wu	V-641
Jin, Craig	I-569
Jin, Hai	II-504
Jin, Le	V-537
Jin, Minglu	IV-333
Jing, Feng	II-456
Jin'no, Kenya	V-737
Jirachawang, Suksan	II-424
Jirasereeamornkul, Kamon	III-355
Jirasere-Amornkun, Amorn	I-541
Jirayucharoensak, Suwicha	V-361
Jitapunkul, Somchai	II-384
Jitrangsi, Tasapon	II-141
Jitsumatsu, Yutaka	III-750
Jo, Byung Gak	II-133
Jog, Anand	III-930
Johansson, Hakan	III-554
Johansson, Håkan	III-882
Johansson, Mikael	III-646
Johns, David	I-897
Johns, David	V-77
Jou, Jing-Yang	IV-732
Jou, Jing-Yang	IV-744
Jou, Shyh-Jye	V-265
Ju, Ri-A	I-757
Juarez-Hernandez, Esdras	II-292
Juffer, Lance	V-533
Julian, Pedro	III-650
Julian, Pedro	IV-508
Julian, Pedro	V-305
Jullien, Graham	II-157
Jun, Sungik	V-149
Jung, Byunghoo	I-209
Jung, Eun-Gu	V-505
Jung, Sungyong	II-192
Jurisc, Drazen	I-469
Jussila, Jarkko	II-200

## K

Kaboli, Shahriyar	III-383
Kachare, Meghraj	I-817
Kaeslin, Hubert	V-113
Kaewdang, Khanittha	I-349
Kaiser, Andreas	III-530
Kalc, Izzet	I-1001
Kale, Izzet	IV-405
Kale, Izzet	IV-69
Kale, Izzet	IV-293
Kale, Izzet	IV-289
Kale, Izzet	V-357
Kambayashi, Noriyoshi	II-400
Kambayashi, Noriyoshi	IV-313
Kameda, Seiji	IV-792
Kamuf, Matthias	II-272
Kananen, Asko	III-506
Kaneko, Mineo	V-645
Kang, Guen-Soon	I-337
Kang, Hyeong-Ju	II-748
Kang, Hyeong-Ju	IV-265
Kang, Li-Wei	II-532
Kang, Sung-Mo	I-901
Kankanhalli, Mohan	III-810
Kannurao, Sudha	IV-680
Kao, William H	IV-712
Karahaliloglu, Koray	IV-896
Karimi, Houshang	III-268
Karnjanapiboon, Charnyut	III-284
Karvonen, Sami	I-737
Karvonen, Sami	II-169
Kasemsuwan, Varakorn	I-141
Kasemsuwan, Varakorn	I-41
Kashyap, Chandramouli	III-494
Kashyap, Harish	III-423
Kashyap, Harish	V-661
Kaszynski, Roman	I-509
Kathiresan, Ganesh	I-9
Kaukovuori, Jouni	II-200
Kavousianos, Xrisovalantis	V-237
Kawahito, Shoji	I-105
Kawakami, Hiroshi	III-68
Kawamata, Masayuki	I-505
Kawamata, Masayuki	III-566
Kawamata, Masayuki	IV-377
Kawamata, Masayuki	IV-393
Kawamata, Masayuki	IV-480
Kawamata, Masayuki	IV-389
Kawamoto, Mitsuru	III-48
Kazemeini, Mehdi	I-701
Kazemeini, Mehdi	I-697
Kazimierzczuk, Marian	III-276
Kazimierzczuk, Marian	III-292
Kazimierzczuk, Marian	III-443
Kee-Chee, Tiew	I-717
Keerthipala, W.W. L.	III-431
Kendir, Alper	V-5
Kent, Ken	III-228
Ker, Ming-Dou	I-297
Ker, Ming-Dou	V-97
Kerdlapanan, Daorat	II-348
Kerhervé, Eric	I-441
Kesoulis, Marios	II-73
Ketel, Mohammed	I-293
Ketola, Jaakko	II-89
Khademi, Leila	III-702
Khan, Ishtiaq	IV-185
Khan, Tahir	III-750
Khawan, Sami	II-760

## High-Speed Low Input Impedance CMOS Current Comparator

Surachet Khucharoensin and Varakorn Kasemsuwan

Department of Electronics, Faculty of Engineering,

King Mongkut's Institute of Technology Ladkrabang (KMITL)

Tel. +66-2-326-4222 Ext. 102, Fax: +66-2-739-2398 E-mail: [kkvarako@kmitl.ac.th](mailto:kkvarako@kmitl.ac.th)

### ABSTRACT

A simple high-speed low input impedance CMOS current comparator is proposed. The circuit uses improved Wilson current-mirror to perform a subtraction. Negative feedback is employed to reduce the input impedance of the circuit. HSPICE is used to verify the circuit performance with a standard  $0.5\mu\text{m}$  CMOS technology. Simulation results demonstrate the propagation delay of 1.02 ns, average power consumption of 0.911 mW and input impedance of  $137\ \Omega$  for  $\pm 0.1\mu\text{A}$  input current at the supply voltage of 3V.

### I. INTRODUCTION

In recent years, current-mode circuits become increasingly popular among analog circuit designers. This is mainly attributed to higher speed, larger bandwidth and lower supply voltage requirement compared to the voltage mode circuit counterpart. Current-comparator is widely used as a building block of analog systems including A/D converters, oscillator, VLSI neural network and other signal processing applications. Several approaches have been proposed to implement current comparator [1-5]. Current mirror current comparator has been firstly proposed by [1]. The circuit consists of two cascode current mirrors. The circuit can not operate at high frequency due to high impedance at the output node. To increase frequency of the operation and, at the same time, to reduce the input impedance of the circuit, source follower input stage current comparator as shown in Fig. 1a) is then proposed [2]. The input part of the circuit consists of two transistors ( $M_1$  and  $M_3$ ) connected as source follower to lower the input impedance while two transistors at the output ( $M_2$  and  $M_4$ ) are connected as complementary common source. The circuit however shows deadband region where the input impedance is quite high during input transition and thus limiting the speed of operation. A biasing method using current source [3] is proposed to alleviate this deadband problem. The circuit needs very well controlled current sources in addition to the requirement of a twin well process as the substrate of two diode connected transistors have to be tied to their sources. The input and output impedances of current comparator are further reduced by using a negative feedback approach [4-5]. The front end preamplifier circuit by [4] shown in Fig. 1b) is current source inverting amplifier with  $M_5$  operating as a resistive feedback element while the front end preamplifier circuit by [5] shown

in Fig. 1c) is a cascode current source inverting amplifier with  $M_5$  serving as a resistive feedback element. Their circuits exhibit low input and output impedances and the delay time is less than 1.5 ns for  $\pm 0.1\mu\text{A}$  input current.

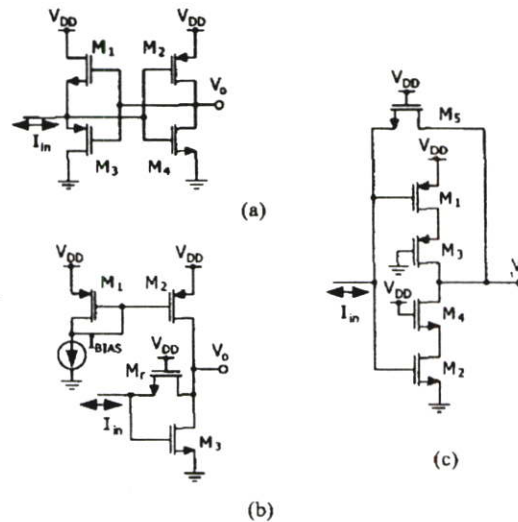


Fig. 1 Current Comparator by 1a) H. Träff [2], 1b) B.M. Min, et al. [4] and 1c) L. Chen, et al. [5]

Up to present, most proposed current comparators [2-5] assumed input current  $I_{in}$  as a subtraction (or difference) of the reference current ( $I_{REF}$ ) and the actual input current (to be compared with  $I_{REF}$ ). None of them shows the circuit that performs such subtraction. It is instructive to note that the subtraction circuit is also part of the current comparator and therefore previously reported simulation results, i.e., power dissipation, speed of operation and power delay product, are too optimistic as the subtraction circuit also consumes certain amount of power and exhibits certain delay time.

In this paper, a simple high speed and low input impedance CMOS current comparator is proposed. The circuit employs an improved Wilson current mirror which serves two duties; 1) it is used to perform a current subtraction between the actual input current  $I_{in}$  and the reference current ( $I_{REF}$ ) and 2) it is used to reduce an input impedance of the circuit via

negative feedback within an improved Wilson current mirror itself. HSPICE is used to verify the circuit performance and the results show the propagation delay of 1.02 ns with an average power dissipation of 0.911 mW using a standard 0.5 $\mu$ m CMOS technology for an input current of  $\pm 0.1\mu$ A at the supply voltage of 3V. The input impedance of the circuit is 137  $\Omega$ .

## II. CIRCUIT DESCRIPTION

Fig. 2 shows the proposed current comparator circuit.  $M_1$ - $M_4$  are connected as an improved Wilson current mirror and  $M_5$  is a diode connected load.  $M_{n1-n3}$  and  $M_{p1-p3}$  are three resistive load amplifiers ( $M_{p1-p3}$  operating in the linear region) and are used to amplify the voltage signal at node c.  $M_{n4-n5}$  and  $M_{p4-p5}$  are two CMOS inverters and used to amplify the signal for rail to rail operation at the output.  $I_{REF}$  is referred to the reference current to be compared with the input current  $I_{in}$ . The operation of the circuit can be explained as follows: The reference current  $I_{REF}$  flows to  $M_3$  making the drain current of  $M_1$  and  $M_2$  equal to  $I_{REF}$  provided that  $M_1$  and  $M_2$  have the same aspect ratio. The output current (drain current of  $M_4$ ) is then the subtraction between the reference current  $I_{REF}$  and the input current  $I_{in}$ . If the input current  $I_{in}$  is increased and greater than the reference current  $I_{REF}$ , the output current  $I_o$  decreases pulling up the voltage at node c. The same situation is applied when input current  $I_{in}$  is decreased and less than the reference current  $I_{REF}$ , the voltage at node c is pulled down. The signal at node c is amplified by three resistive load common source ( $M_{n1-n3}$  and  $M_{p1-p3}$ ) and two CMOS inverters ( $M_{n4-n5}$  and  $M_{p4-p5}$ ) for rail to rail operation.

The input impedance of the circuit at node b is low due to the negative feedback (shunt input) within the loop on an improved Wilson current mirror consisting of  $M_1$ - $M_4$ . To demonstrate this fact, when  $I_{in}$  flows into node b, voltage at node b ( $V_b$ ) is pulled high. The signal  $V_b$  is amplified via  $M_1$  (common source) causing voltage at the drain of  $M_1$  and at the gate of  $M_3$  to go low. As a result, the source voltage of  $M_4$  is forced to be low. Straightforward circuit analysis shows the input impedance of the circuit given by

$$R_{in} \cong \frac{1}{g_{m2} + g_{m4} + g_{m1}g_{m4}(r_{o1} // r_{oi})} \quad (1)$$

where  $g_m$  is the transconductance of MOS transistor,  $r_{oi}$  is drain-source resistance of transistor  $M_1$  and  $r_{oi}$  is output impedance of the biasing current source  $I_{BIAS}$ . It can be easily shown that if  $g_m$  of  $M_1$ - $M_4$  are of the same value, Eq.(1) can be reduced to

$$R_{in} \cong \frac{1}{g_m^2 (r_{o1} // r_{oi})} \quad (2)$$

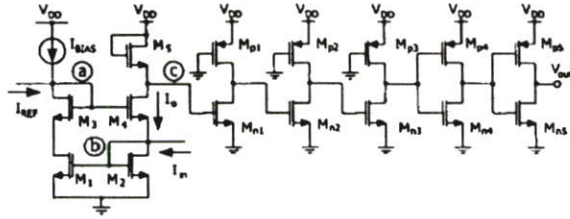


Fig. 2 Schematic diagram of proposed circuit.

## III. EXPERIMENTAL RESULTS

To verify the circuit performance, HSPICE is used to simulate the proposed circuit using a standard 0.5 $\mu$ m CMOS process with 3V supply voltage. Bias current  $I_{BIAS}$  is set to 20  $\mu$ A while the reference current  $I_{REF}$  is 20  $\mu$ A. The transistor dimensions of the proposed circuit are summarized in Table 1. It is instructive to note that the conventional input current used in [2], [4-5] is the difference between the actual input current and the reference current. This current is in fact equivalent to the drain current of transistor  $M_4$  of our proposed circuit (see Fig. 2). To compare our circuit performance with others, the input current, when referred to, means the drain current of  $M_4$ . In addition, transistor dimensions of others are chosen to be comparable with ours. Fig. 3 shows transient response of the input current signal (solid line) and output voltage signal (dash line) from our circuit. The input current is  $\pm 0.1\mu$ A square wave at the frequency of 25 MHz. The output signal shows rail to rail operation (0V-3V) with a propagation delay time of 1.02 ns. Fig. 4 shows a comparison of an average delay time as a function of the input current ranging from  $\pm 0.01\mu$ A to  $\pm 10\mu$ A for current comparator by [2](dot), [4](square), [5](triangle) and our proposed circuit (solid line). It is noted that we use the same standard 0.5 $\mu$ m CMOS technology during simulation for all current comparators. From Fig. 4, it can be seen that for low input current, the delay time of the proposed comparator is much lower than that of [2] and is comparable with those of [4] and [5]. However, the delay time of all comparators become comparable when the input current increases up to 10 $\mu$ A. This is attributed to the fact that the delay time is mainly determined by the rail to rail amplifiers for high input current. Fig. 5 shows a comparison of power consumption as a function of the input current in the same range of Fig. 4 for current comparator by [2](dot), [4](square), [5](triangle) and our proposed circuit (solid line). Although the power consumption of our circuit is comparable with those in [5] but more than those in [2] and [4], it is instructive to note that the power consumption of the circuit by [2] and [4-5] exclude the power consumption taken by the subtraction circuit which is also part of the current comparator. In addition, the input impedance of our

proposed circuit is much lower for the same input current. Fig. 6 shows a comparison of input impedance for current comparator by [2](dot), [4](square), [5](triangle) and our proposed circuit(solid line). As seen, the input impedance of our proposed circuit is smaller with an order of magnitude. For example, our circuit shows input impedance of  $137 \Omega$  at  $0.1 \mu\text{A}$  input current while the input impedance are found to be  $36.8 \text{ k}\Omega$  in [2],  $12 \text{ k}\Omega$  in [4] and  $5 \text{ k}\Omega$  in [5]. To the best of authors' knowledge, our circuit gives lowest input impedance for the same biasing current. Fig. 7 shows a comparison of power delay product for current comparator by [2](dot), [4](square), [5](triangle) and our proposed circuit(solid line). As seen, our power delay product is superior to [2] and comparable to [4-5]. Again, the power consumption and the delay of [2] and [4-5] as shown in Fig. 6 assume zero power consumption and zero delay for the subtraction circuit which is not true. For a fair comparison, this additional power consumption and delay are to be included. We have implemented a simple current subtraction circuit and found the power consumption of  $60 \mu\text{W}$  for biasing current of  $10 \mu\text{A}$ . By assuming the delay of the subtraction circuit is negligible, the power delay products of circuit by [2], [4], [5] and our circuit are  $4.987 \text{ pJ}$ ,  $1.097 \text{ pJ}$ ,  $0.9307 \text{ pJ}$  and  $0.9278 \text{ pJ}$  respectively. The input referred offset current of the proposed circuit can be minimized by increasing the drain-source resistance of the transistor  $M_{\text{BIAS}}$ .

#### IV. CONCLUSIONS

A simple high-speed and low input impedance CMOS current comparator is proposed. The circuit employs an improved Wilson current mirror to perform a current subtraction between the input current  $I_{\text{in}}$  and the reference current  $I_{\text{REF}}$ . Negative feedback has been employed to reduce the input impedance of the circuit. HSPICE is used to verify the circuit performance. The simulation results show the propagation delay of  $1.02 \text{ ns}$ , an average power dissipation of  $0.911 \text{ mW}$  and input impedance of  $137 \Omega$  using a standard  $0.5 \mu\text{m}$  CMOS technology for an input current of  $\pm 0.1 \mu\text{A}$  at the supply voltage of  $3 \text{V}$ .

Table 1: Transistor's geometrical dimensions

Device	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$M_{\text{BIAS}}$	8	2
$M_1$ - $M_4$	2	0.5
$M_5$	0.5	0.65
$M_{n1}$ - $M_{n5}$	0.5	0.5
$M_{p1}$ - $M_{p3}$	0.5	0.6
$M_{p4}$ - $M_{p5}$	2.4	0.5

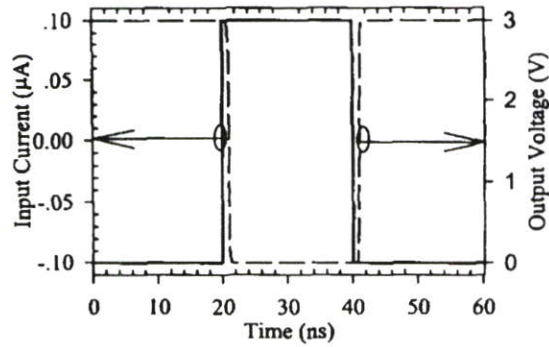


Fig. 3 Transient response of the proposed circuit.

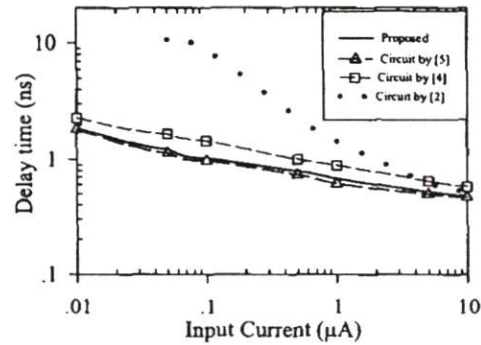


Fig. 4 Delay time versus input current.

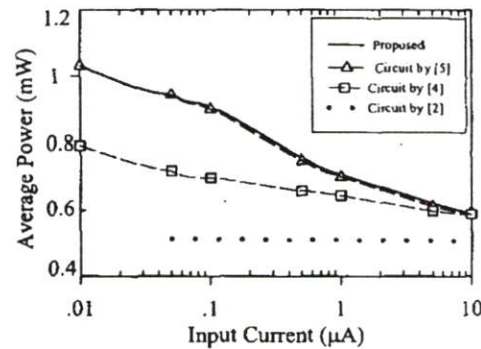


Fig. 5 Power consumption versus input current.

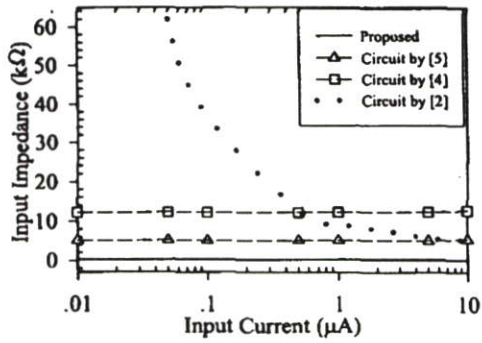


Fig. 6 Input impedance versus input current.

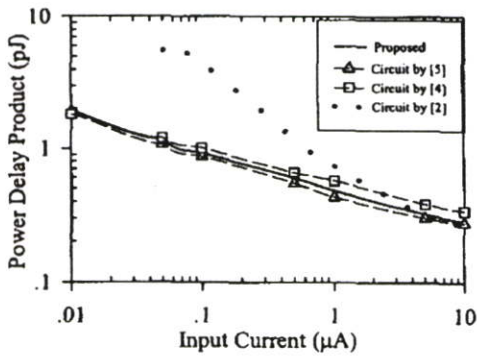


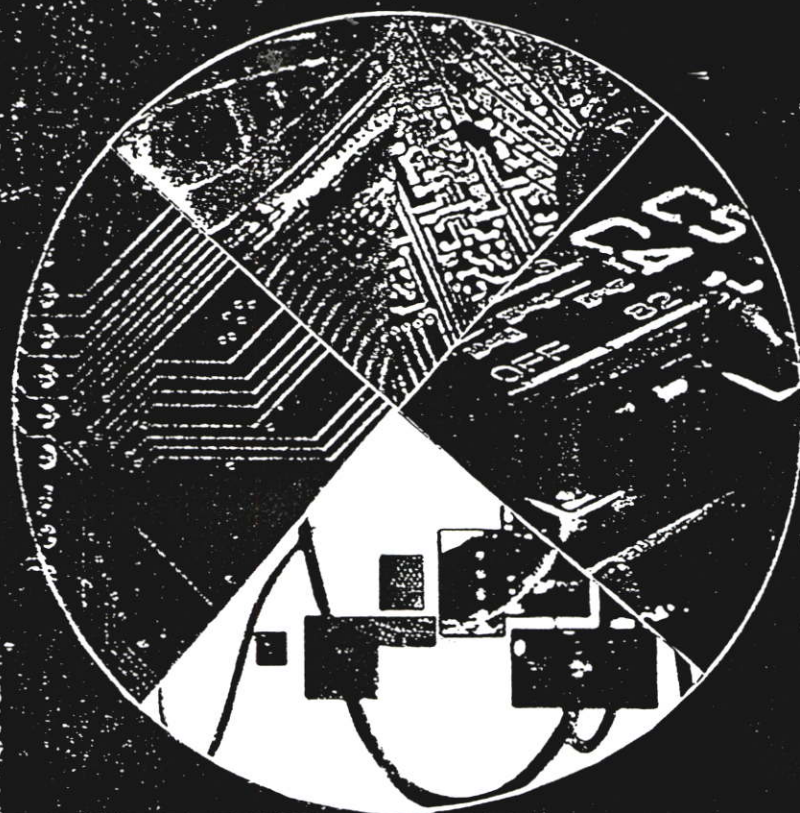
Fig. 7 Power-delay product versus input current

#### REFERENCES

- [1] D. A. Freitas and K. W. current, "CMOS current comparator circuit," *Electronics Lett.*, vol. 19, no. 17, pp. 695-697, 1983.
- [2] H. Träff, "Novel approach to high speed CMOS current comparators," *Electron. Lett.*, vol.28, no. 3, pp. 310-312, 1992.
- [3] A.T.K. Tang and C. Toumazou, "High performance CMOS current comparator," *Electron. Lett.*, vol. 30, no.1, pp. 5-6, 1994.
- [4] B. M. Min and S. W. Kim, "High performance CMOS current comparator using resistive feedback network," *Electronics Lett.*, vol. 34, no. 22, pp. 2074-2076, 1998.
- [5] L. Chen, B. Shi and C. Lu, "A robust high-speed and low-power CMOS current comparator circuit," *IEEE Asia-Pacific Conference on Circuits and Systems 2000*, pp. 174-177, 2000.

Proceedings ICSE 2002

2002 IEEE  
International Conference  
on  
Semiconductor Electronics



*Organized by*

The Institution of Electrical and Electronics Engineers Inc.  
Electron Devices Chapter, IEEE Malaysia Section  
IEEE Electron Devices Society

*Supported by*

Universiti Kebangsaan Malaysia  
Universiti Sains Malaysia

December 19 - 21, 2002  
The Gurney Resort Hotel & Residences  
Penang  
MALAYSIA

ICSE 2002

2002 IEEE INTERNATIONAL CONFERENCE  
ON SEMICONDUCTOR ELECTRONICS

PROCEEDINGS

December 19 - 21, 2002  
The Gurney Resort Hotel & Residences  
Penang, MALAYSIA

*Edited by*  
Sahbudin Shaari  
Burhanuddin Yeop Majlis



*Organized by*  
Electron Devices Chapter, IEEE Malaysia Section

*Technical co-sponsored by*  
IEEE Electron Devices Society

*Sponsored by*  
Mems Technology (M) Sdn, Bhd  
Kriptic Devices (M) Sdn Bhd

*In co-operation with*  
Universiti Kebangsaan Malaysia  
Universiti Sains Malaysia

49	<b>A 3Volt High Frequency and Low Input Impedance CMOS Current-Mode Precision Full-Wave Rectifier</b> <i>Surachet Khucharoensin and Varakorn Kasemsuwan</i>	239
50	<b>Hot Carrier and Soft Breakdown Reliability for RF Circuits</b> <i>Enjun Xiao, Jiann.S. Yuan and Hong Yang</i>	243
51	<b>Electrical Properties of Neodymium Phosphate Glass</b> <i>Agus Setyo Budi, Rosli Hussin and Md. Rahim Sahar</i>	247
52	<b>30 nm MOSFET Development Based on Processes for Nanotechnology</b> <i>Jong Duk Lee, Woo Young Choi, Byung Yong Choi, Young Jin Choi, Dong-Soo Woo and Byung-Gook Park</i>	251
53	<b>A Parameter Extraction Method for a Small-Signal MOSFET Model Including Substrate Parameters</b> <i>Seonghearn Lee</i>	255
54	<b>A New Method of Designing MEMS Class E Amplifier</b> <i>Gu H. M., Gao B. X. and Liang C. G.</i>	261
55	<b>Simulations of SiGe HBT's to obtain High ft and fmax</b> <i>E.Shintadewi Julian and Djoko Hartanto</i>	264
56	<b>Robust Silicon Nitride LPCVD Recipe Development</b> <i>Kader Ibrahim, Tan Yen Aik, Teoh Whai Teik, V. Umasangar and Joon Ho Joung</i>	268
57	<b>1V, High Speed, Full Swing Non-complementary BiCMOS Inverter Circuit Using Feedback Scheme</b> <i>Kobchai Dejhan, Paiboon Tooprakai, Somsak Mitatha, Fusak Cheevasuvit and Chatcharin Soonyeeakan</i>	271
58	<b>1V Full Swing Bootstrapped CMOS Inverter-Circuit</b> <i>Kobchai Dejhan, Paiboon Tooprakai, Somsak Mitatha, Fusak Cheevasuvit and Chatcharin Soonyeeakan</i>	275
59	<b>The Performance of <math>Si_{0.2}Ge_{0.8}/Si</math> Solar Cell</b> <i>Nji Raden Poespawati, Arief Udhiarto and Djoko Hartanto</i>	279
60	<b>Statistical Modeling Based on Back-end Electric Test Data for Improved IC Process</b> <i>Cong Gu</i>	282
61	<b>Analysis of Quantum Mechanical (QM) Charge Redistribution Effects in MOSFETs on Circuit Performance</b> <i>Ayhan A. Mutlu, Norman G. Gunther and Mahmud Rahman</i>	287
62	<b>A Physics-Based Model of Short Channel MOSFET Including Velocity Overshoot</b> <i>Varakorn Kasemsuwan</i>	291
63	<b>A Theoretical Explanation On The Performance Of A New Improved MMIC Filter</b> <i>Ahmad Asari Sulaiman and Zaiki Awang</i>	295
64	<b>High Deposition Rate Thin Film Hydrogenated Amorphous Silicon Prepared by d.c. Plasma Enhanced Chemical Vapour Deposition of Helium Diluted Silane</b> <i>H. Roszairi and S.A. Rahman</i>	300
65	<b>A Theoretical Analysis of Double Heterojunction Bipolar Transistors with Composite Collectors</b> <i>Yu Ling Goh and Duu Sheng Ong</i>	304
66	<b>MMIC development for Local Multipoint Distribution Service (LMDS)</b> <i>Azzemi Ariffin, Salizul Jaafar and Suhandi Bujang</i>	308

## A 3 Volt High Frequency and Low Input Impedance CMOS Current-Mode Precision Full-Wave Rectifier

Surachet Khucharoensin and Varakorn Kasemsuwan, *Member, IEEE*

Department of Electronics, Faculty of Engineering,

King Mongkut's Institute of Technology Ladkrabang (KMITL)

Tel. +66-2-326-4222 Ext. 102, Fax: +66-2-739-2398 E-mail: [kkvarako@kmitl.ac.th](mailto:kkvarako@kmitl.ac.th)

**Abstract** This paper presents a 3Volt high frequency and low input impedance CMOS current mode precision full-wave rectifier. The circuit is designed based on an improved Wilson current miller. All MOS transistors are biased at low current resulting in small power dissipation. Negative feedback has been employed to reduce the input impedance of the circuit(236 $\Omega$ ). HSPICE is used to perform the simulation and the result shows the frequency of operation as high as 100 MHz with a standard 0.5 $\mu\text{m}$  CMOS technology. The mismatch obtained from the input and rectifier's output is 0.21% for an input current of  $\pm 150\mu\text{A}$ . The DC transfer characteristic shows good linearity, very sharp corner at zero crossing point and good symmetry during positive and negative input cycle while power dissipation is 5.8 $\mu\text{W}$ .

### I. INTRODUCTION

PRECISION Full-Wave Rectifiers (PFWRs) are one among very important circuit building blocks for analog and digital signal processing, conditioning and instrumentation especially for low level signals. Applications include RMS to DC conversions and peak detectors. Several approaches have been proposed[1-5] to build precision rectifiers. Conventionally, precision rectifiers are based on diodes and opamps[1-2]. The rectifier however has a problem with a high distortion during the zero crossing of the input signal due to that the opamps have to recover during non-conduction/conduction transition with a finite small signal  $dV/dt$ (slew rate). The rectifiers are thus limited to a frequency performance well below the gain bandwidth product  $f_T$  of the amplifier. An improvement of the rectifier design was to use current conveyors and diodes[3-4]. The resulting circuits can operate at high frequency. However, the circuits are power hungry and quite large making them unsuitable for implementing in the large scale

integrated circuit. Recently, a high performance precision rectifier has been proposed[5]. The circuit consists of only three transistors and are biased with low current resulting in low total power dissipation(4.8 $\mu\text{W}$ ). The circuit can also operate at high frequency(100 MHz). However, the input impedance of the circuit is quite high(7.2k $\Omega$ -47k $\Omega$ ) posing a problem in the current mode circuit design. In addition, the output signal is not symmetry during positive and negative input cycle.

In this paper, a high frequency low input impedance CMOS current mode precision full-wave rectifier is proposed. The circuit is designed based on an improved Wilson current miller. All MOS transistors are biased at low current resulting in small power dissipation. Negative feedback has been employed to reduce the input impedance of the circuit. The DC transfer characteristic shows good linearity, very sharp corner at zero crossing point and good symmetry during positive and negative input cycle.

### II. PRECISION FULL-WAVE RECTIFIER (PFWR)

Fig. 1 shows the proposed precision rectifier. The circuit is designed based on two precision half wave rectifiers( $M_{1a}$ - $M_{3a}$  and  $M_{1b}$ - $M_{3b}$ ) operating alternatively during positive and negative input cycle.  $I_{in1}$  and  $I_{in2}$  are the input currents with the same magnitude but 180 degree out of phase.  $M_{3a,b}$  are used to biased  $M_{1a,b}$ - $M_{4a,b}$  on the edge of conduction. When  $I_{in1}$  and  $I_{in2}$  flows into node a and out of node b respectively,  $M_{3a}$  cuts off while  $M_{3b}$ , which is connected as a common gate, allows the input current  $I_{in2}$  to flows through the load  $R_L$ . Same explanation is applied when  $I_{in1}$  and  $I_{in2}$  flows out of node a and into node b respectively. As a result, the circuit works as a full-wave rectifier. The input impedance of the circuit(node a and b) are very low due to the negative feedback(shunt input) with in the loop  $M_{1a,b}$ - $M_{4a,b}$ . To demonstrate this

fact, when  $I_{in1}$  flows into node a, Voltage at node a,  $V_a$ , is pulled high. The signal  $V_a$  is amplified via  $M_{2a}$ (common source) causing voltage at the drain of  $M_{2a}$  and at the gate of  $M_{4a}$  to go low. As a result, the source voltage of  $M_{3a}$  is forced to be low. Straightforward circuit analysis shows the input impedance of the circuit given by

$$R_{in} \approx \frac{1}{g_{m1a,b} + g_{m3a,b} + g_{m2a,b} [g_{m3a,b}(r_{o2a,b} // r_{o5a,b})]} \quad (1)$$

while the output impedance is given as

$$R_{out} \approx r_{o3a,b} [1 + g_{m2a,b}(r_{o2a,b} // r_{o5a,b})] \quad (2)$$

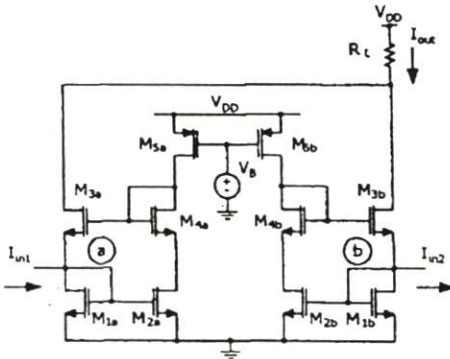


Fig. 1 Schematic diagram of the proposed precision full-wave rectifier(PFWR).

III. APPLICATION

There are many applications of the precision full-wave rectifier circuit such as RMS-to-DC converters and averaging circuits [6]. In this section, averaging current circuit is presented based on our proposed full-wave rectifier. This can be done by passing the output current after rectified to the first order low-pass filter. Fig. 2 shows a simple first order low-pass filter which consists of a current miller( $M_6$  and  $M_7$ ) and a capacitor  $C_{AV}$  to control the ripple of the output current signal.

The averaging output current signal  $I_{AV}$  of the first order low-pass filter in Fig. 2 is given by

$$I_{AV} = \frac{|I_{in}|}{1 + s(C_{AV} / g_{m6})} \quad (3)$$

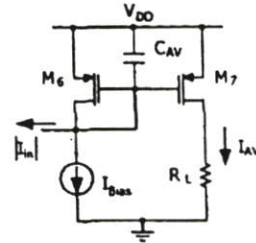


Fig 2. First order Low-pass filter.

If  $sC_{AV} / g_{m6} \gg 1$ , then  $I_{AV}$  in the s-domain and time-domain are

$$I_{AV} = |I_{in}| \frac{g_{m6}}{sC_{AV}} \quad (4)$$

$$I_{AV} = \frac{1}{T} \int_0^T |I_{in}| dt \quad (5)$$

respectively and  $T$  is the RC time constant equal to  $C_{AV} / g_{m6}$ .

The criterion for selecting the value of  $C_{AV}$  is that the capacitor has to be large enough to keep the residual output ripple within specified limits [6] or

$$C_{AV} \gg \frac{g_{m6(max)}}{4\pi f_{(min)}} \quad (6)$$

where  $f_{(min)}$  is the low end of input frequency range of interest. Because  $g_{m6}$  varies as a function of the drain current  $I_D$ ,  $g_{m6(max)}$  or

$\sqrt{2\mu C_{ox}(W/L)_6 |I_{n(max)}|}$  should be employed.  $C_{AV}$  should exceed the right-hand term by the inverse of the fractional ripple error that can be tolerated at the output current.

IV. PERFORMANCE OF THE PROPOSED PFWR

To verify the circuits performance, HSPICE is used to simulate the proposed circuit using a standard  $0.5\mu m$  CMOS process. In this work, the bias voltage  $V_b$  is used to bias  $M_{5a}$  and  $M_{5b}$  to have the drain currents of  $0.5\mu A$ . Table 1 shows all transistors' aspect ratio. Fig. 3 shows input impedance of the proposed PFWR(solid line) and that by[S](dash line). As seen, our proposed circuit has relatively much lower input impedance. To the best of authors' knowledge,

our circuit offers lowest input impedance(236Ω). Fig. 4 shows the comparison of the DC transfer characteristic of our circuit (solid line) and [5](dash line). As seen, the proposed circuit shows a sharp corner at zero crossing point and good symmetry during positive and negative input cycle while the circuit by [5] shows mismatch during positive input cycle as a result of channel length modulation of the transistor. The mismatch obtained from the input and rectifier's output in this PFWR are 0.21% for an input current of  $\pm 150\mu\text{A}$ . Fig. 5 shows transient simulation of input signal(dot), our circuit(solid line) and [5](dash line) for the input frequency of 100MHz. The results show that our circuit gives a good symmetry for both positive and negative input cycle at high frequency. The total power dissipation is  $5.8\mu\text{W}$ . Fig. 6 shows averaging current as a function of time. As seen, at steady state, our output current shows  $64.75\mu\text{A}$  while the theoretical output current should read  $63.66\mu\text{A}$  or 1.7% error. This error is a direct result of the drain source voltage mismatch between  $M_6$  and  $M_7$  and can be solved by increasing the channel length of the transistors  $M_6$  and  $M_7$  or using cascode technique to enhance the output impedance at the output node.

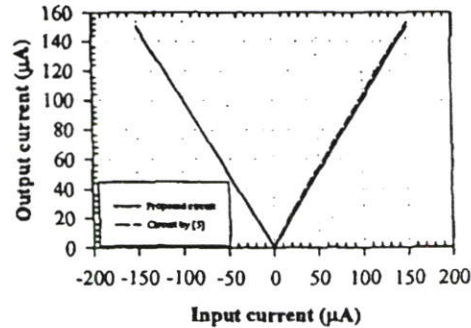


Fig. 4 DC Transfer Characteristic.

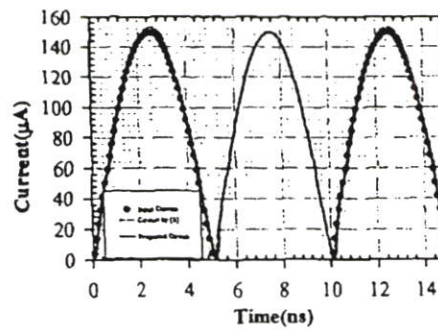


Fig. 5 Transient response (100 MHz input current).

Table I. Transistor's geometrical dimensions

Device	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )
$M_{1a,b} - M_{4a,b}$	0.5	0.5
$M_{5a,b}$	7	2
$M_6, M_7$	10	2

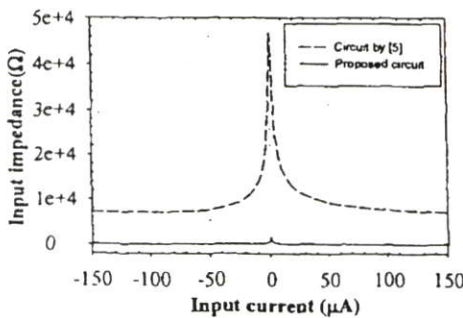


Fig. 3 Input Impedance.

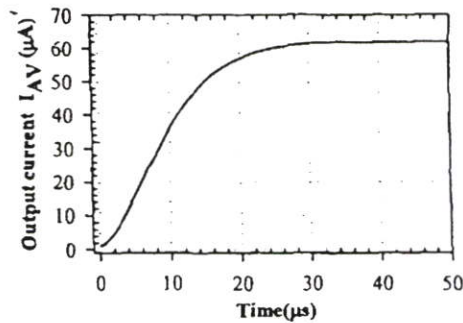


Fig. 6 Averaging current (input frequency of full-wave rectifier at 4 MHz with amplitude  $\pm 100\mu\text{A}$ , using  $C_{AV}=1\text{nF}$ ).

V. CONCLUSION

A high performance current mode precision full-wave rectifier based on an improved Wilson current miller is proposed. All transistors are biased at low current resulting in small power

dissipation ( $5.8\mu\text{W}$ ). The input impedance of the circuit is small ( $236\Omega$ ) and the circuit can operate at 100 MHz with only 0.21% mismatch between input and output signals for  $\pm 150\mu\text{A}$  input current.

#### ACKNOWLEDGEMENT

This work is supported by Thailand Research Fund(TRF)(grant no. PDF/74/2544).

#### REFERENCES

- [1] C. Toumazou and F.J. Lidgley, "Wide-band precision rectification," *IEEE Proc. G.*, vol. 134, no.1, pp. 7-15, 1987.
- [2] F.J. Lidgley, K. Hayatleh and C. Toumazou, "New current-mode precision rectifiers," *IEEE Inter. Symposium on Circuits and Systems*, pp. 1322-1325, 1993
- [3] C. Toumazou, F.J. Lidgley and S. Chatong, "High Frequency Current Conveyor Precision Full-Wave Rectifier," *Electron. Lett.*, vol. 30, no. 10, pp. 745-746, 1994.
- [4] K. Hayatleh, S. Porta and F.J. Lidgley, "Temperature Independent Current Conveyor Precision Rectifier," *Electron. Lett.*, vol. 30, no. 25, pp. 2091-2093, 1994.
- [5] C.C. Chang and S.I. Liu, "Current-Mode Full-Wave Rectifier and Vector Summation Circuit," *Electron. Lett.*, vol. 36, no. 19, pp. 1599-1600, 2000.
- [6] Z. Wang, "Novel Pseudo RMS Current Converter for Sinusoidal Signals using a CMOS Precision Current Rectifier," *IEEE Transactions on Instrumentation and Measurement*, vol. 39, issue:4, pp. 670-671, Aug. 1990.

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นายสุรเชษฐ์ คุเจริญศิลป์
วัน เดือน ปี เกิด	24 กุมภาพันธ์ 2520
สถานที่เกิด	จังหวัดชลบุรี
ที่อยู่	6/3 หมู่ 10 ตำบลหนองรี อำเภอเมือง จังหวัดชลบุรี 20000
ประวัติการศึกษา	2541 วิศวกรรมศาสตรบัณฑิต สาขาวิชาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2544 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ความชำนาญเฉพาะด้าน	1) การออกแบบวงจรอนาล็อกที่ทำงานในย่านความถี่สูงและใช้พลังงานต่ำ 2) การออกแบบวงจรสะท้อนกระแสและการประยุกต์
ประสบการณ์การทำงาน	
พ.ศ. 2547-2549	วิศวกรประจำห้องทดลองบริษัท Agere Systems Microelectronics (Thai) Ltd. แผนก QRA
พ.ศ. 2549	ได้รับรางวัล Spot Award ของแผนก QA บริษัท Agere Systems Microelectronics (Thai) Ltd.