

การออกแบบอัลกอริทึม ADC บนพื้นฐานของเทคโนโลยี
ทรานซิสเตอร์แบบซีมอส

DESIGN OF CMOS-BASED ALGORITHMIC ADC

สมใจ อารยวัฒน์
SOMJAI ARAYAWAT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของงานที่ศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมคอมพิวเตอร์

มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

สถาบันเทคโนโลยีพระจอมเกล้าธนบุรี กรุงเทพมหานคร

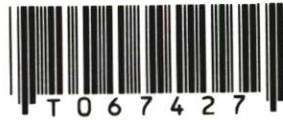
พ.ศ. 2549

ISBN 974-15-2789-6

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบอัลกอริทึม ADC บนพื้นฐานของเทคโนโลยี
ทรานซิสเตอร์แบบซีมอส

DESIGN OF CMOS-BASED ALGORITHMIC ADC



สมใจ อารยวัฒน์

SOMJAI ARAYAWAT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมการวัดคุม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2789-6

เลขหมู่.....

เลขทะเบียน.....67427

วัน,เดือน,ปี...15 S.ค. 2549

.b.....

.i.....

DESIGN OF CMOS-BASED ALGORITHMIC ADC

SOMJAI ARAYAWAT

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN INSTRUMENTATION ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2006

ISBN 974-15-2789-6

COPYRIGHT 2006

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบอัลกอริธึม ADC บนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซิมอส
Design of CMOS-based Algorithmic ADC

นักศึกษา นายสมใจ อารยวัฒน์

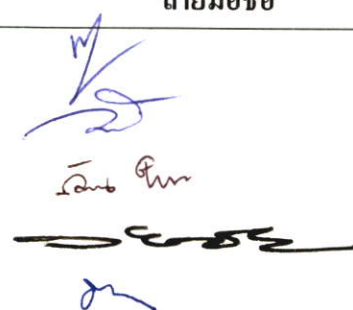
รหัสประจำตัว 47060609

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมการวัดคุม

อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.ธนิตย์ ศรีสุวรรณวัฒน์

อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม รศ.ดร.วันชัย วีรุจา

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.ฟูศักดิ์	ชีวิสุวิทย์	
รศ.วิทยา	ทิพย์สุวรรณพร	
ผศ.ดร.อัมพวัน	ใจกล้า	
รศ.ดร.วันชัย	วีรุจา	
รศ.ดร.ธนิตย์	ศรีสุวรรณวัฒน์	

วัน / เดือน / ปี ที่สอบ 9 ตุลาคม 2549 เวลา 14.00-16.00 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-404)


บัณฑิตวิทยาลัยรับรองแล้ว
(ผศ.ดร.จารุวัตร เจริญสุข)
คณบดีบัณฑิตวิทยาลัย

วันที่.....13.....เดือน.....ตุลาคม.....พ.ศ. 2549

หัวข้อวิทยานิพนธ์	การออกแบบอัลกอริธึม ADC บนพื้นฐานของเทคโนโลยี
	ทรานซิสเตอร์แบบซิมอส
นักศึกษา	นายสมใจ อารยวัฒน์
รหัสนักศึกษา	47060609
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมการวัดคุม
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.ธนิตย์ ตริสุวรรณวัฒน์
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	รศ.ดร.วันชัย ธีร์รุจา

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบตัวแปลงผันแอนะล็อกเป็นดิจิทัลแบบอัลกอริธึมขนาด 1 บิต ที่มีการลงรหัสแบบเกรย์ย้อนกลับ วงจรที่นำเสนอมีโครงสร้างอย่างง่าย ขนาดเล็ก และมีความเหมาะสมที่จะนำไปสร้างวงจรรวมโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอส ในส่วนของการออกแบบได้ใช้วิธีการไบแอสมอสทรานซิสเตอร์ที่ขอบของการนำกระแส เป็นผลทำให้ความเร็วในการแปลงผันสูง และลักษณะถ่ายโอนกระแสมีความเพี้ยนต่ำ การแปลงผันขนาด N บิตสามารถทำได้โดยการต่อкасาดตัวแปลงผันขนาด 1 บิตที่นำเสนอ จำนวน N วงจร จากผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE สามารถยืนยันได้ถึงสมรรถนะการทำงานของ ADC ที่ได้แนะนำว่ามีความสอดคล้องเป็นไปตามหลักการที่นำเสนอ

Thesis Title	Design of CMOS-based Algorithmic ADC
Student	Mr. Somjai Arayawat
Student ID.	47060609
Degree	Master of Engineering
Program	Instrumentation Engineering
Year	2006
Thesis Advisor	Assoc.Prof.Dr.Thanit Trisuwannawat
Thesis Co - Advisor	Assoc.Prof.Dr.Vanchai Riewruja

ABSTRACT

This thesis presents the design of one-bit cell of reverse Gray-code algorithmic analog-to-digital converter (ADC). The realization method is simple, small in size, and suitable for fabrication using CMOS technology. The design strategy is based on the MOS bias at the edge of conduction to provide a high-speed operation and a low distortion in the current transfer characteristic. The N -bit resolution can be achieved by cascading of the N proposed one-bit cells. PSPICE simulation results verifying the proposed circuit performances are in close agreement with the theoretical values.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงไปด้วยดี ผู้เขียนขอกราบขอบพระคุณ รศ.ดร.ธนิตย์ ศรีสุวรรณ-วัฒน์ อาจารย์ผู้ควบคุมวิทยานิพนธ์ และ รศ.ดร.วันชัย ธีรจุฑา อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม เป็นอย่างสูง ที่ได้กรุณาเสียสละเวลาอันมีค่า ให้ความรู้ ความคิดริเริ่มคำปรึกษาและแนวทางการแก้ไข ปัญหาต่าง ๆ มาโดยตลอดระยะเวลาที่ศึกษา

ขอกราบขอบพระคุณ รศ.ดร.ฟูศักดิ์ ชิววิทย์ และ รศ.วิทยา ทิพย์สุวรรณพร คณะกรรมการสอบหัวข้อวิทยานิพนธ์ที่ได้ให้คำปรึกษาและคำแนะนำเป็นอย่างดีในการจัดทำวิทยานิพนธ์นี้

ขอกราบขอบพระคุณ รศ.ประสิทธิ์ จุลเสรีวงศ์ และ ผศ.ดร.อัมพวัน ใจกล้า อาจารย์ประจำภาควิชาวิศวกรรมการวัดคุมที่ได้ให้กำลังใจและความช่วยเหลือในด้านต่าง ๆ แก่ผู้เขียนเสมอมา

ขอขอบคุณ อาจารย์รัชชชัย คำศรี และอาจารย์วรรณดี เพชรธณีสักดิ์ อาจารย์ประจำภาควิชาวิศวกรรมระบบควบคุม ที่ช่วยเหลือในการตรวจสอบผลการวิจัยและให้คำแนะนำต่าง ๆ ทำให้การจัดทำวิทยานิพนธ์นี้มีความสมบูรณ์มากยิ่งขึ้น

ขอขอบคุณภรรยา และลูก ๆ ทุกคน ที่มอบความรัก ความห่วงใย และให้การสนับสนุนในการศึกษามาโดยตลอด

สุดท้าย ขอขอบคุณ มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี วิทยาเขตขอนแก่น ที่ให้โอกาสและทุนสนับสนุนในการศึกษาต่อ

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์นี้ ผู้เขียนขอบอบแต่ผู้มีพระคุณทุกท่าน

สมใจ อารยวัฒน์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VIII
สารบัญรูป.....	IX
รายการสัญลักษณ์.....	XII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์.....	3
1.4 ขอบเขตของวิทยานิพนธ์.....	3
1.5 รายละเอียดของวิทยานิพนธ์.....	3
บทที่ 2 หลักการทำงานของอัลกอริทึม ADC.....	5
2.1 กล่าวนำ.....	5
2.2 หลักการทำงานและประเภทของ ADC.....	5
2.2.1 หลักการทำงานของ ADC	5
2.2.2 ประเภทของ ADC.....	7
2.3 หลักการทำงานของอัลกอริทึม ADC.....	8
2.3.1 หลักการทำงานของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสอง.....	8
2.3.2 หลักการทำงานของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์.....	12
2.4 การแปลงรหัสเกรย์และรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง.....	18
2.4.1 การแปลงรหัสเกรย์เป็นเลขฐานสอง.....	18
2.4.2 การแปลงรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง.....	19
2.5 บทสรุป.....	20
บทที่ 3 กลุ่มวงจรย่อยที่ใช้ในการออกแบบอัลกอริทึม ADC.....	21
3.1 กล่าวนำ.....	21

สารบัญ (ต่อ)

	หน้า
3.2 วงจรสะท้อนกระแส.....	21
3.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	21
3.2.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสแบบพื้นฐาน.....	22
3.2.3 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต.....	25
3.2.4 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต.....	25
3.3 วงจรฟังก์ชันซัมบูร์ณ์.....	27
3.3.1 การทำงานของวงจรฟังก์ชันซัมบูร์ณ์.....	27
3.3.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันซัมบูร์ณ์.....	28
3.4 วงจรเปรียบเทียบกระแส.....	34
3.4.1 วงจรอินเวอร์เตอร์.....	34
3.4.2 วงจรเปรียบเทียบกระแส.....	37
3.5 บทสรุป.....	38
บทที่ 4 การออกแบบอัลกอริทึม ADC ที่นำเสนอ.....	39
4.1 กล่าวนำ.....	39
4.2 การทำงานของวงจร.....	39
4.3 การวิเคราะห์คุณสมบัติการทำงานของอัลกอริทึม ADC ที่นำเสนอ.....	44
4.3.1 การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส.....	44
4.3.2 การวิเคราะห์ความผิดพลาดสะสม.....	45
4.3.3 การวิเคราะห์จำนวนบิตที่เป็นไปได้.....	45
4.3.4 การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง.....	45
4.3.5 การวิเคราะห์ผลตอบสนองทางความถี่.....	45
4.3.6 การวิเคราะห์ความเร็วในการแปลงผัน.....	48
4.3.7 การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด.....	49
4.4 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE.....	49
4.5 บทสรุป.....	53
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะในการทำวิจัยต่อ.....	54

สารบัญ (ต่อ)

	หน้า
5.1 สรุปผลการวิจัย.....	54
5.2 ข้อเสนอแนะในการทำวิจัยต่อ.....	55
เอกสารอ้างอิง.....	56
ภาคผนวก ก. คุณสมบัติที่สำคัญและวงจรสมมูลของมอสเฟต.....	60
ก1. คุณสมบัติที่สำคัญของมอสเฟตที่มีการทำงานในช่วงอิมิตัว.....	60
ก2. วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก.....	61
ก3. ผลกระทบของอุณหภูมิที่มีผลต่อค่าพารามิเตอร์ของมอสเฟต.....	63
ก4. การไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิมิตัว.....	64
ภาคผนวก ข. การวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสัมบูรณ์.....	68
ข1. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต.....	68
ข1.1 กรณีที่กระแส i_u มีค่าเป็นลบ.....	68
ข1.2 กรณีที่กระแส i_u มีค่าเป็นบวก.....	69
ข2. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	70
ข3. การวิเคราะห์ค่าความผิดพลาดของวงจร.....	72
ข3.1 กรณีที่กระแส i_u มีค่าเป็นลบ.....	72
ข3.2 กรณีที่กระแส i_u มีค่าเป็นบวก.....	74
ข4. การวิเคราะห์ผลตอบสนองทางความถี่.....	76
ข4.1 กรณีที่กระแส i_u มีค่าเป็นลบ.....	76
ข4.2 กรณีที่กระแส i_u มีค่าเป็นบวก.....	80
ภาคผนวก ค. การวิเคราะห์คุณสมบัติการทำงานของอัลกอริทึม ADC ที่นำเสนอ.....	83
ค1. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส.....	83
ค2. การวิเคราะห์ความผิดพลาดสะสม.....	85
ค3. การวิเคราะห์จำนวนบิตที่เป็นไปได้.....	89
ค4. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง.....	90

สารบัญ (ต่อ)

	หน้า
ค5. การวิเคราะห์ผลตอบสนองทางความถี่.....	91
ค6. การวิเคราะห์ความเร็วในการแปลงผัน.....	93
ค7. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด.....	94
ภาคผนวก ง. บทความวิจัยที่ได้รับตีพิมพ์.....	96
ประวัติผู้เขียน.....	103

สารบัญตาราง

ตารางที่	หน้า
2.1 ประเภทของ ADC.....	7
2.2 การแปลงผืนของอัลกอริธึมิก ADC ขนาด 3 บิต.....	18
4.1 อัตราส่วน W/L ของมอสเฟตในอัลกอริธึมิก ADC ดังรูปที่ 4.1.....	50
5.1 คุณสมบัติการทำงานที่สำคัญของอัลกอริธึมิก ADC ที่นำเสนอ.....	54

สารบัญรูป

รูปที่	หน้า
2.1 ลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิต ในกรณีที่ไม่มีค่าออฟเซต.....	5
2.2 ลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิต ในกรณีที่มีค่าออฟเซตเท่ากับ $-1/2$ LSB.....	6
2.3 อัลกอริธึม ADC ขนาด N บิต.....	8
2.4 หลักการทำงานของอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสอง (ก) ผังงาน (ข) ลักษณะถ่ายโอนไฟตรง.....	9
2.5 ลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตของอัลกอริธึม ADC ที่มีการลงรหัส แบบฐานสองขนาด 3 บิต (ก) กระแสเอาต์พุตของบิตที่ 1 (MSB) (ข) กระแสเอาต์พุตของบิตที่ 2 (ค) กระแสเอาต์พุตของบิตที่ 3 (LSB).....	10
(ง) ดิจิตอลเอาต์พุต.....	11
2.6 ลักษณะถ่ายโอนของอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต.....	11
2.7 ลักษณะถ่ายโอนไฟตรงของอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์.....	12
2.8 ผังงานของอัลกอริธึม ADC ที่มีลักษณะถ่ายโอนไฟตรงดังรูปที่ 2.7(ก).....	12
2.9 ลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตของอัลกอริธึม ADC ที่มีการลงรหัส แบบเกรย์ขนาด 3 บิต (ก) กระแสเอาต์พุตของบิตที่ 1 (MSB).....	13
(ข) กระแสเอาต์พุตของบิตที่ 2 (ค) กระแสเอาต์พุตของบิตที่ 3 (LSB) (ง) ดิจิตอลเอาต์พุต.....	14
2.10 ลักษณะถ่ายโอนของอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต.....	15
2.11 ผังงานของอัลกอริธึม ADC ที่มีลักษณะถ่ายโอนไฟตรงดังรูปที่ 2.7(ข).....	15
2.12 ลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตของอัลกอริธึม ADC ที่มีการลงรหัส แบบเกรย์ย้อนกลับขนาด 3 บิต (ก) กระแสเอาต์พุตของบิตที่ 1 (MSB) (ข) กระแสเอาต์พุตของบิตที่ 2	16
(ค) กระแสเอาต์พุตของบิตที่ 3 (LSB) (ง) ดิจิตอลเอาต์พุต.....	17
2.13 ลักษณะถ่ายโอนของอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ย้อนกลับขนาด 3 บิต.....	18
2.14 ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสอง.....	19

สารบัญรูป (ต่อ)

รูปที่	หน้า
2.15 การต่อ EX-OR เพื่อแปลงรหัสเกรย์เป็นเลขฐานสอง.....	19
2.16 ตัวอย่างการแปลงรหัสเกรย์แบบย้อนกลับ 1001 เป็นเลขฐานสอง.....	20
2.17 การต่อ EX-NOR เพื่อแปลงรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง.....	20
3.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	21
3.2 วงจรสมมูลในการวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่ ของวงจรสะท้อนกระแสแบบพื้นฐาน.....	22
3.3 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแส แบบพื้นฐาน.....	23
3.4 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแส แบบพื้นฐาน.....	24
3.5 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐาน.....	24
3.6 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต.....	25
3.7 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส ที่มีหลายเอาต์พุต.....	26
3.8 วงจรฟังก์ชันสัมบูรณ์.....	27
3.9 การทำงานของวงจรฟังก์ชันสัมบูรณ์ในกรณีค่ากระแส $i_d < 0$	29
3.10 การทำงานของวงจรฟังก์ชันสัมบูรณ์ในกรณีค่ากระแส $i_d > 0$	30
3.11 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจร ฟังก์ชันสัมบูรณ์.....	30
3.12 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณี $i_d < 0$	31
3.13 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณี $i_d > 0$	32
3.14 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ ในกรณี $i_d < 0$	32
3.15 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ ในกรณี $i_d > 0$	33
3.16 วงจรอินเวอร์เตอร์.....	35
3.17 วงจรเปรียบเทียบกระแส.....	37
4.1 อัลกอริธึม ADC ขนาด 1 บิตที่นำเสนอ.....	40

สารบัญญรูป (ต่อ)

รูปที่	หน้า
4.2 อัลกอริธึม ADC ที่นำเสนอขนาด N บิต.....	42
4.3 การประยุกต์ใช้อัลกอริธึม ADC ที่นำเสนอให้มีการลงรหัสแบบฐานสอง.....	43
4.4 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของอัลกอริธึม ADC ดั่งรูปที่ 4.1.....	46
4.5 ผลการเปลี่ยนแปลงการทำงานของอัลกอริธึม ADC ขนาด 1 บิตที่นำเสนอ (ก) กระแสเอาต์พุต (ข) ดิจิตอลเอาต์พุต.....	50
4.6 ผลตอบสนองทางความถี่ของอัลกอริธึม ADC ขนาด 1 บิตที่นำเสนอ.....	51
4.7 ผลการเปลี่ยนแปลงการทำงานเพื่อศึกษาความเร็วในการแปลงผันของอัลกอริธึม ADC ขนาด 1 บิต (ก) กระแสอินพุต i_{in} และกระแสอ้างอิง I_R (ข) ค่าแรงดัน v_1 และ v_2	51
4.8 กระแสเอาต์พุตบิตที่ 9 ของอัลกอริธึม ADC ที่นำเสนอขนาด 9 บิต (ก) สัญญาณกระแส i_{out} บิตที่ 9 ในทางอุดมคติ (ข) ผลการเปลี่ยนแปลงการทำงาน.....	52
ก1 สัญลักษณ์ของมอสเฟต (ก) เอ็นมอส (ข) พีมอส.....	60
ก2 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ทำงานในช่วงอิมิตัว.....	62
ก3 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ใช้ในการวิเคราะห์ด้วยมือ.....	62
ก4 ตำแหน่งการไบแอสมอสเฟตที่ขอบของการนำกระแส.....	64
ก5 ตัวอย่างวงจรที่มีและไม่มีไบแอสมอสเฟตที่ขอบของการนำกระแส (ก) ตัวอย่างวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส.....	64
(ข) ตัวอย่างวงจรที่ไม่มีไบแอสมอสเฟตที่ขอบของการนำกระแส.....	65
ก6 ผลการเปลี่ยนแปลงการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟตในวงจร ดั่งรูปที่ ก5 เมื่อป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณขั้นบันไดที่มีค่าลดลง (ก) ความเร็วในการสวิตช์ Off ของมอสเฟต M_3 และ M_5 (ข) ความเร็วในการสวิตช์ On ของมอสเฟต M_2 และ M_4	66
ก7 ผลการเปลี่ยนแปลงการทำงานเพื่อศึกษาความถี่ของกระแสเอาต์พุตในวงจรดั่งรูปที่ ก5 (ก) กระแสอินพุต $i_{in1} = i_{in2}$ (ข) กระแสเอาต์พุต i_{D2} และ i_{D3} (ค) กระแสเอาต์พุต i_{D4} และ i_{D5}	67

รายการสัญลักษณ์

M	หมายถึง มอสเฟต
N	หมายถึง จำนวนบิต
D_o	หมายถึง ดิจิตอลเอาต์พุต
i_{in}	หมายถึง ค่ากระแสอินพุต (μA)
i_{out}	หมายถึง ค่ากระแสเอาต์พุต (μA)
i_D	หมายถึง ค่ากระแสเดรนของมอสเฟต (μA)
I_B	หมายถึง ค่ากระแสไบแอส (μA)
v_{in}	หมายถึง ค่าแรงดันอินพุต (V)
v_{out}	หมายถึง ค่าแรงดันเอาต์พุต (V)
V_{DD}	หมายถึง ค่าแรงดันแหล่งจ่ายไฟบวก (V)
V_{SS}	หมายถึง ค่าแรงดันแหล่งจ่ายไฟลบ (V)
V_T	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage) (V)
V_{TN}	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยนของเอ็นมอส (V)
V_{TP}	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยนของพีมอส (V)
V_{T0}	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟตที่อุณหภูมิ 300K (V)
v_{GS}	หมายถึง ค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต (V)
v_{DS}	หมายถึง ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของมอสเฟต (V)
v_{DSn}	หมายถึง ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของเอ็นมอส (V)
v_{DSp}	หมายถึง ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของพีมอส (V)
g_m	หมายถึง ค่าทรานส์คอนดักแตนซ์ของมอสเฟต (A/V)
g_{ds}	หมายถึง ค่าความนำที่เกิดขึ้นระหว่างขาเดรนกับขาซอร์สของมอสเฟต (A/V)
g_O	หมายถึง ค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาต์พุตของแหล่งจ่ายกระแส (A/V)
r_{in}	หมายถึง ค่าความต้านทานอินพุต (Ω)
r_{out}	หมายถึง ค่าความต้านทานเอาต์พุต (Ω)
r_o	หมายถึง ค่าความต้านทานเอาต์พุตซึ่งเป็นส่วนกลับของค่าความนำ g_{ds} ของมอสเฟต (Ω)
R_L	หมายถึง ค่าความต้านทานที่นำมาต่อที่เอาต์พุต โนด (Ω)
C_{gs}	หมายถึง ค่าความจุไฟฟ้าระหว่างขาเกตกับขาซอร์สของมอสเฟต (F)
C_{ox}	หมายถึง ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (F/m^2)

รายการสัญลักษณ์ (ต่อ)

W	หมายถึง ความกว้างประสิทธิผลของแซนเนล (μm)
L	หมายถึง ความยาวประสิทธิผลของแซนเนล (μm)
μ	หมายถึง ค่าความคล่องตัวของโฮลหรืออิเล็กตรอน ($\text{cm}^2/\text{V}\cdot\text{s}$)
μ_0	หมายถึง ค่าความคล่องตัวของโฮลหรืออิเล็กตรอนที่อุณหภูมิ 300K ($\text{cm}^2/\text{V}\cdot\text{s}$)
λ	หมายถึง ค่าพารามิเตอร์ของการมอดูเลตความกว้างของแซนเนล (V^{-1})
K, β	หมายถึง ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต (A/V^2)
β_N	หมายถึง ค่าพารามิเตอร์ของการนำกระแสของเอ็นมอส (A/V^2)
β_P	หมายถึง ค่าพารามิเตอร์ของการนำกระแสของพีมอส (A/V^2)
ε	หมายถึง ค่าความผิดพลาดของวงจร
T	หมายถึง ค่าอุณหภูมิ (K)

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ตัวแปลงผันแอนะล็อกเป็นดิจิทัล (Analog-to-Digital Converter: ADC) เป็นวงจรหนึ่งที่มีความสำคัญในการจัดการสัญญาณ เนื่องจากสัญญาณที่ได้จากเซนเซอร์ (Sensor) จะอยู่ในรูปสัญญาณต่อเนื่องหรือสัญญาณแอนะล็อก แต่ในการควบคุมระบบหรือการออกแบบอุปกรณ์ทางด้านอิเล็กทรอนิกส์ต่าง ๆ นิยมเอารูปแบบของสัญญาณดิจิทัลมาใช้ในการทำงานมากขึ้น [1] ตัวอย่างเช่น ตัวควบคุมแบบดิจิทัล ตัวควบคุมแบบพีซี การควบคุมระบบแบบกระจายส่วน วงจรประมวลสัญญาณดิจิทัล และวงจรสังเคราะห์ภาพ เป็นต้น ดังนั้นประสิทธิภาพในการควบคุมระบบหรือการทำงานของอุปกรณ์อิเล็กทรอนิกส์จะดีหรือไม่ดีนั้น จึงขึ้นอยู่กับคุณสมบัติของ ADC ด้วย คุณสมบัติของ ADC ที่ดีจะต้องทำการแปลงสัญญาณให้มีค่าสอดคล้องกับสัญญาณเดิมมากที่สุด มีความเพี้ยนของสัญญาณน้อยที่สุด และมีอัตราการแปลงสัญญาณที่สามารถตอบสนองความต้องการของวงจรได้ดี จากความสำคัญของ ADC ดังกล่าว จึงได้มีการพัฒนาโครงสร้างและหลักการการทำงานของ ADC อยู่หลายประเภททั้งที่ใช้เทคโนโลยีทรานซิสเตอร์แบบไบโพลาร์ (Bipolar) [2]-[3] แบบ BiCMOS [4]-[5] หรือแบบซีมอส (CMOS) [6]-[7]

ตัวอย่าง ADC ที่ได้มีการออกแบบในอดีต [8]-[10] ดังเช่น Single Slope ADC และ Dual Slope ADC โดย ADC กลุ่มนี้จัดเป็น ADC ประเภทความเร็วช้า วงจรมีขนาดเล็ก ลักษณะการทำงานของวงจรไม่ซับซ้อน เวลาที่ใช้ในการแปลงผันขึ้นอยู่กับค่าระดับสัญญาณแอนะล็อกที่ป้อนเข้าสู่วงจร และขนาดของวงจรไม่ขึ้นกับจำนวนบิตที่ต้องการ ส่วน Parallel ADC หรือ Flash ADC จัดเป็น ADC ประเภทความเร็วสูง แต่โครงสร้างของวงจรจะมีความซับซ้อนมาก และขนาดของวงจรจะแปรตามจำนวนบิตที่ต้องการ ทำให้วงจรมีขนาดใหญ่ ใช้พื้นที่ในการสร้างมาก นอกจากนี้ยังมี ADC อีกประเภทหนึ่งที่ได้มีการนำเสนอ คือ อัลกอริธึม (Algorithmic) ADC ซึ่งจัดเป็น ADC ประเภทความเร็วปานกลางเช่นเดียวกับ Successive Approximation ADC โดยอัลกอริธึม ADC จะมีการทำงานต่อเนื่องแบบคาสเคด คือในการแปลงผันสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิทัลหนึ่งบิต สำหรับเวลาที่ใช้ในการแปลงผันจะไม่ขึ้นกับค่าระดับสัญญาณแอนะล็อกที่ป้อนเข้าสู่วงจร แต่จะขึ้นกับจำนวนบิตที่ต้องการ เมื่อเปรียบเทียบกับ ADC ประเภทความเร็วช้า อัลกอริธึม ADC จะมีความเร็วในการแปลงผันสูงกว่า ซึ่งจะสามารถใช้ได้กับสัญญาณแอนะล็อกที่มีความถี่สูงได้ดีกว่า และเมื่อเปรียบเทียบกับ Parallel ADC ซึ่งเป็นวงจร ADC ประเภทความเร็วสูงแล้ว อัลกอริธึม ADC นี้จะมีขนาดเล็กกว่า ทำให้สามารถนำไปสร้างวงจรรวมได้ง่าย และเมื่อเปรียบเทียบกับ Successive Approximation ADC พบว่าความเที่ยงตรงและแม่นยำของ Successive Approximation

ADC จะขึ้นอยู่กับตัวแปลงผันดิจิตอลเป็นแอนะล็อก (Digital-to-Analog Converter: DAC) ที่ใช้ภายในวงจร จากข้อดี-ข้อเสียของ ADC แบบต่าง ๆ จึงเป็นที่น่าสนใจในการออกแบบอัลกอริทึม ADC ที่มีขนาดเล็ก ความผิดพลาดสะสมต่ำ ค่ากำลังสูญเสียต่ำ และมีความเร็วในการแปลงผันสูง นอกเหนือจากนั้นยังสามารถกำหนดจำนวนบิตได้ตามต้องการ

ตัวอย่างอัลกอริทึม ADC ที่ได้มีการนำเสนอไว้ในบทความวิจัย [10]-[13] มีการลงรหัสแบบฐานสอง (Binary Coding) ซึ่งมีข้อดี คือ วงจรมีโครงสร้างไม่ซับซ้อนและใช้พื้นที่ในการสร้างน้อย รวมทั้งมีค่ากำลังสูญเสียต่ำ แต่การลงรหัสแบบฐานสองจะมีลักษณะถ่ายโอนไฟตรง (DC Transfer Characteristic) เป็นสัญญาณรูปฟันเลื่อย (Sawtooth-like Waveform) ซึ่งการสร้างสัญญาณรูปฟันเลื่อยนี้จะมีวงจรลบเพื่อหักล้างสัญญาณอินพุตที่เพิ่มขึ้นอย่างต่อเนื่องกับค่าสัญญาณอ้างอิงจากการเหลือมของเวลาระหว่างค่าสัญญาณอินพุตที่เพิ่มขึ้นกับค่าสัญญาณอ้างอิงนี้ ADC ที่มีการลงรหัสแบบฐานสองจึงมีความผิดพลาดสะสมสูง เป็นผลทำให้ความถูกต้องและความละเอียดในการแปลงผันของอัลกอริทึม ADC ลดลง และยังมีข้อจำกัดทางความเร็วในการทำงานของวงจรอีกด้วย เพื่อลดข้อจำกัดที่เกิดขึ้นในการลงรหัสแบบฐานสอง จึงได้มีการนำเสนออัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ (Gray Coding) [14]-[22] เนื่องจากรหัสเกรย์เป็นรหัสที่ไม่มีการถ่วงน้ำหนักรูปแบบหนึ่งและมีคุณสมบัติเป็นรหัสวน (Cyclic Code) การเปลี่ยนแปลงของรหัสเกรย์ในแต่ละลำดับที่ติดกันจะมีการเปลี่ยนแปลงเพียงแค่หนึ่งบิตเท่านั้น ทำให้เกิดความผิดพลาดในการส่งรหัสได้ยาก [23]-[25] จึงมักนำไปใช้ในระบบการตรวจวัดสัญญาณด้วยแสง ระบบการทำรหัสบนแกนหมุนเชิงกลเพื่อบอกตำแหน่งหรือค่ามุมของเพลาหมุน รวมทั้งการเปลี่ยนระบบแอนะล็อกเป็นดิจิตอลคั้งที่มีการนำเสนอการออกแบบ ADC ที่มีการลงรหัสแบบเกรย์อย่างต่อเนื่อง จึงเป็นที่มาของการศึกษาและแนวทางการวิจัยของวิทยานิพนธ์นี้

ในปัจจุบันการออกแบบและการสร้างวงจรในรูปแบบวงจรรวมหรือไอซี (Integrated Circuits: IC) บนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซีมอสกำลังได้รับความนิยมและสนใจมากขึ้นสำหรับการจัดการและประมวลผลสัญญาณ [26]-[27] เนื่องจากมีขั้นตอนการผลิตที่ไม่ยุ่งยากเมื่อเทียบกับเทคโนโลยีแบบไบโพลาร์ ซึ่งทำให้มีต้นทุนที่ใช้ในการผลิตต่ำกว่า รวมทั้งเมื่อนำไปใช้งานยังมีการสูญเสียกำลังงานต่ำกว่าด้วย ดังจะเห็นได้จากการที่ในปัจจุบันมีผู้เสนอการออกแบบวงจรโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสเพื่อการจัดการและประมวลผลสัญญาณต่าง ๆ เป็นจำนวนมาก จึงเป็นที่น่าสนใจในการนำเทคโนโลยีทรานซิสเตอร์แบบซีมอสมาใช้ในการออกแบบเพื่อพัฒนา ADC ที่ต้องการนำเสนอ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์นี้เป็นการออกแบบอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์อีกรูปแบบหนึ่ง ซึ่งเรียกว่า “รหัสเกรย์แบบย้อนกลับ” (Reverse Gray Code) บนพื้นฐานของเทคโนโลยี

ทรานซิสเตอร์แบบซีมอส เพื่อศึกษาค้นคว้าวิจัยและพัฒนาการออกแบบอัลกอริทึม ADC ที่มีความถูกต้องในการทำงานสูง มีค่าความผิดพลาดสะสมต่ำ และมีความเร็วในการแปลงผันสัญญาณสูง โดยออกแบบวงจรให้มีโครงสร้างที่ไม่ซับซ้อน ขนาดเล็ก และมีค่าแรงดันแหล่งจ่ายต่ำ เพื่อความเหมาะสมในการสร้างเป็นวงจรรวม

1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์

หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์นี้ได้แก่ การออกแบบวงจรโดยใช้ฟังก์ชันสัมบูรณ์ (Absolute Function) ต่อร่วมกับวงจรสะท้อนกระแส ทำหน้าที่สังเคราะห์สัญญาณรูปสามเหลี่ยม (Triangular-like Waveform) ที่มีลักษณะสมมาตรเพื่อส่งผ่านกระแสแอนะล็อกอินพุตของ ADC ซึ่งการสังเคราะห์ลักษณะถ่ายโอนไฟตรงเป็นสัญญาณรูปสามเหลี่ยมนี้เป็นขั้นตอนสำคัญในการลดรหัสนับแบบเกรย์ย้อนกลับของอัลกอริทึม ADC ที่นำเสนอ และในส่วนของวงจรฟังก์ชันสัมบูรณ์ได้ใช้วิธีการไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิมิตัว ข้อได้เปรียบของการไบแอสมอสเฟตที่จุดนี้เป็นผลทำให้ ADC ที่นำเสนอมีลักษณะถ่ายโอนไฟตรงที่มีความเพี้ยนต่ำ ความเร็วในการทำงานสูง และมีการตอบสนองความถี่ที่สูง นอกจากนั้นยังสามารถเพิ่มความละเอียดในการทำงานได้ โดยการเพิ่มจำนวน ADC ขนาด 1 บิตซึ่งนำมาต่อкасцепกันตามจำนวนบิตที่ต้องการ

1.4 ขอบเขตของวิทยานิพนธ์

การออกแบบอัลกอริทึม ADC บนพื้นฐานเทคโนโลยีทรานซิสเตอร์แบบซีมอสที่น่าสนใจในวิทยานิพนธ์นี้ได้มีการวิเคราะห์หาคุณสมบัติของวงจรทางทฤษฎีแล้วนำมาเปรียบเทียบกับผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE เพื่อเป็นการยืนยันสมรรถนะการทำงานของวงจรว่ามีความสอดคล้องเป็นไปตามหลักการที่ได้นำเสนอ

1.5 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 5 บท และ 4 ภาคผนวก โดยเนื้อหาแต่ละส่วนมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำ จะกล่าวถึงความเป็นมาและความสำคัญของปัญหา ตลอดจนความมุ่งหมาย และวัตถุประสงค์ของการศึกษา หลักการใหม่ที่น่าสนใจ และขอบเขตของวิทยานิพนธ์ พร้อมทั้งรายละเอียดของวิทยานิพนธ์ในแต่ละส่วน

บทที่ 2 กล่าวถึงหลักการงานและประเภทของ ADC หลักการทำงานของอัลกอริทึม ADC ที่มีการลดรหัสนับแบบฐานสอง แบบเกรย์ และแบบเกรย์ย้อนกลับ รวมทั้งการแปลงรหัสนับและรหัสนับแบบย้อนกลับเป็นเลขฐานสอง

บทที่ 3 กล่าวถึงกลุ่มวงจรย่อยต่าง ๆ ที่นำไปใช้ในการออกแบบอัลกอริธึม ADC ที่นำเสนอในวิทยานิพนธ์นี้ ได้แก่ วงจรสะท้อนกระแส วงจรฟังก์ชันสัมบูรณ์ วงจรอินเวอร์เตอร์ และวงจรเปรียบเทียบกระแส

บทที่ 4 กล่าวถึงการออกแบบอัลกอริธึม ADC ที่ได้พัฒนาขึ้น พร้อมทั้งวิเคราะห์หาคุณสมบัติของวงจรทางทฤษฎี และผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

บทที่ 5 เป็นบทส่งท้ายซึ่งเป็นการสรุปผลการวิจัยที่ได้นำเสนอในวิทยานิพนธ์นี้ และข้อเสนอแนะเพื่อเป็นแนวทางในการวิจัยพัฒนาการออกแบบวงจร ADC ต่อไป

ในส่วนสุดท้ายของวิทยานิพนธ์เป็นส่วนของภาคผนวก ซึ่งได้รวบรวมการวิเคราะห์สมการต่าง ๆ ของแต่ละบท รวมทั้งบทความวิจัยที่ได้รับการตีพิมพ์ ดังมีรายละเอียดต่อไปนี้

ภาคผนวก ก กล่าวถึงคุณสมบัติที่สำคัญและวงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟตที่ใช้ในการวิเคราะห์ด้วยมือ ผลกระทบของอุณหภูมิที่มีผลต่อค่าพารามิเตอร์ของมอสเฟต รวมทั้งข้อได้เปรียบของการไบแอสมอสเฟตให้มีการทำงานที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว

ภาคผนวก ข เป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสัมบูรณ์ ซึ่งประกอบด้วย การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต ค่าความต้านทานอินพุตและเอาต์พุต ค่าความผิดพลาด และผลตอบสนองทางความถี่ของวงจร

ภาคผนวก ค เป็นการวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ที่นำเสนอ ซึ่งได้ทำการวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส ความผิดพลาดสะสม จำนวนบิตที่เป็นไปได้ ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง ผลตอบสนองทางความถี่ ความเร็วในการแปลงผัน และค่าแรงดันแหล่งจ่ายต่ำสุด

ภาคผนวก ง แสดงบทความวิจัยที่ได้รับการตีพิมพ์ในการประชุมวิชาการระดับนานาชาติ

บทที่ 2

หลักการทํางานของอัลกอริธึม ADC

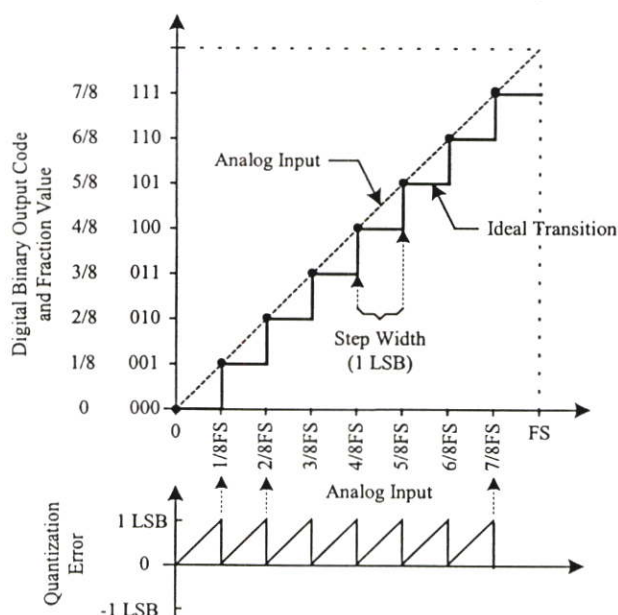
2.1 กล่าวนำ

เนื่องจาก ADC เป็นวงจรหนึ่งที่มีความสำคัญในการจัดการสัญญาณ จึงได้มีการนำเสนอและพัฒนาโครงสร้างรวมทั้งวิธีการแปลงผันสัญญาณของ ADC หลากหลายรูปแบบอย่างต่อเนื่อง ตั้งแต่อดีตจนถึงปัจจุบัน [1]-[22] แต่ไม่ว่าจะด้วยโครงสร้างและวิธีการรูปแบบใด ADC จะทำหน้าที่แปลงผันสัญญาณอินพุตแบบแอนะล็อกให้เป็นสัญญาณเอาต์พุตแบบดิจิทัลที่มีค่าสอดคล้องกัน เนื้อหาในบทนี้จะกล่าวถึงหลักการทํางานและประเภทของ ADC รวมทั้งหลักการทํางานของอัลกอริธึม ADC ทั้งแบบที่มีการลดรหัสแบบฐานสอง แบบเกรย์ และแบบเกรย์ย้อนกลับ รวมทั้งการแปลงรหัสเกรย์และรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง

2.2 หลักการทํางานและประเภทของ ADC

2.2.1 หลักการทํางานของ ADC

ADC จะทำการแปลงผันสัญญาณแอนะล็อกซึ่งอยู่ในรูปของสัญญาณแรงดันหรือกระแสให้เป็นสัญญาณดิจิทัลเป็นขั้น [28]-[29] โดยมีจำนวนขั้นเท่ากับ $2^N - 1$ และมีจำนวนดิจิทัล

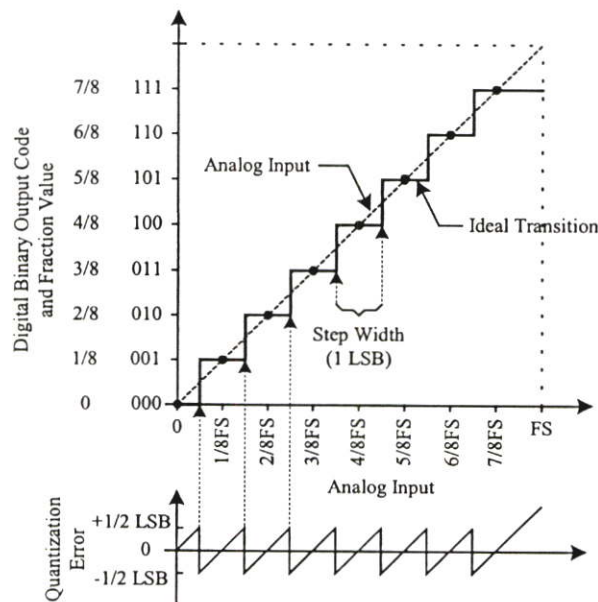


รูปที่ 2.1 ลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิตในกรณีที่ไม่มีย่านออฟเซต

เอาต์พุตเท่ากับ 2^N เมื่อ N คือ จำนวนบิตของ ADC โดยค่าสัญญาณแอนะล็อกอินพุตที่ ADC สามารถแปลงผันแล้วได้ค่าดิจิทัลเอาต์พุตสูงสุดจะเท่ากับ $(2^N-1)/2^N$ ของค่าเต็มสเกล (Full Scale: FS) ในรูปที่ 2.1 แสดงลักษณะถ่ายโอน (Transfer Characteristic) ในอุดมคติและค่าผิดพลาดการควอนไทซ์ (Quantization Error) ของ ADC ขนาด 3 บิตในกรณีที่ไม่มีค่าออฟเซต (Offset) โดยมีจำนวนขั้นของการแปลงผันเท่ากับ 2^3-1 หรือ 7 ขั้น และจำนวนดิจิทัลเอาต์พุตเท่ากับ 2^3 หรือ 8 ค่า ในการแปลงผันจะได้ดิจิทัลเอาต์พุตต่ำสุด 000 เมื่อสัญญาณแอนะล็อกอินพุตมีค่าน้อยกว่า $1/8FS$ และจะได้ดิจิทัลเอาต์พุตสูงสุด 111 เมื่อสัญญาณแอนะล็อกอินพุตมีค่ามากกว่าหรือเท่ากับ $7/8FS$ ในการแปลงผันของ ADC สัญญาณแอนะล็อกอินพุตหลาย ๆ ค่าที่อยู่ภายในช่วงเดียวกันจะถูกแปลงเป็นสัญญาณดิจิทัลที่มีรหัสเดียวกัน โดยช่วงของสัญญาณแอนะล็อกอินพุตดังกล่าวนี้จะเรียกว่า “ความกว้างของขั้น” (Step Width) หรือ “ขั้นการควอนไทซ์” (Quantization Step: QS) โดย ADC ในอุดมคติจะมีขั้นการควอนไทซ์ทุก ๆ ขั้นเท่ากันคือ 1 LSB (Least Significant Bit) ซึ่งเป็นบิตที่มีนัยสำคัญน้อยสุดของสัญญาณดิจิทัลเอาต์พุต โดยขั้นการควอนไทซ์จะขึ้นอยู่กับค่าเต็มสเกลของสัญญาณแอนะล็อกอินพุต (FS) และจำนวนบิตของสัญญาณดิจิทัลเอาต์พุต (N) ดังนี้ [30]

$$QS = \frac{FS}{2^N} = 1 \text{ LSB} \quad (2.1)$$

จากรูปที่ 2.1 ADC ขนาด 3 บิตในอุดมคติจะมีค่า QS หรือ 1 LSB เท่ากับ $FS/2^3$ หรือ $FS/8$



รูปที่ 2.2 ลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิตในกรณีที่มีค่าออฟเซตเท่ากับ $-1/2 \text{ LSB}$

สำหรับบิตที่มีนัยสำคัญมากที่สุดของสัญญาณดิจิทัลเอาต์พุตหรือ MSB (Most Significant Bit) สามารถคำนวณได้จาก [31]

$$1 \text{ MSB} = \frac{FS}{2} \quad (2.2)$$

ในรูปที่ 2.2 แสดงลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิตในกรณีที่มีค่าออฟเซตเท่ากับ $-1/2$ LSB การเลื่อนไปด้านซ้ายของลักษณะถ่ายโอนนี้ ทำให้ช่วงของค่าผิดพลาดการควอนไทซ์ของ ADC มีค่าเปลี่ยนไป จาก 0 ถึง 1 LSB (Unipolar Quantization Error) เปลี่ยนเป็น $-1/2$ LSB ถึง $1/2$ LSB (Bipolar Quantization Error)

2.2.2 ประเภทของ ADC

ประเภทของ ADC เมื่อแบ่งตามความเร็วในการแปลงผัน สามารถแบ่งได้เป็น 3 ประเภท [7], [28]-[30] คือ ประเภทความเร็วต่ำ ความเร็วปานกลาง และความเร็วสูง ดังแสดงในตารางที่ 2.1 โดยแต่ละประเภทมีรายละเอียดโดยย่อ ดังนี้

ตารางที่ 2.1 ประเภทของ ADC

Low-to-Medium Speed High Accuracy	Medium Speed Medium Accuracy	High Speed Low-to-Medium Accuracy
Single Slope Dual Slope (Integrating) Oversampling	Successive Approximation Algorithmic	Full Flash Half-Flash (Two-Step Flash) Interpolating Folding Pipeline Time-Interleaved

ADC ความเร็วต่ำเป็น ADC ที่มีขนาดเล็ก การทำงานของวงจรไม่ซับซ้อน เวลาที่ใช้ในการแปลงผันขึ้นอยู่กับค่าระดับสัญญาณแอนะล็อกอินพุต ขนาดของวงจรไม่ขึ้นกับจำนวนบิตของสัญญาณดิจิทัลเอาต์พุต สามารถแปลงสัญญาณที่ต้องการความละเอียดสูงได้ดีคือจำนวนบิตมาก ตัวอย่างของ ADC ที่จัดอยู่ในประเภทนี้ได้แก่ ADC แบบ Single Slope และแบบ Dual Slope

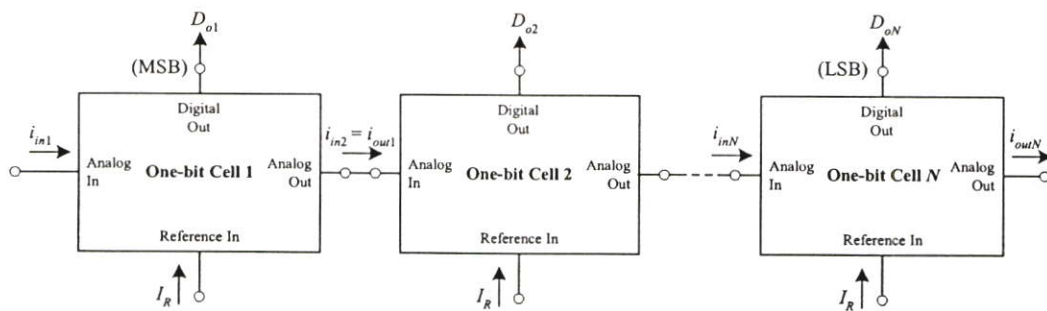
ADC ความเร็วปานกลางเป็น ADC ที่มีการทำงานแบบแคสเคด คือในการแปลงผันสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิทัลหนึ่งบิต เมื่อเปรียบเทียบกับ ADC ความเร็วต่ำแล้ว ADC ประเภทนี้มีโครงสร้างของวงจรที่มีความซับซ้อนมากขึ้น เวลาที่ใช้ในการแปลงผันไม่ขึ้นกับค่า

ระดับสัญญาณแอนะล็อกอินพุต แต่จะขึ้นกับจำนวนบิตของสัญญาณดิจิทัลเอาต์พุต ตัวอย่างของ ADC ที่จัดอยู่ในประเภทนี้ ได้แก่ ADC แบบ Successive Approximation และแบบอัลกอริธึม

ADC ความเร็วสูงเป็นวงจรที่ทำการแปลงผันสัญญาณโดยใช้เวลาน้อยกว่า N รอบสัญญาณนาฬิกา โดยที่ N คือ จำนวนบิตของสัญญาณเอาต์พุต แต่ขนาดของวงจรจะแปรตามจำนวนบิตของสัญญาณเอาต์พุต เมื่อ N มีค่าเพิ่มขึ้น วงจรจะมีความซับซ้อนมากขึ้น ทำให้วงจรมีขนาดใหญ่ จึงใช้พื้นที่ในการสร้างวงจรรวมมาก ตัวอย่างของ ADC ที่จัดอยู่ในประเภทนี้ ได้แก่ แบบขนาน (Flash) และแบบ Pipelined

2.3 หลักการทำงานของอัลกอริธึม ADC

อัลกอริธึม ADC มีการทำงานต่อเนื่องแบบคาสเคด ในการแปลงผันหนึ่งครั้งจะได้สัญญาณดิจิทัลเอาต์พุต 1 บิต โดยเริ่มแปลงผันจากบิตที่มีนัยสำคัญมากที่สุด (MSB) ไปยังบิตที่มีนัยสำคัญน้อยสุด (LSB) โครงสร้างของอัลกอริธึม ADC ขนาด N บิต [11] จะประกอบด้วยอัลกอริธึม ADC ขนาด 1 บิต (One-bit Cell) จำนวน N วงจร นำมาต่อคาสเคดกันดังรูปที่ 2.3



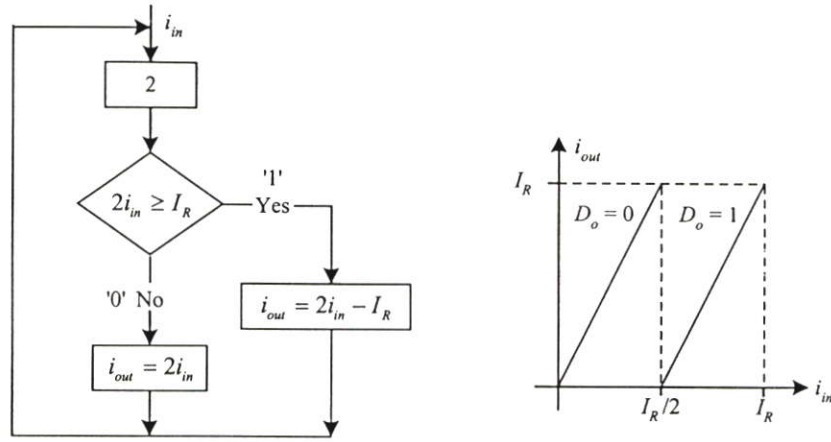
รูปที่ 2.3 อัลกอริธึม ADC ขนาด N บิต

การทำงานของอัลกอริธึม ADC ที่ได้มีการนำเสนอในบทความวิจัย [11]-[14], [16], และ [18]-[22] สามารถแบ่งได้เป็น 2 กลุ่ม ดังนี้

1. กลุ่มของอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสอง (Binary Coding) [11]-[13]
2. กลุ่มของอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ (Gray Coding) [14], [16], [18]-[22]

2.3.1 หลักการทำงานของอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสอง

จากผังงาน (Flowchart) ของอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสองดังรูปที่ 2.4(ก) [11] สามารถอธิบายการทำงานได้ดังนี้ เมื่อ I_R คือ ค่ากระแสอ้างอิงซึ่งเป็นค่าเต็มสเกลสำหรับการแปลงผัน ส่วน i_{in} และ i_{out} คือ กระแสอินพุต และกระแสเอาต์พุตของ ADC ตามลำดับ ค่ากระแส i_{in} จะถูกขยายเป็น 2 เท่าด้วยวงจรขยายกระแส แล้วนำไปเปรียบเทียบกับค่ากระแสอ้างอิง I_R ด้วย



(ก) ผังงาน

(ข) ลักษณะถ่ายโอนไฟตรง

รูปที่ 2.4 หลักการทำงานของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสอง

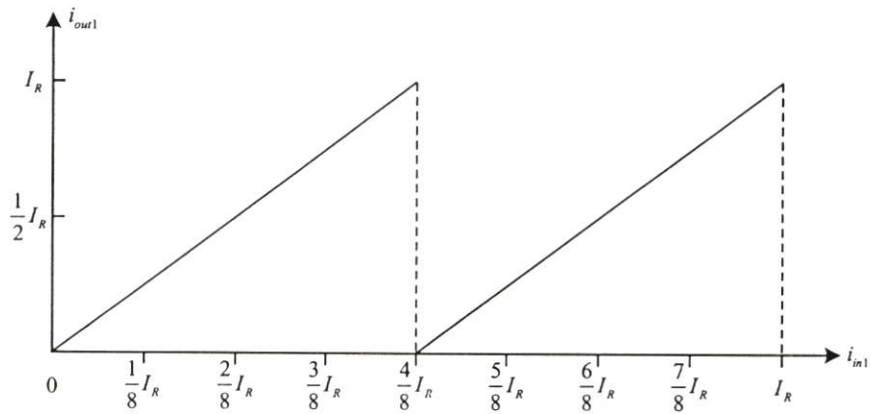
วงจรเปรียบเทียบ ถ้า $2i_{in} < I_R$ จะได้ดิจิทัลเอาต์พุต D_o มีค่าเป็น 0 (Low) และกระแสเอาต์พุต i_{out} มีค่าเท่ากับ $2i_{in}$ ในกรณีที่ $2i_{in} \geq I_R$ จะได้ดิจิทัลเอาต์พุต D_o มีค่าเป็น 1 (High) และกระแส i_{out} จะมีค่าเท่ากับ $2i_{in} - I_R$ จากการทำงานของอัลกอริทึม ADC ดังกล่าวสามารถแสดงลักษณะถ่ายโอนไฟตรงได้ดังรูปที่ 2.4(ข) สำหรับกระแสเอาต์พุต i_{out} และดิจิทัลเอาต์พุต D_o เขียนเป็นสมการได้ว่า

$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_R \\ 2i_{in} - I_R & ; 2i_{in} \geq I_R \end{cases} \quad (2.3)$$

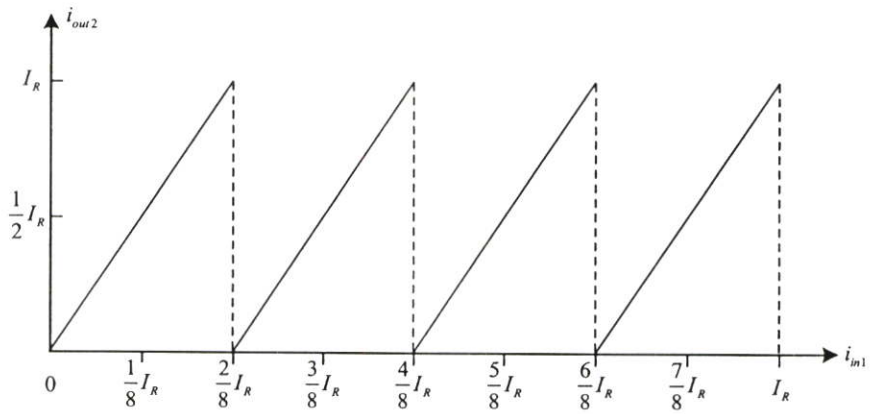
$$D_o = \begin{cases} 0 & ; 2i_{in} < I_R \\ 1 & ; 2i_{in} \geq I_R \end{cases} \quad (2.4)$$

จากรูปที่ 2.4(ข) อัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสอง จะมีลักษณะถ่ายโอนไฟตรงเป็นสัญญาณรูปฟันเลื่อย การทำงานของอัลกอริทึมดังกล่าวนี้มีข้อจำกัดที่สำคัญ [14], [16] คือ ในกรณีที่วงจรลบกระแสมีการทำงานไม่เป็นอุดมคติ จะมีการเหลื่อมของเวลาระหว่างค่ากระแสอินพุตที่เพิ่มขึ้นอย่างต่อเนื่องกับค่ากระแสอ้างอิงซึ่งเป็นค่าคงที่ ทำให้ลักษณะถ่ายโอนไฟตรงเกิดความเพี้ยน ดังนั้นการแปลงผันของอัลกอริทึม ADC จะมีค่าผิดพลาดสะสม (Accumulated Error) เกิดขึ้นเป็นผลทำให้ความถูกต้องและความละเอียด (Resolution) ในการแปลงผันสัญญาณของอัลกอริทึม ADC ลดลง

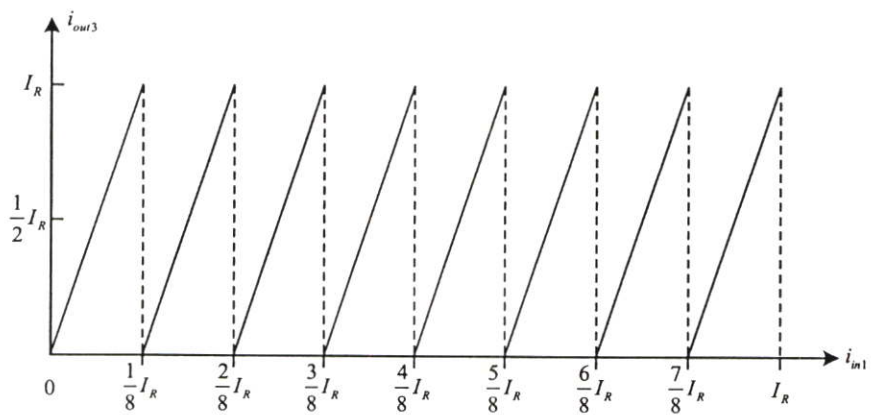
การทำงานของอัลกอริทึม ADC สามารถเพิ่มความละเอียดได้ โดยการเพิ่มจำนวน ADC ขนาด 1 บิต หรือ One-bit Cell ซึ่งนำมาต่อкасцепกันตามจำนวนบิตที่ต้องการดังรูปที่ 2.3 ดังนั้นอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต จะประกอบด้วย ADC ขนาด 1 บิต



(ก) กระแสเอาต์พุตของบิตที่ 1 (MSB)

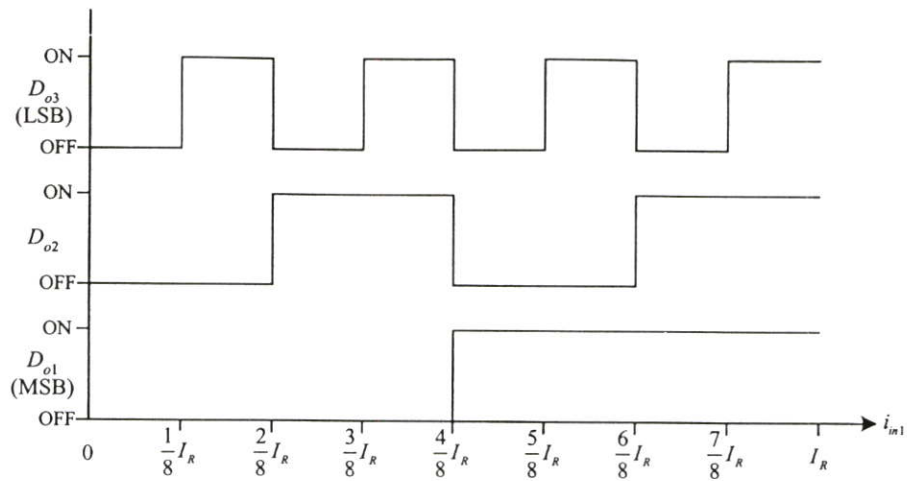


(ข) กระแสเอาต์พุตของบิตที่ 2

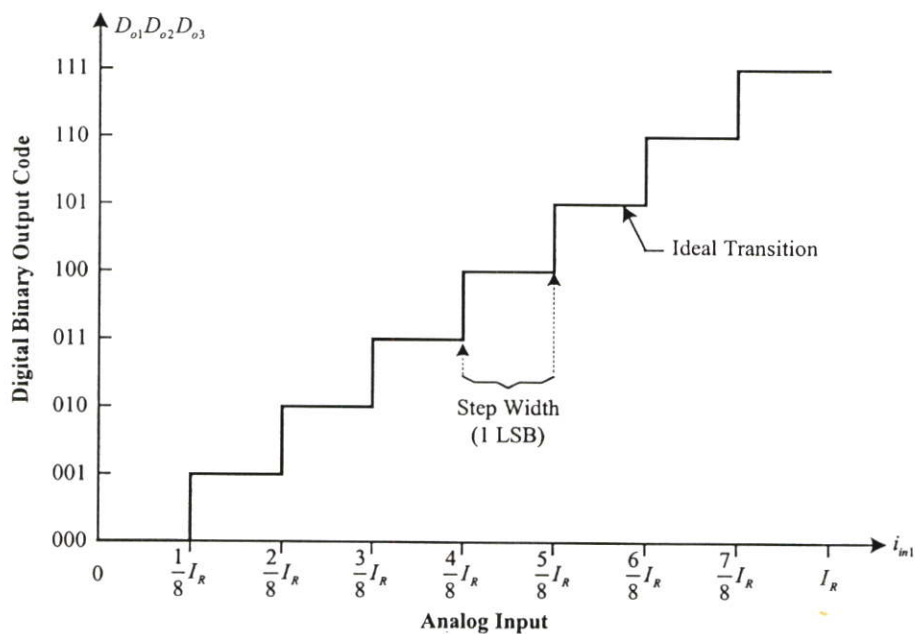


(ค) กระแสเอาต์พุตของบิตที่ 3 (LSB)

รูปที่ 2.5 ลักษณะถ่ายโอนไฟตรงและดิจิทัลเอาต์พุตของอัลกอริทึม ADC ที่มีการลงรหัสแบบ
ฐานสองขนาด 3 บิต



(ง) ดิจิตอลเอาต์พุต
รูปที่ 2.5 (ต่อ)



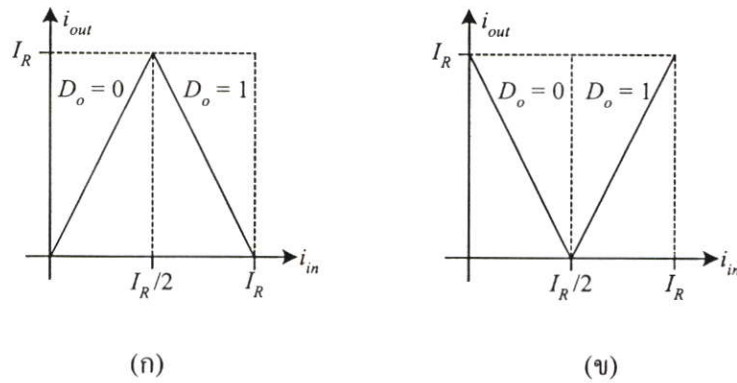
รูปที่ 2.6 ลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต

จำนวน 3 วงจรต่อкасцепกัน จากสมการที่ (2.3) และ (2.4) สามารถแสดงลักษณะถ่ายโอนไฟตรง และดิจิตอลเอาต์พุตของแต่ละบิตได้ดังรูปที่ 2.5 ในรูปที่ 2.6 แสดงลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต โดยที่ ADC ขนาด 3 บิตในอุดมคติจะมีจำนวนดิจิตอลเอาต์พุตทั้งหมด 2^3 หรือ 8 ค่า และมีความกว้างของขั้นหรือ 1 LSB เท่ากับ $(1/8)I_R$

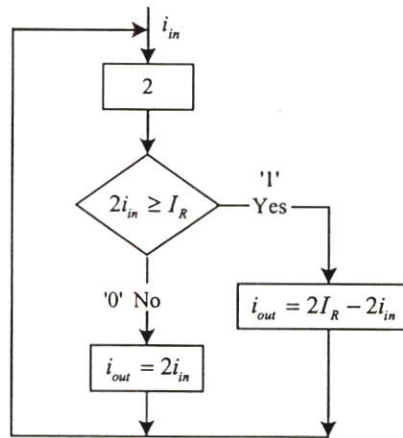
2.3.2 หลักการทำงานของอัลกอริทึม ADC ที่มีการลรห้สแบบเกรย์

รหัสเกรย์เป็นชื่อเรียกรหัสที่ไม่มีลรหว้งนำหน้ากรูปแบบหนึ่ง โดยถูกตั้งชื่อตามผู้คิดค้น Frank Gray นักวิจัยของ Bell Telephone Labs ที่ได้กำหนดรหัสเกรย์ขึ้นในปี ค.ศ. 1953 [23]-[25] รูปแบบของรหัสเกรย์จะเป็นการเรียงลำดับของเลขฐานสอง (0, 1) จำนวน 2^N ลำดับ เมื่อ N คือ จำนวนบิตทั้งหมด โดยการเปลี่ยนแปลงของรหัสในแต่ละลำดับที่ติดกันจะเปลี่ยนแปลงครั้งละหนึ่งบิตเท่านั้น

ในการทำงานของอัลกอริทึม ADC ที่มีการลรห้สแบบเกรย์สามารถสังเคราะห์ลักษณะถ่ายโอนไฟตรงเป็นสัญญาณรูปสามเหลี่ยมที่มีลักษณะสมมาตรได้ 2 รูปแบบ [14] ดังแสดงในรูปที่ 2.7(ก) และ 2.7(ข) ตามลำดับ



รูปที่ 2.7 ลักษณะถ่ายโอนไฟตรงของอัลกอริทึม ADC ที่มีการลรห้สแบบเกรย์



รูปที่ 2.8 ผังงานของอัลกอริทึม ADC ที่มีลักษณะถ่ายโอนไฟตรงดังรูปที่ 2.7(ก)

จากลักษณะถ่ายโอนไฟตรงของอัลกอริทึม ADC ดังรูปที่ 2.7(ก) สามารถเขียนผังงานได้ดังรูปที่ 2.8 [18]-[21] การทำงานสามารถอธิบายได้ดังนี้ เมื่อ I_R และ i_{out} คือ ค่ากระแสอ้างอิง และค่า

กระแสเอาต์พุตของ ADC ตามลำดับ ส่วน i_{in} คือ ค่ากระแสอินพุต ซึ่งมีค่าระหว่าง 0 ถึง I_R ค่ากระแส i_{in} จะถูกขยายเป็นสองเท่าด้วยวงจรถยายกระแส แล้วนำไปเปรียบเทียบกับค่ากระแส I_R ด้วยวงจรถยายเปรียบเทียบ ถ้า $2i_{in} < I_R$ จะได้สัญญาณดิจิทัลเอาต์พุต D_o มีสถานะลอจิกเป็น 0 (Low) และกระแส i_{out} จะมีค่าเท่ากับ $2i_{in}$ ในกรณีที่ $2i_{in} \geq I_R$ จะได้สัญญาณดิจิทัลเอาต์พุต D_o มีสถานะลอจิกเป็น 1 (High) และกระแส i_{out} มีค่าเท่ากับ $2I_R - 2i_{in}$ จากเงื่อนไขการทำงานของวงจรถยายทั้งสองกรณี ค่ากระแสเอาต์พุต i_{out} และสัญญาณดิจิทัลเอาต์พุต D_o เขียนเป็นสมการได้ว่า

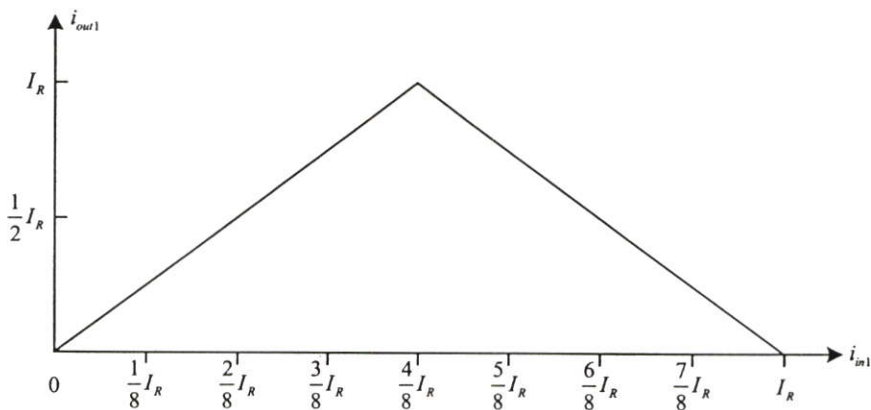
$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_R \\ 2I_R - 2i_{in} & ; 2i_{in} \geq I_R \end{cases} \quad (2.5)$$

$$D_o = \begin{cases} 0 & ; 2i_{in} < I_{ref} \\ 1 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (2.6)$$

เมื่อนำอัลกอริทึม ADC ขนาด 1 บิตที่มีค่ากระแส i_{out} และสัญญาณดิจิทัล D_o ดังสมการที่ (2.5) และ (2.6) ตามลำดับ จำนวน 3 วงจรมาต่อкасцепกัน จะได้ลักษณะถ่ายโอนไฟตรงและดิจิทัลเอาต์พุตของแต่ละบิตดังแสดงในรูปที่ 2.9

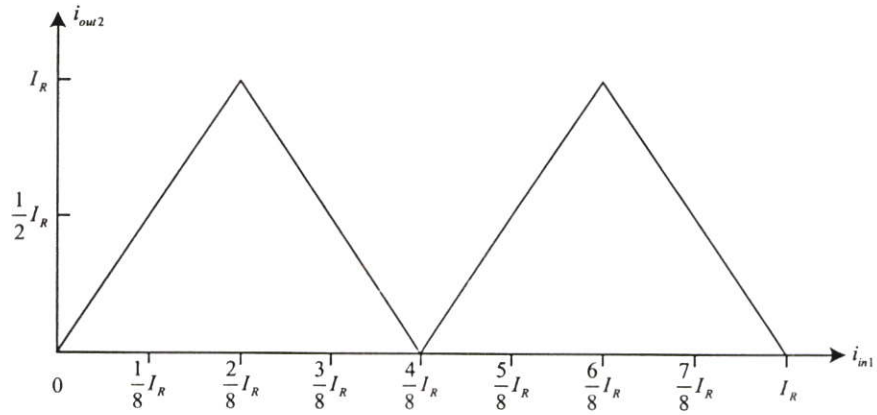
ในรูปที่ 2.10 แสดงลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต โดยที่ ADC ขนาด 3 บิตในอุดมคติจะมีจำนวนดิจิทัลเอาต์พุต ทั้งหมด 2^3 หรือ 8 ค่า และมีความกว้างของขั้นหรือ 1 LSB เท่ากับ $(1/8)I_R$

จากลักษณะถ่ายโอนไฟตรงของอัลกอริทึม ADC ดังรูปที่ 2.7(ข) สามารถเขียนผังงานได้ดังรูปที่ 2.11 การทำงานสามารถอธิบายได้ดังนี้ กระแสอินพุต i_{in} จะถูกขยายเป็น 2 เท่าด้วยวงจรถยาย

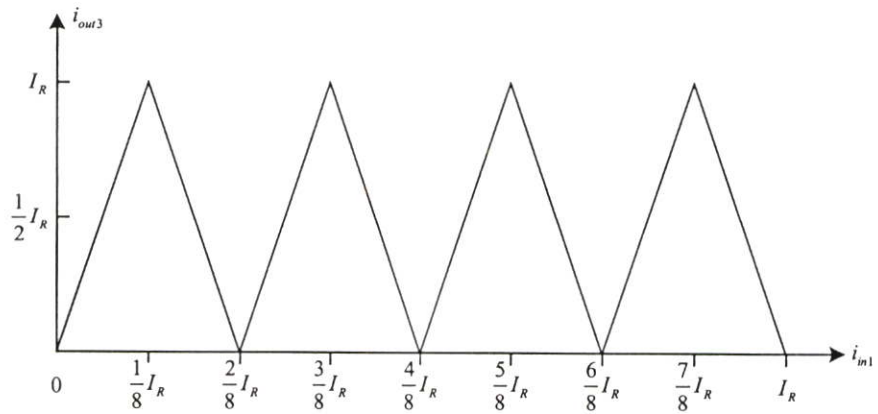


(ก) กระแสเอาต์พุตของบิตที่ 1 (MSB)

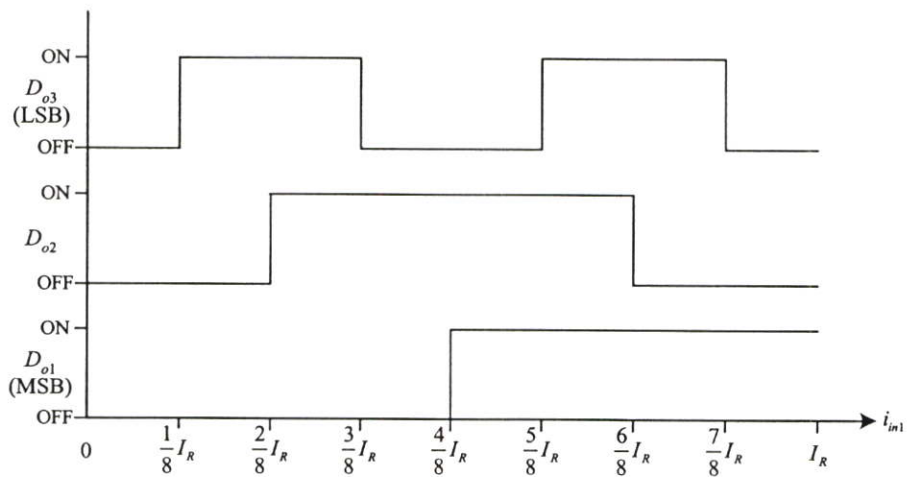
รูปที่ 2.9 ลักษณะถ่ายโอนไฟตรงและดิจิทัลเอาต์พุตของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต



(ข) กระแสเอาต์พุตของบิตที่ 2

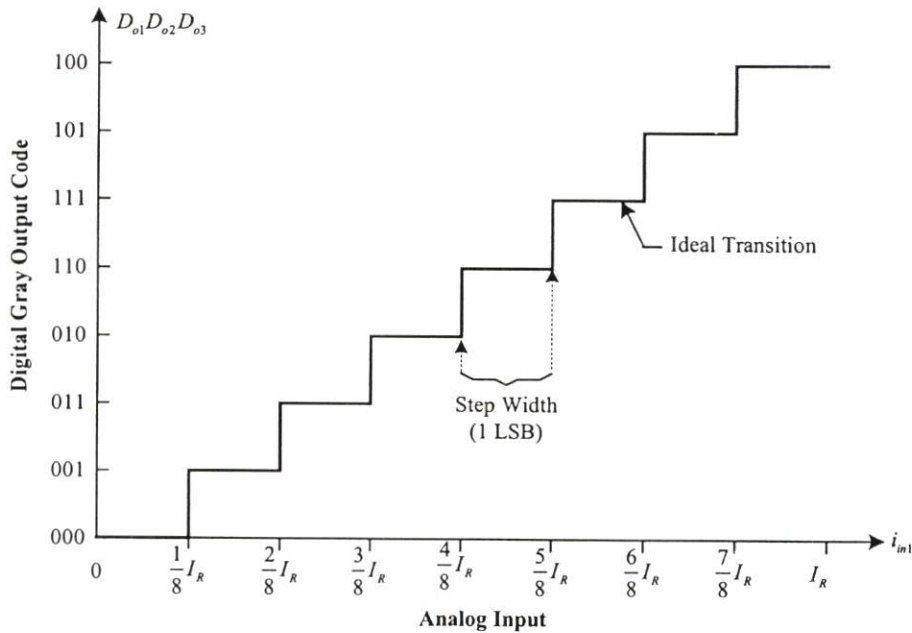


(ค) กระแสเอาต์พุตของบิตที่ 3 (LSB)

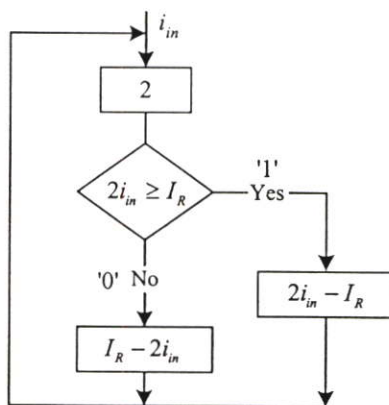


(ง) ดิจิตอลเอาต์พุต

รูปที่ 2.9 (ต่อ)



รูปที่ 2.10 ลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต



รูปที่ 2.11 ฟังก์ชันของอัลกอริทึม ADC ที่มีลักษณะถ่ายโอนไฟตรงดังรูปที่ 2.7(ข)

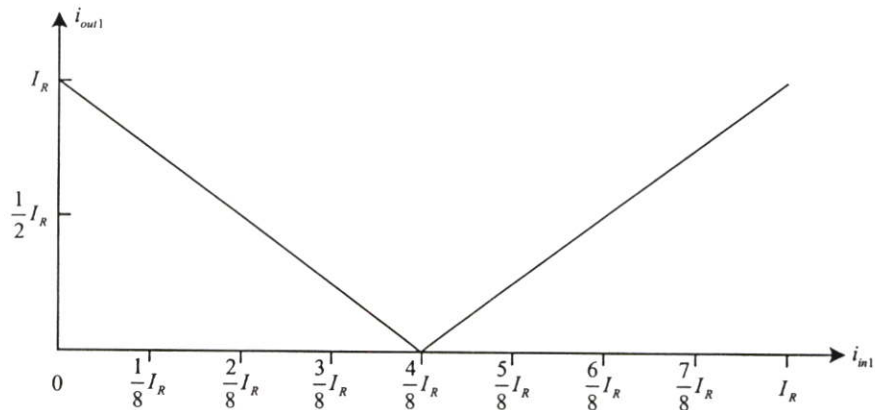
ขยายกระแส แล้วนำไปเปรียบเทียบกับกระแส I_R ด้วยวงจรเปรียบเทียบ ถ้า $2i_{in} < I_R$ จะได้สัญญาณดิจิทัลเอาต์พุตมีค่าเป็น 0 (Low) และกระแสเอาต์พุต i_{out} มีค่าเท่ากับ $I_R - 2i_{in}$ ในกรณีที่ $2i_{in} \geq I_R$ จะได้สัญญาณดิจิทัลเอาต์พุตมีค่าเป็น 1 (High) โดยกระแสเอาต์พุต i_{out} มีค่าเท่ากับ $2i_{in} - I_R$ จากเงื่อนไขการทำงานของวงจรทั้งสองกรณี ค่ากระแสเอาต์พุต i_{out} และสัญญาณดิจิทัลเอาต์พุต D_o เขียนเป็นสมการได้ว่า

$$i_{out} = \begin{cases} I_R - 2i_{in} & ; 2i_{in} < I_R \\ 2i_{in} - I_R & ; 2i_{in} \geq I_R \end{cases} \quad (2.7)$$

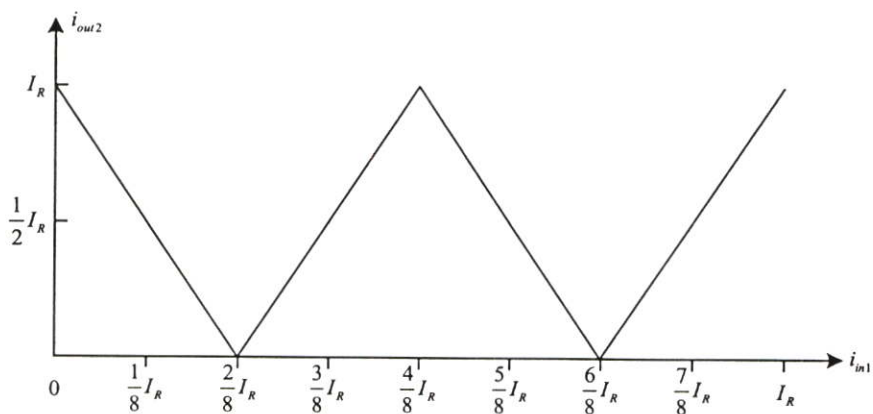
$$D_o = \begin{cases} 0 & ; 2i_{in} < I_{ref} \\ 1 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (2.8)$$

เมื่อนำอัลกอริทึม ADC ขนาด 1 บิตที่มีค่ากระแส i_{out} และสัญญาณดิจิทัล D_o ดังสมการที่ (2.7) และ (2.8) ตามลำดับ จำนวน 3 วงจรมาต่อคาสเกดกัน จะได้ลักษณะถ่ายโอนไฟตรงและดิจิทัลเอาต์พุตของแต่ละบิตดังแสดงในรูปที่ 2.12 โดยจะเรียกรูปแบบการลรหสของอัลกอริทึม ADC ขนาด 3 บิตนี้ว่า “การลรหสแบบเกรย์ย้อนกลับ” (Reverse Gray Coding) [14] เพื่อเจาะจงการทำงานของอัลกอริทึม ADC ที่มีผังงานดังรูปที่ 2.11

ในรูปที่ 2.13 แสดงลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลรหสแบบเกรย์ย้อนกลับขนาด 3 บิต โดยมีความกว้างของขั้นหรือ 1 LSB เท่ากับ $(1/8) I_R$ เช่นเดียวกับอัลกอริทึมที่มีการลรหสแบบฐานสองและแบบเกรย์ รหัสเกรย์แบบย้อนกลับเป็นรหัสเกรย์รูปแบบหนึ่งที่มี

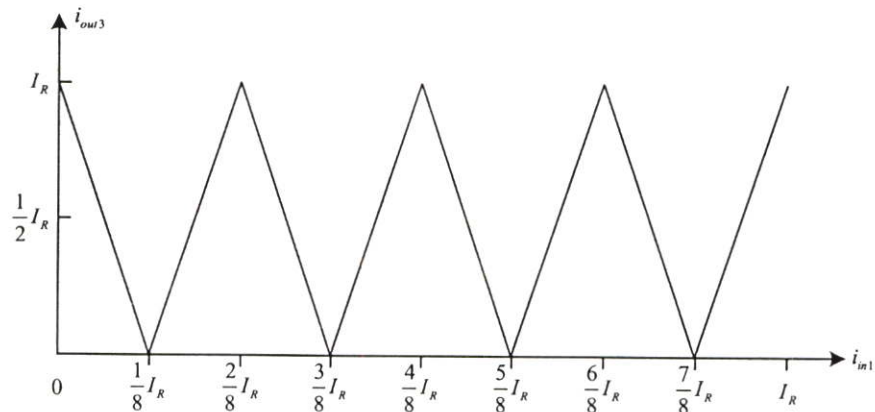


(ก) กระแสเอาต์พุตของบิตที่ 1 (MSB)

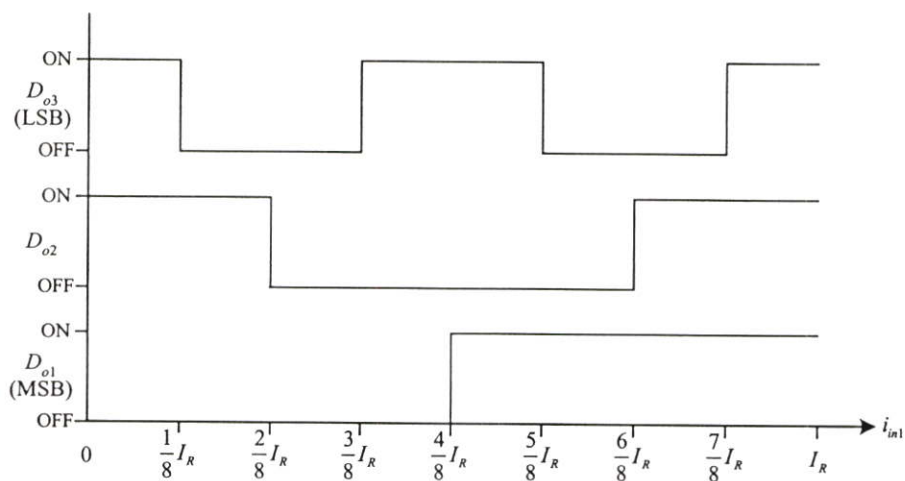


(ข) กระแสเอาต์พุตของบิตที่ 2

รูปที่ 2.12 ลักษณะถ่ายโอนไฟตรงและดิจิทัลเอาต์พุตของอัลกอริทึม ADC ที่มีการลรหสแบบเกรย์ย้อนกลับขนาด 3 บิต



(ค) กระแสเอาต์พุตของบิตที่ 3 (LSB)

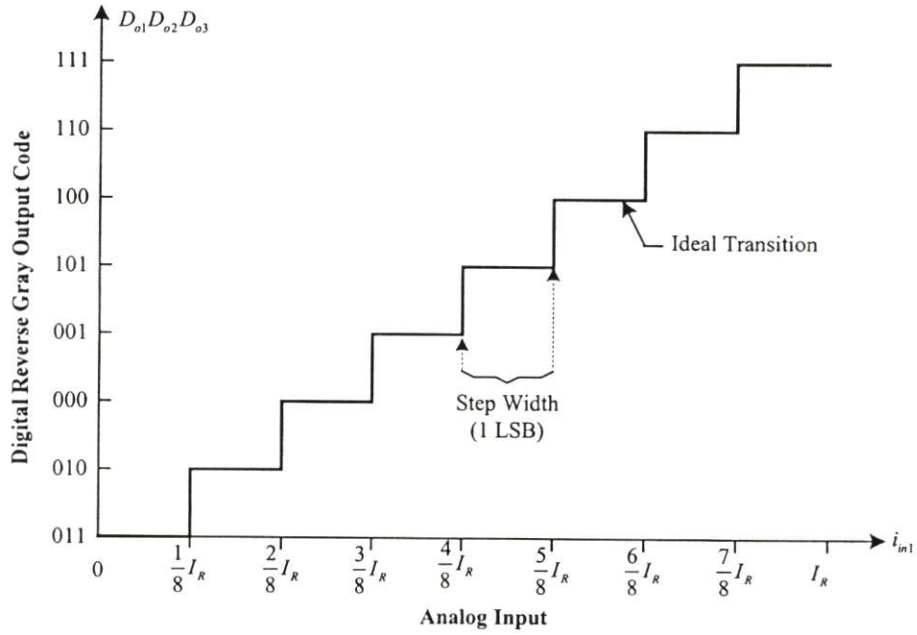


(ง) ดิจิตอลเอาต์พุต

รูปที่ 2.12 (ต่อ)

ลำดับในการแปลงผันเริ่มต้นด้วย 0111..1 โดยทุก ๆ บิตของรหัสจะเป็น 1 ยกเว้นบิตที่มีความสำคัญสูงสุดหรือ MSB จะเป็น 0 ยกตัวอย่างเช่น 011 จะเป็นรหัสเริ่มต้นสำหรับการแปลงผันขนาด 3 บิต หรือ 01111 จะเป็นรหัสเริ่มต้นสำหรับการแปลงผันขนาด 5 บิต การเปลี่ยนแปลงค่าในแต่ละลำดับจะเปลี่ยนแปลงเพียงแค่บิตเดียวเท่านั้นเมื่อเทียบกับลำดับก่อนหน้าเช่นเดียวกับรหัสเกรย์ การแปลงผันของอัลกอริธึม ADC ขนาด 3 บิตที่มีการลงรหัสแบบฐานสอง แบบเกรย์ และแบบเกรย์ย้อนกลับสามารถสรุปได้ดังตารางที่ 2.2

จากตารางที่ 2.2 ในการลงรหัสแบบเกรย์และแบบเกรย์ย้อนกลับสำหรับแต่ละลำดับที่ติดกันจะมีบิตที่พิมพ์ด้วยตัวหนา เพื่อจะเจาะจงว่าเป็นบิตที่มีการเปลี่ยนแปลงจาก 0 เป็น 1 หรือเปลี่ยนจาก 1 เป็น 0 สำหรับการลงรหัสแบบฐานสอง พบว่าการเปลี่ยนแปลงของเลขฐานสองในบางลำดับที่ติดกัน จะมีการเปลี่ยนแปลงค่ามากกว่าหนึ่งบิตเมื่อเทียบกับรหัสเกรย์และรหัสเกรย์ย้อนกลับ



รูปที่ 2.13 ลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ย้อนกลับขนาด 3 บิต

ตารางที่ 2.2 การแปลงผั้นของอัลกอริทึม ADC ขนาด 3 บิต

ช่วงสัญญาณอินพุต	การลงรหัสแบบเลขฐานสอง	การลงรหัสแบบเกรย์	การลงรหัสแบบเกรย์ย้อนกลับ
0	000	000	011
0.1428	001	001	010
0.2856	010	011	000
0.4284	011	010	001
0.5712	100	110	101
0.7140	101	111	100
0.8568	110	101	110
1.0000	111	100	111

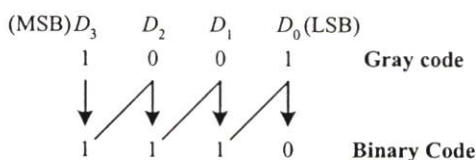
2.4 การแปลงรหัสเกรย์และรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง

2.4.1 การแปลงรหัสเกรย์เป็นเลขฐานสอง

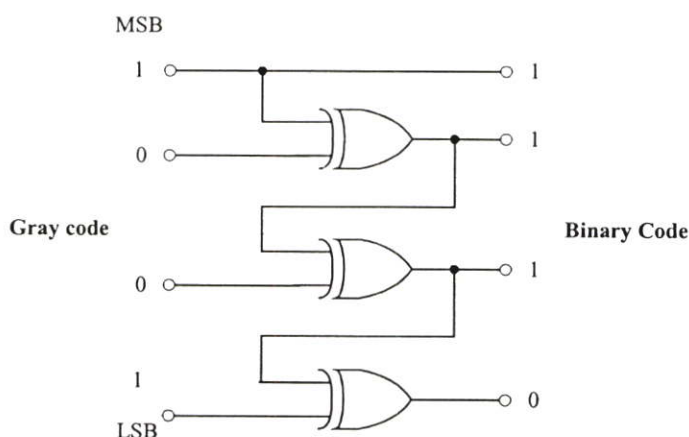
การแปลงรหัสเกรย์เป็นเลขฐานสอง จะเริ่มต้นจากกำหนดให้ MSB ของเลขฐานสอง มีสถานะลอจิกเช่นเดียวกับ MSB ของรหัสเกรย์ จากนั้นพิจารณารหัสเกรย์ที่บิตถัดไป เพื่อกำหนดสถานะลอจิกของบิตในเลขฐานสอง โดยที่

- ถ้าบิตนั้นมีสถานะลอจิกเป็น 1 (High) จะได้บิตถัดไปของเลขฐานสองมีสถานะตรงกันข้ามกับสถานะลอจิกของบิตก่อนหน้า
- ถ้าบิตถัดไปของรหัสเกรย์มีสถานะลอจิกเป็น 0 (Low) จะได้บิตถัดไปของเลขฐานสองมีสถานะเช่นเดียวกันกับสถานะลอจิกของบิตก่อนหน้า

ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสองดังรูปที่ 2.14 สำหรับวงจรแปลงรหัสเกรย์เป็นเลขฐานสองสามารถสร้างโดยการต่อ EX-OR ดังรูปที่ 2.15



รูปที่ 2.14 ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสอง



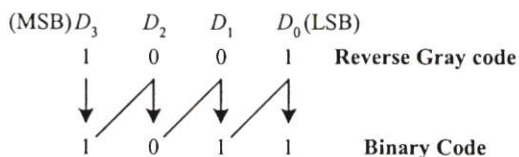
รูปที่ 2.15 การต่อ EX-OR เพื่อแปลงรหัสเกรย์เป็นเลขฐานสอง

2.4.2 การแปลงรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง

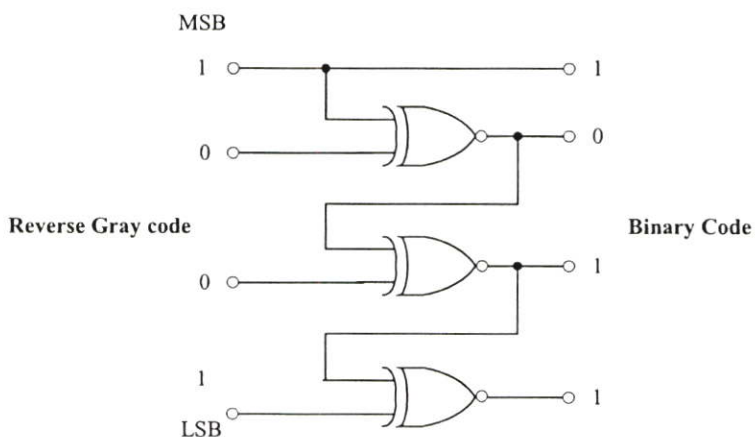
การแปลงรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง จะเริ่มต้นจากกำหนดให้ MSB ของเลขฐานสองมีสถานะลอจิกเช่นเดียวกันกับ MSB ของรหัสเกรย์ จากนั้นพิจารณารหัสเกรย์ที่บิตถัดไปเพื่อกำหนดสถานะลอจิกของบิตในเลขฐานสอง โดยที่

- ถ้าบิตนั้นมีสถานะลอจิกเป็น 0 (Low) จะได้บิตถัดไปของเลขฐานสองมีสถานะตรงกันข้ามกับสถานะลอจิกของบิตก่อนหน้า
- ถ้าบิตถัดไปของรหัสเกรย์มีสถานะลอจิกเป็น 1 (High) จะได้บิตถัดไปของเลขฐานสองมีสถานะเช่นเดียวกันกับสถานะลอจิกของบิตก่อนหน้า

ตัวอย่างการแปลงรหัสเกรย์แบบย้อนกลับ 1001 เป็นเลขฐานสองดังรูปที่ 2.16 สำหรับวงจรแปลงรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสองสามารถสร้างโดยการต่อ EX-NOR ดังรูปที่ 2.17



รูปที่ 2.16 ตัวอย่างการแปลงรหัสเกรย์แบบย้อนกลับ 1001 เป็นเลขฐานสอง



รูปที่ 2.17 การต่อ EX-NOR เพื่อแปลงรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง

2.5 บทสรุป

เนื้อหาในบทนี้เป็นการอธิบายถึงหลักการทํางานและประเภทของ ADC และหลักการทํางานของอัลกอริทึม ADC ทั้งชนิดที่มีการแปลงรหัสแบบฐานสองและการแปลงรหัสแบบเกรย์ เนื่องจากการทํางานของอัลกอริทึม ADC ที่มีการแปลงรหัสแบบเกรย์สามารถสังเคราะห์ลักษณะถ่ายโอนไฟตรงเป็นสัญญาณรูปสามเหลี่ยมที่มีลักษณะสมมาตรได้ 2 รูปแบบ ในวิทยานิพนธ์นี้จึงใช้คำว่า “การแปลงรหัสแบบเกรย์ย้อนกลับ” เพื่อเจาะจงการทํางานของอัลกอริทึม ADC ที่มีลักษณะถ่ายโอนไฟตรงและผังงานดังรูปที่ 2.7(ข) และ 2.11 ตามลำดับ นอกจากนั้นยังได้อธิบายการแปลงรหัสเกรย์และรหัสเกรย์แบบย้อนกลับเป็นเลขฐานสอง

บทที่ 3

กลุ่มวงจรย่อยที่ใช้ในการออกแบบอัลกอริธึม ADC

3.1 กล่าวนำ

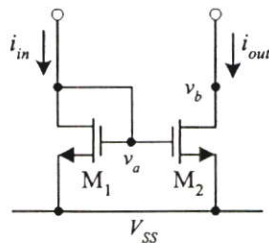
การออกแบบอัลกอริธึม ADC ที่นำเสนอในวิทยานิพนธ์นี้ จะประกอบไปด้วยกลุ่มวงจรขนาดเล็กที่มีรูปแบบของวงจรที่แน่นอนหลาย ๆ กลุ่มวงจร ซึ่งทำหน้าที่ต่างกัน โดยจะเรียกกลุ่มวงจรขนาดเล็กเหล่านี้ว่า “วงจรย่อย” เนื้อหาในบทนี้จะกล่าวถึงหลักการทำงานและคุณสมบัติที่สำคัญของวงจรย่อยต่าง ๆ ที่ถูกนำไปใช้ในการออกแบบอัลกอริธึม ADC ซึ่งประกอบด้วย วงจรสะท้อนกระแสแบบพื้นฐาน วงจรฟังกชันซัมบูร์ม และวงจรเปรียบเทียบกระแส ในแต่ละกลุ่มวงจรย่อยจะเป็นวงจรที่ออกแบบโดยใช้มอสทรานซิสเตอร์ ชนิดของมอสทรานซิสเตอร์ที่ใช้จะเป็นมอสเฟตแบบเอนแฮนซ์เมนต์ (Enhancement Mode MOSFET) ที่มีการทำงานอยู่ในช่วงนำกระแสอิ่มตัว (Saturation Region) เป็นหลัก ในวิทยานิพนธ์นี้จะใช้คำว่า “มอสเฟต” แทนมอสเฟตแบบเอนแฮนซ์เมนต์ เพื่อความกระชับในการกล่าวถึง

3.2 วงจรสะท้อนกระแส

3.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน

โครงสร้างของวงจรสะท้อนกระแสแบบพื้นฐานจะประกอบด้วยมอสเฟต M_1 และ M_2 [32]-[33] ดังรูปที่ 3.1 โดยค่าของเกตของมอสเฟต M_1 และ M_2 ที่โนดเดียวกัน ดังนั้นค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟตทั้งสองจะมีค่าเท่ากัน คือ v_a จากการป้อนกระแสอินพุต i_{in} ที่ขาเดรนของมอสเฟต M_1 ค่าแรงดัน v_a จะมีค่าสูงขึ้น ทำให้ M_1 และ M_2 อยู่ในสภาวะนำกระแสและเกิดการไหลของกระแสเอาต์พุต i_{out} จากการทำงานของมอสเฟตในช่วงนำกระแสอิ่มตัวจะได้ว่า

$$\frac{i_{out}}{i_{in}} = \frac{(W/L)_2}{(W/L)_1} \quad (3.1)$$



รูปที่ 3.1 วงจรสะท้อนกระแสแบบพื้นฐาน

จากสมการที่ (3.1) พบว่า วงจรสะท้อนกระแส M_1 - M_2 จะทำหน้าที่สำเนากระแสพร้อมทั้งขยายสัญญาณกระแสจากอินพุตโนดไปสู่เอาต์พุตโนด โดยค่าอัตราขยายสัญญาณจะขึ้นอยู่กับอัตราส่วนระหว่างความกว้างต่อความยาวของแซนแนล (W/L) ของมอสเฟต M_1 และ M_2 สำหรับกระบวนการผลิตวงจรรวม (Fabrication Process) โดยทั่วไปมักจะกำหนดให้ความยาวของแซนแนล L ของมอสเฟต M_1 และ M_2 ให้มีค่าเท่ากัน แต่จะปรับเปลี่ยนค่าความกว้างของแซนแนล W แทน [32] ดังเช่น ถ้ากำหนดให้ $(W/L)_2 = (W/L)_1 = 10\mu\text{m}/5\mu\text{m}$ วงจรสะท้อนกระแส M_1 - M_2 จะสำเนากระแสพร้อมทั้งขยายสัญญาณด้วยค่าอัตราขยายเท่ากับหนึ่ง ($i_{out} \cong i_{in}$) แต่ถ้า $(W/L)_2 = 10\mu\text{m}/5\mu\text{m}$ และ $(W/L)_1 = 5\mu\text{m}/5\mu\text{m}$ วงจรสะท้อนกระแส M_1 - M_2 จะสำเนากระแสพร้อมทั้งขยายสัญญาณกระแสด้วยค่าอัตราขยายเท่ากับสอง ($i_{out} \cong 2i_{in}$)

3.2.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสแบบพื้นฐาน

การทำงานของวงจรสะท้อนกระแสในหัวข้อที่ 3.2.1 เป็นการกำหนดให้มอสเฟต M_1 และ M_2 มีคุณสมบัติเป็นไปตามอุดมคติและมีการทำงานในช่วงนำกระแสอิมิตัว สำหรับในทางปฏิบัติมอสเฟต M_1 และ M_2 ไม่สมพงษ์กันทุกประการ และค่าทรานส์คอนดักแตนซ์ g_{m1} และ g_{m2} มีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ซึ่งได้มีการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส [39] ดังนี้

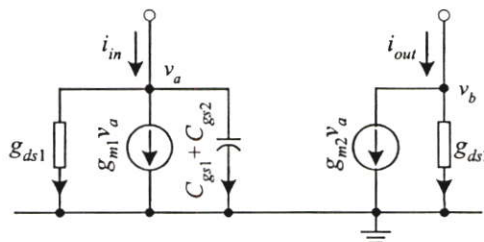
ก. การวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่

จากวงจรสมมูลในการวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐานดังรูปที่ 3.2 จะได้ฟังก์ชันส่งผ่านของวงจร ดังนี้

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m2}}{g_{m1}} \right) \frac{1}{(T_{CM}s + 1)} \quad (3.2)$$

โดยที่

$$T_{CM} = \frac{C_{gs1} + C_{gs2}}{g_{m1}} \quad (3.3)$$



รูปที่ 3.2 วงจรสมมูลในการวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน

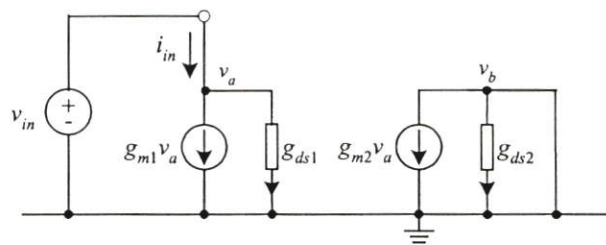
สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรง (DC Gain) และค่าตำแหน่งของโพล (Pole) ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน จะมีค่าดังนี้

$$\beta_{CM} = \frac{i_{out}}{i_{in}} \Big|_{s=0} = \frac{g_{m2}}{g_{m1}} \quad (3.4)$$

$$fp_{CM} = \frac{g_{m1}}{2\pi(C_{gs1} + C_{gs2})} \quad (3.5)$$

จากสมการที่ (3.4) และ (3.5) พบว่า การควบคุมอัตราการขยายของวงจรสะท้อนกระแส สามารถทำได้โดยการปรับเปลี่ยนค่าทรานส์คอนดักแตนซ์ g_m ของมอสเฟตด้วยการกำหนดค่าอัตราส่วน W/L และถ้าหากต้องการให้วงจรสะท้อนกระแสมีผลตอบสนองทางความถี่ที่สูงควรรออกแบบให้ค่าความจุไฟฟ้า C_{gs} ของมอสเฟต M_1 และ M_2 มีค่าต่ำ หรือทำการเพิ่มค่า g_m ให้สูงขึ้น

ข. การวิเคราะห์ห้ค่าความต้านทานอินพุตและเอาต์พุต



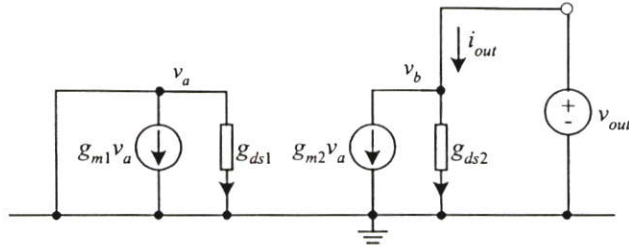
รูปที่ 3.3 วงจรสมมูลในการวิเคราะห์ห้ค่าความต้านทานอินพุตของวงจรสะท้อนกระแสแบบพื้นฐาน

จากการวิเคราะห์ห้วงจรสมมูลดังรูปที่ 3.3 พบว่าความต้านทานอินพุต r_{in} ของวงจรสะท้อนกระแสแบบพื้นฐานจะขึ้นอยู่กับค่าทรานส์คอนดักแตนซ์ของมอสเฟต M_1 ที่ต่ออยู่ในรูปของไดโอด ดังนี้

$$r_{in} \cong \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{W}\right)_1 \frac{1}{2\mu C_{ox} i_{in}}} \quad (3.6)$$

จากสมการที่ (3.6) พบว่า การปรับปรุงให้ค่าความต้านทาน r_{in} ให้มีค่าต่ำ สามารถทำได้โดยการเพิ่มค่าความกว้าง (W)₁ หรือลดค่าความยาว (L)₁ ของแซนแนลของมอสเฟต M_1

จากการวิเคราะห์ห้วงจรสมมูลดังรูปที่ 3.4 พบว่าความต้านทานเอาต์พุต r_{out} ของวงจรสะท้อนกระแสแบบพื้นฐานจะขึ้นอยู่กับค่าความต้านทานระหว่างขาเดรนกับขาซอร์สของมอสเฟต M_2 ดังนี้

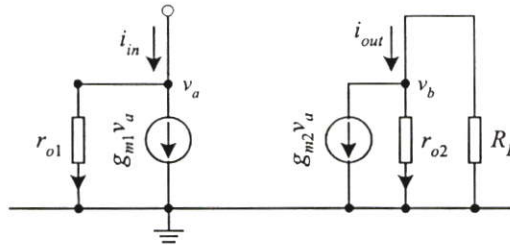


รูปที่ 3.4 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐาน

$$r_{out} = \frac{1}{g_{ds2}} = \frac{1}{\lambda i_{out}} \tag{3.7}$$

จากสมการที่ (3.7) พบว่า การปรับปรุงให้ค่าความต้านทานเอาต์พุต r_{out} ให้มีค่าสูง สามารถทำได้ โดยการออกแบบให้ค่าพารามิเตอร์ λ มีค่าต่ำ ๆ หรือควบคุมกระแสเอาต์พุต i_{out} ให้มีค่าน้อย

ก. การวิเคราะห์ค่าความผิดพลาดของวงจร



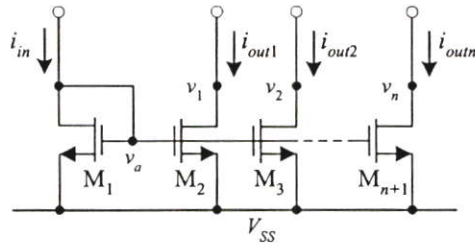
รูปที่ 3.5 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐาน

ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานจะเกิดจากความไม่สมพ้องกันของ มอสเฟต M_1 และ M_2 เป็นหลัก ถ้ากำหนดให้ $\mathcal{E}_{CM(gain:1)}$ และ $\mathcal{E}_{CM(gain:2)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสที่มีอัตราขยายกระแสเท่ากับหนึ่งและสอง ตามลำดับ จากการวิเคราะห์วงจรสมมูลดังรูปที่ 3.5 จะได้ว่า

$$\mathcal{E}_{CM(gain:1)} = 1 - \left(\frac{i_{out}}{i_{in}} \right) \cong \frac{g_{m1} - g_{m2}}{g_{m1}} + \frac{R_L}{r_{o2}} \tag{3.8}$$

$$\mathcal{E}_{CM(gain:2)} = 1 - \left(\frac{i_{out}}{2i_{in}} \right) \cong \frac{2g_{m1} - g_{m2}}{2g_{m1}} + \frac{R_L}{r_{o2}} \tag{3.9}$$

3.2.3 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต



รูปที่ 3.6 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต

ในรูปที่ 3.6 แสดงโครงสร้างของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต โดยต่อขาเกตของมอสเฟต M_1, M_2, \dots, M_{n+1} ที่โนดเดียวกัน ดังนั้นค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟตทุกตัวจะมีค่าเท่ากัน คือ v_a ถ้ามอสเฟตทุกตัวมีความสมพียงกันทุกประการ จะได้ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{outj} และกระแสอินพุต i_{in} ดังนี้

$$\frac{i_{outj}}{i_{in}} = \frac{(W/L)_{j+1}}{(W/L)_1} \quad (3.10)$$

เมื่อ j คือ ลำดับที่ของเอาต์พุต ($j = 1, 2, \dots, n$)

n คือ จำนวนเอาต์พุตของวงจร

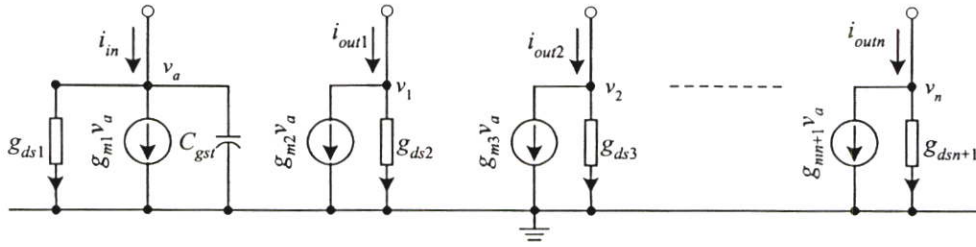
3.2.4 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต

การทำงานของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุตในหัวข้อที่ 3.2.3 เป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานในช่วงนำกระแสอิ่มตัว ถ้ามอสเฟตแต่ละตัวไม่สมพียงกันทุกประการและค่า g_m ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ซึ่งได้มีการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต [39] ดังนี้

ก. การวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่

จากวงจรสมมูลในรูปที่ 3.7 จะได้ความสัมพันธ์ระหว่างค่ากระแสอินพุต i_{in} และกระแสเอาต์พุตลำดับที่ j หรือ i_{outj} คือ

$$\frac{i_{outj}}{i_{in}} = \left(\frac{g_{mj+1}}{g_{m1}} \right) \frac{1}{(T_{CMn}s + 1)} \quad (3.11)$$



รูปที่ 3.7 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต

เมื่อ
$$T_{CMn} = \frac{C_{gs1} + C_{gs2} + \dots + C_{gsn}}{g_{m1}} = \frac{C_{gst}}{g_{m1}} \quad (3.12)$$

สำหรับอัตราขยายกระแสสำหรับสัญญาณเอาต์พุตลำดับที่ j (β_{CMj}) และค่าตำแหน่งของโพล ($f_{p_{CMn}}$) ซึ่งเป็นขีดจำกัดในการใช้งานของวงจร จะมีค่าดังนี้

$$\beta_{CMj} = \left. \frac{i_{outj}}{i_{in}} \right|_{s=0} = \frac{g_{mj+1}}{g_{m1}} \quad (3.13)$$

$$f_{p_{CMn}} = \frac{g_{m1}}{2\pi(C_{gs1} + C_{gs2} + \dots + C_{gsn})} = \frac{g_{m1}}{2\pi C_{gst}} \quad (3.14)$$

ข. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรสะท้อนกระแสที่มีหลายเอาต์พุตสามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 3.2.2 โดยมีค่าความต้านทานอินพุต (r_{in}) และค่าความต้านทานเอาต์พุตลำดับที่ j (r_{outj}) ดังนี้

$$r_{in} \cong \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{W}\right)_1 \frac{1}{2\mu_n C_{ox} i_{in}}} \quad (3.15)$$

$$r_{outj} = \frac{1}{g_{dsj+1}} \quad (3.16)$$

ค. การวิเคราะห์ค่าความผิดพลาดของวงจร

การวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสที่มีหลายเอาต์พุตสามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานใน

หัวข้อที่ 3.2.2 เมื่อพิจารณาที่เอาต์พุตลำดับที่ j ค่าความผิดพลาดของวงจรจะเกิดจากความไม่สมพียงกันของมอสเฟต M_1 และ M_{j+1} เป็นหลัก ถ้ากำหนดให้ $\varepsilon_{CMj(\text{gain:1})}$ และ $\varepsilon_{CMj(\text{gain:2})}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสสำหรับเอาต์พุตลำดับที่ j ซึ่งมีอัตราขยายกระแสเท่ากับหนึ่ง และสอง ตามลำดับ จะได้ว่า

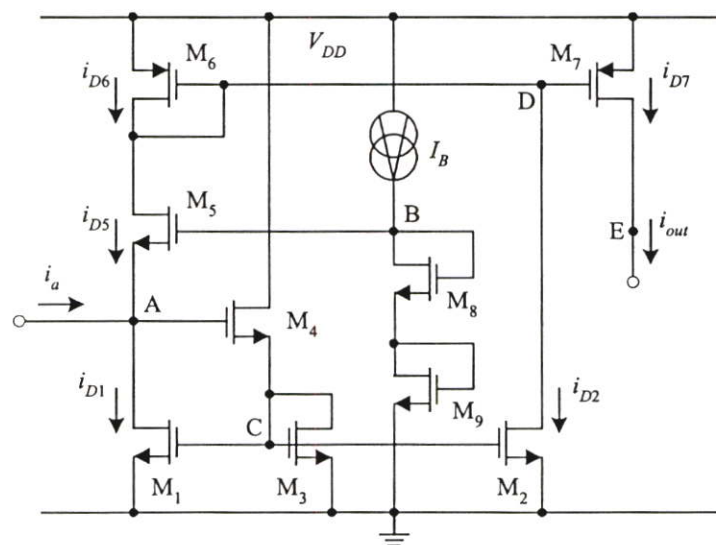
$$\varepsilon_{CMj(\text{gain:1})} = 1 - \left(\frac{i_{outj}}{i_{in}} \right) \cong \frac{g_{m1} - g_{mj+1}}{g_{m1}} + \frac{R_{Lj}}{r_{oj+1}} \quad (3.17)$$

$$\varepsilon_{CMj(\text{gain:2})} = 1 - \left(\frac{i_{outj}}{2i_{in}} \right) \cong \frac{2g_{m1} - g_{mj+1}}{2g_{m1}} + \frac{R_{Lj}}{r_{oj+1}} \quad (3.18)$$

3.3 วงจรฟังก์ชันสัมบูรณ์

3.3.1 การทำงานของวงจรฟังก์ชันสัมบูรณ์

วงจรฟังก์ชันสัมบูรณ์ [21] ดังรูปที่ 3.8 ถ้ากำหนดให้มอสเฟตชนิดเดียวกันมีความสมพียงกันทุกประการ การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อกระแสคงที่ I_B ไหลผ่านมอสเฟต M_8 - M_9 จะเกิดแรงดันไบแอสที่โหนด B หรือแรงดัน v_B ซึ่งมีค่าประมาณ $3V_{TN}$ ในกรณีที่กระแสอินพุต i_{in} มีค่าเท่ากับศูนย์ ($i_{in} = 0$) ค่าแรงดัน v_B จะทำให้มอสเฟต M_1 - M_5 ถูกไบแอสที่ขอบของนำกระแสในช่วงนำกระแสอิมิตัว โดยการไบแอสมอสเฟตที่จุดนี้จะเป็นการเพิ่มความเร็วของวงจรให้สูงขึ้นโดยลดผลของช่วงเวลาหน่วง ทำให้เกิดความเพี้ยนของสัญญาณเอาต์พุตน้อยลง และวงจรสามารถทำงานได้ที่ความถี่สูง [34]



รูปที่ 3.8 วงจรฟังก์ชันสัมบูรณ์

ถ้ากระแสอินพุต i_a มีค่าน้อยกว่าศูนย์ ($i_a < 0$) หรือกระแส i_a มีค่าเป็นลบ กระแส i_a จะไหลผ่านมอสเฟต M_5 มีผลทำให้แรงดันที่เกิดกับซอร์สของมอสเฟต M_5 หรือ v_{GS5} มีค่าเพิ่มมากขึ้น เนื่องจากแรงดันไบแอส v_b เป็นค่าคงที่ ปริมาณแรงดัน v_{GS5} ที่เพิ่มขึ้นนี้จะเท่ากับปริมาณของแรงดันที่โนด A หรือ v_A ที่ลดลง เมื่อค่าแรงดัน v_A ลดลง จะทำให้มอสเฟต M_1 - M_4 อยู่ในสภาวะไม่นำกระแส (Off) ดังนั้นกระแสเดรน i_{D1} และกระแสเดรน i_{D5} จะมีค่าดังนี้

$$i_{D5} = -i_a \quad \text{และ} \quad i_{D1} = 0 \quad \text{เมื่อ} \quad i_a < 0 \quad (3.19)$$

ในกรณีที่กระแส i_a มีค่ามากกว่าศูนย์ ($i_a > 0$) หรือกระแส i_a มีค่าเป็นบวก กระแส i_a จะไหลผ่านมอสเฟต M_1 ดังนั้นแรงดัน v_A จะมีค่าเพิ่มขึ้น ในขณะที่แรงดัน v_{GS5} มีค่าลดลง ดังนั้น

$$i_{D5} = 0 \quad \text{และ} \quad i_{D1} = i_a \quad \text{เมื่อ} \quad i_a > 0 \quad (3.20)$$

จากการทำงานของวงจรสะท้อนกระแสที่มีอัตราสักร่างผ่านกระแสเท่ากับหนึ่ง M_1 - M_4 และ M_6 - M_7 จะสำเนากระแส i_{D1} และ i_{D6} ไปยังโนด D และ โหนด E ตามลำดับ จะได้ว่า

$$\text{ที่โนด D} \quad i_{D6} = i_{D5} + i_{D2} = i_{D5} + i_{D1} \quad (3.21)$$

$$\text{ที่โนด E} \quad i_{D7} = i_{D6} \quad (3.22)$$

เมื่อแทนค่าจากสมการที่ (3.21) ลงใน (3.22) จะได้ว่า

$$i_{D7} = i_{D5} + i_{D1} \quad (3.23)$$

เมื่อแทนค่าจากสมการที่ (3.19) และ (3.20) ลงใน (3.23) จะได้ว่า

$$i_{D7} = |i_a| \quad (3.24)$$

3.3.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสัมบูรณ์

การทำงานของวงจรฟังก์ชันสัมบูรณ์ในหัวข้อที่ 3.3.1 เป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานในช่วงนำกระแสอิมิตัวสำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพียงกันทุกประการและค่าทรานส์คอนดักแตนซ์ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตาม

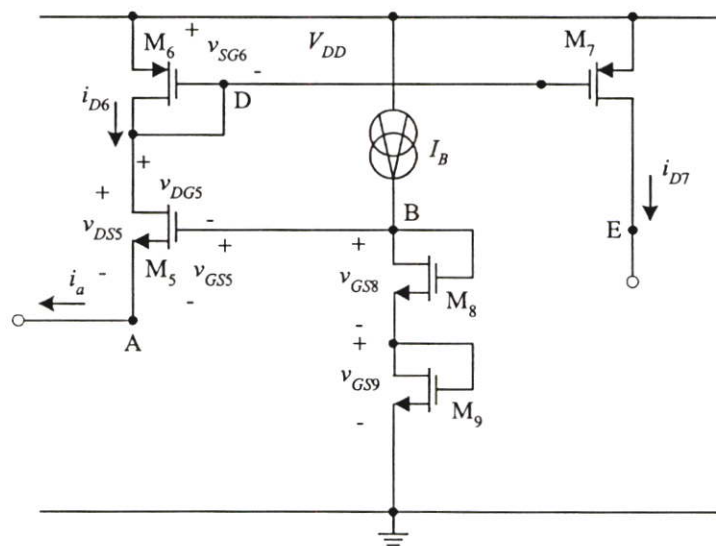
ทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสัมบูรณ์ซึ่งได้แก่ ช่วงปฏิบัติงานของกระแสอินพุต ค่าความต้านทานอินพุตและเอาต์พุต ค่าความผิดพลาด และผลตอบสนองทางความถี่ของวงจร (ภาคผนวก ข)

ก. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต

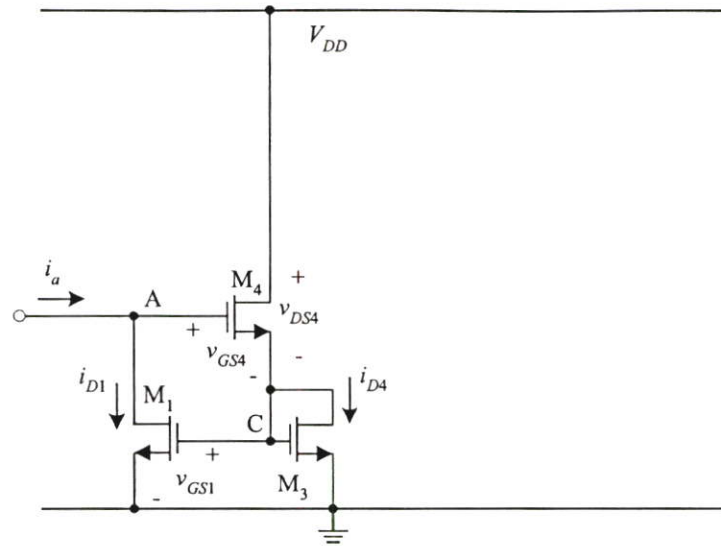
จากการทำงานของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 3.8 มอสเฟต M_1 และ M_5 จะทำงานสลับกัน โดยมอสเฟต M_1 จะทำงานในช่วงกระแสอินพุต i_a มีค่าเป็นบวก และมอสเฟต M_5 จะทำงานในช่วงกระแสอินพุต i_a มีค่าเป็นลบ ในการวิเคราะห์ห้วงจรดังรูปที่ 3.9 และ 3.10 (ภาคผนวก ข) พบว่าช่วงปฏิบัติงานของกระแสอินพุต i_a ของวงจรจะขึ้นอยู่กับค่าแรงดันแหล่งจ่าย V_{DD} และค่าพารามิเตอร์ของการนำกระแสของมอสเฟต M_1, M_4 และ M_6 เป็นหลัก ซึ่งมีค่าดังนี้

$$-K_6 \left(V_{DD} - |V_{TP6}| - V_{TN8} - V_{TN9} + V_{TN5} - \sqrt{\frac{I_B}{K_8}} - \sqrt{\frac{I_B}{K_9}} \right)^2 \leq i_a \leq \frac{K_1 K_4}{K_1 + 2\sqrt{K_1 K_4} + K_4} (V_{DD} - V_{TN1})^2 \quad (3.25)$$

จากสมการที่ (3.25) ถ้ากำหนดให้ค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟตเป็นค่าคงที่ เมื่อต้องการออกแบบให้ช่วงปฏิบัติงานของกระแสอินพุตของวงจรฟังก์ชันสัมบูรณ์มีช่วงกว้าง สามารถทำได้ โดยการออกแบบให้แรงดันแหล่งจ่าย V_{DD} มีค่าสูง กระแสแหล่งจ่ายไบแอส I_B ให้มีค่าต่ำ และควรออกแบบให้ค่าพารามิเตอร์ K_1, K_4, K_6, K_8 , และ K_9 มีค่าสูง โดยการเพิ่มค่าอัตราส่วน $(W/L)_1, (W/L)_4, (W/L)_6, (W/L)_8$, และ $(W/L)_9$



รูปที่ 3.9 การทำงานของวงจรฟังก์ชันสัมบูรณ์ในกรณีค่ากระแส $i_a < 0$

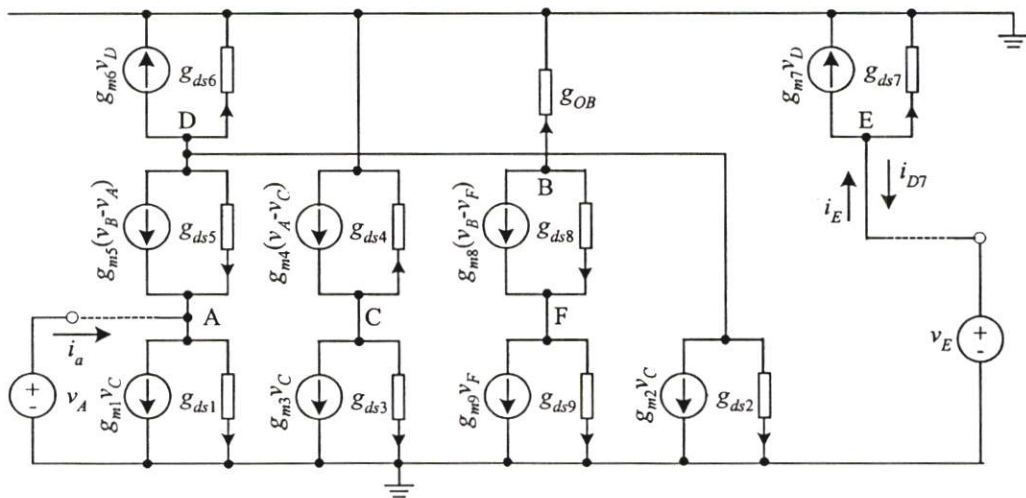


รูปที่ 3.10 การทำงานของวงจรฟังก์ชันสัมพันธ์ในกรณีค่ากระแส $i_a > 0$

ข. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากการวิเคราะห์วงจรสมมูลในรูปที่ 3.11 (ภาคผนวก ข2) ค่าความต้านทานอินพุต r_{in} และค่าความต้านทานเอาต์พุต r_{out} ของวงจรฟังก์ชันสัมพันธ์ดังรูปที่ 3.8 จะมีค่าดังนี้

$$r_{in} \cong \begin{cases} \frac{1}{g_{m6}} & ; i_a < 0 \\ \frac{g_{m3} + g_{m4}}{g_{m1}g_{m4}} & ; i_a > 0 \end{cases} \quad (3.26)$$



รูปที่ 3.11 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรฟังก์ชันสัมพันธ์

$$r_{out} = \frac{1}{g_{ds7}} = r_{o7} \quad (3.27)$$

ก. การวิเคราะห์ค่าความผิดพลาดของวงจร

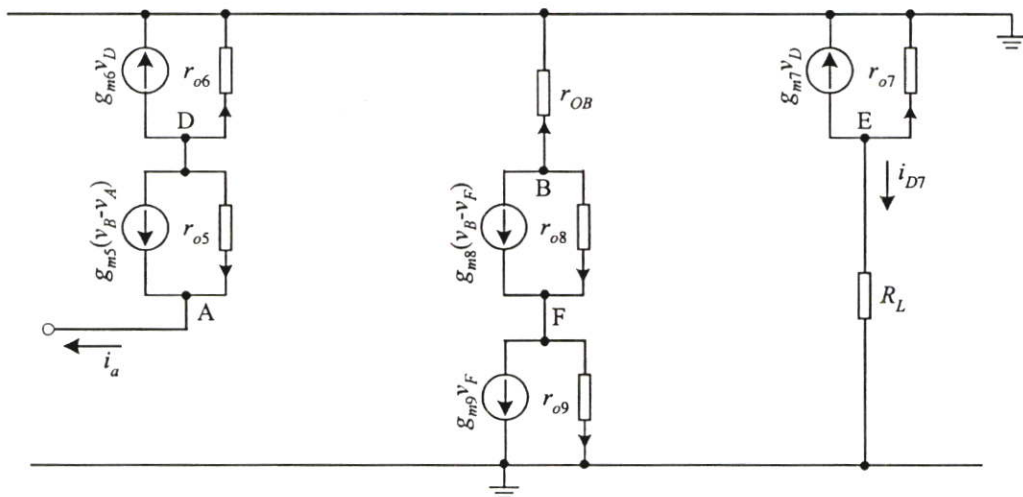
ในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์ (ε_{ab}) จะพิจารณาจากความไม่สมพียงกันของมอสเฟตเป็นหลัก จากกรวิเคราะห์ห้วงจรสมมูลในรูปที่ 3.12 และ 3.13 (ภาคผนวก ข3) จะได้ว่า

$$\varepsilon_{ab} \cong \begin{cases} \frac{\Delta g_{m67} + \frac{R_L}{r_{o7}}}{g_{m6}} & ; i_a < 0 \\ \frac{\Delta g_{m67} g_{m1} + \Delta g_{m12} g_{m6} + \frac{r_{o7} + g_{m1} r_{o1} R_L}{g_{m1} r_{o1} r_{o7}}}{g_{m6} g_{m1}} & ; i_a > 0 \end{cases} \quad (3.28)$$

เมื่อ Δg_{m12} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพียงกันของมอสเฟต M_1 และ M_2

Δg_{m67} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพียงกันของมอสเฟต M_6 และ M_7

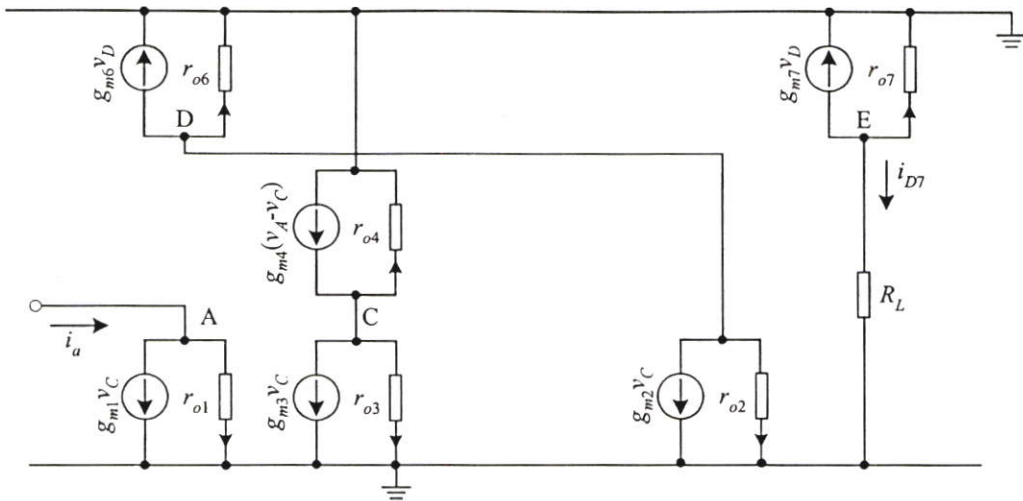
จากสมการที่ (3.28) พบว่า ถ้าค่ากระแสอินพุต $i_a < 0$ ค่าความผิดพลาด ε_{ab} จะขึ้นอยู่กับความไม่สมพียงกันของมอสเฟต M_6 และ M_7 เป็นหลัก ในกรณีที่ค่ากระแส $i_a > 0$ ค่าความผิดพลาดวงจร ε_{ab} จะขึ้นอยู่กับความไม่สมพียงกันของมอสเฟต M_1, M_2, M_6 , และ M_7 เป็นหลัก



รูปที่ 3.12 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณี $i_a < 0$

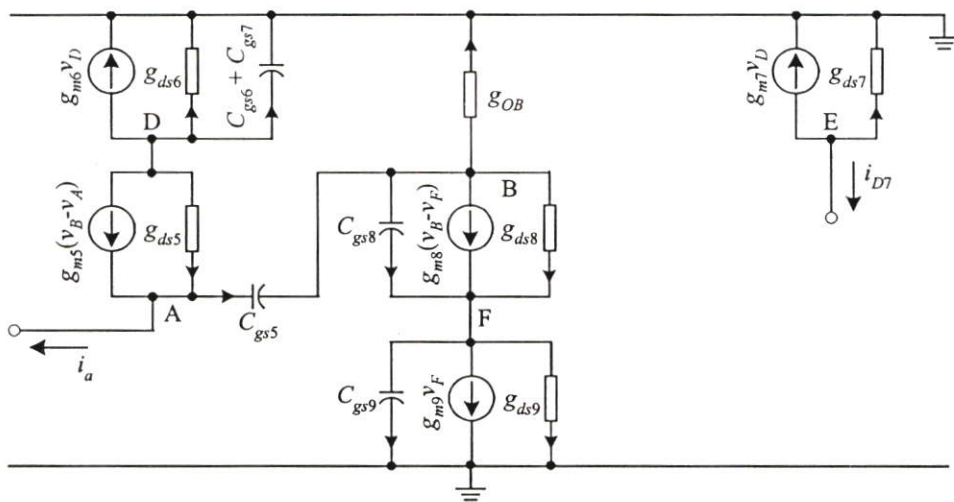
ง. การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 3.8 เพื่อวิเคราะห์หาค่าอัตราขยายกระแสและค่าโพลซึ่งเป็นขีดจำกัดผลตอบสนองทางความถี่ของวงจร จะแยกวิเคราะห์เป็น 2 กรณีดังนี้



รูปที่ 3.13 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณี $i_a > 0$

ง.1 กรณีที่กระแสอินพุต i_a มีค่าเป็นลบ



รูปที่ 3.14 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ในกรณี $i_a < 0$

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ในกรณีที่ค่ากระแสอินพุต $i_a < 0$ ดังรูปที่ 3.14 (ภาคผนวก ข4.1) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{D7} และ i_a ของวงจรมันนี้

$$\frac{i_{D7}}{i_a} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1abN}s + 1)(T_{2abN}s + 1)} \quad (3.29)$$

เมื่อ

$$T_{1abN} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \quad (3.30)$$

$$T_{2abN} \cong \frac{C_{gs5}(C_{gs6} + C_{gs7})}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \quad (3.31)$$

สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรงและค่าตำแหน่งของโพลซึ่งเป็นขั้วจำกัดในการใช้งานของวงจรฟังก์ชันสัมบูรณ์ในกรณีกระแสอินพุต $i_u < 0$ จะมีค่าประมาณเท่ากับ

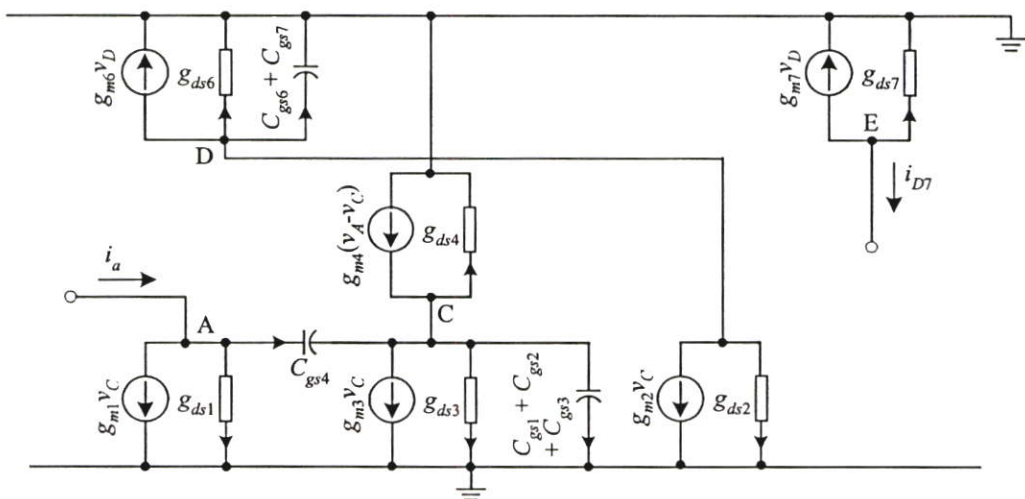
$$\beta_{abN} = \frac{i_{D7}}{i_a} \Big|_{r=0} = \frac{g_{m7}}{g_{m6}} \quad (3.32)$$

$$fp_{1abN} \cong \frac{g_{m5}g_{m6}}{2\pi(g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5})} \quad (3.33)$$

$$fp_{2abN} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{2\pi C_{gs5}(C_{gs6} + C_{gs7})} \quad (3.34)$$

ง.2 กรณีที่กระแสอินพุต i_u มีค่าเป็นบวก

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ในกรณีที่ค่ากระแสอินพุต $i_u > 0$ ดังรูปที่ 3.15 (ภาคผนวก ข4.2) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{D7} และ i_u ของวงจรดังนี้



รูปที่ 3.15 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ในกรณี $i_u > 0$

$$\frac{i_{D7}}{i_a} \cong \left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \frac{(T_{3abP}S + 1)}{(T_{1abP}S + 1)(T_{2abP}S + 1)} \quad (3.35)$$

เมื่อ

$$T_{1abP} \cong \frac{C_{gs6} + C_{gs7}}{g_{m6}} \quad (3.36)$$

$$T_{2abP} \cong \frac{(g_{m1} + g_{m3})C_{gs4}}{g_{m1}g_{m4}} \quad (3.37)$$

$$T_{3abP} \cong \frac{C_{gs4}}{g_{m4}} \quad (3.38)$$

สำหรับอัตราขยายกระแสสำหรับสัญญาณไฟตรงและค่าตำแหน่งของโพลและซีโร ซึ่งเป็นขีดจำกัดในการใช้งานของวงจรมอดูเลชันสัญญาณในกรณีกระแส $i_a > 0$ จะมีค่าดังนี้

$$\beta_{abP} = \left. \frac{i_{D7}}{i_a} \right|_{s=0} = \frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \quad (3.39)$$

$$fp_{1abP} = \frac{g_{m6}}{2\pi(C_{gs6} + C_{gs7})} \quad (3.40)$$

$$fp_{2abP} = \frac{g_{m1}g_{m4}}{2\pi C_{gs4}(g_{m1} + g_{m3})} \quad (3.41)$$

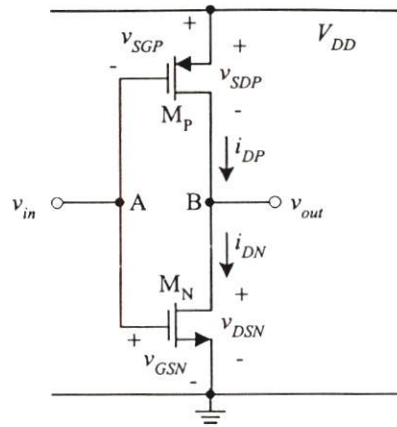
$$fz_{3abP} \cong \frac{g_{m4}}{2\pi(C_{gs4})} \quad (3.42)$$

3.4 วงจรเปรียบเทียบกระแส

3.4.1 วงจรอินเวอร์เตอร์

ในรูปที่ 3.16 แสดงโครงสร้างของวงจรอินเวอร์เตอร์ (Inverter) [35] ซึ่งประกอบด้วยเอ็นมอส M_N และพีมอส M_P โดยขาเกตและขาเดรนของมอสเฟตทั้งสองต่อร่วมกันที่โนด A และโนด B ตามลำดับ การทำงานของวงจรสามารถอธิบายได้ดังนี้ ที่โนด A ซึ่งเป็นอินพุตโนด จะมีค่าแรงดันอินพุต v_{in} ดังนี้

$$v_{in} = v_{GSN} = V_{DD} - v_{SGP} \quad (3.43)$$



รูปที่ 3.16 วงจรอินเวอร์เตอร์

ที่โหนด B ซึ่งเป็นเอาต์พุตโหนด จะมีค่าแรงดันเอาต์พุต v_{out} ดังนี้

$$v_{out} = v_{DSN} = V_{DD} - v_{SDP} \quad (3.44)$$

ถ้าป้อนค่าแรงดันอินพุต v_{in} เท่ากับศูนย์ ($v_{in} = 0V$) จากสมการที่ (3.43) จะได้ว่า $v_{GSN} = 0V$ และ $v_{SGP} = V_{DD}$ มอสเฟต M_N จะอยู่ในสภาวะไม่นำกระแส (Cutoff) ซึ่งมีค่ากระแส $i_{DN(OFF)} = 0A$ ส่วนมอสเฟต M_P จะทำงานในช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น (Linear Region) เนื่องจากค่าแรงดัน $v_{SGP} \geq -V_{TP}$ และ $v_{SDP} \leq V_{DD} + V_{TP}$ ซึ่งมีค่ากระแส $i_{DP(Linear)}$ ดังนี้

$$i_{DP(Linear)} = \beta_P \left((v_{SGP} + v_{TP}) v_{SDP} - \frac{v_{SDP}^2}{2} \right) \quad (3.45)$$

ถ้าค่ากระแส $i_{DN} = i_{DP}$ จะได้ว่า

$$i_{DP(Linear)} = \beta_P \left((v_{SGP} + V_{TP}) v_{SDP} - \frac{v_{SDP}^2}{2} \right) = 0 \quad (3.46)$$

จากสมการที่ (3.46) ถ้ากำหนดให้ $v_{SGP} = -V_{TP}$ จะได้ค่าแรงดัน $v_{SDP} = 0V$ ดังนั้นแรงดันเอาต์พุต v_{out} จะมีค่าดังนี้

$$v_{out} = V_{DD} = V_{OH} \quad (3.47)$$

เมื่อ V_{OH} คือ เอาต์พุตโหนดมีสภาวะลอจิกเป็น 1 (Output High State)

ในกรณีที่ป้อนค่าแรงดันอินพุต v_{in} เท่ากับ V_{DD} จากสมการที่ (3.43) จะได้ว่า $v_{SGP} = 0V$ และ $v_{GSN} = V_{DD}$ มอสเฟต M_p จะอยู่ในสภาวะไม่นำกระแส ซึ่งมีค่ากระแสครน $i_{DP(OFF)} = 0A$ ส่วนมอสเฟต M_N จะทำงานในช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น เนื่องจากค่าแรงดัน $v_{GSN} \geq V_{TN}$ และ $v_{DSN} \leq v_{GSN} - V_{TN}$ โดยมีค่ากระแสครน $i_{DN(Linear)}$ ดังนี้

$$i_{DN(Linear)} = \beta_N \left((v_{GSN} - V_{TN}) v_{DSN} - \frac{v_{DSN}^2}{2} \right) \quad (3.48)$$

ถ้าค่ากระแส $i_{DN} = i_{DP}$ จะได้ว่า

$$i_{DN(Linear)} = \beta_N \left((v_{GSN} - V_{TN}) v_{DSN} - \frac{v_{DSN}^2}{2} \right) = 0 \quad (3.49)$$

จากสมการที่ (3.49) ถ้ากำหนดให้ $v_{GSN} = V_{TN}$ จะได้ค่าแรงดัน $v_{DSN} = 0V$ ดังนั้นแรงดันเอาต์พุต v_{out} จะมีค่าดังนี้

$$v_{out} = 0 = V_{OL} \quad (3.50)$$

เมื่อ V_{OL} คือ เอาต์พุตโนตมีสภาวะลอจิกเป็น 0 (Output Low State)

จากสมการที่ (3.47) และ (3.50) สามารถเขียนความสัมพันธ์ระหว่างค่าแรงดัน v_{in} และ v_{out} คือ

$$v_{out} = \begin{cases} V_{OH} & ; v_{in} = 0 \\ V_{OL} & ; v_{in} = V_{DD} \end{cases} \quad (3.51)$$

การกำหนดค่าพารามิเตอร์ของการนำกระแสของมอสเฟต M_N และ M_p ให้มีค่าเท่ากัน ($\beta_N = \beta_p$) เป็นวิธีการหนึ่งที่ทำให้วงจรอินเวอร์เตอร์ดังรูปที่ 3.16 มีความสมมาตร [35] โดยที่

$$k'_N \left(\frac{W}{L} \right)_N = k'_p \left(\frac{W}{L} \right)_p \quad (3.52)$$

ถ้าออกแบบวงจรอินเวอร์เตอร์โดยใช้มอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μm ซึ่งมี $k'_N = 141 \mu A/V^2$ และ $k'_p = 35.5 \mu A/V^2$ เมื่อแทนค่าทั้งสองนี้ลงในสมการที่ (3.52) จะได้ว่า

$$\left(\frac{W}{L}\right)_p = \frac{k'_N}{k'_p} \left(\frac{W}{L}\right)_N = \frac{141}{35.5} \left(\frac{W}{L}\right)_N$$

หรือ

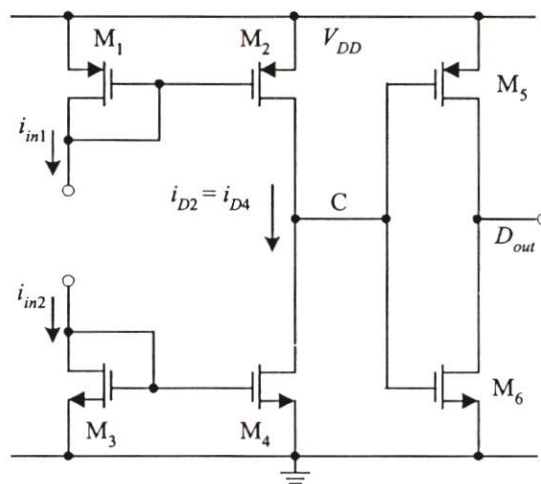
$$\left(\frac{W}{L}\right)_p \approx 4 \left(\frac{W}{L}\right)_N \quad (3.53)$$

3.4.2 วงจรเปรียบเทียบกระแส

วงจรเปรียบเทียบกระแสดังรูปที่ 3.17 [41] ประกอบด้วยวงจรสะท้อนกระแสที่มีค่าอัตราขยายกระแสเท่ากับหนึ่ง M_1 - M_2 และ M_3 - M_4 ต่อร่วมกับวงจรถออินเวอร์เตอร์ M_5 - M_6 โดยสถานะลอจิก D_{out} ที่เอาต์พุตโหนด จะขึ้นอยู่กับผลการเปรียบเทียบระหว่างค่ากระแส i_{in1} และ i_{in2} การทำงานของวงจรสามารถอธิบายได้ดังนี้

วงจรถออินเวอร์เตอร์ M_1 - M_2 และ M_3 - M_4 จะสำเนาค่ากระแสอินพุต i_{in1} และ i_{in2} ไปยังโหนด C ตามลำดับ ถ้าค่ากระแส $i_{in1} > i_{in2}$ จะได้ค่ากระแสแตรน $i_{D2} = i_{D4} \equiv i_{in1}$ ทำให้แรงดันที่โหนด C มีค่าเข้าใกล้ค่าแรงดันแหล่งจ่าย V_{DD} หรืออยู่ในสถานะลอจิก 1 (High) จากการทำงานของวงจรถออินเวอร์เตอร์ M_5 - M_6 จะได้สถานะลอจิกของดิจิตอลเอาต์พุต D_{out} มีค่าเป็น 0 (Low) ในกรณีที่ค่ากระแส $i_{in2} > i_{in1}$ จะได้ค่ากระแสแตรน $i_{D2} = i_{D4} \equiv i_{in2}$ ค่าแรงดันที่โหนด C มีค่าเข้าใกล้ศูนย์หรืออยู่ในสถานะลอจิก 0 (Low) เมื่อพิจารณาสถานะลอจิกที่เอาต์พุตโหนดจะได้ว่า D_{out} มีค่าเป็น 1 (High) จากการทำงานของวงจรเปรียบเทียบกระแสดังกล่าว สามารถเขียนเป็นสมการได้ว่า

$$D_{out} = \begin{cases} 0 & ; i_{in1} > i_{in2} \\ 1 & ; i_{in2} > i_{in1} \end{cases} \quad (3.54)$$



รูปที่ 3.17 วงจรเปรียบเทียบกระแส

3.5 บทสรุป

ในบทนี้ได้กล่าวถึงหลักการทำงานและคุณสมบัติที่สำคัญของวงจรร้อยต่าง ๆ ที่ออกแบบโดยใช้มอสทรานซิสเตอร์ซึ่งถูกนำไปใช้ในอัลกอริทึม ADC ที่ได้นำเสนอในวิทยานิพนธ์นี้ ประกอบด้วย วงจรสะท้อนกระแสแบบพื้นฐาน วงจรฟิงก์ชันสัมบูรณ์ วงจรอินเวอร์เตอร์ และวงจรเปรียบเทียบกระแส พร้อมทั้งได้ทำการวิเคราะห์สมรรถนะการทำงานของวงจร

บทที่ 4

การออกแบบอัลกอริธึม ADC ที่นำเสนอ

4.1 กล่าวนำ

ตัวอย่างอัลกอริธึม ADC ที่ได้มีการนำเสนอไว้ในบทความวิจัย [11]-[13] เป็นอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสอง ลักษณะถ่ายโอนโพตรงของ ADC จะเป็นสัญญาณรูปฟันเลื่อย ซึ่งสัญญาณรูปฟันเลื่อยนี้มีองค์ประกอบที่ทำให้เกิดความผิดพลาดสะสมสูง ทำให้ความถูกต้องและความละเอียดในการแปลงผันสัญญาณของ ADC ลดลง และยังมีข้อจำกัดทางด้านความเร็วอีกด้วย เพื่อลดข้อจำกัดที่เกิดขึ้นในการลงรหัสแบบฐานสอง จึงได้มีการนำเสนออัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์อย่างต่อเนื่อง [14]-[22]

ในบทนี้เป็นการนำเสนออัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์อีกรูปแบบหนึ่งซึ่งเรียกว่า “รหัสเกรย์แบบย้อนกลับ” บนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซีมอส โครงสร้างของ ADC ที่นำเสนอประกอบด้วยวงจรย่อยต่าง ๆ ดังนี้ คือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรฟังก์ชันสัมบูรณ์ และวงจรเปรียบเทียบกระแส ที่นำมาต่อร่วมกันเพื่อให้การแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลมีความถูกต้องสูง รวมทั้งยังได้นำเสนอแนวคิดในการนำเอา ADC ที่ออกแบบไปประยุกต์ใช้เป็น ADC ขนาด N บิตที่มีการลงรหัสแบบฐานสองอีกด้วย การตรวจสอบสมรรถนะและยืนยันการทำงานของวงจรที่ได้นำเสนอ จะใช้การวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีและการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

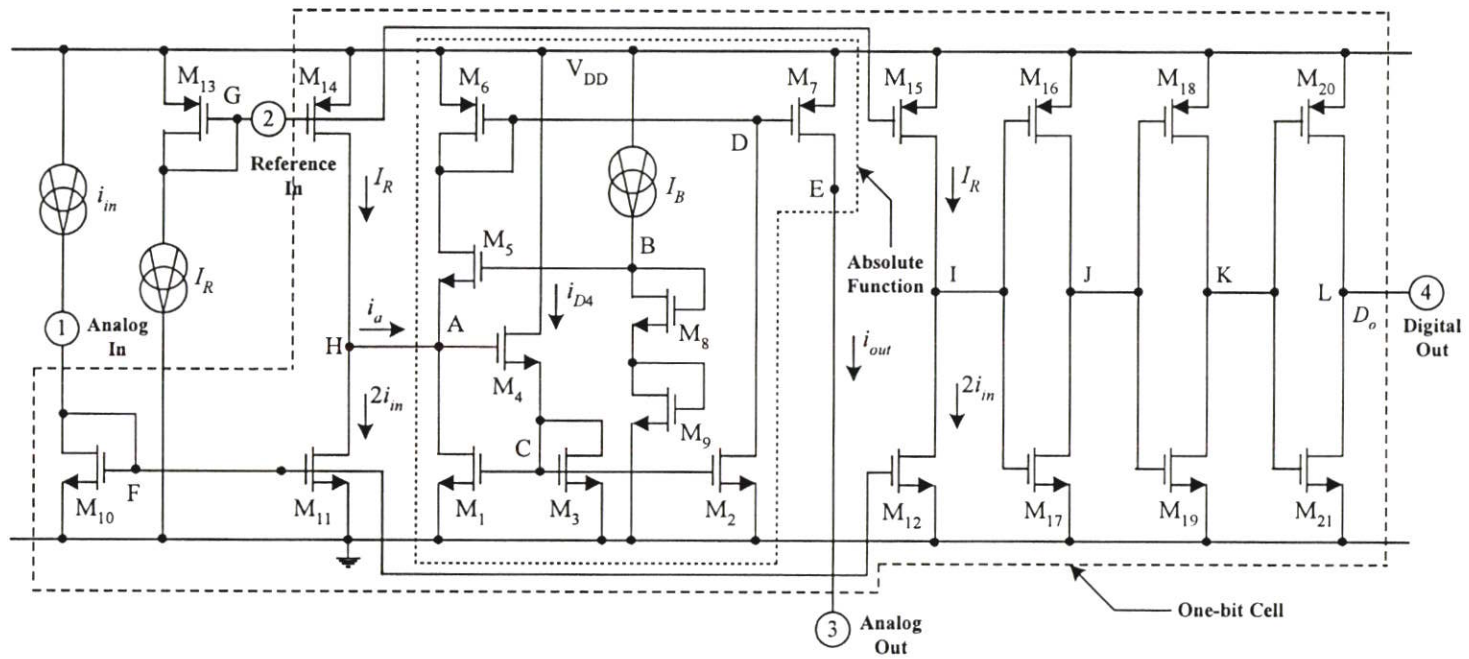
4.2 การทำงานของวงจร

จากวงจรฟังก์ชันสัมบูรณ์ M_1 - M_9 ในรูปที่ 3.8 สามารถนำมาพัฒนาเป็นอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ย้อนกลับขนาด 1 บิต ได้ดังรูปที่ 4.1 [36] โดยที่

- หมายเลข (1) คือ จุดเข้าของสัญญาณกระแสอินพุต i_{in}
- หมายเลข (2) คือ จุดเข้าของสัญญาณกระแสอ้างอิง I_R
- หมายเลข (3) คือ จุดออกของสัญญาณกระแสเอาต์พุต i_{out}
- หมายเลข (4) คือ จุดออกของสัญญาณดิจิทัลเอาต์พุต D_o

เมื่อกำหนดให้กระแส I_B และ I_R เป็นค่ากระแสไบแอส และกระแสอ้างอิง ตามลำดับ การทำงานของวงจรสามารถอธิบายได้ดังนี้

มอสเฟต M_{10} - M_{12} ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับสอง โดยกำหนดอัตราส่วน W/L ของมอสเฟต M_{11} และ M_{12} มีค่าเป็นสองเท่าของอัตราส่วน W/L ของมอสเฟต M_{10} ส่วนมอสเฟต M_{13} - M_{15} ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแส



รูปที่ 4.1 อัลกอริทึม ADC ขนาด 1 บิตที่นำเสนอสอน

เท่ากับหนึ่ง มอสเฟต M_{12} และ M_{15} ทำงานร่วมกับ M_{16} - M_{21} ทำหน้าที่เป็นวงจรเปรียบเทียบกระแส โดยทำการเปรียบเทียบระหว่างค่ากระแส I_R กับ $2i_{in}$ เพื่อสร้างสัญญาณดิจิทัลเอาต์พุต D_o

จากการทำงานของวงจรสะท้อนกระแส M_{10} - M_{12} ค่ากระแส i_{in} จะถูกขยายเป็น 2 เท่า เมื่อพิจารณาที่โหนด H จะได้ว่า

$$i_a = I_R - 2i_{in} \quad (4.1)$$

ถ้า $2i_{in} < I_R$ ค่ากระแส i_a ซึ่งเป็นสัญญาณอินพุตของวงจรฟังก์ชันสัมบูรณ์ M_1 - M_9 จะมีค่าเป็นบวก จากการทำงานของมอสเฟต M_1 - M_9 จะได้กระแสเอาต์พุต i_{out} มีค่าดังนี้

$$i_{out} = |i_a| = I_R - 2i_{in} \quad (4.2)$$

พิจารณาที่โหนด I จากการทำงานของวงจรเปรียบเทียบ M_{12} , M_{15} , และ M_{16} - M_{21} จะได้สัญญาณดิจิทัลเอาต์พุต D_o มีค่าเป็น 0 (Low) ในกรณีที่ $2i_{in} \geq I_R$ จะได้สัญญาณดิจิทัลเอาต์พุต D_o มีค่าเป็น 1 (High) และกระแส i_a จะมีค่าเป็นลบ จากการทำงานของวงจรฟังก์ชันสัมบูรณ์ จะได้กระแสเอาต์พุต i_{out} คือ

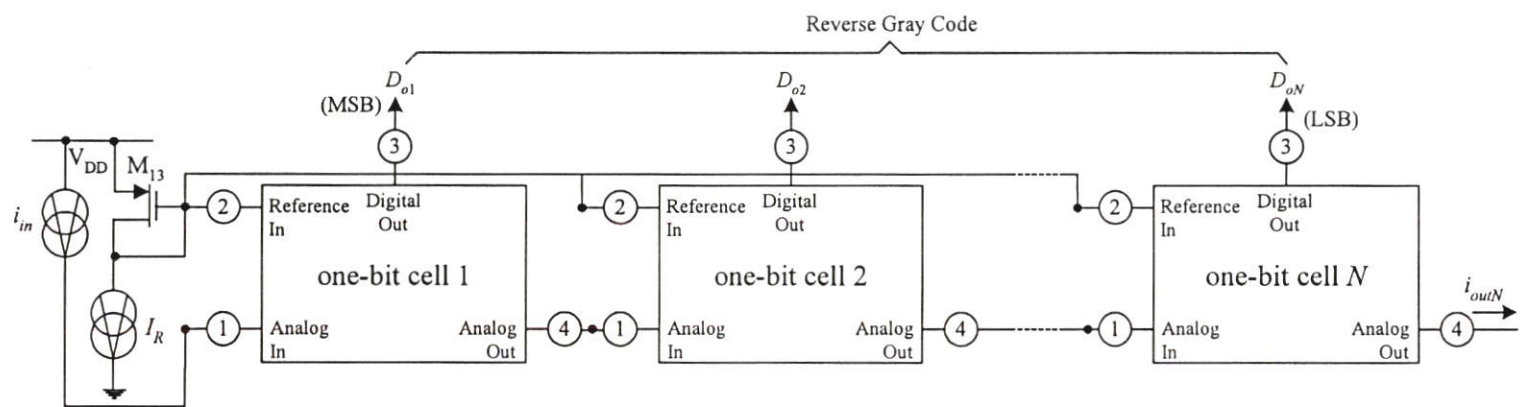
$$i_{out} = |i_a| = 2i_{in} - I_R \quad (4.3)$$

จากสมการที่ (4.2) และ (4.3) และจากการทำงานของวงจรเปรียบเทียบกระแส M_{12} , M_{15} , และ M_{16} - M_{21} สามารถสรุปได้ว่า

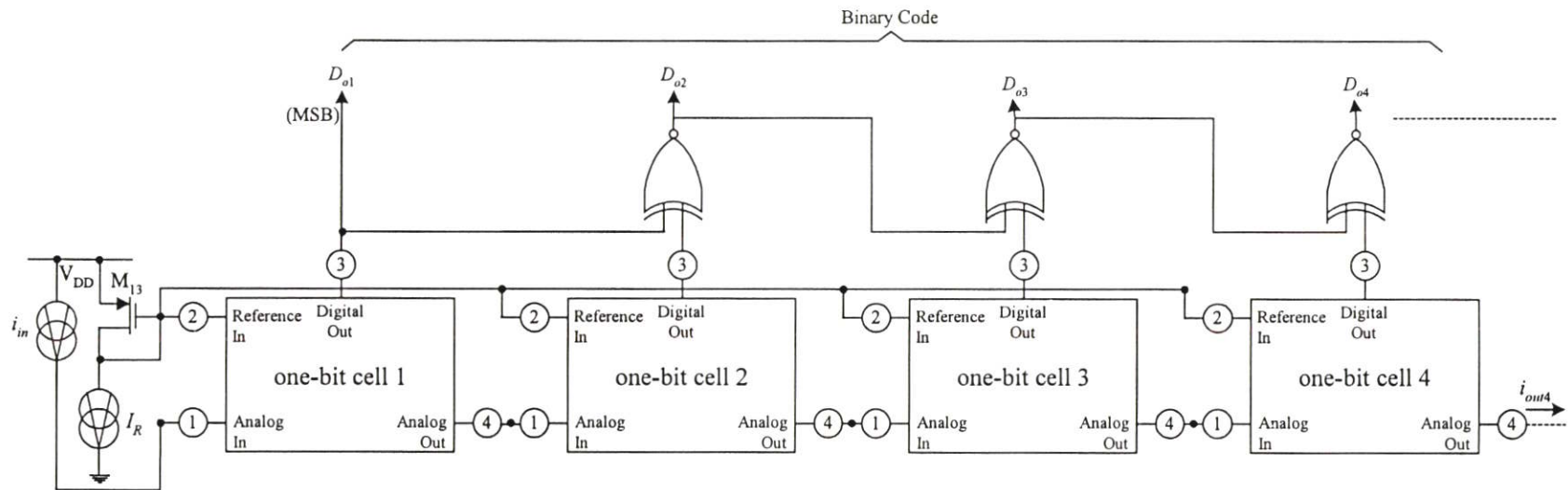
$$i_{out} = \begin{cases} I_R - 2i_{in} & ; 2i_{in} < I_R \\ 2i_{in} - I_R & ; 2i_{in} \geq I_R \end{cases} \quad (4.4)$$

$$D_o = \begin{cases} 0 & ; 2i_{in} < I_R \\ 1 & ; 2i_{in} \geq I_R \end{cases} \quad (4.5)$$

จากสมการที่ (4.4) และ (4.5) จะได้ว่าวงจรที่นำเสนอในรูปที่ 4.1 จะเป็นอัลกอริทึม ADC ที่มีลักษณะถ่ายโอนไฟตรงและฟังก์ชันดังรูปที่ 2.7(ข) และ 2.11 ตามลำดับ



รูปที่ 4.2 อัลกอริธึม ADC ที่นำเสนอขนาด N บิต



รูปที่ 4.3 การประยุกต์ใช้อัลกอริทึม ADC ที่นำเสนอให้มีการลงรหัสแบบฐานสอง

อัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ย้อนกลับขนาด N บิต สามารถทำได้โดยการต่อ
 ภาสเคดตัวแปลงผันขนาด 1 บิตที่นำเสนอจำนวน N วงจรดังรูปที่ 4.2 ในกรณีที่ต้องการให้
 อัลกอริธึม ADC ขนาด N บิตมีการลงรหัสแบบฐานสองสามารถทำได้โดยการนำ ADC ที่นำเสนอ
 ในรูปที่ 4.1 ไปต่อร่วมกับเกตชนิด EX-NOR ดังแสดงในรูปที่ 4.3

4.3 การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ที่นำเสนอ

การทำงานของอัลกอริธึม ADC ที่นำเสนอในหัวข้อที่ 4.2 เป็นการกำหนดให้มอสเฟต
 แต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานในช่วงนำกระแสในตัว
 สำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพียงกันทุกประการและค่าทรานส์คอนดักแตนซ์ของ
 มอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตาม
 ทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ดังรูปที่ 4.1 ซึ่ง
 ได้แก่ ความผิดพลาดในการส่งผ่านกระแส ความผิดพลาดสะสม จำนวนบิตที่เป็นไปได้ ผลกระทบ
 ของอุณหภูมิที่เปลี่ยนแปลง ผลตอบสนองทางความถี่ ความเร็วในการแปลงผัน และค่าแรงดัน
 แหล่งจ่ายต่ำสุด (ภาคผนวก ก)

4.3.1 การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส

ความผิดพลาดในการส่งผ่านกระแสของอัลกอริธึม ADC ที่นำเสนอดังรูปที่ 4.1 จะ
 เกิดจากความผิดพลาดของวงจรสะท้อนกระแส M_{10} - M_{11} (ε_{CM1}) และ M_{13} - M_{14} (ε_{CM2}) และความ
 ผิดพลาดของวงจรฟิงก์ชันสัมบูรณ์ (ε_{ab}) เป็นหลัก ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และ
 กระแสอินพุต i_{in} (ภาคผนวก ก1) จะมีค่าดังนี้

$$i_{out} = \begin{cases} I_R(1-\varepsilon_{t2}) - 2i_{in}(1-\varepsilon_{t1}) & ; 2i_{in} < I_R \\ 2i_{in}(1-\varepsilon_{t1}) - I_R(1-\varepsilon_{t2}) & ; 2i_{in} \geq I_R \end{cases} \quad (4.6)$$

$$\text{เมื่อ} \quad \varepsilon_{t1} = \varepsilon_{CM1} + \varepsilon_{ab} - \varepsilon_{CM1}\varepsilon_{ab} \quad (4.7)$$

$$\varepsilon_{t2} = \varepsilon_{CM2} + \varepsilon_{ab} - \varepsilon_{CM2}\varepsilon_{ab} \quad (4.8)$$

จากสมการที่ (4.7) และ (4.8) ถ้าความผิดพลาด $\varepsilon_{CM1} = -4.1670 \times 10^{-4}$, $\varepsilon_{CM2} = -3.5558 \times 10^{-4}$, และ
 $\varepsilon_{ab} = -3.372 \times 10^{-4}$ จะได้ความผิดพลาด ε_{t1} และ ε_{t2} มีค่าประมาณ -7.5408×10^{-4} และ -6.9294×10^{-4}
 ตามลำดับ

4.3.2 การวิเคราะห์ความผิดพลาดสะสม

ในการวิเคราะห์ความผิดพลาดสะสมของอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ย้อนกลับขนาด N บิตดังรูปที่ 4.2 จะวิเคราะห์ในกรณีที่ค่ากระแส $i_{in1} = I_R$ ความผิดพลาดสะสมของอัลกอริธึม ADC ที่ออกแบบขนาด N บิต (ภาคผนวก ก2) จะมีค่าดังนี้

$$\varepsilon_C = \left((2^N - 1)\varepsilon_{i2} - (2^{N+1} - 2)\varepsilon_{i1} + (2^{N+2} - 2^{N+1} - 2^2)\varepsilon_{i1}^2 - (2^N - 2)\varepsilon_{i1}\varepsilon_{i2} \right) I_R \quad (4.9)$$

ถ้า $i_{in1} = I_R = 50 \mu\text{A}$, $N = 9$, $\varepsilon_{i1} = -7.5408 \times 10^{-4}$, และ $\varepsilon_{i2} = -6.9294 \times 10^{-4}$ จะได้ความผิดพลาดสะสม ε_C มีค่าประมาณ $20.8442 \mu\text{A}$ หรือ 0.833 LSB

4.3.3 การวิเคราะห์จำนวนบิตที่เป็นไปได้

ความผิดพลาดสะสมที่เกิดขึ้นในการแปลงผันของอัลกอริธึม ADC ขนาด N บิต จะมีผลต่อจำนวนบิตหรือจำนวนของ One-bit Cell ที่นำมาต่อкасาดกันเพื่อเพิ่มความละเอียดของ ADC จำนวนบิตที่เป็นไปได้ที่สามารถนำเอาอัลกอริธึม ADC ดังรูปที่ 4.1 มาต่อкасาดกัน (ภาคผนวก ก3) คือ

$$N_{\max} = \text{Round} \left\{ 1 + \log_2 \left(\frac{1 + 8\varepsilon_{i1}^2 - 4\varepsilon_{i1} + 2\varepsilon_{i2} - 4\varepsilon_{i1}\varepsilon_{i2}}{4\varepsilon_{i1}^2 - 4\varepsilon_{i1} + 2\varepsilon_{i2} - 2\varepsilon_{i1}\varepsilon_{i2}} \right) \right\} \quad (4.10)$$

ถ้า $\varepsilon_{i1} = -7.5408 \times 10^{-4}$ และ $\varepsilon_{i2} = -6.9294 \times 10^{-4}$ จะได้ N_{\max} มีค่าเท่ากับ 10

4.3.4 การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง

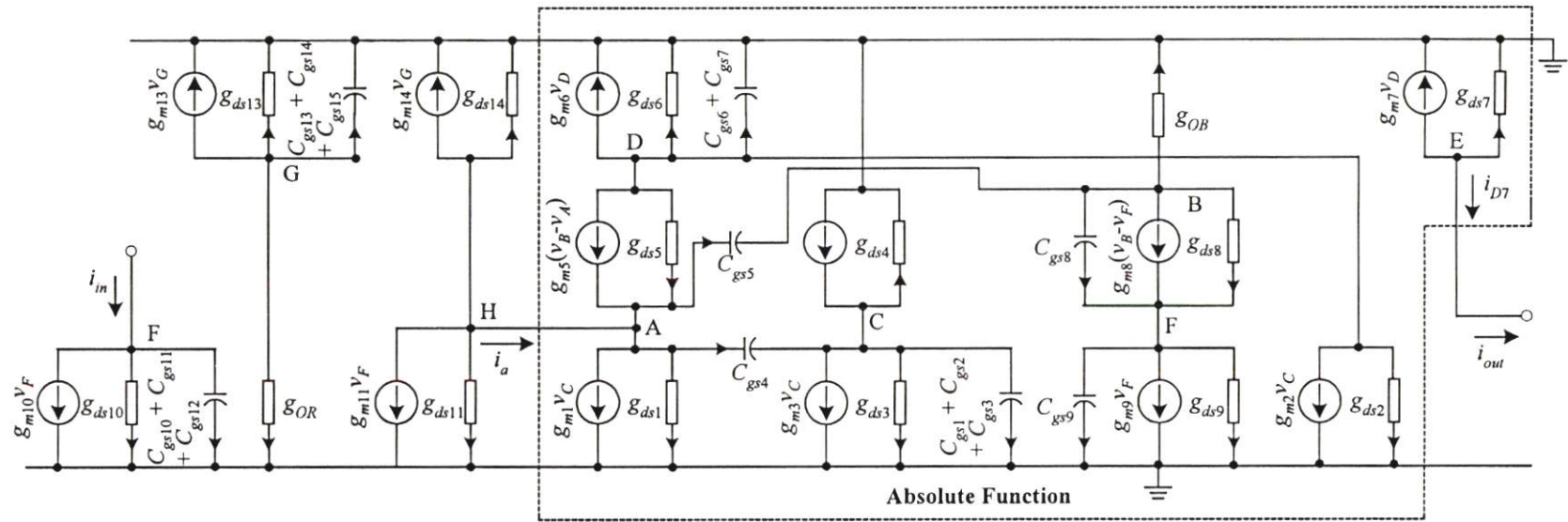
การเปลี่ยนแปลงของอุณหภูมิ ΔT จะมีผลกระทบต่อค่าแรงดันที่โนด B หรือค่าแรงดันไบแอส v_B ของอัลกอริธึม ADC ที่นำเสนอรูปที่ 4.1 (ภาคผนวก ก4) ดังนี้

$$\Delta v_B = \frac{\Delta T}{300} \left(\sqrt{\frac{2I_B}{\beta_8 \beta_9}} (\sqrt{\beta_8} + \sqrt{\beta_9}) \right) - 2\alpha \Delta T \quad (4.11)$$

ถ้ากำหนดให้ $I_B = 10 \mu\text{A}$, $\beta_8 = \beta_9 = 564 \mu\text{A/V}^2$, $\Delta T = 1\text{K}$, และ $\alpha = 1.34 \text{ mV/K}$ จะได้ว่า แรงดันไบแอส v_B มีค่าลดลง 1.4256 mV เมื่ออุณหภูมิเพิ่มขึ้น 1K หรือ 1°C

4.3.5 การวิเคราะห์ผลตอบสนองทางความถี่

จากการวิเคราะห์วงจรสมมูลของอัลกอริธึม ADC ดังรูปที่ 4.4 (ภาคผนวก ก5) จะได้ความสัมพันธ์ระหว่างค่ากระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} ในกรณีที่ $2i_{in} < I_R$ คือ



รูปที่ 4.4 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของอัลกอริทึม ADC ดังรูปที่ 4.1

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m11}g_{m7}}{g_{m10}g_{m6}} \right) \frac{1}{(T_{1abN}S+1)(T_{2abN}S+1)(T_{3abN}S+1)} \quad (4.12)$$

เมื่อ

$$T_{1abN} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \quad (4.13)$$

$$T_{2abN} \cong \frac{C_{gs5}(C_{gs6} + C_{gs7})}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \quad (4.14)$$

$$T_{3abN} = \frac{C_{gs10} + C_{gs11} + C_{gs12}}{g_{m10}} \quad (4.15)$$

จากสมการที่ (4.13) ถึง (4.15) จะได้ค่าตำแหน่งของโพลแต่ละตัว คือ

$$fp_{1abN} = \frac{g_{m5}g_{m6}}{2\pi(g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5})} \quad (4.16)$$

$$fp_{2abN} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{2\pi C_{gs5}(C_{gs6} + C_{gs7})} \quad (4.17)$$

$$fp_{3abN} = \frac{g_{m10}}{2\pi(C_{gs10} + C_{gs11} + C_{gs12})} \quad (4.18)$$

สำหรับกรณีนี้ที่ $2i_{in} \geq I_R$ จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{out} และ i_{in} คือ

$$\frac{i_{out}}{i_{in}} \cong - \left(\frac{g_{m2}g_{m7}g_{m11}}{g_{m1}g_{m6}g_{m10}} \right) \frac{(T_{3abP}S+1)}{(T_{1abP}S+1)(T_{2abP}S+1)(T_{4abP}S+1)} \quad (4.19)$$

เมื่อ

$$T_{1abP} \cong \frac{(g_{m1} + g_{m3})C_{gs4}}{g_{m1}g_{m4}} \quad (4.20)$$

$$T_{2abP} \cong \frac{C_{gs6} + C_{gs7}}{g_{m6}} \quad (4.21)$$

$$T_{3abP} \cong \frac{C_{gs4}}{g_{m4}} \quad (4.22)$$

$$T_{4abP} = \frac{C_{gs10} + C_{gs11} + C_{gs12}}{g_{m10}} \quad (4.23)$$

จากสมการที่ (4.20) ถึง (4.23) จะได้ค่าตำแหน่งของโพลและซีโรแต่ละตัว คือ

$$fp_{1abP} = \frac{g_{m1}g_{m4}}{2\pi C_{gs4}(g_{m1} + g_{m3})} \quad (4.24)$$

$$fp_{2abP} = \frac{g_{m6}}{2\pi(C_{gs6} + C_{gs7})} \quad (4.25)$$

$$fz_{3abP} = \frac{g_{m4}}{2\pi(C_{gs4})} \quad (4.26)$$

$$fp_{4abP} = \frac{g_{m10}}{2\pi(C_{gs10} + C_{gs11} + C_{gs12})} \quad (4.27)$$

จากผลที่ได้จากการเลียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 4.1 จะได้ค่าพารามิเตอร์ต่าง ๆ ดังนี้ $g_{m1} = 3.1911 \times 10^{-5}$ A/V, $g_{m3} = g_{m4} = 3.0986 \times 10^{-5}$ A/V, $g_{m5} = 2.9627 \times 10^{-4}$ A/V, $g_{m6} = 2.9782 \times 10^{-4}$ A/V, $g_{m10} = 4.4539 \times 10^{-5}$ A/V, $C_{gs4} = 1.404 \times 10^{-14}$ F, $C_{gs5} = 9.36 \times 10^{-15}$ F, $C_{gs6} = C_{gs7} = 2.9632 \times 10^{-14}$ F, $C_{gs10} = 1.404 \times 10^{-14}$ F, และ $C_{gs11} = C_{gs12} = 2.808 \times 10^{-14}$ F พบว่า $fp_{1abN} = 690.564$ MHz, $fp_{2abN} = 5.84$ GHz, $fp_{3abN} = fp_{4abP} = 101.028$ MHz, $fp_{1abP} = 178.299$ MHz, $fp_{2abP} = 800.198$ MHz, และ $fz_{3abP} = 351.428$ MHz ดังนั้นขีดจำกัดการทำงานของอัลกอริทึม ADC ที่นำเสนอ ดังรูปที่ 4.1 จะขึ้นอยู่กับวงจรสะท้อนกระแส M_{10} - M_{12} เป็นหลัก ซึ่งสามารถทำงานได้ถึง ความถี่ 101.028 MHz

4.3.6 การวิเคราะห์ความเร็วในการแปลงผัน

ความเร็วในการแปลงผันของอัลกอริทึม ADC ขนาด N บิต ดังรูปที่ 4.2 (ภาคผนวก ก6) จะมีค่าเท่ากับ

$$t_C = Nt_{da} + t_{dd} \quad (4.28)$$

เมื่อ t_{da} คือ ค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรย่อยที่สร้างกระแส i_{out}
 t_{dd} คือ ค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรย่อยที่สร้างดิจิตอลเอาต์พุต D_o

ค่าเวลาหน่วง t_{da} สามารถพิจารณาได้จากขีดจำกัดของผลตอบสนองทางความถี่ของอัลกอริทึม ADC ที่นำเสนอ [40] ซึ่งขึ้นอยู่กับค่าคงตัวเวลา (Time Constant) T_{4abP} เป็นหลัก ค่าเวลา t_{dd} จะวิเคราะห์จากค่าเวลาหน่วงจากการทำงานของวงจรเปรียบเทียบ [35] ถ้า $N = 1$, $t_{da} = T_{4abP} = 1.5762$ ns, และ $t_{dd} = 4.4656$ ns จะได้เวลา t_c มีค่าประมาณ 6.0418 ns แต่ถ้า $N = 9$ จะได้เวลา t_c มีค่าประมาณ 18.651 ns

4.3.7 การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด

การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด $V_{DD(\min)}$ ของอัลกอริทึม ADC ที่นำเสนอซึ่งรูปที่ 4.1 สามารถพิจารณาได้จากจำนวนมอสเฟตสูงสุดที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ (ภาคผนวก ก7) ซึ่งมีค่าโดยประมาณดังนี้

$$V_{DD(\min)} \cong 2V_{TN} + |V_{TP}| \quad (4.29)$$

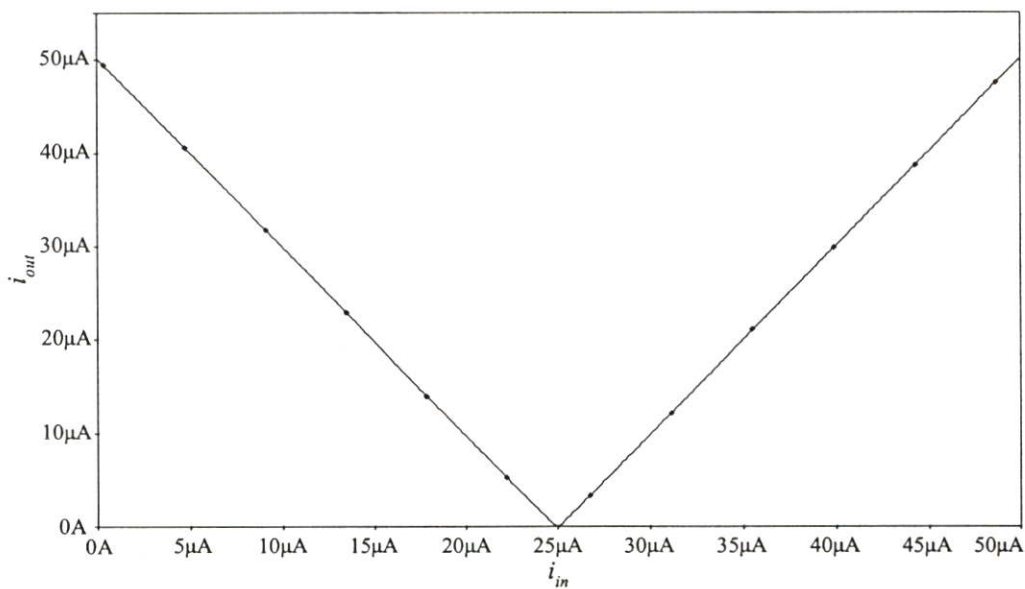
ถ้าทำการออกแบบวงจรโดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μ m ที่มีค่าแรงดัน $V_{TN} = 0.609$ V และ $V_{TP} = -0.6101$ V จะได้แรงดัน $V_{DD(\min)}$ มีค่าประมาณ 1.83V

4.4 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

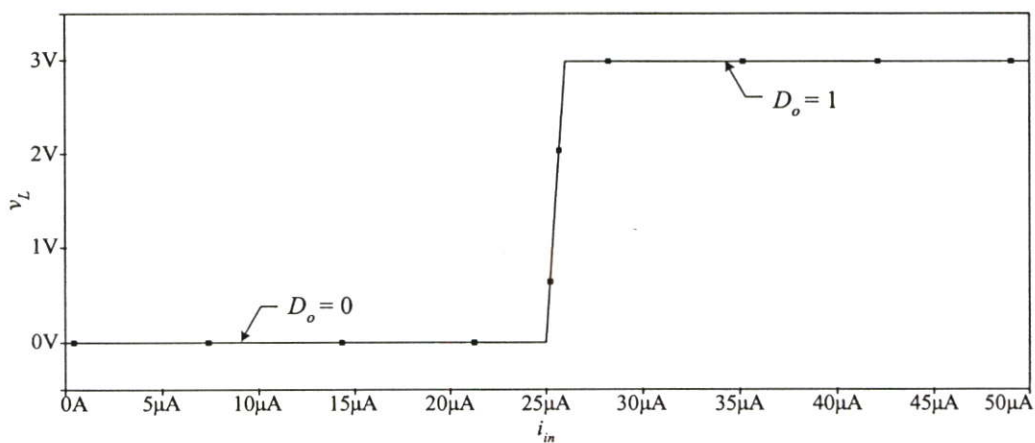
เพื่อทดสอบสมรรถนะของอัลกอริทึม ADC ที่นำเสนอซึ่งรูปที่ 4.1 จึงทำการทดสอบโดยเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μ m ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L ดังตารางที่ 4.1 พร้อมทั้งกำหนดให้ค่าแรงดันแหล่งจ่าย V_{DD} เท่ากับ 3V ค่ากระแสแหล่งจ่าย I_b , I_l , และ I_r เท่ากับ 10 μ A, 20 μ A, และ 50 μ A ตามลำดับ ในรูปที่ 4.5 เป็นผลการเลียนแบบการทำงานของอัลกอริทึม ADC ขนาด 1 บิตดังรูปที่ 4.1 โดยป้อนกระแส i_{in} เป็นสัญญาณไฟตรงที่มีการแปรค่าจาก 0A ถึง 50 μ A จากลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตในรูปที่ 4.5(ก) และ 4.5(ข) พบว่าช่วงที่ค่ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_r นั่นคือ กระแส i_{in} มีค่าระหว่าง 0A ถึง 25 μ A จะได้กระแสเอาต์พุต i_{out} มีค่าเท่ากับ $I_r - 2i_{in}$ หรือมีค่าลดลงจาก 50 μ A ถึง 0A และสถานะลอจิกของ D_o มีค่าเป็น 0 (Low) และในช่วงที่กระแส $2i_{in}$ มีค่ามากกว่ากระแส I_r หรือกระแส i_{in} มีค่าตั้งแต่ 25 μ A ถึง 50 μ A กระแสเอาต์พุต i_{out} จะมีค่าเท่ากับ $2i_{in} - I_r$ นั่นคือมีค่าเพิ่มขึ้นจาก 0A ถึง 50 μ A และสถานะลอจิกของ D_o มีค่าเป็น 1 (High) ในรูปที่ 4.6 แสดงผลการเลียนแบบผลตอบสนองทางความถี่ของอัลกอริทึม ADC ที่นำเสนอ พบว่า อัลกอริทึม ADC ดังรูปที่ 4.1 มีช่วงความถี่ปฏิบัติการสูงสุดประมาณ 96.541 MHz และเมื่อเปรียบเทียบกับผลการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรโดยแทนค่าในสมการที่ (4.27) พบว่า ช่วงความถี่ปฏิบัติการสูงสุดของวงจรมีค่าใกล้เคียงกัน

ตารางที่ 4.1 อัตราส่วน W/L ของมอสเฟตในอัลกอริทึม ADC ดังรูปที่ 4.1

มอสเฟต	$W(\mu\text{m})/L(\mu\text{m})$
$M_1, M_2, M_3, M_4, M_{10}$	6/1
$M_5, M_6, M_7, M_8, M_9, M_{16}, M_{18}, M_{20}$	4/1
M_{11}, M_{12}	12/1
M_{13}, M_{14}, M_{15}	8/1
M_{17}, M_{19}, M_{21}	1/1

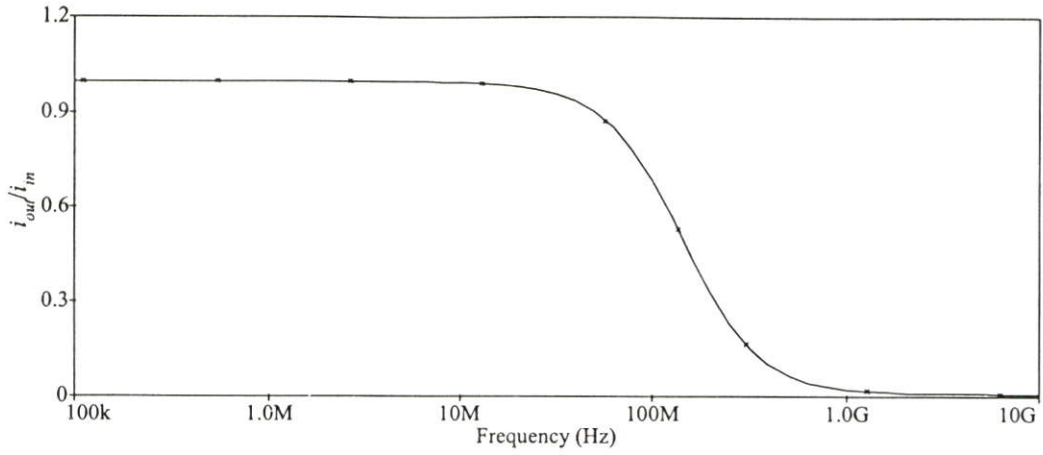


(ก) กระแสเอาต์พุต

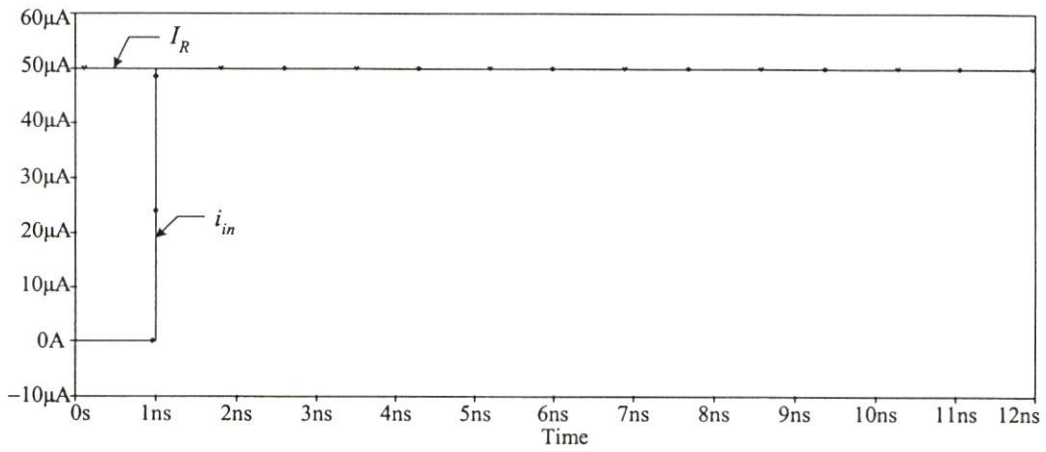


(ข) ดิจิตอลเอาต์พุต

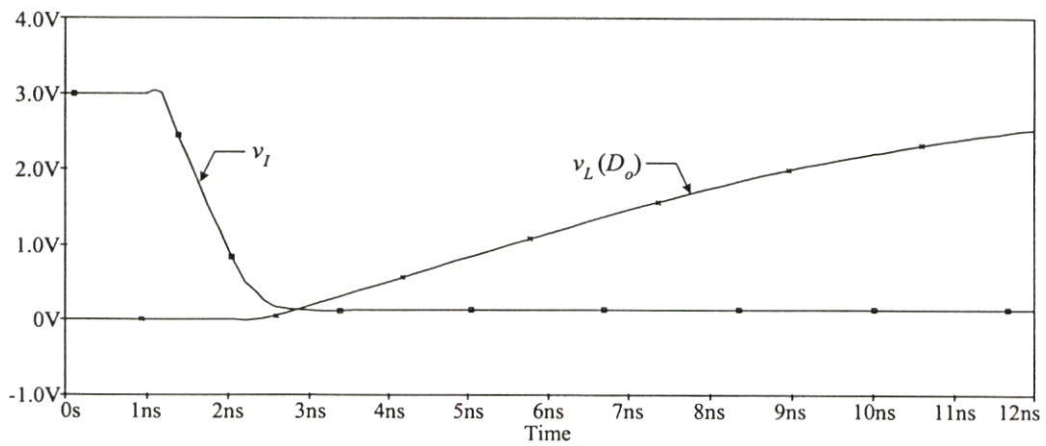
รูปที่ 4.5 ผลการเขียนแบบการทำงานของอัลกอริทึม ADC ขนาด 1 บิตที่นำเสนอส



รูปที่ 4.6 ผลตอบสนองทางความถี่ของอัลกอริทึม ADC ขนาด 1 บิตที่นำเสนอ



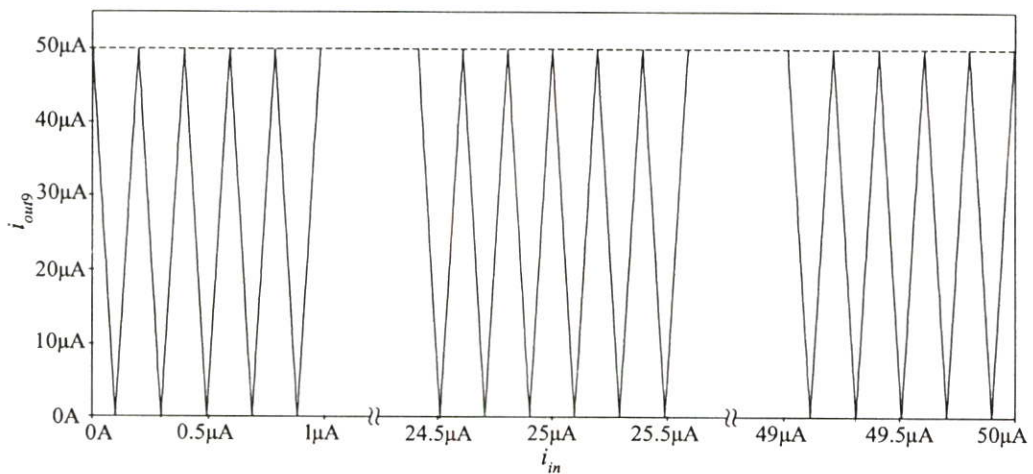
(ก) กระแสอินพุต i_{in} และกระแสอ้างอิง I_R



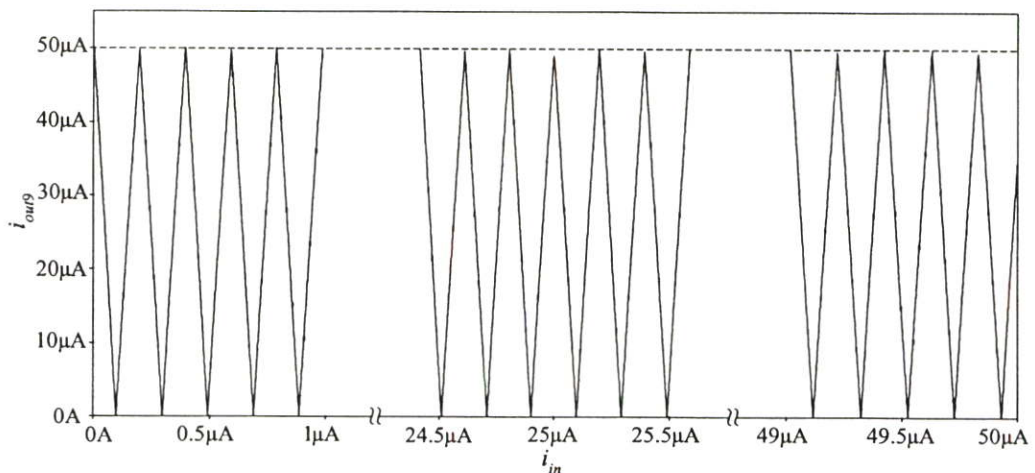
(ข) ค่าแรงดัน v_I และ v_L

รูปที่ 4.7 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการเปลี่ยนผันของอัลกอริทึม ADC ขนาด 1 บิต

เพื่อเป็นการทดสอบความเร็วในการแปลงผันของอัลกอริธึม ADC ขนาด 1 บิตคั้งรูปที่ 4.1 จะทำการป้อนกระแสอินพุต i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก 0A เป็น 50 μ A และป้อนค่ากระแสอ้างอิง I_R เป็นสัญญาณไฟตรงขนาด 25 μ A ดังรูปที่ 4.7(ก) พร้อมทั้งกำหนดให้ $C_L = 1.1$ pF ในรูปที่ 4.7(ข) แสดงค่าแรงดันที่โนด I และโนด L (v_I และ v_L) โดยที่ค่าแรงดัน v_L จะแสดงถึงสภาวะลจิกของสัญญาณดิจิทัลเอาต์พุต D_o พบว่า ช่วงเวลาที่ค่าแรงดัน $v_L = 0.5V_{DD} = 1.5V$ จะได้ความเร็วในการแปลงผันของอัลกอริธึม ADC ขนาด 1 บิต มีค่าประมาณ 6.1423 ns และเมื่อเปรียบเทียบกับผลการวิเคราะห์ความเร็วในการแปลงผันของอัลกอริธึม ADC ขนาด 1 บิต โดยแทนค่าในสมการที่ (4.28) พบว่า ความเร็วในการแปลงผันของ ADC มีค่าใกล้เคียงกัน



(ก) สัญญาณกระแส i_{out} บิตที่ 9 ในทางอุดมคติ



(ข) ผลการเลียนแบบการทำงาน

รูปที่ 4.8 กระแสเอาต์พุตบิตที่ 9 ของอัลกอริธึม ADC ที่นำเสนอขนาด 9 บิต

เพื่อเป็นการทดสอบการทำงานของอัลกอริทึม ADC ขนาด N บิต โดยการประยุกต์ใช้ อัลกอริทึม ADC ขนาด 1 บิตที่ได้นำเสนอด้งรูปที่ 4.1 จำนวน 9 วงจร ($N = 9$) มาต่อкасечกัน เป็นอัลกอริทึม ADC ขนาด 9 บิต โดยอัตราส่วน W/L ของมอสเฟตและค่าตัวแปรต่าง ๆ จะกำหนด เช่นเดียวกับการเลียนแบบการทำงานของอัลกอริทึม ADC ขนาด 1 บิต ในรูปที่ 4.8(ก) แสดง สัญญาณกระแส i_{out} บิตที่ 9 (LSB) ในทางอุดมคติ เมื่อสัญญาณกระแสอินพุตมีการแปรค่าจาก 0A ถึง 50 μ A จะได้สัญญาณเอาต์พุตของทุกบิตแปรค่าอยู่ระหว่าง 0A ถึง 50 μ A โดยมีความกว้างของ ฐานของสัญญาณรูปสามเหลี่ยมแต่ละรูปมีค่าประมาณ $50\mu A/2^{9-1} = 0.1953\mu A$ ในรูปที่ 4.8(ข) แสดง ผลการเลียนแบบการทำงานของอัลกอริทึม ADC ขนาด 9 บิต เมื่อเปรียบเทียบผลในทางอุดมคติดัง รูปที่ 4.8(ก) กับผลการเลียนแบบด้งรูปที่ 4.8(ข) พบว่า ผลการเลียนแบบการทำงานของอัลกอริทึม ADC ขนาด 9 บิต จะมีสัญญาณเอาต์พุตของทุกบิตมีการแปรค่าอยู่ระหว่าง 0A ถึง 50 μ A เช่นเดียวกับผลในทางอุดมคติ ถึงแม้ว่าสัญญาณรูปสามเหลี่ยมแต่ละรูปของผลการเลียนแบบการทำงานจะมีความเพี้ยนและความผิดพลาดสะสมเกิดขึ้น ซึ่งเป็นผลมาจากความผิดพลาดในการส่งผ่านกระแส ของ ADC ขนาด 1 บิตแต่ละวงจรถิ่นำมาต่อкасечกัน

4.5 บทสรุป

ในบทนี้ได้กล่าวถึงหลักการทำงานและการวิเคราะห์คุณสมบัติการทำงานที่สำคัญของ อัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ย้อนกลับที่ได้นำเสนอในวิทยานิพนธ์นี้ พร้อมทั้งได้ แสดงผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE เพื่อทดสอบและยืนยันความถูกต้องใน การทำงานของอัลกอริทึม ADC ที่นำเสนอในวิทยานิพนธ์

บทที่ 5

สรุปผลการวิจัยและข้อเสนอแนะในการทำวิจัยต่อ

5.1 สรุปผลการวิจัย

วิทยานิพนธ์นี้เป็นอีกแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาตัวแปลงผันแอนะล็อกเป็นดิจิทัล หรือ ADC หลักการที่นำเสนอมุ่งเน้นการออกแบบอัลกอริธึม ADC บนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบซิมอส โดยอัลกอริธึม ADC ที่นำเสนอจะมีการลงรหัสแบบเกรย์อีกรูปแบบหนึ่งซึ่งเรียกว่า “รหัสเกรย์แบบย้อนกลับ” โดยอาศัยหลักการการสังเคราะห์ลักษณะถ่ายโอนของวงจรเป็นรูปสามเหลี่ยมหงายที่มีลักษณะสมมาตร โครงสร้างของอัลกอริธึม ADC ที่ออกแบบจะประกอบไปด้วยวงจรฟังก์ชันสัมบูรณ์ วงจรสะท้อนกระแส และวงจรเปรียบเทียบกระแส และในการออกแบบได้ใช้วิธีการไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิมิต์ เพื่อลดความเพี้ยนของลักษณะถ่ายโอนกระแส นอกจากนี้ยังเป็นการเพิ่มความเร็วในการทำงานและผลตอบสนองความถี่ให้มีค่าสูง

คุณสมบัติการทำงานของอัลกอริธึม ADC ที่นำเสนอได้มีการวิเคราะห์สมรรถนะในทางทฤษฎีและมีการทดสอบด้วยการเลียนแบบการทำงานด้วยโปรแกรม PSPICE จากผลการวิเคราะห์และผลการเลียนแบบที่ได้ พบว่ามีความสอดคล้องกัน คุณสมบัติการทำงานที่สำคัญของอัลกอริธึม ADC ที่นำเสนอสามารถสรุปได้ดังตารางที่ 5.1

ตารางที่ 5.1 คุณสมบัติการทำงานที่สำคัญของอัลกอริธึม ADC ที่นำเสนอ

จำนวนมอสเฟต	21 ตัว
เทคโนโลยีของมอสเฟต	AMIS 0.5 μ m
ค่าแรงดันแหล่งจ่าย V_{DD}	3V
ค่าแรงดันแหล่งจ่ายต่ำสุด $V_{DD(min)}$	1.83V
ค่ากระแส I_B	10 μ A
ค่ากำลังสูญเสีย	57mW
จำนวนบิตที่เป็นไปได้	10 บิต
พิสัยพลวัต (Dynamic Range)	60 dB
ความแยกชัด (Resolution)	997 ppm
ผลตอบสนองทางความถี่	96.541 MHz
ความเร็วในการแปลงผัน ($N = 1$)	6.1423 ns
ความผิดพลาดสะสม ($N = 10$)	0.833 LSB

5.2 ข้อเสนอแนะในการทำวิจัยต่อ

จากอัลกอริทึม ADC ที่นำเสนอในวิทยานิพนธ์นี้ยังมีประเด็นที่น่าสนใจในการพัฒนาและทำวิจัยต่อ ดังนี้

ADC ที่นำเสนอเป็นวงจรที่ต้องการสัญญาณแอนะล็อกอินพุตในรูปของกระแส ดังนั้นการนำไปประยุกต์ใช้งานสำหรับการประมวลผลสัญญาณในรูปของสัญญาณแรงดันจำเป็นต้องมีวงจรแปลงสัญญาณแรงดันเป็นกระแส (Voltage-to-Current Converter) ที่ภาคแอนะล็อกอินพุตของ ADC ดังนั้นหากมีการพัฒนาโดยออกแบบให้ ADC สามารถรับค่าแรงดันอินพุตได้โดยตรง หรือสามารถรับสัญญาณอินพุตได้ทั้งค่าแรงดันอินพุตหรือกระแสอินพุต การนำ ADC ไปประยุกต์ใช้งานจะเกิดความยืดหยุ่นและคล่องตัวมากยิ่งขึ้น

ADC ที่นำเสนอสามารถทำงานได้ที่ค่าแรงดันแหล่งจ่ายต่ำสุดประมาณ 1.83V อย่างไรก็ตามหากสามารถทำการออกแบบและพัฒนาวงจรให้สามารถทำงานได้ที่ค่าแรงดันแหล่งจ่ายต่ำกว่าหรือเท่ากับ 1.5V แล้ว ADC ที่ได้จะมีความเหมาะสมกับแนวทางการนำไปประยุกต์ใช้กับอุปกรณ์จำพวกพกพา (Portable Device) ที่ต้องใช้กับค่าแรงดันแหล่งจ่ายซึ่งเป็นแบตเตอรี่ขนาด 1.5V เป็นหลัก

จากการทำวิจัยยังพบข้อจำกัดที่สำคัญสองประการ คือ สมรรถนะในการทำงานของวงจรสะท้อนกระแสและวงจรอินเวอร์เตอร์ ถ้าสามารถปรับปรุงวงจรสะท้อนกระแสให้มีความผิดพลาดน้อยลงจะเป็นการเพิ่มจำนวนบิตที่เป็นไปได้สำหรับการต่อкасาดอัลกอริทึม ADC ขนาด 1 บิต เพื่อประยุกต์ใช้งานเป็น ADC ขนาด N บิต และถ้าสามารถปรับปรุงวงจรสะท้อนกระแสให้มีความถี่ปฏิบัติงานสูงขึ้น จะทำให้ความเร็วในการสร้างสัญญาณกระแสเอาต์พุต i_{out} เพิ่มขึ้น นอกจากนี้ถ้าสามารถปรับปรุงความเร็วของวงจรอินเวอร์เตอร์ในการสร้างสัญญาณดิจิทัลเอาต์พุต D_o ให้มีความเร็วมากขึ้น จะทำให้เวลาที่ใช้ในการแปลงผันของ ADC ลดลง

เอกสารอ้างอิง

- [1] Rauth D.A. and Randal V.T. "Analog-to-Digital Conversion" **IEEE Instrumentation & Measurement Magazine.**, vol. 8, no. 4, October 2005. pp. 44-54.
- [2] Deyst J.P., Vytal J.J., Blasche P.R., and Siebert W.M. "Wideband distortion compensation for bipolar flash analog-to-digital converters" **Proc. IEEE-Instrumentation and Measurement Technology Conference.**, 12-14 May 1992. pp. 290-294.
- [3] มุกดา เทพรณินทรา. "การออกแบบวงจร A/D ขนาด 1 บิตโดยใช้วงจรไม่เป็นเชิงเส้น." วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2537.
- [4] Reyhani H. and Quinlan P. "A 5V, 6-b, 80 Ms/s BiCMOS flash ADC" **IEEE Journal of Solid-State Circuits.**, vol. 29, no. 8, Aug 1994. pp. 873-878.
- [5] Shu T.H., Bacrania K., and Gokhale R. "A BiCMOS fully-differential 10-bit 40 MHz pipelined ADC" **Proceedings of the 1995 Bipolar/BiCMOS Circuits and Technology Meeting.**, 2-3 Oct 1995. pp. 154-157.
- [6] Carreira J.P. and Franca J.E. "A two-step flash ADC for digital CMOS technology" **Second International Conference on Advanced A-D and D-A Conversion Techniques and their Applications.**, 6-8 Jul 1994. pp. 48-51.
- [7] Rodriguez-Vazquez A., Medeiro F., and Jansses E. **CMOS Telecom Data Converters.** Boston: Kluwer Academic Publishers. 2003.
- [8] Sheingold D. H. **Analog-Digital Conversion Handbook.** New Jersey: Prentice-Hall. 1986.
- [9] Daugherty K.M. **Analog-to-Digital Conversion: A Practical Approach.** New York: McGraw-Hill, Inc. 1995.
- [10] Hoeschele D.F. **Analog-To-Digital and Digital-To-Analog Conversion Techniques.** 2nd edition. New York : John Wiley & Sons Inc. 1994.
- [11] Nairn D.G. and Salama C.A.T. "Algorithmic Analogue/Digital Converter based on Current mirrors" **Electronics Letters.**, vol. 24, no. 8, April 1988. pp. 471-472.
- [12] Nairn D.G. and Salama C.A.T. "A Current mode Algorithmic Analog-to-Digital Converter" **IEEE International Symposium on Circuits and Systems.**, 14th, vol. 24, no.8, April 1988. pp. 471-472.

- [13] Nairn D.G. and Salama C.A.T. "Current-mode Algorithmic Analog-to-Digital Converters" **IEEE Journal of Solid-state Circuits**, August 1990. pp. 997-1004.
- [14] Pouliquen P.O., Boahen K.A., and Andreou. A.G. "A Gray-code MOS Current-mode Analog-to-Digital Converter Design" **IEEE International Symposium on Circuits and Systems**, vol. 4, 1991. pp. 1924-1927.
- [15] Daponte P., Grimaldi D., and Michaeli L. "A Full Neural Gray-code-based ADC" **IEEE Transactions on Instrumentation and Measurement**, vol. 45, no. 2, April 1996, pp. 634-639.
- [16] Signell S., Jonsson B., Stetrom H., and Tan N. "New A/D converter architectures based on Gray coding" **IEEE International Symposium on Circuits and Systems**, 1997, pp. 413-416.
- [17] Pace P.E., Styer D., and Akin I.A. "A Folding ADC Preprocessing Architecture Employing a Rubust Symmetrical Number System with Gray-code Properties" **IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing**, vol. 47, no. 5, May 2000, pp. 462-467.
- [18] Kaewpoonsuk A., Chaikla A., Linthong A., Lee T., and Riewruja V. "An Algorithmic Gray Code ADC Using Current Limiter" **Proc. of the International Symposium on Communications and Information Technology**, Chiang Mai, Thailand, 2001. pp. 287-290.
- [19] Pukkalanun T., Chaikla A., Julprapa A., Julsereewong P., Jaruwawat A., and Riewruja V. "An Algorithmic Gray Code ADC Using Triangular function circuit" **Proc. of the International Conference on Control, Automation and Systems**, Jeju, Korea, 2001. pp. 1169-1172.
- [20] Chaikla A., Pukkalanun T., Riewruja V., Wangwiwattana C., and Masuchun R. "A high-speed algorithmic ADC based on Maximum Circuit" **Proc. of the International Conference on Control, Automation and Systems**, Gyeongju, Korea, 2003. pp. 73-77.
- [21] Riewruja V. and Chaikla A. "A high-speed algorithmic ADC" **International Journal of Electronics**. vol. 91, no. 12, December 2004. pp. 719-733.
- [22] Vesalainen L., Poikonen J., Pankaala M., and Passio A. "A Gray-code Current-mode ADC for Mixed-mode Cellular Computer" **Proc. of the 2004 International Symposium on Circuits and Systems, ISCAS'04**, pp. III-81-III-84.

- [23] Black P.E. “NIST Dictionary of Algorithms and Data Structures: Gray code” [Online]. Available: <http://www.nist.gov/dads/HTML/graycode.html>. 2005.
- [24] Wikipedia. “Gray code” [Online]. Available: <http://www.answers.com/topic/gray-code>. 2005.
- [25] Cornell University “20.2 Gray Codes” [Online]. Available: <http://www.library.cornell.edu/nr/bookcpdf/c20-2.pdf>. 2005.
- [26] Johns D. and Martin K. **Analog Integrated Circuit Design**. New York: John Wiley & Sons Inc. 1997.
- [27] Razavi B. **Design of Analog CMOS Integrated Circuits**. New York: McGraw-Hill. 2001.
- [28] Hoeschele D.F. **Analog-To-Digital and Digital-To-Analog Conversion Techniques**. 2nd edition. New York : John Wiley & Sons Inc. 1994.
- [29] Staller L. “Understanding analog to digital converter specificaitons.” [Online]. Available: <http://www.embedded.com/showArticle.jhtml?articleID=60403334>. 2005.
- [30] Soin R.S., Maloberti F., and Franca J. **Analogue-Digital ASICs : circuit techniques, design tools and applications**. 1st edition. London : Peter Peregrinus. 1991.
- [31] National Semiconductor. “A/D Converter Definition of Terms.” [Online]. Available: www.national.com/appinfo/adc/files/definition_of_terms.pdf. 2000.
- [32] Greeneich E.W. **Analog Integrated Circuits**. New York: Chapman & Hall. 1997.
- [33] Gray P. R. and Meyer R.G. **Analysis and Design of Analog Integrated Circuits**. New York: John Wiley & Sons Inc. 1993.
- [34] วิจารณ์ กัฒกะพงษ์. “การสังเคราะห์วงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรอกที่สองชนิดแรงดันต่ำโดยใช้ซีมอส.” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2546.
- [35] DeMassa T.A. and Ciccone Z. **Digital Integrated Circuits**. New York: John Wiley & Sons Inc. 1996.
- [36] Arayawat S., Chaikla A., Petcmaneelumka P., Riewruja V., Julsereewong P., and Trisuwannawat T. “A CMOS-based Algorithmic ADC” **Proc. of Electron Devices and Solid-State Circuits.**, Hong Kong, 2005. pp. 661-664.
- [37] Uyemura J. P. **Circuit Design for CMOS VLSI**. Boston: Kluwer. 1993
- [38] Riewruja V. and Guntapong R. “A low-voltage wide-band CMOS precision full-wave rectifier” **International Journal of Electronics**. vol. 89, no. 6, June 2002. pp. 95-104.

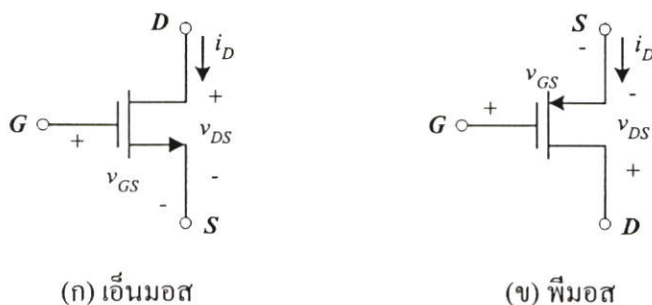
- [39] อัมพวัน ใจกล้า. “การออกแบบอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์.” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2549.
- [40] Palm W. J. **System Response. Control Systems Engineering.** New York: John Wiley & Sons Inc. 1986.
- [41] ทศชา ปุ๊กคะนนันท์. “วงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์โดยใช้ฟังก์ชันสามเหลี่ยม.” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2547.

ภาคผนวก ก

คุณสมบัติที่สำคัญและวงจรสมมูลของมอสเฟต

ก1. คุณสมบัติที่สำคัญของมอสเฟตที่มีการทำงานในช่วงอิมิตัว

ในการออกแบบ ADC ที่นำเสนอเป็นการออกแบบวงจรโดยใช้มอสทรานซิสเตอร์ ชนิดของมอสทรานซิสเตอร์ที่ใช้จะเป็นมอสเฟตแบบเอนแฮนซ์เมนต์ที่มีการทำงานอยู่ในช่วงนำกระแสอิมิตัวเป็นหลัก ดังนั้นเพื่อความกระชับในการกล่าวอ้าง คำว่า “มอสเฟต” ในวิทยานิพนธ์นี้จะหมายถึง “มอสเฟตแบบเอนแฮนซ์เมนต์”



(ก) เอ็นมอส

(ข) พีมอส

รูปที่ ก1 สัญลักษณ์ของมอสเฟต

ในรูปที่ ก1 แสดงสัญลักษณ์ของเอ็นมอส (NMOS) และพีมอส (PMOS) ซึ่งประกอบด้วย 3 ส่วน คือ เคน (Drain: D) เกต (Gate: G) และซอร์ส (Source: S) สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-signal Model) สำหรับการทำงานของมอสเฟตในช่วงนำกระแสอิมิตัว เมื่อ $|v_{DS}| \geq |v_{GS}| - |V_T|$ [32] จะมีค่ากระแสเคน i_D ดังนี้

$$|i_D| = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 (1 + \lambda |v_{DS}|) \quad (ก1.1)$$

เมื่อ	μ	คือ ค่าความคล่องตัวของโฮลหรืออิเล็กตรอน	$(\text{cm}^2/\text{V}\cdot\text{s})$
	C_{ox}	คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์	(F/m^2)
	W/L	คือ อัตราส่วนระหว่างความกว้างต่อความยาวของแชนเนล	$(\mu\text{m}/\mu\text{m})$
	v_{GS}	คือ ค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต	(V)
	V_T	คือ ค่าแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage)	(V)
	λ	คือ ค่าพารามิเตอร์ของการมอดูเลตความกว้างของแชนเนล	(V^{-1})
	v_{DS}	คือ ค่าแรงดันระหว่างขาเคนกับขาซอร์สของมอสเฟต	(V)

จากสมการที่ (ก1.1) ถ้าไม่คำนึงถึงผลกระทบของค่าพารามิเตอร์ λ จะได้ว่า

$$i_D = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 \quad (ก1.2)$$

หรือ
$$i_D = K (|v_{GS}| - |V_T|)^2 = \frac{\beta}{2} (|v_{GS}| - |V_T|)^2 = \frac{k'}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 \quad (ก1.3)$$

เมื่อ K และ β คือ ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต (Device Transconductance Parameter)

k' คือ ค่าพารามิเตอร์ของการนำกระแสของกระบวนการผลิต (Process Transconductance Parameter)

โดยที่
$$K = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) \quad (ก1.4)$$

$$\beta = \mu C_{ox} \left(\frac{W}{L} \right) \quad (ก1.5)$$

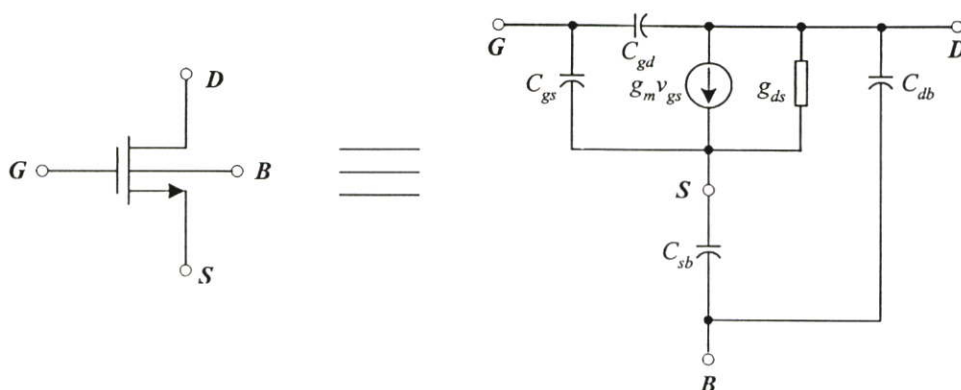
$$k' = \mu C_{ox} \quad (ก1.6)$$

การทำงานของมอสจะตรงกันข้ามกับเอ็นมอส โดยค่าแรงดันขีดเริ่มเปลี่ยน V_T ของพีมอส หรือ V_{TP} จะมีค่าเป็นลบ และจะต้องป้อนค่าแรงดัน v_{GS} ให้มีค่าลบ มากกว่าค่า V_{TP} นั่นคือ $v_{GS} - V_{TP} < 0$ จึงจะทำให้พีมอสอยู่ในสภาวะนำกระแส ดังนั้นค่าแรงดันที่ชาจอร์ส S จึงสูงกว่าค่าแรงดันที่ชาเดรน D ทำให้กระแสเดรน i_D ของพีมอสไหลจากจอร์สไปหาเดรน

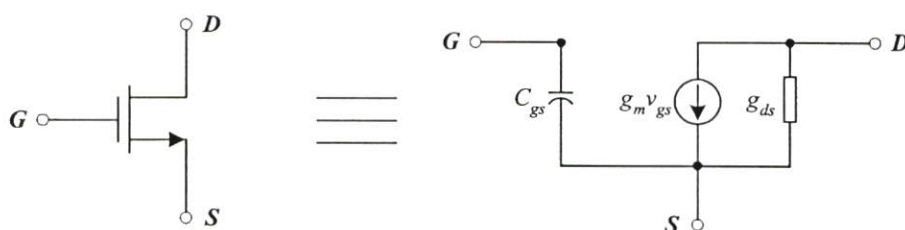
ก2. วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก

ในรูปที่ ก2 แสดงวงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ทำงานในช่วงอิมิตัว โดยมีค่าทรานส์คอนดักแตนซ์ (Transconductance) g_m และค่าความต้านทานเอาต์พุตของมอสเฟต r_{ds} คือ

$$g_m = \frac{\partial i_d}{\partial v_{gs}} = \frac{2i_D}{v_{GS} - V_T} \approx \sqrt{2\mu C_{ox} \frac{W}{L} i_D} \quad (ก2.1)$$



รูปที่ ก2 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ทำงานในช่วงอิมิตัว



รูปที่ ก3 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ใช้ในการวิเคราะห์ด้วยมือ

$$\frac{1}{r_{ds}} = g_{ds} = \frac{di_d}{dv_{ds}} = \lambda i_D \quad (\text{ก2.2})$$

จากวงจรสมมูลดังรูปที่ ก2 ได้พิจารณาถึงตัวเก็บประจุจำนวน 4 ตัว คือ ค่าความจุไฟฟ้ารวมระหว่างขาเกตและซอร์ส C_{gs} ค่าความจุไฟฟ้ารวมระหว่างเกตและเดรน C_{gd} ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างซอร์สกับซับสเตรต C_{sb} และค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างเดรนกับซับสเตรต C_{db} ซึ่งค่อนข้างยุ่งยากสำหรับการวิเคราะห์ห้วงจรด้วยมือ โดยทั่วไปจะถูกใช้สำหรับการวิเคราะห์โดยใช้การเลียนแบบการทำงานด้วยโปรแกรมคอมพิวเตอร์เท่านั้น [33] สำหรับการใช้นมอสเฟตที่มีการทำงานในช่วงอิมิตัวเป็นหลัก ค่าความจุไฟฟ้า C_{gd} จะมีค่าน้อยมาก เนื่องจากการเกิดสถานะพินช์ออฟ (Pinch Off) กล่าวคือแชนเนล (Channel) ซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านขาเดรนแคบมากและแรงดันที่ขาเดรนจะรบกวนต่อแชนเนลหรือประจุที่ขาเกตน้อยมาก ส่วนค่าความจุไฟฟ้า C_{gd} และ C_{sb} จะมีผลต่อการทำงานของมอสเฟตน้อยมากโดยเฉพาะเมื่อซอร์สถูกเชื่อมต่อกับฐานรอง ดังนั้นในการวิเคราะห์ห้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟตด้วยมือในวิทยานิพนธ์นี้จะพิจารณาเฉพาะค่าความจุ C_{gs} ซึ่งมีค่าประมาณ $2/3 C_{ox} WL$ สำหรับกรณีของค่าความต้านทานพิจารณาได้ว่า ค่าความต้านทานที่เกิดขึ้นระหว่างขาเกตกับซอร์ส r_{gs} และค่าความต้านทาน

ที่เกิดขึ้นระหว่างขาเกิดกับแตรน r_{gd} มีค่าสูงมาก เนื่องจากที่ขาเกิดของมอสเฟตถูกกั้นด้วยฉนวน ดังนั้นจึงคำนึงเฉพาะค่าความต้านทานหรือค่าความนำระหว่างขาแตรนกับซอร์ส r_{ds} หรือ g_{ds} เท่านั้น ดังวงจรมุมูลในรูปที่ ก3

ก3. ผลกระทบของอุณหภูมิที่มีผลต่อค่าพารามิเตอร์ของมอสเฟต

การเปลี่ยนแปลงของอุณหภูมิจะมีผลกระทบต่อค่าพารามิเตอร์ของมอสเฟตที่สำคัญอยู่สองตัวแปรด้วยกัน [37] คือ ความคล่องตัวของโฮลหรืออิเล็กตรอน μ และค่าแรงดันขีดเริ่มของมอสเฟต V_T ดังนี้

$$\mu(T) = \mu_{T=300K} \left(\frac{300}{T} \right)^2 = \mu_0 \left(\frac{300}{T} \right)^2 \quad (ก3.1)$$

$$V_T(T) = V_{T,T=300K} - \alpha(T - 300) = V_{T0} - \alpha(T - 300) \quad (ก3.2)$$

เมื่อ T คือ ค่าอุณหภูมิห้องในหน่วยเคลวิน (K)

μ_0 คือ ความคล่องตัวของโฮลหรืออิเล็กตรอนที่อุณหภูมิ 300K

V_{T0} คือ ค่าแรงดันขีดเริ่มของมอสเฟตที่อุณหภูมิ 300K

α มีค่าอยู่ในช่วง 0.5 mV/K ถึง 5 mV/K

จากสมการที่ (ก1.2) การเปลี่ยนแปลงของอุณหภูมิจะมีผลต่อค่าแรงดันระหว่างขาเกิดกับขาซอร์สของมอสเฟต ดังนี้

$$|v_{gs}| = \sqrt{\frac{2i_D}{\mu(T)C_{ox}} \left(\frac{L}{W} \right)} + |V_T(T)| \quad (ก3.3)$$

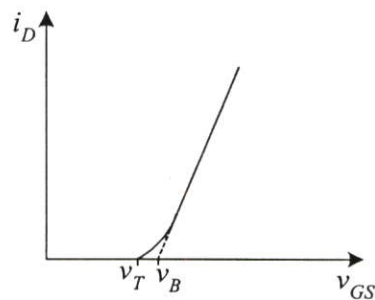
เมื่อแทนค่าจาก (ก3.1) และ (ก3.2) ลงใน (ก3.3) จะได้ค่าแรงดันระหว่างขาเกิดกับขาซอร์สของมอสเฟตที่อุณหภูมิ T คือ

$$|v_{gs}| = \left(\frac{T}{300} \right) \sqrt{\frac{2i_D}{\mu_0 C_{ox}} \left(\frac{L}{W} \right)} + |V_{T0}| - \alpha(T - 300) \quad (ก3.4)$$

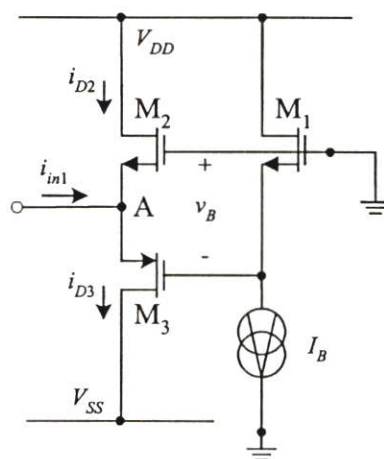
ก4. การไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว

การไบแอสมอสเฟตที่ขอบของการนำกระแสแสดงได้ดังจุด v_B ในรูปที่ ก4 [34] โดยที่ V_T เป็นค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟต ข้อได้เปรียบของการไบแอสมอสเฟตที่จุดนี้จะเป็นการลดความผิดเพี้ยนทางฮาร์โมนิกที่สอง และสามารถทำงานได้ที่ความถี่สูง [38] ตัวอย่างวงจรที่มีและไม่มี การไบแอสมอสเฟตที่ขอบของการนำกระแสแสดงในรูปที่ ก5(ก) และ ก5(ข) ตามลำดับ

จากรูปที่ ก5(ก) แหล่งจ่ายกระแส I_B จะจ่ายกระแสคงที่ให้กับมอสเฟต M_1 เพื่อทำให้เกิดความต่างศักย์ v_B ไบแอสให้กับมอสเฟต M_2 และ M_3 ทำให้มอสเฟต M_2 และ M_3 ถูกไบแอสที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว ค่าความต่างศักย์ v_B จะมีค่าประมาณ $V_{T2} + V_{T3}$ โดยที่ V_{T2} และ V_{T3} เป็นค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟต M_2 และ M_3 ตามลำดับ เพื่อทดสอบสมรรถนะของวงจรดังรูปที่ ก5 จะทำการทดสอบโดยเลียนแบบการทำงานด้วยโปรแกรม PSPICE ด้วยการใส่แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μm ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัว

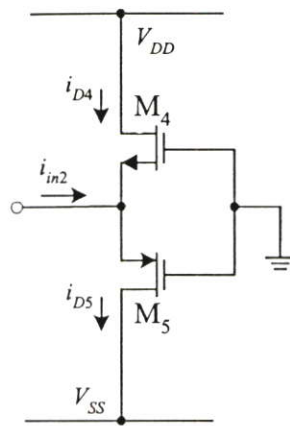


รูปที่ ก4 ตำแหน่งการไบแอสมอสเฟตที่ขอบของการนำกระแส



(ก) ตัวอย่างวงจรที่มี การไบแอสมอสเฟตที่ขอบของการนำกระแส

รูปที่ ก5 ตัวอย่างวงจรที่มีและไม่มี การไบแอสมอสเฟตที่ขอบของการนำกระแส

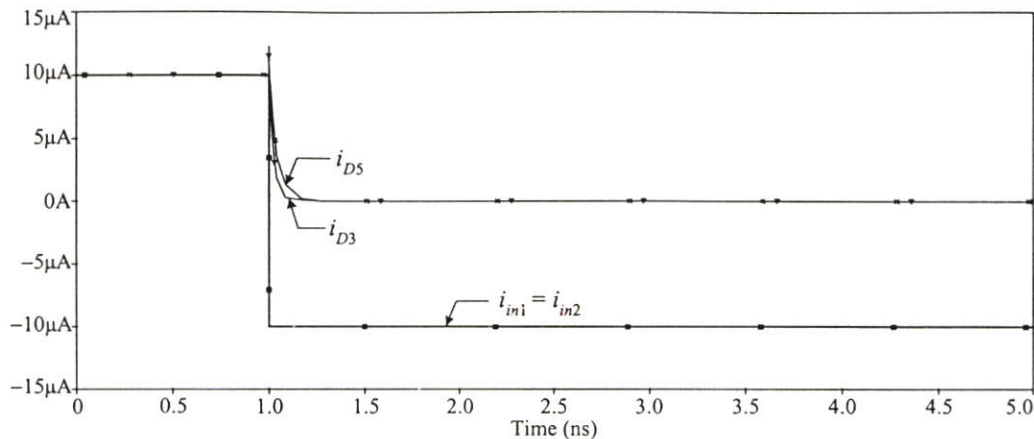


(ข) ตัวอย่างวงจรที่ไม่มีภาระไบแอสมอสเฟตที่ขอบของการนำกระแส
รูปที่ ก5 (ต่อ)

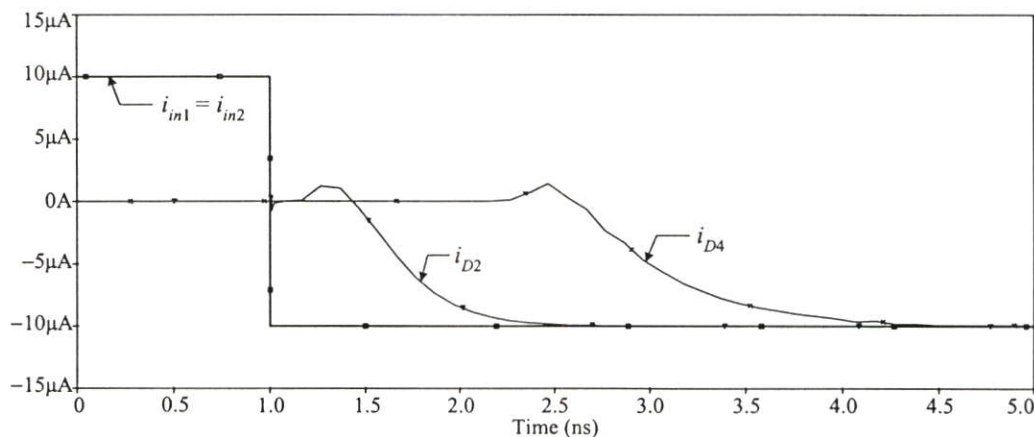
ได้กำหนดอัตราส่วน W/L เท่ากับ $4\mu\text{m}/1\mu\text{m}$ ยกเว้นอัตราส่วน W/L ของ M_1 ที่กำหนดให้เท่ากับ $1\mu\text{m}/1\mu\text{m}$ พร้อมทั้งได้กำหนดค่าแรงดันแหล่งจ่าย $V_{DD} = -V_{SS} = 5\text{V}$ และค่ากระแสแหล่งจ่าย $I_b = 15\mu\text{A}$

จากวงจรที่มีและไม่มีภาระไบแอสมอสเฟตที่ขอบของการนำกระแสดังรูปที่ ก5 พบว่า มอสเฟต M_2 และ M_4 จะทำงานเมื่อกระแสอินพุต i_{in1} และ i_{in2} มีค่าเป็นลบ ตามลำดับ ในขณะที่ มอสเฟต M_3 และ M_5 จะทำงานเมื่อกระแส i_{in1} และ i_{in2} มีค่าเป็นบวก ตามลำดับ เพื่อเปรียบเทียบความเร็วในการสวิตช์ (Switching Speed) [28] ของมอสเฟตระหว่าง M_2 กับ M_4 และ M_3 กับ M_5 จะทำการป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณขั้นบันไดที่มีค่าลดลงจาก $10\mu\text{A}$ เป็น $-10\mu\text{A}$ จากผลการเขียนแบบการทำงานในรูปที่ ก6 พบว่า ในช่วงเวลา $0\text{s} < t < 1\text{ns}$ เมื่อกระแส i_{in1} และ i_{in2} มีค่ามากกว่าศูนย์ มอสเฟต M_2 และ M_4 จะอยู่ในสภาวะไม่นำกระแส (Off) และมอสเฟต M_3 และ M_5 จะอยู่ในสภาวะนำกระแส (On) โดยที่กระแส $i_{D2} = i_{D4} = 0\text{A}$ และ $i_{D3} = i_{D5} = 10\mu\text{A}$ ในช่วงเวลา $t \geq 1\text{ns}$ กระแสอินพุต i_{in1} และ i_{in2} จะมีค่าน้อยกว่าศูนย์ มอสเฟต M_2 จะนำกระแสแทน M_3 และ มอสเฟต M_4 จะนำกระแสแทน M_5 จากรูปที่ ก6(ก) เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D3} และ i_{D5} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D3} และ i_{D5} มีค่าเปลี่ยนแปลงจาก $10\mu\text{A}$ เป็น $1\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_3 และ M_5 มีค่าประมาณ 0.629 ns และ 1.1023 ns ตามลำดับ จากรูปที่ ก6(ข) เมื่อพิจารณาช่วงเวลาที่ค่ากระแสมีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D2} และ i_{D4} มีค่าเปลี่ยนแปลงจาก 0A เป็น $-9\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_2 และ M_4 มีค่าประมาณ 1.09 ns และ 2.75 ns ตามลำดับ

ในรูปที่ ก7 แสดงผลการเขียนแบบการทำงานของวงจรในรูปที่ ก5 จากการป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณไฟสลับที่มีค่าแอมพลิจูด $20\mu\text{A}$ และความถี่เท่ากับ 10MHz



(ก) ความเร็วในการสวิตช์ Off ของมอสเฟต M_3 และ M_5

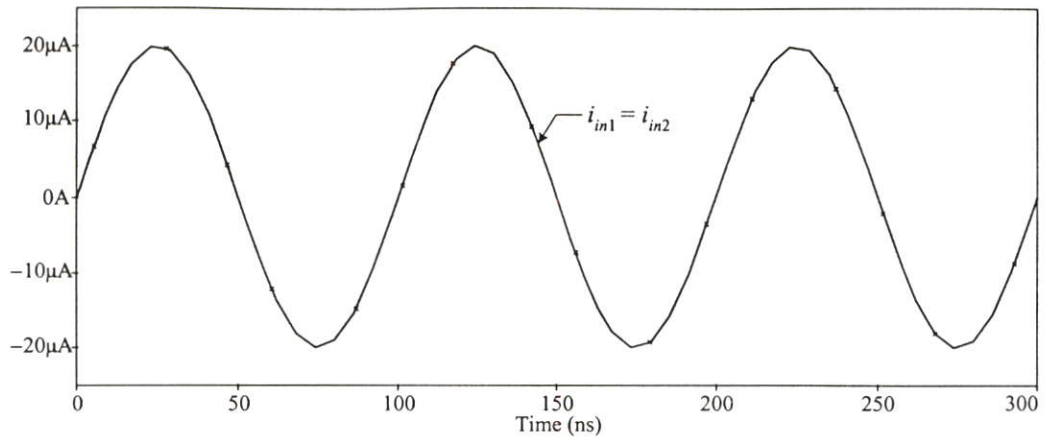
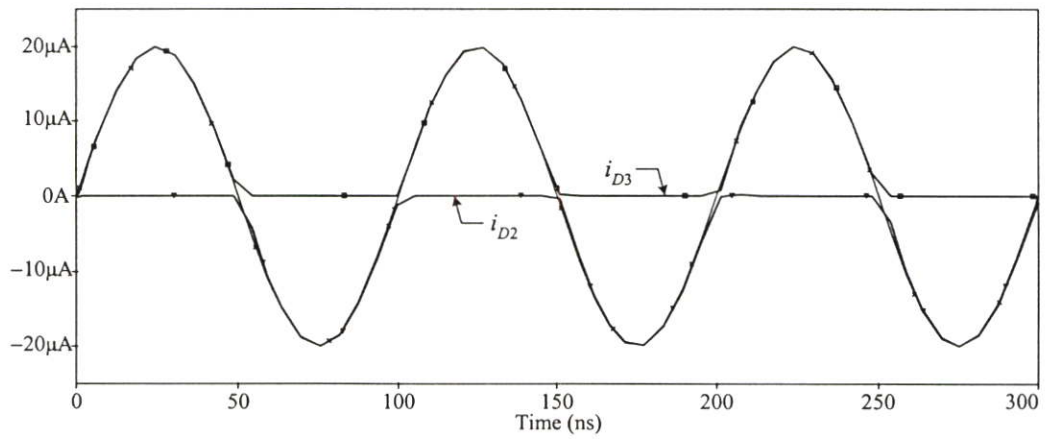
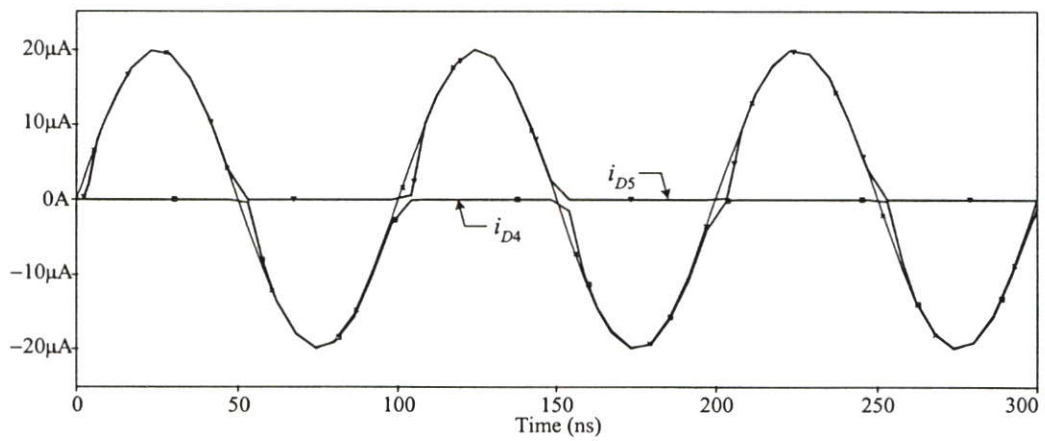


(ข) ความเร็วในการสวิตช์ On ของมอสเฟต M_2 และ M_4

รูปที่ 6 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟตในวงจรดังรูปที่ 65 เมื่อป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณขั้นบันไดที่มีค่าลดลง

ดังรูปที่ 67(ก) เพื่อเปรียบเทียบความเพี้ยน (Distortion) ของกระแสเอาต์พุต i_{D2} กับ i_{D4} และ i_{D3} กับ i_{D5} บริเวณช่วงสัญญาณผ่านจุดศูนย์ (Zero Crossing) ดังผลการเขียนแบบในรูปที่ 67(ข) และ 67(ค) ตามลำดับ

จากผลการเขียนแบบการทำงานในรูปที่ 66 และ 67 สามารถยืนยันได้ว่าวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส ทำให้วงจรมีช่วงเวลาดำเนิน (Delay Time) ลดลง ทำให้วงจรทำงานได้เร็วขึ้น และเกิดความเพี้ยนของสัญญาณเอาต์พุตน้อยลง

(ก) กระแสอินพุต $i_{in1} = i_{in2}$ (ข) กระแสเอาต์พุต i_{D2} และ i_{D3} (ค) กระแสเอาต์พุต i_{D4} และ i_{D5}

รูปที่ ก7 ผลการเลียนแบบการทำงานเพื่อศึกษาความถี่ของกระแสเอาต์พุตในวงจรดังรูปที่ ก5

ภาคผนวก ข

การวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสัมบูรณ์

ข1. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต

ในการวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต i_u ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 3.8 จะแยกพิจารณาเป็น 2 กรณี [39] ดังนี้

ข1.1 กรณีที่กระแสอินพุต i_u มีค่าเป็นลบ

จากรูปที่ 3.9 เป็นการทำงานของวงจรฟังก์ชันสัมบูรณ์กรณีกระแสอินพุต i_u มีค่าเป็นลบ ($i_u < 0$) เมื่อพิจารณาที่มอสเฟต M_5 และ M_6 จะได้ว่า

$$V_{DD} = v_{SG6} + v_{DG5} + v_{GS8} + v_{GS9} \quad (\text{ข1.1})$$

โดยที่

$$v_{DG5} = v_{DS5} - v_{GS5} \quad (\text{ข1.2})$$

เมื่อแทนค่าจากสมการที่ (ข1.2) ลงใน (ข1.1) พร้อมทั้งจัดรูปสมการใหม่ จะได้

$$v_{DS5} = V_{DD} - v_{SG6} + v_{GS5} - v_{GS8} - v_{GS9} \quad (\text{ข1.3})$$

เงื่อนไขที่ทำให้การทำงานของมอสเฟต M_5 อยู่ในช่วงนำกระแสคือ

$$v_{DS5} \geq v_{GS5} - V_{TN5} \quad (\text{ข1.4})$$

เมื่อแทนค่าจากสมการที่ (ข1.3) ลงใน (ข1.4) จะได้ว่า

$$V_{DD} \geq v_{SG6} + v_{GS8} + v_{GS9} - V_{TN5} \quad (\text{ข1.5})$$

จากความสัมพันธ์ระหว่างค่าแรงดันที่เกิดกับซอร์ส v_{GS} กับค่ากระแส i_D ของมอสเฟตดังสมการที่ (ก1.3) เมื่อจัดรูปของสมการที่ (ข1.5) ใหม่ จะได้

$$V_{DD} \geq \left(\sqrt{\frac{i_{D6}}{K_6}} + |V_{TP6}| \right) + \left(\sqrt{\frac{i_{D8}}{K_8}} + V_{TN8} \right) + \left(\sqrt{\frac{i_{D9}}{K_9}} + V_{TN9} \right) - V_{TN5} \quad (\text{ข1.6})$$

เมื่อแทนค่า $i_{D6} = |i_a|$ และ $i_{D8} = i_{D9} = I_B$ ลงใน (ข1.6) จะได้ช่วงปฏิบัติงาน เมื่อ i_a มีค่าเป็นลบ คือ

$$|i_a| \leq K_6 \left(V_{DD} - |V_{TP6}| - V_{TN8} - V_{TN9} + V_{TN5} - \sqrt{\frac{I_B}{K_8}} - \sqrt{\frac{I_B}{K_9}} \right)^2 \quad (\text{ข1.7})$$

สำหรับค่ากระแสอินพุต i_a ต่ำสุดที่วงจรยังคงสามารถทำงานได้หรือ $i_{a(\min)}$ เท่ากับ

$$i_{a(\min)} = -K_6 \left(V_{DD} - |V_{TN6}| - V_{TP8} - V_{TP9} + V_{TP5} - \sqrt{\frac{I_B}{K_8}} - \sqrt{\frac{I_B}{K_9}} \right)^2 \quad (\text{ข1.8})$$

ข1.2 กรณีที่กระแสอินพุต i_a มีค่าเป็นบวก

จากรูปที่ 3.10 เป็นการทำงานของวงจรฟังก์ชันสับบูรณกรณีกระแสอินพุต i_a มีค่าเป็นบวก ($i_a > 0$) เมื่อพิจารณาที่มอสเฟต M_1 , M_3 , และ M_4 จะได้ว่า

$$v_{DS4} = V_{DD} - v_{GS1} \quad (\text{ข1.9})$$

เงื่อนไขที่ทำให้การทำงานของมอสเฟต M_4 อยู่ในช่วงนำกระแสคือ

$$v_{DS4} \geq v_{GS4} - V_{TN4} \quad (\text{ข1.10})$$

เมื่อแทนค่าจากสมการที่ (ข1.9) ลงใน (ข1.10) จะได้

$$V_{DD} - v_{GS1} \geq v_{GS4} - V_{TN4} \quad (\text{ข1.11})$$

จากสมการที่ (ก1.3) เมื่อจัดรูปของสมการที่ (ข1.11) ใหม่ จะได้ว่า

$$V_{DD} - \left(\sqrt{\frac{i_{D1}}{K_1}} + V_{TN1} \right) \geq \left(\sqrt{\frac{i_{D4}}{K_4}} + V_{TN4} \right) - V_{TN4} \quad (\text{ข1.12})$$

เมื่อแทนค่า $i_{D1} = i_{D4} = i_a$ ลงในสมการที่ (ข1.12) จะได้

$$V_{DD} - V_{TN1} \geq \sqrt{\frac{i_a}{K_1}} + \sqrt{\frac{i_a}{K_4}} \quad (\text{ข1.13})$$

หรือ

$$i_a \leq \frac{K_1 K_4}{K_1 + 2\sqrt{K_1 K_4} + K_4} (V_{DD} - V_{TN1})^2 \quad (\text{ข1.14})$$

สำหรับค่ากระแสอินพุต i_a สูงสุดที่วงจรยังคงสามารถทำงานได้หรือ $i_{a(\max)}$ คือ

$$i_{a(\max)} = \frac{K_1 K_4}{K_1 + 2\sqrt{K_1 K_4} + K_4} (V_{DD} - V_{TN1})^2 \quad (\text{ข1.15})$$

จากสมการที่ (ข1.7) และ (ข1.14) จะได้ช่วงปฏิบัติการของกระแสอินพุตของวงจรฟังก์ชันสัมบูรณ์คือ

$$-K_6 \left(V_{DD} - |V_{TP6}| - V_{TN8} - V_{TN9} + V_{TN5} - \sqrt{\frac{I_B}{K_8}} - \sqrt{\frac{I_B}{K_9}} \right)^2 \leq i_a \leq \frac{K_1 K_4}{K_1 + 2\sqrt{K_1 K_4} + K_4} (V_{DD} - V_{TN1})^2 \quad (\text{ข1.16})$$

ข2. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากวงจรฟังก์ชันสัมบูรณ์ในรูปที่ 3.8 สามารถแทนด้วยวงจรสมมูลโดยไม่พิจารณาผลของตัวเก็บประจุได้ดังรูปที่ 3.11 [39] เมื่อพิจารณาในวงจรสมมูล จะได้ว่า

ที่โหนด A

$$i_a = (g_{ds1} + g_{ds5} + g_{m5})v_A - (g_{m5})v_B - (g_{ds5})v_D + (g_{m1})v_C \quad (\text{ข2.1})$$

ที่โหนด C

$$v_C = \left(\frac{g_{m4}}{g_{ds3} + g_{ds4} + g_{m3} + g_{m4}} \right) v_A \quad (\text{ข2.2})$$

ที่โหนด D

$$(g_{m2})v_C + (g_{m5})v_B + (g_{ds2} + g_{ds5} + g_{ds6} + g_{m6})v_D = (g_{ds5} + g_{m5})v_A \quad (\text{ข2.3})$$

ที่โหนด E

$$i_{D7} = -(g_{m7})v_D - (g_{ds7})v_E \quad (\text{ข2.4})$$

จากการทำงานของวงจรฟังก์ชันสัมบูรณ์ มอสเฟต M_5 และ M_1 จะทำงานสลับกัน ดังนั้นในการวิเคราะห์ค่าความต้านทานอินพุต r_{in} ในกรณีที่กระแสอินพุต i_a มีค่าเป็นลบ ($i_a < 0$) จะตัดมอสเฟต

M_1 และ M_2 ออกไป เนื่องจากมอสเฟต M_1 และ M_2 ไม่ทำงาน เสมือนเป็นวงจรมืด จากสมการที่ (ข2.1) และ (ข2.3) จะเขียนใหม่ได้ว่า

$$\text{ที่โหนด A} \quad i_a = (g_{ds5} + g_{m5})v_A - (g_{m5})v_B - (g_{ds5})v_D \quad (\text{ข2.5})$$

$$\text{ที่โหนด D} \quad (g_{m5})v_B = (g_{ds5} + g_{m5})v_A - (g_{ds5} + g_{ds6} + g_{m6})v_D \quad (\text{ข2.6})$$

เมื่อแทนค่าจากสมการที่ (ข2.6) ลงใน (ข2.5) จะได้ว่า

$$i_a = (g_{ds6} + g_{m6})v_D \quad (\text{ข2.7})$$

ดังนั้นค่าความต้านทานอินพุต r_{in} จะมีค่าเป็น

$$r_{in} = \frac{1}{g_{ds6} + g_{m6}} \quad ; i_a < 0 \quad (\text{ข2.8})$$

ในกรณีที่ค่ากระแสอินพุต i_a เป็นบวก ($i_a > 0$) มอสเฟต M_1 จะทำงานแทนมอสเฟต M_5 ดังนั้นในการวิเคราะห์ค่าความต้านทานอินพุตสำหรับกรณีนี้จะตัดมอสเฟต M_5 ออกไป เนื่องจากมอสเฟต M_5 ไม่ทำงาน เสมือนเป็นวงจรมืด จากสมการที่ (ข2.1) จะได้ว่า

$$\text{ที่โหนด A} \quad i_a = (g_{m1})v_C + (g_{ds1})v_A \quad (\text{ข2.9})$$

เมื่อแทนค่าจากสมการที่ (ข2.2) ลงใน (ข2.9) จะได้ค่าความต้านทานอินพุต r_{in} คือ

$$r_{in} = \frac{g_{ds3} + g_{ds4} + g_{m3} + g_{m4}}{g_{ds1}(g_{ds3} + g_{ds4} + g_{m3} + g_{m4}) + g_{m1}g_{m4}} \quad ; i_a > 0 \quad (\text{ข2.10})$$

จากสมการที่ (ข2.8) และ (ข2.10) ถ้า $g_m \gg g_{ds}$ ค่าความต้านทานอินพุต r_{in} จะมีค่าประมาณ

$$r_{in} \cong \begin{cases} \frac{1}{g_{m6}} & ; i_a < 0 \\ \frac{g_{m3} + g_{m4}}{g_{m1}g_{m4}} & ; i_a > 0 \end{cases} \quad (\text{ข2.11})$$

จากสมการที่ (ข2.4) ถ้า $v_D = 0V$ จะได้ค่าความต้านทานเอาต์พุต r_{out} ของวงจรฟังก์ชันสัมบูรณ์ คือ

$$r_{out} = \frac{1}{g_{ds7}} = r_{o7} \quad (\text{ข2.12})$$

ข3. การวิเคราะห์ค่าความผิดพลาดของวงจร

ในการวิเคราะห์ค่าความผิดพลาดในการทำงานของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 3.8 จะแยกวิเคราะห์เป็น 2 กรณี [39] ดังนี้

ข3.1 กรณีที่กระแสอินพุต i_a มีค่าเป็นลบ

ในกรณีที่ค่ากระแสอินพุต $i_a < 0$ ค่าความผิดพลาดของวงจรจะเกิดจากความไม่สมพียงกันของมอสเฟต M_6 และ M_7 เป็นหลัก เมื่อพิจารณาจากวงจรสมมูลดังรูปที่ 3.12 จะได้ว่าที่โนด A

$$-i_a = \left(\frac{g_{m5}r_{o5} + 1}{r_{o5}} \right) v_A - (g_{m5})v_B - \left(\frac{1}{r_{o5}} \right) v_D \quad (\text{ข3.1})$$

ที่โนด D

$$\left(\frac{g_{m6}r_{o6} + 1}{r_{o6}} + \frac{1}{r_{o5}} \right) v_D = \left(g_{m5} + \frac{1}{r_{o5}} \right) v_A - (g_{m5})v_B \quad (\text{ข3.2})$$

ที่โนด E

$$i_{D7} = -(g_{m7})v_D - \left(\frac{1}{r_{o7}} \right) v_E \quad (\text{ข3.3})$$

โดยที่

$$v_E = (R_L)i_{D7} \quad (\text{ข3.4})$$

เมื่อแทนค่าจากสมการที่ (ข3.4) ลงใน (ข3.3) จะได้ว่า

$$i_{D7} = \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_L} \right) (-v_D) \quad (\text{ข3.5})$$

จากสมการที่ (ข3.1) และ (ข3.2) ถ้าออกแบบให้ $g_{m5}r_{o5} \gg 1$ และ $g_{m6}r_{o6} \gg 1$ จะได้ว่า

$$-i_a \cong (g_{m5})(v_A - v_B) - \left(\frac{1}{r_{o5}} \right) v_D \quad (\text{ข3.6})$$

และ
$$(g_{m5})(v_A - v_B) = \left(g_{m6} + \frac{1}{r_{o5}} \right) v_D \quad (ข3.7)$$

เมื่อแทนค่าจากสมการที่ (ข3.7) ลงใน (ข3.6) จะได้ว่า

$$-v_D \cong \left(\frac{1}{g_{m6}} \right) i_a \quad (ข3.8)$$

เมื่อแทนค่าจากสมการที่ (ข3.8) ลงใน (ข3.5) จะได้ว่า

$$\frac{i_{D7}}{i_{ab}} \cong \frac{g_{m7} r_{o7}}{g_{m6} (r_{o7} + R_L)} \quad (ข3.9)$$

ถ้ากำหนดให้ ε_{abN} คือ ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_a < 0$

โดยที่
$$i_{D7} = (1 - \varepsilon_{abN})(-i_a) \quad (ข3.10)$$

หรือ
$$\varepsilon_{abN} = 1 - \left(\frac{i_{D7}}{i_a} \right) \quad (ข3.11)$$

เมื่อแทนค่าจากสมการที่ (ข3.9) ลงใน (ข3.11) จะได้ว่า

$$\varepsilon_{abN} = \frac{(g_{m6} - g_{m7})r_{o7} + g_{m6}R_L}{g_{m6}(r_{o7} + R_L)} \quad (ข3.12)$$

จากสมการที่ (ข3.12) ถ้ากำหนดให้ $r_{o7} \gg R_L$ จะได้ว่า

$$\varepsilon_{abN} \cong \frac{(g_{m6} - g_{m7})}{g_{m6}} + \frac{R_L}{r_{o7}}$$

หรือ
$$\varepsilon_{abN} \cong \frac{\Delta g_{m67}}{g_{m6}} + \frac{R_L}{r_{o7}} \quad (ข3.13)$$

เมื่อ Δg_{m67} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพียงกันของมอสเฟต M_6 และ M_7

ข3.2 กรณีที่กระแสอินพุต i_a มีค่าเป็นบวก

ในกรณีที่ค่ากระแส $i_a > 0$ ค่าความผิดพลาดวงจรในการทำงานของวงจรฟังก์ชันตัวคูณจะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_1, M_2, M_6 , และ M_7 เป็นหลัก เมื่อพิจารณาจากวงจรสมมูลดังรูปที่ 3.13 จะได้ว่า

ที่โหนด A

$$i_a = (g_{m1})v_C + \left(\frac{1}{r_{o1}}\right)v_A \quad (ข3.14)$$

ที่โหนด C

$$v_A = \left(\frac{1}{g_{m4}}\right)\left(\frac{g_{m3}r_{o3} + 1}{r_{o3}} + \frac{g_{m4}r_{o4} + 1}{r_{o4}}\right)v_C \quad (ข3.15)$$

ที่โหนด D

$$\left(\frac{g_{m6}r_{o6} + 1}{r_{o6}} + \frac{1}{r_{o2}}\right)v_D = (g_{m2})(-v_C) \quad (ข3.16)$$

ที่โหนด E

$$i_{D7} = (g_{m7})(-v_D) + \left(\frac{1}{r_{o7}}\right)(-v_E) \quad (ข3.17)$$

เมื่อ

$$v_E = (R_L)i_{D7} \quad (ข3.18)$$

เมื่อแทนค่าจากสมการที่ (ข3.18) ลงใน (ข3.17) จะได้ว่า

$$i_{D7} = \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_L}\right)(-v_D) \quad (ข3.19)$$

จากสมการที่ (ข3.15) ถ้าออกแบบให้ $g_{m3}r_{o3} \gg 1$ และ $g_{m4}r_{o4} \gg 1$ จะได้ว่า

$$v_A \cong \left(\frac{g_{m3} + g_{m4}}{g_{m4}}\right)v_C \quad (ข3.20)$$

จากสมการที่ (ข3.16) ถ้าออกแบบให้ $g_{m6}r_{o6} \gg 1$ จะได้ว่า

$$v_C \cong \left(\frac{g_{m6}r_{o2} + 1}{g_{m2}r_{o2}} \right) (-v_D) \quad (ข3.21)$$

เมื่อแทนค่าจากสมการที่ (ข3.21) ลงใน (ข3.20) จะได้ว่า

$$v_A \cong \left(\frac{g_{m3} + g_{m4}}{g_{m4}} \right) \left(\frac{g_{m6}r_{o2} + 1}{g_{m2}r_{o2}} \right) (-v_D) \quad (ข3.22)$$

เมื่อแทนค่าจากสมการที่ (ข3.21) และ (ข3.22) ลงใน (ข3.14) จะได้ว่า

$$-v_D = \left(\frac{g_{m2}g_{m4}r_{o2}r_{o1}}{(g_{m6}r_{o2} + 1)(g_{m1}g_{m4}r_{o1} + g_{m4} + g_{m3})} \right) i_{ab} \quad (ข3.23)$$

เมื่อแทนค่าจากสมการที่ (ข3.23) ลงใน (ข3.19) จะได้ว่า

$$\frac{i_{D7}}{i_a} = \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_L} \right) \left(\frac{g_{m2}g_{m4}r_{o2}r_{o1}}{(g_{m6}r_{o2} + 1)(g_{m4}(g_{m1}r_{o1} + 1) + g_{m3})} \right) \quad (ข3.24)$$

จากสมการที่ (ข3.24) ถ้าออกแบบให้ $g_{m6}r_{o2} \gg 1$ และ $g_{m1}r_{o1} \gg 1$ จะได้ว่า

$$\frac{i_{D7}}{i_a} \cong \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_L} \right) \left(\frac{g_{m2}g_{m4}r_{o1}}{g_{m6}(g_{m1}g_{m4}r_{o1} + g_{m3})} \right) \quad (ข3.25)$$

ถ้ากำหนดให้ ε_{abP} คือ ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_a > 0$

โดยที่
$$i_{D7} = (1 - \varepsilon_{abP}) i_a \quad (ข3.26)$$

หรือ
$$\varepsilon_{abP} = 1 - \left(\frac{i_{D7}}{i_a} \right) \quad (ข3.27)$$

เมื่อแทนค่าจากสมการที่ (ข3.25) ลงใน (ข3.27) จะได้ว่า

$$\varepsilon_{abP} = \frac{g_{m6}(g_{m1}g_{m4}r_{o1} + g_{m3})(r_{o7} + R_L) - g_{m2}g_{m4}g_{m7}r_{o1}r_{o7}}{g_{m6}(g_{m1}g_{m4}r_{o1} + g_{m3})(r_{o7} + R_L)} \quad (ข3.28)$$

จากสมการที่ (ข3.28) ถ้ากำหนดให้ $g_{m3} = g_{m4}$ และ $r_{o7} \gg R_L$ จะได้ว่า

$$\varepsilon_{abP} \cong \frac{(g_{m1}g_{m6} - g_{m2}g_{m7})g_{m4}r_{o1}}{g_{m4}g_{m6}(g_{m1}r_{o1} + 1)} + \frac{1}{g_{m1}r_{o1} + 1} + \frac{R_L}{r_{o7}} \quad (\text{ข3.29})$$

จากสมการที่ (ข3.29) ถ้าออกแบบให้ $g_{m1}r_{o1} \gg 1$ จะได้

$$\varepsilon_{abP} \cong \frac{(g_{m1}g_{m6} - g_{m2}g_{m7})}{g_{m6}g_{m1}} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}} \quad (\text{ข3.30})$$

$$\varepsilon_{abP} \cong \frac{(g_{m6} - g_{m7})g_{m1} + (g_{m1} - g_{m2})g_{m6} - (g_{m6} - g_{m7})(g_{m1} - g_{m2})}{g_{m6}g_{m1}} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}} \quad (\text{ข3.31})$$

หรือ

$$\varepsilon_{abP} \cong \frac{\Delta g_{m67}g_{m1} + \Delta g_{m12}g_{m6} - \Delta g_{m12}\Delta g_{m67}}{g_{m6}g_{m1}} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}} \quad (\text{ข3.32})$$

เมื่อ Δg_{m12} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_1 และ M_2
 Δg_{m67} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_6 และ M_7

จากสมการที่ (ข3.32) ถ้าค่า Δg_{m12} และ Δg_{m67} มีค่าน้อยมาก จะเขียนใหม่ได้ว่า

$$\varepsilon_{abP} \cong \frac{\Delta g_{m67}g_{m1} + \Delta g_{m12}g_{m6}}{g_{m6}g_{m1}} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}} \quad (\text{ข3.33})$$

ข4. การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 3.8 จะแยกวิเคราะห์เป็น 2 กรณี [39] ดังนี้

ข4.1 กรณีที่กระแสอินพุต i_a มีค่าเป็นลบ

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ในกรณีที่ค่ากระแสอินพุต $i_a < 0$ ดังรูปที่ 3.14 จะได้ว่า

ที่โหนด A

$$-i_a = (g_{ds5} + g_{m5} + sC_{gs5})v_A - (g_{m5} + sC_{gs5})v_B - (g_{ds5})v_D \quad (\text{ข4.1})$$

ที่โหนด B

$$(sC_{gs5})v_A = (g_{OB} + g_{ds8} + g_{m8} + sC_{gs5} + sC_{gs8})v_B - (g_{ds8} + g_{m8} + sC_{gs8})v_F \quad (ข4.2)$$

ที่โหนด D

$$(g_{ds5} + g_{ds6} + g_{m6} + sC_{gs6} + sC_{gs7})v_D + (g_{m5})v_B = (g_{ds5} + g_{m5})v_A \quad (ข4.3)$$

ที่โหนด E

$$i_{D7} = (g_{m7})(-v_D) + (g_{ds7})(-v_E) \quad (ข4.4)$$

ที่โหนด F

$$(g_{ds8} + g_{m8} + sC_{gs8})v_B = (g_{ds8} + g_{ds9} + g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9})v_F \quad (ข4.5)$$

จากสมการที่ (ข4.1) ถึง (ข4.5) ถ้า $g_m \gg g_{ds}$ จะเขียนใหม่ได้ว่า

ที่โหนด A

$$-i_a = (g_{m5} + sC_{gs5})(v_A - v_B) \quad (ข4.6)$$

ที่โหนด B

$$(sC_{gs5})v_A = (g_{OB} + g_{m8} + sC_{gs5} + sC_{gs8})v_B - (g_{m8} + sC_{gs8})v_F \quad (ข4.7)$$

ที่โหนด D

$$(g_{m6} + sC_{gs6} + sC_{gs7})v_D = (g_{m5})(v_A - v_B) \quad (ข4.8)$$

ที่โหนด E

$$i_{D7} = (g_{m7})(-v_D) \quad (ข4.9)$$

ที่โหนด F

$$v_F = \left(\frac{g_{m8} + sC_{gs8}}{g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9}} \right) v_B \quad (ข4.10)$$

เมื่อแทนค่าจากสมการที่ (ข4.10) ลงใน (ข4.7) จะได้ว่า

$$\begin{aligned} v_B &= \left(\frac{sC_{gs5}(g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9})}{(g_{OB} + g_{m8} + sC_{gs5} + sC_{gs8})(g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9}) - (g_{m8} + sC_{gs8})^2} \right) v_A \\ &= \left(\frac{M_1}{M_2} \right) v_A \end{aligned} \quad (ข4.11)$$

โดยที่

$$M_1 = sC_{gs5}(g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9}) \quad (ข4.12)$$

$$M_2 = (g_{0B} + g_{m8} + sC_{gs5} + sC_{gs8})(g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9}) - (g_{m8} + sC_{gs8})^2 \quad (ข4.13)$$

เมื่อแทนค่าจากสมการที่ (ข4.11) ลงใน (ข4.6) จะได้ว่า

$$-v_A = \left(\frac{M_2}{(g_{m5} + sC_{gs5})(M_2 - M_1)} \right) i_a \quad (ข4.14)$$

เมื่อแทนค่าจากสมการที่ (ข4.11) ลงใน (ข4.8) จะได้ว่า

$$v_A = \left(\frac{(g_{m6} + sC_{gs6} + sC_{gs7})M_2}{g_{m5}(M_2 - M_1)} \right) v_D \quad (ข4.15)$$

เมื่อแทนค่าจากสมการที่ (ข4.15) ลงใน (ข4.14) จะได้ว่า

$$-v_D = \left(\frac{g_{m5}}{(g_{m6} + sC_{gs6} + sC_{gs7})(g_{m5} + sC_{gs5})} \right) i_a \quad (ข4.16)$$

เมื่อแทนค่าจากสมการที่ (ข4.16) ลงใน (ข4.9) จะได้ว่า

$$\frac{i_{D7}}{i_a} = \frac{g_{m5}g_{m7}}{(g_{m6} + sC_{gs6} + sC_{gs7})(g_{m5} + sC_{gs5})} \quad (ข4.17)$$

หรือ

$$\frac{i_{D7}}{i_a} = \frac{g_{m7}/g_{m6}}{1 + s \left(\frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \right) + s^2 \left(\frac{C_{gs5}C_{gs6} + C_{gs5}C_{gs7}}{g_{m5}g_{m6}} \right)} \quad (ข4.18)$$

จากสมการที่ (ข4.18) ถ้าความถี่ s มีค่าต่ำ ๆ หรือในกรณีที่ $s = 0$ จะได้อัตราขยายกระแส β_{abN} คือ

$$\beta_{abN} = \left. \frac{i_{D7}}{i_a} \right|_{s=0} = \frac{g_{m7}}{g_{m6}} \quad (ข4.19)$$

ถ้ากำหนดให้

$$\frac{i_{D7}}{i_a} = \frac{N_{abN}(s)}{D_{abN}(s)} \quad (ข4.20)$$

จากสมการที่ (ข4.18) และ (ข4.20) จะได้ว่า

$$D_{abN}(s) = 1 + s \left(\frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \right) + s^2 \left(\frac{C_{gs5}C_{gs6} + C_{gs5}C_{gs7}}{g_{m5}g_{m6}} \right) \quad (ข4.21)$$

ในการวิเคราะห์ค่าโพลของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_a < 0$ จะกำหนดให้

$$D_{abN}(s) = \left(1 - \frac{s}{P_{1abN}} \right) \left(1 - \frac{s}{P_{2abN}} \right) \quad (ข4.22)$$

หรือ

$$D_{abN}(s) = 1 - s \left(\frac{1}{P_{1abN}} + \frac{1}{P_{2abN}} \right) + s^2 \left(\frac{1}{P_{1abN}P_{2abN}} \right) \quad (ข4.23)$$

เมื่อ P_{1abN} คือ โพลโคเด้นของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_a < 0$
 P_{2abN} คือ โพลที่ความถี่สูงกว่าของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_a < 0$

ถ้า $|P_{2abN}| \gg |P_{1abN}|$ จากสมการที่ (ข4.23) จะเขียนใหม่ได้ว่า

$$D_{abN}(s) \cong 1 - s \left(\frac{1}{P_{1abN}} \right) + s^2 \left(\frac{1}{P_{1abN}P_{2abN}} \right) \quad (ข4.24)$$

เมื่อเทียบค่าสัมประสิทธิ์ของสมการที่ (ข4.21) กับ (ข4.24) จะได้ค่าโพลของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_a < 0$ คือ

$$P_{1abN} \cong - \left(\frac{g_{m5}g_{m6}}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \right) \quad (ข4.25)$$

$$P_{2abN} \cong - \left(\frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{C_{gs5}C_{gs6} + C_{gs5}C_{gs7}} \right) \quad (ข4.26)$$

จากสมการที่ (ข4.18) ถึง (ข4.26) สามารถคำนวณหาค่าอัตราส่วน i_{D7}/i_a ของวงจรได้ดังนี้

$$\frac{i_{D7}}{i_a} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1abN}s + 1)(T_{2abN}s + 1)} \quad (ข4.27)$$

เมื่อ
$$T_{1abN} \equiv \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \quad (ข4.28)$$

$$T_{2abN} \equiv \frac{C_{gs5}(C_{gs6} + C_{gs7})}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \quad (ข4.29)$$

ข4.2 กรณีที่กระแสอินพุต i_a มีค่าเป็นบวก

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชัน
สัมบูรณ์ในกรณีที่ค่ากระแสอินพุต $i_a > 0$ ดังรูปที่ 3.15 จะได้ว่า

ที่โนด A

$$i_a = (g_{ds1} + sC_{gs4})v_A + (g_{m1} - sC_{gs4})v_C \quad (ข4.30)$$

ที่โนด C

$$(g_{m4} + sC_{gs4})v_A = (g_{ds3} + g_{ds4} + g_{m3} + g_{m4} + sC_{gs1} + sC_{gs2} + sC_{gs3} + sC_{gs4})v_C \quad (ข4.31)$$

ถ้ากำหนดให้

$$C_p = C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} \quad (ข4.32)$$

จากสมการที่ (ข4.31) จะเขียนใหม่ได้ว่า

$$(g_{m4} + sC_{gs4})v_A = (g_{ds3} + g_{ds4} + g_{m3} + g_{m4} + sC_p)v_C \quad (ข4.33)$$

ที่โนด D

$$(g_{ds2} + g_{ds6} + g_{m6} + sC_{gs6} + sC_{gs7})v_D = (g_{m2})(-v_C) \quad (ข4.34)$$

ที่โนด E

$$i_{D7} = (g_{m7})(-v_D) + (g_{ds7})(-v_E) \quad (ข4.35)$$

จากสมการที่ (ข4.30) ถึง (ข4.35) ถ้า $g_m \gg g_{ds}$ จะเขียนใหม่ได้ว่า

ที่โนด A
$$i_a = (sC_{gs4})v_A + (g_{m1} - sC_{gs4})v_C \quad (ข4.36)$$

ที่โนด C
$$v_A = \left(\frac{g_{m3} + g_{m4} + sC_p}{g_{m4} + sC_{gs4}} \right)v_C \quad (ข4.37)$$

$$\text{ที่ โหนด D} \quad v_C = \left(\frac{g_{m6} + sC_{gs6} + sC_{gs7}}{g_{m2}} \right) (-v_D) \quad (ข4.38)$$

$$\text{ที่ โหนด E} \quad i_{D7} = (g_{m7})(-v_D) \quad (ข4.39)$$

เมื่อแทนค่าจากสมการที่ (ข4.38) ลงใน (ข4.37) จะได้ว่า

$$v_A = \left(\frac{g_{m3} + g_{m4} + sC_p}{g_{m4} + sC_{gs4}} \right) \left(\frac{g_{m6} + sC_{gs6} + sC_{gs7}}{g_{m2}} \right) (-v_D) \quad (ข4.40)$$

เมื่อแทนค่าจากสมการที่ (ข4.38) และ (ข4.40) ลงใน (ข4.36) จะได้ว่า

$$\frac{-v_D}{i_a} = \frac{g_{m2}(g_{m4} + sC_{gs4})}{(g_{m6} + sC_{gs6} + sC_{gs7})(sC_{gs4}(g_{m3} + g_{m4} + sC_p) + (g_{m1} - sC_{gs4})(g_{m4} + sC_{gs4}))} \quad (ข4.41)$$

เมื่อแทนค่าจากสมการที่ (ข4.41) ลงใน (ข4.39) จะได้ว่า

$$\frac{i_{D7}}{i_a} = \frac{\left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \left(1 + s \left(\frac{C_{gs4}}{g_{m4}} \right) \right)}{\left(1 + s \left(\frac{C_{gs6} + C_{gs7}}{g_{m6}} \right) \right) \left(1 + s \left(\frac{g_{m1}C_{gs4} + g_{m3}C_{gs4}}{g_{m1}g_{m4}} \right) + s^2 \left(\frac{C_{gs4}C_p - C_{gs4}^2}{g_{m1}g_{m4}} \right) \right)} \quad (ข4.42)$$

จากสมการที่ (ข4.42) ถ้าความถี่ s มีค่าต่ำ ๆ หรือในกรณีที่ $s = 0$ จะได้อัตราขยายกระแส β_{abP} คือ

$$\beta_{abP} = \left. \frac{i_{D7}}{i_a} \right|_{s=0} = \frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \quad (ข4.43)$$

เมื่อพิจารณาเทอมส่วนของสมการที่ (ข4.42) เทอมที่สามซึ่งเป็นสัมประสิทธิ์ของ s^2 จะมีค่าน้อยกว่าเทอมอื่น ๆ มาก จึงสามารถตัดทิ้งไปได้ ดังนั้น

$$\frac{i_{D7}}{i_a} \cong \frac{\left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \left(1 + s \left(\frac{C_{gs4}}{g_{m4}} \right) \right)}{\left(1 + s \left(\frac{C_{gs6} + C_{gs7}}{g_{m6}} \right) \right) \left(1 + s \left(\frac{g_{m1}C_{gs4} + g_{m3}C_{gs4}}{g_{m1}g_{m4}} \right) \right)} \quad (ข4.44)$$

จากสมการที่ (๗4.44) สามารถคำนวณหาค่าอัตราส่วน i_{D7}/i_a ของวงจรได้ดังนี้

$$\frac{i_{D7}}{i_a} \cong \left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \frac{(T_{3abP}S + 1)}{(T_{1abP}S + 1)(T_{2abP}S + 1)} \quad (๗4.45)$$

เมื่อ

$$T_{1abP} \cong \frac{C_{gs6} + C_{gs7}}{g_{m6}} \quad (๗4.46)$$

$$T_{2abP} \cong \frac{(g_{m1} + g_{m3})C_{gs4}}{g_{m1}g_{m4}} \quad (๗4.47)$$

$$T_{3abP} \cong \frac{C_{gs4}}{g_{m4}} \quad (๗4.48)$$

ภาคผนวก ก
การวิเคราะห์คุณสมบัติการทำงานของ
อัลกอริธึม ADC ที่นำเสนอ

ก1. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส

ความผิดพลาดในการส่งผ่านกระแสของอัลกอริธึม ADC ที่ออกแบบดังรูปที่ 4.1 จะเกิดจากความไม่สมพงษ์กันทุกประการของมอสเฟตในวงจรสะท้อนกระแสและความผิดพลาดของวงจรฟังก์ชันสับบอร์นเป็นหลัก

เมื่อกำหนดให้

ε_{CM1} คือ ค่าความผิดพลาดของวงจรสะท้อนกระแส M_{10} - M_{11}

ε_{CM2} คือ ค่าความผิดพลาดของวงจรสะท้อนกระแส M_{13} - M_{14}

ε_{ab} คือ ค่าความผิดพลาดของวงจรฟังก์ชันสับบอร์น

จากการทำงานของวงจรสะท้อนกระแส M_{10} - M_{11} และ M_{13} - M_{14} ซึ่งมีค่าอัตราขยายกระแสเท่ากันสอง และหนึ่ง ตามลำดับ จะได้ว่า

$$i_{D11} = 2i_{in} (1 - \varepsilon_{CM1}) \quad (ก1.1)$$

$$i_{D14} = I_R (1 - \varepsilon_{CM2}) \quad (ก1.2)$$

โดยที่

$$\varepsilon_{CM1} = \begin{cases} \frac{2g_{m10} - g_{m11} + \frac{1}{g_{m6}r_{o11}}}{2g_{m10}} & ; i_a < 0 \\ \frac{2g_{m10} - g_{m11} + \frac{g_{m3} + g_{m4}}{g_{m1}g_{m4}r_{o11}}}{2g_{m10}} & ; i_a \geq 0 \end{cases} \quad (ก1.3)$$

$$\varepsilon_{CM2} = \begin{cases} \frac{g_{m13} - g_{m14} + \frac{1}{g_{m6}r_{o14}}}{g_{m13}} & ; i_a < 0 \\ \frac{g_{m13} - g_{m14} + \frac{g_{m3} + g_{m4}}{g_{m1}g_{m4}r_{o14}}}{g_{m13}} & ; i_a \geq 0 \end{cases} \quad (ก1.4)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 4.1 จะได้ว่า $g_{m1} = g_{m3} = g_{m4} = 2.5715 \times 10^{-4}$ A/V, $g_{m6} = 2.9693 \times 10^{-4}$ A/V, $g_{m10} = 4.1464 \times 10^{-4}$ A/V, $g_{m11} = 8.3184 \times 10^{-4}$ A/V, $g_{m13} = 4.2118 \times 10^{-4}$ A/V, $g_{m14} = 4.1992 \times 10^{-4}$ A/V, $r_{o11} = 2.898$ M Ω , $r_{o14} = 2.9412$ M Ω ถ้าค่ากระแส $i_a < 0$ จะได้ว่าความผิดพลาด ε_{CM1} และ ε_{CM2} มีค่าประมาณ -1.9381×10^{-3} และ -1.855×10^{-3} ตามลำดับ ในกรณีที่ค่ากระแส $i_a \geq 0$ จะได้ว่าค่าความผิดพลาด $\varepsilon_{CM1} = -4.1670 \times 10^{-4}$ และ $\varepsilon_{CM2} = -3.5558 \times 10^{-4}$

เมื่อพิจารณาที่โหนด H จะได้

$$i_a = i_{D14} - i_{D11} \quad (ค1.5)$$

เมื่อแทนค่า (ค1.1) และ (ค1.2) ลงใน (ค1.5) จะได้ว่า

$$i_a = (I_R(1 - \varepsilon_{CM2}) - 2i_{in}(1 - \varepsilon_{CM1}))(1 - \varepsilon_{ab}) \quad (ค1.6)$$

จากการทำงานของวงจรฟังก์ชันสับบุรณ์ จะได้ว่ากระแสเอาต์พุต i_{out} ดังนี้

$$i_{out} = |i_a(1 - \varepsilon_{ab})| \quad (ค1.7)$$

$$\text{เมื่อ } \varepsilon_{ab} = \begin{cases} \frac{(g_{m6} - g_{m7}) + \frac{R_L}{r_{o7}}}{g_{m6}} & ; i_a < 0 \\ \frac{(g_{m6} - g_{m7})g_{m1} + (g_{m1} - g_{m2})g_{m6} + \frac{(r_{o7} + g_{m1}r_{o1}R_L)}{g_{m1}r_{o1}r_{o7}}}{g_{m1}g_{m6}} & ; i_a \geq 0 \end{cases} \quad (ค1.8)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 4.1 จะได้ว่า $g_{m6} = 2.9693 \times 10^{-4}$ A/V, $g_{m7} = 2.9711 \times 10^{-4}$ A/V, $g_{m1} = 2.5715 \times 10^{-4}$ A/V, $g_{m2} = 2.5745 \times 10^{-4}$ A/V, $r_{o1} = 3.448$ M Ω , $r_{o7} = 2.985$ M Ω , และ $R_L = 1$ k Ω ถ้ากระแส $i_a < 0$ จะได้ว่าความผิดพลาด ε_{ab} มีค่าประมาณ -2.950×10^{-4} แต่ถ้ากระแส $i_a \geq 0$ จะได้ว่าความผิดพลาด ε_{ab} มีค่าประมาณ -3.372×10^{-4}

จากสมการที่ (ค1.6) และ (ค1.7) ถ้ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_R ($2i_{in} < I_R$) จะได้ว่ากระแส i_a มีค่าเป็นลบ ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} จะมีค่าดังนี้

$$i_{out} \cong I_R(1 - \varepsilon_{i2}) - 2i_{in}(1 - \varepsilon_{i1}) \quad (ค1.9)$$

โดยที่
$$\varepsilon_{r1} = \varepsilon_{CM1} + \varepsilon_{ab} - \varepsilon_{CM1}\varepsilon_{ab} \quad (ก1.10)$$

$$\varepsilon_{r2} = \varepsilon_{CM2} + \varepsilon_{ab} - \varepsilon_{CM2}\varepsilon_{ab} \quad (ก1.11)$$

ในกรณีที่กระแส $2i_{in}$ มีค่ามากกว่าหรือเท่ากับกระแส I_R ($2i_{in} \geq I_R$) จะได้กระแส i_a มีค่าเป็นบวก ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} จะมีค่าดังนี้

$$i_{out} \cong 2i_{in1}(1 - \varepsilon_{r1}) - I_R(1 - \varepsilon_{r2}) \quad (ก1.12)$$

จากสมการที่ (ก1.9) และ (ก1.12) สามารถสรุปได้ว่ากระแสเอาต์พุต i_{out} จะมีค่าดังนี้

$$i_{out} = \begin{cases} I_R(1 - \varepsilon_{r2}) - 2i_{in}(1 - \varepsilon_{r1}) & ; 2i_{in} < I_R \\ 2i_{in}(1 - \varepsilon_{r1}) - I_R(1 - \varepsilon_{r2}) & ; 2i_{in} \geq I_R \end{cases} \quad (ก1.13)$$

ก2. การวิเคราะห์ความผิดพลาดสะสม

ในการวิเคราะห์ความผิดพลาดสะสมของอัลกอริทึม ADC แบบเกรย์ย้อนกลับขนาด N บิต ดังรูปที่ 4.2 จะวิเคราะห์ในกรณีที่ป้อนค่ากระแสอินพุต i_{in} ของ One-bit Cell 1 เท่ากับค่ากระแสอ้างอิง I_R ($i_{in1} = I_R$) จากการแปลงผันของ ADC จะได้ดิจิทัลเอาต์พุตของทุกบิตมีค่าเป็น 1 (High) ถ้ากำหนดให้ ε_{Cj} คือ ค่าความผิดพลาดสะสมของ One-bit Cell ที่พัฒนาขึ้นในลำดับที่ j โดยที่

$$\varepsilon_{Cj} = i_{outj(real)} - i_{outj(ideal)} \quad (ก2.1)$$

เมื่อ $i_{outj(real)}$ คือ ค่ากระแสเอาต์พุตของ One-bit Cell ในลำดับที่ j ที่มีค่าความผิดพลาด

$i_{outj(ideal)}$ คือ ค่ากระแสเอาต์พุตของ One-bit Cell ในลำดับที่ j ในอุดมคติ

เมื่อพิจารณาที่ One-bit Cell 1 หรือ MSB ในกรณีที่สัญญาณดิจิทัลเอาต์พุต D_{o1} มีค่าเป็น 1 จะได้

$$i_{out1(ideal)} = 2i_{in1} - I_R \quad (ก2.2)$$

จากสมการที่ (ก1.12) จะได้ว่า

$$i_{out1(real)} \cong 2i_{in1}(1 - \varepsilon_{r1}) - I_R(1 - \varepsilon_{r2}) \quad (ก2.3)$$

เมื่อแทนค่าจากสมการที่ (ก2.2) และ (ก2.3) ลงใน (ก2.1) จะได้ว่า

$$\varepsilon_{C1} = (\varepsilon_{i2})I_R - (\varepsilon_{i1})2i_{in1} \quad (\text{ก2.4})$$

จากสมการที่ (ก2.4) เมื่อ $i_{in1} = I_R$ จะได้

$$\varepsilon_{C1} = (\varepsilon_{i2} - 2\varepsilon_{i1})I_R \quad (\text{ก2.5})$$

เมื่อพิจารณาที่ One-bit Cell 2 โดยที่ $i_{in2} = i_{out1}$ และสัญญาณคิวิตอลเอาต์พุต D_{o2} มีค่าเป็น 1 จะได้ว่า

$$i_{out2(ideal)} = 2i_{in2(ideal)} - I_R = 2i_{out1(ideal)} - I_R \quad (\text{ก2.6})$$

เมื่อแทนค่าจากสมการที่ (ก2.2) ลงใน (ก2.6) จะได้

$$i_{out2(ideal)} = 4i_{in1} - 3I_R \quad (\text{ก2.7})$$

จากสมการที่ (ก1.12) จะได้ว่า

$$i_{out2(real)} \cong 2i_{out1(real)}(1 - \varepsilon_{i1}) - I_R(1 - \varepsilon_{i2}) \quad (\text{ก2.8})$$

เมื่อแทนค่าจากสมการที่ (ก2.3) ลงใน (ก2.8) จะได้ว่า

$$i_{out2(real)} = (4i_{in1} - 3I_R) + (4\varepsilon_{i1}^2 - 8\varepsilon_{i1})i_{in1} + (3\varepsilon_{i2} + 2\varepsilon_{i1} - 2\varepsilon_{i1}\varepsilon_{i2})I_R \quad (\text{ก2.9})$$

หรือ

$$i_{out2(real)} \cong (4 - 8\varepsilon_{i1})i_{in1} + (-3 + 2\varepsilon_{i1} + 3\varepsilon_{i2})I_R \quad (\text{ก2.10})$$

เมื่อแทนค่าจากสมการที่ (ก2.7) และ (ก2.9) ลงใน (ก2.1) จะได้ว่า

$$\varepsilon_{C2} = (4\varepsilon_{i1}^2 - 8\varepsilon_{i1})i_{in1} + (2\varepsilon_{i1} + 3\varepsilon_{i2} - 2\varepsilon_{i1}\varepsilon_{i2})I_R \quad (\text{ก2.11})$$

จากสมการที่ (ก2.11) เมื่อ $i_{in1} = I_R$ จะได้

$$\varepsilon_{C2} = (3\varepsilon_{i2} - 6\varepsilon_{i1} + 4\varepsilon_{i1}^2 - 2\varepsilon_{i1}\varepsilon_{i2})I_R \quad (ก2.12)$$

เมื่อพิจารณาที่ One-bit Cell 3 โดยที่ $i_{in3} = i_{out2}$ และสัญญาณดิจิทัลเอาต์พุต D_{o3} มีค่าเป็น 1 จะได้ว่า

$$i_{out3(ideal)} = 2i_{out2(ideal)} - I_R \quad (ก2.13)$$

เมื่อแทนค่าจากสมการที่ (ก2.7) ลงใน (ก2.13) จะได้ว่า

$$i_{out3(ideal)} = 8i_{in1} - 7I_R \quad (ก2.14)$$

จากสมการที่ (ก1.12) จะได้ว่า

$$i_{out3(real)} \cong 2i_{out2(real)}(1 - \varepsilon_{i1}) - I_R(1 - \varepsilon_{i2}) \quad (ก2.15)$$

เมื่อแทนค่าจากสมการที่ (ก2.10) ลงใน (ก2.15) จะได้ว่า

$$i_{out3(real)} = (8i_{in1} - 7I_R) + (16\varepsilon_{i1}^2 - 24\varepsilon_{i1})i_{in1} + (7\varepsilon_{i2} + 10\varepsilon_{i1} - 6\varepsilon_{i1}\varepsilon_{i2} - 4\varepsilon_{i1}^2)I_R \quad (ก2.16)$$

หรือ

$$i_{out3(real)} = (8 - 24\varepsilon_{i1})i_{in1} + (-7 + 10\varepsilon_{i1} + 7\varepsilon_{i2})I_R \quad (ก2.17)$$

เมื่อแทนค่าจากสมการที่ (ก2.14) และ (ก2.16) ลงใน (ก2.1) จะได้ว่า

$$\varepsilon_{C3} = (16\varepsilon_{i1}^2 - 24\varepsilon_{i1} + 10\varepsilon_{i1} + 7\varepsilon_{i2} - 6\varepsilon_{i1}\varepsilon_{i2} - 4\varepsilon_{i1}^2)I_R \quad (ก2.18)$$

จากสมการที่ (ก2.18) เมื่อ $i_{in1} = I_R$ จะได้ว่า

$$\varepsilon_{C3} = (7\varepsilon_{i2} - 14\varepsilon_{i1} + 12\varepsilon_{i1}^2 - 6\varepsilon_{i1}\varepsilon_{i2})I_R \quad (ก2.19)$$

เมื่อพิจารณาที่ One-bit Cell 4 โดยที่ $i_{in4} = i_{out3}$ และสัญญาณดิจิทัลเอาต์พุต D_{o4} มีค่าเป็น 1 จะได้ว่า

$$i_{out4(ideal)} = 2i_{out3(ideal)} - I_R \quad (ก2.20)$$

เมื่อแทนค่าจากสมการที่ (ก2.14) ลงใน (ก2.20) จะได้

$$i_{out4(ideal)} = 16i_{in1} - 15I_R \quad (ก2.21)$$

จากสมการที่ (ก1.12) จะได้ว่า

$$i_{out4(real)} \cong 2i_{out3(real)}(1 - \varepsilon_{i1}) - I_R(1 - \varepsilon_{i2}) \quad (ก2.22)$$

เมื่อแทนค่าจากสมการที่ (ก2.17) ลงใน (ก2.22) จะได้ว่า

$$i_{out4(real)} = (16i_{in1} - 15I_R) + (48\varepsilon_{i1}^2 - 64\varepsilon_{i1})i_{in1} + (15\varepsilon_{i2} + 34\varepsilon_{i1} - 14\varepsilon_{i1}\varepsilon_{i2} - 20\varepsilon_{i1}^2)I_R \quad (ก2.23)$$

หรือ

$$i_{out4(real)} = (16 - 64\varepsilon_{i1})i_{in1} + (-15 + 34\varepsilon_{i1} + 15\varepsilon_{i2})I_R \quad (ก2.24)$$

เมื่อแทนค่าจากสมการที่ (ก2.21) และ (ก2.23) ลงใน (ก2.1) จะได้ว่า

$$\varepsilon_{C4} = (48\varepsilon_{i1}^2 - 64\varepsilon_{i1})i_{in1} + (34\varepsilon_{i1} + 15\varepsilon_{i2} - 14\varepsilon_{i1}\varepsilon_{i2} - 20\varepsilon_{i1}^2)I_R \quad (ก2.25)$$

จากสมการที่ (ก2.25) เมื่อ $i_{in1} = I_R$ จะได้

$$\varepsilon_{C4} = (15\varepsilon_{i2} - 30\varepsilon_{i1} + 28\varepsilon_{i1}^2 - 14\varepsilon_{i1}\varepsilon_{i2})I_R \quad (ก2.26)$$

เมื่อพิจารณาที่ One-bit Cell 5 โดยที่ $i_{in5} = i_{out4}$ และสัญญาณดิจิตอลเอาต์พุต D_{o5} มีค่าเป็น 1 จะได้ว่า

$$i_{out5(ideal)} = 2i_{out4(ideal)} - I_R \quad (ก2.27)$$

เมื่อแทนค่าจากสมการที่ (ก2.21) ลงใน (ก2.27) จะได้

$$i_{out5(ideal)} = 32i_{in1} - 31I_R \quad (ก2.28)$$

จากสมการที่ (ก1.12) จะได้ว่า

$$i_{out5(real)} \cong 2i_{out4(real)}(1 - \varepsilon_{i1}) - I_R(1 - \varepsilon_{i2}) \quad (ก2.29)$$

เมื่อแทนค่าจากสมการที่ (ก2.24) ลงใน (ก2.29) จะได้ว่า

$$i_{out5(real)} = (32i_{in1} - 31I_R) + (128\varepsilon_{i1}^2 - 160\varepsilon_{i1})i_{in1} + (31\varepsilon_{i2} + 98\varepsilon_{i1} - 30\varepsilon_{i1}\varepsilon_{i2} - 68\varepsilon_{i1}^2)I_R \quad (ก2.30)$$

เมื่อแทนค่าจากสมการที่ (ก2.28) และ (ก2.30) ลงใน (ก2.1) จะได้ว่า

$$\varepsilon_{CS} = (128\varepsilon_{i1}^2 - 160\varepsilon_{i1})i_{in1} + (98\varepsilon_{i1} + 31\varepsilon_{i2} - 30\varepsilon_{i1}\varepsilon_{i2} - 68\varepsilon_{i1}^2)I_R \quad (ก2.31)$$

จากสมการที่ (ก2.31) เมื่อ $i_{in1} = I_R$ จะได้

$$\varepsilon_{CS} = (31\varepsilon_{i2} - 62\varepsilon_{i1} + 60\varepsilon_{i1}^2 - 30\varepsilon_{i1}\varepsilon_{i2})I_R \quad (ก2.32)$$

เมื่อพิจารณาค่าความผิดพลาดของกระแสเอาต์พุตของอัลกอริทึม ADC ขนาด 1 บิต หรือ One-bit Cell ในแต่ละลำดับ จะสามารถประมาณค่าความผิดพลาดเต็มสเกลของอัลกอริทึม ADC ขนาด N บิตที่นำเสนอในวิทยานิพนธ์ได้ดังนี้

$$\varepsilon_C = ((2^N - 1)\varepsilon_{i2} - (2^{N+1} - 2)\varepsilon_{i1} + (2^{N+2} - 2^{N+1} - 2^2)\varepsilon_{i1}^2 - (2^N - 2)\varepsilon_{i1}\varepsilon_{i2})I_R \quad (ก2.33)$$

ก3. การวิเคราะห์จำนวนบิตที่เป็นไปได้

ความผิดพลาดสะสมที่เกิดขึ้นในการแปลงผันของอัลกอริทึม ADC ขนาด N บิต จะมีผลต่อจำนวนบิตหรือจำนวนของ One-bit Cell ที่นำมาต่อкасечกัน การวิเคราะห์จำนวนบิตที่เป็นไปได้สำหรับการต่อкасечกันของอัลกอริทึม ADC ที่นำเสนอดังรูปที่ 4.1 สามารถวิเคราะห์ได้ดังนี้

จากหลักการทำงานของอัลกอริทึม ADC ขนาด 1 บิต ที่มีการลงรหัสแบบเกรย์ย้อนกลับ ดังรูปที่ 2.12 จะมีขั้นการควอนไทซ์เท่ากับค่า $I_R/2$ ดังนั้นความผิดพลาดสะสมจะมีค่าสูงสุดเท่าที่เป็นไปได้โดยไม่มีผลกระทบต่อค่าดิจิทัลเอาต์พุต คือ

$$\frac{1}{2} = (2^N - 1)\varepsilon_{i2} - (2^{N+1} - 2)\varepsilon_{i1} + (2^{N+2} - 2^{N+1} - 2^2)\varepsilon_{i1}^2 - (2^N - 2)\varepsilon_{i1}\varepsilon_{i2} \quad (ก3.1)$$

จากสมการที่ (ก3.1) สามารถประมาณค่าจำนวนบิตที่เป็นไปได้หรือจำนวนของ One-bit cell ที่นำมาต่อкасцепกันดังรูปที่ 4.2 คือ

$$N_{\max} = \text{Round} \left\{ 1 + \log_2 \left(\frac{1 + 8\varepsilon_{i1}^2 - 4\varepsilon_{i1} + 2\varepsilon_{i2} - 4\varepsilon_{i1}\varepsilon_{i2}}{4\varepsilon_{i1}^2 - 4\varepsilon_{i1} + 2\varepsilon_{i2} - 2\varepsilon_{i1}\varepsilon_{i2}} \right) \right\} \quad (\text{ก3.2})$$

ก4. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง

จากอัลกอริทึม ADC ดังรูปที่ 4.1 การเปลี่ยนแปลงค่าอุณหภูมิจะมีผลต่อค่าแรงดันที่โหนด B หรือค่าแรงดันไบแอส v_B โดยที่

$$v_B = v_{GS8} + v_{GS9} \quad (\text{ก4.1})$$

จากสมการที่ (ก1.1) เมื่อค่ากระแสเดรน $i_{D8} = i_{D9} = I_B$ จะได้

$$v_{GS8} = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W} \right)_8} + v_{i8}(T) \quad (\text{ก4.2})$$

$$v_{GS9} = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W} \right)_9} + v_{i9}(T) \quad (\text{ก4.3})$$

เมื่อแทนค่าจากสมการที่ (ก4.2) และ (ก4.3) ลงใน (ก4.1) จะได้ว่า

$$v_B = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W} \right)_8} + v_{i8}(T) + \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W} \right)_9} + v_{i9}(T) \quad (\text{ก4.4})$$

ถ้ากำหนดให้ v_{B1} และ v_{B2} คือ ค่าแรงดันไบแอสของวงจรที่อุณหภูมิ 300K และที่อุณหภูมิ T ตามลำดับ จากสมการที่(ก3.1), (ก3.2), และ (ก4.4) จะได้

$$v_{B1} = \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W} \right)_8} + \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W} \right)_9} + v_{i08} + v_{i09} \quad (\text{ก4.5})$$

$$v_{B2} = \frac{T}{300} \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W} \right)_8} + \frac{T}{300} \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W} \right)_9} + v_{i08} + v_{i09} - 2\alpha(T - 300) \quad (\text{ก4.6})$$

ถ้ากำหนดให้
$$\Delta v_B = v_{B2} - v_{B1} \quad (ค4.7)$$

เมื่อแทนค่าจากสมการที่ (ค4.5) และ (ค4.6) ลงใน (ค4.7) จะได้ว่า

$$\Delta v_B = \frac{\Delta T}{300} \left(\sqrt{\frac{2I_B}{\beta_8 \beta_9}} (\sqrt{\beta_8} + \sqrt{\beta_9}) \right) - 2\alpha \Delta T \quad (ค4.8)$$

เมื่อ
$$\Delta T = T - 300 \quad (ค4.9)$$

$$\beta_8 = \mu_0 C_{ox} \left(\frac{W}{L} \right)_8 \quad (ค4.10)$$

$$\beta_9 = \mu_0 C_{ox} \left(\frac{W}{L} \right)_9 \quad (ค4.11)$$

ค5. การวิเคราะห์ผลตอบสนองทางความถี่

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของอัลกอริทึม ADC ที่นำเสนอในวิทยานิพนธ์นี้ดังรูปที่ 4.4 จะได้ว่า

ที่โหนด F

$$i_{in} = (g_{m10})v_F + (g_{ds10})v_F + (sC_{gs10} + sC_{gs11} + sC_{gs12})v_F \quad (ค5.1)$$

ที่โหนด G

$$(g_{m13})v_G + (g_{ds13})v_G + (sC_{gs13} + sC_{gs14} + sC_{gs15})v_G + (g_{OR})v_G = 0 \quad (ค5.2)$$

ที่โหนด H

$$-i_a = (g_{m14})v_G + (g_{ds14})v_H + (g_{m11})v_F + (g_{ds11})v_H \quad (ค5.3)$$

จากสมการที่ (ค5.1) ถึง (ค5.3) ถ้า $g_m \gg g_{ds}$ และ $g_m \gg g_o$ จะเขียนใหม่ได้ว่า

ที่โหนด F

$$v_F = \left(\frac{1}{g_{m10} + sC_{gs10} + sC_{gs11} + sC_{gs12}} \right) i_{in} \quad (ค5.4)$$

ที่โหนด G

$$(g_{m13} + sC_{gs13} + sC_{gs14} + sC_{gs15})v_G = 0 \quad (ค5.5)$$

หรือ
$$v_G = 0 \quad (ค5.6)$$

ที่โหนด H

$$-i_a = (g_{m14})v_G + (g_{m11})v_F \quad (ค5.7)$$

เมื่อแทนค่าจากสมการที่ (ค5.4) และ (ค5.6) ลงใน (ค5.7) จะได้

$$-i_a = \left(\frac{g_{m11}}{g_{m10} + sC_{gs10} + sC_{gs11} + sC_{gs12}} \right) i_{in} \quad (ค5.8)$$

จากการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 3.8 (ภาคผนวก ก4) ในกรณีที่กระแส i_a มีค่าเป็นลบ จะได้ว่า

$$\frac{i_{out}}{i_a} = \frac{i_{D7}}{i_a} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1abN}s + 1)(T_{2abN}s + 1)} \quad (ค5.9)$$

เมื่อ
$$T_{1abN} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \quad (ค5.10)$$

$$T_{2abN} \cong \frac{C_{gs5}(C_{gs6} + C_{gs7})}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \quad (ค5.11)$$

เมื่อแทนค่าจากสมการที่ (ค5.8) ลงใน (ค5.9) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{out} และ i_{in} ในกรณีที่ $2i_{in} < I_R$ คือ

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m11}g_{m7}}{g_{m10}g_{m6}} \right) \frac{1}{(T_{1abN}s + 1)(T_{2abN}s + 1)(T_{3abN}s + 1)} \quad (ค5.12)$$

เมื่อ
$$T_{3abN} = \frac{C_{gs10} + C_{gs11} + C_{gs12}}{g_{m10}} \quad (ค5.13)$$

จากการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 3.8 (ภาคผนวก ก4) ในกรณีที่กระแส i_a มีค่าเป็นบวก จะได้ว่า

$$\frac{i_{out}}{i_a} = \frac{i_{D7}}{i_a} \cong \left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \frac{(T_{3abP}S + 1)}{(T_{1abP}S + 1)(T_{2abP}S + 1)} \quad (ก5.14)$$

เมื่อ $T_{1abP} \cong \frac{(g_{m1} + g_{m3})C_{gs4}}{g_{m1}g_{m4}} \quad (ก5.15)$

$$T_{2abP} \cong \frac{C_{gs6} + C_{gs7}}{g_{m6}} \quad (ก5.16)$$

$$T_{3abP} \cong \frac{C_{gs4}}{g_{m4}} \quad (ก5.17)$$

เมื่อแทนค่าจากสมการที่ (ก5.8) ลงใน (ก5.14) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{out} และ i_{in} ในกรณีนี้ที่ $2i_{in} \geq I_R$ คือ

$$\frac{i_{out}}{i_{in}} \cong - \left(\frac{g_{m2}g_{m7}g_{m11}}{g_{m1}g_{m6}g_{m10}} \right) \frac{(T_{3abP}S + 1)}{(T_{1abP}S + 1)(T_{2abP}S + 1)(T_{4abP}S + 1)} \quad (ก5.18)$$

เมื่อ $T_{4abP} = \frac{C_{gs10} + C_{gs11} + C_{gs12}}{g_{m10}} \quad (ก5.19)$

ก6. การวิเคราะห์ความเร็วในการแปลงผัน

จากอัลกอริทึม ADC ที่ออกแบบดังรูปที่ 4.1 ความเร็วในการแปลงผันของวงจรสามารถแยกพิจารณาได้เป็นสองส่วนคือ ค่าเวลาหน่วงที่เกิดจากวงจรย่อยที่ใช้สร้างสัญญาณกระแสเอาต์พุต (t_{dd}) และค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรเปรียบเทียบเพื่อสร้างสัญญาณดิจิทัลเอาต์พุต (t_{dd}) โดยค่าเวลาหน่วง t_{dd} สามารถพิจารณาได้จากผลตอบสนองทางความถี่ของอัลกอริทึม ADC ซึ่งขึ้นอยู่กับค่าเวลาคงตัวของโพลโดเด่นเป็นหลัก [40] ส่วนค่าเวลา t_{dd} จะวิเคราะห์จากวงจรเปรียบเทียบ M_{16} - M_{21} [35], [37] ซึ่งประกอบด้วยวงจรอินเวอร์เตอร์ M_{16} - M_{17} , M_{18} - M_{19} , และ M_{20} - M_{21} ต่อร่วมกัน ถ้ากำหนดให้มอสเฟต M_{16} - M_{21} มีความสมพงษ์กันทุกประการ จะได้ว่า

$$t_{dd} = t_{DD1} + t_{DD2} + t_{DD3} \quad (ก6.1)$$

โดยที่

$$t_{DD1} = \frac{C_{\omega}}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (ก6.2)$$

$$t_{DD2} = \frac{C_{oK}}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (ก6.3)$$

$$t_{DD3} = \frac{C_{oL}}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (ก6.4)$$

- เมื่อ t_{DD1} คือ ค่าเวลาหน่วงจากการเปลี่ยนสภาวะลอจิกของ โหนด J
 t_{DD2} คือ ค่าเวลาหน่วงจากการเปลี่ยนสภาวะลอจิกของ โหนด K
 t_{DD3} คือ ค่าเวลาหน่วงจากการเปลี่ยนสภาวะลอจิกของ โหนด L
 C_{oJ} คือ ค่าเก็บประจุที่ โหนด J
 C_{oK} คือ ค่าเก็บประจุที่ โหนด K
 C_{oL} คือ ค่าเก็บประจุที่ โหนด L
 β_C คือ ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต M_{16} - M_{21}

เมื่อแทนค่าจากสมการที่ (ก6.2) ถึง (ก6.4) ลงใน (ก6.1) จะได้ว่า

$$t_{dd} = \frac{(C_{oJ} + C_{oK} + C_{oL})}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (ก6.5)$$

ถ้าค่า $C_{oJ} = C_{oK} = 3.2 \times 10^{-14}$ F, $C_{oL} = 1.1 \times 10^{-12}$ F, $\beta_C = 141 \mu\text{A}/\text{V}^2$, $V_T = 0.61$ V, และ $V_{DD} = 3$ V ค่าเวลา t_{dd} จะมีค่าประมาณ 4.4656 ns

เนื่องจากอัลกอริทึม ADC ขนาด N บิต สร้างขึ้นจากการต่อкасцепอดอัลกอริทึม ADC ขนาด 1 บิต จำนวน N วงจร ดังนั้นความเร็วในการแปลงผันของอัลกอริทึม ADC ขนาด N บิตจะมีค่าโดยประมาณ [21] ดังนี้

$$t_C = Nt_{da} + t_{dd} \quad (ก6.6)$$

ก7. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด

การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุดของอัลกอริทึม ADC ที่นำเสนอในวิทยานิพนธ์นี้ สามารถพิจารณาได้จากจำนวนอุปกรณ์สูงสุดที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ [41] จากรูปที่ 4.1 พบว่ามีจำนวนมอสเฟตสูงสุดเท่ากับ 3 ประกอบด้วยพีมอส 1 ตัว และเอ็นมอส 2 ตัวที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ ถ้ากำหนดให้มอสเฟตชนิดเดียวกันทุกตัวมีความสมพียงกัน จะได้เงื่อนไขของค่าแรงดันแหล่งจ่ายของวงจร คือ

$$(V_{DD} - 0) \geq 2v_{DSN} + v_{SDP} \quad (ก7.1)$$

หรือ
$$V_{DD} \geq 2v_{DSN} + |v_{DSP}| \quad (ก7.2)$$

สำหรับเงื่อนไขการทำงานของมอสเฟตในช่วงนำกระแสอิ่มตัว คือ

$$|v_{DS}| \geq |v_{GS}| - |V_T| \quad (ก7.3)$$

จากเงื่อนไขการไบแอสมอสเฟต ค่าแรงดันระหว่างขาเดรนกับขาซอร์สต่ำสุด $|v_{DS}|_{(\min)}$ ที่ยังคงทำให้มอสเฟตสามารถทำงานได้ คือ

$$|v_{DS}|_{(\min)} \cong |V_T| \quad (ก7.4)$$

เมื่อแทนค่าจากสมการที่ (ก7.4) ลงใน (ก7.2) จะได้ว่า

$$V_{DD(\min)} \cong 2V_{TN} + |V_{TP}| \quad (ก7.5)$$

ภาคผนวก ง
บทความวิจัยที่ได้รับการตีพิมพ์

บทความวิจัยที่ได้รับการตีพิมพ์ในการประชุมวิชาการระดับนานาชาติ มีรายละเอียดดังนี้

Arayawat A., Chaikla A., Petcmanceelumka W., Riewruja V., Julsereewong P., and Trisuwannawat T. “A CMOS-based Algorithmic ADC” Proc. of the 2005 IEEE Conference on Electron Devices and Solid-State Circuits., New World Renaissance Hotel, Hong Kong, 19-21 December 2005., pp. 661-664.

Proceedings

2005 IEEE Conference on
Electron Devices and
Solid-State Circuits

December 19-21, 2005

New World Renaissance Hotel
Hong Kong

Co-sponsored by:

IEEE Electron Device Society
IEEE Solid-State Circuits Society
IEEE Hong Kong Section
K. C. Wong Education Foundation (王寬誠教育基金會)
Solomon Systech Limited



SESSION 9C - ADC

Design of A 16-bit Stereo Audio $\Sigma\Delta$ A/D Converter L. Chen, Y. Zhao, D. Gao, W. Wen, Z. Wang, X. Zhu and H. Peng	653
High Speed Low Power CMOS Comparator Dedicated to 10bit, 20MHz Pipeline ADCs for RF Applications M. B. Guermaz , L. Bouzerara , A. Slimane , M. T. Belaroussi , B. Lehoudj and R. Zirni	657
A CMOS-based Algorithmic ADC S. Arayawat, A. Chaikla, W. Petcmaneelumka, V. Riewruja, P. Julsereewong, and T. Trisuwannawat	661
Low-Power and Hardware Efficient Decimation Filters in Sigma-Delta A/D Converters H. Zhu, X. Wu and X. Yan	665
On-Chip Built-In Self-Test of Video-Rate ADCs Using a 1.5V CMOS Gaussian Noise Generator G. Evans, J. Goes and N. Paulino	669
Low-Power CMOS Folding and Interpolating ADC with a Serial-Parallel Domino Encoder Z. Liu, S. Jia, Z. Chen, X. Zhang and L. Ji	673

SESSION 10A - CMOS DEVICES

Sub-50-nm Asymmetric Graded Low Doped Drain (AGLDD) Vertical Channel nMOSFET F. L. Zhou, R. Huang , X. An, A. Guo, X. Y. Xu, X. Zhang, D. C. Zhang and Y. Y. Wang	679
A MOS Transistor with Source/Drain on Insulator and Channel Doped in Step-Function Profile D. Li, W. Ke, L. Sun, X. Liu, R. Han, and S. Zhang	683
Performance of Channel Engineered SDODEL MOSFET for Mixed Signal Applications P. Sarkar, A. Mallik, C. K. Sarkar and V. R. Rao	687
The Degradation Mode of Dual Metal-Gates/High-κ CMOSFETs Induced by Bias-Temperature Instability C. C. Liao, J. P. Wang, M. Lao and W. Wong	691
Gate Leakage Properties of MOS Devices with Tri-Layer High-k Gate Dielectric W. B. Chen, J. P. Xu, P. T. Lai , Y. P. Li and S. G. Xu	695
Charge Collection in Impact Ionization MOS Transistors W. Wang	699
Single Band Electronic Conduction in Hafnium Oxide Prepared by Atomic Layer Deposition S. Shaimeev, V. Gritsenko, K. Kukli, H. Wong, E. H. Lee and C. Kim	703

A CMOS-based Algorithmic ADC

S. Arayawat, A. Chaikla, W. Petcmaneelumka, V. Riewruja,
P. Julsereewong, and T. Trisuwannawat

Abstract - This paper presents a one-bit cell of reverse Gray-code algorithmic analog-to-digital converter, which operates in the current mode. The realization method is simple, small in size, and suitable for fabrication using CMOS technology. The design strategy is based on the MOS bias at the edge of conduction to provide a high-speed operation and a low distortion in the transfer characteristic. The N-bit resolution can be achieved by cascading of the N proposed one-bit cells. PSPICE simulation results verifying the proposed circuit performances are agreed with the expected value.

I. INTRODUCTION

An analog-to-digital converter (ADC) is an important circuit building block in a mixed analog-digital system. It can be used as a component in many applications such as computerized control systems and instrumentation systems. Since ADC is a small part of the whole system, it should be simple and small in size. Moreover, a low-power consumption and a best speed performance become necessary. For high-speed ADC, the parallel conversion method offers the best speed performance. However, the parallel conversion ADC has a complicated circuit and spends a large portion of the chip area. Recently, the demand of high performance, portable and battery-powered equipment, arises causing a strong motivation to implement both analog and digital circuit on the same chip using a standard CMOS process. The studies have shown that among the existing ADCs, the algorithmic ADC offers the advantages of both the circuit performance and smaller size of chip area [1]-[4]. In addition, the algorithmic ADC starts its conversion from the most significant bit (MSB) and continues its action successively bit by bit. Thus, the N-bit resolution of an algorithmic ADC can be simply realized by cascading of N-bit cells. There are two techniques to implement an algorithmic ADC, one is binary coding and the other is Gray coding. For binary coding, the conversion technique requires the subtract function to generate a sawtooth-like waveform for a linearly increasing input signal. The current-mode binary-code algorithmic ADC has been also proposed in literature [1]-[2]. The configuration of these approaches is simple and can be realized with a minimum chip area. However, the two major limitations of the binary-code algorithmic ADC are determined. Firstly, the accumulation of a signal error, occurred during the bit generation, deteriorates the accuracy of the ADC and limits the resolution of the ADC

S. Arayawat, A. Chaikla, W. Petcmaneelumka, V. Riewruja, P. Julsereewong, and T. Trisuwannawat are with the Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Thailand
E-mail: vanchai@cs.eng.kmitl.ac.th

Other limitation is the finite bandwidth of the subtract-function circuit that causes the distortion on the subtracted signal due to the broad frequency spectrum of the sawtooth-like waveform. Therefore, a high-speed performance of the ADC is limited. To minimize the disadvantages of such ADC, a Gray-code algorithmic ADC has been introduced [3]-[6]. The transfer characteristic of Gray coding is triangular-like waveform. The advantage of Gray-code algorithmic ADC is that the accumulated error is smaller than that of a binary-code one [4]. The realization of the reverse Gray-code algorithmic ADC can be implemented using current mirrors, current comparators, and analog switches [3]. However, the accuracy and the conversion speed of this ADC are limited by the operation of the analog switches.

The purpose of this paper is to propose a CMOS circuit technique for realization of the reverse Gray-code algorithmic ADC. The proposed technique is based on the absolute function to achieve the high-speed operation and high-accuracy ADC.

II. CIRCUIT DESCRIPTION

The two possible transfer characteristics of a Gray-code algorithmic ADC are the symmetrical triangular-like waveforms for continually increasing the input signal as shown in Fig. 1. The reference current, I_R , sets the full-scale range. The current i_{in} is an analog input signal, which has the value between zero and the reference I_R . The proposed technique performs the current transfer characteristic as shown in Fig. 1(b), which can be described by the flow chart in Fig. 2. The input signal i_{in} is amplified by a factor of two to generate a signal $2i_{in}$. The $2i_{in}$ signal is compared with the reference I_R . If $2i_{in}$ is less than I_R , the digital output D_o is set to low and the deduction $2i_{in}$ from I_R becomes the analog output signal. Otherwise, the digital output D_o is set to high and the analog output signal is then generated by subtracting the I_R from $2i_{in}$. This analog output signal can either fed back to the input or onto a following identical cell to generate another successive bit.

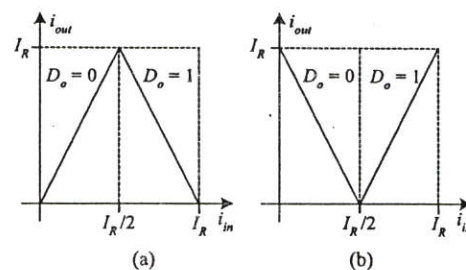


Fig. 1. Two possible transfer characteristics of a Gray-code algorithmic ADC.

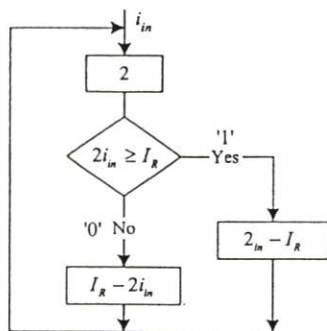


Fig. 2. Flow chart of the proposed algorithmic ADC.

A. Absolute Function

The principle of the absolute function [6] is shown in Fig. 3. The current source I_B and the transistors M_1 - M_2 generate the voltage v_B to provide the pre-bias transistors M_3 - M_7 . The bias voltage v_B is approximately equal to the sum of the threshold voltage of the transistors M_5 - M_7 . Therefore, transistors M_3 - M_7 are forced to operate at the edge of conduction to minimize the crossover distortion in transfer characteristic. The transistors M_8 - M_9 form as a unity-gain current mirror. The drain-source voltage of the transistor M_3 , v_A , is established by the input current i_a . The gates of transistor M_3 - M_5 are connected together, thus the transistors M_3 - M_5 will have the same drain current in saturation.

For a positive current i_a , the voltage v_A effects the transistors M_6 to conduct. The flow of the current i_{D6} through the transistor M_5 increases the voltage v_C , then the transistor M_3 - M_5 are activated. The current i_{D3} causes the voltage v_A to increase and the gate-source voltage of the transistor M_7 to decrease effecting the transistor M_7 to cutoff. Similarly, the flow of a negative current i_a through the transistor M_7 causes the transistors M_3 - M_6 to cutoff. Therefore the currents i_{D3} , i_{D4} , and i_{D7} can be given by

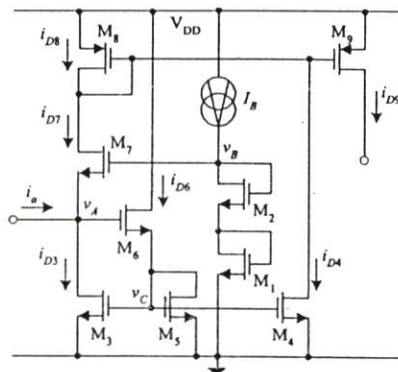


Fig. 3. Circuit diagram of absolute function.

$$i_{D3} = i_{D4} = 0, i_{D7} = i_a; i_a < 0 \tag{1a}$$

and
$$i_{D3} = i_{D4} = i_a, i_{D7} = 0; i_a \geq 0 \tag{1b}$$

Based on the unity-gain current mirror M_8 - M_9 , the drain current of transistor M_8 , i_{D8} , the sum of the current i_{D7} and i_{D4} , is reflected through the current i_{D9} . Then the current i_{D9} can be states as

$$i_{D9} = i_{D7} + i_{D4} = i_{D7} + i_{D3} = |i_a| \tag{2}$$

It is clear that the current i_{D9} is an absolute function of current signal i_a .

B. Proposed algorithmic ADC

Fig. 4 shows the proposed one-bit cell of the reverse Gray-code algorithmic ADC. This ACD is based on the use of the absolute function as shown in Fig. 3. Transistors M_{10} - M_{12} and M_{13} - M_{15} form as a twice-gain current mirror and a unity gain current mirror, respectively. Transistors M_{16} - M_{21} function as a current comparator [7] to compare the reference I_R and the current

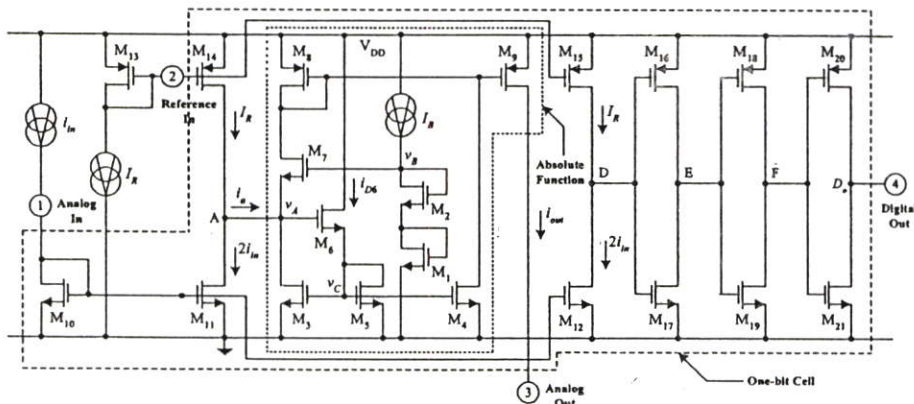


Fig. 4. Proposed one-bit cell of the reverse Gray-code algorithmic ADC.

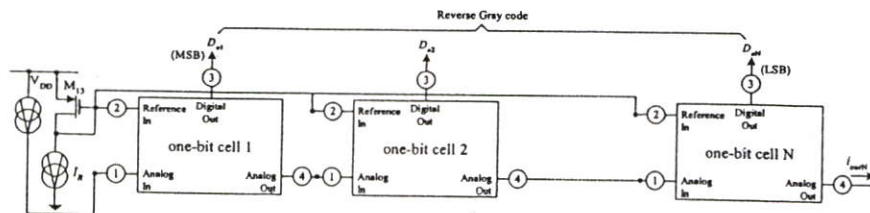


Fig. 5. N-bit resolution ADC.

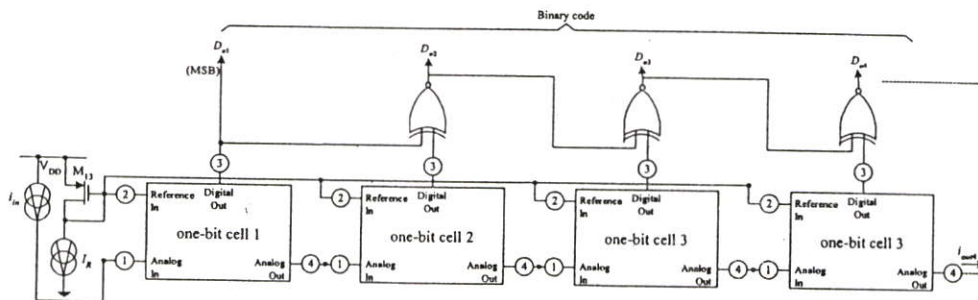


Fig. 6. Reverse Gray code to binary code conversion.

$2i_{in}$ to generate a digital output. The operation of the proposed cell can be explained as follows. The input current i_{in} is multiplied by two using the current mirror M_{10} - M_{12} , where the channel width of transistors M_{11} and M_{12} are twice of transistor M_{10} . The new signal current $2i_{in}$ is compared with the reference I_R at node D to generate the analog output i_{out} and a digital output signal D_o . The current i_a at node A can be stated as

$$i_a = I_R - 2i_{in} \quad (3)$$

If $2i_{in} < I_R$, the current i_a is positive and flows through the absolute function. Therefore, the output current i_{out} can be expressed as

$$i_{out} = |i_a| = I_R - 2i_{in} \quad (4)$$

In consequent, the digital output D_o is set to low. For the case of $2i_{in} \geq I_R$, the digital output D_o goes high and the analog output current i_{out} becomes

$$i_{out} = |i_a| = 2i_{in} - I_R \quad (5)$$

The transfer characteristic of the proposed circuit can be shown in Fig. 1(b). The output current i_{out} and the digital output D_o can be written as

$$i_{out} = \begin{cases} I_R - 2i_{in} & ; 2i_{in} < I_R \\ 2i_{in} - I_R & ; 2i_{in} \geq I_R \end{cases} \quad (6)$$

$$D_o = \begin{cases} 0 & ; 2i_{in} < I_R \\ 1 & ; 2i_{in} \geq I_R \end{cases} \quad (7)$$

For an N-bit resolution ADC, the N proposed one-bit cells are cascaded with the analog output of one circuit connected to the analog input of the following circuit as shown in Fig. 5. The starting bit pattern of reverse Gray code is set to 0111...1, all bits of resolution ADC are set to high except the MSB is set to low such as 0111 for 4-bit resolution. Table I shows the 3-bit resolution ADC of Gray coding, reverse Gray coding, and binary coding. The binary code can be simply generated by the use of two input exclusive-NOR gates with the input from the reverse Gray code of a present bit and the binary code of a previous bit as shown in Fig. 6.

TABLE I
3-BIT RESOLUTION ADC

Input Range	Gray coding	Reverse Gray coding	Binary coding
0	000	011	000
0.1428	001	010	001
0.2856	011	000	010
0.4284	010	001	011
0.5712	110	101	100
0.7140	111	100	101
0.8568	101	110	110
1.0000	100	111	111

III. SIMULATION RESULTS

The performances of the proposed circuit were observed through the use of PSPICE analog simulation program. The BSIM MOS model of the $0.5\mu\text{m}$ CMOS process was chosen for the proposed

ADC. From the circuit in Fig. 4, the ratios of the channel width and length (W/L) of the devices used are shown in Table I. The reference current I_R , and the bias current I_B are set to $50\mu\text{A}$ and $10\mu\text{A}$, respectively. The supply voltage V_{DD} is set to 3V.

TABLE II
DEVICE'S DIMENSIONS USED FOR PROPOSED CIRCUIT

Transistor	W (μm)	L (μm)
M_1, M_2	2	2
M_3, M_4	4	1
M_5, M_6	10	1
M_7	2	1
$M_8, M_9, M_{16}, M_{17}, M_{18}, M_{19}, M_{20}, M_{21}$	5	1
M_{10}	20	2
M_{11}, M_{12}	40	2
M_{13}, M_{14}, M_{15}	10	2

Fig. 7 shows the DC transfer characteristic of the proposed one-bit cell as shown in Fig. 4 and the digital output voltage for the input signal current, which is varied from 0 to $50\mu\text{A}$. It is apparent that the circuit exhibits low distortion of the transfer characteristic. A seven-bit resolution ADC formed by cascading seven proposed circuits was used to verify the conversion performance. Fig. 8 shows the output waveform that monitored from the analog output of the least significant (LSB), or from the seventh bit cell of the seven-bit ADC. It is evident that the circuit operates with high accuracy over the entire dynamic range.

IV. CONCLUSION

This paper describes a CMOS integrated circuit technique for realizing an algorithmic analog to digital converter using absolute function circuit. The DC transfer characteristic of the proposed ADC shows a good linearity and low distortion over an entire dynamic range. The proposed ADC is simple and suitable for realization a high resolution ADC. An N-

bit resolution ADC can be achieved by cascading of N proposed circuits. PSPICE simulation results confirming the circuit performances are agreed with the proposed technique.

REFERENCES

- [1] P. O. Pouliquen, K. A. Boahen, and A. G. Andreou, "A Gray-code MOS current-mode analog-to-digital converter design," *Proc. of IEEE International Symposium on Circuit and Systems*, p.1924-1927, 1991.
- [2] K. L. Fong, C. Andre, and T. Saiama, "Low-power current-mode algorithmic ADC," *IEEE International Symposium on Circuits and Systems*, vol.5, p.473-476, 1994.
- [3] S. Signell, B. Jonsson, H. Stetrom, and N. Tan, "New A/D converter architectures based on Gray coding," *IEEE International Symposium on Circuit and Systems*, p.413-416, 1997.
- [4] D.-Y. Chang, and S.-H. Lee, Design technique for a low-power low-cost CMOS A/D converter. *IEEE Journal of Solid-State Circuits*, vol.33, 1244-1248, 1998.
- [5] A. Kaewpoonsuk, A. Chaikla, A. Linthong, T. Lee, and V. Riewruja, "An Algorithmic Gray Code ADC Using Current Limiter," *Proc. of ISCIT*, p.287-290, 2001.
- [6] V. Riewruja, and A. Chaikla, "A high-speed algorithmic ADC," *International Journal of Electronics*, vol.91, p.719-733, 2004.
- [7] D. A. Freitas, and K. W. Current, "CMOS current comparator circuit". *Electronics letters*, vol.19, p.695-697, 1983.

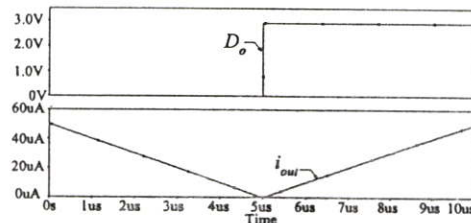


Fig. 7. DC transfer characteristic and digital output.

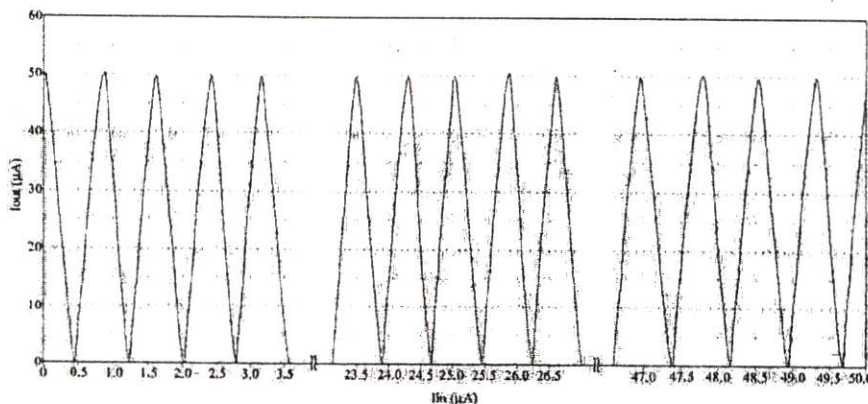


Fig. 8. Analog output of the seventh bit cell.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายสมใจ อารยวัฒน์
วัน เดือน ปีเกิด	วันที่ 7 เดือน กุมภาพันธ์ พ.ศ. 2502 ที่ จ.ขอนแก่น
ที่อยู่	บ้านเลขที่ 2/3 ถนนชวนชื่น ต.ในเมือง อ.เมือง จ.ขอนแก่น 40000
ประวัติการศึกษา	พ.ศ. 2524 อดุสาหกรรมศาสตรบัณฑิต สาขาเทคโนโลยีโทรทัศน์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ความชำนาญเฉพาะด้าน	การออกแบบระบบสายอากาศ
ประสบการณ์การทำงาน	
พ.ศ. 2525-2530	ตำแหน่งวิศวกรบำรุงเครื่องมือแพทย์ บริษัท วิทยาคม จำกัด (กรุงเทพฯ)
พ.ศ. 2530-ปัจจุบัน	ตำแหน่งอาจารย์ สังกัดภาควิชาวิศวกรรมอิเล็กทรอนิกส์และ โทรคมนาคม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลอีสาน วิทยาเขตขอนแก่น
งานวิจัย	
พ.ศ. 2530-ปัจจุบัน	ทำงานวิจัยเกี่ยวกับการออกแบบระบบสายอากาศ
พ.ศ. 2546-ปัจจุบัน	ทำงานวิจัยเกี่ยวกับการประหยัดพลังงานแสงสว่างในอุตสาหกรรม
พ.ศ. 2547-ปัจจุบัน	ทำงานวิจัยเกี่ยวกับการออกแบบวงจรรวมสำหรับสัญญาณแอนะล็อก