รายงานการวิจัยฉบับสมบูรณ์

วงจรกรองสัญญาณไบควอดอเนกประสงค์โหมดแรงดันโดยใช้วงจร DDCCTA และตัวเก็บประจุเทียบกราวด์ ที่เหมาะสมกับการสังเคราะห์วงจรแบบ MOSFET-C

Universal Voltage-Mode Biquad Using DDCCTAs and Grounded Capacitors Suitable for MOSFET-C Realization

นางสาว ทัตยา ปุคคละนันทน์

ได้รับทุนสนับสนุนงานวิจัยจากเงินงบประมาณเงินรายได้ ประจำปีงบประมาณ 2556
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รายงานการวิจัยฉบับสมบูรณ์

วงจรกรองสัญญาณไบควอดอเนกประสงค์โหมดแรงดันโดยใช้วงจร DDCCTA และตัวเก็บประจุเทียบกราวด์ ที่เหมาะสมกับการสังเคราะห์วงจรแบบ MOSFET-C

Universal Voltage-Mode Biquad Using DDCCTAs and Grounded Capacitors Suitable for MOSFET-C Realization

นางสาว ทัตยา ปุคคละนันทน์

สนหม.
เลขทะเบียน 136359
รับ เดือน,ปี 17 ม.ย. 2558

ได้รับทุนสนับสนุนงานวิจัยจากเงินงบประมาณเงินรายได้ ประจำปีงบประมาณ 2556
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ชื่อโครงการ (ภาษาไทย) วงจรกรองสัญญาณไบควอดอเนกประสงค์โหมดแรงดันโดยใช้วงจร DDCCTA และตัวเก็บประจุเทียบกราวด์ ที่เหมาะสมกับการสังเคราะห์วงจรแบบ MOSFET-C

แหล่งเงิน งบประมาณเงินรายได้

ประจำปีงบประมาณ 2556 จำนวนเงินที่ได้รับการสนับสนุน 80,000 บาท

ระยะเวลาทำการวิจัย 1 ปี ตั้งแต่ ตุลาคม พ.ศ. 2555 ถึง กันยายน พ.ศ. 2556

ชื่อ-สกุล หัวหน้าโครงการ นางสาว ทัตยา ปุคคละนันทน์

สาขาวิชา วิศวกรรมการวัดและควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

โทร. 02-329-8354 E-mail : kptattay@kmitl.ac.th

บทคัดย่อ

โครงการวิจัยฉบับนี้นำเสนอการออกแบบวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์ทำงานโหมดแรงดัน โดยใช้วงจร DDCCTA (differential difference current conveyor transconductance amplifier) เป็นอุปกรณ์แอคทีฟหลักต่อร่วมอุปกรณ์พาสซีฟต่อเทียบกราวด์ วงจรแรกที่นำเสนอ คือ วงจรกรองสัญญาณไบควอดราทิกแบบหนึ่งอินพุต สามเอาต์พุต ที่สามารถสังเคราะห์ฟังก์ชันมาตรฐานกรองสัญญาณไบควอดราทิกพร้อมกันครบทุกรูปแบบ คือ แบบกรองผ่านความถี่ต่ำ แบบกรองผ่านความถี่สูง แบบกรองผ่านแถบความถี่ แบบจำกัดแถบความถี่ และแบบกรองผ่านทุกความถี่ อีกทั้งยังมีการนำเสนอตัวต้านทานอิเล็กทรอนิกส์โดยใช้ทรานซิสเตอร์แบบมอสเพื่อแทนที่ตัวต้านทานพาสซีฟที่ใช้ในวงจรอีกด้วย วงจรที่สองที่นำเสนอมีโครงสร้างแบบหนึ่งอินพุต ห้าเอาต์พุต สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณมาตรฐานได้พร้อมกันครบทุกรูปแบบ โดยไม่ต้องอาศัยเงื่อนไขความเท่ากันของอุปกรณ์ในวงจร นอกจากนี้ยังปราศจากตัวต้านทานจากภายนอก มีเพียงตัวเก็บประจุเทียบกราวด์เท่านั้น วงจรที่นำเสนอทั้งสองมีค่าอิมพิแดนซ์อินพุตสูงมาก และค่าความถี่เชิงมุมธรรมชาติ (natural angular frequency, ω_o) และตัวประกอบคุณภาพ (quality factor, Q) ของวงจรสามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสของวงจร DDCCTA นอกจากนี้ยังมีค่าความไวต่อการแปรค่าของอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำและเหมาะสมกับการออกแบบวงจรรวม

คำสำคัญ : DDCCTA (differential difference current conveyor transconductance amplifier) วงจรกรองสัญญาณ วงจรทำงานโหมดแรงดัน

Research Title: Universal Voltage-Mode Biquad Using DDCCTAs and Grounded Capacitors Suitable for MOSFET-C Realization

Researcher: Asst. Prof. Dr. Tattaya Pukkalanun

Faculty: Engineering **Department:** Instrumentation and Control Engineering

ABSTRACT

In this research, a circuit design for realizing voltage-mode universal biquadratic filters using DDCCTAs (differential difference current conveyor transconductance amplifier) as active elements and grounded passive elelments is presented. The first proposed voltage-mode universal biquad filter has one input and five output terminals, and simultaneously realizes all the five standard biquadratic filter functions; i.e., lowpass (LP), bandpass (BP), highpass (HP), bandstop (BS) and allpass (AP) without changing circuit topology. In this circuit, each grounded electronic implementing with two MOS transistors is also suggested resistor. The second proposed filter with one input and five outputs employs three DDCCTAs and two grounded capacitors without needing any external passive resistor. All the five standard biquadratic filter functions can be generated simultaneously without imposing component choices. In addition, all the proposed circuit also features the high-input impedance terminal, electronic control of the natural angular frequency (ω_0) and quality factor (Q) by adjusting bias currents of the DDCCTAs, low active and passive sensitivities, and suitability to integrated circuit implementation.

Keywords : DDCCTA (differential difference current conveyor transconductance amplifier) Filter Voltage-mode circuit

กิตติกรรมประกาศ

โครงการวิจัยนี้ได้รับทุนสนับสนุนการวิจัยจากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จากงบประมาณเงินรายได้ ประจำปีงบประมาณ พ.ศ. 2556

ทัตยา ปุคคละนันทน์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญตาราง	ฉ
สารบัญรูป	ช
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของโครงการวิจัย	2
1.3 ขอบเขตของโครงการวิจัย	2
1.4 รายละเอียดของโครงการวิจัย	2
1.5 เอกสารอ้างอิงบทที่ 1	3
บทที่ 2 วงจร DDCCTA	7
2.1 กล่าวนำ	7
2.2 หลักการทำงานพื้นฐานของวงจร DDCCTA	7
2.2.1 คุณสมบัติวงจร DDCCTA ในทางอุดมคติ	7
2.2.2 คุณสมบัติวงจร DDCCTA ในทางปฏิบัติ	9
2.3 ผลการจำลองการทำงานของวงจร DDCCTA	10
2.3.1 คุณสมบัติทางสัญญาณไฟตรงของวงจร DDCCTA	10
2.3.2 คุณสมบัติทางสัญญาณไฟสลับของวงจร DDCCTA	13
2.4 สรุป	18
2.5 เอกสารอ้างอิงบทที่ 2	18

สารบัญ (ต่อ)

		หน้า
บทที่ 3	**วงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดันแบบหนึ่งอินพุต ห้าเอาต์พุต โดยใช้วงจร DDCCTA สองตัว**	**20**
	3.1 กล่าวนำ	20
	3.2 วงจรกรองสัญญาณที่นำเสนอ	21
	3.3 สมรรถนะของวงจรกรณีที่ไม่เป็นไปตามอุดมคติ	24
	3.3.1 ความคลาดเคลื่อนในการส่งผ่านแรงดันและกระแสที่เกิดขึ้นในวงจร	24
	3.3.2 ผลกระทบเนื่องจากค่าอิมพีแดนซ์แฝงที่เกิดขึ้นภายในวงจร DDCCTA	25
	3.4 ผลการจำลองการทำงานของวงจร	26
	3.5 สรุป	32
	3.6 เอกสารอ้างอิงบทที่ 3	33
บทที่ 4	**วงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดันแบบหนึ่งอินพุต ห้าเอาต์พุต โดยใช้วงจร DDCCTA สามตัว**	**36**
	4.1 กล่าวนำ	36
	4.2 วงจรกรองสัญญาณที่นำเสนอ	37
	4.3 สมรรถนะของวงจรกรณีที่ไม่เป็นไปตามอุดมคติ	39
	4.4 ผลการจำลองการทำงานของวงจร	40
	4.5 สรุป	46
	4.6 เอกสารอ้างอิงบทที่ 4	47
บทที่ 5	**บทสรุปและข้อเสนอแนะแนวทางการวิจัยต่อ**	**49**
	5.1 บทสรุป	49
	5.2 ข้อเสนอแนะแนวทางในการวิจัยต่อ	50
	5.3 เอกสารอ้างอิงบทที่ 5	50
ภาคผนวก	**บทความวิจัยที่ตีพิมพ์ในวารสารวิชาการระดับนานาชาติ**	**51**

สารบัญตาราง

ตารางที่		หน้า
2.1	คุณสมบัติวงจร DDCCTA	17

สารบัญรูป

รูปที่		หน้า
2.1	วงจรสมมูลทางไฟฟ้าของวงจร DDCCTA	8
2.2	สัญลักษณ์ทางไฟฟ้าของวงจร DDCCTA	9
2.3	รายละเอียดโครงสร้างวงจร DDCCTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส	9
2.4	วงจรสมมูลทางไฟฟ้าของวงจร DDCCTA ในทางปฏิบัติ	10
2.5	คุณสมบัติการส่งผ่านแรงดันไฟตรงจากพอร์ต y_1, y_2 และ y_3 ไปยังพอร์ต x	11
2.6	คุณสมบัติการส่งผ่านกระแสไฟตรงจากพอร์ต x (i_x) ไปยังพอร์ต z (i_z) เมื่อ R_L = 1 kΩ	12
2.7	คุณสมบัติของอัตราขยายค่าความนำภายในพอร์ต o (g_m) ของวงจร DDCCTA	13
2.8	คุณสมบัติการส่งผ่านแรงดันไฟสลับจากพอร์ต y_1, y_2 และ y_3 ไปยังพอร์ต x	14
2.9	คุณสมบัติการส่งผ่านกระแสไฟสลับจากพอร์ต x ไปยังพอร์ต z	14
2.10	คุณสมบัติของอัตราขยายค่าความนำภายในพอร์ต o (g_m) เมื่อแปรค่ากระแสไบอัส ของวงจร DDCCTA	15
2.11	คุณสมบัติของค่าอิมพีแดนซ์ที่พอร์ต y_1 y_2 และ y_3 ของวงจร DDCCTA	15
2.12	คุณสมบัติของค่าอิมพีแดนซ์ที่พอร์ต x ของวงจร DDCCTA	16
2.13	คุณสมบัติของค่าอิมพิแดนซ์ที่พอร์ต z ของวงจร DDCCTA	16
2.14	คุณสมบัติของค่าอิมพิแดนซ์ที่พอร์ต o ของวงจร DDCCTA	17
3.1	(ก) วงจรกรองสัญญาณอเนกประสงค์โหมดแรงดันที่นำเสนอ ซึ่งมีอิมพิแดนซ์อินพุตสูง (ข) การสังเคราะห์ตัวต้านทานอิเล็กทรอนิกส์โดยใช้ทรานซิสเตอร์แบบมอส	22
3.2	ผลตอบสนองทางความถี่แบบ LP HP และ BP ของวงจรกรองสัญญาณที่นำเสนอ	26
3.3	ผลจำลองผลตอบสนองทางความถี่แบบ BS ของวงจรกรองสัญญาณที่นำเสนอ (ก) ผลตอบสนองทางอัตราขยาย (ข) ผลตอบสนองทางเฟส	28
3.4	ผลจำลองผลตอบสนองทางความถี่แบบ AP ของวงจรกรองสัญญาณที่นำเสนอ	29
3.5	ผลตอบสนองทางความถี่แบบ BP เมื่อแปรค่า g_{m1}/R_1 ในขณะที่ $g_{m1}R_1$ คงที่	29
3.6	ผลตอบสนองทางความถี่แบบ BP เมื่อแปรค่า $g_{m1}R_1$	30
3.7	ผลตอบสนองทางเวลาแบบ BP ของวงจรกรองสัญญาณที่นำเสนอ เมื่อป้อนแรงดันอินพุตขนาด 100 mV (peak) ที่ความถี่ 1.6 MHz	30

สารบัญรูป (ต่อ)

รูปที่		หน้า
3.8	THD ของผลตอบสนองแบบ BP ของวงจรที่นำเสนอ	31
3.9	เลย์เอาต์วงจรกรองสัญญาณที่นำเสนอในรูปที่ 3.1	32
4.1	วงจรกรองสัญญาณที่นำเสนอ โดยใช้วงจร DDCCTA และตัวเก็บประจุต่อเทียบกราวด์	37
4.2	ผลตอบสนองทางความถี่ของวงจรแบบ LP HP และ BP ของ วงจรกรองสัญญาณที่นำเสนอ	41
4.3	ผลจำลองผลตอบสนองทางความถี่แบบ BS ของวงจรกรองสัญญาณที่นำเสนอ (ก) ผลตอบสนองทางอัตราขยาย (ข) ผลตอบสนองทางเฟส	42
4.4	ผลจำลองผลตอบสนองทางความถี่แบบ AP ของวงจรกรองสัญญาณที่นำเสนอ	43
4.5	ผลตอบสนองทางความถี่ของวงจรแบบ BP เมื่อแปรค่า $g_{m1}g_{m2}$ ในขณะที่ g_{m1}/g_{m2} คงที่	44
4.6	ผลตอบสนองทางความถี่ของวงจรแบบ BP เมื่อแปรค่า g_{m1}/g_{m2}	44
4.7	THD ของผลตอบสนองแบบ BP ของวงจรที่นำเสนอ	45
4.8	เลย์เอาต์วงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.1	46

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรกรองสัญญาณไบควอดราทิก (biquadratic filter) ถือเป็นกลุ่มวงจรอิเล็กทรอนิกส์ที่มีความสำคัญอีกวงจรหนึ่ง และได้มีการนำไปประยุกต์ใช้งานกันอย่างกว้างขวาง ทั้งทางด้านระบบสื่อสาร ระบบประมวลผลสัญญาณ และระบบเครื่องมือวัด [1]-[4] ดังนั้นจากอดีตจนถึงปัจจุบันการออกแบบและสังเคราะห์วงจรกรองสัญญาณไบควอดราทิก โดยใช้อุปกรณ์แอคทีฟที่มีประสิทธิภาพสูงยังคงได้รับความนิยมอย่างต่อเนื่องมาเป็นเวลากว่าหลายทศวรรษ โดยอุปกรณ์แอค-ทีฟที่ได้รับความนิยมนำมาใช้งาน ได้แก่ วงจร CCII (second-generation current conveyor) [5]-[12] วงจร DVCC (differential voltage current conveyor) [13]-[19] วงจร DDCC (differential difference current conveyor) [20]-[27] และวงจร FDCCII (fully differential current conveyor) [28]-[30] เป็นต้น แต่อย่างไรก็ตามจากการติดตามบทความวิจัยที่ผ่านมาส่วนใหญ่มักมุ่งเน้นไปที่การออกแบบและสังเคราะห์วงจรกรองสัญญาณโหมดแรงดันแบบหลายอินพุต หนึ่งเอาต์พุต (multiple-input single-output, MISO) และแบบหลายอินพุตหลายเอาต์พุต (multiple-input multiple-output, MIMO) เป็นหลัก [5]-[6], [10]-[11], [17]-[21], [27]-[30] ถึงแม้ว่ามีการใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนไม่มากนัก แต่ยังคงต้องอาศัยเงื่อนไขการป้อนสัญญาณอินพุตในการสังเคราะห์ฟังก์ชันกรองสัญญาณในรูปแบบต่างๆ และเพื่อลดปัญหาความยุ่งยากในการนำไปใช้งาน ต่อมาจึงมีกลุ่มผู้วิจัยได้ทำการพัฒนาและนำเสนอวงจรกรองสัญญาณแบบหนึ่งอินพุต หลายเอาต์พุต (single-input multiple-output, SIMO) ขึ้น [7]-[9], [12]-[16], [23]-[26] โดยวงจรที่นำเสนอส่วนใหญ่มีข้อดี คือ มีค่าอิมพิแดนซ์อินพุตสูง และสามารถสังเคราะห์ฟังก์ชันกรองสัญญาณได้พร้อมกันหลายรูปแบบ แต่อย่างไรก็ตามวงจรกรองสัญญาณแบบ SIMO ดังกล่าวข้างต้น ยังคงใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนมาก อีกทั้งในบางวงจรยังมีการต่ออุปกรณ์พาสซีฟแบบลอยตัว ทำให้โครงสร้างของวงจรมีความซับซ้อน พื้นที่วงจรมีขนาดใหญ่ และสิ้นเปลืองกำลังไฟฟ้าสูญเสียมาก จึงทำให้ไม่เหมาะสมต่อแนวทางการนำไปสังเคราะห์เป็นวงจรรวม (intergrated circuit, IC) [31] นอกจากนี้พบว่าวงจรกรองสัญญาณไบควอดราทิกที่ใช้อุปกรณ์จำนวนน้อย และยังใช้เพียงอุปกรณ์พาสซีฟเทียบกราวด์ รวมถึงยังสามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์นั้น ยังมีการพัฒนาและนำเสนอขึ้นน้อยมาก

เมื่อไม่นานมานี้ในปี ค.ศ. 2011 ได้มีผู้นำเสนออุปกรณ์แอคทีฟแบบใหม่ที่ชื่อว่า วงจร DDCCTA (differential difference current conveyor transconductance amplifier) ขึ้น [32] ซึ่งมีการพัฒนาคุณสมบัติมาจากวงจร DDCC จากเดิมให้สามารถแปรค่าอัตราขยายค่าความนำ (transconductance gain, g_m) ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ จากคุณสมบัติดังกล่าวทำให้การออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกในรูปแบบต่างๆ โดยใช้วงจร DDCCTA จึงช่วยลดจำนวนตัวต้านทานพาสซีฟจากภายนอกลงไปได้ ทำให้เกิดความคล่องตัวในการประยุกต์ใช้งานมากขึ้น ดังนั้นโครงการวิจัยนี้จึงมุ่งเน้นที่จะนำเสนอการออกแบบและสังเคราะห์วงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมด

แรงดันโดยใช้วงจร DDCCTA เป็นอุปกรณ์แอคทีฟหลัก และตัวเก็บประจุเทียบกราวด์ ที่เหมาะกับการสังเคราะห์วงจรแบบ MOSFET-C

1.2 วัตถุประสงค์ของโครงการวิจัย

โครงการวิจัยนี้มุ่งเน้นแนวคิดในการออกแบบและสังเคราะห์วงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดันโดยใช้วงจร DDCCTA เป็นอุปกรณ์แอคทีฟหลัก และตัวเก็บประจุเทียบกราวด์ ที่เหมาะกับการสังเคราะห์วงจรแบบ MOSFET-C ซึ่งมีวัตถุประสงค์หลัก ดังต่อไปนี้

1) เพื่อผลิตบทความวิจัยที่มีคุณภาพสามารถตีพิมพ์ในวารสารนานาชาติที่อยู่ในฐานข้อมูล ISI Journal publication

2) เพื่อยกระดับ Ranking ของสถาบันฯ ให้สอดคล้องกับสภาวะการวิจัยทางวิศวกรรมศาสตร์ที่ยั่งยืนอย่างแท้จริง

3) เพื่อพัฒนาศักยภาพของนักศึกษาระดับปริญญาเอกให้สามารถสร้างองค์ความรู้ใหม่ ให้เป็นที่ยอมรับในระดับนานาชาติได้

4) พัฒนาองค์ความรู้ และติดตามเทคโนโลยีสมัยใหม่ ทางด้านการออกแบบวงจรรวมสำหรับระบบประมวลผลสัญญาณ คิดค้นวงจรพื้นฐานหลัก ให้เหมาะสมกับเทคโนโลยีวงจรรวมที่มีอยู่ มุ่งวิจัย และพัฒนาการศึกษา ค้นคว้า และออกแบบ โครงสร้างวงจรอิเล็กทรอนิกส์ เพื่อการประมวลผลสัญญาณในรูปสัญญาณแอนะล็อก (analog signal)

1.3 ขอบเขตของโครงการวิจัย

ขอบเขตของโครงการวิจัยชิ้นนี้ ประกอบไปด้วยเป้าหมายสำคัญสามประการ คือ

1) ออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกโหมดแรงดันที่มีหนึ่งอินพุต หลายเอาต์พุต โดยใช้วงจร DDCCTA เป็นอุปกรณ์แอคทีฟหลัก และตัวเก็บประจุไฟฟ้าเป็นอุปกรณ์พาสซีฟ ปราศจากการใช้ตัวต้านทานพาสซีฟจากภายนอกในการสังเคราะห์วงจร

2) มุ่งเน้นการสังเคราะห์วงจรที่มีโครงสร้างเหมาะสมกับโครงสร้างวงจรแบบ MOSFET-C ซึ่งเป็นแนวทางการพัฒนาและออกแบบในรูปวงจรรวม (integrated circuit, IC)

3) ขอบเขตของโครงการวิจัยนี้มีเป้าหมายหลัก คือ นำผลงานวิจัยที่ได้จากข้อ 1 และ 2 ไปนำเสนอและตีพิมพ์เผยแพร่ในวาสารวิชาการระดับนานาชาติที่อยู่ในฐานข้อมูล ISI หรือ SJR

1.4 รายละเอียดของโครงการวิจัย

การดำเนินเนื้อหาของโครงการวิจัยฉบับนี้แบ่งออกเป็น 5 บท และภาคผนวก 1 ภาคโดยแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำเพื่อกล่าวถึงความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์และขอบเขตของโครงการวิจัย และรายละเอียดเนื้อหาแต่ละบท

บทที่ 2 กล่าวถึงความเป็นมาและหลักการทำงานของวงจร DDCCTA ซึ่งเป็นหัวใจสำคัญที่ใช้ในโครงการวิจัยนี้

บทที่ 3 นำเสนอการออกแบบวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดัน แบบหนึ่งอินพุต ห้าเอาต์พุต โดยใช้วงจร DDCCTA จำนวนสองตัว ตัวต้านทานเทียบกราวด์จำนวนสองตัว และตัวเก็บประจุเทียบกราวด์จำนวนสองตัว และได้ทำการยืนยันด้วยผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม Cadence Spectre ภายใต้เทคโนโลยี UMC 0.18 μm

บทที่ 4 นำเสนอการออกแบบวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดัน แบบหนึ่งอินพุต ห้าเอาต์พุต โดยใช้วงจร DDCCTA จำนวนสามตัว และตัวเก็บประจุเทียบกราวด์จำนวนสองตัวเท่านั้น โดยปราศจากตัวต้านทานจากภายนอก อีกทั้งได้ทำการยืนยันด้วยผลการจำลองการทำงานของวงจร

บทที่ 5 เป็นบทสรุปผลงานวิจัยที่ได้นำเสนอทั้งหมด พร้อมทั้งข้อเสนอแนะแนวทางเพื่อนำไปพัฒนาและวิจัยต่อไป

ส่วนท้ายของโครงการวิจัยฉบับนี้จะเป็นภาคผนวก ซึ่งได้รวบรวมบทความวิจัยซึ่งเป็นส่วนหนึ่งของผลงานที่เกิดจากโครงการวิจัยชิ้นนี้ ที่ได้รับการตีพิมพ์ในวารสารวิชาการทางวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ระดับนานาชาติที่อยู่ในฐานข้อมูล ISI Journal publication

1.5 เอกสารอ้างอิงบทที่ 1

[1] วรพงศ์ ตั้งศรีรัตน์. **ทฤษฎีโครงข่ายไฟฟ้า (Network Theory).** คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2544.

[2] วรพงศ์ ตั้งศรีรัตน์. **ออปแอมป์และการประมวลผลสัญญาณอนาลอก.** บริษัท ว.เพ็ชรสกุล จำกัด. 2545.

[3] วรพงศ์ ตั้งศรีรัตน์. **ออปแอมป์และลิเนียร์ไอซี ทฤษฎีและการประยุกต์ใช้งาน.** คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2552.

[4] วรพงศ์ ตั้งศรีรัตน์. **การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจร ออสซิเลเตอร์.** คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2554.

[5] C. M. Chang, "Universal voltage-mode filter with four inputs and one output using two CCIIs", **International Journal of Electronics**, vol. 86, no. 3, pp. 305-309, 1999.

[6] J. W. Horng, "High-input impedance voltage-mode universal biquadratic filter using three plus-type CCIIs", **IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing**, vol. 48, no. 10, pp. 996-997, 2001.

[7] O. Cicekoglu, "New multifunction filter implemented with current conveyors", **Microelectonics Journal**, vol. 30, no. 2, pp. 105-107, 1999.

[8] J. W. Horng, C. L. Hou, C. M. Chang, W. Y. Chung and H. Y. Wei, "Voltage-mode universal biquadratic filters with one input and five outputs using MOCCIIs", **Computers and Electrical Engineering**, vol. 31, no. 3, pp. 190-202, 2005.

[9] J. W. Horng, C. L. Hou, C. M. Chang and W. Y. Chung, "Voltage-mode universal biquadratic filters with one input and five outputs", **Analog Integrated Circuits and Signal Processing**, vol. 47, no. 1, pp. 78-83, 2006.

[10] H. P. Chen, "Single CCII-based voltage-mode universal filter", **Analog Integrated Circuits and Signal Processing**, vol. 62, no. 2, pp. 259-262, 2010.

[11] J. W. Horng, "Voltage/current-mode universal biquadratic filter using single CCII+", **Indian Journal of Pure and Applied Physics**, vol. 48, no. 10, pp. 749-756, 2010.

[12] J. W. Horng, Z. R. Wang and C. C. Liu, "Voltage-mode lowpass, bandpass and notch filters using three plus-type CCII+", **Circuits and Systems**, vol. 2, pp. 34-37, 2011.

[13] J. W. Horng, C. L. Hou, C. M. Chang, W. Y. Chung and C. T. Lin, "High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors", **Circuits, Systems and Signal Processing**, vol. 25, no. 6, pp. 767-777, 2006.

[14] E. Yuce, "Voltage-mode multifunction filters employing a single DVCC and grounded capacitors", **IEEE Transactions on Instrumentation and Measurement**, vol. 58, no. 7, pp. 996-997, 2009.

[15] J. W. Horng, "Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs", **Analog Integrated Circuits and Signal Processing**, vol. 62, no. 3, pp. 407-413, 2010.

[16] W. Y. Chiu, J. W. Horng, H. Lee and C. C. Huang, "DVCC-based voltage-mode biquadratic filter with high-input impedance", **Proceedings of the 5th IEEE International Symposium on Electronic Design, Test and Applications**, Ho Chi Minh City, Vietnum, pp. 121-125, 2010.

[17] S. Minaei, and E. Yuce, "All-grounded passive elements voltage-mode DVCC-based universal filters", **Circuits, Systems and Signal Processing**, vol. 29, no. 2, pp. 295-309, 2010.

[18] W. Tangsrirat, and O. Channumsin, "Voltage-mode multifunctional biquadratic filter using single DVCC and minimum number of passive elements", **Indian Journal of Pure and Applied Physics**, vol. 49, no. 10, pp. 703-707, 2011.

[19] J. W. Horng, C. H. Hsu and C. H. Tseng, "High input impedance voltage-mode universal filters with three inputs using three CCs and grounding capacitors", **Radioengineering**, vol. 21, no. 1, pp. 905-910, 2012.

[20] W. Y. Chiu and J. W. Horng, "High-input and low-output impedance voltage-mode universal biquadratic filter using DDCCs", **IEEE Transactions on Circuits and Systems-II: Express Briefs**, vol. 54, no. 8, pp. 649-652, 2007.

[21] J. W. Horng, , "High input impedance voltage-mode universal biquadratic filter with three inputs using DDCCs", **Circuits, Systems and Signal Processing**, vol. 27, no. 4, pp. 553-562, 2008.

[22] H. P. Chen, "Universal voltage-mode filter using only plus-type DDCCs", **Analog Integrated Circuits and Signal Processing**, vol. 50, no. 2, pp. 137-139, 2007.

[23] W. Y. Chiu, J. W. Horng and S. S. Yang, "High input impedance voltage-mode universal biquadratic filter with one inputs and five outputs using DDCCs", **Proceedings of the 4th IEEE International Symposium on Electronic Design, Test and Applications**, Hong Kong, China, pp. 346-350, 2008.

[24] W. Y. Chiu, J. W. Horng and S. T. Cheng, "Universal with one inputs and five outputs using DDCCs", **Proceedings of the 4th IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2008)**, Bangkok, Thailand, pp. 1-4, 2008.

[25] W. Y. Chiu and J. W. Horng, "Voltage-mode biquadratic filters with one input and five outputs using two DDCCs", **Indian Journal of Engineering and Materials Sciences**, vol. 18, no. 2, pp. 97-101, 2011.

[26] J. W. Horng and W. Y. Chiu, "High input impedance DDCC-based voltage-mode universal biquadratic filter with three input five outputs", **Indian Journal of Engineering and Materials Sciences**, vol. 18, no. 3, pp. 183-190, 2011.

[27] H. P. Chen, "Versatile universal voltage-mode filter employing DDCCs", **International Journal of Electronics and Communications (AEU)**, vol. 63, no.1, pp. 78-82, 2009.

[28] C. M. Chang and H. P. Chen, , "Single FDCCII-based tunable universal voltage-mode filter", **Circuits, Systems and Signal Processing**, vol. 24, no. 2, pp. 221-227, 2005.

[29] H. P. Chen, "Voltage-mode FDCCII-based universal filters", **International Journal of Electronics and Communications (AEU)**, vol. 62, no.4, pp. 320-323, 2008.

[30] H. P. Chen, "Single FDCCII-based universal voltage-mode filter", **International Journal of Electronics and Communications (AEU)**, vol. 63, no.9, pp. 713-719, 2009.

[31] M. Bhusan and R. W. Newcomb, "Grounding of capacitors in integrated circuits", **Electronics Letters**, vol. 3, pp. 148-149, 1967.

[32] N. Pandey and S. K. Paul, "Differential difference current conveyor transconductance amplifier: a new analog building block for signal processing", **Journal of Electrical and Computer Engineering**, vol. 2011, no.17, 2011.

[33] W. Tangsrirat and O. Channumsin, "High-input impedance voltage-mode multifunction filter using a single DDCCTA and grounded passive elements", **Radioengineering**, vol. 20, no. 4, pp. 905-910, 2011.

[34] O. Channumsin, T. Pukkalanun and W. Tangsrirat, "Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components", **Microelectronics Journal**, vol. 43, no. 8, pp. 555-561, 2012.

[35] W. Tangsrirat, O. Channumsin and T. Pukkalanun, "Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter", **Microelectronics Journal**, vol. 44, no. 3, pp. 210-215, 2013.

บทที่ 2
วงจร DDCCTA

2.1 กล่าวนำ

วงจร DVCCTA (difference voltage current conveyor transconductance amplifier) ถูกพัฒนาและนำเสนอขึ้นเป็นครั้งแรกโดย A. Jantakun และคณะในปี ค.ศ. 2009 [1] จากนั้นได้มีกลุ่มผู้วิจัยบางกลุ่มได้นำวงจร DVCCTA มาออกแบบและประยุกต์ใช้งานในรูปแบบต่างๆมากขึ้นตามลำดับ [2]-[10] ต่อมาในปี ค.ศ. 2011 N. Pandey และ S. K. Paul ได้นำเสนอวงจร DDCCTA (differential difference current conveyor transconductance amplifier) ขึ้น [11] โดยนำแนวคิดมาจากวงจร DDCC คือ ทำการเพิ่มพอร์ตอินพุต y_3 เข้าไป และกำหนดให้แรงดันที่พอร์ต x มีค่าเท่ากับผลรวมสัญญาณของแรงดันอินพุตทั้งสาม ($v_x = v_{y1} - v_{y2} + v_{y3}$) ทำให้มีความยืดหยุ่นในการนำไปออกแบบวงจร และเพื่อตอบสนองรูปแบบการประยุกต์ใช้งานในด้านต่างๆให้เกิดประสิทธิภาพมากยิ่งขึ้น ซึ่งคุณสมบัติเด่นวงจร DDCCTA คือ สามารถแปรค่าอัตราการส่งผ่านกระแสของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยการแปรค่ากระแสไบอัสจากภายนอก ด้วยเหตุนี้จึงทำให้วงจร DDCCTA สามารถนำไปประยุกต์ใช้ออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณแอ-นะล็อกได้ โดยช่วยลดจำนวนตัวต้านทานจากภายนอก ด้วยเหตุผลดังกล่าวจึงทำให้วงจร DDCCTA เริ่มเข้ามามีบทบาทและได้รับความสนใจนำไปออกแบบและประยุกต์ใช้งานด้านการประมวลผลสัญญาณแอนะล็อกกันอย่างแพร่หลายขึ้นตามลำดับ [12]-[17]

เนื่องจากโครงงานวิจัยนี้มีจุดมุ่งหมายในการศึกษาค้นคว้าและวิจัยการออกแบบวงจรกรองสัญญาณโดยใช้วงจร DDCCTA เป็นอุปกรณ์แอคทีฟหลัก ดังนั้นในบทนี้จึงขอกล่าวถึงรายละเอียดโครงสร้างและหลักการทำงานของวงจร DDCCTA ที่ใช้เทคโนโลยีทรานซิสเตอร์แบบมอสเป็นประเด็นหลัก

2.2 หลักการทำงานพื้นฐานของวงจร DDCCTA

วงจร DDCCTA ถือว่าเป็นอุปกรณ์แอคทีฟที่มีผู้นำเสนอขึ้นเมื่อไม่นานมานี้ ซึ่งในปัจจุบันได้รับความสนใจนำมาออกแบบและสังเคราะห์เป็นวงจรแอนะล็อกฟังก์ชันต่างๆ มากมาย เนื่องจากคุณสมบัติเด่นของวงจร DDCCTA คือ สามารถแปรค่าอัตราการส่งผ่านกระแสของวงจรด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสจากภายนอก นอกจากนี้โครงสร้างของวงจรยังมีค่าอิมพิแดนซ์อินพุตสูง จึงมีความเหมาะสมกับการทำงานในโหมดแรงดันเป็นอย่างดี

2.2.1 คุณสมบัติของวงจร DDCCTA ในทางอุดมคติ

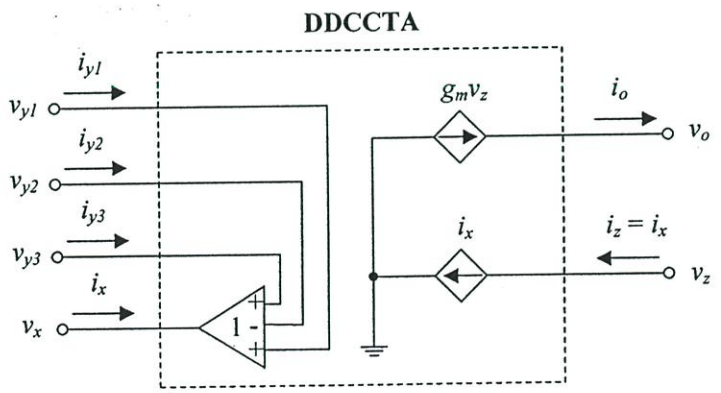
วงจร DDCCTA ในทางอุดมคติ สามารถเขียนแสดงวงจรสมมูลและสัญลักษณ์ทางไฟฟ้าได้ดังรูปที่ 2.1 และ 2.2 ตามลำดับ โดยมีความสัมพันธ์ระหว่างแรงดันและกระแสของวงจรเขียนอธิบายได้ดังนี้

$$\begin{bmatrix} i_{y1} \\ i_{y2} \\ i_{y3} \\ v_x \\ i_z \\ i_o \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & g_m & 0 \end{bmatrix} \begin{bmatrix} v_{y1} \\ v_{y2} \\ v_{y3} \\ i_x \\ v_z \\ v_o \end{bmatrix} \quad (2.1)$$

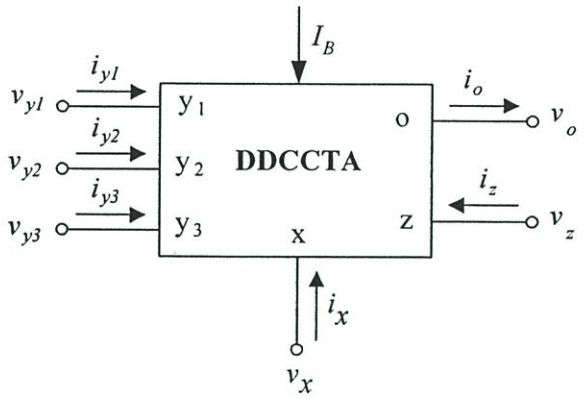
เมื่อ g_m คือ อัตราขยายค่าความนำของวงจร DDCCTA และโครงสร้างของวงจร DDCCTA โดยใช้ทรานซิสเตอร์แบบมอสแสดงได้ดังรูปที่ 2.3 [15] ซึ่งเป็นโครงสร้างที่จะนำไปใช้ในออกแบบและการสังเคราะห์เป็นวงจรกรองสัญญาณในบทต่อๆไป โดยรายละเอียดโครงสร้างของวงจร DDCCTA จะประกอบไปด้วยวงจรที่สำคัญสองส่วน คือ ส่วนของวงจร DDCC (M_1–M_{12}) ทำหน้าที่ในการรวมสัญญาณและส่งผ่านกระแส และส่วนของวงจรขยายค่าความนำ (M_{13}–M_{20}) ดังนั้นจะพบว่าคุณสมบัติพื้นฐานของวงจรที่นำเสนอสอดคล้องกับสมการ (2.1) และสามารถแปรค่า g_m โดยการปรับค่ากระแสไบอัส (I_B) ซึ่งสามารถแสดงความสัมพันธ์ได้ดังนี้

$$g_m = \sqrt{I_B \mu C_{OX} (W/L)} \quad (2.2)$$

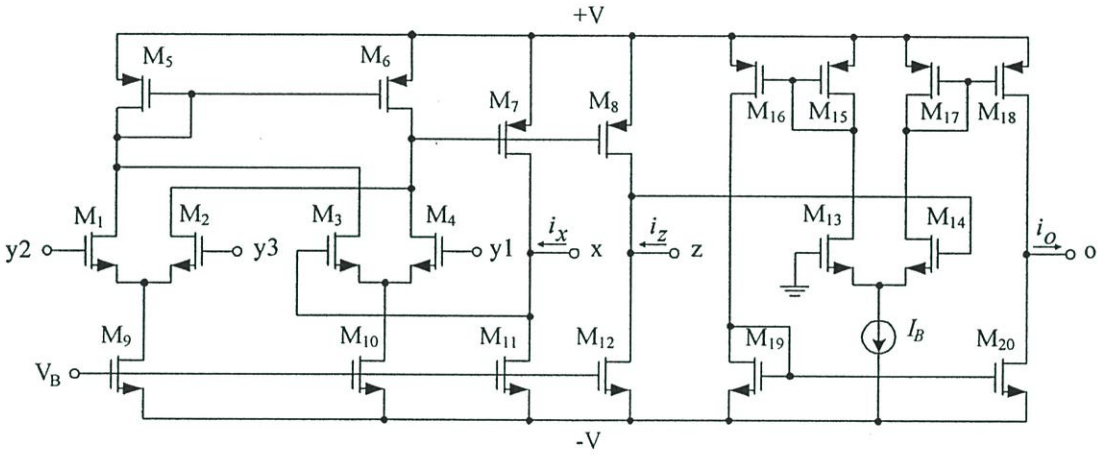
เมื่อ I_B คือ ค่ากระแสไบอัส μ คือ ความคล่องตัวของพาหะ (mobility of carrier) C_{ox} คือ ค่าความจุไฟฟ้าชั้นออกไซด์ต่อหน่วยพื้นที่ W และ L คือ ความกว้างและความยาวของช่องนำกระแส (channel width and length) ตามลำดับ



รูปที่ 2.1 วงจรสมมูลทางไฟฟ้าของวงจร DDCCTA



รูปที่ 2.2 สัญลักษณ์ทางไฟฟ้าของวงจร DDCCTA



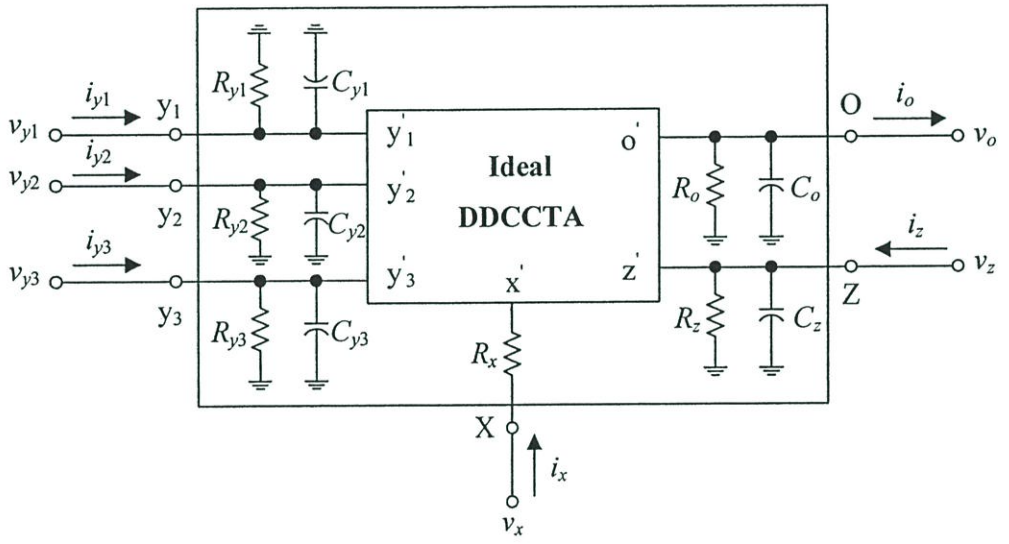
รูปที่ 2.3 รายละเอียดโครงสร้างวงจร DDCCTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส

2.2.2 คุณสมบัติของวงจร DDCCTA ในทางปฏิบัติ

ในทางปฏิบัติ คุณสมบัติการทำงานของวงจร DDCCTA ที่ไม่เป็นไปตามอุดมคตินั้น เกิดจากค่าอิมพิแดนซ์แฝงภายในพอร์ตต่างๆ ดังนั้นเมื่อพิจารณาผลกระทบดังกล่าวแล้วทำให้การทำงานของวงจร DDCCTA ในกรณีนี้สามารถเขียนอธิบายได้ดังวงจรสมมูลในรูปที่ 2.4 [12]-[13] ซึ่งจะเห็นว่าผลของค่าอิมพิแดนซ์แฝงที่พอร์ตอินพุตจะทำให้เกิดค่าความต้านทานแฝง R_x ต่ออนุกรมอยู่ที่พอร์ต x และค่าอิมพิแดนซ์แฝง ($R_{y1}//C_{y1}$), ($R_{y2}//C_{y2}$) และ ($R_{y3}//C_{y3}$) ต่อขนานอยู่ที่พอร์ต y_1, y_2 และ y_3 ตามลำดับ อีกทั้งที่ยังเกิดค่าอิมพิแดนซ์แฝง ($R_z//C_z$) และ ($R_o//C_o$) ขนานอยู่ที่พอร์ตเอาต์พุต z และ o ตามลำดับ ดังนั้นความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร DDCCTA จากสมการ (2.1) จึงเขียนใหม่กลายเป็น

$$\begin{bmatrix} i_{y1} \\ i_{y2} \\ i_{y3} \\ v_x \\ i_z \\ i_o \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ \beta_1 & -\beta_2 & \beta_3 & 0 & 0 & 0 \\ 0 & 0 & 0 & \alpha & 0 & 0 \\ 0 & 0 & 0 & 0 & g_m & 0 \end{bmatrix} \begin{bmatrix} v_{y1} \\ v_{y2} \\ v_{y3} \\ i_x \\ v_z \\ v_o \end{bmatrix} \quad (2.3)$$

เมื่อ $\beta_k = (1 - \varepsilon_v)$ โดยที่ k = 1, 2, 3 และ $\alpha = 1 - \varepsilon_i$ ซึ่งในที่นี้ ε_{vk} ($|\varepsilon_{vk}| << 1$) และ ε_i ($|\varepsilon_i| << 1$) คือ ค่าผิดพลาดในการส่งผ่านกระแสและแรงดันของวงจร DDCCTA ตามลำดับ



รูปที่ 2.4 วงจรสมมูลทางไฟฟ้าของวงจร DDCCTA ในทางปฏิบัติ

2.3 ผลการจำลองการทำงานของวงจร DDCCTA

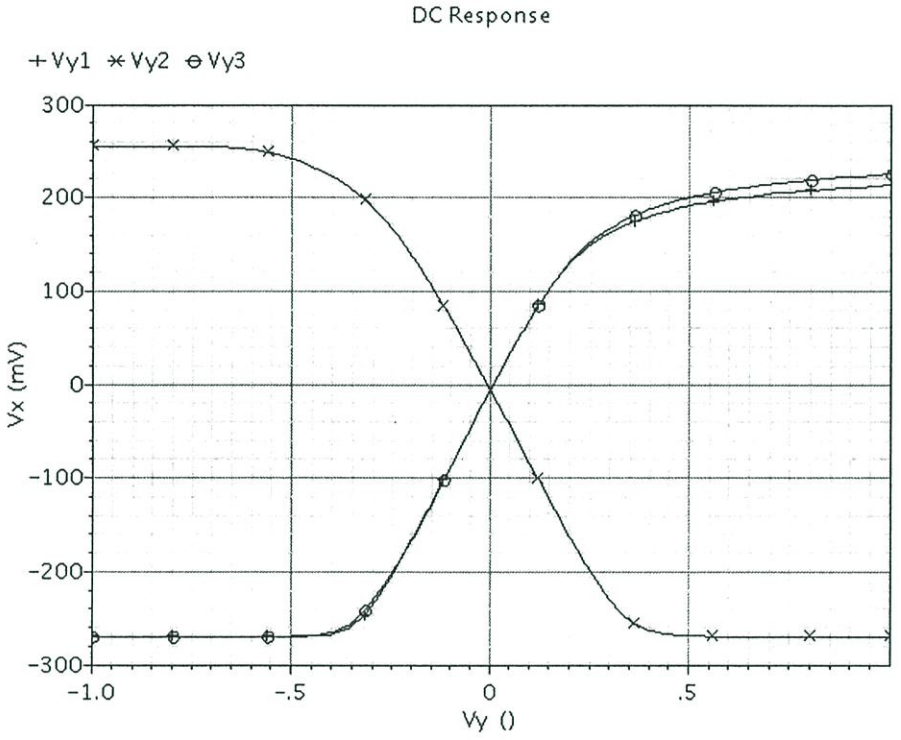
เพื่อเป็นการยืนยันคุณสมบัติในการทำงานทางทฤษฎีของวงจร DDCCTA ที่ได้กล่าวถึงในบทนี้ในที่นี้ ได้ใช้การจำลองการทำงานของวงจรโดยใช้โปรแกรม Cadence Spectre ซึ่งในการจำลองการทำงานนั้น ได้ใช้โครงสร้างในการสังเคราะห์วงจร DDCCTA โดยใช้ทรานซิสเตอร์แบบมอสภายใต้เทคโนโลยี UMC 0.18 μm ดังรูปที่ 2.3 และเลือกใช้แหล่งจ่ายไฟเลี้ยงมีค่าเท่ากับ +V = -V = 1.25 V และ V_B = -0.5 V

2.3.1 คุณสมบัติทางสัญญาณไฟตรงของวงจร DDCCTA

การทดสอบคุณสมบัติทางสัญญาณไฟตรงของวงจร DDCCTA นั้น แบ่งออกเป็นสองส่วน คือ การส่งผ่านแรงดันไฟตรง (DC voltage transfer) และการส่งผ่านกระแสไฟตรง (DC current transfer) ซึ่งสามารถทำการทดสอบคุณสมบัติได้โดยทำการต่อตัวต้านทาน R_L = 1 kΩ อนุกรมกับพอร์ต x จากนั้นป้อนแรงดันไฟตรงไปยังพอร์ต y_1, y_2 และ y_3 ดังเงื่อนไขต่อไปนี้

1. เมื่อ $v_{y1} = v_{in}$ และ $v_{y2} = v_{y3} = 0$ (ต่อเทียบกราวด์)
2. เมื่อ $v_{y2} = v_{in}$ และ $v_{y1} = v_{y3} = 0$
3. เมื่อ $v_{y3} = v_{in}$ และ $v_{y1} = v_{y2} = 0$ ตามลำดับ

โดยทำการแปรค่าแรงดันไฟตรงที่พอร์ต y_1, y_2 และ y_3 (v_{y1}, v_{y2} และ v_{y3}) ให้มีขนาดตั้งแต่ -1 V จนถึง 1 V และวัดค่าแรงดันที่เกิดขึ้นที่พอร์ต x (v_x)

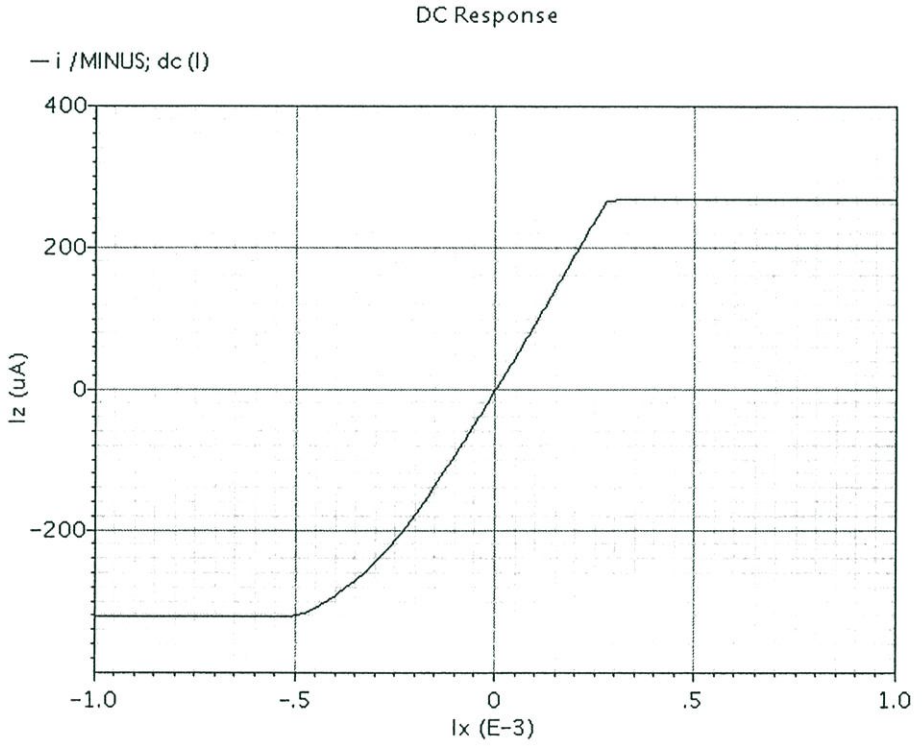


รูปที่ 2.5 คุณสมบัติการส่งผ่านแรงดันไฟตรงจากพอร์ต y_1, y_2 และ y_3 ไปยังพอร์ต x

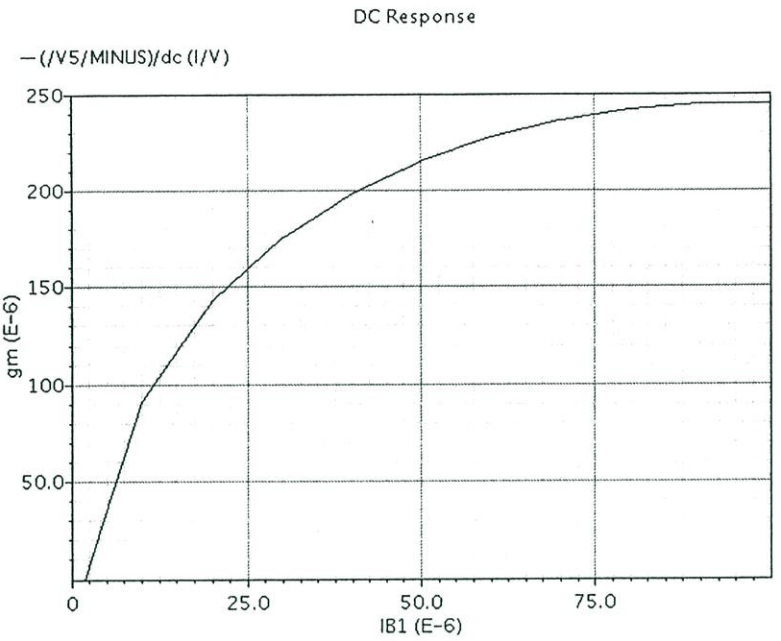
รูปที่ 2.5 แสดงผลการจำลองในการส่งผ่านแรงดันไฟฟ้าตรง จากพอร์ต y_1, y_2 และ y_3 (v_{y1}, v_{y2} และ v_{y3}) ไปยังพอร์ต x (v_x) จากผลการจำลองพบว่าขนาดการส่งผ่านแรงดันจากพอร์ต y_1, y_2 และ y_3 ไปยังพอร์ต x ซึ่งผลที่ได้จากการจำลองในการส่งผ่านแรงดันจากพอร์ต y_1 และ y_3 ไปยังพอร์ต x พบว่าค่าที่เป็นเชิงเส้นอยู่ในช่วงประมาณ – 60 mV ถึง 60 mV และในการส่งผ่านแรงดันจากพอร์ต y_2 ไปยังพอร์ต x มีค่าที่เป็นเชิงเส้นอยู่ในช่วงประมาณ – 60 mV ถึง 100 mV เท่านั้น

รูปที่ 2.6 แสดงคุณสมบัติการส่งผ่านกระแสไฟตรง (DC current transfer) ของวงจร DDCCTA เมื่อกำหนดให้ตัวต้านทาน R_L = 1 kΩ ผลการจำลองกระทำโดยการแปรค่ากระแส i_x ให้มีขนาดตั้งแต่ -1000 μA จนถึง 1000 μA ซึ่งพบว่าการส่งผ่านกระแสจากพอร์ต x ไปยังพอร์ต z มีค่าที่เป็นเชิงเส้นหรือใกล้เคียงกับทฤษฎีอยู่ในช่วงที่กระแส i_x มีขนาดเป็น -200 μA $\leq i_x \leq$ 180 μA ที่เป็นเช่นนี้เนื่องจากกระแส i_z ถูกจำกัดโดยแหล่งจ่ายไฟเลี้ยงของวงจร DDCCTA นั่นเอง

รูปที่ 2.7 แสดงผลการจำลองที่ได้จากโปรแกรม Cadence Spectre เมื่อทำการตรวจสอบคุณสมบัติของอัตราขยายค่าความนำภายในพอร์ต o (g_m) ของวงจร DDCCTA โดยแปรค่ากระแสไบอัส (I_B) ของวงจรจาก 0 μA จนถึง 100 μA และเมื่อทำการเปรียบเทียบค่าที่คำนวณได้จากทางทฤษฎีตามสมการ (2.3) ซึ่งพบว่ากระแสไบอัส I_B มีช่วงความเป็นเชิงเส้นหรือค่าใกล้เคียงกับทฤษฎีในช่วงแคบๆ เท่านั้น



รูปที่ 2.6 คุณสมบัติการส่งผ่านกระแสไฟตรงจากพอร์ต x (i_x) ไปยังพอร์ต z (i_z) เมื่อ R_L = 1 kΩ



รูปที่ 2.7 คุณสมบัติของอัตราขยายค่าความนำภายในพอร์ต o (g_m) ของวงจร DDCCTA

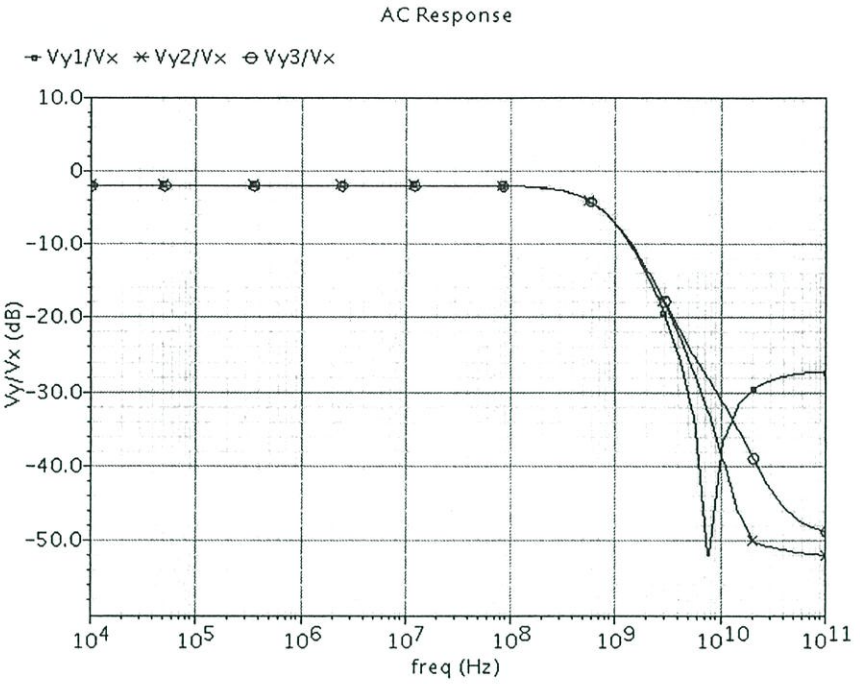
2.3.2 คุณสมบัติทางสัญญาณไฟสลับของวงจร DDCCTA

รูปที่ 2.8 แสดงคุณสมบัติในการส่งผ่านแรงดันไฟสลับ (AC voltage transfer) จากพอร์ต y_1 y_2 และ y_3 (v_{y1}, v_{y2} และ v_{y3}) ไปยัง พอร์ต x (v_x) โดยพบว่าในการส่งผ่านแรงดันไฟสลับจะมีช่วงความถี่ปฏิบัติงานอยู่ที่ประมาณ 680 MHz, 705 MHz และ 691 MHz ตามลำดับ ในรูปที่ 2.9 แสดงคุณสมบัติในการส่งผ่านกระแสไฟสลับจากพอร์ต x ไปยังพอร์ต z พบว่าช่วงความถี่ปฏิบัติงานอยู่ที่ประมาณ 3.052 GHz ดังนั้นจากข้อมูลที่ได้จากการวัดช่วงความถี่ปฏิบัติงานที่พอร์ตต่างๆ ข้างต้น สามารถสรุปได้ว่าช่วงความถี่ปฏิบัติงานสูงสุดของวงจร DDCCTA มีค่าประมาณ 680 MHz

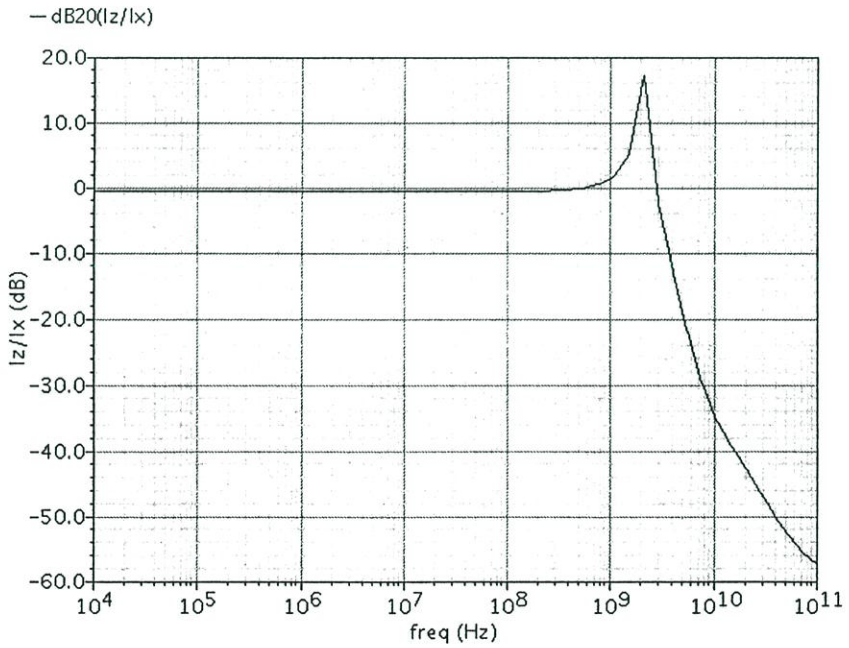
รูปที่ 2.10 แสดงคุณสมบัติของอัตราขยายค่าความนำภายในพอร์ต o (g_m) เมื่อทำการแปรค่ากระแสไบอัสของวงจร DDCCTA ให้มีค่าเท่ากับ 3.3 μA (50 μA/V), 7.5 μA (70 μA/V) และ 13.3 μA (100 μA/V) ตามลำดับ ซึ่งผลที่ได้จากการจำลองอัตราขยายค่าความนำ (g_m) จะมีค่าเท่ากับ 43.5 μA/V, 76.07 μA/V และ 107 μA/V ตามลำดับ

รูปที่ 2.11 แสดงคุณสมบัติของค่าอิมพิแดนซ์อินพุตที่พอร์ต y_1, y_2 และ y_3 ของวงจร DDCCTA ซึ่งพบว่าที่พอร์ต y_1, y_2 และ y_3 จะมีค่าอิมพิแดนซ์เท่ากับ 8.27 GΩ, 8.55 GΩ และ 5.33 GΩ ตามลำดับที่ความถี่ 10 kHz รูปที่ 2.12 และ 2.13 แสดงค่าอิมพิแดนซ์ที่พอร์ต x และ z ของวงจร DDCCTA ตามลำดับ พบว่ามีค่าอิมพิแดนซ์ประมาณ 234 Ω และ 193.9 kΩ ตามลำดับ

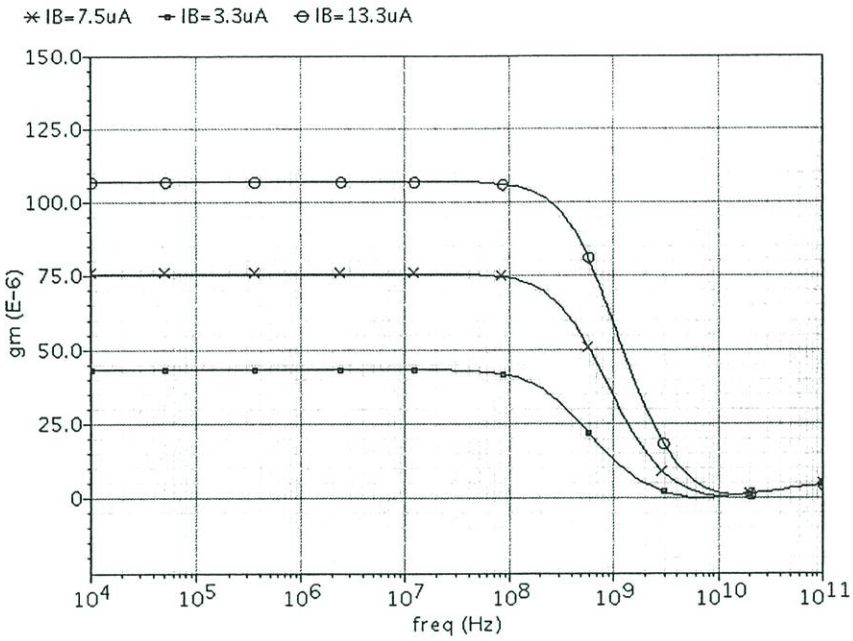
รูปที่ 2.14 แสดงคุณสมบัติของค่าอิมพิแดนซ์ที่พอร์ต o พบว่ามีค่าอิมพิแดนซ์ที่พอร์ต o ประมาณ 344 kΩ ตามลำดับ ที่ความถี่ 10 kHz อย่างไรก็ตามได้ทำการสรุปผลที่ได้จากการจำลองคุณสมบัติต่างๆ ของวงจร DDCCTA ไว้ในตารางที่ 2.1 โดยพบว่าในช่วงความถี่ปฏิบัติงานของวงจรนั้น ผลการจำลองที่ได้มีแนวโน้มเป็นไปตามหลักทางทฤษฎีที่นำเสนอ



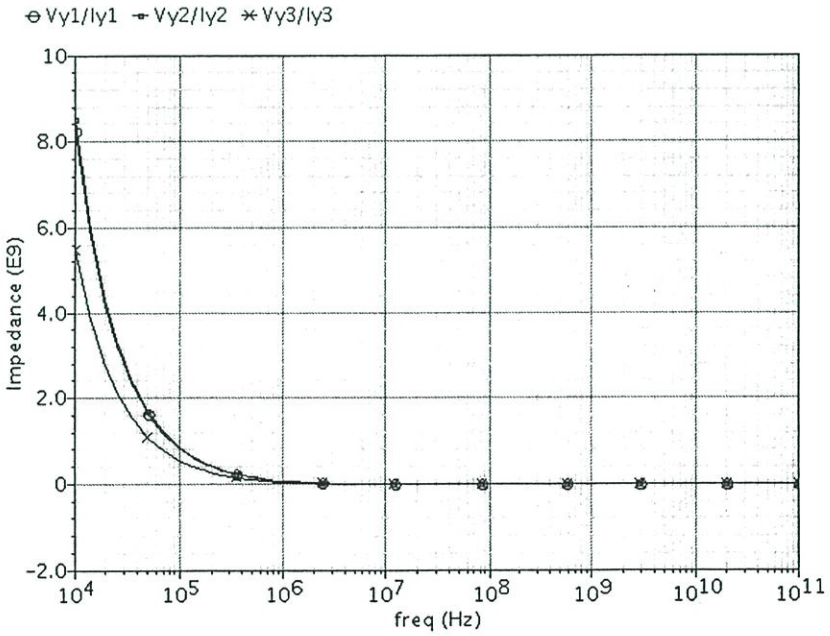
รูปที่ 2.8 คุณสมบัติการส่งผ่านแรงดันไฟสลับจากพอร์ต y_1, y_2 และ y_3 ไปยังพอร์ต x $\left(\frac{v_x}{v_y}\right)$



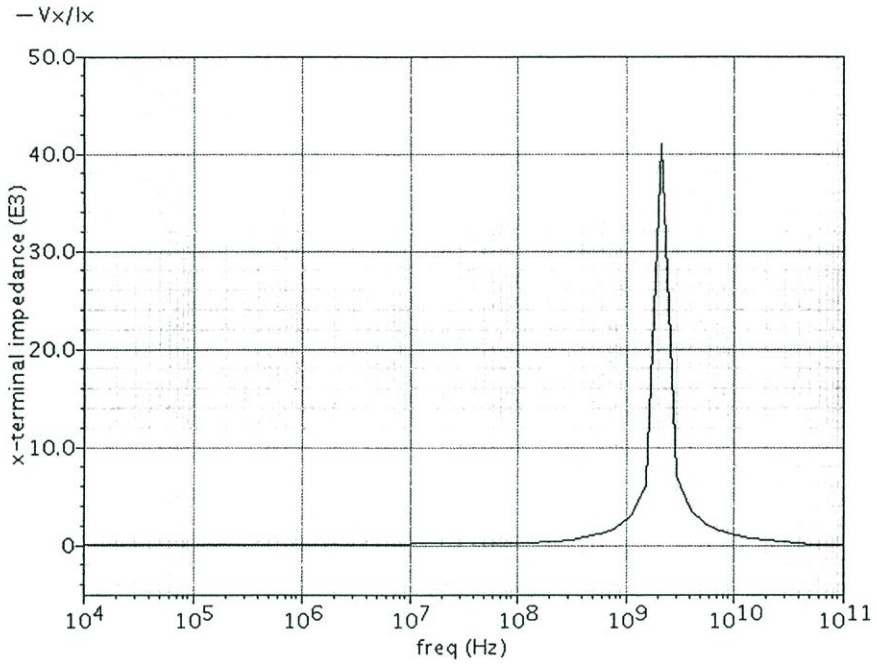
รูปที่ 2.9 คุณสมบัติการส่งผ่านกระแสไฟสลับจากพอร์ต x ไปยังพอร์ต z $\left(\frac{i_z}{i_x}\right)$



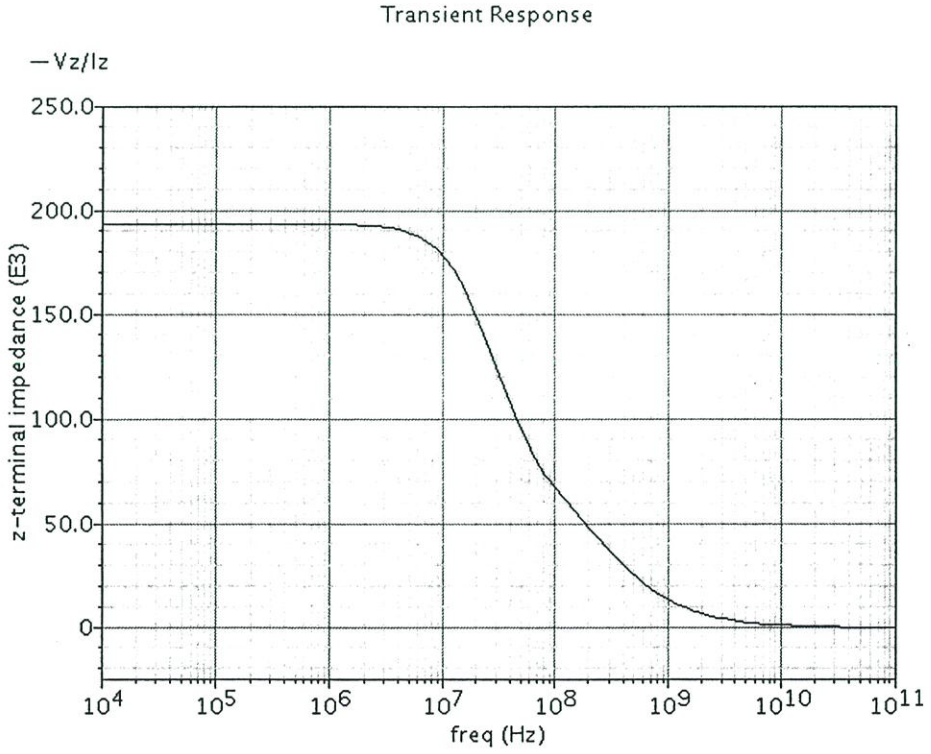
รูปที่ 2.10 คุณสมบัติของอัตราขยายค่าความนำภายในพอร์ต o (g_m) เมื่อแปรค่ากระแสไบอัสของวงจร DDCCTA



รูปที่ 2.11 คุณสมบัติของค่าอิมพิแดนซ์ที่พอร์ต y_1 y_2 และ y_3 ของวงจร DDCCTA



รูปที่ 2.12 คุณสมบัติของค่าอิมพิแดนซ์ที่พอร์ต x ของวงจร DDCCTA

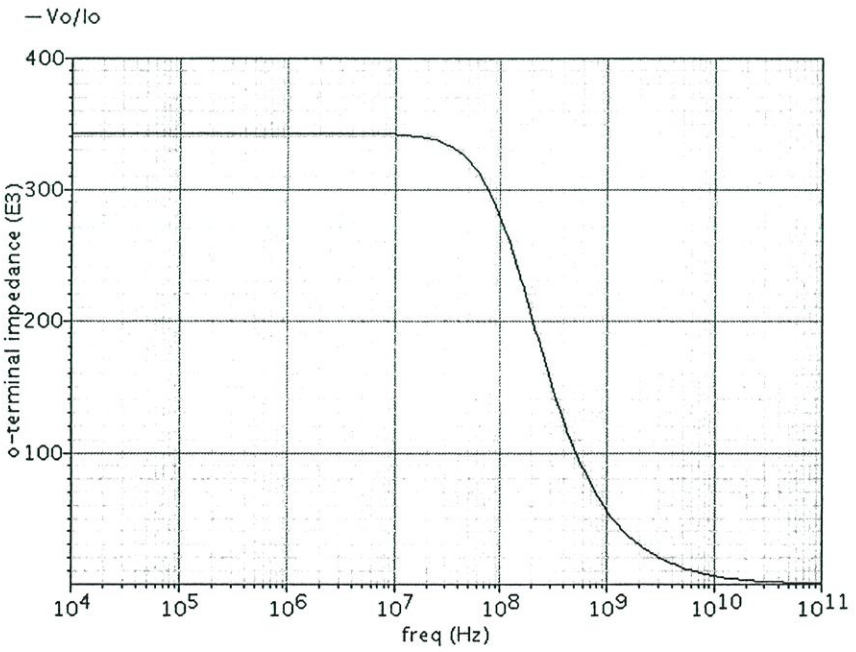


รูปที่ 2.13 คุณสมบัติของค่าอิมพิแดนซ์ที่พอร์ต z ของวงจร DDCCTA

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ตารางที่ 2.1 คุณสมบัติวงจร DDCCTA

พารามิเตอร์	ผลการจำลอง
การส่งผ่านแรงดันไฟตรงอินพุตที่พอร์ต y_1 และ y_3 ไปยังพอร์ต x	-60 mV ถึง 60 mV
การส่งผ่านแรงดันไฟตรงอินพุตที่พอร์ต y_2 ไปยังพอร์ต x	-60 mV ถึง 100 mV
การส่งผ่านกระแสไฟตรงเอาต์พุตที่พอร์ต z ไปยังพอร์ต x	-200 µA ถึง 180 µA
การส่งผ่านแรงดันไฟสลับที่พอร์ต y_1 ไปยังพอร์ต x (ที่ -3dB)	680 MHz
การส่งผ่านแรงดันไฟสลับที่พอร์ต y_2 ไปยังพอร์ต x (ที่ -3dB)	705 MHz
การส่งผ่านแรงดันไฟสลับที่พอร์ต y_3 ไปยังพอร์ต x (ที่ -3dB)	691 MHz
การส่งผ่านแรงดันไฟสลับที่พอร์ต z ไปยังพอร์ต x (ที่ -3dB)	3.052 GHz
อิมพิแดนซ์ที่พอร์ต y_1 (ที่ความถี่ 10 kHz)	8.27 GΩ
อิมพิแดนซ์ที่พอร์ต y_2 (ที่ความถี่ 10 kHz)	8.55 GΩ
อิมพิแดนซ์ที่พอร์ต y_3 (ที่ความถี่ 10 kHz)	5.33 GΩ
อิมพิแดนซ์ที่พอร์ต x (ที่ความถี่ 10 kHz)	234 Ω
อิมพิแดนซ์ที่พอร์ต z (ที่ความถี่ 10 kHz)	193.9 kΩ
อิมพิแดนซ์ที่พอร์ต o (ที่ความถี่ 10 kHz)	344 kΩ



รูปที่ 2.14 คุณสมบัติของค่าอิมพิแดนซ์ที่พอร์ต o ของวงจร DDCCTA

136359

2.4 สรุป

ในบทนี้ได้กล่าวถึงรายละเอียดความเป็นมาและหลักการทำงานพื้นฐานของวงจร DDCCTA ทั้งในทางอุดมคติและในทางปฏิบัติ เพื่อนำหลักการทำงานพื้นฐานไปใช้ศึกษาและประกอบความเข้าใจในการออกแบบและสังเคราะห์เป็นวงจรกรองสัญญาณที่จะนำเสนอในบทต่อไป นอกจากการนำเสนอในส่วนของทฤษฎีแล้วในบทนี้ยังทำการตรวจสอบคุณสมบัติการทำงานของวงจร DDCCTA โดยใช้ทรานซิสเตอร์แบบมอสภายใต้เทคโนโลยี UMC 0.18 μm โดยใช้โปรแกรม Cadence Spectre อีกด้วย

2.5 เอกสารอ้างอิงบทที่ 2

[1] A. Jantakun, N. Pisutthipong and M. Siripruchyanun, "A synthesis of temperature insensitive/electronically controllable floating simulators based on DV-CCTAs", **Proceedings of the 6th International Conference on Electrical Engineering/Electronics, Computer, Telecomunications and Information Technology (ECTI-CON 2009)**, Pattaya, Thailand, pp. 560-563, 2009.

[2] A. Jantakun, N. Pisutthipong and M. Siripruchyanun, "Single element based-novel temperature insensitive/electronically controllable floating capacitance multiplier and its application", **Proceedings of the 7th International Conference on Electrical Engineering/Electronics, Computer, Telecomunications and Information Technology (ECTI-CON 2010)**, Chaing Mai, Thailand, pp. 37-41, 2010.

[3] A. Lahiri, W. Jailda and M. Siripruchyanun, "Voltage-mode quadrature sinusoidal oscillator with current tunable properties", **Analog Integrated Circuits and Signal Processing**, vol. 65, no. 2, pp. 321-325, 2010.

[4] N. Pandey and S. K. Paul, "Analog filters based on 0.25 μm CMOS differential voltage current conveyor transconductance amplifier (DVCCTA)", **Proceedings of India International Conference on Power Electronics (IICPE 2010)**, New Delhi, India, pp. 1-5, 2010.

[5] W. Jaikla, M. Siripruchyanun and A. Lahiri, "Resistorless dual-mode quadrature sinusoidal oscillator using a single active building block", **Microelectronics Journal**, vol. 42, no. 1, pp.135-140, 2011.

[6] N. Pandey and S. K. Paul, "VM and CM Universal Filters Based on Single DVCCTA", **Active and Passive Electronic Components**, vol. 2011, Article ID 929507, 7 pages, 2011.

[7] P. Kumar and N. Pandey, "Differential voltage current conveyor transconductance amplifier based wave active filter", **Proceedings of International Conference on Multimedia and Signal Processing and Communication Technologies (IMPACT 2011)**, Aligarh, India, pp. 95-98, 2011.

[8] N. Pandey and P. Kumar, "Realization of resistorless wave active filter using differential voltage current controlled conveyor transconductance amplifier", **Radioengineeing**, vol. 20, no. 4, pp. 911-916, 2011.

[9] N. Pandey, R. Pandey and S. K. Paul, "A first order all pass filter and its application in a quadrature oscillator", **Journal of Electron Devices**, vol. 12, pp. 772-777, 2012.

[10] W. Tangsrirat, "Floating simulator with a single DVCCTA", **Indian Journal of Engineering and Materials Sciences**, vol. 20, no. 2, pp. 79-86, 2013.

[11] N. Pandey and S. K. Paul, "Differential difference current conveyor transconductance amplifier: a new analog building block for signal processing", **Journal of Electrical and Computer Engineering**, vol. 2011, no.17, 2011.

[12] W. Tangsrirat and O. Channumsin, "High-input impedance voltage-mode multifunction filter using a single DDCCTA and grounded passive elements", **Radioengineering**, vol. 20, no. 4, pp. 905-910, 2011.

[13] O. Channumsin, T. Pukkalanun and W. Tangsrirat, "Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components", **Microelectronics Journal**, vol. 43, no. 8, pp. 555-561, 2012.

[14] N. Pandey, R. Pandey and S. K. Paul, "Novel single input five output voltage mode universal filter based on DDCCTA", **Proceedings of the 3rd International Conference on Computer and Communication Technology (ICCCT 2012)**, Allahabad, India, pp. 46-51, 2012.

[15] W. Tangsrirat, O. Channumsin and T. Pukkalanun, "Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter", **Microelectronics Journal**, vol. 44, no. 3, pp. 210-215, 2013.

[16] W. Tangsrirat, O. Channumsin and T. Pukkalanun, "Universal voltage-mode SIFO-type biquad with fully MOS-C realization using DDCCTAs", **Indian Journal of Pure and Applied Physics**, vol. 51, no. 7, pp. 516-522, 2013.

[17] W. Tangsrirat, O. Channumsin and T. Pukkalanun, "Single-input four-output voltage-mode universal filter using single DDCCTA", **Microelectronics Journal**, Available online 4 July 2013.

บทที่ 3
วงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดัน แบบหนึ่งอินพุต ห้าเอาต์พุต โดยใช้วงจร DDCCTA สองตัว

3.1 กล่าวนำ

เมื่อไม่นานมานี้ได้มีการนำเสนออุปกรณ์แอคทีฟที่มีชื่อว่า วงจร DDCCTA (differential difference current conveyor transconductance amplifier) ขึ้น [1] วงจร DDCCTA ประกอบด้วยวงจรที่สำคัญสองส่วน ได้แก่ วงจร DDCC (differential difference current conveyor) ในส่วนภาคอินพุต และวงจร OTA (operational transconductance amplifier) ในส่วนภาคเอาต์พุต โดยวงจร DDCCTA สามารถปรับค่าพารามิเตอร์ของวงจรประมวลผลสัญญาณแอนะล็อกได้ด้วยวิธีการทางอิเล็กทรอนิกส์ อีกทั้งยังได้รวมคุณสมบัติเด่นของวงจร DDCC ไว้ทั้งหมด อาทิเช่น มีค่าอิมพิแดนซ์อินพุตสูง มีการใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อย และสามารถนำไปใช้งานเป็นวงจรผลต่างและผลรวมของแรงดันอินพุตได้โดยง่าย เป็นต้น นอกจากนี้วงจร DDCCTA ยังสามารถปรับให้เป็นวงจร DVCCTA (difference voltage current conveyor transconductance amplifier) [2] ได้โดยการต่อพอร์ตอินพุต y_3 ลงกราวด์เท่านั้น ดังนั้นจากคุณสมบัติเด่นดังกล่าวจึงทำให้วงจร DDCCTA และวงจร DVCCTA ได้รับความสนใจนำไปสังเคราะห์และประยุกต์ใช้งานสำหรับวงจรประมวลสัญญาณต่างๆ มากมาย โดยเฉพาะอย่างยิ่งในการสังเคราะห์วงจรกรองสัญญาณ [1]-[14]

ดังนั้นในบทนี้จึงนำเสนอวงจรกรองสัญญาณไบควอดราทิกที่ทำงานโหมดแรงดันแบบหนึ่งอินพุต ห้าเอาต์พุต ซึ่งประกอบด้วยวงจร DDCCTA จำนวนสองตัว ตัวต้านทานต่อเทียบกราวด์จำนวนสองตัว และตัวเก็บประจุต่อเทียบกราวด์จำนวนสองตัวเท่านั้น [14] วงจรกรองสัญญาณที่นำเสนอมีข้อดีคือ ใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อยในการสังเคราะห์ฟังก์ชันกรองสัญญาณโดยไม่ต้องปรับเปลี่ยนรูปแบบของวงจร โดยที่วงจรกรองสัญญาณอเนกประสงค์โหมดแรงดันแบบหนึ่งอินพุต ห้าเอาต์พุตที่ได้รับการตีพิมพ์ในก่อนหน้านี้ [15]-[28] ได้นำเสนอคุณสมบัติเด่นของวงจรดังต่อไปนี้

1. สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณพื้นฐานได้พร้อมกันห้ารูปแบบดังนี้ แบบกรองผ่านความถี่ต่ำ (LP) แบบกรองผ่านแถบความถี่ (BP) แบบกรองผ่านความถี่สูง (HP) แบบจำกัดแถบความถี่ (BS) และแบบกรองผ่านทุกความถี่ (AP) โดยไม่ต้องปรับเปลี่ยนรูปแบบของวงจร
2. ใช้อุปกรณ์แอคทีฟต่อเทียบกราวด์เท่านั้น ซึ่งมีความเหมาะสมในการนำไปสร้างเป็นวงจรรวม [29] อีกทั้งยังช่วยลดผลกระทบเนื่องจากค่าอิมพิแดนซ์แฝงที่ต่อขนานกันได้อีกด้วย
3. สามารถปรับค่าความถี่เชิงมุมธรรมชาติ (ω_0) และตัวประกอบคุณภาพ (Q) ของวงจรด้วยวิธีการทางอิเล็กทรอนิกส์
4. ค่าอิมพิแดนซ์อินพุตสูง ซึ่งมีความเหมาะสมในการนำไปต่อคาดเคสในการทำงานโหมดแรงดัน

5. ไม่ต้องการเงื่อนไขความเท่ากันของอุปกรณ์ที่ใช้ในวงจร เพื่อทำการสังเคราะห์ฟังก์ชันกรองสัญญาณแบบ AP

6. ใช้อุปกรณ์จำนวนน้อย เช่น ใช้อุปกรณ์แอคทีฟจำนวนสองตัว ตัวต้านทานจำนวนสองตัว และตัวเก็บประจุจำนวนสองตัว เป็นต้น

7. มีค่าความไวต่อการแปรค่าอุปกรณ์แอคทีฟและพาสซีฟต่ำ

3.2 วงจรกรองสัญญาณที่นำเสนอ

รูปที่ 3.1 แสดงวงจรกรองสัญญาณอเนกประสงค์โหมดแรงดันแบบหนึ่งอินพุต ห้าเอาต์พุตที่นำเสนอประกอบด้วยวงจร DDCCTA จำนวนสองตัว และอุปกรณ์พาสซีฟต่อเทียบกราวด์เท่านั้น กล่าวคือ ตัวต้านทานจำนวนสองตัว และตัวเก็บประจุจำนวนสองตัว จากการวิเคราะห์วงจรในรูปที่ 3.1 โดยอาศัยคุณสมบัติของวงจร DDCCTA ดังสมการ (3.1) จะได้ฟังก์ชันถ่ายโอนแรงดันของวงจร ดังนี้

$$\frac{V_{o1}}{V_{in}} = \frac{sC_2}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \tag{3.1}$$

$$\frac{V_{o2}}{V_{in}} = \frac{-g_{m1}}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \tag{3.2}$$

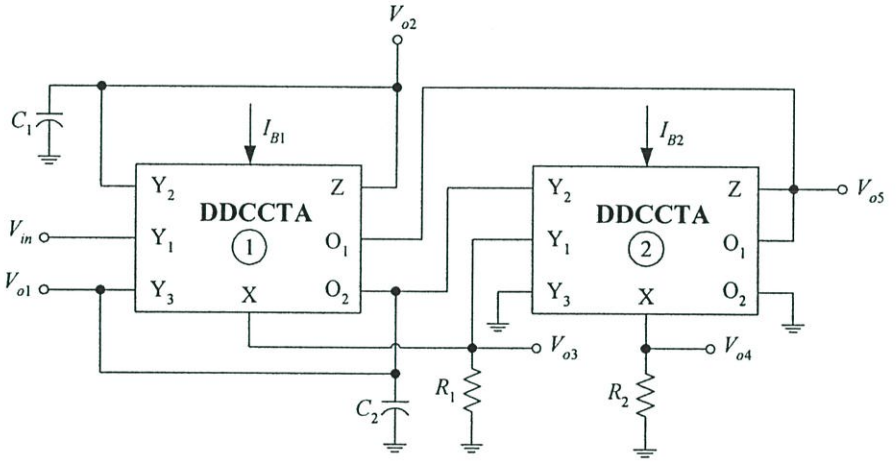
$$\frac{V_{o3}}{V_{in}} = \frac{s^2R_1C_1C_2}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \tag{3.3}$$

$$\frac{V_{o4}}{V_{in}} = \frac{s^2R_1C_1C_2 + g_{m1}}{s^2R_1C_1C_2 + sC_2 + g_{m1}} \tag{3.4}$$

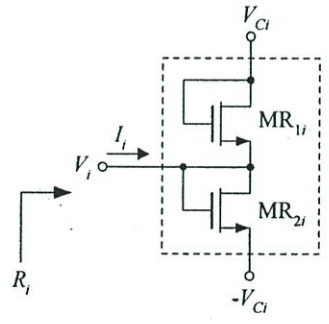
และ

$$\frac{V_{o5}}{V_{in}} = \left(\frac{1}{g_{m2}R_2}\right)\left[\frac{s^2R_1C_1C_2 - sg_{m1}R_2C_2 + g_{m1}}{s^2R_1C_1C_2 + sC_2 + g_{m_1}}\right] \tag{3.5}$$

จากสมการ (3.1) ถึง (3.5) พบว่าวงจรกรองสัญญาณในรูปที่ 3.1 สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณทั้งแบบ LP, BP, HP, BS และ AP ได้จากแรงดันที่โหนด V_{o1}, V_{o2}, V_{o3}, V_{o4} และ V_{o5} ตามลำดับ นอกจากนี้จากสมการ (3.5) เมื่อกำหนดให้ $g_{m1} = 1/R_2$ จะได้ฟังก์ชันกรองสัญญาณแบบ AP ที่มีอัตราขยายแถบผ่านเท่ากับ $1/g_{m2}R_2$ อย่างไรก็ตามวงจรที่นำเสนอในรูปที่ 3.1 ยังคงต้องอาศัยเงื่อนไขความเท่ากันของอุปกรณ์ ในกรณีที่ทำการสังเคราะห์ฟังก์ชันกรองสัญญาณแบบ AP อยู่ อีกทั้งค่าอิมพิแดนซ์ที่พอร์ตเอาต์พุตทั้งหมดของวงจรที่นำเสนอนั้นมีค่าที่ไม่ต่ำอีกด้วย ดังนั้นจึงจำเป็นต้องมีการเพิ่มวงจรตามแรงดัน (voltage follower) เข้าไปยังพอร์ตเอาต์พุตของวงจรกรองสัญญาณที่นำเสนอเพื่อทำหน้าที่ในการขับอิมพิแดนซ์ที่โหลดให้มีค่าต่ำ



(ก)



(ข)

รูปที่ 3.1 (ก) วงจรกรองสัญญาณอเนกประสงค์โหมดแรงดันที่นำเสนอ ซึ่งมีอิมพิแดนซ์อินพุตสูง

(ข) การสังเคราะห์ตัวต้านทานอิเล็กทรอนิกส์โดยใช้ทรานซิสเตอร์แบบมอส

จากสมการ (3.1) ถึง (3.5) พบว่าค่าความถี่เชิงมุมธรรมชาติ (ω_0) ตัวประกอบคุณภาพ (Q) และแบนด์วิท (BW) ของวงจร มีค่าเท่ากับ

$$\omega_o = \sqrt{\frac{g_{m1}}{R_1 C_1 C_2}} \tag{3.6}$$

$$Q = \sqrt{\frac{g_{m1} R_1 C_1}{C_2}} \tag{3.7}$$

และ

$$BW = \frac{1}{R_1 C_1} \tag{3.8}$$

สมการ (3.6) และ (3.7) แสดงให้เห็นว่าค่าพารามิเตอร์ ω_0 และ Q ของฟังก์ชันกรองสัญญาณทุกรูปแบบนั้น สามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยการแปรอัตราขยายค่าความนำ g_{m1} ซึ่งควบคุมได้จากค่ากระแสไบอัส I_B จากภายนอก โดยไม่ส่งผลกระทบต่อค่าแบนด์วิท BW หมายความว่า ค่าพารามิเตอร์ ω_0 และ Q ของวงจรที่นำเสนอ สามารถแปรค่าได้โดยการกำหนดค่า g_{m1} และ R_1 อย่างมีเงื่อนไข ตัวอย่างเช่น กำหนดให้ $g_m R_1$ คงที่ จากนั้นทำการแปรค่า g_m/R_1 ให้เป็นไปตามเงื่อนไขที่ต้องการ เป็นต้น

ค่าความไวของพารามิเตอร์ ω_0, Q และ BW ต่อการเปลี่ยนแปลงค่าอุปกรณ์พาสซีฟในวงจร สามารถคำนวณได้ดังนี้

$$S_{g_{m1}}^{\omega_o} = -S_{R_1}^{\omega_o} = -S_{C_1}^{\omega_o} = -S_{C_2}^{\omega_o} = \frac{1}{2} \tag{3.9}$$

$$S_{g_{m1}}^{BW} = S_{C_2}^{BW} = 0 \tag{3.10}$$

$$S_{R_1}^{BW} = S_{C_1}^{BW} = -1 \tag{3.11}$$

และ

$$S_{g_{m1}}^{Q} = S_{R_1}^{Q} = S_{C_1}^{Q} = -S_{C_2}^{Q} = \frac{1}{2} \tag{3.12}$$

ซึ่งแสดงให้เห็นว่าค่าความไวทั้งหมดนั้นมีค่าที่ต่ำ หรือไม่เกินหนึ่งนั่นเอง

เมื่อทำการพิจารณาตัวต้านทาน R_i (i = 1, 2) ที่ต่อเทียบกราวด์แต่ละตัวภายในวงจรกรองสัญญาณที่นำเสนอดังรูปที่ 3.1(ก) สามารถแทนที่โดยใช้การสังเคราะห์จากตัวต้านทานอิเล็กทรอนิกส์แบบใช้มอสทรานซิสเตอร์จำนวนสองตัว (MR_{1i} และ MR_{2i}) ดังรูปที่ 3.1(ข) [30] จากรูปที่ 3.1(ข) สามารถทำการปรับค่าตัวต้านทานโดยการแปรค่าแรงดัน V_{Ci} ดังความสัมพันธ์ต่อไปนี้

$$R_i = \frac{V_i}{I_i} = \frac{L}{2\mu C_{ox} W (V_{Ci} - V_T)} \tag{3.13}$$

ซึ่งในกรณีดังกล่าวมอสทรานซิสเตอร์ MR_{1i} และ MR_{2i} จะทำงานอยู่ในสภาวะอิ่มตัว (saturation mode) โดยที่ V_T คือ แรงดันขีดเปลี่ยน (threshold voltage) ของมอสทรานซิสเตอร์ และ $|V_i| \le (V_{Ci} - V_T)$ นอกจากนี้ค่าความผิดพลาดของ R_i จะมีค่าสูงที่สุด (ε_{max}) เมื่อ $|V_i| > (V_{Ci} - V_T)$ สามารถเขียนอธิบายได้ดังนี้

$$\varepsilon_{max} \cong \frac{V_T^2}{4(V_{Ci} - V_T)} \tag{3.14}$$

โดยที่ $|V_i| = V_{Ci}$

3.3 สมรรถนะของวงจรกรณีที่ไม่เป็นไปตามอุดมคติ

3.3.1 ความคลาดเคลื่อนในการส่งผ่านแรงดันและกระแสที่เกิดขึ้นในวงจร

เมื่อทำการวิเคราะห์วงจรกรองสัญญาณที่นำเสนอในรูปที่ 3.1 อีกครั้งโดยคำนึงถึงผลกระทบเนื่องจากความไม่เป็นอุดมคติของวงจร DDCCTA ดังสมการ (2.3) พบว่าฟังก์ชันถ่ายโอนแรงดันของวงจรในกรณีนี้มีค่าเท่ากับ

$$\frac{V_{o1}}{V_{in}} = \frac{sC_2\alpha_1\beta_{11}}{s^2R_1C_1C_2 + sC_2\alpha_1\beta_{21} + g_{m1}\alpha_1\beta_{31}} \tag{3.15}$$

$$\frac{V_{o2}}{V_{in}} = \frac{-g_m\alpha_1\beta_{11}}{s^2R_1C_1C_2 + sC_2\alpha_1\beta_{21} + g_{m1}\alpha_1\beta_{31}} \tag{3.16}$$

$$\frac{V_{o3}}{V_{in}} = \frac{s^2R_1C_1C_2\beta_{11}}{s^2R_1C_1C_2 + sC_2\alpha_1\beta_{21} + g_{m1}\alpha_1\beta_{31}} \tag{3.17}$$

$$\frac{V_{o4}}{V_{in}} = \frac{s^2R_1C_1C_2\beta_{11}\beta_{12} + g_{m1}\alpha_1\beta_{11}\beta_{22}}{s^2R_1C_1C_2 + sC_2\alpha_1\beta_{21} + g_{m1}\alpha_1\beta_{31}} \tag{3.18}$$

และ $$\frac{V_{o5}}{V_{in}} = \left(\frac{\beta_{11}}{g_{m2}R_2}\right)\left[\frac{s^2R_1C_1C_2\alpha_2\beta_{12} - sg_{m1}R_2C_2\alpha_1 + g_{m1}\alpha_1\alpha_2\beta_{22}}{s^2R_1C_1C_2 + sC_2\alpha_1\beta_{21} + g_{m_1}\alpha_1\beta_{31}}\right] \tag{3.19}$$

โดยที่ β_{ki} และ α_i คือ พารามิเตอร์ β_k และ α ของวงจร DDCCTA ตัวที่ i (i = 1, 2) ตามลำดับ

สำหรับกรณีที่ไม่เป็นอุดมคตินี้ จะได้ค่าพารามิเตอร์ ω_0, Q และ BW เท่ากับ

$$\omega_o = \sqrt{\frac{g_{m1}\alpha_1\beta_{31}}{R_1C_1C_2}} \tag{3.20}$$

$$Q = \frac{1}{\beta_{21}}\sqrt{\frac{g_{m1}R_1C_1\beta_{31}}{C_2\alpha_1}} \tag{3.21}$$

และ

$$BW = \frac{\alpha_1\beta_{21}}{R_1C_1} \tag{3.22}$$

สำหรับกรณีที่ไม่เป็นอุดมคติ ค่าความไวของพารามิเตอร์ ω_0, Q และ BW ต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟ สามารถเขียนได้ดังนี้

$$S_{\alpha_1}^{\omega_o} = S_{\beta_{31}}^{\omega_o} = -S_{\alpha_1}^{Q} = S_{\beta_{31}}^{Q} = \frac{1}{2} \tag{3.23}$$

$$S_{\beta_{11}}^{\omega_o} = S_{\beta_{21}}^{\omega_o} = S_{\beta_{11}}^{Q} = S_{\beta_{11}}^{BW} = S_{\beta_{31}}^{BW} = 0 \tag{3.24}$$

และ

$$S_{\alpha_1}^{BW} = S_{\beta_{21}}^{BW} = -S_{\beta_{21}}^{Q} = 1 \tag{3.25}$$

จากสมการ (3.23) ถึง (3.25) พบว่าค่าความไวต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟ α_k และ β_k ทั้งหมดนั้นมีค่าที่ต่ำหรือไม่เกินหนึ่ง นั่นหมายความว่า หากอุปกรณ์แอคทีฟ เช่น α_1 ภายในวงจรมีค่าเปลี่ยนแปลงเพิ่มขึ้นจากเดิมเป็น 1% จะทำให้ตำแหน่ง ω_0 มีค่าเปลี่ยนแปลงเพิ่มขึ้นเป็น 0.5% จากค่าเดิม เป็นต้น

3.3.2 ผลกระทบเนื่องจากค่าอิมพิแดนซ์แฝงที่เกิดขึ้นภายในวงจร DDCCTA

จากวงจรที่นำเสนอในรูปที่ 3.1 จะเห็นได้ว่าตัวต้านทาน R_1 ต่ออยู่ที่พอร์ตของวงจร DDCCTA ตัวที่ 1 และเนื่องจากค่าอิมพิแดนซ์แฝงที่เกิดขึ้นภายในวงจร DDCCTA เป็นดังรูปที่ 2.4 โดยที่ $R_x << R_1$ จึงทำให้ผลกระทบเนื่องจากตัวต้านทานแฝง R_x ที่ถูกต่ออนุกรมอยู่กับ R_1 สามารถละเลยได้ [31] นอกจากนี้ตัวเก็บประจุ C_1 และ C_2 ที่ใช้ในวงจรที่นำเสนอต่ออยู่ที่พอร์ต y_2 และ y_3 ตามลำดับ โดยที่ $C_1 >> (C_{y2} + C_z)$ และ $C_2 >> (C_{y2} + C_{y3} + C_o)$ ดังนั้นผลกระทบเนื่องจากตัวเก็บประจุแฝง C_{y2}, C_{y3}, C_z และ C_o ของวงจร DDCCTA จึงไม่ส่งผลกระทบต่อวงจรที่นำเสนอ อย่างไรก็ตามเพื่อลดผลกระทบจากค่าอิมพิแดนซ์แฝงของ

วงจร DDCCTA ที่มีต่อวงจรกรองสัญญาณในรูปที่ 3.1 ความสัมพันธ์ของค่าตัวเก็บประจุจากภายนอกควรเป็นไปตามเงื่อนไขต่อไปนี้

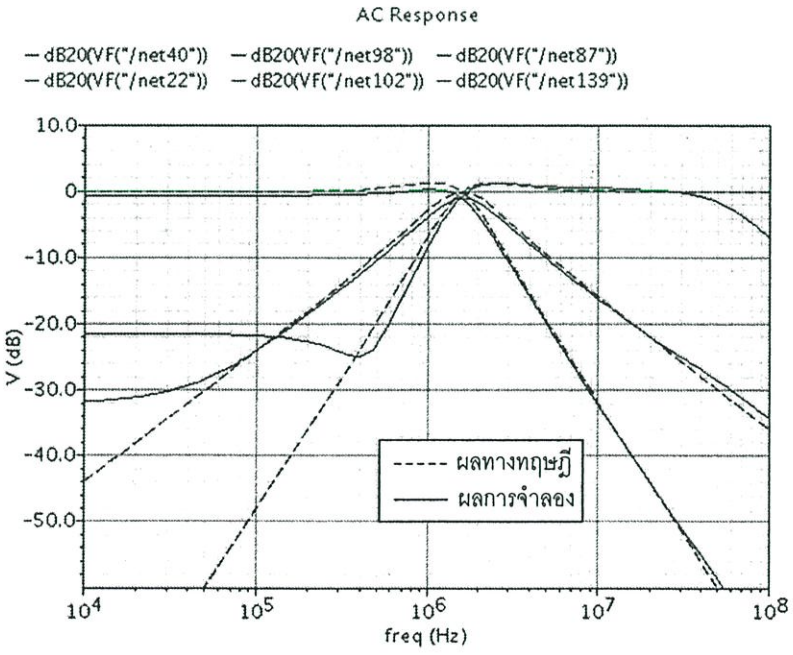
$$\frac{1}{sC_1} << \left(R_Z \,//\, R_{y2}\right) \tag{3.26}$$

$$\frac{1}{sC_2} << \left(R_o \,//\, R_{y3}\right) \tag{3.27}$$

3.4 ผลการจำลองการทำงานของวงจร

ในที่นี้ได้ใช้โปรแกรม Cadence Spectre ทำการจำลองการทำงานของวงจรเพื่อตรวจสอบคุณสมบัติในการทำงานของวงจรกรองสัญญาณที่นำเสนอในรูปที่ 3.1 โดยใช้วงจร DDCCTA ที่สังเคราะห์ขึ้นจากทรานซิสเตอร์แบบมอส ดังรูปที่ 3.3 ภายใต้เทคโนโลยี UMC 0.18 μm แหล่งจ่ายไฟเลี้ยงที่ใช้เป็นดังนี้ +V = -V = 1 V และ V_B = -0.6 V

วงจรกรองสัญญาณที่นำเสนอในรูปที่ 3.1 เมื่อกำหนดให้ $g_{m1} = g_{m2}$ =100 μA/V ($I_{B1} = I_{B2} \cong$ 11.3 μA), $R_1 = R_2$ = 10 kΩ และ $C_1 = C_2$ = 10 pF จากเงื่อนไขข้างต้นทำให้ได้คุณสมบัติของวงจรในทางทฤษฎีดังนี้ $f_o = \omega_0/2\pi \cong$ 1.6 MHz และ Q = 1 รูปที่ 3.2 แสดงผลตอบสนองทางความถี่ของวงจรแบบ LP, HP และ BP จากผลการจำลองการทำงานพบว่ามีความถี่ $f_0 \cong$ 1.568 MHz โดยเปรียบเทียบระหว่างผลการจำลองการทำงานกับผลที่ได้จากทฤษฎีมีค่าผิดพลาดประมาณ 2%



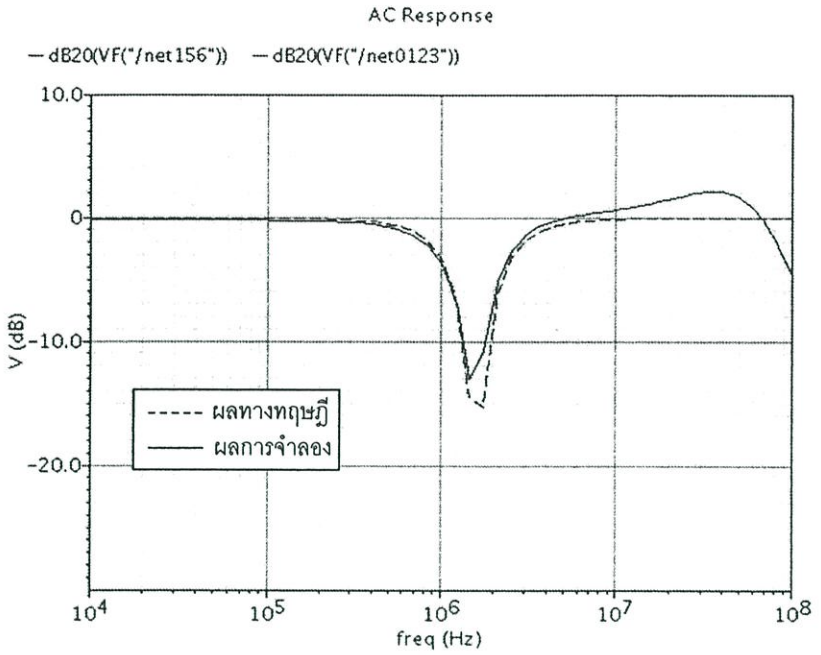
รูปที่ 3.2 ผลตอบสนองทางความถี่แบบ LP HP และ BP ของวงจรกรองสัญญาณที่นำเสนอ

รูปที่ 3.3 แสดงผลตอบสนองทางความถี่ทางอัตราขยายและเฟสของวงจรกรองสัญญาณแบบ BS ที่ความถี่ $f_0 \cong$ 1.6 MHz ผลที่ได้การจำลองของทั้งอัตราขยายและเฟสมีแนวโน้มเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ

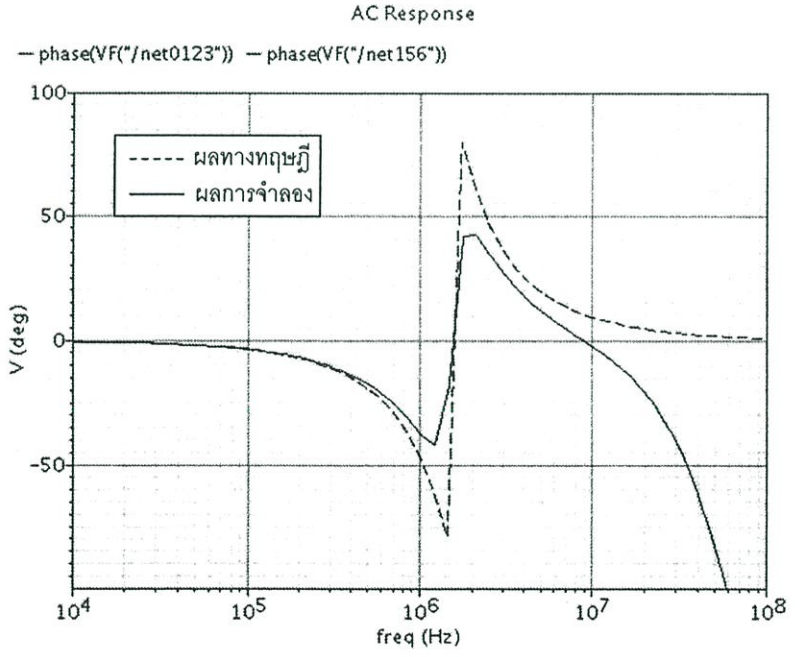
รูปที่ 3.4 แสดงผลตอบสนองทางอัตราขยายและเฟสของวงจรกรองสัญญาณแบบ AP ที่ค่าความถี่ $f_0 \cong$ 1.6 MHz ซึ่งผลตอบสนองทางอัตราขยายที่ได้ทางทฤษฎีมีค่าคงที่เท่ากับ 0 dB ตลอดทุกช่วงความถี่ ในขณะที่ผลตอบสนองทางอัตราขยายที่ได้จากการจำลองในช่วงความถี่ต่ำมีค่าค่อนข้างคงที่ประมาณ -1.915 dB ส่วนผลตอบสนองทางเฟสที่ได้จากผลการจำลองมีแนวโน้มเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ

รูปที่ 3.5 แสดงผลตอบสนองทางความถี่ของวงจรแบบ BP เมื่อแปรค่า g_{m1}/R_1 ให้มีค่าเท่ากับ (50 μA/V)/(20 kΩ), (100 μA/V)/(10 kΩ), และ (200 μA/V)/(5 kΩ) ตามลำดับ จากการกำหนดเงื่อนไขดังกล่าวทำให้ได้ค่าความถี่ f_0 ในทางทฤษฎีมีค่าเท่ากับ 796 kHz, 1.6 MHz และ 3.18 MHz ตามลำดับ ในขณะที่ความถี่ f_0 ที่ได้จากผลการจำลองมีค่าเท่ากับ 805.2 kHz, 1.622 MHz และ 3.241 MHz ตามลำดับ คิดเป็นค่าความคลาดเคลื่อน -1.156%, -1.375% และ -1.918% ตามลำดับ โดยมีค่าอัตราขยายเท่ากับ -2.33 dB, -1.08 dB และ -0.462 dB ตามลำดับ และจากเงื่อนไขการแปรค่า f_0 ในกรณีข้างต้น ในส่วนของค่า $g_{m1}R_1$ ยังคงมีค่าเท่าเดิม โดยที่ Q = 1 และค่าความคลาดเคลื่อนของ f_0 ที่เกิดขึ้นสามารถควบคุมให้มีค่าลดน้อยลงด้วยการปรับค่ากระแสไบอัส I_{B1} ได้อีกด้วย

รูปที่ 3.6 แสดงผลตอบสนองทางความถี่ของวงจรแบบ BP เมื่อแปรค่า Q ให้มีค่าเป็น 0.5, 1 และ 2 ตามลำดับ จากการกำหนดเงื่อนไข $g_{m1}R_1$ ให้มีค่าเท่ากับ (50 μA/V)(5 kΩ), (100 μA/V)(10 kΩ), และ (200 μA/V)(20 kΩ) ตามลำดับ โดยมีค่าอัตราขยายเท่ากับ -0.195 dB, -1.077 dB และ -3.09 dB ตามลำดับ ในขณะที่อัตราส่วนของ g_{m1}/R_1 ยังคงเดิม โดยความถี่ f_0 = 1.6 MHz ดังนั้นสามารถกล่าวได้ว่าวงจรที่นำเสนอมีข้อดีคือ มีความสะดวกและยืดหยุ่นสูงในการปรับแต่งค่าพารามิเตอร์ของวงจรกรณีที่อุปกรณ์แอคทีฟและพาสซีฟมีค่าเปลี่ยนแปลงไปจากที่คาดการณ์เอาไว้



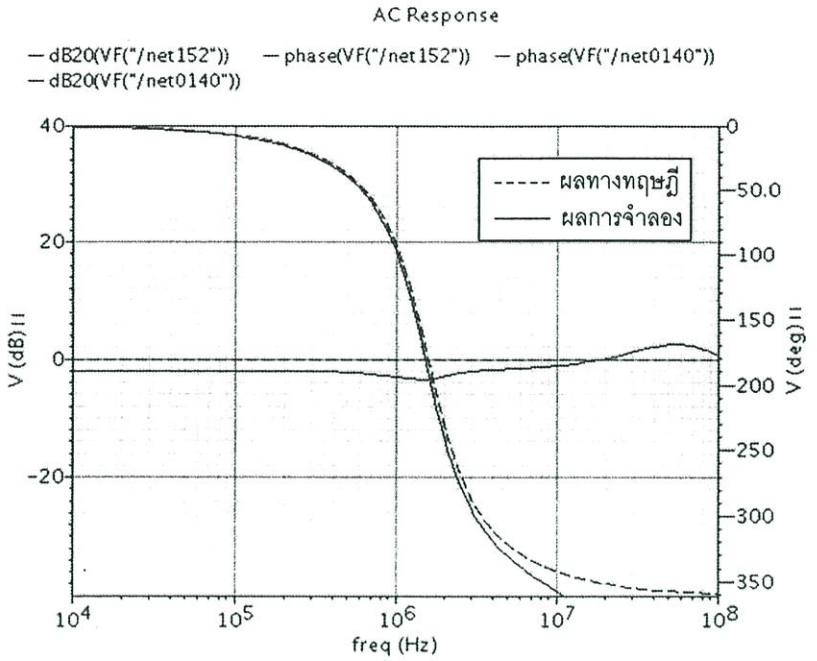
(ก)



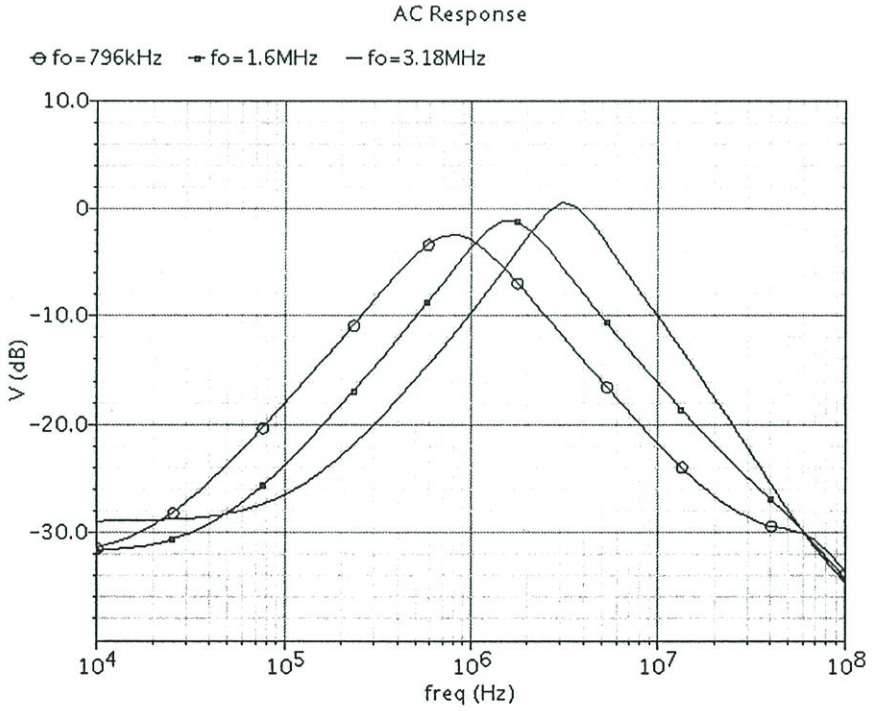
(ข)

รูปที่ 3.3 ผลจำลองผลตอบสนองทางความถี่แบบ BS ของวงจรกรองสัญญาณที่นำเสนอ

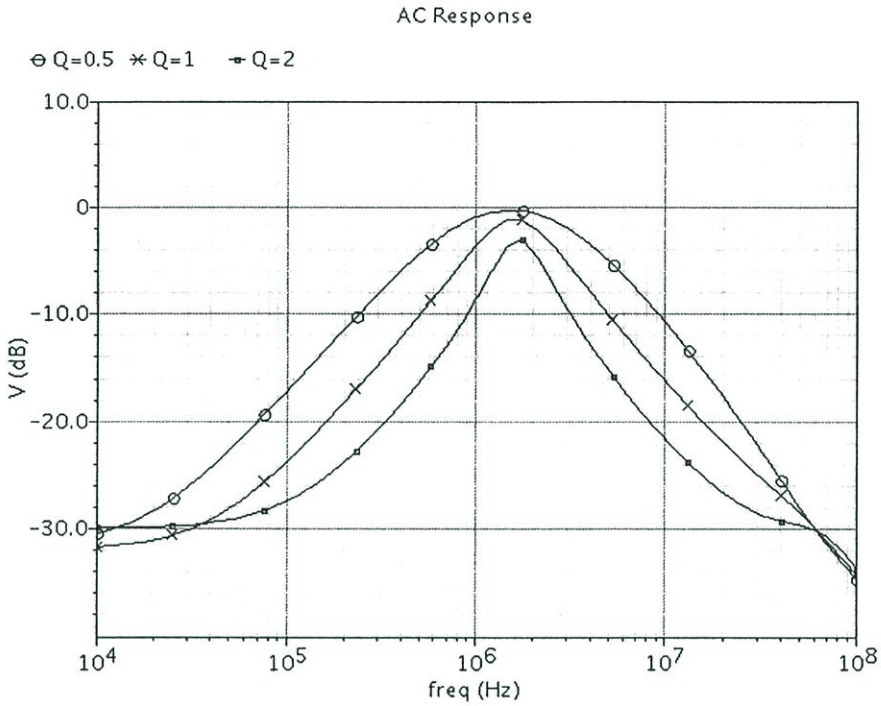
(ก) ผลตอบสนองทางอัตราขยาย (ข) ผลตอบสนองทางเฟส



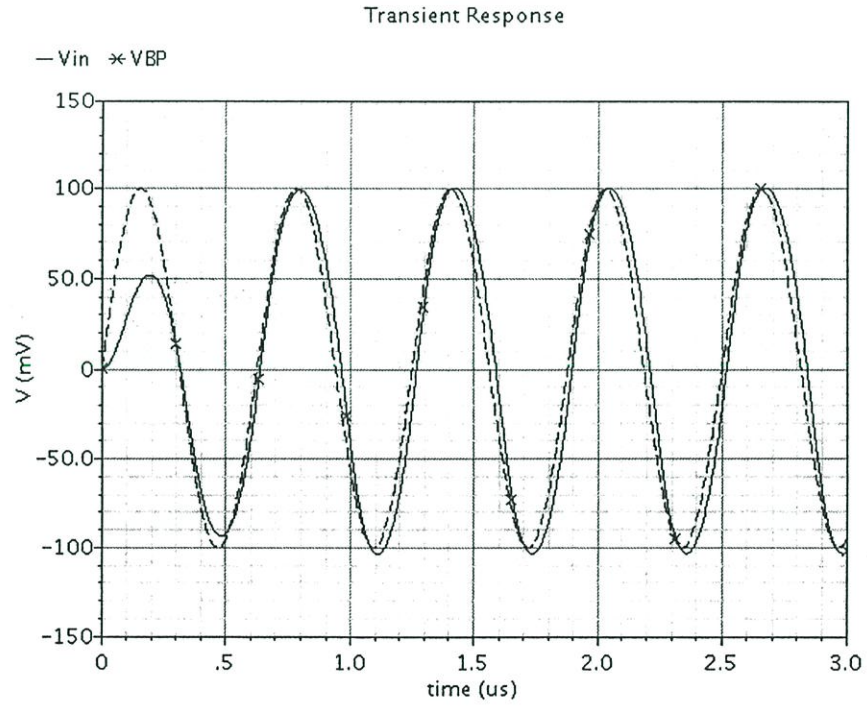
รูปที่ 3.4 ผลจำลองผลตอบสนองทางความถี่แบบ AP ของวงจรกรองสัญญาณที่นำเสนอ



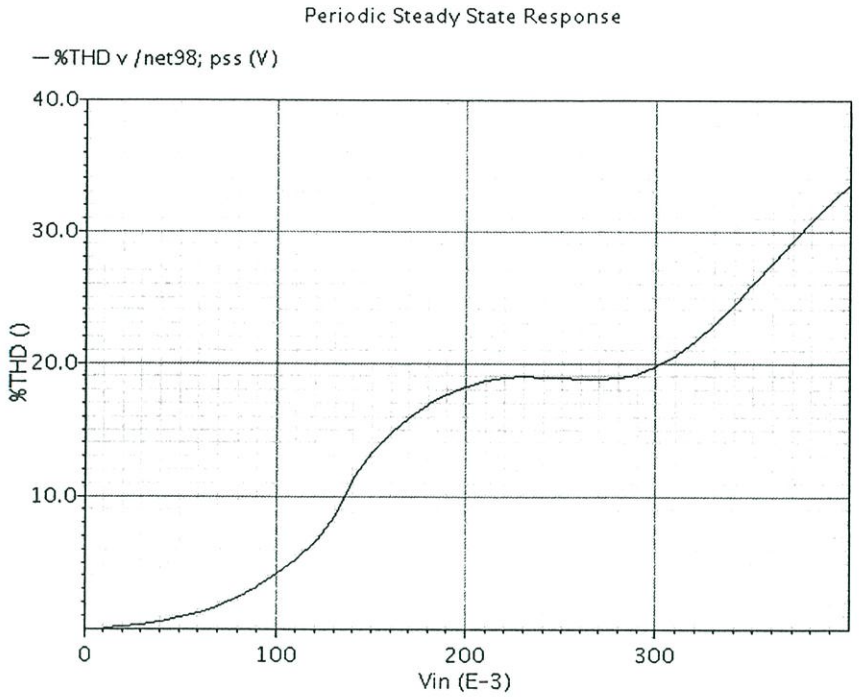
รูปที่ 3.5 ผลตอบสนองทางความถี่แบบ BP เมื่อแปรค่า g_{m1}/R_1 ในขณะที่ $g_{m1}R_1$ คงที่



รูปที่ 3.6 ผลตอบสนองทางความถี่แบบ BP เมื่อแปรค่า $g_{m1}R_1$



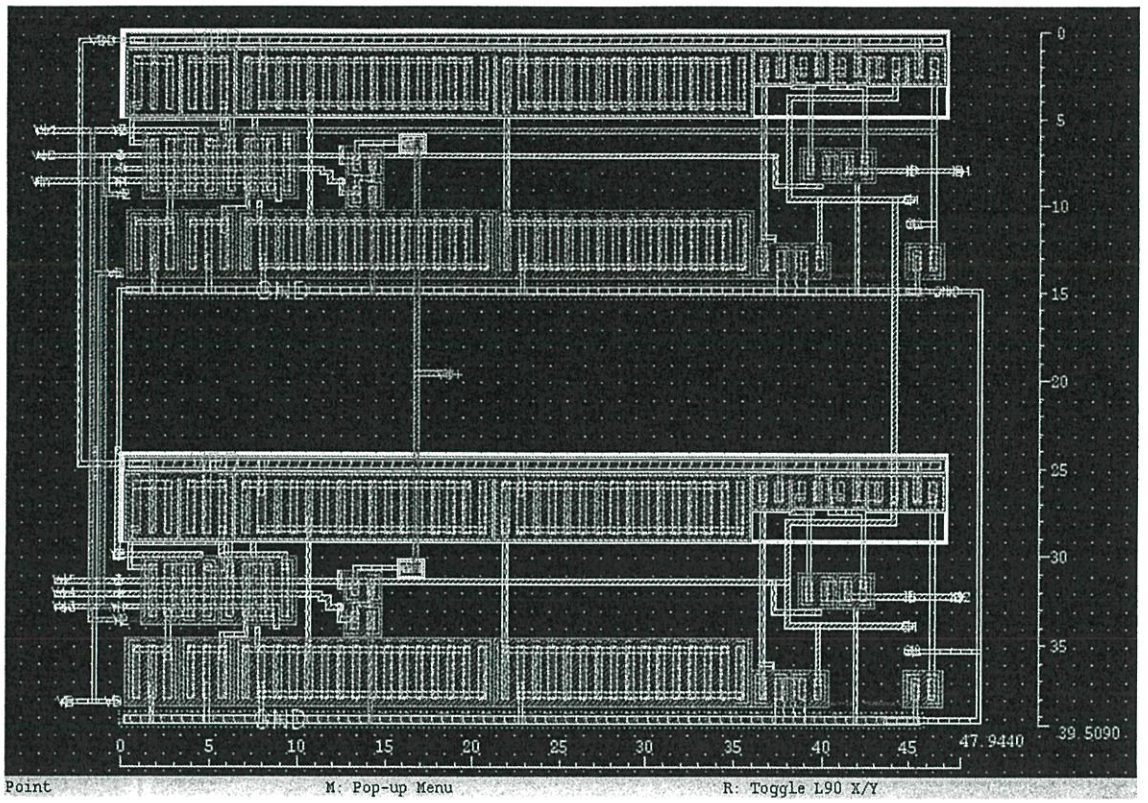
รูปที่ 3.7 ผลตอบสนองทางเวลาแบบ BP ของวงจรกรองสัญญาณที่นำเสนอ เมื่อป้อนแรงดันอินพุตขนาด 100 mV (peak) ที่ความถี่ 1.6 MHz



รูปที่ 3.8 THD ของผลตอบสนองแบบ BP ของวงจรที่นำเสนอ

รูปที่ 3.7 แสดงผลตอบสนองทางเวลาแบบ BP ของวงจรกรองสัญญาณที่นำเสนอ เมื่อป้อนสัญญาณอินพุตรูปคลื่นซายน์ซึ่งมีค่า 100 mV (peak) ที่ความถี่ 1.6 MHz โดยเส้นประแสดงผลตอบสนองทางเวลาของสัญญาณอินพุต และเส้นทึบแสดงผลตอบสนองทางเวลาแบบ BP ของวงจรกรองสัญญาณที่นำเสนอ นอกจากนี้เมื่อทำการตรวจสอบเปอร์เซ็นต์ค่าความผิดเพี้ยนของสัญญาณฮาร์-มอนิกส์ (total harmonic distortion THD) ในกรณีผลตอบสนองแบบ BP ที่สัญญาณอินพุตมีค่าเท่ากับ 100 mV พบว่า THD จะมีค่าประมาณ 4.2% อีก THD จะมีค่าเพิ่มขึ้นเรื่อยๆ เมื่อสัญญาณอินพุตมีค่าเพิ่มขึ้นดังรูปที่ 3.8 โดยแสดงค่า THD ในกรณีผลตอบสนองแบบ BP ของวงจรที่นำเสนอ รวมทั้งวงจรที่นำเสนอมีการสูญเสียกำลังไฟฟ้า (power consumption) เป็น 240.6 μW

รูปที่ 3.9 แสดงการเลย์เอาต์วงจรกรองสัญญาณที่นำเสนอในรูปที่ 3.1 (ก) โดยการสังเคราะห์จากตัวต้านทานอิเล็กทรอนิกส์แบบใช้มอสทรานซิสเตอร์ดังรูปที่ 3.1 (ข) และได้นำโครงสร้างของวงจร DDCCTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอสดังรูปที่ 3.3 ภายใต้เทคโนโลยี UMC 0.18 μm มาใช้ในการเลย์เอาต์ โดยขนาดพื้นที่ในการเลย์เอาต์มีค่าเท่ากับ 0.0019 mm^2 (1894.22 μm^2)



รูปที่ 3.9 เลย์เอาต์วงจรกรองสัญญาณที่นำเสนอในรูปที่ 3.1

3.5 สรุป

บทนี้นำเสนอวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดัน โดยใช้วงจร DDCCTA จำนวนสองตัว ตัวเก็บประจุต่อเทียบกราวด์จำนวนสองตัว และตัวต้านทานอิเล็กทรอนิกส์ที่สังเคราะห์ขึ้นจากทรานซิสเตอร์แบบมอสอีกจำนวนสองตัว โดยสามารถสังเคราะห์ฟังก์ชันกรองสัญญาณไบควอดราทิกมาตรฐานได้ครบทุกรูปแบบ คือ แบบกรองผ่านความถี่ต่ำ (LP) แบบกรองผ่านแถบความถี่ (BP) และแบบกรองผ่านความถี่สูง (HP) แบบจำกัดแถบความถี่ (BS) และแบบกรองผ่านทุกความถี่ (AP) โดยไม่ต้องปรับเปลี่ยนรูปแบบของวงจร ไม่ต้องการเงื่อนไขความเท่ากันของอุปกรณ์ในวงจร และยังสามารถปรับค่าพารามิเตอร์ ω_0 และ Q ของวงจรได้อย่างมีเงื่อนไขด้วยวิธีการทางอิเล็กทรอนิกส์จากการแปรค่ากระแสไบอัสจากภายนอกควบคู่ไปกับการแปรค่าตัวต้านทาน นอกจากนี้ยังมีค่าอิมพิแดนซ์อินพุตสูง ทำให้มีความเหมาะสมกับการนำไปต่อคาสเคดในการทำงานของวงจรในโหมดแรงดัน อีกทั้งยังมีค่าความไวต่อการแปรค่าของอุปกรณ์แอกทีฟและพาสซีฟในวงจรที่ต่ำอีกด้วย ผลการจำลองการทำงานของวงจรด้วยโปรแกรม Cadence Spectre มีแนวโน้มเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ

3.6 เอกสารอ้างอิงบทที่ 3

[1] A. Jantakun, N. Pisutthipong and M. Siripruchyanun, "A synthesis of temperature insensitive/electronically controllable floating simulators based on DV-CCTAs", **Proceedings of ECTI-CON 2009**, Pattaya, Thailand, pp. 560-563, 2009.

[2] A. Jantakun, N. Pisutthipong and M. Siripruchyanun, "Single element based-novel temperature insensitive/electronically controllable floating capacitance multiplier and its application", **Proceedings of ECTI-CON 2010**, Chaing Mai, Thailand, pp. 37-41, 2010.

[3] A. Lahiri, W. Jailda and M. Siripruchyanun, "Voltage-mode quadrature sinusoidal oscillator with current tunable properties", **Analog Integrated Circuits and Signal Processing**, vol. 65, no. 2, pp. 321-325, 2010.

[4] N. Pandey and S. K. Paul, "Analog filters based on 0.25 μm CMOS differential voltage current conveyor transconductance amplifier (DVCCTA)", **Proceedings of India International Conference on Power Electronics (IICPE 2010)**, New Delhi, India, pp. 1-5, 2010.

[5] W. Jaikla, M. Siripruchyanun and A. Lahiri, "Resistorless dual-mode quadrature sinusoidal oscillator using a single active building block", **Microelectronics Journal**, vol. 42, no. 1, pp.135-140, 2011.

[6] N. Pandey and S. K. Paul, "VM and CM Universal Filters Based on Single DVCCTA", **Active and Passive Electronic Components**, vol. 2011, Article ID 929507, 7 pages, 2011.

[7] P. Kumar and N. Pandey, "Differential voltage current conveyor transconductance amplifier based wave active filter", **Proceedings of International Conference on Multimedia and Signal Processing and Communication Technologies (IMPACT 2011)**, Aligarh, India, pp. 95-98, 2011.

[8] N. Pandey and P. Kumar, "Realization of resistorless wave active filter using differential voltage current controlled conveyor transconductance amplifier", **Radioengineeing**, vol. 20, no. 4, pp. 911-916, 2011.

[9] N. Pandey, R. Pandey and S. K. Paul, "A first order all pass filter and its application in a quadrature oscillator", **Journal of Electron Devices**, vol. 12, pp. 772-777, 2012.

[10] W. Tangsrirat, "Floating simulator with a single DVCCTA", **Indian Journal of Engineering and Materials Sciences**, vol. 20, no. 2, pp. 79-86, 2013.

[11] N. Pandey and S. K. Paul, "Differential difference current conveyor transconductance amplifier: a new analog building block for signal processing", **Journal of Electrical and Computer Engineering**, vol. 2011, no.17, 2011.

[12] W. Tangsrirat and O. Channumsin, "High-input impedance voltage-mode multifunction filter using a single DDCCTA and grounded passive elements", **Radioengineering**, vol. 20, no. 4, pp. 905-910, 2011.

[13] N. Pandey, R. Pandey and S. K. Paul, "Novel single input five output voltage mode universal filter based on DDCCTA", **Proceedings of the 3rd International Conference on Computer and Communication Technology (ICCCT 2012)**, Allahabad, India, pp. 46-51, 2012.

[14] O. Channumsin, T. Pukkalanun and W. Tangsrirat, "Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components", **Microelectronics Journal**, vol. 43, no. 8, pp. 555-561, 2012.

[15] J. W. Horng, C. L. Hou, C. W. Chang, W. Y. Chung and H. Y. Wei, "Voltage-mode universal biquadratic filter with one input and five outputs using MOCCIIs", **Computers and Electrical Engineering**, vol. 31, no. 3, pp. 190-202, 2005.

[16] J. W. Horng, C. L. Hou, C. M. Chang and W. Y. Chung, "Voltage-mode universal biquadratic filter with one input and five outputs", **Analog Integrated Circuits and Signal Processing**, vol. 47, no. 1, pp. 73-83, 2006.

[17] J. W. Horng, C. L. Hou, C. M. Chang, W. Y. Chung and C. T. Lin, "High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors", **Circuits, Systems and Signal Processing**, vol. 25, no. 6, pp. 767-777, 2006.

[18] H. P. Chen and S. S. Shen, "A versatile universal capacitor-grounded voltage-mode filter using DVCCs", **ETRI Journal**, vol. 29, no. 4, pp. 470-476, 2007.

[19] H. P. Chen, "Universal voltage-mode filter using only plus-type DDCCs", **Analog Integrated Circuits and Signal Processing**, vol. 50, no. 2, pp. 137-139, 2007.

[20] H. P. Chen, "Voltage-mode FDCCII-based universal filters", **International Journal of Electronics**, vol. 62, no. 4, pp. 320-323, 2008.

[21] W. Y. Chiu, J. W. Horng and S.T. Cheng, "Universal filter with one inputs and five outputs using DDCCs", **Proceedings of ISPACS 2008**, Bangkok, Thailand, pp. 1-4, 2008.

[22] H. P. Chen, "Versatile universal voltage-mode filter employing DDCCs", **International Journal of Electronics and Communications (AEU)**, vol. 63, no. 1, pp. 78-82, 2009.

[23] S. Minaei and E. Yuce, "All-grounded passive elements voltage-mode DVCC-based universal filters", **Circuits, Systems and Signal Processing**, vol. 29, no. 2, pp. 295-309, 2010.

[24] W. Y. Chiu, J. W. Horng, H. Lee and C. C. Huang, "DVCC-based voltage-mode biquadratic filter with high-input impedance", **Proceedings of the 5th IEEE International Symposium on Electronic Design, Test and Applications**, Ho Chi Minh City, Vietnum, pp. 121-125, 2010.

[25] J. W. Horng, "Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs", **Analog Integrated Circuits and Signal Processing**, vol. 62, no. 3, pp. 407-413, 2010.

[26] W. Y. Chiu and J. W. Horng, "Voltage-mode biquadratic filters with one input and five outputs using two DDCCs", **Indian Journal of Engineering and Materials Sciences**, vol. 18, no. 2, pp. 97-101, 2011.

[27] W. Y. Chiu, J. W. Horng and S. S. Yang, "High input impedance voltage-mode universal biquadratic filter with one inputs and five outputs using DDCCs", **Proceedings of the 4th IEEE International Symposium on Electronic Design, Test and Applications**, Hong Kong, China, pp. 346-350, 2008.

[28] W. Y. Chiu, J. W. Horng, Y. S. Guo and C. Y. Tseng, "DDCCs based voltage-mode one input five outputs biquadratic filter with high input impedance", **Proceedings of the 13th International Symposium on Integrated Circuits (ISIC 2011)**, Singapore, pp. 39-42, 2011.

[29] M. Bhusan and R. W. Newcomb, "Grounding of capacitors in integrated circuits", **Electronics Letters**, vol. 3, no. 4, pp. 148-149, 1967.

[30] Z. Wang, "2-MOSFET transistor with extremely low distortion for output reaching supply voltages", **Electronics Letters**, vol. 26, no. 13, pp. 951-952, 1990.

[31] A. Fabre, O. Saaid and H. Barthelemy, "On the frequency limitations of the circuits based on second generation current conveyors", **Analog Integrated Circuits and Signal Processing**, vol. 7, no. 2, pp. 113-129, 1995.

บทที่ 4
วงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดัน แบบหนึ่งอินพุต ห้าเอาต์พุต โดยใช้วงจร DDCCTA สามตัว

4.1 กล่าวนำ

เมื่อไม่นานมานี้ วงจรกรองสัญญาณไบควอดราทิกโหมดแรงดันแบบหนึ่งอินพุต ห้าเอาต์พุต (SIFO) ถูกพัฒนาให้เกิดความหลากหลายมากยิ่งขึ้นดังบทความที่ได้รับการตีพิมพ์ [1]-[17] เนื่องจากเป็นที่ทราบกันดีถึงประสิทธิภาพและความสามารถในการสังเคราะห์ฟังก์ชันกรองสัญญาณไบควอดราทิกในทุกรูปแบบ คือ LP, BP, HP, BS และ AP ได้พร้อมกัน โดยไม่ต้องเปลี่ยนแปลงโครงสร้างของวงจรที่นำเสนอ แต่อย่างไรก็ตาม วงจรที่นำเสนอส่วนใหญ่ยังคงใช้ตัวต้านทานพาสซีฟจากภายนอกอยู่ [4]-[12], [14]-[17] อีกทั้งวงจรที่นำเสนอบางวงจรพบว่ายังไม่สามารถปรับค่าคุณสมบัติของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ [4]-[12], [14]-[17] นอกจากนี้วงจรที่ถูกนำเสนอใน [2], [4]-[10], [12]-[17] ต้องอาศัยเงื่อนไขความเท่ากันของอุปกรณ์สำหรับการสังเคราะห์ฟังก์ชันกรองสัญญาณในกรณี AP หรือในทุกกรณี

ดังนั้นเมื่อเร็วๆนี้ ได้มีการนำเสนอวงจรกรองสัญญาณไบควอดราทิกขึ้นใน [18] ซึ่งได้แสดงถึงคุณสมบัติสำคัญต่างๆ พร้อมกันทั้งห้าประการดังต่อไปนี้

1. สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณไบควอดราทิกได้ทุกรูปแบบ คือ LP, BP, HP, BS และ AP
2. ใช้อุปกรณ์จำนวนน้อย (เช่น ใช้อุปกรณ์แอคทีฟจำนวนสามตัว และตัวเก็บประจุจำนวนสองตัว เป็นต้น)
3. สามารถปรับค่าความถี่เชิงมุมธรรมชาติ (ω_0) และแบนด์วิท (BW) ได้อย่างอิสระ
4. ไม่ต้องการเงื่อนไขความเท่ากันของอุปกรณ์ที่ใช้ในวงจรสำหรับสังเคราะห์ฟังก์ชันกรองสัญญาณในบางฟังก์ชัน
5. ไม่ต้องอาศัยอุปกรณ์แอคทีฟเพิ่มเติมสำหรับกรณีที่เอาต์พุตของวงจรกรองสัญญาณเป็นกระแสอีกด้วย

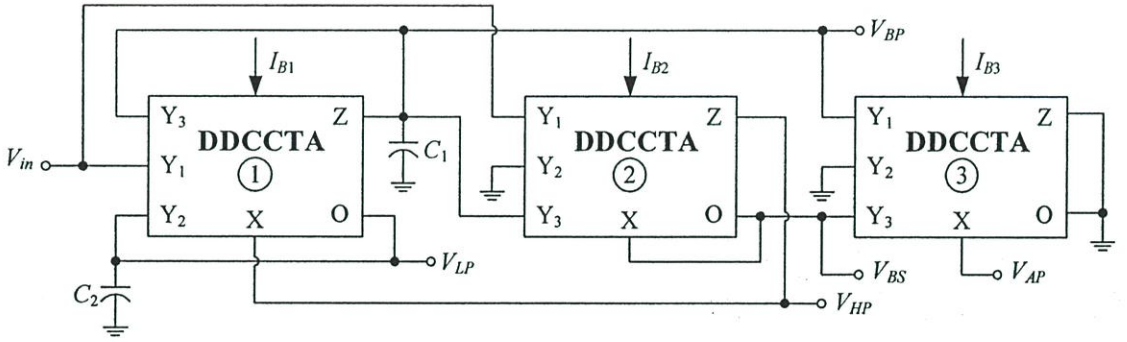
ยกตัวอย่างเช่น วงจรกรองสัญญาณไบควอดที่ได้มีการนำเสนอในบทความก่อนหน้านี้ [1]-[17] ซึ่งพบว่ายังไม่มีการกล่าวถึงข้อดีทั้งห้าข้อนี้ นอกจากนี้ในการสังเคราะห์วงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์ที่สามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ และปราศจากตัวต้านทานพาสซีฟจากภายนอกยังคงได้รับความสนใจเพิ่มมากขึ้นในช่วงเวลาไม่กี่ปีที่ผ่านมา เนื่องจากมีรูปแบบวงจรที่ง่าย อีกทั้งยังมีความเหมาะสมในการนำไปสร้างเป็นวงจรรวมได้อีกด้วย ดังนั้นวงจรที่มีการใช้เพียงตัวเก็บประจุเทียบกราวด์เท่านั้น รวมทั้งปราศจากเงื่อนไขความเท่ากันของอุปกรณ์ ยังคงเป็นแนวทางที่มีความเหมาะสมสำหรับการนำไปสร้างเป็นวงจรรวมอีกด้วย

คุณสมบัติเด่นของวงจรที่ได้นำเสนอขึ้นในบทนี้ คือ นำเสนอวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์แบบหนึ่งอินพุต ห้าเอาต์พุตที่ทำงานในโหมดแรงดัน โดยปราศจากตัวต้านทานจากภายนอก และยัง

สามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โครงสร้างของวงจรที่นำเสนอประกอบด้วย วงจร DDCCTA จำนวนสามตัว และตัวเก็บประจุต่อเทียบกราวด์จำนวนสองตัวเท่านั้น โดยปราศจากตัวต้านทานพาสซีฟจากภายนอก นอกจากนี้วงจรที่นำเสนอขึ้นในบทนี้ได้แสดงถึงประสิทธิภาพการทำงานของวงจรทั้งห้าประการดังนี้ (1) สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณไบควอดราทิกได้ทุกรูปแบบ (LP, BP, HP, BS และ AP) โดยไม่ต้องปรับเปลี่ยนโครงสร้างของวงจร (2) ปราศจากตัวต้านทานจากภายนอก (3) สามารถปรับค่าความถี่เชิงมุมธรรมชาติ (ω_0) และแบนด์วิท (Q) ได้อย่างอิสระ (4) มีค่าอิมพิแดนซ์อินพุตสูง (5) ไม่ต้องการเงื่อนไขความเท่ากันของอุปกรณ์ในการสังเคราะห์ฟังก์ชันกรองสัญญาณในทุกรูปแบบ

4.2 วงจรกรองสัญญาณที่นำเสนอ

วงจรกรองสัญญาณอเนกประสงค์โหมดแรงดันแบบหนึ่งอินพุต ห้าเอาต์พุตที่นำเสนอ ประกอบด้วยวงจร DDCCTA จำนวนสามตัว และตัวเก็บประจุต่อเทียบกราวด์จำนวนสองเท่านั้น โดยปราศจากตัวต้านทานพาสซีฟจากภายนอก ดังรูปที่ 4.1 และเนื่องจากวงจรที่นำเสนอมีค่าอิมพิแดนซ์อินพุตสูง อีกทั้งยังใช้ตัวเก็บประจุต่อเทียบกราวด์เท่านั้น ซึ่งมีความเหมาะสมในการนำไปต่อคาสเคด และยังมีความเหมาะสมในการนำไปสร้างเป็นวงจรรวมอีกด้วย จากการวิเคราะห์วงจรในรูปที่ 4.1 โดยอาศัยคุณสมบัติของวงจร DDCCTA ดังสมการ (2.1) จะได้ฟังก์ชันถ่ายโอนแรงดันของวงจร ดังนี้



รูปที่ 4.1 วงจรกรองสัญญาณที่นำเสนอ โดยใช้วงจร DDCCTA และตัวเก็บประจุต่อเทียบกราวด์

$$\frac{V_{LP}}{V_{in}} = \frac{g_{m1}g_{m2}}{s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}} \tag{4.1}$$

$$\frac{V_{BP}}{V_{in}} = \frac{-sC_2g_{m2}}{s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}} \tag{4.2}$$

$$\frac{V_{HP}}{V_{in}} = \frac{s^2C_1C_2}{s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}} \tag{4.3}$$

$$\frac{V_{BS}}{V_{in}} = \frac{s^2 C_1 C_2 + g_{m1} g_{m2}}{s^2 C_1 C_2 + s C_2 g_{m2} + g_{m1} g_{m2}} \tag{4.4}$$

และ

$$\frac{V_{AP}}{V_{in}} = \frac{s^2 C_1 C_2 - s C_2 g_{m2} + g_{m1} g_{m2}}{s^2 C_1 C_2 + s C_2 g_{m2} + g_{m1} g_{m2}} \tag{4.5}$$

จากสมการข้างต้นพบว่าวงจรกรองสัญญาณในรูปที่ 4.1 นั้นสามารถสังเคราะห์ฟังก์ชันกรองสัญญาณได้ครบทุกรูปแบบพร้อมกัน อีกทั้งยังไม่ต้องการเงื่อนไขความเท่ากันของอุปกรณ์ที่ใช้ในวงจรสำหรับการสังเคราะห์ฟังก์ชันกรองสัญญาณในทุกรูปแบบอีกด้วย

จากสมการ (4.1) ถึง (4.5) พบว่าค่าความถี่เชิงมุมธรรมชาติ (ω_0) ตัวประกอบคุณภาพ (Q) และแบนด์วิท (BW) ของวงจร มีค่าเท่ากับ

$$\omega_o = \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \tag{4.6}$$

$$Q = \sqrt{\frac{g_{m1} C_2}{g_{m2} C_1}} \tag{4.7}$$

และ

$$BW = \frac{g_{m2}}{C_1} \tag{4.8}$$

จากสมการ (4.6) และ (4.7) จะเห็นได้ว่าสามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยการแปรอัตราขยายค่าความนำ g_m ซึ่งควบคุมได้จากค่ากระแสไบอัส I_B จากภายนอก เมื่อกำหนดค่าตัวเก็บประจุให้มีค่าคงที่ ส่วนค่าพารามิเตอร์ ω_0 ของวงจรที่นำเสนอ สามารถทำการแปรค่าได้จากการปรับค่า $g_{m1}g_{m2}$ โดยไม่ส่งผลกระทบต่อค่า Q ในขณะที่อัตราส่วนของค่า g_{m1}/g_{m2} ยังคงเท่าเดิม นอกจากนี้ค่าพารามิเตอร์ Q ของวงจรที่นำเสนอ ก็สามารถทำการแปรค่าได้จากการปรับค่า g_{m1}/g_{m2} โดยไม่ส่งผลกระทบต่อค่า ω_0 ของวงจรที่นำเสนอ ในขณะที่ค่า g_{m1} g_{m2} ยังคงเท่าเดิม เป็นต้น

4.3 สมรรถนะของวงจรกรณีที่ไม่เป็นไปตามอุดมคติ

4.3.1 ความคลาดเคลื่อนในการส่งผ่านแรงดันและกระแสที่เกิดขึ้นในวงจร

เมื่อทำการวิเคราะห์วงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.1 อีกครั้งโดยคำนึงถึงผลกระทบเนื่องจากความไม่เป็นอุดมคติของวงจร DDCCTA ดังสมการ (2.3) พบว่าตัวส่วนของฟังก์ชันถ่ายโอนแรงดันของวงจรในกรณีนี้มีค่าเท่ากับ

$$D(s) = s^2 C_1 C_2 + sC_2 g_{m2} \alpha_1 \alpha_2 \beta_{31} + \alpha_1 \alpha_2 \beta_{21} g_{m1} g_{m2} \tag{4.9}$$

สำหรับกรณีที่ไม่เป็นอุดมคตินี้ จะได้ค่าพารามิเตอร์ ω_0, Q และ BW เท่ากับ

$$\omega_o = \sqrt{\frac{g_{m1} g_{m2} \alpha_1 \alpha_2 \beta_{21}}{C_1 C_2}} \tag{4.10}$$

$$Q = \frac{1}{\beta_{31}} \sqrt{\frac{g_{m1} C_1 \beta_{21}}{g_{m2} C_2 \alpha_1 \alpha_2}} \tag{4.11}$$

และ

$$BW = \frac{\alpha_1 \alpha_2 \beta_{31} g_{m2}}{C_1} \tag{4.12}$$

เมื่อ β_{ki} และ α_i คือ พารามิเตอร์ β_k และ α ของวงจร DDCCTA ตัวที่ i (i = 1, 2, 3) ตามลำดับ โดยพารามิเตอร์เหล่านี้จะมีผลกับค่าความไวของ ω_0, Q และ BW ในสมการ (4.10) ถึง (4.12) ต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟและพาสซีฟ ดังสมการต่อไปนี้

$$S_{g_{m1}, g_{m2}}^{\omega_o} = S_{\beta_{21}, \alpha_1, \alpha_2}^{\omega_o} = -S_{C_1, C_2}^{\omega_o} = \frac{1}{2} \tag{4.13}$$

$$S_{g_{m1}}^{Q} = S_{\beta_{21}}^{Q} = S_{C_1}^{Q} = \frac{1}{2} \tag{4.14}$$

$$S_{g_{m2}}^{Q} = S_{\alpha_1, \alpha_2}^{Q} = S_{C_2}^{Q} = -\frac{1}{2} \tag{4.15}$$

และ

$$S_{\alpha_1, \alpha_2}^{BW} = S_{\beta_{31}}^{BW} = S_{g_{m2}}^{BW} = -S_{C_1}^{BW} = 1 \tag{4.16}$$

จากสมการ (4.13) ถึง (4.16) พบว่าค่าความไวต่อการเปลี่ยนแปลงค่าอุปกรณ์แอคทีฟ α_k และ β_k ทั้งหมดนั้นมีค่าที่ต่ำหรือไม่เกินหนึ่ง นั่นหมายความว่า หากอุปกรณ์แอคทีฟ เช่น α_1 ภายในวงจรมีค่าเปลี่ยนแปลงเพิ่มขึ้นจากเดิมเป็น 1% จะทำให้ตำแหน่ง ω_0 มีค่าเปลี่ยนแปลงเพิ่มขึ้นเป็น 0.5% จากค่าเดิม เป็นต้น

4.3.2 ผลกระทบเนื่องจากค่าอิมพิแดนซ์แฝงที่เกิดขึ้นภายในวงจร DDCCTA

เมื่อพิจารณาถึงผลกระทบเนื่องจากค่าอิมพิแดนซ์แฝงที่เกิดขึ้นภายในวงจร DDCCTA ดังวงจรสมมูลที่แสดงในรูปที่ 2.4 และพิจารณาวงจรที่นำเสนอในรูปที่ 4.1 จะเห็นได้ว่าตัวเก็บประจุ C_1 และ C_2 ที่ใช้ในวงจรที่นำเสนอต่ออยู่ที่พอร์ต y_2 และ y_3 ตามลำดับ และเนื่องจาก $C_1 >> 3C_{y3} + C_z$ และ $C_2 >> C_{y2} + C_o$ ดังนั้นค่าอิมพิแดนซ์แฝง C_{y2}, C_{y3}, C_z และ C_o ที่เกิดขึ้นภายในวงจร DDCCTA จึงไม่ส่งผลกระทบต่อวงจรที่นำเสนอ นอกจากนี้เพื่อลดผลกระทบจากค่าอิมพิแดนซ์แฝงของวงจร DDCCTA ที่มีต่อวงจรกรองสัญญาณในรูปที่ 4.1 ความสัมพันธ์ของค่าตัวเก็บประจุจากภายนอกควรเป็นไปตามเงื่อนไขต่อไปนี้

$$\frac{1}{sC_1} << \left(R_Z // \frac{R_{y3}}{3} \right) \tag{4.17}$$

$$\frac{1}{sC_2} << \left(R_{y2} // R_0 \right) \tag{4.18}$$

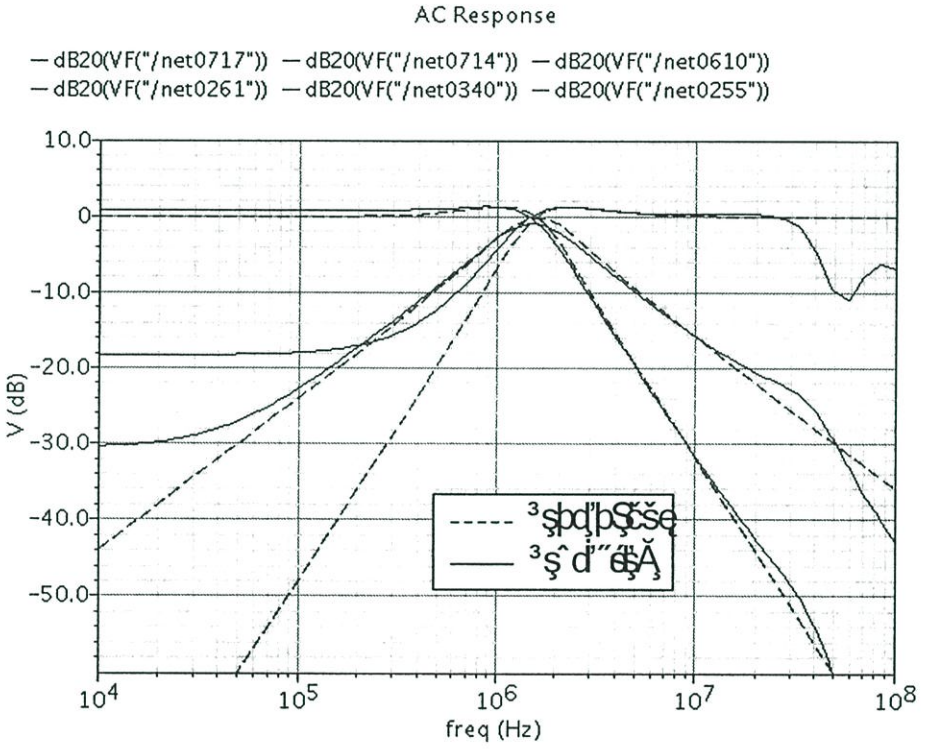
4.4 ผลการจำลองการทำงานของวงจร

ในที่นี้ได้ใช้โปรแกรม Cadence Spectre ทำการจำลองการทำงานของวงจรเพื่อตรวจสอบคุณสมบัติในการทำงานของวงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.1 โดยใช้วงจร DDCCTA ที่สังเคราะห์ขึ้นจากทรานซิสเตอร์แบบมอส ดังรูปที่ 2.3 ภายใต้เทคโนโลยี UMC 0.18 μm แหล่งจ่ายไฟเลี้ยงที่ใช้เป็นดังนี้ +V = -V = 1 V และ V_B = -0.6 V วงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.1 เมื่อกำหนดให้ $g_{m1} = g_{m2} = g_{m3}$ = 100 μA/V ($I_{B1} = I_{B2} = I_{B3} \cong 11.3$ μA) และ $C_1 = C_2$ = 10 pF จากเงื่อนไขข้างต้นทำให้ได้คุณสมบัติของวงจรในทางทฤษฎีดังนี้ $f_o = \omega_0/2\pi \cong 1.6$ MHz และ Q = 1

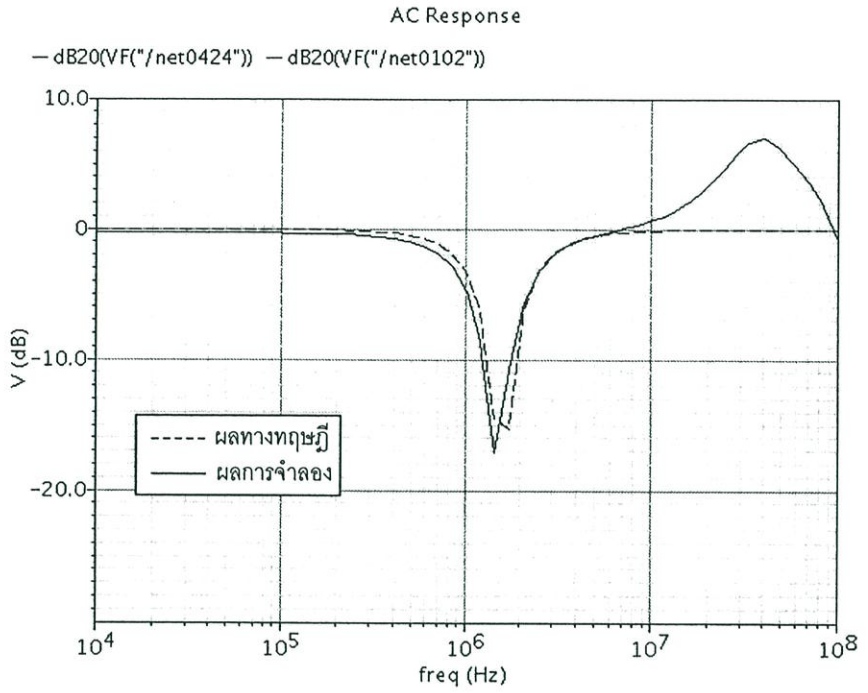
รูปที่ 4.2 แสดงผลตอบสนองทางความถี่ของวงจรแบบ LP, HP และ BP จากผลการจำลองการทำงานพบว่ามีความถี่ $f_0 \cong 1.477$ MHz โดยเปรียบเทียบระหว่างผลการจำลองการทำงานกับผลที่ได้จากทฤษฎีมีค่าผิดพลาดประมาณ 7.68%

รูปที่ 4.3 แสดงผลตอบสนองทางความถี่ทางอัตราขยายและเฟสของวงจรกรองสัญญาณแบบ BS ที่ความถี่ $f_0 \cong 1.6$ MHz ผลที่ได้การจำลองของทั้งอัตราขยายและเฟสมีแนวโน้มเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ

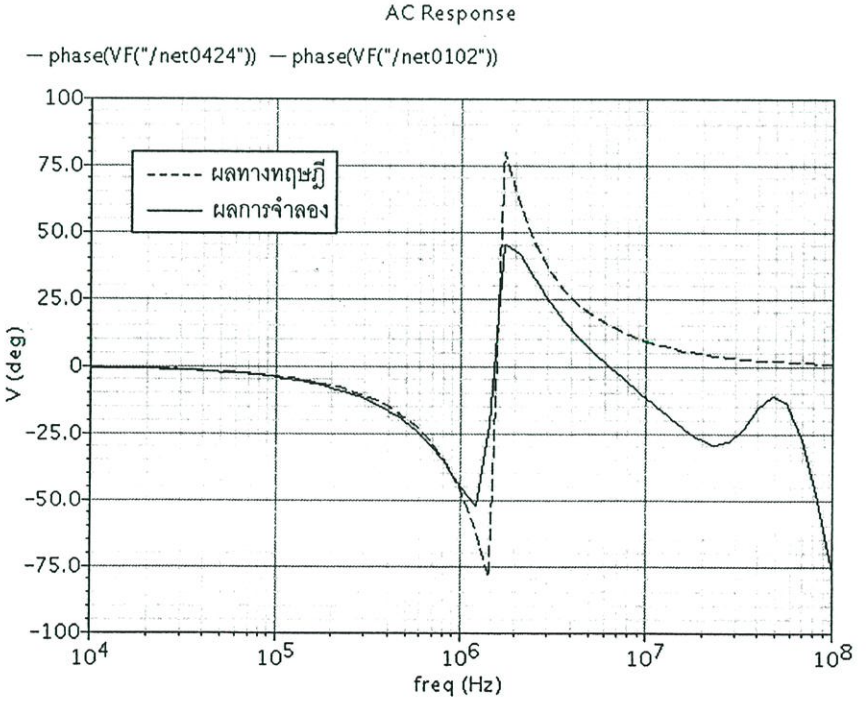
รูปที่ 4.4 แสดงผลตอบสนองทางอัตราขยายและเฟสของวงจรกรองสัญญาณแบบ AP ที่ค่าความถี่ f_0 ≅ 1.6 MHz โดยผลตอบสนองทางอัตราขยายและทางเฟสที่ได้จากผลการจำลองมีค่าความผิดพลาดค่อนข้างมากในช่วงความถี่ประมาณ 10 MHz ขึ้นไป ซึ่งโดยรวมของผลที่ได้จากการจำลองมีแนวโน้มเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ



รูปที่ 4.2 ผลตอบสนองทางความถี่ของวงจรแบบ LP HP และ BP ของวงจรกรองสัญญาณที่นำเสนอ



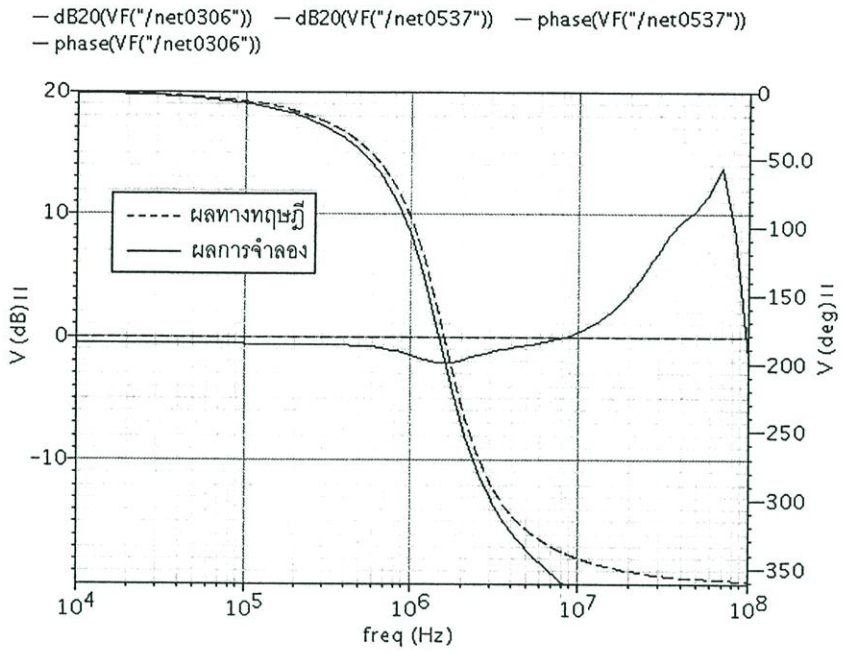
(ก)



(ข)

รูปที่ 4.3 ผลจำลองผลตอบสนองทางความถี่แบบ BS ของวงจรกรองสัญญาณที่นำเสนอ

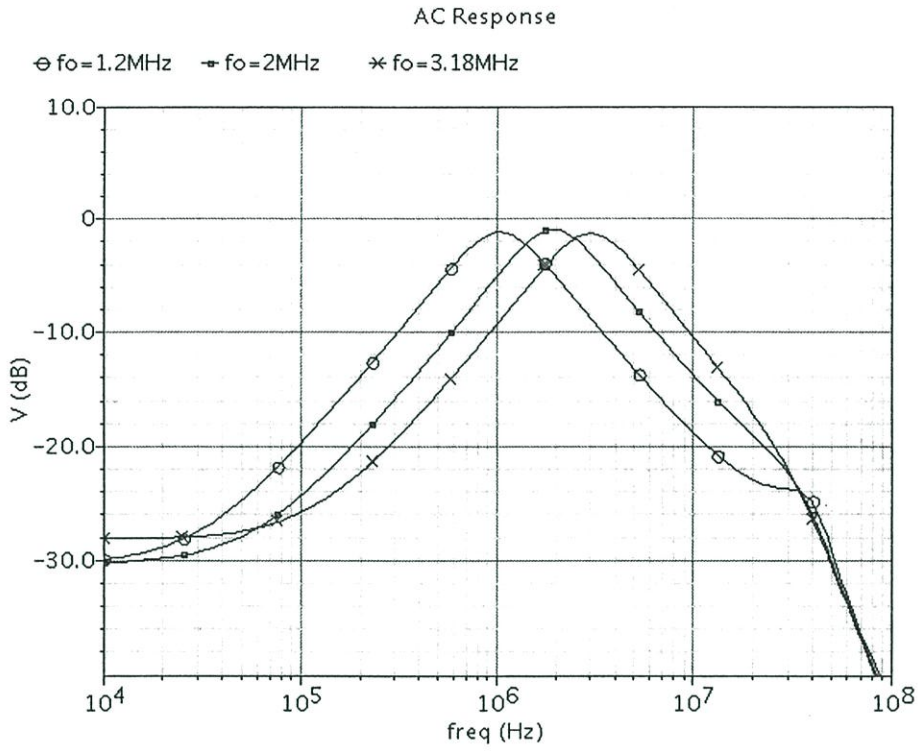
(ก) ผลตอบสนองทางอัตราขยาย (ข) ผลตอบสนองทางเฟส



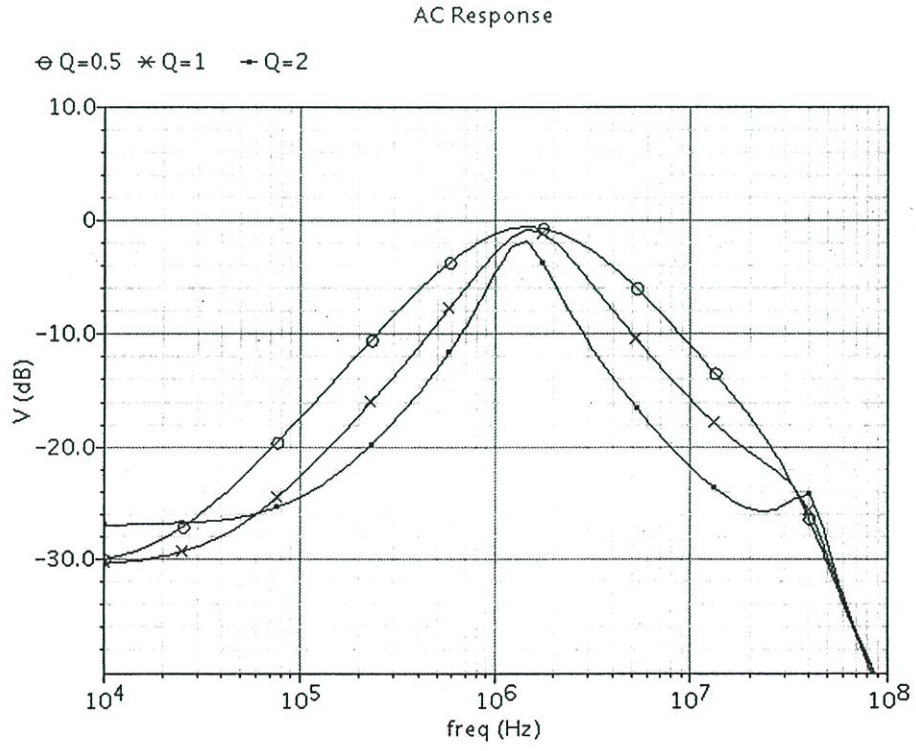
รูปที่ 4.4 ผลจำลองผลตอบสนองทางความถี่แบบ AP ของวงจรกรองสัญญาณที่นำเสนอ

รูปที่ 4.5 แสดงผลตอบสนองทางความถี่ของวงจรแบบ BP เมื่อแปรค่า $g_{m1}g_{m2}$ ให้มีค่าเท่ากับ (75 μA/V)(75 μA/V), (125 μA/V)(125 μA/V), และ (200 μA/V)(200 μA/V) ตามลำดับ จากการกำหนดเงื่อนไขดังกล่าวทำให้ได้ค่าความถี่ f_0 ในทางทฤษฎีมีค่าเท่ากับ 1.2 MHz, 2 MHz และ 3.18 MHz ตามลำดับ ในขณะที่ความถี่ f_0 ที่ได้จากผลการจำลองมีค่าเท่ากับ 1.097 MHz, 2.008 MHz และ 3.14 MHz ตามลำดับ คิดเป็นค่าความคลาดเคลื่อน 8.58%, -0.4% และ 1.26% ตามลำดับ โดยมีค่าอัตราขยายเท่ากับ -1.183 dB, -0.877 dB และ -1.253 dB ตามลำดับ และจากเงื่อนไขการแปรค่า f_0 ในกรณีข้างต้น ในส่วนของค่า g_{m1}/g_{m2} ยังคงมีค่าเท่าเดิม โดยที่ Q = 1 และค่าความคลาดเคลื่อนของ f_0 ที่เกิดขึ้นสามารถควบคุมให้มีค่าลดน้อยลงด้วยการปรับค่ากระแสไบอัส I_B ได้อีกด้วย

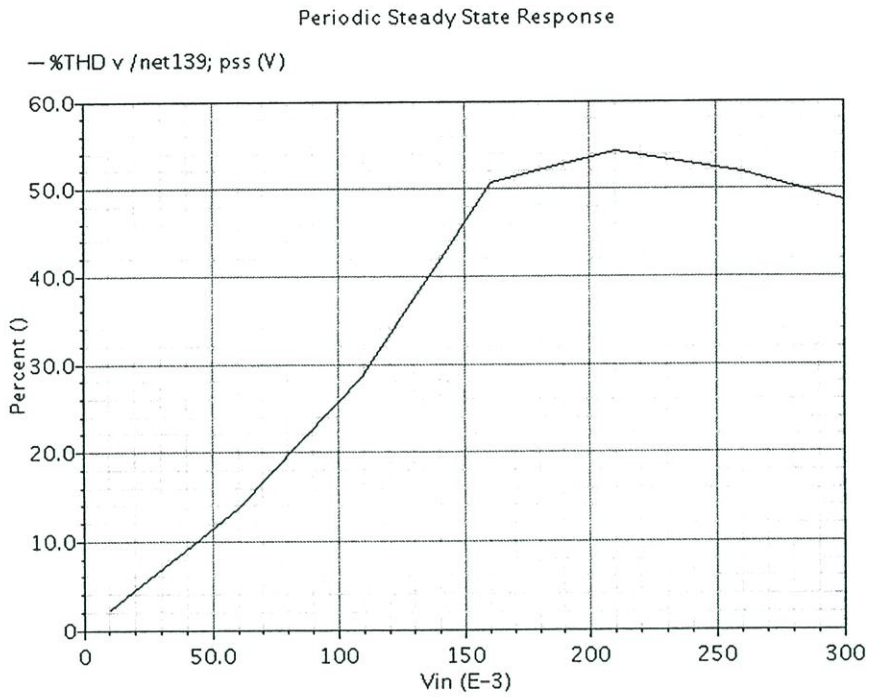
รูปที่ 4.6 แสดงผลตอบสนองทางความถี่ของวงจรแบบ BP เมื่อแปรค่า Q ให้มีค่าเป็น 0.5, 1 และ 2 ตามลำดับ จากการกำหนดเงื่อนไข g_{m1}/g_{m2} ให้มีค่าเท่ากับ (3 μA/V)/(45 μA/V), (100 μA/V)/(100 μA/V), และ (45 μA/V)/(3 μA/V) ตามลำดับ โดยมีค่าอัตราขยายเท่ากับ -0.607 dB, -0.9 dB และ -1.984 dB ตามลำดับ ในขณะที่อัตราส่วนของ $g_{m1}g_{m2}$ ยังคงเดิม โดยความถี่ f_0 = 1.6 MHz ดังนั้นสามารถกล่าวได้ว่าวงจรที่นำเสนอมีข้อดีคือ มีความสะดวกและยืดหยุ่นสูงในการปรับแต่งค่าพารามิเตอร์ของวงจรกรณีที่อุปกรณ์แอคทีฟและพาสซีฟมีค่าเปลี่ยนแปลงไปจากที่คาดการณ์เอาไว้



รูปที่ 4.5 ผลตอบสนองทางความถี่ของวงจรแบบ BP เมื่อแปรค่า $g_{m1}g_{m2}$ ในขณะที่ g_{m1}/g_{m2} คงที่



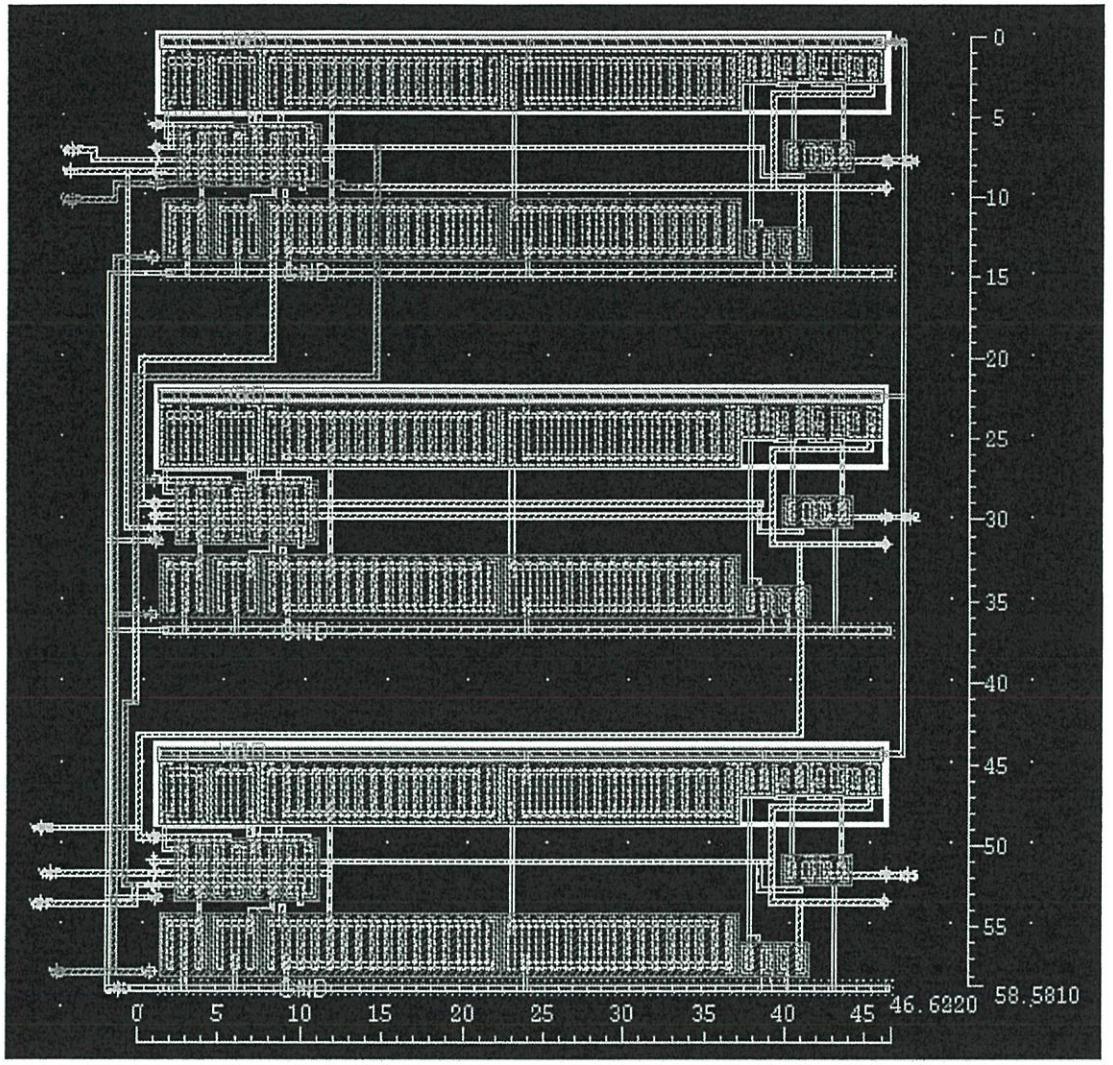
รูปที่ 4.6 ผลตอบสนองทางความถี่ของวงจรแบบ BP เมื่อแปรค่า g_{m1}/g_{m2}



รูปที่ 4.7 THD ของผลตอบสนองแบบ BP ของวงจรที่นำเสนอ

เมื่อทำการตรวจสอบเปอร์เซ็นต์ค่าความผิดเพี้ยนของสัญญาณฮาร์-มอนิกส์ (total harmonic distortion THD) ในกรณีผลตอบสนองแบบ BP ที่สัญญาณอินพุตมีค่าเท่ากับ 50 mV พบว่า THD จะมีค่าประมาณ 11.57% อีก THD จะมีค่าเพิ่มขึ้นเรื่อยๆ เมื่อสัญญาณอินพุตมีค่าเพิ่มขึ้นดังรูปที่ 4.7 โดยแสดงค่า THD ในกรณีผลตอบสนองแบบ BP ของวงจรที่นำเสนอ รวมทั้งวงจรที่นำเสนอมีการสูญเสียกำลังไฟฟ้า (power consumption) เป็น 500 μW

รูปที่ 4.8 แสดงการเลย์เอาต์วงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.1 โดยใช้วงจร DDCCTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอสดังรูปที่ 2.3 ภายใต้เทคโนโลยี UMC 0.18 μm ซึ่งขนาดพื้นที่ในการเลย์เอาต์มีค่าเท่ากับ 0.00273 mm^2 (2,731 μm^2)



รูปที่ 4.8 เลย์เอาต์วงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.1

4.5 สรุป

ในบทนี้นำเสนอวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดัน โดยใช้วงจร DDCCTA จำนวนสามตัว และตัวเก็บประจุต่อเทียบกราวด์จำนวนสองตัว ซึ่งปราศจากตัวต้านทานพาสซีฟจากภายนอก วงจรที่นำเสนอในบทนี้สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณไบควอดราทิกมาตรฐานได้ครบทุกรูปแบบ คือ แบบกรองผ่านความถี่ต่ำ (LP) แบบกรองผ่านแถบความถี่ (BP) และแบบกรองผ่านความถี่สูง (HP) แบบจำกัดแถบความถี่ (BS) และแบบกรองผ่านทุกความถี่ (AP) โดยไม่ต้องปรับเปลี่ยนรูปแบบของวงจร ไม่ต้องการเงื่อนไขความเท่ากันของอุปกรณ์ในวงจร อีกทั้งยังสามารถปรับค่าพารามิเตอร์ ω_0 และ Q ของวงจรได้อย่างมีเงื่อนไขด้วยวิธีการทางอิเล็กทรอนิกส์จากการแปรค่ากระแสไบอัสจากภายนอก นอกจากนี้ยังมีค่าอิมพิแดนซ์อินพุตสูง ทำให้มีความเหมาะสมกับการนำไปต่อคาสเคดในการทำงานของวงจรในโหมดแรงดัน อีกทั้งยังมีค่าความไวต่อการแปรค่าของอุปกรณ์แอกทีฟและพาสซีฟในวงจรที่ต่ำอีกด้วย

4.6 เอกสารอ้างอิงบทที่ 4

[1] N. Pandey, R. Pandey and S. K. Paul, "Novel single input five output voltage mode universal filter based on DDCCTA", **Proceedings of the 3rd International Conference on Computer and Communication Technology (ICCCT 2012)**, Allahabad, India, pp. 46-51, 2012.

[2] O. Channumsin, T. Pukkalanun and W. Tangsrirat, "Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components", **Microelectronics Journal**, vol. 43, no. 8, pp. 555-561, 2012.

[3] W. Tangsrirat, O. Channumsin and T. Pukkalanun, "Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter", **Microelectronics Journal**, vol. 44, no. 3, pp. 210-215, 2013.

[4] M. T. Abuelma'Atti and H. A. Al-Zaher, "New universal filter with one input and five outputs using current-feedback amplifiers", **Analog Integrated Circuits and Signal Processing**, vol.16, pp.239-244, 1998.

[5] J. W. Horng, "Voltage-mode universal biquadratic filter with one input and five outputs using OTAs", **International Journal of Electronics**, vol.89, no.9, pp.729-737, 2002.

[6] J. W. Horng, C. L. Hou, C. M. Chang, W. Y. Chung and H. Y. Wei, "Voltage-mode universal biquadratic filter with one input and five outputs using MOCCIIs", **Computers and Electrical Engineering**, vol.31, pp.190-202, 2005.

[7] J. W. Horng, C. L. Hou, C. M. Chang and W. Y. Chung, "Voltage-mode universal biquadratic filter with one input and five outputs", **Analog Integrated Circuits and Signal Processing**, vol.47, no. 1, pp.73-83, 2006.

[8] J. W. Horng, C. L. Hou, C. M. Chang, H. P. Chou and C. T. Lin, "High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors", **Circuits, Systems and Signal Processing**, vol.25, no.6, pp.767-777, 2006.

[9] H. P. Chen and S. S. Shen, "A versatile universal capacitor-grounded voltage-mode filter using DVCCs", **ETRI Journal**, vol.29, no.4, pp.470-476, 2007.

[10] H. P. Chen, "Universal voltage-mode filter using only plus-type DDCCs", **Analog Integrated Circuits and Signal Processing**, vol.50, no.2, pp.137-139, 2007.

[11] H. P. Chen, "Voltage-mode FDCCII-based universal filters", Int. J. Electron. Commun. (AEU), vol.62, pp.320-323, 2008.

[12] H. P. Chen, "Versatile universal voltage-mode filter employing DDCCs", **International Journal of Electronics and Communications (AEU)**, vol.63, no.1, pp.78-82, 2009.

[13] K. Kumar and K. Pal, "Voltage-mode universal biquadratic filter using FTFN and OTA", Journal of Electrical and Electronics Engineering, vol.9, no.2, pp.1083-1087, 2009.

[14] C. N. Lee and C. M. Chang, "Single FDCCII-based mived-mode biquad filter with eight outputs", **International Journal of Electronics and Communications (AEU)**, vol.63, pp.736-742, 2009.

[15] S. Minaei and E. Yuce, "All-grounded passive elements voltage-mode DVCC-based universal filters", **Circuits, Systems and Signal Processing,**, vol.29, pp.295-309, 2010.

[16] J. W. Horng, "Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs", **Analog Integrated Circuits and Signal Processing**, vol.62, pp.407-413, 2010.

[17] W. Y. Chiu and J. W. Horng, "Voltage-mode biquadratic filters with one input and five outputs using DDCCs", **Indian Journal of Engineering and Materials Sciences**, vol.18, no. 2, pp.97-101, 2011.

[18] C. M. Chang, B. M. Al-Hashimi and J. N. Rose "Unified active filter biquad structures", **IEE Proceedings-Circuits, Devices and Systems**, vol.151, no.4, pp.273-277, 2004.

บทที่ 5
บทสรุปและข้อเสนอแนะแนวทางการวิจัยต่อ

5.1 บทสรุป

โครงการวิจัยนี้เป็นแนวทางหนึ่งสำหรับการพัฒนาหลักการวิเคราะห์และออกแบบวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์โหมดแรงดันที่มีโครงสร้างแบบหนึ่งพุต หลายเอาต์พุต โดยใช้วงจร DDCCTA เป็นอุปกรณ์แอคทีฟหลัก โดยมุ่งเน้นการออกแบบวงจรที่มีความเรียบง่ายไม่ซับซ้อน ใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อย เพื่อลดการสูญเสียกำลังงานไฟฟ้าและง่ายต่อการนำไปสร้างในรูปแบบวงจรรวม (IC) โดยวงจรแรกที่ได้นำเสนอ คือ วงจรกรองสัญญาณไบควอดราทิกแบบหนึ่งอินพุต สามเอาต์พุตโหมดแรงดันที่ประกอบด้วยวงจร DDCCTA เพียงหนึ่งตัวเท่านั้น สามารถสังเคราะห์ฟังก์ชันมาตรฐานได้พร้อมกันสามรูปแบบ คือ แบบกรองผ่านความถี่ต่ำ แบบกรองผ่านความถี่สูง และแบบกรองผ่านแถบความถี่ โดยไม่ต้องอาศัยเงื่อนไขความเท่ากันของอุปกรณ์ในวงจร โดยปราศจากเงื่อนไขค่าเท่ากันของอุปกรณ์ที่ใช้ในวงจร สำหรับวงจรที่สองที่นำเสนอได้พัฒนาคุณสมบัติของวงจรให้มีความหลากหลายมากยิ่งขึ้น คือ ได้นำเสนอวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์แบบหนึ่งอินพุต ห้าเอาต์พุตโหมดแรงดัน ซึ่งประกอบด้วยวงจร DDCCTA จำนวนสองตัว ตัวต้านทานต่อเทียบกราวด์จำนวนสองตัว และตัวเก็บประจุต่อเทียบกราวด์จำนวนสองตัว สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณมาตรฐานได้พร้อมกันครบทุกรูปแบบ คือ แบบกรองผ่านความถี่ต่ำ แบบกรองผ่านความถี่สูง แบบกรองผ่านแถบความถี่ แบบจำกัดแถบความถี่ และแบบกรองผ่านทุกความถี่ อีกทั้งยังได้นำเสนอการสังเคราะห์ตัวต้านทานอิเล็กทรอนิกส์โดยใช้ทรานซิสเตอร์แบบมอสเพื่อแทนที่ตัวต้านทานพาสซีฟที่ใช้ในวงจรอีกด้วย หรืออาจเรียกการสังเคราะห์ในลักษณะนี้ว่า MOSFET-C นั่นเอง วงจรที่สามที่นำเสนอเป็นวงจรกรองสัญญาณไบควอดราทิกอเนกประสงค์แบบหนึ่งอินพุต ห้าเอาต์พุต สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณมาตรฐานได้พร้อมกันครบทุกรูปแบบ โดยไม่ต้องอาศัยเงื่อนไขความเท่ากันของอุปกรณ์ในวงจร นอกจากนี้ยังปราศจากตัวต้านทานจากภายนอก มีเพียงตัวเก็บประจุเทียบกราวด์เท่านั้น รวมทั้งค่าความถี่เชิงมุมธรรมชาติ (natural angular frequency, ω_o) และตัวประกอบคุณภาพ (quality factor, Q) ของวงจรยังสามารถแปรค่าได้อย่างมีเงื่อนไขด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสของวงจร DDCCTA รวมทั้งยังมีค่าความไวต่อการแปรค่าของอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำอีกด้วย นอกจากนี้ประสิทธิภาพในการทำงานของวงจรที่ได้นำเสนอสามารถทำการยืนยันด้วยผลการจำลองการทำงานของวงจรด้วยโปรแกรม Cadence Spectre ซึ่งให้ผลที่สอดคล้องและเป็นไปตามหลักการทางทฤษฎี

ผลงานวิจัยทั้งหมดที่ได้พัฒนาขึ้นในโครงการวิจัยนี้ ประสบผลสำเร็จเป็นที่น่าพอใจอย่างยิ่ง เนื่องจากเป็นที่ยอมรับให้ตีพิมพ์ในวารสารวิชาการทางวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ระดับนานาชาติที่อยู่ในฐานข้อมูล ISI Journal publication ได้จำนวนสองบทความ ดังนี้

1) O. Channumsin, **T. Pukkalanun** and W. Tangsrirat, "Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components", Microelectronics Journal, vol. 43, no. 8, pp. 555-561, 2012. **(Impact Factor 2011 = 0.919)** [1]
2) W. Tangsrirat, O. Channumsin and **T. Pukkalanun**, "Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter", Microelectronics Journal, vol. 44, no. 3, pp. 210-215, 2013. **(Impact Factor 2012 = 0.912)** [2]

โดยรายละเอียดของบทความทั้งสองได้ถูกรวบรวมไว้ในภาคผนวกท้ายโครงการวิจัยฉบับนี้

5.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ

จากวงจรที่ได้ทำการออกแบบและสังเคราะห์ในโครงการวิจัยฉบับนี้ พบว่ายังมีประเด็นที่น่าสนใจเพื่อเป็นแนวทางในการพัฒนาวงจรให้มีประสิทธิภาพดียิ่งขึ้น ดังต่อไปนี้

1) ประการแรก เนื่องจากการออกแบบและพัฒนาวงจรกรองสัญญาณไบควอดราทิกอเนก-ประสงค์ที่นำเสนอมีข้อด้อยของวงจร คือ ในการปรับค่าความถี่เชิงมุมธรรมชาติ (ω_0) และค่าตัวประกอบคุณภาพ (Q) ของวงจรยังคงต้องแปรค่าอุปกรณ์อย่างมีเงื่อนไขอยู่ ดังนั้นหากสามารถทำการพัฒนาวงจรให้สามารถปรับค่า ω_0 และ Q ได้เป็นอิสระโดยปราศจากเงื่อนไขต่างๆ จึงเป็นอีกแนวทางหนึ่งในการเพิ่มประสิทธิภาพการประยุกต์ใช้งานของวงจร

2) ประการที่สอง การออกแบบและพัฒนาวงจรในงานวิจัยที่นำเสนอนั้น ถึงแม้ว่ามีการใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อย แต่อย่างไรก็ตามวงจร DDCCTA ที่นำมาใช้เป็นอุปกรณ์แอคทีฟหลักในวงจรที่นำเสนอยังเป็นโครงสร้างที่ประกอบด้วยทรานซิสเตอร์จำนวนมากอยู่ ดังนั้นแนวทางการวิจัยต่อที่น่าสนใจก็คือ การลดจำนวนทรานซิสเตอร์ลง โดยอาจนำอุปกรณ์แอคทีฟชนิดอื่นๆที่มีโครงสร้างไม่ซับซ้อนและมีความเหมาะสมกับวงจรที่นำไปประยุกต์ใช้งาน เพื่อทำให้เกิดความคล่องตัวมากขึ้น อีกทั้งยังทำให้พื้นที่ของวงจร เมื่อนำไปสร้างเป็นวงจรรวมมีขนาดเล็กลงอีกด้วย

5.3 เอกสารอ้างอิงบทที่ 5

[1] O. Channumsin, T. Pukkalanun and W. Tangsrirat, "Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components", **Microelectronics Journal**, vol. 43, no. 8, pp. 555-561, 2012.

[2] W. Tangsrirat, O. Channumsin and T. Pukkalanun, "Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter", **Microelectronics Journal**, vol. 44, no. 3, pp. 210-215, 2013.

ภาคผนวก

บทความวิจัยที่ตีพิมพ์ในวารสารวิชาการระดับนานาชาติ

Microelectronics Journal 43 (2012) 555–561

Contents lists available at SciVerse ScienceDirect

Microelectronics Journal

journal homepage: www.elsevier.com/locate/mejo

Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components

Orapin Channumsin, Tattaya Pukkalanun, Worapong Tangsrirat*

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Chalongkrung road, Ladkrabang, Bangkok 10520, Thailand

ARTICLE INFO

Article history:
Received 15 January 2012
Received in revised form
26 April 2012
Accepted 2 May 2012
Available online 24 May 2012

Keywords:
Differential difference current conveyor transconductance amplifier (DDCCTA)
Universal filter
Voltage-mode circuit

ABSTRACT

This paper presents a versatile voltage-mode universal active filter with one input and five output terminals. The proposed circuit is based on using the recently reported active building block, namely differential difference current conveyor transconductance amplifier (DDCCTA). It employs two DDCCTAs as active elements together with two resistors and two capacitors as passive elements, which are all grounded. The circuit simultaneously realizes all the five standard biquadratic filter functions; i.e., lowpass (LP), bandpass (BP), highpass (HP), bandstop (BS) and allpass (AP), without changing circuit topology. The proposed circuit also has the advantage of high-input impedance terminal, and exhibits electronic tunability of its important parameters through the bias current of the DDCCTA as well as low sensitivity performance. PSPICE simulations using 0.5 μm MIETEC CMOS process are used to validate the theoretical predictions.

© 2012 Elsevier Ltd. All rights reserved.

1. Introduction

Recently, a relatively new active building block, the so-called differential difference current conveyor transconductance amplifier (DDCCTA), was introduced [1]. The DDCCTA has the differential difference current conveyor (DDCC) [2] as an input stage and is followed by a transconductance amplifier in monolithic chip. This device provides the possibility of inbuilt electronic tuning of the parameters of the analog function circuits to be implemented, and also has all the good properties of the DDCC, such as high-input impedance, employs fewer active and passive components, and easy implementation of differential and floating input circuits. Moreover, the differential voltage current conveyor transconductance amplifier (DVCCTA) can easily be implemented from DDCCTA by connecting the Y_3-terminal to ground. Hence, the applications and advantages in realizing various signal processing circuits using DDCCTAs/DVCCTAs have been introduced in the technical literature, particularly from the area of frequency active filters [1,3–6].

In this paper, a versatile voltage-mode biquadraric universal filter with one input and five output terminals is presented. The proposed circuit is constructed using two DDCCTAs, two grounded resistors and two grounded capacitors, which are the minimum components necessary for realizing biquadratic filtering functions from the same topology. With respect to the previously published single-input five-output voltage-mode universal filters in [7–20], the proposed circuit offers the following advantageous features:

(i). simultaneous realization of all the five standard biquadratic filtering functions, namely, lowpass (LP), bandpass (BP), highpass (HP), bandstop (BS) and allpass (AP) responses from the same topology,
(ii). the employment of all grounded passive elements, which is suitable for integrated circuit implementation, and attractive for absorbing shunt parasitic impedances,
(iii). electronic and orthogonal control of the natural angular frequency (ω_0) and the quality factor (Q),
(iv). high-input impedance, which is desirable for cascading in voltage-mode operation,
(v). no need to impose component choice, except AP response realization,
(vi). minimum component count circuit (i.e., two active element, two resistors and two capacitors),
(vii). low active and passive sensitivity performance.

The comparison between the proposed circuit and the previously published works is summarized in Table 1. From the table, it can be seen that the proposed filter possesses all the properties (i)–(vii).

2. Description of the DDCCTA

As shown in Fig. 1, the DDCCTA is a versatile analog active building block, which is defined by the following matrix

* Corresponding author. Tel.: +66 89 666 8436; fax: +66 2 326 4205.
E-mail addresses: drworapong@yahoo.com, ktworapo@kmitl.ac.th (W. Tangsrirat).

0026-2692/$ - see front matter © 2012 Elsevier Ltd. All rights reserved.
http://dx.doi.org/10.1016/j.mejo.2012.05.002

expression:

$$\begin{bmatrix} i_{Y_1} \\ i_{Y_2} \\ i_{Y_3} \\ v_X \\ i_Z \\ i_{o1} \\ i_{o2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & g_m & 0 & 0 \\ 0 & 0 & 0 & 0 & g_m & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} v_{Y_1} \\ v_{Y_2} \\ v_{Y_3} \\ i_X \\ v_Z \\ v_{o1} \\ v_{o2} \end{bmatrix} \quad (1)$$

where g_m is the transconductance parameter of the DDCCTA.

One possible realization of the DDCCTA in CMOS technology is shown in Fig. 2. The scheme is based on the internal circuit of the DDCC [2], which is followed by a transconductance amplifier [21]. In this case, the transconductance gain (g_m) of the DDCCTA can be given by:

$$g_m = \sqrt{\mu C_{ox} \frac{W}{L} I_B} \quad (2)$$

where I_B is an external DC bias current, μ is the effective channel mobility, C_{ox} is the gate-oxide capacitance per unit area, W and L are channel width and length of the MOS transistor, respectively. Eq. (2) reveals that the g_m-value of the DDCCTA can be adjustable electronically by I_B.

Table 1
Comparison of the proposed circuit with recently reported single-input five-output universal filters.

Circuits\properties	(i)	(ii)	(iii)	(iv)	(v)	(vi)	(vii)
The proposed circuit	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Filter in [7]	Yes	No	No	Yes	Yes	No	Yes
Filter in [8]	Yes	No	No	Yes	Yes	No	Yes
Filter in [9]	Yes	No	No	Yes	Yes	No	Yes
Filter in [10]	Yes	No	No	Yes	Yes	No	Yes
Filter in [11]	Yes	No	No	No	Yes	No	Yes
Filter in [12]	Yes	Yes	No	Yes	Yes	Yes	Yes
Filter in [13]	Yes	No	No	Yes	Yes	No	Yes
Filter in [14]	Yes	No	No	No	Yes	No	Yes
Filter in [15]	Yes	Yes	No	Yes	Yes	No	Yes
Filter in [16]	Yes	Yes	No	Yes	Yes	No	Yes
Filter in [17]	Yes	No	No	No	Yes	No	Yes
Filter in [18]	Yes	No	No	No	Yes	No	Yes
Filter in [19]	Yes	No	No	Yes	Yes	No	Yes
Filter in [20]	Yes	No	No	Yes	Yes	No	Yes

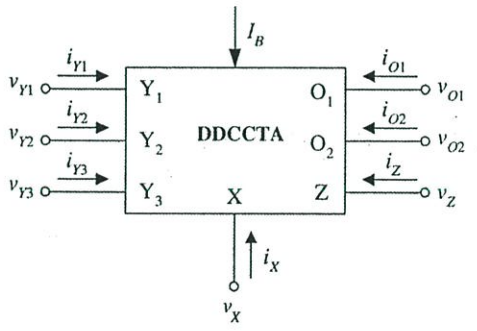


Fig. 1. Schematic symbol of the DDCCTA.

3. Proposed circuit

The proposed voltage-mode universal filter with one input terminal and five output terminals employing two DDCCTAs and a canonical number of grounded passive elements (two resistor and two capacitors) is shown in Fig. 3(a). It should be noted that the input voltage V_{in} of the proposed filter is applied to the Y_1 terminal of the first DDCCTA. Thus, the circuit has the feature of high-input impedance, which is suitable for cascading in voltage-mode operation. The use of all grounded passive components makes the circuit particularly attractive for integration point of view [22]. Nodal analysis of the circuit in Fig. 3(a) yields the following voltage transfer functions:

$$\frac{V_{o1}(s)}{V_{in}(s)} = -\frac{g_{m1}}{D(s)} \quad (3)$$

$$\frac{V_{o2}(s)}{V_{in}(s)} = \frac{sC_2}{D(s)} \quad (4)$$

$$\frac{V_{o3}(s)}{V_{in}(s)} = \frac{s^2R_1C_1C_2}{D(s)} \quad (5)$$

$$\frac{V_{o4}(s)}{V_{in}(s)} = \frac{s^2R_1C_1C_2+g_{m1}}{D(s)} \quad (6)$$

$$\frac{V_{o5}(s)}{V_{in}(s)} = \left(\frac{1}{g_{m2}R_2}\right)\left[\frac{s^2R_1C_1C_2-sg_{m1}R_2C_2+g_{m1}}{D(s)}\right] \quad (7)$$

where the denominator $D(s)$ is found to be

$$D(s) = s^2R_1C_1C_2+sC_2+g_{m1} \quad (8)$$

From Eqs. (3)–(8), it can be seen that the LP, BP, HP and BS responses are available at the node voltages V_{o1}, V_{o2}, V_{o3} and V_{o4}, respectively. Moreover, if $g_{m1}=1/R_2$, then the AP response with the dc gain of $1/g_{m2}R_2$ can also be obtained from the node V_{o5}. In this case, to maintain a constant g_{m1} value for the output stage of DDCCTA1, many circuit techniques usually known as constant-g_m technique can be applied [23–25]. It should further be mentioned here that the circuit needs not component-matching conditions, except for the AP response realization. It is also to be noted that

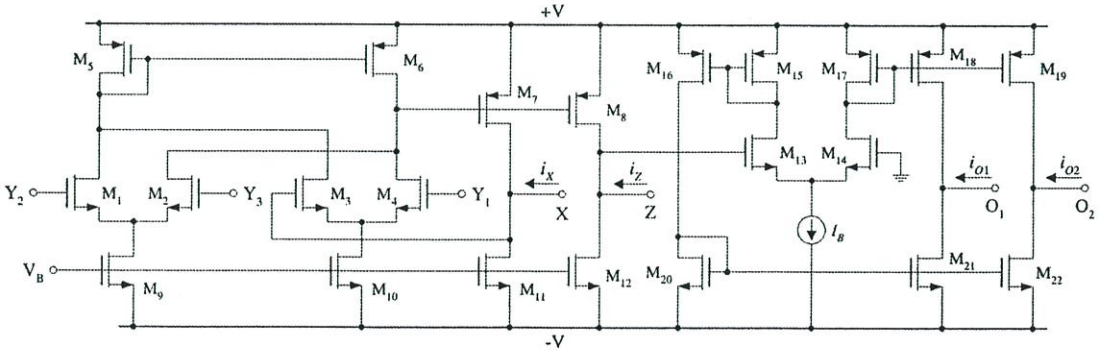


Fig. 2. CMOS internal structure of the DDCCTA.

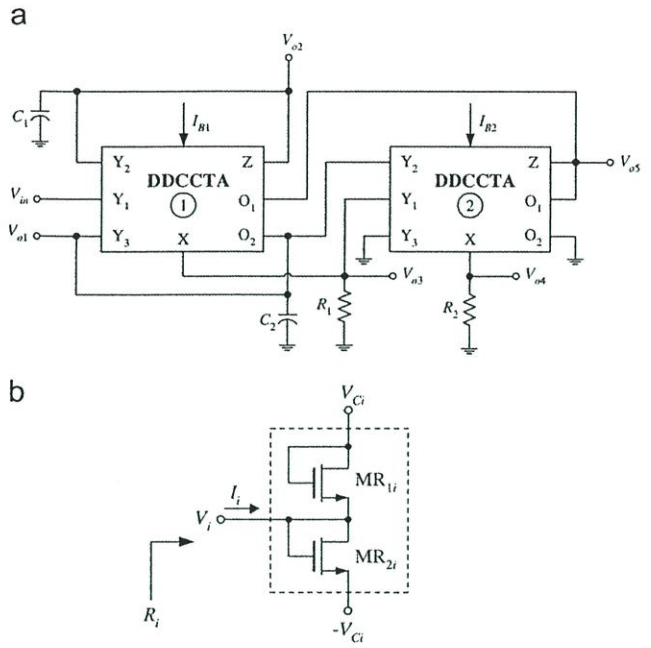


Fig. 3. (a) Proposed high-input impedance voltage-mode universal biquadratic filter. (b) Electronic resistor using two MOSs.

all the output terminals of the proposed filter are not in low-output impedances. Thus, any additional buffers are required for the proposed filter to drive low impedance loads or to be directly connected to the next stages.

In all cases, the important filter parameters, i.e., natural angular frequency (ω_0), quality factor (Q) and bandwidth (BW), are, respectively, characterized by

$$\omega_0 = \sqrt{\frac{g_{m1}}{R_1 C_1 C_2}} \tag{9}$$

$$Q = \sqrt{\frac{g_{m1} R_1 C_1}{C_2}} \tag{10}$$

and

$$BW = \frac{1}{R_1 C_1} \tag{11}$$

Eqs. (9)–(11) show that the parameters ω_0 and Q for all filter responses can electronically be tuned by varying g_{m1} without disturbing BW. Moreover, Eqs. (9) and (10) also show that the parameters ω_0 and Q are interactive. However, the technique to obtain the non-interactive filter parameter control can be suggested as follows. For the fix-valued capacitors, the ω_0 can be adjusted arbitrarily without disturbing Q by simultaneously changing g_{m1} and R_1 and keeping the product $g_{m1}R_1$ constant. On the other hand, the parameter Q can be tuned without disturbing ω_0 by simultaneously increasing g_m and R_1 and keeping g_{m1}/R_1 constant.

Furthermore, each grounded resistor R_i ($i=1, 2$) in the proposed filter of Fig. 3(a) may easily be realized as an electronic resistor using two MOS transistors (MR_{1i} and MR_{2i}) as shown in Fig. 3(b) [26]. In Fig. 3(b), the variable resistances can be adjusted with their corresponding control voltages V_{Ci} and $-V_{Ci}$ by based on the following relation:

$$R_i = \frac{V_i}{I_i} = \frac{L}{2\mu C_{ox} W (V_{Ci} - V_T)} \tag{12}$$

where V_T is the threshold voltage of the MOS transistor. Eq. (12) is valid when MR_{1i} and MR_{2i} stay in the saturation mode, which is true if $|V_i| \le (V_{Ci} - V_T)$. For the range $|V_i| > (V_{Ci} - V_T)$, the corresponding maximum error of R_i, which is obeyed the square-law current relation, can be considered approximately as

$$\varepsilon_{\max} \cong \frac{V_T^2}{4(V_{Ci} - V_T)} \tag{13}$$

at $|V_i| = V_{Ci}$.

4. Tracking error analysis and sensitivity performance

Taking the non-idealities of the DDCCTA into account, the port relations in Eq. (1) can be rewritten as:

$$\begin{bmatrix} i_{Y_1} \\ i_{Y_2} \\ i_{Y_3} \\ v_X \\ i_Z \\ i_{o1} \\ i_{o2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \beta_1 & -\beta_2 & \beta_3 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & \alpha & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & g_m & 0 & 0 \\ 0 & 0 & 0 & 0 & g_m & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} v_{Y_1} \\ v_{Y_2} \\ v_{Y_3} \\ i_X \\ v_Z \\ v_{o1} \\ v_{o2} \end{bmatrix} \tag{14}$$

where $\beta_k = 1 - \varepsilon_{vk}$ for $k=1, 2, 3$ and $\alpha = 1 - \varepsilon_i$. Here, ε_{vk} ($|\varepsilon_{vk}| \ll 1$) and ε_i ($|\varepsilon_i| \ll 1$) represent the voltage and current tracking errors of the DDCCTA, respectively. Thus, re-analysis of the proposed circuit in Fig. 3(a) yields the denominator of non-ideal voltage transfer functions as follows:

$$D(s) = s^2 R_1 C_1 C_2 + s C_2 \alpha_1 \beta_{21} + g_{m1} \alpha_1 \beta_{31} \tag{15}$$

where β_{ki} and α_i are the parameters β_k and α of the ith DDCCTA ($i=1, 2$), respectively.

In this case, the modified filter parameters are obtained as:

$$\omega_0 = \sqrt{\frac{g_{m1} \beta_{31} \alpha_1}{R_1 C_1 C_2}} \tag{16}$$

$$Q = \frac{1}{\beta_{21}} \sqrt{\frac{g_{m1} R_1 C_1 \beta_{31}}{C_2 \alpha_1}} \tag{17}$$

and

$$BW = \frac{\beta_{21} \alpha_1}{R_1 C_1} \tag{18}$$

It is noted that the voltage and current tracking errors of the DDCCTA do affect the values of ω_0, Q and BW. However, these small deviations can be compensated by adjusting the transconductance g_{m1} and/or the resistor R_1.

The active and passive sensitivities of the proposed circuit are shown as:

$$S_{g_{m1}}^{\omega_0} = S_{\beta_{31}}^{\omega_0} = S_{\alpha_1}^{\omega_0} = -S_{R_1}^{\omega_0} = -S_{C_1}^{\omega_0} = -S_{C_2}^{\omega_0} = 1/2 \tag{19}$$

$$S_{\beta_{21}}^{Q} = -1 \tag{20}$$

$$S_{g_{m1}}^{Q} = S_{R_1}^{Q} = S_{C_1}^{Q} = -S_{C_2}^{Q} = S_{\beta_{31}}^{Q} = -S_{\alpha_1}^{Q} = 1/2 \tag{21}$$

and

$$S_{\beta_{21}}^{BW} = S_{\alpha_1}^{BW} = -S_{R_1}^{BW} = -S_{C_1}^{BW} = 1 \tag{22}$$

From the above calculations, it is clearly observed that all of the filter parameter sensitivities are within unity in magnitude.

5. Effect of the DDCCTA parasitics

In this section, the influence of various parasitic impedances at DDCCTA ports is considered. The non-ideal DDCCTA model is shown in Fig. 4. It is shown that the practical DDCCTA has a low-value parasitic serial resistance at port X (R_x), and high input impedances at ports Y_1, Y_2 and Y_3 ($R_{y1}//C_{y1}$, $R_{y2}//C_{y2}$ and $R_{y3}//C_{y3}$), respectively. Also, the output ports Z and O exhibit high output impedances $R_z//C_z$ and $R_o//C_o$, respectively. Because each X-terminal of the DDCCTA in the proposed circuit of Fig. 3(a) is directly connected to an external grounded resistor, most of the parasitic resistance R_x can easily be merged [27]. It is further noted that the proposed circuit employs external capacitors C_1 and C_2 parallel connecting at the terminals Y_2 and Y_3, respectively. As a result, the effects of the parasitic capacitances C_{y2}, C_{y3}, C_z and C_o can be absorbed, due to the fact that $C_1 \gg (C_{y2}+C_z)$ and $C_2 \gg (C_{y2}+C_{y3}+C_o)$. Hence, if the following conditions are satisfied:

$$\frac{1}{sC_1} \ll (R_Z//R_{y2}), \tag{23}$$

$$\frac{1}{sC_2} \ll (R_{y2}//R_{y3}//R_o), \tag{24}$$

then the influence of DDCCTA parasitic elements to the proposed filter of Fig. 3 can be ignored.

6. Simulation results

To verify the functionality of the proposed DDCCTA-based voltage-mode universal filter in Fig. 3(a), PSPICE simulations have been carried out using MIETEC 0.5 μm CMOS technology process parameters. The DDCCTA was performed by the CMOS structure given in Fig. 2 with supply voltages of $+V=-V=2$ V, and $V_B=-1.22$ V. The aspect ratios of CMOS transistors are given in Table 2. In all simulations, the capacitance values were chosen as: $C_1=C_2=10$ pF.

As an example, the filter is designed to obtain the frequency responses with $f_0 \cong \omega_0/2\pi=1.6$ MHz and $Q=1$. For this purpose, the active components are chosen as: $g_m \cong 101.44$ μA/V ($I_B=16.5$ μA) and $V_{C1}=V_{C2}=1.2$ V ($R_1=R_2 \cong 10$ kΩ). The simulated LP, BP and HP responses comparing with the ideal values are shown in Fig. 5. From the simulation results, it can be observed that the behavior of the designed frequency filter agrees with the theoretical presumptions very well. With the same component value setting, the ideal and simulated gain and phase responses of the BS and AP filters are also depicted in Figs.6 and 7, respectively. The simulated power consumption of the filter is equal to 3.74 mW.

In order to investigate a time-domain response of the proposed BP filter in Fig. 3(a), a 1.6 MHz sinusoidal input voltage

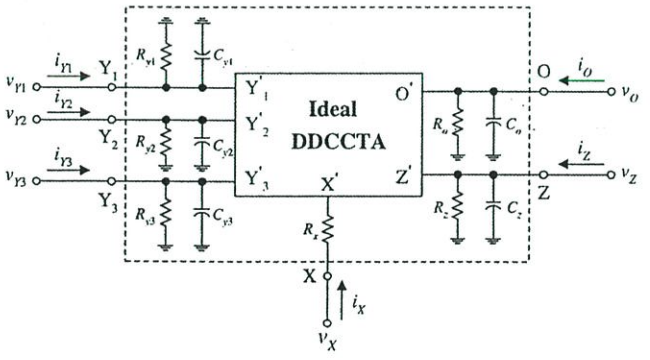


Fig. 4. Real DDCCTA with its parasitic elements.

Table 2
Transistor aspect ratios of the DDCCTA circuit shown in Fig. 2.

Transistors	W (μm)	L (μm)
M_1–M_4	1.8	0.7
M_5–M_6	5.2	0.7
M_7–M_{10}	20	0.7
M_{11}–M_{12}	58	0.7
M_{13}–M_{22}	4	1.0
MR_{1i}–MR_{2i}	0.8	0.7

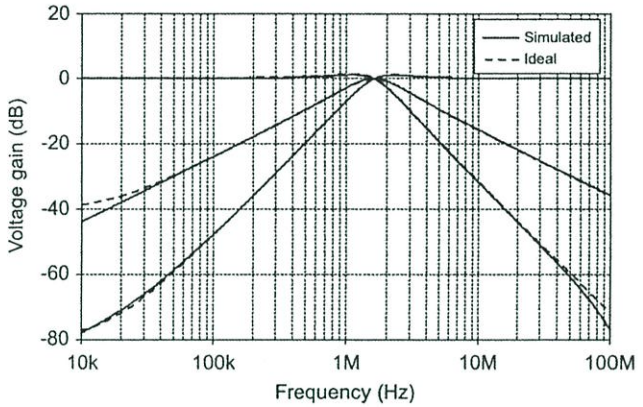


Fig. 5. Ideal and simulated frequency responses of LP, BP and HP for the proposed filter in Fig. 3(a).

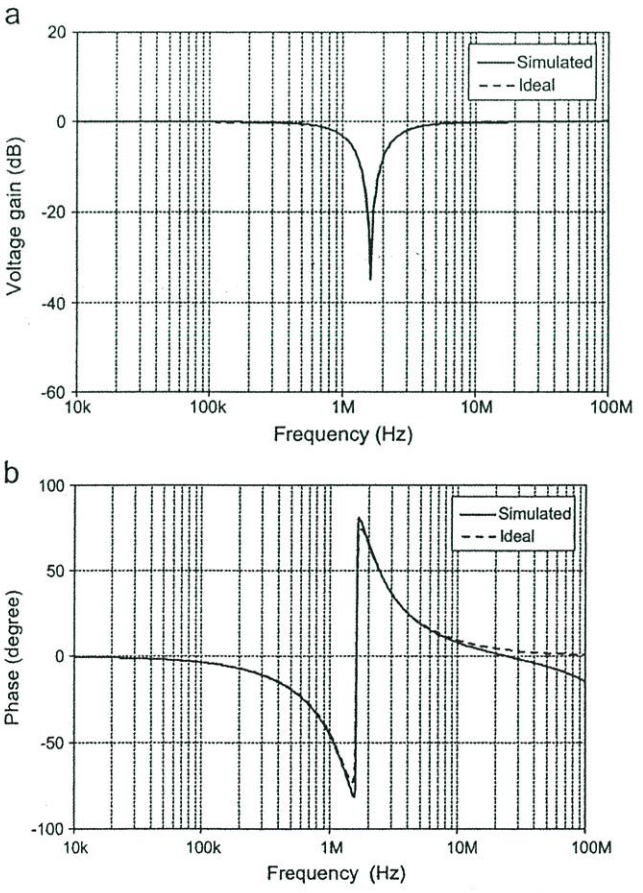


Fig. 6. Ideal and simulated frequency responses for the proposed BS filter in Fig. 3(a). (a) gain characteristic (b) phase characteristic.

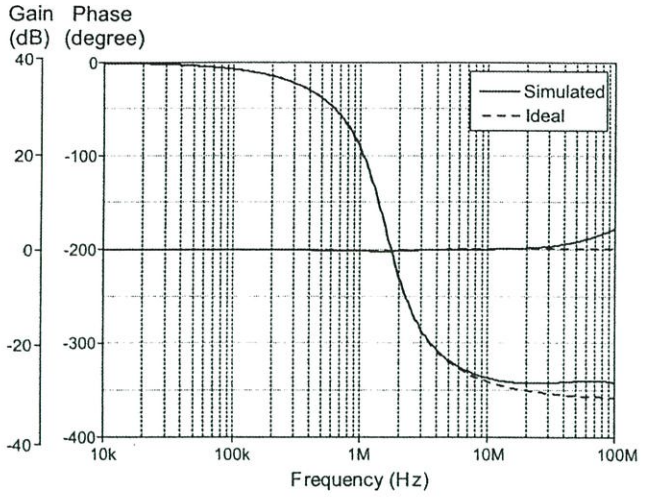


Fig. 7. Ideal and simulated frequency responses for the proposed AP filter in Fig. 3(a).

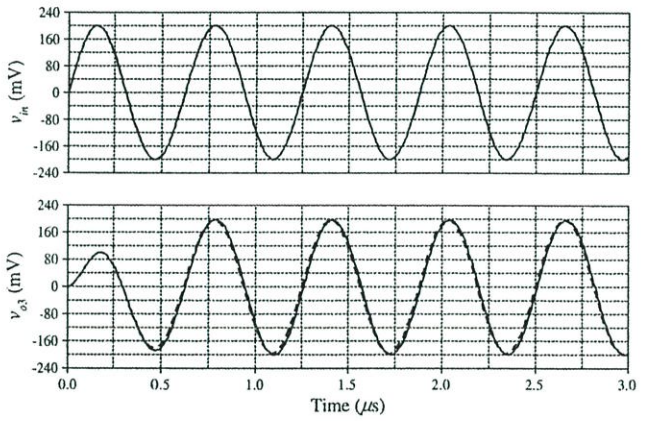


Fig. 8. Time-domain responses of the BP filter. for a 1.6-MHz sinusoidal input voltage of 200 mV (peak).

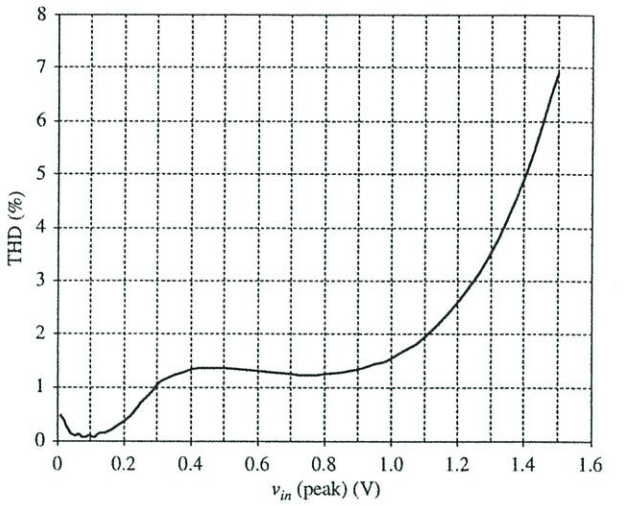


Fig. 9. THD variation of the BP filter versus amplitudes of an applied sinusoidal voltage signal at 1.6 MHz.

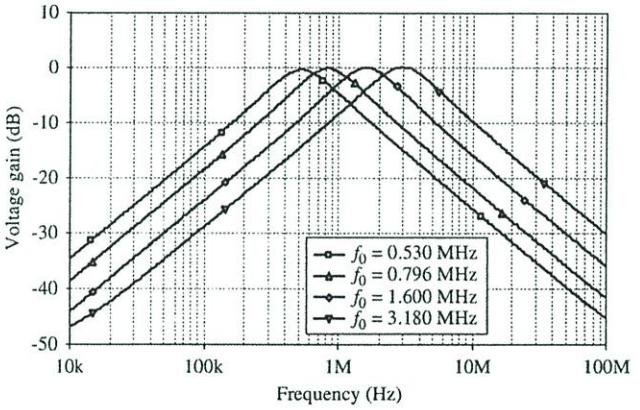


Fig. 10. Simulated BP responses when g_{m1}/R_1 is varied while keeping the product $g_{m1}R_1$ constant.

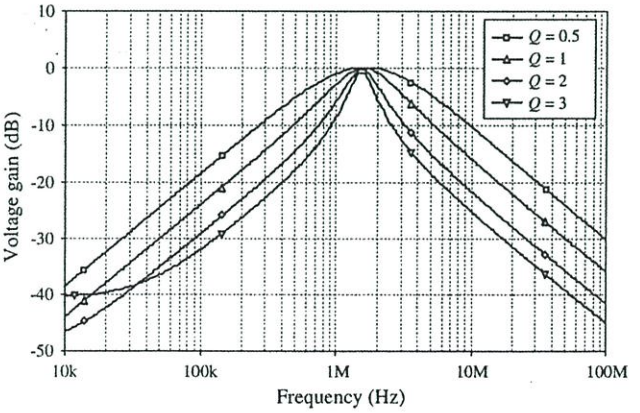


Fig. 11. Simulated BP responses when $g_{m1}R_1$ is varied while keeping the ratio g_{m1}/R_1 constant.

with 200 mV peak is applied to the filter. The results obtained are shown in Fig. 8, where the dotted and solid lines denote the ideal and simulated responses, respectively. The results show that the total harmonic distortion (THD) of about 0.4% is obtained. The variation of the THD versus the applied sinusoidal input voltage for the BP filter at $f_0=1.6$ MHz is also shown in Fig. 9. The THD values of the circuit remain below 1.5% for sinusoidal input signals up to 1 V peak.

The possibility of electronic tuning the f_0-value of the BP filter is demonstrated in Fig. 10. The characteristic frequency f_0 was found to vary as: 0.53 MHz, 0.796 MHz, 1.6 MHz and 3.18 MHz, for four different values of g_{m1}/R_1 as: (33.33 μA/V)/(30 kΩ), (50 μA/V)/(20 kΩ), (100 μA/V)/(10 kΩ), and (200 μA/V)/(5 kΩ), respectively. In all cases, the product $g_{m1}R_1$ was kept to be constant at unity for constant quality factor of $Q\cong 1$. It is obvious from the curves that, as explained previously, the f_0-value can be electronically adjusted without affecting the Q-value by the ratio g_{m1}/R_1. In Fig. 11, the option of the Q-tuning without affecting the f_0-value is shown. For designed Q-values (i.e., $Q=0.5$, 1, 2 and 3), the product $g_{m1}R_1$ was, respectively, changed to: (50 μA/V)(5 kΩ), (100 μA/V)(10 kΩ), (200 μA/V)(20 kΩ) and (300 μA/V)(30 kΩ), while keeping its ratio constant for a constant characteristic frequency of $f_0=1.6$ MHz. This shows that tuning of Q-value can be performed via different values of $g_{m1}R_1$.

To display the temperature performance of the proposed circuit, the simulated frequency responses of the BP filter at

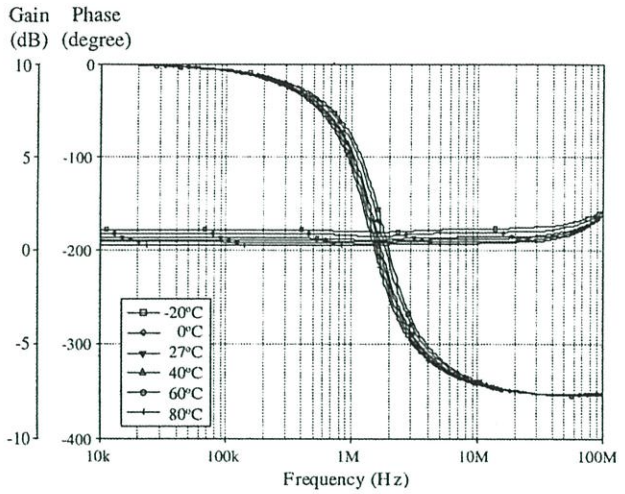


Fig. 12. Frequency responses of the AP filter at different operating temperatures.

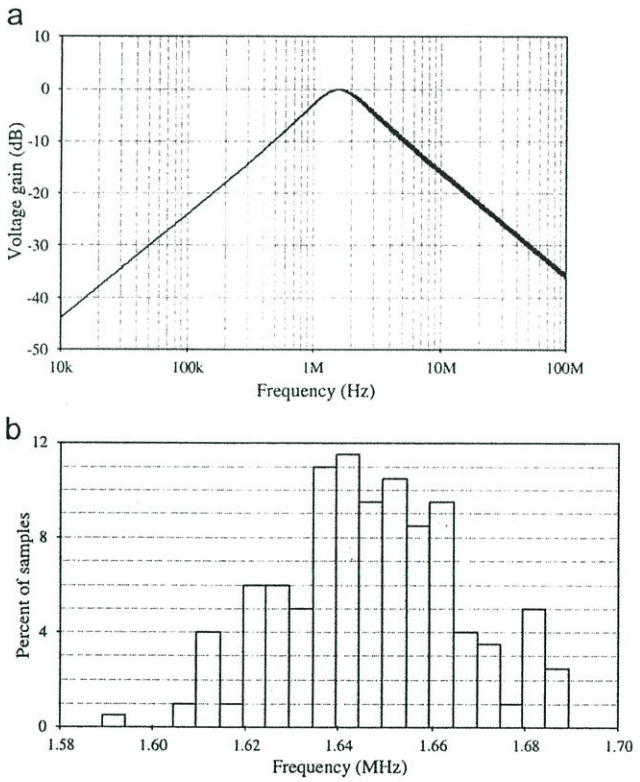


Fig. 13. Monte Carlo analysis results of the BP frequency response. (a) Simulated gain responses (b) Derived histogram of the ω_0.

different operating temperature are shown in Fig. 12. From the plots, the magnitude of the filter changes from 1.143 dB to 0.248 dB in the operating frequency range of 10 kHz to 10 MHz and the operating temperature range of −20 °C to 80 °C, while providing phase shift of 0° to −360°.

As it is well known, small random variations occur during the manufacturing of circuit devices, resulting in behavioral differences between identically designed devices. To evaluate the impact of the process and mismatch variations on the filter's frequency response, Monte-Carlo analysis is performed. In this study, the BP filter is simulated by applying the value of electronic resistor R_1 with 5% Gaussian deviation. After 200 simulation runs, the obtained simulation results are shown in Fig. 13. In Fig. 13(a), the f_0-value of the BP filter is affected in the range of −0.66% to +5.59%, which is acceptable. In Fig. 13(b), the derived histogram of the center frequency is given, which shows that the f_0-value remains close to its theoretical value of 1.6 MHz. As seen from Monte-Carlo analysis results, the proposed filter has reasonable sensitivity performances.

7. Conclusion

In this paper, a single-input five-output voltage-mode universal filter for simultaneously realizing LP, BP, HP, BS and AP responses without changing the configuration has been presented. The presented circuit uses only two DDCCTAs, two grounded resistors and two grounded capacitors, which is a canonical structure and suitable for integration. It has high-input impedance, and exhibits electronic and orthogonal controllability of ω_0 and Q. Both its active and passive sensitivities are low.

References

[1] N. Pandey, S.K. Paul, Differential difference current conveyor transconductance amplifier: a new analog building block for signal processing, J. Electr. Comput. Eng. 2011 (2011) 10. Article ID 361384.
[2] W. Chiu, S.I. Liu, H.W. Tsao, J.J. Chen, CMOS differential difference current conveyors and their applications, IEE Proc. Circuits Devices Syst. 143 (2) (1996) 91–96.
[3] A. Lahiri, W. Jaikla, M. Siripruchyanun, Voltage-mode quadrature sinusoidal oscillator with current tunable properties, Analog Integr. Circuits. Signal Process. 65 (2) (2010) 321–325.
[4] W. Tangsrirat, O. Channumsin, High-input impedance voltage-mode multifunction filter using a single DDCCTA and grounded passive elements, Radioengineering 20 (4) (2011) 905–910.
[5] N. Pandey, P. Kumar, Realization of resistorless wave active filter using differential voltage current controlled conveyor transconductance amplifier, Radioengineering 20 (4) (2011) 911–916.
[6] W. Jaikla, M. Siripruchyanun, A. Lahiri, Resistorless dual-mode quadrature sinusoidal oscillator using a single active building block, Microelectron. J. 42 (1) (2011) 135–140.
[7] J.W. Horng, C.L. Hou, C.M. Chang, W.Y. Chung, H.Y. Wei, Voltage-mode universal biquadratic filter with one input and five outputs using MOCCIIs, Comput. Electr. Eng. 31 (2005) 190–202.
[8] J.W. Horng, C.L. Hou, C.M. Chang, W.Y. Chung, Voltage-mode universal biquadratic filter with one input and five outputs, Analog Integr. Circuits. Signal Process. 47 (2006) 73–83.
[9] J.W. Horng, C.L. Hou, C.M. Chang, H.P. Chou, C.T. Lin, High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors, Circuits Syst. Signal Process. 25 (6) (2006) 767–777.
[10] H.P. Chen, S.S. Shen, A versatile universal capacitor-grounded voltage-mode filter using DVCCs, ETRI J. 29 (4) (2007) 470–476.
[11] H.P. Chen, Universal voltage-mode filter using only plus-type DDCCs, Analog Integr. Circuits Signal Process. 50 (2) (2007) 137–139.
[12] H.P. Chen, Voltage-mode FDCCII-based universal filters, Int. J. Electron. Commun. (AEU) 62 (2008) 320–323.
[13] W.Y. Chiu, J.W. Horng, S.T. Cheng, Universal filter with one input and five outputs using DDCCs, 2008 Int. Symp. Intell. Signal Process. Commun. (ISPACS2008) (2008). Bangkok, Thailand.
[14] H.P. Chen, Versatile universal voltage-mode filter employing DDCCs, Int. J. Electron. Commun. (AEU) 63 (2009) 78–82.
[15] S. Minaei, E. Yuce, All-grounded passive elements voltage-mode DVCC-based universal filter, Circuits Syst. Signal Process. 29 (2010) 295–309.
[16] W.Y. Chiu, J.W. Horng, H. Lee and C.C. Huang, "DVCC-based voltage-mode biquadratic filter with high-input impedance", 2010 Fifth IEEE Int. Symp. Electron. Des., Test & Applications, Ho Chi Minh City, Vietnum, pp.121–125, Dec. 13–15, 2010.
[17] J.W. Horng, Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs, Analog Integr. Circuits Signal Process. 62 (2010) 407–413.
[18] W.Y. Chiu, J.W. Horng, Voltage-mode biquadratic filters with one input and five outputs using DDCCs, Indian J. Eng. Mater. Sci. 18 (2011) 97–101.
[19] W.Y. Chiu, J.W. Horng and S.S. Yang, "High-input impedance voltage-mode universal biquadratic filter with one input and five outputs using DDCCs", 4th IEEE Int. Symp. Electron. Des., Test & Applications, Hong Kong, China, pp.346–350, Jan. 23–25, 2008.
[20] W.Y. Chiu, J.W. Horng, Y.S. Guo and C.Y. Tseng, "DDCCs based voltage-mode one input five outputs biquadratic filter with high input impedance", 13th Int. Symp. Integr. Circuits, Singapore, pp. 39–42, Dec. 12–14, 2011.

[21] D.R. Bhaskar, A.K. Singh, R.K. Sharma, R. Senani, New OTA-C universal current-mode/trans-admittance biquads, IEICE Electron. Express 2 (2005) 8–13.
[22] M. Bhusan, R.W. Newcomb, Grounding of capacitors in integrated circuits, Electron. Lett. 3 (1967) 148–149.
[23] W.R. White, A high bandwidth constant g_m and slew-rate rail-to-rail CMOS input circuit and its application to analog cells for low voltage VLSI systems, IEEE J. Solid-State Circuits 32 (5) (1997) 701–712.
[24] J.F. Duque-Carrillo, J.M. Carillo, J.L. Ausin, E. Sanchez-Sinencio, Robust and universal constant-g_m circuit technique, Electron. Lett. 38 (9) (2002) 396–397.
[25] T. Song, J. Hu, X. Li, E. Sanchez-Sinencio, S. Yan, A robust and scalable constant-g_m rail-to-rail CMOS input stage with dynamic feedback for VLSI cell libraries, IEEE Trans. Circuits Syst. Regul. Pap. 55 (3) (2008) 804–816.
[26] Z. Wang, 2-MOSFET transistor with extremely low distortion for output reaching supply voltages, Electron. Lett. 26 (1990) 951–952.
[27] A. Fabre, O. Saaid, H. Barthelemy, On the frequency limitations of the circuits based on second generation current conveyors, Analog Integr. Circuits Signal Process. 7 (1995) 113–129.

Microelectronics Journal 44 (2013) 210–215

Contents lists available at SciVerse ScienceDirect

Microelectronics Journal

journal homepage: www.elsevier.com/locate/mejo

Resistorless realization of electronically tunable voltage-mode SIFO-type universal filter

Worapong Tangsrirat*, Orapin Channumsin, Tattaya Pukkalanun

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang(KMITL), Chalongkrung road, Ladkrabang, Bangkok 10520, Thailand

ARTICLE INFO

Article history:
Received 17 September 2012
Received in revised form
22 December 2012
Accepted 3 January 2013
Available online 30 January 2013

Keywords:
Differential difference current conveyor transconductance amplifier (DDCCTA)
Voltage-mode circuit
Universal filter
Resistorless realization

ABSTRACT

In this work, an electronically tunable universal voltage-mode biquadratic filter with single input and five outputs is introduced. The proposed filter structure only employs three differential difference current conveyor transconductance amplifiers (DDCCTAs) and two grounded capacitors without needing any external passive resistor. All the five standard biquadratic filter functions; lowpass, bandpass, highpass, bandstop and allpass, can be realized simultaneously without imposing component choice and changing circuit configuration. In addition, the circuit also features the high-input impedance terminal, and provides an orthogonal electronic control of its natural angular frequency (ω_0) and quality factor (Q) by adjusting only bias currents of the DDCCTAs for the fixed values of capacitors.

© 2013 Elsevier Ltd. All rights reserved.

1. Introduction

In 2011, the recently new active element called the differential difference current conveyor transconductance amplifier (DDCCTA) was introduced to provide the possibility of inbuilt electronic tuning of the parameters of the analog function circuits to be implemented [1]. The DDCCTA device is conceptually a combination of the differential difference current conveyor (DDCC) and a transconductance amplifier in monolithic form. It also has all the good properties of the DDCC, such as high-input impedance, employs fewer active of passive components and easy implementation of differential and floating input circuits. Accordingly, many applications of DDCCTA-based circuits were developed [1–5] and especially biquadratic filters using DDCCTAs as active elements were proposed [1,4,5]. However, they need some external passive resistors for their realizations.

In recent years, a variety of voltage-mode single-input five-output (SIFO) biquadratic filters has been developed in the literature [5–19]. This is due to the well-known fact that an ability of generating all of the LP, BP, HP, BS and AP biquadratic filter functions simultaneously without changing the circuit configuration. However, most of them contain some external passive resistors [6, 8–19], and non-electronic controllability is the drawback of these circuits [6], [8–14], [16–19]. Moreover, the works in [5–12], [14–19] also require component matching conditions for realizing AP or all filter responses.

As recently introduced in [20], the unified biquad filter is a kind of versatile active filter biquad structures that exhibits the following five performance parameters simultaneously and without trade-offs: (i) universal biquadratic filtering, namely lowpass (LP), bandpass (BP), highpass (HP), bandstop (BS) and allpass (AP); (ii) minimum components count, i.e., three active elements and two grounded capacitors; (iii) independent ω_0 and ω_0/Q tunability; (iv) no need to impose component choice conditions to realize specific filtering functions; and (v) no need to employ additional active elements to provide filter current outputs explicitly. Examination of the previously reported active biquad filter structures in [5–19] shows that no unified filter biquads have yet been reported. In addition, the resistorless and electronically controlled realization of the universal biquadraric filter is receiving increased attention during the past few years. This is mainly attributed to their simplicity, integratability and programmability. Also, a circuit employing only grounded capacitors and requiring no critical component matching conditions and/or cancellation constraints is important from fully integrated circuit design point of view.

The main contribution of this paper is to present the resistorless realization of an electronically tunable SIFO-type voltage-mode universal biquadraric filter. The proposed structure contains three DDCCTAs and two grounded capacitors without needing external passive resistors. The circuit also exhibits the following five performance parameters simultaneously and without trade-offs: (i) universal biquadraric filtering (LP, BP, HP, BS

* Corresponding author. Tel.: +66 89 666 8436; fax: +66 2 326 4205.
E-mail addresses: drworapong@yahoo.com, ktworapo@kmitl.ac.th (W. Tangsrirat).

0026-2692/$ - see front matter © 2013 Elsevier Ltd. All rights reserved.
http://dx.doi.org/10.1016/j.mejo.2013.01.003

Table 1
Comparison of the proposed filter with available SIFO-type of voltage-mode biquadratic filters [5–19].

Filters	No. of active components	No. of passive components	Properties				
			(i)	(ii)	(iii)	(iv)	(v)
[5]	DDCCTA=2	C=2	Yes	Yes	Yes	Yes	No
[6]	CFA=5	R=5, C=2	Yes	No	No	Yes	No
[7]	OTA=5	C=2	Yes	Yes	Yes	Yes	No
[8]	CCII=3/4	R=6/7, C=2/2	Yes	No	No	No	No
[9]	CCII=4/4/3/2	R=5, C=2	Yes	No	No	No	No
[10]	DVCC=3	R=4, C=2	Yes	No	No	Yes	No
[11]	DVCC=2	R=4, C=2	No	No	No	No	No
[12]	DDCC=2	R=3, C=2	Yes	No	No	No	No
[13]	FDCCII=2	R=2, C=2	Yes	No	No	Yes	Yes
[14]	DDCC=2	R=3, C=2	Yes	No	No	No	No
[15]	FTFN=2, OTA=2	R=4, C=2	Yes	No	Yes	Yes	No
[16]	FDCCII=1	R=3, C=2	Yes	No	No	No	No
[17]	DVCC=3	R=3, C=2	Yes	No	No	Yes	No
[18]	DVCC=2	R=3, C=2	Yes	No	No	No	No
[19]	DDCC=2	R=3, C=2	Yes	No	No	No	No
Proposed	DDCCTA=3	C=2	Yes	Yes	Yes	Yes	Yes

and AP) without changing the circuit topology; (ii) resistorless structure; (iii) independent electronic-tuning characteristic of natural angular frequency (ω_0) and quality factor (Q); (iv) high-input impedance; (v) no need to impose component matching conditions and/or cancellation constraints to realize all five generic filtering functions. A summary of the performance parameters of the proposed filter and previously reported ones [5–19] is given in Table 1. As can be seen, the proposed filter satisfies all of the above important five properties simultaneously. Therefore, such filter described in this paper can be classified as a unified active biquad filter.

2. Circuit description

The DDCCTA is a versatile analog active building block as shown in Fig. 1, whose port relations can be characterized by the following matrix expression [1]:

$$\begin{bmatrix} i_{Y1} \\ i_{Y2} \\ i_{Y3} \\ v_X \\ i_Z \\ i_O \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & g_m & 0 \end{bmatrix} \cdot \begin{bmatrix} v_{Y1} \\ v_{Y2} \\ v_{Y3} \\ i_X \\ v_Z \\ v_O \end{bmatrix} \tag{1}$$

where g_m is the transconductance parameter of the DDCCTA.

The proposed scheme for realizing an electronically tunable voltage-mode SIFO-type universal filter is shown in Fig. 2. One can observe that it employs only three DDCCTAs and two grounded capacitors without requiring any external passive resistor. The realized circuit having high-input impedance and using only grounded capacitors is cascadable and convenient for integration. By the inspection the configuration of Fig. 2 using Eq. (1), the voltage transfer functions can be derived as:

$$LP = \frac{V_{LP}(s)}{V_{in}(s)} = \frac{g_{m1}g_{m2}}{D(s)} \tag{2}$$

$$BP = \frac{V_{BP}(s)}{V_{in}(s)} = -\frac{sC_2g_{m2}}{D(s)} \tag{3}$$

$$HP = \frac{V_{HP}(s)}{V_{in}(s)} = \frac{s^2C_1C_2}{D(s)} \tag{4}$$

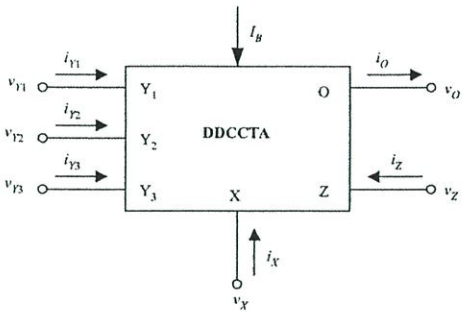


Fig. 1. Circuit symbol of the DDCCTA.

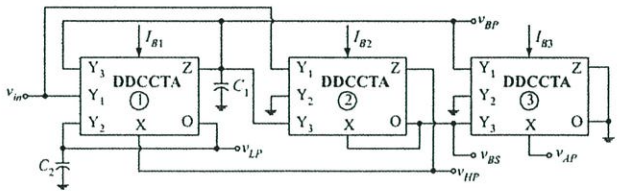


Fig. 2. Proposed filter realization with DDCCTAs and grounded capacitors.

$$BS = \frac{V_{BS}(s)}{V_{in}(s)} = \frac{s^2C_1C_2 + g_{m1}g_{m2}}{D(s)} \tag{5}$$

$$AP = \frac{V_{AP}(s)}{V_{in}(s)} = \left[\frac{s^2C_1C_2 - sC_2g_{m2} + g_{m1}g_{m2}}{D(s)}\right] \tag{6}$$

where the denominator $D(s)$ is found to be

$$D(s) = s^2C_1C_2 + sC_2g_{m2} + g_{m1}g_{m2}. \tag{7}$$

From above expressions, all the five standard biquadratic functions are synthesis simultaneously from the proposed circuit. It should be noted that no additional active/passive elements or matching conditions are required for all filter response realizations.

In all cases, the important filter parameters, i.e., natural angular frequency (ω_0) and quality factor (Q), are, respectively found as:

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \tag{8}$$

and

$$Q = \sqrt{\frac{g_{m1}C_1}{g_{m2}C_2}} \tag{9}$$

Above expressions clearly indicate that the parameters ω_0 and Q are electronically adjustable by g_m-value. In addition, for the fixed-valued capacitors, the ω_0 can be adjusted without affecting Q by tuning g_{m1} and g_{m2} simultaneously, while keeping the ratio of g_{m1}/g_{m2} constant. On the other hand, the Q can be tuned arbitrarily without disturbing ω_0 by increasing g_{m1} and decreasing g_{m2} (or decreasing g_{m1} and increasing g_{m2}) simultaneously, while keeping $g_{m1}g_{m2}$ constant.

A circuit similar to the proposed filter can be derived from the most recent work by Channumsin et al. [5], which employs only two DDCCTAs and four passive grounded components. However, it still suffers from the use of two external passive resistors. Although the two resistors in the filter may be realized as MOS-based electronic resistors, the additional control voltages (V_{Ci} and $-V_{Ci}$) are needed. Again the most recent work mentioned above also requires matching constrain ($g_{m1}=1/R_2$) to realize AP filter

response. In contrast, the new proposed filter in Fig. 2 enjoys the added advantages of no matching constrain and resistor-free structure at the cost of using three DDCCTAs.

3. Non-ideal analysis

3.1. Sensitivity performance

Principally, considering the non-ideal gains on the terminals of the DDCCTA, the defining relation in Eq. (1) can be rewritten as:

$$\begin{bmatrix} i_{Y1} \\ i_{Y2} \\ i_{Y3} \\ v_X \\ i_Z \\ i_O \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ \beta_1 & -\beta_2 & \beta_3 & 0 & 0 & 0 \\ 0 & 0 & 0 & \alpha & 0 & 0 \\ 0 & 0 & 0 & 0 & g_m & 0 \end{bmatrix} \times \begin{bmatrix} v_{Y1} \\ v_{Y2} \\ v_{Y3} \\ i_X \\ v_Z \\ v_O \end{bmatrix} \tag{10}$$

In above equation, $\beta_k = 1 - \varepsilon_{vk}$ for $k = 1, 2, 3$ and $\alpha = 1 - \varepsilon_i$, where ε_{vk} ($|\varepsilon_{vk}| \ll 1$) and ε_i ($|\varepsilon_i| \ll 1$) represent the voltage and current tracking errors of the DDCCTA, respectively. Taking into account these non-ideal gains on the proposed circuit in Fig. 2, the modified filter parameters for this case become:

$$\omega_0 = \sqrt{\frac{\beta_{21}\alpha_1\alpha_2 g_{m1} g_{m2}}{C_1 C_2}} \tag{11}$$

$$Q = \frac{1}{\beta_{31}}\sqrt{\frac{\beta_{21} g_{m1} C_1}{\alpha_1\alpha_2 g_{m2} C_2}} \tag{12}$$

where β_{ki} and α_i are the parameters β_k and α of the ith DDCCTA ($i = 1, 2, 3$), respectively. It is important to note that the active and passive sensitivities of ω_0 and Q in Eqs. (11) and (12) are calculated as:

$$S^{\omega_0}_{g_{m1}, g_{m2}} = S^{\omega_0}_{\beta_{21}, \alpha_1, \alpha_2} = -S^{\omega_0}_{C_1, C_2} = \frac{1}{2} \tag{13}$$

$$S^{Q}_{g_{m1}} = S^{Q}_{\beta_{21}} = S^{Q}_{C_1} = \frac{1}{2} \tag{14}$$

$$S^{Q}_{g_{m2}} = S^{Q}_{\alpha_1, \alpha_2} = S^{Q}_{C_2} = -\frac{1}{2} \tag{15}$$

and

$$S^{Q}_{\beta_{31}} = -1. \tag{16}$$

All of which are found to be within unity in magnitude.

3.2. Effect of parasitic elements

In this sub-section, the effects of DDCCTA parasitic elements on the filter performance are carried out. Fig. 3 shows the non-ideal DDCCTA model including its parasitic elements [4,5]. It is shown that the practical DDCCTA has a low-value parasitic serial resistance at port X (R_x), and high input impedances at ports Y_1, Y_2 and Y_3 ($R_{y1}//C_{y1}$, $R_{y2}//C_{y2}$ and $R_{y3}//C_{y3}$). Also, the output ports Z and O exhibit high output impedances $R_z//C_z$ and $R_o//C_o$, respectively. Considering the proposed circuit in Fig. 2, there are external capacitors C_1 and C_2 parallel connecting with the terminals Y_2 and Y_3 of the DDCCTA1, respectively. As a result, the effects of the parasitic capacitances C_{y2}, C_{y3}, C_z and C_o are negligible because these capacitors are quite small as compared with the external capacitors ($C_1 \gg 3C_{y3} + C_z$ and $C_2 \gg C_{y2} + C_o$). Hence, to minimize the effects of DDCCTA parasitic impedance, the values of the external capacitor used should be restricted to

$$\frac{1}{sC_1} < < \left(R_Z // \frac{R_{y3}}{3}\right), \tag{17}$$

and

$$\frac{1}{sC_2} < < (R_{y2} // R_o) \tag{18}$$

4. Simulation results

In this section, PSPICE simulation were carried out to confirm the performance of the proposed DDCCTA-based universal filter in Fig. 2. In these simulations, the DDCCTA was realized by the CMOS structure given in Fig. 4 using MIETEC 0.5 μm CMOS technology process parameters. Its internal structure has the DDCC [21] as an input stage and is followed by a transconductance amplifier [22]. In this case, the transconductance gain (g_m) of the DDCCTA that is electronically adjustable by external bias current I_B can be given by:

$$g_m = \sqrt{KI_B} \tag{19}$$

where $K = \mu C_{ox} W/L$, I_B is an external DC bias current, μ is the effective channel mobility, C_{ox} is the gate-oxide capacitance per unit area, W and L are channel width and length of the MOS transistor, respectively. The supply voltages were chosen as: $+V = -V = 2$ V, and $V_B = -1.22$ V. The aspect ratios of CMOS transistors are given in Table 2. The capacitance values in all simulations were chosen as: $C_1 = C_2 = 10$ pF.

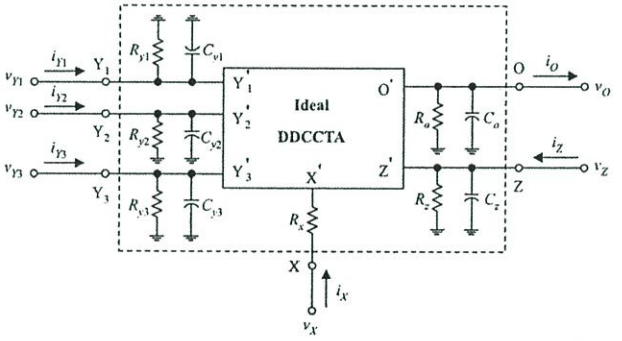


Fig. 3. Real DDCCTA including its parasitic elements.

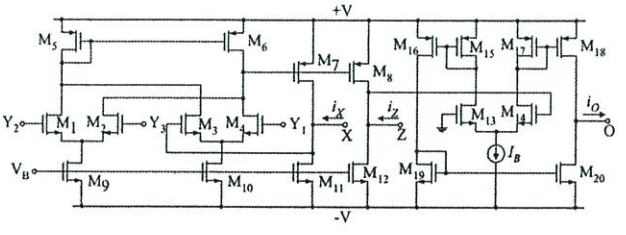


Fig. 4. Internal structure of the DDCCTA using MOS transistors.

Table 2
Transistor aspect ratios of the DDCCTA circuit given in Fig. 4.

Transistors	W (μm)	L (μm)
M_1–M_4	1.8	0.7
M_5–M_8	20	0.7
M_9–M_{10}	5.2	0.7
M_{11}–M_{12}	58	1.0
M_{13}–M_{20}	4	0.7

Fig. 5 shows the frequency-dependent input impedance of the proposed circuit in Fig. 2. The plot appears that the circuit has high-input impedance, which makes it suitable for cascading.

To design the biquadratic filter of Fig. 2 with $f_0 \cong \omega_0/2\pi = 1.6$ MHz and $Q=1$, the following circuit parameters are chosen as: $g_{m1}=g_{m2}=g_{m3} \cong 100\ \mu A/V$ ($I_{B1}=I_{B2}=I_{B3} \cong 16\ \mu A$). Fig. 6 shows the simulated and ideal responses of the LP, BP and HP filters. As shown in Fig. 2, the HP filter response is realized by the interconnection of the relevant output voltages as $v_{HP}=v_{in}-v_{LP}+v_{BP}$, where the voltages v_{BP} and v_{LP} are obtained from the voltages across C_1 and C_2, respectively. These capacitors together with parasitic resistances at their relevant terminals will produce a parasitic pole at low frequency. This can explain why the HP filter response in Fig. 6 has non-ideal response at low frequencies. However, this effect should not be seen a drawback as we normally use this type of the filter at high frequencies. Figs. 7 and 8 also show the simulated and ideal gain and phase responses of the BS and AP filters, respectively. As shown, the simulation results are in excellent agreement with the theoretical ones.

To demonstrate the electronic tunability of the proposed circuit, the simulated gain characteristics together with the ideal gain characteristics for three BP cases are plotted in Fig. 9. In these plots, the transconductance values g_m ($=g_{m1}=g_{m2}$) are, respectively varied from 50 μA/V, 100 μA/V, 200 μA/V to 333 μA/V, for the required characteristic frequencies $f_0=0.79$ MHz, 1.60 MHz, 3.18 MHz and 5.30 MHz at $Q \cong 1$. It is obvious from the curves that, as explained previously, the f_0-value can be

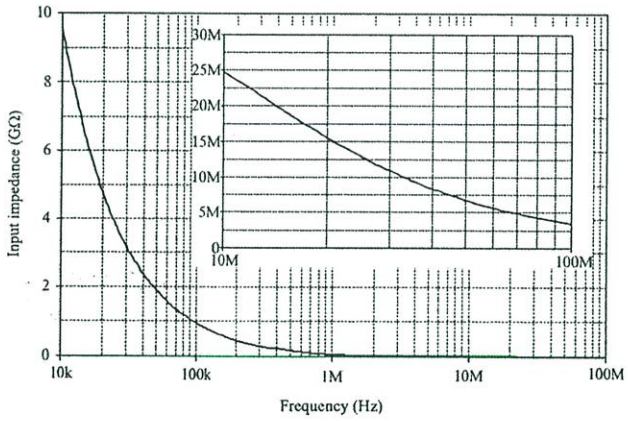


Fig. 5. Frequency response of input impedance for the proposed filter in Fig. 2.

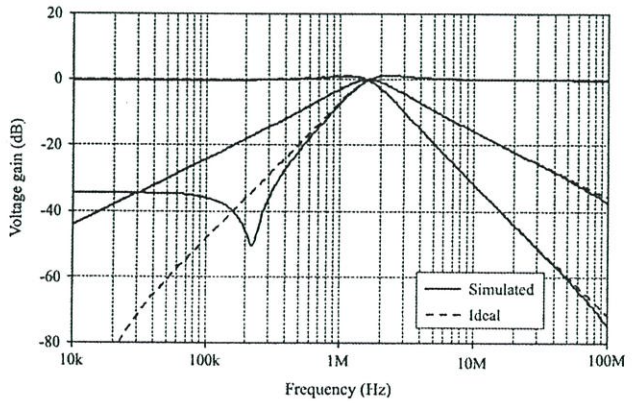


Fig. 6. Frequency charactersitics of LP, BP and HP responses for the proposed filter in Fig. 2.

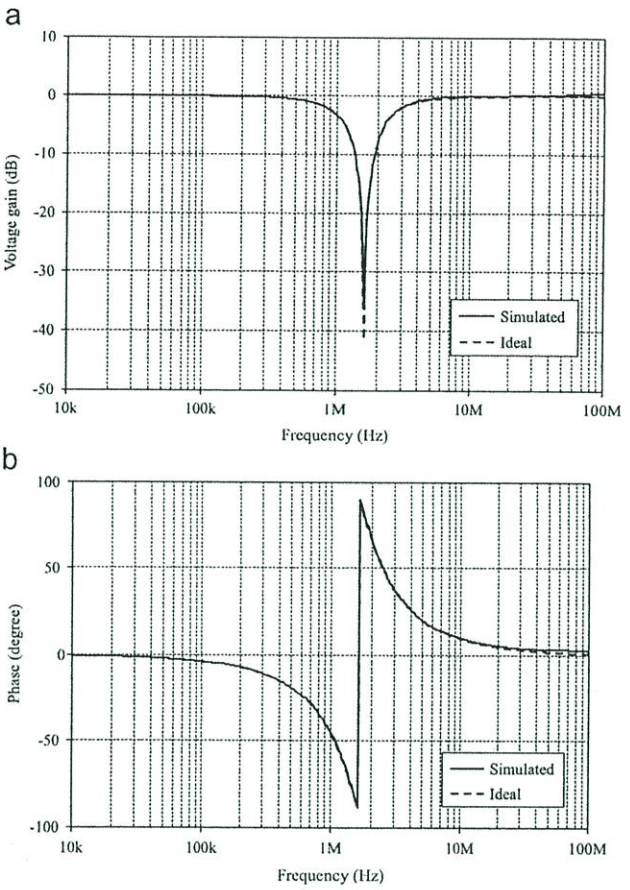


Fig. 7. Simulated and ideal frequency responses of the proposed BS filter in Fig. 2. (a) gain response (b) phase response.

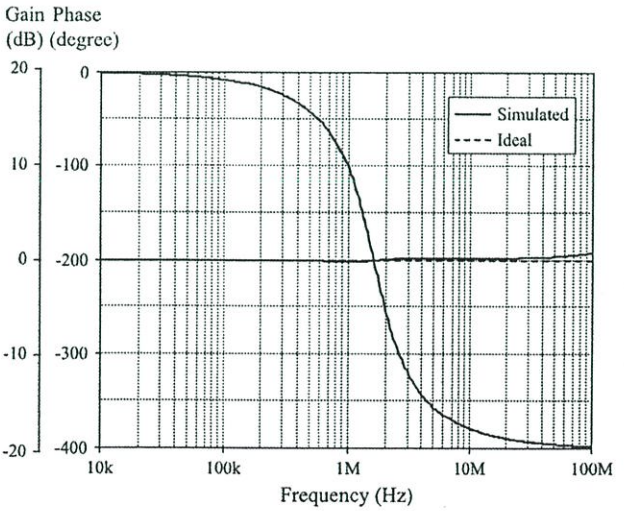


Fig. 8. Simulated and ideal frequency responses of the proposed AP filter in Fig. 2.

electronically adjusted without affecting the Q-value by changing the product $g_{m1}g_{m2}$ and keeping the ratio g_{m1}/g_{m2} constant simultaneously.

Fig. 10 shows the tunability of the Q of the BP responses by changing g_{m1}/g_{m2}. As an example to realize a constant characteristic frequency of $f_0=1.6$ MHz, the transconductance ratio g_{m1}/g_{m2} is approximately selected as: (50 μA/V)/(200 μA/V), (100 μA/V)/(100 μA/V), (200 μA/V)/(50 μA/V) and (300 μA/V)/(33 μA/V),

which result in Q=0.5, 1, 2 and 3, respectively. The results demonstrate that tuning of Q-value without affecting the f_0-value can be performed via different values of g_{m1}/g_{m2}.

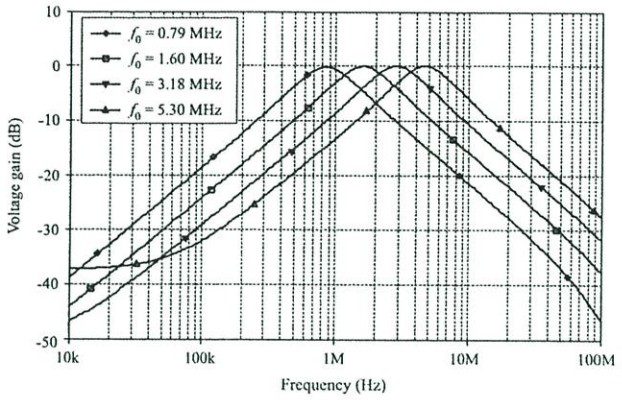


Fig. 9. Simulated BP responses with different f_0 by tuning g_m ($=g_{m1}=g_{m2}$).

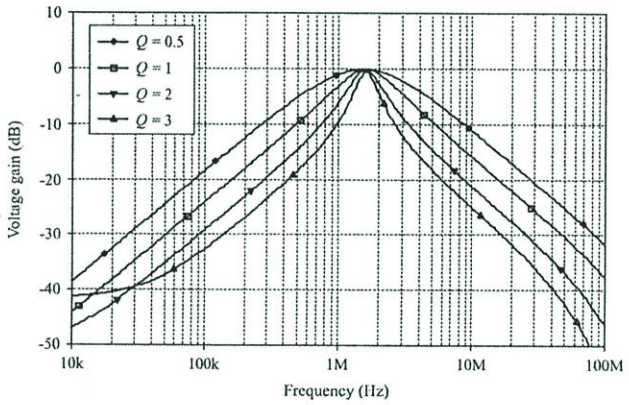


Fig. 10. Simulated BP responses with different Q by tuning g_{m1}/g_{m2} and keeping $g_{m1}g_{m2}$ constant.

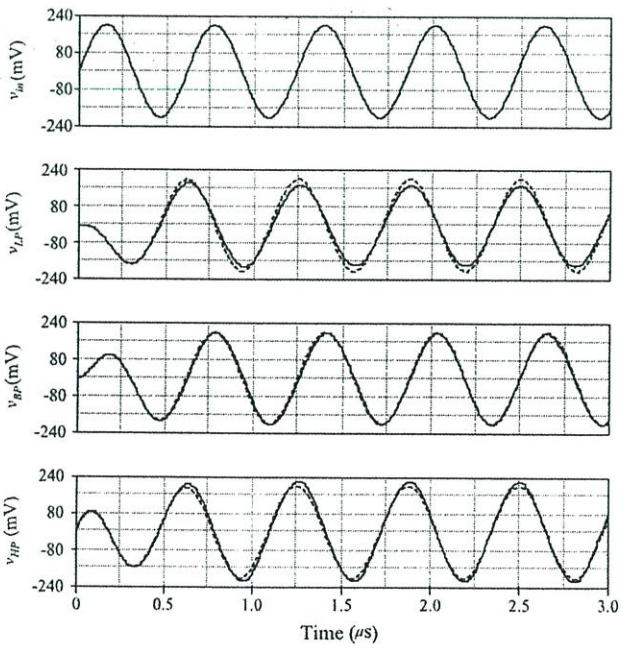


Fig. 11. Time-domain responses of the LP, BP and HP filters for a 1.6-MHz sinusoidal input voltage of 200 mV (peak).

Time domain simulation results for the LP, BP and HP responses of the proposed filter in Fig. 2 are shown in Fig. 11, in which a 1.6-MHz sinusoidal input voltage signal with 200 mV peak value is applied to the filter. In addition, large signal behavior of the proposed filter in Fig. 2 is also investigated by observing the dependence of the total harmonic distortion (THD) at BP output upon the input signal level. Fig. 12 illustrates the THD variation result, which indicates that the THD value remains

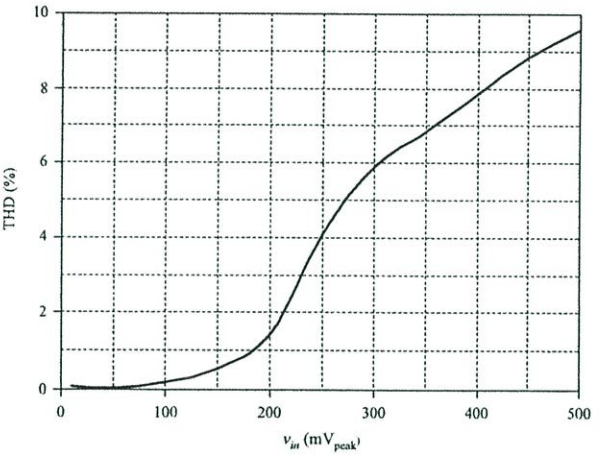


Fig. 12. THD variation of the BP filter versus input voltage at 1.6 MHz.

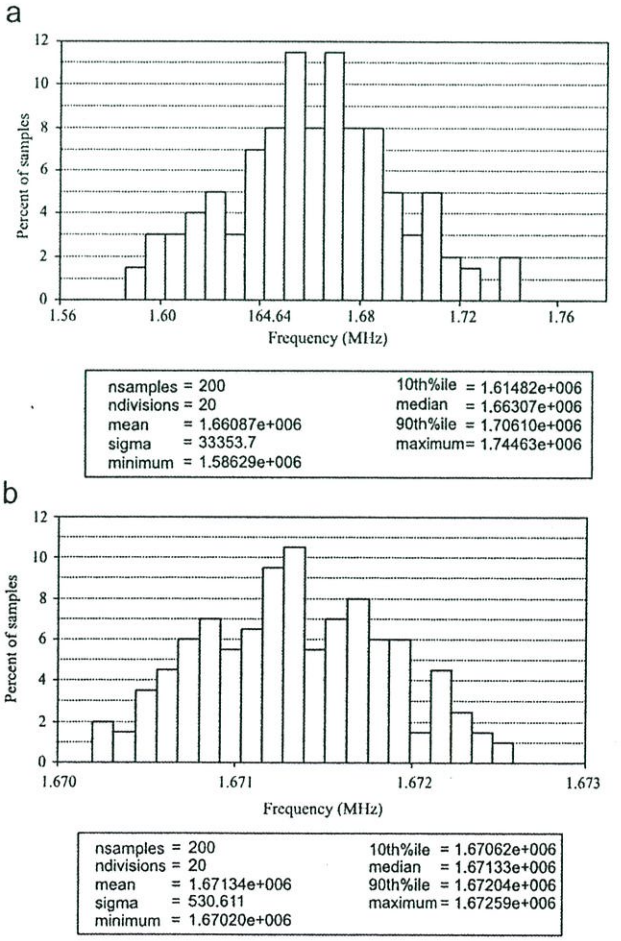


Fig. 13. Monte Carlo analysis results with (a) ±5% deviation on the capacitor values (b) ±5% deviation on the g_m-values.

reasonable levels (THD < 2%) if the peak input voltage level is lower than 200 mV.

The impact of the process and mismatch variations on the filter's frequency response has been evaluated by utilizing the well-known Monte-Carlo statistical analysis. The derived statistical plots of the proposed BP filter for 200 simulation runs are given in Fig. 13. Fig. 13(a) shows a histogram of ω_0 variation with $\pm 5\%$ deviation in the values of capacitors, and has a standard deviation of 33.35 kHz. In Fig. 13(b), a histogram of ω_0 variation with $\pm 5\%$ deviation in the values of transconductance gains is shown, and a standard deviation of approximately 530 Hz was obtained.

5. Conclusion

A circuit configuration for the realization of a single-input five-output voltage-mode universal biquadratic filter is presented in this paper. The proposed circuit uses only three DDCCTAs and two grounded capacitors, which results in a resistorless structure and simplifies integration. It also provides the following features: realizing of all the standard type biquadratic filter functions simultaneously without changing its topology, no component matching conditions, electronic controllability of its importance parameters, high-input impedance terminal, and low sensitivity performance.

Acknowledgements

The research described in this work is supported by Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL). The authors are very thankful to the anonymous reviewers for their useful comments and suggestions during preparation of the manuscript.

References

[1] N. Pandey, S.K. Paul, Differential difference current conveyor transconductance amplifier: a new analog building block for signal processing, J. Electr. Comput. Eng. 2011 (2011) 10, Article ID 361384.
[2] A. Lahiri, W. Jaikla, M. Siripruchyanun, Voltage-mode quadrature sinusoidal oscillator with current tunable properties, Analog Integr. Circ. Sign. Proces. 65 (2) (2010) 321–325.
[3] W. Jaikla, M. Siripruchyanun, A. Lahiri, Resistorless dual-mode quadrature sinusoidal oscillator using a single active building block, Microelectron. J. 42 (1) (2011) 135–140.
[4] W. Tangsrirat, O. Channumsin, High-input impedance voltage-mode multifunction filter using a single DDCCTA and grounded passive elements, Radioengineering 20 (4) (2011) 905–910.
[5] O. Channumsin, T. Pukkalanun, W. Tangsrirat, Voltage-mode universal filter with one input and five outputs using DDCCTAs and all-grounded passive components, Microelectron. J. 43 (8) (2012) 555–561.
[6] M.T. Abuelma'Atti, H.A. Al-Zaher, New universal filter with one input and five outputs using current-feedback amplifiers, Analog Integr. Circ. Sign. Proces. 16 (1998) 239–244.
[7] J.W. Horng, Voltage-mode universal biquadratic filter with one input and five outputs using OTAs, Int. J. Electron. 89 (9) (2002) 729–737.
[8] J.W. Horng, C.L. Hou, C.M. Chang, W.Y. Chung, H.Y. Wei, Voltage-mode universal biquadratic filter with one input and five outputs using MOCCIIs, Comput. Electr. Eng. 31 (2005) 190–202.
[9] J.W. Horng, C.L. Hou, C.M. Chang, W.Y. Chung, Voltage-mode universal biquadratic filter with one input and five outputs, Analog Integr. Circ. Sign. Proces. 47 (2006) 73–83.
[10] J.W. Horng, C.L. Hou, C.M. Chang, H.P. Chou, C.T. Lin, High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors, Circ. Syst. Sign. Proces. 25 (6) (2006) 767–777.
[11] H.P. Chen, S.S. Shen, A versatile universal capacitor-grounded voltage-mode filter using DVCCs, ETRI J. 29 (4) (2007) 470–476.
[12] H.P. Chen, Universal voltage-mode filter using only plus-type DDCCs, Analog Integr. Circ. Sign. Proces. 50 (2) (2007) 137–139.
[13] H.P. Chen, Voltage-mode FDCCII-based universal filters, Int. J. Electron. Commun. (AEU) 62 (2008) 320–323.
[14] H.P. Chen, Versatile universal voltage-mode filter employing DDCCs, Int. J. Electron. Commun. (AEU) 63 (1) (2009) 78–82.
[15] K. Kumar, K. Pal, Voltage-mode universal biquadratic filter using FTFN and OTA, J. Electr. Electron. Eng. 9 (2) (2009) 1083–1087.
[16] C.N. Lee, C.M. Chang, Single FDCCII-based mived-mode biquad filter with eight outputs, Int. J. Electron. Commun. (AEU) 63 (2009) 736–742.
[17] S. Minaei, E. Yuce, All-grounded passive elements voltage-mode DVCC-based universal filter, Circ. Syst. Sign. Proces. 29 (2010) 295–309.
[18] J.W. Horng, Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs, Analog Integr. Circ. Sign. Proces. 62 (2010) 407–413.
[19] W.Y. Chiu, J.W. Horng, Voltage-mode biquadratic filters with one input and five outputs using DDCCs, Indian J. Eng. Mater. Sci. 18 (2011) 97–101.
[20] C.M. Chang, B.M. Al-Hashimi, J.N. Rose, Unified active filter biquad structures, IEE Proc. Circ. Devices Syst. 151 (4) (2004) 273–277.
[21] W. Chiu, S.I. Liu, H.W. Tsao, J.J. Chen, CMOS differential difference current conveyors and their applications, IEE Proc. Circ. Devices Syst. 143 (2) (1996) 91–96.
[22] K. Kaewdang, W. Surakampontorn, On the realization of electronically current-tunable CMOS OTA, Int. J. Electron. Commun. (AEU) 61 (2007) 300–306.