วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบไพพ์ไลน์กำลังฐานเสียต่ำ โดยใช้วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียม

LOW-POWER PIPELINED ADC USING CLASS-AB PSEUDO-DIFFERENTIAL OTA

วิลาสินี เฉลิมลาภ

WILASINEE CHALOENLARP

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2268-1

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์กำลังสูญเสียต่ำ โดยใช้วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียม

LOW-POWER PIPELINED ADC USING CLASS-AB PSEUDO-DIFFERENTIAL OTA

วิลาสินี เจริญลาภ

WILASINEE CHALOENLARP

เลขหมู่.....
เลขทะเบียน 63279
วัน,เดือน,ปี 25 ส.ค. 2549

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2549

ISBN 974-15-2268-1

LOW-POWER PIPELINED ADC USING CLASS-AB PSEUDO-DIFFERENTIAL OTA

WILASINEE CHALOENLARP

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF ENGINEERING IN ELECTRONICS ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2006

ISBN 974-15-2268-1

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์กำลังสูญเสียต่ำ โดยใช้วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียม LOW-POWER PIPELINED ADC USING CLASS-AB PSEUDO-DIFFERENTIAL OTA

นักศึกษา นางสาววิลาสินี เจริญลาภ

รหัสประจำตัว 44611308

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.อภินันท์ ธนชยานนท์

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ดร.กสิน	วิเชียรชม	
ศ.ดร.วัลลภ	สุระกำพลธร	
รศ.จิรวัฒน์	ปานกลาง	
ผศ.พลผดุง	ผดุงกุล	
รศ.ดร.อภินันท์	ธนชยานนท์	

วัน / เดือน/ ปี ที่สอบ 3 มีนาคม 2549 เวลา 13.30-15.30 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-403)

บัณฑิตวิทยาลัยรับรองแล้ว

(ผศ.ดร.จารุวัตร เจริญสุข)

คณบดีบัณฑิตวิทยาลัย

วันที่ ๑ **เดือน** มีนาคม **พ.ศ.** ๒๕๔๙

หัวข้อวิทยานิพนธ์	วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์กำลังสูญเสียต่ำโดยใช้วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียม
นักศึกษา	นางสาววิลาสินี เจริญลาภ
รหัสนักศึกษา	44611308
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.อภินันท์ ธนชยานนท์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ นำเสนอเกี่ยวกับการออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ที่มีกำลังงานสูญเสียต่ำ โดยใช้วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียมเพื่อลดกำลังงานสูญเสียที่เกิดจากวงจรขยาย วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียมใช้การป้อนกลับแบบบวกในการเพิ่มค่าทรานส์คอนดักแตนซ์ ทำให้ได้อัตราขยายแรงดันสูงที่แรงดันไฟเลี้ยงต่ำได้ถึง $V_{TH} + 2V_{DSAT}$ และมีการแกว่งของสัญญาณเอาต์พุตสูงสุดประมาณ V_{DD} วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ออกแบบโดยใช้ความละเอียด 6 บิต ที่อัตราการสุ่ม 15.36 เมกกะเฮิรตซ์ โดยใช้เทคโนโลยี CMOS ขนาด 0.35 ไมโครเมตร

Thesis Title	Low-power pipelined ADC using class-AB pseudo-differential OTA
Student	Ms.Wilasinee Chaloenlarp
Student ID.	44611308
Degree	Master degree
Programme	Electronics engineering
Year	2006
Thesis Advisor	Assoc. Prof. Dr.Apinunt Thanachayanont

ABSTRACT

This thesis presents the design of a low-voltage low-power pipelined analog-to-digital converter using a new class-AB pseudo-differential operational transconductance amplifier (OTA). The new class-AB OTA makes use of partial positive feedback to enhance its transconductance, which allows large gain-bandwidth product with low power dissipation. A 6-bit 15.36-MS/s pipelined ADC has been designed using a 0.35-μm CMOS process.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยความกรุณาจากท่านอาจารย์ที่ปรึกษา ร.ศ.ดร.อภินันท์ ธนชยานนท์ ที่ให้ความช่วยเหลือและแนวความคิดเกี่ยวกับงานวิจัย ตลอดจนให้ความรู้และประสบการณ์ในการออกแบบวงจรรวมแก่ข้าพเจ้า

ขอขอบคุณ โครงการพัฒนาโทรศัพท์เคลื่อนที่ยุคที่ 3 ของสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (NECTEC) ที่ให้เงินทุนสนับสนุนการทำงานวิจัย

ขอขอบคุณ สำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (ReCCIT) ที่ให้ความช่วยเหลือเกี่ยวกับเครื่องมือ และเงินทุนสนับสนุนการทำงานวิจัย

ขอขอบคุณ บัณฑิตวิทยาลัยสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้เงินทุนสนับสนุนการทำวิทยานิพนธ์

ขอขอบคุณ พี่ๆ และน้องๆ ภายในห้องปฏิบัติการไมโครอิเล็กทรอนิกส์ ที่ให้ประสบการณ์และความสนุกสนานตลอดระยะเวลาการทำงานวิจัย

และสุดท้ายนี้ข้าพเจ้าขอขอบพระคุณ บิดา มารดา และคุณยายอันเป็นที่รักและเคารพ รวมถึงผู้อุปการะข้าพเจ้าอย่างสูงยิ่ง

สำหรับคุณความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับผู้มีพระคุณทุกท่าน

วิลาสินี เจริญลาภ

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญตาราง VIII

สารบัญรูป IX

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 2

1.3 สมมติฐานของการศึกษา 2

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย 2

1.5 ขอบเขตการวิจัย 2

1.6 ขั้นตอนของการศึกษา 3

บทที่ 2 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล 4

2.1 บทนำ 4

2.2 การแปลงสัญญาณแอนะลอกเป็นดิจิตอลในอุดมคติ 4

2.3 ตัวแปรที่ใช้ในการวัดประสิทธิภาพของการแปลงสัญญาณ 7

2.3.1 ประสิทธิภาพทางสถิต 7

2.3.1.1 ค่าความไม่เป็นเชิงเส้นผลต่าง (Differential nonlinearity, DNL) 7

2.3.1.2 ความไม่เป็นเชิงเส้นผลรวม (Integral nonlinearity, INL) 7

2.3.2 ประสิทธิภาพทางพลวัติ 8

2.3.2.1 อัตราส่วนกำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวน (SNR) 8

2.3.2.2 ความเพี้ยนทางฮาร์มอนิก (Total Harmonic distortion, THD) 8

2.3.2.3 อัตราส่วนกำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวนและความเพี้ยนของสัญญาณ (SNDR) 9

สารบัญ (ต่อ)

หน้า

2.3.2.4 (Spurious Free Dynamic Range, SFDR) 9
2.3.2.5 ค่าจำนวนบิตประสิทธิผล (Effective number of bit, ENOB) 10
2.3.2.6 พิสัยพลวัติ (Dynamic range, DR) 10
2.4 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลในเครื่องรับสัญญาณ ในระบบ WCDMA 10

บทที่ 3 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 12
3.1 บทนำ 12
3.2 โครงสร้างและการทำงานของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล แบบไพพ์ไลน์ 13
3.3 การเข้ารหัสแบบเศษเหลือ (Redundant Sign Digit Coding, RSD) 16
3.4 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย 19
3.5 วงจร Multiplying DAC (MDAC) 21
3.6 ความไม่เป็นอุดมคติของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล แบบไพพ์ไลน์ 25
3.6.1 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย 25
3.6.2 ผลจากความไม่เป็นอุดมคติในวงจรขยาย 27
3.6.2.1 ผลจากอัตราขยายไฟตรงไม่เป็นอนันต์ (finite open loop DC-gain) 27
3.6.2.2 ผลจากอัตราสลูว์และแบนด์วิดท์ที่จำกัด 27
3.6.3 ความผิดพลาดในทรานซิสเตอร์สวิตช์ 29
3.6.4 สัญญาณรบกวนอุณหภูมิ 30

บทที่ 4 วงจรขยายทรานส์คอนดักเตอร์ผลต่างแบบเทียมและวงจรส่วนต่างๆ 31
4.1 บทนำ 31
4.2 การออกแบบวงจรทรานส์คอนดักเตอร์ผลต่างแบบเทียม 31
4.2.1 วงจรคู่ผลต่างคลาสเอบีแบบเทียม (Pseudo-differential pair).....32
4.2.2 การเพิ่มค่าทรานส์คอนดักแตนซ์โดยใช้ความต้านทานค่าลบ.....34

สารบัญ (ต่อ)

หน้า

4.2.3 วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบใหม่.....37

4.3 วงจรแอนะลอกในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 48

4.3.1 วงจรป้อนกลับแรงดันโหมดร่วม 48

4.3.2 วงจรเปรียบเทียบแรงดัน 51

4.3.3 วงจรบูตสแตรปสวิตช์ 52

4.3.4 วงจรสร้างแรงดันอ้างอิงแบบเชิงเส้นสำหรับวงจรเปรียบเทียบแรงดัน และวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกย่อย 55

4.3.5 การออกแบบวงจรไบอัส.....58

4.4 วงจรดิจิตอล 59

4.4.1 วงจรหน่วงสัญญาณ (Delay element) 59

4.4.2 วงจรแก้ไขสัญญาณดิจิตอล (Redundant sign digit code, RSD) 60

4.4.3 วงจรกำเนิดสัญญาณนาฬิกา 60

บทที่ 5 ผลการจำลองการทำงานวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล แบบไพพ์ไลน์ 6 บิต 65

5.1 ส่วนประกอบและการทำงานของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล แบบไพพ์ไลน์ 6 บิต 65

5.2 การทดสอบประสิทธิภาพของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล 71

5.2.1 การทดสอบความเป็นเชิงเส้นเชิงสถิต 71

5.2.2 ความไม่เป็นเชิงเส้นเชิงพลวัต 75

บทที่ 6 สรุปผลการวิจัย และข้อเสนอแนะ 77

6.1 สรุปผลการวิจัย 77

6.2 ข้อเสนอแนะ 77

เอกสารอ้างอิง 78

สารบัญ (ต่อ)

หน้า

ภาคผนวก ก การหาค่าจำกัดของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล.....81
ภาคผนวก ข วงจรตามแรงดันแบบ Flipped voltage follower และการประยุกต์ใช้งาน.....86
ภาคผนวก ค การวิเคราะห์วงจรขยายทรานส์คอนดักเตอร์.....94
ภาคผนวก ง เทคนิคการเพิ่มอัตราขยายลูปเปิดโดยใช้การป้อนกลับแบบบวก.....99
ภาคผนวก จ ผลงานวิจัยที่ได้รับการตีพิมพ์ 105

ประวัติผู้เขียน 122

สารบัญตาราง

ตารางที่ หน้า

3.1 การเข้ารหัสสัญญาณอุณหภูมิเป็นสัญญาณดิจิตอล 3 บิต 20

4.1 ตารางสรุปประสิทธิภาพของวงจรขยายทรานส์คอนดักเตอร์ 43

4.2 แสดงค่าตัวแปรของวงจรขยายทรานส์คอนดักแตนซ์ 45

4.3 แสดงค่าตัวแปรของวงจรป้อนกลับโหมดร่วม 50

4.4 แสดงสรุปค่าแรงดันอ้างอิงทั้งหมดของวงจร 55

4.5 ค่าความคลาดเคลื่อนของวงจรคงค่าแรงดันที่ยอมรับได้ในแต่ละภาค 56

4.6 แสดงค่าตัวแปรของวงจรแรงดันอ้างอิง 56

4.7 แสดงสรุปค่าแรงดัน และกระแสไบอัสทั้งหมดของวงจร 58

5.1 ระดับแรงดันอ้างอิงของวงจรเปรียบเทียบแรงดัน 2.5 บิต 66

5.2 ระดับแรงดันอ้างอิงของ sub-DAC 68

5.3 สรุปผลการจำลองการทำงาน 76

ข.1 แสดงแรงดันตกคร่อมที่ต้องการของวงจรสะท้อนกระแส 88

ข.2 สรุปการประมาณค่าโพลของวงจรสะท้อนกระแสแรงดันไฟเลี้ยงต่ำ 93

ง.1 ความสัมพันธ์ระหว่างความต้านทาน อัตราขยายและตำแหน่งของโพลเมื่อใช้เทคนิคความต้านทานลบ 100

ง.2 ความสัมพันธ์ของโพลลูปเปิดต่อค่าโพลและอัตราขยายของลูปปิด 102

สารบัญรูป

รูปที่ หน้า

1.1 โครงสร้างเครื่องรับสัญญาณแบบ Direct conversion 1

2.1 บล็อกไดอะแกรมการแปลงสัญญาณ 4

2.2 กระบวนการแปลงสัญญาณแอนะลอกเป็นดิจิตอล 5

2.3 คุณลักษณะทางความถี่ของสัญญาณที่ผ่านกระบวนการสุ่ม (ก) กรณี fb < fs/2
(ข) กรณี fb > fs/2 5

2.4 กราฟการส่งผ่านของ ADC 3บิตในอุดมคติ และค่าความผิดพลาดที่เกิดจาก
การจัดระดับสัญญาณ 6

2.5 กราฟการส่งผ่านของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล 3 บิต 7

2.6 ความเพี้ยนทางฮาร์มอนิกของสัญญาณต่างๆ 9

2.7 กำลังงานสเปกตรัมสูงสุดต่อกำลังงานสัญญาณ 10

3.1 โครงสร้างวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ k สเตท 12

3.2 หลักการแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต 13

3.3 บล็อกการแปลงสัญญาณของไพพ์ไลน์ 14

3.4 (ก)โครงสร้างภายในบล็อกย่อยของไพพ์ไลน์ 1 บิต (ข) ช่วงเวลาสุ่มสัญญาณ (ϕ_1)
และ(ค) ช่วงเวลาคงค่าสัญญาณ (ϕ_2) 15

3.5 ลักษณะการส่งผ่านสัญญาณของวงจรไพพ์ไลน์ ADC 1 บิต 16

3.6 แสดงการเลื่อนของแรงดันอ้างอิง 17

3.7 ผลของแรงดันออฟเซตต่อกราฟการส่งผ่านสัญญาณไพพ์ไลน์ 2 บิต และ 2.5 บิต 18

3.8 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย 20

3.9 Multiplying DAC (MDAC) (ก) วงจรสวิตช์ตัวเก็บประจุ (ข) การทำงานในช่วงเวลา
การสุ่มสัญญาณ (ค) การทำงานในช่วงเวลาการขยายสัญญาณเศษเหลือ 22

3.10 วงจร MDAC แบบตัวเก็บประจุถ่วงน้ำหนัก 24

3.11 ความผิดพลาดจากแรงดันออฟเซตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย 26

4.1 (ก) วงจรตามแรงดัน (ข) Flipped voltage follower (FVF).....32

4.2 วงจรคู่ผลต่างคลาสเอบีแบบเทียม 33

4.3 ผลตอบสนองทางไฟตรงของ io1 และ io2 33

4.4 วงจรขยายแบบ source degeneration 34

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.5 ความสัมพันธ์ระหว่างค่า Gm และ gm_1R_n 35

4.6 ความสัมพันธ์ระหว่างตำแหน่งของนอร์แมลไลซ์โพล กับ gm_1R_n 37

4.7 วงจรความต้านทานค่าลบ 37

4.8 วงจรคู่ผลต่างคลาสเอบีกับค่าความต้านทานแบบลบ 38

4.9 กราฟความสัมพันธ์ระหว่าง $i1$ และ Gm จากสมการ 4.13 39

4.10 ผลตอบสนองทางไฟตรงของกระแส io1 และ io2 41

4.11 ผลตอบสนองทางความถี่ของค่าทรานส์คอนดักแตนซ์ที่ $i1$ ค่าต่างๆ 41

4.12 กระแสเอาต์พุตของคู่ผลต่างแบบเทียมคลาสเอบีและคู่ผลต่างคลาสเอบีแบบใหม่ 42

4.13 วงจรขยายทรานส์คอนดักเตอร์คลาสเอบีแบบใหม่ 43

4.14 การแกว่งของสัญญาณที่เอาต์พุตสูงสุด 44

4.15 ผลตอบสนองทางความถี่ 44

4.16 ค่ากระแสที่โหลด 45

4.17 ช่วงเวลาเข้าที 45

4.18 อัตราสลูว์ 46

4.19 รูปแบบการวัดอินพุตออฟเซตของวงจรทรานส์คอนดักเตอร์ 47

4.20 รูปแบบการประสิทธิภาพกระแสของวงจรทรานส์คอนดักเตอร์ 47

4.21 ประสิทธิภาพกระแสของวงจรทรานส์คอนดักเตอร์ 47

4.22 การเชื่อมต่อวงจรป้อนกลับสัญญาณโหมดร่วมกับวงจรทรานส์คอนดักเตอร์ 49

4.23 วงจรตรวจจับสัญญาณโหมดร่วม 49

4.24 วงจรอินเวอร์เตอร์ (CMFB gm) (ก) สถานะทำงาน และ(ข)สถานะไม่ทำงาน 49

4.25 วงจรป้อนกลับสัญญาณโหมดร่วมแบบสมบูรณ์ 50

4.26 ผลตอบสนองทางเวลาของวงจรป้อนกลับโหมดร่วม 50

4.27 วงจรเปรียบเทียบแรงดันแบบผลต่าง 51

4.28 หลักการของเทคนิคบูตสแตรป 52

4.29 เทคนิคการบูตสแตรปสวิตช์ 52

4.30 (ก) วงจรบูตสวิตช์แบบใช้วงจรอัดประจุ (ข) ในช่วงเวลาเริ่มต้นสัญญาณนาฬิกาเป็น "0"
(ค) ในช่วงเวลาต่อมาสัญญาณนาฬิกาเป็น "1" 53

4.31 แรงดันที่ขาเกตของสวิตช์เทียบกับอินพุต 54

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.32 (ก) การสร้างวงจรคงค่าแรงดันเป็นแรงดันอ้างอิง (ข) วงจรแรงดันอ้างอิง และจุดเชื่อมต่อ 56

4.33 ผลตอบสนองทางเวลาของแรงดันอ้างอิง กรณีที่แย่ที่สุดที่รหัส 011 57

4.34 วงจรไบอัสกระแสและแรงดัน (ก) วงจรไบอัสกระแสปรับค่าได้ (ข) วงจรไบอัสกระแสและแรงดันแบบช่วงการแกว่งกว้าง 58

4.35 วงจรหน่วงเวลา (ก) สัญญาณเอาต์พุตที่ช่วงเวลาเริ่มต้น (ข) วงจรหน่วงสัญญาณและช่วงเวลาการทำงาน 60

4.36 วงจรแก้ไขสัญญาณดิจิตอลอย่างง่าย (ก) กระบวนการแก้ไขสัญญาณดิจิตอล (ข) วงจรบวกเลขแบบคิดตัวทด (ค) โครงสร้างของวงจรแก้ไขสัญญาณดิจิตอลอย่างง่าย (ง) วงจรแก้ไขสัญญาณดิจิตอลอย่างง่าย 61

4.37 วงจรกำเนิดสัญญาณนาฬิกา (ก) วงจรกำเนิดสัญญาณนาฬิกาแบบไม่ซ้อนทับ (ข) วงจรกำเนิดสัญญาณนาฬิกาแบบใช้เทคนิค bottom plate (ค) ช่วงเวลาการทำงานของวงจร (ง) วงจรไพพ์ไลน์ ADC ภาคแรก 62

4.38 วงจรกำเนิดสัญญาณนาฬิกาของวงจรไพพ์ไลน์ ADC ทั้งหมด 63

4.39 สัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณนาฬิกา 64

5.1 โครงสร้างตัวแปลงสัญญาณแอนะลอกเป็นดิจิตอลเป็นแบบไพพ์ไลน์ 65

5.2 โครงสร้างบล็อก 2.5 บิต 66

5.3 ลักษณะการต่อวงจรสวิตช์ตัวเก็บประจุกับระดับแรงดันของ sub-DAC 67

5.4 ตัวเข้ารหัสดิจิตอล (ก) m_0 (ข) m_1 67

5.5 สัญญาณเอาต์พุตของบล็อกที่ 1 69

5.6 สัญญาณเอาต์พุตของบล็อกที่ 2 69

5.7 สัญญาณไซน์เอาต์พุตความถี่ 500kHz 70

5.8 สัญญาณไซน์เอาต์พุตความถี่ 2MHz 70

5.9 สัญญาณไซน์เอาต์พุตความถี่ 4MHz 71

5.10 (ก) การทดสอบความเป็นเชิงเส้นเชิงสถิตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล (ข) สัญญาณลาดเอียงความถี่ 240 KHz (ค) สัญญาณลาดเอียงความถี่ 140 KHz (ง) สัญญาณลาด เอียงความถี่ 80 KHz (จ) สัญญาณลาดเอียงความถี่ 24 KHz 71

สารบัญรูป (ต่อ)

รูปที่ หน้า

5.11 ความไม่เป็นเชิงเส้นผลต่าง (DNL) 74

5.12 ความไม่เป็นเชิงเส้นผลรวม (INL) 74

5.13 อัตราส่วนของกำลังงานสัญญาณอินพุตต่อสัญญาณรบกวนสูงสุด(SFDR) 75

ก.1 วงจรสวิตช์ตัวเก็บประจุ (ก) ในช่วงเวลาการคงค่าสัญญาณ
(ข) องค์ประกอบของสัญญาณขนาดเล็ก 81

ก.2 ความคลาดเคลื่อนจากช่วงเวลาเข้าที่ 83

ข.1 (ก) วงจรตามแรงดัน (ข) Flipped voltage follower (FVF) 87

ข.2 (ก) โครงสร้าง FVF ที่ใช้เป็นวงจรคู่ผลต่าง (ข) ผลตอบสนอง
ไฟตรงของกระแส M1, M2 87

ข.3 วงจรสะท้อนกระแสชนิดต่างๆ 88

ข.4 โมเดลสัญญาณขนาดเล็กของวงจรสะท้อนกระแส 88

ข.5 บล็อกไดอะแกรมทางสัญญาณขนาดเล็กของวงจรสะท้อนกระแส 90

ข.6 โมเดลสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบลูปปิด 91

ค.1 วงจรขยายแบบซอสดีเจนเนอร์เรชัน 94

ค.2 โครงสร้างการป้อนกลับแบบลบ 95

ค.3 คู่ผลต่างที่ใช้เทคนิคความต้านทานแบบลบ 96

ค.4 วงจรค่าความต้านทานแบบลบจากการป้อนกลับแบบบวก (ก) วงจรป้อนกลับแบบบวก
(ข) แบบจำลองสัญญาณขนาดเล็กของวงจรป้อนกลับแบบบวก 96

ง.1 โครงสร้างการป้อนกลับแบบลบ 99

ง.2 วงจรขยายที่ใช้เทคนิคความต้านทานค่าลบ 99

ง.3 อัตราขยายไฟตรงของสมการที่ ง.4 100

ง.4 โครงสร้างป้อนกลับแบบลบของอัตราขยายลูปเปิด RHP โพล 101

ง.5 ผลของอัตราขยายต่อตำแหน่งของโพล 102

ง.6 ความสัมพันธ์ของอัตราขยายกับตำแหน่งของลูปโพล 103

ง.7 ผลตอบสนองสัญญาณขั้นบันไดของระบบ over-damped 103

ง.8 ผลตอบสนองของสัญญาณ unit step 104

บทที่ 1
บทนำ

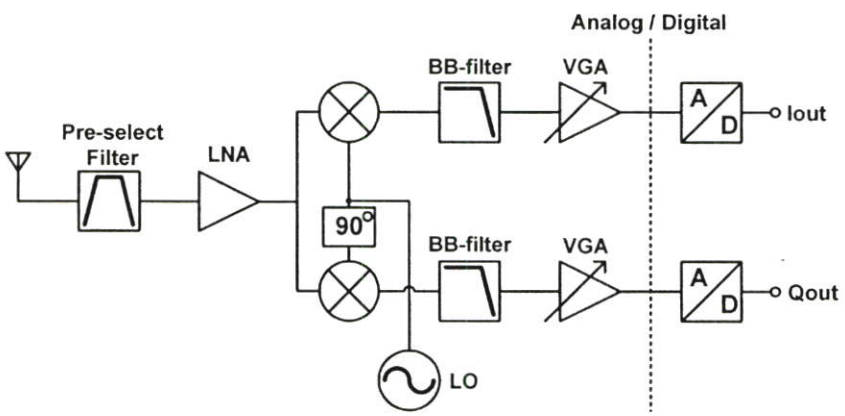
1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันนี้เป็นยุคของการสื่อสารและโทรคมนาคม ความก้าวหน้าทางเทคโนโลยีทางการสื่อสารก้าวไปอย่างรวดเร็ว ประเทศที่มีเทคโนโลยีการสื่อสารที่ก้าวหน้ากว่าจะมีความได้เปรียบในหลายๆ ด้าน ดังนั้นการศึกษาและพัฒนาเทคโนโลยีทางด้านการสื่อสารควบคู่ไปกับการพัฒนาทางด้านอื่นจึงมีความจำเป็นอย่างยิ่ง

แนวทางในการพัฒนาระบบการสื่อสารในยุคปัจจุบัน จะมุ่งเน้นไปที่การลดขนาดและลดกำลังงานสูญเสียของระบบ ด้วยเทคโนโลยีในปัจจุบันสามารถออกแบบระบบส่วนใหญ่ให้อยู่ในรูปของชิปเดี่ยวได้โดยการออกแบบระบบให้อยู่ในรูปของวงจรรวม (Integrated Circuits, IC) ซึ่งการออกแบบระบบให้อยู่ในรูปของวงจรรวมนั้นจะทำให้ระบบมีขนาดเล็กและประหยัดพลังงาน

สำหรับระบบการสื่อสารแบบไร้สายซึ่งต้องใช้การรับส่งสัญญาณผ่านทางอากาศนั้น จะต้องอาศัยระบบการรับและส่งสัญญาณ ซึ่งจะต้องใช้เครื่องรับและเครื่องส่งสัญญาณสำหรับการสื่อสารแบบไร้สาย ซึ่งมีโครงสร้างต่างๆ

เครื่องรับส่งสัญญาณเป็นอุปกรณ์ที่มีความสำคัญในการสื่อสารในยุคปัจจุบันมาก โดยเฉพาะการสื่อสารแบบไร้สาย ซึ่งต้องการอุปกรณ์ที่มีคุณภาพสูง กำลังงานสูญเสียต่ำ และมีขนาดเล็ก โครงสร้างเครื่องรับสัญญาณที่เหมาะสมกับความต้องการที่กล่าวมาแล้วคือ เครื่องรับแบบ Direct conversion



รูปที่ 1.1 โครงสร้างเครื่องรับสัญญาณแบบ Direct conversion

เครื่องรับสัญญาณแบบ Direct conversion ดังรูปที่ 1.1 จะทำการแปลงสัญญาณมาอยู่ที่ความถี่เบสแบนโดยตรง โดยการใช้วงจรกรองสัญญาณต่ำผ่าน ในการกรองสัญญาณที่ต้องการ และวงจรปรับอัตราขยายของสัญญาณ ซึ่งทั้งสองวงจรเป็นวงจรแบบแอนะลอก วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลจึงทำงานที่สัญญาณเบสแบน ซึ่งสามารถออกแบบโดยใช้ความละเอียด และความถี่การสุ่มสัญญาณไม่สูงมากนักได้

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วัตถุประสงค์ของของวิทยานิพนธ์ฉบับนี้คือ ทำการออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล ที่มีความละเอียดปานกลางแต่สามารถใช้งานกับสัญญาณแบนด์วิดท์กว้างได้ โดยมุ่งเน้นออกแบบให้มีกำลังงานสูญเสียต่ำ และมีขนาดเล็กซึ่งเหมาะสมกับอุปกรณ์แบบพกพา เช่น เครื่องรับสัญญาณของโทรศัพท์มือถือในระบบ 3G WCDMA

1.3 สมมติฐานของการศึกษา

การออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต ADC ที่ทำงานที่แบนด์วิดท์กว้าง สามารถลดกำลังงานสูญเสียจากการใช้งานได้จากการเลือกโครงสร้างที่ไม่สิ้นเปลืองพลังงาน เช่น โครงสร้างของคลาสเอบี การเลือกใช้วงจรที่ทำงานแบบพลวัติ และการออกแบบวงจรที่แรงดันไฟเลี้ยงต่ำ

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

การนำวงจรคลาสเอบีซึ่งมีการสูญเสียกำลังงานทางไฟตรงต่ำกว่าคลาสเอมาประยุกต์ใช้เพื่อลดกำลังงานสูญเสียที่เกิดขึ้นมากกับวงจรที่ออกแบบสำหรับการใช้งานกับสัญญาณที่มีแบนด์วิดท์กว้าง การนำเทคนิคการป้อนกลับแบบบวกมาสร้างความต้านทานค่าลบเพื่อช่วยเพิ่มประสิทธิภาพให้กับวงจร การนำเทคนิค FVF มาใช้กับการออกแบบโครงสร้างที่ทำงานที่แรงดันไฟเลี้ยงต่ำ และการนำวงจรที่ทำงานแบบพลวัติมาลดการสูญเสียกำลังงานสถิต

1.5 ขอบเขตการวิจัย

งานวิจัยชิ้นเป็นการออกแบบ แก้ไข และปรับปรุง ประสิทธิภาพวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต โดยเน้นที่การลดกำลังงานสูญเสียในระดับวงจร ใช้งานที่แรงดันต่ำ

1.6 ขั้นตอนของการศึกษา

ขั้นตอนของการวิจัยจะเริ่มจากการกำหนดคุณลักษณะของวงจรแปลงสัญญาณตามวัตถุประสงค์การใช้งาน หาโครงสร้างที่เหมาะสมในการออกแบบ จากนั้นศึกษาคุณสมบัติของโครงสร้าง และวงจรภายใน ศึกษาเทคนิคในการปรับปรุงประสิทธิภาพและจำลองการทำงาน ซึ่งจะกล่าวถึงรายละเอียดในแต่ละบทต่อไปนี้

บทที่ 2 กล่าวถึง คุณลักษณะพื้นฐานและค่าความไม่เป็นอุดมคติที่สำคัญของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล และโครงสร้างที่เหมาะกับเครื่องรับสัญญาณในระบบ WCDMA

บทที่ 3 กล่าวถึง โครงสร้างและการทำงานของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์และเทคนิค Redundant sign digit coding (RSD) จากนั้นจะกล่าวถึงความไม่เป็นอุดมคติของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ และข้อกำหนดในการออกแบบ

บทที่ 4 กล่าวถึง เทคนิคที่นำมาใช้ลดกำลังงานและเพิ่มประสิทธิภาพให้กับวงจรทรานส์คอนดักเตอร์ผลต่างแบบเทียม จากนั้นจะกล่าวถึงการออกแบบและผลการจำลองการทำงานของวงจรแอนะลอก เช่น วงจรป้อนกลับแรงดันโหมดร่วม วงจรเปรียบเทียบสัญญาณแบบพลวัติ เป็นต้น สุดท้ายเป็นการออกแบบในส่วนของวงจรดิจิตอล เช่น วงจรแก้ไขสัญญาณดิจิตอล วงจรกำเนิดสัญญาณนาฬิกา และวงจรหน่วงเวลา

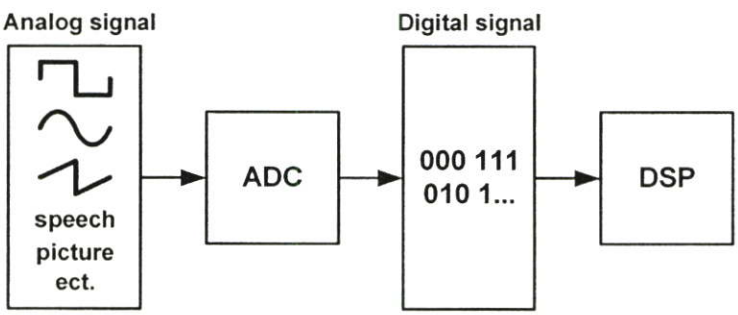
บทที่ 5 กล่าวถึง การออกแบบ ส่วนประกอบ โครงสร้าง และการทำงานวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต และผลการจำลองการทำงาน จากนั้นจะเป็นผลการวัดประสิทธิภาพทางสถิตและพลวัติของการแปลง

บทที่ 6 สรุปผลการวิจัย และข้อเสนอแนะ

บทที่ 2
วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล

2.1 บทนำ

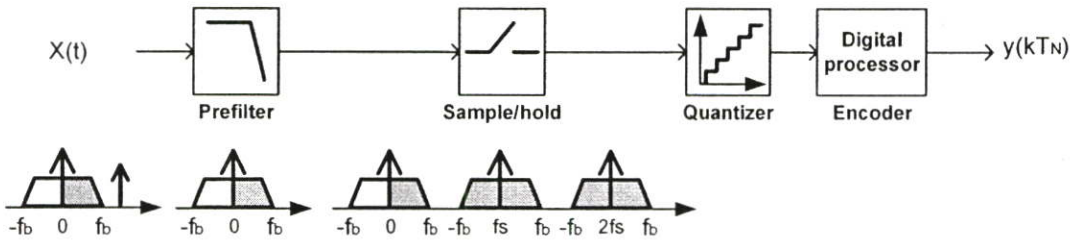
เทคโนโลยีในปัจจุบันเป็นเทคโนโลยีที่ใช้การประมวลผลสัญญาณดิจิตอลเป็นส่วนใหญ่ เนื่องจากการประมวลผลสัญญาณดิจิตอลมีความแม่นยำสูง จัดเก็บง่าย บีบอัดให้มีขนาดเล็กได้ และสามารถพัฒนาได้หลายรูปแบบ แต่สัญญาณในธรรมชาติเป็นสัญญาณแอนะลอก ดังรูปที่ 2.1 จะเห็นได้ว่าในการที่จะนำสัญญาณเหล่านี้มาประมวลผลแบบดิจิตอลได้ จะต้องใช้วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลเสียก่อน จะเห็นได้ว่า ไม่ว่าการประมวลผลดิจิตอลจะดีเพียงได้ ถ้าสัญญาณที่แปลงเป็นดิจิตอลผิดพลาด ผลที่ได้ก็จะผิดพลาดไปด้วย นี่เป็นเหตุผลที่ว่าทำไมจึงจะต้องมีการพัฒนาและออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลควบคู่ไปกับการพัฒนาเทคโนโลยีในปัจจุบัน



รูปที่ 2.1 บล็อกไดอะแกรมการแปลงสัญญาณ

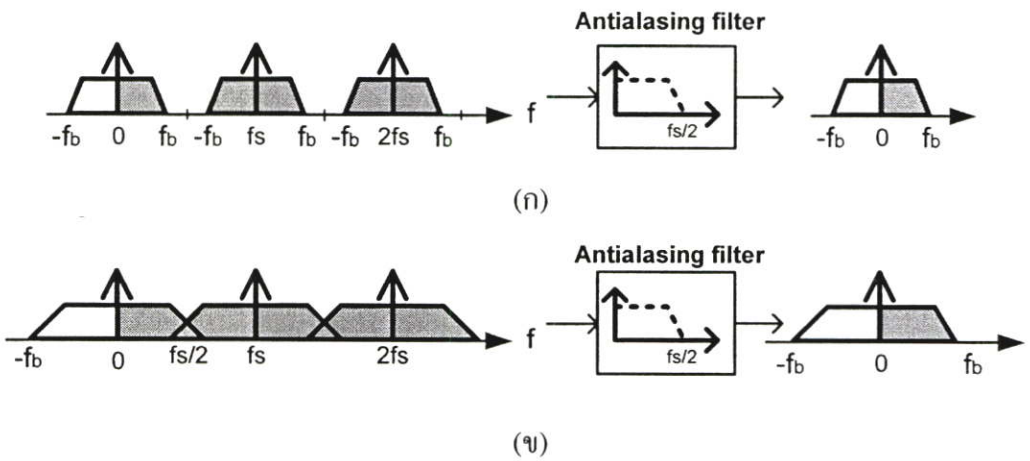
2.2 การแปลงสัญญาณแอนะลอกเป็นดิจิตอลในอุดมคติ

กระบวนการแปลงสัญญาณแอนะลอกเป็นดิจิตอลโดยทั่วไปแสดงในรูปที่ 2.2 จะมีวงจรกรอง (Prefilter) จะทำหน้าที่กรองสัญญาณที่ความถี่สูงออกเพื่อป้องกันการซ้อนทับของสัญญาณ จากนั้นทำการสุ่มและคงค่าสัญญาณด้วยวงจร สุ่มและคงค่าสัญญาณ (Sample and Hold) สัญญาณที่ได้จะถูกจัดระดับสัญญาณให้เข้ากับระดับสัญญาณดิจิตอลด้วยวงจรจัดระดับสัญญาณ (Quantizer) จากนั้นวงจรเข้ารหัสสัญญาณ (Encoder) จะทำการเข้ารหัสสัญญาณดิจิตอล



รูปที่ 2.2 กระบวนการแปลงสัญญาณแอนะลอกเป็นดิจิตอล

กระบวนการสุ่มและคงค่าสัญญาณจะทำให้เกิดการกระจายสเปกตรัมของสัญญาณดังรูปที่ 2.2 ดังนั้นเพื่อไม่ให้เกิดการซ้อนทับกันสเปกตรัมของสัญญาณ ความถี่ในการสุ่มสัญญาณ (fs) จะต้องมากกว่าแบนด์วิดท์ของสัญญาณ (fb) อย่างน้อยสองเท่า กรณีที่แบนด์วิดท์ของสัญญาณมีค่ามากกว่า fs/2 จะทำให้เกิดการซ้อนทับกับของสัญญาณดังรูปที่ 2.3 ทำให้ไม่สามารถกู้สัญญาณเดิมกลับมาได้ การออกแบบให้แบนด์วิดท์ของสัญญาณใกล้เคียง fs/2 เรียกว่า วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไนควิสต์ (Nyquist ADC) ส่วนวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่ fb << fs เรียกว่า วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบอัตราการสุ่มเกิน (Oversampling ADC) [1]



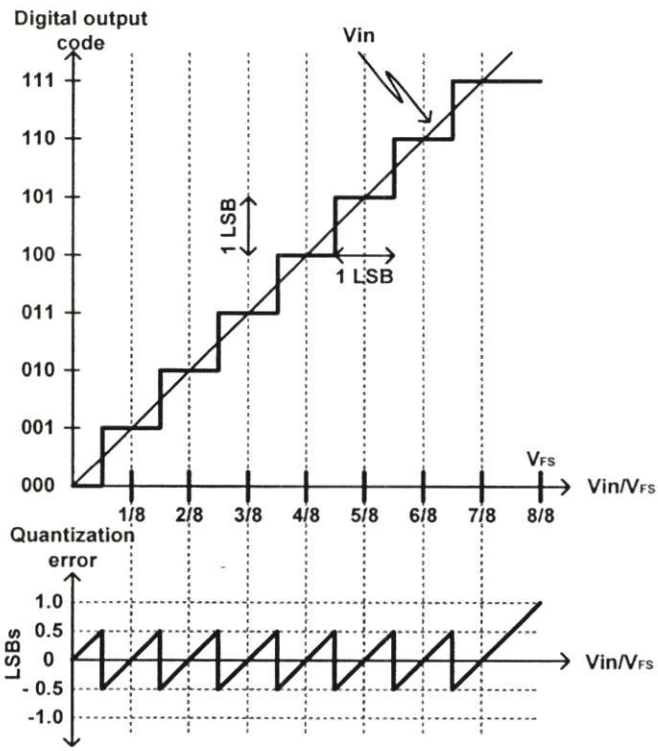
รูปที่ 2.3 คุณลักษณะทางความถี่ของสัญญาณที่ผ่านกระบวนการสุ่ม (ก) กรณี fb < fs/2
(ข) กรณี fb > fs/2

จากกระบวนการจัดระดับสัญญาณที่กล่าวไปแล้วในข้างต้นจะได้ลักษณะการส่งผ่านสัญญาณดังรูปที่ 2.4 จะเห็นได้ว่าสัญญาณที่ได้จากการจัดระดับจะมีค่าต่างจากสัญญาณอินพุต ผลต่างของสัญญาณอินพุตกับสัญญาณที่ได้จากการจัดระดับเรียกว่า ค่าความผิดพลาดจากการจัด

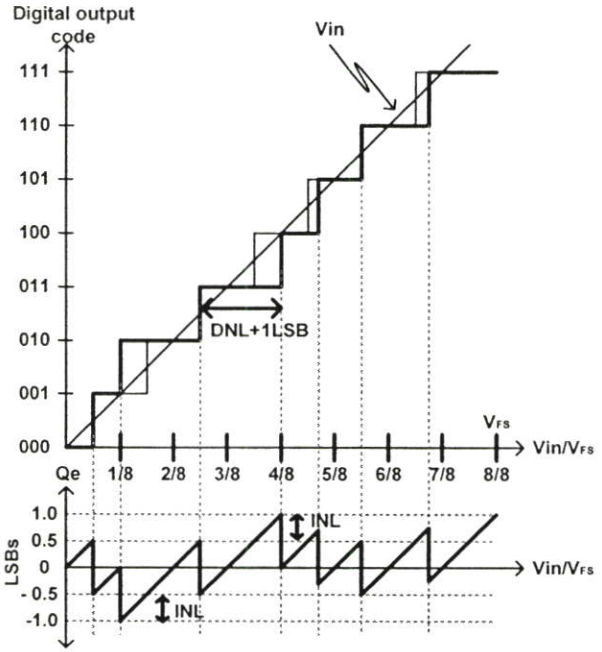
ระดับสัญญาณ (Quantization error, e_q^2) ค่าความผิดพลาดจากการจัดระดับสัญญาณเป็นค่าความผิดพลาดที่เกิดจากกระบวนการแปลงซึ่งจะต้องเกิดขึ้นเสมอเมื่อมีการสุ่มสัญญาณ มีค่าระหว่าง ±0.5LSB เสมอ เมื่อ LSB คือระดับของสัญญาณที่มีนัยสำคัญเท่ากับ 1 บิต (Least Significant Bit) กำลังงานของค่าความผิดพลาดจากการจัดระดับสัญญาณนี้เป็นกำลังงานสัญญาณรบกวนที่น้อยที่สุดที่เกิดได้ในวงจรแปลงแสดงได้ในสมการที่ 2.1

$$e_q^{\ 2} = \frac{V_{LSB}^{\ 2}}{12} \qquad 2.1$$

เมื่อ $V_{LSB} = V_{FS}/2^N$ และ V_{FS} คือ ขนาดของสัญญาณอินพุตเต็มสเกล



รูปที่ 2.4 กราฟการส่งผ่านของ ADC 3บิตในอุดมคติ และค่าความผิดพลาดที่เกิดจากการจัดระดับสัญญาณ



รูปที่ 2.5 กราฟการส่งผ่านของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล 3 บิต

2.3 ตัวแปรที่ใช้ในการวัดประสิทธิภาพของการแปลงสัญญาณ

2.3.1 ประสิทธิภาพทางสถิต

ประสิทธิภาพทางสถิตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลหาได้จากกราฟการส่งผ่านสัญญาณอินพุตเอาต์พุตของวงจรแปลง รูปที่ 2.4 เป็นกราฟการส่งผ่านในอุดมคติของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล 3 บิต ในทางปฏิบัติอาจเกิดความคลาดเคลื่อนขึ้นดังกราฟการส่งผ่านดังรูปที่ 2.5 ซึ่งเป็นค่าความคลาดเคลื่อนที่สำคัญในการแปลงสัญญาณ คือ ค่าความไม่เป็นเชิงเส้นผลต่าง และความไม่เป็นเชิงเส้นผลรวม

2.3.1.1 ค่าความไม่เป็นเชิงเส้นผลต่าง (Differential nonlinearity, DNL)

จากรูปที่ 2.5 ค่า *DNL(i)* เป็นค่าผลต่างระหว่างช่วงของแรงดันอินพุตที่ได้จากวงจรแปลงกับช่วงของแรงดันอินพุตอุดมคติในโค้ดเดียวกันดังสมการที่ 2.2

$$DNL(i) = \frac{V_{in}(Di) - V_{in}(Di-1) - V_{LSB}}{V_{LSB}} \qquad 2.2$$

2.3.1.2 ความไม่เป็นเชิงเส้นผลรวม (Integral nonlinearity, INL)

เป็นค่าผลต่างระหว่างจุดตัดของเส้นตรงที่ลากผ่านกราฟการส่งผ่านในอุดมคติ กับจุดตัดของเส้นตรงที่ลากผ่านกราฟการส่งผ่านของวงจรแปลงสัญญาณดังรูปที่ 2.5

2.3.2 ประสิทธิภาพทางพลวัติ

ข้อมูลที่ได้จากการวัดประสิทธิภาพทางพลวัติจะทำให้ทราบถึงค่าของ สัญญาณรบกวน ความเพี้ยน และความเป็นเชิงเส้นทางพลวัติ นอกจากนี้ยังทำให้รู้ถึงผลจากความผิดพลาดของช่วงเวลาเข้าที่ และความไม่คงที่ของช่วงเวลาการสุ่มสัญญาณอีกด้วย

2.3.2.1 อัตราส่วนกำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวน (SNR)

อัตราส่วนของกำลังงานสัญญาณต่อสัญญาณรบกวนของวงจรแปลงสัญญาณจะขึ้นกับค่าความละเอียดในการแปลงสัญญาณ (N) ความไม่เป็นเชิงเส้น ความเพี้ยน กริส และ ช่วงเวลาเข้าที่ของสัญญาณ ในทางทฤษฎีอัตราส่วนกำลังงานของสัญญาณต่อสัญญาณรบกวนของสัญญาณไซน์ภายในย่านความถี่ *fs/2* (Nyquist bandwidth) มีค่าเท่ากับสมการที่ 2.3 ถ้ารวมผลจากสัญญาณรบกวนอื่นๆ อัตราส่วนนี้จะลดลง

$$S/N_{\max} = 6.02N + 1.76dB \qquad 2.3$$

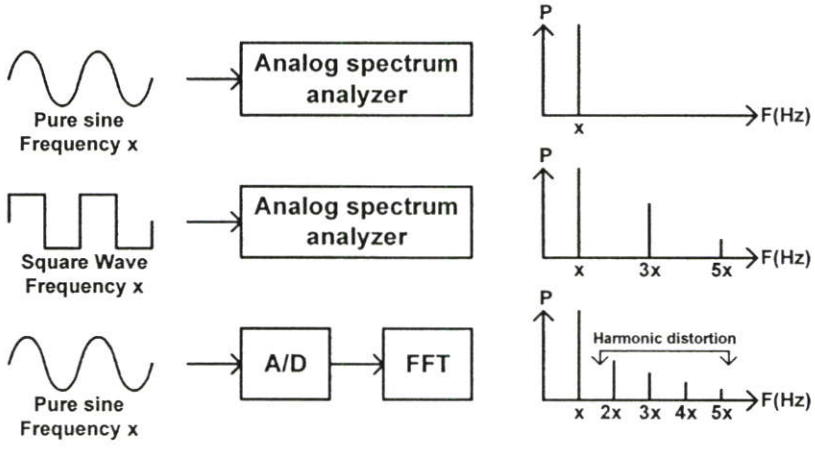
ในกรณีที่อัตราการสุ่มสัญญาณมีขนาดสูงกว่าสัญญาณรบกวนหลายเท่า อัตราส่วนของกำลังงานต่อสัญญาณรบกวนจะเพิ่มขึ้นดังสมการที่ 2.4

$$SNR_{\max} = 2^N \cdot \sqrt{\frac{3}{2}} \cdot \sqrt{OSR} = \left(6.02N + 1.76 + 10\log(OSR)\right)dB \qquad 2.4$$

เมื่อ $OSR = f_s/\left(2 \cdot f_{sig}\right)$ เป็นค่าอัตราอัตราส่วนระหว่างอัตราการสุ่มกับความถี่ของสัญญาณเรียกว่า อัตราการสุ่มเกิน (Over Sampling Ratio, *OSR*) ยิ่งใช้การสุ่มเกินมากค่า SNR จะยิ่งดี

2.3.2.2 ความเพี้ยนทางฮาร์มอนิก (Total Harmonic distortion, THD)

ความเพี้ยนทางฮาร์มอนิกของสัญญาณในการแปลงเกิดจากความไม่เป็นเชิงเส้นของวงจรแปลงสัญญาณ ทำให้เกิดฮาร์มอนิกนอกเหนือจากความถี่ของสัญญาณอินพุต สำหรับวงจรแปลงที่ใช้โครงสร้างแบบผลต่าง ความเพี้ยนจากฮาร์มอนิกเลขคู่จะหักล้างกันไป แต่จะปรากฏขึ้นถ้าเกิดความไม่สมพงศ์หรือไม่สมมาตร (Mismatch or asymmetry) ภายในวงจร ซึ่งผลรวมความเพี้ยนของฮาร์มอนิกทั้งหมดจะทำให้ SNR แย่ลง ค่าความเพี้ยนของฮาร์มอนิกสามารถหาได้จากอัตราส่วนของผลรวมกำลังงานฮาร์มอนิกที่สองเป็นต้นไปต่อกำลังงานฮาร์มอนิกพื้นฐานดังสมการที่ 2.5



รูปที่ 2.6 ความเพี้ยนทางฮาร์มอนิกของสัญญาณต่างๆ

$$THD = 10\log\left(\frac{H_2^{\,2} + H_3^{\,2} + H_4^{\,2} + \ldots}{H_1^{\,2}}\right)dB \qquad 2.5$$

เมื่อ H_1 เป็นฮาโมนิกพื้นฐานและ H_2, H_3, ... เป็นขนาดของฮาร์มอนิกที่ 2 และที่ 3 ตามลำดับ

2.3.2.3 อัตราส่วนกำลังงานของสัญญาณต่อกำลังงานของสัญญาณรบกวนและความเพี้ยนของสัญญาณ (SNDR)

ค่า *SNDR* คือค่า rms ของสัญญาณเอาต์พุตต่อค่า rms ของสเปกตรัมสัญญาณรบกวนทั้งหมดภายในช่วงความถี่ $f_s/2$ (Nyquist bandwidth) ซึ่งจะเป็นผลรวมของ *SNR* และ *THD* ดังสมการที่ 2.6 [26]

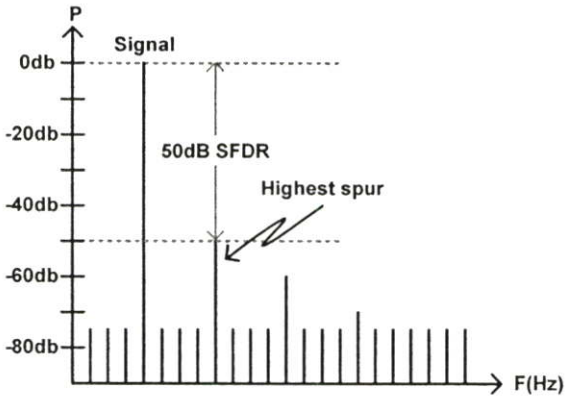
$$SNDR = 10\log\left(\frac{1}{10^{\frac{-SNR}{10}} + 10^{\frac{THD}{10}}}\right) \qquad 2.6$$

2.3.2.4 (Spurious Free Dynamic Range, SFDR)

ค่า SFDR คือค่าอัตราส่วนกำลังงานของสัญญาณอินพุตต่อสัญญาณรบกวนที่ใหญ่ที่สุดภายในช่วงความถี่ $f_s/2$ (Nyquist bandwidth) ในสเปกตรัมเอาต์พุต ดังรูปที่ 2.7 [3]

$$SFDR(dBc) = 10\log\left(\frac{V^2(fsig)}{V^2(fspur)}\right) \qquad 2.7$$

เมื่อ $V^2(fsig)$ เป็นค่า rms ของความถี่อินพุต และ $V^2(fspur)$ เป็นค่า rms ของฮาร์มอนิกสูงสุดในแบน



รูปที่ 2.7 กำลังงานสเปกตรัมสูงสุดต่อกำลังงานสัญญาณ

2.3.2.5 ค่าจำนวนบิตประสิทธิผล (Effective number of bit, ENOB)

เป็นการวัดจำนวนบิตประสิทธิผลของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลทั้งระบบ ภายใต้เงื่อนไขของสัญญาณรบกวนและความเพี้ยน ทำให้จำนวนบิตประสิทธิผลมีค่าน้อยกว่าจำนวนบิตทางอุดมคติดังสมการที่ 2.8

$$ENOB = \frac{SNDR - 1.76dB}{6.02dB} \qquad 2.8$$

2.3.2.6 พิสัยพลวัติ (Dynamic range, DR)

ค่าพิสัยพลวัติ คืออัตราส่วนของสัญญาณอินพุตที่ใหญ่ที่สุดที่สามารถทำการแปลงได้ต่อระดับขั้นสัญญาณที่เล็กที่สุด (LSB) ดังสมการที่ 2.9 เมื่อ n คือ จำนวนบิตของวงจรแปลง [26]

$$DR(dB) = 20\log\left(2^n - 1\right) \qquad 2.9$$

2.4 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลในเครื่องรับสัญญาณในระบบ WCDMA

โครงสร้างแบบ Direct conversion เป็นโครงสร้างของเครื่องรับสัญญาณที่เหมาะสมกับการใช้งานในอุปกรณ์แบบพกพาในระบบแบนกว้าง เนื่องจากอุปกรณ์แบบพกพาต้องการกำลังงานสูญเสียต่ำ เพราะการออกแบบโดยใช้โครงสร้างแบบ Direct conversion วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลจะทำงานที่เบสแบนทำให้ข้อจำกัดในการออกแบบไม่สูงมากนัก สามารถออกแบบให้มีกำลังงานสูญเสียต่ำได้

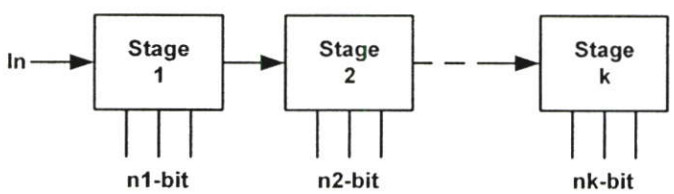
วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลสำหรับเครื่องรับสัญญาณที่มีสถาปัตยกรรมแบบ Direct conversion ดังรูปที่ 1.1 มีสองตัวเพื่อแปลงสัญญาณ I และ Q จากวงจรมอดูเลตสัญญาณ จากมาตรฐานของ 3GPP [2] วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่เหมาะสมควรมีความละเอียดที่ 6-14 บิต และอัตราการสุ่มในช่วง 10-300 MS/s ซึ่งโครงสร้างที่ครอบคลุมความละเอียด และอัตราการสุ่มมากที่สุด และสามารถนำมาใช้กับเครื่องรับสัญญาณวิทยุได้คือโครงสร้างแบบไพพ์ไลน์ นอกจากนั้นโครงสร้างแบบไพพ์ไลน์ยังสามารถออกแบบโดยใช้แรงดันแหล่งจ่ายต่ำกว่า 1 โวลต์ได้ มีแนวทางในการออกแบบให้สูญเสียกำลังงานต่ำได้ สามารถจะเพิ่มค่าความละเอียดได้ง่าย และสามารถใช้เทคโนโลยีในการสร้างได้หลายเทคโนโลยี ไม่ว่าจะเป็น CMOS, BiCMOS หรือ bipolar

สำหรับจำนวนบิตและอัตราการสุ่มสัญญาณ สามารถกำหนดได้จากมาตรฐานของ 3GPP โดยจำนวนบิตจะหาได้จากข้อกำหนดของพิสัยพลวัติที่ต้องการในการตรวจจับและเข้ารหัสสัญญาณ และยังอยู่ในเงื่อนไขของ SNR และ Bit Error Rate (BER) อัตราการสุ่มต่ำสุดจะขึ้นอยู่กับแบนด์วิดท์ของสัญญาณและข้อกำหนดไนควิสต์ สำหรับการตรวจจับและการเข้ารหัสของสัญญาณแบบ Direct sequence spread-spectrum ใน Wide-band Code division multiple access (WCDMA) การใช้ความละเอียด 4 บิตจะเพียงพอในการใช้งานถ้าวงจรในเบสแบนมีประสิทธิภาพสูง เช่น VGA มีช่วงการทำงานกว้าง และวงจรกรองมีความคมสูง ซึ่งในทางปฏิบัติ จะต้องเผื่อช่วงการทำงานให้กับการประมวลผลแบบดิจิตอล พิสัยพลวัติของเบสแบน และความเป็นเชิงเส้น จำนวนบิตที่เหมาะสมสำหรับ SNDR 38-50 dB คือ 6-8 บิตก็เพียงพอสำหรับการทำงาน สำหรับค่าอัตราการสุ่มที่เหมาะสมคือ 4 เท่าของ chip rate ตามมาตรฐาน 3GPP จะใช้อัตราการสุ่มที่ 15.36 MS/s ที่ chip rate 3.84 M-cps

บทที่ 3
วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์

3.1 บทนำ

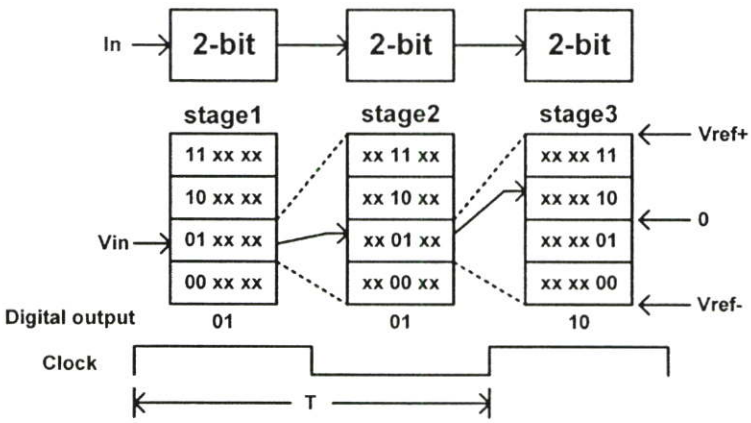
วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลมีหลายโครงสร้างตามลักษณะการใช้งาน สำหรับงานที่ต้องการความเร็วสูง มักจะใช้โครงสร้างแบบ Flash แต่โครงสร้างนี้ไม่เหมาะสมกับงานที่ต้องการความละเอียดมากเนื่องจากวงจรจะมีขนาดใหญ่และสิ้นเปลืองกำลังงาน โครงสร้างที่มีความเร็วสูงอีกชนิดคือ โครงสร้างแบบไพพ์ไลน์ มีลักษณะการทำงานเหมือนโครงสร้างแบบ Flash ที่มีความละเอียดต่ำหลายๆ บล็อกมารวมกันแบบต่อกันไปเรื่อยๆ ลักษณะการแปลงสัญญาณจะแปลงจากบิตนัยสำคัญสูงสุดก่อน บล็อกสุดท้ายเป็นบิตนัยสำคัญต่ำสุด โครงสร้างวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์จึงมีขนาดไม่ใหญ่เนื่องจากแต่ละบล็อกแปลงสัญญาณที่มีความละเอียดต่ำจึงใช้จำนวนอุปกรณ์ไม่มากเหมือน Flash ความเร็วขึ้นกับจำนวนบล็อกที่ใช้ เนื่องจากรหัสดิจิตอลเอาต์พุตจะสมบูรณ์ก็ต่อเมื่อทุกบล็อกทำการแปลงสัญญาณจนครบแล้ว ซึ่งจะหน่วงเวลาเฉพาะรหัสแรกเท่านั้น ต่อมาจะมีรหัสเอาต์พุตขาออกทุกครึ่งคาบเวลา ลักษณะโครงสร้างของวงจรแปลงสัญญาณดิจิตอลแบบไพพ์ไลน์แสดงในรูปที่ 3.1 เป็นโครงสร้างที่แบ่งเป็น k บล็อก



รูปที่ 3.1 โครงสร้างวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ k สเตท

ในการออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์สามารถทำได้โดยการแบ่งการแปลงแอนะลอกเป็นดิจิตอลออกเป็นบิตย่อยๆ ดังรูปที่ 3.1 แต่ละบล็อกจะทำการแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่มีความละเอียดต่ำตามจำนวนบล็อกที่ทำการแปลง ทุกบล็อกจะทำการแปลงสัญญาณไปพร้อมๆกันทำให้มีความเร็วในการแปลงสูง โดยจะเสียเวลาในตอนเริ่มต้นแปลงเท่านั้น หลักการของการแปลงสัญญาณแบบไพพ์ไลน์แสดงได้ในรูปที่ 3.2 เป็นหลักการของการแปลงแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ขนาด 6 บิต แบ่งการแปลงออกเป็น 3 บล็อก ดังนั้นแต่ละบล็อกจะมีความละเอียด 2 บิต การแปลงจะแปลงบิตที่มีนัยสำคัญสูงสุดก่อน ใน

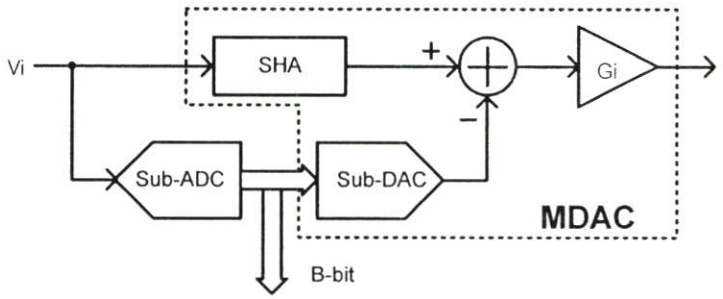
ครึ่งคาบเวลาแรก บล็อกการทำงานแรกจะเปรียบเทียบกระแสหรือแรงดันอินพุตกับระดับอ้างอิง 3 ระดับ ระดับอ้างอิงที่เป็นตัวแทนรหัสดิจิตอลเอาต์พุตจะถูกลบออกจากอินพุต เรียกว่าเศษเหลือ (residual) และถูกขยายขึ้น 4 เท่า (2^B) เมื่อ B คือความละเอียดของสัญญาณในแต่ละบล็อกซึ่งมีค่าเท่ากับ 2 บิต และจะเป็นอินพุตของบล็อกถัดไปในครึ่งคาบเวลาถัดมา เทคนิคนี้จะทำให้การแปลงสัญญาณแอนะลอกเป็นดิจิตอลมีความรวดเร็วมากขึ้น เพราะการแปลงที่มีความละเอียด 2 บิต สามารถทำได้ง่ายรวดเร็ว และประหยัดกำลังงาน



รูปที่ 3.2 หลักการแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต

3.2 โครงสร้างและการทำงานของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์

จากที่กล่าวไปแล้วในข้างต้นการหาบิตนัยสำคัญสองบิตแรกคือการกำหนดขอบเขตของอินพุตแบบหยาบ เมื่อสามารถกำหนดได้แล้วจะส่งขอบเขตที่ได้ไปทำการหาค่าสัญญาณดิจิตอลสองบิตถัดไป หรือทำการหาตำแหน่งของอินพุตในขอบเขตที่แคบลง ประโยชน์จากการใช้โครงสร้างของไพพ์ไลน์คือสามารถขยายขนาดของสัญญาณขึ้นเพื่อลดความผิดพลาดและข้อจำกัดของการหาขนาดของสัญญาณที่มีขนาดเล็กได้ นั่นก็คือก่อนที่จะส่งข้อมูลให้บล็อกถัดไปข้อมูลจะถูกขยายให้เต็มสเกล ทำให้การระบุตำแหน่งของแรงดันในบล็อกที่สองมีความถูกต้องและแม่นยำมากขึ้น

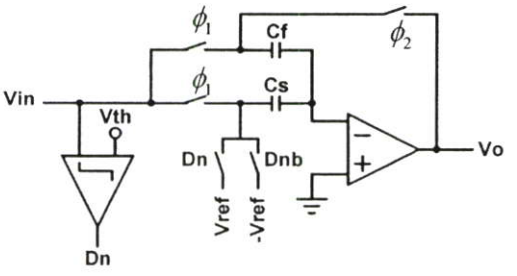


รูปที่3.3 บล็อกการแปลงสัญญาณของไพพ์ไลน์

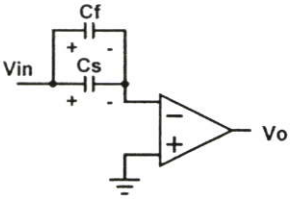
ฟังก์ชันการทำงานของการแปลงสัญญาณแบบไพพ์ไลน์ในรูปที่ 3.2 สร้างได้ด้วยบล็อกไดอะแกรมในรูปที่ 3.3 ซึ่งประกอบไปด้วยวงจรแปลงสัญญาณแอนะลอกเป็นสัญญาณดิจิตอล (Sub-ADC) วงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอก (Sub-DAC) วงจรผลต่าง (Subtraction) วงจรสุ่มและคงค่าสัญญาณ (SHA) และวงจรขยายเศษเหลือ (Amplification, Gi) ซึ่งวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอก วงจรสุ่มและคงค่าสัญญาณ และวงจรขยายเศษเหลือรวมกันเรียกว่า วงจร Multiplying DAC (MDAC)

วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลทำหน้าที่เปรียบเทียบแรงดันอินพุต และแปลงเป็นสัญญาณดิจิตอล สัญญาณดิจิตอลจะถูกส่งไปเก็บไว้ที่เอาต์พุตและถูกส่งกลับไปให้วงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอก วงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกจะแปลงรหัสดิจิตอลเป็นสัญญาณแอนะลอกแทนรหัสดิจิตอล วงจรผลต่าง วงจรสุ่มและคงค่าสัญญาณ และวงจรขยายเศษเหลือสร้างด้วยวงจรขยายสวิตช์ตัวเก็บประจุ ทำหน้าที่เก็บสัญญาณอินพุต ลบสัญญาณจากวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกจากอินพุต และขยายแรงดันที่เหลือด้วยอัตราขยายของวงจรสวิตช์ตัวเก็บประจุ

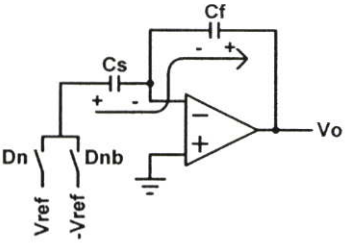
กลไกในข้างต้นสามารถสร้างเป็นบล็อกการทำงานขนาดหนึ่งบิตได้ดังรูปที่ 3.4 และจากรูปที่ 3.4 (ก) วงจรที่ทำหน้าที่เป็นวงจรสุ่มและคงค่าสัญญาณ คือวงจรสวิตช์ตัวเก็บประจุประกอบด้วย ออปแอมป์ ตัวเก็บประจุป้อนกลับสัญญาณ (Cf) และตัวเก็บประจุสุ่มสัญญาณ (Cs) สวิตช์ ϕ_1 และ ϕ_2 ซึ่งทำงานด้วยสัญญาณนาฬิกาที่ไม่ซ้อนทับกัน วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลหนึ่งบิตสร้างจากวงจรเปรียบเทียบสัญญาณที่มีระดับแรงดันอ้างอิงเท่ากับ Vth และวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกสร้างจากสวิตช์ Dn และ Dnb แรงดันอ้างอิง Vref และ -Vref



(ก)



(ข)



(ค)

รูปที่ 3.4 (ก)โครงสร้างภายในบล็อกย่อยของไพพ์ไลน์ 1 บิต (ข) ช่วงเวลาสุ่มสัญญาณ (ϕ_1) และ (ค) ช่วงเวลาคงค่าสัญญาณ (ϕ_2)

โครงสร้างในรูปที่ 3.4 (ข) ทำการสุ่มสัญญาณอินพุตเมื่อสวิตช์ ϕ_1 ปิด สัญญาณ V_{in} จะเก็บอยู่ในรูปของประจุ ใน Cf และ Cs ซึ่งจะมีจำนวนประจุในช่วงเวลานี้เท่ากับสมการที่ 3.1 และสมการที่ 3.2 ตามลำดับ

$$q_{cf}(n) = Cf \cdot V_{in} \qquad 3.1$$

$$q_{Cs}(n) = Cs \cdot V_{in} \qquad 3.2$$

เมื่อสิ้นสุดช่วงเวลาเฟส ϕ_1 วงจรเปรียบเทียบสัญญาณทำการเปรียบเทียบสัญญาณกับแรงดันอ้างอิง (Vth) ในขณะที่เฟส ϕ_2 ต่อตัวเก็บประจุ Cf กับเอาต์พุต ดังรูปที่ 3.4 (ค) เกิดการถ่ายเทประจุระหว่าง *Cs* กับ *Cf* ดังสมการที่ 3.3 โดยประจุใน *Cf* ในช่วงเวลา $(n+1)$ เท่ากับประจุใน *Cf* ในช่วงเวลา (n) รวมกับผลต่างของประจุใน *Cs* ในช่วงเวลา (n) และช่วงเวลา $(n-1)$ จากสมการที่ 3.4 แรงดันที่ตกคร่อม *Cs* และ *Cf* ในช่วงเวลา (n) มีค่าเท่ากับแรงดันอินพุต (V_{in}) แต่ในช่วงเวลา $(n+1)$ แรงดันใน *Cs* เปลี่ยนแปลงเป็น V_{ref} ถ้า *Dn* เป็น 1 และจะเปลี่ยนแปลงเป็น $-V_{ref}$ ถ้า *Dnb* เป็น

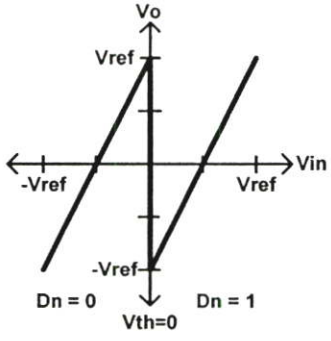
$$q_{Cf}(n+1) = q_{Cf}(n) + [q_{Cs}(n) - q_{Cs}(n+1)] \quad 3.3$$

$$Cf \cdot V_{out} = Cf \cdot V_{in} + [Cs \cdot V_{in} - Cs(Dn \cdot V_{ref} - Dnb \cdot V_{ref})] \quad 3.4$$

$$V_{out} = \left(1 + \frac{Cs}{Cf}\right) V_{in} - \frac{Cs}{Cf} Dn \cdot V_{ref} + \frac{Cs}{Cf} Dnb \cdot V_{ref} \quad 3.5$$

จากสมการที่ 3.5 ค่า Dn และ Dnb เป็นค่าที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอก ซึ่งจะปิดสวิตช์ Dn (Dn = 1, Dnb = 0) ถ้าแรงดันอินพุตมากกว่าแรงดันอ้างอิง และจะปิดสวิตช์ Dnb (Dn = 0, Dnb = 1) ถ้าอินพุตน้อยกว่าแรงดันอ้างอิง แรงดันเอาต์พุตที่ได้จะเป็นแรงดันผลต่างของแรงดันอินพุตกับแรงดันอ้างอิงที่ถูกขยายด้วยอัตราส่วนของตัวเก็บประจุ ในกรณีของ 1 บิต $C_s = C_f = C$ ดังนั้นสมการส่งผ่านของบล็อกการแปลงสัญญาณไพพ์ไลน์ 1 บิตจะเท่ากับสมการที่ 3.6

$$V_{out} = 2V_{in} - Dn \cdot V_{ref} + Dnb \cdot V_{ref} \quad 3.6$$



รูปที่ 3.5 ลักษณะการส่งผ่านสัญญาณของวงจรไพพ์ไลน์ ADC 1 บิต

ถ้ากำหนดให้สัญญาณอินพุตเป็นสัญญาณลาดเอียง มีการเปลี่ยนแปลงของขนาดในช่วง Vref ถึง -Vref กราฟการส่งผ่านแรงดันอินพุต-เอาต์พุต ของการแปลงสัญญาณแบบไพพ์ไลน์ 1 บิต แสดงได้ดังรูปที่ 3.5

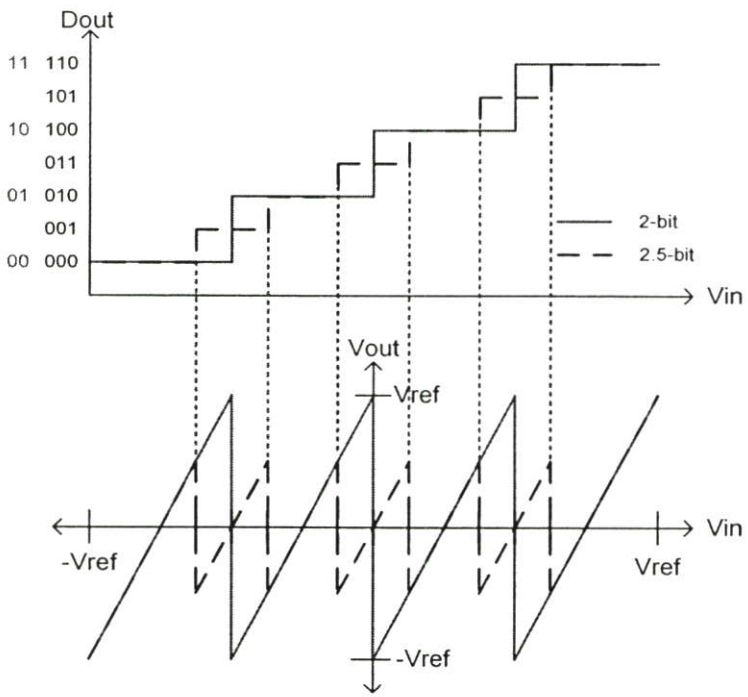
3.3 การเข้ารหัสแบบเศษเหลือ (Redundant Sign Digit Coding, RSD)

การแปลงสัญญาณโดยใช้โครงสร้างแบบไพพ์ไลน์ ในข้างต้นจะต้องใช้วงจรเปรียบเทียบแรงดันในการแปลงสัญญาณแอนะลอกเป็นสัญญาณดิจิตอล ดังนั้นความแม่นยำของวงจรเปรียบเทียบแรงดันจึงมีความสำคัญต่อความแม่นยำในการแปลงสัญญาณของระบบ เป็นที่ทราบดี

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ว่าความผิดพลาดของวงจรเปรียบเทียบสัญญาณแบบแอนะลอกควบคุมได้ยาก โดยเฉพาะการทำงานที่ความถี่สูง นอกจากนี้ยังมีค่าความผิดพลาดอันเนื่องมาจากสัญญาณนาฬิกาที่ผ่านเข้ามาทางสวิตช์ ซึ่งอาจทำให้เกิดความผิดพลาดในการแปลงสัญญาณขึ้น ความผิดพลาดเหล่านี้สามารถแก้ไขได้โดยการใช้เทคนิคการเข้ารหัสแบบเศษเหลือ (Redundant sign digit coding : RSD)

กระบวนการ RSD จะเพิ่มความละเอียดในการแปลงแต่ละภาคโดยการเพิ่มจำนวนบิตเข้าไปหนึ่งบิตระหว่างระดับขั้นตรงกลางเรียกว่า บิตเศษเหลือ (redundant bit : r =1) ดังรูปที่ 3.6 ข้อดีของการเพิ่มระดับขั้นการแปลงเข้าไปตรงกลางคือสามารถตรวจจับสัญญาณได้กรณีที่เกิดความคลาดเคลื่อนขึ้นในการจัดระดับสัญญาณอันเนื่องมาจากปัญหาที่กล่าวมาแล้วข้างต้นได้

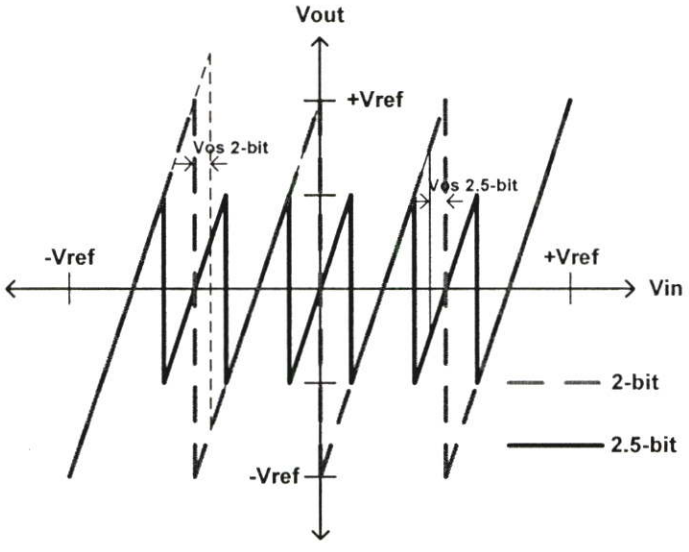


รูปที่ 3.6 แสดงการเลื่อนของแรงดันอ้างอิง

กรณีที่เกิดความคลาดเคลื่อนของระดับแรงดันอ้างอิงอันเนื่องมาจากแรงดันออฟเซตของวงจรเปรียบเทียบสัญญาณ จะทำให้กราฟการส่งผ่านอินพุต-เอาต์พุตเปลี่ยนแปลงไปดังรูปที่ 3.7 ในกรณีที่ไม่ใช้บิตเศษเหลือ (r = 0) เมื่อเกิดการคลาดเคลื่อนของแรงดันออฟเซต จะเห็นได้ว่ากราฟการส่งผ่านจะมีขนาดมากกว่าระดับแรงดันอ้างอิง +Vref ทำให้ข้อมูลของแรงดันในส่วนนี้หายไปเมื่อทำการขยายและแปลงในบล็อกถัดไป แต่ถ้าใช้บิตเศษเหลือ (r = 1) แสดงเป็นเส้นทึบ กราฟการส่งผ่านจะมีขนาดเป็นครึ่งหนึ่งของระดับแรงดันอ้างอิง กรณีเกิดแรงดันออฟเซตที่มีค่าน้อยกว่าสมการที่ 3.7 กราฟการส่งผ่านจะมีขนาดน้อยกว่าระดับแรงดันอ้างอิง ทำให้ข้อมูลไม่สูญหายและ

63279

สามารถนำค่ากลับมาได้ด้วยกระบวนการแก้ไขสัญญาณดิจิตอล (Digital error correction) ในขั้นตอนสุดท้าย



รูปที่ 3.7 ผลของแรงดันออฟเซตต่อกราฟการส่งผ่านสัญญาณไพพ์ไลน์ 2 บิต และ 2.5 บิต

$$V_{offset} = \pm \frac{r}{2^{B+r}} V_{ref} \tag{3.7}$$

จากกราฟการส่งผ่านสัญญาณอินพุต-เอาต์พุต ในรูปที่ 3.6 จะเห็นได้ว่าระดับขั้นการแปลงของสัญญาณที่ใช้ r=0 และ r=1 จะไม่เท่ากัน กรณีที่ใช้จำนวนบิตในการแปลง 2 บิต (B=2, r=0) ระดับขั้นในการแปลงจะเท่ากับ $2^2 - 1$ ระดับ แต่ถ้าใช้จำนวนบิตในการแปลง 2.5 บิต (B=2, r=1) ระดับขั้นในการแปลงจะมี $2^{2+1} - 1 - 1$ ระดับดังสมการที่ 3.8 และมีตำแหน่งของระดับแรงดันอ้างอิงเท่ากับสมการที่ 3.9

$$Q = 2^{B+r} - r - 1 \tag{3.8}$$

$$\pm V_{refn} = \pm \left(\frac{n}{2^B} + \frac{r}{2^{B+r}} \right) \cdot V_{ref} \tag{3.9}$$

เมื่อ n เป็นจำนวนเต็มที่มีค่าอยู่ในช่วง 0 ถึง $n_{\max}, n_{\max} = 2^{B+r-1} - r - 1$ และมีจำนวนของรหัสดิจิตอลที่เอาต์พุตเท่ากับ $2^{2+1} - 1$ คือ 000, 001, 010, 011, 100, 101 และ 110 ระดับดังสมการที่ 3.10

$$b = Q + 1 = 2^{Bi+r} - r \qquad 3.10$$

กระบวนการเข้ารหัสสัญญาณเศษเหลือ (RSD) จะจบกระบวนการเมื่อนำจำนวนบิตที่ได้จากทุกบล็อกมาหาผลบวกทางดิจิตอลดังนี้คือ

$D2_1$	$D1_1$	$D0_1$				ภาคที่1
		$D2_2$	$D1_2$	$D0_2$		ภาคที่2
				$D1_3$	$D0_3$	ภาคที่3
D5	D4	D3	D2	D1	D0	เอาต์พุต

การหาผลบวกดังตัวอย่างเป็นเทคนิคการเข้ารหัสของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบ 6 บิต ที่มีการแบ่งโครงสร้างการทำงานเป็น 3 ภาค โดยในสองภาคแรกจะมีค่า B=2 และ r=1 ส่วนในภาคสุดท้ายจะมีค่า B=2 และ r=0

3.4 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย

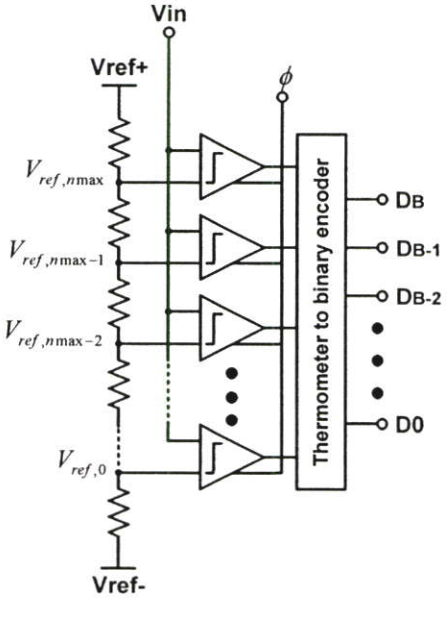
วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย เป็นบล็อกหนึ่งในโครงสร้างการแปลงสัญญาณแบบไพพ์ไลน์ดังรูปที่ 3.3 ทำหน้าที่ในการแปลงสัญญาณแอนะลอกอินพุตให้เป็นรหัสดิจิตอลแบบหยาบ ถ้าจำนวนบิตของวงจรแปลงมีทั้งหมด n บิต และแบ่งการแปลงออกเป็น k บล็อก ดังรูปที่ 3.1 ถ้าแต่ละบล็อกแบ่งเป็นจำนวนบิตเท่าๆกัน จำนวนบิตที่วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลจะต้องทำการแปลงคือ $B = n/k$ บิต ในกรณีที่ใช้การเข้ารหัสแบบเศษเหลือ จะมีจำนวนรหัสดิจิตอลเอาต์พุตจะเท่ากับสมการที่ 3.10 คือ $2^{B+r} - r$ เมื่อ r คือจำนวนบิตเศษเหลือซึ่งมักจะเท่ากับ 1 จำนวนบิตในการแปลงเป็นตัวกำหนดจำนวนของวงจรเปรียบเทียบที่จะต้องใช้ในการแปลง ซึ่งจะเท่ากับ 2^{B+r} -1 หรือ $2^{B+r} - r$ - 1 ดังนั้นเมื่อแต่ละบล็อกใช้จำนวนบิต (B) ในการแปลงมากกว่า 1 บิต วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย จึงไม่สามารถใช้วงจรเปรียบเทียบแรงดันเพียงตัวเดียวได้ ในการออกแบบจะต้องใช้โครงสร้างที่ทำงานได้รวดเร็วและสามารถทำงานไปพร้อมกับวงจรสุ่มและคงค่าสัญญาณได้ โครงสร้างที่เหมาะสมที่สุดคือโครงสร้างแบบ Flash เนื่องจากสามารถเปรียบเทียบสัญญาณและให้เอาต์พุตออกมาพร้อมๆกัน การออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลในภาคแรกจะต้องทำงานกับสัญญาณอินพุตที่มีความต่อเนื่องทางเวลา ทำให้ค่าความผิดพลาดจากการกระบวนการแปลงสัญญาณที่เกิดจากช่วงเวลาในการแปลงสัญญาณดิจิตอลกับช่วงเวลาที่สุ่มสัญญาณ (timing aperture) เกิดขึ้นได้

โครงสร้างการแปลงสัญญาณแบบFlashประกอบด้วยวงจรเปรียบเทียบสัญญาณต่อแบบขนาน ดังรูปที่ 3.8 ทำให้สามารถเปรียบเทียบสัญญาณอินพุตกับแรงดันอ้างอิงและให้เอาต์พุตได้

ทันที แรงดันอ้างอิงสร้างได้ด้วยความต้านทานต่อแบบแบ่งแรงดันตามระดับแรงดันอ้างอิง เอาต์พุตของวงจรเปรียบเทียบแรงดันมีลักษณะเป็นสัญญาณอุณหภูมิ (Thermometer code : T_i) เกิดจากการเปรียบเทียบระดับแรงดันอินพุต กับระดับแรงดันอ้างอิง ด้วยวงจรเปรียบเทียบสัญญาณทุกตัวพร้อมกัน ถ้าอินพุตมีค่ามากกว่าระดับแรงดันอ้างอิง รหัสอุณหภูมิจะเป็นหนึ่ง ถ้าน้อยกว่าจะเป็นศูนย์ การเปรียบเทียบรหัสอุณหภูมิตัวล่างที่ทำการวัดระดับแรงดันต่ำจะเป็นหนึ่งและจะเป็นหนึ่งขึ้นมาเรื่อยๆ จนกว่าแรงดันอินพุตจะน้อยกว่าระดับแรงดันอ้างอิง สัญญาณอุณหภูมิ 6 รหัส เข้ารหัสเป็นสัญญาณดิจิตอล 3 บิตได้ดังตารางที่ 3.1

ตารางที่ 3.1 การเข้ารหัสสัญญาณอุณหภูมิเป็นสัญญาณดิจิตอล 3 บิต

T6	T5	T4	T3	T2	T1	D2	D1	D0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0	1
0	0	0	0	1	1	0	1	0
0	0	0	1	1	1	0	1	1
0	0	1	1	1	1	1	0	0
0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	0



รูปที่ 3.8 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย

ความแม่นยำของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อยที่ใช้โครงสร้างการทำงานแบบ Flash จะขึ้นกับความแม่นยำของวงจรเปรียบเทียบแรงดัน และวงจรกำเนิดแรงดันอ้างอิง ซึ่งความผิดพลาดดังกล่าวจะอยู่ในรูปของค่าแรงดันออฟเซตของวงจรแปลงสัญญาณ

3.5 วงจร Multiplying DAC (MDAC)

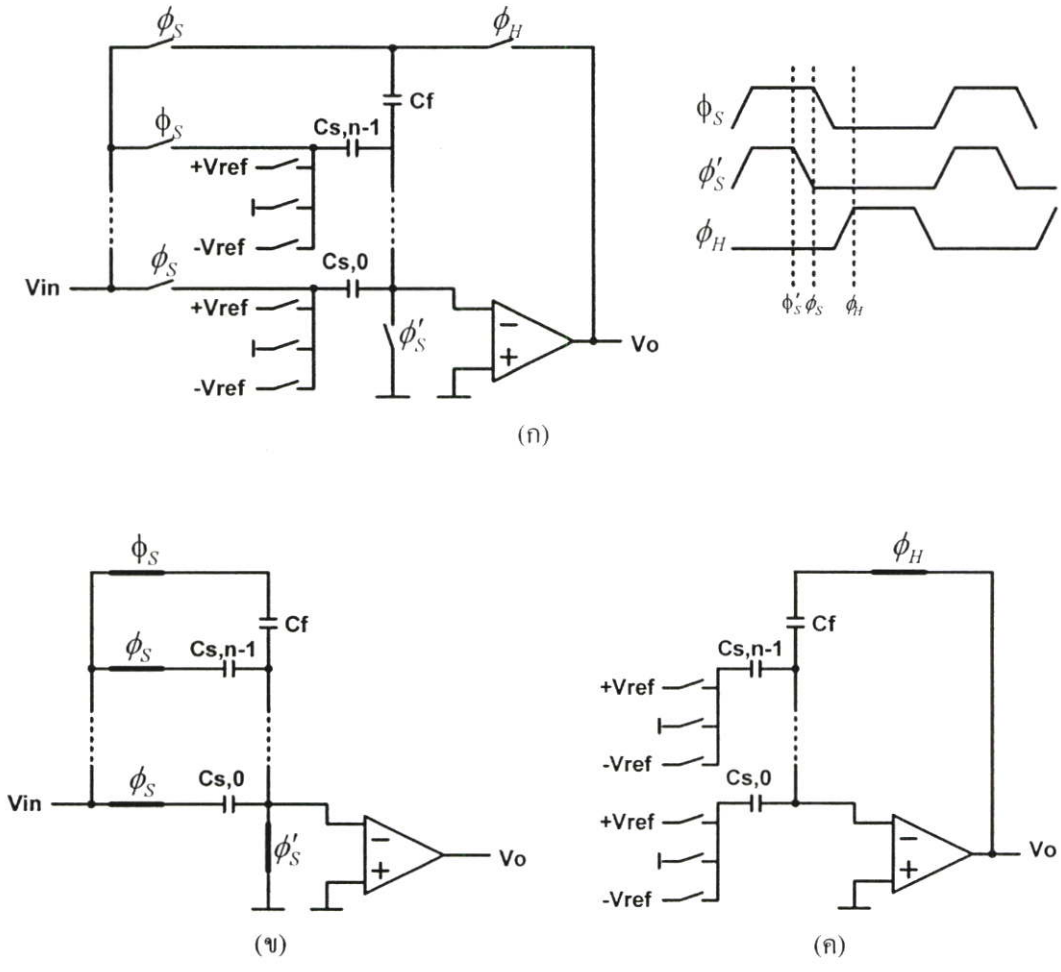
วงจร Multiplying DAC (MDAC) เป็นวงจรที่สำคัญที่สุดวงจรหนึ่งของการแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ ในวงจร MDAC ประกอบด้วยกระบวนการสุ่มและคงค่าสัญญาณ กระบวนการแปลงสัญญาณแอนะลอกเป็นดิจิตอล กระบวนการหาค่าผลต่าง และกระบวนการขยายสัญญาณ หน้าที่ของ MDAC จะต้องทำการแปลงรหัสดิจิตอลที่ได้มาจากวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อยกลับมาเป็นสัญญาณแอนะลอกมี่มีค่าเท่ากับรหัสดิจิตอล และลบค่าที่ได้จากวงจรสุ่มและคงค่าสัญญาณ ค่าที่ได้จากผลลบจะถูกขยายด้วยอัตราขยาย G ดังสมการที่ 3.11 และส่งให้บล็อกถัดไป

$$G = 2^{Bi+1-r} \tag{3.11}$$

โดยทั่วไปแล้ววงจร MDAC จะสร้างจากวงจรสวิตช์ตัวเก็บประจุ ดังรูปที่ 3.9(ก) โครงสร้างที่ใช้จะเป็นแบบคู่ผลต่าง แต่แสดงเพียงข้างเดียวเพื่อง่ายต่อการทำความเข้าใจ วงจรสวิตช์ตัวเก็บประจุในรูปที่ 3.9 ประกอบไปด้วยตัวเก็บประจุหนึ่งหน่วย 2^B ตัว คือ $Cs,0$ .... $Cs,n\text{-}1$, Cf สวิตช์ที่ทำงานในช่วงเวลาสุ่มสัญญาณ ϕ_S และ ϕ'_S สวิตช์ที่ทำงานในช่วงเวลาคงค่าสัญญาณ ϕ_H และวงจรออปแอมป์ วงจรสวิตช์ตัวเก็บประจุจะทำงานเป็นวงจรสุ่มสัญญาณในเฟส ϕ_S ดังรูปที่ 3.9 (ข) โดยตัวเก็บประจุ $Cs,0$ .... $Cs,n\text{-}1$ จะถูกต่อกับสัญญาณอินพุตด้านหนึ่ง อีกด้านต่อกับแอนะลอกกราวด์โดยผ่านสวิตช์ที่ควบคุมด้วย ϕ'_S เรียกว่าสวิตช์ bottom plate โดย ϕ'_S จะเปิดสวิตช์ก่อน ϕ_S เล็กน้อยเพื่อลดผลของการรั่วไหลของประจุ (Charge injection) ได้ หลังจากสวิตช์ใน ϕ_S เปิดแล้ว สวิตช์ ϕ_H จะปิดและต่อ Cf เข้ากับเอาต์พุต ในขณะเดียวกันตัวเก็บประจุ $Cs,0$ .... $Cs,n\text{-}1$ จะต่อเข้ากับแรงดันอ้างอิง ($+Vref$, 0, $-Vref$) ซึ่งขึ้นกับรหัสดิจิตอลที่ Sub-DAC แปลงได้จาก Sub-ADC ดังรูปที่ 3.9 (ค) จากความสัมพันธ์ของประจุภายในวงจร จะได้ความสัมพันธ์ของแรงดันเอาต์พุต แรงดันอินพุตและแรงดันอ้างอิงดังสมการที่ 3.12

$$V_{out} = GV_{in} + DV_{ref} \tag{3.12}$$

เมื่อ D เป็นจำนวนเต็ม และขึ้นกับเอาต์พุตของ Sub-ADC โดยค่า D จะอยู่ในช่วง [-(2B-1), +(2B-1)]



รูปที่ 3.9 Multiplying DAC (MDAC) (ก) วงจรสวิตช์ตัวเก็บประจุ (ข) การทำงานในช่วงเวลาการสุ่มสัญญาณ (ค) การทำงานในช่วงเวลาการขยายสัญญาณเศษเหลือ

จากโครงสร้างและการทำงานของรูปที่ 3.9 สามารถหาค่าแรงดันเอาต์พุตได้ดังสมการที่ 3.13

$$V_{out,i} = \frac{Cf + \sum_{j=0}^{n-1} Cs_j}{Cs} V_{in,i} - \frac{\sum_{j=0}^{n-1} \left(m_j \cdot Cs_j\right)}{Cf} V_{ref} \qquad 3.13$$

เมื่อ $n = 2^B - 1$ เป็นจำนวนของ Cs และ mj เป็นตัวคูณโดยที่ mj = -1, 0, +1 ขึ้นอยู่กับสัญญาณดิจิตอลที่ได้จากตัวแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย ในกรณีที่ตัวเก็บประจุมีค่าเท่ากันทุกตัวแรงดันเอาต์พุตจะเท่ากับสมการที่ 3.14

$$V_{out} = \frac{C + \sum_{j=0}^{n-1} C}{C} V_{in} - \frac{\sum_{j=0}^{n-1} (m_j \cdot C)}{C} V_{ref} \qquad 3.14$$

ความสัมพันธ์ระหว่างรหัสดิจิตอล และ เทอม *mj* สามารถแสดงได้ในรูปของเวกเตอร์ [*1xbi*] และ เมทริก *n x bi* เช่น

B = 1, r = 0, n = 1 จำนวนสถานะทั้งหมด $2^{B+r} - r = 2^{1+0} - 0 = 2$ คือ 0 และ 1, $m_j \in [m_0]$ เขียนเป็นความสัมพันธ์ได้ดังสมการที่ 3.15

$$\begin{bmatrix} B+r \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} m_0 \\ -1 \\ +1 \end{bmatrix} \qquad 3.15$$

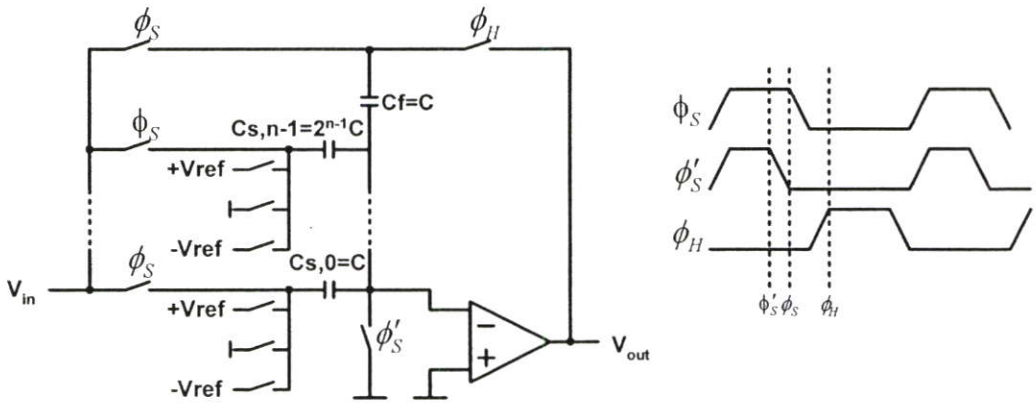
B = 1, r = 1, n = 1 จำนวนสถานะทั้งหมด $2^{B+r} - r = 2^{1+1} - 1 = 3$ คือ 00, 01 และ 10, $m_j \in [m_0]$ เขียนเป็นความสัมพันธ์ได้ดังสมการที่ 3.16

$$\begin{bmatrix} B+r \\ 00 \\ 01 \\ 10 \end{bmatrix} = \begin{bmatrix} m_0 \\ -1 \\ 0 \\ +1 \end{bmatrix} \qquad 3.16$$

B = 2, r = 1, n = 3 จำนวนสถานะทั้งหมด $2^{B+r} - r = 2^{2+1} - 1 = 7$ คือ 000, 001, 010, 011, 100, 101 และ 110, $m_j \in [m_0, m_1, m_2]$ เขียนเป็นความสัมพันธ์ได้ดังสมการที่ 3.17

$$\begin{bmatrix} B_i & + & r \\ 0 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 0 \\ 1 & 0 & 1 \\ 1 & 1 & 0 \end{bmatrix} = \begin{bmatrix} m0 & m1 & m2 \\ -1 & -1 & -1 \\ -1 & -1 & 0 \\ -1 & 0 & 0 \\ 0 & 0 & 0 \\ +1 & 0 & 0 \\ +1 & +1 & 0 \\ +1 & +1 & +1 \end{bmatrix} \qquad 3.17$$

จากสมการที่ 3.16 และ 3.17 จะสังเกตได้ว่าถ้าใช้บิตเศษเหลือ จะมีสถานะกลางเพิ่มเข้ามา ในที่นี้คือ 01 และ 011 ซึ่งแสดงเป็นโหนดกราวด์ระหว่างแรงดัน +Vref และ –Vref ดังในรูปที่ 3.9



รูปที่ 3.10 วงจร MDAC แบบตัวเก็บประจุถ่วงน้ำหนัก

นอกจากการออกแบบโดยใช้ตัวเก็บประจุที่มีค่าเท่ากันแล้วยังสามารถออกแบบโดยใช้ตัวเก็บประจุที่ใช้การถ่วงน้ำหนักแบบฐานสอง (binary weight) ในการออกแบบได้ดังรูปที่ 3.10

โครงสร้างสวิตช์ตัวเก็บประจุแบบใช้ตัวเก็บประจุถ่วงน้ำหนักแบบฐานสอง จะใช้ได้เมื่อ $B \geq 2$ ข้อดีของการใช้โครงสร้างแบบตัวเก็บประจุถ่วงน้ำหนักแบบฐานสองก็คือ จะทำให้จำนวนตัวเก็บประจุลดลงเป็น $2^n - 1$ ตัว แต่ต้องการขนาดของตัวเก็บประจุ $2^0 C ... 2^{n-1} C$ ดังนั้นสมการเอาต์พุตจะเปลี่ยนเป็นสมการที่ 3.18 เมื่อ C คือตัวเก็บประจุหนึ่งหน่วย

$$V_{out} = \frac{C + \sum_{j=0}^{n-1} 2^j C}{C} V_{in} - \frac{\sum_{j=0}^{n-1} \left(m_j \cdot 2^j C \right)}{C} V_{ref} \qquad 3.18$$

ดังนั้นในกรณีที่ $B = 2$, $r = 1$, $n = 2$ จำนวนสถานะทั้งหมด $2^{B+r} - r = 2^{2+1} - 1 = 7$ คือ 000, 001, 010, 011, 100, 101 และ 110, $m_j \in [m_0, m_1]$ เขียนเป็นความสัมพันธ์ได้ดังสมการที่ 3.19

$$\begin{bmatrix} B_i & + & r \\ 0 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 0 \\ 1 & 0 & 1 \\ 1 & 1 & 0 \end{bmatrix} = \begin{bmatrix} m_0 & m_1 \\ -1 & -1 \\ 0 & -1 \\ -1 & 0 \\ 0 & 0 \\ +1 & 0 \\ 0 & +1 \\ +1 & +1 \end{bmatrix} \qquad 3.19$$

การใช้โครงสร้างตัวเก็บประจุถ่วงน้ำหนักแบบฐานสอง ทำให้จำนวนตัวเก็บประจุ และสวิตช์ที่ใช้ในวงจรลดลง

3.6 ความไม่เป็นอุดมคติของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์

ความไม่เป็นอุดมคติในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลเกิดได้จากหลายสาเหตุ ส่วนใหญ่เกิดจากความไม่เป็นอุดมคติของอุปกรณ์ และข้อจำกัดในการทำงาน เป็นสาเหตุของความไม่เป็นเชิงเส้น ความเพี้ยน และ สัญญาณรบกวนในวงจรแปลง แหล่งกำเนิดที่สำคัญของความไม่เป็นอุดมคติเหล่านี้คือ วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย และวงจรสวิตช์ตัวเก็บประจุใน MDAC

3.6.1 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย

ความผิดพลาดในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลนั้นส่วนใหญ่เกิดจากความคลาดเคลื่อนของระดับแรงดันของวงจรเปรียบเทียบแรงดัน ซึ่งเกิดจากแรงดันออฟเซตภายในวงจร เช่นในรูปที่ 3.11 (ก) สาเหตุส่วนใหญ่จะเกิดจากความไม่เข้ากัน (Mismatch) ของอุปกรณ์ ความคลาดเคลื่อนของระดับแรงดันอ้างอิง และความคลาดเคลื่อนของช่วงเวลาในการสุ่มสัญญาณ (โดยเฉพาะในภาคแรกของการแปลงสัญญาณ) แรงดันออฟเซตที่เกิดขึ้นอาจจะทำให้เกิดความคลาดเคลื่อนในกราฟการส่งผ่าน ดังรูปที่ 3.11 (ข) ในกรณีที่ไม่ใช้บิตเศษเหลือ ค่าความผิดพลาดที่เกิดขึ้นกับแรงดันเอาต์พุตจะต้องน้อยกว่าครึ่งหนึ่งของความละเอียดในการแปลงของบล็อกที่เหลืออยู่ ดังนั้นค่าความผิดพลาดที่ยอมให้เกิดขึ้นได้ใน บล็อกที่ m จะเท่ากับสมการที่ 3.20

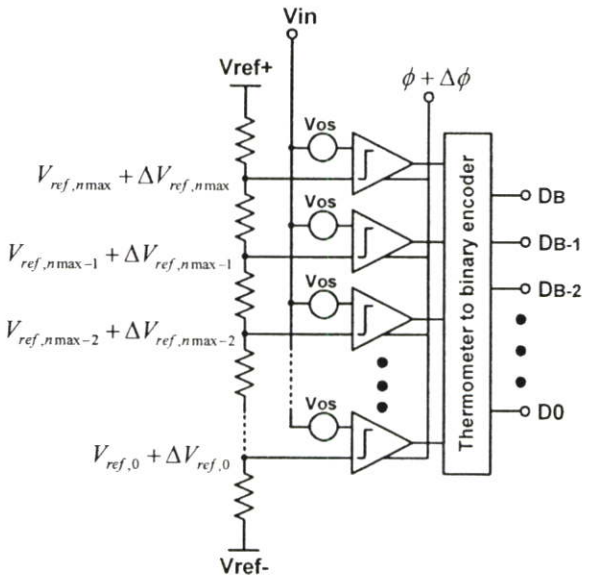
$$\Delta V_{out,m} = \frac{1}{2} \cdot \frac{1}{2^{N-\sum_{i=1}^{m-1} Bi}} \cdot V_{FS} \qquad 3.20$$

เมื่อ $V_{FS} = 2V_{ref}$ ดังนั้นค่าแรงดันออฟเซตของวงจรเปรียบเทียบสัญญาณในบล็อกที่ m จะต้องมีค่าไม่มากกว่าสมการที่ 3.21

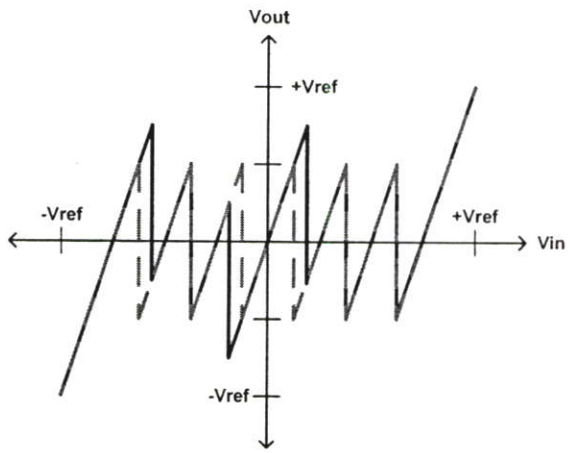
$$V_{os,c,m} = \frac{V_{ref}}{2^{N+B_m-\sum_{i=0}^{m-1} Bi}} \qquad 3.21$$

ในกรณีที่ใช้บิตเศษเหลือ ค่าแรงดันออฟเซตที่มีได้จะเท่ากับสมการที่ 3.22 ซึ่งมีค่ามากกว่าสมการที่ 3.21 และไม่ขึ้นกับจำนวนบล็อกในการแปลง

$$V_{os,c} = \pm \frac{r}{2^{Bi+r}} V_{ref} \qquad 3.22$$



(ก)



(ข)

รูปที่ 3.11 ความผิดพลาดจากแรงดันออฟเซตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย

ความผิดพลาดที่เกิดจากความคลาดเคลื่อนทางเวลา $\Delta\phi_i$ เกิดได้จากสองสาเหตุคือ ความคลาดเคลื่อนเนื่องจากเวลาในการเปรียบเทียบสัญญาณของวงจรเปรียบเทียบสัญญาณ ไม่ตรงกับเวลาในการสุ่มสัญญาณของวงจร MDAC และ ความคลาดเคลื่อนที่เกิดจาก clock jitter ค่าความคลาดเคลื่อนเนื่องจากสัญญาณเวลาที่ใช้ไม่ตรงกันจะมีผลต่อความผิดพลาดมากที่บล็อกแรก เนื่องจากบล็อกแรกจะต้องทำงานกับสัญญาณที่มีความต่อเนื่องทางเวลา ส่วนบล็อกหลังจะน้อยลง เนื่องจากสัญญาณถูกคงค่าให้คงที่ด้วยบล็อกก่อนหน้า ค่าความผิดพลาดระหว่างแรงดันที่ถูกแปลงด้วยวงจรเปรียบเทียบสัญญาณ กับแรงดันที่สุ่มได้หาได้จากผลต่างของเวลาดังสมการที่ 3.23

$$\Delta V_{in,i} = \frac{d}{dt} V_{in,i}(t) \cdot \Delta\phi_l \qquad 3.23$$

3.6.2 ผลจากความไม่เป็นอุดมคติในวงจรขยาย

ประสิทธิภาพของวงจรขยายในวงจรสวิตช์ตัวเก็บประจุ มีความสำคัญต่อความไม่เป็นเชิงเส้นของวงจรแปลงสัญญาณ เนื่องจากจะมีผลต่อความไม่เป็นเชิงเส้นทั้งแบบสถิตและพลวัติ ซึ่งความไม่เป็นอุดมคติของวงจรขยายที่จะทำการพิจารณามีดังนี้คือ ขนาดแบนด์วิดท์ อัตราสลูว์ และค่าอัตราขยายที่จำกัด

3.6.2.1 ผลจากอัตราขยายไฟตรงไม่เป็นอนันต์ (finite open loop DC-gain)

ความผิดพลาดจากความไม่เป็นอนันต์ของค่าอัตราขยายไฟตรง มีผลต่ออัตราขยายของวงจรสวิตช์ตัวเก็บประจุดังสมการที่ 3.24 จะเห็นได้ว่าอัตราขยายไฟตรงที่ไม่เป็นอนันต์ ทำให้อัตราขยายของวงจรสวิตช์ตัวเก็บประจุลดลง และเป็นค่าความผิดพลาดที่ไม่ขึ้นกับสัญญาณอินพุต

$$V_{out} = \left(\frac{C + \sum_{j=0}^{n-1} 2^j C}{C} V_{in} - \frac{\sum_{j=0}^{n-1} \left(m_j \cdot 2^j C \right)}{C} V_{ref} \right) \cdot \frac{1}{1 + \frac{1}{A_o f}} \qquad 3.24$$

เมื่อ f คือ แฟกเตอร์การป้อนกลับ $f = C_f \Big/ \left(C_f + \sum_{j=0}^{n-1} C_S \right)$ ดังนั้นค่าความผิดพลาดจากความไม่เป็นอนันต์ของอัตราขยายไฟตรงเท่ากับสมการที่ 3.25 ผลจากค่าความผิดพลาดนี้ควรมีค่าน้อยกว่า LSB/2

$$\varepsilon_{A_0} = \frac{1}{A_0 f} \qquad 3.25$$

3.6.2.2 ผลจากอัตราสลูว์ และแบนด์วิดท์ที่จำกัด

ความไม่เป็นอุดมคติเนื่องมาจากอัตราสลูว์ และ GBW จะมีผลต่อค่าความผิดพลาดในวงจรแปลงเป็นอย่างมาก เนื่องจากอัตราสลูว์และ GBW มีผลต่อแรงดันเอาต์พุตในแต่ละบล็อกของวงจรแปลง โดยอัตราสลูว์จะมีผลต่อสัญญาณในช่วงเวลาเริ่มต้นของเฟสคงค่าสัญญาณ เนื่องจากวงจรขยายจะเริ่มการสลูว์ ทำให้เกิดกระแสสูงสุดที่เอาต์พุต หลังจากนั้นแรงดันเอาต์พุตจะเริ่มเข้าสู่ค่าอุดมคติแบบเอกโปเนนเชียล ในช่วงนี้ช่วงเวลาเข้าที่จะโดนจำกัดโดยค่าทรานส์คอนดักแตนซ์ของวงจรขยาย และค่าตัวเก็บประจุที่โหลด ช่วงเวลาทั้งสองนี้จะถูกกำหนดโดยคาบเวลาของสัญญาณ ในทางปฏิบัติ ช่วงเวลาในการสลูว์จะต้องน้อยกว่าหนึ่งในสามของช่วงเวลาการคงค่าสัญญาณ ดังนั้นอัตราสลูว์จะเท่ากับสมการที่ 3.26

$$SR = \frac{I_{\max}}{C_L + C_f} \tag{3.26}$$

เมื่อ C_L คือตัวเก็บประจุที่เอาต์พุตรวมกับตัวเก็บประจุแฝง ในช่วงเวลานี้แรงดันเอาต์พุตจะเป็นเชิงเส้นกับอัตราสลูว์ดังนั้นแรงดันเอาต์พุตที่เวลา T/6 จะเท่ากับสมการที่ 3.27

$$V_{out}\left(\frac{T}{6}\right) = \frac{SR}{6 \cdot f_S} \tag{3.27}$$

เมื่อ T คือคาบเวลาของความถี่สุ่มสัญญาณ fs, T=1/fs
หลังจากการสลูว์สัญญาณจะเริ่มเข้าสู่ค่าอุดมคติแบบเอกซ์โพเนนเชียลดังสมการที่ 3.28

$$V_{out}(t) = \left(1 - e^{-\omega_{-3dB} t}\right) \cdot V_{out,ideal} \tag{3.28}$$

เมื่อ $\omega_{-3dB} = \omega_u \cdot f = \frac{gm}{C_{L,H}} \cdot f$ และค่า $C_{L,H}$ คือค่าตัวเก็บประจุในช่วงเวลาคงค่าสัญญาณที่เอาต์พุตมีค่าเท่ากับสมการที่ 3.29

$$C_{L,H} = C_L + C_{out} + \frac{C_f\left(\sum_{j=0}^{n-1} C_{S,j} + C_{par}\right)}{C_f + \sum_{j=0}^{n-1} C_{S,j} + C_{par}} \tag{3.29}$$

ดังนั้นค่าความถี่ตัด(cut off frequency) เท่ากับสมการที่ 3.30

$$\omega_{-3dB} = \frac{gm}{\frac{C_{L,tot}}{f} + \sum_{j=0}^{n-1} C_{S,j} + C_{par}} \tag{3.30}$$

กำหนดให้ช่วงเวลาเข้าที่เท่ากับ T/3 ดังนั้นช่วงเวลาเข้าที่คือ T/3 = 1/3fs ดังนั้นค่าความผิดพลาดจากช่วงเวลาเข้าที่จะเท่ากับสมการที่ 3.31

$$\varepsilon_\tau = e^{-\frac{gm}{\frac{C_{L,tot}}{f} + \sum_{j=0}^{n-1} C_{S,j} + C_{par}} \frac{1}{3 f_S}} \tag{3.31}$$

จะเห็นได้ว่าค่าความผิดพลาดของช่วงเวลาเข้าที่ ทำให้เกิดความผิดพลาดของสัญญาณที่ขึ้นกับเวลาซึ่งจะทำให้เกิดความเพี้ยนทางฮาโมนิกส์ขึ้น

3.6.3 ความผิดพลาดในทรานซิสเตอร์สวิตช์

ความไม่เป็นอุดมคติของทรานซิสเตอร์สวิตช์ทำให้เกิดความไม่เป็นเชิงเส้นขึ้นในวงจร แหล่งกำเนิดความไม่เป็นเชิงเส้นมีด้วยกันหลายส่วน ส่วนใหญ่เกิดความไม่เป็นอุดมคติและความไม่เป็นเชิงเส้นของความต้านทานของสวิตช์ การรบกวนของสัญญาณนาฬิกา (Clock feedthrough) และ ความไม่เป็นเชิงเส้นของประจุในสวิตช์

ผลจากความไม่เป็นอุดมคติของค่าความต้านทานของสวิตช์จะทำให้เกิดข้อจำกัดทางแบนวิดขึ้น เช่น ในช่วงเวลาการสุ่มสัญญาณของวงจรสวิตช์ตัวเก็บประจุ ค่าความต้านทานของสวิตช์ไม่เท่ากับศูนย์ และตัวเก็บประจุทำให้เกิดค่าคงตัวเวลา (time constant) ซึ่งจะเป็นตัวกำหนดแบนด์วิดท์ของวงจร ในการออกแบบควรจะออกแบบให้ช่วงเวลาเข้าที่ของสวิตช์มากกว่าช่วงเวลาเข้าที่ของวงจรประมาณ 5 เท่า

ความต้านทานของสวิตช์จะขึ้นกับขนาดและแรงดัน Vgs ดังสมการที่ 3.32 ถ้าขนาดของสวิตช์คงที่ ความต้านทานของสวิตช์จะขึ้นกับ Vgs โดยตรง โดยทั่วไป Vgs ของสวิตช์จะเปลี่ยนแปลงตามสัญญาณที่ขาซอสของสวิตช์ทำให้ค่าความต้านทานของสวิตช์ขึ้นกับเวลา เป็นสาเหตุของความผิดเพี้ยนทางฮาโมนิกส์ สามารถสร้างค่าความต้านทานคงที่ได้โดยการสร้าง Vgs คงที่ด้วยวงจรบูตสแตรปสวิตช์

$$r_{on} = \frac{1}{\mu C_{ox}\left(\frac{W}{L}\right)\left(V_{gs} - V_T\right)} \qquad 3.32$$

ในช่วงเวลาสุ่มสัญญาณ สวิตช์ปิด แรงดันตกคร่อมสวิตช์ Vds มีค่าเกือบเป็นศูนย์ เกิดประจุในสวิตช์เท่ากับสมการที่ 3.33 เมื่อสวิตช์เปิด ประจุที่ถูกเก็บไว้จะกระจายไปที่ขาเดรนและขาซอสของสวิตช์ตามอัตราส่วนของอิมพีแดนต์ของแต่ละขา การกระจายของประจุจะเกิดขึ้นที่ขอบขาลงของช่วงเวลาสุ่มสัญญาณ ทำให้ประจุเปลี่ยนแปลงกับเวลาและ Vgs ทำให้เกิดความเพี้ยนขึ้นในประจุของวงจรสวิตช์ตัวเก็บประจุ วิธีแก้ไขคือใช้ bottom-plate sampling switch จะทำให้ประจุในสวิตช์คงที่ไม่ขึ้นกับเวลา

$$Q_{ch} = -WLC_{ox}\left(V_{gs} - V_T\right) \qquad 3.33$$

3.6.4 สัญญาณรบกวนอุณหภูมิ

สัญญาณรบกวนอุณหภูมิเป็นสัญญาณรบกวนที่เกิดขึ้นจากอุปกรณ์ในวงจร และสัญญาณนาฬิกา สำหรับวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ที่ใช้วงจรสวิตช์ตัวเก็บประจุ อุปกรณ์ที่ทำให้เกิดสัญญาณรบกวนอุณหภูมิมากที่สุดคือ วงจรขยายสัญญาณ และตัวเก็บประจุในวงจรสวิตช์ตัวเก็บประจุ สัญญาณรบกวนในตัวเก็บประจุเรียกว่าสัญญาณรบกวนเชิงอุณหภูมิ (kT/C) มีกำลังงานของสัญญาณรบกวนเท่ากับสมการที่ 3.34

$$e_{kT/C}^2 = \frac{kT}{C_f + \sum_{j=0}^{n-1} C_{S,j}} \tag{3.34}$$

เมื่อ k คือ ค่าคงที่ของโบลต์ซมันน์ T คืออุณหภูมิเคลวิน สามารถหาค่ากำลังงานสัญญาณต่อสัญญาณรบกวนได้ในสมการที่ 3.35 เมื่ออินพุตเป็นสัญญาณไซน์ที่มีขนาด $V_{FS}/2$ และควรมีค่ากำลังงานต่ำกว่าสัญญาณรบกวนจากการจัดระดับสัญญาณ

$$SNR_{kT/C} = 10\log\frac{V_{FS}^2\left(C_f + \sum_{j=0}^{n-1} C_S\right)}{8kT} \tag{3.35}$$

บทที่ 4
วงจรขยายทรานส์คอนดักเตอร์ผลต่างแบบเทียมแบบใหม่ และวงจรส่วนต่างๆ

4.1 บทนำ

จากโครงสร้างวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลในบทที่ 3 จะเห็นได้ว่า วงจรที่มีความสำคัญต่อประสิทธิภาพและการสูญเสียกำลังงานของระบบ คือ วงจรขยายทรานส์คอนดักเตอร์ในวงจรสวิตช์ตัวเก็บประจุ ซึ่งเป็นส่วนประกอบของวงจร MDAC ในบทนี้จะเป็นการออกแบบวงจรขยายทรานส์คอนดักเตอร์แบบใหม่ ที่มีประสิทธิภาพสูง แต่มีการสูญเสียกำลังงานต่ำ จากนั้นจะเป็นการออกแบบวงจรที่เป็นส่วนประกอบของตัวแปลงสัญญาณ ทั้งในส่วนของวงจรแอนะลอกและดิจิตอล

4.2 การออกแบบวงจรทรานส์คอนดักเตอร์ผลต่างแบบเทียมแบบใหม่

วงจรทรานส์คอนดักเตอร์เป็นวงจรที่มีความสำคัญต่อการออกแบบตัวแปลงมากเนื่องจากประสิทธิภาพของวงจรทรานส์คอนดักเตอร์มีผลต่อความไม่เป็นเชิงเส้นทั้งทางสถิต และพลวัติของตัวแปลงทั้งระบบ สาเหตุสำคัญของความไม่เป็นเชิงเส้นได้แก่ ค่าแรงดันออฟเซต, ค่าอัตราขยายทางไฟตรงที่ไม่เป็นอนันต์, ค่าอัตราสลูว์ไม่เพียงพอ และค่า เกณฑ์แบนวิดท์จำกัด ดังที่ได้กล่าวไปในบทที่ 3

ข้อกำหนดของวงจรทรานส์คอนดักเตอร์สามารถกำหนดได้จากมาตรฐานของเครื่องรับสัญญาณและค่าผิดพลาดสูงสุดที่ยอมรับได้ของตัวแปลงสัญญาณ ทำให้สามารถหาเงื่อนไขในการออกแบบวงจรทรานส์คอนดักเตอร์ได้ดังนี้ ค่าอัตราสลูว์มีค่ามากกว่า100V/μs, อัตราขยายไฟตรงควรมีค่ามากกว่า 45-dB , เกณฑ์แบนวิดท์ควรมีค่ามากกว่า 160-MHz ช่วงเวลาเข้าที่น้อยกว่า 21-ns และมีค่าทรานส์คอนดักแตนซ์ควรมีค่ามากกว่า 700-μA/V (ภาคผนวก ก)

เพื่อให้ได้ตามข้อกำหนดของวงจรทรานส์คอนดักเตอร์ข้างต้น ในการออกแบบโดยทั่วไปจะนิยมใช้โครงสร้างคาสโคดแบบพับ[4] แต่การออกแบบสำหรับระบบที่มีระดับแรงดันไฟเลี้ยงต่ำ โครงสร้างนี้จะไม่เหมาะสมเนื่องจากจะมีการแกว่งของสัญญาณที่เอาต์พุตมีช่วงที่ต่ำ และอาจมีการสูญเสียกำลังงานมากเนื่องจากจะต้องออกแบบให้ค่าทรานส์คอนดักแตนส์ของทรานซิสเตอร์อินพุตมีค่าสูงเพื่อให้เพียงพอกับความต้องการของอัตราสลูว์

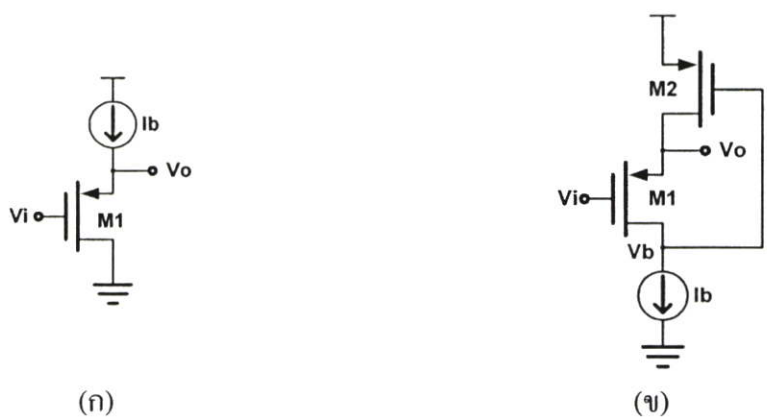
ในการออกแบบตัวแปลงสัญญาณนอกจากจะมุ่งเน้นถึงความถูกต้องในการแปลงแล้วยังจะต้องคำนึงถึงกำลังงานที่จะต้องสูญเสียไปในการทำงานด้วย ดังนั้นในการออกแบบจึงควร

ออกแบบให้อุปกรณ์กินกำลังงานต่ำที่สุดโดยที่การทำงานยังคงมีประสิทธิภาพไม่ต่างจากเดิม เนื่องจากวงจรทรานส์คอนดักเตอร์จะเป็นวงจรที่มีการสูญเสียกำลังงานมากที่สุดในตัวแปลง ดังนั้น การลดการสูญเสียกำลังงานของวงจรทรานส์คอนดักเตอร์จึงสามารถลดการสิ้นเปลืองกำลังงานของตัวแปลงโดยรวมได้เป็นอย่างดี

วงจรที่ทำงานแบบคลาสเอบีเป็นรูปแบบที่นิยมนำมาใช้เพื่อลดการสูญเสียกำลังงานสถิตของวงจร [5], [6], [7] และสามารถนำมาใช้ในการออกแบบวงจรสวิตช์ตัวเก็บประจุใน MDAC ได้ การประยุกต์ใช้วงจรคู่ผลต่างคลาสเอบีแบบเทียมดังรูปที่ 4.2 [8] ทำให้วงจรทรานส์คอนดักเตอร์สามารถลดกำลังงานสูญเสียสถิตจากค่ากระแสไบอัสและสามารถทำงานที่แรงดันไฟเลี้ยงต่ำได้

4.2.1 วงจรคู่ผลต่างคลาสเอบีแบบเทียม (Pseudo-differential pair)

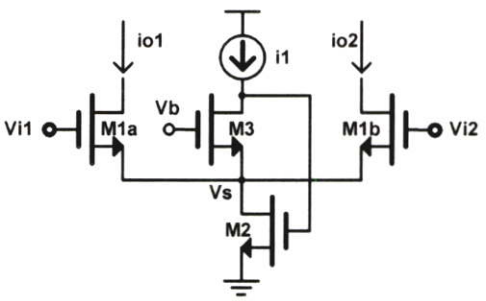
วงจรคู่ผลต่างคลาสเอบีแบบเทียมในรูปที่ 4.2 เป็นวงจรคู่ผลต่างที่นำเซลล์ flip voltage follower (FVF)[24] มาใช้ เพื่อต้องการลดการสูญเสียกำลังงานสถิต และสามารถทำงานในสภาวะแรงดันไฟเลี้ยงต่ำได้ โดยเซลล์ FVF มีพื้นฐานมาจากวงจรตามแรงดันดังแสดงในรูปที่ 4.1(ก) ซึ่งสามารถ รับกระแสจากโหลดได้มาก แต่มีความสามารถจ่ายกระแสได้จำกัด โดยไม่สามารถจ่ายกระแสได้มากกว่ากระแสไบอัส Ib และมีคุณสมบัติไม่เป็นเชิงเส้นเนื่องจาก V_{gs1} จะมีค่าไม่คงที่โดยจะเปลี่ยนแปลงตามกระแสโหลด ส่วนเซลล์ FVF แสดงในรูปที่ 4.1(ข) จะมีความสามารถในการจ่ายกระแสมากแต่มีความสามารถในการรับกระแสจำกัดเท่ากับกระแสไบอัส Ib แต่จะมีความเป็นเชิงเส้นสูงเนื่องจากแรงดัน V_{gs1} มีค่าคงที่โดยอาศัยกลไกแบบ Shunt-feedback ที่ทรานส์ซิสเตอร์ M1 ซึ่งต่ออยู่ในลักษณะของวงจรขยายเกตร่วม เมื่อเกิดการดึงกระแสออกจากโหนด Vo แรงดันที่โหนด Vb จะลดต่ำลง ทำให้ทรานส์ซิสเตอร์ M2 จ่ายกระแสไปยังโหลดเพิ่มขึ้น ทำให้แรงดันที่โหนด Va มีค่าค่อนข้างคงที่ เสมือนค่าความต้านทานที่ขาซอสของ M1 มีค่าต่ำโดยจะมีค่าประมาณ $ro = 1/gm_1 gm_2 ro_2$ ทำให้สามารถจ่ายกระแสได้มาก โดย M2 จะทำหน้าที่ในการจ่ายกระแสที่มากกว่าค่ากระแสไบอัส



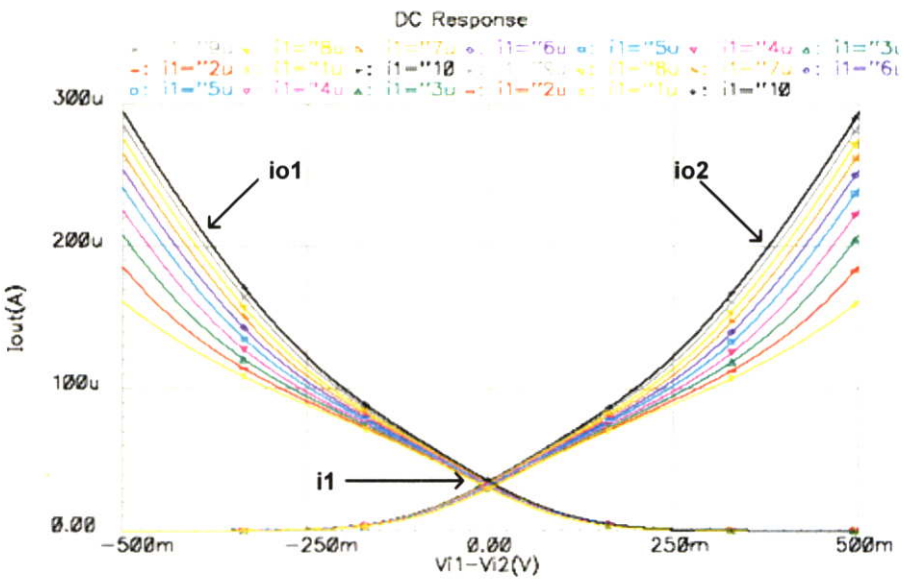
รูปที่ 4.1 (ก) วงจรตามแรงดัน (ข) Flipped voltage follower (FVF)

คู่ผลต่างคลาสเอบีแบบเทียมในรูปที่ 4.2 สามารถไบอัสด้วยกระแสค่าที่ไม่มากนักได้ เมื่อเกิดการเปลี่ยนแปลงของสัญญาณอินพุต ทรานส์ซิสเตอร์อินพุตจ่ายและดึงกระแสเพิ่มมากขึ้น ผ่านทางทรานส์ซิสเตอร์ M2 โดยความสัมพันธ์ระหว่างแรงดันผลต่างอินพุตกับกระแสเอาต์พุต io1 และ io2 แสดงได้ดังรูปที่ 4.3 จะเห็นได้ว่าสามารถปรับค่าทรานส์คอนดักแตนส์ได้โดยการปรับค่ากระแสไบอัส i1 เนื่องจากกระแส i1 เป็นตัวกำหนดแรงดัน Vgs ของทรานส์ซิสเตอร์อินพุต และค่าทรานส์คอนดักแตนซ์ของคู่ผลต่างคลาสเอบีนั้นมีค่าโดยประมาณมากที่สุดได้เท่ากับค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์อินพุต

การใช้โครงสร้างของวงจรคู่ผลต่างคลาสเอบีแบบเทียม เป็นภาคอินพุตของวงจรทรานส์คอนดักเตอร์ทำให้สามารถลดการสูญเสียกำลังงานทางสถิตได้ แต่จะต้องใช้โครงสร้างคาสโคดแบบพับที่ภาคเอาต์พุต [5] เพื่อเพิ่มอัตราขยายแรงดัน ซึ่งในการออกแบบวงจรในสภาพแวดล้อมที่มีระดับแรงดันไฟเลี้ยงต่ำจะทำให้ช่วงการแกว่งของสัญญาณที่เอาต์พุตมีขนาดลดลง



รูปที่ 4.2 วงจรคู่ผลต่างคลาสเอบีแบบเทียม



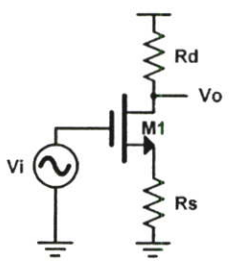
รูปที่ 4.3 ผลตอบสนองทางไฟตรงของ io1 และ io2

การออกแบบวงจรในสภาวะแวดล้อมที่มีระดับแรงดันไฟเลี้ยงต่ำ และมีช่วงการแกว่งของสัญญาณที่เอาต์พุตสูง สามารถทำได้โดยการใช้โครงสร้างของภาคอินพุตที่มีค่าทรานส์คอนดักแตนส์สูง

4.2.2 การเพิ่มค่าทรานส์คอนดักแตนซ์โดยใช้ความต้านทานค่าลบ

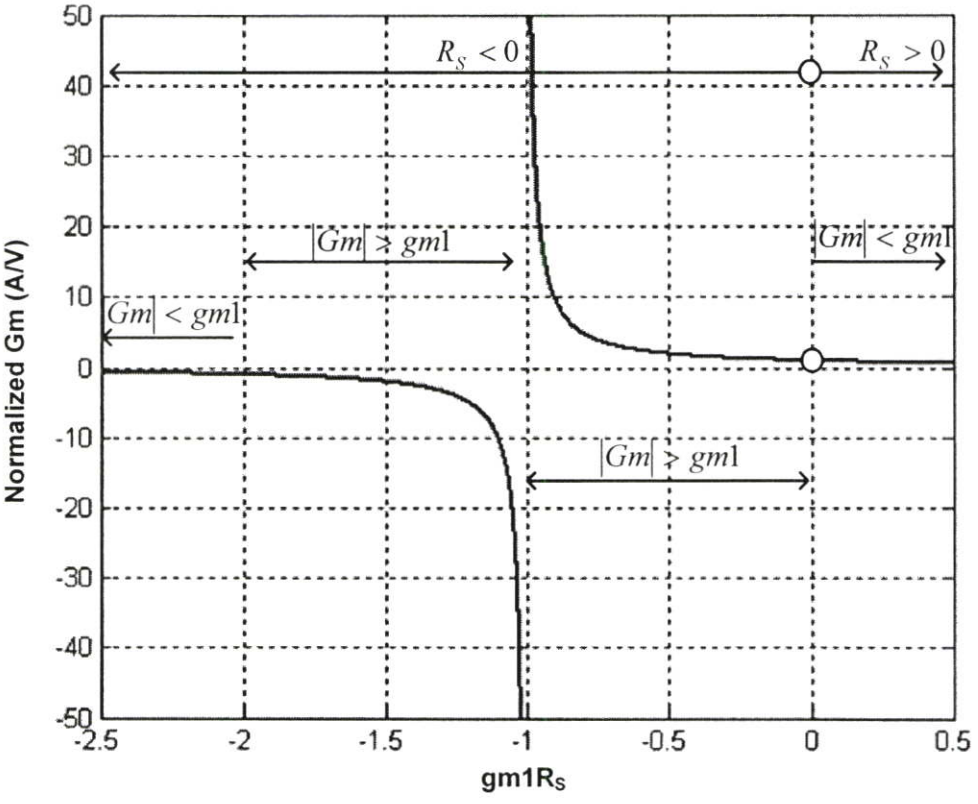
จากวงจรขยาย source degeneration ในรูปที่ 4.4 ค่าทรานส์คอนดักแตนซ์ (Gm) ของวงจรจะมีความสัมพันธ์กับค่าความต้านทาน R_S ดังสมการที่ 4.1 ซึ่งจากความสัมพันธ์โดยทั่วไปถ้าค่า gm_1 มีค่ามาก ค่าทรานส์คอนดักแตนซ์ (Gm) จะมีความเป็นเชิงเส้นโดยมีค่าเท่ากับ $1/R_S$ แต่ในกรณีที่ gm_1 มีค่าน้อย ค่า Gm จะมีค่าน้อยกว่า gm_1 ทั้งสองกรณีพิจารณาในเงื่อนไขที่ค่า R_s เป็นค่าบวก แต่ถ้าพิจารณาให้ค่า R_S มีคุณสมบัติเป็นความต้านทานแบบลบจะสามารถสร้างค่า Gm ให้มีค่ามากกว่า gm_1 ได้โดยการทำให้เทอมส่วนของสมการมีค่าน้อยกว่า 1 ด้วยค่าผลคูณของ gm_1 และ R_S

จากสมการที่ 4.1 สามารถแสดงความสัมพันธ์ระหว่างผลคูณของ $gm_1 R_S$ และ อัตราส่วนของ Gm ต่อ gm_1 ได้ดังรูปที่ 4.5 จะเห็นได้ว่าที่ค่า R_S เป็นบวก ค่า Gm จะมีค่าน้อยลงถ้า $gm_1 R_S$ มีค่ามากขึ้น แต่ที่ค่า R_S เป็นลบ Gm จะมีขนาดมากกว่า gm_1 และมีค่าเป็นบวกเมื่อ $-1 < gm_1 R_S < 0$ และมีค่าเข้าสู้ค่าบวกอนันต์เมื่อ $gm_1 R_S$ ลดลงเข้าสู่ค่า -1 แต่ถ้า $-2 < gm_1 R_S < -1$ ค่า Gm จะมีขนาดมากกว่า gm_1 แต่มีค่าเป็นลบและมีค่าเข้าสู่ค่าลบอนันต์เมื่อ $gm_1 R_s$ เพิ่มขึ้นเข้าสู่ค่า -1 และค่า Gm จะมีค่าเท่ากับ $-gm_1$ เมื่อ $gm_1 R_S$ มีค่าเท่ากับ -2 ค่า Gm จะมีค่าเป็นลบที่มีลักษณะลดลงเรื่อยๆ เมื่อค่า $gm_1 R_S$ มีค่าน้อยกว่า -2 ดังรูปที่ 4.5



รูปที่ 4.4 วงจรขยายแบบ source degeneration

$$Gm = \frac{gm_1}{1 + gm_1 R_S} \qquad 4.1$$



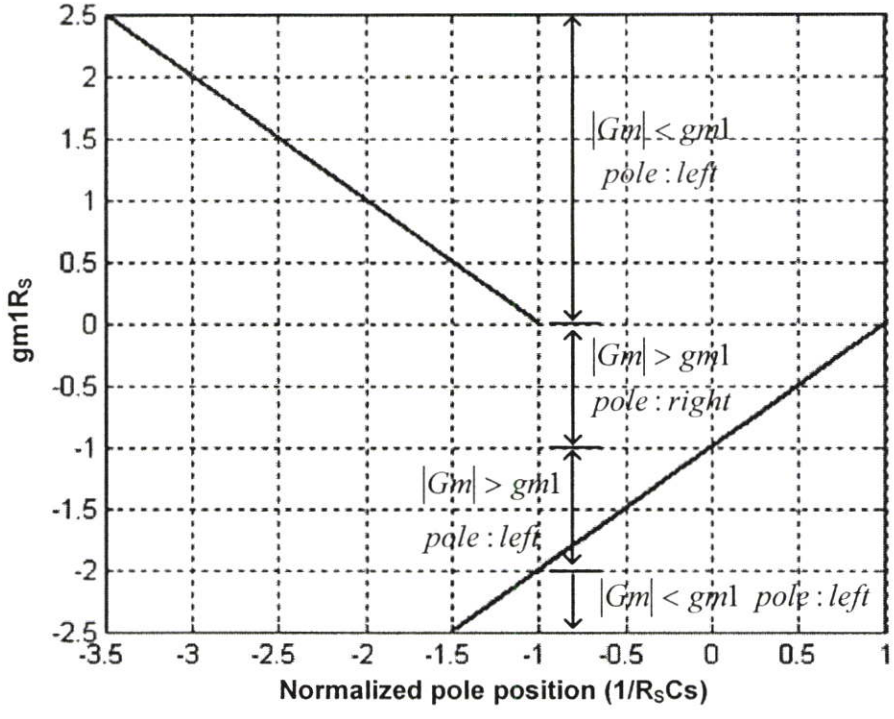
รูปที่ 4.5 ความสัมพันธ์ระหว่างค่า Gm และ gm_1R_s

เมื่อพิจารณาถึงผลตอบสนองทางความถี่สูงของวงจรในรูปที่ 4.1 สมการที่ 4.2 แสดงความสัมพันธ์ระหว่างค่าความต้านทาน R_S , gm_1 และความเก็บประจุแฝงที่ขาซอส Cs จะเห็นได้ว่าค่าทั้งสามมีความสัมพันธ์กับตำแหน่งของทั้งโพลและซีโร่ของวงจร โดยค่าซีโร่จะอยู่ทางขวามือของระนาบ S เมื่อค่า R_S เป็นความต้านทานแบบลบแสดงได้ดังสมการที่ 4.3 ซึ่งค่าซีโร่ทางขวามือนี้สามารถชดเชยทางความถี่ได้ด้วยวิธีการของมิลเลอร์ ส่วนความสัมพันธ์ของค่าโพลในสมการที่ 4.4 สามารถแสดงได้ในรูปที่ 4.6 เนื่องจากตำแหน่งของโพลจะมีความสัมพันธ์กับค่า $gm_1 R_S$ ในกรณีที่ R_S มีค่าเป็นบวกโพลจะอยู่ทางซ้ายมือของระนาบ S เสมอ แต่ในกรณีที่ค่า R_s เป็นค่าลบ จะมีบางช่วงของค่า $gm_1 R_S$ ที่โพลอยู่ทางขวามือของระนาบ S จากรูปที่ 4.6 แสดงถึงความสัมพันธ์ของค่า $gm_1 R_S$ และค่าของโพลของวงจรในสมการที่ 4.4 ที่ทำการนอร์แมลไลซ์ด้วยค่า $1/ R_SCs$ จะเห็นได้ว่าช่วงที่โพลอยู่ทางขวามือของระนาบ S คือ $-1< gm_1 R_S < 0$ และโพลทางขวามือจะมีตำแหน่งเข้าใกล้จุดกำเนิดมากที่สุดเมื่อค่า $gm_1 R_S$ มีค่าลดลงเข้าสู่ค่า -1

$$Gm(s) = \frac{gm1(1 + sR_S)}{(1 + gm1R_S) + sR_SCs} \qquad 4.2$$

$$\omega_z = \frac{-1}{R_S C_S} \tag{4.3}$$

$$\omega_p = -\frac{(1 + gm_1 R_n)}{R_S C_S} \tag{4.4}$$

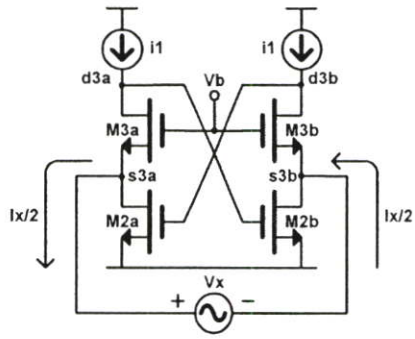


รูปที่ 4.6 ความสัมพันธ์ระหว่างตำแหน่งของนอร์แมลไลซ์โพล กับ $gm_1 R_S$

จากรูปที่ 4.5 และรูปที่ 4.6 จะเห็นได้ว่า การใช้ความต้านทานค่าลบจะสามารถเพิ่มค่า *Gm* ได้ในเงื่อนไขที่เหมาะสม เมื่อนำเงื่อนไขของขนาด และเงื่อนไขของเสถียรภาพมาพิจารณาร่วมกัน จะพบว่าช่วงของการออกแบบที่เหมาะสมคือช่วง $-2 < gm_1 R_S < -1$ เนื่องจากช่วงนี้สามารถออกแบบให้มีเสถียรภาพที่ดีได้พร้อมกับมีค่าทรานส์คอนดักแตนซ์ที่สูง

การสร้างค่าความต้านทานที่เป็นลบ อาศัยหลักการของความต้านทานแบบลบคือ เมื่อแรงดันเพิ่มขึ้น กระแสจะไหลออก ในขณะที่ความต้านทานเป็นบวกกระแสจะไหลเข้า ซึ่งคุณสมบัติของความต้านทานเป็นลบสามารถสร้างได้โดยการใช้หลักการของการป้อนกลับแบบบวกอย่างอ่อนดังรูปที่ 4.7 ซึ่งประกอบด้วยวงจรขยายแบบคาสโคดต่อกันสองชุด ลักษณะของความต้านทานแบบลบจะเกิดขึ้นเมื่อเกิดการดึงหรือจ่ายกระแสออกจากโหนด s3a และโหนด s3b การดึงกระแสออกจากโหนด s3a จะทำให้เกิดการเปลี่ยนแปลงแรงดันแบบลดลงที่โหนด d3a และเพิ่มขึ้นที่โหนด d3b ทำให้ Vgs2a เพิ่มขึ้นและ Vgs2b ลดลงทำให้แรงดัน Vds ของ

M2a และ Vds ของ M2b ลดลงและเพิ่มขึ้นตามลำดับ แต่การเพิ่มขึ้นและลดลงจะต้องไม่มากเกินไปเพื่อป้องกันการออสซิลเลต ค่าความต้านทานของโครงสร้างมีความสัมพันธ์กับค่าทรานส์คอนดักแตนส์และความต้านทานดังสมการที่ 4.5 (ภาคผนวก ค)



รูปที่ 4.7 วงจรความต้านทานค่าลบ

$$R_n \approx \frac{-go_3}{gm_2 gm_3} \qquad 4.5$$

4.2.3 วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบใหม่

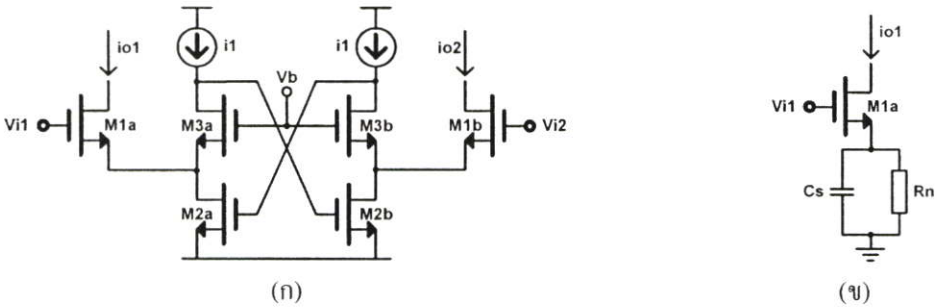
เมื่อสามารถสร้างค่าทรานส์คอนดักแตนส์ที่มีค่าสูงได้ด้วยความต้านทานค่าลบ และสามารถลดการสูญเสียกำลังงานทางสถิตได้ด้วยการไบอัสแบบคลาสเอบี ทำให้สามารถออกแบบวงจรทรานส์คอนดักแตนซ์ที่มีการสูญเสียทางสถิตต่ำ และสามารถทำงานในสภาพแวดล้อมแรงดันไฟเลี้ยงต่ำได้ โครงสร้างของวงจรที่ใช้ความต้านทานแบบลบและไบอัสแบบคลาสเอบีแสดงในรูปที่ 4.8(ก) ประกอบไปด้วยทรานส์ซิสเตอร์อินพุต M1a, M1b และวงจรความต้านทานแบบลบ M2a, M2b, M3a, M3b ซึ่งไบอัสด้วยกระแส i1 ซึ่งมีการไบอัสแบบคลาสเอบี รูปที่ 4.8(ข) แสดงครึ่งวงจรของคู่ผลต่างอินพุต ค่า Cs = C_{gs1}+C_{gs3} จากสมการที่ 4.2 ซึ่งเป็นสมการทรานส์คอนดักแตนซ์ของคู่ผลต่างคลาสเอบีแบบใหม่แสดงให้เห็นว่าค่าทรานส์คอนดักแตนซ์ ถูกคูณอยู่กับแฟกเตอร์ $1/(1+gm_1R_S)$ ซึ่งสามารถเพิ่มค่าทรานส์คอนดักแตนซ์ของอินพุตได้ดังที่กล่าวไปแล้ว

จากรูปที่ 4.8 สามารถหาความสัมพันธ์ของกระแสได้ดังนี้ เมื่อกำหนดให้ $I_1 = \alpha I_3$ เมื่อ I_1, I_2 และ I_3 เป็นกระแสของ *M1a,b* , *M2a,b* และ *M3a,b* ตามลำดับ

$$I_2 = I_1 + I_3 = I_3(1+\alpha) \qquad 4.6$$

จากสมการทรานส์คอนดักแตนซ์ $gm = 2I_d / Veff$ เมื่อ $Veff = V_{gs} - V_{th}$

$$I_3 = \frac{gm_1 Veff_1}{2 \cdot \alpha} \tag{4.7}$$



รูปที่ 4.8 วงจรคู่ผลต่างคลาสเอบีกับค่าความต้านทานแบบลบ

แทนค่าสมการ 4.7 ในสมการ 4.6

$$I_2 = \frac{gm_1 Veff_1 (1+\alpha)}{2 \cdot \alpha} \tag{4.8}$$

แทนค่า I_2 ในรูปของ gm_2 ในสมการที่ 4.8

$$\frac{gm_2 Veff_2}{2} = \frac{gm_1 Veff_1 (1+\alpha)}{2 \cdot \alpha} \tag{4.9}$$

จากสมการที่ 4.9 สามารถจัดให้อยู่ในรูปของความสัมพันธ์ระหว่าง gm_1 และ gm_2 ได้ดังสมการที่ 4.10

$$\frac{gm_1}{gm_2} = \frac{Veff_2 \cdot \alpha}{Veff_1 (1+\alpha)} \tag{4.10}$$

จากสมการทรานส์คอนดักแตนซ์ของวงจรขยาย source degeneration 4.2 แทนค่าสมการความต้านทานค่าลบจากสมการที่ 4.5

$$Gm = \frac{gm_1}{1 - \frac{gm_1 go_3}{gm_2 gm_3}} \tag{4.11}$$

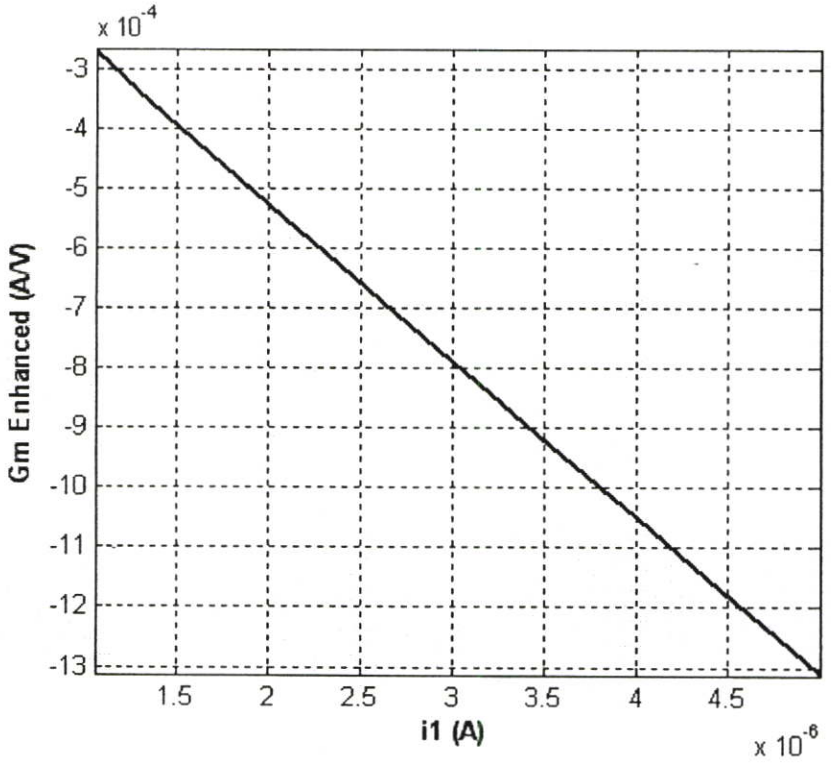
แทนค่าความสัมพันธ์ $go = \lambda \cdot I_d, gm = 2I_d/Veff$ ของ $M3a,b$, $M1a,b$ และสมการที่ 4.10 แทนค่าในสมการ 4.11

$$Gm = \frac{2 \cdot \alpha \cdot I_3/Veff_1}{1 - \frac{Veff_2 \cdot \alpha}{Veff_1(1+\alpha)} \cdot \frac{Veff_3 \cdot \lambda}{2}} \qquad 4.12$$

จากสมการที่ 4.12 กำหนดให้ $Veff_1 = Veff_3 = 0.08V, Veff_2 = 0.2V, \alpha = 14$ จากรูปที่ 4.8 M3 จะทำงานในย่านไตรโอด $go_3 \approx gm_3$ และไม่คิดผลของ λ จะได้ว่า

$$Gm \cong \frac{2 \cdot \alpha \cdot I_3/Veff_1}{1 - \frac{Veff_2 \cdot \alpha}{Veff_1(1+\alpha)}} \qquad 4.13$$

เมื่อนำสมการที่ 4.13 มาพล็อตกราฟหาความสัมพันธ์ระหว่าง $I_3 = i1$ และ Gm จะได้ค่าของ Gm ในช่วง $1\mu A \le i1 \le 5\mu A$ ดังรูปที่ 4.9



รูปที่ 4.9 กราฟความสัมพันธ์ระหว่าง *i1* และ *Gm* จากสมการ 4.13

ค่าทรานส์คอนดักแตนซ์ที่ต้องการจะต้องมีค่ามากกว่า 700μA/V ซึ่งจากรูปที่ 4.9 จะต้องใช้กระแสไบอัสมากกว่า 2.7μA เลือกค่า *Gm* มากกว่า 1mA/V ดังนั้นจะต้องใช้ค่ากระแสไบอัส 4μA เป็นค่าเริ่มต้น จะสามารถหาขนาดของทรานส์ซิสเตอร์ M1-M3 ได้ดังต่อไปนี้

$I_3 = 4\mu A$, $Veff_3 = 0.08V$, $Kn = 175\mu A/V^2$

$$\left(\frac{W}{L}\right)_3 = \frac{2I_3}{Kn \cdot Veff_3^{\,2}} = \frac{2(4\mu A)}{175\,\mu A/V^2\,(0.08)^2} = 7.14 = \frac{2.5\mu m}{0.35\mu m} \qquad 4.14$$

$I_1 = kI_3 = 14(4\mu A) = 56\mu A$, $Veff_1 = 0.08V$, $Kn = 175\mu A/V^2$

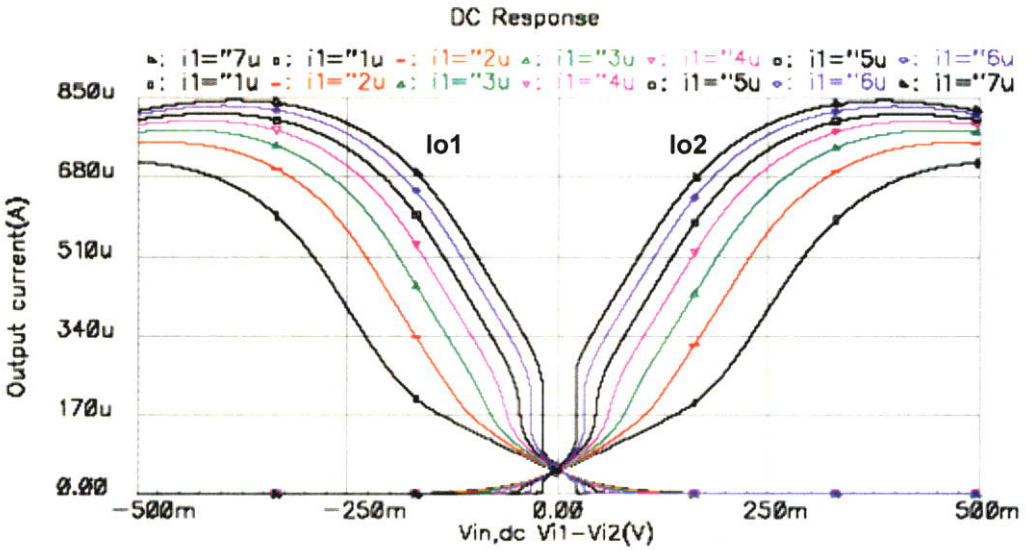
$$\left(\frac{W}{L}\right)_1 = \frac{2I_1}{Kn \cdot Veff_1^{\,2}} = \frac{2(14)(4\mu A)}{175\,\mu A/V^2\,(0.08)^2} = 99 = \frac{35\mu m}{0.35\mu m} \qquad 4.15$$

$I_2 = (k+1)I_3 = 15(4\mu A) = 60\mu A$, $Veff_1 = 0.2V$, $Kn = 175\mu A/V^2$

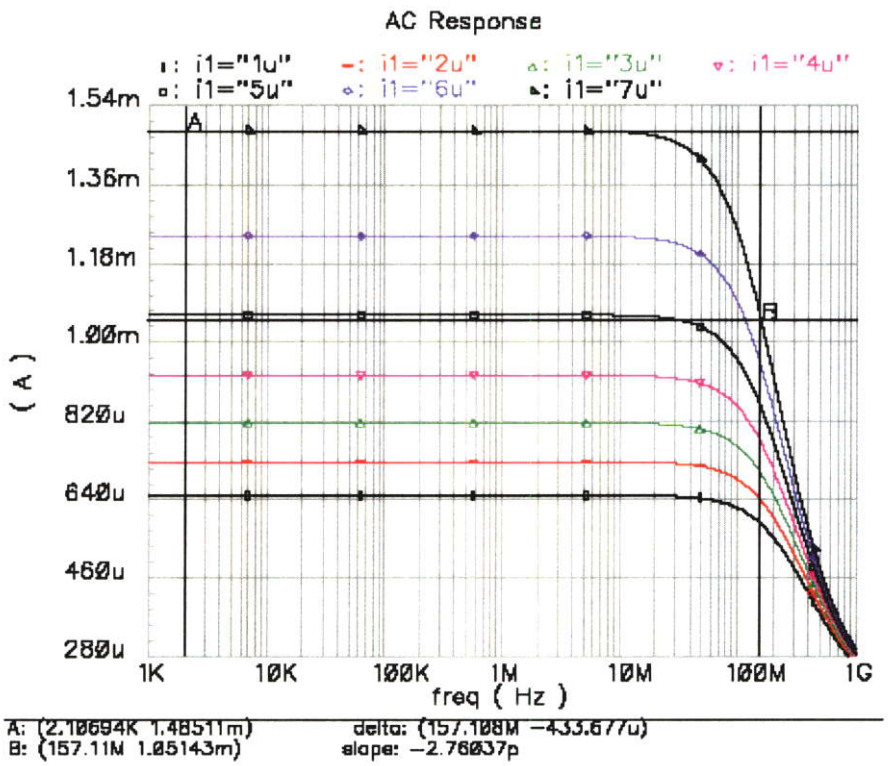
$$\left(\frac{W}{L}\right)_2 = \frac{2I_2}{Kn \cdot Veff_1^{\,2}} = \frac{2(15)(4\mu A)}{175\,\mu A/V^2\,(0.2)^2} = 17.14 = \frac{6\mu m}{0.35\mu m} \qquad 4.16$$

เนื่องจากค่าที่ได้จากการคำนวณเป็นเพียงค่าที่ใช้ในการประมาณค่า จึงจะต้องมีการปรับเปลี่ยนค่าที่ได้เมื่อทำการออกแบบจริง สำหรับการออกแบบวงจรอินพุตที่ใช้การป้อนกลับแบบบวกอย่างอ่อนสร้างเป็นความต้านทานค่าลบ เนื่องจากใช้โครงสร้างการป้อนกลับแบบบวกสร้างความต้านทานค่าลบ ซึ่งค่าในบางช่วงอาจทำให้วงจรขาดเสถียรภาพได้ถ้าเกิดความผิดพลาดในกระบวนการผลิต ดังนั้นจึงจะต้องออกแบบให้วงจรในส่วนนี้สามารถปรับค่าความต้านทานได้โดยการปรับค่ากระแสไบอัส *i1*

รูปที่ 4.10 เป็นค่าของกระแส io1 และ io2 ของทรานส์ซิสเตอร์อินพุตเมื่อทำการปรับค่ากระแสไบอัส *i1* ตั้งแต่ 1μA จนถึง 7μA โดยการปรับค่ากระแสไบอัส i1 นั้นเป็นการปรับค่าความต้านทานแบบลบ โดยถ้าผลคูณระหว่างค่าความต้านทานแบบลบและ gm_1 มีค่าเข้าสู่ค่า -1 จะทำให้ค่าทรานส์คอนดักแตนซ์มีค่าเพิ่มขึ้นดังรูปที่ 4.11 ซึ่งเป็นผลตอบสนองทางความถี่ของค่าทรานส์คอนดักแตนซ์ ซึ่งจะมีค่าลดลงที่ความถี่สูงขึ้น



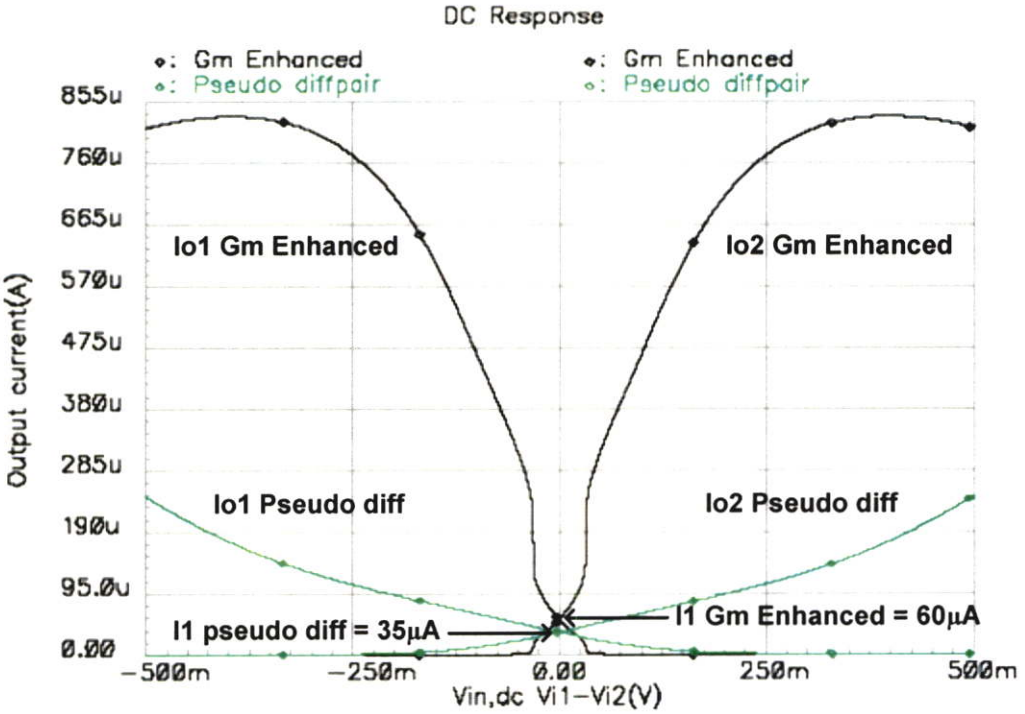
รูปที่ 4.10 ผลตอบสนองทางไฟตรงของกระแส io1 และ io2



รูปที่ 4.11 ผลตอบสนองทางความถี่ของค่าทรานส์คอนดักแตนซ์ที่ *i1* ค่าต่างๆ

รูปที่ 4.12 เป็นผลการเปรียบเทียบกระแสเอาต์พุตของทรานส์ซิสเตอร์อินพุตคลาสเอบีผลต่างแบบเทียมในรูปที่ 4.2 กับค่าทรานส์คอนดักแตนส์ของอินพุตคลาสเอบีผลต่างแบบ

เทียมที่นำเสนอรูปที่ 4.8 ในเงื่อนไขที่ขนาดของทรานส์ซิสเตอร์และกระแสไบอัส i1 เท่ากัน จะเห็นได้ว่าทรานส์ซิสเตอร์อินพุตของวงจรคู่ผลต่างคลาสเอบีแบบใหม่มีค่ากระแสไบอัสมากกว่าทรานส์ซิสเตอร์อินพุตของคู่ผลต่างคลาสเอบีแบบเทียมในรูปที่ 4.2 เพียงเล็กน้อย แต่มีค่าทรานส์คอนดักแตนส์มากกว่าถึง 5 เท่า



รูปที่ 4.12 กระแสเอาต์พุตของคู่ผลต่างแบบเทียมคลาสเอบีและคู่ผลต่างคลาสเอบีแบบใหม่

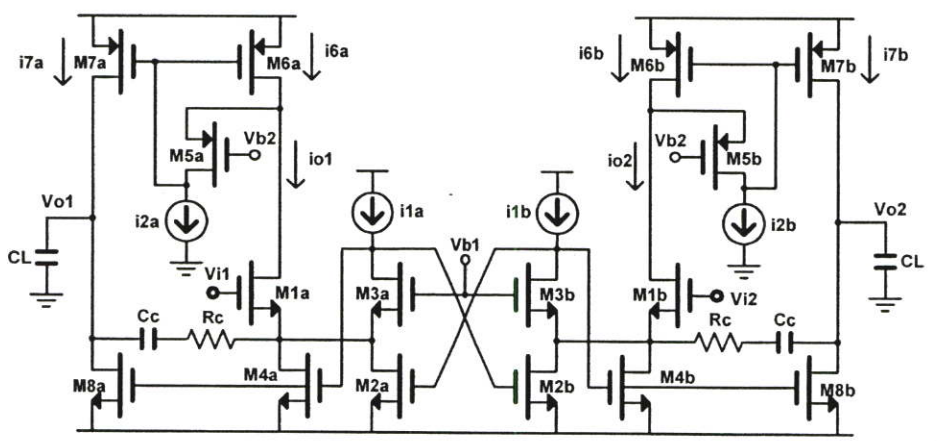
ผลจากการปรับปรุงค่าทรานส์คอนดักแตนซ์ของวงจรภาคอินพุตทำให้สามารถออกแบบออกแบบภาคเอาต์พุตได้โดยไม่ต้องใช้การคาสโคดที่เอาต์พุต วงจรขยายทรานส์คอนดักเตอร์ที่สมบูรณ์แสดงในรูปที่ 4.13 จากรูป M1a,b-M3a,b เป็นภาคอินพุตของวงจรขยายทรานส์คอนดักเตอร์ M5a,b , M6a,b และ M7a,b เป็นวงจรสะท้อนกระแสแรงดันต่ำ [11] (ภาคผนวก ข) เป็นโครงสร้างที่มีการป้อนกลับ มีกระแส io1, io2 เป็นกระแสอินพุตของวงจรสะท้อนกระแส โดยมีขาซอสของ M5a,b เป็นอินพุต เอาต์พุตเป็นแรงดันที่ขาเดรน โดยแรงดันเอาต์พุตจะถูกป้อนกลับผ่าน M6a,b เป็นกระแส i6a , i6b ที่อินพุต ซึ่งเป็นกระบวนการของ shunt-feedback ดังนั้น M6a,b จะทำหน้าที่ในการจ่ายกระแสให้กับอินพุต และเนื่องจากขาเกตของ M6a,b ต่ออยู่กับขาเกตของ M7a,b ทำให้เกิดกระแสไหลที่ M7a,b ด้วย นั่นคือวงจรนี้จะทำหน้าที่ในการสะท้อนกระแสอินพุตไปยังเอาต์พุตผ่าน M7a,b การป้อนกลับมีผลต่ออินพุตอิมพีแดนซ์ของวงจรสะท้อนกระแส เนื่องจากค่าของอินพุตอิมพีแดนซ์จะถูกหารด้วยฟังก์ชั่นการส่งผ่านลูปเปิด เพราะว่าการป้อนกลับทำให้มีค่า

ของกระแสที่ผิดพลาดเพียงเล็กน้อยเท่านั้นที่ไหลเข้าขาซอสของ M5a,b ทำให้แรงดันที่โหนดอินพุตมีขนาดลดลงมากจนสามารถพิจารณาเป็นโหนดแรงดันคงที่ได้ ส่วนขาเกตของ M8a,b จะถูกผูกกับขาเดรนของ M3a,b ซึ่งมีทิศทางของแรงดันเดียวกับขาเกตของ M7a,b จะทำให้เอาต์พุตทำงานแบบ push-pull ทำให้อัตราสลูว์ที่เอาต์พุตมีค่าสูง และอัตราการแกว่งของสัญญาณสามารถแกว่งได้ถึงแรงดันไฟเลี้ยงดังรูปที่ 4.14 วงจรสามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำสุดเท่ากับ $V_{TH}+2V_{DSAT}$

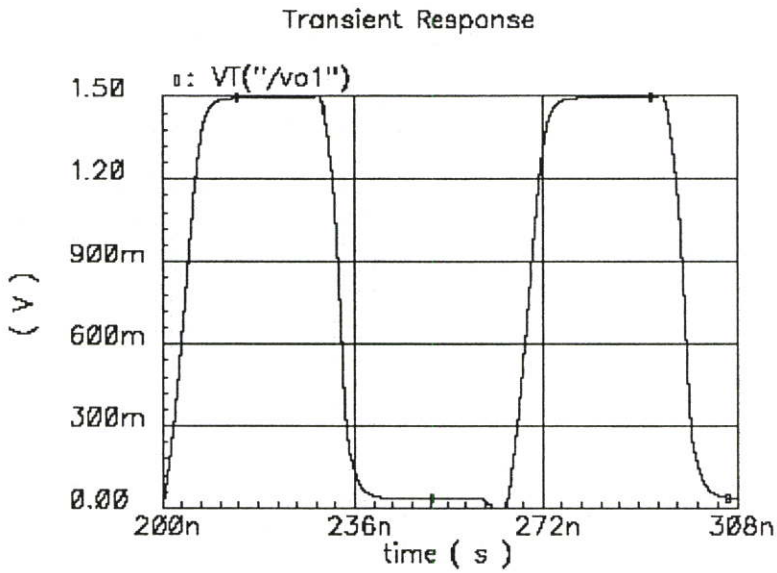
ตารางที่ 4.1 เป็นตารางเปรียบเทียบประสิทธิภาพของวงจรขยายทรานส์คอนดักเตอร์ที่นำเสนอกับงานวิจัย [28] ค่าผลตอบสนองทางความถี่และค่ากระแสที่จ่ายโหลดแสดงในรูปที่ 4.15 และรูปที่ 4.16 ตามลำดับ รูปที่ 4.17 และ 4.26 แสดงค่าช่วงเวลาเข้าที่และค่าอัตราสลูว์

ตารางที่ 4.1 ตารางสรุปประสิทธิภาพของวงจรขยายทรานส์คอนดักเตอร์

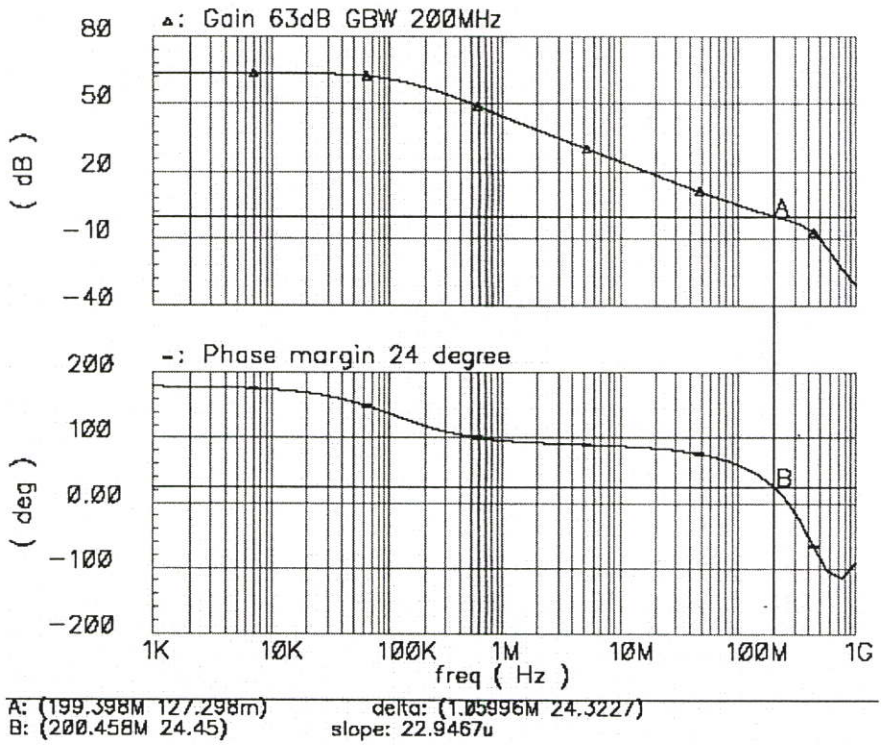
พารามิเตอร์	รูปที่ 4.13	[28]
เทคโนโลยี	CMOS 0.35-μm	CMOS 0.25-μm
แรงดันไฟเลี้ยง (Vdd)	1.5-V	1.5-V
อัตราขยายไฟตรง (DC gain)max	63-dB	80-dB
อัตราขยายไฟตรงหนึ่งหน่วย (Unity GBW)	200MHz	167MHz
ส่วนเผื่อเฟส (Phase margin)	23 degree	73.5 degree
กระแสไบอัส (IDD,q)	54-μA	6-mA
อัตราการแกว่งสัญญาณเอาต์พุต (O/P swing)	1.49-V	-
ช่วงเวลาเข้าที่ ($t_{settling}$)	19-ns	7.1-ns
อัตราสลูว์ (Slew rate)	400V/μs	660V/μs
ความต้านทานปรับกระแสภายนอก	30.5-kΩ	-



รูปที่ 4.13 วงจรขยายทรานส์คอนดักเตอร์คลาสเอบีแบบใหม่



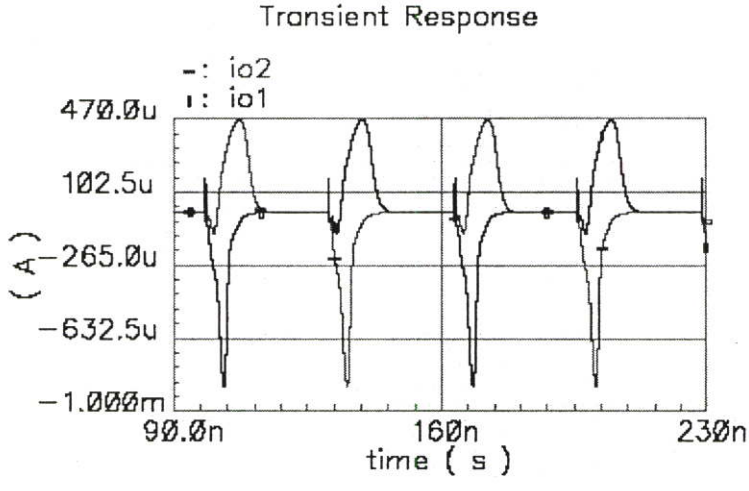
รูปที่ 4.14 การแกว่งของสัญญาณที่เอาต์พุตสูงสุด



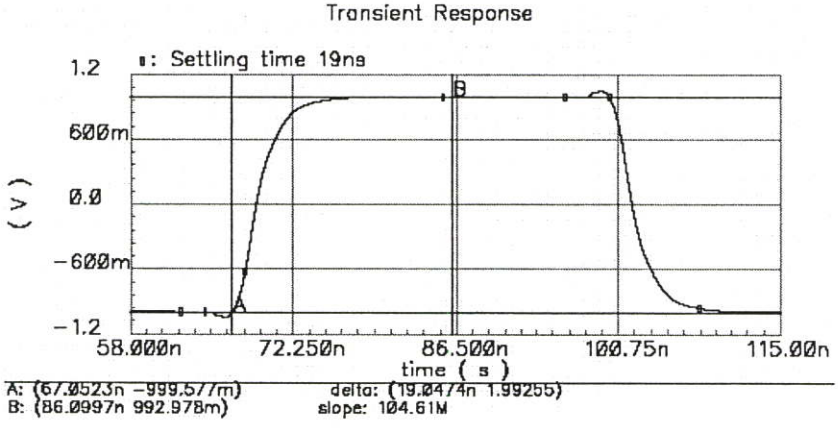
รูปที่ 4.15 ผลตอบสนองทางความถี่

ตารางที่ 4.2 แสดงค่าตัวแปรของวงจรขยายทรานส์คอนดักแตนซ์

M1a, b	40u/0.35u	M8a, b	32.5u/0.35u
M2a, b	10u/0.35u	Vbota1	1.5-V
M3a, b	10u/0.35u	Vbota2	0-V
M4a, b	0.9u/0.35u	I1a,b	13.4-μA
M5a, b	3u/0.35u	I2a,b	34-μA
M6a,b	36u/0.35u	Ccota	1-pF
M7a, b	72u/0.35u	Rcota	0.5-kΩ

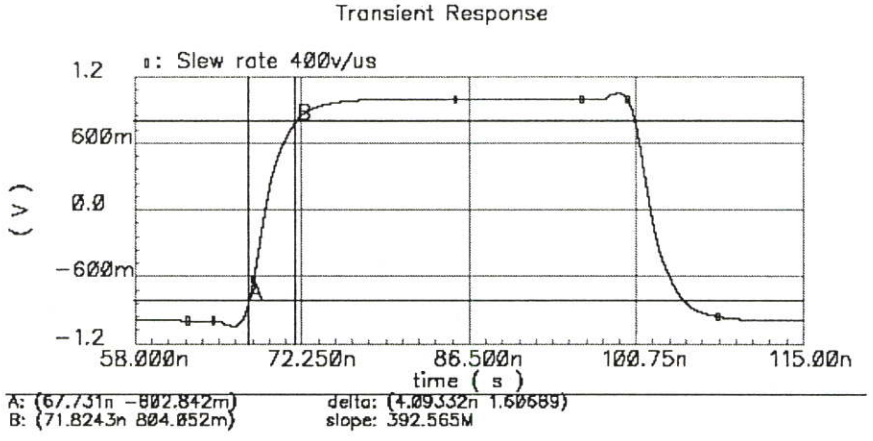


รูปที่ 4.16 ค่ากระแสที่โหลด



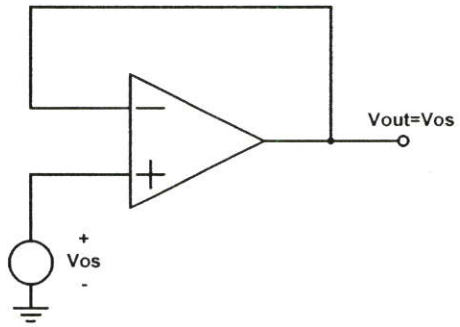
รูปที่ 4.17 ช่วงเวลาเข้าที่

การวัดค่าแรงดันออฟเซตของวงจรขยายจะสามารถทำได้ดังรูปที่ 4.19 ซึ่งแรงดันออฟเซตของวงจรขยายจะขึ้นอยู่กับ ความไม่เข้าคู่กันของกระแสหรือแรงดันที่ไบอัสวงจร และความไม่เข้าคู่กันของทรานส์ซิสเตอร์ที่ใช้ ซึ่งการไม่เข้ากันเหล่านี้จะเกิดขึ้นในกระบวนการผลิต ซึ่งในการจำลองการทำงานของทรานส์ซิสเตอร์จะไม่มีผลของความไม่เข้าคู่กันเกิดขึ้น การลดขนาดของแรงดันออฟเซตของวงจรรวมจะขึ้นอยู่กับความชำนาญและเทคนิคในการออกแบบวงจรทางกายภาพ



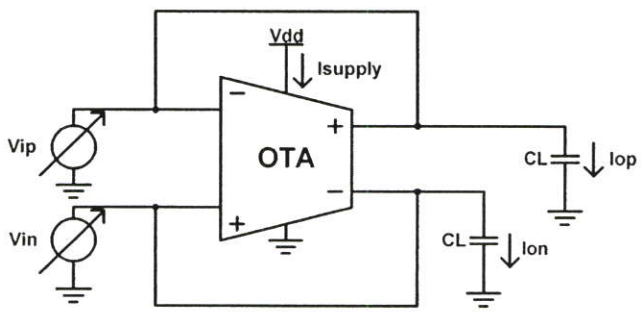
รูปที่ 4.18 อัตราสลูว์

การหาค่าประสิทธิภาพของวงจรขยายทรานส์คอนดักเตอร์ หาได้จากกลไกในการส่งผ่านกระแสอินพุตไปยังโหลดตัวเก็บประจุ จึงทำให้วงจรสะท้อนกระแสเป็นส่วนประกอบที่สำคัญและถูกนำมาใช้ในวงจรขยายคลาสเอบี เนื่องจากวงจรสะท้อนกระแสมีประสิทธิภาพในการส่งผ่านกระแสที่ดี แต่การใช้โครงสร้างของวงจรสะท้อนกระแสในบางครั้งอาจจะมีกิ่ง (branch) การสะท้อนกระแสที่ที่ทำให้เกิดการสูญเสียกระแสได้ เนื่องจากกระแสที่ถูกสะท้อนไม่ถูกส่งผ่านไปยังโหลด [29] จึงทำให้ค่าประสิทธิภาพของวงจรขยายลดลง ดังนั้นโครงสร้างของวงจรขยายที่มีประสิทธิภาพสูงควรจะประกอบด้วยจำนวนกิ่งที่ทำให้เกิดการสูญเสียน้อยที่สุดหรือไม่มีเลย จากรูปที่ 4.13 เป็นโครงสร้างที่ไม่มีกิ่งที่ทำให้เกิดการสูญเสียจากการสะท้อนกระแส จึงทำให้ประสิทธิภาพโดยรวมของวงจรขยายมีค่าสูง ประสิทธิภาพของกระแสในรูปที่ 4.13 หาได้จากโครงสร้างการป้อนกลับด้วยอัตราขยายเท่ากับหนึ่งดังรูปที่ 4.20 เพื่อหาอัตราการจ่ายกระแสที่เอาต์พุตต่ออัตราการจ่ายกระแสของแหล่งจ่าย จะได้ว่าค่าประสิทธิภาพกระแส (Current efficiency) ของวงจรขยาย ทรานส์คอนดักเตอร์มีค่าดังสมการที่ 4.17 รูปที่ 4.21 เป็นกราฟแสดงประสิทธิภาพกระแสของวงจรขยายทรานส์คอนดักเตอร์ในรูปที่ 4.13 เมื่อแรงดันอินพุตเพิ่มขึ้น พบว่าวงจรขยายมีประสิทธิภาพกระแสสูงสุด 77.8 เปอร์เซนต์ที่แรงดันอินพุต 1 โวลต์ขึ้นไป

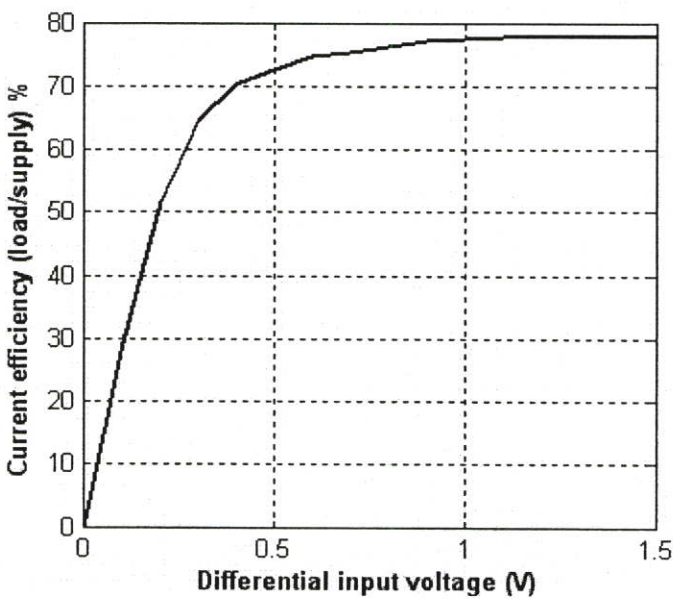


รูปที่ 4.19 รูปแบบการวัดอินพุตออฟเซตของวงจรทรานส์คอนดักเตอร์ [1]

$$\frac{I_{Load}}{I_{Supply}} \times 100\% = current \quad efficiency \tag{4.17}$$



รูปที่ 4.20 รูปแบบการประสิทธิภาพกระแสของวงจรทรานส์คอนดักเตอร์



รูปที่ 4.21 ประสิทธิภาพกระแสของวงจรทรานส์คอนดักเตอร์

4.3 วงจรแอนะลอกในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์

นอกจากวงจรทรานส์คอนดักเตอร์แล้ว วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ยังประกอบไปด้วยวงจรแอนะลอกต่างๆ ดังนี้

4.3.1 วงจรป้อนกลับแรงดันโหมดร่วม

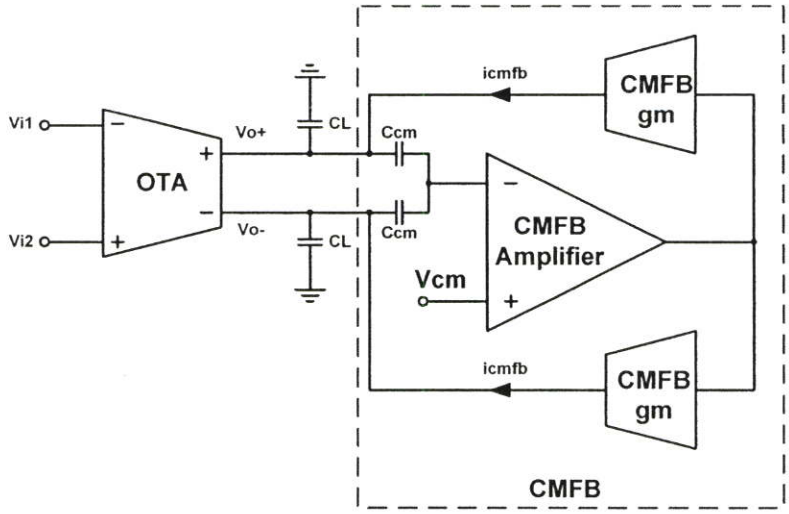
จากรูปที่ 4.22 เป็นโครงสร้างของวงจรป้อนกลับแรงดันโหมดร่วม [12] วงจรป้อนกลับแรงดันโหมดร่วม ทำหน้าที่ในการรักษาระดับแรงดันโหมดร่วมให้กับเอาต์พุตของวงจรขยายสวิตช์ตัวเก็บประจุ วงจรประกอบไปด้วยวงจรย่อยสามส่วนคือ ส่วนของวงจรตรวจจับสัญญาณโหมดร่วมในรูปที่ 4.23 ส่วนของวงจรขยายความผิดพลาดของสัญญาณ และส่วนปรับระดับสัญญาณโหมดร่วมในรูปที่ 4.24 ซึ่งทั้งหมดจะประกอบกันเป็นโครงสร้างของวงจรป้อนกลับแรงดันโหมดร่วมดังแสดงในรูปที่ 4.25

ส่วนตรวจจับสัญญาณโหมดร่วมจากเอาต์พุตในรูปที่ 4.23 จะใช้ C_{cm1} และ C_{cm2} ในการหาค่าแรงดันโหมดร่วมที่เอาต์พุตดังสมการที่ 4.18 [13]

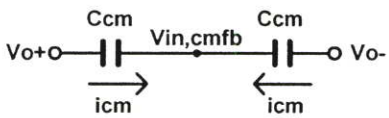
$$V_{in,cmfb} = \frac{V_{o+} + V_{o-}}{2} \qquad 4.18$$

สัญญาณโหมดร่วมที่ถูกตรวจจับได้จะถูกเปรียบเทียบกับระดับแรงดันโหมดร่วมที่ต้องการ ซึ่งมักจะเท่ากับ Vdd/2 ผลต่างระหว่างแรงดันโหมดร่วมและแรงดันโหมดร่วมที่ต้องการจะถูกขยายโดยวงจรขยายคู่ผลต่างดังแสดงในรูปที่ 4.25 จากนั้นแรงดันจะเปลี่ยนเป็นกระแสไปปรับระดับแรงดันโหมดร่วมที่เอาต์พุตด้วยวงจรกลับสัญญาณซึ่งมีสถานะการทำงานเดียวกับช่วงเวลาคงค่าสัญญาณของวงจรสวิตช์ตัวเก็บประจุ

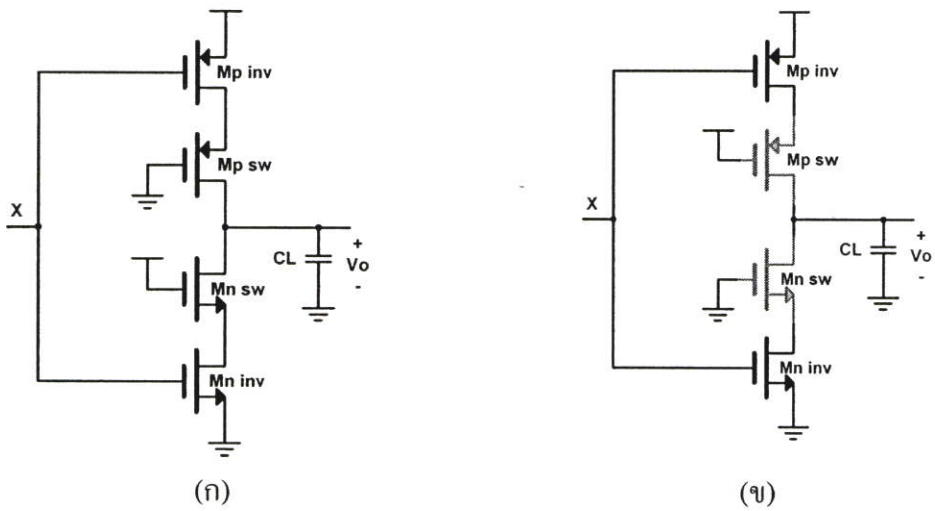
รูปที่ 4.24 [14] แสดงวงจรกลับสัญญาณในสถานะที่ทำงานและไม่ทำงาน ซึ่งโครงสร้างนี้จะทำให้ช่วงเวลาการหน่วงเพิ่มขึ้นจากการวงจรกลับสัญญาณแบบธรรมดาแต่สามารถประหยัดการกินกำลังงานได้มาก รูปที่ 4.26 แสดงผลการจำลองการทำงานของวงจร และค่าตัวแปรที่ใช้ในการออกแบบวงจรป้อนกลับโหมดร่วมสรุปไว้ในตารางที่ 4.3 โดยขนาดของทรานส์ซิสเตอร์ที่แสดงในตารางสามารถหาได้จากการพิจารณาผลการจำลองการทำงานผลตอบสนองทางเวลาของสัญญาณโหมดร่วมให้มีค่าเข้าสู่ค่าแรงดันโหมดร่วมที่ต้องการภายในเวลาที่กำหนด



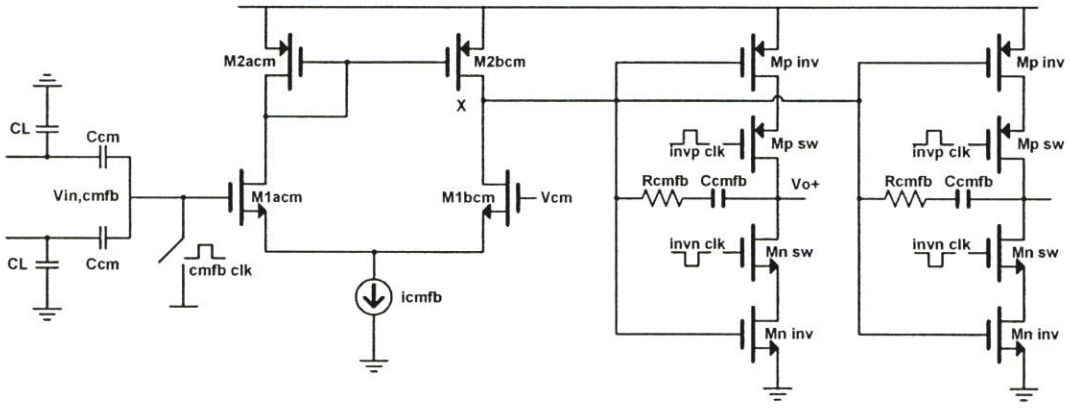
รูปที่ 4.22 การเชื่อมต่อวงจรป้อนกลับสัญญาณโหมดร่วมกับวงจรทรานส์คอนดักเตอร์



รูปที่ 4.23 วงจรตรวจจับสัญญาณโหมดร่วม



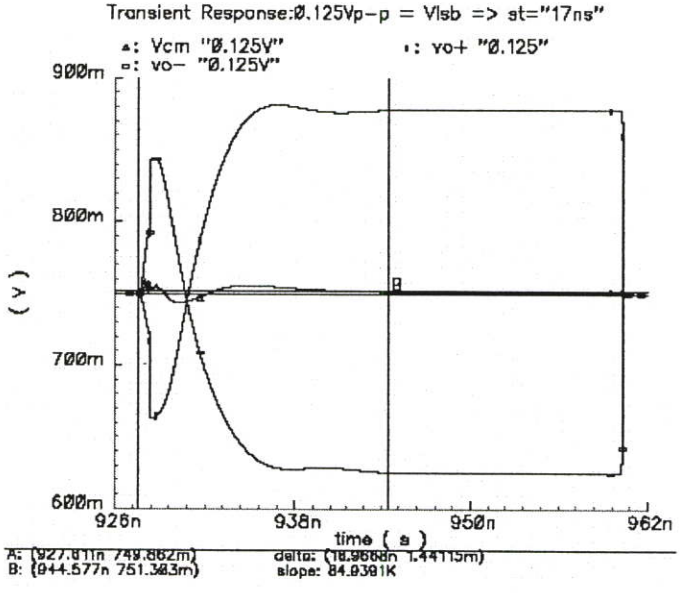
รูปที่ 4.24 วงจรอินเวอร์เตอร์ (CMFB gm) (ก) สถานะทำงาน และ (ข)สถานะไม่ทำงาน



รูปที่ 4.25 วงจรป้อนกลับสัญญาณโหมดร่วมแบบสมบูรณ์

ตารางที่ 4.3 แสดงค่าตัวแปรของวงจรป้อนกลับโหมดร่วม

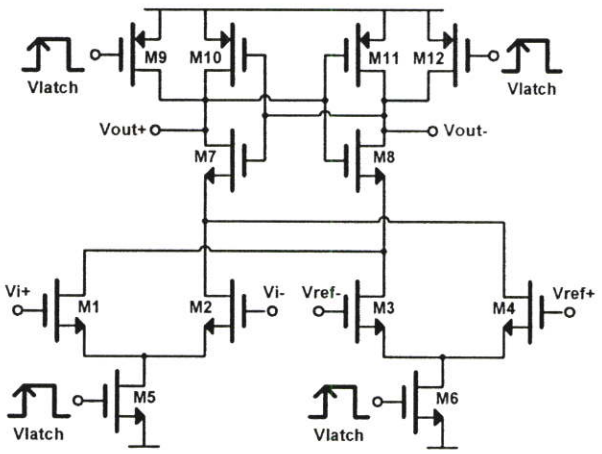
M1a,bcm	32u/1u	V_{bcm}	0.75-V
M2 a,b cm	32u/1u	I_{bcm}	50-μA
Mp inv	50u/1u	C_{cmfb}	300-fF
Mn inv	24/1u	R_{cmfb}	4-kΩ
Mp sw	18u/0.35u	C_{cm}	100-fF
Mn sw	10u/0.35u	$V_{resetcmfb}$	0.75-V



รูปที่ 4.26 ผลตอบสนองทางเวลาของวงจรป้อนกลับโหมดร่วม

4.3.2 วงจรเปรียบเทียบแรงดัน

วงจรเปรียบเทียบแรงดันที่ใช้ในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อยเป็นแบบวงจรเปรียบเทียบแรงดันแบบผลต่าง(Differential pair comparator) ดังรูปที่ 4.27 [15] มีการทำงานแบบพลวัติทำให้วงจรเปรียบเทียบแรงดันแบบนี้จะสูญเสียกำลังงานเฉพาะช่วงเวลาทำงานเท่านั้น

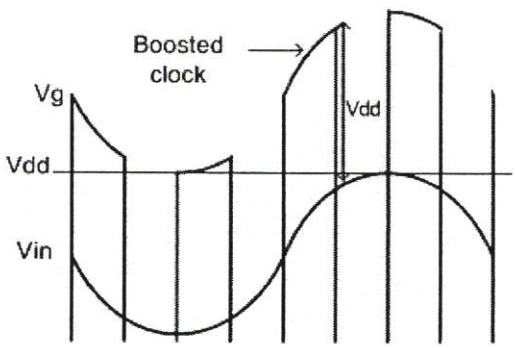


รูปที่ 4.27 วงจรเปรียบเทียบแรงดันแบบผลต่าง [15]

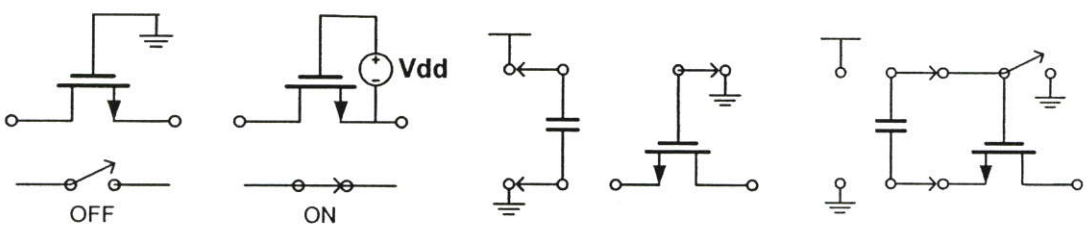
วงเปรียบเทียบแรงดันแบบผลต่างในรูปที่ 4.27 ประกอบด้วยวงจรคู่ผลต่าง 2 ชุดต่อไขว้กัน โดยมีโหลดเป็นวงจรคงค่าแรงดัน หลักการทำงานของวงจรเปรียบเทียบแรงดันรูปแบบนี้เป็นการใช้วงจรคู่ผลต่างในการแปลงผลต่างของแรงดันอินพุตกับแรงดันอ้างอิงเป็นกระแสผลต่าง เมื่อโหลดมีกระแสเปลี่ยน สถานะของแรงดันที่โหลดจะเปลี่ยน วงจรเปรียบเทียบแรงดันจะเริ่มทำการเปรียบเทียบเมื่อ แรงดันควบคุมการจ่ายกระแสของวงจรคู่ผลต่างเริ่มทำงานสถานะ Vlatch เป็น Vdd ทรานส์ซิสเตอร์ M9, M12 ตัดเอาต์พุตออกจาก Vdd โหลด M7, M8, M10 และ M11 เริ่มเข้าสู่สภาวะทำงาน ทรานซิสเตอร์อินพุต M1-M4 ทำการเปรียบเทียบแรงดัน $V_{i+} - V_{i-}$ กับ $V_{ref+} - V_{ref-}$ และขยายผลต่างของแรงดันเป็นผลต่างของกระแส ถ้าผลต่างแรงดันอินพุตน้อยกว่าผลต่างแรงดันอ้างอิง สถานะเอาต์พุตด้านบวกจะเป็น Vdd ถ้ามากกว่าจะเป็นแรงดันต่ำ ช่วงเวลา Vlatch จะเป็นช่วงเวลาเดียวกับช่วงเวลาสิ้นสุดการสุ่มสัญญาณของวงจรสวิตช์ตัวเก็บประจุ เพื่อให้สัญญาณที่ได้จากการเปรียบเทียบเป็นสัญญาณค่าเดียวกับสัญญาณที่เก็บไว้ในตัวเก็บประจุของวงจรสวิตช์ตัวเก็บประจุ ต่อมาเมื่อสิ้นสุดสถานะคงค่าสัญญาณของวงจรสวิตช์ตัวเก็บประจุ วงจรเปรียบเทียบแรงดันจะทำการลบสถานะเอาต์พุตเก่าออกโดยแรงดัน Vlatch จะทำให้ทรานส์ซิสเตอร์ M9 และ M12 ทำงาน เอาต์พุตจะถูกดึงขึ้นสู่ Vdd ในขณะที่ M5 และ M6 จะเข้าสู่สภาวะไม่ทำงานจากการควบคุมโดย Vlatch ทำให้ทางเดินกระแสของวงจรถูกตัด ในสภาวะนี้วงจรเปรียบเทียบแรงดันจะไม่ทำงานและไม่มีการใช้กระแส

4.3.3 วงจรบูตสแตรปสวิตช์

ดังที่กล่าวไปแล้วในบทที่ 3 จะเห็นได้ว่าความไม่เป็นเชิงเส้นของสวิตช์จะทำให้เกิดความเพี้ยนทางฮาโมนิกส์ขึ้นได้ และเทคนิคที่สามารถนำมาใช้เพื่อลดผลดังกล่าวได้คือการใช้เทคนิคบูตสแตรปสวิตช์ วงจรบูตสแตรปสวิตช์เป็นเทคนิคในการรักษาระดับแรงดันระหว่างขาเกตและขาซอสของสวิตช์ให้คงที่ตลอดเวลาด้วยการใช้แรงดันคงที่มากที่สุดเท่ากับแรงดันแหล่งจ่าย ดังรูปที่ 4.28 [16] รูปที่ 4.29 แสดงวงจรบูตสแตรปอย่างง่ายด้วยการใช้วงจรสวิตช์ตัวเก็บประจุเก็บแรงดันไว้ในตัวเก็บประจุในช่วงสวิตช์ไม่ทำงานและต่อเข้ากับทรานซิสเตอร์สวิตช์ในช่วงที่สวิตช์ทำงาน ซึ่งในทางปฏิบัติสามารถสร้างได้ด้วยวงจรดังรูปที่ 4.30



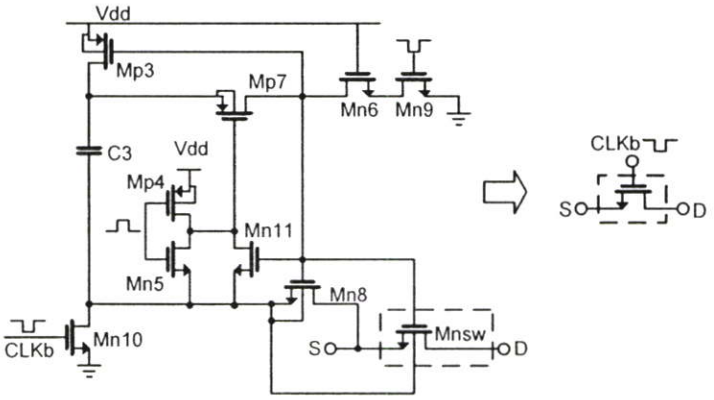
รูปที่ 4.28 หลักการของเทคนิคบูตสแตรป



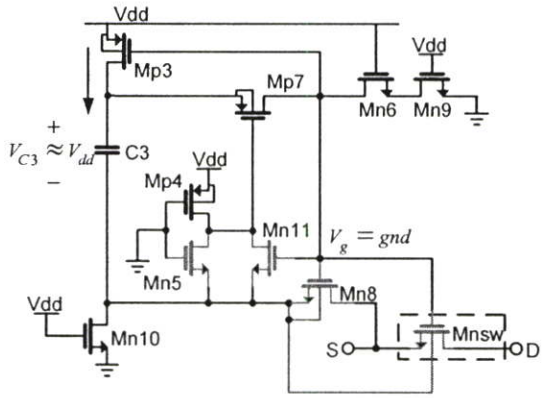
รูปที่ 4.29 เทคนิคการบูตสแตรปสวิตช์

จากรูปที่ 4.30 (ข) [7] ในสถานะแรกสมมติให้ประจุในตัวเก็บประจุทุกตัวเป็นศูนย์ และมีสถานะของสัญญาณนาฬิกาเป็น “0” Mn10 และ Mn9 จะทำงาน ทำให้ Mp3 ทำงานและเกิดการชาจน์ประจุให้กับ C3 มีค่าประมาณเท่ากับ Vdd (ทรานซิสเตอร์แสดงด้วยเส้นประมีสถานะไม่ทำงาน) แต่ในขณะที่สัญญาณนาฬิกาเป็น “1” ดังแสดงในรูปที่ 4.30 (ค) Mn5 จะทำงานด้วยแรงดันภายใน C3 ทำให้ Mp7 ทำงาน Mn11 และ Mn8 ก็จะทำงานด้วยแรงดันประมาณเท่ากับ Vdd และในขณะเดียวกัน Mp3 ก็จะไม่ทำงาน และ C3 ก็จะถูกต่อเป็นแรงดันออฟเซตให้กับสวิตช์ Mnsw สมมติ

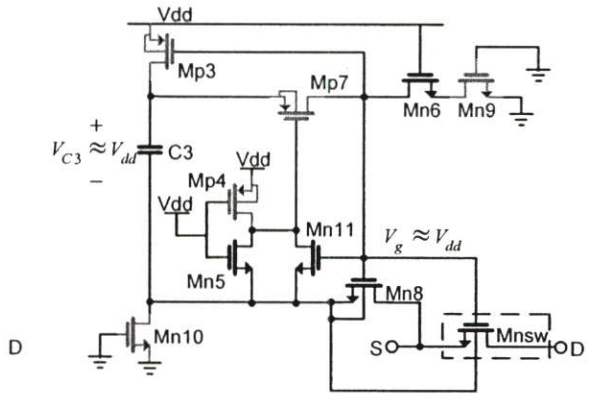
ให้แรงดันที่ขาซอสของทรานซิสเตอร์สวิตช์เป็น Vdd จะทำให้แรงดันที่ขาเกตของทรานซิสเตอร์สวิตช์เพิ่มขึ้นเป็น



(ก)



(ข)

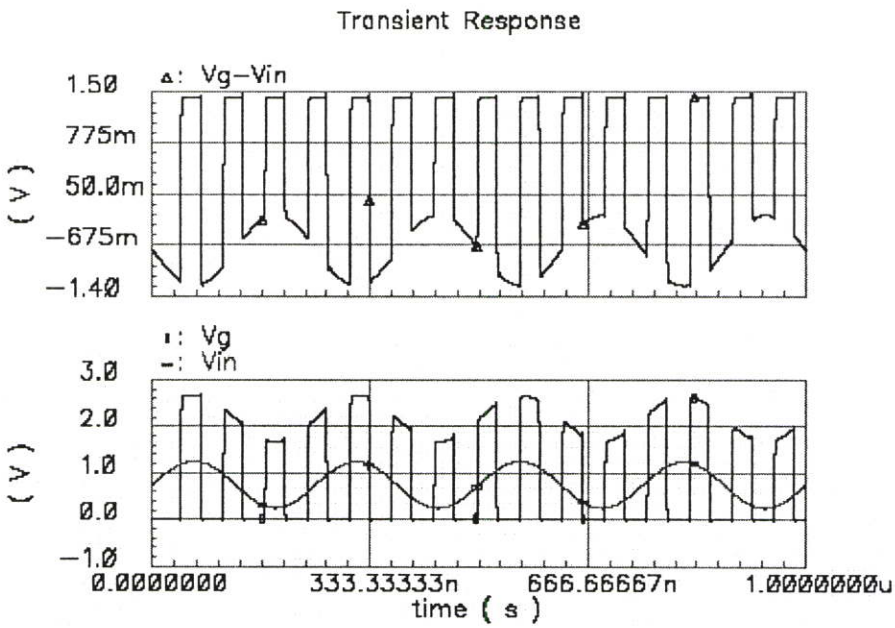


(ค)

รูปที่ 4.30 (ก) วงจรบูตสแตรปสวิตช์ (ข) ในช่วงเวลาเริ่มต้นสัญญาณนาฬิกาเป็น "1" และ (ค) ในช่วงเวลาต่อมาสัญญาณนาฬิกาเป็น "0"

2Vdd เนื่องจากแรงดันที่ขาซอสของทรานซิสเตอร์สวิตช์เป็น Vdd ทำให้ Mn5 ไม่ทำงานแต่วงจรยังทำงานได้เนื่องจาก Mn11 ยังคงทำงานอยู่ และตอนที่ Mn5 ทำงานเพื่อให้ Mp7 ทำงานได้นั้นขาซอสของทรานซิสเตอร์สวิตช์จะถูกแยกจาก Mn5 ด้วย Mn8 ส่วน Mn6 จะช่วยลดผลจาก Vds และ Vgs ของ Mn9 เมื่อสัญญาณนาฬิกาเป็น "0" ดังนั้น ค่าความยาวของ channal ของ Mn6 ควรจะมีค่ามากเพื่อลดผลจากแรงดัน punch-through และการอัดประจุให้ C3 ผ่านวงจร charge pump C1, C2, Mn1, Mn2 นั้น เพื่อป้องกันไม่ให้ Vgs ของมอสแต่ละตัวมีค่ามากกว่า Vdd ทำให้มอสไม่เสียหาย

จากการใช้วงจรบูตสแตรปสวิตช์ทำให้แรงดัน Vgs ของสวิตช์ค่อนข้างคงที่ ไม่ขึ้นกับสัญญาณอินพุต ทำให้สวิตช์มีความเป็นเชิงเส้นสูงเนื่องจากความต้านทานของสวิตช์มีค่าค่อนข้างคงที่ สัญญาณอินพุตสามารแกว่งได้เท่ากับระดับแรงดันแหล่งจ่าย ซึ่งคุณสมบัตินี้มีความสำคัญมากสำหรับการใช้งานกับวงจรที่มีระดับแรงดันไฟเลี้ยงต่ำ แต่โครงสร้างนี้ยังมีข้อเสียในเรื่องการเปลี่ยนแปลงค่าความต้านทานของทรานซิสเตอร์สวิตช์อันเนื่องมาจากการเปลี่ยนแปลงแรงดันของแรงดัน Vbs หรือผลจากแรงดันบอดี้ได้



รูปที่ 4.31 แรงดันที่ขาเกตของสวิตช์เทียบกับอินพุต

เนื่องจากโหนด S ของทรานซิสเตอร์สวิตช์ (Mnsw) มีตัวเก็บประจุค่ามาก ดังนั้นควรจะต่อโหนดนี้กับโหลดที่มีความต้านทานต่ำ แต่ก็สามารถใช้เป็นสวิตช์ส่งผ่านในวงจรอินทิเกรตที่เป็นความต้านทานสูงได้ ถ้าใช้งานในวงจร คู่ผลต่าง การเกิด การแบ่งประจุ จากตัวเก็บประจุแฝงจะทำให้เกิดความผิดพลาดในสัญญาณโหมดร่วมขึ้นเท่านั้น และถ้าเกิดความไม่สมพงศ์กันระหว่างตัวเก็บประจุแฝงในแต่ละข้างของวงจรอินทิเกรตจะทำให้เกิดแรงดันไฟตรงเป็นออฟเซตของวงจร

อินทิเกรต ซึ่งไม่สามารถแยกออกจากออฟเซตของออปแอมป์ได้ ในรูปที่ 4.31 เป็นรูปแสดงแรงดันที่ขาเกทของทรานซิสเตอร์สวิตช์เมื่อใช้วงจรบูตสแตรปสวิตช์

4.3.4 วงจรสร้างแรงดันอ้างอิงแบบเชิงเส้นสำหรับวงจรเปรียบเทียบแรงดันและวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกย่อย

ความไม่เป็นอุดมคติของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อยส่วนหนึ่งเกิดจากความผิดพลาดที่เกิดจากความคลาดเคลื่อนของระดับแรงดันอ้างอิง ซึ่งจะทำให้เกิดเป็นแรงดันออฟเซตขึ้นในฟังก์ชันการส่งผ่านอินพุต-เอาต์พุต ดังที่กล่าวไปแล้วในหัวข้อที่ 3.6.1 ระดับแรงดันอ้างอิงทั้งหมดของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์แสดงดังตารางที่ 4.4

ตารางที่ 4.4 แสดงสรุปค่าแรงดันอ้างอิงทั้งหมดของวงจร

เอาต์พุตของวงจรขยายสวิตช์ตัวเก็บประจุ		Vreset	0.75V
วงจรป้อนกลับแรงดันโหมดร่วม		Vresetcmfb	0.75V
แรงดันอ้างอิงของตัวเปรียบเทียบสัญญาณ			
ref1	Vlow+3/16VFull = 0.4375V	ref4	Vlow+9/16VFull = 0.8125V
ref2	Vlow+5/16VFull = 0.5625V	ref5	Vlow+11/16VFull = 0.9375V
ref3	Vlow+7/16VFull = 0.6875V	ref6	Vlow+13/16VFull = 1.0625V
แรงดันอ้างอิงของวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกย่อย			
Vrefp		Vlow + VFull = 1.25 V	
Vrefg		Vlow + VFull/2 = 0.75 V	
Vrefn		Vlow = 0.25 V	

Vlow = Vcm-VFull/2, VFull = ขนาดของแรงดันอินพุตสูงสุด

การหาค่าการเปลี่ยนแปลงของแรงดันเมื่อเกิดการเปลี่ยนแปลงกระแสที่โหลด (Load regulator) เป็นคุณสมบัติหนึ่งที่สำคัญในการออกแบบวงจรคงค่าแรงดัน เพราะเป็นตัวกำหนดค่าความแม่นยำของวงจรแปลง เมื่อรวมของผลความคลาดเคลื่อนทุกอย่างแล้วความผิดพลาดของแรงดันอ้างอิงจะต้องไม่เกิน 50 เปอร์เซ็นต์ของระดับการแปลงต่ำสุดของการแปลงในแต่ละภาคดังตารางที่ 4.5

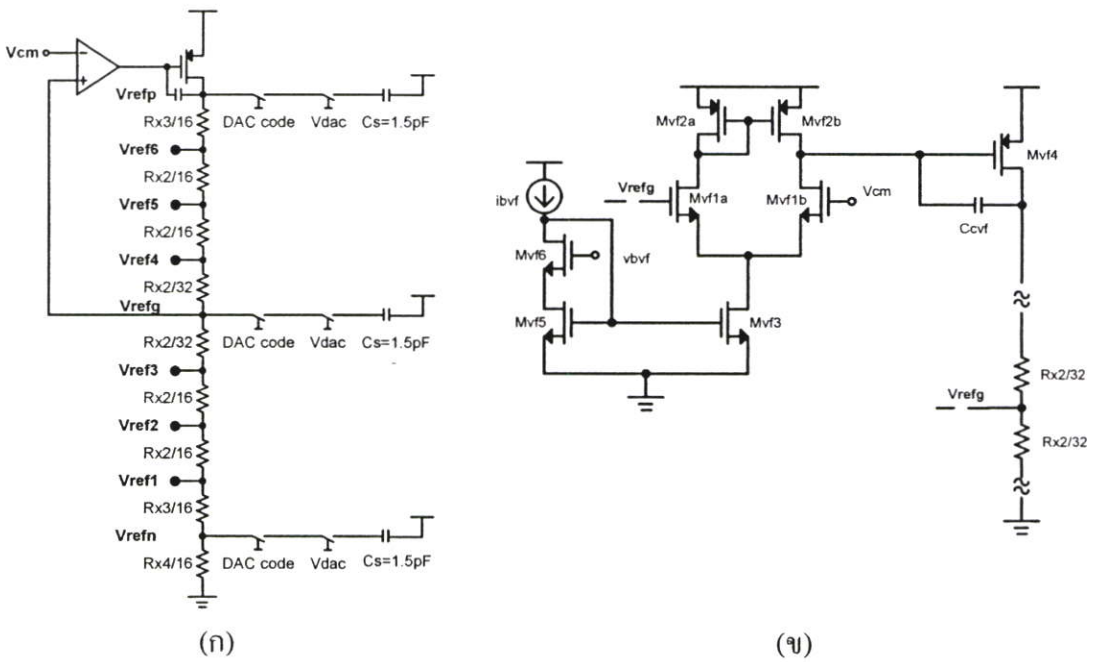
ตารางที่ 4.5 ค่าความคลาดเคลื่อนของวงจรคงค่าแรงดันที่ยอมรับได้ในแต่ละภาค

ภาคที่	ระดับการแปลงต่ำสุด	ค่าความผิดพลาดที่ยอมรับได้
1, 2	$V_{ref}/2^{B+r+1}$	$1/16 = 62.5mV$
3	$V_{ref}/2^{n+1}$	$1/8 = 125mV$

เมื่อ $V_{ref} = 1V, B = 2, r = 1, n = 2$

ตารางที่ 4.6 แสดงค่าตัวแปรของวงจรแรงดันอ้างอิง

Mvf1a,b	80u/0.35u	ibvf	100uA
Mvf2a,b	28u/0.7u	vbvf	0.9V
Mvf3	28u/1u	Vcm	0.75V
Mvf4	80.5u/0.35u	R	4KΩ
Mvf5	28u/1u	Rvf	2K
Mvf6	16u/0.35u	Ccvf	1pF



(ก) (ข)

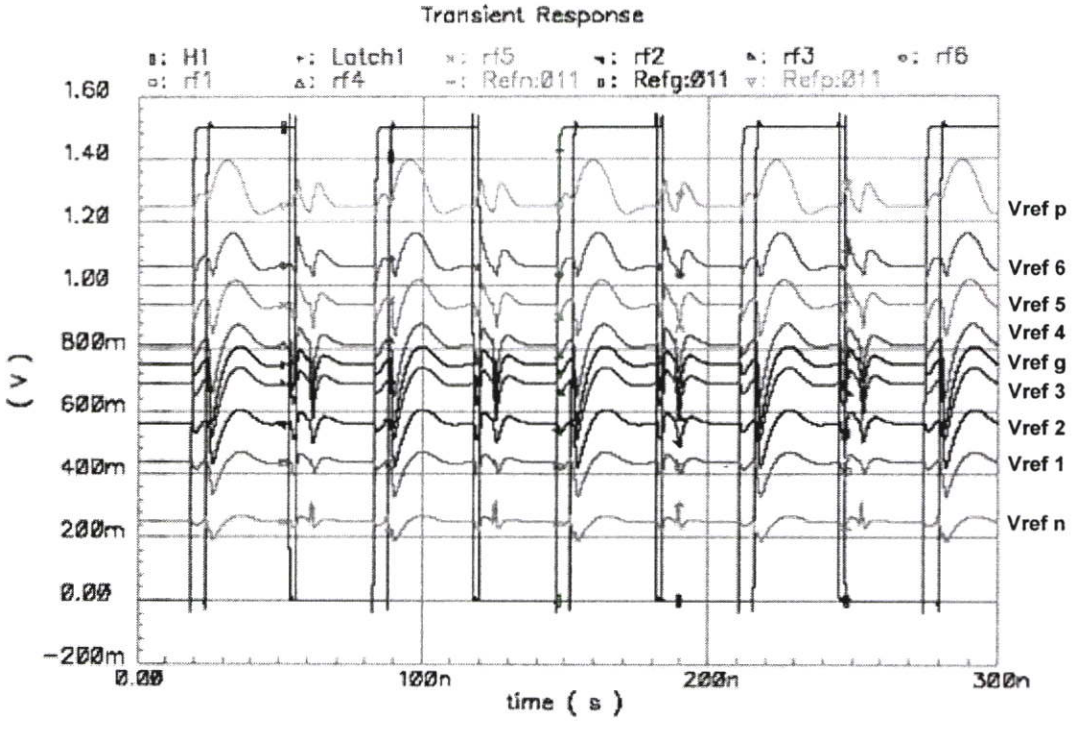
รูปที่ 4.32 (ก) การสร้างวงจรคงค่าแรงดันเป็นแรงดันอ้างอิง (ข) วงจรแรงดันอ้างอิงและจุดเชื่อมต่อ

จากรูปที่ 4.32 เป็นการสร้างแรงดันอ้างอิงโดยการใช้ความต้านทานต่อเรียงกันระหว่างแรงดันอ้างอิงสองค่า ซึ่งค่าระดับแรงดันจะถูกกำหนดด้วยอัตราส่วนของความต้านทาน การสร้างแรงดันอ้างอิงแบบนี้มักจะใช้กับวงจรแปลงแบบ Flash ซึ่งระดับแรงดันอ้างอิงจะต้องแสดง

ตลอดเวลา และใช้ในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ที่มีความละเอียดไม่สูงมากนัก (8-9 บิต)

ความแม่นยำของการสร้างระดับแรงดันด้วยความต้านทานจะถูกจำกัดด้วยช่วงเวลาเข้าที่และความไม่เข้ากันของค่าความต้านทาน สำหรับการทำงานที่ความถี่สูงผลจากการสวิตช์ตัวเก็บประจุจะทำให้เกิด glitch ขึ้นที่แรงดันอ้างอิง ซึ่งจะต้องเข้าสู่ค่าที่ยอมรับได้ภายในคาบเวลาที่กำหนด โดยสัญญาณจะเข้าสู่ระดับค่าที่ยอมรับได้ที่ค่ากลางของแถบความต้านทาน เนื่องจากตำแหน่งนี้จะมีค่าความต้านทานประสิทธิผลเป็นครึ่งหนึ่งของค่าความต้านทานทั้งหมด

จากรูปที่ 4.33 การจำลองการทำงานของวงจรคงค่าแรงดันด้วยค่ากระแสโหลดสูงสุด ที่แรงดัน Vrefp ทำให้ระดับแรงดันเปลี่ยนแปลงไป 29 mV และที่แรงดัน Vrefn ทำให้ระดับแรงดันเปลี่ยนแปลงไป 31mV สามารถใช้งานได้ เมื่อเปรียบเทียบกับความคลาดเคลื่อนต่ำสูงที่ยอมรับได้ในตารางที่ 4.5



รูปที่ 4.33 ผลตอบสนองทางเวลาของแรงดันอ้างอิง กรณีที่แย่ที่สุดที่รหัส 011

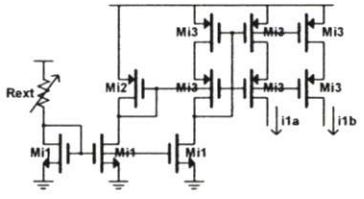
รูปที่ 4.33 เป็นผลการจำลองการทำงานในกรณีที่แย่ที่สุดคือที่รหัส 011 จากสมการที่ 3.19 แรงดันอ้างอิง Vrefg จะต้องจ่ายกระแสให้แก่ตัวเก็บประจุในการสุ่มเพียงตัวเดียว และจุดนี้เป็นจุดที่มีค่าความต้านทานเอาต์พุตสูงสุดจึงทำให้เกิดการเปลี่ยนแปลงของแรงดันมากที่สุดโดยแรงดันสูงสุดและต่ำสุดคลาดเคลื่อนไป 57mV และ 7mV ซึ่งจากตารางที่ 4.5 ค่าคลาดเคลื่อนที่ได้น้อยกว่าค่า

คลาดเคลื่อนที่ยอมรับได้ ส่วนแรงดันอ้างอิงของวงจรเปรียบเทียบไม่มีผลกระทบเนื่องจากใช้ในการเปรียบเทียบในช่วงเวลาที่สัญญาณเข้าที่แล้ว

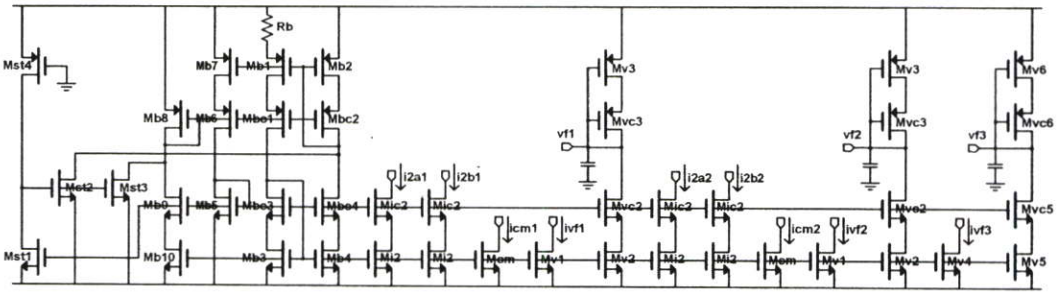
4.3.5 การออกแบบวงจรไบอัส

ตารางที่ 4.7 แสดงสรุปค่าแรงดัน และกระแสไบอัสทั้งหมดของวงจร

วงจรขยายสัญญาณทรานส์คอนดักเตอร์					
i1a1,i1b1,i1a2,i1b2	13.5uA		i2a1,i2b1,i2a2,i2b2	17uA	
vbota11,12	vdd		vbota21,22	gnd	
วงจรป้อนกลับแรงดันโหมดร่วม					
icm1,2	50uA		Vcm = Vrfcm12,22	0.75V	
Vrfcm11,21	0.75V		Vresetcmfb	Refg	
แรงดันไบอัสของตัวเปรียบเทียบสัญญาณภาคที่ 1 และ 2					
ivf1,2	100uA	vbvf1	0.9V	vbvf12,22	0.75V
แรงดันอ้างอิงของตัวเปรียบเทียบสัญญาณภาคที่ 3					
ivf3	10uA	vbvf31	0.75V	vbvf32	0.75V



(ก)



(ข)

รูปที่ 4.34 วงจรไบอัสกระแสและแรงดัน (ก) วงจรไบอัสกระแสปรับค่าได้ (ข) วงจรไบอัสกระแสและแรงดันแบบช่วงการแกว่งกว้าง

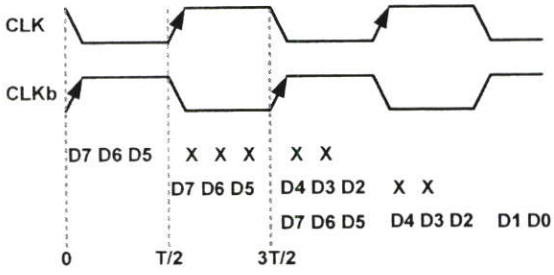
วงจรไบอัสกระแสในรูปที่ 4.34 (ก) เป็นวงจรไบอัสกระแสของวงจรทรานส์คอนดักเตอร์ในส่วนของการป้อนกลับแบบบวก ออกแบบให้สามารถปรับค่ากระแสเพื่อปรับค่าความต้านทานของแหล่งจ่ายได้ด้วยการต่อค่าความต้านทานแบบปรับค่าได้ภายนอกชิป เนื่องจากลูปการป้อนกลับแบบบวกอาจจะไม่เสถียรถ้าค่าต้านทานของแหล่งจ่ายไม่เหมาะสม วงจรไบอัสในรูปที่ 4.34 (ข) เป็นวงจรไบอัสทั้งกระแสและแรงดันแบบการแกว่งของสัญญาณกว้าง ใช้วงจรสตาร์ทอัพ[19] ซึ่งประกอบไปด้วย Mst1-Mst4 กรณีวงจรไบอัสไม่ทำงานจะไม่มีกระแสไหลภายในวงจรทำให้ Mst1 ไม่ทำงาน เนื่องจาก Mst4 เป็นโหลดความต้านทานสูงซึ่งทำงานตลอดเวลาและต่ออยู่กับขาเกตของ Mst2 และ Mst3 ทำให้ Mst2 และ Mst3 ทำงานและดึงกระแส ผ่าน Mb8, Mb2 และ Mbc2 ซึ่งไปไบอัสให้เกิดกระแสขึ้นในวงจรไบอัส หลังจากวงจรไบอัสนำกระแสแล้ว Mst1 ก็จะเริ่มทำงานและดึงแรงดันที่ขาเกตของ Mst2 และ Mst3 ให้ต่ำลงจนไม่สามารถนำกระแสได้อีกต่อไป วงจรสตาร์ทอัพก็จะหยุดทำงาน หลังจากนั้นวงจรไบอัส M1b-M4b จะเริ่มทำหน้าที่ไบอัสกระแสใช้กับวงจรไบอัส โดยมี M5b-M10b ทำหน้าที่ไบอัสทรานส์ซิสเตอร์คาสโคด Mi2 และ Mic2 เป็นแหล่งจ่ายกระแสให้กับวงจรขยายทรานส์คอนดักเตอร์ภาคที่หนึ่งและภาคที่สอง Mcm ทำหน้าที่เป็นแหล่งจ่ายกระแสให้กับวงจรป้อนกลับแรงดันโหมดร่วมภาคที่หนึ่งและสอง และ Mv1-Mv5 ทำหน้าที่ในการไบอัสกระแสและแรงดันให้กับวงจรสร้างแรงดันอ้างอิงให้กับทั้งสามภาค

4.4 วงจรดิจิตอล

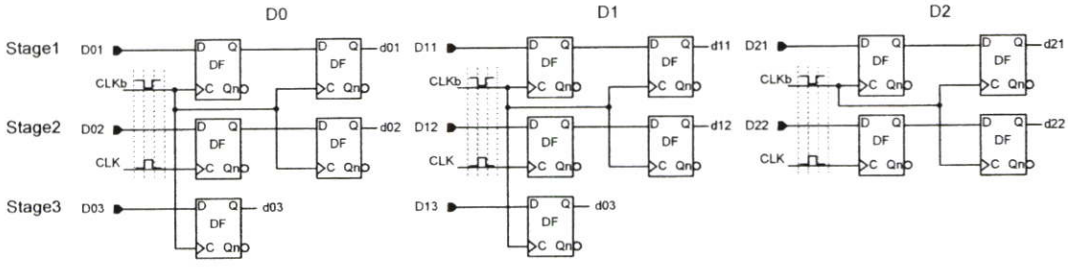
ในวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลมีหลายส่วนที่จะต้องใช้วงจรดิจิตอลในการประมวลผล วงจรดิจิตอลที่ใช้สร้างจากเกตสำเร็จรูปของโปรแกรม Cadence c35b4

4.4.1 วงจรหน่วงสัญญาณ (Delay element)

วงจรหน่วงสัญญาณเวลาทำหน้าที่ในการหน่วงเวลาสัญญาณดิจิตอลที่ได้จากการแปลงสัญญาณแอนะลอกในแต่ละภาค เนื่องจากสัญญาณดิจิตอลที่ได้จากการแปลงในแต่ละภาคจะได้ไม่พร้อมกัน ในการออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล 6 บิต ที่แบ่งเป็น 3 บล็อกที่ใช้ RSD บิต จะได้ค่าของสัญญาณดิจิตอลบิตที่มีนัยสำคัญสูงสุดจากบล็อกแรกก่อน หลังจากนั้นอีกครึ่งคาบจะได้จากบล็อกที่สอง และบิตที่มีนัยสำคัญต่ำสุดจะได้จากการแปลงของบล็อกที่สามในครึ่งคาบที่สามดังรูปที่ 4.35 (ก) ดังนั้นสัญญาณดิจิตอลเริ่มต้นที่ได้จากการแปลงด้วยวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์สามภาคจะครบที่เวลา 3/2 ของคาบเวลาแรก สำหรับวงจรหน่วงเวลาออกแบบโดยใช้เซลล์มาตรฐาน D flip-flop ในการพักค่าสัญญาณดิจิตอลและใช้สัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณนาฬิกาในการควบคุมดังรูปที่ 4.35 (ข)



(ก)



(ข)

รูปที่ 4.35 วงจรหน่วงเวลา (ก) สัญญาณเอาต์พุตที่ช่วงเวลาเริ่มต้น (ข) วงจรหน่วงสัญญาณและช่วงเวลาการทำงาน

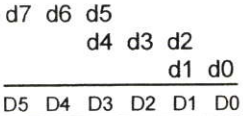
4.4.2 วงจรแก้ไขสัญญาณดิจิตอล (Redundant sign digit code, RSD)

กระบวนการแก้ไขสัญญาณจากการใช้วงจรเข้ารหัสสัญญาณเพื่อแก้ไขปัญหาจากแรงดันออฟเซตของวงจรเปรียบสัญญาณ ทำให้จะต้องมีวงจรแก้ไขสัญญาณดิจิตอลเพื่อทำให้เอาต์พุตถูกต้องด้วยกระบวนการดังรูปที่ 4.36 (ก) สร้างด้วยวงจรบวกสัญญาณดิจิตอลแบบคิดตัวทดในรูปที่ 4.36 (ข) ในรูปแบบ 4.36 (ค) จะได้วงจรแก้ไขสัญญาณดิจิตอลดังรูปที่ 4.36 (ง) โดยสัญญาณดิจิตอลเอาต์พุตที่ได้จะถูกพักไว้ด้วยเซลล์มาตรฐาน D flip-flop และจะส่งไปยังเอาต์พุตด้วยสัญญาณนาฬิกาของระบบ

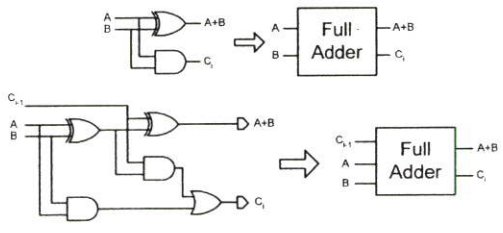
4.4.3 วงจรกำเนิดสัญญาณนาฬิกา

การออกแบบสัญญาณนาฬิกามีความสำคัญต่อวงจรสวิตช์ตัวเก็บประจุมาก เนื่องจากช่วงเวลาการทำงานของสวิตช์เป็นตัวควบคุมและกำหนดการไหลของประจุที่เก็บอยู่ในตัวเก็บประจุ ถ้าเกิดการซ้อนทับกันของสัญญาณนาฬิกาอาจจะทำให้ประจุเกิดการรั่วไหลหรือเกิดความผิดพลาดในการถ่ายเทประจุได้ ดังนั้นการออกแบบสัญญาณนาฬิกาให้ไม่ซ้อนทับกัน (non-overlapping clock) จึงมีความจำเป็นสำหรับวงจรสวิตช์ตัวเก็บประจุ

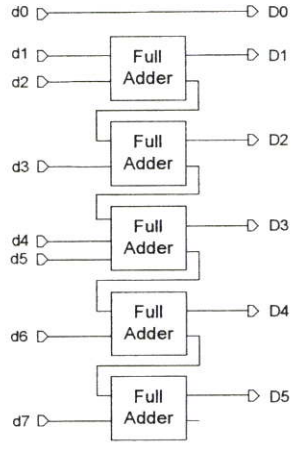
วงจรกำเนิดสัญญาณนาฬิกาที่ไม่ซ้อนทับกันอย่างง่ายสร้างจากวงจรอินเวอร์เตอร์ นอร์เกต และวงจรหน่วงสัญญาณดังรูปที่ 4.37 (ก), [20] ช่วงเวลาไม่ซ้อนทับระหว่าง H1 และ S1 กำหนดจากจำนวนอินเวอร์เตอร์ภายในลูป สามารถเพิ่มช่วงเวลาไม่ซ้อนทับด้วยการเพิ่มจำนวนอินเวอร์เตอร์ลงไปเป็นจำนวนคู่ วงจรอินเวอร์เตอร์ที่อยู่ภายนอกลูปสามารถออกแบบให้มีขนาดใหญ่กว่าเซลล์อื่นได้ และสามารถใช้เป็นตัวป้องกันสัญญาณรบกวนจากวงจรดิจิตอลมายังสัญญาณแอนะลอกได้โดยการออกแบบโดยใช้แหล่งจ่ายแรงดันเป็นแหล่งจ่ายแรงดันของวงจรแอนะลอก



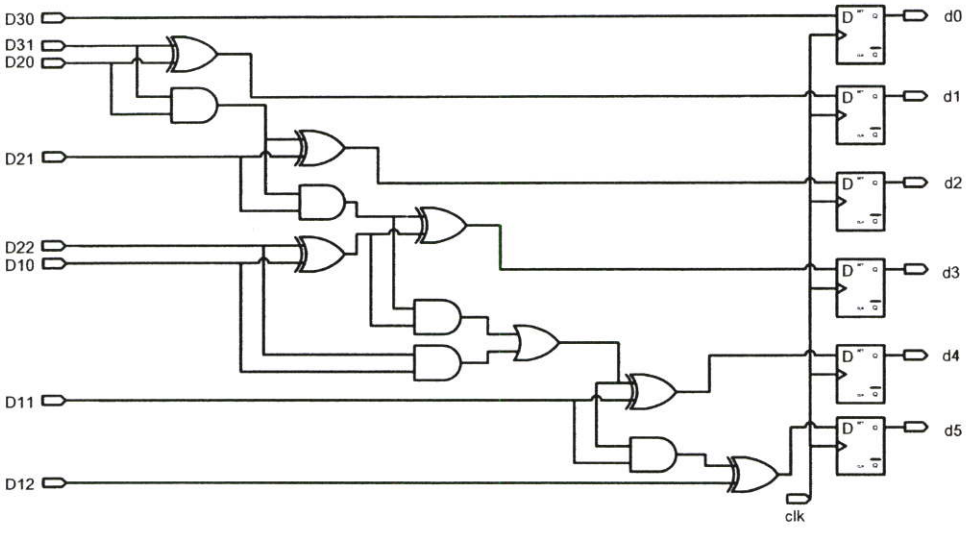
(ก)



(ข)



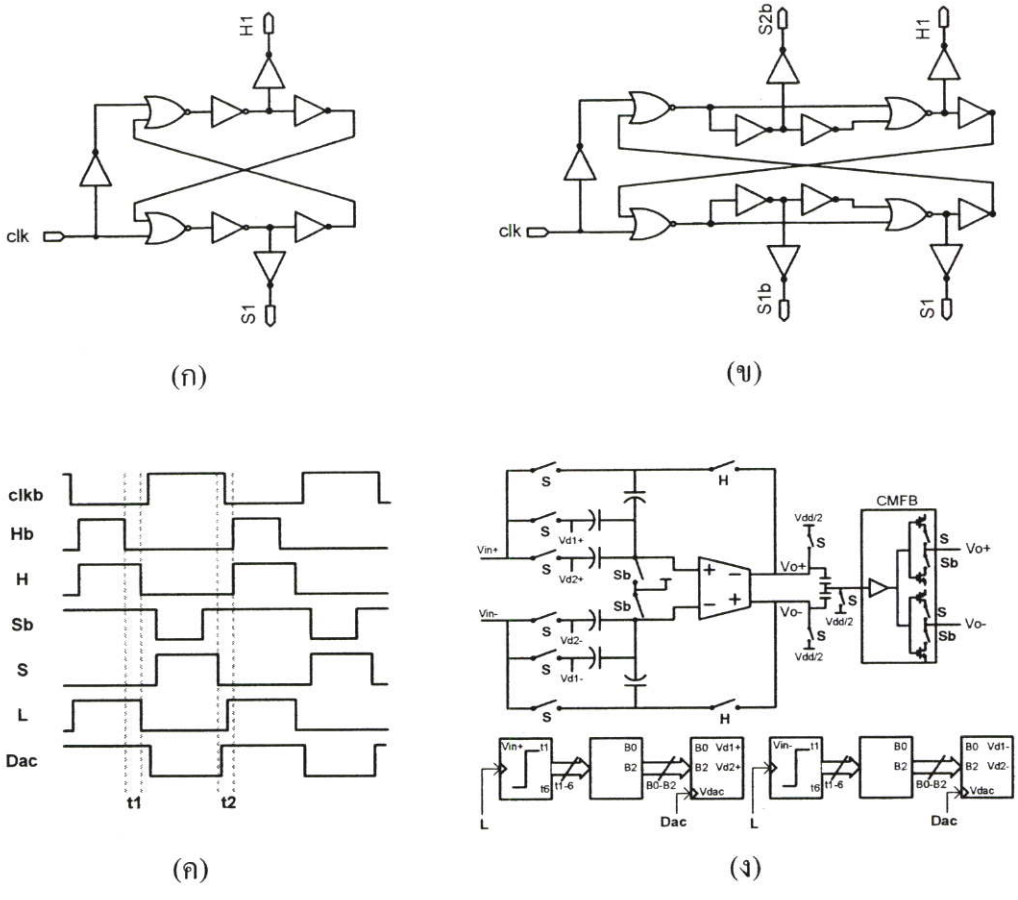
(ค)



(ง)

รูปที่ 4.36 วงจรแก้ไขสัญญาณดิจิตอลอย่างง่าย (ก) กระบวนการแก้ไขสัญญาณดิจิตอล (ข) วงจรบวกเลขแบบคิดตัวทด (ค) โครงสร้างของวงจรแก้ไขสัญญาณดิจิตอลอย่างง่าย (ง) วงจรแก้ไขสัญญาณดิจิตอลอย่างง่าย

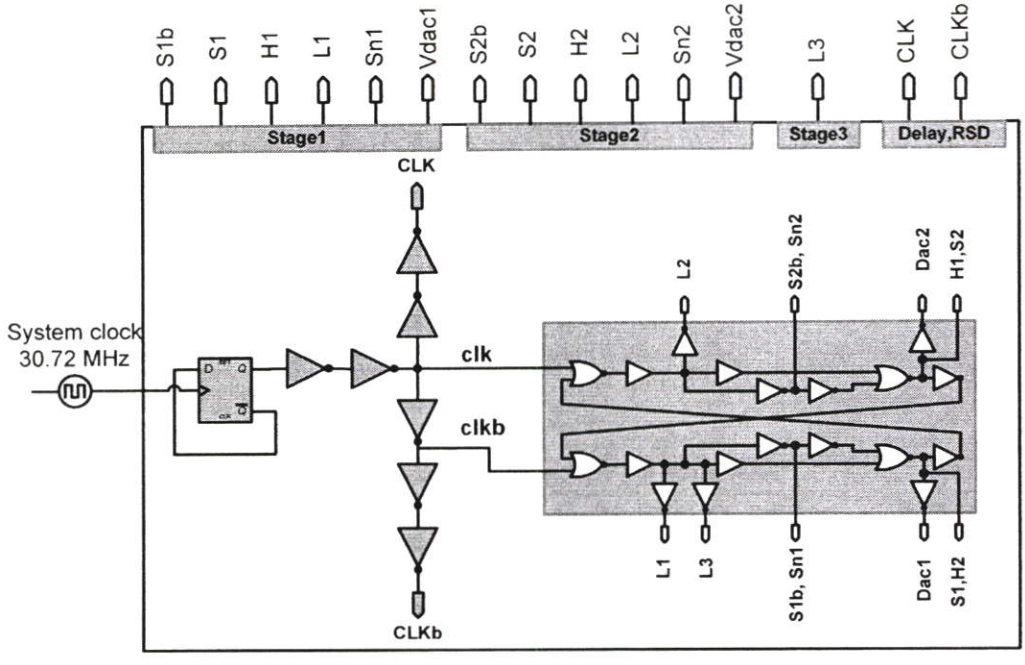
การออกแบบวงจรกำเนิดสัญญาณดังรูปที่ 4.37 (ข) ใช้กับวงจรที่ใช้เทคนิคการสุ่มแบบ Bottom plate sampling technique สัญญาณนาฬิกา bottom plate (S_{1b}, S_{2b}) จะมีช่วงเวลาขอบขาขึ้นเก็บจะพร้อมกลับช่วงเวลาการสุ่มสัญญาณ (S_1, S_2) และใช้วงจรอินเวอร์เตอร์และนอร์เกตในการทำให้ขอบขาลงของสัญญาณนาฬิกา bottom plate ก่อนช่วงเวลาการสุ่มเล็กน้อย (t1) และช่วงเวลาไม่ซ้อนทับ (t2) ดังรูปที่ 4.37 (ค)



รูปที่ 4.37 วงจรกำเนิดสัญญาณนาฬิกา (ก) วงจรกำเนิดสัญญาณนาฬิกาแบบไม่ซ้อนทับ
(ข) วงจรกำเนิดสัญญาณนาฬิกาแบบใช้เทคนิค bottom plate
(ค) ช่วงเวลาการทำงานของวงจร (ง) วงจรไพพ์ไลน์ ADC ภาคแรก

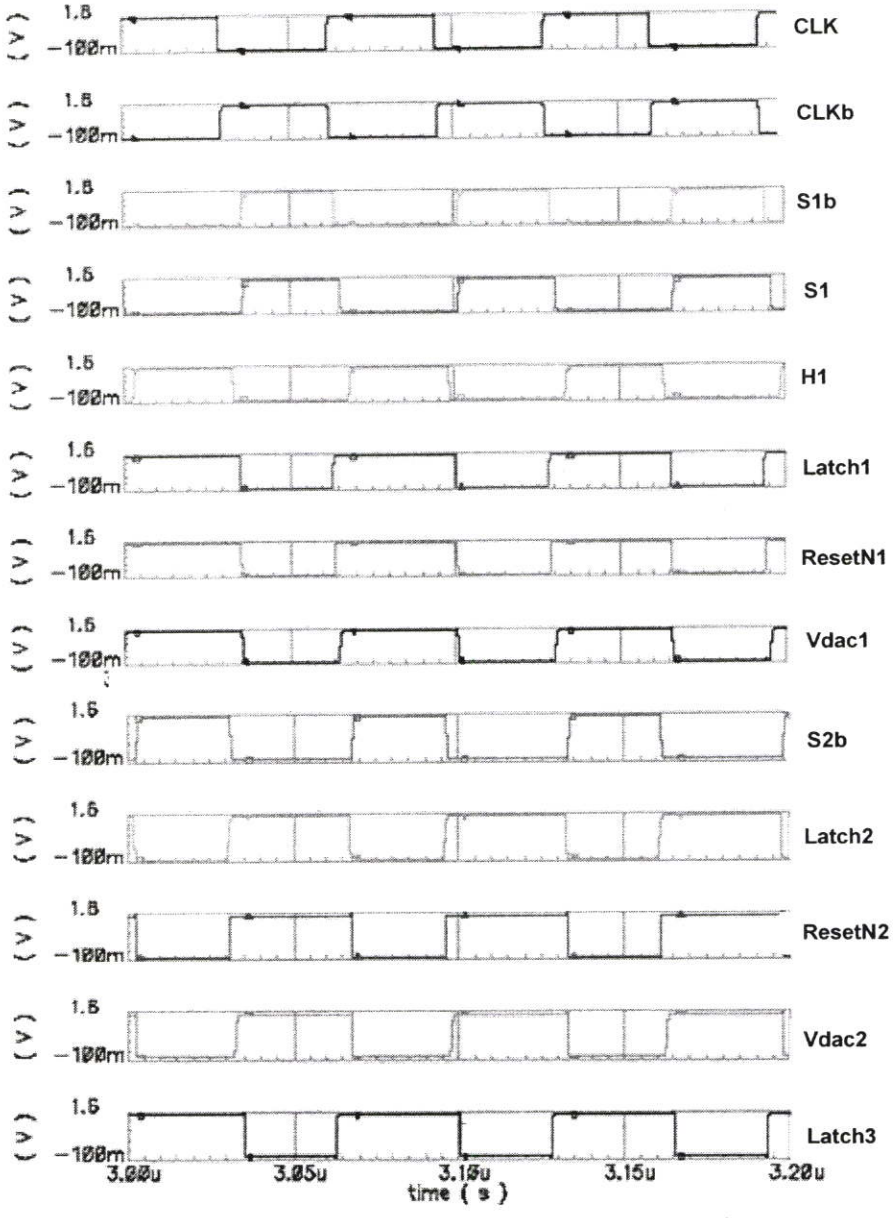
สำหรับวงจรกำเนิดสัญญาณนาฬิกาของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ภาคแรกในรูปที่ 4.38 ประกอบไปด้วยสัญญาณนาฬิกา 6 สัญญาณคือ สัญญาณที่ใช้ในการสุ่มสัญญาณอินพุต (S1) จะทำงานในช่วงเวลาในการสุ่มค่าสัญญาณอินพุต รีเซ็ตประจุในตัวเก็บประจุของวงจรป้อนกลับแรงดันโหมดร่วม และเปิดวงจรภาคเอาต์พุตของวงจรป้อนกลับแรงดันโหมดร่วม, สัญญาณนาฬิกา (S1b) ควบคุมพีทรานซิสเตอร์สวิตช์ที่ใช้สำหรับเทคนิค bottom plate

ให้เปิดก่อนที่สวิตช์ในการสุ่มสัญญาณจะเปิด และใช้ในการควบคุมเอ็นทรานซินเตอร์สวิตช์ซึ่งเป็นเอาต์พุตของวงจรป้อนกลับแรงดันโหมดร่วมให้ทำงานก่อนช่วงเวลาขยายสัญญาณ(H1), สัญญาณนาฬิกาควบคุมการทำงานของวงจรเปรียบเทียบสัญญาณ (L1) จะทำการเปรียบเทียบสัญญาณในช่วงเวลาที่สัญญาณ S1b ไม่ทำงานเพื่อเปรียบเทียบสัญญาณค่าเดียวกับที่ Cs สุ่มได้, สัญญาณนาฬิกา (Dac1) ส่งสัญญาณที่แปลงกลับจากสัญญาณดิจิตอลเป็นแอนะลอกให้แก Cs หลังจากที่ S1 เปิดแล้วแต่H1 ยังปิดอยู่, และสัญญาณนาฬิกา (H1) จะปิดพร้อมๆกับสวิตช์ (S2) ของภาคถัดไปเพื่อส่งสัญญาณผลต่างต่อไปยังภาคที่สอง



รูปที่ 4.38 วงจรกำเนิดสัญญาณนาฬิกาของวงจรไพพ์ไลน์ ADC ทั้งหมด

ลำดับการทำงานของสัญญาณนาฬิกาของภาคที่หนึ่งและภาคที่สองเหมือนกัน ภาคสุดท้ายเป็นวงจรเปรียบเทียบสัญญาณใช้สัญญาณนาฬิกา (L3) ซึ่งมีช่วงเวลาการทำงานเดียวกับ (L1) สัญญาณนาฬิกาจากภายนอกเป็นสัญญาณที่มีความถี่เป็นสองเท่าของสัญญาณสุ่ม จึงต้องใช้วงจรหารความถี่ของสัญญาณลงค่าครึ่งหนึ่ง สัญญาณ clk และ clkb เป็นสัญญาณที่ใช้ในการควบคุมการทำงานของ D-flip flop ในวงจรหน่วงสัญญาณและวงจรแก้ไขสัญญาณดิจิตอล ในหัวข้อ 4.4.1 และ 4.4.2 ตามลำดับ สัญญาณนาฬิกาของระบบที่ได้จากการออกแบบแสดงดังรูปที่ 4.39



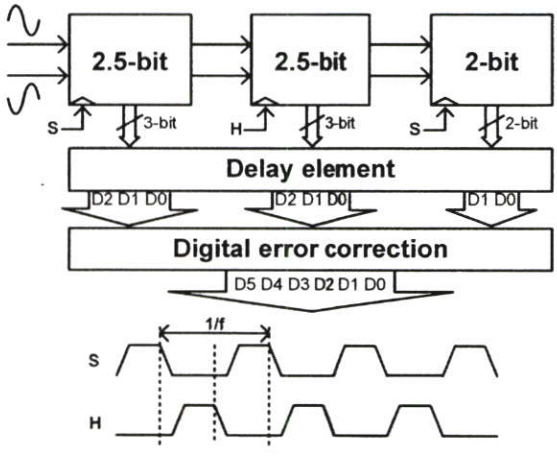
รูปที่ 4.39 สัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณนาฬิกา

บทที่ 5
ผลการจำลองการทำงานวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต

จากเงื่อนไขของกำลังงานสูญเสีย และขนาดของวงจร การออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต จะแบ่งออกเป็นบล็อกการแปลงสัญญาณย่อยๆ 3 บล็อก ดังรูปที่ 5.1 และเนื่องจากนำเทคนิคการเข้ารหัสแบบเศษเหลือ (RSD, r=1) มาใช้ บล็อกการทำงานที่ 1 และ 2 จึงเป็นโครงสร้างของวงจรแปลงสัญญาณแบบ 2.5 บิต

5.1 ส่วนประกอบและการทำงานของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต

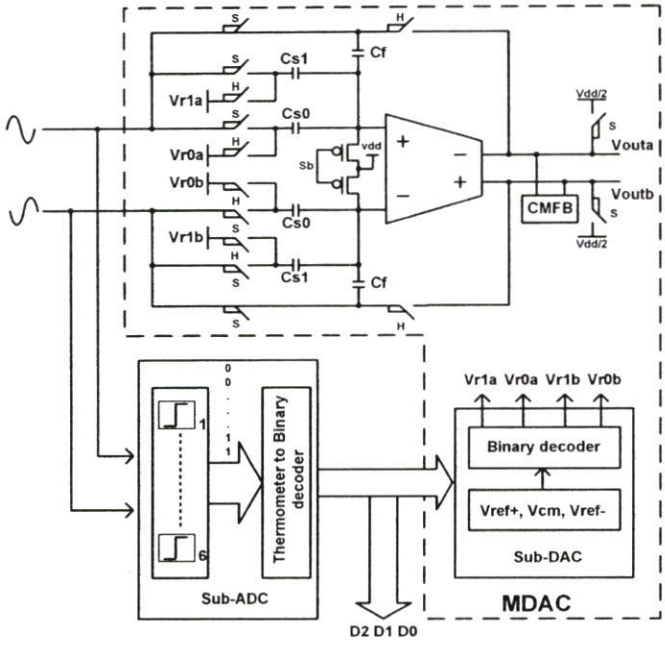
ส่วนประกอบภายในของบล็อกการทำงานที่ใช้โครงสร้างแบบ 2.5 บิต จะประกอบไปด้วย วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย และวงจร MDAC ดังรูปที่ 5.2 จากบทที่ 3 วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย (sub-ADC) จะประกอบไปด้วยระดับขั้นในการแปลงสัญญาณเท่ากับ 6 ระดับ ตำแหน่งของระดับแรงดันอ้างอิงแสดงในตารางที่ 5.1 หาได้จากสมการที่ 3.9 สำหรับในส่วนของวงจร MDAC จะประกอบไปด้วยวงจรสวิตช์ตัวเก็บประจุและวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกย่อย (sub-DAC) จากสมการที่ 3.11สามารถหาอัตราขยายของวงจรสวิตช์ตัวเก็บประจุได้เท่ากับ $2^{B_i+1-r}=4$ ดังนั้นสมการการส่งผ่านของโครงสร้าง 2.5 บิตจะเท่ากับสมการที่ 5.1



รูปที่ 5.1 โครงสร้างตัวแปลงสัญญาณแอนะลอกเป็นดิจิตอลเป็นแบบไพพ์ไลน์

$$V_{out} = 4V_{in} - DV_{ref} \qquad 5.1$$

เมื่อ $D \in [-3,3]$ ซึ่งค่าของ D จะขึ้นกับรหัสดิจิตอลเอาต์พุตจากวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อย



รูปที่ 5.2 โครงสร้างบล็อก 2.5 บิต

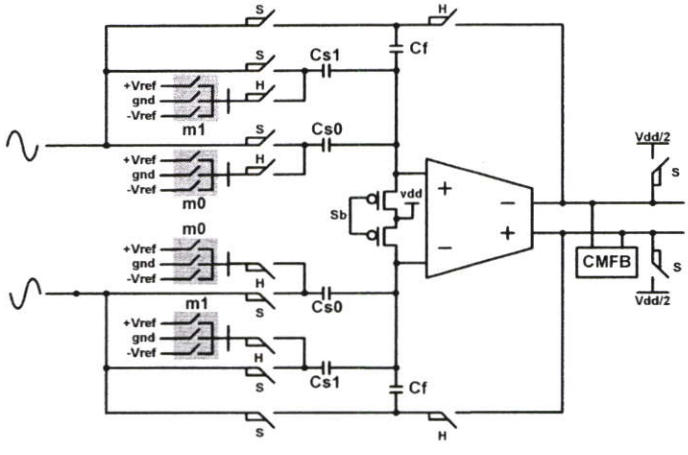
ตารางที่ 5.1 ระดับแรงดันอ้างอิงของวงจรเปรียบเทียบแรงดัน 2.5 บิต

$\pm V_{ref,n} = \pm\left(\frac{n}{2^{B_i}} + \frac{r}{2^{B_i+r}}\right)\cdot V_{ref}$	$\pm V_{ref,n} = \pm 0.5V$	$-V_{ref,n} = 0, +V_{ref,n} = 1V$
$V_{ref\,2.5,5} = +\left(\frac{2}{2^2} + \frac{1}{2^{2+1}}\right)\cdot\frac{1}{2}$	0.3125V	0.8125V
$V_{ref\,2.5,4} = +\left(\frac{1}{2^2} + \frac{1}{2^{2+1}}\right)\cdot\frac{1}{2}$	0.1875V	0.6875V
$V_{ref\,2.5,3} = +\left(\frac{0}{2^2} + \frac{1}{2^{2+1}}\right)\cdot\frac{1}{2}$	0.0625V	0.5625V
$V_{ref\,2.5,2} = -\left(\frac{0}{2^2} + \frac{1}{2^{2+1}}\right)\cdot\frac{1}{2}$	-0.0625V	0.4375V
$V_{ref\,2.5,1} = -\left(\frac{1}{2^2} + \frac{1}{2^{2+1}}\right)\cdot\frac{1}{2}$	-0.1875V	0.3125V
$V_{ref\,2.5,0} = -\left(\frac{2}{2^2} + \frac{1}{2^{2+1}}\right)\cdot\frac{1}{2}$	-0.3125V	0.1875V

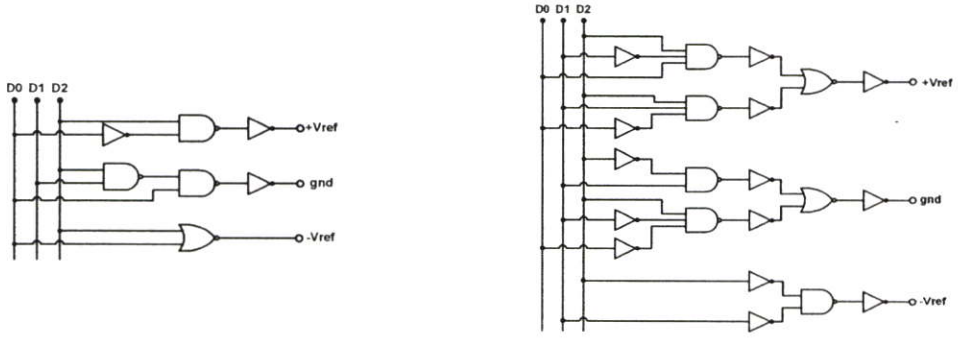
เพื่อลดจำนวนสวิตช์ในวงจรจึงใช้ตัวเก็บประจุแบบถ่วงน้ำหนักฐานสอง จากสมการที่ 3.18 จะได้สมการการถ่ายโอนของบล็อกการทำงาน 2.5 บิตใหม่ในสมการที่ 5.2 ซึ่งจากรูปที่ 5.2 ค่าของ $C_{s1} = 2C, C_{s2} = C$ เมื่อ m_0 , m_1 มีความสัมพันธ์กับรหัสดิจิตอลเอาต์พุตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลย่อยดังสมการที่ 3.19

$$V_{out} = 4V_{in} - (m_0 - 2m_1)V_{ref} \qquad 5.2$$

จากสมการที่ 3.19 จะเห็นได้ว่า m_0 และ m_1 ทำหน้าที่เป็นตัวเข้ารหัสสัญญาณดิจิตอลเพื่อควบคุมการสร้างระดับแรงดันของวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกย่อย ดังรูปที่ 5.3 ซึ่งสามารถเขียนเป็นความสัมพันธ์กับรหัสดิจิตอลจากวงจร sub-ADC ได้ดังตารางที่ 2 โครงสร้างของ m_0 และ m_1 แสดงในรูปที่ 5.4



รูปที่ 5.3 ลักษณะการต่อวงจรสวิตช์ตัวเก็บประจุกับระดับแรงดันของ sub-DAC



(ก) (ข)

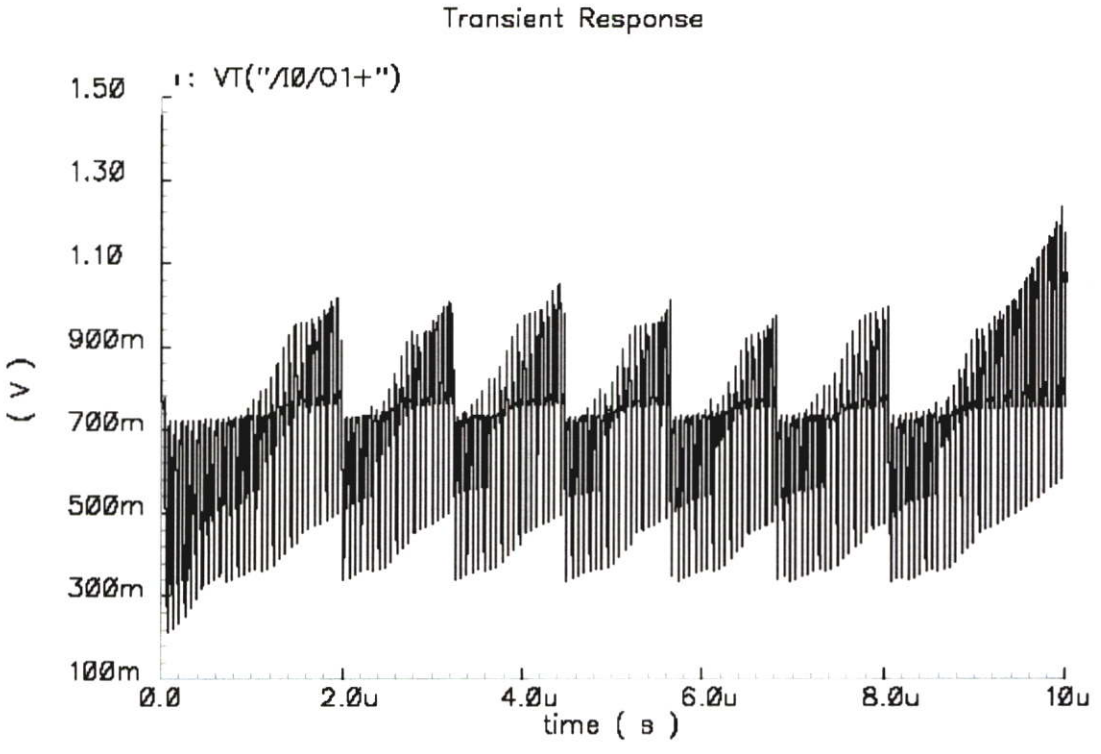
รูปที่ 5.4 ตัวเข้ารหัสดิจิตอล (ก) m_0 (ข) m_1

ตารางที่ 5.2 ระดับแรงดันอ้างอิงของ sub-DAC

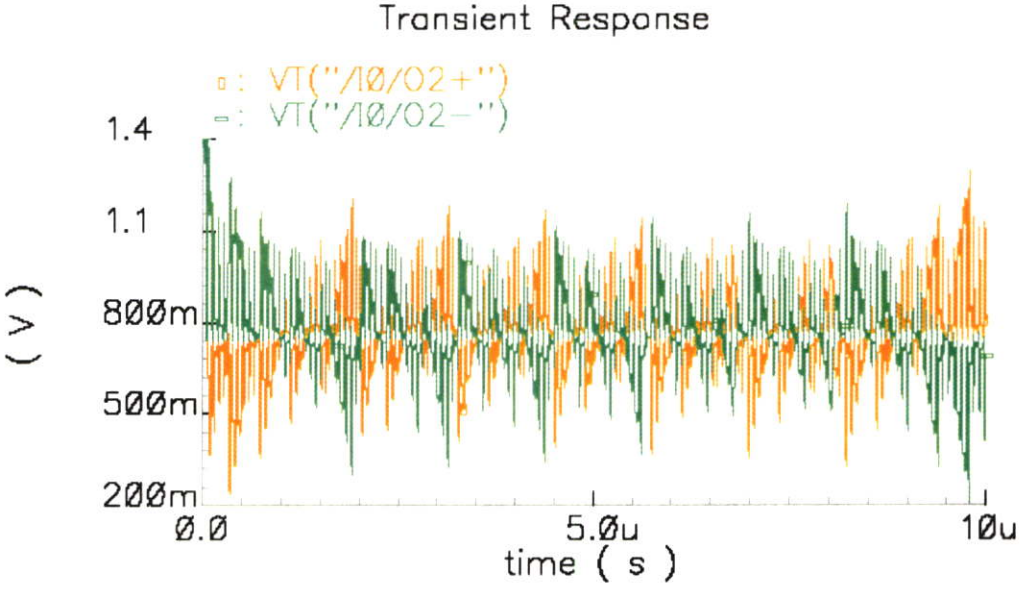
รหัสดิจิตอล	m_0	m_1	DV_{ref}
000	-1	-1	$-\frac{V_{ref}}{2}-\frac{V_{ref}}{2}-\frac{V_{ref}}{2}=-3\frac{V_{ref}}{2}$
001	0	-1	$-\frac{V_{ref}}{2}-\frac{V_{ref}}{2}-0=-2\frac{V_{ref}}{2}$
010	-1	0	$-\frac{V_{ref}}{2}-0-0=-\frac{V_{ref}}{2}$
011	0	0	$-0-0-0=0$
100	+1	0	$+\frac{V_{ref}}{2}+0+0=+\frac{V_{ref}}{2}$
101	0	+1	$+\frac{V_{ref}}{2}+\frac{V_{ref}}{2}+0=+2\frac{V_{ref}}{2}$
110	+1	+1	$+\frac{V_{ref}}{2}+\frac{V_{ref}}{2}+\frac{V_{ref}}{2}=+3\frac{V_{ref}}{2}$

ขั้นตอนการทำงานของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์มีดังนี้ ในช่วงเวลาการทำงาน S1 สัญญาณอินพุตคู่ผลต่างจะถูกเก็บค่าในตัวเก็บประจุ C_s หลังจากนั้น S1b (Bottom plate switch) จะทำการเปิดวงจรเพื่อป้องกันประจุรั่วไหล ในช่วงเวลาเดียวกันนี้วงจรเปรียบเทียบสัญญาณจะเริ่มทำงานด้วยสัญญาณนาฬิกา Latch1 เท่ากับ 1 แรงดันอินพุตแบบผลต่างจะถูกนำมาเปรียบเทียบกับระดับแรงดันอ้างอิง และแปลงเป็นรหัสดิจิตอลเอาต์พุต รหัสดิจิตอลที่ได้จะถูกส่งไปยังวงจรหน่วงเวลาและวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกย่อย เมื่อสิ้นสุดขั้นตอนนี้สัญญาณนาฬิกา H1 จะทำงานและส่งสัญญาณแอนะลอกที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกย่อยไปลบกับสัญญาณอินพุต (Cs) และเอาต์พุตที่ได้จะเป็นสัญญาณเศษเหลือดังสมการที่ 5.2 ซึ่งสัญญาณเศษเหลือที่ได้จะเป็นสัญญาณอินพุตของบล็อกที่ 2 ต่อไป โดยการทำงานของวงจรในบล็อกที่ 2 จะเหมือนกับวงจรในบล็อกที่ 1 และสัญญาณเศษเหลือที่ได้จากบล็อกที่ 2 จะถูกส่งไปยังบล็อกสุดท้ายซึ่งมีโครงสร้างแบบแฟลช 2 บิต ทำงานด้วยสัญญาณนาฬิกา Latch3 รหัสดิจิตอลของบล็อกที่ 1 และ 2 จะถูกหน่วงไว้เพื่อรอรหัสดิจิตอลของบล็อกที่ 3 ด้วยวงจรหน่วงเวลา หลังจากนั้นจะส่งต่อไปยังวงจรแก้ไขรหัสดิจิตอลและจะให้รหัสดิจิตอลเอาต์พุตที่ขอบขาขึ้นของสัญญาณนาฬิกา CLK

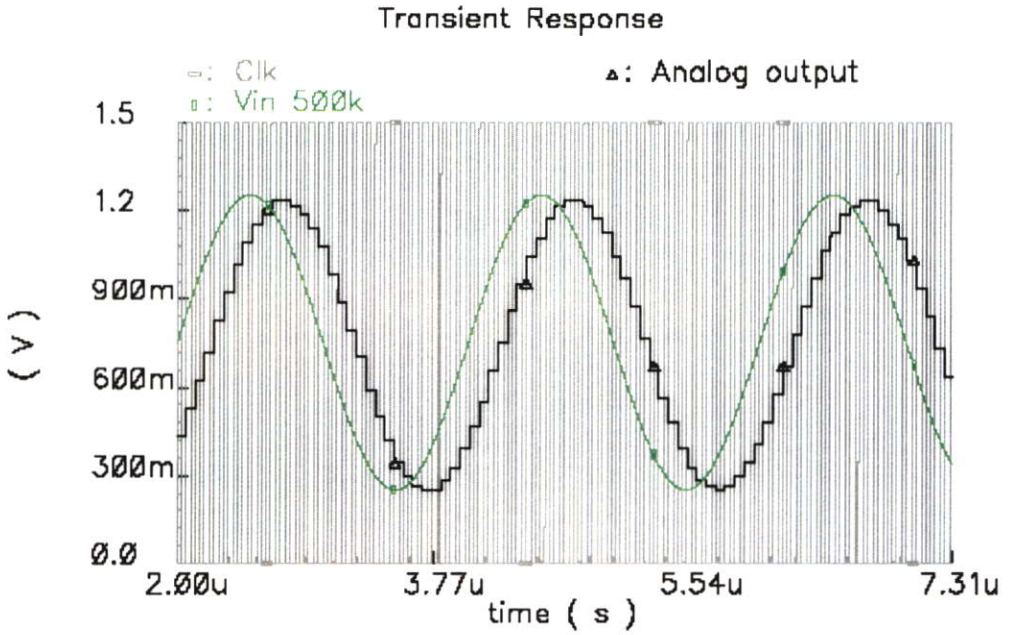
รูปที่ 5.5 และ 5.6 แสดงลักษณะสัญญาณเศษเหลือที่เอาต์พุตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ในบล็อกที่ 1 และ บล็อกที่ 2 ตามลำดับ ทดสอบการทำงานของวงจรแปลงสัญญาณด้วยการป้อนสัญญาณไซน์ในย่านความถี่อินพุตสูงสุดที่ 4MHz และย่านความถี่อื่นภายในช่วงการทำงาน ดังรูปที่ 5.7 ถึง 5.9 จะเห็นได้ว่ารหัสดิจิตอลเอาต์พุตจะมีช่วงเวลาหน่วงกับสัญญาณอินพุต สามวงรอบสัญญาณนาฬิกา



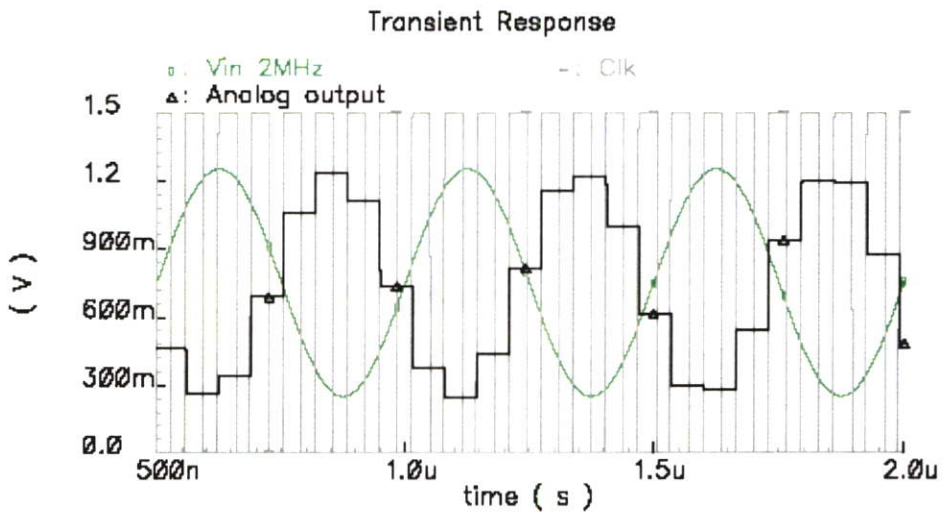
รูปที่ 5.5 สัญญาณเอาต์พุตของบล็อกที่ 1



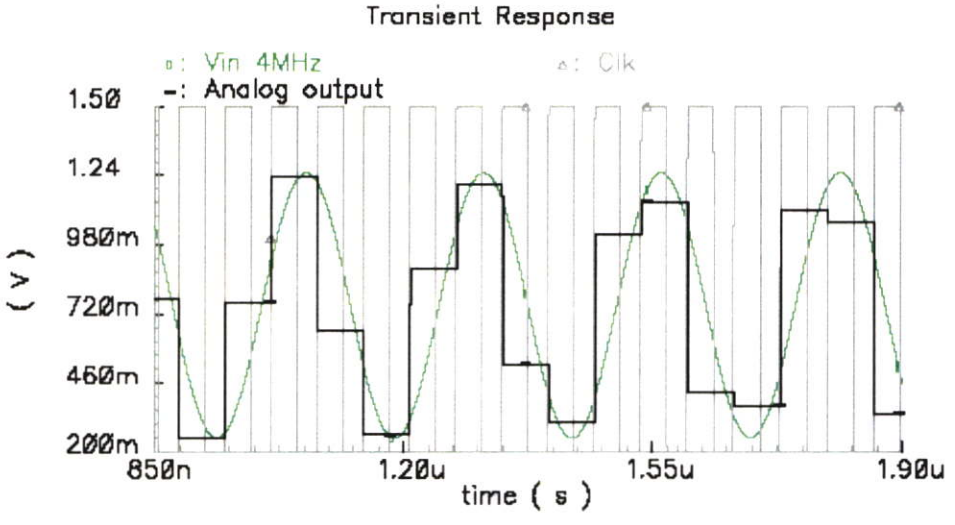
รูปที่ 5.6 สัญญาณเอาต์พุตของบล็อกที่ 2



รูปที่ 5.7 สัญญาณไซน์เอาต์พุตความถี่ 500kHz



รูปที่ 5.8 สัญญาณไซน์เอาต์พุตความถี่ 2MHz



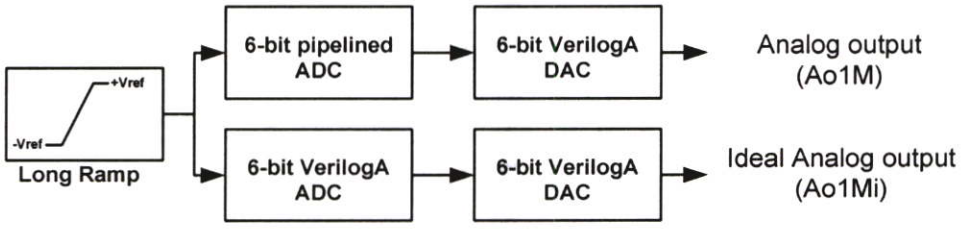
รูปที่ 5.9 สัญญาณไซน์เอาต์พุตความถี่ 4MHz

5.2 การทดสอบประสิทธิภาพของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล

การทดสอบประสิทธิภาพของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบ่งออกเป็น 2 ชนิดได้แก่ การทดสอบความเป็นเชิงเส้นเชิงสถิต (Static linearity) และการทดสอบความเป็นเชิงเส้นทางพลวัต (Dynamic linearity)

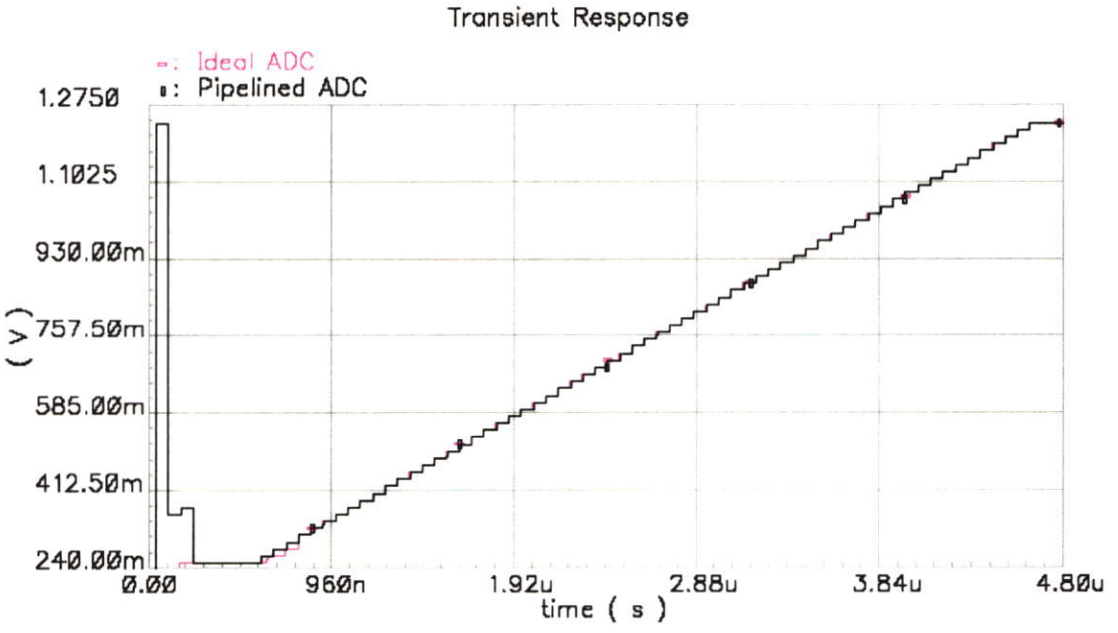
5.2.1 การทดสอบความเป็นเชิงเส้นเชิงสถิต

ความเป็นเชิงเส้นเชิงสถิตจะบอกลักษณะการถ่ายโอนของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล ทำได้โดยการป้อนสัญญาณอินพุตเป็นสัญญาณลาดเอียงจาก $-V_{ref}$ ถึง $+V_{ref}$ ดังรูปที่ 5.10 (ก) รูปที่ 5.10 (ข) เป็นการทดสอบโดยการป้อนอินพุตเป็นสัญญาณลาดเอียงที่มีความถี่ประมาณ 240kHz ซึ่งจะทำให้เกิดการเปลี่ยนแปลงรหัสเอาต์พุตทุกวงรอบสัญญาณนาฬิกา รูปที่ 5.10(ค) โดยสัญญาณเอาต์พุตที่ได้สามารถนำไปหาลักษณะความไม่เป็นเชิงเส้นของระบบได้

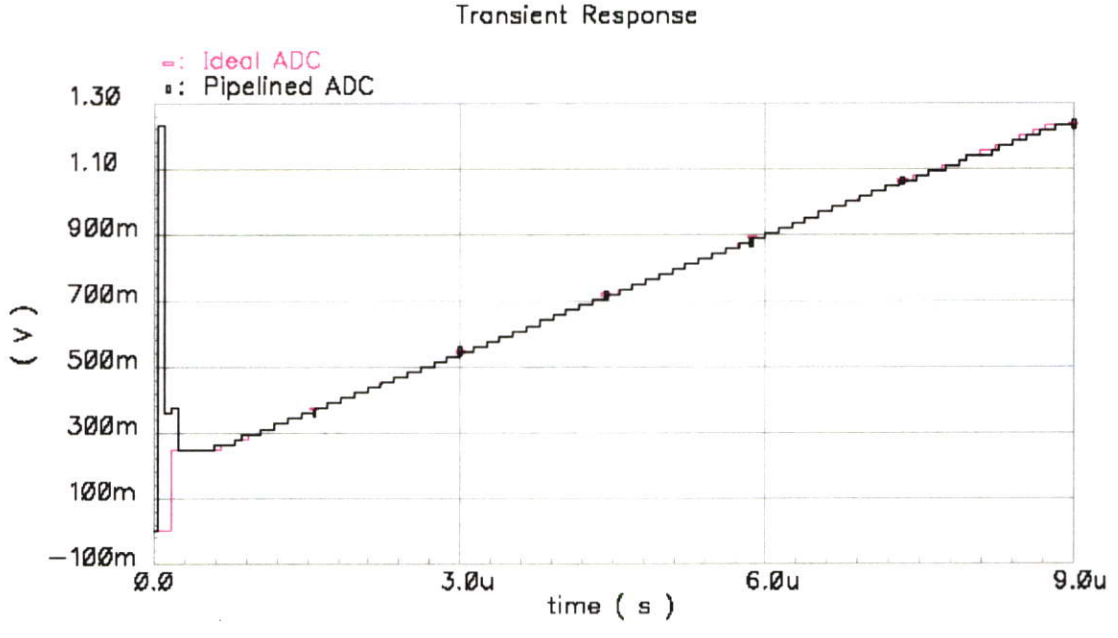


(ก)

รูปที่ 5.10 (ก) การทดสอบความเป็นเชิงเส้นเชิงสถิตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล (ข) สัญญาณลาดเอียงความถี่ 240 KHz (ค) สัญญาณลาดเอียงความถี่ 140 KHz (ง) สัญญาณลาดเอียงความถี่ 80 KHz (จ) สัญญาณลาดเอียงความถี่ 24 KHz

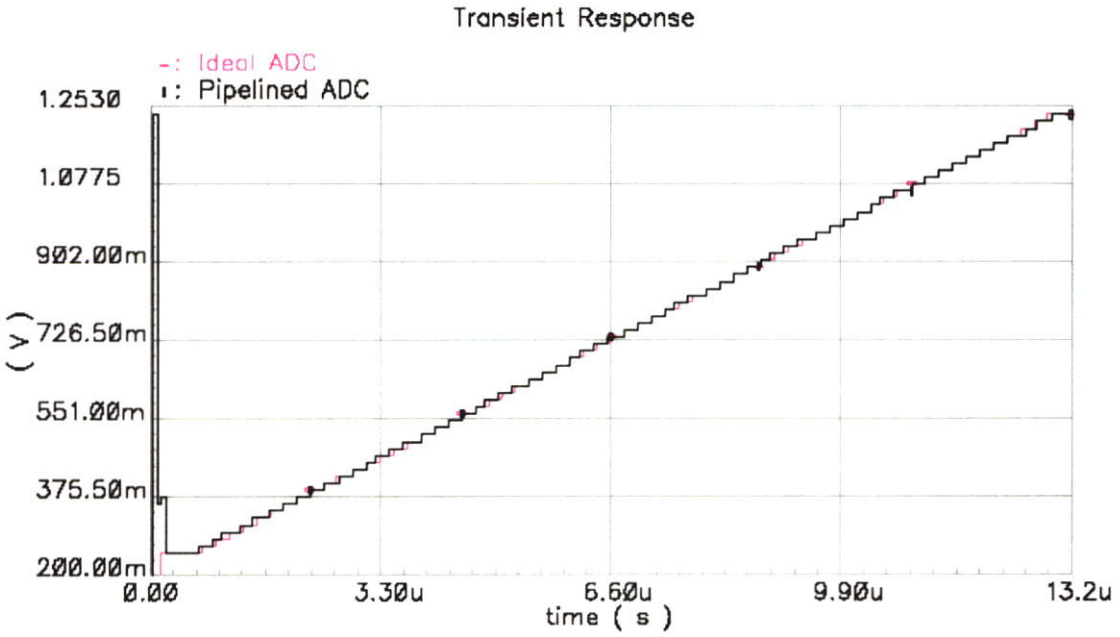


(ข) สัญญาณลาดเอียงความถี่ 240 KHz

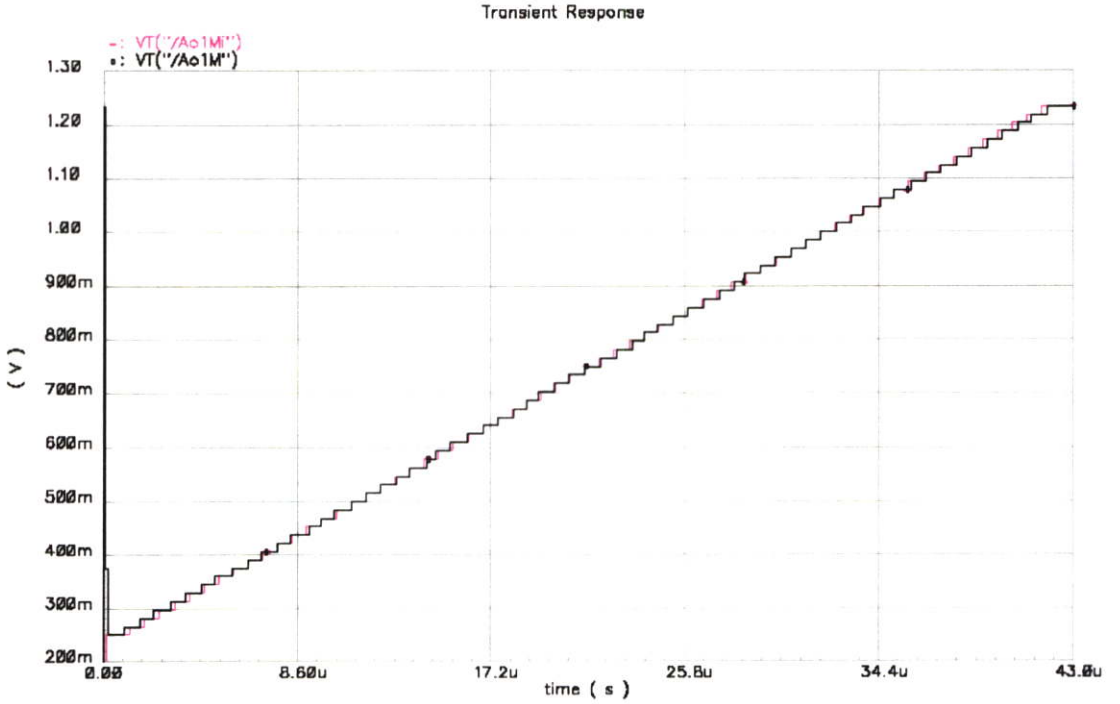


(ค) สัญญาณลาดเอียงความถี่ 120 KHz

รูปที่ 5.10 (ก) การทดสอบความเป็นเชิงเส้นเชิงสถิตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล
(ข) สัญญาณลาดเอียงความถี่ 240 KHz (ค) สัญญาณลาดเอียงความถี่ 140 KHz
(ง) สัญญาณลาดเอียงความถี่ 80 KHz (จ) สัญญาณลาดเอียงความถี่ 24 KHz

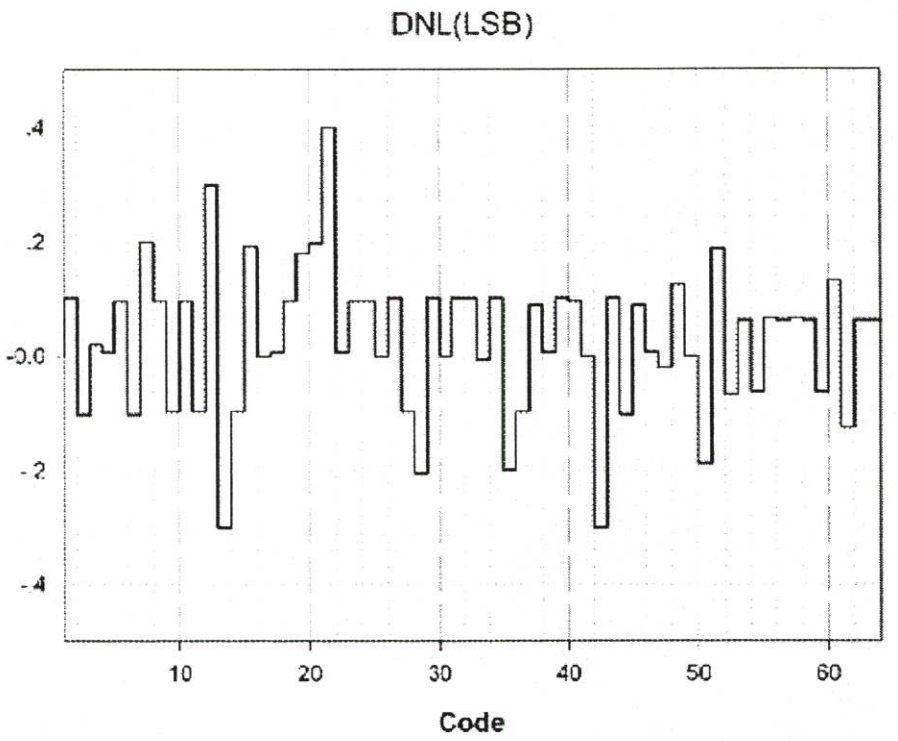


(ง) สัญญาณลาดเอียงความถี่ 80 KHz

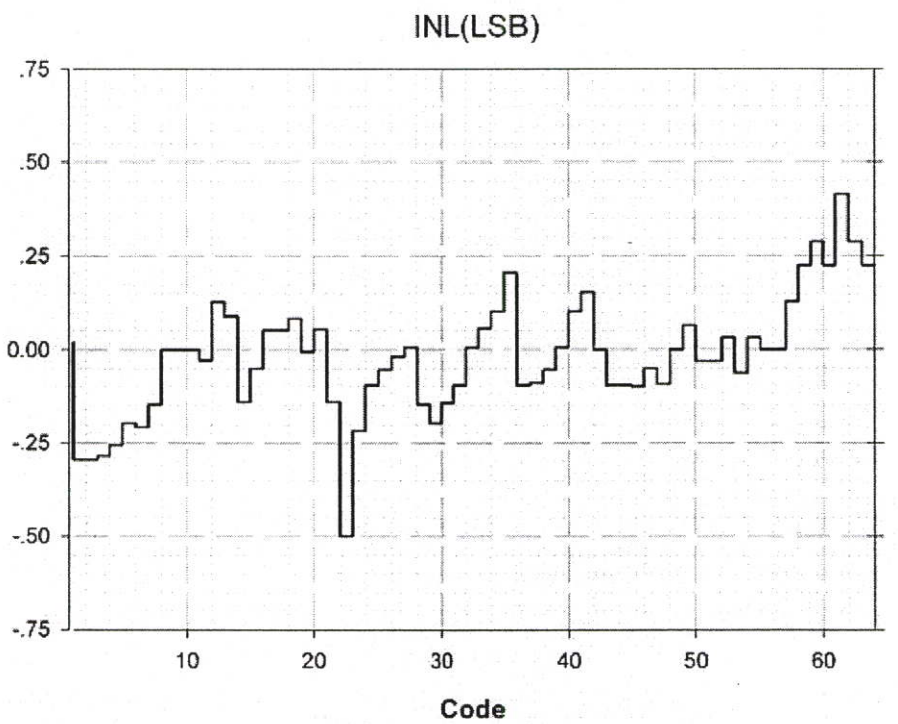


(จ) สัญญาณลาดเอียงความถี่ 24 KHz

รูปที่ 5.10 (ก) การทดสอบความเป็นเชิงเส้นเชิงสถิตของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล
(ข) สัญญาณลาดเอียงความถี่ 240 KHz (ค) สัญญาณลาดเอียงความถี่ 140 KHz
(ง) สัญญาณลาดเอียงความถี่ 80 KHz (จ) สัญญาณลาดเอียงความถี่ 24 KHz



รูปที่ 5.11 ค่าความไม่เป็นเชิงเส้นผลต่าง

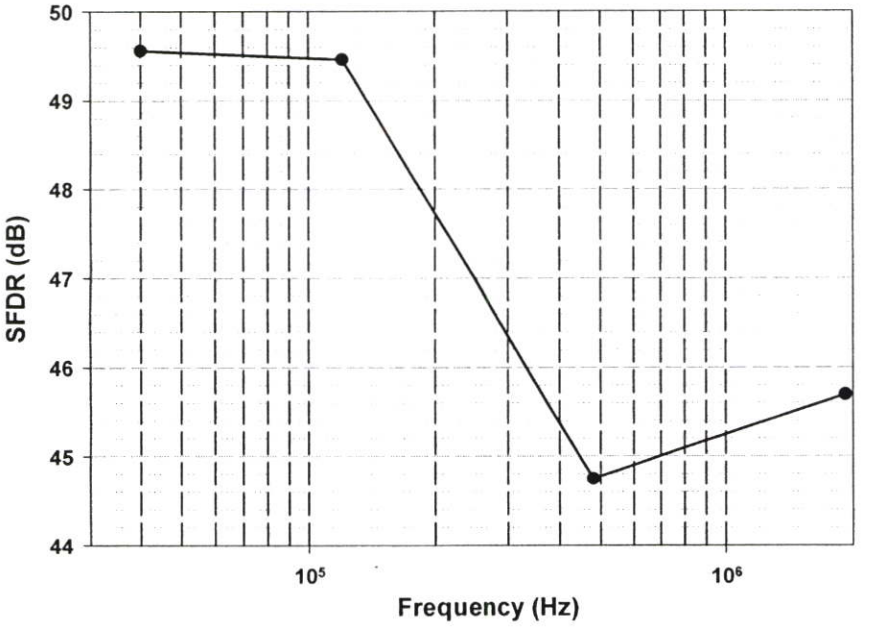


รูปที่ 5.12 ค่าความไม่เป็นเชิงเส้นผลรวม

จากนิยามในบทที่ 2 ความไม่เป็นเชิงเส้นผลต่าง (DNL) และความไม่เป็นเชิงเส้นผลรวม (INL) ของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ที่ได้ทำการออกแบบแสดงดังรูปที่ 5.11 และ 5.12 ซึ่งจากรูปแสดงให้เห็นถึงความไม่เป็นอุดมคติของระดับขั้นในการแปลงสัญญาณที่เกิดจากความไม่เป็นอนันต์ของอัตราขยายไฟตรง และความคลาดเคลื่อนของวงจรเปรียบเทียบสัญญาณ ซึ่งในอุดมคติค่าทั้งสองจะต้องมีค่าเท่ากับศูนย์ ระดับความคลาดเคลื่อนที่ยอมรับได้จะเท่ากับ ±0.5LSB เนื่องจากความคลาดเคลื่อนระดับนี้จะไม่ทำให้เกิดการสูญหายของรหัสดิจิตอล และแสดงให้เห็นว่าวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลมีความเป็นเชิงเส้นที่เชื่อถือได้ในระดับ 6 บิต

5.2.2 ความไม่เป็นเชิงเส้นเชิงพลวัต

ความไม่เป็นเชิงเส้นเชิงพลวัตที่สำคัญสำหรับการสื่อสารแบบไร้สายคือ อัตราส่วนของกำลังงานสัญญาณอินพุตต่อสัญญาณรบกวนสูงสุด(Spurious free dynamic range : SFDR) ถ้าค่า SFDR มีค่ามากจะสามารถรองรับปริมาณการใช้งานได้มากขึ้น ในระบบวงจรที่ทำงานแบบคู่ผลต่าง การวัดค่า SFDR จะวัดที่ค่ากำลังงานของสัญญาณรบกวนที่ค่าความถี่ฮาร์มอนิกส์ที่ 3 ค่า SFDR ของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่ได้ทำการออกแบบแสดงดังรูปที่ 5.13



รูปที่ 5.13 อัตราส่วนของกำลังงานสัญญาณอินพุตต่อสัญญาณรบกวนสูงสุด(SFDR)

ตารางที่ 5.3 สรุปผลการจำลองการทำงาน

	ประสิทธิภาพของวงจรแปลงสัญญาณที่นำเสนอ	[27]
ความละเอียด	6-bit	6-bit
ความถี่การสุ่มตัวอย่าง	15.36-MS/s	15.36-MS/s
แรงดันแหล่งจ่าย	1.5-V	2.7-V
ขนาดแรงดันอินพุต	1Vp-p	1.2Vp-p
SFDR	44-dB	50-dB
DNL	0.4LSB	0.27LSB
INL	0.5LSB	0.18LSB
การสูญเสียกำลังงาน	4.7-mW	6-mW
เทคโนโลยีที่ใช้	CMOS 0.35-μm	CMOS 0.35-μm

ตารางที่ 5.3 เป็นตารางเปรียบเทียบผลการจำลองการทำงานของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ขนาด 6 บิต ที่นำเสนอกับ กับผลของงานวิจัย [27] จะเห็นได้ว่าวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่นำเสนอด้วยจำนวนบิตเท่ากัน และทำงานที่ความถี่สัญญาณนาฬิกาเท่ากันสามารถทำงานที่ระดับแรงดันไฟเลี้ยงที่ต่ำลงได้ และจากการออกแบบวงจรขยายทรานส์คอนดักเตอร์ผลต่างแบบเทียมคลาสเอบีแบบใหม่ทำให้กำลังงานสูญเสียของวงจรมีค่าต่ำลง แต่จากผลการวัดประสิทธิภาพวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลที่นำเสนอมีประสิทธิภาพต่ำกว่างานวิจัย [27] ทั้งทางสถิตและพลวัติ

บทที่ 6
สรุปผลการวิจัย และข้อเสนอแนะ

6.1 สรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ 6 บิต มุ่งเน้นในการออกแบบเพื่อใช้เป็นชิปเดี่ยว และใช้งานในเครื่องรับสัญญาณที่ทำงานกับสัญญาณแบนวิดท์กว้าง เช่น ในระบบ WCDMA วงจรทำงานที่แรงดันแหล่งจ่าย 1.5 โวลต์ การออกแบบมุ่งเน้นการลดกำลังงานของระบบด้วยการออกแบบวงจรทรานส์คอนดักเตอร์ที่มีการสูญเสียกำลังงานต่ำ เนื่องจากวงจรทรานส์คอนดักเตอร์เป็นวงจรที่ทำให้เกิดการสูญเสียกำลังงานสูงสุดในวงจรแปลงสัญญาณดิจิตอลแบบไพพ์ไลน์ การออกแบบนำเทคนิคการออกแบบวงจรแบบคลาสเอบี และนำเซลล์ FVF มาใช้เพื่อลดการสูญเสียกำลังงานและเพิ่มประสิทธิภาพให้แก่ระบบ ทำให้สามารถลดค่ากำลังงานสูญเสียได้โดยมีค่ากำลังงานสูญเสียของระบบประมาณเท่ากับ 4.7 มิลลิวัตต์ วงจรมีความไม่เป็นเชิงเส้นผลรวม (INL) และความไม่เป็นเชิงเส้นผลต่าง (DNL) น้อยกว่า 0.5 LSB ยืนยันว่าวงจรมีความเป็นเชิงเส้นที่เชื่อถือได้ในระดับ 6 บิต อัตราส่วนของกำลังงานสัญญาณอินพุตต่อสัญญาณรบกวนสูงสุด (SFDR) ของสัญญาณอินพุตเต็มสเกล มีค่าต่ำสุดที่ความถี่ 1.92 เมกกะเฮิรตซ์ เท่ากับ 40 เดซิเบล

จากผลการจำลองการทำงานสรุปได้ว่าวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ความละเอียด 6 บิต สามารถทำงานที่แบนด์วิดท์กว้างได้ โดยมีค่ากำลังงานสูญเสียต่ำ

6.2 ข้อเสนอแนะ

การลดกำลังงานของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์อาจใช้การใช้วงจรขยายของบล็อกที่ 1 และบล็อกที่ 2 ร่วมกัน แต่การใช้งานในลักษณะนี้จะทำให้การออกแบบสัญญาณควบคุมซับซ้อนขึ้น และควรจะต้องมีการปรับปรุงประสิทธิภาพทั้งทางสถิตและพลวัติ

เอกสารอ้างอิง

[1] Phillip E. Allen, Douglas R. Holberg, **"CMOS Analog Circuit Design"** Second edition Oxford University Press, Inc.

[2] 3rd Generation Partnership Project (3GPP) Technical Specification Group (TSG) Radio Access Network UE Radio Transmission and Reception (FDD), TS 25.101 V5.5.0, 2002-12.

[3] Lauri Sumanen, "**Pipelined Analog-to-Digital Converters for Wideband Wireless Communications**", Helsinki University of Technology.

[4] S. Mehrmanesh, H. A. Aslanzadeh, M. B. Vahidfar, and M. Atarodi, "**A 1.5 V High-Speed Class AB Operational Amplifier for High- Resolution High-speed Pipelined A/D Converters**", in Proc IEEE Int. Symp, Circuits and Systems, Vol. 1, pp. 273-276, May 2003.

[5] G. Giustolisini and G. Palumbo, "**A novel 1-V class-AB transconductor for improving speed performance in SC applications**" ,in Proc. IEEE Int. Symp. Circuits and Systems, Vol. 1, pp. 153-156, May 2003.

[6] R. G. Carvajal, J. Galan, J. Ramirez-Angulo, and A. Torralba, "**New low-power low-voltage differential class-AB OTA for SC circuits**" in Proc. IEEE Int. Symp. Circuits and Systems, Vol. 1, pp. 589-592, May 2003.

[7] S. Mehrmanesh, H. A. Aslanzadeh, M. B. Vahidfar and M. Atarodi, "**A 1.5 V high-speed class AB operational amplifier for high-resolution high-speed pipelined A/D converters**" in Proc. IEEE Int. Symp. Circuits and Systems, Vol. 1, pp. 273-276, May 2003.

[8] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba, and C. Nieva, "**A new class AB differential input stage for implementation of low-voltage high slew-rate op-amps and linear transconductors,**" in Proc. 2001 IEEE Int. Symp. Circuits Systems, May 2001, Vol. 1, pp. 671-674.

[9] R. Castello, A. G. GGrassi nad S. Donati, "**A 500-nA sixth-order bandpass SC filter**", IEEE J. Solid-State Circuits, vol. 25, no. 3, pp. 669-676, June 1990.

[10] Jie Yan, Kee-Chee Tiew, Randall L. Geiger, "**Open Loop Pole Location Bounds for Partial Positive Feedback Gain Enhancement Operational Amplifiers**", in Proc. IEEE Midwest Symp. Circuits and Systems, pp. 425-428, August 2001.

[11] Michiel Steyaert, "**Design of Low-Voltage Low-Power CMOS Delta-Sigma A/D Converters**", pp 59-66, Kluwer academic publishers.

[12] M. Ali-Bakhshian, K. Sadeghi, "**A novel Continuous-Time Common-Mode Feedback for Low-voltage Switched-Opamp**".

[13] Ojas Choksi, L. Richard Carley, "**Analysis of Switched-Capacitor Common-Mode Feedback Circuit**", IEEE Trans. Circuits Syst. II, vol. 50, p. 906, Dec. 2003.

[14] John P. Uyemura, "**CMOS Logic Circuit Design**", Kluwer Academic, Boston, 1999.

[15] L. Sumanen, M. Waltari and K. Halonen, "**A mismatch insensitive CMOS dynamic comparator for pipeline A/D converters**" IEEE Int. Conf. Circuits and Systems, Vol. 1, pp. 32-35, Dec. 2000

[16] Andrew Masami Abo, "**Design for Reliability of Low-voltage Switched-capacitor Circuits**", Dissertation submitted in partial satisfaction of the requirements for the degree of Doctor, University of California, Berkeley, 1999.

[17] Mikko Waltari, "**Circuit technique for Low-voltage and High-speed A/D Converters**", Dissertation for the degree of Doctor of Science in Technology, Helsinki University of Technology, June, 2002.

[18] M. Dessouky, M. –M. Louerat, A. Kaiser, "**Switch sizing for very low-voltage switched-capacitor circuits",** IEEE Electronics, Circuits and Systems, vol. 3, pp. 1549-1552 2001.

[19] David Johns, Ken Martin, "**Analog integrated circuit design**", John Wiley & Sons, 1997.

[20] Teemu Salo, "**Bandpass Delta-Sigma Modulators for Radio Receivers**", Dissertation for the degree of Doctor of Science in Technology, Helsinki University of Technology, June, 2003.

[21] J. Ramirez-Anglo, R. G. Carvajal, A. torralba, and C. Nieva, "**The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design**", Proc. IEEE International Symposium on Circuits and Systems, ISCAS'02, vol. III, pp. 615-618.

[22] Michiel Steyaert, "**Design of Low-Voltage Low-Power CMOS Delta-Sigma A/D Converters**", pp 59-66, Kluwer academic publishers.

[23] Jie Yan, Kee-Chee Tiew, Randall L. Geiger, "**Open Loop Pole Location Bounds for Partial Positive Feedback Gain Enhancement Operational Amplifiers**", in Proc. 2001 IEEE Midwest Symp. Circuits and Systems, pp. 425-428, August 2001.

[24] J. Ramirez-Anglo, R. G. Carvajal, A. torralba, and C. Nieva, "**The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design**", Proc. IEEE International Symposium on Circuits and Systems, ISCAS'02, vol. III, pp. 615-618.

[25] Michiel Steyaert, "**Design of Low-Voltage Low-Power CMOS Delta-Sigma A/D Converters**", pp 59-66, Kluwer academic publishers.

[26] National Semiconductor, "**ABCs of ADCs Analog-to-Digital Converter Basics**" [Online]. Available: www.national.com/appinfo/adc/files/ABCs_of_ADCs.pdf 2004.

[27] Sumanen, L.; Halonen, K **"A single-amplifier 6-bit CMOS pipeline A/D converter for WCDMA receivers"** in proc IEEE Int. Symp. Circuit and System,Vol.1, May, 2001. pp.584-587.

[28] Mohammad Yavari and Omid Shoaei "**Low-Voltage Low-Power Fast-Settling CMOS OTA for Switched-Capacitor Application**" in proc IEEE Int. Symp. Low power electronics and design, pp.345-348, 25-27 Aug. 2003

[29] Harjani, R. Heineke, R. Feng Wang, "**An integrated low-voltage class AB CMOS OTA**", IEEE J. Solid-State Circuits, vol. 34, no. 2, pp. 134-142, Feb 1999.

ภาคผนวก ก

การหาค่าจำกัดของวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล

อัตราขยายไฟตรงของวงจรขยายใน MDAC สามารถหาได้จาก อัตราสลูว์, ค่าความละเอียด และ ค่าเกณฑ์แบนด์วิดท์ที่ต้องการซึ่งสามารถหาได้จากความเร็วในการสุ่มสัญญาณของวงจรของสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ ดังต่อไปนี้ [3]

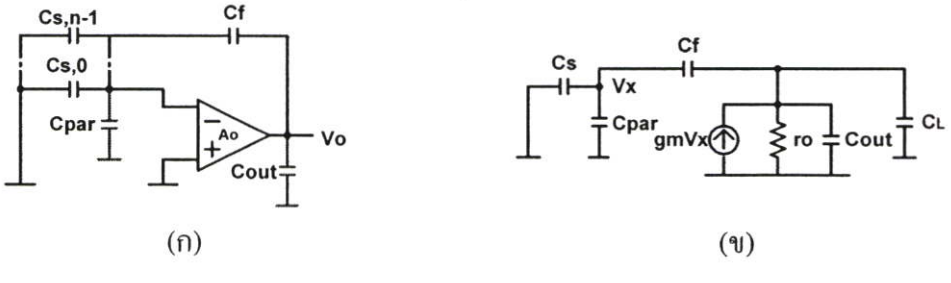
ก.1 อัตราขยายไฟตรง (Open loop DC-Gain)

ค่าความผิดพลาดที่เอาต์พุตของวงจรขยายอันเนื่องมาจากอัตราขยายไปตรงมีค่าจำกัดมีค่าเท่ากับสมการที่ ก.1

$$\varepsilon_{A_0} = \frac{1}{A_0 \cdot f} \qquad \text{ก.1}$$

เมื่อ f เป็นแฟกเตอร์การป้อนกลับของวงจรสวิตช์ตัวเก็บประจุในรูปที่ ก.1(ก) แสดงได้ในสมการที่ ก.2

$$f = \frac{C_f}{C_f + \sum_{j=0}^{n-1} C_{s,j} + C_{par}} \qquad \text{ก.2}$$



(ก) (ข)

รูปที่ ก.1 วงจรสวิตช์ตัวเก็บประจุ (ก) ในช่วงเวลาการคงค่าสัญญาณ
(ข) องค์ประกอบของสัญญาณขนาดเล็ก

ความสัมพันธ์ระหว่างแฟกเตอร์การป้อนกลับของวงจรสวิตช์ตัวเก็บประจุกับ อัตราขยายของบล็อกการทำงานที่มีจำนวนบิตเท่ากับ Bi เท่ากับสมการที่ ก.3

$$f \approx \frac{1}{2^{B_i}} \qquad \text{ก.3}$$

กำหนดให้ความผิดพลาดที่เกิดจากการมีค่าอัตราขยายไฟตรงจำกัดที่เอาต์พุตมีค่าเท่ากับ $\varepsilon_{A0,i}$ สมมติให้วงจรแปลงสัญญาณมีจำนวนบล็อกเท่ากับ m=k-1 และมีความละเอียดเท่ากับ B + r บิต จะสามารถหาค่าความผิดพลาดทั้งหมดที่อินพุตได้เท่ากับสมการที่ ก.4

$$\varepsilon_{tot} = \frac{\varepsilon_{A0,1}}{2^{B1}} + \frac{\varepsilon_{A0,2}}{2^{B1} \cdot 2^{B2}} + \cdots + \frac{\varepsilon_{A0,m}}{2^{B1} \cdot 2^{B2} \cdot \ldots \cdot 2^{Bm}} = \sum_{i=1}^{m} \frac{\varepsilon_{A0,t}}{\prod_{l=1}^{i} 2^{Bl}} \qquad \text{ก.4}$$

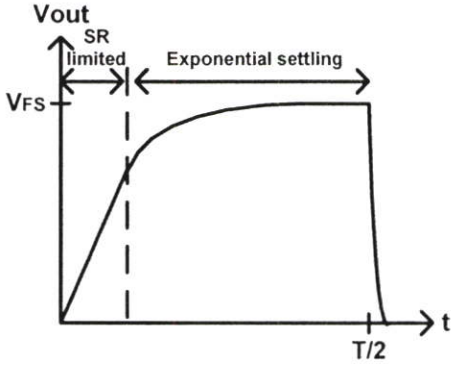
แทนค่าสมการที่ ก.1 ก.2 และ ก.3 ในสมการที่ ก.4 จะได้ค่าความผิดพลาดในรูปของอัตราขยายไฟตรงและจำนวนบิตของแต่ละบล็อกในสมการที่ ก.5

$$\varepsilon_{tot} = \sum_{i=1}^{m} \frac{2^{B_i}}{A_{0,t} \cdot \prod_{l=1}^{i} 2^{Bl}} \qquad \text{ก.5}$$

เมื่อ $A_{0,i}$ เป็นอัตราขยายวงรอบเปิดไฟตรงของภาคที่ i เพื่อไม่ให้เกิดความผิดพลาดในการแปลงสัญญาณค่าความผิดพลาดทั้งหมดที่อินพุตของ ADC จะต้องมีน้อยกว่า LSB/2 , $\varepsilon_{A0,i}$ < LSB/2 จะสามารถหาความสัมพันธ์ระหว่างค่าอัตราขยายไฟตรงและค่าความละเอียดในการแปลงได้ดังสมการที่ ก.6

$$\sum_{i=1}^{m} \frac{2^{B_i}}{A_{0,t} \cdot \prod_{l=1}^{i} 2^{Bl}} < \frac{1}{2^{N+1}} \qquad \text{ก.6}$$

ก.2 เกณฑ์แบนด์วิดท์จำกัด



รูปที่ ก.2 ความคลาดเคลื่อนจากช่วงเวลาเข้าที่

ช่วงเวลาเข้าที่สามารถกำหนดได้จากค่าอัตราสลูว์ และ เกณฑ์แบนด์วิดท์ ของวงจรขยาย ดังรูปที่ ก.2 จากวงจร MDAC ในรูป ก.1 (ก) จะเขียนองค์ประกอบสัญญาณขนาดเล็กอย่างง่ายได้ดังรูป ก.1(ข) จะได้ว่าความสัมพันธ์ของความถี่เกณฑ์แบนด์วิดท์และค่าทรานส์คอนดักแตนซ์มีค่าเท่ากับสมการที่ ก.7

$$GBW = \frac{gm}{2\pi \cdot C_{L,tot}} \qquad \text{ก.7}$$

เมื่อ $C_{L,tot} = C_L + C_{out}$ และ C_{out} คือ ตัวเก็บประจุแฝงในรูป ก.1 จากรูป ก.1(b) สามารถหาค่าความถี่ตัดของสัญญาณในช่วงเวลาการคงค่าสัญญาณได้ดังสมการที่ ก.8

$$\omega_{-3dB} = \frac{gm}{C_{L,H}} \cdot f = \frac{gm}{\frac{C_{L,tot}}{f} + \sum_{j=0}^{n-1} C_{s,j} + C_{par}} \qquad \text{ก.8}$$

เมื่อ f คือแฟกเตอร์การป้อนกลับ ดังนั้นจะสามารถหาค่าความผิดพลาดของช่วงเวลาการเข้าที่ของสัญญาณหาจากสมการที่ ก.8 ได้ในสมการที่ ก.9

$$\varepsilon_\tau = e^{-\omega_{-3dB} \cdot \frac{1}{3f_s}} = e^{-\frac{gm}{\frac{C_{L,tot}}{f} + \sum_{j=0}^{n-1} C_{s,j} + C_{par}} \cdot \frac{1}{3f_s}} \qquad \text{ก.9}$$

ค่าความผิดพลาดจากการเข้าที่ของสัญญาณที่ยอมรับได้จะต้องมีค่าน้อยกว่า LSB/2 เขียนเป็นเงื่อนไขได้ดังสมการที่ ก.10

$$\varepsilon_{\tau,t} < \frac{1}{2^{N_i+1}} \qquad \text{ก.10}$$

เมื่อ Ni เป็นค่าความละเอียดของวงจรไพพ์ไลน์บล็อกที่ i และ สามารถหาเงื่อนไขค่า ทรานส์คอนดักแตนซ์ของวงจรขยายได้ดังสมการที่ ก.11

$$gm > 3\ln 2 \cdot 2^{B_i} \cdot (N_i + 1) \cdot f_s \cdot kC_{L,tot} \qquad \text{ก.11}$$

เมื่อค่าคงที่ k >1 เป็นอัตราส่วนระหว่างค่าตัวเก็บประจุประสิทธิผล ในรูปของการป้อนกลับ $C_{L,H}$ กับค่าความเก็บประจุในช่วงเวลาเปิดวงจร $C_{L,tot}$ ค่า k จะเท่ากับสมการที่ ก.12

$$k = \frac{C_{L,H}}{C_{L,tot}} = 1 + \frac{\sum_{j=0}^{n-1} C_{s,j} + C_{par}}{(C_L + C_{out}) \cdot \left(C_f + \sum_{j=0}^{n-1} C_{s,j} + C_{par}\right)} \qquad \text{ก.12}$$

และจากความสัมพันธ์ของค่าทรานส์คอนดักแตนซ์, W, L, และ Id จะได้ของทรานส์ซิสเตอร์อินพุตในสมการที่ ก.13

$$gm = \sqrt{2\mu Cox \frac{W}{L} I_D} \qquad \text{ก.13}$$

เมื่อแทนค่าสมการค่าทรานส์คอนดักแตนซ์ ก.11 ใน ก.13 จะสามารถหาเงื่อนไขของค่ากระแสเดรนที่น้อยที่สุด, Id ของทรานซิสเตอร์อินพุตได้ในสมการที่ ก.14

$$I_D \cdot \frac{W}{L} > \frac{9\ln^2 2}{2\mu Cox} \cdot ((N_i + 1) f_s)^2 \left(2^{B_t} C_{L,tot} + \sum_{j=0}^{n-1} C_{s,j} + C_{par}\right)^2 \qquad \text{ก.14}$$

จากสมการที่ ก.7 สามารถหาค่าเกณฑ์แบนด์วิดท์ที่น้อยที่สุดได้ดังสมการที่ ก.15

$$GBW > \frac{3\ln 2}{2\pi} \cdot \left(2^{(B_i)} + \frac{\sum_{j=0}^{n-1} C_{s,j} + C_{par}}{C_{L,tot}} \right) \qquad \text{ก.15}$$

ก.3 อัตราสลูว์ (Slew Rate)

อัตราสลูว์ ของวงจรทรานส์คอนดักเตอร์ เช่น วงจรคาสโคดแบบพับจะมีความสัมพันธ์กับการการจ่ายและดึงของกระแส Imax จาก C_{LOAD} อย่างเป็นเชิงเส้น เพื่อให้อัตราสลูว์ที่เอาต์พุตสมมาตรกันกระแสที่อินพุต ซึ่งจะต้องเท่ากัน ดังนั้น $I_{max}=2I_D$ ในกรณีที่เลวร้ายที่สุด $C_L=C_{L,tot}+C_f$ สามารถหา SR ได้ดังสมการที่ ก.16

$$SR = \frac{I_{\max}}{C_L + C_{out} + C_f} = \frac{2I_D}{C_{L,tot} + C_f} \qquad \text{ก.16}$$

จากกรณีที่เลวร้ายที่สุดของของการสลูว์ และจากสัญญาณผลต่างแบบเต็มสเกล $V_{pp,diff}$ จะได้เงื่อนไขของอัตราสลูว์ดังสมการที่ ก.17

$$\frac{T}{6} \cdot SR > V_{FS,diff} \qquad \text{ก.17}$$

เมื่อแทนค่าอัตราสลูว์ในสมการที่ ก.16 และ ก.17 ในสมการกระแส ก.20 จะได้ค่ากระแสเดรนของทรานซิสเตอร์ที่กำหนดจากอัตราสลูว์ ดังสมการที่ ก.18

$$I_D > 3 f_s V_{FS,diff} \left(C_{L,tot} + C_F \right) \qquad \text{ก.18}$$

ภาคผนวก ข

วงจรตามแรงดันแบบ Flipped voltage follower และการประยุกต์ใช้งาน

วงจรคู่ผลต่างแบบเทียม และ วงจรสะท้อนกระแสแรงดันต่ำ มีโครงสร้างพื้นฐานมาจากวงจร Flipped voltage follower (FVF) [24]

ข.1 Flipped Voltage follower,FVF

โครงสร้างที่นิยมใช้ในการลดการใช้กำลังงานของวงจรก็คือโครงสร้างแบบคลาสเอบี เนื่องจากโครงสร้างแบบคลาสเอบีจะเสียพลังงานสถิตต่ำ การนำหลักการแบบคลาสเอบีมาใช้ในภาคอินพุตของวงจรทรานส์คอนดักเตอร์ เป็นที่น่าสนใจเนื่องจากเป็นโครงสร้างที่กินกำลังงานทางสถิตต่ำ และยังใช้งานที่แรงดันไฟเลี้ยงต่ำกว่า 1.5 โวลต์ได้อีกด้วย

วงจรคู่ผลต่างคู่ผลต่างแบบเทียม เป็นวงจรคู่ผลต่างที่มีพื้นฐานมาจากวงจรตามแรงดันดังรูปที่ ข.1(ก) ถ้าพิจารณาพฤติกรรมของสัญญาณขนาดใหญ่โครงสร้างนี้จะสามารถรับกระแสจากโหลดได้เป็นจำนวนมาก แต่ความสามารถในการจ่ายกระแสจะถูกจำกัดโดยกระแสไบอัส Ib และมีข้อเสียคือกระแสที่ผ่าน M1 จะขึ้นกับกระแสที่เอาต์พุตทำให้ $V_{SG,M1}$ ไม่คงที่และอัตราขยายของวงจรตามแรงดันจะน้อยกว่าหนึ่งดังสมการที่ ข.1 เนื่องจากค่าความต้านทานที่เอาต์พุตมีค่าน้อยประมาณเท่ากับ $1/gm_1$ โครงสร้างในรูปที่ ข.1(ก) เรียกว่า Flipped voltage follower (FVF) โครงสร้างนี้เป็นโครงสร้างที่ดัดแปลงมาจากวงจรตามแรงดัน เมื่อพิจารณาสัญญาณขนาดใหญ่โครงสร้างนี้สามารถจ่ายกระแสให้โหลดได้มากโดยผ่านทาง M2 แต่มีความสามารถในการดึงกระแสจำกัดเท่ากับ I_b แต่กระแสที่ผ่าน M1 มีค่าคงที่และไม่ขึ้นกับกระแสเอาต์พุตดังนั้น ถ้าไม่คิดผลของ λ แล้ว $V_{SG,M1}$ จะคงที่ (ดีกว่าคือมีเอาต์พุตอิมพีแดนต์ต่ำกว่า อัตราขยายเป็นหนึ่ง)

$$A_{commondrain} = \frac{gm_1 R_{out}}{1 + gm_1 R_{out}}, Rout \cong \frac{1}{gm_1} \qquad \text{ข.1}$$

โครงสร้างที่ ข.1(ข) ก็เป็นวงจรตามแรงดัน แต่เป็นวงจรตามแรงดันที่กระแส M1 มีค่าคงที่ และมีอัตราขยายเป็นหนึ่ง คุณสมบัติของวงจรตามแรงดันในรูป ข.1(ข) ต่างจากวงจรตามแรงดันในรูปที่ ข.1(ก) ตรงที่มีความสามารถในการจ่ายกระแสได้เป็นจำนวนมาก แต่ความสามารถในการดึงกระแสยังคงขึ้นอยู่กับกระแสไบอัส Ib ความสามารถในการดึงกระแสได้เป็นจำนวนมากนั้นขึ้นอยู่กับคุณสมบัติของค่าความต้านทานที่โหนดเอาต์พุต เนื่องจากความต้านทานที่โหนด

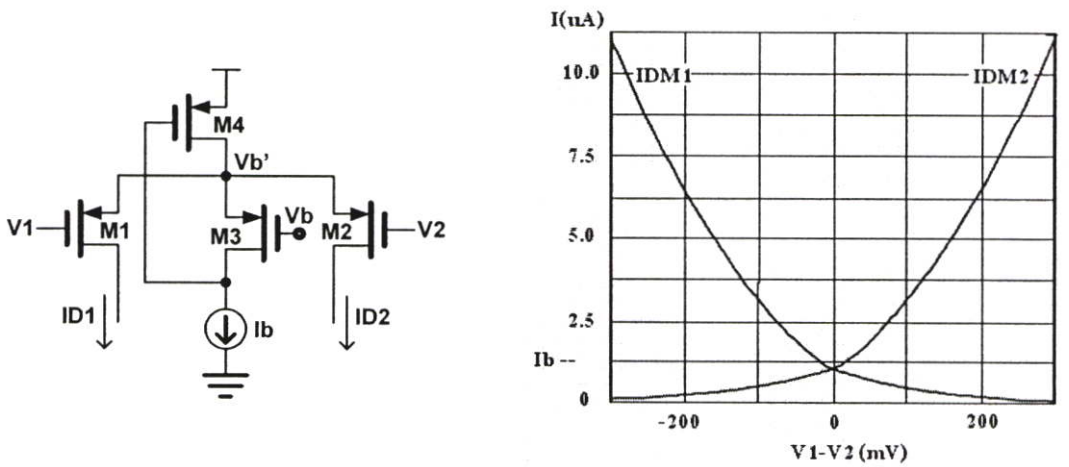
เอาต์พุตมีค่าต่ำเท่ากับ $ro = 1/(gm_{m1} gm_{m2} ro_{m2})$ ทำให้เมื่อเกิดการเปลี่ยนแปลงแรงดันเพียงเล็กน้อยก็สามารถจ่ายกระแสเป็นจำนวนมากได้

(ก) (ข)

รูปที่ ข.1 (ก) วงจรตามแรงดัน (ข) Flipped voltage follower (FVF)

ข.2 วงจรคู่ผลต่างแบบเทียม (Pseudo Differential)

เซลล์ FVF สามารถนำมาสร้างเป็นภาคอินพุตของวงจรขยายที่ต้องการใช้กำลังงานต่ำได้ ซึ่งโครงสร้างนี้จะทำให้ได้ค่าอัตราสลูว์และอัตราขยายไฟตรงสูงโดยใช้กำลังงานต่ำ จากรูปที่ ข.2 (ก) FVF สร้างจากทรานซิสเตอร์ M3, M4 และ แหล่งจ่ายกระแส Ib และในรูปที่ ข.2 (ข) เป็นการแสดงค่าของกระแสของคู่ผลต่างเทียบกับแรงดันผลต่างซึ่งจะเห็นได้ว่ากระแสมีลักษณะของคลาสเอบีซึ่งทำให้สามารถมีค่าอัตราสลูว์ค่าสูงๆได้โดยไม่ต้องใช้กระแสไบอัสมาก จากรูปค่ากระแสไบอัสคือ Ib ซึ่งมีค่าน้อยกว่ากระแสสูงสุดของคู่ผลต่างมากทำให้สามารถออกแบบระบบให้มีผลตอบสนองของช่วงเวลาเข้าที่ (settling time) มีความถูกต้องและมีค่าน้อยได้

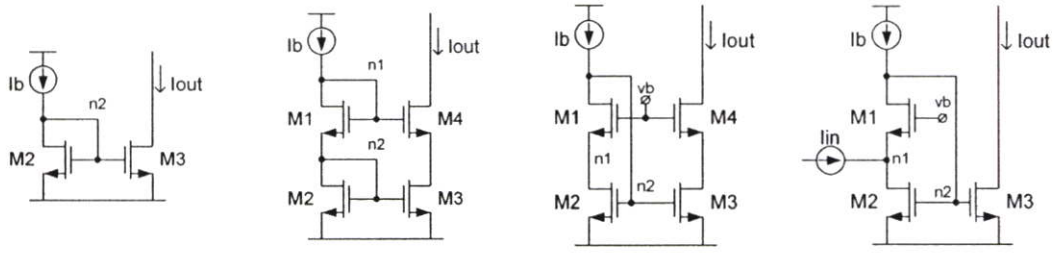


(ก) (ข)

รูปที่ ข.2 (ก) โครงสร้าง FVF ที่ใช้เป็นวงจรคู่ผลต่าง (ข) ผลตอบสนองไฟตรงของกระแส M1, M2

ข.3 วงจรสะท้อนกระแสแรงดันต่ำ (Low-voltage current mirror)

เนื่องจากการออกแบบวงจรสะท้อนกระแสโดยทั่วไปจะเกิดข้อจำกัดมากในการออกแบบที่แรงดันต่ำ ทำให้การออกแบบวงจรสะท้อนกระแสที่แรงดันต่ำได้มีความต้องการมากขึ้น การนำโครงสร้าง FVF มาสร้างเป็นวงจรสะท้อนกระแสก็เป็นอีกทางหนึ่งที่สามารถแก้ปัญหาได้โดยสามารถเปรียบเทียบคุณสมบัติของวงจรสะท้อนกระแสรูปแบบอื่นกับโครงสร้างที่ใช้ FVF ได้ดังรูปที่ ข.3 และตารางที่ ข.1[25]



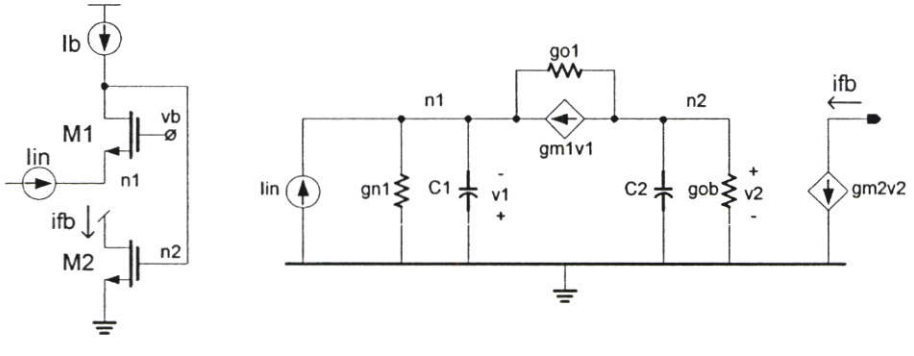
(ก) (ข) (ค) (ง)

รูปที่ ข.3 วงจรสะท้อนกระแสชนิดต่างๆ

ตารางที่ ข.1 แสดงแรงดันตกคร่อมที่ต้องการของวงจรสะท้อนกระแส

แรงดันตกคร่อม	(ก)	(ข)	(ค)	(ง)
อินพุต	V_{GS}	$2V_{GS}$	V_{GS}	V_{DSsat}
เอาต์พุต	V_{DSsat}	$V_{GS}+V_{DSsat}$	$2V_{DSsat}$	V_{DSsat}

การวิเคราะห์วงจรสะท้อนกระแสสำหรับแรงดันไฟเลี้ยงต่ำ ซึ่งในการวิเคราะห์สัญญาณขนาดเล็กจะทำการเปิดลูปการวิเคราะห์ที่ขาซอสของ M1 ดังรูปที่ ข.4



รูปที่ ข.4 โมเดลสัญญาณขนาดเล็กของวงจรสะท้อนกระแส

จากรูปที่ ข.4 เมื่อมีกระแสอินพุตไหลเข้ามามากขึ้น จากการวิเคราะห์แบบโหนดจะได้ว่า
ที่โหนด n1

$$i_{in} + v1(gn1 + sC1) + gm1v1 + go1(v2 + v1) = 0 \qquad \text{ข.2}$$

$$v1 = -\frac{(go1v2 + i_{in})}{sC1 + gn1 + gm1 + go1} \qquad \text{ข.3}$$

ที่โหนด n2

$$v2(sC2 + gob) + gm1v1 + go1(v2 + v1) = 0 \qquad \text{ข.4}$$

$$v2 = -\frac{v1(gm1 + go1)}{sC2 + gob + go1} \qquad \text{ข.5}$$

$$i_{fb} = gm2v2 \qquad \text{ข.6}$$

แทนค่าสมการที่ (ข.3) ใน (ข.5)

$$v2 = \frac{(go1v2 + i_{in})}{sC1 + gn1 + gm1 + go1} \times \frac{(gm1 + go1)}{sC2 + gob + go1} \qquad \text{ข.7}$$

$gm1 + go1 \approx gm1$ และ $gn1 + gm1 + go1 \approx gm1$ จะได้ว่า

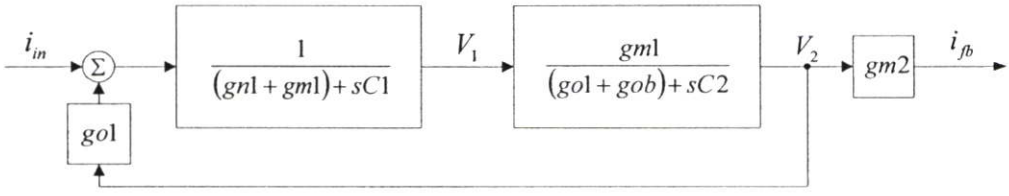
$$v2 = \frac{i_{in} \cdot gm1}{(sC1 + gm1)(sC2 + gob + go1) - gm1go1} \qquad \text{ข.8}$$

แทนสมการที่ ข.8 ในสมการที่ ข.6

$$\frac{i_{fb}}{i_{in}} = \frac{gm1gm2}{s^2C1C2 + s(C1(gob + go1) + C2gm1) + gm1gob} \qquad \text{ข.9}$$

หารสมการที่ ข.5 ด้วย $gm1gob$ ทั้งเศษและส่วนจะได้

$$\frac{i_{fb}}{i_{in}} \approx \frac{\frac{gm2}{gob}}{\left(1+s\frac{C2}{gob}\right)\left(1+s\frac{C1}{gm1}\right)} \qquad \text{ข.10}$$



รูปที่ ข.5 บล็อกไดอะแกรมทางสัญญาณขนาดเล็กของวงจรสะท้อนกระแส

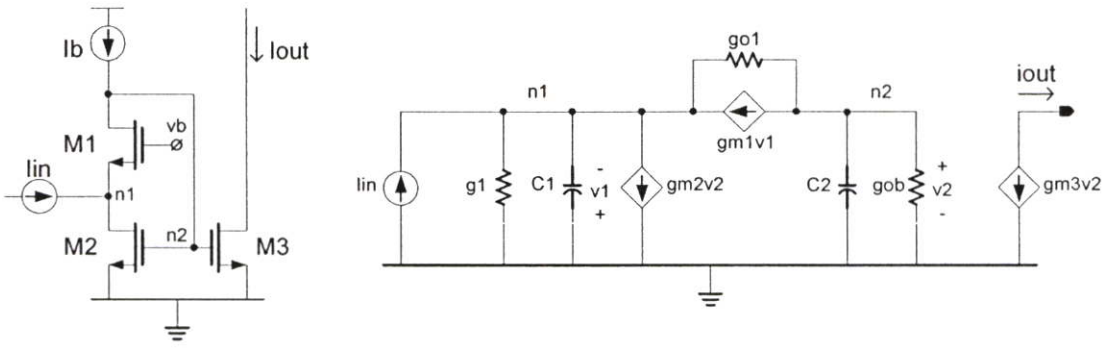
จากการประมาณในสมการที่ ข.10 จะเห็นได้ว่าโครงสร้างจะประกอบไปด้วยโพลสองตัว คือที่ตำแหน่งอินพุตและตำแหน่งเอาต์พุต และเนื่องจากค่า gob มีค่าน้อยกว่า $gm1$ มากดังนั้นที่เอาต์พุตจะเป็นโพลที่ความถี่ต่ำ และที่อินพุตจะเป็นโพลที่ความถี่สูง สามารถสรุปคุณสมบัติทางความถี่ของโครงสร้างในรูปที่ ข.5 ได้ดังนี้

$$A_{OLp} \approx \frac{gm2}{gob} \qquad \text{ข.11}$$

$$\omega_{GBW} \approx A_{OLp}\omega_{OLdp} \approx \frac{gm2}{gob}\cdot\frac{gob}{C2} = \frac{gm2}{C2} \qquad \text{ข.12}$$

$$\omega_{nd} \approx \frac{gm1}{C1} \qquad \text{ข.13}$$

และสามารถหาสมการการส่งผ่านเมื่อป้อนกลับด้วยอัตราขยายเท่ากับหนึ่งมีค่าดังนี้



รูปที่ ข.6 โมเดลสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบลูปปิด

ที่โหนด n1

$$i_{in} + v1(gm1 + sC1) - gm2v2 + gm1v1 + go1(v2 + v1) = 0 \qquad \text{ข.14}$$

$$v1 = \frac{v2(gm2 - go1) - i_{in}}{sC1 + gn1 + gm1 + go1}, \quad gn1 = go2 + gs \qquad \text{ข.15}$$

เนื่องจาก $gm1 >> go1 + gn1$ ดังนั้นอาจประมาณค่าได้ดังนี้

$sC1 + gn1 + gm1 + go1 \approx sC1 + gm1$ และ $gm2 >> go1$ ดังนั้น $gm2 - go1 \approx gm2$ จะได้ว่า

$$v1 \approx \frac{v2gm2 - i_{in}}{sC1 + gm1} \qquad \text{ข.16}$$

ที่โหนด n2

$$v2(sC2 + gob) + gm1v1 + go1(v2 + v1) = 0 \qquad \text{ข.17}$$

$$v2 = -\frac{v1(gm1 + go1)}{sC2 + gob + go1} \qquad \text{ข.18}$$

เนื่องจาก $gm1 >> go1$ ดังนั้น $gm1 + go1 \approx gm1$ จะได้ว่า

$$v2 \approx -\frac{v1gm1}{sC2 + gob + go1} \qquad \text{ข.19}$$

$$i_{out} = -gm3v2 \qquad \text{ข.20}$$

แทนค่าสมการที่ ข.16 ใน ข.19

$$v2 \approx \frac{gm1 \cdot i_{in}}{(sC1 + gm1)(sC2 + gob + go1) + gm1gm2} \qquad \text{ข.21}$$

แทนค่าสมการที่ ข.21 ในสมการที่ ข.20

$$i_{out} = -gm3 \cdot \frac{gm1 \cdot i_{in}}{(sC1 + gm1)(sC2 + gob + go1) + gm1gm2} \qquad \text{ข.22}$$

$$\frac{i_{out}}{i_{in}} = -gm3 \cdot \frac{gm1}{s^2C1C2 + s(C1(go1 + gob) + C2gm1) + gm1(gm2 + go1 + gob)} \qquad \text{ข.23}$$

เนื่องจาก $gm2 >> go1 + gob$ ดังนั้น $gm2 + go1 + gob \approx gm2$

$$\frac{i_{out}}{i_{in}} \approx \frac{-gm3gm1}{s^2C1C2 + s(C1(go1 + gob) + C2gm1) + gm1gm2} \qquad \text{ข.24}$$

หารสมการที่ ข.24 ด้วย $gm1gm2$ ทั้งเศษและส่วนเพื่อจัดรูป

$$\frac{i_{out}}{i_{in}} \approx \frac{-gm3/gm2}{s^2\frac{C1C2}{gm1gm2} + \frac{s}{gm1gm2}(C1(go1 + gob) + C2gm1) + 1} \qquad \text{ข.25}$$

เนื่องจาก ดังนั้น $C2 > C1$ และ $gm1 > (go1 + gob)$ ดังนั้น

$C1(go1 + gob) + C2gm1 \approx C2gm1$

$$\frac{i_{out}}{i_{in}} \approx \frac{-gm3/gm2}{s^2\frac{C1C2}{gm1gm2} + s\frac{C2}{gm2} + 1} \qquad \text{ข.26}$$

เมื่อ $C1 = C_{GS1} + C_{SB1} + C_{DB2} + C_{IN}$

$C2 = C_{GS2} + C_{GS3} + C_{DB1} + C_B$

C_{IN} :คือตัวเก็บประจุแฝงของอินพุต

C_B : คือตัวเก็บประจุแฝงของกระแสไบอัส

ถ้า $\omega_{OL.nd} > 4\omega_{CLp,d}$ โพลจะเป็นจำนวนจริงและมีส่วนเผื่อเฟสมาก แต่ถ้า $\omega_{OL.nd} < 4\omega_{CLp,d}$ โพลจะเป็นจำนวนเชิงซ้อน ซึ่งในทางปฏิบัติควรจะออกแบบให้ $\omega_{OL.nd} \approx 3\omega_{CLp,d}$ จะทำให้มีส่วนเผื่อเฟสประมาณ 72 องศา หรือมีตัวประกอบการหน่วง (dampling factor) เท่ากับ 0.87 สามารถประมาณค่าโพลได้ดังตารางที่ ข.2 โดยกำหนดให้ $C1 \approx C_{GS1}$ และ $C2 \approx 2C_{GS2}$ เมื่อขนาดของ M3 เท่ากับ M2

ถ้า $R_S \to \infty$ แล้ว $gm1 = 0$ แต่ถ้า $R_S = 1/gm1$ แล้ว $gm1 = gm1$ ดังนั้น

ตารางที่ ข.2 สรุปการประมาณค่าโพลของวงจรสะท้อนกระแสแรงดันไฟเลี้ยงต่ำ

R_S	ω_{GBW}	ω_{nd}
∞	$\frac{gm2}{C2} \approx \frac{gm2}{2C_{GS2}}$	$\frac{gm1}{C1} \approx \frac{gm1}{C_{GS1}}$
$1/gm1$	$\frac{gm2}{2 \cdot C2} \approx \frac{gm2}{4C_{GS2}}$	$\frac{2 \cdot gm1}{C1} \approx \frac{gm1}{C_{GS1}}$

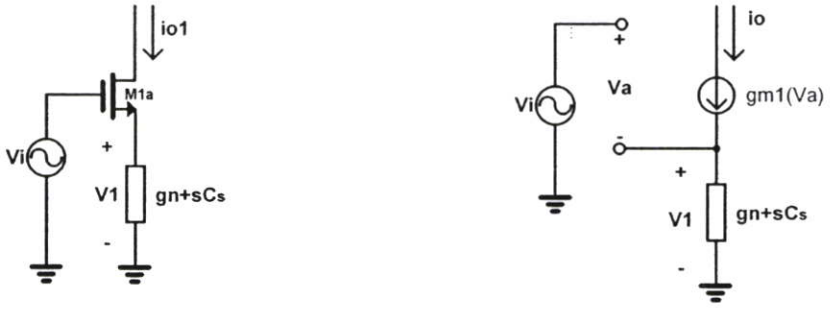
การป้อนกลับมีผลต่ออินพุตอิมพีแดนซ์ของวงจรสะท้อนกระแสแรงดันไฟเลี้ยงต่ำ เนื่องจากค่าของอินพุตอิมพีแดนซ์จะถูกหารด้วยฟังก์ชั่นการส่งผ่านลูปเปิด ดังสมการที่ ข.27 เพราะว่าการป้อนกลับทำให้มีค่าของกระแสที่ผิดพลาดเพียงเล็กน้อยเท่านั้นที่ไหลเข้าขาซอสของ M1 ทำให้แรงดันที่โหนดอินพุตมีขนาดลดลงมากจนสามารถพิจารณาเป็นโหนดแรงดันคงที่ได้

$$Z_{in} = \frac{1}{(gm1 + sC1)(1 + A(s))} \qquad \text{ข.27}$$

ภาคผนวก ค

การวิเคราะห์วงจรขยายทรานส์คอนดักเตอร์

ค.1 การวิเคราะห์วงจรขยายทรานส์คอนดักเตอร์โดยการใช้การป้อนกลับแบบบวก



รูปที่ ค.1 วงจรขยายแบบซอสดีเจนเนอร์เรชัน

วงจรขยายทรานส์คอนดักเตอร์ที่ต่อแบบ source degeneration จะมีสมการทรานส์คอนดักแตนซ์ดังนี้

$$i_{out} = g_{m1}V_a = g_{m1}(V_i - V_1) \qquad \text{ค.1}$$

$$V_1 = \frac{g_{m1}}{(g_n + g_{m1}) + sC_S}V_1 \qquad \text{ค.2}$$

แทนค่าสมการที่ ค.2 ในสมการที่ ค.1

$$i_{out} = g_{m1}V_i - \frac{g_{m1}^{\ 2}}{(g_n + g_{m1}) + sC_S}V_i \qquad \text{ค.3}$$

$$\frac{i_{out}}{V_i} = \frac{g_{m1}(1 + sR_nC_S)}{(1 + g_{m1}R_n) + sR_nC_S} = G_m \qquad \text{ค.4}$$

$$G_m\big|_{S=0} = \frac{g_{m1}}{(1+g_{m1}R_n)} \qquad \text{ค.5}$$

จากสมการที่ ค.5 ค่า $G_m > 1$ ได้ก็ต่อเมื่อ $0 < 1+g_{m1}R_n < 1$ หมายความว่าสามารถเพิ่มค่าอัตราขยายทรานส์คอนดักแตนซ์ได้ถ้า $-1/g_{m1} < R_n < 0$ นั่นก็คือค่า R_n จะต้องเป็นความต้านทานแบบลบ

$$G_m(s) = \frac{g_{m1}(1+sR_nC_S)}{(1+g_{m1}R_n)+sR_nC_S} = \frac{(g_{m1}/(1+g_{m1}R_n))(1+sR_nC_S)}{1+sR_nC_S/(1+g_{m1}R_n)} \qquad \text{ค.6}$$

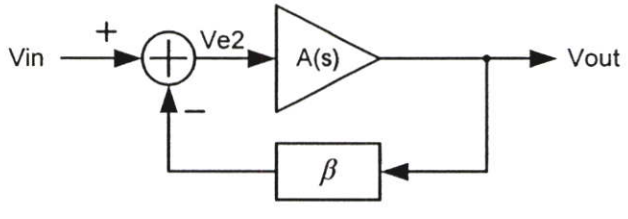
$$G_{m,zero} = 1/|R_n|C_S \qquad \text{ค.7}$$

$$G_{m,Ploe} = (1-g_{m1}|R_n|)/|R_nC_S| \qquad \text{ค.8}$$

ค่าอัตราขยายทรานส์คอนดักแตนซ์ (ค.6) มีค่าโพลและซีโร่อยู่ทางขวาของระนาบ S ดังสมการ (ค.7) และ (ค.8) ค่าซีโร่ทางขวาสามารถชดเชยได้ด้วยตัวเก็บประจุชดเชยความถี่ ส่วนผลโพลทางขวาของระนาบ S จะกล่าวในภาคผนวก ง

ค.2 เทคนิคการเพิ่มอัตราขยายลูปเปิดโดยใช้การป้อนกลับแบบบวก

รูปที่ ค.2 แสดงโครงสร้างของวงจรขยายที่มีการป้อนกลับแบบลบ โดยมีอัตราขยายดังสมการที่ (ค.1) อัตราขยายของระบบป้อนกลับจะมีความแม่นยำมากถ้าอัตราขยายลูปเปิด $A(s)$ มีค่าเป็นอนันต์ โดยจะมีค่าเท่ากับ $1/\beta$ เมื่อ β เป็นแฟกเตอร์การป้อนกลับ



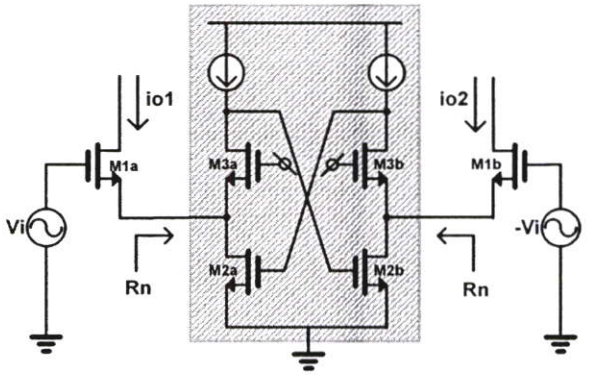
รูปที่ ค.2 โครงสร้างการป้อนกลับแบบลบ

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{A(s)}{1+\beta A(s)} \qquad \text{ค.9}$$

ค.3 การวิเคราะห์ความต้านทานค่าลบที่สร้างจากลูปการป้อนกลับแบบบวก

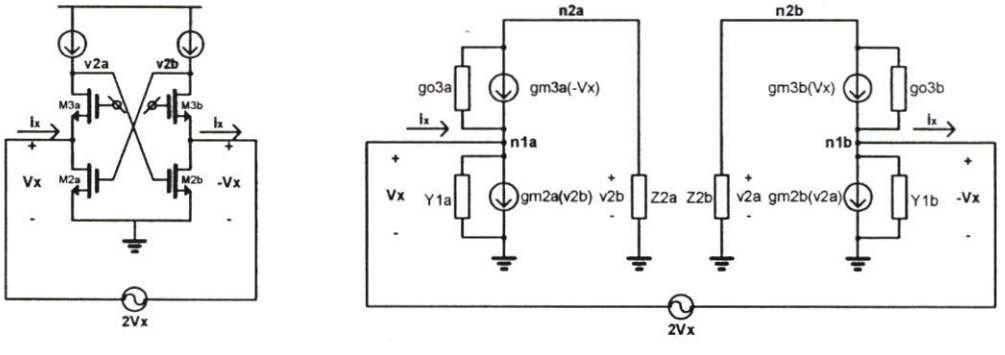
ในวงจรอิเล็กทรอนิกส์ ความต้านทานสถิตคืออัตราส่วนของแรงดันที่ตกคร่อมวงจรต่อกระแสที่ไหลเข้าวงจร และอัตราส่วนของแรงดันต่อกระแสจะเปลี่ยนแปลงตามการเปลี่ยนแปลงของกระแสหรือแรงดันที่ตกคร่อมและไหลเข้าวงจร อัตราส่วนการเปลี่ยนแปลงของแรงดันต่อการเปลี่ยนแปลงของกระแสเรียกว่า ความต้านทานพลวัติ (Dynamic resistance)

การสร้างความต้านทานค่าลบเพื่อใช้ในรูปที่ ค.1 แสดงในรูปที่ ค.3 โดยใช้ลูปการป้อนกลับแบบบวกในการสร้างความต้านทานค่าลบดังจะได้วิเคราะห์ในหัวข้อถัดไป



รูปที่ ค.3 คู่ผลต่างที่ใช้เทคนิคความต้านทานแบบลบ

ค.3.1 การวิเคราะห์ลูปเปิดของวงจรป้อนกลับแบบบวก



(ก) (ข)

รูปที่ ค.4 วงจรค่าความต้านทานแบบลบจากการป้อนกลับแบบบวก (ก) วงจรป้อนกลับแบบบวก (ข) แบบจำลองสัญญาณขนาดเล็กของวงจรป้อนกลับแบบบวก

วิเคราะห์แบบโหนดที่ n1a

$$i_x = (g_{m3a} + Y_{1a} - g_{o3a})V_x + g_{m2a}V_{2b} - g_{o3a}V_{2a} \qquad \text{ค.10}$$

วิเคราะห์แบบโหนดที่ n2a

$$V_{2b} \cong \frac{g_{m3a}Z_{2a}}{1 - g_{o3a}Z_{2a}}V_x \qquad \text{ค.11}$$

วิเคราะห์แบบโหนดที่ n2b

$$V_{2a} \cong \frac{g_{m3b}Z_{2b}}{1 - g_{o3b}Z_{2b}}V_x \qquad \text{ค.12}$$

แทนสมการ (ค.11) และ (ค.12) ใน (ค.10)

$$i_x = \left[(g_{m3} + Y_1 - g_{o3}) + \frac{g_{m3}Z_2(g_{m2} + g_{o3})}{1 - g_{o3}Z_2} \right] V_x \qquad \text{ค.13}$$

แทนค่า $Y_{1a} = Y_{1b} = g_{o2} + sC_1$ ในสมการ (ค.13)

$$i_x \cong \left[\frac{g_{m3} + sC_1(1 - g_{o3}Z_2) - g_{m2}g_{m3}Z_2}{1 - g_{o3}Z_2} \right] V_x \qquad \text{ค.14}$$

แทนค่า $Z_{2a} = Z_{2b} = 1/(g_{ob} + sC_2)$ ในสมการ (ค.14)

$$R_x = \frac{V_x}{i_x} \cong \frac{sC_2 - g_{o3}}{s^2C_1C_2 + s[C_1(g_{ob} - g_{o3}) + C_2g_{m3}] - g_{m2}g_{m3}} \qquad \text{ค.15}$$

$$R_x\big|_{s=0} \cong \frac{g_{o3}}{g_{m2}g_{m3}} \qquad \text{ค.16}$$

$$R_x\big|_{Zero} = \frac{g_{o3}}{C_2} \qquad \text{ค.17}$$

$$R_x\big|_{Pole} = -\left(C_1\left(g_{ob} - g_{o3}\right) + C_2 g_{m3}\right) \pm \sqrt{\frac{\left(C_1\left(g_{ob} - g_{o3}\right) + C_2 g_{m3}\right)^2 + 4C_1 C_2 g_{m2} g_{m3}}{2C_1 C_2}} \quad \text{ค.18}$$

$$R_x\big|_{Pole} \cong -\left(C_1\left(g_{ob} - g_{o3}\right) + C_2 g_{m3}\right) \pm \sqrt{\frac{C_1^{\,2}\left(g_{ob} - g_{o3}\right)^2 + C_1^{\,2} g_{m3}^{\,2} + 4C_1 C_2 g_{m2} g_{m3}}{2C_1 C_2}} \quad \text{ค.19}$$

เมื่อ $M_{3a} = M_{3b}, M_{2a} = M_{2b}$ ดังนั้น $g_{m3a} = g_{m3b} = g_{m3}, g_{m2a} = g_{m2b} = g_{m2}$, $g_{o3a} = g_{o3b} = g_{o3}, g_{oba} = g_{obb} = g_{ob}$ และ g_{ob} คือความนำของแหล่งจ่ายกระแส

$$Y_{1a} = Y_{1b} = g_{o2} + sC_1 \quad \text{ค.20}$$

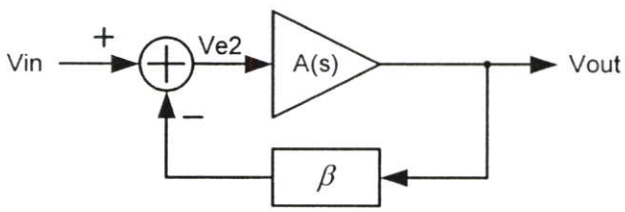
$$Z_{2a} = Z_{2b} = 1/\left(g_{ob} + sC_2\right) \quad \text{ค.22}$$

$$C_1 = C_{GS3} + C_{BG3} + C_{DG2} + C_{BD2} \quad \text{ค.23}$$

$$C_2 = C_{GS2} + C_{DG3} + C_{BD3} + C_{ob} \quad \text{ค.24}$$

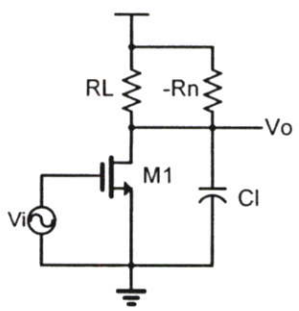
ภาคผนวก ง
เทคนิคการเพิ่มอัตราขยายลูปเปิดโดยใช้การป้อนกลับแบบบวก

รูปที่ ง.1 แสดงโครงสร้างของวงจรขยายที่มีการป้อนกลับแบบลบ โดยมีอัตราขยายดังสมการที่ ง.1 อัตราขยายของระบบป้อนกลับจะมีความแม่นยำมากถ้าอัตราขยายลูปเปิด $A(s)$ มีค่าเป็นอนันต์ โดยจะมีค่าเท่ากับ $1/\beta$ เมื่อ β เป็นแฟกเตอร์การป้อนกลับ



รูปที่ ง.1 โครงสร้างการป้อนกลับแบบลบ

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{A(s)}{1+\beta A(s)} \qquad \text{ง.1}$$



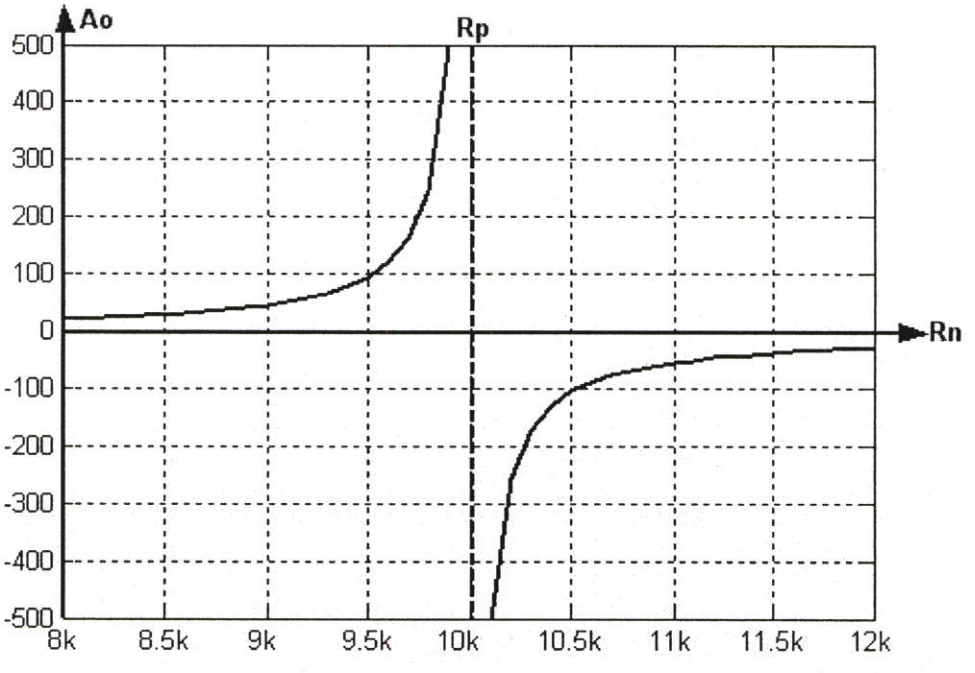
รูปที่ ง.2 วงจรขยายที่ใช้เทคนิคความต้านทานค่าลบ

รูปที่ ง.2 เป็นเทคนิคในการสร้างอัตราขยายลูปเปิดที่ใกล้เคียงอนันต์ โดยใช้เทคนิคการสร้างความต้านทานค่าลบ $(-R_n)$ [23] เพิ่มอัตราขยายไฟตรงให้กับวงจร พิจารณาสมการอัตราขยายของรูปที่ ง.2 ในสมการที่ ง.4 เป็นค่าอัตราขยายไฟตรงของวงจร จะเห็นได้ว่าผลจากการใช้เทคนิคความต้านทานค่าลบจะทำให้เกิด gn ซึ่งเป็นค่าความนำลบซึ่งทำให้ความนำรวม $(gd-gn), gd = gds1 + gl$ ลดลงได้ทำให้สามารถเพิ่มค่าความต้านทานได้ด้วยการปรับค่า gn

จากสมการที่ ง.3, ง.4 และ ง.5 จะเห็นได้ว่าการปรับค่า gn มีผลต่ออัตราขยายไฟตรงและตำแหน่งของโพลดังตารางที่ ง.1 โพลจะมีค่าเป็นลบถ้า $gp > gn$ และตำแหน่งของโพลจะอยู่ซ้ายของระนาบ S (LHP pole) แต่ถ้า $gp < gn$ ตำแหน่งของโพลจะอยู่ขวามือของระนาบ S (RHP ploe) ในทั้งสองกรณีจะให้อัตราขยายค่าสูงถ้า $|gp| \cong |gn|$ ดังรูปที่ ง.3

ตารางที่ ง.1 ความสัมพันธ์ระหว่างความต้านทาน อัตราขยายและตำแหน่งของโพลเมื่อใช้เทคนิคความต้านทานลบ

	$A_o = -gm_1/(gp-gn)$	$pole = -(gp-gn)/C_L$
$gp > gn$	$A_o = -gm_1/\|gp-gn\|$	*LHP*
$gp < gn$	$A_o = gm_1/\|gp-gn\|$	*RHP*
$gp = gn$	$A_o \Rightarrow \infty$	*origin*



รูปที่ ง.3 อัตราขยายไฟตรงของสมการที่ ง.4

$$A_o(s) = -\frac{gm_1}{(gp-gn)+sC_L} \qquad \text{ง.2}$$

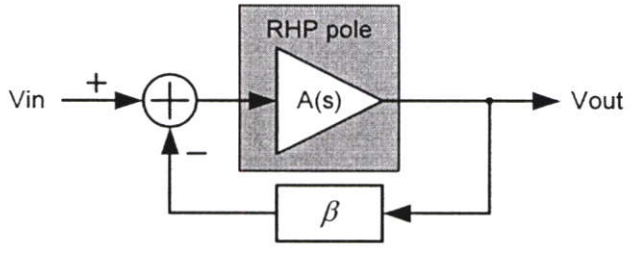
$$A_o(s) = -\frac{gm_1/(gp-gn)}{1+sC_L/(gp-gn)} \qquad \text{ง.3}$$

$$A_o = \frac{V_o}{V_i} = -\frac{gm_1}{gp - gn} \qquad \text{ง.4}$$

$$p = -\frac{(gp - gn)}{C_L} \qquad \text{ง.5}$$

ในกรณีที่โพลอยู่ทางขวาของระนาบ S ระบบในสภาวะลูปเปิดจะไม่มีเสถียรภาพ แต่การใช้งานในสภาวะลูปปิดระบบจะสามารถมีเสถียรภาพได้ถ้าโพลอยู่ในตำแหน่งที่เหมาะสม เนื่องจากการระบบการป้อนกลับแบบลบจะสามารถทำให้โพลของระบบป้อนกลับอยู่ทางซ้ายของระนาบ S ได้

จากรูปที่ ง.4 สมมติให้อัตราขยายลูปเปิดเป็นระบบโพลเดียวและเป็นโพลทางขวาของระนาบ S มีสมการของอัตราขยายลูปเปิดดังสมการที่ ง.6 มีค่าอัตราขยายไฟตรงและโพลลูปเปิดเท่ากับสมการที่ ง.4 และ ง.5 ค่า K เป็นค่าแบนด์วิดท์ที่อัตราขยายหนึ่งหน่วยของอัตราขยายลูปเปิด ค่า β เป็นอัตราส่วนการป้อนกลับของลูปปิด เมื่อโพลจากสมการที่ ง.6 ถูกป้อนกลับแบบลบจะได้อัตราขยายลูปปิดดังสมการที่ ง.7 และมีโพลของลูปปิดดังสมการที่ ง.8 และสามารถสรุปความสัมพันธ์ของกับค่าโพลและอัตราขยายลูปปิดกับโพลของอัตราขยายลูปเปิดได้ดังตารางที่ ง.2

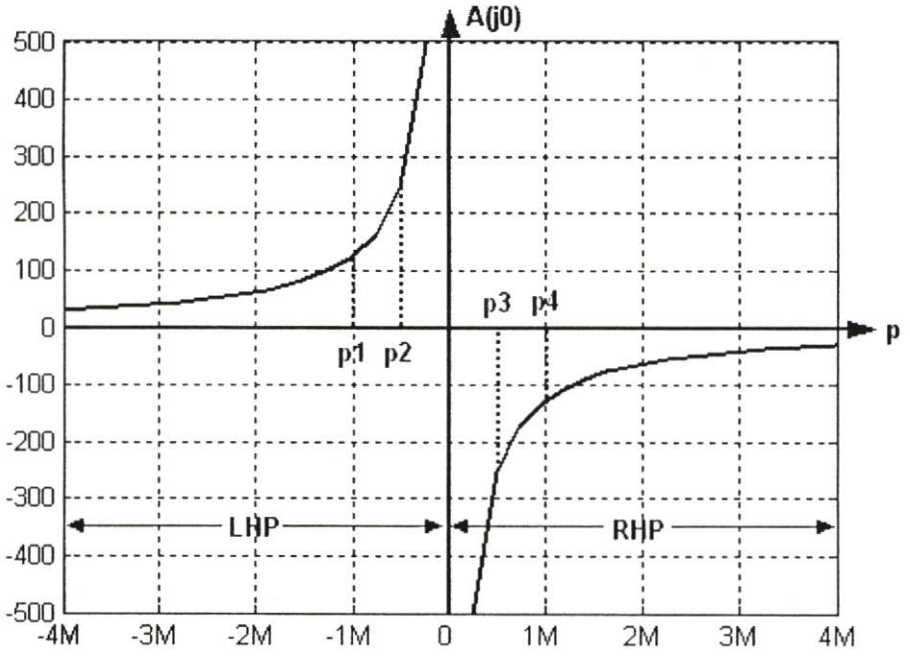


รูปที่ ง.4 โครงสร้างป้อนกลับแบบลบของอัตราขยายลูปเปิด RHP โพล

$$A(s) = \frac{A_o}{s/p - 1} = \frac{A_o p}{s - p} = \frac{K}{s - p} \qquad \text{ง.6}$$

$$A_f(s) = \frac{A(s)}{1 + \beta A(s)} = \frac{K}{s - p + \beta K} = \frac{K/(\beta K - p)}{1 + s/(\beta K - p)} \qquad \text{ง.7}$$

$$p_f = p - \beta K \qquad \text{ง.8}$$

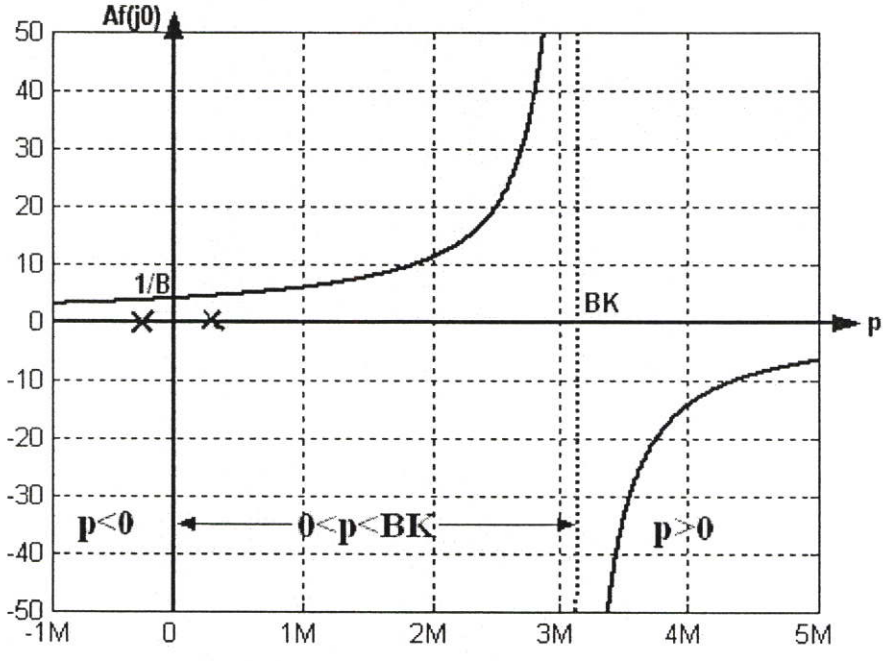


รูปที่ ง.5 ผลของอัตราขยายต่อตำแหน่งของโพล

ตารางที่ ง.2 ความสัมพันธ์ของโพลลูปเปิดต่อค่าโพลและอัตราขยายของลูปปิด

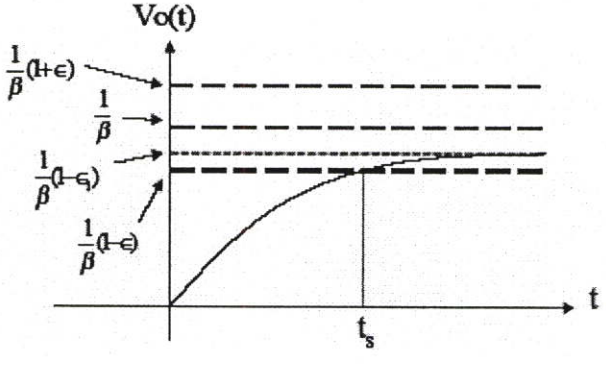
	$p=-\frac{(gp-gn)}{C_L}$		$p_f = p-\beta K$ $\beta K = gm_1/C_L > 0$		$A_f(j0)=\frac{K}{\beta K - p}$
$gp > gn$	$p<0$	*LHP*	$p_f<0$	*LHP*	$K/(\lvert p\rvert+\beta K)$
$gp = gn$	$p=0$	*origin*	$p_f=-\beta K<0$	*LHP*	$1/\beta$
$gp < gn$	$0<p<\beta K$	*RHP*	$-\beta K<p_f<0$	*LHP*	$K/(-\lvert p\rvert+\beta K)$
$gp < gn$	$p=\beta K$	*RHP*	$p_f=0$	*origin*	∞
$gp < gn$	$p>\beta K$	*RHP*	$p_f>0$	*RHP*	$-K/\lvert p-\beta K\rvert$

จากตารางที่ ง.2 จะเห็นค่าโพลของลูปเปิดเท่ากับศูนย์ทำให้ค่าอัตราขยายลูปปิดเท่ากับ $1/\beta$ หมายความว่าอัตราขยายลูปเปิดมีค่าเป็นอนันต์ เนื่องจากค่าความต้านทานลบได้ชดเชยกับค่าความต้านบวกพอดีซึ่งเป็นไปได้ยากในทางปฏิบัติ ดังนั้นในการสร้างค่าความต้านทานค่าลบจะมีสองกรณีคือสร้างให้ผลต่างค่าความต้านทานใกล้เคียงศูนย์ และมีผลอยู่ในตำแหน่ง LHP กับให้ผลต่างค่าความต้านทานใกล้เคียงศูนย์ และมีผลอยู่ในตำแหน่ง RHP ดังรูปที่ ง.5



รูปที่ ง.6 ความสัมพันธ์ของอัตราขยายกับตำแหน่งของลูปโพล

การกำหนดขอบเขตของตำแหน่งโพลลูปเปิดสามารถกำหนดได้ด้วยค่าความผิดพลาดของช่วงเวลาเข้าที่ (ε)ของสัญญาณขั้นบันได ให้อยู่ในช่วง $(1/\beta+\varepsilon)$ และ $(1/\beta-\varepsilon)$ เมื่อ $1/\beta$ เป็นระดับสัญญาณอุดมคติของการป้อนกลับดังรูปที่ ง.7[23] ทำให้อัตราขยายลูปปิดจะต้องอยู่ในเงื่อนไขของสมการที่ ง.9 ซึ่งจากสมการที่ ง.9 นั้นสามารถหาเงื่อนไขของโพลลูปเปิดได้จากความสัมพันธ์กับอัตราขยายลูปปิดในสมการที่ ง.7 ได้ดังสมการที่ ง.10 ลูปโพลจะมีผลต่ออัตราขยายลูปเปิดดังรูปที่ ง.6

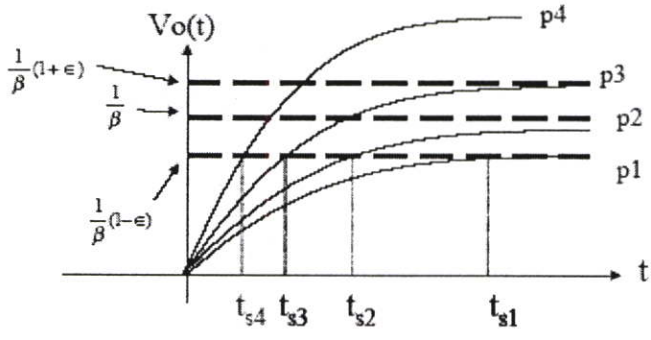


รูปที่ ง.7 ผลตอบสนองสัญญาณขั้นบันไดของระบบ over-damped

$$1/\beta - \varepsilon_1 < A_f(j0) < 1/\beta + \varepsilon_1 \qquad \text{ง.9}$$

$$-\frac{\varepsilon_1 K\beta}{1-\varepsilon_1} < p < \frac{\varepsilon_1 K\beta}{1+\varepsilon_1} \qquad \text{ง.10}$$

จากขอบเขตของโพลลูปเปิดจากเงื่อนไขของค่าความผิดพลาดของช่วงเวลาเข้าที่ทำให้สามารถกำหนดเงื่อนไขของตำแหน่งโพลเพื่อให้ได้ความถูกต้องที่ต้องการได้ จากผลตอบสนองต่อสัญญาณ unit step ในสมการที่ ง.11 ซึ่งให้กราฟผลตอบสนองดังรูปที่ ง.8 แสดงให้เห็นว่า p3 ซึ่งเป็น RHPให้ผลตอบสนองที่เร็วและแม่นยำกว่าโพลในตำแหน่งอื่น



รูปที่ ง.8 ผลตอบสนองของสัญญาณ unit step[23]

$$A_u(s) = A_f(s) \cdot 1/s \qquad \text{ง.11}$$

$$A_u(t) = \frac{K}{(\beta K - p)}\left(1 - e^{-(\beta K - p)t}\right)u(t) \qquad \text{ง.12}$$

ภาคผนวก จ
ผลงานวิจัยที่ได้รับการตีพิมพ์

[1] Thanachayanont, W.; Chaloenlarp, W., **"Low-voltage, rail-to-rail, G/sub m/-enhanced pseudo-differential class-AB OTA"**, Circuits and Systems, 2004. MWSCAS' 04. The 2004 47th Midwest Symposium on Volum 1, 25-28 July 2004, Page(s): I-53 - I-56 vol.1

[2] Chaloenlarp, W.; Thachayanont, A., **"Low-voltage pipelined ADC using class-AB pseudo-differential OTA"**, Communication and Information Technology, 2004. ISCIT 2004. IEEE International Symposium on Volum 1, Page(s): 128-132 vol.1

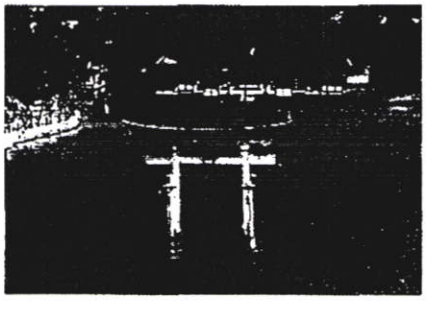
[3] Chaloenlarp, W.; Thanachayanont, A., **"Low-voltage Gm-Enhanced Class-AB Pseudo-Differential OTA For Switched-Capacitor Circuits"**, TENCON 2004. 2004 IEEE Region 10 Conference Volume D, Page(s): 233-236 Vol. 4.

The 2004 47 th Midwest Symposium on Circuits and Systems

MWSCAS 2004

Hiroshima, Japan
July 25-28, 2004

Conference Proceedings
Volume I of III



IEEE

Sponsored by the IEEE
Circuits and Systems Society
and hosted by Hiroshima University

CIRCUITS AND SYSTEMS SOCIETY

Low-Voltage, Rail-to-Rail, G_m-Enhanced Pseudo-Differential Class-AB OTA

A. Thanachayanont and W. Chaloenlarp
Microelectronics Research Laboratory, Research Center of Communications and Information Technology,
Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang
Chalongkrung Road, Ladkrabang, Bangkok, 10520, THAILAND
Tel: (02) 737-3000 ext. 3309, Email: ktapinun@kmitl.ac.th

Abstract- **This paper presents a new class-AB pseudo-differential operational transconductance amplifier (OTA) for low-voltage and high-speed switched-capacitor circuits. The proposed OTA employs partial positive feedback to enhance the input transconductance, thus increasing the open-loop DC gain and the unity-gain frequency. A push-pull configuration is used to obtain rail-to-rail output voltage swing. Using a 0.35-μm digital CMOS process, the proposed OTA can obtain 78-dB DC gain, 72.5° phase margin, 100-V/μs slew rate with 1-pF load capacitor, while draining 170-μA quiescent supply current from a single 1-V power supply voltage.**

I. Introduction

Operational transconductance amplifier (OTA) is the most critical component in switched-capacitor (SC) circuits, such as filter, sigma-delta modulator and pipelined analog-to-digital converter, for instance in [1]. To realize high-speed and high-accuracy SC circuits, OTA must have high slew rate, high unity-gain frequency, and large open-loop DC gain. High-speed operation means fast-settling behaviour of OTA, which requires a single-pole response and large unity-gain frequency. High accuracy requires a high open-loop DC gain. As the power supply voltage is reduced due to technology scaling, designing OTA to satisfy these requirements is a formidable task.

Class-AB OTA is often used to obtain the above features with low quiescent power consumption [2], 3], [4]. In order to maximize the signal swing and dynamic range under low power supply voltage, cascode topologies are usually avoided. Thus low-voltage high-gain OTAs are often realized by cascading two or more gain stages. This increases DC power dissipation, reducing the benefit of class-AB operation. In addition, cascaded gain stages often leads to complex frequency compensation to ensure stability.

In order to obtain the full benefit of class-AB operation, OTA should be realized with a minimum number of cascaded gain stages while still retaining high open-loop DC gain. Since cascoding is prohibited in low voltage environment, high gain may be obtained using large input transconductance. Large input transconductance may be achieved by using high DC bias current and large aspect ratio of the input transistors, leading to high power dissipation and reduced bandwidth, respectively. Another approach is to increase the input transconductance by using a weak positive-feedback [5]. In this way, high open-loop DC gain can be obtained without cascode devices and excessive power dissipation. This is obtained at the cost of extra poles and zeros introduced by the positive feedback.

This paper proposes a new low-voltage, rail-to-rail output swing, class-AB pseudo-differential OTA. The proposed circuit employs partial positive-feedback to enhance the input transconductance, thus improving the open-loop DC gain and the unity-gain frequency. A push-pull configuration is used to obtain rail-to-rail output voltage swing. An RC compensation technique is used to compensate for the effect of pole and zero introduced by the positive feedback. The paper is organized as follows. Section II presents the proposed class-AB input stage, while the complete OTA is described in section III. Circuit simulation is reported in section IV and conclusion is given in section V.

II. G_M-Enhanced Class-AB Pseudo-Differential Input Stage

Fig. 1 shows the recently proposed class-AB pseudo-differential input stage [6]. The circuit comprises the traditional source-coupled pair (M_{1a} and M_{1b}) and the shunt-feedback bias subcircuit (M_2, M_3 and I_3). The shunt-feedback subcircuit provides a low impedance to node V_S, which keeps V_S approximately constant at V_C-V_{GS3}. Thus the input source-coupled pair operates in a pseudo-differential manner where the quiescent current is well controlled by I_1. When a large balanced differential input voltage is applied, the output current is absorbed by M_2. The maximum output current is limited by the amount of current that M_2 can supply, which can be much greater than the quiescent current. Thus the circuit operates in class-AB fashion. Note that the pseudo-differential input operation is allowed because, in SC circuits, OTA operates in an inverting, negative-feedback configuration with a constant voltage at both input terminals. The circuit can operate with a minimum supply voltage of $V_{TH}+2V_{DSAT}$, thus it is suitable for low-voltage applications.

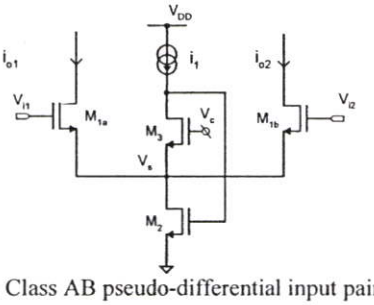


Fig. 1: Class AB pseudo-differential input pair in [6].

One drawback of the circuit in Fig. 1 is that the input transconductance is equal to that of a single transistor. Thus, to obtain a high open-loop DC gain ($A_o \approx G_{mi}R_{out}$) without sacrificing the bandwidth, a cascode output stage was employed [2]. However, this results in a limited output voltage swing, which is a serious issue in low-voltage environment.

To overcome the above limitation, the class-AB pseudo-differential input stage was modified, as depicted in Fig. 2(a). The new class-AB input stage employs a weak positive-feedback subcircuit (M_2, M_3 and I_1) to enhance the input transconductance [5]. In other words, the positive-feedback subcircuit produces a negative resistance, R_n, at the source of M_1, as illustrated by an equivalent half-circuit shown in Fig. 2(b). It can be shown that R_n is approximately $-g_{o2}/(g_{m2}g_{m3})$, assuming all transistors are in saturated strong-inversion. If M_2 is pushed into the triode region, R_n is roughly $-1/g_{m3}$. Thus

This research work is supported in part by Thailand Research Fund (under grant number RSA4680027), and in part by National Electronics and Computer Technology Center, National Science and Technology Development Agency (under project: Research and Development in 3rd Generation Mobile Telecommunication Systems [NT-B-07-4B-13-517]).

0-7803-8346-X/04/$20.00 ©2004 IEEE

the transconductance of the G_m-enhanced class-AB input stage can calculated as,

$$\frac{i_{o1}}{v_{i1}}(s)=\frac{g_{m1}(1+sR_nC_s)}{(1+g_{m1}R_n)+sR_nC_s} \quad (1)$$

where $C_s \approx C_{gs1}+C_{gs3}$ is the capacitance seen at the source of M_1. It is clear, from (1), that the DC transconductance is multiplied by a factor of $(1+g_mR_n)^{-1}$, which is greater than unity when $-1 < g_mR_n < 0$.

Equation (1) also reveals that one pole and one zero are associated with the open-loop transconductance function. For transconductance enhancement, i.e. $-1 < g_mR_n < 0$, both zero and pole are in the right-half plane (RHP) at $\omega_z = -1/R_nC_s$ and $\omega_p = -(1+g_{m1}R_n)/(R_nC_s)$, respectively. The RHP open-loop pole may produce closed-loop instability when the OTA is employed in a negative-feedback configuration. However, it is not a concern here because the RHP open-loop pole ω_p is readily placed near the origin [7] to obtain high transconductance. The RHP open-loop zero will be compensated for in the overall OTA circuit as described in the following section.

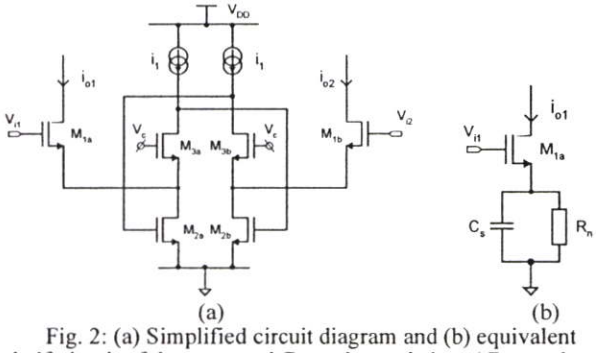


Fig. 2: (a) Simplified circuit diagram and (b) equivalent half-circuit of the proposed Gm-enhanced class AB pseudo-differential input stage.

Fig. 3 demonstrates the G_m-enhancement of the proposed circuit in Fig. 2, by comparing its simulated output currents to those of the circuit in Fig. 1. As depicted in Fig. 3, the circuit in Fig. 1 obtained the small-signal transconductance (i.e. di_o/dv_i at $v_i = 0$) of 120 μS with 32-μA quiescent supply current, while the circuit in Fig. 2 obtained the small-signal transconductance of 1.0 mS with 45-μA quiescent supply current. For this particular case, the small-signal transconductance was enlarged by a factor of 8.3, with only a slight increase in the quiescent supply current. For large-signal operation, the output currents of the circuit in Fig. 2 are 2.5 times as much as those of the circuit in Fig. 1.

Therefore the class-AB pseudo-differential input stage in Fig. 2 can achieve larger small-signal transconductance and greater large-signal output current. As mentioned in section I, these properties render high unity-gain frequency and fast slewing behaviour, which are greatly desirable for high-speed and high-accuracy SC circuits.

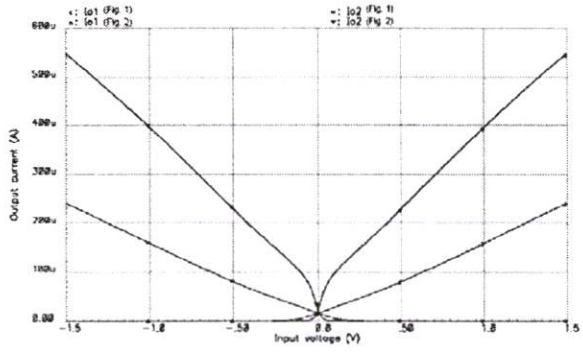


Fig. 3: Output current vs. input voltage.

III. The Proposed OTA

The complete OTA, depicted in Fig. 4, is realized by applying the output currents of the class-AB input stage to low-voltage current mirrors, formed by M_5-M_7 and I_2. A push-pull rail-to-rail operation is obtained by using $M_{8a,b}$ to copy the output currents to the output nodes. The open-loop DC gain of the OTA is given by the product of the input transconductance and the output resistance. As the input transconductance is large, high open-loop DC gain does not require cascode devices in the signal path. This allows a high open-loop DC voltage gain and a rail-to-rail output voltage swing to co-exist under low power supply voltage, which is the main advantage of the proposed OTA.

Apart from allowing low-voltage operation, the low-voltage current mirror has a shunt-feedback to provide small input impedance ($\approx g_{o5}/(g_{m5}g_{m6})$). This ensures that the feedback associated with the finite output impedance of M_1 does not degrade the circuit stability [5]. In addition, the transistors $M_{4a,b}$ are added to ensure the stability of the circuit under mismatches and variations.

The operation of the proposed OTA can be explained as follows. Consider the right half of the circuit, supposed that V_{i2} is decreased, the gate and drain voltages of M_{4b} are decreased while the gate voltage of M_{2b} is increased, as the results of inherent feedback. Thus the drain current of M_{1b} is increased and is being supplied by the drain current of M_{2b}. This current is mirrored by M_{6b} and M_{7b} into the output node V_{o2} and is added by the drain current of M_{8b}, which is a scaled copy of the drain current of M_{4b}. As a result, the output voltage V_{o2} is increased. When V_{i2} is increased, the reverse occurs and V_{o2} is decreased. Due to the symmetry, the same explanation can be applied for the left half of the circuit.

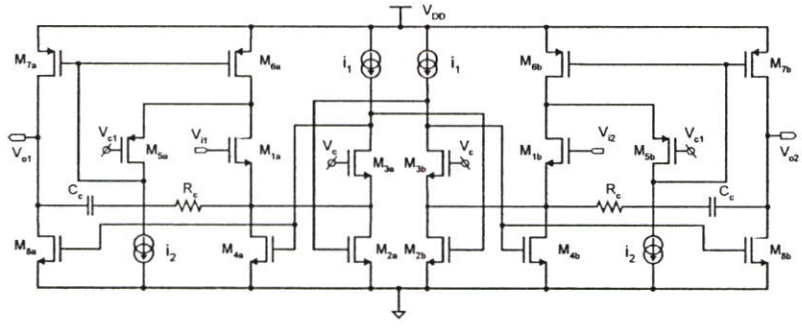


Fig. 4: Complete G_m-enhanced class AB OTA.

As shown in (1), the input transconductance function includes a RHP zero, which degrades the phase margin and the stability of the circuit. As described above, the output current provided by the input transconductance causes in an inverting relationship between V_{i2} and V_{o2} (also for V_{i1} and V_{o1}). Thus to compensate for the RHP zero, a non-inverting feedforward signal path to the output node must be created. This is obtained by connecting R_C and C_C between the source of M_{1b} (M_{1a}) and the output node V_{o2} (V_{o1}). As a result, a left-half plane (LHP) zero is created to compensate for the phase lag due to the RHP zero of the input stage. Therefore the phase margin of the OTA can be improved. Of course, R_C can be realized by a voltage-controlled resistor and its value can be adjusted to obtain an optimum phase margin for different values of load capacitor.

The complete OTA can operate with a minimum supply voltage of $V_{TH}+2V_{DSAT}$. The common-mode input voltage is equal to the supply voltage as an n-type input stage is used.

IV. Simulation Results

The proposed OTA was designed and simulated by using Cadence *Spectre*™ with process parameters from a 0.35-μm standard CMOS technology. The circuit was designed to operate with a single 1-V power supply voltage and its nominal parameters are summarized in Table I. Unless stated otherwise, all simulation results were obtained with C_L = 1 pF, C_C = 0.5 pF, and R_C = 4 KΩ.

Fig. 5 shows the simulated open-loop AC frequency response of the proposed OTA. The circuit can obtain 78-dB open-loop DC gain, 86-MHz unity-gain frequency, and a phase margin of 72.5°. Note that a higher DC gain can be obtained by using increasing the channel lengths of M_7 and M_8, at a cost of reduced phase margin.

To examine the closed-loop performance, an ideal voltage level shifter was used to realize the proposed OTA in the unity-gain feedback configuration. Fig. 6 and Fig. 7 demonstrate that the circuit can obtain a rail-to-rail differential output voltage swing of ± 980mV. The output current delivered to the load capacitor is shown in Fig. 8. The simulated performance of the proposed OTA is summarized in Table II.

To test the performance of the proposed OTA, a first-order SC integrator, as depicted in Fig. 9, has been designed. Fig. 10(a) shows the differential output voltage of the SC integrator when applying a ±0.5-V, 2-MHz square-wave differential input voltage and a 20-MHz sampling frequency. Note that the rail-to-rail output voltage swing is obtained and the output voltage settles very fast because of the large output current supplied to the load capacitor. Fig. 10(b) shows the output current delivered one of the load capacitors. The maximum capacitor current is about 500 μA, which is about 11.2 times the output quiescent current.

V. Conclusion

A new low-voltage class AB pseudo-differential OTA has been described. The proposed OTA employs partial positive-feedback to enhance the input transconductance. The key advantage of the circuit is that high open-loop DC voltage gain, fast settling, and rail-to-rail output swing are achieved simultaneously under low-voltage low-power operation. The proposed OTA is thus suitable for low-voltage high-speed switched-capacitor applications.

References

[1] A. Baschirotto and R. Castello, "A 1-V 1.8-MHz CMOS switched-opamp SC filter with rail-to-rail output swing," IEEE J. Solid-State Circuits, vol.32, no. 12, pp. 1979-1986, December 1997.

[2] G. Giustolisini and G. Palumbo, "A novel I-V class-AB transconductor for improving speed performance in SC applications," in Proc. 2003 IEEE Int. Symp. Circuits Systems, May 2003, Vol. 1, pp. 153-156.

[3] R. G. Carvajal, J. Galan, J. Ramirez-Angulo, and A. Torralba, "New low-power low-voltage differential class-AB OTA for SC circuits," in Proc. 2003 IEEE Int. Symp. Circuits Systems, May 2003, Vol. 1, pp. 589-592.

[4] S. Mehrmanesh, H. A. Aslanzadeh, M. B. Vahidfar, and M. Atarodi, "A 1.5 V high-speed class AB operational amplifier for high-resolution high-speed pipelined A/D converters," in Proc. 2003 IEEE Int. Symp. Circuits Systems, May 2003, Vol. 1, pp. 273-276.

[5] R. Castello, A. G. Grassi, and S. Donati, "A 500-nA sixth-order bandpass SC filter," IEEE J. Solid-State Circuits, vol. 25, no. 3, pp. 669-676, June 1990.

[6] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba, and C. Nieva, "A new class AB differential input stage for implementation of low-voltage high slew-rate op-amps and linear transconductors," in Proc. 2001 IEEE Int. Symp. Circuits Systems, May 2001, Vol. 1, pp. 671-674.

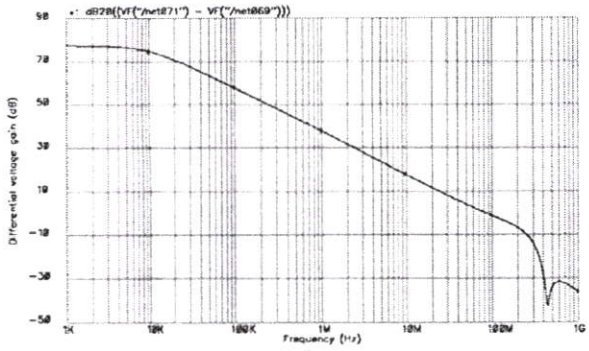
[7] J. Yan, K. C. Tiew, and R. L. Geiger, "Open Loop Pole Location Bounds for Partial Positive Feedback Gain Enhancement Operational Amplifiers," in Proc. 2001 IEEE Midwest Symp. Circuits and Systems, pp. 425-428, August 2001.

TABLE I
CIRCUIT PARAMETERS

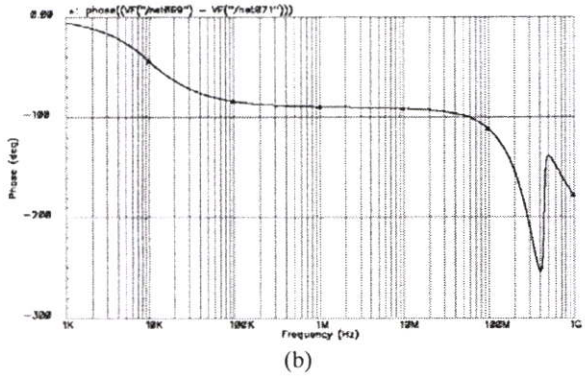
Components	Value
$(W/L)_1$	5/0.35
$(W/L)_2$, $(W/L)_3$	10/0.35
$(W/L)_4$	0.9/0.35
$(W/L)_5$	20/0.35
$(W/L)_6$, $(W/L)_7$	30/0.35
$(W/L)_8$	22/0.35
I_1	2 μA
I_2	17 μA
V_{C1}	0 V
V_C	1 V
R_C	4 KΩ
C_C	0.5 pF

TABLE II
SIMULATED PERFORMANCE OF THE PROPOSED OTA

Parameters	This work	[2]
Process	0.35μm	0.35μm
V_{DD}	1 V	1.1 V
DC gain	77.5 dB	65 dB
Unity-gain frequency	86 MHz (C_L=1pF, C_C=0.5pf) 140 MHz (C_L=1pF, C_C=0.2pf) 50 MHz (C_L=4pF, C_C=0.5pf)	15 MHz (C_L=1pF)
Phase margin	72.5° (C_L=1pF, C_C=0.5pf) 28° (C_L=1pF, C_C=0.2pf) 45° (C_L=4pF, C_C=0.5pf)	76°
$I_{DD,Q}$	170 μA	7 μA
O/P swing	+/- 980 mV	+/- 700 mV
$t_{settling}$	50 ns (0.1% accuracy)	165 ns (1% accuracy)
Slew rate	100 V/μs	7.8 V/μs



(a)



(b)

Fig. 5: Frequency response of the proposed OTA.

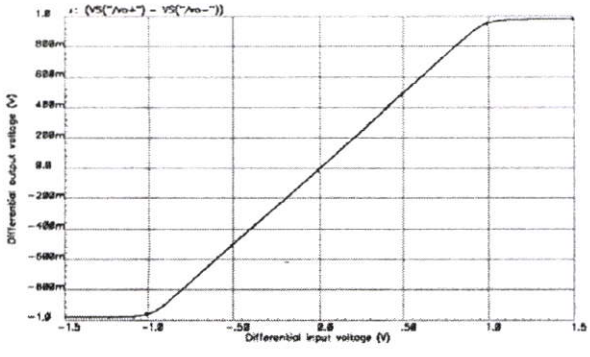


Fig. 6: Differential output voltage vs. input voltage of the proposed OTA under unity-gain feedback configuration.

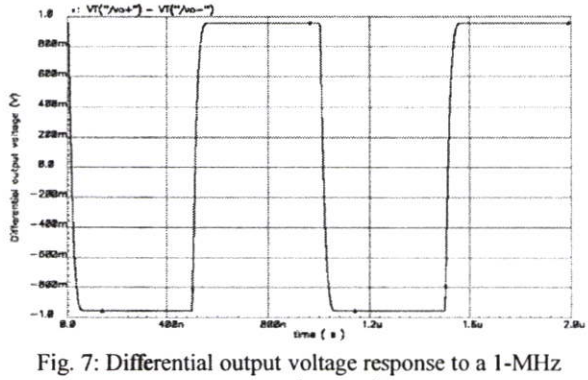


Fig. 7: Differential output voltage response to a 1-MHz square-wave input voltage.

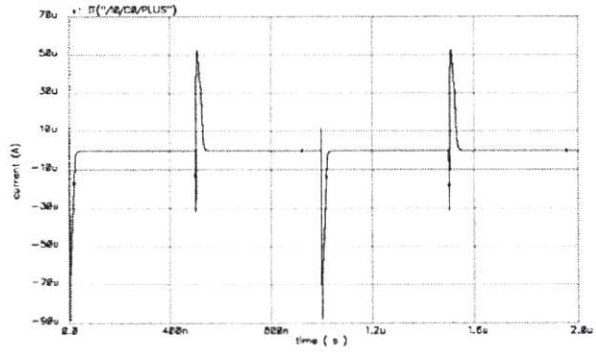


Fig. 8: Current delivered to a 1-pF load capacitor.

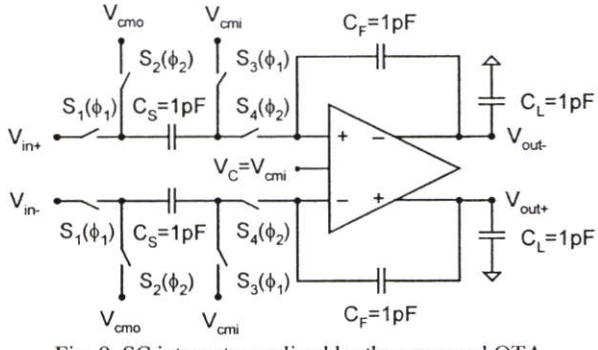
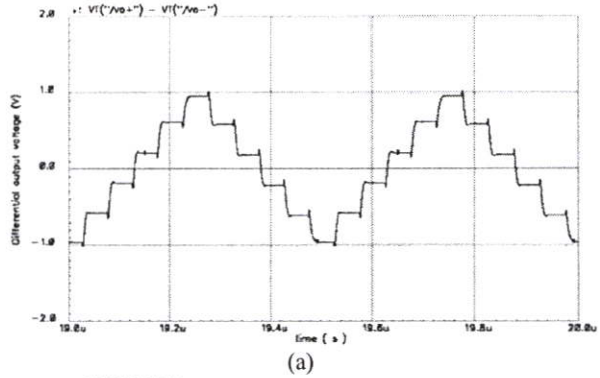
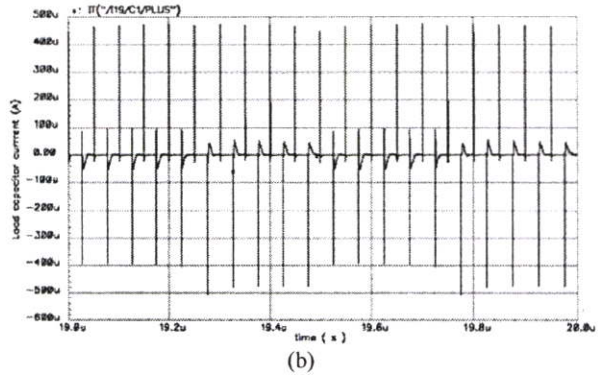


Fig. 9: SC integrator realized by the proposed OTA.



(a)



(b)

Fig. 10: (a) Differential output voltage and (b) output current of SC integrator using the proposed OTA.

ISCIT2004
PROCEEDINGS OF INTERNATIONAL SYMPOSIUM
ON COMMUNICATIONS AND INFORMATION TECHNOLOGIES 2004
October 26-29, 2004
Sapporo Convention Center, Sapporo, Japan
IEEE
ISCIT 2004
EIC

Low-Voltage Pipelined ADC Using Class-AB Pseudo-Differential OTA

W. Chaloenlarp and A. Thanachayanont
Microelectronics Research Laboratory, Research Center of Communications and Information Technology,
Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang
Chalongkrung Road, Ladkrabang, Bangkok, 10520, THAILAND
Tel: (02) 737-3000 ext 3309, Email: wilasinee_ka@yahoo.com, ktapinun@kmitl.ac.th

Abstract This paper describes the design of a low-voltage low-power pipelined analog-to-digital converter using a new class-AB pseudo-differential operational transconductance amplifier (OTA). The class-AB OTA employed in this work makes use of partial positive feedback to enhance its transconductance, which allows large gain-bandwidth product with low power dissipation. A 6-bit 15.36-MS/s pipelined ADC has been designed using a 0.35-μm CMOS process. Simulation results show that the ADC can achieve a maximum DNL and INL of 0.5 LSB and 0.59 LSB, respectively, and an SFDR of 47.5 dB, while draining 2.8 mA from a 2 V supply voltage.

1. Introduction

Third-generation (3G) cellular systems employ wide-band code division multiple access (WCDMA) scheme to provide high data rate applications. The WCDMA transmission rate of 3.84 Mchip/s has demanded for wide bandwidth ADC, which could easily lead to significant increase in power consumption. In WCDMA receivers, high speed and medium resolution ADC are required [1]. Therefore low power dissipation is an important feature of ADC for WCDMA receiver.

Pipelined ADC is the most attractive architecture for high speed and low power dissipation. A low-power pipelined ADC can be designed by scaling the capacitor values and by using low-power active circuitry such as class-AB OTA and dynamic comparator. This paper presents the design of a 6-bit 15.36 MS/s ADC, which is intended to be used in a 3G WCDMA receiver.

2. Pipelined ADC Architecture

Fig. 1 shows the block diagram of the 6-bit pipelined ADC, which comprises two 2.5-bit stages followed by a 2-bit full flash stage. The first two stages perform coarse quantization. Each 2.5-bit stage consists of a flash ADC, a multiplying digital-to-analog converter (MDAC) and a small decoding logic, as shown in Fig. 2. A sample-and-hold function in each stage allows concurrent operation of all stages. The output bits of each stage are delayed properly before applying to a simple redundant sign digit (RSD) error correction circuitry.

The differential switched-capacitor MDAC of the 2.5-bit pipelined stage is shown in Fig. 3. The input signal is sampled into four equal capacitors during the sampling phase (ϕ_S) while the amplifier is disconnected. During the hold phase (ϕ_H), one capacitor is connected in feedback and the other three capacitors are connected to the DAC output, which is either $+V_{ref}$, 0, or $-V_{ref}$ according to the output of the sub-ADC. The output voltage of the MDAC can be written as:

$$V_{out} = 4V_{in} - D_{sub}V_{DAC} \quad (1)$$

where D_{sub} is an integer between –3…3 according to the binary sub-ADC output 000…110, respectively.

Power consumption of the overall ADC is minimized by scaling the capacitor values and minimizing the power consumption in OTA, comparator, and other active circuitry. The capacitor values were calculated to satisfy the SNR requirement of the ADC and the specifications of OTA were then calculated accordingly.

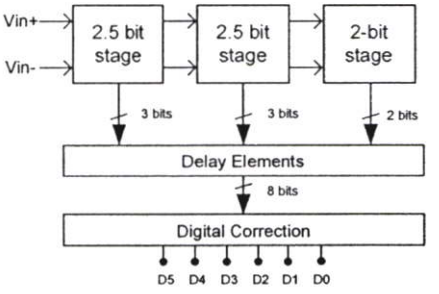


Fig. 1: Block diagram of the 6-bit pipelined ADC.

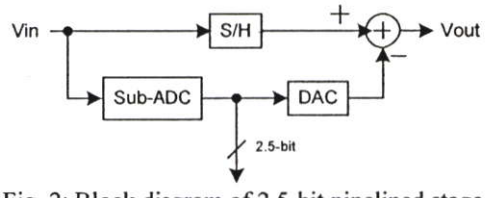


Fig. 2: Block diagram of 2.5-bit pipelined stage.

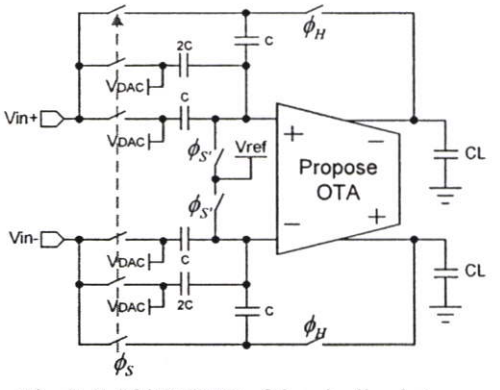


Fig. 3: 2.5-bit MDAC of the pipelined stage.

3. G_M-Enhanced Class AB Pseudo-Differential OTA

To realize high-speed and high-accuracy pipelined ADC, OTAs with high slew rate, high unity-gain frequency, and large open-loop DC gain are required. High-speed operation means fast-settling behaviour of OTA, which requires a single-pole response and large unity-gain frequency. High accuracy requires a high open-loop DC gain. As the power supply voltage is reduced due to technology scaling, designing OTA to satisfy these requirements is a formidable task.

Class-AB OTA is often used to obtain the above features with low quiescent power consumption [2], [3], [4]. In order to maximize the signal swing and dynamic range under low power supply voltage, cascode topologies are usually avoided. Thus low-voltage high-gain OTAs are often realized by cascading two or more gain stages. This increases DC power dissipation, reducing the benefit of class-AB operation. In addition, cascaded gain stages often leads to complex frequency compensation to ensure stability.

In order to obtain the full benefit of class-AB operation, OTA should be realized with a minimum number of cascaded gain stages while still retaining high open-loop DC gain. Since cascoding is prohibited in low voltage environment, high gain may be obtained using large input transconductance. Large input transconductance may be achieved by using high DC bias current and large aspect ratio of the input transistors, leading to high power dissipation and reduced bandwidth, respectively. Another approach is to increase the input transconductance by using a weak positive-feedback [5]. In this way, high open-loop DC gain can be obtained without cascode devices and excessive power dissipation. This is obtained at the cost of extra poles and zeros introduced by the positive feedback.

This section describes a new low-voltage, rail-to-rail output swing, class-AB pseudo-differential OTA. The proposed circuit employs partial positive-feedback to enhance the input transconductance, thus improving the open-loop DC gain and the unity-gain frequency. A push-pull configuration is used to obtain rail-to-rail output voltage swing. An RC compensation technique is used to compensate for the effect of pole and zero introduced by the positive feedback.

Fig. 4 shows the recently proposed class-AB pseudo-differential input stage [6]. The circuit comprises the traditional source-coupled pair (M_{1a} and M_{1b}) and the shunt-feedback bias subcircuit (M_2, M_3 and I_3). The shunt-feedback subcircuit provides a low impedance to node V_S, which keeps V_S approximately constant at V_C-V_{GS3}. Thus the input source-coupled pair operates in a pseudo-differential manner where the quiescent current is well controlled by I_1. When a large balanced differential input voltage is applied, the output current is absorbed by M_2. The maximum output current is limited by the amount of current that M_2 can supply, which can be much greater than the quiescent current. Thus the circuit operates in class-AB fashion. Note that the pseudo-differential input operation is allowed because, in SC circuits, OTA operates in an inverting, negative-feedback configuration with a constant voltage at both input terminals. The circuit can operate with a minimum supply voltage of $V_{TH}+2V_{DSAT}$, thus it is suitable for low-voltage applications.

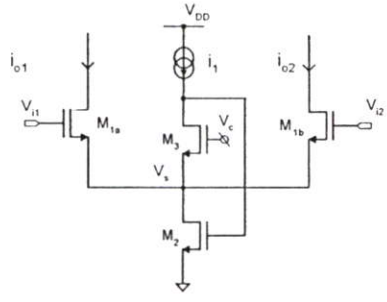


Fig. 4: Class AB pseudo-differential input pair in [6].

One drawback of the circuit in Fig. 4 is that the input transconductance is equal to that of a single transistor. Thus, to obtain a high open-loop DC gain ($A_o \approx G_{mi}R_{out}$) without sacrificing the bandwidth, a cascode output stage was employed [3]. However, this results in a limited output voltage swing, which is a serious issue in low-voltage environment.

To overcome the above limitation, the class-AB pseudo-differential input stage was modified, as depicted in Fig. 5(a). The new class-AB input stage employs a weak positive-feedback subcircuit (M_2, M_3 and I_1) to enhance the input transconductance [5]. In other words, the positive-feedback subcircuit produces a negative resistance, R_n, at the source of M_1, as illustrated by an equivalent half-circuit shown in Fig. 5(b). It can be shown that R_n is approximately $-g_{o2}/(g_{m2}g_{m3})$, assuming all transistors are in saturated strong-inversion. If M_2 is pushed into the triode region, R_n is roughly $-1/g_{m3}$. Thus the transconductance of the G_m-enhanced class-AB input stage can calculated as,

$$\frac{i_{o1}}{v_{i1}}(s) = \frac{g_{m1}\left(1+sR_nC_s\right)}{\left(1+g_{m1}R_n\right)+sR_nC_s} \qquad (1)$$

where $C_s \approx C_{gs1}+C_{gs3}$ is the capacitance seen at the source of M_1. It is clear, from (1), that the DC transconductance is multiplied by a factor of $(1+g_mR_n)^{-1}$, which is greater than unity when $-1 < g_mR_n < 0$.

Equation (1) also reveals that one pole and one zero are associated with the open-loop transconductance function. For transconductance enhancement, i.e. $-1 < g_mR_n < 0$, both zero and pole are in the right-half plane (RHP) at $\omega_z = -1/R_nC_s$ and $\omega_p = -\left(1+g_{m1}R_n\right)/\left(R_nC_s\right)$, respectively. The RHP open-loop pole may produce closed-loop instability when the OTA is employed in a negative-feedback configuration. However, it is not a concern here because the RHP open-loop pole ω_p is readily placed near the origin [7] to obtain high

transconductance. The RHP open-loop zero will be compensated for in the overall OTA circuit as described in the following section.

Fig. 6 demonstrates the G_m-enhancement of the proposed circuit in Fig. 5, by comparing its simulated output currents to those of the circuit in Fig. 4. As depicted in Fig. 6, the circuit in Fig. 4 obtained the small-signal transconductance (i.e. di_o/dv_i at $v_i = 0$) of 120 μS with 32-μA quiescent supply current, while the circuit in Fig. 5 obtained the small-signal transconductance of 1.0 mS with 45-μA quiescent supply current. For this particular case, the small-signal transconductance was enlarged by a factor of 8.3, with only a slight increase in the quiescent supply current. For large-signal operation, the output currents of the circuit in Fig. 5 are 2.5 times as much as those of the circuit in Fig. 4.

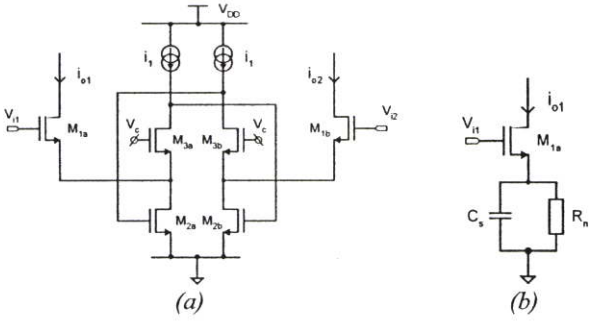


Fig. 5: (a) Simplified circuit diagram and (b) equivalent half-circuit of the proposed Gm-enhanced class AB pseudo-differential input stage.

Therefore the class-AB pseudo-differential input stage in Fig. 5 can achieve larger small-signal transconductance and greater large-signal output current. As mentioned above, these properties render high unity-gain frequency and fast slewing behaviour, which are greatly desirable for high-speed and high-accuracy SC circuits.

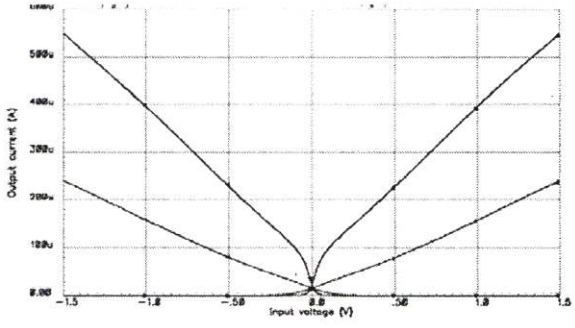


Fig. 6: Output current vs. input voltage.

The complete OTA, depicted in Fig. 7, is realized by applying the output currents of the class-AB input stage to low-voltage current mirrors, formed by M_5-M_7 and I_2. A push-pull rail-to-rail operation is obtained by using $M_{8a,b}$ to copy the output currents to the output nodes. The open-loop DC gain of the OTA is given by the product of the input transconductance and the output resistance. As the input transconductance is large, high open-loop DC gain does not require cascode devices in the signal path. This allows a high open-loop DC voltage gain and a rail-to-rail output voltage swing to co-exist under low power supply voltage, which is the main advantage of the proposed OTA.

Apart from allowing low-voltage operation, the low-voltage current mirror has a shunt-feedback to provide small input impedance ($\approx g_{o5}/(g_{m5}g_{m6})$). This ensures that the feedback associated with the finite output impedance of M_1 does not degrade the circuit stability [5]. In addition, the transistors $M_{4a,b}$ are added to ensure the stability of the circuit under mismatches and variations.

The operation of the proposed OTA can be explained as follows. Consider the right half of the circuit, supposed that V_{i2} is decreased, the gate and drain voltages of M_{4b} are decreased while the gate voltage of M_{2b} is increased, as the results of inherent feedback. Thus the drain current of M_{1b} is increased and is being supplied by the drain current of M_{2b}. This current is mirrored by M_{6b} and M_{7b} into the output node V_{o2} and is added by the drain current of M_{8b}, which is a scaled copy of the drain current of M_{4b}. As a result, the output voltage V_{o2} is increased. When V_{i2} is increased, the reverse occurs and V_{o2} is decreased. Due to the symmetry, the same explanation can be applied for the left half of the circuit.

As shown in (1), the input transconductance function includes a RHP zero, which degrades the phase margin and the stability of the circuit. As described above, the output current provided by the input transconductance causes in an inverting relationship between V_{i2} and V_{o2} (also for V_{i1} and V_{o1}). Thus to compensate for the RHP zero, a non-inverting feedforward signal path to the output node must be created. This is obtained by connecting R_C and C_C between the source of M_{1b} (M_{1a}) and the output node V_{o2} (V_{o1}). As a result, a left-half plane (LHP) zero is created to compensate for the phase lag due to the RHP zero of the input stage. Therefore the phase margin of the OTA can be improved. Of course, R_C can be realized by a voltage-controlled resistor and its value can be adjusted to obtain an optimum phase margin for different values of load capacitor.

The complete OTA can operate with a minimum supply voltage of $V_{TH}+2V_{DSAT}$. The common-mode input voltage is equal to the supply voltage as an n-type input stage is used. The proposed OTA was designed and simulated by using Cadence Spectre™ with process parameters from a 0.35 μm standard CMOS technology. The circuit was designed to operate with a single 1.5-V power supply voltage with C_L = 4-pF. Fig. 8(a) shows the simulated open loop AC frequency response of the proposed OTA. The open loop DC gain is 52 dB, the gain bandwidth is 110 MHz and the phase margin is 60° in Fig. 8(b). The simulated performance of the proposed OTA is summarized in Table I.

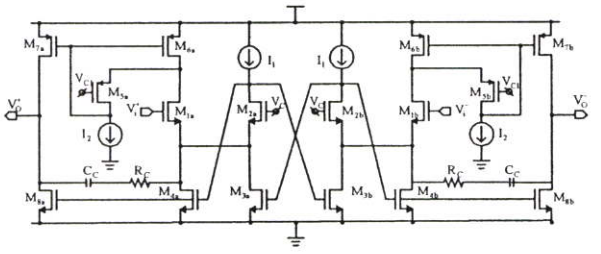
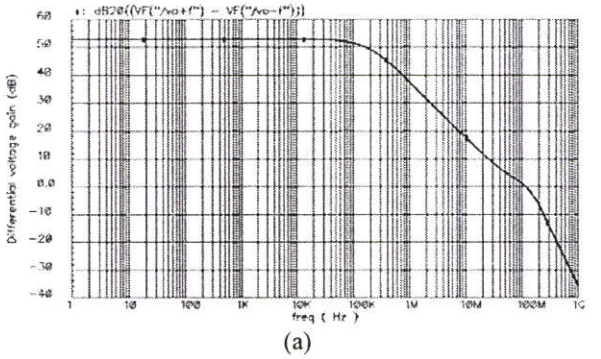
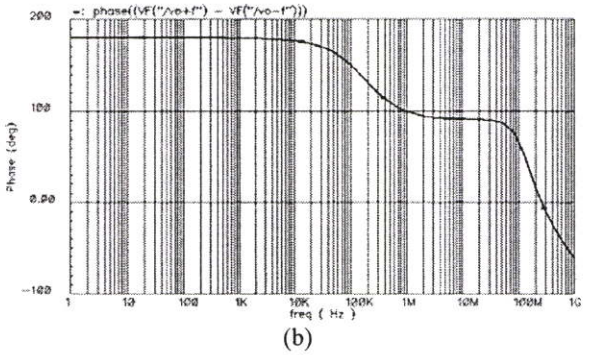


Fig. 7: Complete Gm-enhanced class AB OTA.



(a)



(b)

Fig. 8: Frequency response of the proposed OTA.

Table I: Simulated performance of the proposed OTA

Parameters	This work
Process	0.35-μm
V_{DD}	1.5-V
DC gain	52-dB
Unity-gain frequency	110-MHz
Phase margin	60°
$I_{DD,Q}$	320 μA
O/P swing	+/- 1.49 V
$t_{settling}$	52 ns (0.1 % accuracy)
Slew rate	100 V/μs

4. Differential Pair Dynamic Comparator

Fig. 9 shows the dynamic comparator utilized in the sub-ADCs [1]. It is based on two unequally sized cross-coupled differential pairs M_1-M_2 and M_3-M_4 with switched tail current source M_5 and M_6. A CMOS latch M_7-M_{10}, connected directly above the source coupled pairs, is reset to V_{DD} with M_{11}-M_{12} when V_{latch} is low. When V_{latch} goes high, M_5 and M_6 are turned on and M_1-M_4 compare $V_{in}^{+}-V_{in}^{-}$ with $\alpha\cdot\left(V_{ref}^{+}-V_{ref}^{-}\right)$, where α is defined by the imbalance between M_1, M_2, M_5 and M_3, M_4, M_6. After the latch devices M_7-M_8 are turned on, the circuit regeneratively amplifies the voltage difference at the drains of the input pairs.

This circuit requires only a single-phase clock and the comparator threshold is set by the dimensions of M_1-M_6. In this case, the comparator input offset voltage is dominated by that of the cross-coupled differential pairs with large transconductances rather than by the offset of the CMOS latch. The circuit is quite robust to circuit mismatches because the input voltage is amplified by M_1-M_4 before comparing by M_7-M_{10}.

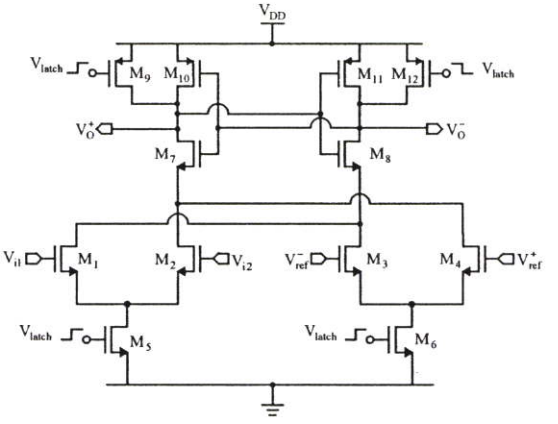


Fig. 9: Differential dynamic comparator

5. ADC Simulation Results

The 6-bit pipelined ADC was simulated by using Cadence Spectre™ with process parameters from a 0.35 μm standard CMOS technology. The differential non-linearity (DNL) and the integral non-linearity (INL), shown in Fig. 10, were found to be 0.55 LSB and 0.59 LSB, respectively.

Fig. 11 shows the simulated SFDR of the ADC, which was obtained with FFT calculation. The SFDR is limited by the third-order distortion and it was found to be more than 47.5 dB over the whole Nyquist band. The ADC drains 2.8 mA from a 2V supply voltage giving a total power dissipation of 5.6 mW. The simulated ADC performance is summarized in Table II. It is shown that the proposed ADC can achieve similar performance as that of the ADC in [1], while operating at lower supply voltage.

6. Conclusion

A 6-bit CMOS pipelined A/D converter was designed by using a G_m-enhanced class AB OTA. The new OTA allows the ADC to be realized with low power consumption with rail-to-rail output swing under lower supply voltage. Simulation results suggested that the proposed ADC can be used in a WCDMA receiver.

7. Acknowledgement

Financial support from Thailand Research Fund (grant #RSA4680027) and National Electronics and Computer Technology Center, National Science and Technology Development Agency (under IMT-2000 project) are gratefully acknowledged.

8. References

[1] L. Sumanen and K. Halonnen, "A single-amplifier 6-bit CMOS pipelined A/D converter for WCDMA receivers," in *Proc. 2001 IEEE Int. Symp. Circuits Systems*, May 2001, Vol. 1, pp. 584-587.

[2] G. Giustolisi and G. Palumbo, "A novel 1-V class-AB transconductor for improving speed performance in SC applications," in *Proc. 2003 IEEE Int. Symp. Circuits Systems*, May 2003, Vol. 1, pp. 153-156.

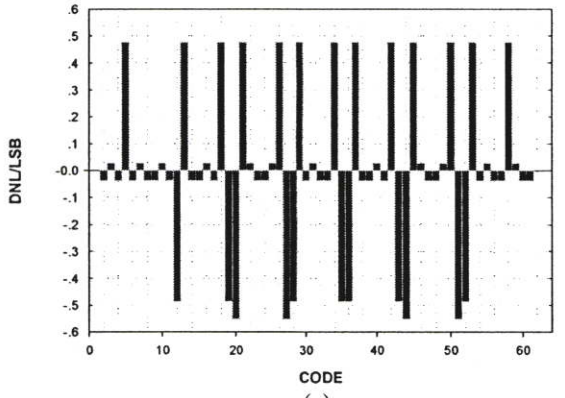
[3] R. G. Carvajal, J. Galan, J. Ramirez-Angulo, and A. Torralba, "New low-power low-voltage differential class-AB OTA for SC circuits," in *Proc. 2003 IEEE Int. Symp. Circuits Systems*, May 2003, Vol. 1, pp. 589-592.

[4] S. Mehrmanesh, H. A. Aslanzadeh, M. B. Vahidfar, and M. Atarodi, "A 1.5 V high-speed class AB operational amplifier for high-resolution high-speed pipelined A/D converters," in *Proc. 2003 IEEE Int. Symp. Circuits Systems*, May 2003, Vol. 1, pp. 273-276.

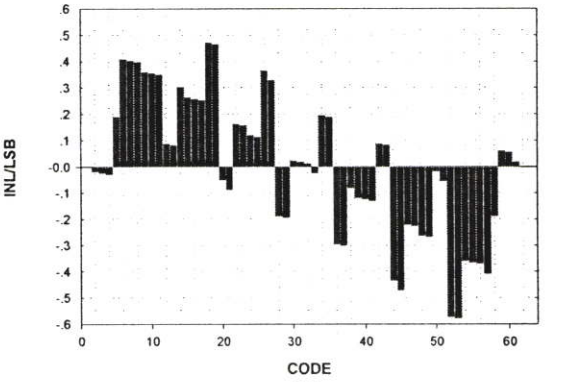
[5] R. Castello, A. G. Grassi, and S. Donati, "A 500-nA sixth-order bandpass SC filter," *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 669-676, June 1990.

[6] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba, and C. Nieva, "A new class AB differential input stage for implementation of low-voltage high slew-rate op-amps and linear transconductors," in *Proc. 2001 IEEE Int. Symp. Circuits Systems*, May 2001, Vol. 1, pp. 671-674.

[7] J. Yan, K. C. Tiew, and R. L. Geiger, "Open Loop Pole Location Bounds for Partial Positive Feedback Gain Enhancement Operational Amplifiers," in *Proc. 2001 IEEE Midwest Symp. Circuits and Systems*, pp. 425-428, August 2001.



(a)



(b)

Fig. 10: Simulated DNL and INL as a function of digital output code.

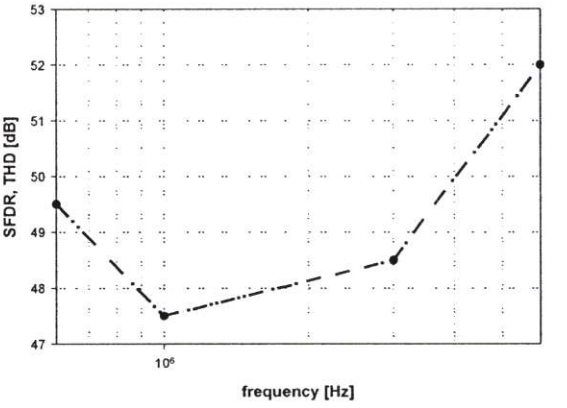
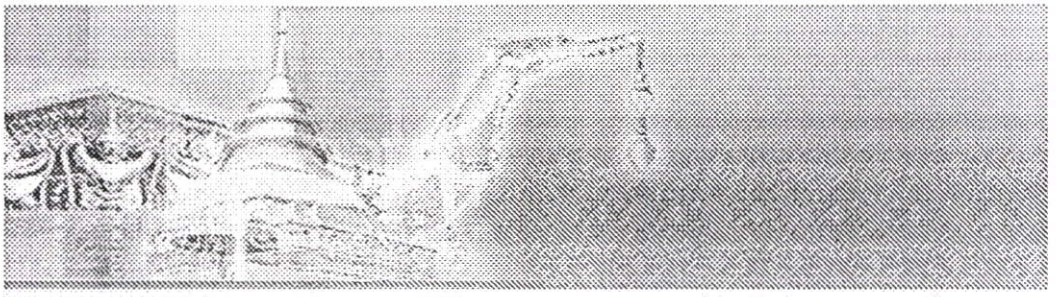


Fig. 11: SFDR as a function of signal frequency at 15.36 MS/s sample rate.

Table II: Simulated performance of the ADC.

Parameters	This work	[1]
Resolution	6-bit	6-bit
Conversion rate	15.36MS/s	15.36MS/s
Differential input voltage	1-Vpp	1.2-Vpp
DNL	0.55 LSB	0.27 LSB
INL	0.59 LSB	0.18 LSB
SFDR	47.5 dB	50 dB
Power Dissipation	5.6 mW	6 mW
Supply voltage	2 V	2.7 V



IEEE

TENCON 2004

Conference Proceedings

Analog and Digital Techniques in Electrical Engineering

21 - 24 November 2004, Chiang Mai, THAILAND

Organized: IEEE Thailand Section

Sponsored by: IEEE Region 10

Venue: Lotus Hotel Pang Suan Kaew

Low-Voltage G_m-Enhanced Class-AB Pseudo-Differential OTA For Switched-Capacitor Circuits

W. Chaloenlarp and A. Thanachayanont

Microelectronics Research Laboratory, Research Center of Communications and Information Technology, Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Road, Ladkrabang, Bangkok, 10520, THAILAND. Tel: (02) 737-3000 ext 3309, Email: ktapinun@kmitl.ac.th

ABSTRACT

A new low-voltage, rail-to-rail output swing, class-AB pseudo-differential operational transconductance amplifier (OTA) for high-speed switched-capacitor applications is proposed. Positive feedback is employed to enhance the input transconductance, which increases the open-loop DC gain and the unity-gain frequency of the OTA. Using a 0.35-μm CMOS process, the proposed OTA can obtain 78-dB DC gain, 72.5° phase margin, 100-V/μs slew rate with 1-pF load capacitor, while draining 170-μA quiescent supply current from a single 1-V power supply voltage.

Keywords: *Class-AB, Switched-capacitor, Pseudo-differential, Positive feedback*

1. INTRODUCTION

High-speed, high-accuracy, low-power, and low-voltage are very important properties of modern portable analog and mixed-signal circuits and systems, such as switched-capacitor (SC) filters, sigma-delta and pipelines A/D converters. High-performance operational amplifier with low-voltage and low-power capability is the key building block of these SC circuits, for example, in [1]. For high-speed and high-accuracy operation, amplifier must have high slew rate, high unity-gain frequency, and large open-loop DC gain. Designing such an operational amplifier with low power consumption under low power supply voltage is a formidable task.

High-speed operation means fast-settling behaviour, which requires single-pole response and large unity-gain frequency. High accuracy requires a high open-loop DC gain. Low supply voltage reduces the dynamic range and discourages the use of cascode topologies for high gain amplifiers. Thus low-voltage high-gain amplifiers are often realized by cascading two or more gain stages. This leads to high DC power consumption and complex frequency compensation to ensure stability.

Class-AB operational amplifier can be used to obtain the above features with low quiescent power consumption [2], [3], [4]. However, previously reported circuits has to use cascode topologies to obtain high open-loop DC gain. This results in limited output swing, which reduces the dynamic range. Another approach is to increase the input transconductance by using a weak positive-feedback [5]. In this way, high open-loop DC gain can be obtained without cascode devices. This is obtained at the cost of extra poles and zeros introduced by the positive feedback.

This paper proposes a new low-voltage, rail-to-rail output swing, class-AB pseudo-differential OTA that employs a weak positive-feedback to enhance the transconductance. An RC compensation technique is used to compensate for the effect of poles and zeros introduced by the positive feedback. Section 2 presents the proposed class-AB input stage, while the complete OTA is described in section 3. Circuit simulation is reported in section 4 and conclusion is given in section 5.

2. G_M-ENHANCED CLASS AB PSEUDO-DIFFERENTIAL INPUT STAGE

Fig. 1 shows the recently proposed class-AB pseudo-differential input pair [6]. The circuit comprises the traditional input source-coupled pair (M_{1a} and M_{1b}) and the shunt-feedback bias subcircuit (M_2, M_3 and I_3). The shunt-feedback subcircuit provides a low impedance to node V_S and keeps the voltage V_S approximately constant at V_C-V_{GS3}. Thus the input pair operates in a class-AB pseudo-differential manner where the quiescent current is well controlled by I_1. When a large input voltage is applied, the output current is supplied by M_2. The maximum output current is limited by the amount of current that M_2 can supply. The circuit can operate with a minimum supply voltage of $V_{TH}+2V_{DSAT}$, thus it is suitable for low-voltage applications. Note that the pseudo-differential input operation is allowed because, in SC circuits, OTA operates in an inverting, negative-feedback configuration with a constant voltage at both input terminals.

One drawback of the circuit in Fig. 1 is that the input transconductance is equal to that of a single transistor. Thus, to obtain a high open-loop DC gain (A_o) without sacrificing the bandwidth, a cascode output stage was employed [2]. However, this results in a limited output voltage swing, which is a serious issue in low-voltage environment.

0-7803-8560-8/04/$20.00©2004IEEE

To overcome the above limitation, the class-AB pseudo-differential input stage was modified, as depicted in Fig. 2(a). The new class-AB input stage employs a weak positive-feedback subcircuit (M_2, M_3 and I_1) to enhance the input transconductance [5]. In other words, the positive-feedback subcircuit produces a negative resistance, R_n, at the source of M_1, as illustrated by an equilvalent half-circuit shown in Fig. 2(b). It can be shown that R_n is approximately $-g_{o2}/(g_{m2}g_{m3})$, assuming all transistors are in saturated strong-inversion. If M_2 is pushed into the triode region, R_n is approximately $-1/g_{m3}$. Thus the transconductance of the G_m-enhanced class-AB input stage can calculated as,

$$\frac{i_{o1}}{v_{i1}}(s) = \frac{g_{m1}(1+sR_nC_s)}{(1+g_{m1}R_n)+sR_nC_s} \qquad (1)$$

where $C_s \approx C_{gs1}+C_{gs3}$ is the capacitance seen at the source of M_1. It is clear, from (1), that the DC transconductance is multiplied by a factor of $(1+g_mR_n)^{-1}$, which is greater than unity when $-1 < g_mR_n < 0$.

Equation (1) also reveals one pole and one zero associated with the open-loop transconductance function. For transconductance enhancement, i.e. $-1 < g_mR_n < 0$, both zero and pole are in the right-half plane (RHP) at $\omega_z = -1/R_nC_s$ and $\omega_p = -(1+g_{m1}R_n)/(R_nC_s)$, respectively. The RHP open-loop pole may produce closed-loop instability when the OTA is employed in a negative-feedback configuration. However, it is not a concern here because the RHP open-loop pole ω_p is readily placed near the origin [7] to obtain high gain. The RHP open-loop zero will be compensated for in the overall OTA circuit as described in the following section.

Fig. 3 demonstrates the G_m-enhancement of the proposed circuit in Fig. 2, by comparing its simulated output currents to those of the circuit in Fig. 1. As depicted in Fig. 3, the circuit in Fig. 1 obtained the small-signal transconductance (i.e. di_o/dv_i at $v_i = 0$) of 120 μS with 32-μA quiescent supply current, while the circuit in Fig. 2 obtained the small-signal transconductance of 1 mS with 45-μA quiescent supply current. For only a slight increase in the quiescent supply current, the small-signal transconductance was enlarged by a factor of 8.3. For large-signal operation, the output currents of the circuit in Fig. 2 are as much as 2.5 times those of the circuit in Fig. 1.

Therefore the proposed class-AB pseudo-differential input stage in Fig. 2 can achieve larger small-signal transconductance and greater large-signal output current with little increase in the quiescent supply current. As mentioned in the introduction, these properties render high unity-gain frequency and fast slewing behaviour, which are greatly desirable for high-speed high-accuracy OTAs.

3. THE COMPLETE OTA

The complete OTA, depicted in Fig. 4, is realized by applying the output currents of the class-AB input stage to low-voltage current mirrors, formed by M_5-M_7 and I_2. The transistors $M_{8a,b}$ copy the output currents to the output node providing a push-pull operation. The open-loop DC gain of the OTA is given by the product of the input transconductance and the output resistance. As the input transconductance is large, high open-loop DC gain does not require cascode devices in the signal path. Thus this allows a high open-loop DC voltage gain and a rail-to-rail output voltage swing to co-exist under low voltage environment, which is the key advantage of the proposed OTA.

Apart from allowing low-voltage operation, the low-voltage current mirror has a shunt-feedback to provide small input impedance ($\approx g_{o5}/(g_{m5}g_{m6})$). This ensures that the feedback associated with the finite output impedance of M_1 does not degrade the circuit stability [5]. The transistors $M_{4a,b}$ are added to ensure the stability of the circuit under mismatches and variations.

R_C and C_C provide a non-inverting feedforward path to the output node. This creates a left-half plane (LHP) zero which compensates for the phase lag due to the RHP zero of the input stage. Therefore the phase margin of the OTA can be improved and adjusted for different values of load capacitor.

The complete OTA can operate with a minimum supply voltage of $V_{TH}+2V_{DSAT}$. The common-mode input voltage is equal to the supply voltage as an n-type input stage is used.

4. SIMULATION RESULTS

The proposed OTA was designed and simulated by using Cadence *Spectre*™ with process parameters from a 0.35-μm standard CMOS technology. The circuit was designed to operate with a single 1-V power supply voltage and nominal parameters summarized in Table 1. Unless stated otherwise, all simulation results were obtained with C_L = 1 pF, C_C = 0.5 pF, and R_C = 4 KΩ.

Fig. 4 shows the simulated open-loop AC frequency response of the proposed OTA. The open-loop DC gain is 78 dB and the gain-bandwidth is 86 MHz and the phase margin is 72.5°.

To examine the closed-loop performance, an ideal voltage level shifter was used to realize the proposed OTA in the unity-gain feedback configuration. A 1-MHz squarewave differential input voltage of ± 1 V was applied to the OTA, and the output responses are depicted in Fig. 6 to Fig. 8. Figs 6 and 7 demonstrate that a rail-to-rail output voltage swing of ± 980mV can be obtained. The output current delivered to the load capacitor is depicted in Fig. 8. The simulated performance of the proposed OTA is summarized in Table 2.

5. CONCLUSION

A new low-voltage class AB pseudo-differential OTA has been described. The proposed OTA employs a weak positive-feedback to enhance the transconductance. The key advantage of the circuit is that high open-loop DC

voltage gain and rail-to-rail output swing are achieved simultaneously under low-voltage low-power operation. The proposed OTA is thus suitable for low-voltage high-speed switched-capacitor applications.

6. ACKNOWLEDGEMENT

Financial support from Thailand Research Fund (grant #RSA4680027) and National Electronics and Computer Technology Center, National Science and Technology Development Agency (under IMT-2000 project) are gratefully acknowledged.

7. REFERENCES

[1] A. Baschirotto and R. Castello, "A 1-V 1.8-MHz CMOS switched-opamp SC filter with rail-to-rail output swing," *IEEE J. Solid-State Circuits*, vol.32, no. 12, pp. 1979-1986, December 1997.

[2] G. Giustolisini and G. Palumbo, "A novel 1-V class-AB transconductor for improving speed performance in SC applications," in *Proc. 2003 IEEE Int. Symp. Circuits Systems*, May 2003, Vol. 1, pp. 153-156.

[3] R. G. Carvajal, J. Galan, J. Ramirez-Angulo, and A. Torralba, "New low-power low-voltage differential class-AB OTA for SC circuits," in *Proc. 2003 IEEE Int. Symp. Circuits Systems*, May 2003, Vol. 1, pp. 589-592.

[4] S. Mehrmanesh, H. A. Aslanzadeh, M. B. Vahidfar, and M. Atarodi, "A 1.5 V high-speed class AB operational amplifier for high-resolution high-speed pipelined A/D converters," in *Proc. 2003 IEEE Int. Symp. Circuits Systems*, May 2003, Vol. 1, pp. 273-276.

[5] R. Castello, A. G. Grassi, and S. Donati, "A 500-nA sixth-order bandpass SC filter," *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 669-676, June 1990.

[6] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba, and C. Nieva, "A new class AB differential input stage for implementation of low-voltage high slew-rate op-amps and linear transconductors," in *Proc. 2001 IEEE Int. Symp. Circuits Systems*, May 2001, Vol. 1, pp. 671-674.

[7] J. Yan, K. C. Tiew, and R. L. Geiger, "Open Loop Pole Location Bounds for Partial Positive Feedback Gain Enhancement Operational Amplifiers," in *Proc. 2001 IEEE Midwest Symp. Circuits and Systems*, pp. 425-428, August 2001.

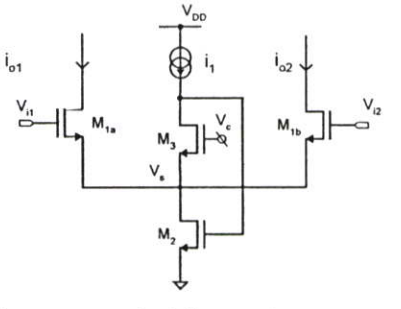


Fig. 1: *Class AB pseudo-differential input pair in [2].*

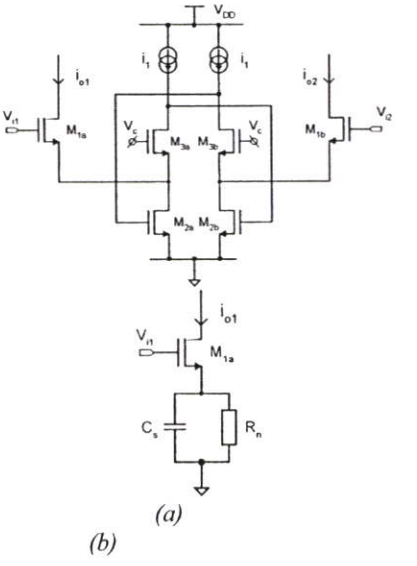


Fig. 2: *(a) Simplified circuit diagram and (b) equivalent half-circuit of the proposed Gm-enhanced class AB pseudo-differential input stage.*

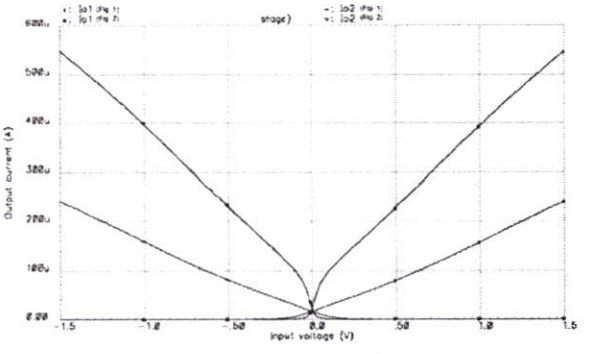


Fig. 3: *Output current vs. input voltage.*

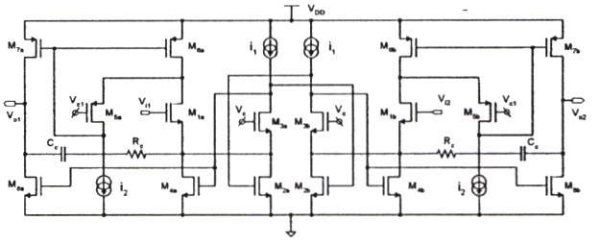
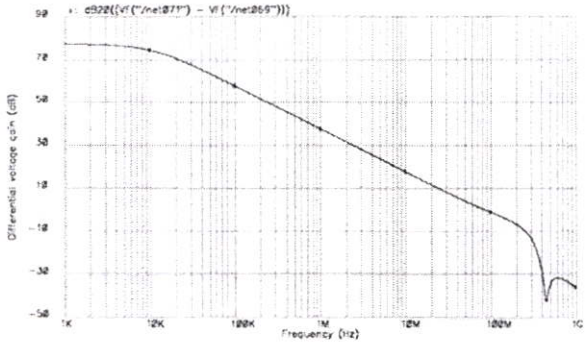
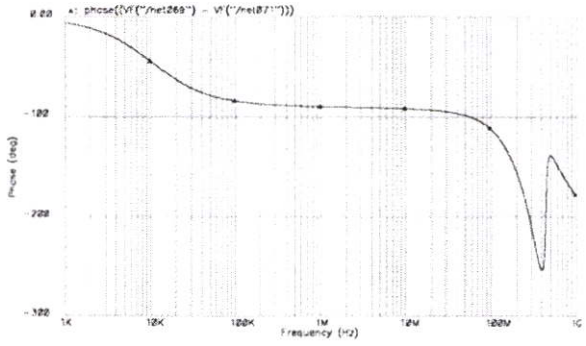


Fig. 4: *Complete Gm-enhanced class AB OTA.*



(a)



(b)

Fig. 5: *Frequency response of the proposed OTA.*

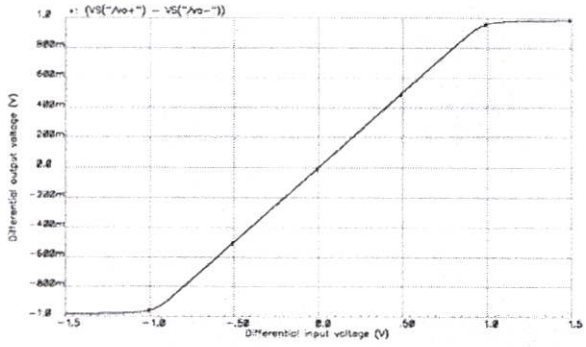


Fig. 6: *Differential output voltage vs. differential input voltage of the proposed OTA.*

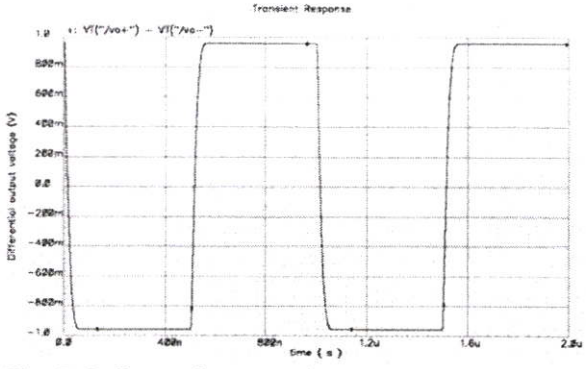


Fig. 7: *Differential output voltage response to a 1-MHz square-wave input voltage.*

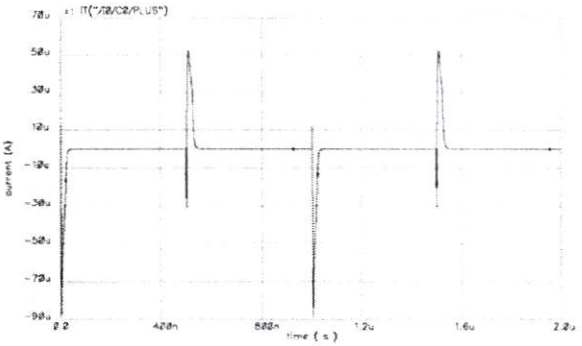


Fig. 8: *Current delivered to a 1-pF load capacitor.*

Table 1: *Circuit parameters*

Component	Value
$(W/L)_1$	*5/0.35*
$(W/L)_2$, $(W/L)_3$	*10/0.35*
$(W/L)_4$	*0.9/0.35*
$(W/L)_5$	*20/0.35*
$(W/L)_6$, $(W/L)_7$	*30/0.35*
$(W/L)_8$	*22/0.35*
I_1	*2 μA*
I_2	*17 μA*
V_{C1}	*0 V*
V_C	*1 V*
R_C	*4 KΩ*
C_C	*0.5 pF*

Table 2: *Simulated performance of the proposed OTA*

Parameters	This work	[2]
Process	*0.35μm*	*0.35μm*
V_{DD}	*1 V*	*1.1 V*
DC gain	*77.5 dB*	*65 dB*
Unity-gain frequency	*86 MHz* (C_L=*1pF*, C_C=*0.5pf*) *140 MHz* (C_L=*1pF*, C_C=*0.5pf*) *50 MHz* (C_L=*4pF*, C_C=*0.5pf*)	*15 MHz* (C_L=*1pF*)
Phase margin	*72.5°* (C_L=*1pF*, C_C=*0.5pf*) *28°* (C_L=*1pF*, C_C=*0.5pf*) *45°* (C_L=*4pF*, C_C=*0.5pf*)	*76°*
$I_{DD,Q}$	*170 μA*	*7 μA*
O/P swing	*+/- 980 mV*	*+/- 700 mV*
$t_{settling}$	*50 ns (0.1 % accuracy)*	*165 ns (1% accuracy)*
Slew rate	*100 V/μs*	*7.8 V/μs*

ประวัติผู้เขียน

ชื่อ-นามสกุล นางสาววิลาสินี เจริญลาภ

ประวัติการศึกษา

ระดับมัธยม โรงเรียนประจำจังหวัดสุราษฎร์ธานี

ระดับมหาวิทยาลัย มหาวิทยาลัยเทคโนโลยีมหานคร

ความชำนาญเฉพาะด้าน การออกแบบวงจรรวม

ประสบการณ์การทำงาน และผลงานวิจัย

2545 – ปัจจุบัน ผู้ช่วยวิจัยโครงการพัฒนาโทรศัพท์เคลื่อนที่ยุคที่ 3 ของสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (NECTEC)