วงจรขยายป้อนกลับแรงดันต่ำ

LOW-VOLTAGE CURRENT FEEDBACK AMPLIFIER

มนตรี สุขเลื่อง
MONTRI SUKLUENG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2549

ISBN 974-15-2447-1

วงจรขยายป้อนกลับแรงดันต่ำ

LOW-VOLTAGE CURRENT FEEDBACK AMPLIFIER

มนตรี สุขเลื่อง

MONTRI SUKLUENG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2549

ISBN 974-15-2447-1

LOW-VOLTAGE CURRENT FEEDBACK AMPLIFIER

MONTRI SUKLUENG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR THE DEGREE OF

MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2006

ISBN 974-15-2447-1

หัวข้อวิทยานิพนธ์	วงจรขยายป้อนกลับกระแสแรงดันต่ำ
นักศึกษา	นาย มนตรี สุขเลื่อง
รหัสนักศึกษา	47061017
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

บทความวิจัยนี้ มีจุดประสงค์เพื่อออกแบบวงจรการใช้งานวงจรขยายป้อนกลับกระแสที่มีแหล่งจ่ายต่ำแบบใหม่ โดยที่ส่วนของอินพุตถูกออกแบบเป็นวงจร folded – cascade class-AB และ ระบบทำงานที่แหล่งจ่ายแรงดันต่ำที่ $2V_{TH} + 2V_{DS(SAT)}$ ซึ่งวงจรจะสามารถปรับกระแสการไบอัสวงจรด้วยตัวเอง ทำให้ระบบการทำงานมีความเสถียรภาพสูง วงจรแสดงผลตามที่ออกแบบได้โดยการจำลองวงจรการทำงาน MOSIS 0.5 μ m MOS

Thesis Title	**Low –Voltage Current Feedback Amplifier**
Student	**Mr. Montri Suklueng**
Student ID.	**47061017**
Degree	**Master of Engineering**
Programme	**Telecommunications Engineering**
Year	**2006**
Thesis Advisor	**Assoc. Prof.Dr. Kobchai dejhan**

ABSTRACT

This paper proposes the new current feedback amplifier for low supply voltage application. The input state is designed to be a class-AB circuit and achieve the low supply-voltage operation down to $2V_{TH}+2V_{DS(SAT)}$, with the self-adjust biasing current, the high performance can be adopted with high stability. The circuit is successfully proven by the simulation with MOSIS 0.5 μm MOS technology.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ ที่ให้ความช่วยเหลือ ให้ชี้แนะช่วยแก้ปัญหาตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า

ขอขอบพระคุณ อ.สมปอง วิเศษพานิชกิจ อ.วิษณุ กอพยัคฆินทร์ อ.พงศ์ประณต หาญพิพัฒพงน์ศา และ อ.ประยงค์ ลิขิตการไพบูลย์ ที่ได้ให้คำปรึกษา คำแนะนำ และความช่วยเหลือต่างๆ ในการทำงานวิจัยนี้

ขอกราบขอบพระคุณคุณพ่อและแม่ของผู้เขียนที่ให้กำลังใจอย่างมากตลอดเวลาในขณะที่ศึกษาอยู่ ในการทำวิทยานิพนธ์ สุดท้ายขอขอบคุณท่าน นายแพทย์จุฬาเกษม ชินะผา อาจารย์และเพื่อนๆ ที่มีส่วนเกี่ยวข้องทุกท่านซึ่งคอยเป็นกำลังใจให้มาโดยตลอดมา

มนตรี สุขเลื่อง

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ..... II

กิตติกรรมประกาศ..... III

สารบัญ.....IV

สารบัญตาราง.....VI

สารบัญรูป.....VII

บทที่ 1 บทนำ.....1

1.1 ความเป็นมาของปัญหา.....1

1.2 วัตถุประสงค์ของวิทยานิพนธ์.....1

1.3 สมมุติฐานของการศึกษา.....1

1.4 ทฤษฎีและแนวคิดที่ใช้ในวิทยานิพนธ์.....2

1.5 ขอบเขตของวิทยานิพนธ์.....2

1.6 ขั้นตอนการศึกษา.....2

บทที่ 2 วงจรป้อนกลับกระแส.....4

2.1 บทนำ.....4

2.2 Current Feedback Op-Amp.....4

2.2.2 โครงสร้างระดับทรานซิสเตอร์เบื้องต้นของCurrent Feedback Op-Amp.....8

2.3 Buffer และการไบอัส.....9

2.4 แหล่งจ่ายกระแสคงที่และวงจรสะท้อนกระแส.....12

2.4.1 Constant Current Source.....12

2.4.2 Current mirrors.....15

2.5 เสถียรภาพ CFA.....18

2.5.1 แบบจำลอง การตอบสนองและเสถียรภาพ.....18

2.5.2 วิเคราะห์ทรานเฟอร์ฟังก์ชั่นของ CFA ในงาน Amplifier.....19

สารบัญ(ต่อ)

หน้า

บทที่ 3 วงจรขยายมอสเฟท.....24

3.1 ทรานซิสเตอร์สอส(Metal-Oxide-Semiconductor Transistor).....24

3.2 มอสเฟทแบบเอนฮอนซ์เมนต์หรือแบบเพิ่มพูน.....24

3.2.1 โครงสร้างและการทำงาน.....24

3.2.2 คุณลักษณะสถิต.....27

3.3 การทำงานของสัญญาณขนาดเล็กของวงจรขยายมอสเฟทแบบเพิ่มพูน.....30

3.3.1 คอนดักแตนซ์ g_m 31

3.3.2 อัตราการขยายแรงดัน.....35

3.4 วงจรขยายมอสเฟทภาคเดียว.....37

3.4.1 วงจรขยายซอร์สร่วม.....39

3.4.2 วงจรขยายเกทร่วม.....41

3.5 การประยุกต์ใช้รูปแบบของวงจร.....43

3.6 วงจรสะท้อนกระแส.....44

3.7 Folded Cascode.....46

บทที่ 4 ผลการทดสอบ.....48

4.1 คุณสมบัติพื้นฐานของวงจรขยายป้อนกลับกระแส.....48

4.2 วิเคราะห์สมการเสถียรภาพของวงจร.....49

4.3 วงจรขยายป้อนกลับกระแสแรงดันต่ำ.....50

4.4 วงจรขยายแบบ Non-inverting CFA.....53

4.5 วงจรขยายแบบ Inverting CFA.....59

4.6 ความต้านทานอินพุตและเอาท์พุต.....65

4.6.1ความต้านทานอินพุต.....65

4.6.2ความต้านทานเอาท์พุต.....66

4.7 ความสัมพันธ์ของ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยาย.....66

4.8 Common-Mode Rejection Ratio (CMRR).....69

สารบัญ(ต่อ)

หน้า

4.9 อัตราการสลูว์(Slew Rate).....72
4.10 วงจรฟิลเตอร์ผ่านความถี่สูง(High Pass Filter Circuit).....74

บทที่ 5 สรุปผลการวิจัย.....76
5.1 การต่อวงจรแบบ Non-inverting และ Inverting.....76
5.2 วงจรขยายทรานซิสเตอร์มอส.....76

เอกสารอ้างอิง.....78

ภาคผนวก ผลงานวิจัยที่ได้รับการตีพิมพ์.....82

ประวัติผู้เขียน.....90

สารบัญตาราง

ตารางที่ **หน้า**

2.1 เปรียบเทียบ คุณสมบัติระหว่าง Simple current mirror กับ Wilson mirror.....17

2.2 ความสัมพันธ์ระหว่าง Q และ R_f 22

4.1 ค่าขนาดทรานซิสเตอร์ที่เลือกใช้ FCFA $\left(L = 0.5\mu m\right)$.....53

4.2 แสดงความสัมพันธ์ของแหล่งจ่าย ± Supply Voltage(V) ของออปแอมป์กับอัตราการขยาย จากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$ โดยต่อวงจรตามรูปที่ 4.21 กำหนดให้ $R_G = 1k\Omega$, $R_F = 3k\Omega$ และ $R_{Load} = 20k\Omega$.....68

4.3 แสดงค่าของ CMRR เมื่อมีการเปลี่ยนแปลง Gain การขยายสัญญาณ ตามการเปลี่ยนแปลงค่าของ $R_G = 1k\Omega, R_F\left(5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega\right)$.....71

4.4 แสดงการใช้งานของจอภาพวิดีโอ โดยการใช้วงจรขยายสัญญาณความเร็วสูง เมื่ออัตราการขยายเท่ากับ 2 เท่า ให้เอาท์พุตเท่ากับ $1.4V_{p-p}$ ของ National Semiconductor.....73

สารบัญรูป

รูปที่ **หน้า**

2.1 แบบจำลองเบื้องต้นของ CFA ของวงจรขยายแบบกลับเฟส.....5

2.2 แบบจำลองโครงสร้าง CFA.....7

2.3 การสร้าง Input ,Output Buffer และ Current mirror ด้วยทรานซิสเตอร์.....9

2.4 (a) วงจร Buffer ที่ไม่มีการไบอัส.....9

(b) Transfer Characteristic

2.5 (a) การแก้ไบอัสเพื่อแก้ Dead Band.....10

(b) Transfer Characteristic

2.6 วงจร Constant Current Source.....12

2.7 วงจร Basic Constant Current Source หรือแบบ wildlar 13

2.8 Voltage Compliance Range Basic ของวงจร Constant Current Source.....14

2.9 วงจร Current Source ที่มี Voltage Compliance Range ทั้งช่วงบวกและช่วงลบ.....14

2.10 วงจร Constant Current Source สำหรับระดับกระแส (I_o) ต่ำ.....15

2.11 วงจร Current mirror.....16

2.12 วงจร Wilson mirror.....17

2.13 แบบจำลองสัญญาณขนาดเล็กของ CFA.....18

2.14 Control Block CFA.....19

2.15 การต่อวงจรขยายเพื่อหา Loop Gain.....20

2.16 ผลการตอบสนองความถี่เมื่อเปลี่ยนค่าความต้านทานป้อนกลับ.....22

3.1 (a) สัญลักษณ์ของมอสเฟสแชลเนลพี.....24

(b) สัญลักษณ์ของมอสเฟสแชลเนลเอ็น

3.2 โครงสร้างทางกายภาพของมอสเฟทแชลเนลเอ็นแบบเพิ่มพูนหรือเอ็นมอสแบบเพิ่มพูน.....25

3.3 คุณลักษณะ $i_D - V_{DS}$ ในทางอุดมคติของมอสเฟทแชลเนลเอ็นแบบเพิ่มพูนโดยที่ $K = 0.25\,mA/V^2$ 26

3.4 การทำงานของทรานซิสเตอร์เอ็นมอสแบบเพิ่มพูน เมื่อกำหนดให้ V_{GS} มีค่าคงที่ มากกว่า V_t และเพิ่ม V_{DS} จนได้รูปร่างแชลเนลเหนี่ยวนำลักษณะเรียว.....27

3.5 คุณลักษณะ $i_D - V_{GS}$ ทรานซิสเตอร์เอ็นมอสแบบเพิ่มพูนในบริเวณพิณช์ออฟ $\left(V_t = 2V, K = 0.25\,mA/V^2\right)$ 29

สารบัญรูป(ต่อ)

รูปที่ **หน้า**

3.6 ผลกระทบของ V_{DS} ต่อ i_D ในบริเวณพิณช์ออฟ.....30

3.7 แบบจำลองวงจรสมมูลสัญญาณขนาดเล็กของมอสเฟท.....31

3.8 แบบจำลองวงจรสมมูลสัญญาณขนดเล็กของมอสเฟทความถี่ต่ำ.....31

3.9 วงจรขยายมอสอย่างง่าย.....32

3.10 การทำงานของสัญญาณขนาดเล็กของวงจรขยายมอสเฟทแบบเพิ่มพูน.....33

3.11 วงจรสมมูลสัญญาณสัญญาณขนาดเล็กของวงจรจากรูปที่ 3.9.....36

3.12 วงจรขยายซอร์สร่วม.....36

3.13 วงจรสมมูลสัญญาณขนาดเล็กของวงจรขยายมอสเฟท จากรูปที่ 3.12.....37

3.14 วงจรขยายเบื้องต้นเพื่อศึกษารูปแบบวงจรขยายมอสภาคเดียวทั้งสามรูปแบบ.....38

3.15 (a) วงจรขยายมอสเฟทซอร์สร่วม 39

(b) วงจรขยายสมมูลสัญญาณขนาดเล็ก

3.16 วงจรขยายมอสเกทร่วมและวงจรสมมูลสัญญาณขนาดเล็ก.....42

3.17 รูปการต่อแบบคาสโคด.....43

3.18 (a) วงจรสะท้อนกระแสเบื้องต้น.....45

(b) คุณลักษณะทางเอาท์พุตของวงจรสะท้อนกระแส

3.19 (a) พื้นฐาน Folded cascode 46

(b) การไบอัสกระแส Folded cascode

(c) Folded cascodeใช้ด้านอินพุตแบบ NMOS

3.20 คุณสมบัติการทำงานเมื่อมีสัญญาณ Large signal Folded cascode 47

4.1 วงจรวิเคราะห์การมีเสถียรภาพ.....49

4.2 โครงสร้างของวงจรวิเคราะห์การมีเสถียรภาพ.....49

4.3 (a) Ideal-CFA.....51

(b) Conventional-CFA

4.4 โครงสร้างของ FCFA ที่นำเสนอ.....51

4.5 วงจรขยายสัญญาณ Non-inverting CFA 54

4.6 วงจรขยายแบบ Non-inverting ต่อวงจรแบบ Unity gain 55

4.7 คุณสมบัติทาง DC ของวงจรขยายแบบ Non-inverting.....56

สารบัญรูป(ต่อ)

รูปที่ **หน้า**

4.8 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Non-inverting เมื่อป้อนอินพุตเป็นสัญญาณซายน์ (Sinusoidal input).....57

4.9 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Non-inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input).....58

4.10 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Non-inverting..... 58

4.11 วงจรขยายสัญญาณแบบ Inverting CFA.....59

4.12 วงจรขยายแบบ Inverting สำหรับทดสอบวงจร.....61

4.13 คุณสมบัติทาง DC ของวงจรขยายแบบ Inverting 61

4.14 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Inverting เมื่อป้อนอินพุตเป็นสัญญาณซายน์ (Sinusoidal input).....62

4.15 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input).....63

4.16 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Inverting.....63

4.17 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Inverting เปรียบเทียบอัตราการขยายไม่ขึ้นอยู่กับความกว้างของ Bandwidth 64

4.18 วงจร Inverting ทดสอบความต้าทานอินพุต.....65

4.19 แสดงรูปสัญญาณเอาท์พุตของวงจร Non-Inverting ทดสอบความต้านทานอินพุต.....65

4.20 วงจร Inverting ทดสอบความต้าทานเอาท์พุต.....66

4.21 แสดงรูปสัญญาณเอาท์พุตของวงจร Inverting ทดสอบความต้านทานเอาท์พุตโดยที่กำหนดให้ $R_{LOAD} = 1k\Omega$ ได้ค่า $V_L = 13.058mV$ 66

4.22 แสดงรูปสัญญาณเอาท์พุตของวงจร Inverting ทดสอบความต้านทานเอาท์พุตโดยที่กำหนดให้ $R_{LOAD} = 100M\Omega$ ได้ค่า $V_L = 17.284mV$ 67

4.23 แสดงการต่อวงจรออปแอมป์เพื่อหาความสัมพันธ์ของ ± Supply Voltage(V) ของออปแอมป์กับอัตราการขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$ 67

4.24 แสดงกราฟความสัมพันธ์ของ ± Supply Voltage(V) ของออปแอมป์กับอัตราการขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$ 68

สารบัญรูป(ต่อ)

รูปที่ **หน้า**

4.25 การต่อวงจรแบบ Common-mode โดยที่จ่ายสัญญาณซายด์อินพุต 0.2 V ความถี่ 10MHz $R_G = 1k\Omega, R_F (5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega)$ 69

4.26 รูปสัญญาณของการต่อวงจรแบบ Common-mode.....70

4.27 การต่อวงจรแบบ Differential-mode โดยที่จ่ายสัญญาณซายด์อินพุต 0.2 V ความถี่ 10MHz $R_G = 1k\Omega, R_F (5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega)$ 70

4.28 รูปสัญญาณของการต่อวงจรแบบ Differential-mode.....71

4.29 สัญญาณเอาท์พุตของวงจรขยายแบบ Inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input).....72

4.30 กราฟสัญญาณเอาท์เพื่อใช้ในการวิเคราะห์อัตราการสลูว์ (Slew Rate).....72

4.31 แสดงความสัมพันธ์ของสัญญาณวิดีโอ(Video Signal) กับการแสดงภาพของจอภาพ.....74

4.32 วงจรกรองผ่านความถี่สูงแบบบัตเตอร์เวิร์ท.....74

4.33 สัญญาณเอาท์พุตของวงจรกรองความถี่สูงผ่านแบบแบบบัตเตอร์เวิร์ท.....75

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

การออกแบบวงจรรวมหรือไอซี (Integrated Circuit) เป็นส่วนหนึ่งของอุตสาหกรรมไมโครอิเล็กทรอนิกส์ (microelectronics) ไมโครอิเล็กทรอนิกส์ซึ่งเกี่ยวข้องกับการออกแบบและผลิตแผ่นวงจรรวม ความก้าวหน้าในการออกแบบวงจรมีประสิทธิภาพมากขึ้น นั้นคือมีขนาดที่เล็กลงและการใช้พลังงานที่ต่ำ ระบบสามารถที่จะทำงานได้ดีหรือดีขึ้นกว่าเดิม อุตสาหกรรมในปัจจุบันมีแนวโน้มในการผลิตเครื่องมือใช้งานขนาดเล็กแบบพกพา ซึ่งโดยทั่วไปใช้งานด้วยแรงดันแหล่งจ่ายจากแบตเตอร์รี่แห้ง และไม่ต้องการเปลี่ยนแบตเตอร์รี่บ่อย เครื่องมือแบบพกพาจึงต้องออกแบบให้มีการใช้แรงดันต่ำ ทำให้อุปกรณ์ต่างๆรวมถึงวงจรรวมที่ใช้ในเครื่องมือแบบพกพาใช้แรงดันต่ำด้วย โดยการใช้ ทฤษฎีของการป้อนกลับกระแส (Current Feedback)ในการออกแบบวงจร

1.2 วัตถุประสงค์ของวิทยานิพนธ์

เป็นการออกแบบวงจรขยายป้อนกลับกระแสแรงดันต่ำ (Low Voltage Current Feedback)โดยการใช้โปรแกรม PSPICE (OrCAD) ในการจำลองวงจรการทำงานของออปแอมป์โดยการใช้ทฤษฎีการป้อนกลับกระแส และในวงจรการทำงานทั้งหมดใช้ทรานซิสเตอร์ชนิดมอส MOS ออกแบบวงจรให้สามารถควบคุมการทำงานอยู่ที่แรงดันต่ำ วิเคราะห์สัญญาณตามคุณสมบัติของ ออปแอมป์ว่าวงจรทำงานสามารถทำงานได้ที่แรงดันตามที่ได้ออกแบบเอาไว้หรือไม่

1.3 สมมติฐานของการศึกษา

ในการจำลองวงจรได้นำทฤษฎีของวงจรขยายป้อนกลับกระแส(Current Feedback Amplifier) ซึ่งโดยตามทฤษฎีแล้ว CFA คือความเร็วในการทำงาน เนื่องจาก CFA มีคุณสมบัติของค่า Slew Rate (SR) เนื่องจาก ในวงจรจะมีกระแส ที่จะชาร์ทเข้าสู่คาปาซิเตอร์ในวงจร ได้โดยตรงทำให้ CFA มีค่า SR มีค่าสูงมาก ในการจำลองวงจรทั้งหมด ใช้ทรานซิสเตอร์ชนิดมอส ซึ่งคุณสมบัติของมอส เป็นทรานซิสเตอร์ ที่มีอินพุตอิมพิแดนซ์สูงทำให้มีความต้องการกำลังสถิตเพียงเล็กน้อย ซึ่งสามารถที่จะออกแบบเป็นวงจรเชิงเส้นต้องการแรงดันกำลังต่ำ ๆ การออกแบบวงจรที่เป็นแบบโฟลดคาสโคด (Folded cascade) ซึ่งสามารถควบคุมกระแสให้ระบบทำงานภายใต้ แรงดันต่ำที่ได้กำหนดไว้

1.4 ทฤษฎีและแนวคิดที่ใช้ในวิทยานิพนธ์

การออกแบบวงจรขยายสัญญาณป้อนกลับกระแส โดยการใช้ทรานซิสเตอร์มอส MOS ซึ่งแบ่งออกเป็นสองชนิด คือ PMOS และ NMOS ในการเลือกใช้มอส สามารถเลือกใช้ขนาดของความกว้างของแชลเนลและซับสเตท (W) โดยกำหนดความกว้างของอยู่ 0.5 μm (L) ภายในคุณสมบัติของทรานซิสเตอร์ทำให้สามารถกำหนดอัตราการขยายของตัวทรานซิสเตอร์ในแต่ละภาคของวงจรได้และนำการต่อวงจรแบบโฟลดคาสเคด (Folded–cascade) เป็นการออกแบบวงจรให้ทำงานเป็นคู่เพื่อให้สามารถสร้างการไบอัสกระแสลูปด้วยตัวเอง ให้ทำงานในสภาวะแรงดันต่ำได้ ควบคุมการจ่ายกระแสด้วยวงจร Current mirror และ ในภาควงจรขยายสัญญาณของวงจร ออกแบบเป็น class AB

1.5 ขอบเขตของวิทยานิพนธ์

การออกแบบวงจรป้อนกลับกระแสที่แรงดันต่ำ ที่ประกอบไปด้วยวงจร Input buffer, Output buffer และ Current mirror โดยการเลือกใช้ ทรานซิสเตอร์มอสชนิด PMOS และ NMOS ซึ่งทำการศึกษาให้วงจรทำงานที่แรงดันต่ำ อยู่ที่ ±0.75 โดยทำการทดลองต่อวงจรขยายแบบ Non-inverting และ Inverting ศึกษาคุณสมบัติของวงจรด้านกระแสตรง (DC-characteristic) ความสัมพันธ์ทรานสเชียนท์ ซึ่งศึกษาทั้งที่จ่ายอินพุตเป็นสัญญาณรูปซายน์ (Sinusoidal input) ขนาด 0.2 V และจ่ายอินพุตเป็นสัญญาณสี่เหลี่ยม (Rectangular pulse) ขนาด 0.1 V เปลี่ยนแปลงเป็นสองความถี่คือ 10 MHz และ 100 MHz และศึกษาการเปลี่ยนแปลงของขนาดเมื่อเปรียบเทียบกับความถี่ Frequency response หาจุดคัทออฟที่ -3 dB เพื่อวิเคราะห์ความกว้างของแบนด์วิดธ์

1.6 ขั้นตอนการศึกษา

บทที่ 1 บทนำ ความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ หลักการใหม่ของวิทยานิพนธ์ และขั้นตอนการศึกษา

บทที่ 2 พื้นฐานของวงจรขยายป้อนกลับกระแส โครงสร้างภายใน ที่เป็นแบบจำลองของ CFA การออกแบบวงจร Current mirror ภาคอินพุต ภาคขยายสัญญาณ ภาคเอาท์พุตและ บัฟเฟอร์ต่างๆ การควบคุมกระแสภายในวงจร การมีเสถียรภาพของวงจรCFA บล็อกไดอะแกรมอธิบายวงจร

บทที่ 3 คุณสมบัติของทรานซิสเตอร์มอส ทั้งแบบ PMOS และ NMOS โครงสร้างภายใน ศึกษาการนำไปใช้งาน ที่เป็นแบบเพิ่มพูนที่ทำงานกับวงจรสัญญาณขนาดเล็ก วิเคราะห์กราฟการทำงานของทรานซิสเตอร์มอส และสมการที่เกี่ยวข้อง การต่อวงจรขยายและวงจรสมมูล

บทที่ 4 ผลการทดสอบ วิเคราะห์สัญญาณที่ต่อวงจรขยายแบบ Non-inverting และ Inverting ที่แหล่งจ่ายแรงดันต่ำ (± 0.75 V)

บทที่ 5 สรุปผลการวิจัย

บทที่ 2
วงจรป้อนกลับกระแส

2.1 บทนำ

แนวคิดเกี่ยวกับวงขยายสัญญาณ (Amplifier) เริ่มเกิดขึ้นในปี ค.ศ.1954 โดย Tellegen ซึ่งเป็นการอธิบายถึง Ideal Amplifier ต่อมาในปี ค.ศ.1964 Carlin ได้เสนอแนวคิดเพิ่มเติมเกี่ยวกับ Nullor และ Nurator element เพื่อที่จะอธิบาย Ideal Amplifier ได้เหมาะสมยิ่งขึ้น แต่แนวคิดนี้ไม่มีการนิยามเกี่ยวกับระดับความต้านทานที่ Input และ Output ของ Amplifier ซึ่งยากต่อการนำไปสร้างในการปฏิบัติด้วยเหตุนี้จึงได้มีการประยุกต์ Nullor element ใน 4 ลักษณะคือ Voltage Controlled-Voltage Source (VCVS), Current Controlled-Current Source (CCCS), Voltage Controlled-Current Source(VCCS) และ Current Controlled-Voltage Source(CCVS) จากการประยุกต์ Nullor element นี้ทำให้เกิด Amplifier 4 แบบ ที่รู้จักในชื่อ Voltage Amplifier, Current Amplifier, Transconductance Amplifier และ Transresistance Amplifier ตามลำดับ ระดับความต้านทาน Input และ Output ของ Amplifier ทั้ง 4 แบบแตกต่างกันเป็นลักษณะเฉพาะในแต่ละแบบ

Feedback Amplifier เป็นรูปแบบการประยุกต์ใช้งานในลักษณะ Closed loop ของ Amplifier ทั้ง 4 แบบที่กล่าวมาข้างต้นใน 4 ลักษณะคือ Voltage-to-Voltage, Current-to–Current, Voltage–to–Current และ Current-to-Voltage Converter รูปแบบหนึ่งของ Feedback amplifier ที่ได้รับความนิยมคือ Voltage-to-Voltage Converter และได้รับความนิยมอย่างยิ่งเมื่อ Op-Amp (Voltage Feedback Op-Amp) สามารถผลิตเป็นวงจรรวมแบบโมโนลิทิกได้ (Fairchild's uA709ในปี ค.ศ.1965) และได้รับความนิยมอย่างมากจนถึงปัจจุบัน

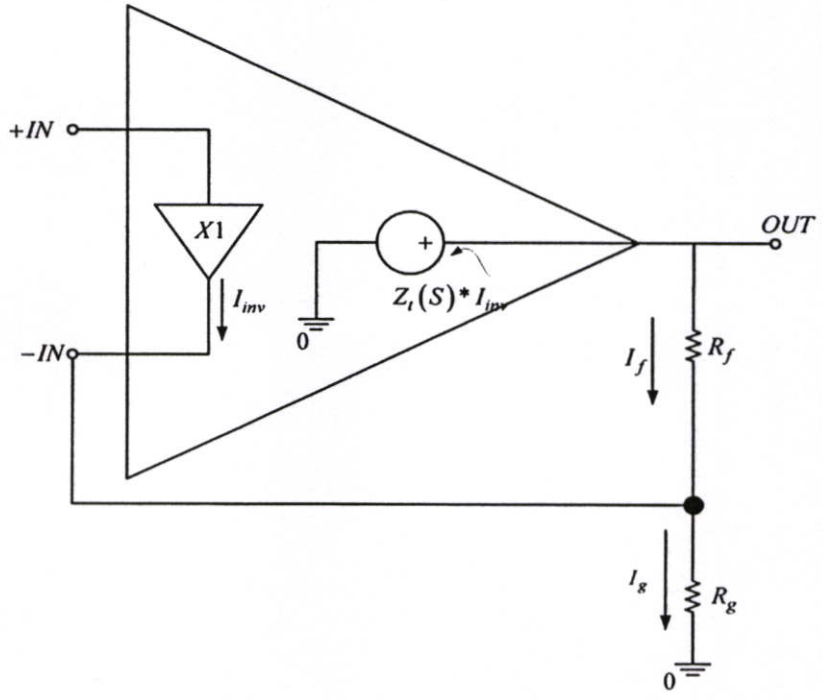
อย่างไรก็ตามลักษณะโครงสร้างของVoltage Feedback Op-Amp (VFA) จะทำให้เกิดข้อจำกัดหลายด้านซึ่ง Bowers[6] ได้แสดงและอธิบายข้อจำกัดเหล่านี้อย่างชัดเจนเช่น ข้อจำกัดด้าน Slew Rate (SR) และ Gain-Bandwidth Product (GBW) ที่มีลักษณะคงที่เป็นต้น

2.2 Current Feedback Op-Amp

เนื่องจากโครงสร้างของ VFOA ทำให้เกิดข้อจำกัดเช่น SR มีค่าต่ำเมื่อ GBW ที่มีลักษณะคงที่จึงได้มีการออกแบบโครงสร้างของ OP-Amp แบบใหม่ขึ้นโดยอาศัยแนวคิด Constant Bandwidth Follower Base Voltage Amplifier ซึ่งมีอธิบายโดย Toumazou และ Lidgey[1] ซึ่งแนวคิดนี้จะใช้การ

ขยายที่เป็นลักษณะ Unity Gain เป็นผลทำให้ Bandwidth กว้างโดย GBW มีลักษณะเป็นเป็นเชิงเส้น นอกจากนี้ลักษณะโครงสร้างของ OP-Amp แบบใหม่ยังทำให้มีค่า SR ที่สูงกว่า VFOA มาก OP-Amp แบบใหม่นี้คือ Constant-Feedback Op-Amp (CFOA)

Constant-Feedback Op-Amp ในอุดมคติ โครงสร้างของ CFOA แบบออกเป็น 2 ส่วนคือ Voltage Amplifier และ Transimpedance Amplifier, Voltage Amplifier เป็น Input Stage ต่ออยู่ระหว่างขา Non-Inverting กับขา Inverting ทำหน้าที่ส่งแรงดันจากขา Non-Inverting ไปยังขา Inverting ซึ่งมีอัตราขยายแรงดันเท่ากับ 1 (หรือมากว่า Input Buffer) Transimpedance Amplifier เป็น Output Stage ทำหน้าที่เปลี่ยนสัญญาณกระแสผิดพราดซึ่งเป็นความต่างของกระแสอ้างอิงกับกระแสป้อนกลับไปเป็นแรงดันขาออกแบบจำลองเบื้องต้นของ CFA แสดงในรูปที่ 2.1



รูปที่ 2.1 แบบจำลองเบื้องต้นของ CFA กับวงจรขยายแบบไม่กลับเฟส

โดยต่อลักษณะการขยายแบบไม่กลับเฟสซึ่ง Input Buffer อยู่ระหว่างขา Non-Inverting กับขา Inverting ทำหน้าที่ส่งแรงดันขาเข้า (V_{in}) จากขา Non-Inverting สู่ขา Inverting หรือ Feedback Network (R_f, R_g) ทำให้เกิดกระแสอ้างอิง (I_g) ไหลผ่าน (R_g) ส่วนกระแสป้อนกลับ (I_f) ที่ไหลผ่าน R_f จะเกิดความต่างของแรงดันขาเข้าและขาออก ส่วนความต่างของกระแสอ้างอิงและกระแสป้อนกลับคือกระแสผิดพลาด (I_{inv})

คุณสมบัติต่าง ๆ ของ CFA เมื่อใช้งานเป็นวงจรขยายแบบไม่กลับเฟสสามารถที่จะแสดงได้โดยการวิเคราะห์ทรานเฟอร์ฟังก์ชั่นดังนี้ที่ Output Node แรงดันขาออกจะมีค่าเท่ากับผลคูณของกระแสผิดพลาด (I_{inv}) กับ Open Loop Gain หรือ Dynamic Forward Transfer Impedance (Z_t)

$$V_{out} = Z_t \times I_{inv} \tag{2.1}$$

พิจารณาที่ Node โดยใช้ KCL จะได้

$$\frac{V_1}{R_g} + \frac{V_{out} - V_1}{R_f} - \frac{V_{out}}{Z_t} = 0 \tag{2.2}$$

แทน $V_1 = V_{in}$ และสมมุติ Z_t ด้วย 1^{st} order RC Network

$$Z_t(j\omega) = \frac{R_t}{1 + j\omega R_t C_t} \tag{2.3}$$

แทนที่สมการที่ (2-1) และ (2-3) ลงในสมการที่ (2-2) จะได้

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{\left[1 + \frac{R_f}{R_g}\right]}{1 + \frac{R_f}{R_t} + j\omega R_f C_t} \tag{2.4}$$

เนื่องจาก Dynamic Forward Transfer Impedance นั้นมีค่าสูงกว่า R_f มาก ดังนั้นสมการที่ (2.4) สามารถรูปได้เป็น

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{\left[1 + \frac{R_f}{R_g}\right]}{1 + j\omega R_f C_t} \tag{2.5}$$

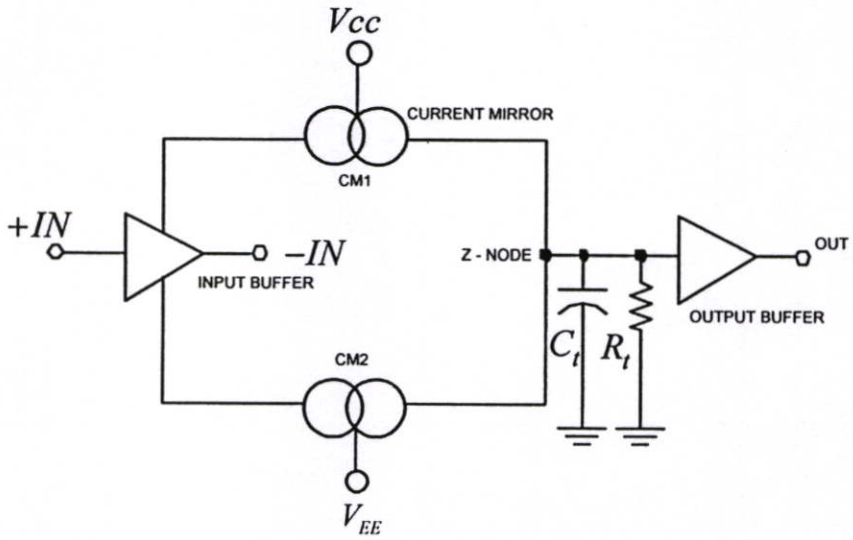
จากสมการที่ (2.5) สามารถสรุปคุณสมบัติได้สองประการคือ Closed Loop Gain (A_{CL}) ของวงจรขยายแบบไม่กลับเฟสที่ใช้ CFA มีค่าไม่ต่างกันกับใช้ VFA คือ

$$A_{CL} = \left(1 + \frac{R_f}{R_g}\right) \tag{2.6}$$

และ BW ของวงจรขยายแบบไม่กลับเฟสที่ใช้ CFA ขึ้นอยู่กับความต้านทานป้อนกลับ

$$\mathrm{BW} = \frac{1}{2\pi C_t R_f} \tag{2.7}$$

คุณสมบัติเด่นอีกประการของ CFA คือ SR เกิดจากลักษณะโครงสร้างของ CFA ดังรูปที่ 2.2 ในรูปที่ 2.2 เป็นแบบจำลองโครงสร้างของ CFA ที่ขยายความเพิ่มเติมจากรูปที่ 2.1



รูปที่ 2.2 แบบจำลองโครงสร้างของ CFA

ภาคแรกจะเป็น Input Buffer ส่วนภาค Transimpedance Amplifier จะสร้างขึ้นจากCurrent Mirrors (CM1, CM2) และ Output Buffer ตามลำดับ ซึ่งมีคาปาซิเตอร์ (C_t) และความต้านทาน (R_t) เป็นอิมพีแดนซ์สมมูลย์หรือ Dynamic Forward Transfer Impedance ที่ Z-node ของ CFA ซึ่งทรานเฟอร์

ฟังก์ชั่นของอิมพีแดนซ์สมมูลย์นี้สามารถกำหนดได้จากสมการที่ (2-3) ส่วน SR ของ CFOA สามารถพิจารณาจากการเปลี่ยนแปลงแรงดันขาออก (V_{out}) เทียบกับเวลาหรือ

$$\text{SR}=\frac{d(V_{out})}{dt} \tag{2.8}$$

ซึ่งก็คือ

$$\text{SR}\approx\frac{I_{inv}}{C_t} \tag{2.9}$$

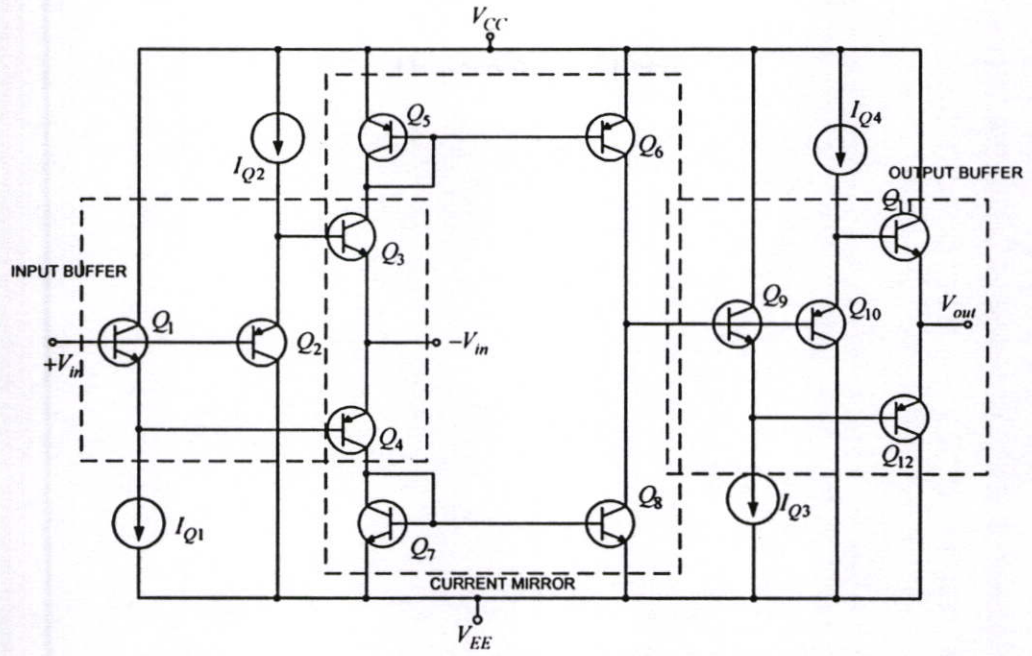
จากโครงสร้างของ CFOA ในรูปที่ 2.2 จะเห็นได้ว่า I_{inv} เป็นกระแสที่ชาร์จสู่คาปาซิเตอร์ C_t ได้โดยตรงทำให้ SR ของ CFOA มีค่าสูง หรือถ้าพิจารณา SR ตามการจัดวงจรแบบขยายไม่กลับเฟสสามารถแสดงสมการ SR ไว้ว่า

$$\text{SR}=\omega_a V_o(\text{final}) \tag{2.10}$$

ตัวอย่างเช่น f_t=100 MHz และ V_o = 5V ดังนั้น SR จะมีค่าเท่ากับ 3100 $V/\mu s$ ซึ่งมีค่าสูงกว่าการใช้งาน VFOA มาก

2.2.2 โครงสร้างระดับทรานซิสเตอร์เบื้องต้นของ Current Feedback Op-Amp

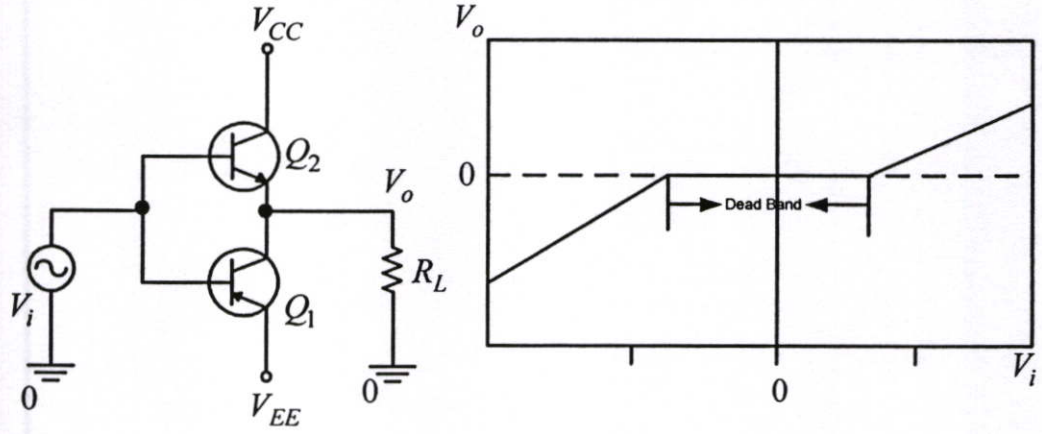
โครงสร้างของ CFA แบ่งออกเป็น 3 ส่วนดังรูปที่ 2.2 คือ Input Buffer, Output Buffer และ Current mirror เป็น Input Buffer และ Q_9-Q_{12} เป็น Output Buffer การทำงานของทั้ง Input และ Output จะเป็นลักษณะ Class AB ทรานซิสเตอร์ Q_1,Q_2 และ Q_9,Q_{10} จะถูกไบแอสด้วยแหล่งจ่ายกระแสคงที่ I_Q เพื่อให้มีแรงดันไบแอสแก่ Complementary Transistor Q_3,Q_4 และ Q_{11},Q_{12} ให้ทำงานใน Class AB ส่วน Current mirror นั้นแทนด้วยทรานซิสเตอร์ Q_5,Q_6,Q_7,Q_8 ซึ่งเป็น Simple Current mirror



รูปที่ 2.3 การสร้าง Input, Output Buffer และ Current mirror ด้วยทรานซิสเตอร์

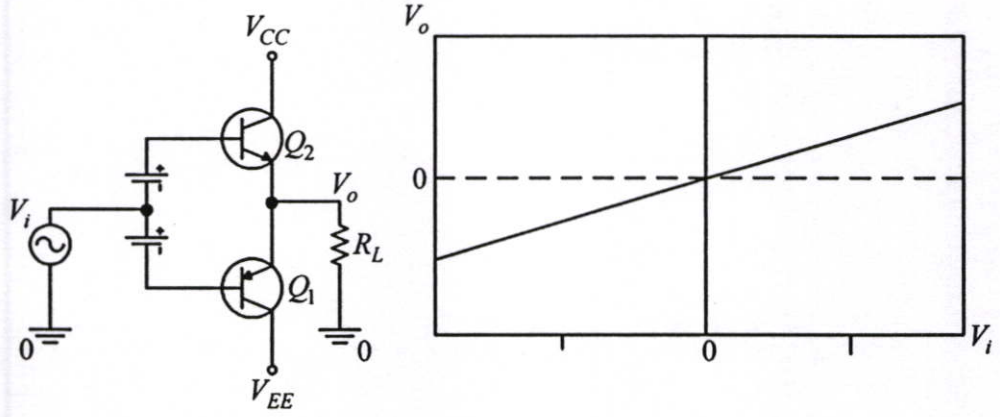
2.3 Buffer และการไบแอส

กรรีที่กระแส I_{Q1}, I_{Q2} หรือ I_{Q3}, I_{Q4} ของ Input และ Output Buffer มีค่าเป็นศูนย์ หรือ Buffer ไม่มีกระแสไบแอส วงจร Buffer สามารถแสดงได้ดังรูปที่ 2.4(a) ส่วน Transfer Characteristic ของวงจรดังรูปที่ 2.4 (b) ซึ่งจะเห็นได้ว่ามีช่วง "Dead Band" ซึ่งทั้ง Q_1 และ Q_2 อยู่ในภาวะ cut off



รูปที่ 2.4 (a) วงจร Buffer ที่ไม่มีการไบแอส (b) Transfer Characteristic

ทำให้อัตราขยายแรงดันในช่วงนี้มีค่าน้อยมาก เพื่อจะทำให้อัตราขยายแรงดันในช่วง Dead Band นี้มีค่าใกล้เคียงหนึ่งมากขึ้นจึงจำเป็นต้องให้ไบแอสแก่ทรานซิสเตอร์ Q_1, Q_2 ซึ่งทำได้โดยการจ่ายแรงดันไบแอส (V_{B1}, V_{B2}) ระหว่างขาเบสของทรานซิสเตอร์ทั้งสองตัวดังรูปที่ 2.5 (a) และผลของ Transfer Characteristic เปลี่ยนแปลงไปดังรูปที่ 2.5 (b)



รูปที่ 2.5 (a) การไบอัสเพื่อแก้ Dead Band (b) Transfer Characteristic

เพื่อจะให้ค่าDistortion มีค่าน้อยที่สุด ค่าแรงดันไบแอส V_{B1} และ V_{B2} ต้องมีค่าสูงพอที่จะทำให้ทรานซิสเตอร์ Q_1 และ Q_2 อยู่ในสภาวะแอคตีฟตลอดเวลา สำหรับวงจรในรูปที่ 2.4 (a) เมื่อพิจารณาที่สัญญาณขนาดเล็ก (small signal) และภายใต้เงื่อนไขการทำงาน (quiescent) $V_i = 0$ และ $V_o = 0$ อัตราขยายแรงดันจะแสดงได้ดังสมการ (2.11)

$$\mathrm{AV} = \frac{2g_m R_L}{1 + 2g_m R_L} \tag{2.11}$$

เมื่อ g_{m1} และ g_{m2} คือค่า Transconductance ของทรานซิสเตอร์ Q_1, Q_2 มีค่าเท่ากับ $I_{c1,2} / V_t$ ถ้า $I_{c1} = I_{c2} = I_Q$ อัตราขยายแรงดันใน (2.11) สามารถแสดงได้ดัง (2.12)

$$\mathrm{AV} = \frac{1}{1 + V_t / 2I_Q R_L} \tag{2.12}$$

จาก (2.12) เพื่อให้มีอัตราขยายแรงดันจำเป็นต้องมีกระแสคอลเล็คเตอร์ของ $Q1, Q_2$ ค่าหนึ่งไหลอยู่ตลอดเวลา ซึ่งกระแสนี้เรียกว่ากระแสทำงาน (Quiescent Current, I_Q) ซึ่งกระแสนี้อาจเกิดจากการไบแอสด้วย V_{B1}, V_{B2} ดังรูปที่ 2.5 (a) หรือด้วยวิธีการไบแอสอื่น ๆ อัตราแรงดันใน (2.12) ไม่ควรมีค่าต่ำกว่า 10% ของอัตราขยายสูงสุด ($AV_{\max} = 1$) ซึ่งจำเป็นต้องให้ค่ากระแสสงบมีค่าดังอสมการที่ (2.13)

$$I_Q \geq \left[\frac{4.5V_t}{R_L}\right] \tag{2.13}$$

แต่โดยทั่วไปแล้วเพื่อลด Distortion ควรใช้กระแสทำงานดังอสมการที่ (2-14)

$$I_Q \geq \left[\frac{5V_t}{R_L}\right] \tag{2.14}$$

และสามารถแสดงในรูปของความสัมพันธ์ของแรงดันขาออกสูงสุด $V_{out(peak)}$ และกระแสขาออกสูงสุด $I_{out(peak)}$ ด้วยอสมการที่ (2.15)

$$I_Q \geq \left[\frac{5V_t}{V_{o(Peak)} / I_{o(Peak)}}\right] \tag{2.15}$$

สำหรับ Input และ Output Buffer ในรูปที่ 2.3 จำเป็นต้องมีกระแสคงที่สอดคล้องกับ (2-15) กรณีที่อัตราการขยายกระแส (β) ของทรานซิสเตอร์ Complementary (Q_3, Q_4 และ Q_{11}, Q_{12}) มีค่าเป็นอนันต์ กระแสสงบ, I_Q สามารถจะกำหนดจากแหล่งจ่ายกระแส I_{Q1}, I_{Q2} และ I_{Q3}, I_{Q4} ได้ ($I_{Qout} = I_{Q1} = I_{Q2}$ และ $I_{Qin} = I_{Q3} = I_{Q4}$) แต่ในความเป็นจริงแล้วอัตราการขยายกระแสของทรานซิสเตอร์ Complementary มีค่า ดังนั้นจึงมีกระแสเบสของทรานซิสเตอร์ทั้งคู่เกิดขึ้น ดังนั้นเพื่อจะเป็นที่แน่ใจว่ากระแสทำงาน I_Q มีค่าสอดคล้องกับ (2.15) แหล่งจ่ายกระแสคงที่ของ Input และ Output Buffer ควรจะมีค่าดังสมการที่ (2.16)

$$I = I_Q + I_B \tag{2.16}$$

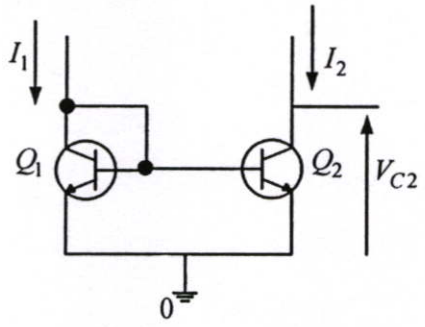
ในกรณีที่แย่ที่สุดคือกระแสเบสของทรานซิสเตอร์ทั้งคู่มีค่าสูงสุด, $I_{B(\max)}$ ซึ่งกระแสเบสสูงนี้สามารถแสดงในรูปแบบความสัมพันธ์ของกระแสขาออกสูงสุดได้คือ $I_{B(\max)} \approx I_{o(\max)} / \beta_{\min}$ ในทางปฏิบัติค่า β ของทรานซิสเตอร์ NPN หรือ $\beta_{\min} = \beta_{PNP}$ ดังนั้น แหล่งจ่ายกระแสในสมการ (2-16) ที่อยู่ในรูปความสัมพันธ์ของแรงดันขาออกสูงสุดและกระแสขาออกสูงสุดจะเป็นดังสมการ (2-17)

$$I \geq \left[\frac{5V}{V_{o(Peak)} / I_{o(Peak)}} + \frac{I_{o(\max)}}{\beta_{PNP}} \right] \tag{2.17}$$

2.4 แหล่งจ่ายกระแสคงที่และวงจรสะท้อนกระแส

2.4.1 Constant Current Source

ในทางอุดมคติ Constant Current Source เป็น Electric Circuit Element ที่จัดเตรียมกระแสให้กับโหลดโดยที่กระแสที่ส่งให้กับโหลดนั้นไม่เปลี่ยนแปลงตามแรงดันที่ตกคร่อมโหลด สำหรับการประยุกต์ใช้งานในวงจรรวม, Constant Current Source โดยทั่วไปจะสร้างโดยทรานซิสเตอร์ที่ทำงานในย่าน Active ซึ่งกระแสคอลเล็คเตอร์จะไม่เปลี่ยนแปลงตามแรงดันคอลเล็คเตอร์ ในการทำงานย่าน Active แรงดันระหว่างคอลเล็คเตอร์-อิมิตเตอร์ (V_{ce}) ควรจะมากกว่า 0.2 V แต่ไม่ควรเกินค่า Breakdown Voltage (BV_{ceo}) พิจารณาวงจรในรูปที่ 2.6



รูปที่ 2.6 วงจร Constant Current Source

แรงดันเบส-อิมิตเตอร์ของ Q_1 และ Q_2 เท่ากันโดยที่ Q_1 ต่อในลักษณะไดโอด (Diode Connected) Transistor โดยรอยต่อเบส-อิมิตเตอร์ของ Q_1 ควรจะ "on" ซึ่งเป็นผลจากกระแส I_1 และรอยต่อคอลเล็คเตอร์-อิมิตเตอร์ควรจะ "off" เนื่องจากแรงดัน V_{CB} เท่ากับศูนย์ ดังนั้นทรานซิสเตอร์ Q_1 ควรอยู่ในสภาวะ Active เนื่องจากแรงดันเบส-อิมิตเตอร์ของ Q_1 และ Q_2 เท่ากันดังนั้น Q_2 ควรจะอยู่ในย่าน

Active ด้วย เมื่อแรงดันคอลเล็คเตอร์อยู่ระหว่าง 0.2V ถึง Breakdown Voltage ($0.2 \le V_{CE} \le BV_{CEO}$) และกระแสคอลเล็คเตอร์ของทรานซิสเตอร์ทั้งสองจะมีค่าเท่ากัน ซึ่งจากวงจรในรูปที่ 2.6 จะได้ว่า

$$I_1 = I_{c1} + I_{B1} + I_{B2} \tag{2.18}$$

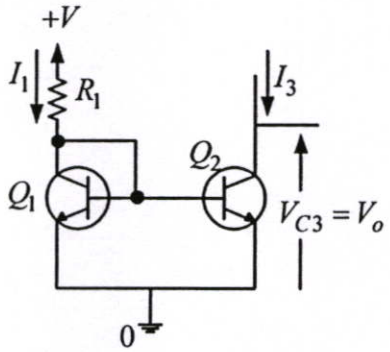
ถ้าทรานซิสเตอร์ทั้งสองตัวมีพารามิเตอร์เหมือนกันทุกประการ

$$I_1 = I_c\left(1+\frac{2}{\beta}\right) \tag{2.19}$$

ดังนั้น

$$I_{C1} = \frac{I_1}{\left(1+ 2/\beta\right)} \tag{2.20}$$

สำหรับวงจร Basic Constant Current Source สามารถแสดงดังรูปที่ 2.7

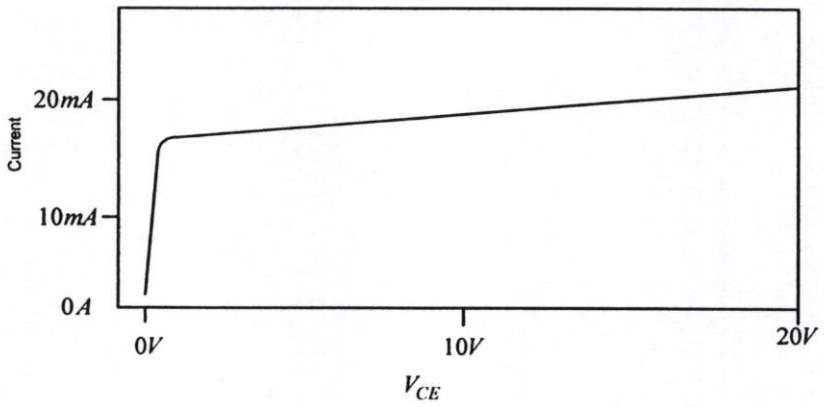


รูปที่ 2.7 วงจร Basic Constant Current Sourceหรือแบบ Widlar

ค่ากระแส I_1 สามารถหาได้จากสมการ (2.21)

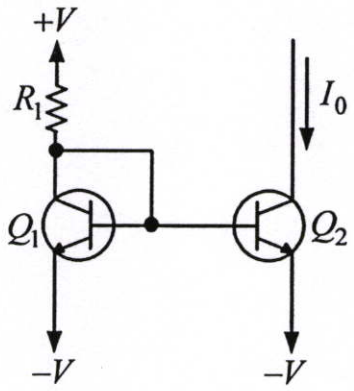
$$I_1 = \frac{V^+ - V_{BE1}}{R_1} \tag{2.21}$$

สำหรับช่วงแรงดันที่วงจร Constant Current Source สามารถแสดงตัวเป็น Constant Current–Source เรียกว่า "Voltage Compliance Range" โดยที่ Voltage Compliance Range ของวงจร Basic Constant Current Source ในรูปที่ 2.7 แสดงได้ดังรูปที่ 2.8



รูปที่ 2.8 Voltage Compliance Range ของวงจร Basic Constant Current Source

ในการประยุกต์ใช้งานวงจรรวมบางอย่างต้องการ Voltage Compliance Range อยู่ในทั้งช่วงบวก และช่วงลบ ซึ่งสามารถแสดงได้ดังรูปที่ 2.9

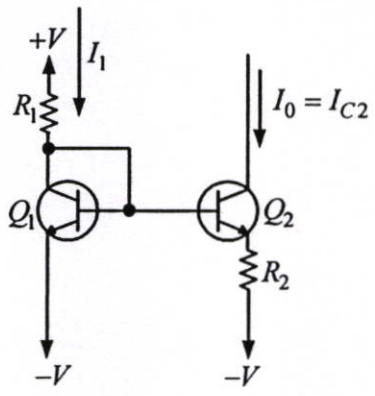


รูปที่ 2.9 วงจร Current Source ที่มี Voltage Compliance Range ทั้งช่วงบวกและช่วงลบ

กระแส I_1 สามารถหาได้ดังนี้

$$I_1 = \frac{V^+ - V^- - V_{BE}}{R_1} \tag{2.22}$$

ในวงจรรวมส่วนใหญ่ต้องการแหล่งจ่ายกระแสคงที่ที่มีค่ากระแสต่ำ ๆ โดยถ้าใช้ Basic Constant Current Source จะทำให้ต้องใช้ค่า R_1 ที่สูงซึ่งไม่เหมาะสมสำหรับการสร้างวงจรรวม (พื้นที่ของ Chip จะเพิ่มขึ้นตามค่าความต้านทานซึ่งทำให้ต้นทุนสูงขึ้น) วงจร Constant Current Source สำหรับกระแสต่ำ ๆ แสดงดังรูปที่ 2.10



รูปที่ 2.10 วงจร Constant Current Source สำหรับระดับกระแส (I_o) ต่ำ

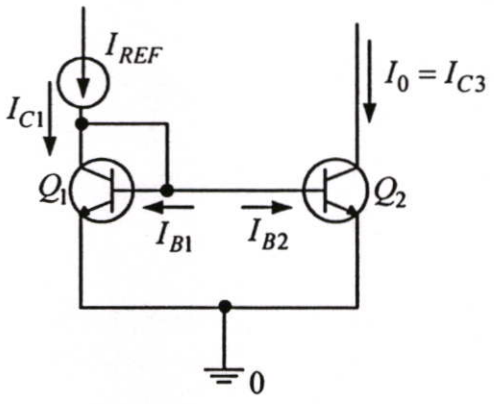
กระแส I_1 สามารถแสดงได้เช่นเดียวกันกับสมการ (2-22) และความสัมพันธ์ระหว่าง I_{C1}, I_{C2} และ R_2 (ไม่คำนึงถึงผลของ β) Soclof ได้แสดงไว้ดังนี้

$$\frac{I_{C1}}{I_o} = \exp\left(\frac{I_o x R_2}{V_t}\right) \tag{2.23}$$

2.4.2 Current mirrors

วงจร Current mirrors เป็นวงจร Current Source และ Sink ที่ Bias โดย DC Current แนวคิดการประยุกต์หลักการของ Matched Devices ดังนั้นจะพบวงจร Current mirrors ได้ในการออกแบบ

วงจรรวม เนื่องจากในวงจรรวมสามารถสร้างอุปกรณ์ที่มีคุณสมบัติเหมือนกันได้ดีกว่า Discrete Devices หลักการของการ Match เหมือนกับการมองกระจก ดังนั้นจึงเป็นที่มาของชื่อ Current mirrors การทำงานของวงจรเบื้องต้นแสดงในรูปที่ 2.11 ขาคอลเล็คเตอร์ และ เบส ของ Q_1 ต่อถึงกันเพื่อเป็น Bias Current ให้กับทั้ง Q_1 และ Q_2 สังเกตว่า Q_1 มี V_{CE} ที่ต่ำ และ Q_1 ทำหน้าที่ Bias ให้ Q_2 เป็น Current Sink จากหลักการของ Matching Principle เมื่อพื้นที่ Emitter ของ Q_1



รูปที่ 2.11 วงจร Current mirror

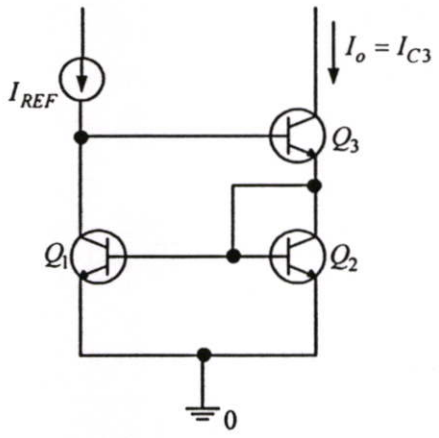
และ Q_2 สมมุติว่าเท่ากันและ Early voltage ไม่ถูกนำมาคำนวณแล้ว I_{C2} เท่ากับ I_{C1} ใช้ความสัมพันธ์นี้หาอัตราส่วนของกระแส I_0 ต่อ I_{REF} (Reference Circuit) ได้ตามสมการ

$$\frac{I_o}{I_{REF}} = \frac{1}{1+\frac{2}{\beta}} \tag{2.24}$$

ตามความต้องการในอุดมคติแล้วต้องการให้กระแส I_0 เท่ากับ I_{REF} ในทุกสภาวะเหมือนดังการสะท้อนของภาพบนกระจกแต่พิจารณาจาสมการที่ได้มีตัวแปร β รวมอยู่เป็น Error Term เนื่องจาก Current mirror ทำหน้าที่เป็น Current source ดังนั้นมีคุณลักษณะที่สำคัญในการพิจารณาอีกคือ Output resistance (r_{out}) และ V_{min}

วงจร Current mirror ที่มีการชดเชยระแสเบสและเพิ่ม Output Resistance คือ Wilson mirror แสดงในรูป 2.12 การเพิ่ม Small signal output resistance ทำได้โดยการป้อนกลับแบบลบ การทำงานสมมุติว่า I_{REF} คงที่และมีการเปลี่ยนแปลงที่ I_{C3} เพิ่มทำให้ V_{BE1} และ V_{BE3} เพิ่ม เมื่อ bias

ให้ Q_2 มากขึ้นทำให้ I_{C2} เพิ่ม อย่างไรก็ตาม I_{REF} คงที่ I_{B3} จึงลดลง I_{C3} ทีถูกเปลี่ยนแปลงเพิ่มขึ้นได้ชดเชย โดย Feedback loop ที่ประกอบด้วย Voltage follower



รูปที่ 2.12 วงจร Wilson mirror

Q_1, Q_2 ทำหน้าที่ Current mirror Q_2 ยังแสดงตัวเป็น Inverting Voltage Amp และ Loop Gain ของวงจรประมาณ $\beta/2$

ตาราง 2.1 เปรียบเทียบ คุณสมบัติระหว่าง Simple กับ Wilson mirror

	Accuracy	r_{out}	$V_{\min}$
Simple current mirror	Poor	$r_o = V_{AF}/I_o$	$V_{CE}(SAT)$
Wilson mirror	Good	$\frac{\beta}{2} r_o$	$V_{BE} + V_{CE}(SAT)$

ค่าความถูกต้องของกระแสหาได้จากวิธีเดียวกันกับแบบ Simple Current mirror ได้ดังนี้

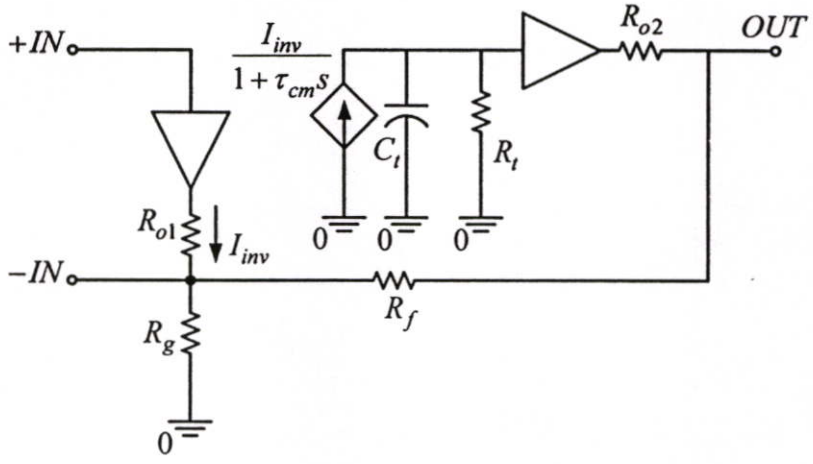
$$\frac{I_o}{I_{REF}} = \frac{1}{1 + 2/(\beta^2 + 2\beta)} \tag{2.25}$$

สังเกต Error Term ถูกชดเชยโดยการลดผลที่กระทำโดยค่า β ในส่วนของการพิจารณา Small Signal Output Resistance จะเห็นว่าได้ประมาณ $\frac{\beta}{2}r_{o3}$ ตัวประกอบที่พัฒนาขึ้นกว่าวงจร Current mirror แบบ Simple อยู่ $\frac{\beta}{2}$

2.5 เถียรภาพของ CFA

2.5.1แบบจำลอง, การตอบนองและเสถียรภาพ

แบบจำลองของ CFOA สำหรับสัญญาณขนาดเล็กได้แสดงดังรูปที่ 2.1 ซึ่งสามารถแสดงคุณสมบัติในอุดมคติเด่นๆ ของ CFOA ได้ แต่ไม่สามารถที่จะทำลายเสถียรภาพ, ข้อจำกัด รวมถึง Peak Response ของ CFOA ได้ แบบจำลองสัญญาณขนาดเล็กของ CFA ที่เหมาะสมกับการวิเคราะห์เสถียรภาพ Peak Response และข้อจำกัดได้แสดงโดย Mahattnakul และ Toumazou [3] ดังแสดงดังรูปที่ 2.13



รูปที่ 2.13 แบบจำลองสัญญาณขนาดเล็กของ CFA

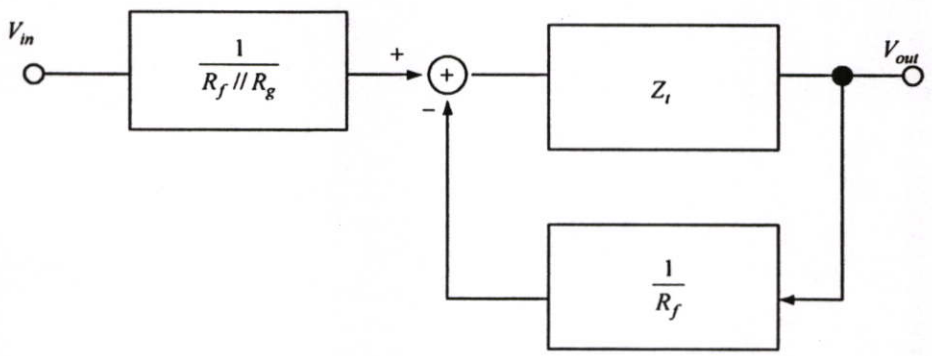
ซึ่งแบบจำลองในรูปที่ 2.13 ประกอบด้วย Input Buffer ซึ่งมีความต้านทานขาออก R_{01} ต่อเมื่อระหว่างขา Non-inverting และ Inverting ส่วนแรงดันขาออกจะเกิดจากผลคูณของกระแสขาออกของ Input Buffer กับ Transimpedance (Z_t) ส่วน R_{02} เป็นความต้านทานขาออกของ Output Buffer

2.5.2 วิเคราะห์ทรานเฟอร์ฟังก์ชั่นของ CFA ในงาน Amplifier

การใช้งาน CFA ทั่วไปจะเป็นแบบ Non-Inverting Amplifier ดังรูปที่ 2.1 ซึ่งเมื่อใช้หลักการ Superposition สามารถหาทรานเฟอร์ฟังก์ชั่นได้ดังนี้

$$\frac{V_{out}(s)}{V_{in}(s)} = \left[\frac{R_g + R_f}{R_g \bullet R_f}\right]\left[\frac{Z_t}{1+\frac{Z_t}{R_f}}\right] \tag{2.26}$$

หรือถ้าพิจารณาจากสมการที่ (2.26) เป็น Block สามารถที่จะแสดงดังรูปได้ดังรูปที่ 2.14



รูปที่ 2.14 Block CFA

ซึ่งจากรูปที่ 2.14 แสดงให้เห็นว่า Loop Gain (LG) ของระบบขึ้นอยู่กับ Transimpedance และความต้านทานป้อนกลับ (R_f) เมื่อจัดรูปสมการที่ (2.23) ใหม่จะได้

$$\frac{V_{out}(s)}{V_{in}(s)} = \left[1+\frac{R_f}{R_g}\right]\left[\frac{1}{1+\frac{R_f}{Z_t}}\right] \tag{2.27}$$

หรือจัดในรูปทั่วไป

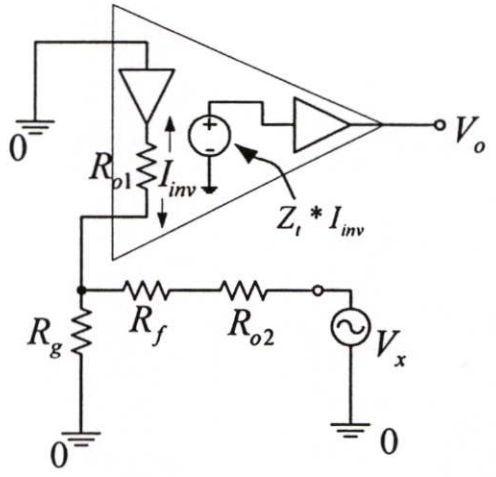
$$\frac{V_{out}(s)}{V_{in}(s)} = \left[1 + \frac{R_f}{R_g}\right]\left[\frac{1}{1 + {R_f}/{LG}}\right] \tag{2.28}$$

เมื่อ LG เท่ากับอัตราส่วนของ Transimpedance และความต้านทานป้อนกลับ เพื่อการทำนาย Peak Response และเสถียรภาพของ CFA เมื่อใช้งานเป็น Amplifier พารามิเตอร์ Transimpedance ควรที่จะสมมุติเป็น Second order ซึ่ง Mahattanakul และคณะ[3] ได้แสดงไว้ดังต่อนี้

$$Z_t(s) = \frac{R_t}{(1 + s\tau_{cm})x(1 + s\tau_t)} \tag{2.29}$$

$$\tau_t = R_t\, x\, C_t \tag{2.30}$$

ซึ่ง ${1}/{\tau_t}$ เป็น Open Loop Dominant Pole ซึ่งที่เกิดจาก R_t และ C_t ที่ Z-node และ ${1}/{\tau_{cm}}$ สมมุติว่าเป็น Pole ตัวที่สองเกิดจากวงจร Current mirror สำหรับการหาทรานเฟอร์ฟังก์ชั่น โดยใช้แบบจำลองในรูปที่ (2.13) สามารถที่จะหา Loop Gain และแทนลงในสมการที่ (2.28) ซึ่ง Loop-Gain สามารถหาได้จากการวิเคราะห์วงจรในรูปที่ (2.15)



รูปที่ 2.15 การต่อวงจรขยายเพื่อหา Loop Gain

เมื่อ

$$I_{inv}\frac{Vx.R_{o1}\,//\,R_g}{\left(R_{o1}\,//\,R_g+R_f+R_{o2}\right)}x\frac{1}{R_{o1}} \tag{2.31}$$

หรือ

$$I_{inv}=\frac{V_x}{R_f^{'}} \tag{2.32}$$

เมื่อ

$$R_f^{'}=R_{o1}+\left(1+\frac{R_{o1}}{R_g}\right)\left(R_f+R_{o2}\right) \tag{2.33}$$

ซึ่งเมื่อแทนสมการที่ (2.32) ลงในความสัมพันธ์ $V_o=I_{inv}xZ_t$ จะได้

$$V_o=\frac{V_x}{R_F^{'}}xZ_t \tag{2.34}$$

หรือ

$$LG(s)=\frac{V_o(s)}{V_x}=\frac{Z_t}{R_f^{'}}=\frac{R_t}{R_f^{'}}\left\{\frac{1}{(1+s\tau_t)(1+s\tau_{cm})}\right\} \tag{2.35}$$

แทนค่า $LG(s)$ ลงในสมการที่ (2.28) และจัดรูปสมการจะได้ทรานเฟอร์ฟังก์ชั่นซึ่งแสดงโดย Mahattanakul และคณะ[3]ไว้ว่า

$$\frac{V_{out}(s)}{V_{in}(s)}=\left(1+\frac{R_f}{R_g}\right)\left(\frac{\omega_p^2}{s^2+\left(\frac{\omega_p}{Q}.s\right)+\omega_p^2}\right) \tag{2.36}$$

ขณะที่

$$\omega_p=\frac{1}{\sqrt{C_t\,R_f\,\tau_{cm}}} \tag{2-37}$$

และ

$$Q = \sqrt{\frac{\tau_{cm}}{C_t . R_f}} \tag{2.38}$$

ค่า Q ควรควบคุมให้น้อยกว่า $1/\sqrt{2}$ ซึ่งจะทำให้ได้ Flat Response จากสมการที่ (2.38) ค่า R_f ควรจะมีค่าเป็น

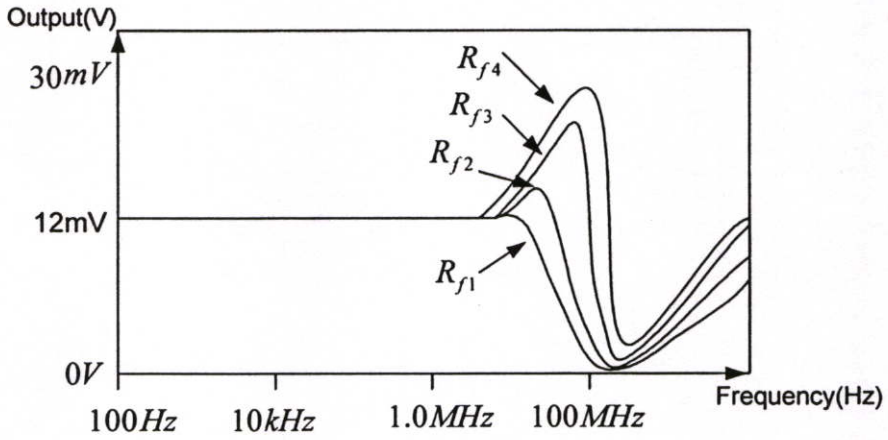
$$R_f = \frac{\tau_{cm}}{C_t} . \frac{1}{Q^2} \tag{2.39}$$

ทดสอบโดยการจำลองการทำงานโดยใช้ค่า Q จำนวนที่ 4 ค่า โดยใช้ Macro model ของ AD844 ได้ผลการคำนวณดังตารางที่ 2.2

ตารางที่ 2.2 ความสัมพันธ์ระหว่างค่า Q และ R_f

R_f	Q	ค่าความต้านทาน
R_{f1}	0.5	1.65kΩ
R_{f2}	0.707	825.46kΩ
R_{f3}	1	412.73kΩ
R_{f4}	1.5	183.44kΩ

ผลการทดสอบโดยการจำลองการทำงานดังรูปที่ 2.16



รูปที่ 2.16 ผลตอบสนองความถี่เมื่อเปลี่ยนแปลงค่าความต้านทานป้อนกลับ

เสถียรภาพของ CFA เมื่อใช้งานเป็นวงจรขยายสามารถกำหนดได้จาก Loop Gain ของระบบ ซึ่ง Mahattanakul และคณะ[3]ได้แสดงความสัมพันธ์ของ Phase Margin (Φ_m) และความต้านทานป้อนกลับดังนี้

$$R_f' = \frac{2\tau_{cm}}{C_t} \cdot \frac{1}{\sqrt{\left(\frac{2}{\tan^2 \Phi_m}\right)^2 - 1}} \qquad (2.40)$$

โดยทั่วไปแล้วในการออกแบบ จะใช้ค่า Phase Margin เท่ากับ $45^0 - 60^0$

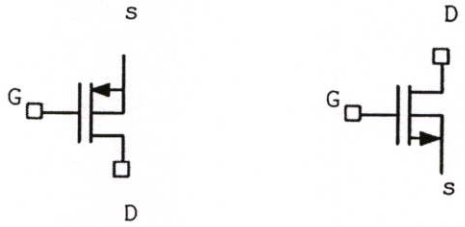
บทที่ 3

วงจรขยายมอสเฟท

3.1 ทรานซิสเตอร์มอส(Metal-Oxide-Semiconductor Transistor)

ทรานซิสเตอร์ชนิดมอสแบ่งออกได้เป็นสองชนิดคือ ชนิดแชลเนลพี (P-channel type) และแชลเนลเอ็น (N-channel type) ที่ผ่านมาพีมอสทรานซิสเตอร์ (PMOS) จะได้รับความนิยมมากสำหรับนำมาประยุกต์ใช้งานทางด้านดิจิตอล แต่ปัจจุบันเทคโนโลยีเอ็นมอส (NMOS) ได้รับการพัฒนาดีมากขึ้น ซึ่งเป็นเทคโนโลยีที่ทำให้ทรานซิสเตอร์มีความเร็วเพิ่มขึ้นแต่ใช้พื้นที่ของซิลิคอนน้อยลง

ทรานซิสเตอร์ชนิดมอสมีอินพิแดนซ์สูงมากทำให้ความต้องการกำลังสถิตเพียงเล็กน้อยซึ่งสามารถนำไปออกแบบวงจรออกแบบวงจรลอจิกและวงจรเชิงเส้นที่ต่ำการกำลังต่ำๆ ได้เป็นอย่างดีและใช้ออกแบบวงจรขยายที่ให้อินพุตอิมพิแดนซ์สูงจึง สามารถใช้ทรานซิสเตอร์ชนิดมอสเป็นแอนะล็อกสวิตซ์ จากเทคโนโลยีของมอส สามารถสร้างตัวเก็บประจุได้พร้อมๆกับการสร้างทรานซิสเตอร์ชนิดมอสจากอัตราส่วนที่แน่นอน ผลที่ได้ดังกล่าวสามารถนำเทคโนโลยีนี้ออกไปออกแบบวงจรประมวลผลสัญญาณแอนะล็อกได้อย่างแพร่หลาย



(a) (b)

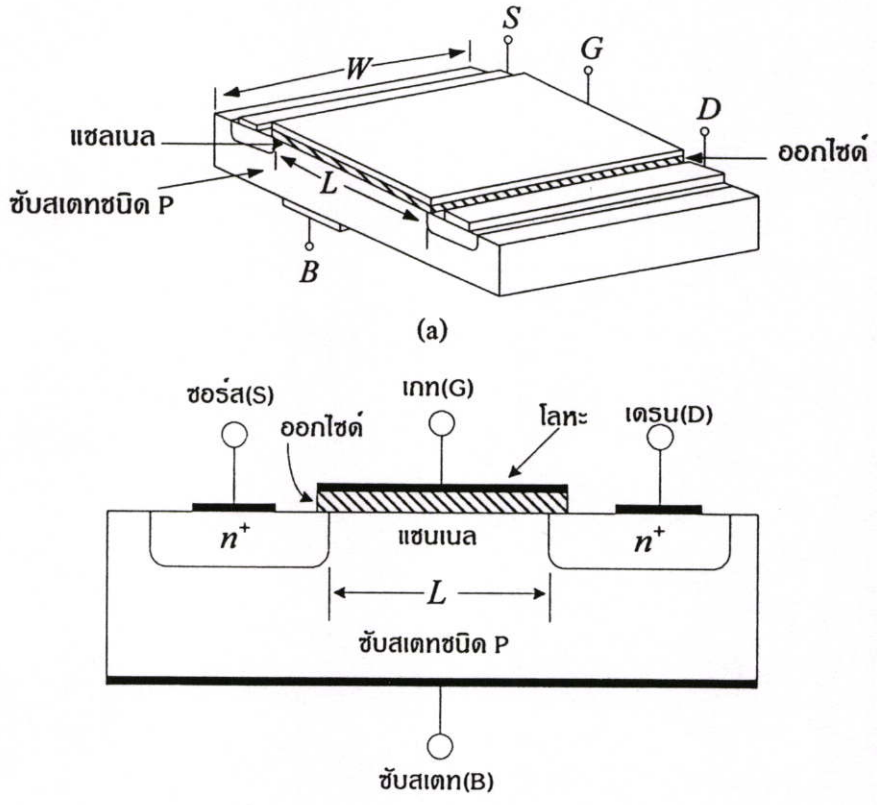
รูปที่ 3.1 (a) สัญลักษณ์ของมอสเฟสแชลเนลพี
(b) สัญลักษณ์ของมอสเฟสแชลเนลเอ็น

3.2 มอสเฟทแบบเอนฮานซ์เมนต์หรือแบบเพิ่มพูน

3.2.1 โครงสร้างและการทำงาน

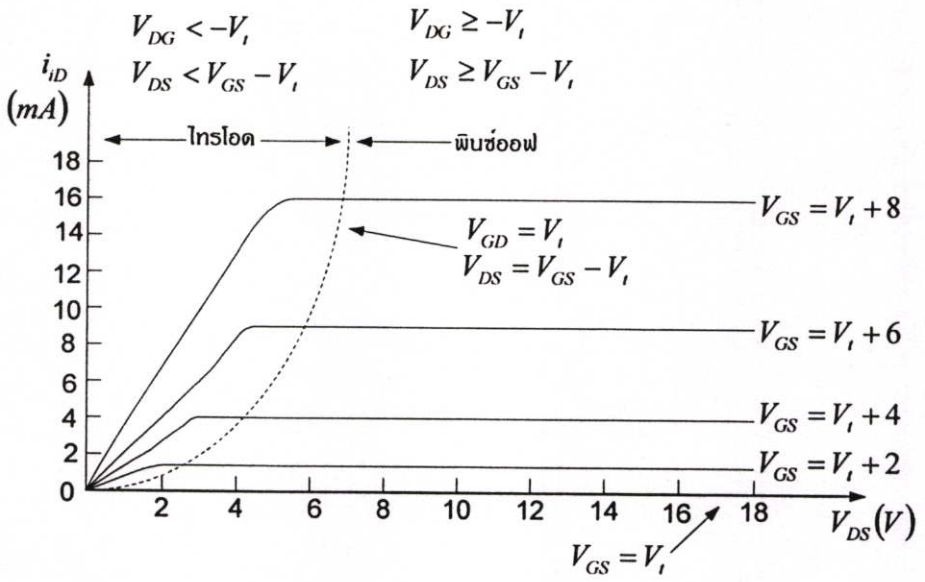
รูปที่ 3.2 เป็นโครงสร้างของมอสเฟสแบบเพิ่มพูนจะเห็นโครงสร้างเหมือนกับมอสเฟทแบบปลอดพาหนะ ถ้าปล่อยให้เกทลอยขึ้นคือให้ $V_{GS} = 0$ ส่วนที่อยู่ระหว่างเดรนไปยังซอร์ส ประกอบด้วยไดโอดสองตัวต่อกลับขั้วอนุกรมกันทำให้ไม่มีกระแสเดรนไหล ทำอย่างไรจึงให้กระแสไหลจากเดรน

ไปยังซอร์สก็โดยการสร้างแชลเนลเอ็น ด้วยการจ่ายแรงดันบวกที่เกทเทียบกับซอร์ส (V_{GS}) แรงดันบวกจะดึงอิเล็กตรอนจากซับสเตทและก่อให้เกิดการสะสมของอิเล็กตรอนที่ผิวด้านล่างชั้นออกไซด์ การดึงดูดอิเล็กตรอนให้ได้จำนวนพอดีเพื่อที่จะได้ทำให้เกิดเป็นแชลเนลเอ็นจะต้องให้แรงดัน V_{GS} มีค่าเท่ากับหรือมากกว่าแรงดันขีดเริ่มเปลี่ยนบวก (V_t) นั้นคือกระแสไม่ไหลจนกระทั่ง V_{GS} มากกว่า V_t โดยที่แรงดันบวก V_t เป็นพารามิเตอร์ของมอสเฟท ปกติ V_t ของเอ็นมอสในวงจรรวมมีค่าประมาณ 1V ถึง 3 V



รูปที่3.2 โครงสร้างทางกายภาพของมอสเฟทแชลเนลเอ็นแบบเพิ่มพูนหรือเอ็นมอสแบบเพิ่มพูน

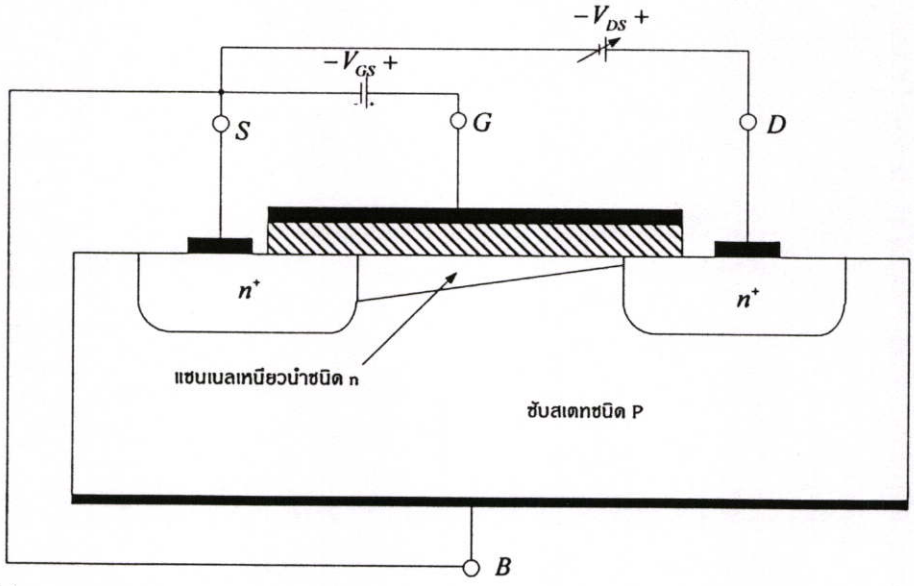
พิจารณาในกรณีที่ให้ V_{DS} มีค่าต่ำ และ V_{GS} มีค่าเพิ่มขึ้นประมาณเท่ากับ V_t ผลจากการเพิ่มขึ้นของ V_{GS} ทำให้แชลเนลจากการเหนี่ยวนำกลายเป็นแชลเนลเพิ่มมากขึ้นทำให้ค่าความต้านทาน r_{DS} ลดลงช่วงดังกล่าวเป็นบริเวณที่ความต้านทานถูกควบคุมด้วยแรงดันหรือบริเวณไทรโอดดังรูปที่ 3.3



รูปที่3.3 คุณลักษณะ $i_D - V_{DS}$ ในทางอุดมคติของมอสเฟสแชนเนลเอ็นแบบเพิ่มพูนโดยที่ $K = 0.25\,mA/V^2$

พิจารณากรณีที่ ถ้า V_{GS} คงที่ทีค่าเท่ากับ $V_t + V$ โดยที่ V เป็นแรงดันบวกให้ V_{DS} เพิ่มขึ้น ความลึกของแชนเนลที่ด้านซอร์สจะให้เปลี่ยนแปลงเนื่องจาก V_{GS} คงที่ อย่างไรก็ตามเนื่องจาก V_{DS} เพิ่มขึ้นเสมือนเป็นการเพิ่ม V_{DS} หรือลด V_{GD} ทำให้แชนเนลที่ ด้านเดรนตื้นขึ้นมีลักษณะรูปร่างดังรูปที่3.4 เมื่อเพิ่ม V_{DS} ทำให้ความต้านทานของแชนเนลเพิ่มขึ้นจะได้กราฟ $i_D - V_{DS}$ ไม่เป็นเชิงเส้น ในบริเวณไทรโอด เพิ่ม V_{DS} สูงขึ้นจนกระทั้งในที่สุดความลึกขิงแชนเนลที่ด้านเดรนไม่เปลี่ยนแปลง การทำงานจะเข้าสู่บริเวณพินช์ออฟต่อเมื่อ $V_{GD} \leq V_t$ หรือ $V_{DG} \geq -V_t$ ดังนั้นการเพิ่ม V_{GS} ให้สูงกว่า V_t ก็เพื่อสร้างแชลเนล ทำนองเดียวกันถ้าแรงดันที่เกทกับเดรน V_{GD} ลดลงต่ำกว่า V_t ก็จะไม่ทำให้เกิดแชนเนลที่ด้ายเดรน กรณีที่ V_{GD} ลดลงต่ำกว่า V_t ก็จะไม่ทำให้เกิดแชลเนลที่ด้านเดรน กรณีที่ $V_{GS} = V_t + V$ การทำงานจะอยู่บริเวณพิณช์ออฟจะเกิดขึ้นเมื่อ $V_{GD} \leq V_t$ หรือ $V_{DG} \geq V_t$ สอดคล้องกับ $V_{DS} \geq V(V = V_{GS} - V_t)$

หลังจากการทำงานเข้าสู่บริเวณพิณช์ออฟแล้ว แม้ว่าจะเพิ่มแรงดันเดรน V_{DS} ไม่ทำให้รูปร่างของแชนเนลเปลี่ยนแปลง นั้นคือกระแส i_d ไหลคงที่



รูปที่3.4 การทำงานของทราซิสเตอร์เอ็นมอสแบบเพิ่มพูน เมื่อกำหนดให้ V_{GS} มีค่าคงที่มากกว่า V_t และเพิ่ม V_{DS} จนได้รูปร่างแชลเนลเหนี่ยวนำมีลักษณะเรียว

3.2.2 คุณลักษณะสถิต

จากรูปที่3.3 จะเห็นว่าการทำงานแบ่งออกได้สองบริเวณคือ บริเวณไทรโอดและพิณช์ออฟ การทำงานในบริเวณไทรโอด เมื่อ

$$V_{GS} \geq V_t \tag{3.1}$$

และ $V_{GD} > V_t$ หรือ $V_{DG} < -V_t$ (3.2)

หรือ $V_{DS} < V_{GS} - V_t$ (3.2)

คุณลักษณะ $i_D - V_{DS}$ ในบริเวณไทรโอดอธิบายได้สมการ

$$i_D = K\left[2(V_{GS} - V_t)V_{DS} - V_{DS}^2\right] \tag{3.3}$$

ค่าคงที่ K คือ

$$K = \frac{1}{2}\mu_n C_{OX}\left(\frac{W}{L}\right) \tag{3.4}$$

เมื่อ μ_n คือ ความเคลื่อนได้(mobility) อิเล็กตรอนในแชนเนลเหนี่ยวนำเอ็น

C_{OX} คือ ความจุไฟฟ้าต่อพื้นที่หนึ่งหน่วยของเก็บประจุระหว่างเกทและแชลเนลมีชั้นออกไซด์เป็นไดอิเล็กทริก

L คือ ความยาวของแชลเนล

W คือ ความกว้างของแชลเนล

จากรูปที่ 3.2 (a) แสดงให้เห็น L และ W ของแชลเนล

ในกระบวนการสร้างไอซีปริมาณ $\mu_n C_{OX}/2$ มีค่าคงที่ อย่างเช่นกระบวนการสร้างเอ็นมอสค วามหนาของออกไซด์ 0.4 ไมโครเมตร (μm) มีค่าประมาณ 10 $\mu A/V^2$ อัตราส่วนของทรานซิสเตอร์ W / L หาได้จากพารามิเตอร์สภาพนำ K มีหน่วย A/V^2

การทำงานในบริเวณพินซ์ออฟหรือเรียกว่าบริเวณอิ่มตัว เนื่องจากกระแสเดรนที่ไหลคงที่ที่ค่า V_{GS} ใด ๆ ก็ต่อเมื่อ

$$V_{GS} \geq V_t \tag{3.5}$$

และ $V_{GD} \leq V_t$ หรือ $V_{DG} \geq V_t$ (3.6)

หรือ $V_{DS} \geq V_{GS} - V_t$ (3.7)

จากสมการที่ 3.7 สังเกตเห็นว่าการทำงานในบริเวณพินซ์ออฟยังคงอยู่แม้ว่าแรงดันเดรน V_{DS} จะตกลงมาต่ำกว่าแรงดันเกท V_{GS} ย้อนกลับไปดูกรณีของมอสเฟทแบบปลอดโหลดพาหนะให้การทำงานอยู่ในบริเวณพินซ์ออฟแรงดัน ต้องมากกว่าแรงดันเกทอย่างน้อยที่สุด $|V_P|$ โวลต์ $(V_{DG} \geq -V_P)$ จากเงื่อนไขในสมการ 3.7 หาขอบเขตระหว่างบริเวณไทรโอดพินซ์ออฟได้มาจาก

$$V_{DS} = V_{GS} - V_t \qquad \text{(ขอบเขต)} \tag{3.8}$$

แทน V_{DS} จากสมการ 3.8 ไปยังสมการ 3.3 จะได้คุณลักษณะ $i_D - V_{DS}$ ในบริเวณพิณซ์ออฟ

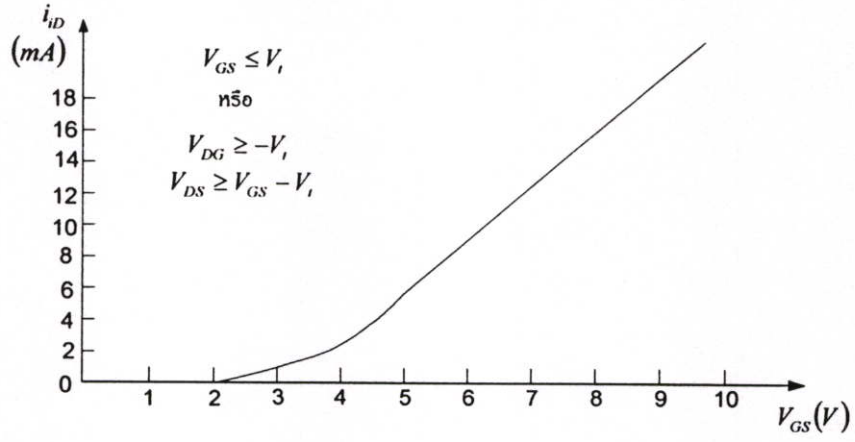
$$i_D = K(V_{GS} - V_t)^2 \tag{3.9}$$

ดังนั้นบริเวณพินซ์ออฟของมอสเฟทแบบเพิ่มพูนเสมือนเป็นแหล่งจ่ายกระแสถูกควบคุมด้วยแรงดันและคุณลักษณะของกฎกำลัง (square law) วาดได้ดังรูปที่ 3.5

จากรูปที่3.5 ที่ $V_{GS} = 0$ ไม่มีกระแสไหล ดังนั้นกระแสไหลได้ต่อเมื่อให้ V_{GS} สูงกว่าแรงดันขีดเริ่มเปลี่ยนบวก V_t แม้ว่า $V_{GS} = 0$ ก็ยังนำกระแสได้เท่ากับ I_{DSS} และสามารถลดการนำกระแสลงได้โดยการให้ V_{GS} เป็นลบมากขึ้นจนกระทั่งประจุพาหนะในแชลเนลหมดไป จึงทำให้กระแสหยุดไหล อย่างไรก็ตามสามารถทำให้มอสเฟทปลอดพาหนะทำงานในโหมดเพิ่มพูนด้วยการให้แรงดันเกท V_{GS} เป็นบวก

สมการใช้สำหรับแบ่งขอบเขตระหว่างบริเวณไทรโอดและพินซ์ออฟ (เห็นได้ในรูปที่3.3 กราฟเส้นประ) หาได้โดยแทน V_{GS} จากสมการ 3.8ไปยังสมการ 3.3

$$i_D = K\left[2(V_{DS} + V_t - V_t)V_{DS} - V_{DS}^2\right] = K\left[2V_{DS}^2 - V_{DS}^2\right] = KV_{DS}^2 \tag{3.10}$$



รูปที่ 3.5 คุณลักษณะ $i_D - V_{GS}$ ทรานซิสเตอร์เอ็นมอสแบบเพิ่มพูน ในบริเวณพิณซ์ออฟ $\left(V_t = 2V \;\; K = 0.25 mA/V^2\right)$

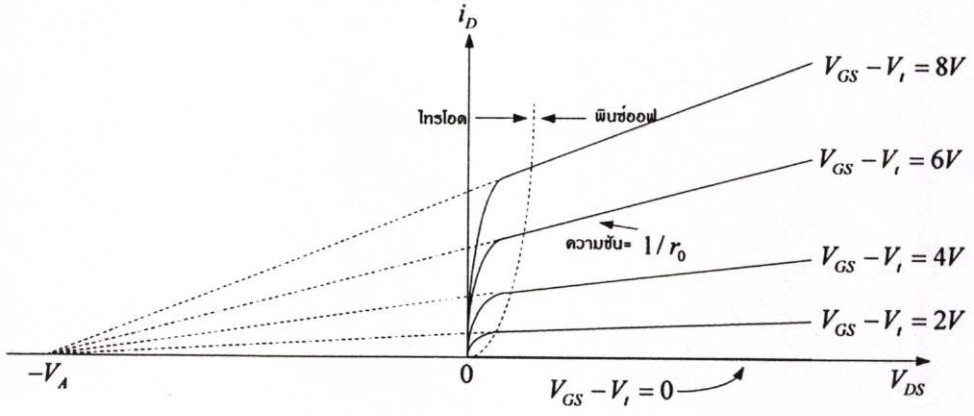
คุณลักษณะในรูปที่3.3 แสดงให้เห็นว่ากระแสในบริเวณซ์พิณออฟ i_D มีค่าคงที่ (ที่ V_{GS} ใดๆ)ไม่ขึ้นอยู่กับ V_{DS} ดังนั้นคุณลักษณะของมอสเฟทแบบเพิ่มพูน เป็นเสมือนแหล่งจ่ายกระแสคงที่และ มีความต้านทานเอาท์พุตเป็นอนันต์เช่นเดียวกับเจเฟทและมอสเฟทแบบพาหนะ มอสเฟทแบบเพิ่มพูนในทางปฏิบัติความต้านทานเอาท์พุตจำกัด คุณลักษณะดังรูปที่ 3.6 จะเห็นว่าในบริเวณพินซ์ออฟกราฟคุณลักษณะ $i_D - V_{DS}$ เป็นเส้นตรงเมื่อลากต่อไปตัดแกน V_{DS} ที่จุด $V_{DS} = -V_A$ โดยที่ V_A คือแรงดันบวกเป็นพารามิเตอร์ของมอสเฟทหรือ $\lambda = 1/V_A$ มีค่าคงที่เป็นบวกและเป็นพารามิเตอร์ของมอสเฟท โครงสร้างมอสเฟทในกระบวนการสร้างไอซีที่เป็นมาตรฐาน V_A มีค่าประมาณ 30 ถึง 200 โวลท์ ดังนั้นในบริเวณพินซ์ออฟ i_D ขึ้นอยู่กับ V_{DS} อย่างเป็นเชิงเส้นรู้จักกันในนาม ผลกระทบการมอดูเลทความยาวของแชลเนล (channel–length modulation) จากสมการ3.9 เมื่อนำผลกระทบดังกล่าวมาคำนวณโดยการเพิ่มเทอม $(1 + V_{DS}/V_A)$ ในสมการ 3.9 จะได้

$$i_D = K\left(V_{GS} - V_t\right)^2\left(1 + \frac{V_{DS}}{V_A}\right) \tag{3.11}$$

ดังนั้นสมการ (3.11) สามารถนำมาคำนวณความต้านทานเอาท์พุตในบริเวณพิณซ์ออฟ r_0 ซึ่งก็คือส่วนกลับของความชันคุณลักษณะ $i_D - V_{DS}$

$$r_o = \left[\frac{\partial i_D}{\partial V_{DS}}\right]^{-1} \qquad \text{เมื่อ} \;\; V_{GS} \;\; \text{มีค่าคงที่}$$

$$r_o = \left[\frac{K\left(V_{GS} - V_t\right)^2}{V_A}\right]^{-1} \tag{3.12}$$



รูปที่3.6 ผลกระทบของ V_{DS} ต่อ i_D ในบริเวณพิณซ์ออฟ

เทอมที่สองในสมการ (3.11) ปกติมีค่าต่ำๆ และกระแส I_D ขึ้นกับค่าคงที่ V_{GS} (นั้นคือ V_{GS})ประมาณได้เท่ากับ

$$I_D \cong K(V_{GS}-V_t)^2 \tag{3.13}$$

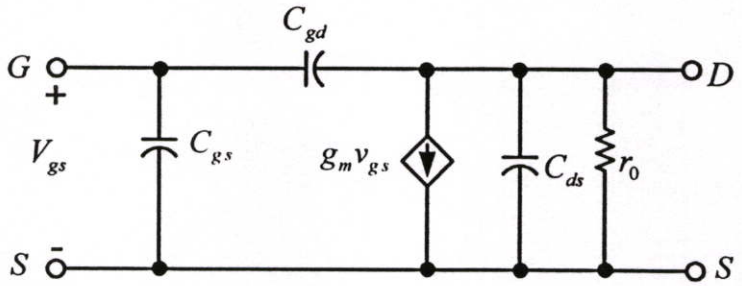
แทน I_D ในสมการที่ (3.12) จะได้ r_o

$$r_o \cong \left[\frac{I_D}{V_A}\right]^{-1} \cong \frac{V_A}{I_D} \tag{3.14}$$

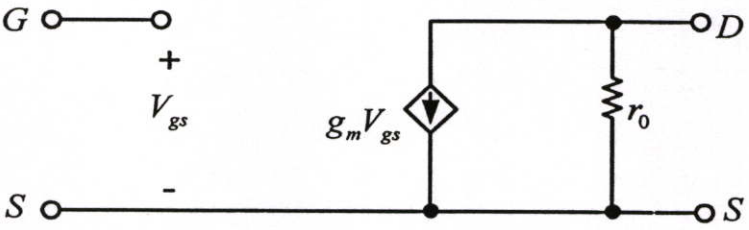
จะเห็นว่าความต้านทานเอาท์พุตเป็นสัดส่วนกลับต่อกระแสไบแอสดีซี (I_D)

3.3 การทำงานสัญญาณขนานเล็กของวงจรขยายมอสเฟทแบบเพิ่มพูน

แบบจำลองวงจรสมมูลสัญญาณขนาดเล็กของมอสเฟทเห็นได้ดังรูปที่ 3.6 ซึ่งซับสเตทต่อกับซอร์ส ทำให้ไม่ก่อให้เกิดปรากฏการณ์ตัวฐาน ความจุระหว่างเกทกับซอร์ส C_{gs} และเกทกับเดรน C_{gd} มีค่าอยู่ในช่วงเศษของ pF จนถึง 3 pF ส่วนความจุระหว่างเดรนกับซับสเตท C_{ds} ปกติมากหรือน้อยกว่าสำหรับความจุป้อนกลับ C_{gd} ก่อให้เกิดผลกระทบของมิลเลอร์ทำให้ความจุด้านเข้าขนานกับ C_{gs} เพิ่มขึ้น เมื่อรวมผลกระทบของความจุทั้งหมด พร้อมๆกันความต้านทานของแหล่งกำเนิดสัญญาณประกอบเป็นวงจรกรองผ่านความถี่ต่ำอันดับหนึ่ง ซึ่งทำให้อัตราขยายที่ความถี่สูงลดลง ในกรณีที่อัตราขยายความถี่ต่ำลดลง C_{gs} ,C_{gd} และ C_{ds} มาคิด โดยสมมุติค่าความต้านอนันต์หรือวงจรเปิดนั้นเอง รูปที่ 3.7 เป็นแบบจำลองวงจรสมมูลสัญญาณขนาดเล็กของมอสเฟทสัญญาณความถี่ต่ำ ความต้านทานเอาท์พุตของมอสเฟทในบริเวณพินซ์ออฟ (r_0) มีค่าอยู่ที่ 10 ถึง 100 Ω



รูปที่ 3.7 แบบจำลองวงจรสมมูลสัญญาณขนาดเล็กของมอสเฟท



รูปที่ 3.8 แบบจำลองวงจรสมมูลสัญญาณขนาดเล็กของมอสเฟสความถี่ต่ำ

3.3.1 คอนดักแตนซ์ g_m

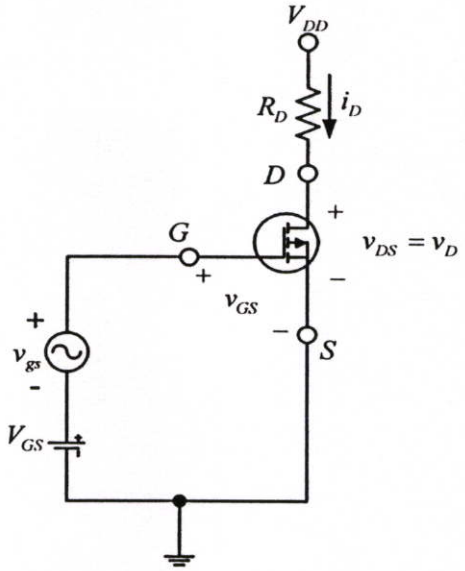
พิจารณาวงจรขยายในรูปที่ 3.9 มอสเฟทถูกไบแอสด้วยแรงดันดีซีคงที่ V_{GS} ความต้านทาน R_D ต่อระหว่างเดรนและแหล่งจ่าย V_{DD} เพื่อให้ได้แรงดันดีซี V_D ที่เดรนจนกระทั่งจนกระทั่งอยู่ในโหมดของแอกทีฟจะได้

$$I_D = K\left(V_{gs} - V_t\right)^2 \tag{3.15}$$

$$V_D = V_{DD} - R_D I_D \tag{3.16}$$

รูปที่ 3.9 แสดงให้เห็นสัญญาณแรงดัน v_{gs} วางอยู่บนแรงดันดีซี V_{GS} ดังนั้นแรงดันระหว่างเกทกับซอร์สชั่วขณะทั้งหมด v_{GS} หาได้จาก

$$v_{GS} = V_{GS} + v_{gs} \tag{3.17}$$



รูปที่ 3.9 วงจรขยายมอสอย่างง่าย

จะได้กระแสชั่วขณะทั้งหมด i_D

$$i_D = K\left(v_{GS} - V_t\right)^2 = K\left(V_{GS} + v_{gs} - V_t\right)^2$$

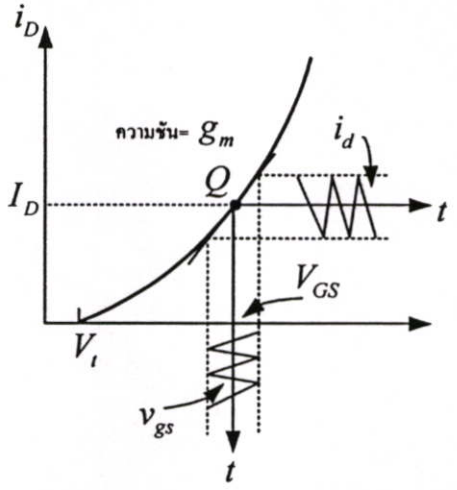
$$i_D = K\left(V_{GS} - V_t\right)^2 + 2K\left(V_{GS} - V_t\right)v_{gs} + Kv_{gs}^2 \qquad (3.18)$$

เทอมแรกด้านขวามือของสมการ (3.18) คือกระแส I_D (สมการที่ 3.15) จากการไบแอสด้วย V_D เพื่อให้มอสทำงานเทอม ที่สองคือส่วนของกระแสเป็นสัดส่วนจ่อสัญญาณอินพุต v_{gs} เทอมสุดท้ายคือกระแสซึ่งเป็นสัดส่วนกำลังสองของสัญญาณอินพุต v_{gs} จะเห็นว่าเทอมนี้มีลักษณะของความผิดพลาดไม่เป็นเชิงเส้นซึ่งไม่ต้องการ ดังนั้นเพื่อลดความผิดพลาดดังกล่าวจึงต้องกำหนดให้สัญญาณอินพุตควรมีค่าต่ำๆ คือ

$$v_{gs} << 2\left(V_{gs} - V_t\right) \qquad (3.19)$$

ถ้า v_{gs} เป็นไปตามเงื่อนไขแล้ว ดังนั้นเทอมสุดท้ายของสมการ (3.18) อาจตัดทิ้งไปได้ และเขียนสมการ i_D ใหม่

$$i_D \cong I_D + i_d \qquad (3.20)$$



รูปที่ 3.10 การทำงานของสัญญาณขนาดเล็กของวงจรขยายมอสเฟทแบบเพิ่มพูน

โดยที่กระแสของสัญญาณ i_d หาได้จาก

$$i_d = 2K(V_{GS} - V_t)v_{gs}$$

ความสัมพันธ์ระหว่าง i_d และ v_{gs} คือค่าทรานคอนดักแตนซ์ g_m

$$g_m = \frac{i_d}{v_{gs}} = 2K(V_{GS} - V_t) \qquad (3.21)$$

การทำงานของสัญญาณขนาดเล็กของวงจรขยายมอสเฟทแบบเพิ่มพูนสามารถอธิบายได้ด้วยรูปภาพดังรูปที่ 3.10 จะเห็นว่า g_m เท่ากับความชันของคุณลักษณะ $i_D - v_{GS}$ ที่จุดทำงาน

$$g_m = \frac{\partial i_D}{\partial v_{GS}} \qquad \text{เมื่อ } v_{DS} \text{ มีค่าคงที่} \qquad (3.22)$$

จากสมการที่ (3.22) จะเห็นว่าสาเหตุที่ต้องรักษาให้ v_{DS} มีค่าคงที่ก็เพื่อจะขจัดการเปลี่ยนแปลง i_D เนื่องจากการเปลี่ยนแปลงของ v_{DS} จะมีผลต่อความต้านทานเอาท์พุต r_0 จากสมการที่ (3.21) แทนค่าคงที่ K เมื่อ $K = \frac{1}{2}\mu_n C_{OX}\left(\frac{W}{L}\right)$

μ_n คือ ความเคลื่อนที่ได้ (mobility) ของอิเล็กตรอนในแชนเนลเหนี่ยวนำเอ็น

C_{OX} คือ ความจุไฟฟ้าต่อพื้นที่หนึ่งหน่วยของตัวเก็บประจุระหว่างเกทและแชนเนลมีชั้นออกไซด์เป็นไดอิเล็คทริก

L คือ ความยาวของแชนเนล

W คือ ความกว้างของแชลเนล

จะได้สมการ

$$g_m = (\mu_n C_{OX})\left(\frac{W}{L}\right)(V_{GS} - V_t) \tag{3.23}$$

นั้นคือ g_m ขึ้นกับอัตราส่วน W/L ของมอสเฟท หากต้องการ g_m มีค่าสูง ๆ จะต้องสร้างมอสให้ความยาว L สั้น ๆและความกว้าง W มากขึ้น ตามสมการ (3.23) ค่า g_m ยังเป็นสัดส่วนโดยตรง $\Delta V = V_{GS} - V_t$ โดยที่แรงดันไบแอส V_{GS} มากกว่าแรงดันขีดเริ่มเปลี่ยน

จากสมการที่ (3.15) เขียนใหม่ $V_{GS} - V_t = \sqrt{I_D/K}$ และแทน K ด้วย $\frac{1}{2}\mu_n C_{OX}(W/L)$ แทนค่าลงในสมการที่ (3.23) จะได้

$$g_m = (\mu_n C_{OX})\left(\frac{W}{L}\right)\sqrt{\frac{I_D}{\frac{1}{2}\mu_n C_{OX}\left(\frac{W}{L}\right)}}$$

$$g_m = \sqrt{2\mu_n C_{OX}}\sqrt{\frac{W}{L}}\sqrt{I_D} \tag{3.24}$$

จากสมการที่ (3.24) แสดงให้เห็นว่า

1. ค่า g_m เป็นสัดส่วนโดยตรงต่อรากอันดับสองของกระแสไบแอสดีซี $\left(\sqrt{I_D}\right)$
2. g_m เป็นสัดส่วนโดยตรงต่อ $\sqrt{W/L}$ ที่ค่ากระแสไบแอสตามที่กำหนด

สำหรับทรานคอนดักแตนซ์ของทรานซิสเตอร์ชนิดไบโพลาร์เป็นสัดส่วนโดยตรงต่อกระแสไบแอส และไม่ขึ้นกับขนาดและรูปร่างของทรานซิสเตอร์ เพื่อสร้างความเข้าใจยิ่งมากขึ้นเกี่ยวกับ g_m ของมอสเฟท สมมุติว่ามอสเฟททำงานที่ I_D= 1 mA และ $\mu_n C_{OX} = 20\mu A/V^2$ จากสมการ (3.24) เมื่อกำหนดให้ W/L = 1 จะได้ g_m= 0.2 mA/V ในขณะที่ W/L = 100 จะได้ g_m= 2 mA/V เมื่อเปรียบเทียบกับไบโพลาร์ที่กระแสคอลเลคเตอร์ 1mA จะได้ g_m= 40 mA/V จะเห็นได้ว่า g_m ของมอสเฟทต่ำกว่าไบโพลาร์ แต่มอสเฟทมีข้อดีคืออินพุตอิมพีแดนซ์สูง ขนาดเล็ก การสูญเสียกำลังงานต่ำและสร้างได้ง่าย

3.3.2 อัตราการขยายแรงดัน

จากรูปที่ 3.8 เขียนแรงดันเดรนชั่วขณะทั้งหมด (v_D)

$$v_D = V_{DD} - R_D\, i_D$$

จากเงื่อนไขของสัญญาณขนาดเล็ก $i_D = I_D + i_d$ จะได้

$$v_D = V_{DD} - R_D(I_D + i_d) = V_{DD} - R_D I_D - R_D i_d$$

โดยที่ $V_D = V_{DD} - R_D I_D$ เขียนใหม่

$$v_D = V_D - R_D i_d$$

ดังนั้นสัญญาณของแรงดันเดรนคือ

$$v_d = -R_D i_d = -R_D g_m v_{gs}$$

โดยที่ $i_d = g_m v_{gs}$ (จากสมการ 3.21) จะได้อัตราขยายแรงดัน $(r_0 \to \infty)$

$$\frac{v_d}{v_{gs}} = -R_D g_m$$

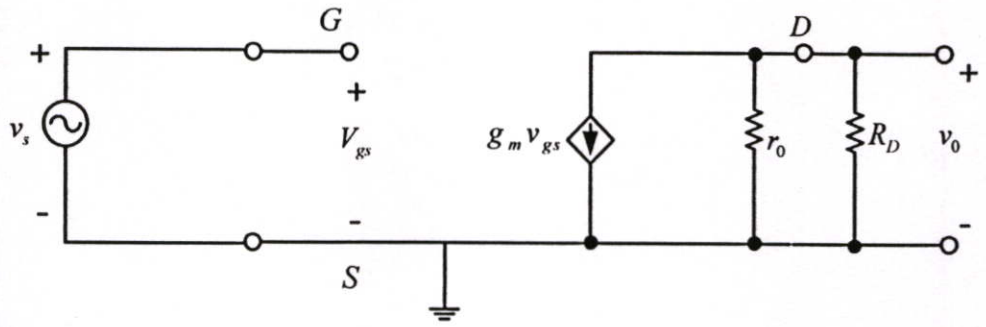
ในการวิเคราะห์วงจรสมมุติว่า $i_D - v_{DS}$ ในบริเวณพินช์ออฟเป็นเส้นตรงในแนวนอน นั้นก็คือตัดทิ้งงามต้านทานเอาท์พุต (r_0) ของแหล่งกำเนิดกระแส ที่ถูกควบคุมด้วยแรงดัน แต่ถ้าหากคำนึงถึง r_0 ด้วย ดังนั้นรูปที่ 3.9 จะได้ r_0 ขนานกับ R_D ซึ่งทำให้อัตราขยายแรงดันลดลง

$$\frac{v_o}{v_{gs}} = -g_m(R_D \,//\, r_0) \tag{3.25}$$

เพื่อให้มอสเฟททำงานอยู่ในโหมดแอกทีฟตลอดไปจะต้องอยู่ภายใต้เงื่อนไข

$$v_D \geq (v_G - V_t) \text{ หรือ } v_{DG} \geq V_t$$

จากที่ผ่านมาได้ทำการวิเคราะห์โดยตรงตามวงจร ต่อไปพิจารณาการวิเคราะห์วงจรจากแบบจำลองของสัญญาณขนาดเล็กของวงจรดังรูปที่ 3.11 เพื่อหาสมการอัตราขยายแรงดันด้วยการลัดวงจรของแหล่งจ่ายแรงดันดีซีเนื่องจากแรงดันคงที่



รูปที่ 3.11 วงจรสมมูลสัญญาณขนาดเล็กของวงจรจากรูปที่ 3.9

ตัวอย่างวงจรขยายใช้มอสเฟทแบบเพิ่มพูนดังรูปที่ 3.7 กำหนดให้ $V_t = 1.5V$,
$K = 0.125 mA/V^2$ คำนวณอัตราขยายแรงดันและความต้านทานอินพุต โดยที่ $V_A = 50V$
คำนวณจุดทำงานดีซี

$$I_D = K\left(V_{GS} - V_t\right)^2 = 0.125\left(V_{GS} - 1.5\right)^2$$

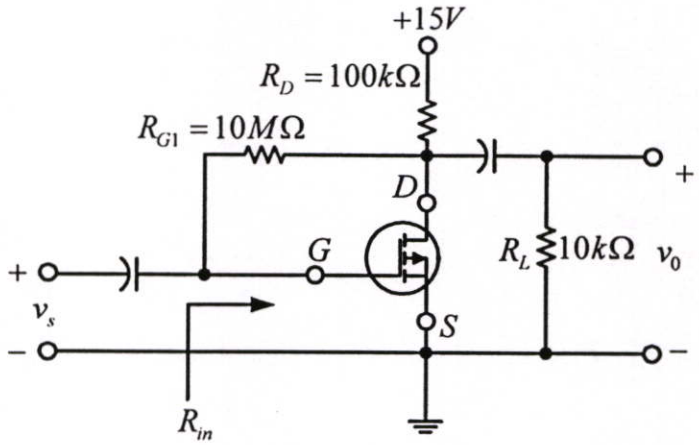
แต่ $V_{GS} = V_D$ เนื่องจากว่ากระแสเกทเป็นศูนย์ ดังนั้น

$$I_D = 0.125\left(V_D - 1.5\right)^2 \tag{3.26}$$

$$V_D = V_{DD} - R_D I_D = 15 - 10 I_D \tag{3.27}$$

แก้สมการที่ (3.26) และ (3.27) จะได้

$$I_D = 1.06\ mA \text{ และ } V_D = 4.4V$$



รูปที่ 3.12 วงจรขยายซอร์สร่วม

แทนค่า V_{GS} ด้วย V_D คำนวณหา g_m

$$g_m = 2K(V_{GS} - V_t) = 0.25(4.4 - 1.5) = 0.725\,mA/V$$

คำนวณหาค่าความต้านทานเอาท์พุต r_0

$$r_0 \cong \frac{V_A}{I_D} = \frac{50}{1.06} = 47\,k\Omega$$

เขียนวงจรสมมูลสัญญาณขนาดเล็กของวงจรขยายดังรูปที่ 3.13 เพื่อคำนวณหาอัตราขยายแรงดัน คำนวณหาอัตราขยายแรงดัน โดยตัดทิ้งผลกระทบของความต้านทาน R_G

$$\frac{v_0}{v_s} \cong -g_m(R_D \,//\, R_L \,//\, r_0) = -0.725(10\,//\,10\,//\,47) = -3.3 \text{ เท่า}$$

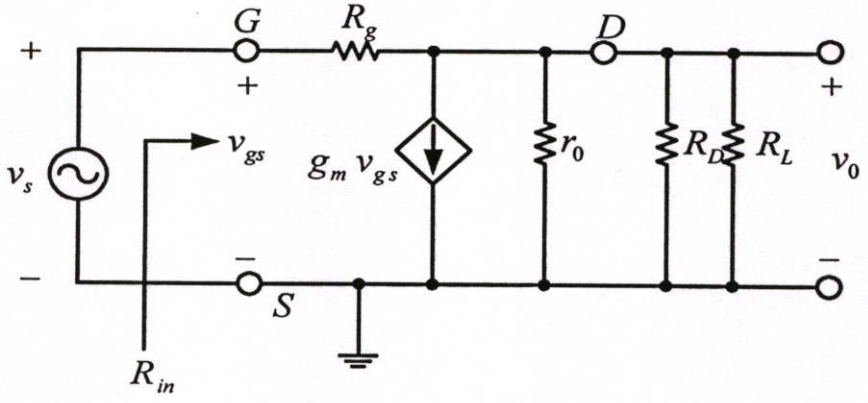
ใช้ทฤษฎีของมิลเลอร์ คำนวณหาความต้านทานอินพุต

$$R_{in} = \frac{R_G}{1 - A}$$

โดยที่ $$A = \frac{v_d}{v_g} = \frac{v_0}{v_s} = -3.3$$

ดังนั้น

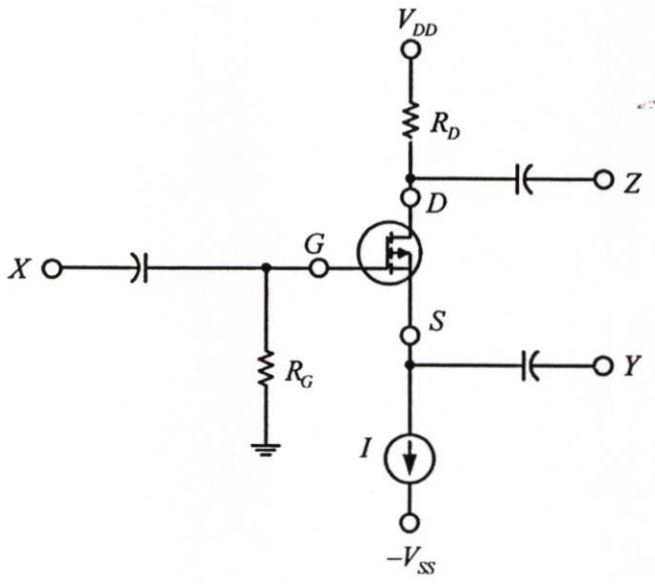
$$R_{in} = \frac{10}{1 + 3.3} = 2.3M\Omega$$



รูปที่ 3.13 วงจรสมมูลสัญญาณขนาดเล็กของวงจรขยายมอสเฟท จากรูปที่ 3.12

3.4 วงจรขยายมอสเฟทภาคเดียว

ในการศึกษารูปแบบเบื้องต้นของมอสเฟทตัวเดียวเพื่อนำนำไปประยุกต์ใช้งานกับการขยาย ประกอบด้วยสามรูปแบบ ในแต่ละรูปแบบมีคุณสมบัติแตกต่างกันไป วงจรขยายจะเชื่อมต่อสัญญาณโดยใช้ตัวเก็บประจุเชื่อมต่อเพื่อที่จะแยกส่วนสัญญาณออกจากไบแอสดีซี แต่ในส่วนเชื่อมต่อวงจรขยายระหว่างภาคเข้าด้วยกันจะใช้การเชื่อมต่อตรง ซึ่งพิจารณาในส่วนถัดไปเกี่ยวกับวงจรขยายมอสของวงจรรวมรูปแบบวงจรขยายเบื้องต้นดังรูปที่ 3.14 ซึ่งต่อไปนำไปรวมกับรูปแบบเบื้องต้นทั้งสามแบบ



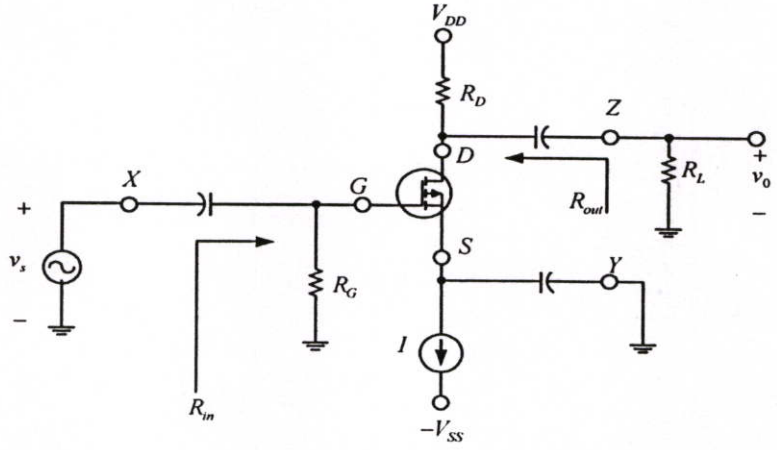
รูปที่3.14 วงจรขยายเบื้องต้นเพื่อศึกษารูปแบบวงจรขยายมอสภาคเดียวทั้งสามรูปแบบ

มอสเฟทถูกไบแอสด้วยแหล่งจ่ายกระแสดีซีต่อแหล่งจ่ายไฟลบ ปกติควรทำการไบแอสด้วยการต่อเข้ากับตัวต้านทาน R_S กับแหล่งจ่ายไฟลบ การไบแอสกระแสคงที่ก็เพื่อให้ง่ายในการวิเคราะห์และดังนั้นจึงสนใจในเฉพาะคุณสมบัติของรูปแบบการขยายต่างๆ ในทางปฏิบัติการออกแบบวงจรรวมใช้การไบแอส ด้วยแหล่งจ่ายกระแส สำหรับตัวต้านทาน R_G ต่อกับเกทแล้วกราวด์ เพื่อให้ได้แรงดันดีซีคงที่ศูนย์โวลท์ เนื่องจากกระแสเกทมีน้อยมาก ดังนั้นความต้านทาน R_G จึงมีค่าสูงมาก(อยู่ในช่วง $M\Omega$) ความต้านทาน R_D ต่อกับเดรนไปยังแหล่งจ่ายแรงดันบวก (V_{DD})เพื่อให้ได้แรงดันดีซีที่เดรนทำให้การทำงานอยู่ในบริเวณพินช์ออฟตลอดไปรองรับการแกว่งของสัญญาณที่เดรนได้ตามความต้องการ ใน

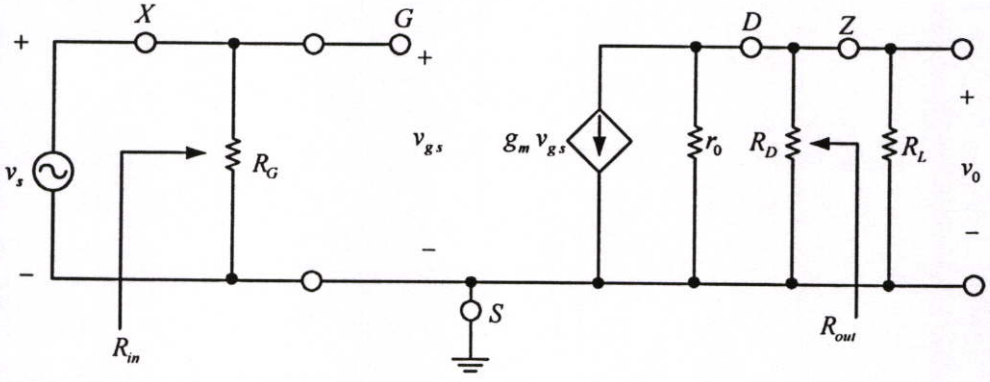
การเชื่อมต่อสัญญาณจากแหล่งจ่ายและความต้านทานโหลดหรือกราวด์เข้ากับเกท ซอร์สและเดรน ต้องใช้ตัวเก็บประจุสามตัว ในการวิเคราะห์วงจรสมมุติว่าตัวเก็บประจุทั้งหมดลัดวงจร

3.4.1 วงจรขยายซอร์สร่วม

รูปแบบวงจรขยายซอร์สร่วมได้จากการต่อขั้ว Y ลงกราวด์ จะได้กราวด์ของสัญญาณอยู่ที่ซอร์สสัญญาณอินพุตต่อกับเกทและความต้านทานโหลดต่อกับเดรนดังรูปที่ 3.15(a) แทนมอสเฟทด้วยแบบจำลองสมสมมูลสัญญาณขนาดเล็ก ดังรูปที่3.15(b) [จะเห็นว่าแหล่งจ่ายแรงดันไบแอส (V_{DD}) ถูกแทนด้วยการลัดวงจรและปิดวงจรแหล่งจ่ายกระแสคงที่ (I)]



(a)



(b)

รูปที่ 3.15 (a) วงจรขยายมอสเฟทซอร์สร่วม (b) วงจรขยายสมมูลสัญญาณขนาดเล็ก

ความต้านทานอินพุตของวงจรขยายรวม R_{in} ความต้านทานเอาท์พุต R_{out} และอัตราขยายแรงดัน A_V หาได้โดยการพิจารณาจากรูปที่ 3.15 (b) ดังนี้

$$R_{in} = R_G \tag{3.28}$$

$$R_{out} = R_D // r_0 \tag{3.29}$$

$$v_0 = -g_m v_{gs} (R_L // R_D // r_0) \qquad v_s = v_{gs}$$

$$A_V = \frac{v_0}{v_s} = -g_m (R_L // R_D // r_0) \tag{3.30}$$

จากสมการที่ (3.30) จะเห็นว่าความต้านทาน R_L มีผลกระทบต่ออัตราการขยายแรงดันและความต้านทานเอาท์พุต R_{out} ในสมการที่ (3.29) บอกถึงคุณสมบัติของการขยายด้วยและอัตราขยายวงจรเปิด A_{vo} หาได้จากการกำหนดให้ R_L ในสมการ (3.30) มีค่าเป็นอนันต์ นั้นคือ

$$A_{vo} = \left.\frac{v_0}{v_s}\right|_{R_L = \infty} = -g_m [R_D // r_0] = -g_m R_{out}$$

เขียนอัตราการขยาย A_V ใหม่ในเทอมของ A_{vo}

$$A_V = A_{vo} \frac{R_L}{R_L + R_{out}} = -g_m R_{out} \frac{R_L}{R_L + R_{out}} = -g_m [R_D // r_0] \frac{R_L}{R_L + R_{out}}$$

สิ่งที่ได้จากการต่อวงจรขยายซอร์สร่วมคือความต้านทานอินพุตสูง และถูกจำกัดด้วยค่าของตัวต้านทานไบแอส R_G อัตราขยายแรงดันลบสูง (กลับเฟส) และความต้านทานเอาท์พุตสูง ซึ่งไม่ต้องการในการขยายแรงดัน

สำหรับผลตอบสนองความถี่ของการต่อแบบซอร์สร่วมคืออัตราขยายลดต่ำลงเมื่อความถี่เพิ่มขึ้นนั้น คือเป็นวงจรกรองผ่านความถี่ต่ำ เนื่องจากภายในมอสเฟทประกอบด้วยความจุ C_{gs} C_{gd} และ C_{ds} โดยเฉพาะ C_{gd} เป็นตัวจำกัดผลการตอบสนองความถี่สูงของวงจรขยายซอร์ส ร่วมที่อยู่ระหว่างเกทและเดรน แรงดันที่เดรนเท่ากับ A_v ของแรงดันที่เกท เมื่อใช้ทฤษฎีของมิลเลอร์แทน C_{gd} ด้วย $C_{gd}(1 - A_v)$ ระหว่างเกทและกราวด์ ขณะที่ A_v มีค่าเป็นลบ จะได้ความจุที่มีค่าสูงเมื่อรวมกับ C_{gs} ทำให้ความจุรวมเพิ่มขึ้นและต่ออนุกรมอยู่กับความต้านทานของตัวกำเนิดสัญญาณกลายเป็นวงจรกรองความถี่นั่นเอง

3.4.2 วงจรขยายเกทร่วม

รูปแบบวงจรขยายเกทร่วมได้จากการต่อขั้ว X ของวงจรในรูปที่ 3.14 ลงกราวด์จะได้กราวด์ของสัญญาณ ที่เกท ดังนั้นสัญญาณอินพุตที่ซอร์สโดยต่อแหล่งจ่าย v_s ที่ขั้ว Y และได้เอาท์พุตที่เดรนต่อไปยังความต้านทานโหลด R_L ที่ขั้ว Z ดังรูปที่ 3.16(a) จะได้วงจรสมมูลในรูปที่ 3.16(b) ในการคำนวณคุณลักษณะของการขยายกำหนดให้ตัดทิ้งค่า r_0 จากรูปที่ 3.16(b) จะได้ $v_{gs} = -v_s$ มีกระแสไหลเท่ากับ $g_m v_s$ ดังนั้นความต้านทานอินพุตหาได้จาก

$$R_{in} \cong \frac{-v_{gs}}{-g_m v_{gs}} \cong \frac{1}{g_m} \tag{3.31}$$

อัตราขยายแรงดันหาได้จากกระแสเดรนคือ $i_d = -g_m v_{gs}$ แทน $v_s = -v_{gs}$ จะได้ $i_d = g_m v_s$ ดังนั้น

$$v_o = g_m v_s (R_L // R_D)$$

จะได้ A_V คือ

$$A_v = \frac{v_o}{v_s} \cong g_m [R_L // R_D] \tag{3.32}$$

คำนวณหาความต้านทานเอาท์พุตโดยพิจารณาโดยพิจารณาจากจากวงจรตามรูปที่ 3.15(b)

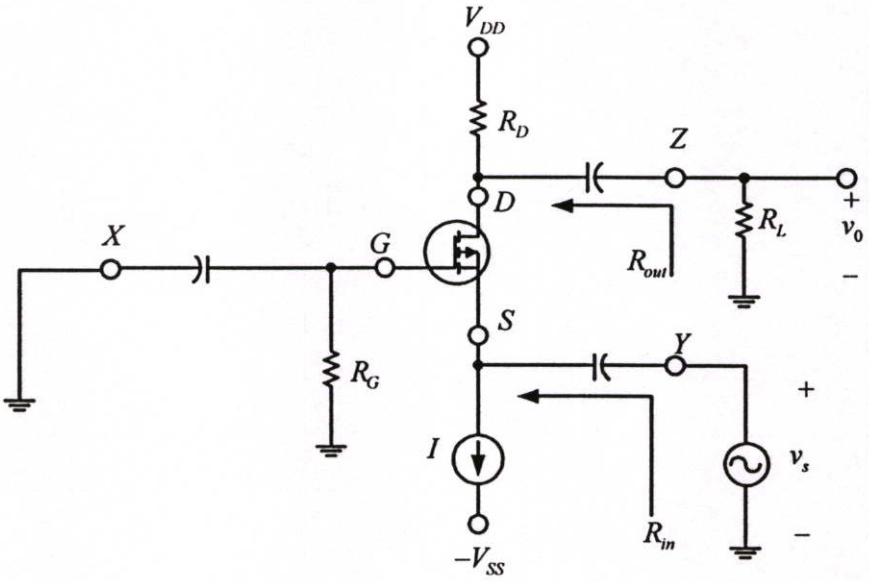
$$R_{out} = R_D // r_o \tag{3.33}$$

การวิเคราะห์ผลกระทบของ r_o ต่อ R_{in} และ A_V จากรูป 3.15(b) แม้จะคำนึงถึง r_o แต่ค่า R_{in} ก็ได้เปลี่ยนแปลง สำหรับ A_v หาได้จาก

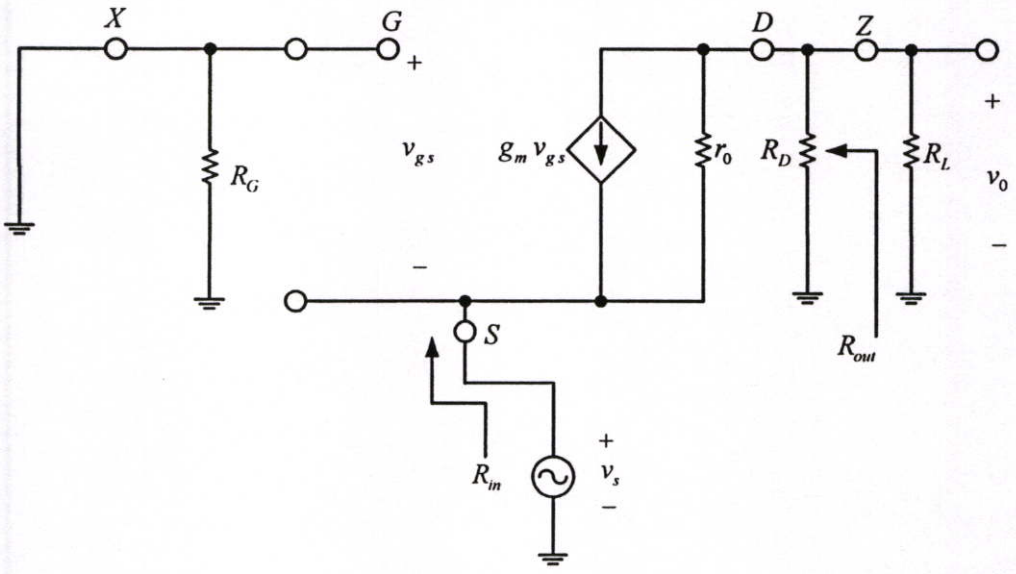
$$A_v = g_m [R_L // R_D // r_o] \tag{3.34}$$

จะเห็นว่าอัตราการขยายแรงดันของเกทร่วมมีขนาดเท่ากับวงจรขยายซอร์สร่วม ต่างกันเฉพาะเครื่องหมายของสัญญาณกลับกัน ความแตดต่างที่สำคัญระหว่างรูปแบบทั้งสองคือความต้านอินพุตของวงจรขยายเกทร่วมมีค่าต่ำกว่าวงจรขยายซอร์สร่วมอย่างมาก นั้นคือวงจรขยายเกทร่วมไม่เหมาะใช้งานขยายแรงดันเนื่องจากมีความต้านทานอินพุตต่ำ ซึ่งการป้อนสัญญาณในลักษณะของสัญญาณกระแสซึ่งจะกลายเป็นข้อดีของวงจรขยายเกทร่วม ทำการขยายกระแสอัตราขยายหนึ่งหน่วยหรือตัวตามกระแส

(current follower) เป็นการเตรียมการสำหรับสัญญาณกระแสเดรนเท่ากับสัญญาณกระแสซอร์สป้อนสู่ความต้านทาน R_L และ R_D ที่ต่อขนานจะได้แรงดันเอาท์พุตที่ผ่านการขยาย



(a)



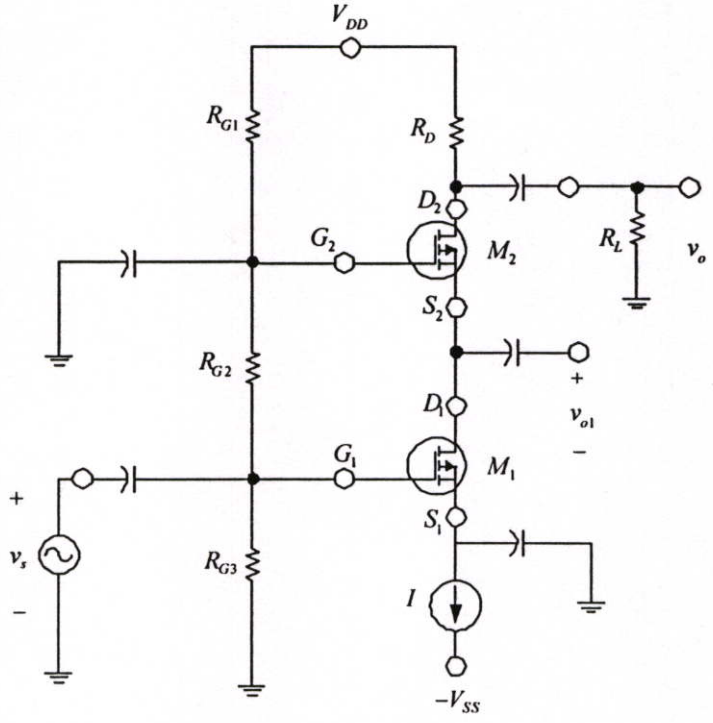
(b)

รูปที่ 3.16 วงจรขยายมอสเกทร่วม และวงจรสมมูลสัญญาณขนาดเล็ก

ข้อที่สำคัญของวงจรขยายเกทร่วม มีแบนด์วิดท์ที่กว้างกว่าวงจรขยายซอร์สร่วม เนื่องจากไม่มีผลของมิลเลอร์จาก C_{gd} เพราะว่า C_{gd} ลัดวงจรลงกราวด์ ส่วน C_{gs} มีผลกระทบต่อผลกาตอบสนองความถี่น้อยมากเพราะวงจรขยายเกทร่วมมีค่าความต้านทานอินพุตต่ำ $(1/g_m)$

3.5 การประยุกต์ใช้รูปแบบของวงจรขยาย

ปกติวงจรขยายมอสอัตราการขยายสูงๆ ประกอบด้วย วงจรขยายสองหรือสามภาคเรียงต่อกัน ทำให้ได้อัตราการขยายแรงดันเพิ่มขึ้น ซึ่งสามารถสร้างด้วยจากวงจรขยายซอร์สร่วมหนึ่งหรือสองภาค อย่างไรก็ตามเพื่อลดผลกระทบเนื่องจากความจุของมิลเลอร์เพิ่มขึ้นให้ใช้วงขยายเกทร่วมหนึ่งภาคต่อเรียงกันกับทรานซิสเตอร์ซอร์สดังรูปที่ 3.17 เรียกว่า การต่อแบบคาสโคด



รูปที่ 3.17 รูปแบบการต่อแบบคาสโคด

ในการเรียงกันของทรานซิสเตอร์ M_1 ทำงานในรูปแบบซอร์สร่วมเพื่อให้ได้กระแสเดรน $g_m v_s$ ส่วนทรานซิสเตอร์ M_2 ทำงานในรูปแบบเกทร่วม ดังนั้นจะได้ค่าความต้านทานมองไปที่ซอร์ส (S_2) เท่ากับ $1/g_m$ ดังนั้นความต้านทานรวมทั้งหมดระหว่างเดรนของ M_1 และกราวด์คือ $r_{o1} // (1/g_{m2})$

ประมาณเท่ากับ $1/g_{m2}$ เนื่องจากส่วนมาก r_o ปกติสูงกว่า $1/g_m$ มาก(ซึ่งก็คือความต้านทานโหลดของ M_1) อัตราการขยายของ M_1 หาได้จาก

$$\frac{v_{o1}}{v_s} = -g_{m1}\left(\frac{1}{g_{m2}}\right) \tag{3.35}$$

ถ้า M_1 และ M_2 เหมือนกันทุกประการ ดังนั้น $g_{m1} = g_{m2}$ จะได้

$$\frac{v_{o1}}{v_s} = -1$$

ผลกระทบของมิลเลอร์ใน M_1 จะลดลงทำให้แบนด์วิดท์เพิ่มขึ้น

สัญญาณกระแสเดรนของ M_1 คือ $g_{m1}v_s$ ป้อนให้กับซอร์สของ M_2 เนื่องจาก M_2 ต่อแบบเกทร่วม ดังนั้นสัญญาณกระแสที่ซอร์สถูกส่งผ่านไปยังเดรนด้วยอัตราการขยายหนึ่งเท่า จะได้แรงดันเอาท์พุต M_2 เมื่อตัดทิ้งผลกระทบของ r_{o2} คือ

$$v_o = -g_{m1}v_s\left(R_L \,//\, R_D\right)$$

จะได้อัตราการขยายแรงดันทั้งหมด

$$A_V = \frac{v_o}{v_s} = -g_m\left(R_L \,//\, R_D\right) \tag{3.36}$$

จะเห็นอัตราการขยายตามสมการ (3.36) เท่ากับอัตราการขยายของวงจรซอร์สอย่างง่าย วิธีการเพิ่มทรานซิสเตอร์เกทร่วม M_2 ทำให้ลดผลกระทบของมิลเลอร์ใน M_1 ซึ่งก็คือช่วยให้ผลการตอบสนองความถี่สูงดีขึ้น

สำหรับวงจรขยายเดรนร่วม ปกติใช้เป็นภาคสุดท้ายของวงจรขยายหลายภาคเพื่อให้ความต้านทานเอาท์พุตของวงจรขยายมีค่าต่ำ

3.6 วงจรสะท้อนกระแส

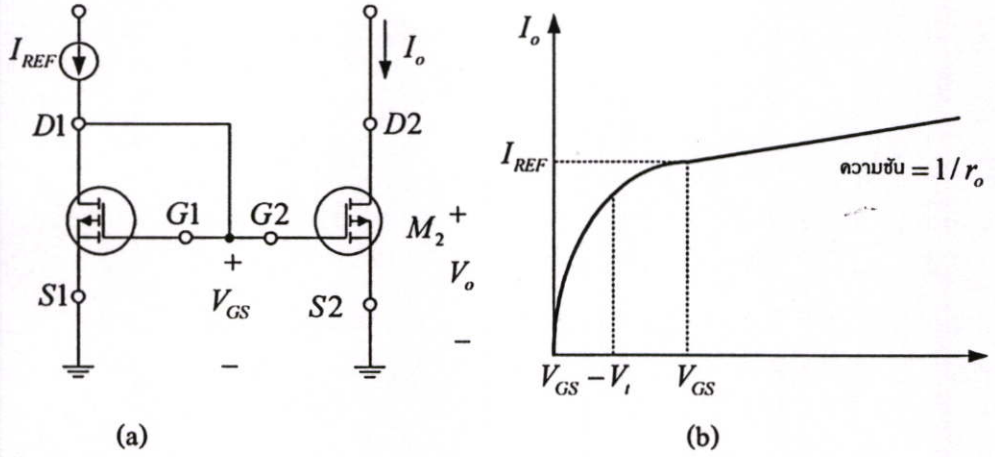
ในวงจรแอนะลอกทั้งเอ็นมอสและซีมอสสามารถสร้างกระแสดซีให้มีสัดส่วนโดยตรงกับกระแสอ้างอิงเพื่อไบอัสทรานซิสเตอร์อื่นๆในวงจร ส่วนวงจรกร้างกระแสอ้างอิง การสร้างกระแสดีซีคงที่หลายๆส่วนให้มีกระแสไหลเท่ากับแหล่งกำเนิดกระแสอ้างอิง วงจรดังกล่าวเรียกว่า วงจรสะท้อนกระแส (current mirror) ดังรูปที่ 3-18 (a)

วงจรสะท้อนกระแสประกอบด้วยมอสแบบเพิ่มพูน M_1 และ M_2 มีแรงดันขีดเริ่มเปลี่ยนแปลง V_t เท่ากัน แต่อาจมีอัตราส่วนของ W/L ต่างกัน ป้อนกระแสอ้างอิง I_{REF} ให้กับทรานซิสเตอร์ M_1 และกระแสเอาท์พุต I_o อยู่ที่เดรนของ M_2 ซึ่งทำงานในบริเวณพินช์ออฟที่ M_1

$$I_{REF} = K_1 \left(V_{GS} - V_t\right)^2 \tag{3.37}$$

โดยที่ V_{GS} เป็นแรงดันระหว่างเกทกับซอร์ส V_{GS} ของ M_1 ซึ่งสอดคล้องกับกระแสเดรน $\left(I_{REF}\right)$ เนื่องจาก M_2 ต่อขนานกับ M_1 ทำให้แรงดัน V_{GS} ตกคร่อมระหว่างเกทกับซอร์สของ M_2 และ M_1 เท่ากัน ดังนั้น

$$I_o = K_2 \left(V_{GS} - V_t\right)^2 \tag{3.38}$$



รูปที่ 3.18 (a) วงจรสะท้อนกระแสเบื้องต้น
(b) คุณลักษณะทางเอาท์พุตของวงจรสะท้อนกระแส

เมื่อสมมุติว่าความต้านทานเอาท์พุต r_o ของ M_2 เป็นอนันต์ (ปกติไม่เป็นอนันต์) ดังนั้นรวมสมการ (3.37) กับสมการ (3.38) จะได้

$$I_o = I_{REF}\left(\frac{K_2}{K_1}\right)$$

เขียน K_1 และ K_2 ในเทอมของอัตราส่วนของ W/L

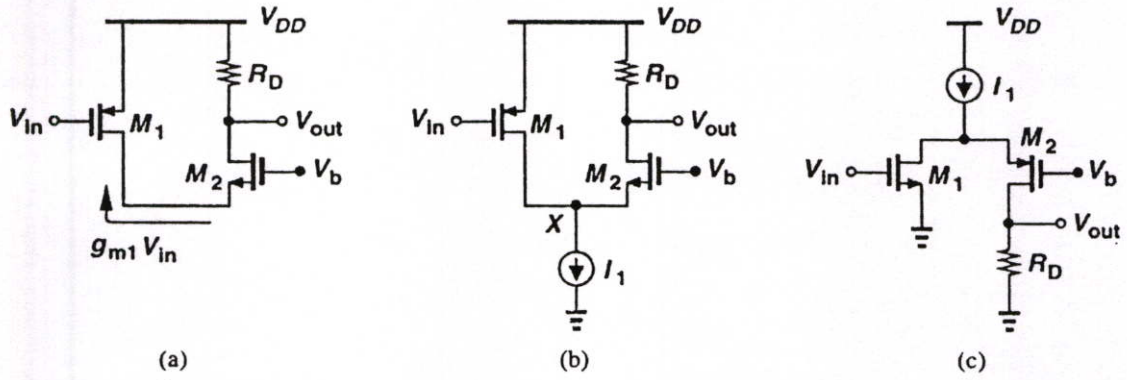
$$I_o = I_{REF}\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}$$

นั้นคือ I_o ในทางอุดมคติมีค่าเท่ากับผลคูณของ I_{REF} กับค่าอัตราส่วนรูปร่างของทรานซิสเตอร์คือ $\left(W/L\right)_2 / \left(W/L\right)_1$ ในทางปฏิบัติค่าของ I_o คำนวณจากกรณีเมื่อแรงดันเดรนของ M_2 เท่ากับ V_{GS} เท่านั้น การเปลี่ยนแปลงแรงดันเดรนทำให้กระแส I_o เปลี่ยนแปลงด้วย เนื่องจากความต้านทาน

เอาท์พุต r_o ของ M_2 มีค่าไม่เท่าอนันต์ จากรูปที่ 3.17 (b) จะเห็นว่า I_o กราฟคุณลักษณะ $i_d - v_{DS}$ ของ M_2 สอดคล้องกับ V_{GS} ได้จากกระแสอ้างอิง I_{REF} ไหลผ่าน M_1

3.7 Folded Cascode

โครงสร้างการทำงานของคาสโคดเป็นการแปลงจาก แรงดันอินพุตเป็นกระแสและส่วนใหญ่จะประยุกต์ใช้กับวงจรที่เป็น common-gate อย่างไรก็ตาม ทรานซิสเตอร์ที่ใช้ก็อาจจะใช้ชนิดที่แตกต่างกัน ดังรูปที่ 3.18(a) ใช้ PMOS-NMOS ต่อวงจรเข้าด้วยกันซึ่งเกิดการไบอัสของ M_1 และ M_2 แหล่งจ่ายกระแสแสดงดังรูปที่ 3.18(b) วงจรสามารถทำงานที่สัญญาณขนาดต่ำได้ ถ้าV_{in} มีค่าทางบวกมาก ทำให้ $|I_{D1}|$ ลดลง ส่งผลให้ I_{D2} เพิ่มมากขึ้น ทำให้ V_{out} มีค่าลดลง



รูปที่ 3.19 (a) พื้นฐานของ folded cascade (b) การไบอัสกระแส Folded cascade (c) Folded cascade ใช้ด้านอินพุตแบบ NMOS

โครงสร้างตามรูปที่ 3.19(b) เรียกว่า "Folded cascode" เพราะเมื่อสัญญาณมีขนาดเล็กกระแสเกิด"Folded" การแปลงการจ่ายกระแสของวงจรด้านบนกับด้านล่างดังรูปที่3.19(b) และรูปที่ 3.19(c)

การใช้งานของวงจรโฟลดคาสโคดขณะที่มีสัญญาณขนาดใหญ่ ดังรูปที่ 3.18(b) เมื่อ V_{in} มีค่าลดลง ทำให้แหล่งจ่าย V_{DD} มีค่าลดลงเป็นศูนย์ ตามสมการ $V_{in} > V_{DD} - |V_{TH1}|$ ทรานซิสเตอร์ M_1 หยุดทำงาน ทำให้ M_2 รับกระแส I_1 ตามสมการ $V_{out} = V_{DD} - I_1 R_D$ และเมื่อ $V_{in} < V_{DD} - |V_{TH1}|$ ทรานซิสเตอร์ M_1 เริ่มทำงาน

$$I_{D2} = I_1 - \frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)\left(V_{DD} - V_{in} - |V_{TH1}|\right)^2 \tag{3.39}$$

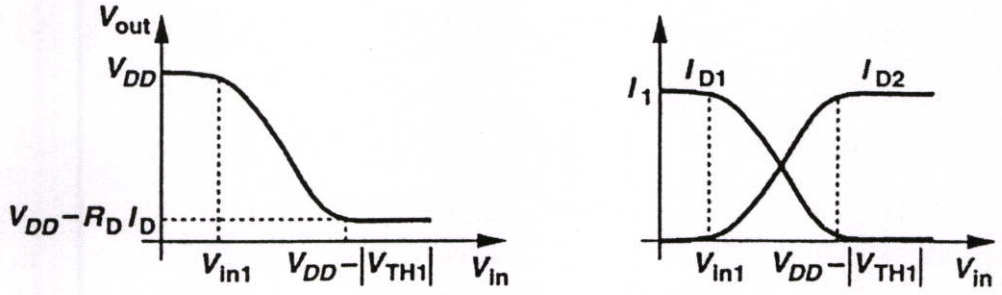
เมื่อ V_{in} ลดต่ำลง I_{D2} ลดลงอย่างต่อเนื่อง และจะมีค่าเท่าศูนย์ ถ้า $I_{D1} = I_1$

$$\frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)\left(V_{DD}-V_{in1}-\left|V_{TH1}\right|\right)^2 = I_1 \tag{3.40}$$

และ

$$V_{in1} = V_{DD} - \sqrt{\frac{2I_1}{\mu_p C_{ox}\left(W/L\right)}} - \left|V_{TH1}\right| \tag{3.41}$$

ถ้า V_{in} ลดลงต่ำกว่าระดับดังสมการ I_{D1} ก็จะดึงกระแส I_1 มากขึ้นและ M_1 การทำงานเข้าสู่พื้นที่ของ triode ซึ่งก็คือ $I_{D1} = I_1$ แสดงเป็นกราฟดังรูปที่ 3.20



รูปที่3.20 คุณสมบัติการทำงานเมื่อมีสัญญาณ Large signal ของ Folded cascade

บทที่ 4

ผลการทดสอบ

4.1 คุณสมบัติพื้นฐานของวงจรขยายป้อนกลับกระแส

เนื่องจากปัจจุบันมีการนำเอาวงจรขยายป้อนกลับกระแส Current feedback Amplifier (CFA) มาใช้แทน Voltage Feedback Amplifier (VFA) กันมาในวงการอุตสาหกรรมอิเล็กทรอนิกส์ที่ต้องการวงจรอิเล็กทรอนิกส์ที่ทำงานได้ดีในงานที่มีความถี่สูงและต้องการสมรรถนะที่ดีกว่าเดิม CFA ยังมีคุณสมบัติพิเศษที่สามารถเพิ่มอัตราการเปลี่ยนแปลงความต่างศักย์ต่อหน่วยเวลา(Slew rate) ได้อย่างไม่มีข้อจำกัด และ Bandwidth อิสระต่อการเปลี่ยนแปลงของอัตราการขยายวงจรปิด(Close loop gain) สูงกว่า VFA อีกทั้งในอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ CFA ยังถูกว่าอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ VFA มาก

หลักการสำคัญของ CFA คือ ตัวต้านทานป้อนกลับ (Feedback Resistance) ใน VFA จะมีขนาดของความต้านทานป้อนกลับ (R_F) สูงมาก แต่ใน CFA มีขนาดของตัวต้านทานป้อนกลับต่ำ$(R_f < 10k\Omega)$ ซึ่งส่งผลให้วงจรมีประสิทธิภาพมากว่าเดิม ขนาดของตัวต้านทานป้อนกลับมีส่วนสำคัญมาก ถ้าขนาดของ R_F ไม่เหมาะสมจะทำให้การทำงานของ CFA ไม่มีเสถียรภาพ เพราะฉะนั้นในการออกแบบวงจร ในการเลือกค่าความต้านทานจึงต้องมีเทคนิคในการเลือกใช้ขนาดตัวต้านทานป้อนกลับเพื่อให้วงจรมีเสถียรภาพ ในกรณีที่ต้องใช้งานในสภาวะที่ต้องการอัตราการขยายสูง และ Bandwidth กว้างมากๆ นั้นคือจะต้องลดตัวค่าความต้านทานทางขาเข้า (R_G) มากกว่าที่จะเพิ่มขนาดของความต้านทานป้อนกลับ (R_F)

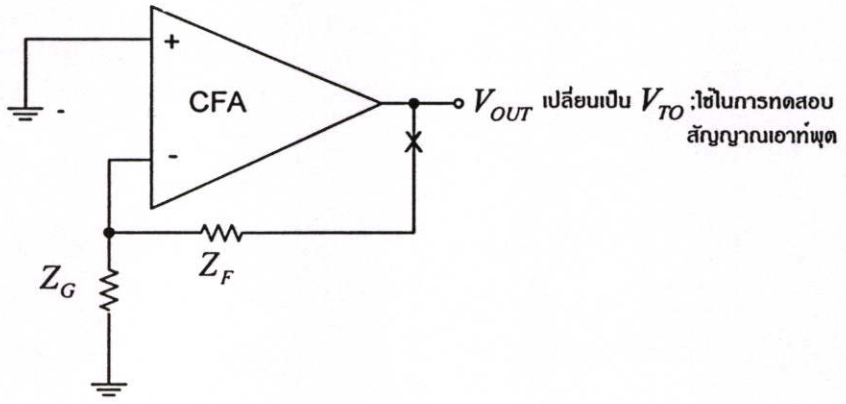
ข้อสังเกตคือการลดตัวต้านทานป้อนกลับจะทำให้ Bandwidth เพิ่มมากขึ้นในขณะเดียวกันก็ทำให้ Bandwidth เกิดการแกว่ง และเกิด Overshoot ในช่วงที่มีความถี่สูงมากๆ (ประมาณ (GHz)ขึ้นไป) แต่ในการออกแบบวงจรจะไม่ลดค่าความต้านทานป้อนกลับมากนัก อย่างไรก็ตามยังมีปัจจัยอื่นๆ ที่ส่งผลให้วงจรไม่มีเสถียรภาพเมื่อใช้ CFA แทน VFA เช่น ค่าประจุไฟฟ้าที่มากเกินไปบริเวณอินพุตทางลบ หรือเอาท์พุตของวงจรขยาย

วงจรขยายป้อนกลับกระแส CFA มีพื้นฐานโครงสร้างที่แตกต่างกัน และมีข้อดีในการเลือกใช้สูงกว่า วงจรขยายป้อนกลับแรงดัน VFA คุณสมบัติของ CFA มีค่าของ slew rate และ band width ที่สูงมากขึ้น ซึ่งค่าทั้งสองจะไม่ขึ้นต่อกันเมื่อต่อแบบ close loop gain จากผลของการให้ค่า slew rate ที่สูงส่งผลให้ ช่วงเวลาการขึ้นลง rise time และ fall time ของสัญญาณสูงขึ้นด้วย และ การเพิ่มของ

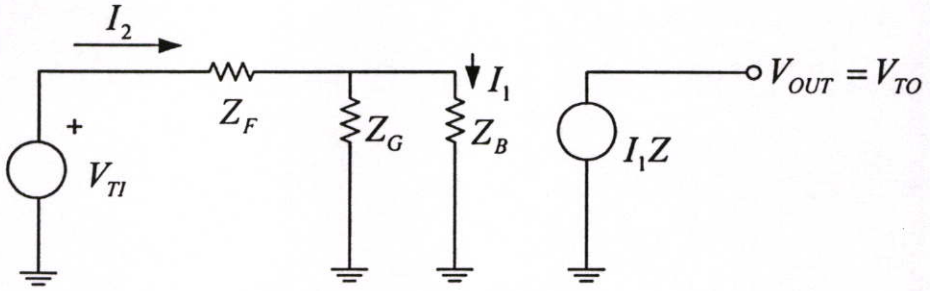
สัญญาณการมอดูเลท น้อยมาก จากข้อดีของวงจรดังกล่าว สามารถนำมาออกแบบให้ทำงานที่แรงดันต่ำ สำหรับอุปกรณ์แสดงสัญญาณวิดีโอ อุปกรณ์ที่พกพา หรืออุปกรณ์ไร้สาย เช่น โทรศัพท์มือถือ

4.2 วิเคราะห์สมการเสถียรภาพของวงจร

สมการเสถียรภาพสามารถพิจารณาตามรูปที่ 4.1 ความมีเสถียรภาพไม่ได้ขึ้นอยู่กับอินพุต แต่ความมีเสถียรภาพขึ้นอยู่กับ loop gain $(A\beta)$ เพียงอย่างเดียว สมการการมีเสถียรภาพสามารถพิจารณาโดยการโดยการตัดลูปของที่ตำแหน่ง X และต่อจุดการทดสอบสัญญาณ (V_{TI}) และสามารถคำนวณสัญญาณการย้อนกลับ (V_{TO}) วงจรตามรูปที่ 4.2 เป็นวงจรโครงสร้างของ CFA ประกอบไปด้วย input buffer gain , output buffer gain และ output buffer ส่วนเอาท์พุตอิมพิแดนซ์ ตัดออกจากวงจรเพื่อง่ายต่อการคำนวณ



รูปที่ 4.1 วงจรวิเคราะห์การมีเสถียรภาพ



รูปที่ 4.2 โครงสร้างของวงจรวิเคราะห์เสถียรภาพ

สมการการถ่ายโอนเป็นตามสมการที่ 4.1 และใช้กฎของ Kirchhoff's law ในการเขียนสมการที่ 4.2 และ สมการที่ 4.3

$$V_{TO} = I_1 Z \tag{4.1}$$

$$V_{TI} = I_2 \left(Z_F + Z_G \| Z_B \right) \tag{4.2}$$

$$I_2 \left(Z_G \| Z_B \right) = I_1 Z_B \tag{4.3}$$

สมการที่ 4.2 แทนค่าในสมการที่ 4.3 ซึ่งเป็นสมการที่ 4.4

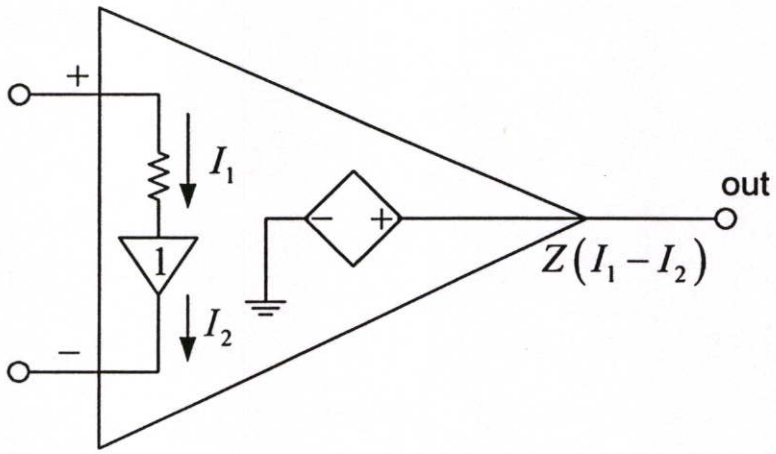
$$V_{TI} = I_1 \left(Z_F + Z_G \| Z_B \right) \left(1 + \frac{Z_B}{Z_G} \right) = I_1 Z_F \left(1 + \frac{Z_B}{Z_F \| Z_G} \right) \tag{4.4}$$

จากสมการที่ 4.1 แทนค่าในสมการที่ 4.4 เป็นสมการที่ 4.5 ซึ่งเป็นสมการ open loop transfer สมการนี้เป็นสมการที่รู้จักในชื่อของ loop gain

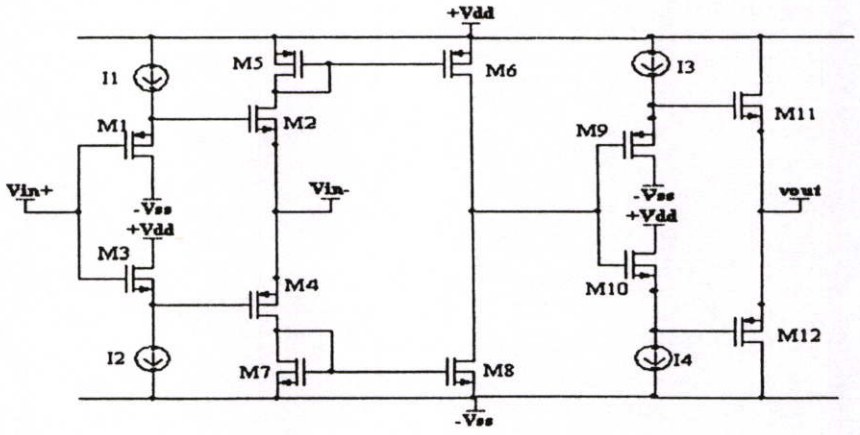
$$A\beta = \frac{V_{TO}}{V_{TI}} = \frac{Z}{\left(Z_F \left(1 + \frac{Z_B}{Z_F \| Z_G} \right) \right)} \tag{4.5}$$

4.3 วงจรขยายป้อนกลับกระแสแรงดันต่ำ

จากรูปที่ 4.3 (a) แสดงโครงสร้างรูปแบบของ CFA วงจรพื้นฐานที่ใช้ในการออกแบบ unity gain buffer เป็นการต่อระหว่างสองขาอินพุต (+ และ -) ซึ่งจ่ายแรงดันให้แก่ขา inverting (-) เหมือนกับขา non–inverting (+) ในทางอุดมคติ unity gain buffer มีเอาท์พุต impedance เป็นศูนย์และ อินพุต impedance มีค่าเป็นอนันต์ จากผลการทำงานของวงจร เอาท์พุต impedance เป็นศูนย์ส่วนอินพุต impedance มีค่าเป็นอนันต์ วงจรมีกระแสที่แตกต่างกัน ดังนั้น สามารถที่จะจ่ายกระแสเพื่อควบคุมแรงดันแหล่งจ่าย ซึ่งมีค่าเอาท์พุต impedance มีค่าเป็นศูนย์เพื่อที่จะขับสัญญาณภาคเอาท์พุตทำให้ได้สัญญาณที่ตรงข้ามกันกับ V_{in} ตาม gain โครงสร้าง โดยเครือข่ายการต่อวงจรป้อนกลับ



(a)

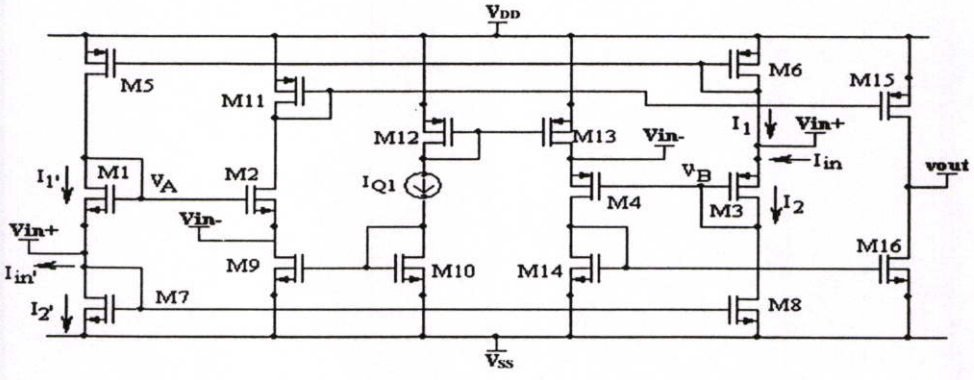


(b)

รูปที่ 4.3 (a) Ideal–CFA (b) Conventional–CFA

โครงสร้าง CFA แสดงดังรูปที่ 4.3 (b) ทรานซิสเตอร์คู่ (M1-M2) และ (M3-M4) เป็นรูปแบบการต่อแบบ unity gain buffer ซึ่งทำหน้าที่ไบอัสกระแส I1 และ I2 ตามลำดับ เมื่อแหล่งจ่ายมีแรงดันที่เพิ่มมากขึ้น M1 และ M3 เริ่มทำงานและทำงานควบคู่กัน กระแสเอาท์พุตของ unity gain buffer ($I_{ds(M2)}$ และ $I_{ds(M4)}$) ดังนั้น จากลักษณะเดียวโครงสร้างเดียวกันเป็นภาค high gain $(M9-M10)$ และภาคเอาท์พุต $(M11-M12)$ ตามลำดับ

ข้อเสียของวงจร จากโครงสร้างวงจรไม่สามารถที่จะออกแบบให้ทำงานที่แรงดันต่ำ ต้องการแรงดันที่สูงที่ภาคอินพุต (the unity gain buffer) จุดประสงค์ของการวิจัยต้องการให้ระบบ CFA แบบใหม่ที่ใช้แรงดันต่ำ ซึ่งภาคอินพุตถูกออกแบบเป็นแบบ folded–cascade class AB โดยจะออกแบบเป็นสองส่วน



รูปที่ 4.4 โครงสร้างของ FCFA ที่นำเสนอ

รูปที่4.4 แสดงการวงจรขยายสัญญาณป้อนกลับกระแสแบบโฟลด Folded Current Feedback Amplifier (FCFA) ประกอบด้วยทรานซิสเตอร์สองคู่ (M1-M2) และ (M3-M4) เป็นรูปแบบการต่อวงจร folded – cascade แบบ unity gain buffer ซึ่งต่อวงจรไบอัสด้วยตัวเองเป็นแบบกระแสลูป (M5-M8). กำหนดให้ ของ PMOS และ NMOS มีค่าแรงดัน threshold ใกล้เคียงกันและเท่ากับ V_{th} ได้สมการดังนี้

$$I_1 = \frac{\beta_p}{2}\left(V_{dd} - V_{in}^{+} - V_{th}\right)^2$$

และ $$I_2 = \frac{\beta_p}{2}\left(V_{in}^{+} - V_B - V_{th}\right)^2 \qquad (4\text{-}6)$$

$$I_1^{'} = \frac{\beta_n}{2}\left(V_A - V_{in}^{+} - V_{th}\right)^2$$

และ $$I_2^{'} = \frac{\beta_n}{2}\left(V_{in}^{+} - V_{ss} - V_{th}\right)^2 \qquad (4\text{-}7)$$

กระแส Current mirror จาก (M5-M6) และ (M7-M8) ขับให้ $\left(I_1^{'} = I_1\right)$ และ $\left(I_2^{'} = I_2\right)$ มีความสัมพันธ์ดังต่อไปนี้

$$V_A = \left(V_{in}^{+} + V_{th}\right)\left[V_{dd}\sqrt{\frac{\beta_p}{\beta_n}} - 1\right] \qquad (4\text{-}8)$$

$$V_B = \left(V_{in}^{+} - V_{th}\right)\left[V_{ss}\sqrt{\frac{\beta_n}{\beta_p}} + 1\right] \qquad (4\text{-}9)$$

กระแสอินพุตหาได้จาก

$$I_{in} = I_2 - I_1 \quad \text{และ} \quad I_{in}^{'} = I_1^{'} - I_2^{'} \qquad (4\text{-}10)$$

เมื่อแหล่งจ่ายมีแรงดันเพิ่มมากขึ้น

$$\left(\left|V_{dd} - V_{ss}\right| > 2V_{th} + V_{ds(sat)} + V_{in(swing)}\right)$$

ทรานซิสเตอร์ทุกตัวเริ่มทำงานและเข้าสู่สภาวะอิ่มตัว จากลูปกระแสและสมการที่ (1) กระแสอินพุต และที่ขาของ V_{in}^{+} มีค่าเท่ากับ $2I_{in}$

ในทางกลับกัน เมื่อ แหล่งจ่ายมีแรงดันต่ำลง $\left(\left|V_{dd} - V_{ss}\right| \le 2V_{th} + V_{ds(sat)} + V_{in(swing)}^{+}\right)$ขับสัญญาณของวงจรโดยการใช้วงจร class–AB เมื่อ $\left(V_{in}^{+} > V_{dd} - V_{th}\right)$ ส่งผลให้ M5-M6 สามารถขับวงจรให้ทำงานใน sub-threshold และกระแสที่ต่ำลงของ (I_1 และ $I_1^{'}$) ซึ่งเป็นช่วงที่แสดงให้เห็นว่ากระแสที่ลดตอนลงไป (I_Q) ในการขับสัญญาณของวงจร class –AB ในขณะเดียวกัน M3 และ M7-M8 ยังคงทำงานเข้าสูงสภาวะอิ่มตัวและ ค่าจะได้ค่า V_B ตามสมการที่ 4.9 ในลักษณะเดียวกัน เมื่อ

$\left(V_{in}^{+} < \left[V_{th} - |V_{SS}|\right]\right)$ ทำให้ M7-8 ทำงานอยู่ในช่วงของ sub-threshold ในขณะที่ M1 และ M5-6 อยู่ในสภาวะอิ่มตัวตามสมการที่4.8

การไบอัสของวงจร (M9-10 และ M12-13) เกิดกระแสที่น้อย $\left(I_{Q1}\right)$ เพื่อที่จะรักษาการทำงานของ M11 และ M14 ให้สามารถขับวงจรขยาย class-AB ส่วนของภาคเอาท์พุตเป็นการทำงานของทรานซิสเตอร์ M15-16

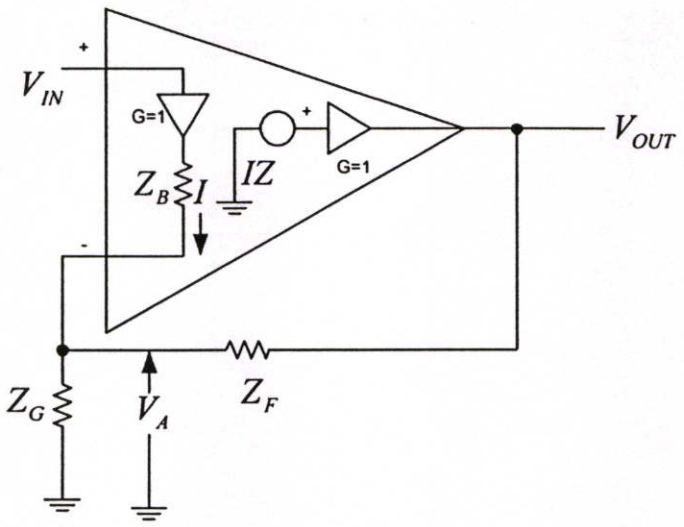
ออกแบบวงจรโดยการใช้งาน MOSIS 0.5 μm เป็นจุดจ่ายแรงดันคู่ (V_{dd} และ V_{ss}) ซึ่งในการทำงานของวงจรให้แรงดันที่ 0.75V และ -0.75 V ตามลำดับ จากตารางที่1. แสดงค่าขนาดของทรานซิสเตอร์ กำหนดค่าของกระแส I_{Q1} ให้มีค่า $10\mu A$ และ $20k\Omega$ โหลดค่าความต้านทาน $\left(R_{load}\right)$ ซึ่งใช้ในการจำลองการทำงาน

ตารางที่ 4.1 ค่าขนาดทรานซิสเตอร์ที่เลือกใช้ FCFA (L=0.5 μm)

TR	W(μm)	TR	W(μm)
M1	4	M9	5
M2	4	M10	5
M3	25	M11	15
M4	25	M12	15
M5	15	M13	15
M6	15	M14	5
M7	5	M15	360
M8	5	M16	90

4.4 วงจรขยายแบบ Non–inverting CFA

สมการ close loop gain สำหรับวงจรขยายแบบ Non-inverting CFA สามารถอธิบายได้ตามรูปที่ 4.5 โดยการกำหนดค่าความต้านทานของ gain จากภายนอกซึ่งเพิ่มเข้าไป ส่วนของบัฟเฟอร์ที่มีค่าเท่ากับ 1 เพราะฉะนั้นในการวิเคราะห์จะไม่นำมาคำนวณ



รูปที่ 4.5 วงจรขยายสัญญาณแบบ Non-inverting CFA

สมการที่ 4.11 เป็นสมการถ่ายโอน สมการที่ 4.12 เป็นสมการของกระแส ที่ตำแหน่งของขา inverting และสมการที่ 4.12 เป็นสมการของ input loop เมื่อแทนค่าสมการเข้าด้วยกันจะได้เป็นสมการที่ 4.14 ซึ่งเป็นสมการ close loop gain

$$V_{OUT} = IZ \tag{4.11}$$

$$I = \left(\frac{V_A}{Z_G}\right) - \left(\frac{V_{OUT} - V_A}{Z_F}\right) \tag{4.12}$$

$$V_A = V_{IN} - IZ_B \tag{4.13}$$

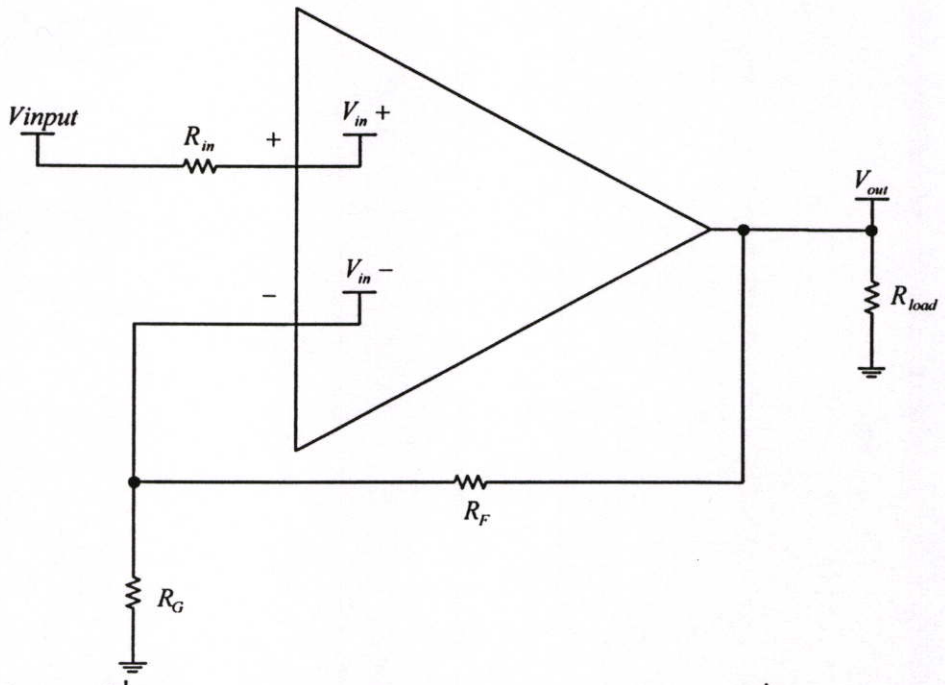
$$\frac{V_{OUT}}{V_{IN}} = \frac{\dfrac{Z\left(1+\dfrac{Z_F}{Z_G}\right)}{Z_F\left(1+\dfrac{Z_B}{Z_F \parallel Z_G}\right)}}{1+\dfrac{Z}{Z_F\left(1+\dfrac{Z_B}{Z_F \parallel Z_G}\right)}} \tag{4.14}$$

เมื่ออินพุตอิมพีแดนซ์บัฟเฟอร์ (Z_B) มีค่าเข้าใกล้ศูนย์ ดังนั้นจากสมการที่ 4-14 สามารถลดรูปของสมการที่ 4.16

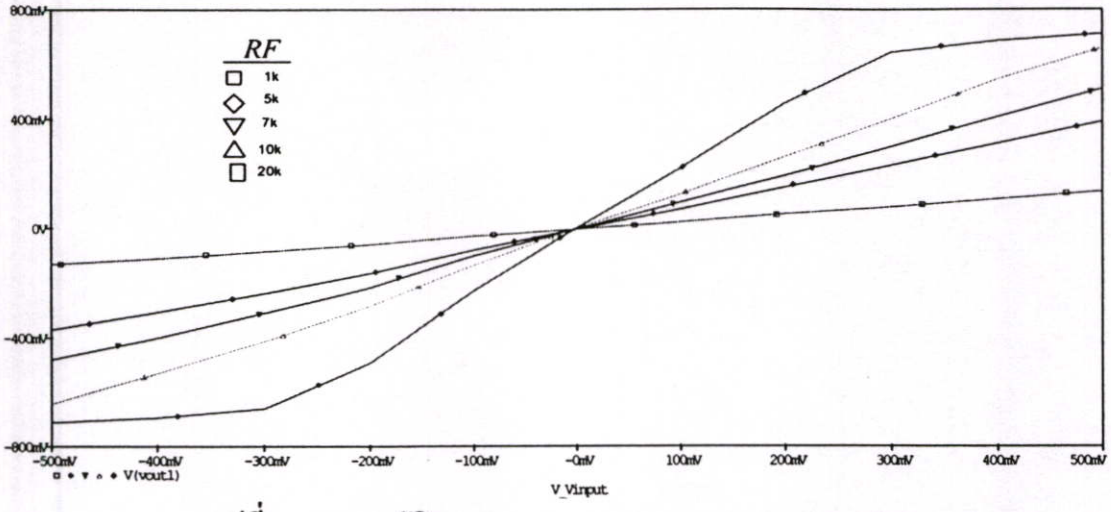
$$\frac{V_{OUT}}{V_{IN}} = \frac{\dfrac{Z\left(1+\dfrac{Z_F}{Z_G}\right)}{Z_F}}{1+\dfrac{Z}{Z_F}} = \frac{1+\dfrac{Z_F}{Z_G}}{1+\dfrac{Z_F}{Z}} \qquad (4.15)$$

เมื่อค่าของ transimpedance (Z) มีค่าสูงมาก ในเทอมของ Z_F / Z ในสมการที่ 4.15 จึงมีค่าเข้าใกล้ศูนย์ และสมการที่ 4.15 สามารถลดรูปเป็นสมการที่ 4.16 ซึ่งสมการทางอุดมคติของ close loop gain ของวงจรขยายแบบ CFA และ VFA มีลักษณะทางอุดมที่เหมือนกัน แต่สมมุติฐานทางอุดมคติของทั้งสองแตกต่างกัน กล่าวคือ VFA มีหนึ่งสมมุติฐาน คือมี direct gain ที่มีค่าสูงมาก ในขณะที่ CFA มีสองสมมุติฐานทางอุดมคติคือ ค่า transimpedance ที่สูงมาก และ อินพุตบัฟเฟอร์และเอาท์พุตอิมพีแดนซ์มีค่าต่ำมาก จากสมมุติฐานดังกล่าว ทำให้การออกแบบวงจรที่มีสมมุติฐานทางอุดมคติสองข้อยากกว่าที่มีเพียงหนึ่ง ดังนั้น CFA สมมุติฐานทางอุดมคติมากกว่า VFA

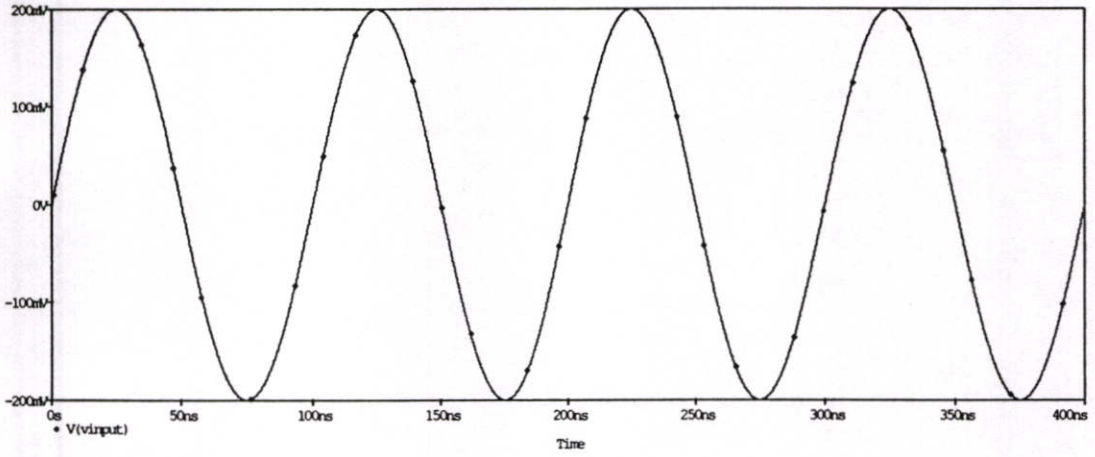
$$\frac{V_{OUT}}{V_{IN}} = 1+\frac{Z_F}{Z_G} \qquad (4.16)$$

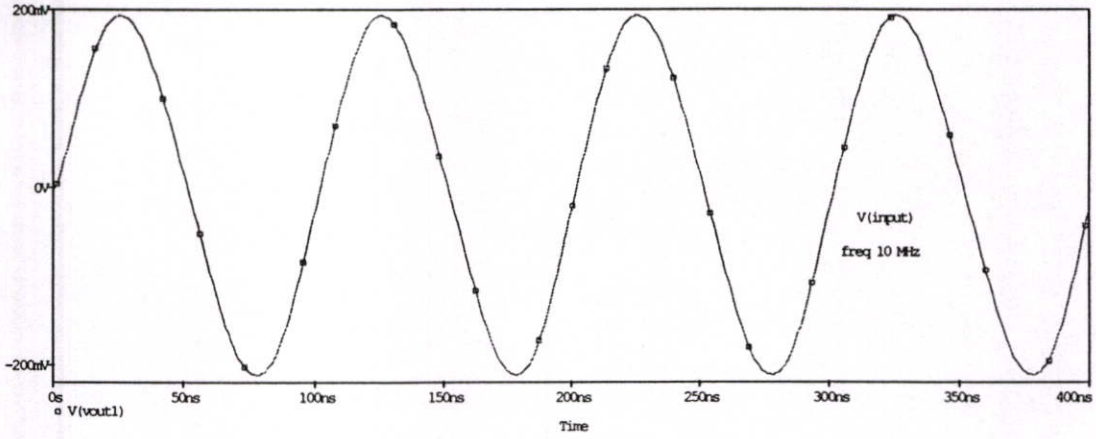


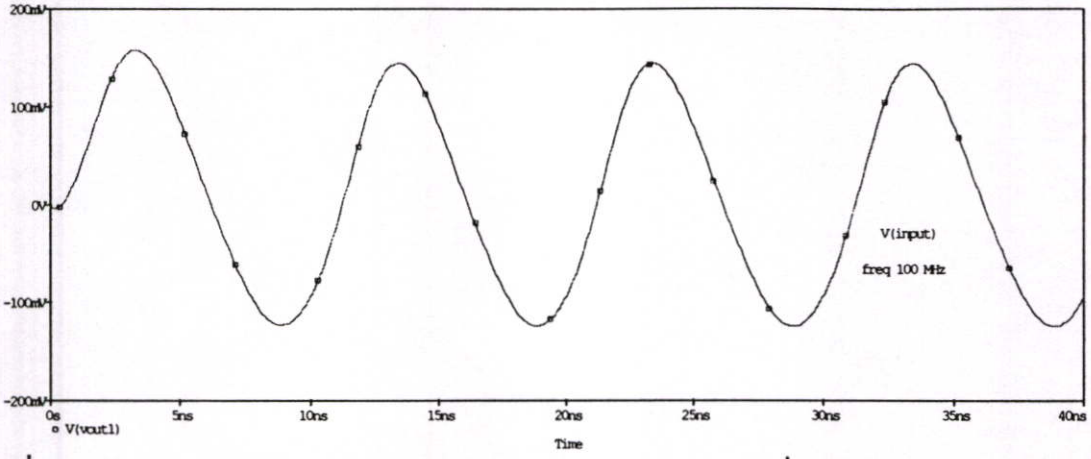
รูปที่ 4.6 วงจรขยายแบบ Non-inverting amplifier โปรแกรมที่ทดสอบ



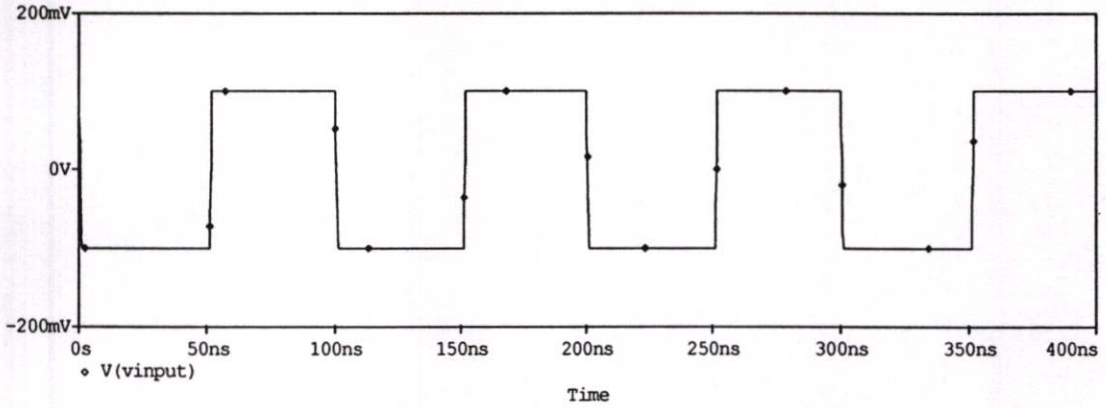
รูปที่ 4.7 คุณสมบัติทาง DC ของวงจรขยายแบบ Non-inverting

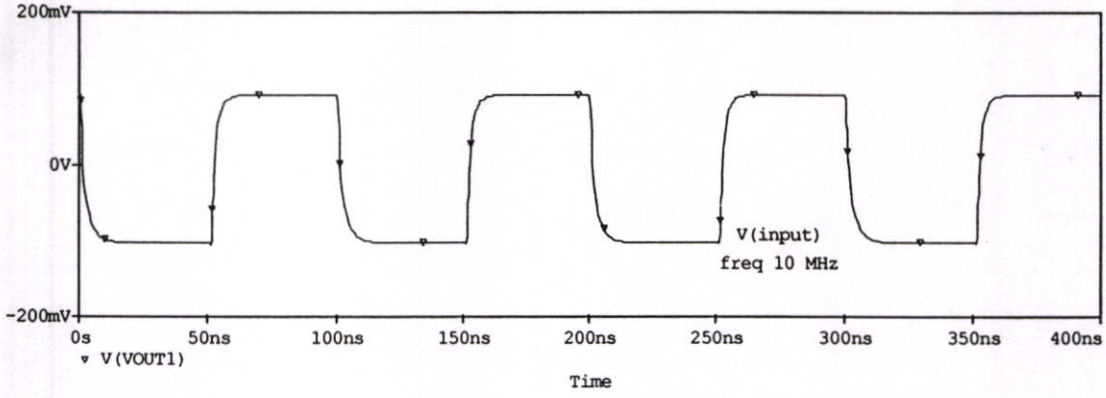


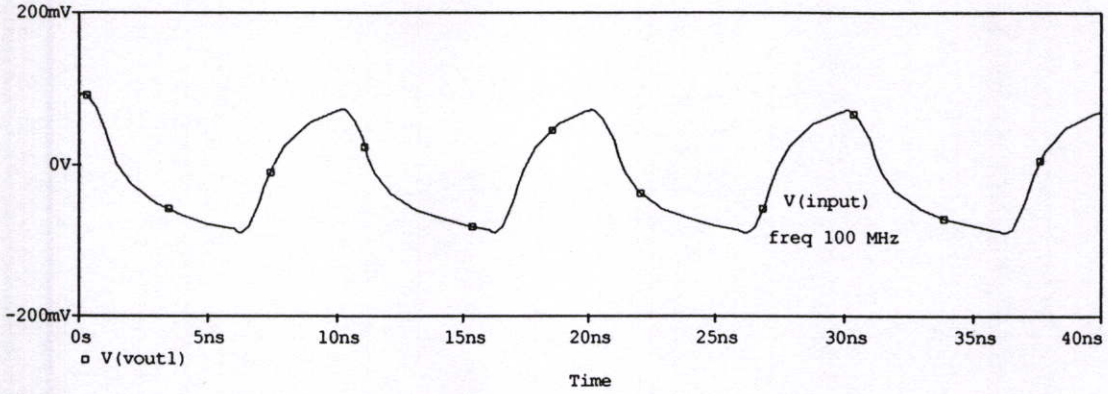




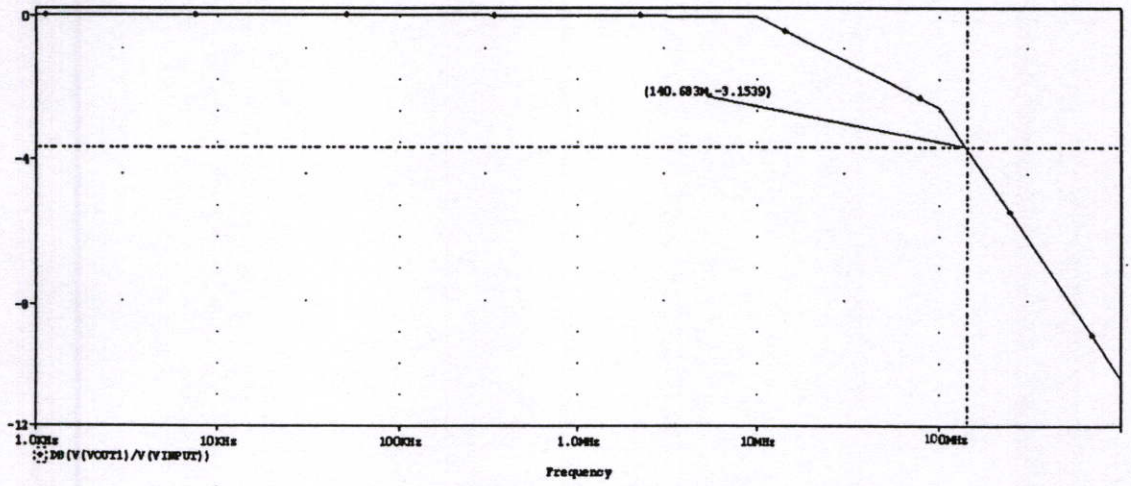
รูปที่ 4.8 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Non–inverting เมื่อป้อนอินพุตเป็นสัญญาณซายน์ (Sinusoidal input)







รูปที่ 4.9 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Non –inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input)



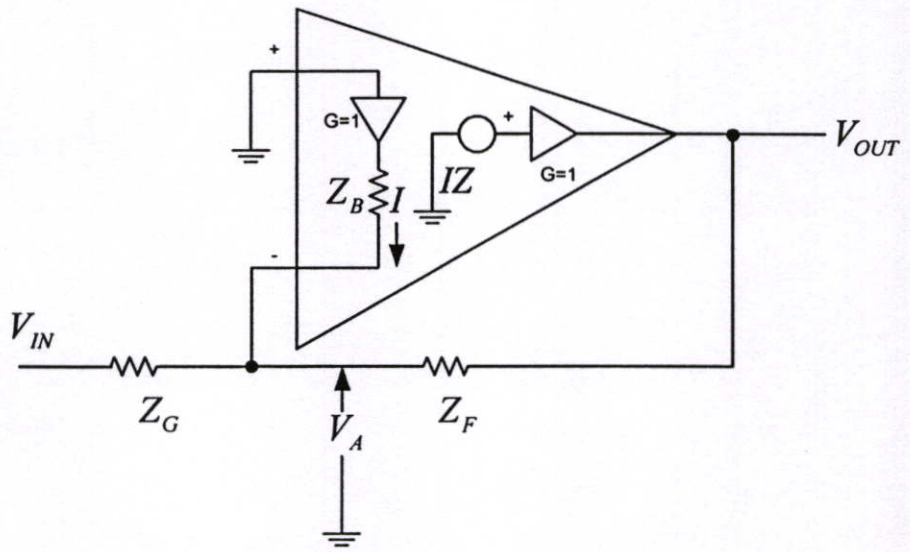
รูปที่ 4.10 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Non – inverting

รูปที่4.6 เป็นการต่อวงจรแบบ non-inverting amplifier โดยการกำหนดค่า R_G มีค่าเท่ากับ 1k และเปลี่ยนค่า R_F ($1k\Omega, 5k\Omega, 7k\Omega, 10k\Omega$ และ $20k\Omega$) ผลที่ได้ อัตราการขยาย(0.3,0.8,1,1.3 และ 2.5) ตามลำดับ ดังรูปที่ 4.7

การจ่ายสัญญาณในการทดลองแบ่งเป็นสองชนิด คือแบบ สัญญาณซายด์ (Sinusoidal input) และสัญญาณสี่เหลี่ยม (Square input) ทดสอบความสัมพันธ์แบบ transient โดยการกำหนด ค่าสัญญาณอินพุต 10MHz และ 100MHz ดังรูปที่ 4.8 และรูปที่ 4.9 แสดงผลการทดลองซึ่งต่อวงจรขยายแบบ unity gain non-inverting กำหนดให้ $(R_F = 7k\Omega)$ จ่ายสัญญาณไซน์ขนาด $\pm 0.2V$ และสัญญาณสี่เหลี่ยม $\pm 0.1V$ ตามลำดับ รูปที่4.10 แสดงความสัมพันธ์ของแรงดันของวงจรขยาย unity gain non-inverting และ cut-off (-3dB) ที่ความถี่ 140MHz

4.5 วงจรขยายแบบ Inverting CFA

วงจรขยายแบบ Inverting CFA ถูกนำมาใช้งานค่อนข้างน้อยเพราะอินพุตอิมพิแดนซ์ มีขนาดที่ต่ำมาก $(Z_B \parallel Z_F + Z_G)$ เมื่อค่าของ Z_G ที่เลือกใช้งานมีค่าความต้านทานที่สูง ทำให้มีผลตามค่าของ Z_B, Z_F จะต้องสูงตามไปด้วย ทำให้ค่า unit gain จากวงจรมีค่าลดน้อยลง การเลือกใช้ค่า Z_F ที่มีค่าสูงมาก มีผลทำให้ Bandwidth ลดต่ำลงอย่างเห็นได้ชัด ถ้าเลือกค่าของ Z_G , Z_B มีค่าที่ต่ำลง มีผลต่อความไวของความถี่ ซึ่งก็คือ gain ที่เพิ่มขึ้นสามารถรับความถี่เพิ่มขึ้นตาม แต่ถึงอย่างไรก็มีข้อจำกัดตามลักษณะการนำไปใช้งานของวงจรขยาย Inverting CFA



รูปที่ 4.11 วงจรขยายสัญญาณแบบ Inverting CFA

สมการกระแสของโหนดอินพุตอธิบายสมการตามสมการที่ 4.17 และ สมการที่ 4.18 เป็นค่าชี้วัดแรงดันส่งผ่าน dummy variable (V_A) และสมการที่ 4.19 เป็นสมการส่งผ่าน transfer equation ของวงจรขยายสัญญาณแบบ CFA เมื่อนำสมการดังกล่าวมาคำนวณร่วมกันเป็นสมการเพื่อฐานสำหรับวิเคราะห์วงจร คือสมการที่ 4.20 ซึ่งก็คือสมการ close loop gain ที่ใช้ในการวิเคราะห์วงจรขยายสัญญาณแบบ inverting CFA

$$I + \frac{V_{IN} - V_A}{Z_G} = \frac{V_A - V_{OUT}}{Z_F} \tag{4.17}$$

$$IZ_B = -V_A \tag{4.18}$$

$$IZ = V_{OUT} \tag{4.20}$$

$$\frac{V_{OUT}}{V_{IN}} = -\frac{Z_G\left(1+\frac{Z_B}{Z_F \parallel Z_G}\right)}{1+\frac{Z}{Z_F\left(1+\frac{Z_B}{Z_F \parallel Z_G}\right)}} \tag{4.19}$$

เมื่อค่าของ Z_B มีค่าเข้าใกล้ศูนย์มาก ที่สมการที่ 4.19 สามารถลดรูปเป็นสมการที่ 4.20

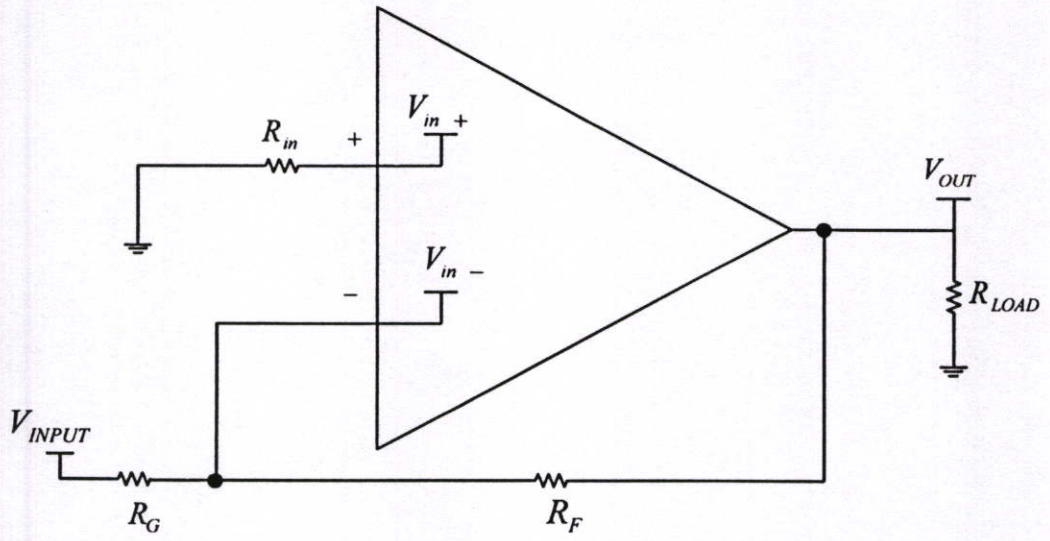
$$\frac{V_{OUT}}{V_{IN}} = -\frac{\frac{1}{Z_G}}{\frac{1}{Z}+\frac{1}{Z_F}} \tag{4.20}$$

โดยทั่วไปของการทำงานในวงจรแล้วค่า Z มีค่าที่สูงมากในสมการที่ 4.20 สามารถลดรูปลงได้อีกเป็นสมการที่ 4.21 ซึ่งเป็นสมการ close loop gain ทางอุดมคติของวงจรขยายสัญญาณ inverting CFA

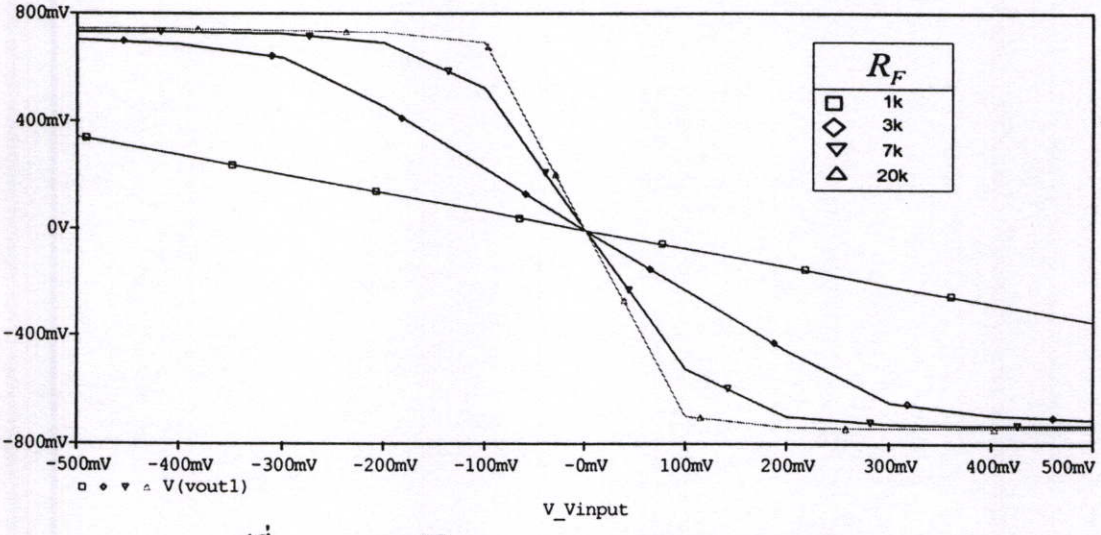
$$\frac{V_{OUT}}{V_{IN}} = -\frac{Z_F}{Z_G} \tag{4.21}$$

ในทางอุดมคติสมการ close loop gain ของวงจรขยายสัญญาณแบบ Inverting ทั้งที่เป็นลักษณะของ VFA และ CFA มีลักษณะคุณสมบัติทางอุดมคติที่เหมือนกันที่ โครงสร้างทั้งสองมีอินพุตอิมพิแดนซ์ที่ต่ำกว่าโครงสร้างการต่อวงจรขยายแบบ Non-inverting จากข้อมูลทางอุดมคติคือ VFA มีหนึ่งสมมุติฐานทางอุดมคติ คือมี direct gain ที่มีค่าสูงมาก ในขณะที่ CFA มีสองสมมุติฐานทางอุดมคติคือค่า transimpedance ที่สูงมากกับอินพุตบัฟเฟอร์และเอาท์พุตอิมพีแดนซ์มีค่าต่ำมาก

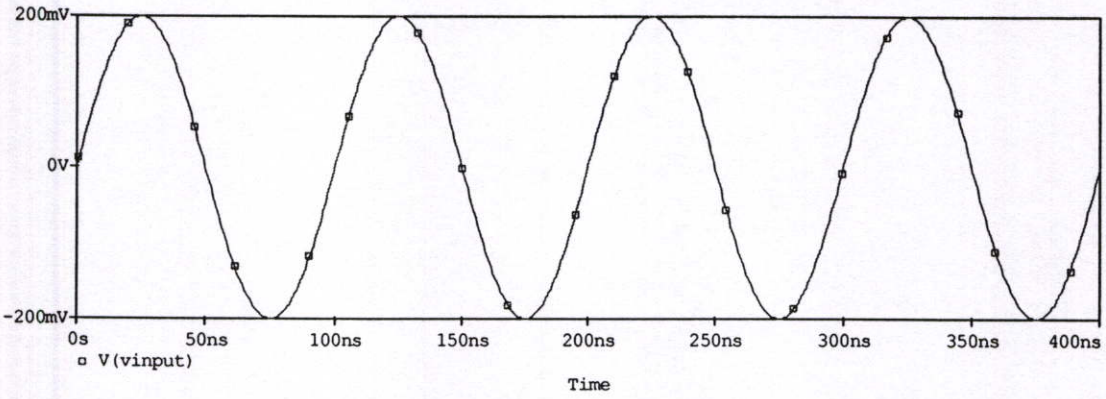
จากคุณลักษณะของวงจรขยายแบบ CFA ค่าของ Z_B เข้าใกล้ศูนย์ ทำให้เกิดการ break down ในส่วนของ bipolar-junction ของทรานซิสเตอร์ที่อยู่ในภาคอินพุตของวงจรขยาย ทำให้วงจรขยายที่นำไปใช้งานเป็นแบบ Differential amplifier จะไม่นิยมนำมาใช้งานเนื่องมากจากค่าของอินพุตอิมพิแดนซ์ที่สูงมากจนเข้ากันไม่ได้กับการใช้งาน

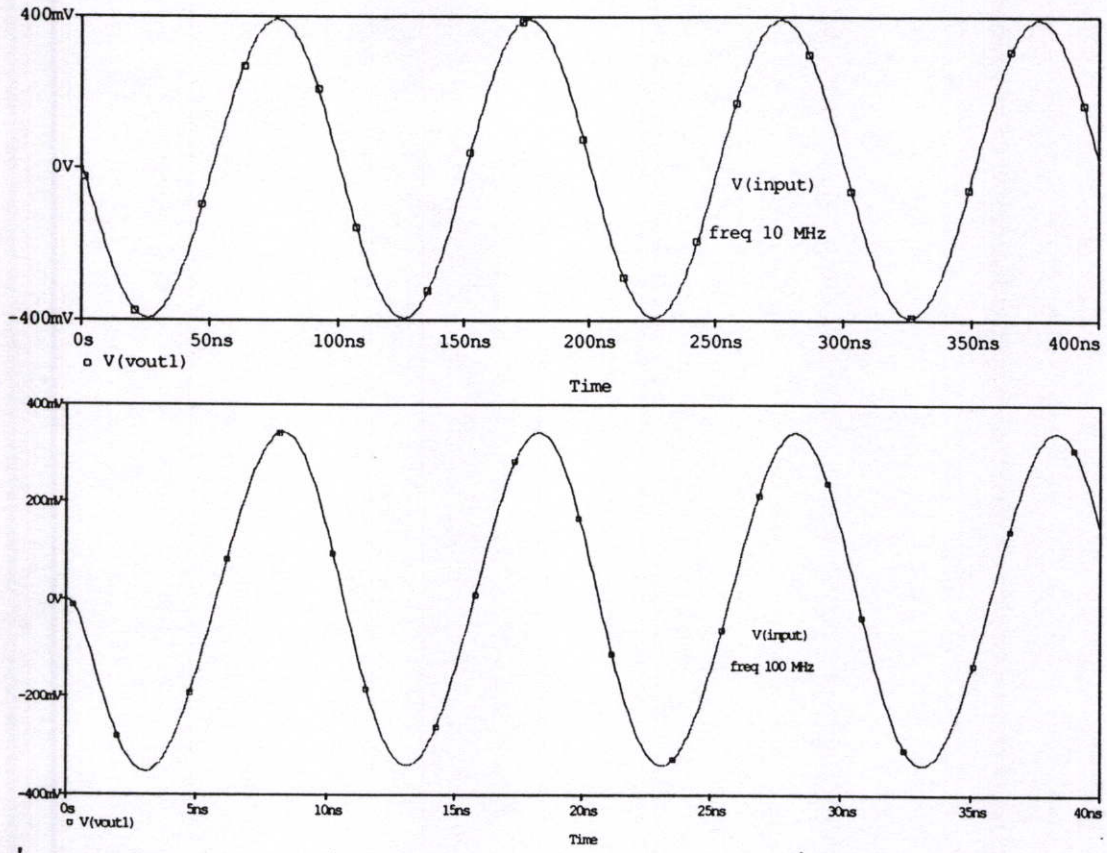


รูปที่ 4.12 วงจรขยายแบบ Inverting amplifier สำหรับทดสอบวงจร

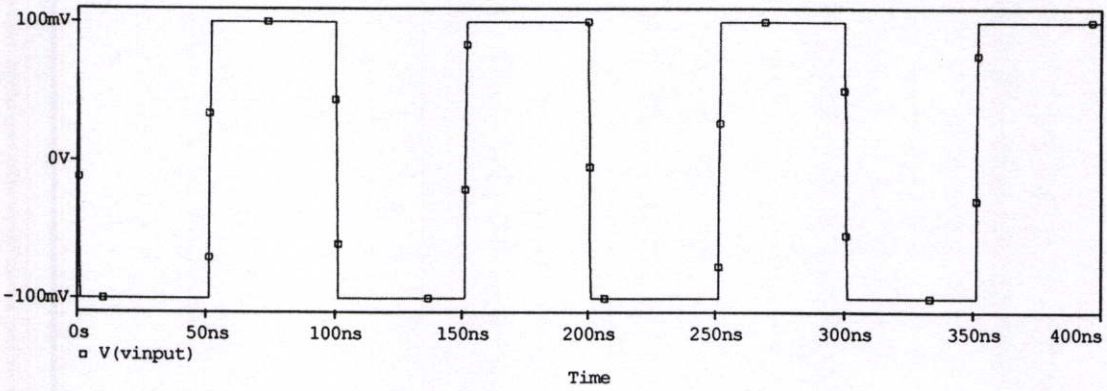


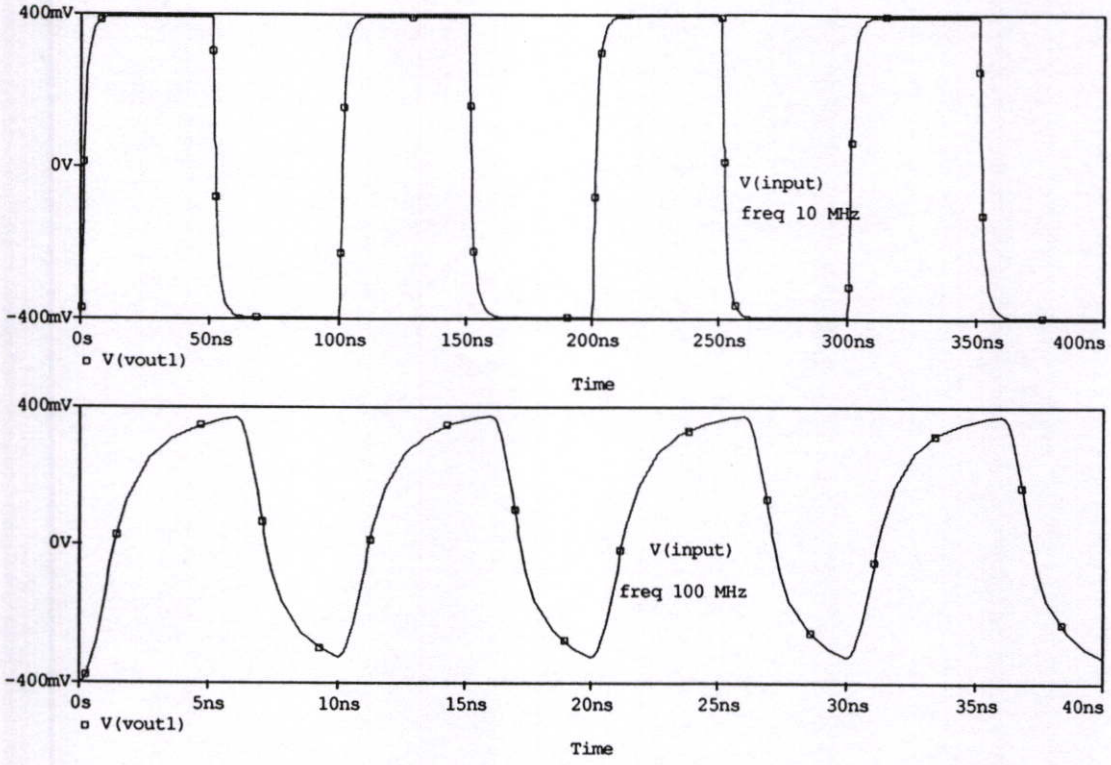
รูปที่ 4.13 คุณสมบัติทาง DC ของวงจรขยายแบบ Inverting



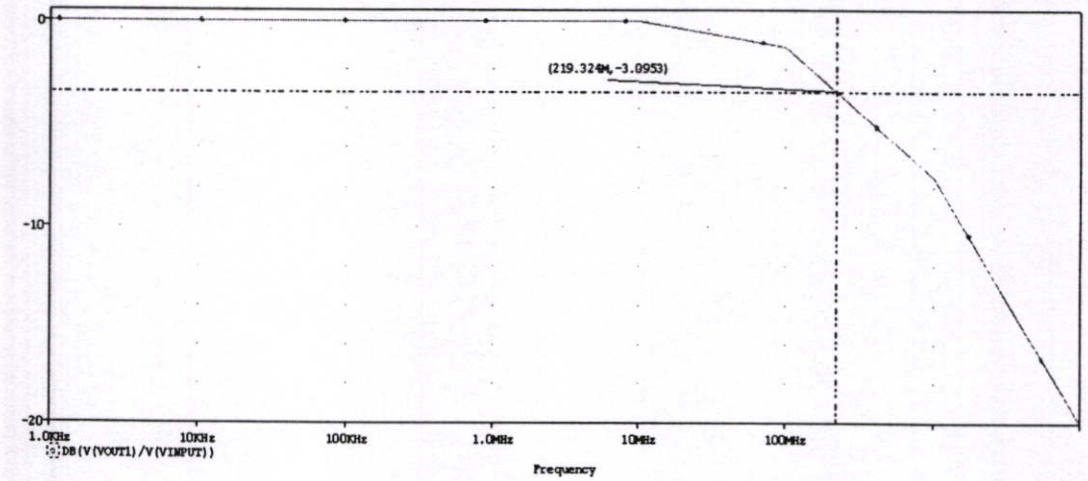


รูปที่ 4.14 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Non –inverting เมื่อป้อนอินพุตเป็นสัญญาณซายน์ (Sinusoidal input)





รูปที่ 4.15 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input)

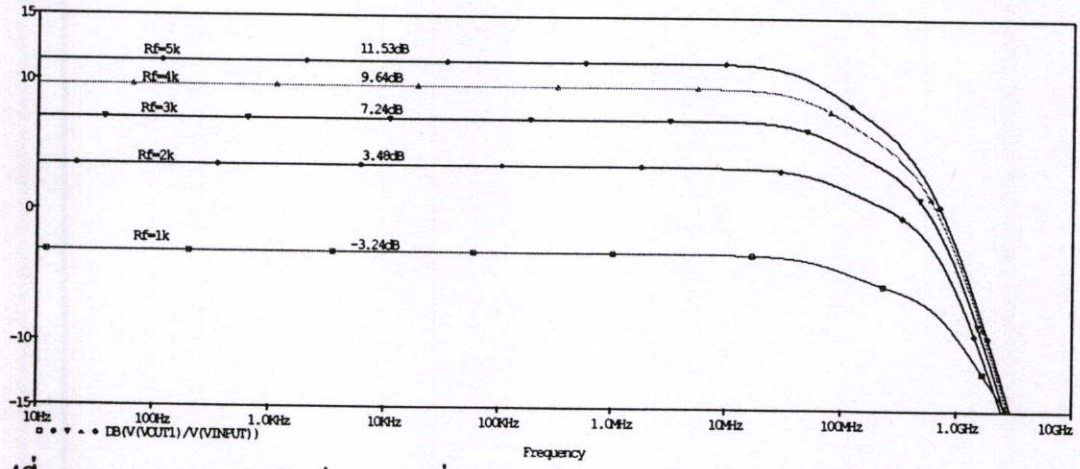


รูปที่ 4.16 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Inverting

รูปที่ 4.12 แสดงไดอะแกรมของวงจรขยาย Inverting โดยการกำหนดค่า เหมือนกับ non-inverting amplifier รูปที่ 4.13 ผลการทดลองของ Inverting amplifier dc-characteristic โดยการกำหนดค่าของ

R_G เท่ากับ $1\,k\Omega$ และเปลี่ยนค่าของ R_F เท่ากับ ($1k\Omega$, $3k\Omega$,$7k\Omega$ และ $20k\Omega$) ผลของการทดลองมีอัตราการขยายของวงจร -0.85 , -4 , -5.5 และ -13.5 ตามลำดับ

รูปที่ 4.14 แสดงความสัมพันธ์ของสัญญาณแบบ transient ที่อินพุตเป็นสัญญาณซายน์ (Sinusoidal input) และรูปที่ 4.15 จ่ายอินพุตเป็นแบบสัญญาณสี่เหลี่ยม(Square input) ซึ่งจ่ายสัญญาณอินพุต 10MHz และ 100MHz ต่อวงจรการทดสอบแบบ Inverting ให้มีอัตราการขยายเท่ากับ 2 โดยการกำหนดให้ R_G เท่ากับ $1k\Omega$ และ R_F เท่ากับ $2.7k\Omega$ สัญญาณอินพุตเท่ากับ $\pm 0.2V$ ความถี่ cutoff ที่ – 3 dB มีความถี่มีค่าเท่ากับ 219 MHz แสดงดังรูปที่ 4.14



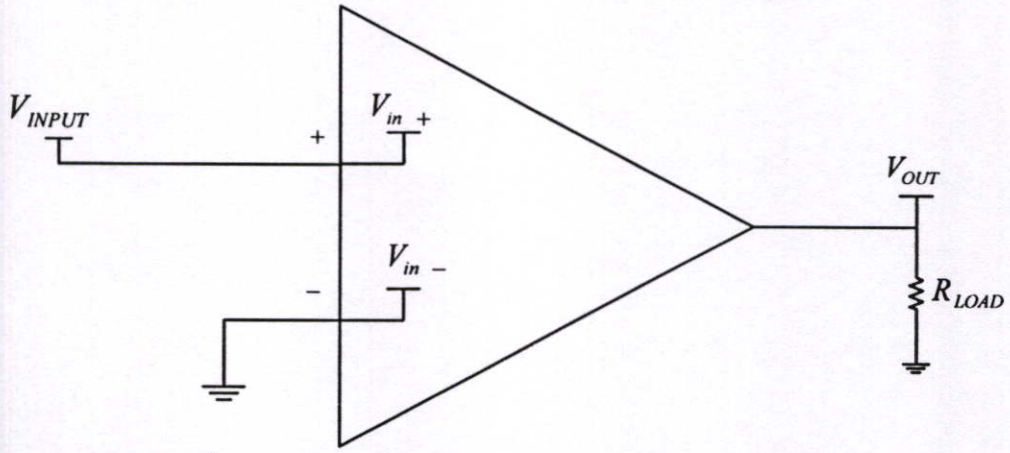
รูปที่4.17 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Inverting เปรียบเทียบอัตราการขยายไม่ขึ้นอยู่กับความกว้างของ Bandwidth

รูปที่ 4.17 กราฟแสดงคุณลักษณะของ CFA นั้นคือ Bandwidth อิสระต่อการเปลี่ยนแปลงของอัตราการขยายวงจรปิด (Close loop gain) โดยการกำหนด $R_g = 1k\Omega$ แล้วทำการเปลี่ยนแปลงค่า R_f เป็น $1k\Omega, 2k\Omega$ และ $3k\Omega$ ผลการทดสอบจากกราฟแสดงให้เห็นว่าอัตราการขยายจะไม่ขึ้นอยู่กับ Bandwidth แต่เมื่ออัตราการขยายต่ำกว่า 0 dB ความกว้างของ Bandwidth เพิ่มมากขึ้น

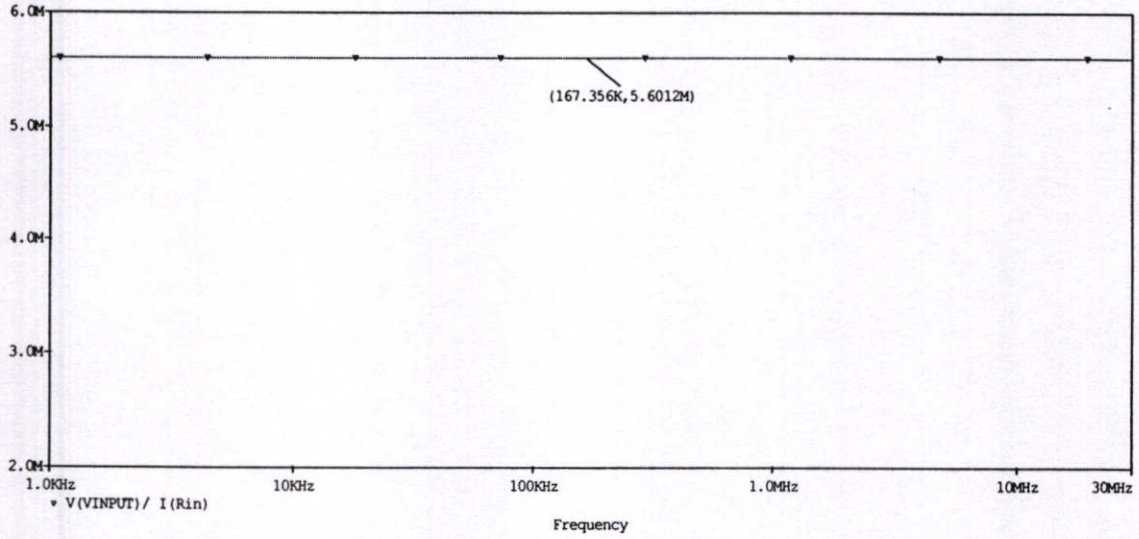
4.6 ความต้านทานอินพุตและเอาท์พุต

4.6.1 ความต้านทานอินพุต

จากรูปที่ 4.18 กำหนด จ่าย V_{INPUT} สัญญาณอินพุตขนาด 200 mV ความถี่ 10 MHz



รูปที่ 4.18 วงจร Non-inverting ทดสอบความต้านทานอินพุต



รูปที่ 4.19 แสดงรูปสัญญาณเอาท์พุตของวงจร Non-inverting ทดสอบความต้านทานอินพุต

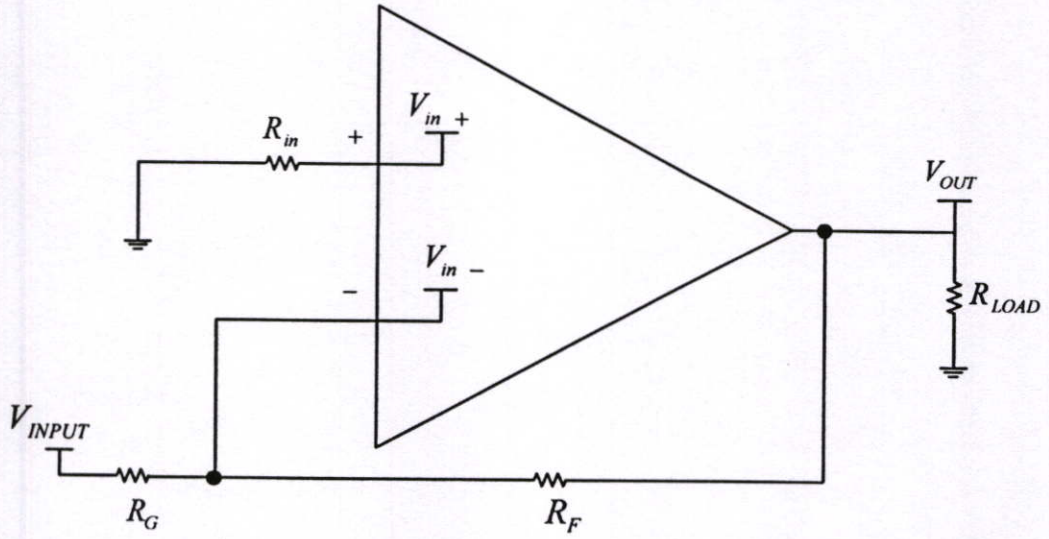
จากสมการกฎโอห์ม $Z = V / I$ (4.22)

เพราะฉะนั้น ค่าอินพุตพิแดนซ์ โดยวิเคราะห์จากกราฟของรูปที่ 4.19

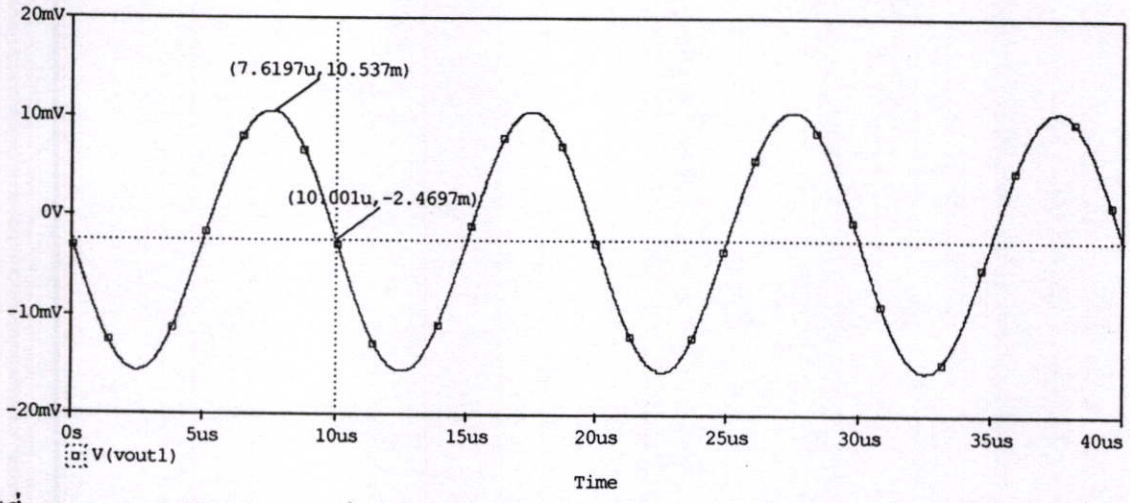
$$Z_i = \frac{V_{input}}{I_{input}}$$

4.6.2 ความต้านทานเอาท์พุต

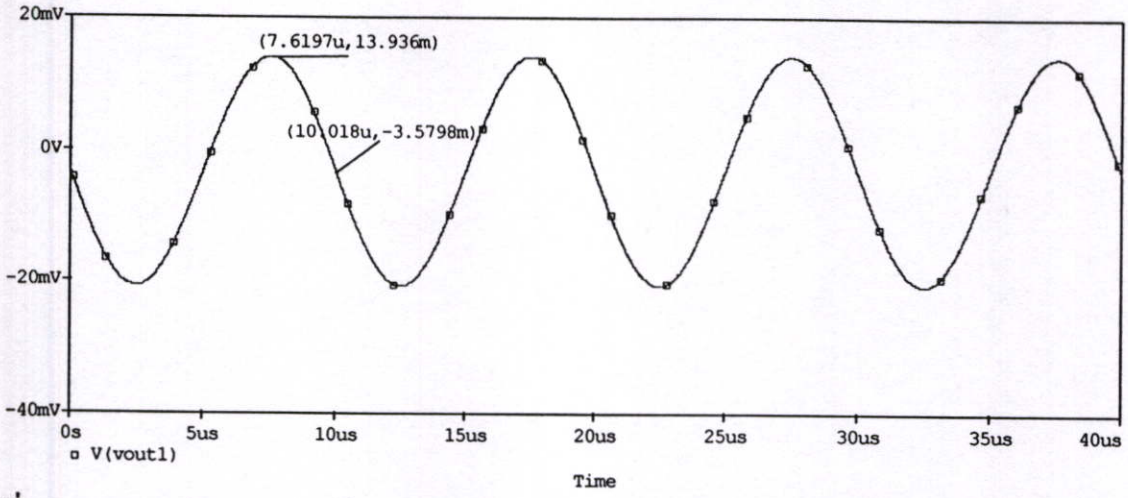
โดยกำหนดค่า R_{LOAD} เท่ากับ $1k\Omega$, $100M\Omega$ และ $R_G = 1k\Omega$, $R_F = 1.2k\Omega$ จ่าย V_{INPUT} สัญญาณอินพุตขนาด 20 mV ความถี่ 100 kHz



รูปที่ 4.20 วงจร Non-inverting ทดสอบความต้านทานเอาท์พุต



รูปที่ 4.21 แสดงรูปสัญญาณเอาท์พุตของวงจร Non-inverting ทดสอบความต้านทานเอาท์พุต โดยที่กำหนดให้ $R_{LOAD} = 1k\Omega$ มีขนาด $V_L = 13.058\,mV$



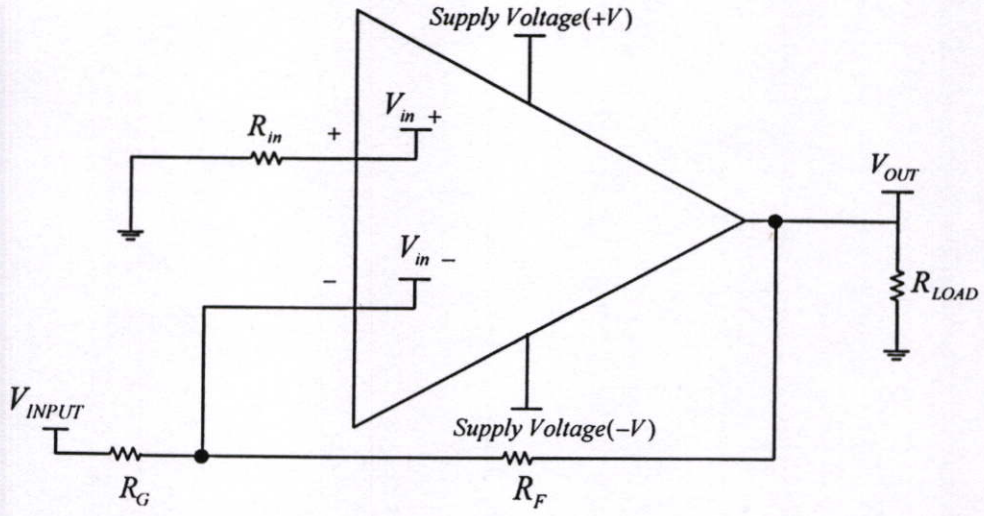
รูปที่ 4.22 แสดงรูปสัญญาณเอาท์พุตของวงจร Non-inverting ทดสอบความต้านทานเอาท์พุต โดยที่กำหนดให้ $R_{LOAD} = 100M\Omega$ มีขนาด $V_L = 17.284mV$

$$Z_o = \frac{V_o - V_L}{V_L} R_{LOAD} \tag{4.23}$$

$$Z_o = \frac{17.284mV - 13.058mV}{13.058mV} 1k\Omega$$

$$Z_o = 323.63\Omega$$

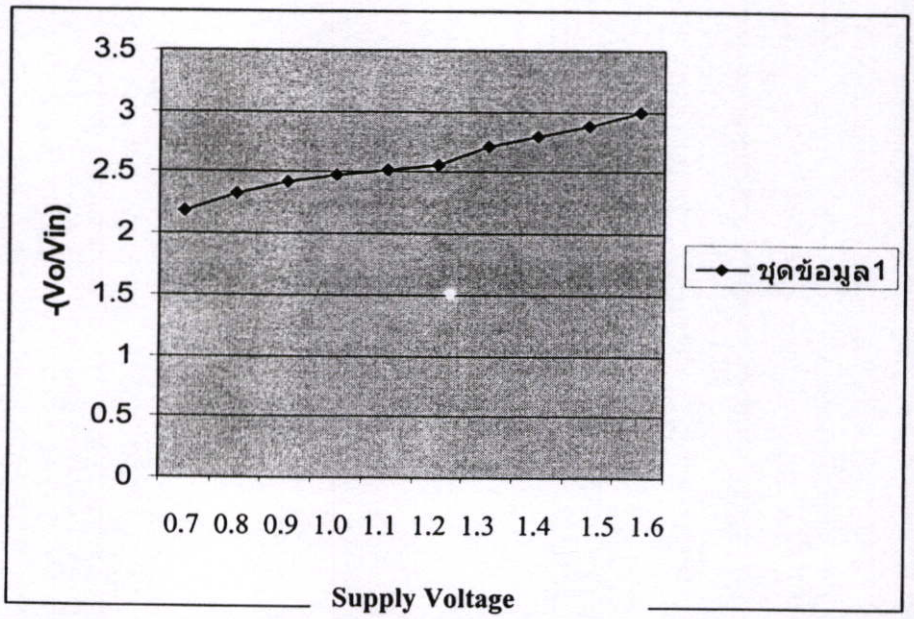
4.7 ความสัมพันธ์ของ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยาย



รูปที่ 4.23 แสดงการต่อวงจรออปแอมป์เพื่อหาความสัมพันธ์ของ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$

ตารางที่ 5.1 แสดงความสัมพันธ์ของแหล่งจ่ายไฟ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$ โดยต่อวงจรตามรูปที่ 4.23 กำหนดให้ $R_G = 1k\Omega$, $R_F = 3k\Omega$, $R_{LOAD} = 20k\Omega$

± Supply Voltage (V)	V_{out} / V_{in}
0.70	-2.18
0.80	-2.33
0.90	-2.42
1.00	-2.48
1.10	-2.52
1.20	-2.56
1.30	-2.71
1.40	-2.80
1.50	-2.88
1.60	-3.00

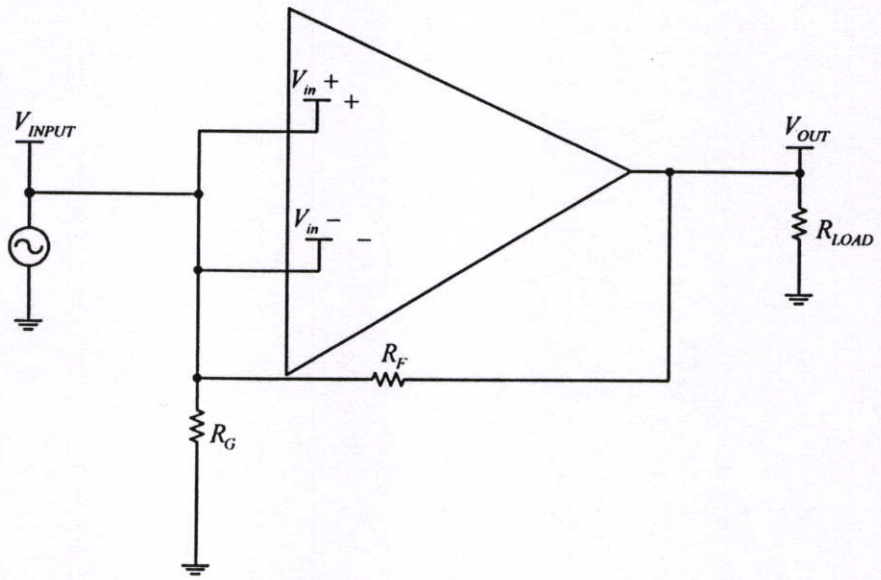


รูปที่ 4.24 แสดงกราฟความสัมพันธ์ของแหล่งจ่ายไฟ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$

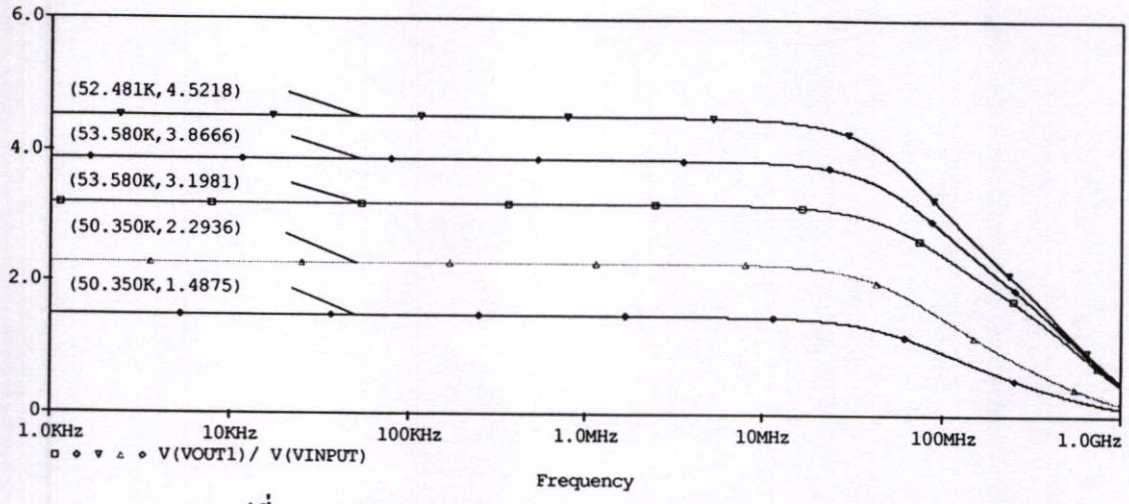
จากการทดสอบความสัมพันธ์ของแหล่งจ่ายไฟ ± Supply Voltage (V) ของออปแอมป์กับอัตรา การขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$ อัตราส่วนของ $-R_f / R_g = -3$ ที่ ± Supply Voltage มีค่าเท่ากับ 1.6 V จึงสามารถให้อัตราการขยาย $V_{out} / V_{in} = -3$

4.8 Common-Mode Rejection Ratio (CMRR)

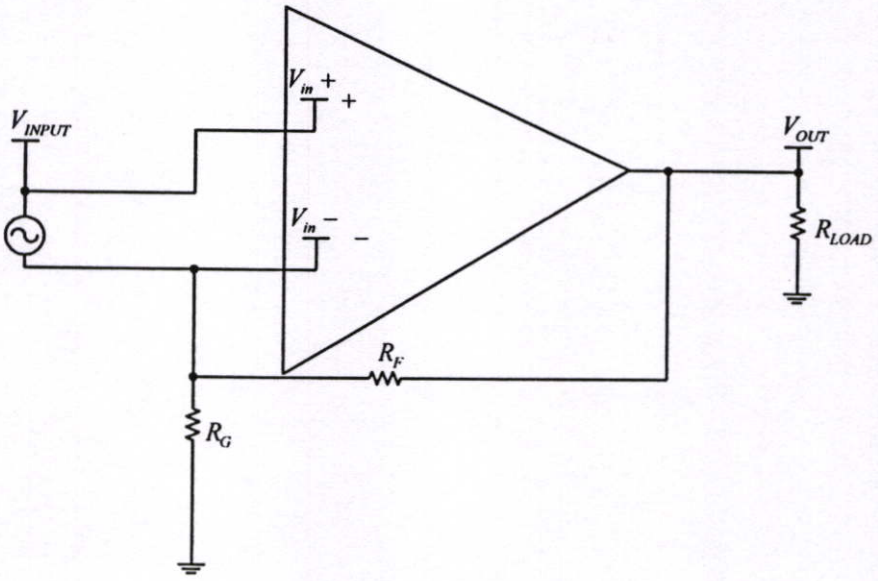
ลักษณะของสัญญาณที่จ่ายให้กับการต่อวงจรแบบเมื่อมีการต่อแบบ differential connection คือ สัญญาณอินพุตที่ตรงข้ามกันซึ่งจะให้อัตราการขยายที่สูง ในขณะที่ต่อแบบ common connect อินพุตทั้งสองของออปแอมป์ ลักษณะสัญญาณที่เหมือนกัน จะให้อัตราการขยายที่ต่ำ เป็นการต่อวงจรเพื่อที่จะขยายผลต่างและขจัดสัญญาณร่วมที่ทั้งสองอินพุต เพราะฉะนั้นสัญญาณรบกวนที่เกิดขึ้นจากการจ่ายสัญญาณของทั้งสองอินพุต การต่อแบบ differential connection เพื่อต้องการที่จะลด(noise) สัญญาณที่ไม่ต้องการ ในขณะที่สามารถขยายสัญญาณเอาท์จากผลต่างของสัญญาณเอาท์พุตซึ่งก็คือการต่อวงจรแบบ Common-Mode Rejection



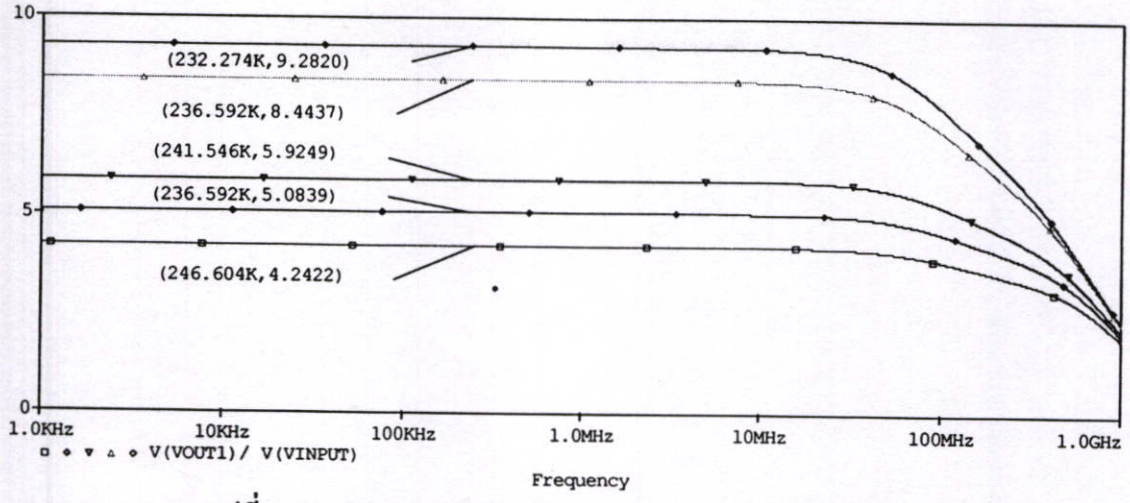
รูปที่4.25 การต่อวงจรแบบ Common-mode โดยจ่ายสัญญาณซายด์อินพุต 0.2 V ความถี่ 10MHz , $R_G = 1k\Omega$, $R_F (5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega)$



รูปที่4.26 รูปสัญญาณของการต่อวงจรแบบ Common-mode



รูปที่4.27 การต่อวงจรแบบ Differential-mode โดยจ่ายสัญญาณอินพุต 0.2 V ความถี่ 10MHz ,
$R_G = 1k\Omega$, $R_F (5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega)$



รูปที่4.28 รูปสัญญาณของการต่อวงจรแบบ Differential-mode

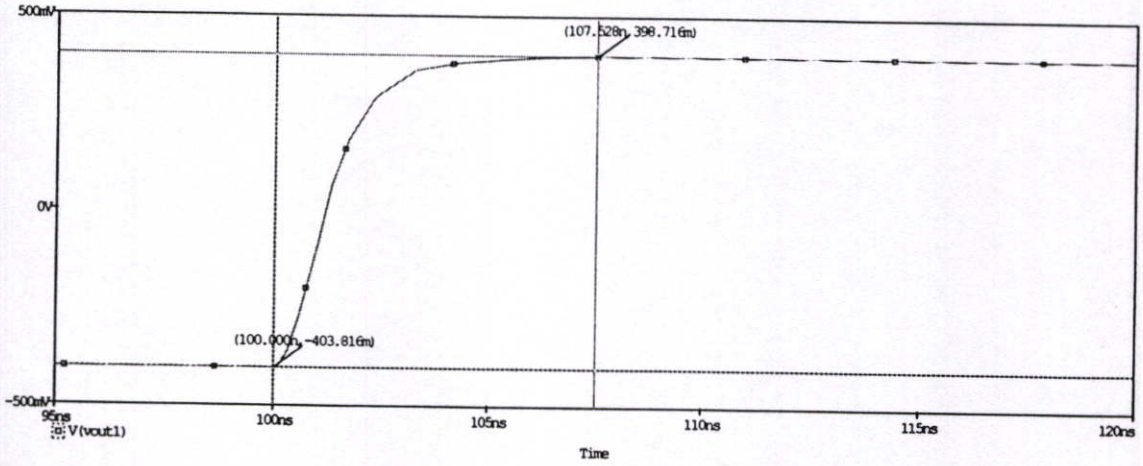
สามารถคำนวณค่าของ Common-mode rejection ratio (CMRR) เมื่อ A_d คืออัตราการขยายของวงจรแบบ Differential Mode และ A_c คืออัตราการขยายของวงจรแบบ Common-modeดังสมการที่ 4.24

$$CMRR = \frac{A_d}{A_C} \tag{4.24}$$

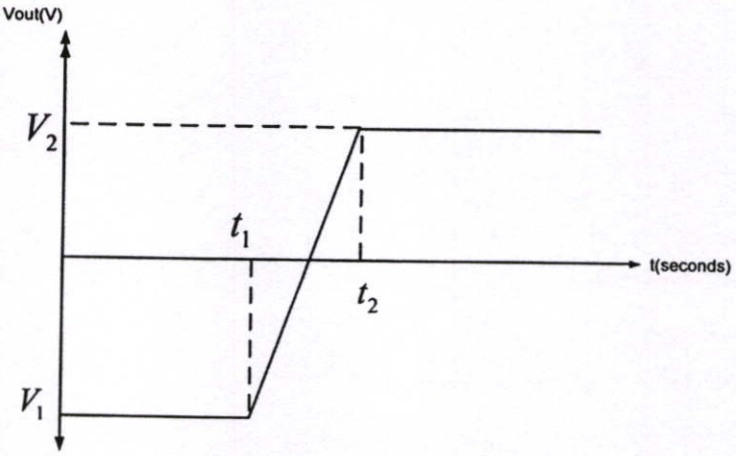
ตารางที่5.2 แสดงค่าของ CMRR เมื่อมีการเปลี่ยนแปลง Gain การขยายสัญญาณ ตามการเปลี่ยนแปลงค่าของ $R_G = 1k\Omega$, $R_F(5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega)$

Gain ($\frac{V_o}{V_i}$)	A_c	A_d	CMRR	CMRR(dB)
3.771	3.198	4.242	1.326	2.451
4.483	3.866	5.083	1.314	2.371
5.163	4.521	5.924	1.310	2.345
1.542	2.293	8.443	3.682	11.322
1.235	1.487	9.282	6.242	15.906

4.9 อัตราการสลูว์ (Slew Rate)



รูปที่ 4.29 สัญญาณเอาท์พุตของวงจรขยายแบบ Inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input)



รูปที่ 4.30 กราฟสัญญาณเอาท์พุตเพื่อใช้ในการวิเคราะห์อัตราการสลูว์ (SlewRate)

อัตราการสลูว์ (SlewRate) ของตัวออปแอมป์เป็นค่าที่บอกถึงความสามารถในการเปลี่ยนแปลงแรงดันเอาท์พุตทันทีเมื่ออปแอมป์ได้รับอินพุตเข้ามา ถ้าออปแอมป์มีอัตราการสลูว์เท่ากับ 0.5 โวลต์ต่อไมโครวินาที หมายถึง แรงดันเอาท์พุตสามารถเปลี่ยนแปลงได้สูงสุด 0.5 โวลต์ ในเวลา 1 ไมโครวินาที จากรูปที่ 4.30 เป็นกราฟวิเคราะห์สัญญาณเอาท์พุตเพื่อหาอัตราการสลูร์ โดยสามารถคำนวณตามสมการที่ 4.25

$$Slew\ Rate = \frac{V_2 - V_1}{t_2 - t_1} = \frac{\Delta V}{\Delta t}(V/s) \qquad (4.25)$$

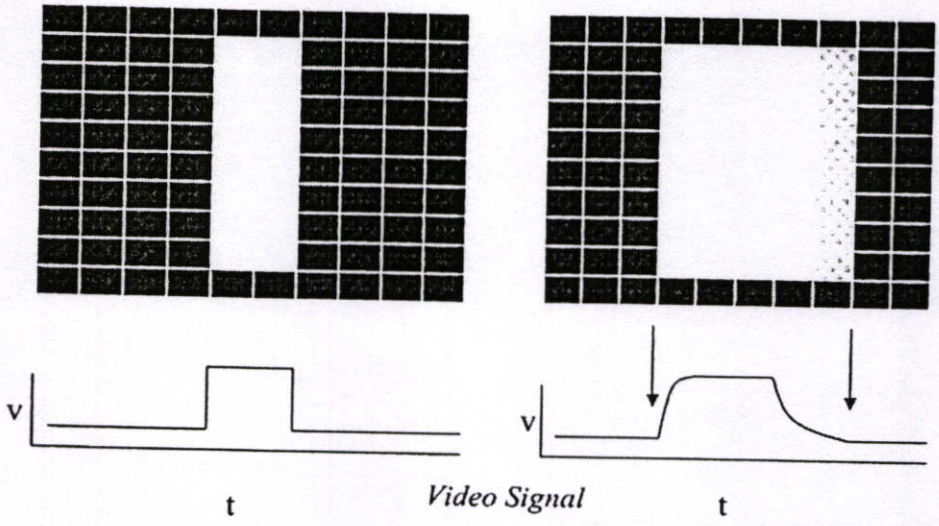
รูปที่ 4.29 เป็นรูปสัญญาณเอาท์พุตของวงจรขยายแบบ Inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input) โดยมีอัตราการขยาย 2 เท่า จากสมการที่ 4.22 สามารถหาค่าได้คือ $V_1 = -403.816mV$, $V_2 = 398.714mV$, $t_1 = 100.000ns$ และ $t_2 = 107.528ns$

$$\begin{aligned} Slew\ Rate &= \frac{398.716mV - (-403.816mV)}{107.528ns - 100.000ns} \\ &= \frac{802.532mV}{7.528ns} \\ &= \frac{802.532mV}{0.007528\mu s} \\ &= 106.6 \quad V/\mu s \end{aligned}$$

อัตราการสลูว์ที่ได้จากกราฟผลการทดสอบ 106.6 $V/\mu s$ จากรูปที่ 4.16 แสดงความกว้างของแบนด์วิธด์ 219 MHz เมื่อเปรียบเทียบกับตารางที่ 4.3 อัตราการสลูว์ที่ได้จากวงจรการทดสอบ 106.6 $V/\mu s$ สามารถใช้งานได้ที่วงจรขยายสัญญาณของจอภาพแบบ VGA ซึ่งต้องการอัตราการสลูว์ 95 $V/\mu s$ และต้องการแบนวิธด์ 24 MHz อัตราการสลูว์ที่มีค่าสูงเมื่อนำมาใช้งานกับวงจรทางด้านการส่งสัญญาณวิดีโอ ทำให้การแสดงภาพของจอภาพมีความชัดเจนมากขึ้นตามรูปที่ 4.31

ตารางที่4.3 แสดงการใช้งานของจอภาพวิดีโอโดยการใช้วงจรขยายสัญญาณความเร็วสูง เมื่ออัตราการขยาย เท่ากับ 2 เท่า ให้เอาท์พุตเท่ากับ $1.4V_{p-p}$ ของบริษัท National Semiconductor

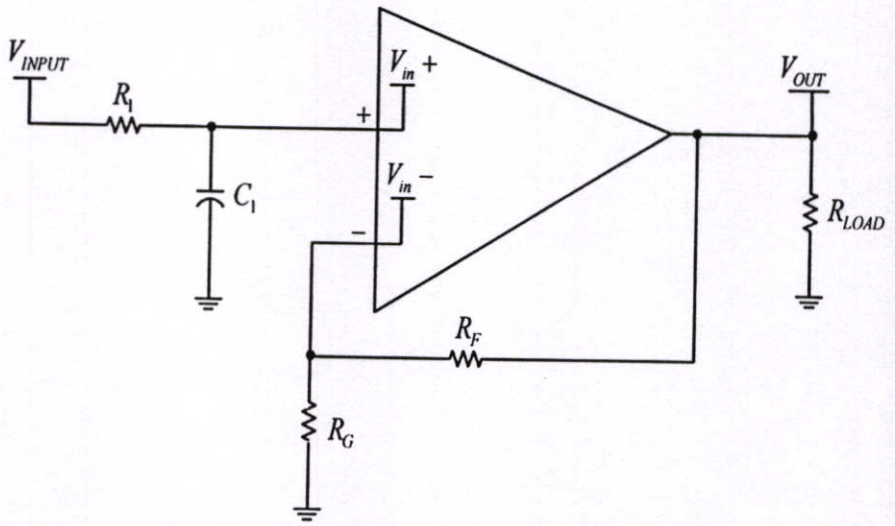
Line Rate	Name	BW	SR
(HXV)		(MHz)	($V/\mu s$)
451x483	TV_NTSC	9	36
640x480	VGA	24	95
1024x768	XGA	86	343
1600x1200	UXGA	215	860



รูปที่ 4.31 แสดงความสัมพันธ์ของสัญญาณวิดีโอ (Video Signal) กับการแสดงภาพของจอภาพ

4.10 วงจรฟิลเตอร์ผ่านความถี่สูง (High Pass Filter Circuit)

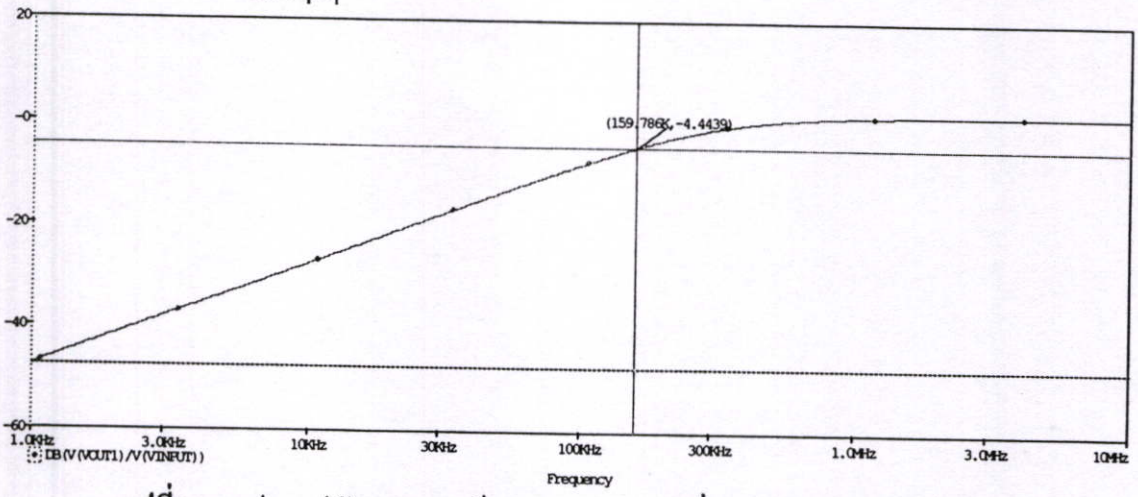
ลักษณะการทำงานของวงจรกรองความถี่สูงผ่านคือ วงจรที่จะทำการลดทอนสัญญาณความถี่ต่ำๆ ให้หมดไป โดยให้เลือกไว้เฉพาะสัญญาณความถี่สูงเท่านั้น ช่วงความถี่ที่เป็นช่วงผ่านอยู่ในช่วงตั้งแต่



รูปที่4.32 วงจรกรองความถี่สูงผ่านแบบบัตเตอร์เวิร์ท

ความถี่คัตออฟ ขึ้นไปคือ ตรงข้ามกับวงจรกรองความถี่สูง จากรูปที่ 4.33 เป็นการต่อวงจรกรองความถี่สูงผ่านแบบบัตเตอร์เวิร์ท กำหนดให้ $C_1 = 0.001\mu F$, $R_1 = 1k\Omega$, $R_G = 1k\Omega$ และ $R_F = 2.7k\Omega$ โดยการจ่ายสัญญาณอินพุต $0.1\,MHz$ ขนาด 0.2 V สามารถคำนวณหาความถี่คัตออฟ ตามสมการ 4.26

$$f_c = \frac{1}{2\pi R_1 C_1} \tag{4.26}$$



รูปที่4.33 รูปกราฟสัญญาณเอาท์พุตของกรองความถี่สูงผ่านแบบบัตเตอร์เวิร์ท

แทนค่าลงในสมการเพื่อหาความถี่คัตออฟ

$$f_C = \frac{1}{2\pi R_1 C_1}$$

$$= \frac{1}{2\pi(1k\Omega)(0.001\mu F)}$$

$$= 159.15 \;\; kHz$$

จากการคำนวณความถี่คัตออฟ 159.15 kHz เมื่อเปรียบเทียบกับกราฟสัญญาณเอาท์รูปที่4.29 ความถี่ 159 kHz จะได้อัตราการขยายอยู่ที่ -4.4 dB โดยทฤษฎีแล้วจะอยู่ที่ -3 dB วงจรให้ค่าผิดพลาดไป -1.4 dB

บทที่ 5
สรุปผลการวิจัย

วงจรป้อนกลับกระแสแรงดันต่ำ ตามจุดประสงค์ของงานวิจัยคือ สามารถที่แสดงให้เห็นผลของการจำลองวงจรโดยการใช้โปรแกรม P-SPICE (OrCad) วงจรที่นำเสนอมีเสถียรภาพที่สูงและได้แบนด์วิดธ์ที่กว้างมาก ค่าของสลูเลท (slew rate) ของวงจรการป้อนกลับกระแส CFA มี rise time และ fall time มีความเร็วที่มากกว่า วงจรการป้อนกลับแบบแรงดัน VFA และสามารถใช้แรงดันที่ต่ำลงเพื่อให้วงจรขยายทำงานได้ ซึ่งสรุปได้ดังนี้

5.1 ในการต่อวงจรขยายแบบ Non-inverting และ Inverting

จากการทดสอบวงจรโดยการต่อวงจรทั้ง Non-inverting และ Inverting โดยมีแหล่งจ่ายแรงดันป้อนวงจร ±0.75 ในทุกการทดลอง แสดงให้เห็นว่าอัตราการขยายของวงจรแบบ Inverting ตามอัตราส่วนการขยายของ R_G ต่อ R_f มากกว่าวงจรแบบ Non-inverting เมื่อเปรียบเทียบระหว่างข้อมูลจากรูปที่ 4.7 และรูปที่ 4.13

วิเคราะห์สัญญาณทรานเซียนท์ซึ่งมีอินพุตแบบไซค์ (Sinusoidal input)มีขนาดสัญญาณ 0.2 V และอินพุตแบบ (Square- wave input) ขนาด 0.1 V ที่ความถี่ 100 MHz ทั้ง Inverting และ Non-inviting ขนาดของสัญญาณไซค์และสัญญาณสี่เหลี่ยม มีขนาดต่ำลง แต่สัญญาณสี่เหลี่ยมรูปสัญญาณจะผิดเพี้ยนไปจากอินพุต เมื่อเปรียบเทียบข้อมูลตามรูปที่ 4.8 – 4.9 และ รูปที่ 4.13 -4.14

การตอบสนองทางด้านความถี่(frequency response) ของวงจรดัทออฟที่ – 3 dB การต่อวงจรแบบ Inverting ให้ความถี่สูงถึง 219 MHz ส่วน Non-inverting ให้ความถี่สูงเพียงถึง 140 MHz นั้นแสดงว่าการต่อวงจรแบบ Inverting แบนด์วิดต์ที่กว้างมาก เมื่อเปรียบเทียบข้อมูลตามรูปที่ 4.10 และรูปที่ 4.16

5.2 วงจรขยายทรานซิสเตอร์มอส

ทรานซิสเตอร์ชนิดมอสมีอินพุตอิมพิแดนซ์ที่สูงมากทำให้มีความต้องการกำลังสถิตเพียงเล็กน้อยซึ่งสามารถที่จะนำไปออกแบบวงจรที่ต้องการกำลังและแรงดันต่ำ ๆ ได้เป็นอย่างดี ส่วน ค่าเอาท์พุตอิมพิแดนซ์ ในการทำงานที่สัญญาณขนาดเล็ก มีค่าต่ำมากแต่จะแปรผันกับกระแสไบแอสดีซีซึ่งคุณสมบัติทั้งสอง เป็นคุณสมบัติทางอุดมคติของออปแอมป์ คือ อินพุตอิมพิแดนซ์ ที่ขา Inverting และ Non-inverting มีค่าเป็นอนันต์ (∞) และ เอาท์พุตอิมพิแดนซ์ที่ขาInverting และ Non-inverting มีค่าเป็นศูนย์

จากคุณสมบัติลักษณะสถิตของทรานซิสเตอร์ MOS ทำให้เกิดผลกระทบผลกระทบของ V_{DS} ต่อ I_D ในบริเวณพิณช์ออฟ จะเห็นว่าความต้านทานเอาท์พุตเป็นสัดส่วนกลับต่อกระแสไบแอสดีซี (I_D) ตามสมการที่ 3.14 คือ $r_o \cong \left[\frac{I_D}{V_A}\right]^{-1} \cong \frac{V_A}{I_D}$ นั้นแสดงว่าเมื่อ มีกระแสจ่ายเข้าวงจรน้อยความต้านทานที่เกิดขึ้นเพิ่มมากขึ้น

จากคุณสมบัติการหาอัตราการขยายของ Inverting ตามสมการ 5.1

$$\frac{V_{OUT}}{V_{IN}} = -\frac{Z_G\left(1+\frac{Z_B}{Z_F \parallel Z_G}\right)}{1+\frac{Z}{Z_F\left(1+\frac{Z_B}{Z_F \parallel Z_G}\right)}} \tag{5.1}$$

เมื่อค่าของ Z_B มีค่าเข้าใกล้ศูนย์มาก ที่สมการที่ 5.1 สามารถลดรูปเป็นสมการที่ 5.2

$$\frac{V_{OUT}}{V_{IN}} = -\frac{\frac{1}{Z_G}}{\frac{1}{Z}+\frac{1}{Z_F}} \tag{5.2}$$

และสามารถลดรูปเป็นสมการที่

$$\frac{V_{OUT}}{V_{IN}} = -\frac{Z_F}{Z_G} \tag{5.3}$$

แต่เมื่อกระแสของวงจรน้อยลง ทำให้ Z_B มีค่าสูงมากขึ้นไม่สามารถตัดออกจากสมการได้ ทำให้อัตราการขยายของวงจรไม่เป็นไปตามสมการที่ 5.3 ส่งผลให้อัตราการขยายของ Inverting ค่าของ Z_f ต่อ Z_g ไม่เป็นไปตามอัตราส่วนสูตรการคำนวณ และมีผลกระทบต่อทุกวงจรที่นำไปใช้งานสำหรับอัตราการขยาย แต่ก็มีผลไม่มากสำหรับการนำไปใช้งาน จากการทดสอบของวงจร Inverting ที่อัตราการขยายเท่ากับ 2 เท่า ต้องใช้ $Z_g = 1k\Omega$ และ $Z_f = 2.7k\Omega$

จากการทดสอบเรื่อง CMRR พิจารณาตามตารางที่ 5.2 วิเคราะห์ตามอัตราการขยายสัญญาณแสดงให้เห็นว่าเมื่อมีอัตราการขยายเพิ่มมากขึ้น ค่าของ CMRR ลดลง แสดงการเมื่อมีอัตราการขยายสูงมากขึ้นการขจัดสัญญาณรบกวนจะต่ำลง วงจรจึงเหมาะสมการงานที่ไม่ต้องการอัตราการขยายสูง

ภาคผนวก

เอกสารอ้างอิง

[1] C. Toumazou,J. Lidged, and D. Haigh(Ed), "Analog IC Design-The Current Mode Approach," U.K.: Peter Peregrinus, Apr.1990.

[2] S. Soclof, "Design and Application of analog integrated Circuits," Singapore:Prentice Hall,1997.

[3] J. Mahattanakul and C. Toumazou, " A Theoretical Study of the Stability of High Frequency Current Feedback Op-Amp integrators," IEEE Transaction on Circuits and Systems, vol.43, no.1, January 1996.

[4] I.A. Koullias, "A wideband low-offset current-feedback op-amp design," Proceedings of the Bipolar Circuit and Technology Meeting, pp. 120-123, 18-19 September 1989.

[5] K. Hayatleh, W.J Su, and F.J Lidgey, "Improved current-feedback op-amp with good DC and CMRR Performance," Proceedings of IEEE International Symposium on Circuits and System (ISCAS'99), pp.263-299, vol.2, 30 May-2June 1999.

[6] D. F.Bowers, "A precision dual "Current feedback" operational amplifier," Proceedings of the Bipolar Circuits and Technology Meeting, pp. 68-70, 12-13 September 1988.

[7] A.S. Sedra, K.C. Smith, "Microelectronic Circuits," 4^{th} ed .,Oxford: Oxford University Press, 1998.

[8] A. Freygenson, J.W. Osenbach, W.L. Buchanan and J.J. Bastek, " CBIC-V,A new very high speed complementary silicon bipolar IC process," Proceeding of the Bipolar Circuit and Technology Meeting, pp.173-177, 18-19 September 1989.

[9] J. Bales, "A Low-Power,High-Speed Op-Amp with a Novel Class AB High Current Output Stage," Porceedings of the bipolar /BiCMOS Circuit and Technology Meeting, pp. 101-104, 29 September-1 October 1996.

[10] M. Sauerwald , " Current Feedback & Voltage Feedback The choice Amplifiers Which One to Use, When and Why," Northcon/94 Conference Recode, pp. 285-289, 11-13 October 1994.

[11] R.L Geiger, P.E. Allen, and Noel R.Strader. , "VLSI Design Techniques For Analog and Digital Circuits", McGraw-Hill,1990.

[12] Intersil Corporation , "Current feedback Amplifier Theory and Application, "April 1995.

[13] K. Manetakis , C. Toumazou, "Current-feedback opamp suitable for CMOS VLSI technology," Electronics Letters,Vol.32, no. 12, June 1996.

[14] K.Manetakis, C. Toumazou , C. Papavassilious, " A High Frequency CMOS Current Feedback Opamp," Proc. IEEE-CAS Region 8 Workshop on Analog and Mixed IC Design, pp. 79-82, 1997.

[15] สักรียา ชิตวงศ์. วิศวกรรมอิเล็กทรอนิกส์. พิมพ์ครั้งที่1: วี.เจ.พริ้นติ้ง , 2544.

[16] สิทธิชัย โภไคยอุดม.วงจรป้อนกลับแบบลบและออสซิลเลเตอร์. พิมพ์ครั้งที่1:มหาวิทยาลัยเทคโนโลยีมหานคร, 2548.

ภาคผนวก ก.

โมเดลทรานซิสเตอร์ PMOS และ NMOS ที่ใช้วิเคราะห์ในโปรแกรม PSpice(Orcad)

```
.MODEL NMOS05U NMOS(LEVEL=3
+UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62 JS=1.08E-6 XJ=0.15U
+RSH=2.73 LD=0.04U VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00 THETA=0.129
+PHI=0.905 GAMMA=0.69 KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
+MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10 CGBO=3.45E-10 KF=3.07E-28
+DELTA=+0.42 NFS=1.2E11)

.MODEL PMOS05U PMOS(LEVEL=3
+UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58 JS=0.38E-6 XJ=0.10U
+RSH=1.81 LD=0.03U VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00 THETA=0.120
+PHI=0.905 GAMMA=0.76 KAPPA=2 CJ=85E-5 MJ=0.429 CJSW=4.67E-10
+MJSW=0.631 CGSO=1.38E-10 CGDO=1.38E-10 CGBO=3.45E-10 KF=1.08E-29
+DELTA=0.81 NFS=0.52E11)
```

ภาคผนวก ข.

ผลงานวิจัยที่ได้รับการตีพิมพ์

[1] มนตรี สุขเลื่อง , สมปอง วิเศษพานิชกิจ , กอบชัย เดชหาญ **"การออกแบบวงจรขยายป้อนกลับกระแสแรงดันต่ำ"**, วิศวสารลาดกระบัง ปีที่ 23 ฉบับที่ 1 มีนาคม 2549.

ลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ENGINEERING

ปีที่ 23 ฉบับที่ 1 มีนาคม 2549

1. Direction Sequence Construction for Offline Thai Handwriting 1
Kor Kittikorn Boontee Kruatrachue

2. การสังเคราะห์วัสดุประกอบคล้ายไม้จากพีวีซีกับผงหนังและเยื่อชานอ้อย 7
ไพศาล นาคพิพัฒน์ เดือนพร บุญศิริคำชัย

3. การออกแบบวงจรขยายป้อนกลับกระแสแรงดันต่ำ 14
มนตรี สุขเลื่อง สมปอง วิเศษพานิชกิจ กอบชัย เดชหาญ

4. วงจรกรองความถี่ใบควอด OTA-C ที่โปรแกรมได้ทางดิจิตอล 20
สุรัตน์ สุกรรณะ มนตรี คำเงิน พิพัฒน์ พรหมมี กอบชัย เดชหาญ กฤษณ์ อ่างแก้ว จิระศักดิ์ ชาญวุฒิธรรม

5. การศึกษาคุณสมบัติทางไฟฟ้าและผลตอบสนองทางแสงของฟิล์มเพชร 26
ทรงเกียรติ กิตติสนธิรักษ์ วิสุทธิ์ ฐิติรุ่งเรือง

6. โฟโตไดโอดแบบรอยต่อเนื้อสารชนิดเดียวกันของฟิล์มเพชรชนิดเอ็นและฟิล์มเพชรชนิดพี 32
ทรงเกียรติ กิตติสนธิรักษ์ วิสุทธิ์ ฐิติรุ่งเรือง

7. คอนเวอร์เตอร์ดีซี-เอซี เชื่อมต่อการไฟฟ้าโดยมีการแก้ไขตัวประกอบกำลังด้วยตัวควบคุมสัญญาณดิจิตอล 38
วิฒิชัย ชูรักษ์ วิจิตร กิณเรศ

8. การศึกษาการตรวจจับแห่งตัวนำโรเตอร์แตกหักในมอเตอร์เหนี่ยวนำโดยใช้โครงข่ายประสาทเทียม 44
กมล สะอาดยวง เอลิมชาติ มานพ วิจิตร กิณเรศ สุรชาติ ลี้รากรีผล

9. รถไฟฟ้าขับเคลื่อนสี่ล้อ 50
โสภณ สวัสดิ์นาวิน ประภาษ ไพรสุวรรณา

10. การใช้วิธีควบคุมแบบฟัซซีโอเรียลเตทสำหรับควบคุมการเปลี่ยนความเร็วของเครื่องกำเนิดไฟฟ้ากังหันลม 56
ยุวลักษณ์ พัฒนาดิสัย มณฑล ลีลาจินดาไกรฤกษ์

11. การวิเคราะห์การสูญเสียที่เพิ่มขึ้นของมอเตอร์เหนี่ยวนำที่เกิดจากแรงดันฮาร์มอนิกส์ที่ป้อนด้วยพีดับบลิวเอ็มโดยอินเวอร์เตอร์หลายระดับชนิดเอชบริดจ์ 62
อัตรชัย เอมสะอาด วิจิตร กิณเรศ

12. การวิเคราะห์ความเชื่อถือได้ของระบบไฟฟ้ากำลังโดยพิจารณาการทำงานผิดพลาดของระบบป้องกันโซน 3 68
ไพโรจน์ เทียนทอง มณฑล ลีลาจินดาไกรฤกษ์

13. วงจรสวิทช์โหมดฮาล์ฟบริดจ์คอนเวอร์เตอร์ที่มีการปรับปรุงแรงดันตกคร่อมระหว่างคาปาซิเตอร์ไม่สมดุล 74
จารุวัตถ์ จันทโร วิจิตร กิณเรศ

14. การออกแบบและวิเคราะห์สวิทช์โหมดเอซี-ดีซีคอนเวอร์เตอร์ทางด้านอินพุตสำหรับเครื่องเชื่อมไฟฟ้ากระแสตรงที่มีการควบคุมกระแสปฐมภูมิของหม้อแปลงความถี่สูง 80
พูนศรี วรรณการ ประภาษ ไพรสุวรรณา วิจิตร กิณเรศ

การออกแบบวงจรขยายป้อนกลับกระแสแรงดันต่ำ

Design of Low -Voltage Current Feed-back Amplifier

มนตรี สุขเลื่อง สมปอง วิเศษพานิชกิจ ฉอบชัย เดชหาญ

คณะวิศวกรรมศาสตร์และสำนักวิจัยสื่อสารและเทคโนโลยีสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

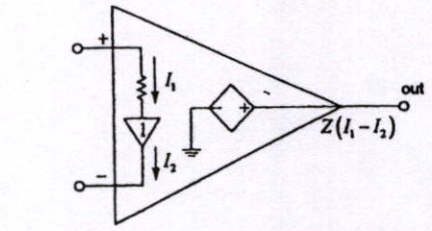
บทความวิจัยนี้ มีจุดประสงค์ เพื่อออกแบบวงจรการใช้งานวงจรขยายป้อนกลับกระแสที่มีแหล่งจ่ายต่ำ แบบใหม่ โดยที่ส่วนของอินพุตถูกออกแบบเป็นแบบ folded-cascade class–AB และ ระบบทำงานที่แหล่งจ่ายแรงดันต่ำที่ $2V_{TH} + 2V_{DS(SAT)}$ ซึ่งวงจรจะสามารถปรับกระแสการไบอัสวงจรด้วยตัวเอง ทำให้ระบบทำงานมีความเสถียรภาพสูง วงจรแสดงผลตามที่ออกแบบได้ โดยการจำลองวงจรการทำงาน MOSIS 0.5 μm MOS

Abstract

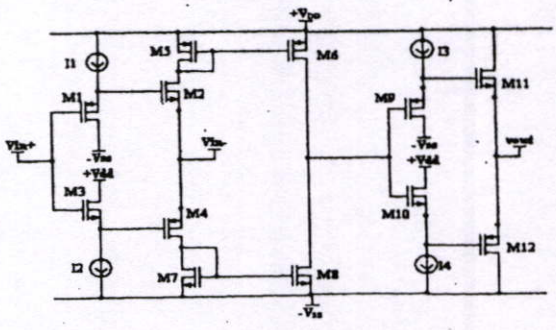
This paper proposes the new current feed-back amplifier for low supply voltage application. The input state is designed to be a folded-cascade class-AB circuit and achieve the low supply-voltage operation down to $2\ V_{TH} + 2\ V_{DS(SAT)}$, with the self–adjust bias current .The high performance can be adopted with high stability. The circuit is successfully proven based on the simulation with MOSIS 0.5 μm MOS technology.

1. บทนำ

วงจรขยายป้อนกลับกระแส Current Feedback Amplifier (CFA) มีพื้นฐานโครงสร้างที่แตกต่างกัน และมีข้อดีในการเลือกใช้สูงกว่า วงจรขยายป้อนกลับแรงดัน Voltage Feedback Amplifier (VFA) คุณสมบัติของ CFA มีค่าของ slew rate และ bandwidth ที่สูงมากขึ้น ซึ่งค่าทั้งสองจะไม่ขึ้นต่อกันเมื่อต่อวงจรแบบ close loop gain และให้ค่า traded-off ความเที่ยงตรงทาง DC [1] จากผลของการให้ค่า slew rate ที่สูงจะส่งผลให้ช่วงเวลาการขึ้นลง (rise/fall time) ของสัญญาณสูงขึ้นด้วย และ การเพี้ยนของสัญญาณและมอดูเลทภายในน้อยมาก [2-3] จากข้อดีของวงจรดังกล่าว สามารถนำมาออกแบบให้ทำงานที่แรงดันต่ำ สำหรับอุปกรณ์ที่พกพาหรืออุปกรณ์ไร้สาย เช่น โทรศัพท์มือถือ

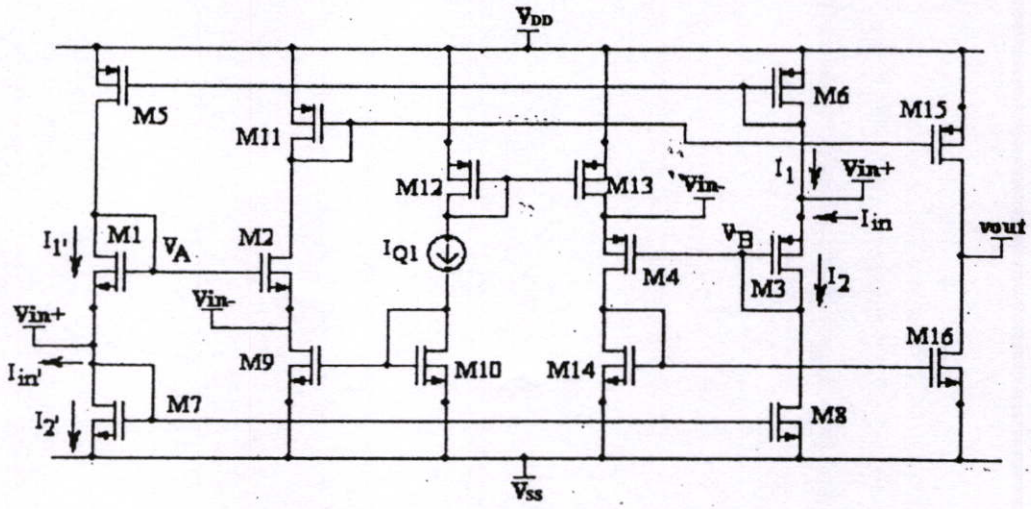


(a)



(b)

รูปที่ 1 (a)โครงสร้างในอุดมคติของ CFA (b)โครงสร้างแบบทั่วไปCFA



รูปที่ 2 โครงสร้างของ LVCFA ที่นำเสนอ

จากรูปที่ 1(a) แสดงโครงสร้างรูปแบบของ CFA ในอุดมคติวงจรพื้นฐานที่ใช้ในการออกแบบ unity gain buffer เป็นการต่อระหว่างสองขาอินพุต (+ และ -) ซึ่งจะขับสัญญาณให้แก่ขา inverting (-) เหมือนกับขา non–inverting (+) ในทางอุดมคติ unity gain buffer มีเอาท์พุต impedance เป็นศูนย์และ อินพุต impedance มีค่าเป็นอนันต์ จากผลการทำงานของวงจรเอาท์พุต impedance เป็นศูนย์ในขณะที่อินพุต impedance มีค่าเป็นอนันต์ วงจรมีกระแสแตกต่างกัน ดังนั้น สามารถที่จะจ่ายกระแสซึ่งถูกควบคุมโดยแรงดันจากแหล่งจ่าย ที่ค่าเอาท์พุต impedance มีค่าเป็นศูนย์เพื่อที่จะขับสัญญาณภาคเอาท์พุตทำให้ได้สัญญาณที่ตรงข้ามกันกับ V_{in} ตาม gain โครงสร้าง โดยเครือข่ายการต่อวงจรป้อนกลับ

โครงสร้าง CFA ทั่วไปแสดงดังรูปที่ 1.(b) ทรานซิสเตอร์คู่ M1-M2 และ M3-M4 เป็นรูปแบบการต่อแบบ unity gain buffer ซึ่งทำหน้าที่ไบอัสกระแส I1 และ I2 ตามลำดับ เมื่อแหล่งจ่ายมีแรงดันที่เพิ่มมากขึ้น M1 และ M3 เริ่มทำงานและทำงานควบคู่กัน มีการไหลของกระแสเอาท์พุตใน unity gain buffer $I_{DS(M2)}$ และ $I_{DS(M4)}$ ดังนั้น จากลักษณะเดียวกันโครงสร้างเดียวกันต่อเป็นภาค high gain M9-M10. และภาคเอาท์พุต M11-M12 ตามลำดับ

ข้อเสียของวงจร จากโครงสร้างวงจรไม่สามารถที่จะทำให้วงจรทำงานที่แรงดันต่ำ แต่ต้องการแรงดันสูงที่ภาคอินพุต (unity gain buffer) จุดประสงค์ของการวิจัยต้องการให้ระบบ CFA แบบใหม่ที่ใช้แรงดันต่ำ ซึ่งภาคอินพุตถูกออกแบบเป็นแบบ folded–cascade class AB

2. วงจรขยายป้อนกลับกระแสแรงดันต่ำ

รูปที่ 2 แสดงการ Low-Voltage Current Feedback Amplifier (LVCFA) ที่นำเสนอ ประกอบด้วยทรานซิสเตอร์สองคู่ M1-M2 และ M3-M4 เป็นรูปแบบการต่อวงจร folded–cascade แบบ unity gain buffer ซึ่งต่อในลักษณะวงจรที่ไบอัสด้วยตัวเอง เป็นแบบกระแสลูป M5-M8 กำหนดให้ PMOS และ NMOS มีค่าแรงดัน threshold ใกล้เคียงกันและเท่ากับ V_{th} ได้สมการดังนี้

$$I_1 = \frac{\beta_p}{2}\left(V_{dd} - V_{in}^{+} - V_{th}\right)^2$$

และ $$I_2 = \frac{\beta_p}{2}\left(V_{in}^{+} - V_B - V_{th}\right)^2 \quad (1)$$

$$I_1^{'} = \frac{\beta_n}{2}\left(V_A - V_{in}^{+} - V_{th}\right)^2$$

และ $$I_2^{'} = \frac{\beta_n}{2}\left(V_{in}^{+} - V_{ss} - V_{th}\right)^2 \quad (2)$$

กระแส Current mirror จาก M5-M6 และ M7-M8 ขับกระแส $I_1^{'} = I_1$ และ $I_2^{'} = I_2$ โดยมีความสัมพันธ์ดังต่อไปนี้

$$V_A = \left(V_{in}^+ + V_{th}\right)\left[V_{DD}\sqrt{\frac{\beta_p}{\beta_n}} - 1\right] \quad (3)$$

$$V_B = \left(V_{in}^+ - V_{th}\right)\left[V_{SS}\sqrt{\frac{\beta_n}{\beta_p}} + 1\right] \quad (4)$$

กระแสอินพุตหาได้จาก

$$I_{in} = I_2 - I_1 \text{ และ } I_{in}^{'} = I_1^{'} - I_2^{'} \quad (5)$$

เมื่อแหล่งจ่ายมีแรงดันเพิ่มมากขึ้น $\left(\left|V_{DD} - V_{SS}\right| > 2V_{th} + V_{DS(sat)} + V_{in(swing)}\right)$ ทรานซิสเตอร์ทุกตัวเริ่มทำงาน และเข้าสู่สภาวะอิ่มตัว จากลูปกระแสและสมการที่ (1) กระแสอินพุตและที่ขาของ V_{in}^+ มีค่าเท่ากับ $2I_{in}$

ในทางกลับกัน เมื่อ แหล่งจ่ายมีแรงดันต่ำลง $\left(\left|V_{DD} - V_{SS}\right| \le 2V_{th} + V_{DS(sat)} + V_{in(swing)}^+\right)$ สามารถขับสัญญาณของวงจรโดยการใช้วงจร class–AB เมื่อ $\left(V_{in}^+ > V_{DD} - V_{th}\right)$ ส่งผลให้ M5-M6 สามารถขับวงจรให้ทำงานใน sub-threshold และกระแสที่ต่ำลงของ I_1 และ $I_1^{'}$ ซึ่งเป็นช่วงที่แสดงให้เห็นว่ากระแสที่ลดตอนลงไปของ I_Q ในการขับสัญญาณของวงจร class–AB ในขณะเดียวกัน M3 และ M7-M8 ยังคงทำงานเข้าสู่สภาวะอิ่มตัวและจะได้ค่า V_B ตามสมการที่ (4) ในลักษณะเดียวกัน เมื่อ $\left(V_{in}^+ < V_{th} - \left|V_{SS}\right|\right)$ ทำให้ M7-M8 ทำงานอยู่ในช่วงของ sub-threshold ในขณะที่ M1 และ M5-6 อยู่ในสภาวะ saturation ตามสมการที่ (3)

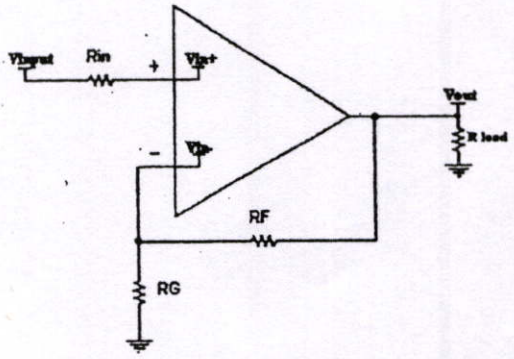
การไบอัสของวงจร M9-10 และ M12-13 ใช้กระแส I_{Q1} น้อยลง เพื่อที่จะรักษาการสภาวะของ M11 และ M14 ให้สามารถขับวงจรขยาย class-AB ส่วนภาคเอาท์พุตขับสัญญาณโดย ทรานซิสเตอร์ M15-16

3 ผลการทดลอง

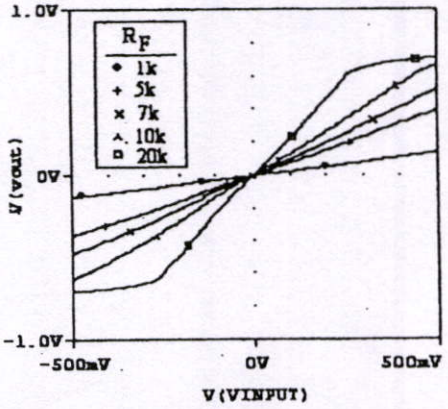
ออกแบบวงจรโดยการใช้งานแบบจำลองของ MOSIS 0.5 μm เป็นจุดจ่ายแรงดันคู่ V_{DD} และ V_{SS} โดยการทำงานของวงจรให้แรงดันที่ 0.75V และ -0.75 V จากตารางที่1. แสดงขนาดทรานซิสเตอร์ กำหนดค่าของกระแส I_{Q1} ให้มีค่า $10\mu A$ และโหลดค่าความต้านทาน $20k\Omega$ ซึ่งเป็น R_{LOAD} โดยใช้ในการจำลองการทำงาน ของทุกวงจรในการทดสอบ

ตารางที่ 1 ขนาดทรานซิสเตอร์ที่เลือกใช้ FCFA โดย L=0.5 μm

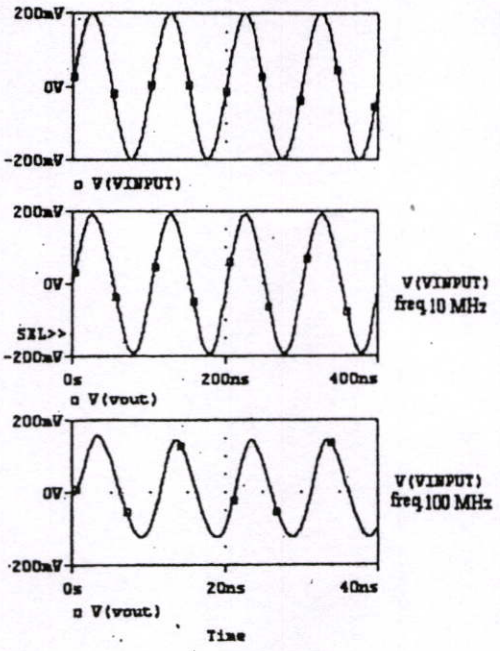
TR	W(μm)	TR	W(μm)
M1	4	M9	5
M2	4	M10	5
M3	25	M11	15
M4	25	M12	15
M5	15	M13	15
M6	15	M14	5
M7	5	M15	360
M8	5	M16	90



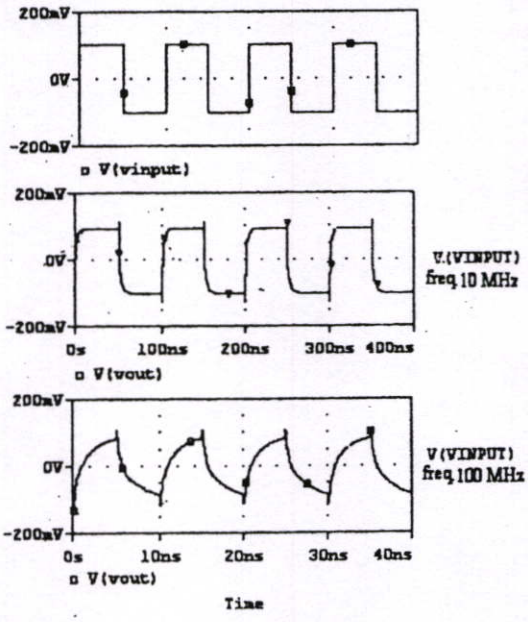
รูปที่ 3 วงจรขยายแบบ Non-inverting amplifier



รูปที่4 คุณสมบัติทาง DC ของวงจรขยายแบบ Non-inverting

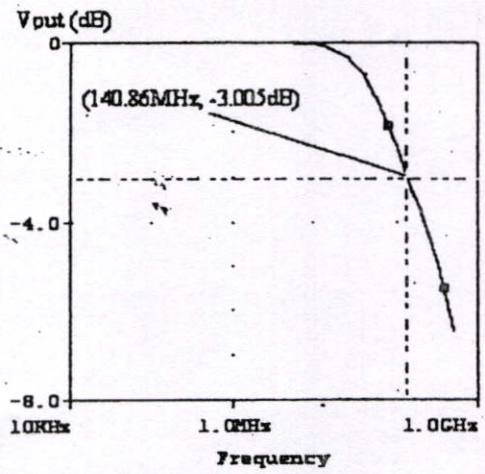


(a)

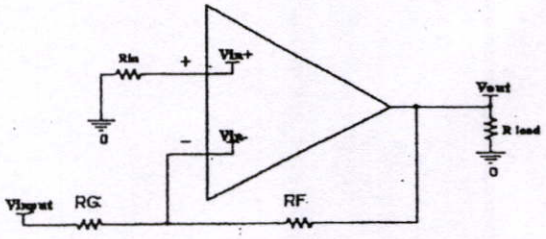


(b)

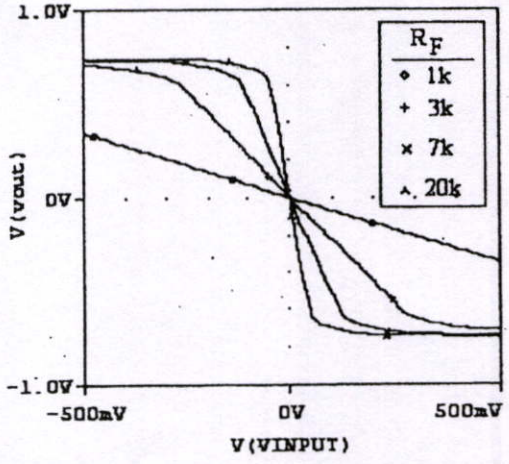
รูปที่ 5 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณแบบ Non–inverting (a) ป้อนอินพุตสัญญาณซายน์ (Sinusoidal input) (b) ป้อนอินพุตสัญญาณสี่เหลี่ยม (Square input)



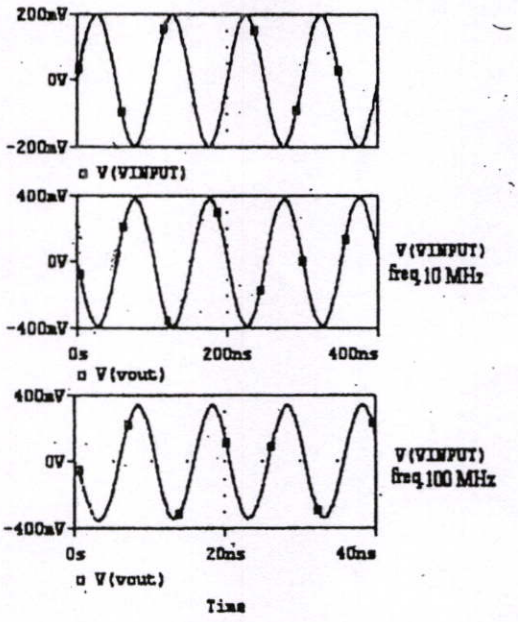
รูปที่ 6 ผลการตอบสนองทางความถี่ของวงจรขยาย Non – inverting



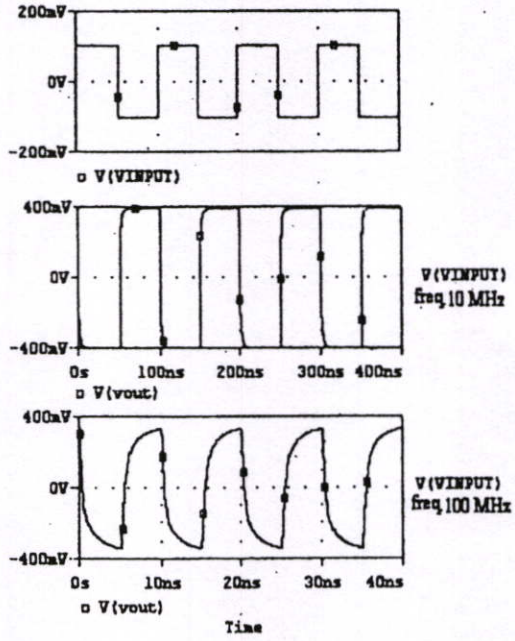
รูปที่ 7 วงจรขยายแบบ Inverting amplifier



รูปที่ 8 คุณสมบัติทาง DC ของวงจรขยายแบบ Inverting

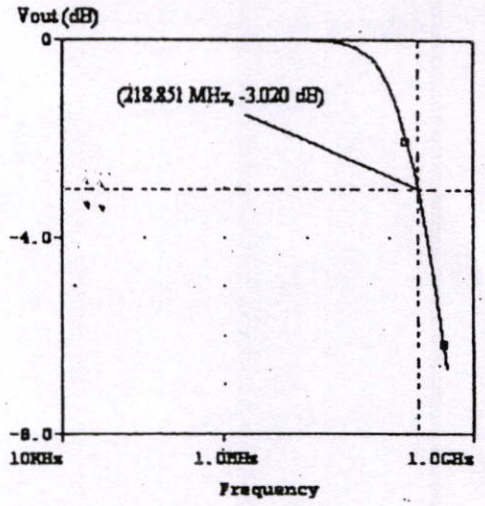


(a)



(b)

รูปที่ 9 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Inverting (a) ป้อนอินพุตสัญญาณซายน์ (Sinusoidal input) (b) ป้อนอินพุตด้วยสัญญาณสี่เหลี่ยม (Square input)



รูปที่ 10 ผลการตอบสนองทางความถี่ของวงจรขยาย Inverting

A. Non-inverting amplifier

รูปที่ 3 เป็นการต่อวงจรแบบ non-inverting amplifier โดยการกำหนดค่า R_G มีค่าเท่ากับ $1k\Omega$ และเปลี่ยนค่า R_F เป็น $1k\Omega$, $5k\Omega$, $7k\Omega$, $10k\Omega$ และ $20k\Omega$ ผลที่ได้ อัตราการขยาย 0.3 ,0.8 , 1 , 1.3 และ 2.5 ตามลำดับ คุณสมบัติทาง DC ของวงจรขยายแบบ Non-inverting แสดงดังรูปที่ 4

จ่ายสัญญาณในการทดลองแบ่งเป็นสองชนิด คือ แบบ สัญญาณซายน์ และสัญญาณสี่เหลี่ยม ทดสอบความสัมพันธ์แบบ transient โดยการกำหนดให้ค่าสัญญาณอินพุต 10MHz และ 100MHz ดังรูปที่5(a) และ (b) แสดงผลการทดลองโดยต่อวงจรขยายแบบ unity gain non-inverting กำหนดให้ $R_F = 7k\Omega$ จ่ายสัญญาณซายน์ขนาด $\pm 0.2V$ และสัญญาณสี่เหลี่ยม $\pm 0.1V$ ตามลำดับ รูปที่ 6. แสดงความสัมพันธ์ของแรงดันของวงจรขยาย unity gain non-inverting และ cut-off (-3dB) ที่ความถี่ 140MHz

B. Non-inverting amplifier

ะแกรมของวงจรขยาย inverting โดยการกำหนดค่า เหมือนกับ non-inverting amplifier รูปที่ คลองของ inverting amplifier DC-characteristic

โดยการกำหนดค่าของ R_G เท่ากับ $1k\Omega$ และเปลี่ยนค่าของ R_F เท่ากับ $1k\Omega$, $3k\Omega$ $7k\Omega$ และ $20k\Omega$ ผลของการทดลองมีอัตราการขยายของวงจร -0.85 , -4 , -5.5 และ -13.5 ตามลำดับ

รูปที่ 9. แสดงความสัมพันธ์ของสัญญาณแบบ transient ต่อวงจรแบบ inverting มีอัตราการขยายเท่ากับ 2 โดยการกำหนดให้ R_G เท่ากับ $1k\Omega$ และ R_F เท่ากับ $2.7k\Omega$ สัญญาณอินพุตเท่ากับ $\pm 2V$ ความถี่ cut-off ที่ – 3 dB มีค่าเท่ากับ 218 MHz แสดงดังรูปที่ 10.

4. สรุปผลการทดลอง

วงจรขยายป้อนกลับกระแสแรงดันต่ำ ที่นำเสนอในบทความพบว่า ผลจากการทำงานของวงจรมีเสถียรภาพสูงและมี bandwidth ที่กว้าง และ CFA ให้ค่า slew rate ที่สูงกว่าการป้อนกลับด้วยแรงดัน VFA สัญญาณเอาท์พุตของวงจรให้ค่า rise time และ fall time ที่ความเร็วมาก สามารถที่จะนำวงจรไปใช้งานกระบวนการรวมสัญญาณ mixed-signal และวงจรที่เกี่ยวข้องกับการแสดงผลสัญญาณภาพ

5. เอกสารอ้างอิง

[1] Intersil Corporation, "Current feedback amplifier theory and applications," April 1995.

[2] K. Manetakis and C. Toumazou," Current-feedback opamp suitable for CMOS VLSI technology," Electronics Letters., Vol.32 , no. 12 , June 1996.

[3] K. Manetakis, C. Toumazou and C. Papavassiliou, "A High frequency CMOS current feed back opamp," Proc. IEEE-CAS Region 8 Workshop on Analog and Mixed IC Design, pp. 79-82 ,1997.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นาย มนตรี สุขเลื่อง
วัน เดือน ปีเกิด	23 มกราคม 2522 ที่พัทลุง
ที่อยู่	42 ม.12 ต.คลองเฉลิม อ.กงหรา
	จ.พัทลุง 93108 โทร.074-687057
ประวัติการศึกษา	2543 ประกาศนียบัตรวิชาชีพชั้นสูง สาขา บำรุงรักษาเครื่องสื่อสาร
	สถาบันการบินพลเรือน
	2545 อุตสาหกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า
	มหาวิทยาลัยเซนต์จอห์น
ปัจจุบัน	อาจารย์ประจำสาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์
	มหาวิทยาลัยเซนต์จอห์น