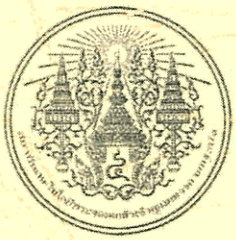


รายงานการวิจัยฉบับสมบูรณ์

การพัฒนาหลักสูตรการอบรมเชิงปฏิบัติการด้านการประมวลผลสัญญาณดิจิตอล และการออกแบบระบบดิจิตอลขั้นสูง กรณีศึกษา: *ระบบวิทยุที่กำหนดด้วยซอร์ฟแวร์*

Development of A Course on Digital Signal Processing and Advanced Digital System Design Workshop Case Study: *Software Defined Radio*

ผศ.ดร. ศรวัฒน์ ชิวปรีชา

นายอนิรุทธิ์ ตระกูลไตรตรึง

นายสมยศ มะลิวัลย์

ได้รับทุนสนับสนุนงานวิจัยจากเงินงบประมาณเงินรายได้ ประจำปีงบประมาณ 2555

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

รายงานการวิจัยฉบับสมบูรณ์

การพัฒนาหลักสูตรการอบรมเชิงปฏิบัติการด้านการประมวลผลสัญญาณดิจิตอล และการออกแบบระบบดิจิตอลขั้นสูง กรณีศึกษา: *ระบบวิทยุที่กำหนดด้วยซอร์ฟแวร์*

Development of A Course on Digital Signal Processing and Advanced Digital System Design Workshop Case Study: *Software Defined Radio*

ผศ.ดร. ศรวัฒน์ ชิวปรีชา

นายอนิรุทธิ์ ตระกูลไตรตรึง

นายสมยศ มะลิวัลย์

ได้รับทุนสนับสนุนงานวิจัยจากเงินงบประมาณเงินรายได้ ประจำปีงบประมาณ 2555

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ชื่อโครงการ (ภาษาไทย) การพัฒนาหลักสูตรการอบรมเชิงปฏิบัติการด้านการประมวลผลสัญญาณดิจิตอลและการออกแบบระบบดิจิตอลขั้นสูง กรณีศึกษา: ระบบวิทยุที่กำหนดด้วยซอร์ฟแวร์
แหล่งเงิน งบประมาณเงินรายได้
ประจำปีงบประมาณ 2555 จำนวนเงินที่ได้รับการสนับสนุน 72,000 บาท
ระยะเวลาทำการวิจัย 1 ปี ตั้งแต่ ตุลาคม 2554 ถึง กันยายน 2555
ชื่อ-สกุล หัวหน้าโครงการ และผู้ร่วมโครงการวิจัย พร้อมระบุ หน่วยงานต้นสังกัด
ผศ.ดร. ศรวัฒน์ ชิวปรีชา นายสมยศ มะลิวัลย์ นายอนิรุทธิ์ ตระกูลไตรตรึง หน่วยงานคณะวิศวกรรมศาสตร์

บทคัดย่อ

โครงงานวิจัยเรื่องนี้เป็นนำเสนอการพัฒนาหลักสูตรการอบรมเชิงปฏิบัติการด้านการประมวลผลสัญญาณดิจิตอลและการออกแบบระบบดิจิตอลขั้นสูง กรณีศึกษา: ระบบวิทยุที่กำหนดด้วยซอร์ฟแวร์ เพื่ออธิบายหลักการทำงานของระบบ โดยจะนำเสนอการออกแบบวงจรทางฮาร์ดแวร์ในส่วนที่เป็นกลไกหลักในการทำงานของระบบวิทยุที่กำหนดด้วยซอร์ฟแวร์คือ Digital Up Converter และ Digital Down Converter ซึ่งเป็นองค์ประกอบหลักของระบบ ด้วยภาษา VHDL ลงบนอุปกรณ์ FPGA และยังแสดงการจำลองการทำงานภาพรวมของระบบบนโปรแกรม MATLAB

คำสำคัญ : วิทยุที่กำหนดด้วยซอร์ฟแวร์ การประมวลผลสัญญาณดิจิตอล การออกแบบระบบดิจิตอลขั้นสูง ภาษา VHDL อุปกรณ์ FPGA

Research Title: Development of A Course on Digital Signal Processing and Advanced Digital System Design Workshop Case Study: Software Defined Radio
Researcher: Asst.Prof.Dr.Sorawat Chivapreecha, Somyot Maliwan, Anirut Trakultritrung
Faculty: Faculty of Engineering **Department:** Department of Telecommunication Engineering

ABSTRACT

This research project presents development of a course on digital signal processing and advanced digital system design workshop in case study: "software defined radio" in order to describe the principle of system. The hardware design of main mechanism for software defined radio system which consists of Digital Up Converter and Digital Down Converter using VHDL and implemented on FPGA will be discussed. Moreover, demonstration of overall system will be simulated on MATLAB.

Keywords : Software defined radio, Digital signal processing, Advanced digital system design, VHDL, FPGA.

กิตติกรรมประกาศ

คณะผู้วิจัยขอขอบคุณ นางสาวชญานันท์ วิสุทธิ์จินดาภรณ์ นางสาวชลธิชา อิทธินราเดช และ นายไชโย พร้อมพรชัย ในการช่วยเหลือและให้ความร่วมมือในการดำเนินงานวิจัยเป็นอย่างดี และขอบขอบพระคุณแหล่งทุนวิจัยซึ่ง "การวิจัยครั้งนี้ได้รับทุนสนับสนุนการวิจัยจากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จากแหล่งทุนเงินรายได้ คณะวิศวกรรมศาสตร์ ประจำปีงบประมาณ พ.ศ. 2555"

ผศ.ดร.ศรวัฒน์ ชิวปรีชา
นายสมยศ มะลิวัลย์
นายอนิรุทธิ์ ตระกูลไตรตรึง

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญรูป	ฉ
สารบัญตาราง	ฏ
บทที่ 1 บทนำ	
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของการวิจัย	1
1.3 ขอบเขตของการวิจัย	1
บทที่ 2 ทฤษฎีและหลักการที่เกี่ยวข้อง	
2.1 การมอดูเลต	2
2.2 Complex Envelope Representation	6
2.3 ทฤษฎีการสังเคราะห์สัญญาณดิจิตอลโดยตรง	10
2.4 วงจรกรอง CIC	17

สารบัญ (ต่อ)

หน้า

2.5 การแปลงดิจิตอลเป็นอนาล็อก 22

2.6 การแปลงอนาล็อกเป็นดิจิตอล 25

บทที่ 3 การออกแบบและการจัดทำโครงงาน

3.1 การออกแบบ 29

3.2 เครื่องมือที่ใช้ในการทดลอง 39

3.3 การจัดเก็บผลการทดลอง 39

บทที่ 4 ผลการทดลอง

4.1 ผลของการจำลองการทำงานของระบบด้วย MATLAB 40

4.2 ผลการออกแบบวงจรส่วนต่างๆ โดยใช้ภาษา VHDL 48

4.3 ผลการทดสอบการทำงานของวงจร DDS 62

บทที่ 5 สรุปผลและข้อเสนอแนะ

5.1 สรุปผล 74

5.2 ข้อเสนอแนะ 74

บรรณานุกรม 75

ประวัตินักวิจัย 76

สารบัญรูป

หน้า

รูปที่

2.1 communication system 6

2.2 Generalized Transmitter 8

2.3 Generalized Receiver 9

2.4 การเก็บข้อมูลสัญญาณไซน์ (sine Wave) ของหนึ่งคาบเวลา 10

2.5 บล็อกไดอะแกรมเครื่องรับวิทยุที่กำหนดด้วยซอฟต์แวร์ 12

2.6 บล็อกไดอะแกรมของ Digital Down converter 12

2.7 บล็อกไดอะแกรม Digital Mixer 13

2.8 สัญญาณรูปคลื่น sine และ cosine ที่ผลิตจากกระบวนการทางดิจิตอล 13

2.9 ตัวอย่างสัญญาณที่ผ่านวงจรกรองแบบลดอัตราสุ่มตัวอย่าง 14

2.10 บล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่แบบดิติตอล 15

2.11 แสดงภายในบล็อก Phase Accumulator 15

2.12 แสดงภายในบล็อก fcw 16

2.13 การ overflow ของ Accumulator 16

2.14 แสดงโครงสร้างของ NCO โดยทั่วไป 18

2.15 Block diagram ของ 3 – stage CIC decimation และ interpolation filter 19

2.16 Block diagram ของ equivalent frequency response ของ N – Stage CIC filter 20

2.17 magnitude response ของ CIC filter ที่ N=9, R=8 และ M=1 21

2.18 Wideband compensation filter response โดย R=4, N=4 และM=1 22

สารบัญรูป (ต่อ)

2.19 แผนภาพกรอบวงจรแปลงสัญญาณดิจิตอล 4 บิต ให้เป็นแรงดันอนาล็อก 23

2.20 แสดงเอาต์พุตอนาล็อกของวงจร D/A จนาด 4 บิต 24

2.21 แผนภาพของวงจรแปลงอนาล็อกเป็นดิจิตอลขนาด 4 บิต 25

2.22 วงจรแปลงอนาล็อกเป็นดิจิตอลขนาด 3 บิต แบบแฟลช 26

3.1 Block diagram การทำงานของ Transmitter of SDR 29

3.2 Block diagram แสดงการทำงานของ CIC Interpolation Filter ในรูปของ Transfer Function 31

3.3 Block diagram การทำงานของ Receiver of SDR 32

3.4 Block diagram แสดงการทำงานของ CIC Interpolation Filter ในรูปของ Transfer Function 33

3.5 บล็อกไดอะแกรมแสดงส่วนประกอบของวงจรสังเคราะห์ความถี่แบบดิจิตอลโดยตรง 35

3.6 แสดงการทำงาน ของ FPGA ในส่วนระบบเครื่องส่ง 36

3.7 บล็อกไดอะแกรมแสดงส่วนประกอบของ CIC Interpolation Filter 36

3.8 แสดงการทำงาน ของ FPGA ในส่วนระบบเครื่องรับ 37

3.9 บล็อกไดอะแกรมแสดงส่วนประกอบของ CIC Decimation Filter 37

3.10 สัญญาณไซน์ที่ใช้ในการเก็บค่าในตารางเปิดดู 39

3.11 สัญญาณโคไซน์ที่ใช้ในการเก็บค่าในตารางเปิดดู 41

3.12 วงจรแปลงระดับสัญญาณดิจิตอลเป็นอนาล็อก 42

3.13 ลายวงจรแปลงระดับสัญญาณดิจิตอลเป็นอนาล็อก 42

สารบัญรูป (ต่อ)

4.1 แสดงสัญญาณอันพุต m(t) 44

4.2 แสดงสัญญาณที่ทำการ Modulation แบบ AM 44

4.3 แสดงสัญญาณที่ Modulate แบบ AM ก่อน Up – Sampling เทียบกับ 45
สัญญาณที่ Modulate แบบ AM หลัง Up – Sampling

4.4 แสดงสัญญาณที่ทำการ Demodulation แบบ AM 45

4.5 แสดงสัญญาณที่ทำการ Modulation แบบ DSB - SC 46

4.6 แสดงสัญญาณที่ Modulate แบบ DSB - SC ก่อน Up – Sampling เทียบกับ 46
สัญญาณที่ Modulate แบบ DSB - SC หลัง Up – Sampling

4.7 แสดงสัญญาณที่ทำการ Demodulation แบบ DSB - SC 47

4.8 แสดงสัญญาณที่ทำการ Modulation แบบ SSB – SC 47
Lower sideband

4.9 แสดงสัญญาณที่ Modulate แบบ SSB – SC Lower sideband ก่อน Up – Sampling 48
เทียบกับ สัญญาณที่ Modulate แบบ SSB – SC Lower side band หลัง Up – Sampling

4.10 แสดงสัญญาณที่ทำการ Demodulation แบบ SSB – SC Lower side band 48

4.11 แสดงสัญญาณที่ทำการ Modulation แบบ SSB – SC 49
Upper sideband

4.12 แสดงสัญญาณที่ Modulate แบบ SSB – SC Upper sideband ก่อน Up – Sampling 49
เทียบกับ สัญญาณที่ Modulate แบบ SSB – SC Upper side band หลัง Up – Sampling

4.13 แสดงสัญญาณที่ทำการ Demodulation แบบ SSB – SC Upper side band 50

สารบัญรูป (ต่อ)

4.14 แสดงสัญญาณที่ทำการ Modulation แบบ FM 50

4.15 แสดงสัญญาณที่ Modulate แบบ FM ก่อน Up – Sampling เทียบกับ สัญญาณที่ Modulate แบบ FM หลัง Up - Sampling 51

4.16 แสดงสัญญาณที่ทำการ Demodulation แบบ FM 51

4.17 สัญลักษณ์ของส่วน Adder 52

4.18 ผลจำลองการทำงานของส่วนวงจร Adder 52

4.19 สัญลักษณ์ของส่วน PIPO 53

4.20 ผลจำลองการทำงานของส่วนวงจร PIPO 53

4.21 สัญลักษณ์ของส่วน LOOK UP TABLE 54

4.22 ผลจำลองการทำงานของส่วนวงจร LOOK UP TABLE 54

4.23 สัญลักษณ์ของส่วน DDS 55

4.24 ผลจำลองการทำงานของส่วนวงจร DDS 55

4.25 สัญลักษณ์ของส่วน Unit delay 56

4.26 ผลจำลองการทำงานของส่วนวงจร Unit delay 56

4.27 สัญลักษณ์ของส่วน Adder 57

4.28 ผลจำลองการทำงานของส่วนวงจร Adder 57

4.29 สัญลักษณ์ของส่วน Subtract 58

4.30 ผลจำลองการทำงานของส่วนวงจร Subtract 58

4.31 สัญลักษณ์ของส่วน Counter 59

สารบัญรูป (ต่อ)

4.32 ผลจำลองการทำงานของส่วนวงจร Counter 59

4.33 สัญลักษณ์ของส่วน Demultiplexer 60

4.34 ผลจำลองการทำงานของส่วนวงจร Demultiplexer 60

4.35 สัญลักษณ์ของส่วน Multiplexer 61

4.36 ผลจำลองการทำงานของส่วนวงจร Multiplexer 61

4.37 สัญลักษณ์ของส่วน Integrator Filter 62

4.38 ผลจำลองการทำงานของส่วนวงจร Integrator Filter 62

4.39 สัญลักษณ์ของส่วน Comb Filter 63

4.40 ผลจำลองการทำงานของส่วนวงจร Comb Filter 63

4.41 สัญลักษณ์ของส่วน CIC Decimation Filter 64

4.42 ผลจำลองการทำงานของส่วนวงจร CIC Decimation Filter 64

4.43 สัญลักษณ์ของส่วน CIC Interpolation Filter 65

4.44 ผลจำลองการทำงานของส่วนวงจร CIC Interpolation Filter 65

4.45 สัญญาณไซน์ที่ความถี่ 500 Hz 66

4.46 สัญญาณไซน์ที่ความถี่ 1 kHz 66

4.47 สัญญาณไซน์ที่ความถี่ 3 kHz 67

4.48 สัญญาณไซน์ที่ความถี่ 5 kHz 67

4.49 สัญญาณไซน์ที่ความถี่ 10 kHz 68

สารบัญรูป (ต่อ)

4.50 สัญญาณไซน์ที่ความถี่ 30 kHz 68

4.51 สัญญาณไซน์ที่ความถี่ 50 kHz 69

4.52 สัญญาณไซน์ที่ความถี่ 100 kHz 69

4.53 สัญญาณไซน์ที่ความถี่ 300 kHz 70

4.54 สัญญาณไซน์ที่ความถี่ 500 kHz 70

4.55 สัญญาณไซน์ที่ความถี่ 1 MHz 71

4.56 สัญญาณโคไซน์ที่ความถี่ 500 Hz 71

4.57 สัญญาณโคไซน์ที่ความถี่ 1 kHz 72

4.58 สัญญาณโคไซน์ที่ความถี่ 3 kHz 72

4.59 สัญญาณโคไซน์ที่ความถี่ 5 kHz 73

4.60 สัญญาณโคไซน์ที่ความถี่ 10 kHz 73

4.61 สัญญาณโคไซน์ที่ความถี่ 30 kHz 74

4.62 สัญญาณโคไซน์ที่ความถี่ 50 kHz 74

4.63 สัญญาณโคไซน์ที่ความถี่ 100 kHz 75

4.64 สัญญาณโคไซน์ที่ความถี่ 300 kHz 75

4.65 สัญญาณโคไซน์ที่ความถี่ 500 kHz 76

4.66 สัญญาณโคไซน์ที่ความถี่ 1 MHz 76

สารบัญตาราง

หน้า

ตารางที่

2.1 complex envelop function และความเกี่ยวเนื่องกับ Quadrature modulation 8
2.2 complex envelop function และความเกี่ยวเนื่องกับ Quadrature Demodulation 9
2.3 แสดงการเก็บข้อมูลสัญญาณไซน์ (Sine Wave) 11
2.4 ตารางการแปลงรหัสดิจิตอล 4 บิต เป็นแรงดันอนาล็อก 23
3.1 แสดง complex envelop function และความเกี่ยวเนื่องกับ Quadrature modulation 30
3.2 แสดงสมการความถี่ Carrier ที่จะนำไปคูณกับสัญญาณที่ผ่าน Block diagram signal Processing 30
3.3 แสดงผลการคูณของสัญญาณที่ผ่าน Block diagram Baseband Signal Processing กับสัญญาณ Carrier 31
3.4 แสดงสมการ Output ของแต่ละรูปแบบการ Modulation 32
3.5 แสดงสมการการคูณสัญญาณระหว่าง สัญญาณจากฝั่งเครื่องส่งกับสัญญาณ Carrier 33
3.6 แสดงการออกแบบ FIR Lowpass Filter แบบ Hamming window 34
3.7 แสดง Complex Envelope Function และความเกี่ยวเนื่อง กับ Quadrature Demodulation 35
3.8 ตัวอย่างการเก็บค่าขนาดแอมพลิจูดของสัญญาณไซน์ในหน่วยความจำจำนวน 56 ตำแหน่ง 38
3.9 ตัวอย่างการเก็บค่าขนาดแอมพลิจูดของสัญญาณโคไซน์ในหน่วยความจำจำนวน 56 ตำแหน่ง 40

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีเครื่องรับส่งวิทยุกำหนดด้วยซอร์ฟแวร์ (Software Defined Radio Receiver : SDR Receiver) ได้รับความนิยมเป็นอย่างมาก เนื่องจากอุปกรณ์ที่ทำงานในระบบการสื่อสารระบบหนึ่งนั้น ไม่มีความสามารถในการทำงานระบบสื่อสารอื่นๆได้ ดังนั้นแนวคิดในการสร้างวิทยุแทนที่ฮาร์ดแวร์ต่างๆด้วยการทำงานของซอฟท์แวร์ จึงเป็นแนวคิดที่ไม่ใช่ของใหม่อะไร มีมานานมากแล้ว จุดเริ่มต้นของมันมาจากความต้องการทางการทหารที่อยากได้วิทยุที่มีความคล่องตัว สามารถปรับเปลี่ยนฟังก์ชั่นได้ตามต้องการอย่างรวดเร็ว เพื่อนำไปใช้ติดต่อในโหมดต่างๆที่มีอยู่หลากหลาย ในกระบวนการทำงานภายในของเครื่องรับส่งวิทยุกำหนดด้วยซอร์ฟแวร์เป็นแบบดิจิตอลซึ่งจะประกอบไปด้วยหลายส่วนด้วยกันแต่ส่วนที่เป็นหัวใจหลักของระบบ คือส่วนที่ทำหน้าที่ผลิตความถี่แบบดิจิตอล (Direct Digital Synthesizer : DDS) และส่วนที่ทำหน้าที่กรองสัญญาณเปลี่ยนอัตราสุ่มตัวอย่างสัญญาณ (CIC Filter)

1.2 วัตถุประสงค์

1. เพื่อศึกษาการประยุกต์ใช้งานโปรแกรม MATLAB สำหรับงานด้านการประมวลผลสัญญาณดิจิตอล
2. เพื่อศึกษาการใช้งานภาษา VHDL สำหรับการออกแบบระบบดิจิตอลขั้นสูงบนอุปกรณ์ FPGA ในโปรแกรม XILINX ISE Webpack
3. สามารถใช้ซอร์ฟแวร์ในการกำหนด ออกแบบ และควบคุมการทำงานส่วนประกอบหลักในระบบวิทยุที่กำหนดด้วยซอร์ฟแวร์
4. สามารถเชื่อมต่อการทำงานระหว่างวงจรสังเคราะห์ความถี่แบบดิจิตอล และวงจรกรองสัญญาณแบบเปลี่ยนอัตราการสุ่มตัวอย่างได้

1.3 ขอบเขตของโครงงาน

1. ศึกษาส่วนประกอบหลักของวงจร Digital Up Converter และ Digital Down Converter ในระบบวิทยุที่กำหนดด้วยซอร์ฟแวร์
2. ออกแบบและจำลองการทำงานวงจรสังเคราะห์ความถี่แบบดิจิตอล และวงจรกรองสัญญาณแบบเปลี่ยนอัตราการสุ่มตัวอย่างด้วยโปแกรม MATLAB รวมทั้งการทำงานภาพรวมของระบบวิทยุที่กำหนดด้วยซอร์ฟแวร์
3. ออกแบบและจำลองการทำงานของวงจรสังเคราะห์ความถี่แบบดิจิตอล และวงจรกรองสัญญาณแบบเปลี่ยนอัตราการสุ่มตัวอย่างด้วยภาษา VHDL ลงบนอุปกรณ์ FPGA

บทที่ 2

ทฤษฎีและหลักการที่เกี่ยวข้อง

2.1 การมอดูเลต (Modulation)

การมอดูเลตก็คือกระบวนการที่ทำให้สัญญาณที่เรียกว่าสัญญาพาห์ (Carrier Signal) มีการเปลี่ยนแปลงตามสัญญาณที่เป็นข้อมูล (Message Signal, Modulating Signal) โดยผลที่ได้ก็คือสัญญาณที่มอดูเลตแล้ว (Modulated Signal) การมอดูเลตเชิงสัญญาณอุปมานจะแบ่งเป็นการมอดูเลตสัญญาณต่อเนื่อง (Continuous-wave Modulation) และการมอดูเลตแบบพัลส์ (PulseModulation)ในระบบของการมอดูเลตสัญญาณต่อเนื่อง หากให้สัญญาณคลื่นพาห์เป็น $A_c\cos(\omega_c t + \varphi)$ แล้วสัญญาณที่มอดูเลตแล้วจะสามารถเขียนได้เป็น

$$xc(t) = A(t)\cos[\omega_c t + \varphi(t)] \tag{2.1}$$

ในที่นี้ $\omega c = 2\pi fc$ ก็คือความถี่คลื่นพาห์ A(t) และ $\varphi(t)$ จะเรียกว่า ขนาดชั่วขณะ (Instantaneous Amplitude) และมุมของเฟส (Phase Angle) ตามลำดับหาก A(t) มีการเปลี่ยนแปลงอย่างเป็นเชิงเส้นกับสัญญาณข้อมูล ก็จะเรียกว่าการมอดูเลตเชิงขนาด (Amplitude Modulation: AM) หาก $\varphi(t)$ หรือ ส่วนอื่นใดที่มี $\varphi(t)$ เป็นองค์ประกอบ มีการเปลี่ยนแปลงอย่างเป็นเชิงเส้นกับสัญญาณข้อมูล ก็จะเรียกว่าการมอดูเลตเชิงมุม ซึ่งแบ่งเป็นการมอดูเลตเชิงเฟส (Phase Modulation) และการมอดูเลตเชิงความถี่ (Frequency Modulation)

2.1.1 การมอดูเลตเชิงขนาด (Amplitude Modulation)

หากสัญญาณข้อมูล เขียนได้โดย $x_m(t) = A_m\cos(\omega_m t)$ และให้คลื่นพาห์เขียนใหม่ได้โดย $x_c(t) = x_{AM}(t) = \{A_m + x_m(t)\}\cos(\omega_m t)$ การมอดูเลตเชิงขนาดก็คือการจัดให้ A(t) มีการเปลี่ยนแปลงตาม $x_m(t)$ และให้ $\varphi = 0$ ดังนั้น

$$\begin{aligned} x_{AM}(t) &= \{A_c + A_m\cos(\omega_m t)\} \\ &= A_c\{1 + \frac{A_m}{A_c}\cos(\omega_m t)\}\cos(\omega_c t) \\ &= A_c\{1 + \mu_{AM}\cos(\omega_m t)\}\cos(\omega_c t) \\ &= A_c\{1 + m(t)\}\cos(\omega_c t) \end{aligned} \tag{2.2}$$

ทั้งนี้ $\hat{m}(t) = \frac{A_m}{A_c}(\cos(\omega_m t)) = \mu_{AM}(\cos(\omega_m t))$ ซึ่งหากเปรียบเทียบกับสมการ (2.2) แล้ว

$$\begin{aligned} A(t) &= A_c + A_m \cos(\omega_m t) \\ &= A_c\{\, 1 + \mu_{AM}\cos(\omega_m t)\,\} \\ &= A_c\{\, 1 + m(t)\,\} \end{aligned} \tag{2.3}$$

โดยที่ $\mu_{AM} = \frac{A_m}{A_c}$ เรียกว่า ดัชนีการมอดูเลตหรือเปอร์เซ็นต์การมอดูเลต และสัญญาณ m(t) จะถูกเรียกว่าสัญญาณเบสแบนด์บรรทัดฐาน การมอดูเลตแบบอนาล็อกเชิงขนาดแบ่งออกเป็น 3 ประเภท คือ การมอดูเลตแบนด์คู่ (DSB) การมอดูเลตเชิงขนาดตามปกติ (AM) และการมอดูเลตแบนด์เดี่ยว (SSB)

2.1.1.1 การมอดูเลตเชิงขนาดแบบแบนด์คู่ (DSB-SC)

การมอดูเลตแบบนี้ A(t) มีการเปลี่ยนแปลงอย่างเป็นเชิงเส้นหรือเป็นสัดส่วนกับสัญญาณข้อมูล m(t) ดังนั้นหากถือว่า A(t) และ m(t) เป็นสัดส่วนโดยตรงกัน คือ

$$A(t) = A_c m(t) \tag{2.4}$$

ซึ่งสัญญาณที่ได้คือ

$$x_{DSB}(t) = \{m(t)\times A_c\}\cos(\omega_c t) \tag{2.5}$$

ซึ่งการเปลี่ยนจาก $A(t) = A_c\{1 + m(t)\}$ ให้เป็น $A(t) = A_c m(t)$ นั้นเป็นการตัดสัญญาณคลื่นพาห์ออกในการส่งสัญญาณ

2.1.1.2 การมอดูเลตเชิงขนาดแบบธรรมดา (AM)

การมอดูเลตแบบนี้ได้จากการบวกสัญญาณคลื่นพาห์ขนาดใหญ่กับสัญญาณ DSB-SC ซึ่งสัญญาณที่ถูกมอดูเลตแล้ว จะเขียนได้เป็น

$$x_{AM}(t) = \{A_c(1+m(t))\}\cos(\omega_c t) \tag{2.6}$$

ดังนั้นผลที่ได้จึงเป็นการมอดูเลตแบบแบนด์คู่โดยไม่ต้องตัดสัญญาณคลื่ยพาห์ออกในการส่งสัญญาณ

2.1.1.3 การมอดูเลตแบบแบนด์เดี่ยว (SSB)

จะเห็นได้ว่าการมอดูเลตทั้งสองแบบที่กล่าวมานั้นความกว่างของแบนด์ความถี่ในการส่งเป็นสองเท่าของแบนด์ข้อมูล ซึ่งเป็นการสิ้นเปลืองโดยใช่เหตุ เพราะแค่ครึ่งแบนด์บน (Upper sideband : USB) หรือครึ่งแบนด์ล่าง (Lower sideband : USB) ก็มีข้อมูลเพียงพอแล้ว ดังนั้นการ

ส่งข้อมูลซีกแบนด์เดี่ยวจึงกระทำได้ประหยัดแบนด์ความถี่และกำลังงานมากกว่า แต่ข้อด้อยก็คือความยุ่งยากหรือความซับซ้อนของวงจรที่เพิ่มมากขึ้น

การมอดูเลตแบบนี้ได้จากการนำสัญญาณ DSB-SC มาทำการคัดกรองความถี่ให้เหลือเพียงแบนด์ความถี่เดียวนั่นก็คือ USB หรือ LSB อย่างใดอย่างหนึ่ง ซึ่งจะเขียนได้เป็น

$$x_{USB}(t) = \cos(\omega_m t)\cos(\omega_c t) - \sin(\omega_m t)\sin(\omega_c t) \quad (2.7)$$

$$x_{LSB}(t) = \cos(\omega_m t)\cos(\omega_c t) + \sin(\omega_m t)\sin(\omega_c t) \quad (2.8)$$

ในการที่จะแยกเอาสัญญาณข่าวสารออกมาจากสัญญาณที่ผ่านการมอดูเลตมาแล้วนั้น เรียกว่า การกู้สัญญาณ หรือ การดีมอดูเลตสัญญาณ หรือการตรวจจับสัญญาณ สามารถทำได้โดยการนำสัญญาณที่มอดูเลตมาแล้วมาทำการมอดูเลตกับคลื่นพาห์เดิมอีกครั้งหนึ่ง และนำไปผ่านวงจรกรองความถี่ต่ำผ่านเพื่อกรองสัญญาณส่วนที่มีความถี่สูงออก ก็จะได้สัญญาณของข้อมูลข่าวสารกลับมาเหมือนเดิม ทั้งนี้ก็ขึ้นอยู่กับประสิทธิภาพของวงจรกรองสัญญาณด้วย

2.1.2 การมอดูเลตเชิงมุม (Angle Modulation)

การมอดูเลตคือกระบวนการที่ทำให้สัญญาณที่เรียกว่าสัญญาณพาห์ (Carrier Signal) มีการเปลี่ยนแปลงตามสัญญาณที่เป็นข้อมูล (Message Signal, Modulating Signal) โดยผลที่ได้ก็คือสัญญาณที่มอดูเลตแล้ว (Modulated Signal) ในระบบของการมอดูเลตสัญญาณต่อเนื่อง หากให้สัญญาณคลื่นพาหะเป็น $x_c(t) = A_c\cos(\omega_c t+\varphi)$ แล้ว สัญญาณที่มอดูเลตแล้วจะสามารถเขียนได้เป็น

$$x_{mc}(t) = A(t)\cos[\omega_c t + \varphi(t)] \quad (2.9)$$

ในที่นี้ $\omega_c = 2\pi fc$ ก็คือความถี่คลื่นพาห์ ส่วน A(t) จะเรียกว่า ขนาดชั่วขณะ (instantaneous amplitude) และ $\varphi(t)$ จะเรียกว่า มุมของเฟส (phase angle) ตามลำดับ สมการ (4) สามารถที่จะเขียนใหม่ได้เป็น

$$x_{mc}(t) = A(t)\cos\theta(t) \quad (2.10)$$

$$\theta(t) = \omega_c t + \varphi(t) \quad (2.11)$$

ดังนั้นความถี่เชิงมุมที่ขณะใดๆ (instantaneous radian frequency) สามารถที่จะนิยามได้เป็น

$$\omega_i(t) = \frac{d\theta(t)}{dt} = \omega_c + \frac{d\theta(t)}{dt} \quad (2.12)$$

จะสังเกตเห็นว่า เมื่อ φ(t) มีค่าคงที่ จะได้ $\omega_i(t) = \omega_c\varphi(t)$ และ dφ(t)/dt จะเรียกว่าความเบี่ยงเบนเฟสชั่วขณะ และความเบี่ยงเบนความถี่ชั่วขณะ (instantaneous frequency derivation) ของสัญญาณคลื่นพาห์ ส่วนปริมาณ Δω ซึ่งอธิบายโดย

$$\Delta\omega = |\ \omega_i\ (t) - \omega_c\ |_{\max} = \omega_c + \left|\frac{d\varphi(t)}{dt}\right|_{\max} - \omega_c = \left|\frac{d\varphi(t)}{dt}\right|_{\max} \quad (2.13)$$

เราจะเรียก $\Delta\omega = \left|\frac{d\varphi(t)}{dt}\right|_{\max}$ ว่าเป็นค่าสูงสุดหรือพีคของความเบี่ยงเบนความถี่เชิงมุม (peak radian frequency derivation) ของสัญญาณที่มอดูเลตแบบเชิงมุม

2.1.2.1 การมอดูเลตเชิงความถี่ (Frequency Modulation)

ในการมอดูเลตเชิงความถี่ ความเบี่ยงเบนความถี่ชั่วขณะของสัญญาณคลื่นพาห์จะเปลี่ยนแปลงโดยตรงกับ สัญญาณข้อมูล หรือ

$$\frac{d\varphi(t)}{dt} = k_f m(t) \quad (2.14)$$

หรือ

$$\varphi(t) = k_f \int_{t_0}^{t} m(\vartheta)d\vartheta + \varphi(t_0) \quad (2.15)$$

เมื่อ k_f คือ ค่าคงทีของความเบี่ยงเบนความถี่ชั่วขณะ หรือบางทีอาจเรียกว่าความไวต่อความถี่ (Frequency sensitivity) มีหน่วยเป็นเรเดียนต่อหน่วยสัญญาณข้อมูล (หรือเรเดียนต่อโวลต์ หรือเป็นเฮิรซ์ทต่อโวลต์ ก็ได้) โดยที่ $\varphi(t_0)$ ก็คือค่าเฟสเริ่มต้น ที่ $t = t_0$ โดยทั่วไป มักให้ $t_0 = -\infty$ และ $\varphi(-\infty) = 0$ (จาก (2.8) และ (2.9) จะสังเกตได้ว่า

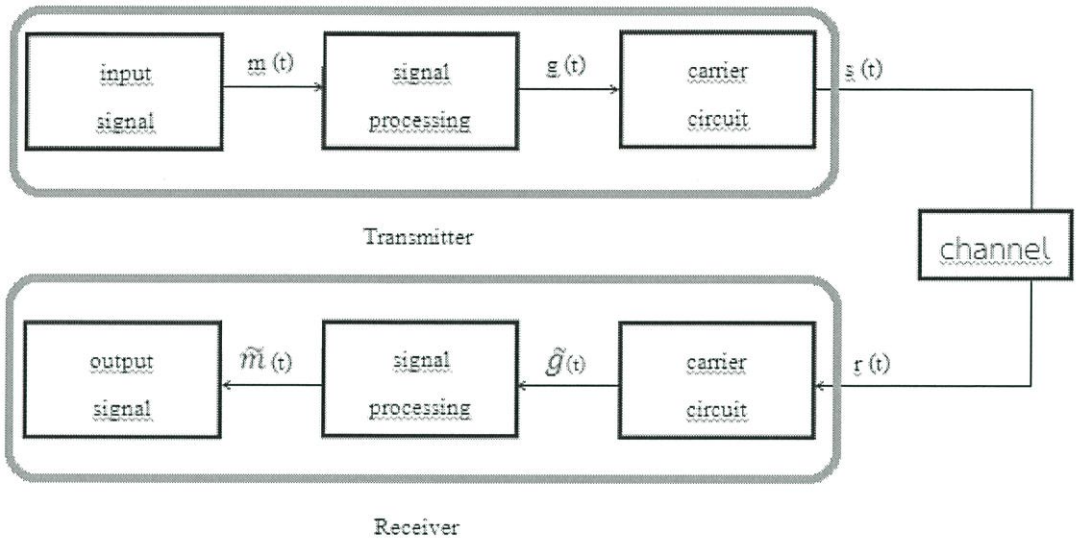
$$\Delta\omega = \left|\frac{d\varphi(t)}{dt}\right|_{\max} = k_f m(t)\big|_{max} = k_f A_m \quad (2.16)$$

ดังนั้นสมการ ซึ่งแสดงสัญญาณที่มอดูเลตแล้ว จึงเขียนได้เป็น

$$x_{FM} = A_c \cos[\omega_c(t) + k_f \int_{-\infty}^{t} m(\tau)d\tau] \quad (2.17)$$

การดีมอดูเลตสัญญาณ FM ทำได้โดยการทำอนุพันธ์ตามอุดมคติร่วมกับวงจรกรองสัญญาณ ซึ่งเมื่อทำการอนุพันธ์แล้วจะได้เอาต์พุตที่มีค่าเปลี่ยนตามความถี่ ซึ่งก็คือได้เอาต์พุตเปลี่ยนแปลงตามขนาดของสัญญาณข่าวสารนั่นเอง และเมื่อนำสัญญาณเอาต์พุตนี้ไปผ่านวงจรกรองความถี่ต่ำผ่านก็จะได้สัญญาณข่าวสารออกมาตามต้องการ

2.2 Complex Envelope Representation



รูปที่ 2.1 communication system

สมมุติให้ v(t) = s(t) คือ physical bandpass waveform จะได้

$$v(t) = \mathrm{Re}\ \{g(t)e^{j\omega_c t}\} \tag{2.18}$$

โดยที่ g(t) เป็น Complex envelope ของ s(t) ซึ่งสามารถเขียนแยกเนสมการได้เป็น

$$v(t) = R(t)\cos(\omega_c t + \emptyset(t)) \tag{2.19}$$

$$v(t) = x(t)\cos(\omega_c t) - y(t)\sin(\omega_c t) \tag{2.20}$$

ซึ่ง complex envelope ของ g(t) แสดงได้โดย

$$g(t) = x(t) + jy(t) = |g(t)|\, e^{j\emptyset(t)} = R(t)\, e^{j\emptyset(t)} \tag{2.21}$$

เพราะฉะนั้น

$$x(t) = R(t)\cos(\emptyset(t)) \tag{2.22}$$

$$y(t) = R(t)\sin(\emptyset(t)) \tag{2.23}$$

ดังนั้น

$$R(t) = \sqrt{x^2(t) + y^2(t)} = |g(t)| \quad (2.24)$$

$$\emptyset(t) = \tan^{-1}\left[\frac{y(t)}{x(t)}\right] \quad (2.25)$$

จากสมการที่ (2.25) $\emptyset(t)$ คือ มุมของ g(t)

เนื่องจาก g(t) เป็น Baseband waveform ดังนั้น x(t) , y(t) , R(t) และ $\emptyset(t)$ ก็ต้องเป็น Baseband waveform ด้วย โดยที่ g(t) เท่านั้นที่เป็น complex waveform นอกนั้นที่เหลือเป็น Real waveform

$$\underbrace{g(t) = x(t) + jy(t)}$$

Complex waveform

โดยที่ x(t) = Re {g(t)} : In – phase component
y(t) = Im {g(t) } : Quadrature – phase component

$$\underbrace{g(t) = R(t)e^{j\emptyset(t)}}$$

Polar wave form

โดยที่ R(t) คือ Amplitude modulation (AM) บน v(t)
$\emptyset(t)$ คือ Phase modulation (PM) บน v(t)

ประโยชน์ของ complex envelope representation คือ sampling rate ที่ถูกใช้งาน สามารถมีค่าต่ำๆได้ โดยทำงานคู่กับ complex envelope g(t) แทนที่จะเป็น v(t) เพราะว่า baseband equivalent of the bandpass signal

2.2.1 Representation of modulate signals

$$s(t) = \text{Re}\ \{g(t)e^{j\omega_c t}\} \quad (2.26)$$

ซึ่ง s(t) คือ สัญญาณที่ถูก Modulate แล้ว

complex envelope g(t) เป็น function ของ Modulation signal m(t)

$$g(t) = g\,[m(t)] \tag{2.27}$$

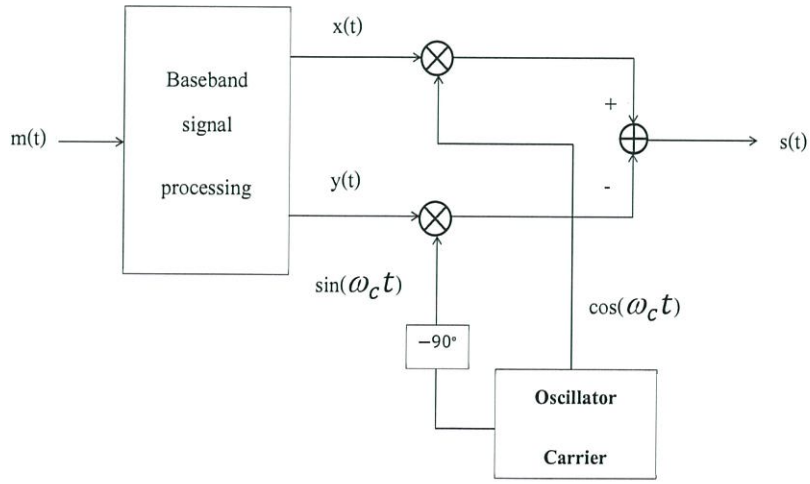
โดยที่ Complex envelope function สำหรับ Amplitude modulation และ Frequency modulation สามารถแสดงได้ดังตาราง

ตารางที่ 2.1 แสดง Complex envelope function และ ความเกี่ยวเนื่องกับ Quadrature modulation

Type of modulation	Mapping function	Corresponding Quadrature Modulation	
		x(t)	y(t)
AM	$A_c(1+m(t))$	$A_c(1+m(t))$	0
DSB-SC	$A_c(m(t))$	$A_c(m(t))$	0
SSB-SC	$A_c(m(t)) \pm jA_c(\tilde{m}(t))$	$A_c(m(t))$	$A_c(\tilde{m}(t))$
FM	$A_c e^{jD_f \int_{-\infty}^{t} m(\tau)d\tau}$	$A_c\cos[D_f \int_{-\infty}^{t} m(\tau)d\tau]$	$A_c\sin[D_f \int_{-\infty}^{t} m(\tau)d\tau]$

* $\tilde{m}(t)$ เป็น $m(t)$ ที่เกิดจากการแปลง Hilbert Tranform หรือถูก shift phase ไป 90^o และเครื่องหมาย + สำหรับ USB (Upper sideband) เครื่องหมาย - สำหรับ LSB (Lower sideband) ในการ modulation SSB-AM-SC

* D_f คือ frequency deviation constant (rad/volt-sec) หรือ ค่าความเบี่ยงเบนความถี่คงที่

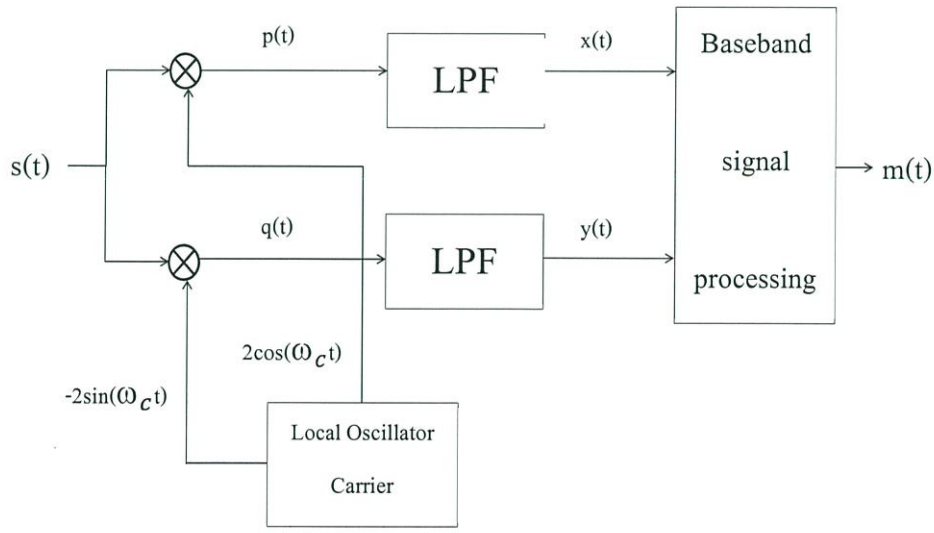


รูปที่ 2.2 Generalized Transmitter

สำหรับ Amplitude demodulation และ Frequency demodulation ก็เช่นเดียวกันเพียงแต่กลับกระบวนการการทำงานและจะมีการใช้ฟิลเตอร์มาใช้ในการกรองสัญญาณที่ต้องการนำไปใช้งาน

ตารางที่ 2.2 แสดง Complex envelope function และ ความเกี่ยวเนื่องกับ Quadrature demodulation

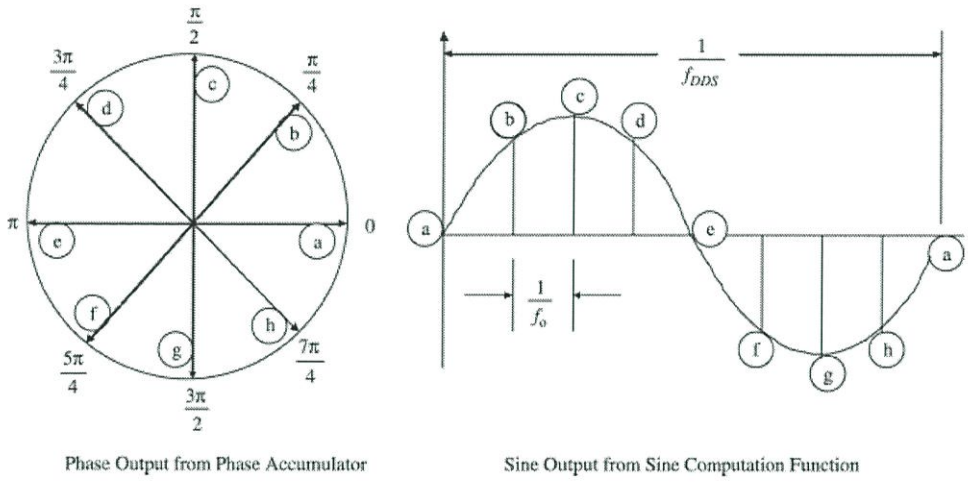
Type of modulation	Corresponding Quadrature Modulation		Demodulation x(t)+jy(t)
	x(t)	y(t)	
AM	$A_c(1+m(t))$	0	$\frac{x(t)}{A_c}-1$
DSB-SC	$A_c(m(t))$	0	$\frac{x(t)}{A_c}$
SSB-SC	$A_c(m(t))$	$A_c(\tilde{m}(t))$	$\frac{x(t)}{A_c}+\frac{y(t)}{A_c}$
FM	$A_c\cos[D_f\int_{-\infty}^{t}m(\tau)d\tau]$	$A_c\sin[D_f\int_{-\infty}^{t}m(\tau)d\tau]$	$(\frac{d[\cos^{-1}(\frac{x(t)}{A_c})}{dt}\times\frac{1}{D_f})+(\frac{d[\sin^{-1}(\frac{x(t)}{A_c})}{dt}\times\frac{1}{D_f})$



รูปที่ 2.3 Generalized Receiver

2.3 ทฤษฎีการสังเคราะห์สัญญาณดิจิตอลโดยตรง (Direct Digital Frequency Synthesizer)

แนวคิดในการสร้างรูปคลื่นแบบไดเร็กดิจิตอลซินธิไซเซอร์หรือ คือการกำเนิดรูปคลื่นโดยอาศัยวิธีการทางดิจิตอล ซึ่งในเครื่องกำเนิดความถี่ทั่วๆไปนั้น จะใช้วิธีการทางอนาล็อกเฟสล็อกลูปหรือการกำเนิดรูปคลื่นโดยใช้คริสตอล การสร้างรูปคลื่นแบบไดเร็กดิจิตอลซินธิไซเซอร์จะเก็บข้อมูลของสัญญาณที่จะกำเนิดขึ้นมานั้นให้ครบคาบของสัญญาณ ซึ่งหากเรายิ่งเก็บข้อมูลของสัญญาณจำนวนมากเท่าไร ก็จะทำให้สัญญาณที่ผลิตออกมาใกล้เคียงกับความเป็นจริงมากเท่านั้น แต่จะมีข้อเสียคือจะสิ้นเปลืองเนื้อที่ในหน่วยความจำมากตามไปด้วย



รูปที่ 2.4 การเก็บข้อมูลของสัญญาณไซน์ (Sine Wave) ของหนึ่งคาบเวลา

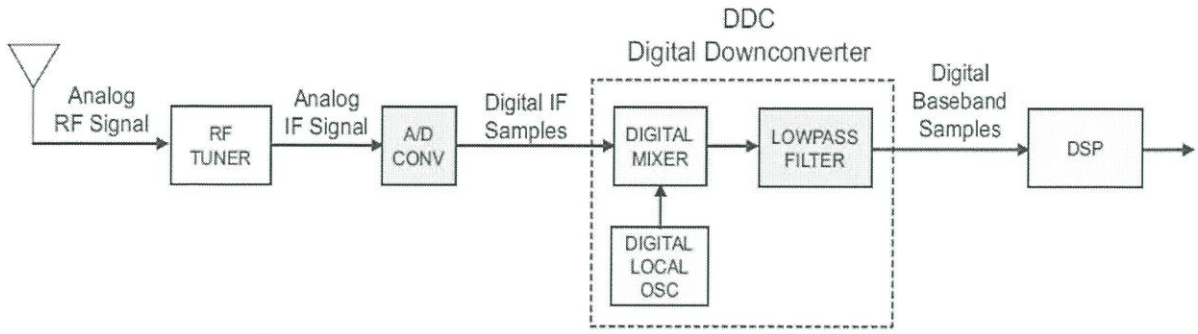
การเก็บข้อมูลจะต้องใช้การสุ่ม (Sampling) ข้อมูลบนสัญญาณแต่ละจุดด้วยเวลาที่เท่ากันทุกจุด ดังนั้นจุดบนสัญญาณที่ต้องการเก็บคือ 360 จำนวนข้อมูล เช่น ต้องการเก็บข้อมูล 1024 ค่า ดังนั้นจะต้องทำการเก็บข้อมูล สามารถทำเป็นตารางได้ดังนี้ การเก็บข้อมูลจำนวน N ค่า พิจารณาได้จากตารางที่ 2.3 หลังจากที่เราได้ข้อมูลมาแต่ละจุดแล้ว จะต้องมาทำการจัดค่า (Quantization) ให้มีค่าเป็นทางดิจิตอล เมื่อเราได้ข้อมูลที่มีค่าเป็นเลขฐานสองแล้ว ก็จะนำค่าข้อมูลเหล่านี้ไปเก็บในหน่วยความจำ โดยการจัดเรียงกันไปถึงค่าของสัญญาณจุดแรกบนสัญญาณจะถูกเก็บที่ตำแหน่ง (Address) แรกค่าของข้อมูลที่สองจะถูกเก็บในตำแหน่ง (Address) ถัดไปจนครบหมดทุกค่า

นอกจากสัญญาณไซน์แล้ว เราสามารถสร้างสัญญาณชนิดอื่นได้อีกมากมาย โดยใช้โปรแกรมคำนวณค่าของสัญญาณต่างๆ ซึ่งใช้หลักการเดียวกับการกำเนิดคลื่นไซน์ที่ได้กล่าวมาข้างต้นนั่นเอง

ตารางที่ 2.3 แสดงการเก็บข้อมูลสัญญาณไซน์ (Sine Wave)

ข้อมูลที่	เฟส	ข้อมูล
0	0	f(0)=sin(0)
1	$\left[\frac{\pi}{n}\right]$	f(1)=sin($\left[\frac{\pi}{n}\right]$)
2	$\left[\frac{2\pi}{n}\right]$	f(2)=sin($\left[\frac{2\pi}{n}\right]$)
3	$\left[\frac{3\pi}{n}\right]$	f(3)=sin($\left[\frac{3\pi}{n}\right]$)
.	.	.
.	.	.
.	.	.
N-3	$\left[\frac{(N-3)\pi}{n}\right]$	f(N-3)=sin($\left[\frac{(N-3)\pi}{n}\right]$)
N-2	$\left[\frac{(N-2)\pi}{n}\right]$	f(N-2)=sin($\left[\frac{(N-2)\pi}{n}\right]$)
N-1	$\left[\frac{(N-1)\pi}{n}\right]$	f(N-1)=sin($\left[\frac{(N-1)\pi}{n}\right]$)

เครื่องรับส่งวิทยุกำหนดด้วยซอร์ฟแวร์ (Software Defined Radio Receiver : SDR Receiver) คือ เครื่องรับส่งวิทยุที่มีกระบวนการทำงานภายในเป็นแบบดิจิตอลประกอบไปด้วยหลายส่วนแต่ส่วนที่เป็นหัวใจหลักของระบบเครื่องรับวิทยุกำหนดด้วยซอร์ฟแวร์คือส่วนที่ทำหน้าที่ลดอัตราสุ่มตัวอย่างสัญญาณ แสดงในรูปที่ 2.5



รูปที่ 2.5 บล็อกไดอะแกรมเครื่องรับวิทยุกำหนดด้วยซอร์ฟแวร์

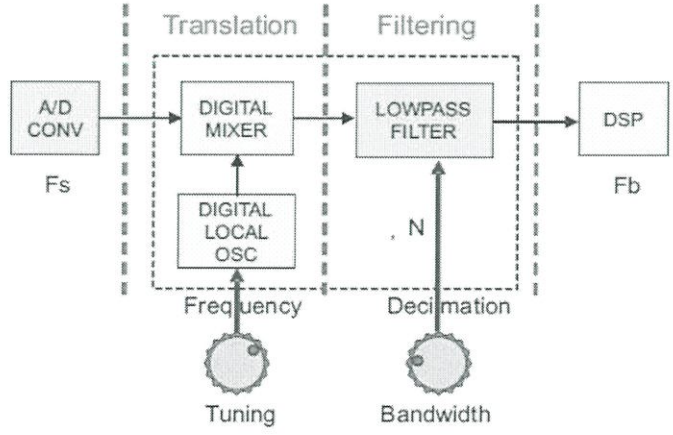
ในรูปที่ 2.5 ภาค RF Tuner จะทำการแปลงสัญญาณอนาล็อก RF จากสายอากาศไปเป็นสัญญาณในช่วงความถี่กลาง (IF) ซึ่งเหมือนเครื่องรับวิทยุแบบอนาล็อก จากนั้นจะทำการแปลงสัญญาณความถี่กลางแบบอนาล็อกเป็นสัญญาณดิจิตอลด้วยภาค A/D (Analog to Digital converter) จะได้ เป็นสัญญาณความถี่กลางแบบดิจิตอล (Digital IF Samples) ส่งไปยังส่วนที่เรียกว่า digital down converter (DDC) ซึ่งทำหน้าที่แปลงสัญญาณความถี่กลางแบบดิจิตอลไปเป็นสัญญาณดิจิตอลเบสแบนด์ (Digital Baseband Samples) ประกอบไปด้วยส่วนต่างๆ ดังนี้

ส่วนประกอบของภาค Digital Down converter

2.3.1 ภาคผสมสัญญาณแบบดิจิตอล (Digital Mixer)

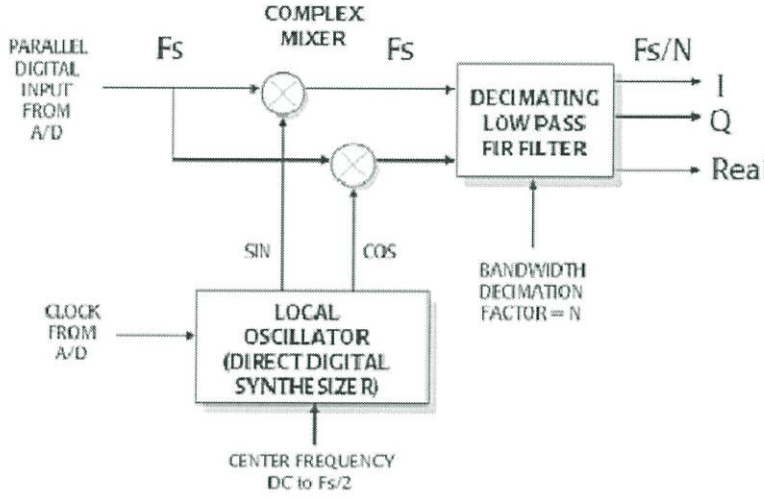
2.3.2 ภาคผลิตความถี่แบบดิจิตอล (Digital Local Oscillator)

2.3.3 วงจรกรองสัญญาณความถี่



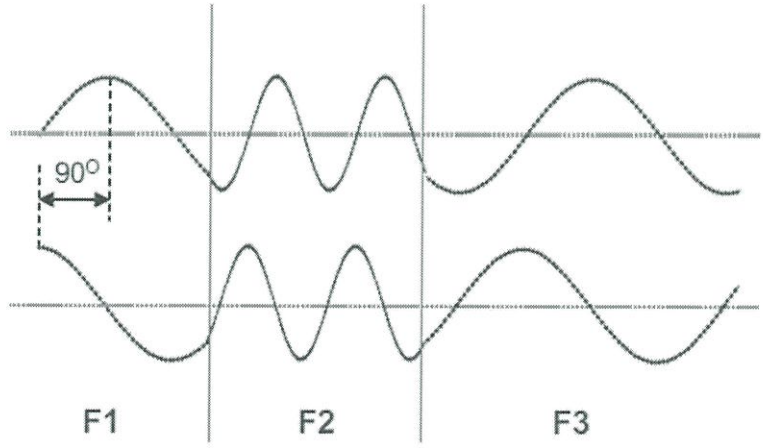
รูปที่ 2.6 บล็อกไดอะแกรมของ Digital Downconverter

2.3.1 ภาคผสมสัญญาณแบบดิจิตอล (Digital Mixer) จะทำการแปลงสัญญาณที่รับเข้ามาจากภาค Analog to Digital converter ให้เป็นสัญญาณดิจิตอลเบสแบนด์ด้วยการผสมกับสัญญาณรูปคลื่น sine และ สัญญาณ cosine ที่ผลิตจากภาคผลิตความถี่แบบดิจิตอลและจะได้สัญญาณสัญญาณที่ส่งต่อไปยังภาค Lowpass Filter ที่ทำหน้าที่กรองสัญญาณความถี่ต่ำผ่านแบบลดอัตราสุ่มตัวอย่างสัญญาณโดยที่สัญญาณขาออกจะอยู่ในรูปสัญญาณ I (In-phase) และสัญญาณ Q (Quadrature) ในรูปที่ 2.7



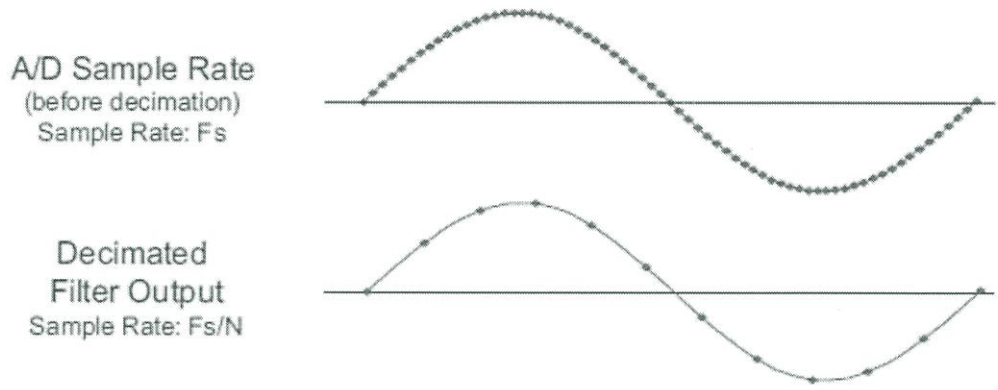
รูปที่ 2.7 บล็อกไดอะแกรม Digital Mixer

2.3.2 ภาคผลิตความถี่แบบดิจิตอล (Digital Local Oscillator) จะทำหน้าที่ผลิตสัญญาณความถี่ด้วย กระบวนการทางดิจิตอลซึ่งจะผลิตสัญญาณรูปคลื่น sine และ cosine โดยอาศัยวิธีการทางดิจิตอลด้วยการบวกวนซ้ำด้วยความถี่ควบคุม (F_{CW}) ตามสัญญาณอ้างอิง (F_{clk}) และจะได้สัญญาณเอาท์พุท F_{out} สัญญาณนี้จะนำไปชี้ในตารางเปิดดู (Look up Table) ที่ตำแหน่ง Address ต่างๆ ที่เก็บค่าเฟสสะสมของสัญญาณไว้ ดังแสดงในรูปที่ 2.8



รูปที่ 2.8 สัญญาณรูปคลื่น sine และ cosine ที่ผลิตจากกระบวนการทางดิจิตอล

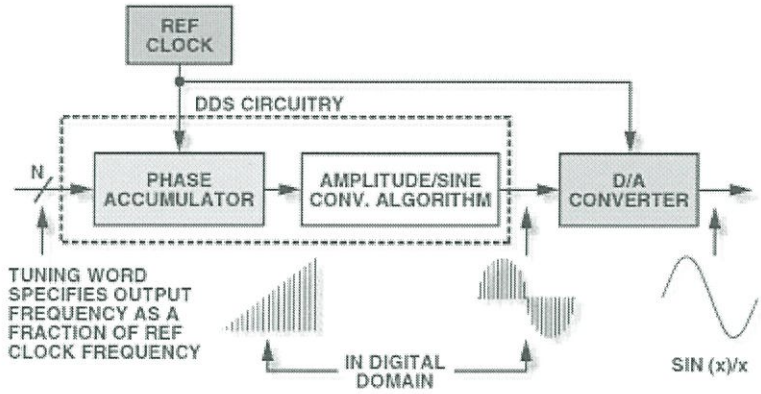
2.3.3 วงจรกรองสัญญาณความถี่ ทำหน้าที่กรองสัญญาณความถี่และทำการลดอัตราสุ่มตัวอย่างของสัญญาณลง เพื่อให้ได้อัตราสุ่มตัวอย่างตามที่ต้องการ ในการปรับอัตราการสุ่มตัวอย่างลงนั้นจะทำการปรับที่พารามิเตอร์ N ซึ่งเป็นตัวแปรที่ใช้ในการลดอัตราสุ่มตัวอย่างสัญญาณ



รูปที่ 2.9 ตัวอย่างสัญญาณที่ผ่านวงจรกรองแบบลดอัตราสุ่มตัวอย่าง

จากที่ได้กล่าวมาข้างต้นนั้นส่วนที่เป็นหัวใจหลักในการทำระบบวิทยุกำหนดด้วยซอร์ฟแวร์ (SDR) นั้นก็คือ ภาคผลิตความถี่แบบดิจิตอล (Digital Local Oscillator or Direct Digital Synthesis: DDS) และ วงจรกรองสัญญาณ ซึ่งสองส่วนนี้จะอาศัยซอร์ฟแวร์เพื่อช่วยในการปรับค่าพารามิเตอร์ต่างๆ เช่น การปรับความถี่ให้กับภาคผลิตความถี่แบบดิจิตอล ปรับลดอัตราการสุ่มตัวอย่างสัญญาณความจุช่องสัญญาณ เป็นต้น

ส่วนที่ทำหน้าที่ผลิตความถี่แบบดิจิตอล หรือที่เรียกว่า วงจรสังเคราะห์ความถี่แบบดิจิตอล (Direct Digital Synthesis: DDS) ด้วยการออกแบบวงจรดิจิตอลด้วย FPGA จากที่ได้กล่าวไปแล้วว่าการผลิตความถี่แบบดิจิตอลนั้นจะเกิดจากการบวกค่าวนซ้ำของสัญญาณความถี่ควบคุม (F_{CW}) ตามสัญญาณอ้างอิง (F_{clk}) และสัญญาณขาออก F_{out} จะนำไปชี้ค่าตำแหน่ง Address ในตารางเปิดดู ซึ่งตำแหน่ง Address ในตารางเปิดดูจะเก็บค่าเฟสสะสมของสัญญาณไว้



รูปที่ 2.10 บล็อกไดอะแกรมของวงสังเคราะห์ความถี่แบบดิจิตอล

จากรูปที่ 2.10 ประกอบด้วยสามส่วนหลักคือ บล็อก Phase Accumulator, บล็อก fcw และบล็อก ROM_SINE ซึ่งการทำงานในแต่ละบล็อกมีดังนี้

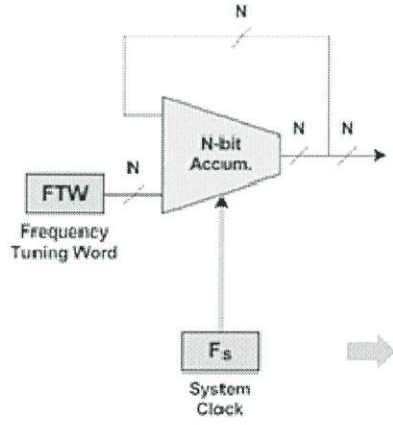
2.3.2.1 บล็อก Phase Accumulator ทำหน้าที่เป็นตัวควบคุมความถี่ของสัญญาณที่ผลิตโดยความถี่สูงสุดที่สามารถผลิตได้จะเท่ากับ

$$F_{out}(\max) = \frac{F_{clk}}{2} \tag{2.28}$$

และความถี่ต่ำสุดที่สามารถกำหนดได้คือ

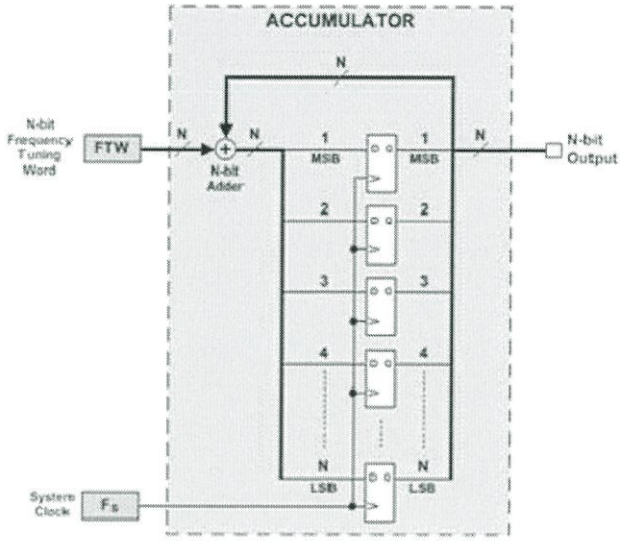
$$F_{out}(\min) = \frac{F_{clk}}{2^n} \tag{2.29}$$

เมื่อ n = จำนวนบิต



รูปที่ 2.11 แสดงภายในของบล็อก Phase Accumulator

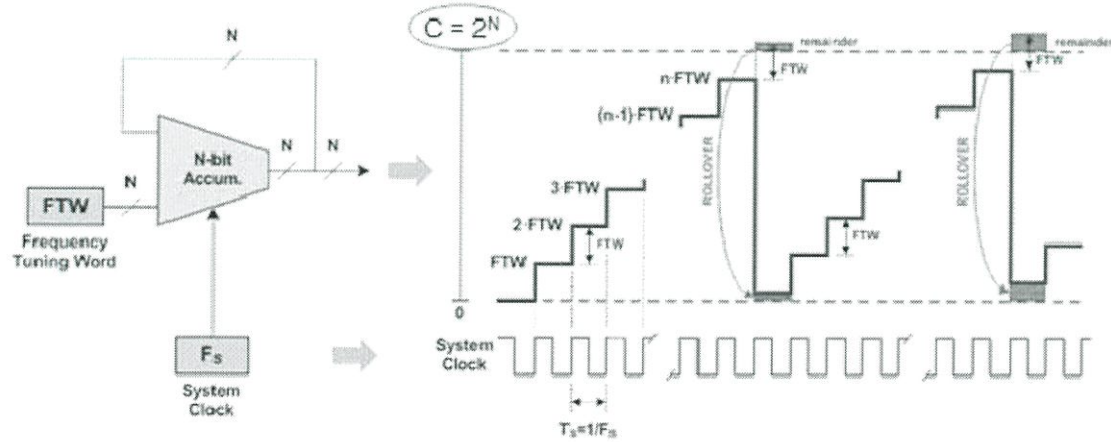
2.3.2.2 บล็อก fcw ทำหน้าที่เป็นตัวชี้ตำแหน่งค่าเฟสสะสมในตารางเปิดตัว เพื่อที่จะทำการสร้างสัญญาณรูปคลื่นแบบดิจิตอลซึ่งจะหาได้จากสมการด้านล่างนี้



รูปที่ 2.12 แสดงภายในของบล็อก fcw

$$F_{out} = \frac{F_{clk} \times F_{CW}}{2^n} \tag{2.30}$$

ซึ่งค่า F_{out} จะนำไปชี้ในตารางเปิดดูเพื่อสร้างสัญญาณรูปคลื่นต่อไป



รูปที่ 2.13 การ overflow ของ Accumulator

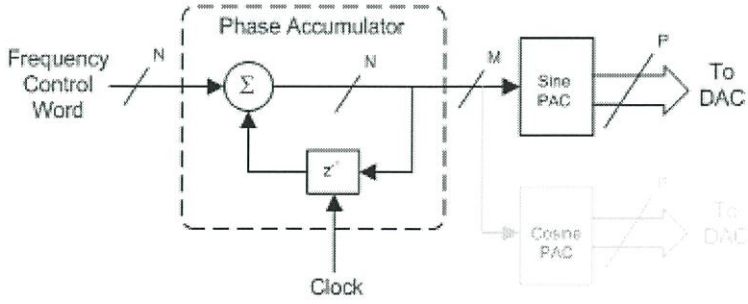
เนื่องจากอุปกรณ์บวกสะสมมีการทำงานแสดงได้โดยฟังก์ชัน S(n)=S(n-1)+W เอาท์พุตของอุปกรณ์บวกสะสม ซึ่งแสดงเฟสของสัญญาณจะนับเริ่มตั้งแต่ 0 ถึง ค่าสุดท้ายที่กำหนดไว้ เมื่อมีค่าเกินไปจากค่านี้ จะเกิดการ overflow และเริ่มนับใหม่อีกครั้ง

2.3.2.3 บล็อก ROM_SINE จะทำการเก็บค่าเฟสสะสมของสัญญาณไว้ในตำแหน่ง Address ต่างๆ ในตารางการเก็บบันทึกข้อมูลในหน่วยความจำโปรแกรม เพื่อจะนำข้อมูลมาใช้งานภายหลัง การดูข้อมูลโดยการเปิดจากตารางขึ้นมา เราจะใช้คำสั่งร่วมกับวิธีการเข้าถึงข้อมูลโดยการอ้างแอดเดรสแบบอินเด็กซ์

2.4 วงจรกรอง CIC (CIC Filter)

เมื่อพิจารณาถึงโครงสร้างของเครื่องรับสัญญาณดิจิทอลด้วย software-defined radio แล้วนั้น เช่นวงจรที่จะอยู่บนชุดพัฒนาอย่างเช่น USRP (Universal Software Radio Peripheral) นั้น หลังจากสัญญาณที่รับมาได้จากภาค front-end ผ่านวงจร A/D (Analog to Digital converter) แล้ว สัญญาณดิจิทอลที่ได้ก็จะถูกผ่านเข้าสู่วงจร I/Q Demodulator ซึ่งประกอบด้วย NCO (Numerically Controlled Oscillator) และวงจรคูณสัญญาณ digital multiplier ก่อนจะเข้าสู่วงจร CIC (cascaded integrator-comb) filter จากนั้นข้อมูลที่ได้จากการประมวลสัญญาณดิจิทอลบนอุปกรณ์อย่างเช่น USRP board จะส่งผ่านไปยังคอมพิวเตอร์ซึ่งมีซอร์ฟแวร์ที่ใช้ในการควบคุมการทำงานของระบบอยู่เพื่อทำหน้าที่ในการประมวลผลสัญญาณส่วนที่เหลือและนี่เองที่เป็นที่มาของชื่อที่เรียกว่า software defined radio

ในส่วนของ NCO ซึ่งจะทำการสร้างสัญญาณอ้างอิงที่เป็นสัญญาณ sine และ cosine ตามลำดับ และสามารถควบคุมความถี่ของการ oscillate ได้ด้วยชุดข้อมูลตัวเลขที่เรียกว่า Frequency Control Word : FCW หลักการในการออกแบบ NCO จะใช้วิธีการเดียวกับการสร้างเครื่องสังเคราะห์ความถี่ดิจิทอลแบบโดยตรง (Direct Digital frequency Synthesizer : DDS) คือจะใช้อุปกรณ์ LUT (Look-Up Table) ในการเก็บค่าไบนารี่ของหนึ่งคาบของสัญญาณ sine แล้วใช้วงจรที่เรียกว่าวงจรบวกสะสมเฟส (Phase Accumulator) ซึ่งจัดว่าเป็นวงจรนับ (Counter) ประเภทหนึ่ง โดยเอาท์พุทของวงจรบวกสะสมเฟสจะใช้ในการชี้ตำแหน่งอ้างอิงของหน่วยความจำ LUT และอินพุทสำหรับวงจรบวกสะสมเฟสก็คือค่าของ FCW ซึ่งจะใช้ในการกำหนดค่าความถี่ที่ต้องการโดยมีสัญญาณ clk เป็นตัวกำหนดจังหวะการทำงานของ NCO วงจร NCO โดยทั่วไปแสดงได้ในรูปที่ 2.14



รูปที่ 2.14 แสดงโครงสร้างของ NCO โดยทั่วไป

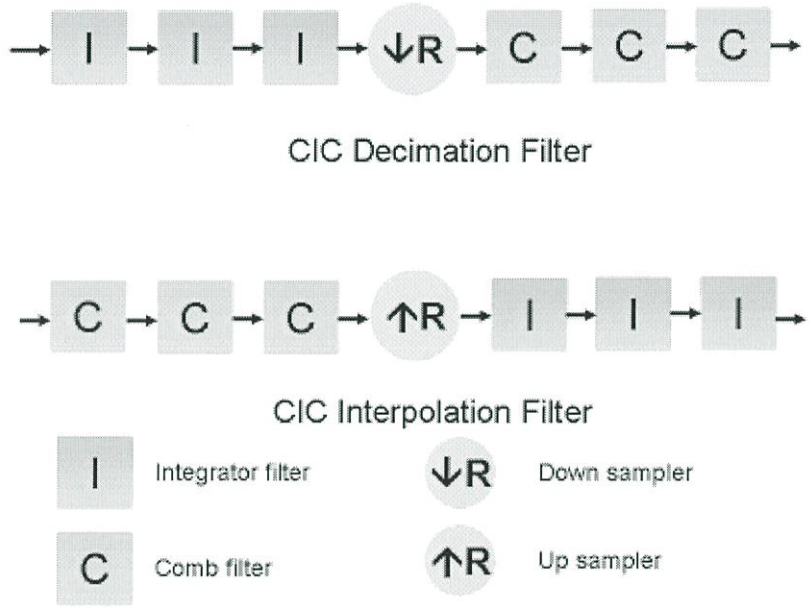
เทคนิคหนึ่งที่นิยมนำมาใช้กับ NCO ดังที่อธิบายผ่านมาคือการทำการบีบอัดควอดแดรนท์ (Quadrant Compression) โดยจะใช้วิธีการเก็บค่าของสัญญาณ sine ไว้เพียง 1/4 คาบ และจะใช้บิทเครื่องหมาย (sign bit) ซึ่งเป็นบิท MSB (Most Significant Bit) และอีก 1 บิทถัดมาเป็นตัวกำหนด Quadrant ของสัญญาณที่จะอ่านค่าได้ออกมาจากหน่วยความจำ LUT ด้วยวิธีการนี้จะสามารถลดขนาดของหน่วยความจำลงได้อย่างมาก สำหรับการสร้างสัญญาณ cosine สามารถสร้างได้ด้วยวิธีการพื้นฐานคือนำสัญญาณ sine ที่ได้มาผ่านวงจร phase shifter 90 degrees วิธีการนี้เป็นวิธีการหนึ่งและตรงไปตรงมาในการทำความเข้าใจแต่จะต้องมีการออกแบบวงจร phase shifter ขึ้นมาใช้งานร่วมด้วย อีกวิธีการหนึ่งซึ่งไม่ต้องใช้วงจร phase shifter แต่จะใช้วิธีการสร้าง LUT สำหรับสัญญาณ cosine ขึ้นมาอีกหนึ่งตาราง โดยที่ยังคงใช้วงจรบวกสะสมเฟสชุดเดียวกับที่ใช้กับการสร้างสัญญาณ sine อีกวิธีการหนึ่งสำหรับการสร้าง NCO ที่ให้สัญญาณ sine และ cosine ภายในวงจรเดียวกันด้วยวิธีการที่ค่อนข้างจะแตกต่างกันกับที่อธิบายมาก่อนหน้าโดยใช้ CORDIC (Coordinate Rotation Digital Computer) algorithm แต่ความซับซ้อนของวงจรก็จะมากขึ้น ดังนั้นในส่วนของงานออกแบบ NCO นี้ก็จะเป็นช่องเปิดให้คณะผู้วิจัยสามารถทำการพัฒนาวิธีการในส่วนนี้ได้เพื่อให้เหมาะสมกับการใช้งานมากที่สุด

สำหรับวงจรคูณสัญญาณซึ่งในที่นี้จะเป็นวงจรคูณสัญญาณดิจิทอล (Digital or Binary Multiplier) ซึ่งสามารถทำการออกแบบได้ทั้งในลักษณะที่เป็น Combination Circuit และ Sequential Circuit แต่โดยทั่วไปมักจะออกแบบในลักษณะที่เป็น Sequential Circuit เนื่องจากจะให้ประสิทธิภาพในการทำงานที่ดีกว่า สิ่งหนึ่งที่ต้องคำนึงถึงด้วยในการออกแบบ digital multiplier และพึงจะต้องระมัดระวังในการทำงานคือการกำหนดระบบตัวเลขให้กับสัญญาณว่าจะมีลักษณะเป็นแบบไม่คิดเครื่องหมาย (Unsigned) หรือแบบคิดเครื่องหมาย (Signed) ในกรณีที่พิจารณาสัญญาณเป็นแบบคิดเครื่องหมาย รูปแบบที่เป็นที่นิยมคือรูปแบบตัวเลขแบบส่วนเติมเต็มสอง (Two's Complement Format) และ Booth's algorithm ก็เป็นวิธีการที่นิยมนำมาใช้ในการออกแบบ digital multiplier ที่เป็น 2's complement multiplier โดยมีพื้นฐานมาจากการเลื่อนและบวก (Shift and Add)

วงจร NCO ที่สร้างคู่ของสัญญาณ sine และ cosine และ multiplier จะถูกรวมใช้งานเป็น I/Q Demodulator จากนั้นสัญญาณจะส่งผ่านไปยัง CIC filter

CIC (Cascaded Integrator-Comb) filter จัดเป็น linear phase FIR (Finite Impulse Response) digital filters ชนิดหนึ่งที่นิยมนำไปประยุกต์ใช้งานทางด้านการลดและเพิ่ม sampling rate หรือที่เรียกว่าเป็นการทำ Decimation และ Interpolation ตามลำดับ โดยลักษณะเด่นประการหนึ่งของ CIC filter คือสามารถใช้งานได้โดยปราศจากตัวคูณ ทำให้มีประสิทธิภาพอย่างสูงในการสร้างวงจรเป็นฮาร์ดแวร์ ซึ่ง CIC filter ถูกนำเสนอเป็นครั้งแรกโดย Eugene B. Hogenauer

CIC filter จะประกอบด้วยจำนวน stages ของ ideal integrator filters และ comb filters จำนวนเท่าๆกัน ผลตอบสนองทางความถี่ของวงจรจะปรับได้โดยการเลือกจำนวนคู่ (pairs) ของ cascaded integrator และ comb filter ที่เหมาะสม โดยที่ basic elements ของ CIC filter คือ integrator filters และ comb filters ดังแสดงในรูป



รูปที่ 2.15 Block diagram ของ 3-stage CIC decimation และ interpolation filter

Integrator filter เป็น single pole accumulator ซึ่งมีฟังก์ชั่นถ่ายโอน $H_I(z)$ ดังนี้

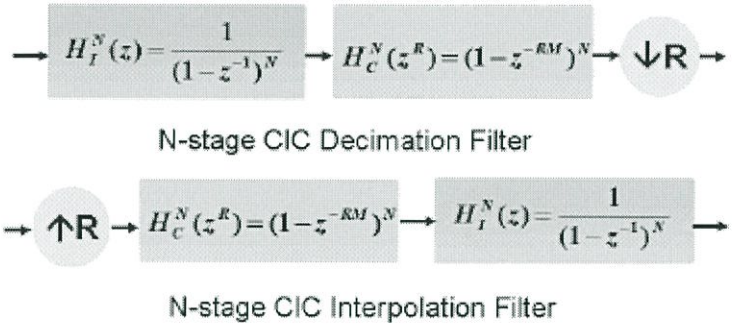
$$H_I(z) = \frac{1}{1-z^{-1}} \tag{2.31}$$

สำหรับ Comb filter เป็น differentiator ที่มีฟังก์ชั่นถ่ายโอน $H_C(z)$ คือ

$$H_c(z) = 1 - z^{-RM} \tag{2.32}$$

โดย M เป็น differential delay และโดยทั่วไปจะมีค่าเป็น 1 หรือ 2

และสำหรับ CIC filter แล้วนั้น ส่วนของวงจร integrator จะทำงานที่ high sampling frequency (f_s) และในขณะเดียวกัน Comb filter จะทำงานที่ low frequency (f_S / R) โดยการใช้ Noble identities จะสามารถแสดงการคำนวณ equivalent frequency response ของการ cascade กันของ integrator filters และ comb filters ได้ดังรูปที่ 2.15



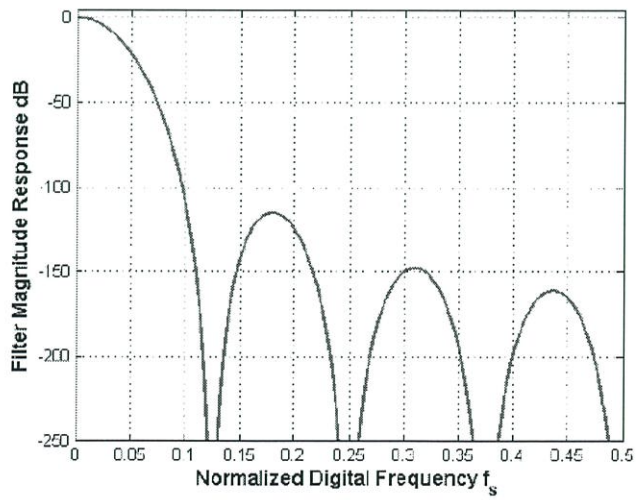
รูปที่ 2.16 Block diagram ของ equivalent frequency response ของ N-stage CIC filter

และสมการที่ 3 จะแสดง total response ของ CIC filter ที่ high frequency (f_S)

$$H(z)=H_I^N(z)H_C^N(z^R)=\left[\sum_{k=0}^{RM-1}z^{-k}\right]^N \tag{2.33}$$

ในสมการที่ 2.33 นี้ N คือจำนวนของ integrator-comb filter pairs และ R คือ rate change factor และสมการที่ 4 แสดง magnitude response ของ N-stage CIC filter ที่ high frequency (f_S) ดังนี้

$$\left|H(f)\right|=\left|\frac{\sin(\pi Mf)}{\sin\left(\frac{\pi f}{R}\right)}\right|^N \tag{2.34}$$



รูปที่ 2.17 Magnitude response ของ CIC filter ที่ N=9, R=8 และ M=1

อย่างไรก็ตามข้อเสียข้อหนึ่งของ CIC filter ตามที่ได้อธิบายผ่านมายังคงมีอยู่คือ passband ไม่มีความราบเรียบ (not flat) ซึ่งในบางการประยุกต์ใช้งาน ลักษณะ passband ที่ไม่ราบเรียบดังกล่าวอาจไม่เป็นที่พึงปรารถนา ดังนั้นเราสามารถแก้ปัญหาตรงจุดนี้ได้โดยการออกแบบ FIR filter อีกตัวหนึ่งที่มี magnitude response ในลักษณะที่เป็น inverse ของ CIC filter (ในส่วนของ passband โดยเฉพาะ) เพื่อแก้ไขเรื่องความไม่ราบเรียบใน passband ของ frequency response แล้วเรียก FIR filter ที่ออกแบบเพิ่มเติมขึ้นมาว่าเป็น "Compensation Filter"

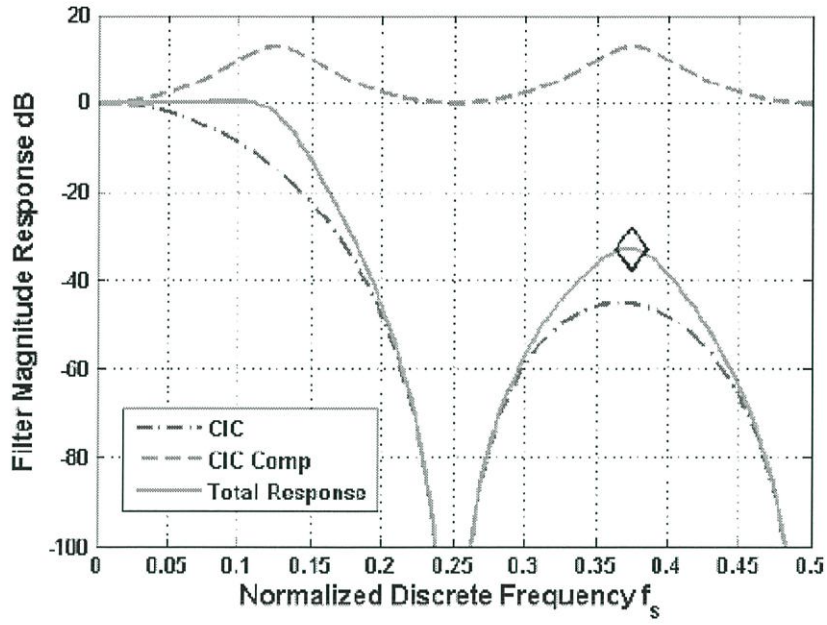
สำหรับ CIC filter ที่ใช้งานเป็น data rate down conversion นั้น วงจร compensation filter จะถูกต่อตามหลังจาก CIC filter และสำหรับกรณีที่ CIC filter ถูกใช้งานสำหรับ up sampling system วงจร compensation filter จะต้องถูกต่ออยู่ทางด้านหน้าก่อนที่จะถูกประมวลผลโดย CIC filter อีกครั้งหนึ่ง กล่าวโดยสรุปก็คือ compensation filter จะทำงานที่ฝั่ง lower rate เสมอ

ในการจะทำให้ได้ flat passband นั้น compensation FIR filter จะต้องมี magnitude response ที่มีลักษณะเป็น inverse ของสมการที่ 4 (ซึ่งเป็น magnitude response ของ CIC filter) ดังแสดงในสมการที่ 2.35

$$G(f)=\left|MR\left(\frac{\sin(\pi f/R)}{\sin(\pi Mf)}\right)\right|^{N}\approx\left|\frac{\pi Mf}{\sin(\pi Mf)}\right|^{N}=\left|\operatorname{sinc}^{-1}(Mf)\right|^{N} \qquad (2.35)$$

โดยเมื่อ R มีค่ามากๆ compensation filter response สามารถประมาณค่าได้เป็น inverse sinc function โดยที่กล่าวมานี้เป็นหลักการเบื้องต้นโดยทั่วไปสำหรับการออกแบบ compensation filter นอกจากนี้ compensation filter ยังสามารถออกแบบในลักษณะที่เป็น multirate filters ได้อีกด้วย

จาก magnitude response ของ compensation filter ดังในสมการที่ 2.35 วิธีการออกแบบง่ายที่สุดและให้ผลลัพธ์ของการออกแบบที่ดีอาจจะใช้วิธี frequency sampling method สำหรับการออกแบบ compensation filter โดยรายละเอียดในการปรับแต่งคุณลักษณะของ compensation filter เพื่อให้ได้ผลลัพธ์ของ CIC filter ออกมาดีที่สุดจะอยู่ในส่วนของงานวิจัยที่คณะผู้วิจัยจะดำเนินการต่อไป แสดงตัวอย่างผลของ compensation filter ที่ใช้ในการปรับปรุง passband ของ CIC filter ให้เป็น flat passband

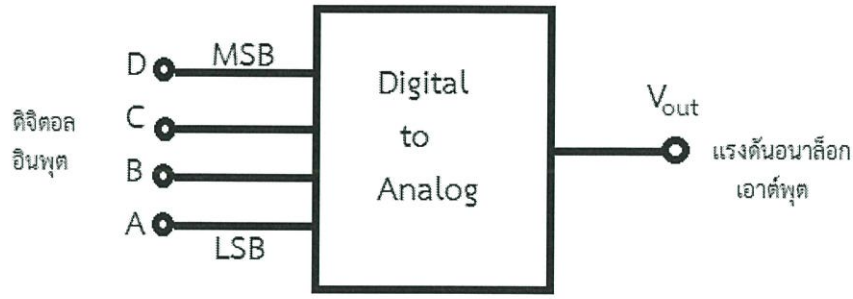


รูปที่ 2.18 Wideband compensation filter response โดย R=4, N=4 และ M=1

CIC filter ที่จะนำมาใช้โดยอาศัยเทคโนโลยี software-defined radio จะถูกใช้งานเป็น DDC (Digital Down Conversion) ซึ่งเป็นเทคนิคที่ทำให้สามารถแปลงความถี่ของสัญญาณ RF โดยตรงออกมาใช้งานได้ นั่นคือจะสามารถทำงานขั้นตอนเดียวในการสุ่มตัวอย่างสัญญาณ RF และก็แปลงเป็นความถี่ต่ำพร้อมกัน เมื่อสัญญาณ RF ไม่ได้ถูกสุ่มตัวอย่าง (Sampling) ด้วยอัตราที่สูงกว่าสองเท่าของความถี่ จะเกิดความถี่หรือ spectrum ปลอมขึ้น (Aliasing Effect) แต่จากการปรับความถี่ในการสุ่มตัวอย่างที่เหมาะสม เราจะสามารถเปลี่ยนความถี่ RF ให้เป็นความถี่ที่ต่ำลงมาตามที่ต้องการได้

2.5 การแปลงดิจิตอลเป็นอนาล็อก (D/A)

การแปลงดิจิตอลเป็นอนาล็อก หมายถึง การแปลงน้ำหนักของรหัสตัวเลขฐานสองผ่านวงจรแปลงให้เป็นแรงดันอนาล็อก วงจรดังกล่าวเรียกว่า วงจรแปลงดิจิตอลเป็นอนาล็อก ลักษณะแสดงดังรูปที่ 2.19 เป็นวงจรแปลงสัญญาณดิจิตอล 4 บิต ให้เป็นแรงดันอนาล็อก ตัวอย่างการแปลงที่เข้าใจง่าย อาจออกแบบวงจรแปลงให้แปลงน้ำหนักของตัวเลขฐานสองให้เป็นแรงดันในอัตราส่วน 1:1 เช่น รหัส 0000 = 0 โวลต์และรหัส 1000 = 8 โวลต์ เป็นต้น ดังแสดงตามตารางที่ 2.4



รูปที่ 2.19 แผนภาพกรอบวงจรแปลงสัญญาณดิจิตอล 4 บิตให้เป็นแรงดันอนาล็อก

ตารางที่ 2.4 ตารางการแปลรหัสดิจิตอล 4 บิต เป็นแรงดันอนาล็อก

D	C	B	A	$V_{out}(volt)$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

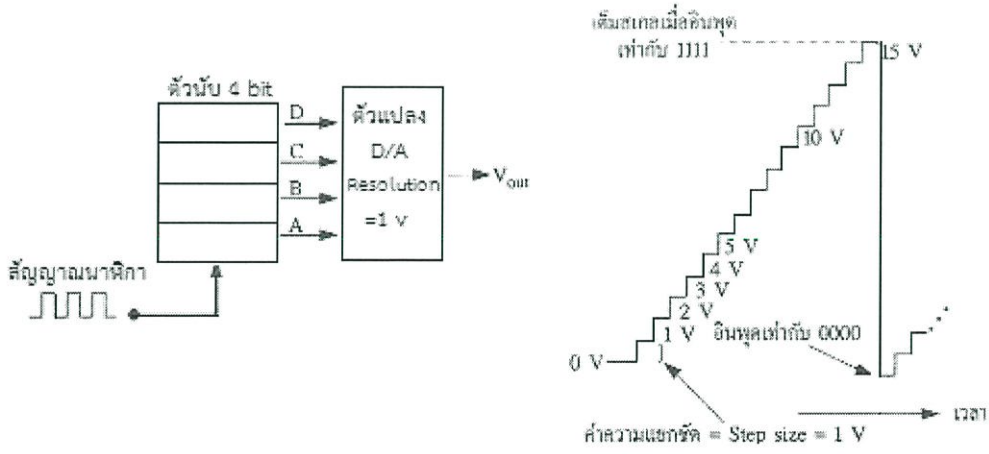
จากตารางในรูปที่ 2.4 จะเห็นว่าสามารถแปลงแรงดันอนาล็อกได้จาก 0-15 โวลต์ ตามน้ำหนักของตัวเลขฐานสอง ซึ่งอาจกำหนดการคำนวณแรงดันอนาล็อกเอาต์พุตได้ดังสมการ

$$V_{out} = \text{K} \times \text{digital input} \qquad (2.36)$$

เมื่อ K คือค่าคงที่แรงดันอนาล็อก
จากแผนภาพในรูปที่ 2.19 ค่า K = 1 V
ดังนั้น V_{out} = (1V) × digital input

พิจารณาตารางในรูปที่ 2.4 เมื่ออินพุตเป็น $1100_2 = 12_{10}$ ดังนั้นค่าแรงดันอนาล็อก คือ 12 Volt

การแยกชัด (Resolution) หรือขนาดของค่าคงที่ K (Step size) หมายถึงช่วงห่างระหว่างขั้นของการเปลี่ยนแปลงแรงดันอนาล็อกเอาต์พุต ตัวอย่างเช่น ในรูปที่ 2.19 วงจร D/A ขนาด 4 บิต มีค่า K = 1 V นั่นคือมีความละเอียดของการแยกชัด 1 โวลต์ (Resolution = 1 V) เมื่อนำมาต่ออินพุต 4 บิต เข้ากับเอาต์พุตของวงจรนับขนาด 4 บิต ดังรูปที่ 2.20 จะเห็นว่าแรงดัน V_{out} จะค่อยๆ เพิ่มขึ้นจาก 0 V ถึง 15 V รวม 16 ขั้น ความละเอียดของแรงดันขั้นละ 1 V เมื่ออินพุตดิจิตอล 0000 แรงดัน V_{out} = 0 V และเมื่ออินพุตดิจิตอล 1111 (ค่าเต็มสเกล) จะได้ V_{out} = 15 V หรืออาจเรียกว่าวงจรนี้มีค่า Step size = 1 V



รูปที่ 2.20 แสดงเอาต์พุตอนาล็อกของวงจร D/A ขนาด 4 บิต

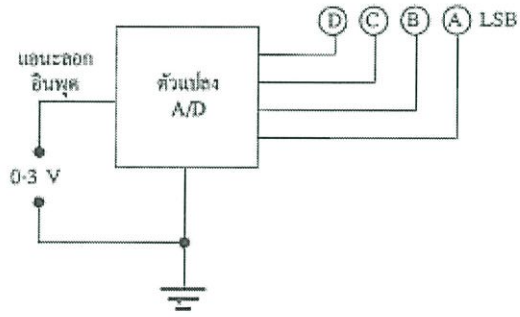
ร้อยละของการแยกชัด (Percentage resolution) ค่าความละเอียดของแรงดันในการแปลงสัญญาณดิจิตอลเป็นอนาล็อกแต่ละขั้น สามารถเทียบได้ในร้อยละกับค่าแรงดันเต็มสเกลสูงสุด เช่น จากวงจรในรูปที่ 2.20 ค่าแรงดันเอาต์พุตเต็มสเกลคือ 15 V เมื่ออินพุตดิจิตอลเป็น 1111 ค่าการแยกชัดของแรงดันแต่ละขั้นคือ 1 V ดังนั้นค่าร้อยละของค่าการแยกชัดคือ

$$\%\text{การแยกชัด} = \frac{Step.size}{\text{ค่าเต็มสเกล}} \times 100\% \qquad (2.37)$$
$$= \frac{1V}{15V} \times 100\%$$
$$= 6.67\%$$

2.6 การแปลงอนาล็อกเป็นดิจิตอล (A/D)

2.6.1 วงจร A/D แบบสัญญาณลาดเอียง

วงจรการแปลงอนาล็อกเป็นดิจิตอล วงจรพื้นฐานแสดงในรูปที่ 2.21 นั่นคือด้านอินพุตของวงจรรับแรงดันอนาล็อก และวงจร A/D ทำหน้าที่แปลงแรงดันอนาล็อกให้เป็นสัญญาณดิจิตอลขนาด 4 บิต ค่าแรงดันต่ำสุด 0 V จะได้รหัสดิจิตอลเอาต์พุต 4 บิต เท่ากับ 0000 และที่ค่าแรงดันอินพุตสูงสุด (+3 V) จะได้รหัสดิจิตอลเอาต์พุต 4 บิต เท่ากับ 1111



รูปที่ 2.21 แผนภาพกรอบของวงจรแปลงอนาล็อกเป็นดิจิตอลขนาด 4 บิต

สำหรับแผนภาพกรอบของวงจร A/D โดยละเอียดจะประกอบไปด้วย 4 ส่วน คือ

2.6.1.1 วงจรเปรียบเทียบ ทำหน้าที่เปรียบเทียบแรงดันอนาล็อกอินพุตที่จุด A กับแรงดันป้อนกลับที่จุด B เพื่อส่งสัญญาณลอจิกไปควบคุมสัญญาณนาฬิกา

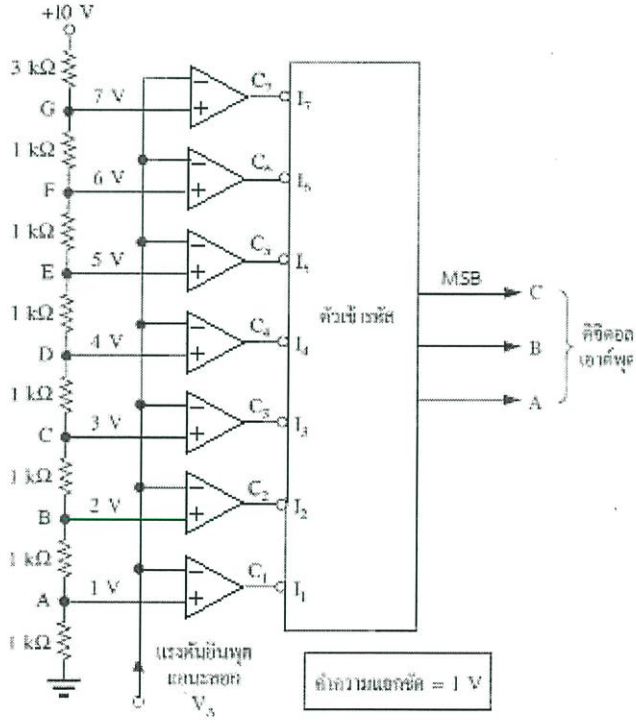
2.6.1.2 เกตแอนด์ ทำหน้าที่เป็นสวิตช์เปิด – ปิดสัญญาณนาฬิกา เพื่อป้อนเข้าวงจรนับ

2.6.1.3 วงจรนับบีซีดี วงจรนับรหัสบีซีดีขนาด 4 บิต เพื่อแสดงผลการนับตามจำนวนพัลส์ที่เกตแอนด์จ่ายออกมา และส่งสัญญาณดิจิตอลไปยังวงจร D/A

2.6.1.4 วงจรแปลงดิจิตอลเป็นอนาล็อก ทำหน้าที่แปลงรหัสดิจิตอลที่แสดงผลทางไบนารีเอาต์พุตให้เป็นแรงดันอนาล็อกเพื่อป้อนกลับไปยังอินพุต B ซึ่งแรงดันนี้จะเป็นแรงดันของสัญญาณลาดเอียง

2.6.2 วงจร A/D แบบแฟลช

วงจรแปลงอนาล็อกเป็นดิจิตอลแบบแฟลช เป็นวงจรการแปลงสัญญาณที่มีความเร็วสูงกว่า A/D แบบสัญญาณลาดเอียง และถ้าเป็น A/D แบบแฟลชที่มีจำนวนบิตเอาต์พุตมากๆ ขนาดของวงจรจะใหญ่กว่าแบบอื่นๆ เช่น A/D แบบ Flash ขนาด 8 บิต ต้องใช้วงจรเปรียบเทียบแรงดันถึง $255(2^8 - 1)$ ตัว เป็นต้น เพราะต้องใช้ตัวเปรียบเทียบแรงดัน 1 บิตต่อ 1 ตัว หรือ A/D แบบแฟลช ขนาด 10 บิต ต้องใช้วงจรเปรียบเทียบแรงดัน 1023 $(2^{10} - 1)$วงจร เป็นต้น หลักการทำงานของ A/D แบบแฟลช จะใช้วงจรขนาด 3 บิต อธิบายดังรูปที่ 2.22



รูปที่ 2.22 วงจรแปลงอนาล็อกเป็นดิจิตอลขนาด 3 บิต แบบแฟลช

ตารางที่ 2.5 แสดงการทำงานของวงจร

อินพุต อนาล็อก	เอาต์พุตของออปแอมป์							ดิจิตอลเอาท์พุต		
V_A	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C	B	A
0-1 V	1	1	1	1	1	1	1	0	0	0
1-2 V	0	1	1	1	1	1	1	0	0	1
2-3 V	0	0	1	1	1	1	1	0	1	0
3-4 V	0	0	0	1	1	1	1	0	1	1
4-5 V	0	0	0	0	1	1	1	1	0	0
5-6 V	0	0	0	0	0	1	1	1	0	1
6-7 V	0	0	0	0	0	0	1	1	1	0
7-8 V	0	0	0	0	0	0	0	1	1	1

เมื่อพิจารณาวงจร A/D แบบแฟลช ขนาด 3 บิต จากรูปที่ 2.22 ด้านอินพุตของวงจร 3 บิต จะมีตัวเปรียบเทียบแรงดันที่ใช้ออปแอมป์เท่ากับ $2^n - 1 = 7$ ตัว ในรูปคือ $C_1 - C_7$ โดยอินพุตลบของออปแอมป์ทุกตัวต่อร่วมกันเป็นจุดรับแรงดันอนาล็อกอินพุต (V_A) และขาอินพุตบวกของออปแอมป์เปรียบเทียบแรงดันแต่ละตัวต่อเข้ากับจุด A- G ของวงจรแบ่งแรงดัน ซึ่งจุดต่อ A มีแรงดัน +1 V จุดต่อ B มีแรงดัน +2 V และจุดต่อ C D E F G มีแรงดัน +3 V + 4 V +5 V +6 V และ +7 V ตามลำดับ การทำงานของวงจรเริ่มต้นที่แรงดันอนาล็อกด้านเข้าที่อินพุต V_Aถ้ามีค่าน้อยกว่า 1 V เอาต์พุตของออปแอมป์เปรียบเทียบแรงดันทุกตัวจะเป็น “1” เนื่องจากไม่มีออปแอมป์ตัวใดทำงาน เมื่อ V_A> 1V แต่ไม่เกิน 2 V ออปแอมป์ตัว C1 จะทำงาน ตัวเข้ารหัสจะส่งเอาต์พุต 3 บิตเป็น 001 ดังตารางในรูปที่ 19.16 (ข) นั่นคือแรงดันอนาล็อก 1 V เอาต์พุตดิจิตอลเท่ากับ 1 10 เช่นกัน และเมื่อ V_A> 2V แต่ไม่เกิน 3 V ออปแอมป์ตัวที่ C2 จะทำงานในขณะที่ C1 ยังทำงานอยู่ ผลคือดิจิตอลเอาต์พุตของตัวเข้ารหัสจะเป็น 010 หรือ 210 และเมื่อแรงดันอนาล็อกอินพุตมีค่าเพิ่มขึ้นครั้งละ 1 V ดิจิตอลเอาต์พุตจะเปลี่ยนแปลงไปตามลำดับเช่นกัน เมื่อแรงดันอินพุต V_A> 7 V ดิจิตอลเอาต์พุตจะเปลี่ยนแปลงไปตามลำดับเช่นกัน เมื่อแรงดันอินพุต V_A> 7 V ดิจิตอลเอาต์พุตคือ 111 หรือ 710

วงจร A/D แบบแฟลช จะใช้เวลาในการแปลงระหว่างแรงดันอนาล็อกเป็นรหัสดิจิตอลน้อยมากเนื่องจากความไวของออปแอมป์และตัวเข้ารหัส ความถี่สูงสุดของสัญญาณอินพุตที่วงจร A/D จะทำงานได้ คือ

$$f_{max} = \frac{1}{2^n T_c} \tag{2.38}$$

เมื่อ f_{max} = ความถี่ตอบสนองสูงสุดของวงจร A/D

T_c = เวลาของการแปลงสัญญาณ 1 รอบ

n = จำนวนบิตเอาต์พุตของ A/D

บทที่ 3

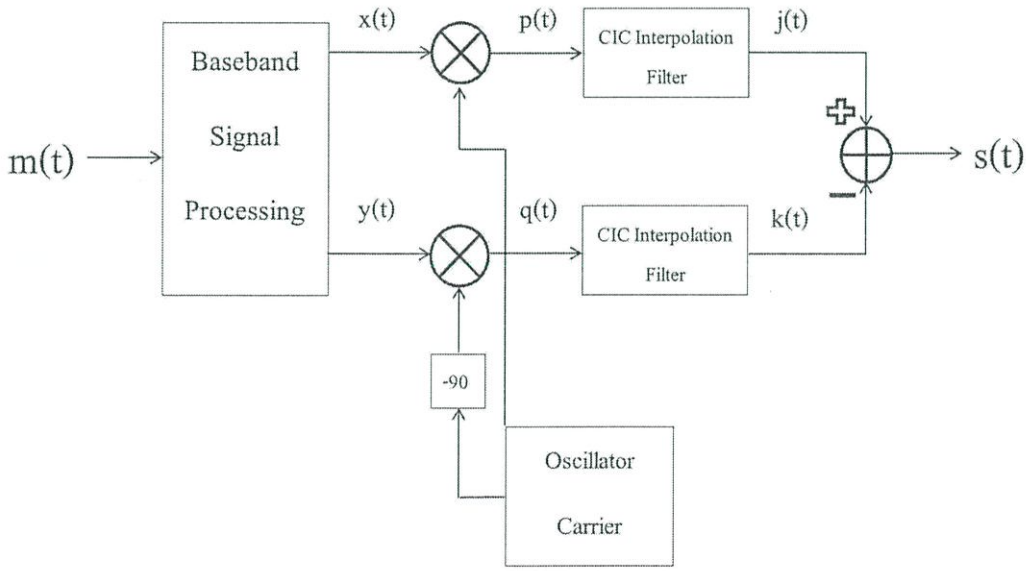
การออกแบบและการจัดทำโครงงาน

การออกแบบและจัดทำโครงงานนั้นจะแบ่งออกเป็นการออกแบบการจำลองการทำงานของระบบเชิงซอร์ฟแวร์ และการออกแบบการทำงานของระบบในเชิงของ Hardware ซึ่งสามารถอธิบายการออกการทำงานได้ดังนี้

การออกแบบจำลองการทำงานของระบบนั้น จะใช้โปรแกรม MATLAB ในการจำลองสัญญาณ Output เทียบกับ Input เพื่อที่จะได้ทราบผลการทำงานของระบบ แล้วจึงนำไปเทียบผลกับการทำงานจริงใน Hardware ที่ออกแบบโดยภาษา VHDL ว่ามีผลการทำงานที่ถูกต้องหรือไม่

3.1 การออกแบบ

3.1.1 การออกแบบจำลองการทำงานชุดทดลองของระบบเครื่องส่งในระบบ SDR



รูปที่ 3.1 Block Diagram การทำงานของ Transmitter of SDR

3.1.1.1 Baseband Signal Processing

Block diagram การทำงานนี้ จะเป็นการกำหนดการ Modulation สัญญาณ Input โดยที่เราสามารถเลือกได้สี่รูปแบบคือ AM, DSB – SC, SSB – SC, FM สมการนั้นจะมีค่า Output เป็น x(t) และ y(t) ซึ่งสามารถกำหนดสมการการเลือกนี้ได้ดังนี้

ตารางที่ 3.1 แสดง Complex Envelope Functions และความเกี่ยวเนื่องกับ Quadrature Modulation

Type of modulation	Mapping function	Corresponding Quadrature Modulation	
		x(t)	y(t)
AM	$A_c(1+m(t))$	$A_c(1+m(t))$	0
DSB-SC	$A_c(m(t))$	$A_c(m(t))$	0
SSB-SC	$A_c(m(t)) \pm jA_c(\tilde{m}(t))$	$A_c(m(t))$	$A_c(\tilde{m}(t))$
FM	$A_c e^{jD_f \int_{-\infty}^{t} m(\tau)d\tau}$	$A_c\cos[D_f \int_{-\infty}^{t} m(\tau)d\tau]$	$A_c\sin[D_f \int_{-\infty}^{t} m(\tau)d\tau]$

3.1.1.2 Oscillator Carrier

Block diagram การทำงานนี้ จะเป็นการคูณสัญญาณ x(t) และ y(t) กับความถี่ Carrier โดยความถี่ Carrier นี้ จะเป็นสัญญาณ cos และสัญญาณ sine ซึ่งจะมีสมการ และผลของการคูณตามตารางด้านล่าง

ตารางที่ 3.2 แสดงสมการของสัญญาณความถี่ Carrier ที่จะนำไปคูณกับ สัญญาณที่ผ่าน Block diagram Baseband Signal Processing

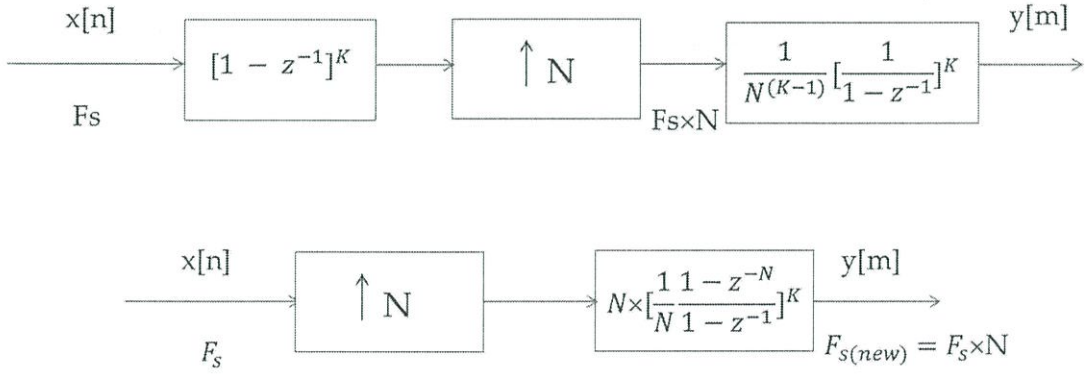
Type Of Modulation	x(t)	y(t)	Carrier cos	Carrier sin
AM	$A_c(1+m(t))$	**0**	$\cos(2\pi f_c t)$	$\sin(2\pi f_c t)$
DSB – SC	$A_c \times m(t)$	**0**		
SSB – SC	$A_c \times m(t)$	$A_c \times \tilde{m}(t)$		
FM	$A_c \cos[D_f \int_{-\infty}^{t} m(\tau)d(\tau)]$	$A_c \sin[D_f \int_{-\infty}^{t} m(\tau)d\tau]$		

ตารางที่ 3.3 แสดงผลการคูณของสัญญาณที่ผ่าน Block diagram Baseband Signal Processing กับสัญญาณ Carrier

Type Of Modulation	p(t)	q(t)
	[x(t)× **Carrier I (cos)**]	[y(t)× **Carrier Q (sin)**]
AM	$A_c(1+m(t))\times\cos(2\pi f_c t)$	0
DSB – SC	$A_c\times m(t)\times\cos(2\pi f_c t)$	0
SSB – SC	$A_c\times m(t)\times\cos(2\pi f_c t)$	$A_c\times\tilde{m}(t)\times\sin(2\pi f_c t)$
FM	$A_c\cos[D_f\int_{-\infty}^{t} m(\tau)d(\tau)]\times\cos(2\pi f_c t)$	$A_c\sin[D_f\int_{-\infty}^{t} m(\tau)d\tau]\times\sin(2\pi f_c t)$

3.1.1.3 CIC Interpolation Filter

Block diagram การทำงานนี้จะเป็นการ Up – Sampling ของสัญญาณ ซึ่งการออกแบบกำหนดให้ มีการ Up – Sampling (N) 3 เท่า และประกอบไปด้วย Comb Filter (K) 2 stage และ Integrator Filter (K) 2 stage โดยการทำงานของระบบนั้นจะแสดงเป็นสมการ Transfer Fuction ดังนี้



รูปที่ 3.2 Block diagram แสดงการทำงานของ CIC Interpolation Filter ในรูปของ Transfer Function

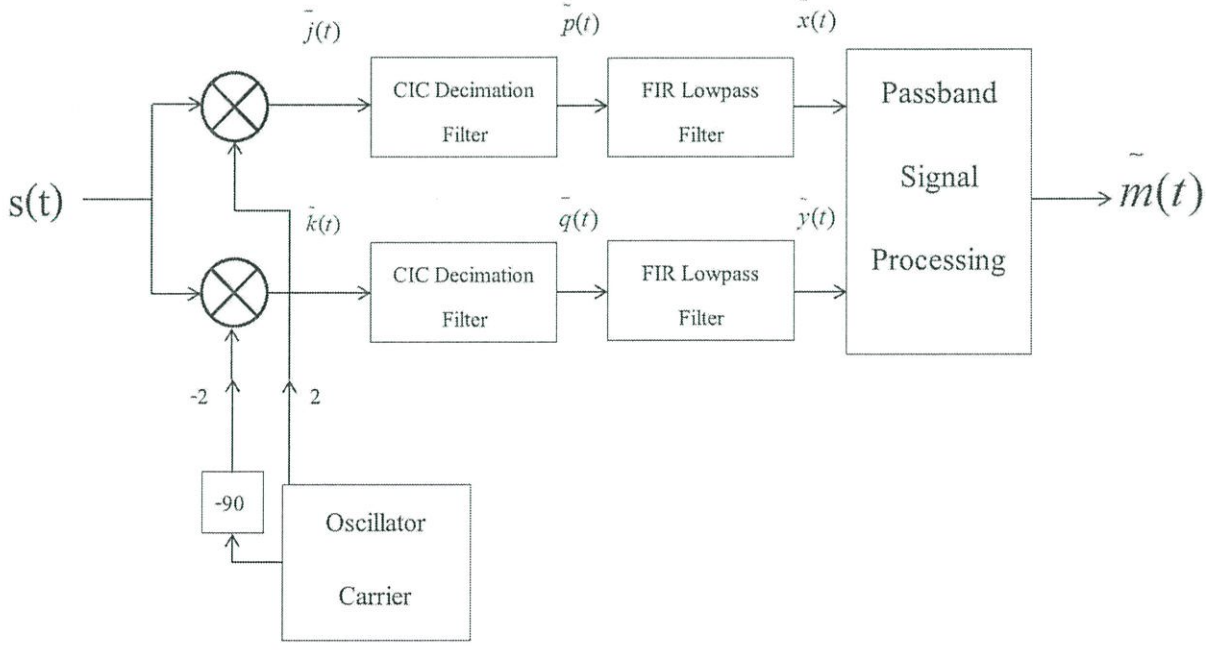
เมื่อทำการนำสัญญาณที่ผ่านการคูณสัญญาณ Carrier มาทำการผ่าน CIC Interpolation Filter เพื่อเพิ่มอัตราการสุ่มตัวอย่าง หรือก็คือเพิ่ม Sampling Rate ขึ้น 3 เท่าของสัญญาณ Input ที่เข้ามา โดยที่ Output ทั้งสองคือ j(t) และ k(t)

เมื่อสัญญาณผ่านการเพิ่มอัตราการสุ่มตัวอย่างแล้ว จะต้องนำสัญญาณทั้งสองมาทำการลบกัน แล้วจะได้สัญญาณ Output (s(t)) ที่พร้อมส่งไปยัง Receiver Of SDR Receiver ดังนี้

ตารางที่ 3.4 แสดงสมการ Output ของแต่ละรูปแบบการ Modulation

Type Of Modulation	Output s(t)
AM	$A_c(1+m(t))\times\cos(2\pi f_c t)$
DSB – SC	$A_c\times m(t)\times\cos(2\pi f_c t)$
SSB – SC	$A_c\times m(t)\times\cos(2\pi f_c t)$ - $A_c\times\tilde{m}(t)\times\sin(2\pi f_c t)$
FM	$A_c\cos[D_f\int_{-\infty}^{t} m(\tau)d(\tau)]\times\cos(2\pi f_c t)$ - $A_c\sin[D_f\int_{-\infty}^{t} m(\tau)d\tau]\times\sin(2\pi f_c t)$

3.1.2 การออกแบบจำลองการทำงานชุดทดลองของระบบเครื่องรับในระบบ SDR



รูปที่ 3.3 Block Diagram การทำงานของ Receiver of SDR

3.1.2.1 Oscillator Carrier

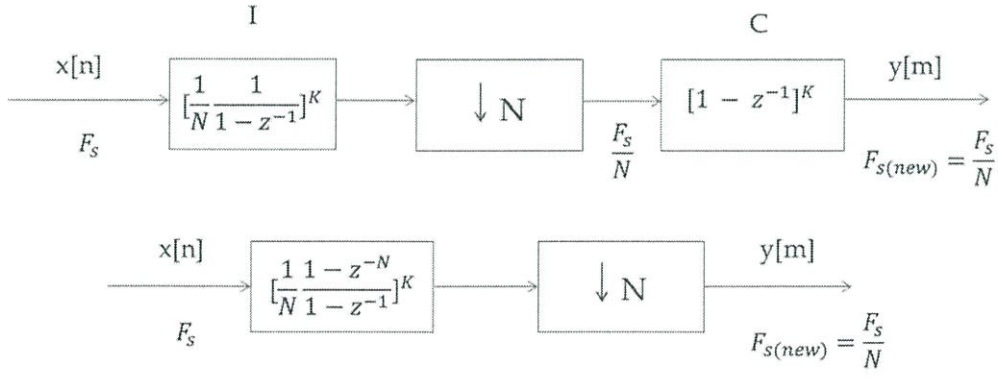
Block diagram การทำงานนี้จะเป็นตัวเดียวกับชุดทดลองเครื่องส่งก่อนหน้า แต่จะแตกต่างกันคือจะมีการคูณ 2 และ -2 เข้าไปด้วย เพื่อที่จะจัดรูปสมการก่อนที่จะเข้ากระบวนการ Passband Signal Processing เมื่อคูณสัญญาณแล้วจะได้ Output ออกมาสองตัวคือ j(t) และ k(t) ดดยที่ Input s(t) จะมีความแตกต่างกันในแต่ละรูปแบบที่ Modulation มา สามารถแสดงสมการได้ดังนี้

ตารางที่ 3.5 แสดงสมการการคูณสัญญาณระหว่าง สัญญาณจากฝั่งเครื่องส่งกับสัญญาณ Carrier

Type Of Modulation	$\tilde{j}(t)$	$\tilde{k}(t)$
AM	**s(t)** $\times 2\cos(2\pi f_c t)$	**s(t)** $\times(-2)\sin(2\pi f_c t)$
DSB – SC	**s(t)** $\times 2\cos(2\pi f_c t)$	**s(t)** $\times(-2)\sin(2\pi f_c t)$
SSB – SC	**s(t)** $\times 2\cos(2\pi f_c t)$	**s(t)** $\times(-2)\sin(2\pi f_c t)$
FM	**s(t)** $\times 2\cos(2\pi f_c t)$	**s(t)** $\times(-2)\sin(2\pi f_c t)$

3.1.2.2 CIC Decimation Filter

Block diagram การทำงานนี้จะเป็นการ Down – Sampling ของสัญญาณ ซึ่งการออกแบบกำหนดให้ มีการ Down – Sampling (N) 3 เท่า และประกอบไปด้วย Comb Filter (K) 2 stage และ Integrator Filter (K) 2 stage โดยการทำงานของระบบนั้นจะแสดงเป็นสมการ Transfer Function ดังนี้



รูปที่ 3.4 Block diagram แสดงการทำงานของ CIC Decimation Filter ในรูปของ Transfer Function

เมื่อทำการนำสัญญาณที่ผ่านการคูณสัญญาณ Carrier มาทำการผ่าน CIC Decimation Filter เพื่อลดอัตราการสุ่มตัวอย่าง หรือก็คือลด Sampling Rate ลง 3 เท่าของสัญญาณ Input ที่เข้ามา โดยที่ Output ทั้งสองคือ $\tilde{p}(t)$ และ $\tilde{q}(t)$

3.1.2.3 FIR Lowpass Filter

การออกแบบ FIR Lowpass Filter จะใช้วิธี Window method แบบ Hamming window โดยการออกแบบนี้จะใช้ Cut off Frequency ที่ 40 Hz

ตารางที่ 3.6 แสดงการออกแบบ FIR Lowpass Filter แบบ Hamming window

Filter Type	Ideal impulse response, $h_D(n)$		Window Function w(n)	
	$h_D(n)$	$h_D(0)$		
Lowpass	$2\times f_c \times \frac{\sin(n\omega_c)}{n\omega_c}$	$2\times f_c$	$0.54+0.46\cos(\frac{2\pi n}{N})$	$-825 \leq n \leq 825$

เมื่อทำการออกแบบต่างๆเรียบร้อยแล้ว จะทำการหาค่าของ Filter Coefficient ได้คือ h(n) = $h_D(n) \times$ w(n) ดังนั้น Output $\tilde{x}(t)$ และ $\tilde{y}(t)$ ที่ผ่านการกรองสัญญาณ Lowpass Filter จะเหลือเพียงความถี่ต่ำเท่านั้น ซึ่งก็คือความถี่ f_m ที่ส่งมาตั้งแต่แรกนั่นเอง

3.1.2.4 Passband signal Processing

Block diagram การทำงานนี้ จะเป็นการกำหนดการ Demodulation สัญญาณ Input โดยที่เราสามารถเลือกได้สี่รูปแบบคือ AM, DSB – SC, SSB – SC, FM สมการนั้นจะมีค่า Output เป็น $\tilde{m}(t)$ ซึ่งสามารถกำหนดสมการการเลือกนี้ได้ดังนี้

ตารางที่ 3.7 แสดง Complex Envelope Functions และความเกี่ยวเนื่องกับ Quadrature Demodulation

Type of modulation	Corresponding Quadrature Modulation		Demodulation x(t)+jy(t)
	x(t)	y(t)	
AM	A_c(1+m(t))	0	$\frac{x(t)}{A_c} - 1$
DSB-SC	A_c(m(t))	0	$\frac{x(t)}{A_c}$
SSB-SC	A_c(m(t))	$A_c(\widetilde{m}(t))$	$\frac{x(t)}{A_c} + \frac{y(t)}{A_c}$
FM	$A_c\cos[D_f \int_{-\infty}^{t} m(\tau)d\tau$]	$A_c\sin[D_f \int_{-\infty}^{t} m(\tau)d\tau]$	$(\frac{d[cos^{-1}(\frac{x(t)}{A_c})}{dt} \times \frac{1}{D_f}) +$ $(\frac{d[sin^{-1}(\frac{x(t)}{A_c})}{dt} \times \frac{1}{D_f})$

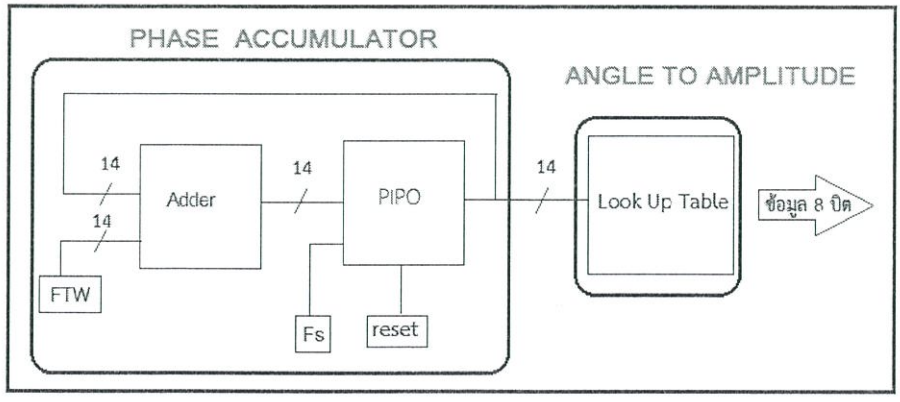
3.1.3 การออกแบบการทำงานลงบนอุปกรณ์ FPGA ในระบบเครื่องส่ง

3.1.3.1 การทำงานของโปรแกรมวงจรสังเคราะห์ความถี่แบบดิจิตอล (Direct Digital Synthesis: DDS) ประกอบไปด้วย

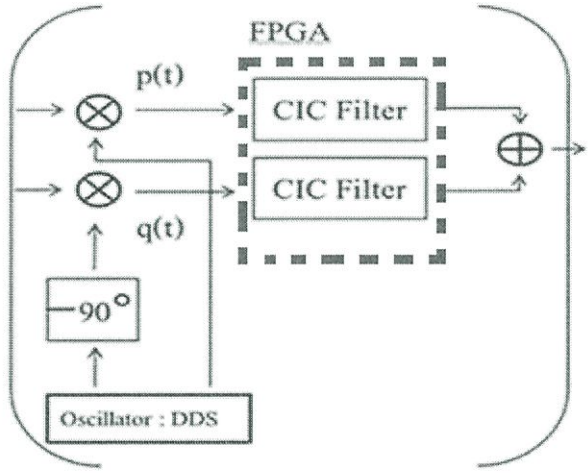
1. Adder ในส่วนนี้เป็นวงจรบวก อินพุตตัวแรกที่ได้มาจากการป้อนกลับของวงจร PIPO และ FTWเป็นค่าตัวที่สองมาจากค่าที่กำหนดในโปรแกรมเป็นค่าที่กำหนดความถี่

2. PIPO ในส่วนนี้จะเป็นวงจร Latch ข้อมูล

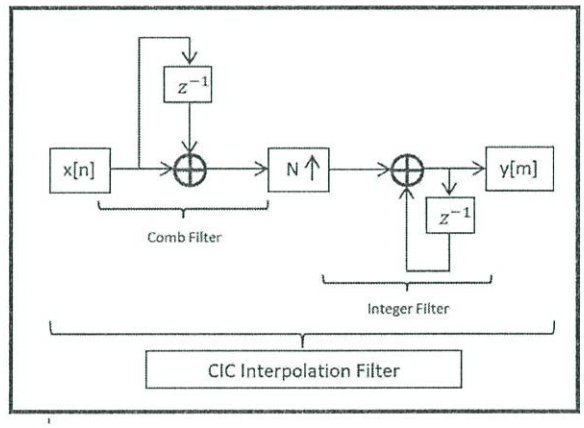
3. Look up table ในส่วนนี้จะทำหน้าที่เก็บค่าแอมปลิจูดของสัญญาณไซน์และสัญญาณโคไซน์ที่ตำแหน่งต่างๆซึ่งเป็นค่าในเลขฐานสองไว้



รูปที่ 3.5 บล็อกไดอะแกรมแสดงส่วนประกอบของวงจรสังเคราะห์ความถี่แบบดิจิตอลโดยตรง



รูปที่ 3.6 แสดงการทำงานของFPGA ในส่วนระบบเครื่องส่ง



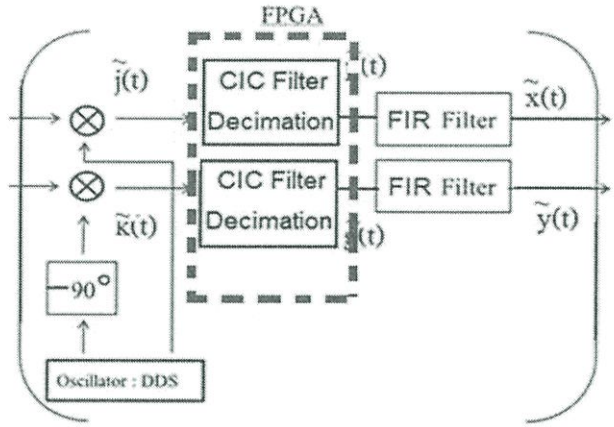
รูปที่ 3.7 บล็อกไดอะแกรมแสดงส่วนประกอบของCIC Interpolation Filter

3.1.3.2 CIC Interpolation Filter ประกอบไปด้วย

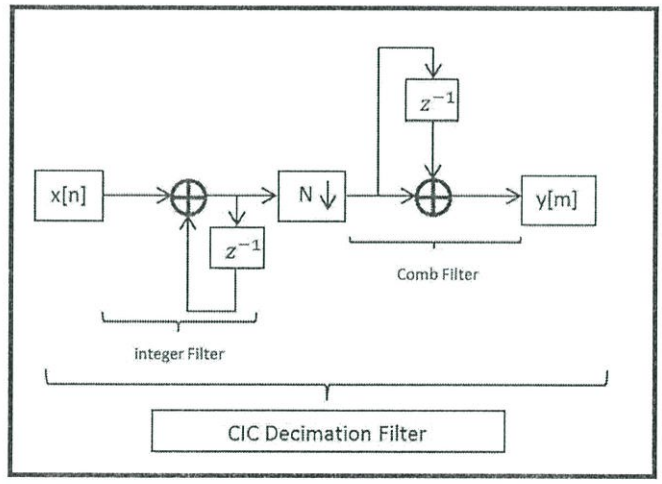
1. Comb Filter ในส่วนนี้จะประกอบไปด้วยวงจร Unit delay และวงจร Subtract

2 Up sample ในส่วนนี้จะประกอบไปด้วย วงจร Multiplex และวงจร Counter ในการ Select

3 Integer Filter ในส่วนนี้จะประกอบไปด้วย วงจร Unit delay และวงจร Adder



รูปที่ 3.8 แสดงการทำงานของFPGA ในส่วนระบบเครื่องรับ



รูปที่ 3.9 บล็อกไดอะแกรมแสดงส่วนประกอบของCIC Decimation Filter

3.1.3.3 CIC Decimation Filter ประกอบไปด้วย

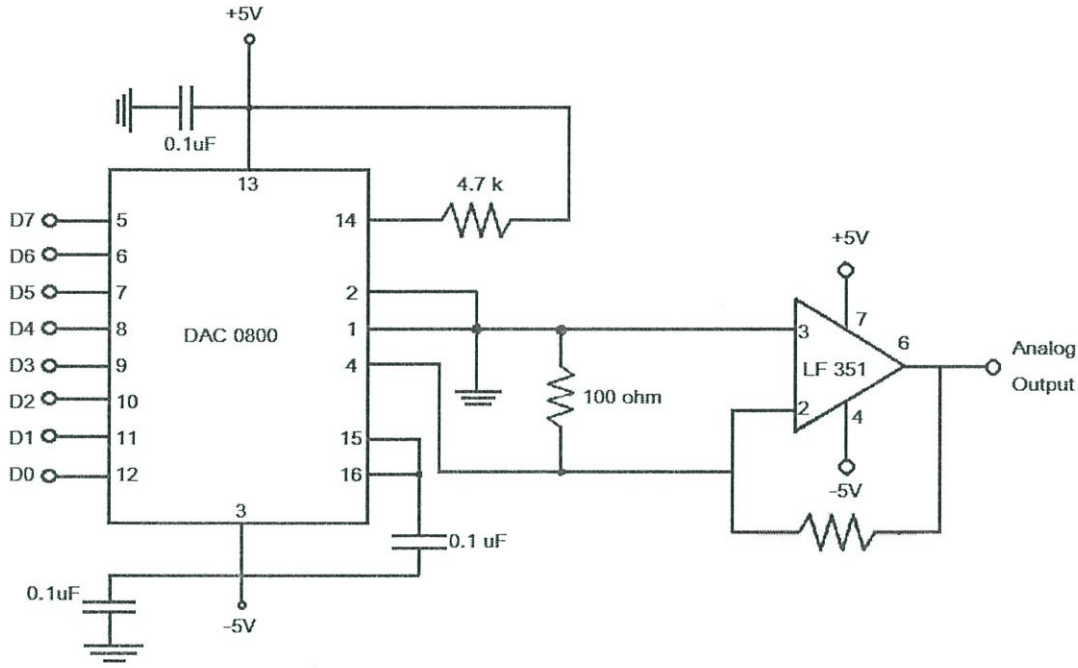
1. Integer Filter ในส่วนนี้จะประกอบไปด้วย วงจร Unit delay และวงจร Adder

2. Down sampler ในส่วนนี้จะประกอบไปด้วย วงจร Demultiplex และวงจร Counter ในการ Select

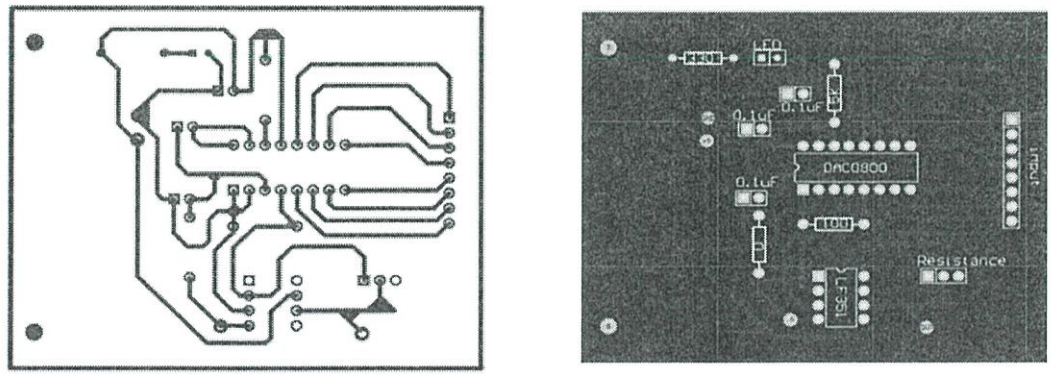
3. Comb Filter ในส่วนนี้จะประกอบไปด้วยวงจร Unit delay และวงจร Subtract

3.1.5 วงจรแปลงระดับสัญญาณดิจิตอลเป็นอนาล็อก (Digital to Analog converter)

วงจรนี้เป็นส่วนที่นำสัญญาณ Output จาก FPGA ที่เป็นสัญญาณแบบดิจิตอล มาแปลงให้ได้สัญญาณอนาล็อก โดยใช้ IC DAC0800 วงจรใช้งานแสดงดังรูป



รูปที่ 3.12 วงจรแปลงระดับสัญญาณดิจิตอลเป็นอนาล็อก



รูปที่ 3.13 ลายวงจรแปลงระดับสัญญาณดิจิตอลเป็นอนาล็อก

3.2 เครื่องมือที่ใช้ในการทดลอง

3.2.1 FPGA

3.2.2 วงจร A/D และ D/A

3.2.3 Computer PC

3.2.4 Notebook

3.3 การจัดเก็บผลการทดลอง

3.3.1 เก็บผลการจำลองระบบในโปรแกรม MATLAB

3.3.2 เก็บผลการออกแบบวงจร Hardware ด้วยภาษา VHDL ในโปรแกรม Xilinx ISE Webpack

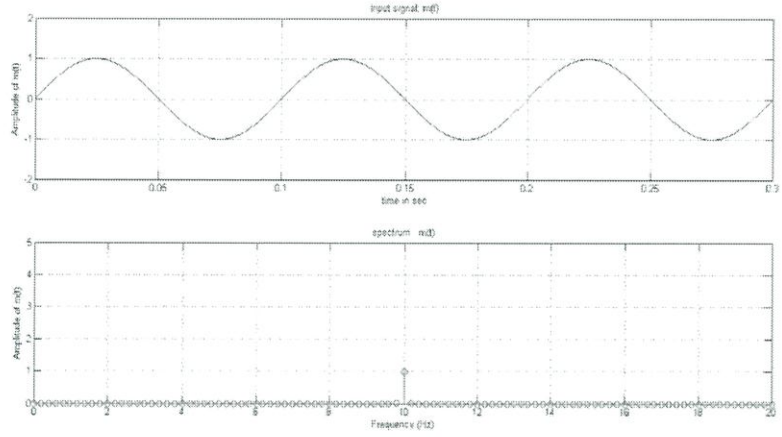
3.3.3 เก็บผลการ Implement ของทั้งระบบในเครื่อง Oscilloscope

บทที่ 4

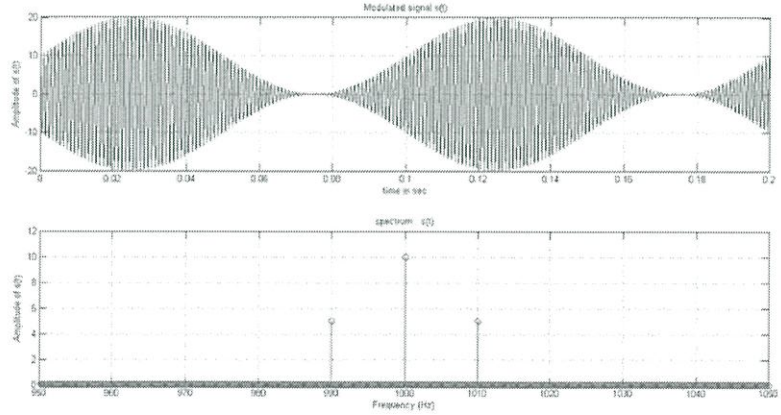
ผลการทดลอง

การแสดงผลนั้นจะประกอบไปด้วย 2 ส่วนคือ การจำลองผลการทำงานของระบบบน MATLAB และผลการ Implement ลงบนอุปกรณ์ FPGA ดังนี้

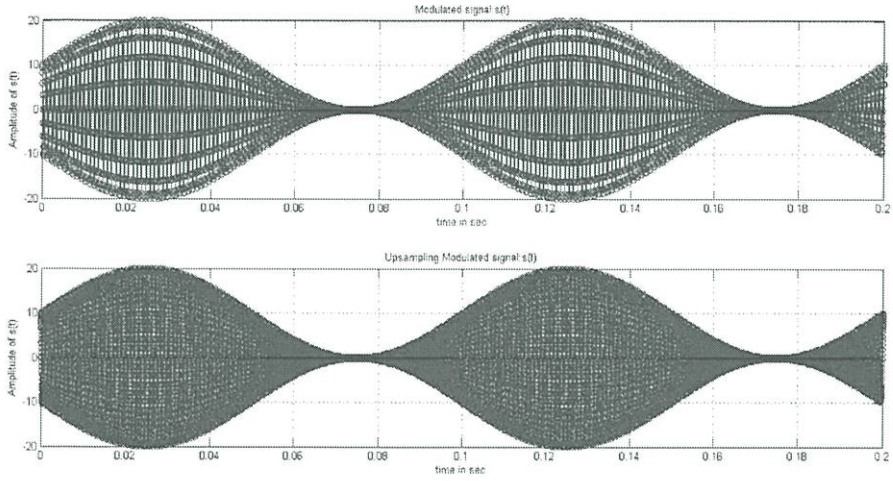
4.1 ผลของการจำลองการทำงานของระบบด้วย MATLAB



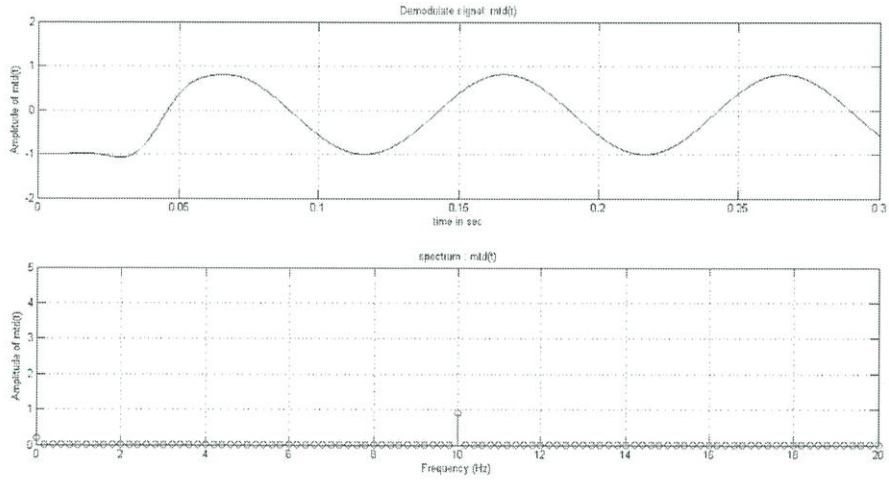
รูปที่ 4.1 แสดงสัญญาณอินพุต m(t)



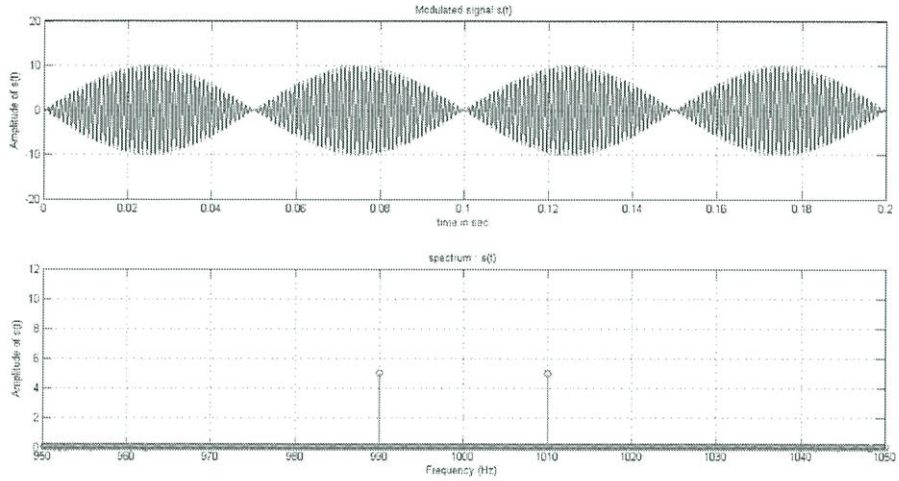
รูปที่ 4.2 แสดงสัญญาณที่ทำการ Modulation แบบ AM



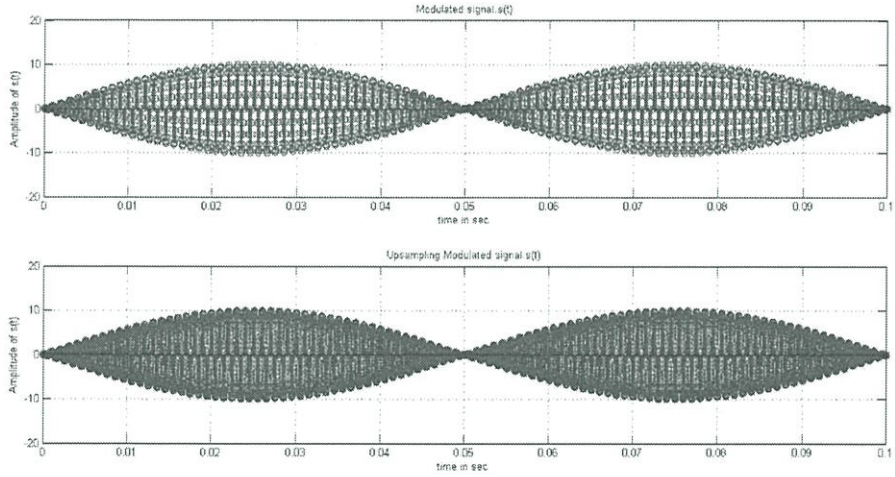
รูปที่ 4.3 แสดงสัญญาณที่ Modulate แบบ AM ก่อน Up - Sampling เทียบกับ สัญญาณที่ Modulate แบบ AM หลัง Up - Sampling



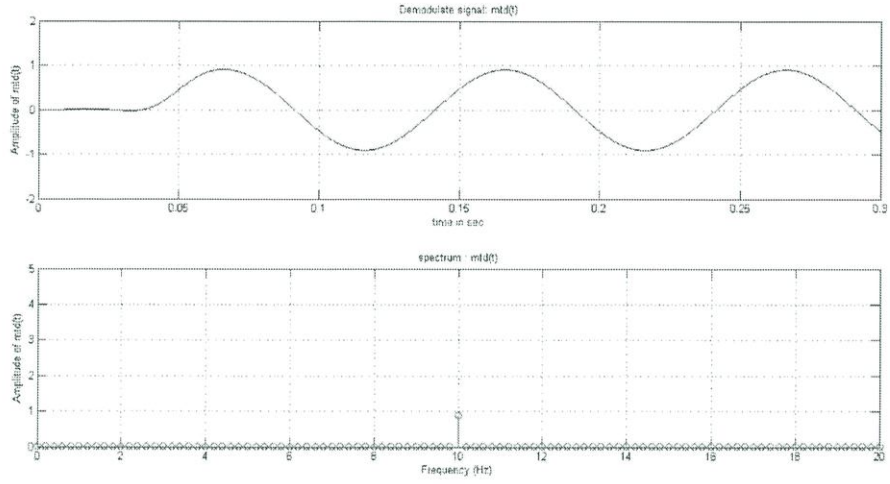
รูปที่ 4.4 แสดงสัญญาณที่ทำการ Demodulation แบบ AM



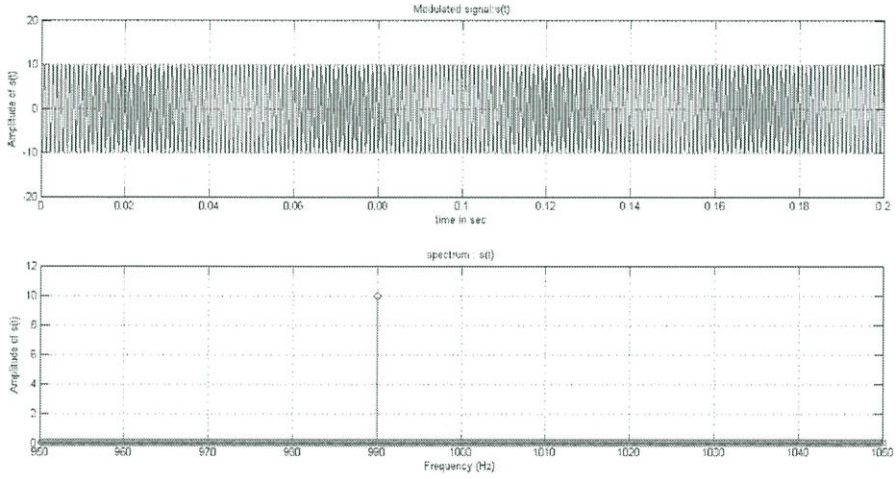
รูปที่ 4.5 แสดงสัญญาณที่ทำการ Modulation แบบ DSB - SC



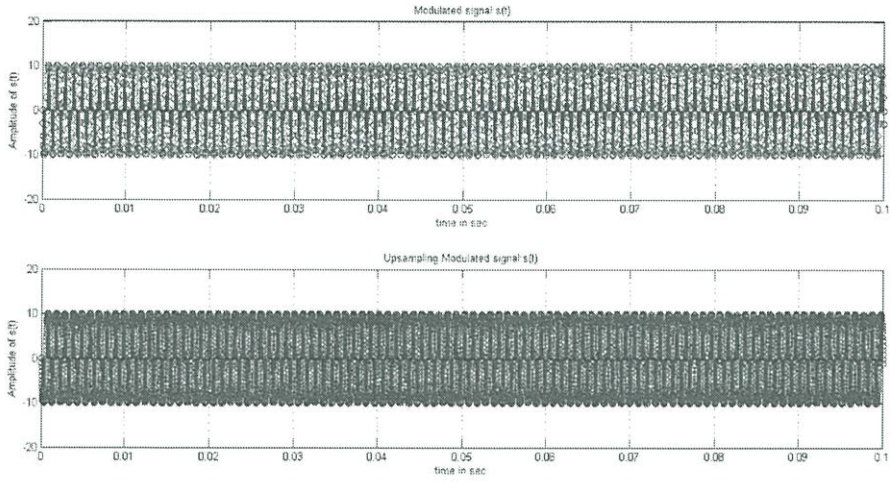
รูปที่ 4.6 แสดงสัญญาณที่ Modulate แบบ DSB - SC ก่อน Up - Sampling เทียบกับ
สัญญาณที่ Modulate แบบ DSB - SC หลัง Up - Sampling



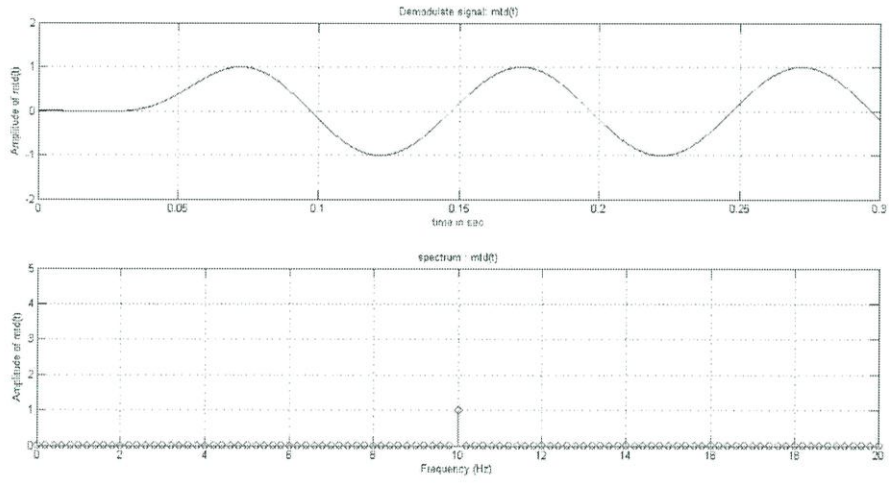
รูปที่ 4.7 แสดงสัญญาณที่ทำการ Demodulation แบบ DSB – SC



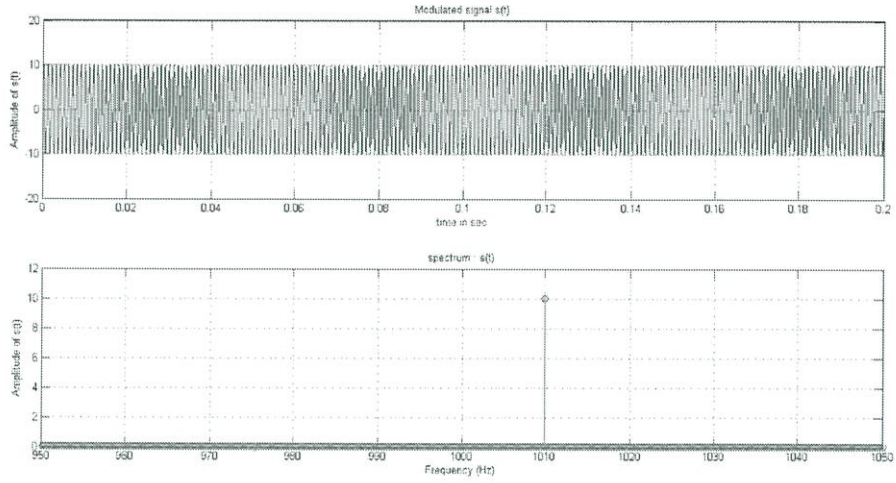
รูปที่ 4.8 แสดงสัญญาณที่ทำการ Modulation แบบ SSB – SC Lower sideband



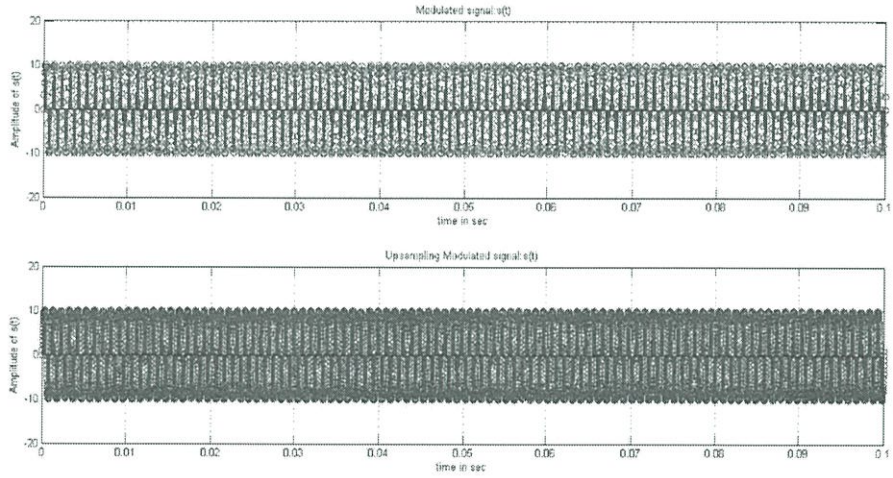
รูปที่ 4.9 แสดงสัญญาณที่ Modulate แบบ SSB – SC Lower sideband ก่อน Up - Sampling เทียบกับสัญญาณที่ Modulate แบบ SSB – SC แบบ Lower sideband หลัง Up – Sampling



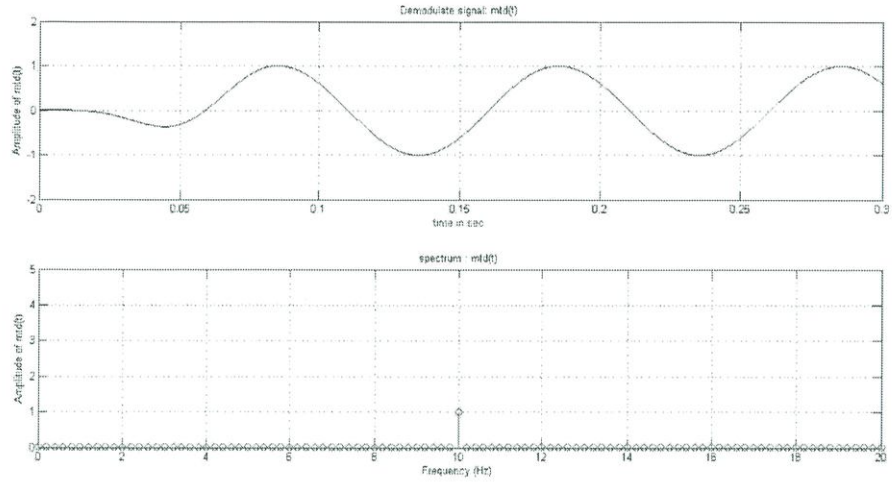
รูปที่ 4.10 แสดงสัญญาณที่ทำการ Demodulation แบบ SSB – SC Lower sideband



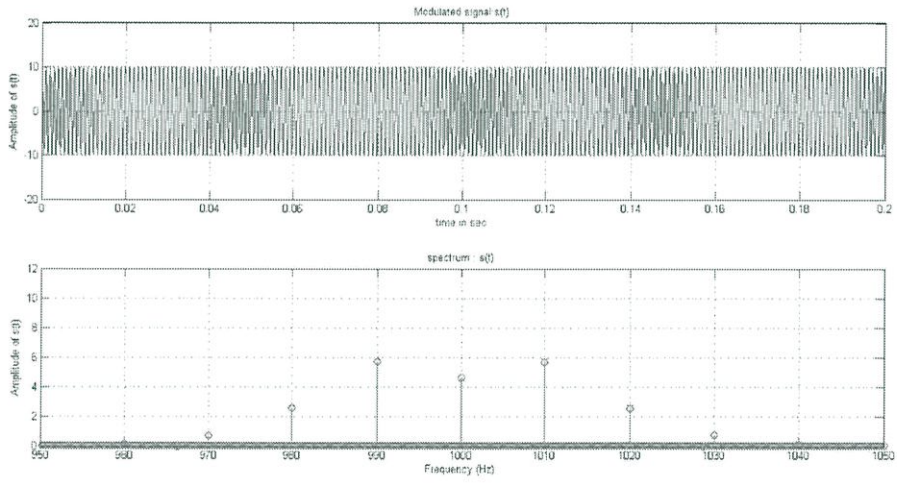
รูปที่ 4.11 แสดงสัญญาณที่ทำการ Modulation แบบ SSB – SC Upper sideband



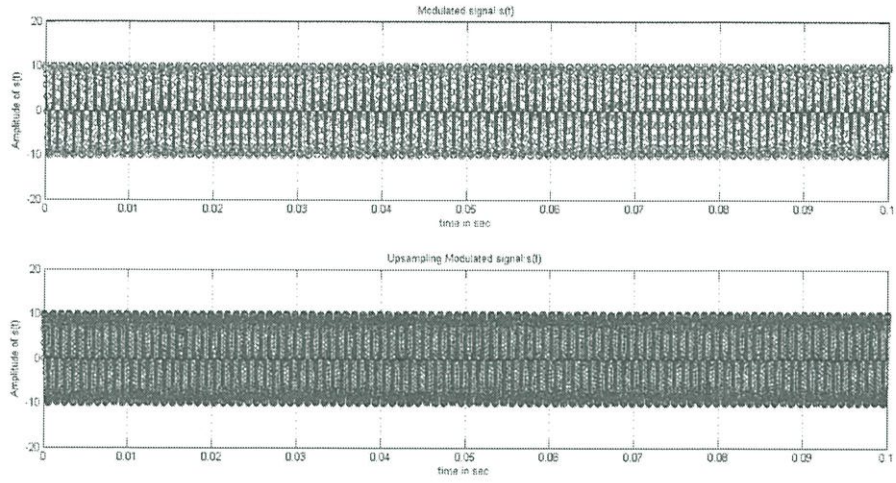
รูปที่ 4.12 แสดงสัญญาณที่ Modulate แบบ SSB – SC Upper sideband ก่อน Up - Sampling เทียบกับสัญญาณที่ Modulate แบบ SSB – SC แบบ Upper sideband หลัง Up – Sampling



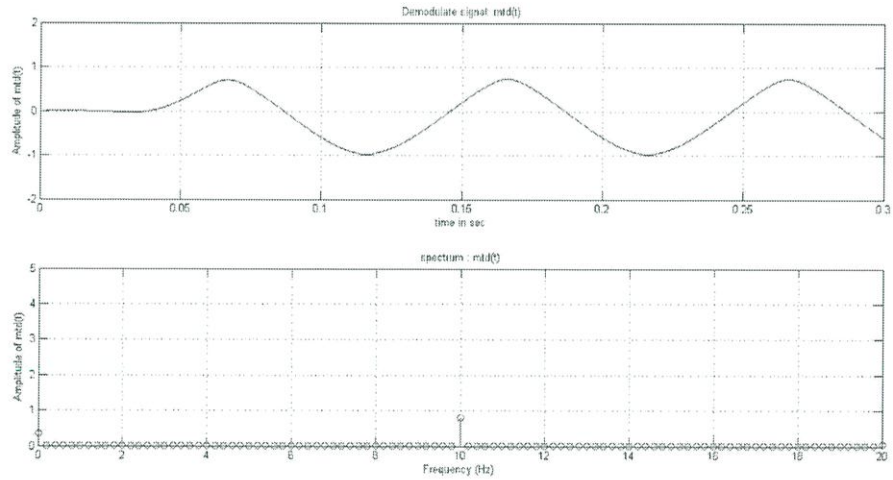
รูปที่ 4.13 แสดงสัญญาณที่ทำการ Demodulation แบบ SSB – SC Upper sideband



รูปที่ 4.14 แสดงสัญญาณที่ทำการ Modulation แบบ FM



รูปที่ 4.15 แสดงสัญญาณที่ Modulate แบบ FM ก่อน Up - Sampling เทียบกับสัญญาณที่ Modulate แบบ FM หลัง Up - Sampling



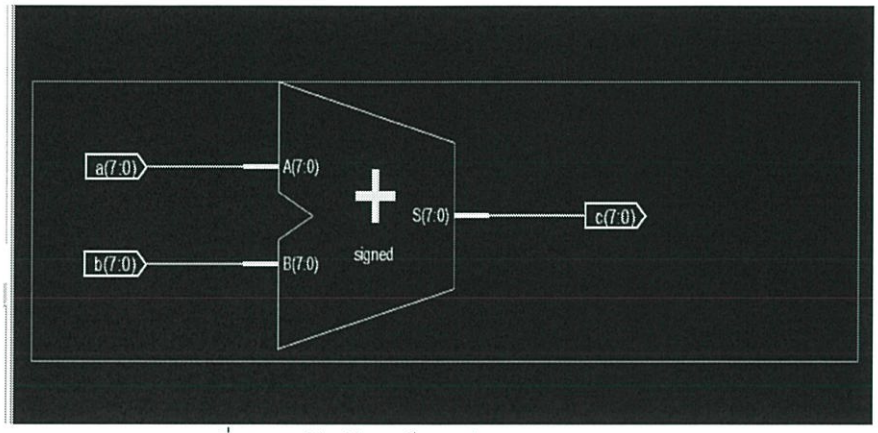
รูปที่ 4.16 แสดงสัญญาณที่ทำการ Demodulation แบบ FM

4.2 ผลการออกแบบวงจรส่วนต่างๆ โดยใช้ภาษา VHDL

4.2.1 ส่วนของวงจร DDS

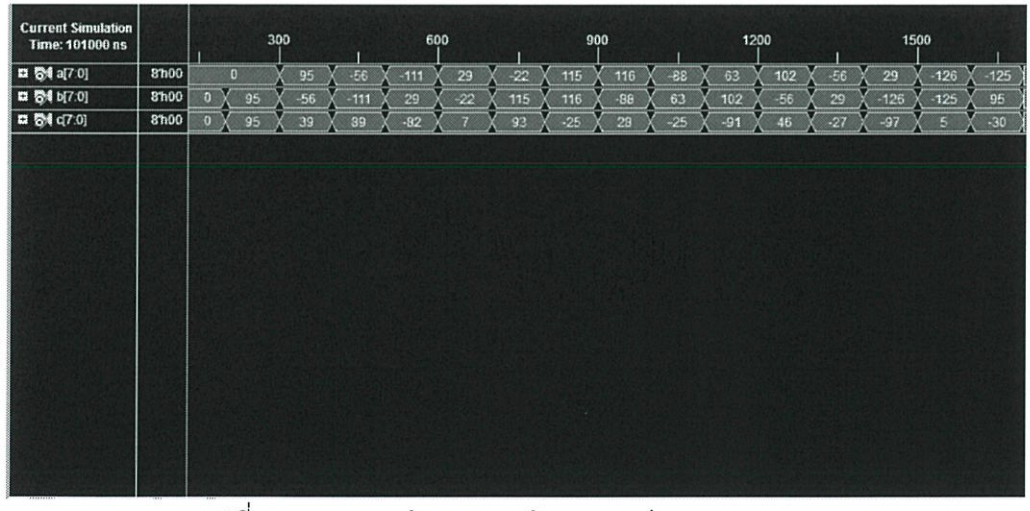
4.2.1.1 ส่วนของวงจร Adder

เป็นโมดูลของวงจรบวกแบบ Full Adder ซึ่งจะทำการบวกค่าอินพุตทั้งสองค่าที่รับเข้ามา



รูปที่ 4.17 สัญลักษณ์ของส่วน Adder

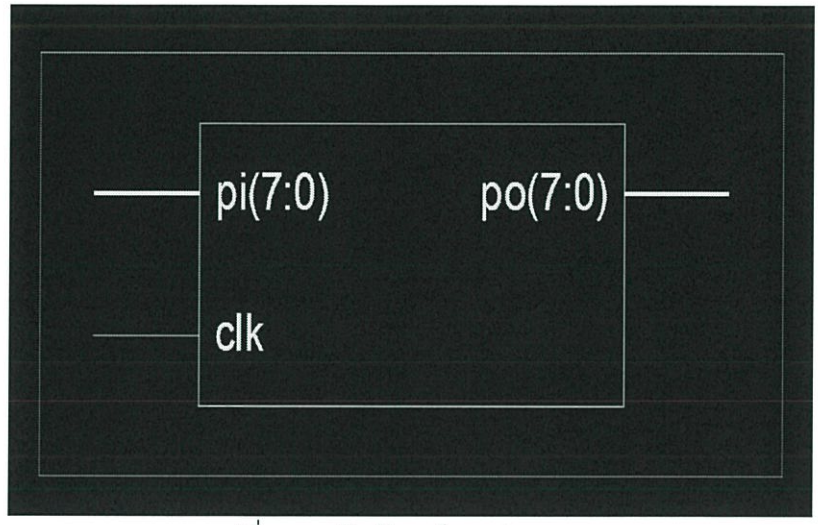
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



รูปที่ 4.18 ผลการจำลองการทำงานของส่วนวงจร Adder

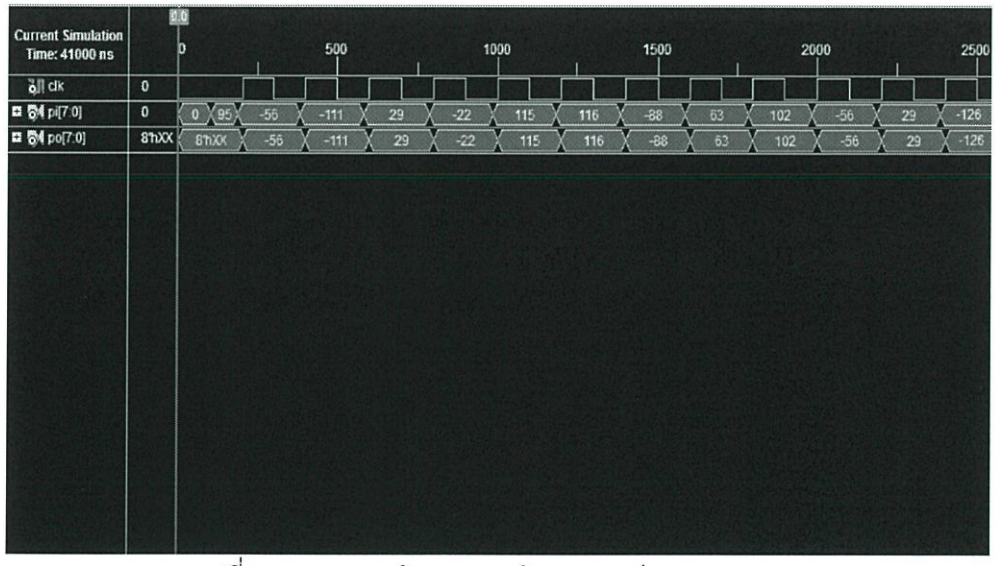
4.2.1.2 ส่วนของวงจร PIPO

เป็นโมดูลของวงจร PIPO ที่เสมือนนำ D Flip Flop มาต่อกัน และทำหน้าที่ Latch ค่าข้อมูลต่างๆ



รูปที่ 4.19 สัญลักษณ์ของส่วน PIPO

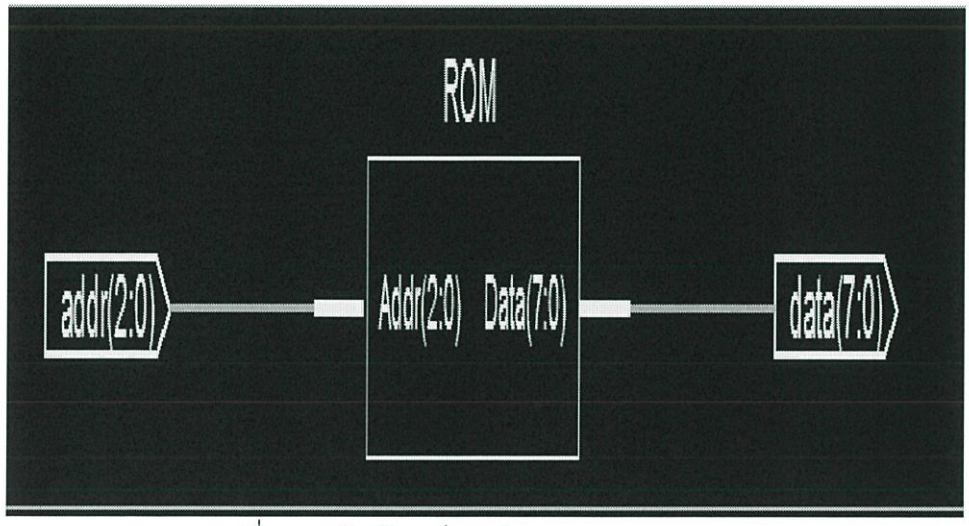
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



รูปที่ 4.20 ผลการจำลองการทำงานของส่วนวงจร PIPO

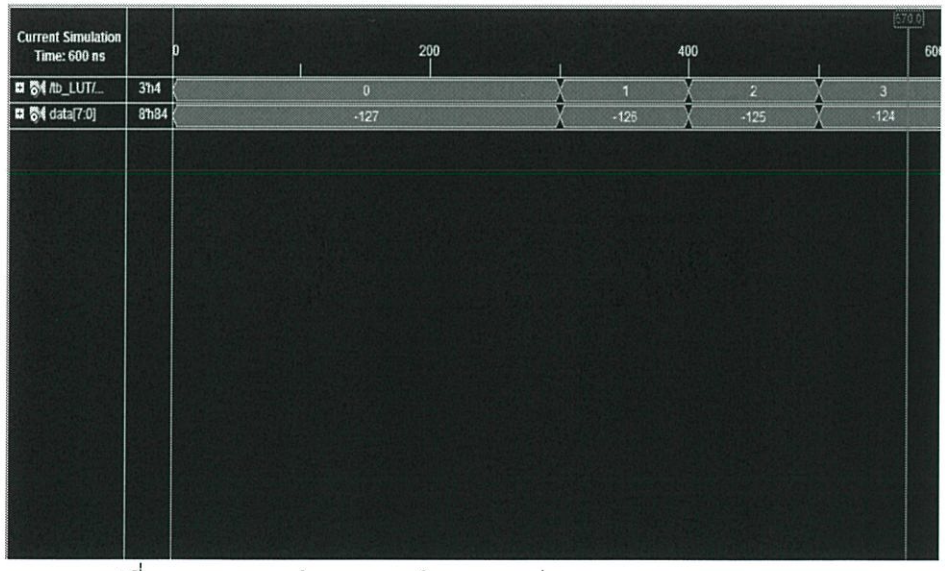
4.2.1.3 ส่วนของวงจร LOOK UP TABLE

เป็นโมดูลที่ทำหน้าที่เก็บค่าแอมพลิจูดของสัญญาณไซน์และสัญญาณโคไซน์ที่ตำแหน่งต่างๆ



รูปที่ 4.21 สัญลักษณ์ของส่วน LOOK UP TABLE

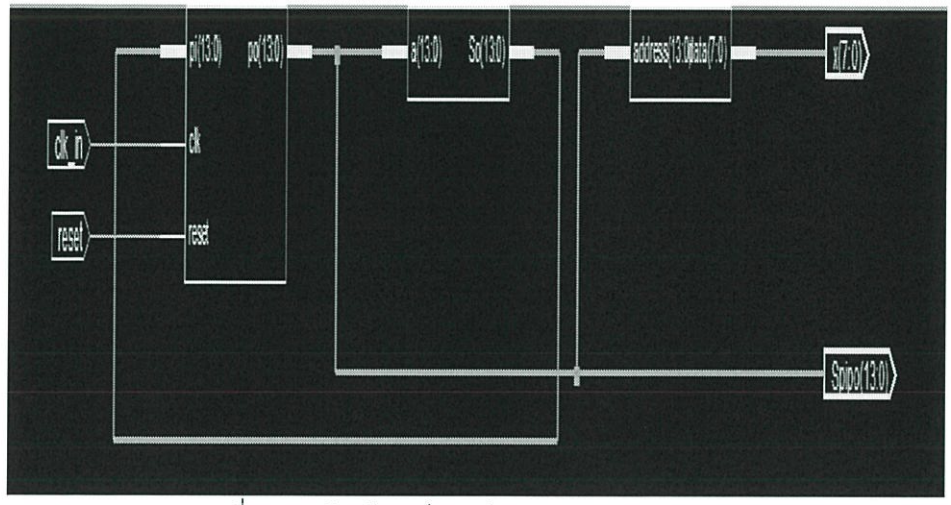
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



รูปที่ 4.22 ผลการจำลองการทำงานของส่วนวงจร LOOK UP TABLE

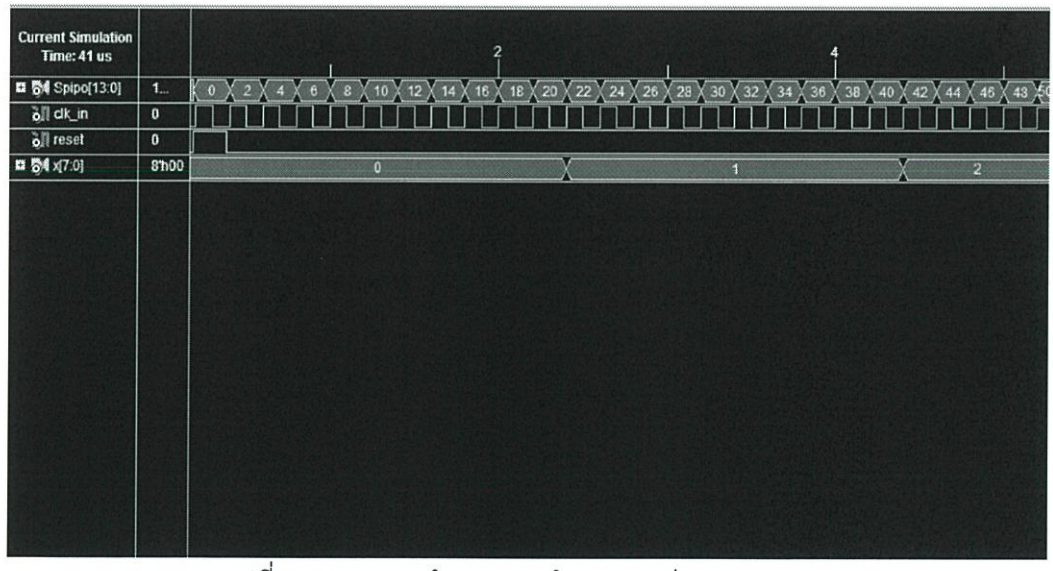
4.2.1.4 ส่วนของวงจร DDS

เป็นโมดูลที่ทำหน้าที่ผลิตสัญญาณไซน์และสัญญาณโคไซน์โดยใช้วิธีตารางเปิดดู (Look up table)



รูปที่ 4.23 สัญลักษณ์ของส่วน DDS

จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้

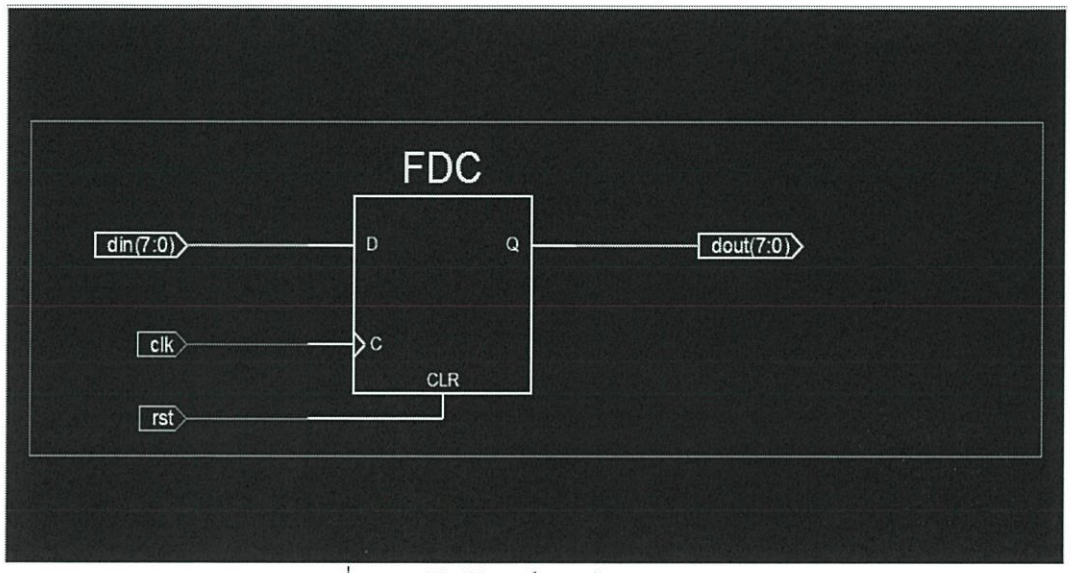


รูปที่ 4.24 ผลการจำลองการทำงานของส่วนวงจร DDS

4.2.2 ส่วนของวงจร CIC Filter

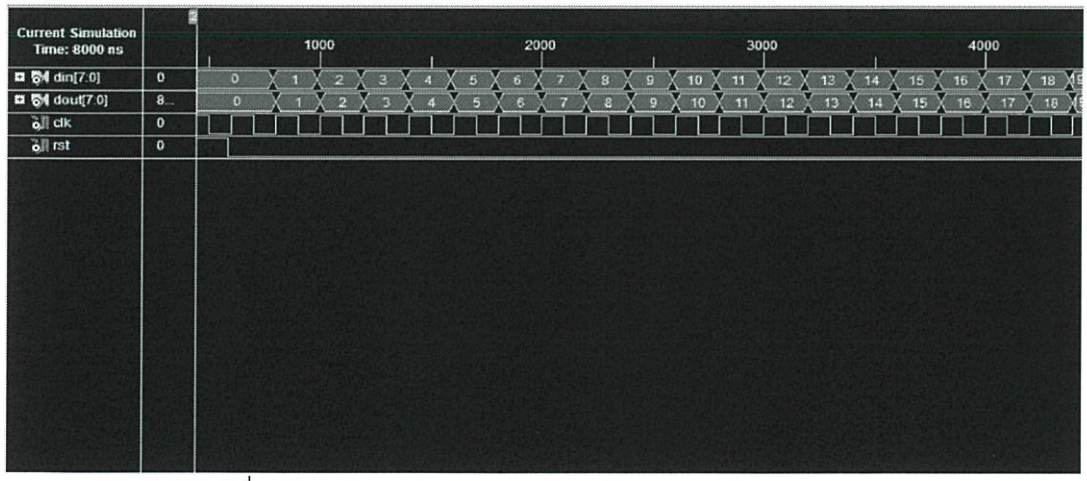
4.2.2.1 ส่วนของวงจร Unit delay

เป็นโมดูลของวงจรที่ทำหน้าที่ Latch ค่าข้อมูลต่างๆ โดยมีขา clk เป็นตัวกำหนดจังหวะการทำงานของวงจร และขา rst เป็นขา reset ค่าเริ่มการทำงาน



รูปที่ 4.25 สัญลักษณ์ของส่วน Unit delay

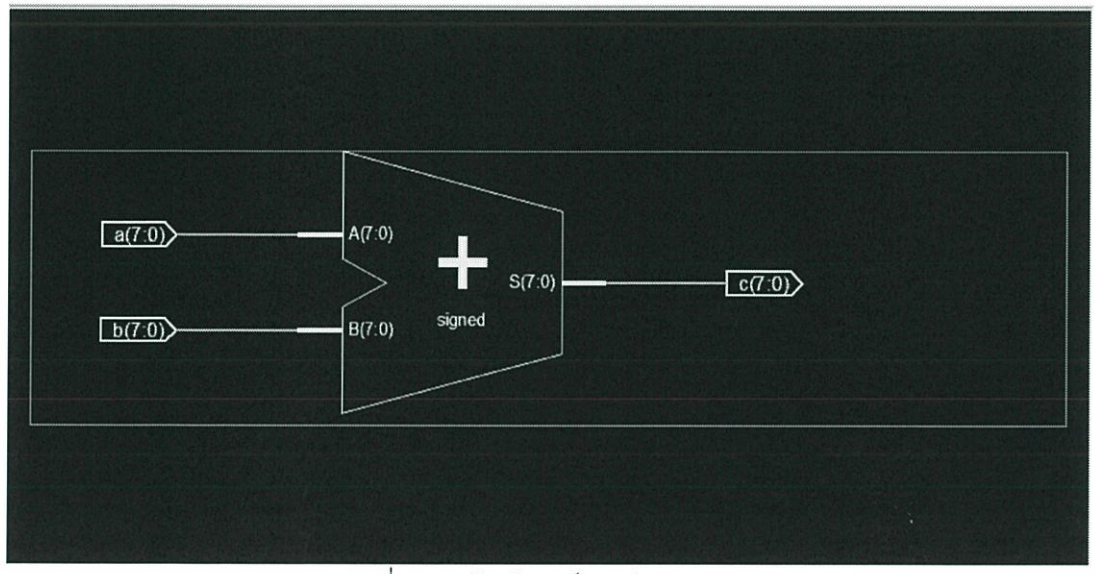
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



รูปที่ 4.26 ผลการจำลองการทำงานของส่วนวงจร Unit delay

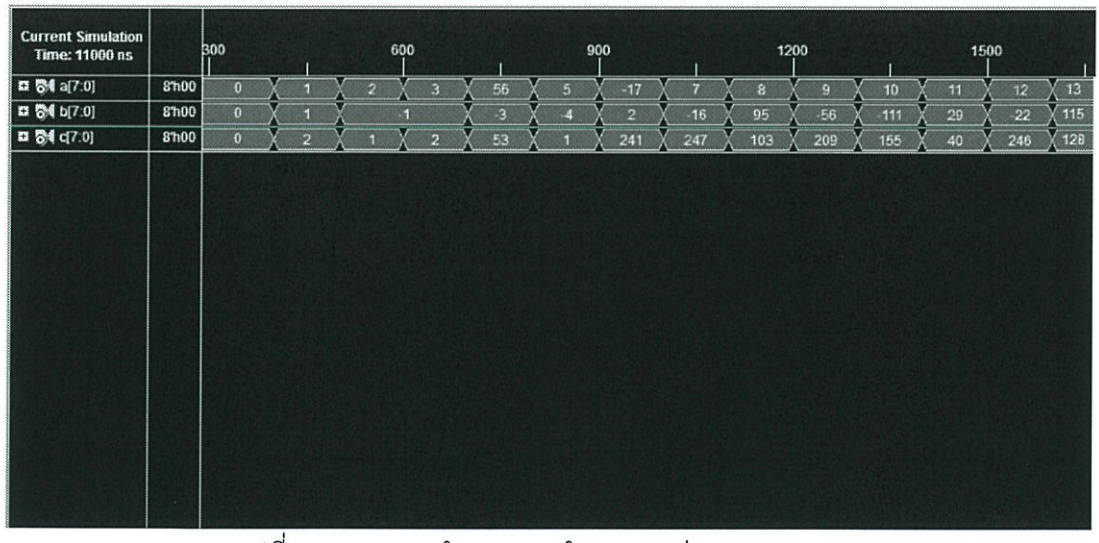
4.2.2.2 ส่วนของวงจร Adder

เป็นโมดูลของวงจรที่ทำหน้าที่บวกแบบคิดเครื่องหมายของสองข้อมูลอินพุตที่ป้อนเข้ามา



รูปที่ 4.27 สัญลักษณ์ของส่วน Adder

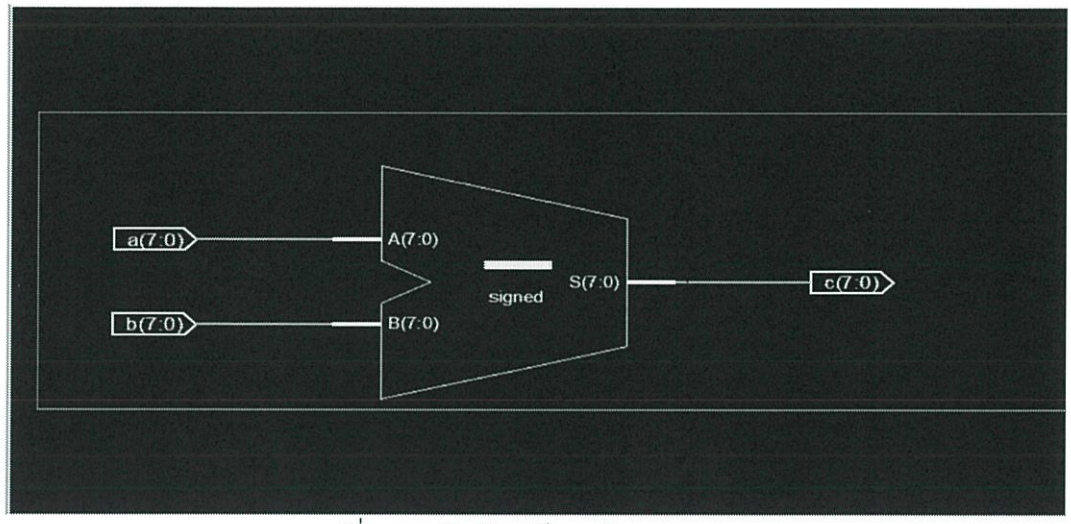
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



รูปที่ 4.28 ผลการจำลองการทำงานของส่วนวงจร Adder

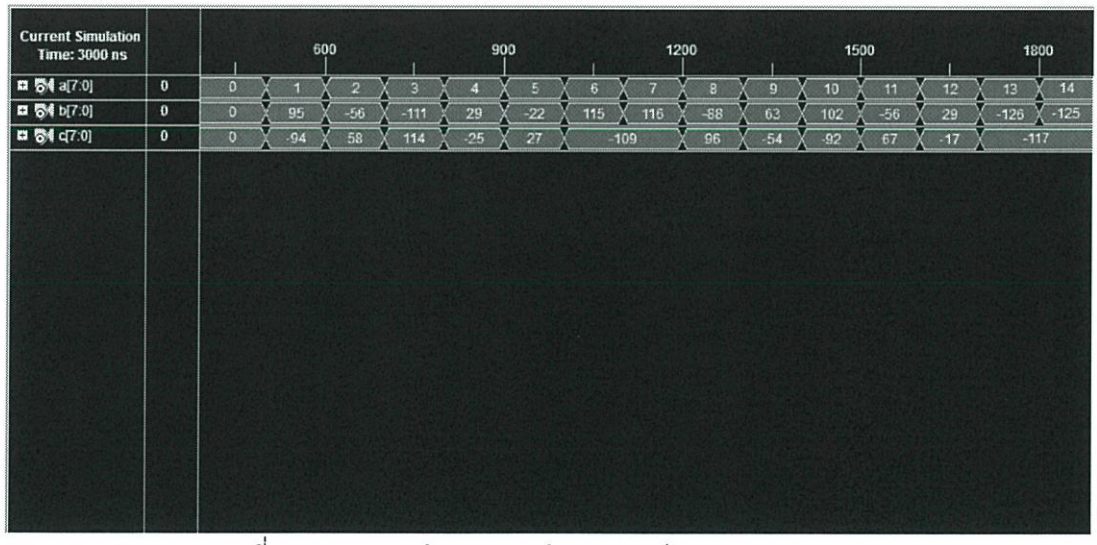
4.2.2.3 ส่วนของวงจร Subtract

เป็นโมดูลของวงจรที่ทำหน้าที่นำข้อมูลอินพุตที่ป้อนเข้ามาลบกัน โดยคิดแบบคิดเครื่องหมาย



รูปที่ 4.29 สัญลักษณ์ของส่วน Subtract

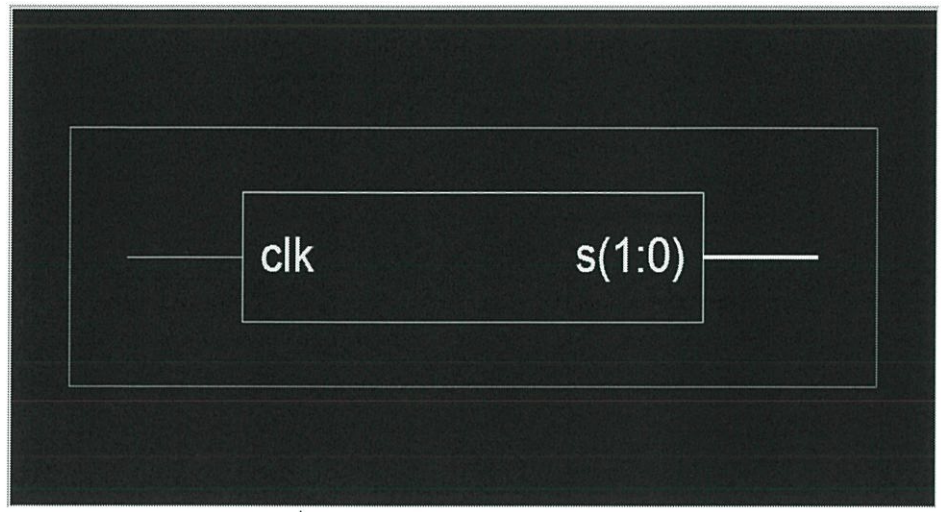
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



รูปที่ 4.30 ผลการจำลองการทำงานของส่วนวงจร Subtract

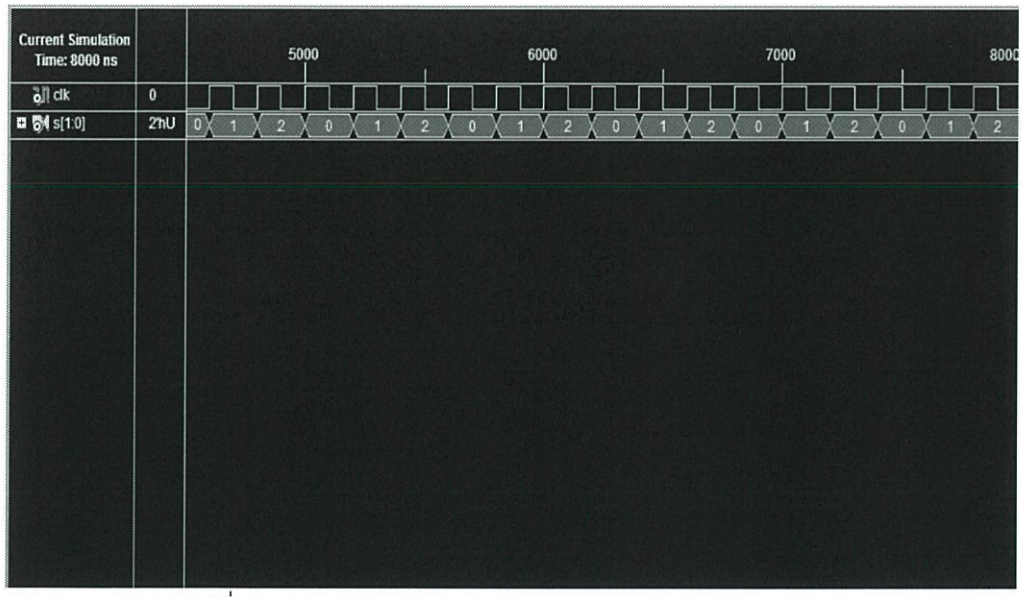
4.2.2.4 ส่วนของวงจร Counter

เป็นโมดูลของวงจรที่ทำหน้าที่ นับวนจนซ้ำถึงค่าที่กำหนด โดยมี ขา clk เป็นขาที่ใช้ในการเข้าจังหวะการนับ



รูปที่ 4.31 สัญลักษณ์ของส่วน Counter

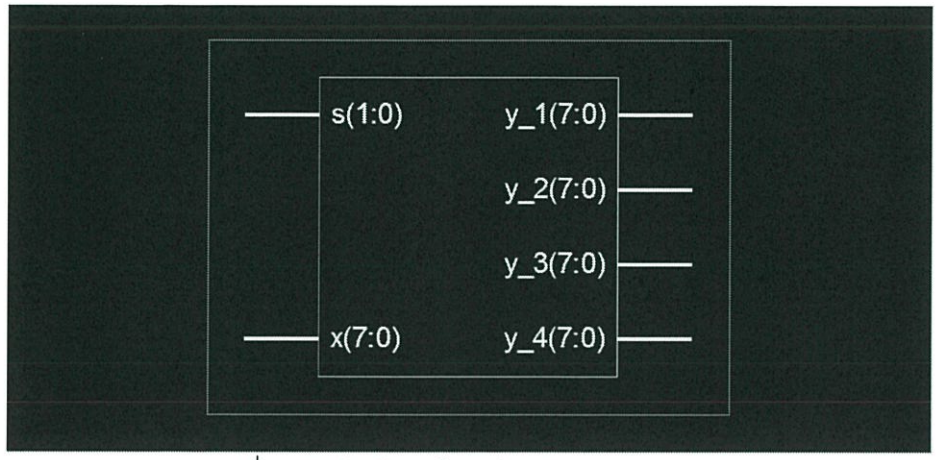
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



รูปที่ 4.32 ผลการจำลองการทำงานของส่วนวงจร Counter

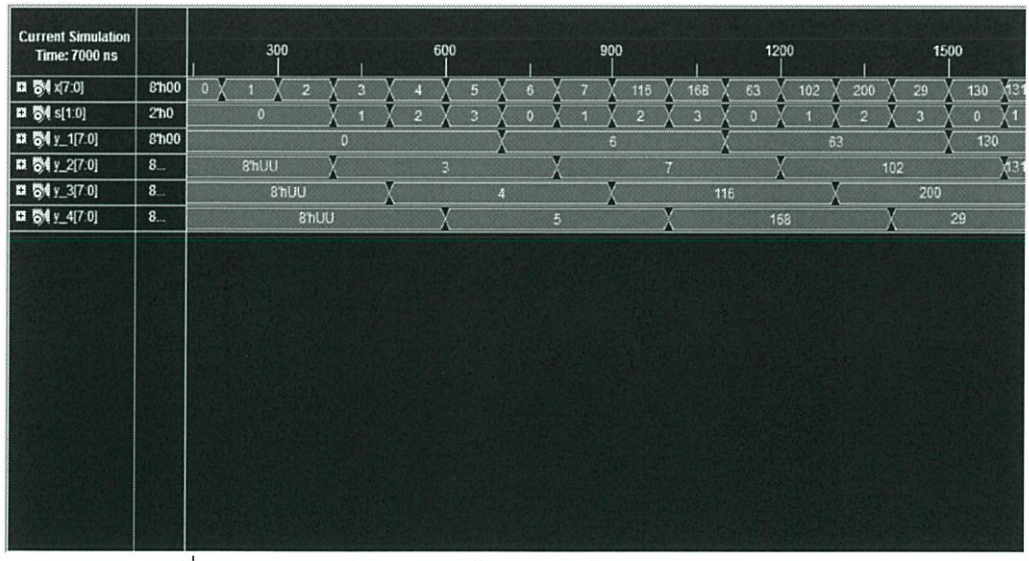
4.2.2.5 ส่วนของวงจร Demultiplexer

เป็นโมดูลของวงจรที่ทำหน้าที่ Demultiplexer ข้อมูล โดยมีขา s เป็นขา select ที่จะเลือกว่าจะให้ข้อมูลออกขาไหน



รูปที่ 4.33 สัญลักษณ์ของส่วน Demultiplexer

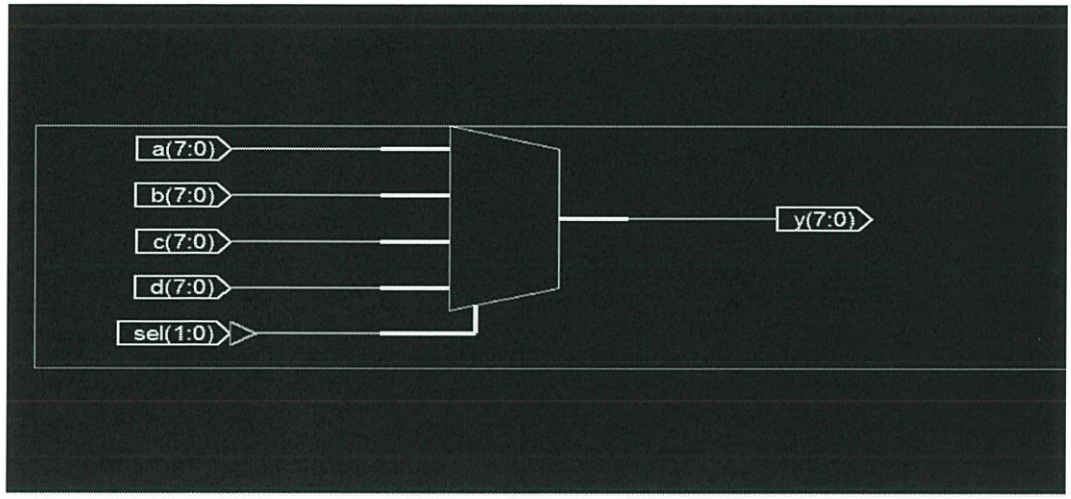
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



รูปที่ 4.34 ผลการจำลองการทำงานของส่วนวงจร Demultiplexer

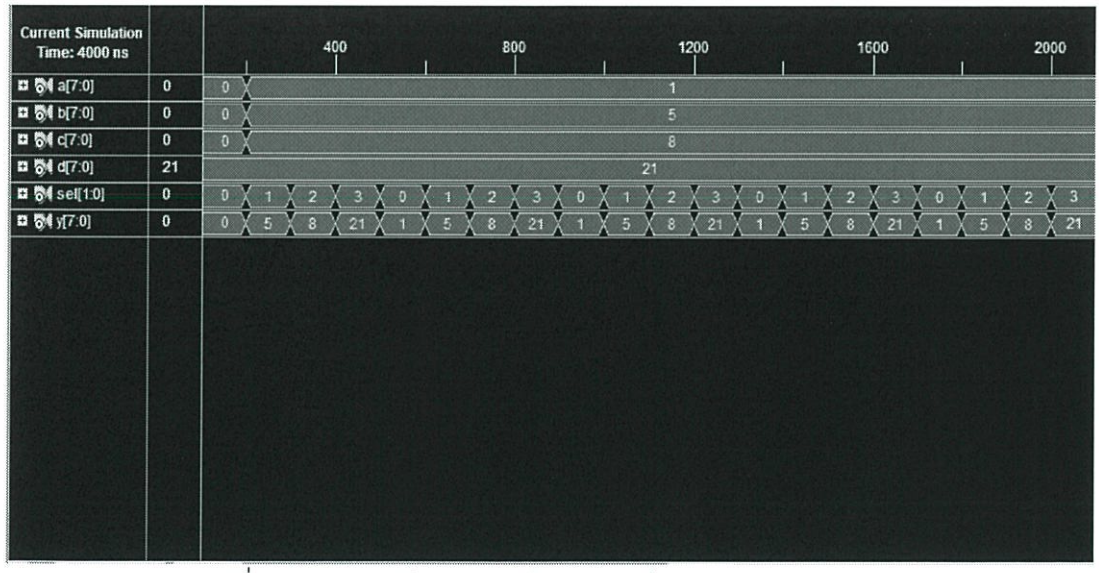
4.2.2.6 ส่วนของวงจร Multiplexer

เป็นโมดูลของวงจรที่ทำหน้าที่ Multiplexer ข้อมูล โดยมีขา s เป็นขา select ที่จะเลือกว่าจะเอาข้อมูลที่ขาไหนเป็นอินพุต



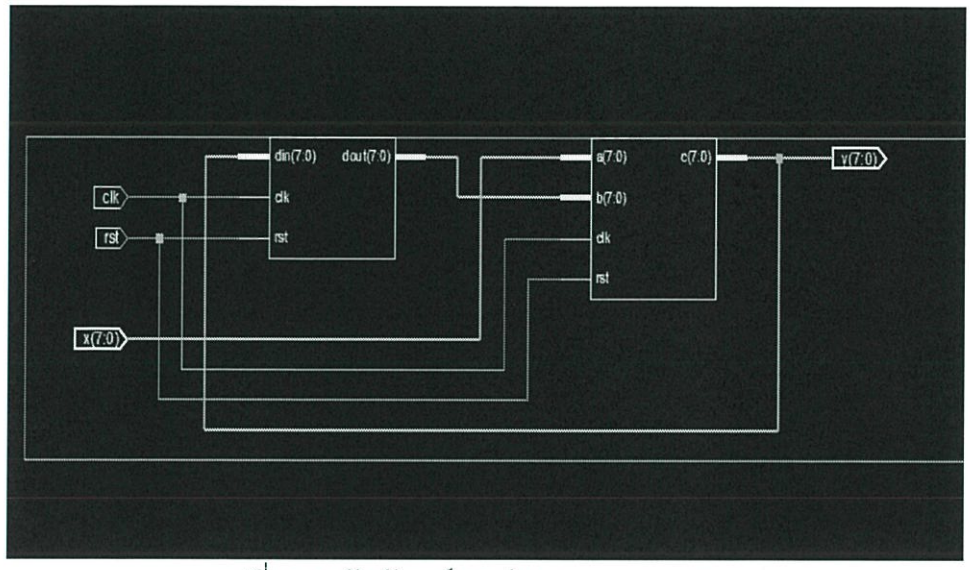
รูปที่ 4.35 สัญลักษณ์ของส่วน Multiplexer

จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



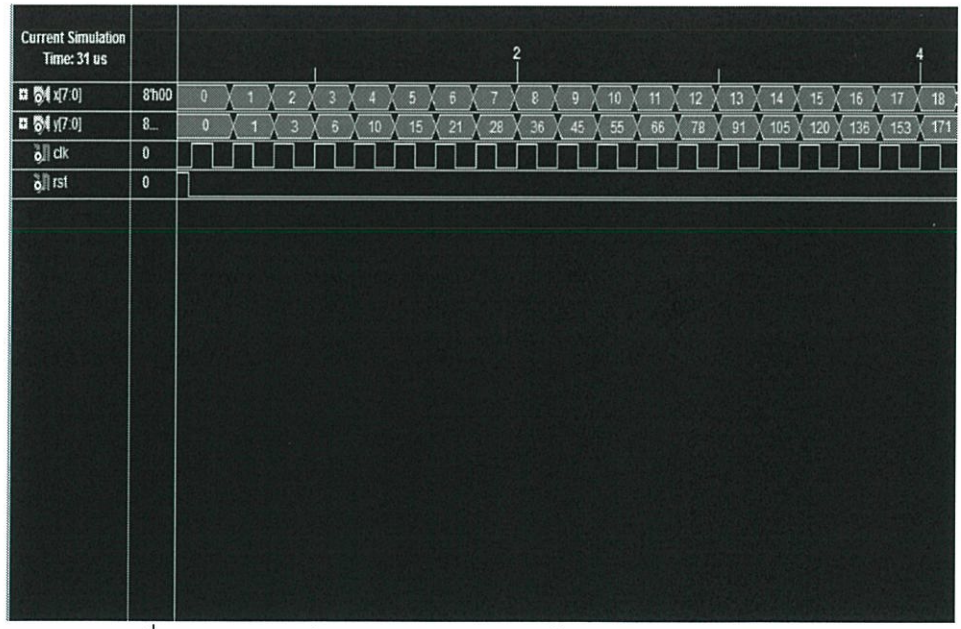
รูปที่ 4.36 ผลการจำลองการทำงานของส่วนวงจร Multiplexer

4.2.2.7 ส่วนของวงจร Integrator Filter



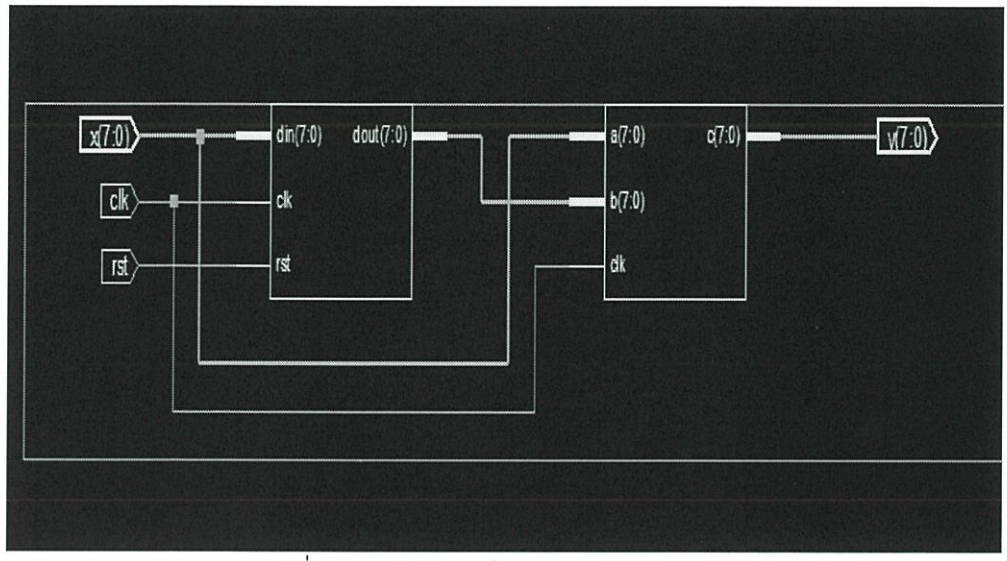
รูปที่ 4.37 สัญลักษณ์ของส่วน Integrator Filter

จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



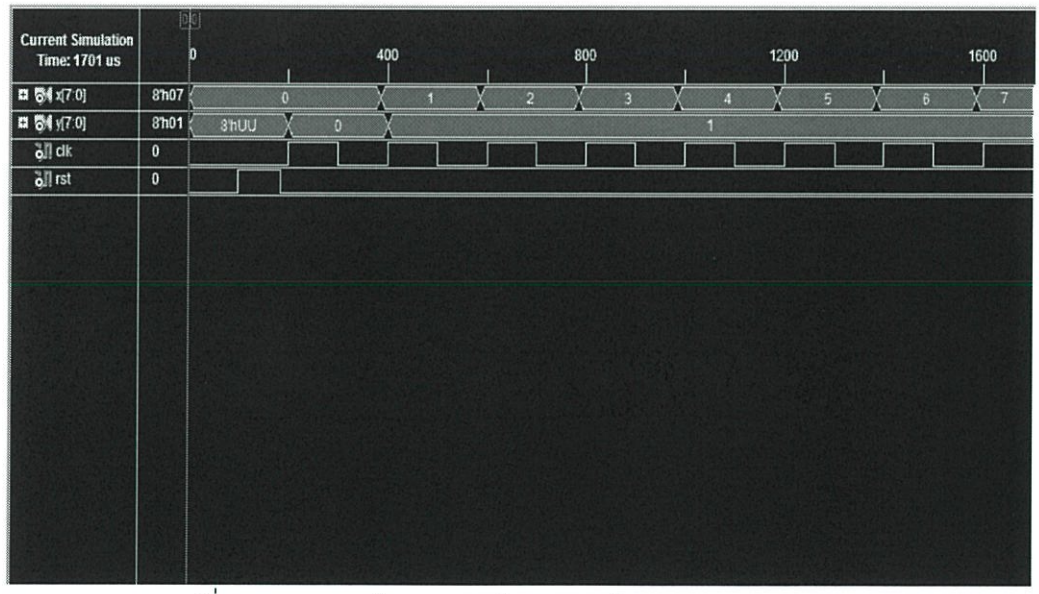
รูปที่ 4.38 ผลการจำลองการทำงานของส่วนวงจร Integrator Filter

4.2.2.8 ส่วนของวงจร Comb Filter



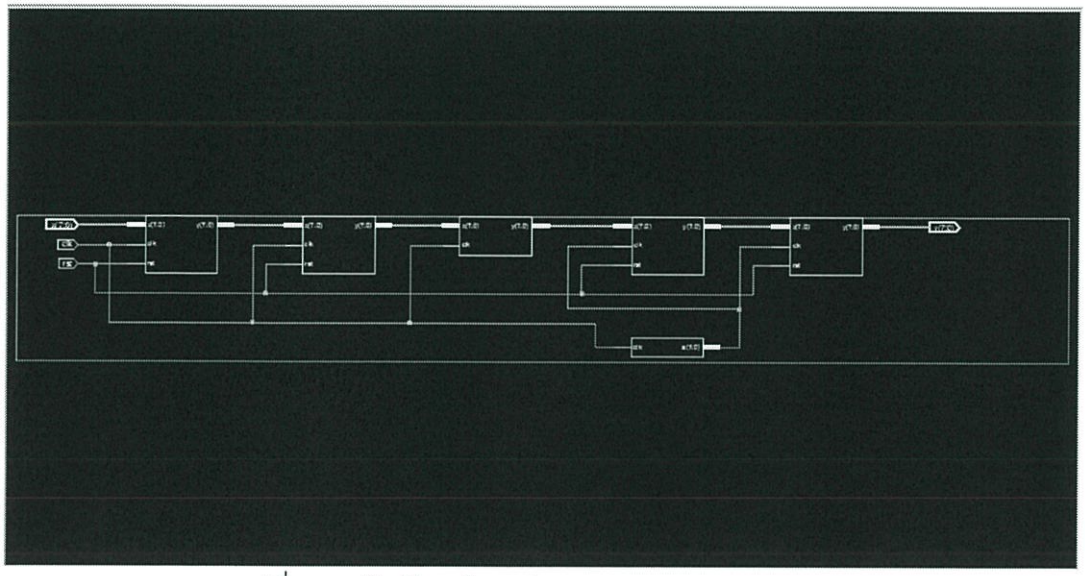
รูปที่ 4.39 สัญลักษณ์ของส่วน Comb Filter

จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



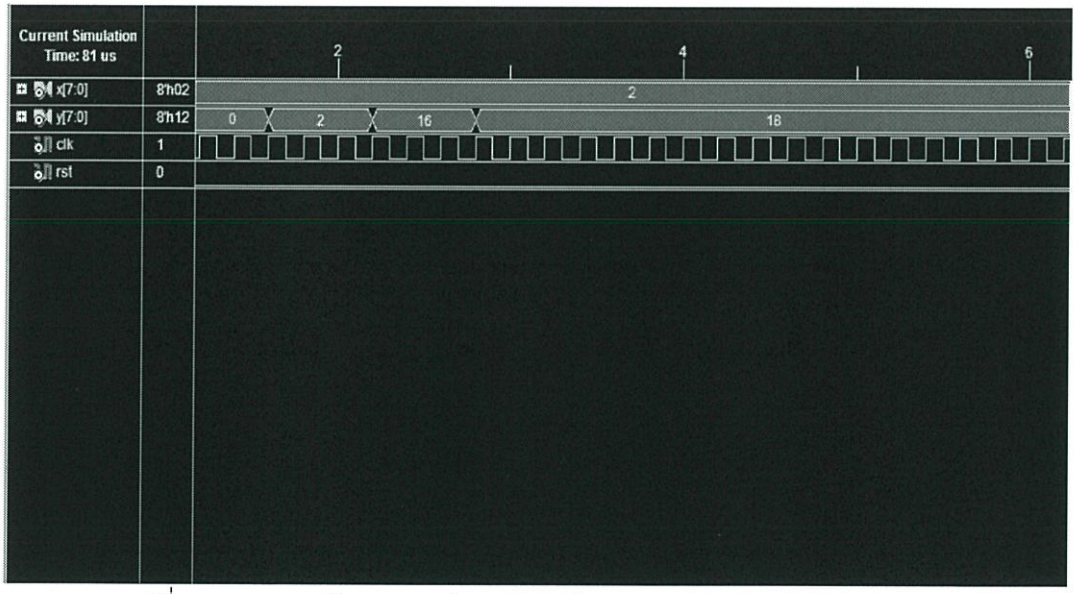
รูปที่ 4.40 ผลการจำลองการทำงานของส่วนวงจร Comb Filter

4.2.2.9 ส่วนของวงจร CIC Decimation Filter



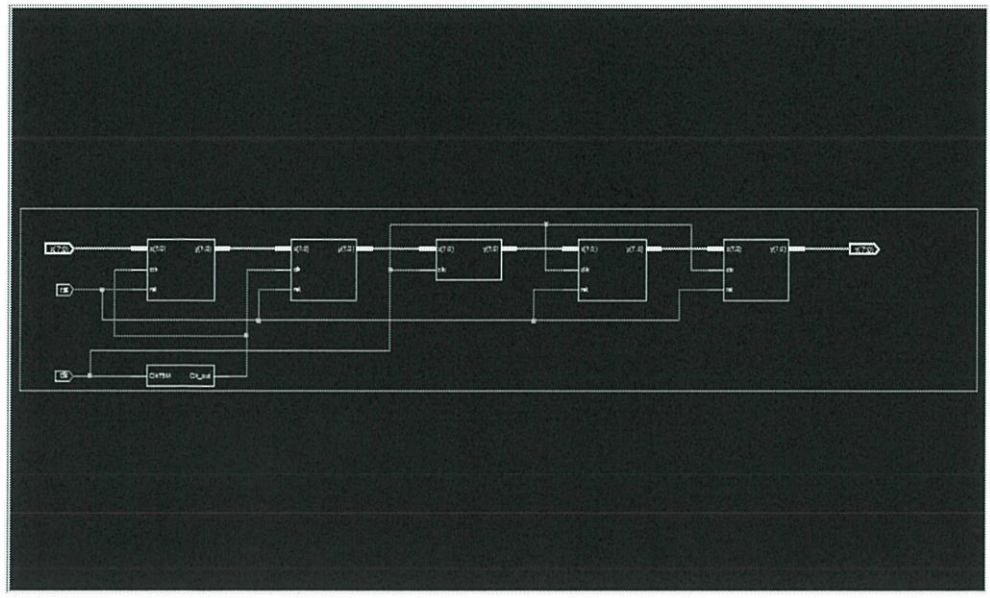
รูปที่ 4.41 สัญลักษณ์ของส่วน CIC Decimation Filter

จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



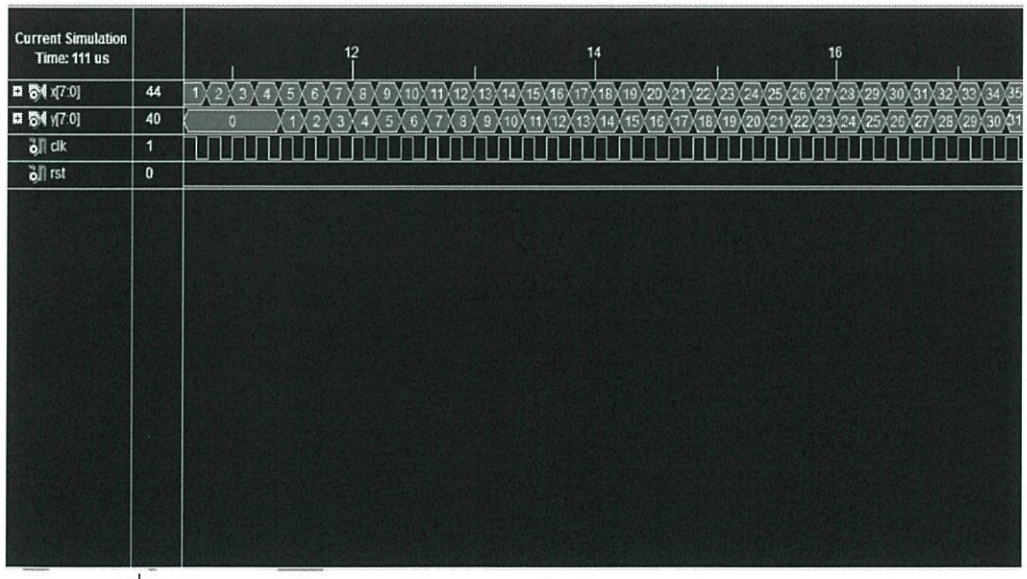
รูปที่ 4.42 ผลการจำลองการทำงานของส่วนวงจร CIC Decimation Filter

4.2.2.10 ส่วนของวงจร CIC Interpolation Filter



รูปที่ 4.43 สัญลักษณ์ของส่วน CIC Interpolation Filter

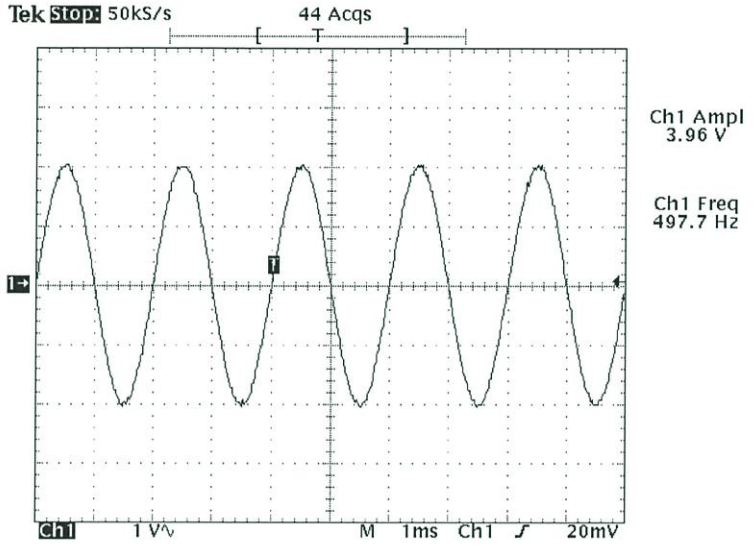
จากโปรแกรมที่เขียนขึ้นมาสามารถจำลองการทำงานได้ดังนี้



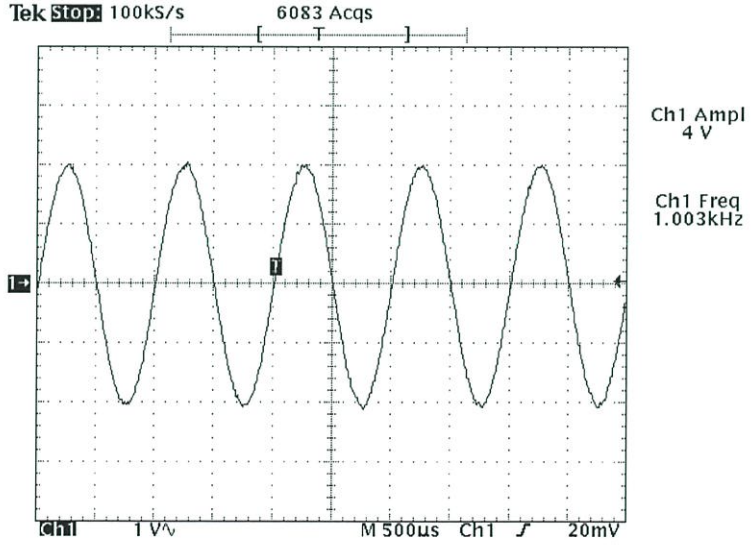
รูปที่ 4.44 ผลการจำลองการทำงานของส่วนวงจร CIC Interpolation Filter

4.3 ผลการทดสอบการทำงานของวงจร DDS

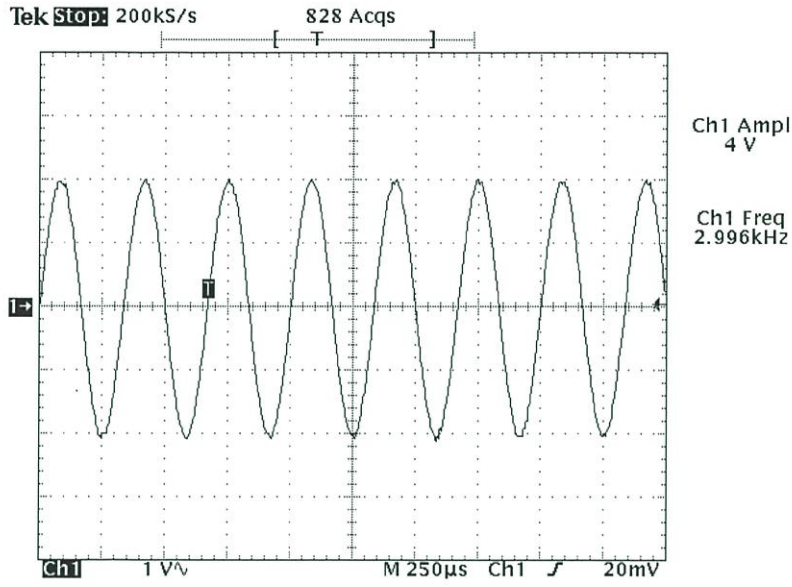
4.3.1 ผลการทดสอบการกำเนิดสัญญาณไซน์ที่ความถี่ค่าต่างๆ ดังนี้



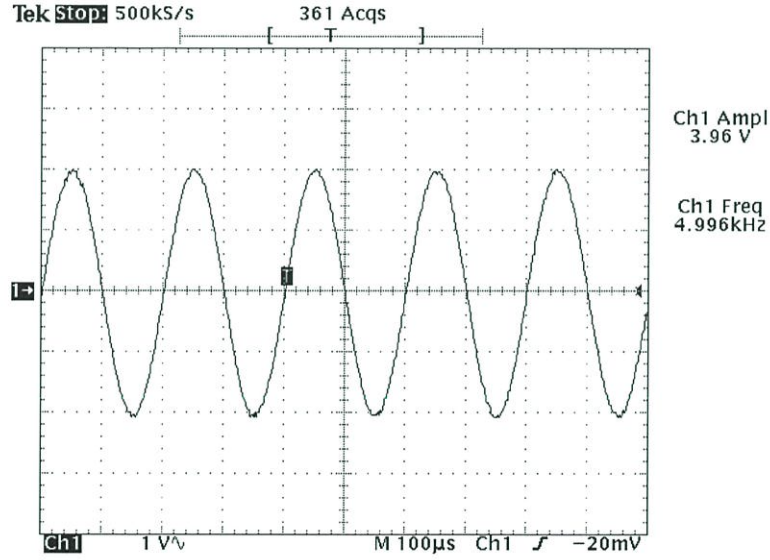
รูปที่ 4.45 สัญญาณไซน์ที่ความถี่ 500 Hz



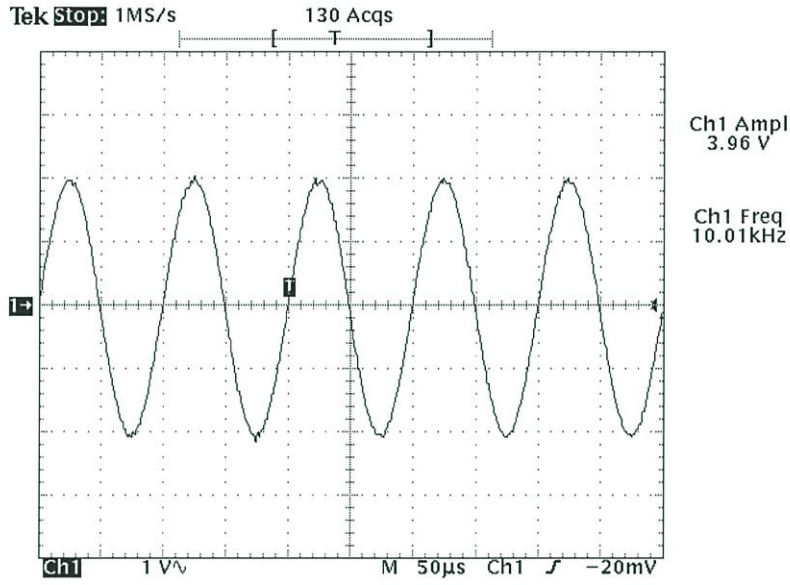
รูปที่ 4.46 สัญญาณไซน์ที่ความถี่ 1 kHz



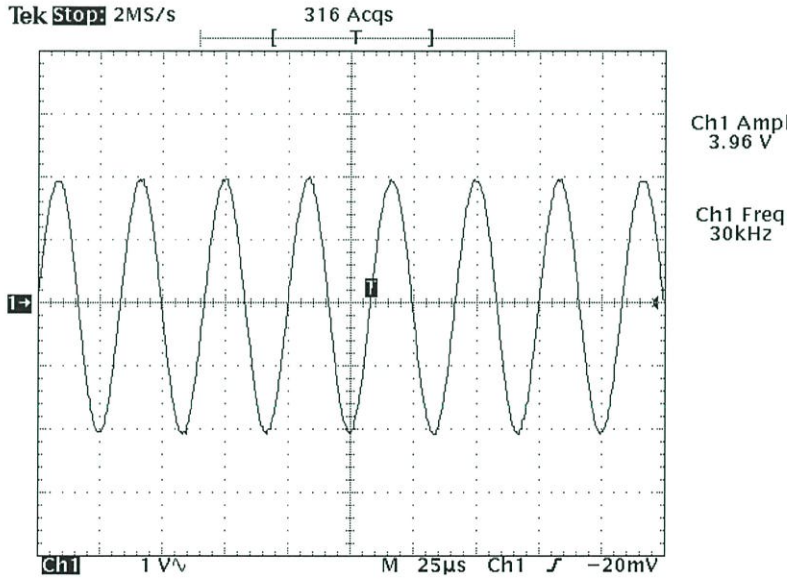
รูปที่ 4.47 สัญญาณไซน์ที่ความถี่ 3kHz



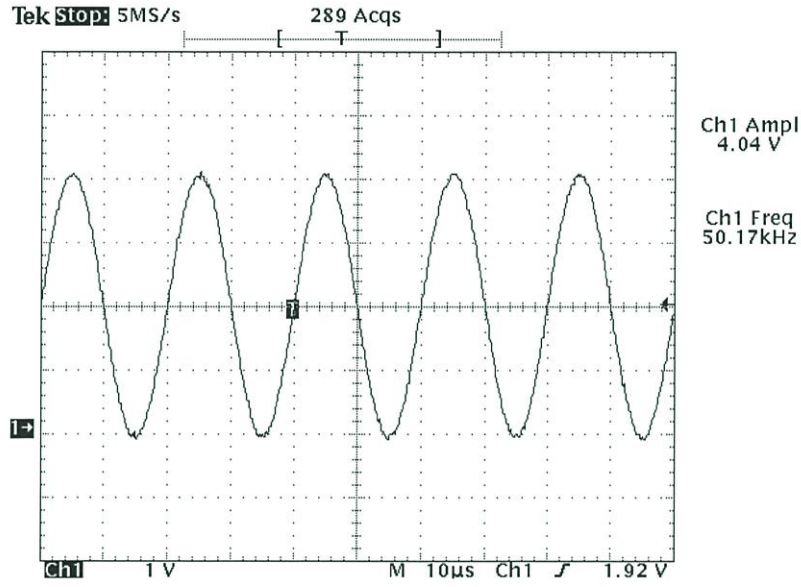
รูปที่ 4.48 สัญญาณไซน์ที่ความถี่ 5 kHz



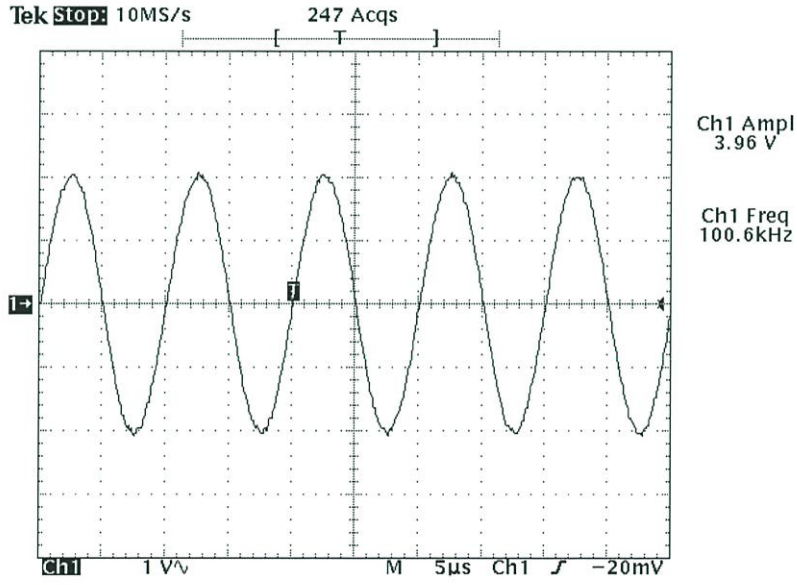
รูปที่ 4.49 สัญญาณไซน์ที่ความถี่ 10 kHz



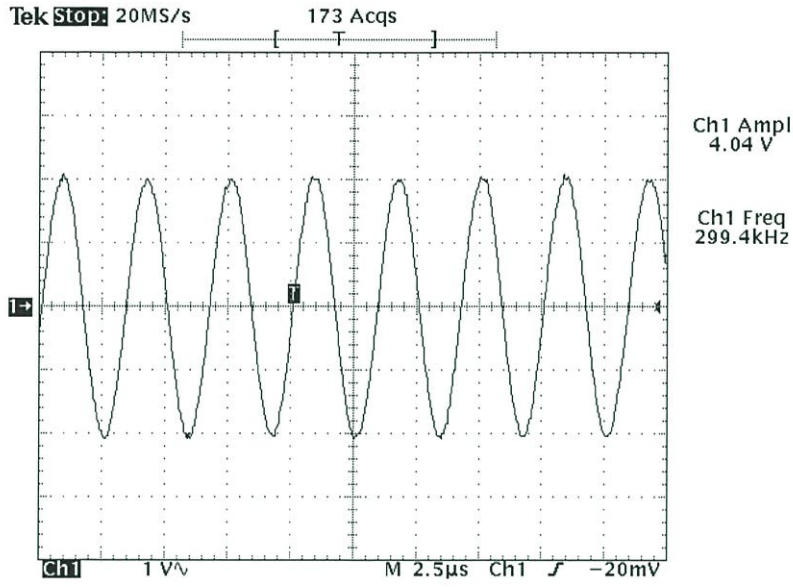
รูปที่ 4.50 สัญญาณไซน์ที่ความถี่ 30 kHz



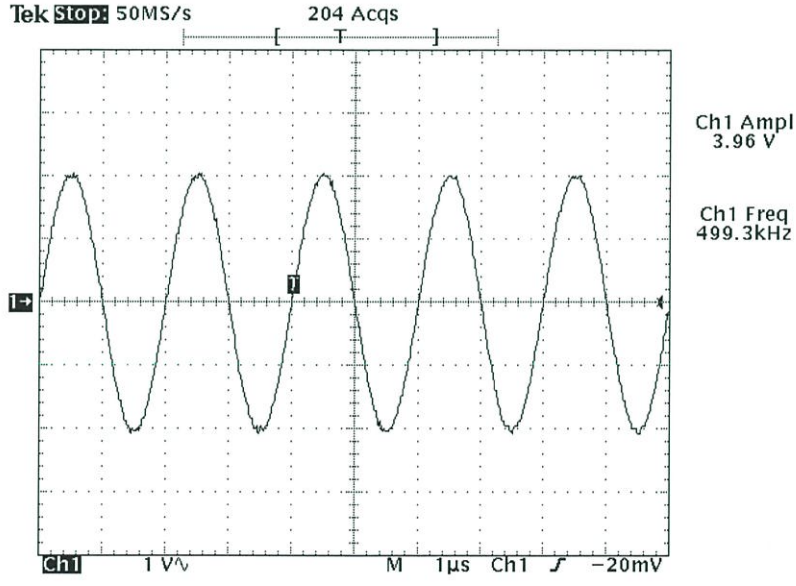
รูปที่ 4.51 สัญญาณไซน์ที่ความถี่ 50 kHz



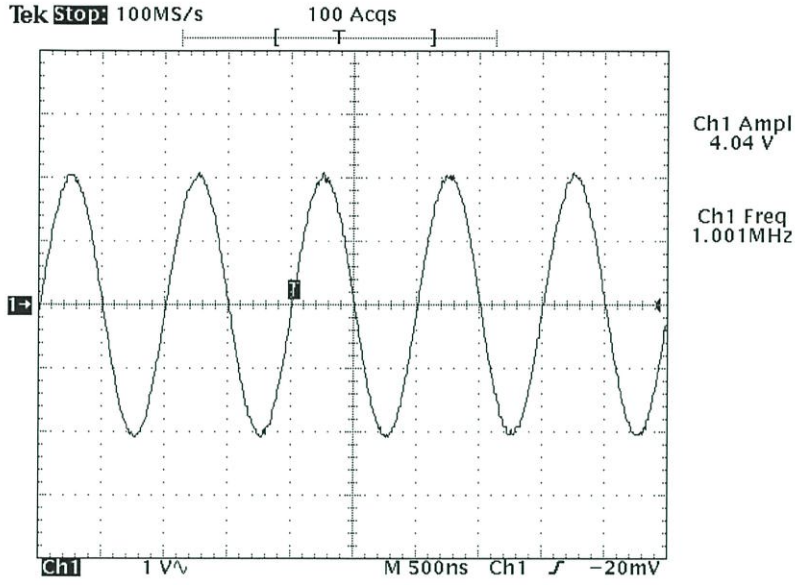
รูปที่ 4.52 สัญญาณไซน์ที่ความถี่ 100 kHz



รูปที่ 4.53 สัญญาณไซน์ที่ความถี่ 300 kHz

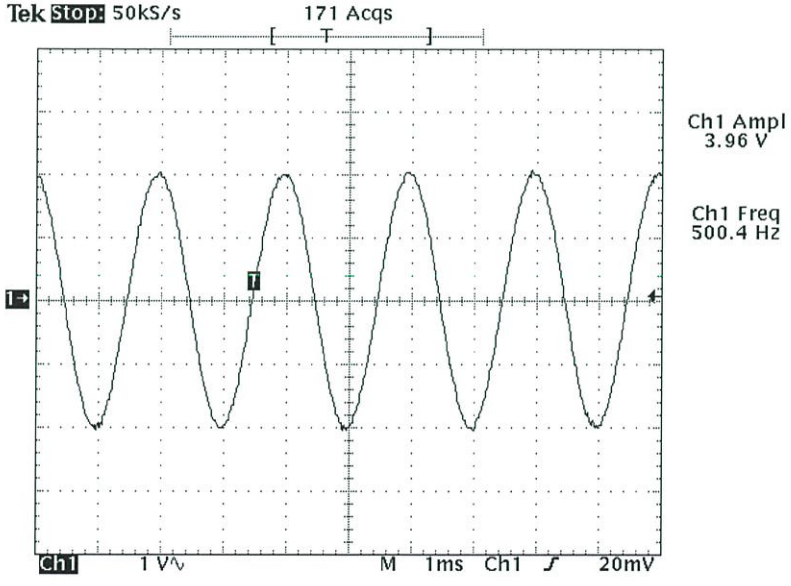


รูปที่ 4.54 สัญญาณไซน์ที่ความถี่ 500 kHz

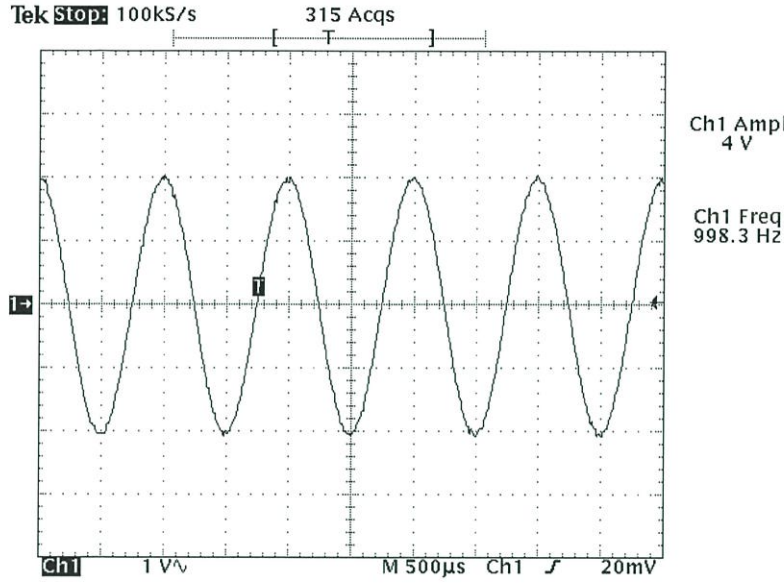


รูปที่ 4.55 สัญญาณไซน์ที่ความถี่ 1 MHz

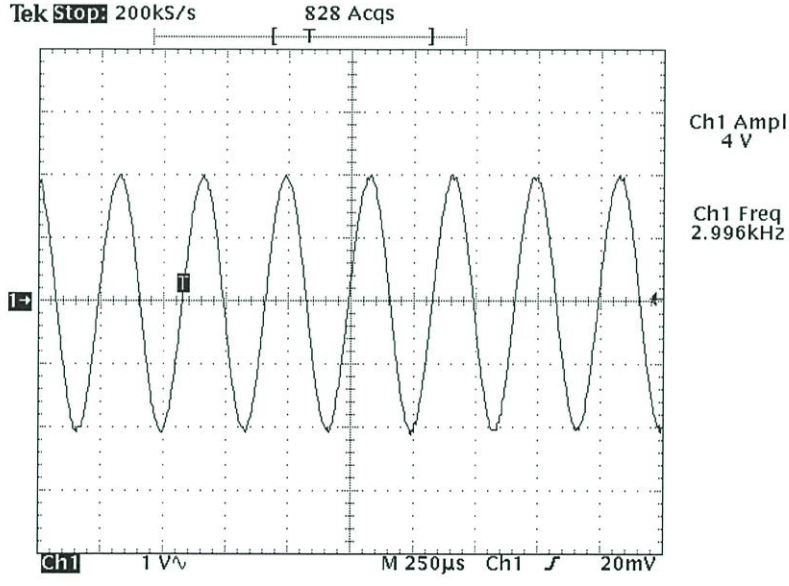
4.3.2 ผลการทดสอบการกำเนิดสัญญาณโคไซน์ที่ความถี่ค่าต่างๆ ดังนี้



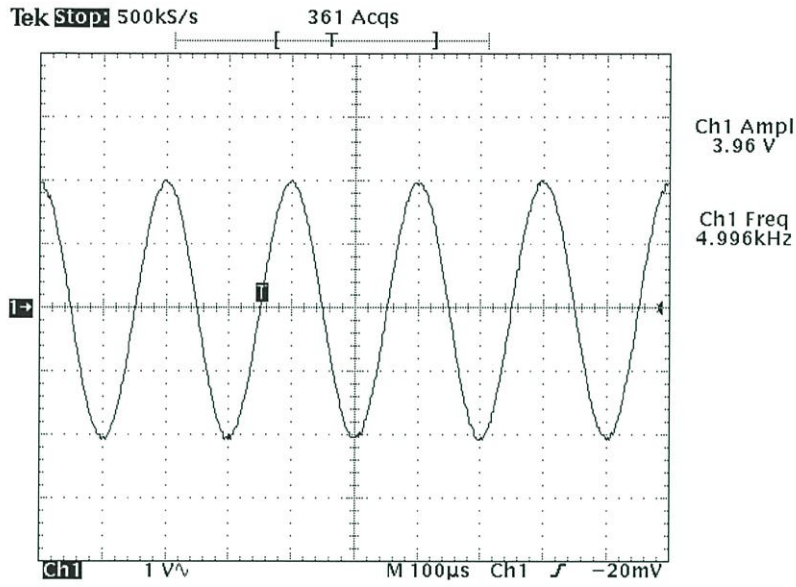
รูปที่ 4.56 สัญญาณโคไซน์ที่ความถี่ 500 Hz



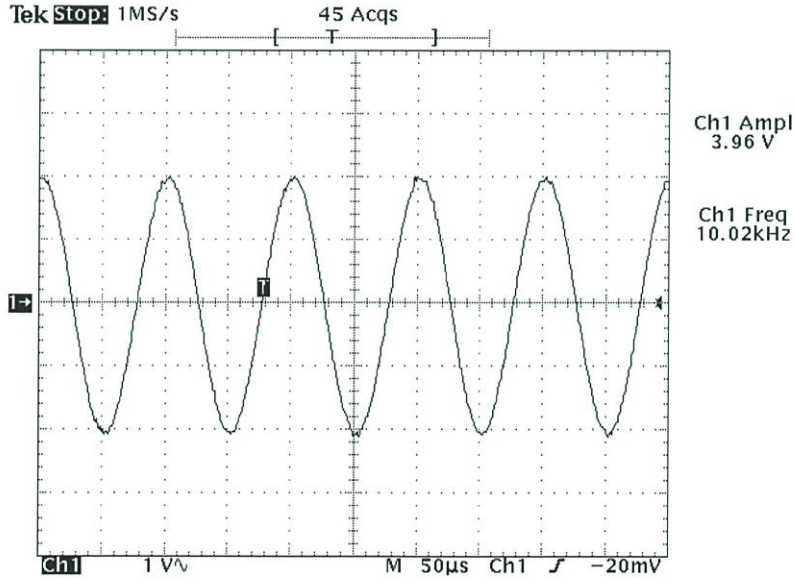
รูปที่ 4.57 สัญญาณโคไซน์ที่ความถี่ 1 kHz



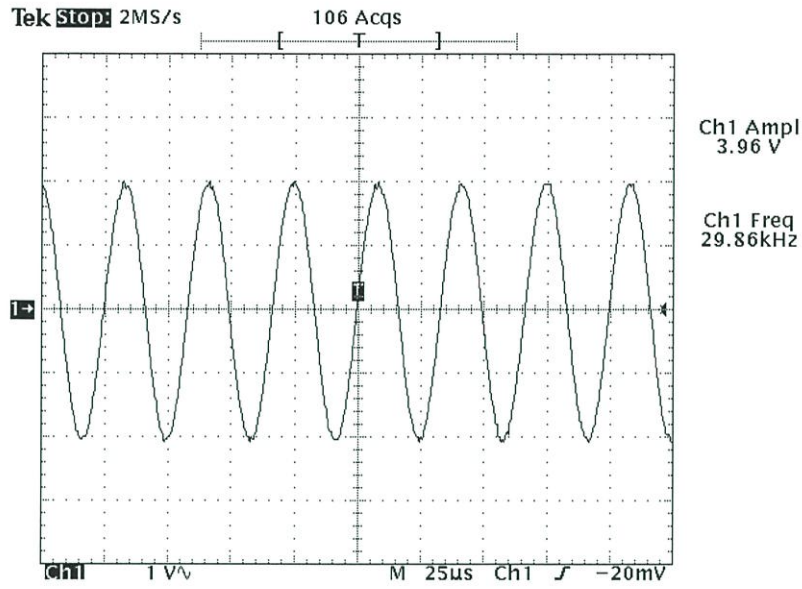
รูปที่ 4.58 สัญญาณโคไซน์ที่ความถี่ 3 kHz



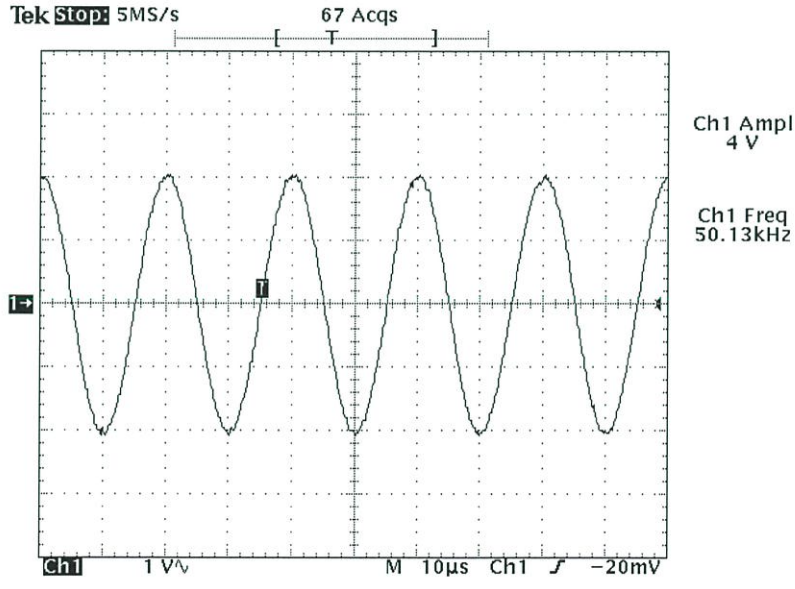
รูปที่ 4.59 สัญญาณโคไซน์ที่ความถี่ 5 kHz



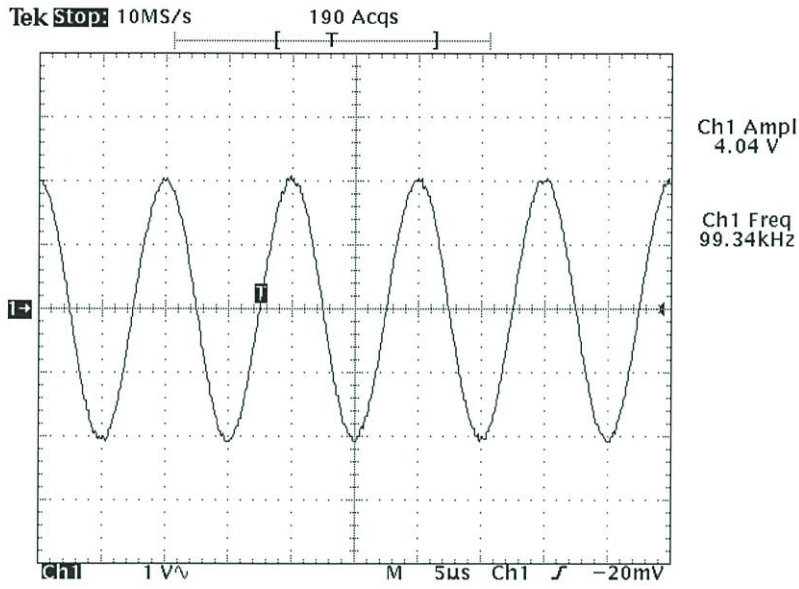
รูปที่ 4.60 สัญญาณโคไซน์ที่ความถี่ 10 kHz



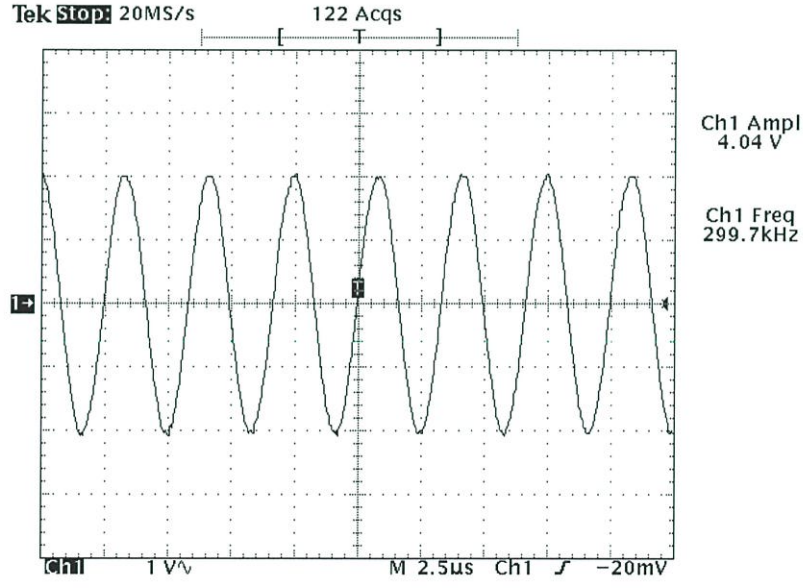
รูปที่ 4.61 สัญญาณโคไซน์ที่ความถี่ 30 kHz



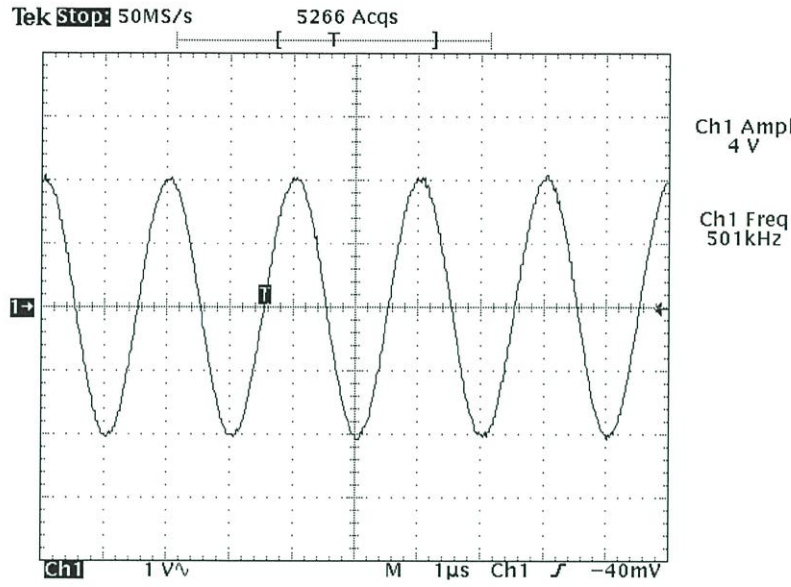
รูปที่ 4.62 สัญญาณโคไซน์ที่ความถี่ 50 kHz



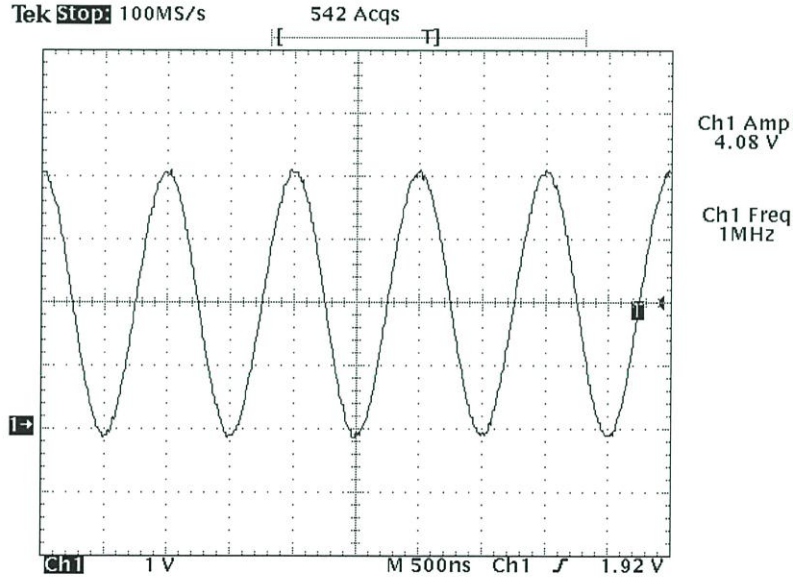
รูปที่ 4.63 สัญญาณโคไซน์ที่ความถี่ 100 kHz



รูปที่ 4.64 สัญญาณโคไซน์ที่ความถี่ 300 kHz



รูปที่ 4.65 สัญญาณโคไซน์ที่ความถี่ 500 kHz



รูปที่ 4.66 สัญญาณโคไซน์ที่ความถี่ 1 MHz

จากผลการทดลองในการกำเนิดสัญญาณ โดยใช้วิธี (Direct Digital synthesizer : DDS) โดยการใช้ตางราง Look Up Table เปิดดู จะได้เป็นรูปสัญญาณไซน์และโคไซน์ แต่อาจจะมีความผิดพลาดเนื่องจากปัจจัยต่างๆ ทำให้คลื่นความถี่ที่ได้เกิดความผิดเพี้ยนเล็กน้อย

ความถี่ของสัญญาณนาฬิกาที่ป้อนให้กับ FPGA ที่สังเคราะห์ความถี่คือ 8.192 MHz และ FPGA สามารถสังเคราะห์ความถี่ได้ ซึ่งสามารถกำเนิดสัญญาณโดยวิธีเปิดตารางเปิดดู จะความถี่ได้ตั้งแต่ 500 Hz – 1MHz

บทที่ 5

สรุปผลและข้อเสนอแนะ

5.1 สรุปผล

เทคโนโลยีเครื่องรับส่งที่กำหนดด้วยซอฟต์แวร์มีกระบวนการทำงานภายในเป็นแบบดิจิตอลซึ่งจะประกอบไปด้วยหลายส่วนด้วยกันแต่ส่วนที่เป็นหัวใจหลักของระบบ คือส่วนที่ทำหน้าที่ผลิตความถี่แบบดิจิตอล และส่วนที่ทำหน้าที่กรองสัญญาณเพื่อเปลี่ยนอัตราสุ่มตัวอย่างของสัญญาณ ซึ่งสามารถนำทฤษฎีการออกแบบวงจรสังเคราะห์ความถี่ดิจิตอลโดยตรง (Direct Digital Frequency Synthesizer : DDS) และวงจรกรองแบบ CIC Filter มาใช้ในจำลองการทำงาน

วงจรสังเคราะห์ความถี่ดิจิตอลโดยตรงนั้นจะอาศัยการเก็บค่าขนาดของสัญญาณไว้ในตารางเปิดดู (Lookup table) แล้วใช้การชี้ตำแหน่งในการกำเนิดสัญญาณออกมา โดยจะสังเคราะห์สัญญาณไซน์และโคไซน์ที่มีความถี่ 1 กิโลเฮิร์ตเพื่อใช้เป็นสัญญาณคลื่นพาห์

ในส่วนของวงจรกรอง CIC Filter นั้นจะมีหน้าที่หลักๆ ในการลดและเพิ่มอัตราการสุ่มตัวอย่างของสัญญาณ ประกอบไปด้วยสองส่วนหลักๆ คือ Decimation filter จะมีหน้าที่ในการลดอัตราการสุ่มตัวอย่าง ซึ่งสามารถนำไปใช้ในส่วนของภาคเครื่องรับสัญญาณในระบบ SDR และ Interpolation filter จะมีหน้าที่ในการเพิ่มอัตราการสุ่มตัวอย่าง ซึ่งสามารถนำไปใช้ในส่วนของภาคส่งในระบบ SDR

การลดและการเพิ่มอัตราการสุ่มตัวอย่างขึ้นอยู่กับการออกแบบว่าจะให้มีการลดหรือเพิ่มอัตราการสุ่มตัวอย่างกี่เท่า ซึ่งคุณสมบัติที่เด่นๆคือลักษณะการทำงานที่รวดเร็วเนื่องจากปราศจากตัวคูณสัมประสิทธิ์ฟิลเตอร์ เหมาะแก่การนำไปใช้ในการดำเนินการใน Hardware เช่น FPGA เป็นต้น

5.2 ข้อเสนอแนะ

การสร้างรูปคลื่นแบบไดเร็กดิจิตอลซินธิไซเซอร์จะเก็บข้อมูลของสัญญาณที่จะกำเนิดขึ้นมานั้นให้ครบคาบของสัญญาณ ซึ่งหากเรายิ่งเก็บข้อมูลของสัญญาณจำนวนมากเท่าไร ก็จะทำให้สัญญาณที่ผลิตออกมาใกล้เคียงกับความเป็นจริงมากเท่านั้น แต่จะมีข้อเสียคือจะสิ้นเปลืองเนื้อที่ในหน่วยความจำมากตามไปด้วย

บรรณานุกรม

[1] A. D. Stefano, G. Fiscelli, and C. G. Giaconia, "An FPGA-based software defined radio platform for the 2.4 GHz ISM band", *Ph. D. Research in Microelectronics and Electronics 2006*, pp. 73-76, 2006.

[2] E. W. Hansen and P. K. Manwaring, "Introducing signal processing through an advanced digital design course", *Proc. 2011 IEEE Digital Signal Processing Workshop and IEEE Signal Processing Education Workshop (DSP/SPE 2011)*, pp. 107-111, 2011.

[3] Santhosh Y N, N. Palacha, and C. P. Raj, "Design and VLSI implementation of interpolators/decimators for DUC/DDC", *Proc. The 3rd International Conference on Emerging Trends in Engineering and Technology (ICETET 2010)*, pp. 755-759, 2010.

[4] E. B. Hogenauer, "An economical class of digital filters for decimation and interpolation", *IEEE Trans. Acoustics, Speech, and Signal Processing*, vol. ASSP-29, no. 2, pp. 155-162, April 1981.

[5] M. P. Donadio, "CIC filter introduction", http://www.mikrocontroller.net/attachment/51932/cic2.pdf

[6] [1] MILIC, LJILJANA. *MULTIRATE FILTERING FOR DIGITAL SIGNAL PROCESSING.* University of Belgrade, Serbia : Yurchak Printing Inc, 2009.

[7] ศาสตราจารย์ดร.วิวัฒน์ กิรานนท์. *วิศวกรรมการสื่อสาร*, พิมพ์ครั้งที่ 4. กรุงเทพฯ : อักษรสยามการพิมพ์, 2546

[8] ผู้ช่วยศาสตราจารย์ดร.ศรวัฒน์ ชิวปรีชา. เอกสารประกอบการสอน *Digital Signal Processing AND Digital Filter Design*

[9] ผู้ช่วยศาสตราจารย์ดร.ศรวัฒน์ ชิวปรีชา. เอกสารประกอบการสอน Modern Digital System Design and Applications,

[10] ดร.ปัญญา สงวนวัตย์. *คู่มือ MATLAB ฉบับสมบูรณ์*, นนทบุรี : ไอดีซี, 2553

ข้อมูลประวัติคณะผู้วิจัย

หัวหน้าโครงการวิจัย

1. ชื่อ - นามสกุล (ภาษาไทย) นาย ศรวัฒน์ ชิวปรีชา
   ชื่อ - นามสกุล (ภาษาอังกฤษ) Mr. Sorawat Chivapreecha
2. หน่วยงานและสถานที่อยู่ที่ติดต่อได้สะดวก พร้อมหมายเลขโทรศัพท์ โทรสาร และไปรษณีย์อิเล็กทรอนิกส์ (e-mail)

สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์: 02-3298324, 02-3298326
โทรสาร: 02-3298325
Email: sorawat@telecom.kmitl.ac.th, kcsorawa@kmitl.ac.th

3. ประวัติการศึกษา

วุฒิการศึกษา	ปี พ.ศ. ที่จบ	สถาบัน
วิศวกรรมศาสตรดุษฎีบัณฑิต (วิศวกรรมไฟฟ้า)	2551	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
วิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า)	2545	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
วิศวกรรมศาสตรบัณฑิต (วิศวกรรมโทรคมนาคม)	2541	มหาวิทยาลัยเทคโนโลยีสุรนารี

4. ประสบการณ์งานวิจัยที่เกี่ยวข้อง และ/หรือที่ผ่านมา ทั้งภายในและภายนอกประเทศ โดยระบุสถานภาพในการทำวิจัยว่าเป็นผู้อำนวยการแผนงานวิจัย หัวหน้าโครงการวิจัย หรือผู้ร่วมวิจัยในแต่ละข้อเสนอการวิจัย

<u>โครงการวิจัยงบประมาณเงินรายได้ประจำปี 2554 คณะวิศวกรรมศาสตร์</u>

เรื่อง “การเข้ารหัส-ถอดรหัสลับแบบ Chaotic สำหรับความปลอดภัยในการสื่อสารโดยอาศัยปรากฏการณ์ไม่เป็นเชิงเส้นในวงจรกรองสัญญาณดิจิตอล : การออกแบบและการสร้าง” (สถานภาพ: หัวหน้าโครงการวิจัย โครงการวิจัยสิ้นสุด+ส่งรายงานวิจัยฉบับสมบูรณ์)

Research Scholarship

- Visiting Research Scholar at Department of Embedded Technology, School of Information Technology and Science, the Tokai University, Japan, April-June 2008. (Research Topics : "Hardware-Software Co-Design" and "VLSI Design")
- Visiting Research Scholar at Department of Embedded Technology, School of Information Technology and Science, the Tokai University, Japan, Oct.-Nov. 2009. (Research Topics : "Digital IC Design with Alliance Tools" and "VLSI Implementation of Tunable Biquad Digital Filter")

International Publications (5 ปีย้อนหลัง)

1. Jaraspat La-inchua, ***Sorawat Chivapreecha***, and Suttipong Thajchayapong, "An Improved Traffic Incident Detection System Using Fuzzy Logic," The 2013 IEEE Thailand Student Conference on Senior Capstone Project (IEEE Thailand SCAP 2013), Bangkok, Thailand, March 29, 2013.
2. Jaraspat La-inchua, ***Sorawat Chivapreecha***, and Suttipong Thajchayapong, "A New System for Traffic Incident Detection Using Fuzzy Logic and Majority Voting," The 10th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2013), Krabi, Thailand, May 15-17, 2013.
3. Wuttichai Putchana, ***Sorawat Chivapreecha***, and Tulaya Limpiti, "Wireless Intelligent Fall Detection and Movement Classification using Fuzzy Logic," Proc. The 2012 Biomedical Engineering International Conference (BMEiCON-2012), Ubon Ratchathani, Thailand, Dec. 5-7, 2012.
4. Piyamas Suapang, Chadaporn Naruephai, Methinee Thongyoun, and ***Sorawat Chivapreecha***, "Mammographic Masses Segmentation Based on Morphology," Proc. The 2012 Biomedical Engineering International Conference (BMEiCON-2012), Ubon Ratchathani, Thailand, Dec. 5-7, 2012.
5. Piyamas Suapang, Methinee Thongyoun, Rodjarin Boontawan, ***Sorawat Chivapreecha***, and Kobchai Dejhan, "A Mammography Database and Viewer System," Proc. The 2012 Biomedical Engineering International Conference (BMEiCON-2012), Ubon Ratchathani, Thailand, Dec. 5-7, 2012.
6. Anirut Trakultritrung and ***Sorawat Chivapreecha***, "Decomposed Distributed Arithmetic Structure for High Filter Length LMS Adaptive Filter," Proc. The 2nd International Symposium on Technology for Sustainability (ISTS 2012), pp. 485-488, Bangkok, Thailand, Nov. 21-24, 2012.

7. Chusit Pradabpet, Krung Luewattana, ***Sorawat Chivapreecha***, and Kobchai Dejhan, "The PTS Method with Iterated Local Search for PAPR Reduction in OFDM-WLAN Systems," Proc. The 2012 International Conference on Engineering, Applied Sciences, and Technology, pp. 142-146, Bangkok, Thailand, Nov. 21-24, 2012.
8. Dolchai Sookcharoenphol, ***Sorawat Chivapreecha***, and Pitak Thumwarin, "New Realization of Low Sensitivity Linear Phase Magnitude Complementary Filter Pair," Proc. The 2012 International Conference on Engineering, Applied Sciences, and Technology, pp. 460-464, Bangkok, Thailand, Nov. 21-24, 2012.
9. Narong Borijindakul, Chuwong Phongcharoenpanich, ***Sorawat Chivapreecha***, Monai Krairiksh, and Kittisak Phaebua, "Microwave Sensors for Sugar Concentration Measurement," Proc. The 2012 International Conference on Engineering, Applied Sciences, and Technology, pp. 479-482, Bangkok, Thailand, Nov. 21-24, 2012.
10. Nattawut Hochairat and ***Sorawat Chivapreecha***, "Design of Fractional Delay Allpass Filter Using Genetic Algorithm," Proc. The 2012 International Workshop on Smart Info-Media Systems in Asia (SISA 2012), pp.108-112, Bangkok, Thailand, Sept. 6-8, 2012.
11. Tiwakarn Saetang and ***Sorawat Chivapreecha***, "A New Design of Digital Filter for Digital Hearing Aids," Proc. The 2012 International Workshop on Smart Info-Media Systems in Asia (SISA 2012), pp.113-118, Bangkok, Thailand, Sept. 6-8, 2012.
12. Anirut Trakultritrung, Ekkawin Thanangchusin, and ***Sorawat Chivapreecha***, "Distributed Arithmetic LMS Adaptive Filter Implementation without Look-Up Table," Proc. The 9th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2012), Petchaburi, Thailand, May 16-18, 2012.
13. Supasin Kumsroy, ***Sorawat Chivapreecha***, and Akraphon Trirat, "On Hardware Realization of the Binomial Filter," Proc. 1st International Symposium on Technology for Sustainability (ISTS 2011), pp. 388-391, KMITL Bangkok, Thailand, Jan. 26-29, 2012.
14. Chusit Pradabpet, ***Sorawat Chivapreecha***, and Kobchai Dejhan, "An Improved GA by Using RCO for PAPR Reduction in OFDM Systems," Proc. 1st International Symposium on Technology for Sustainability (ISTS 2011), pp.194-197, KMITL Bangkok, Thailand, Jan. 26-29, 2012.
15. Parinya Soontornwong, ***Sorawat Chivapreecha***, and Chusit Pradabpet, "A Cubic Hermite Variable Fractional Delay Filter," Proc. The 2011 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2011), Chiang Mai, Thailand, Dec. 7-9, 2011.

16. ***Sorawat Chivapreecha***, "Universal Biquadratic Digital Filter with Tunable Capability," Proc. The 2011 IEEE Region 10 Conference (TENCON 2011), pp. 152-156, Bali, Indonesia, Nov. 21-24, 2011.
17. Pichet Srisangngam, ***Sorawat Chivapreecha***, and Kobchai Dejhan "A Design of IIR Based Digital Hearing Aids Using Genetic Algorithm", Proc. The 8th ECTI Conference (ECTI-CON 2011), Khon Kaen, Thailand, May 17-19, 2011.
18. Chusit Pradabpet, Yoshikazu Miyanaka, and ***Sorawat Chivapreecha*** "New Hybrid of PTS-CAPPR Methods with Non-Uniform Phase Factor and Coded SI Technique in OFDM Systems", Proc. The 8th ECTI Conference (ECTI-CON 2011), Khon Kaen, Thailand, May 17-19, 2011.
19. Ussanai Nithirochananont, ***Sorawat Chivapreecha***, Chanchai Peanvijarnpong, and Kobchai Dejhan "***GISTDA EOC Synthetic Aperture Radar Data Processing System***", *Proc. 6th International Colloquium on Signal Processing and Its Application (CSPA 2010)*, Malacca, Malaysia, May 21-23, 2010.
20. Chusit Pradabpet, Channarong Noybangyang, and ***Sorawat Chivapreecha*** "NEW HYBRID OF PTS-CAPPR METHODS FOR PAPR REDUCTION IN OFDM SYSTEMS", Proc. 25th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010), Pattaya, Thailand, July 4-7, 2010.
21. ***Sorawat Chivapreecha*** and Chusit Pradabpet "A NEW VARIABLE FRACTIONAL-DELAY FIR FILTER" Proc. 25th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010), Pattaya, Thailand, July 4-7, 2010.
22. Ussanai Nithirochananont, ***Sorawat Chivapreecha***, Chanchai Peanvijarnpong, and Kobchai Dejhan "***RADARSAT-1 DATA PRODUCTS VERIFICATION***", Proc. 25th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010), Pattaya, Thailand, July 4-7, 2010.
23. Chusit Pradabpet, Sutud U-thong, and ***Sorawat Chivapreecha*** "NEW PAPR REDUCTION IN OFDM SYSTEMS USING UNION ALGORITHM OF WL-SLM AND CAPPR TECHNIQUES" Proc. 25th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010), Pattaya, Thailand, July 4-7, 2010.
24. ***Sorawat Chivapreecha*** and Tian-Bo Deng "Very Low-Complexity Structure for Lagrange-Type Variable Fractional-Delay Filter", Proc. International Conference on Green Circuits and Systems, Shanghai, P.R. China, June 21-23, 2010.

25. Chusit Pradabpet, Sutud U-thong, ***Sorawat Chivapreecha***, and Yoshikazu Miyanaga "Blind Detection of Hybrid PTS-CAPPR Methods in OFDM Systems", Proc. 2010 International Workshop on Information Communication Technology (ICT 2010), KMITL, Bangkok, Thailand, August 24-25, 2010.
26. Chusit Pradabpet, Narong Ravinu, ***Sorawat Chivapreecha***, Boonying Knobnob and Kobchai Dejhan, "An Efficient Filter Structure for Multiplierless Sobel Edge Detection," *Proc. 2009 Conference on Innovative Technologies in Intelligent Systems and Industrial Applications (CITISIA 2009)*, pp. 40-44, Malaysia, July 25-26, 2009.
27. Naohiko Shimizu, Masami Ikura, Warangrat Wiriya and ***Sorawat Chivapreecha***, "A New Logic Circuit Design Methodology with UML," *Proc. 24th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2009)*, Jeju Island, Korea, July 5-8, 2009.
28. Chusit Pradabpet, ***Sorawat Chivapreecha***, Kobchai Dejhan and Surapan Yimman, "A New PTS Method Using GA for PAPR Reduction in OFDM-WLAN 802.11a Systems," *Proc. 6th International Joint Conference on Computer Science and Software Engineering (JCSSE2009)*, Phuket Thailand, May 13-15, 2009.
29. Ussanai Nithirochananont, ***Sorawat Chivapreecha*** and Kobchai Dejhan, "An FPGA-Based Implementation of Variable Fractional Delay Filter," *Proc. 5th International Colloquium on Signal Processing and Its Application (CSPA 2009)*, Kuala Lumpur, Malaysia, March 6-8, 2009.
30. ***Sorawat Chivapreecha***, Naohiko Shimizu and Kobchai Dejhan, "A New Multiplierless Sobel Edge Detection Filter Structure," *Proc. International Workshop on Nonlinear Circuits and Signal Processing (NCSP'09)*, Honolulu, Hawaii USA., March 1-3, 2009.
31. Ussanai Nithirochananont, Theetima Treepayak, ***Sorawat Chivapreecha***, Tian-Bo Deng and Kobchai Dejhan, "Discrete Pascal Filter and Its Hardware Realization," *Proc. 2008 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2008)*, pp. 461-464, Bangkok, Thailand, Feb. 8-10, 2009.