รายงานการวิจัยฉบับสมบูรณ์

เทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน
Defect and Yield Analysis of Electronics Devices on Silicon Wafer

นายวีระ เพ็งจันทร์

ได้รับทุนสนับสนุนงานวิจัยจากเงินรายได้ ประจำปีงบประมาณ พ.ศ. 2557
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

รายงานการวิจัยฉบับสมบูรณ์

เทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน

Defect and Yield Analysis of Electronics Devices on Silicon Wafer

นายวีระ เพ็งจันทร์

ได้รับทุนสนับสนุนงานวิจัยจากเงินรายได้ ประจำปีงบประมาณ พ.ศ. 2557

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ชื่อโครงการ (ภาษาไทย) เทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน
แหล่งเงิน เงินรายได้
ประจำปีงบประมาณ 2557 จำนวนเงินที่ได้รับการสนับสนุน 60,000 บาท
ระยะเวลาทำการวิจัย 1 ปี ตั้งแต่ 1 ตุลาคม 2556 ถึง 30 กันยายน 2557
ชื่อ-สกุล หัวหน้าโครงการ นายวีระ เพ็งจันทร์
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

บทคัดย่อ

งานวิจัยนี้นำเสนอเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน ด้วยวิธีการวิเคราะห์หาการกระจายตัวของความบกพร่องของไดโอดชนิดรอยต่อพี-เอ็น โดยใช้เทคนิคการอนุพันธ์ อุปกรณ์อิเล็กทรอนิกส์สร้างจากกระบวนการสร้างมาตรฐานของอุปกรณ์ซีมอสขนาด 0.8 ไมครอน จากนั้นจึงทำการวัดคุณลักษณะกระแส-แรงดัน และค่าความประจุไฟฟ้าของรอยต่อพี-เอ็นในช่วงแรงดันไบอัสตรง จากข้อมูลที่ได้นำไปวิเคราะห์ด้วยเทคนิคอนุพันธ์ ทำให้ได้ค่าช่วงชีวิตการก่อเกิดและค่าช่วงชีวิตการรวมตัวใหม่ จากนั้นนำมาแสดงผลในลักษณะของการกระจายตัวแบบแผนภาพ 3 มิติ ซึ่งจะเป็นประโยชน์ต่อการศึกษาวิเคราะห์ความบกพร่องหรือกระแสรั่วไหลที่เกิดจากผลของกระบวนการฝังประจุที่เกิดขึ้นในบริเวณรอยต่อพี-เอ็น

คำสำคัญ : รอยต่อพี-เอ็น กระแสรั่วไหล ความบกพร่องของซิลิคอน ค่าช่วงชีวิตการก่อเกิดและการรวมตัวใหม่ เทคโนโลยีซีมอส

Research Title: Defect and Yield Analysis of Electronics Devices on Silicon Wafer
Researcher: Mr. Weera Pengchan
Faculty: Engineering **Department:** Electronics Engineering

ABSTRACT

This research presents the technique for the defect and yield analysis of electronics devices on silicon wafer. The defect distribution for p-n junctions of diodes on silicon wafer were used the derivative technique. Electronic devices fabricated with 0.8 μm standard CMOS fabrication process. Next, the current - voltage and the capacitance – voltage of diode characteristics for forward bias were measured. The generation and recombination lifetime were obtained by using the derivative technique analysis. Then, the result was shown as the defect distribution with 3D contour map which is useful to the study of the defect or the leakage current that obtained from ion implantation process in p-n junctions.

Keywords : p-n junctions, leakage current, defects, generation and recombination lifetime, CMOS Technology

กิตติกรรมประกาศ

การวิจัยครั้งนี้ได้รับทุนสนับสนุนการวิจัยจากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จากแหล่งทุน เงินรายได้ ประจำปีงบประมาณ พ.ศ. 2557

ขอขอบคุณ ดร.อัมพร โพธิ์ใย ผู้อำนวยการศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) กระทรวงวิทยาศาสตร์และเทคโนโลยี สำหรับคำปรึกษาที่มีประโยชน์และแนวทางในการแก้ปัญหาต่างๆ ในการทำวิจัยครั้งนี้ด้วย

ขอขอบคุณ คุณอนุชา เรืองพาณิชย์ ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) กระทรวงวิทยาศาสตร์และเทคโนโลยี สำหรับคำปรึกษาด้านเทคนิคการวัด ข้อมูลการออกแบบและการจำลองแบบกระบวนการสร้าง

วีระ เพ็งจันทร์

สารบัญ

หน้า

บทคัดย่อภาษาไทย I
บทคัดย่อภาษาอังกฤษ II
กิตติกรรมประกาศ III
สารบัญ IV
สารบัญตาราง VI
สารบัญภาพ VII
บทที่ 1 บทนำ 1
1.1 ความเป็นมาและความสำคัญของปัญหา 1
1.1.1 การวิเคราะห์ผลผลิต 1
1.1.2 ความบกพร่องในซิลิคอน 2
1.2 วัตถุประสงค์ของการวิจัย 3
1.3 ขอบเขตของการวิจัย 3
1.4 ระเบียบวิธีวิจัย 3
1.5 ประโยชน์ที่คาดว่าจะได้รับของโครงการวิจัย 3
บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง 4
2.1 ความบกพร่องในโครงสร้างผลึก 4
2.1.1 โครงสร้างของสารของแข็ง 4
2.1.1.1 อสัณฐาน หรือ อะมอร์ฟัส (amorphous) 4
2.1.1.2 ผลึก (Crystalline) 4
2.1.2 โครงสร้างผลึก 5
2.1.2.1 ยูนิตเซลล์ หรือหน่วยเซลล์ (Unit cell) 5
2.1.2.2 ยูนิตเซลล์ 3 มิติ 6
2.1.3 โครงสร้างผลึกเพชร 7
2.1.4 พันธะอะตอม 8
2.1.4.1 พันธะไอออนิก 8
2.1.4.2 พันธะโควาเลนท์ 8
2.1.4.3 พันธะโลหะ 9
2.1.4.4 พันธะ Van Der Waals 10
2.1.5 ความไม่สมบูรณ์และสิ่งแปลกปลอมในของแข็ง 10
2.1.5.1 ความไม่สมบูรณ์ในของแข็ง 10
2.1.5.2 สิ่งแปลกปลอมในของแข็ง 11
2.2 รอยต่อพี-เอ็น (P-N Junction) 12
2.2.1 ปรากฏการณ์ที่รอยต่อพี-เอ็นในสภาวะสมดุลย์ 13
2.2.2 รอยต่อพี-เอ็นในขณะได้รับแรงดันไบอัสตรง (Forward Bias) 15
2.2.3 รอยต่อพี-เอ็นในขณะได้รับแรงดันไบอัสย้อนกลับ (Reverse Bias) 16

สารบัญ (ต่อ)

หน้า

บทที่ 3 วิธีดำเนินการวิจัย 18
3.1 การออกแบบการทดลอง 18
3.2 กระบวนการสร้างอุปกรณ์ไดโอด 19
3.3 เครื่องมือและวิธีการวัดข้อมูล 22
บทที่ 4 ผลการทดลองและวิเคราะห์ผล 24
4.1 การศึกษาคุณสมบัติพื้นฐานภายในรอยต่อพีเอ็น 24
4.2 การวิเคราะห์องค์ประกอบของกระแสในไดโอด 26
4.3 การวิเคราะห์องค์ประกอบของค่าเก็บความจุไฟฟ้าในไดโอด 28
4.4 การวิเคราะห์ความกว้างชั้นปลอดพาหะ 29
4.5 การศึกษาการกระจายตัวของความบกพร่องโดยวิธีอนุพันธ์ในรอยต่อพี-เอ็น 30
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ 37
บทที่ 6 สรุปผลผลิตที่ได้จากงานวิจัย 38
บรรณานุกรม 39
ภาคผนวก บทความได้รับการตีพิมพ์ 42
ข้อมูลประวัตินักวิจัย 48

สารบัญตาราง

ตารางที่ **หน้า**

4.1 รูปแบบเรขาคณิตของไดโอด..... 25

4.2 รูปแบบเรขาคณิตของไดโอด 30

สารบัญภาพ

ภาพที่ **หน้า**

2.1 ลักษณะโครงสร้างภายในของสารของแข็งโดยพิจารณาความเป็นระเบียบ..... 5
ในการจัดเรียงอะตอม (ก) อะมอร์ฟัส (ข) ผลึกหลายรูป (poly crystalline)
และ (ค) ผลึกรูปเดี่ยว (single crystalline)

2.2 ลักษณะรูปแบบของผลึก ซึ่งเกิดจากการเรียงตัวของยูนิตเซลล์จำนวนมากมาย..... 6
(ก) ลักษณะของแลททิซ (ข) หนึ่งยูนิตเซลล์ของแลททิซ
(ค) การเรียงตัวของยูนิตเซลล์ เพื่อประกอบเป็นผลึกหรือแลททิซที่สมบูรณ์
(ง) ลักษณะของยูนิตเซลล์อีกรูปแบบหนึ่ง

2.3 ลักษณะของแลททิซแบบ 3 มิติ (ก) แบบ Simple Cubic Cell..... 7
(ข) ยูนิตเซลล์ของแลททิซแบบ Simple Cubic Cell ที่ถูกต้อง
(ค) แบบ Body Centered Cubic (ง) แบบ Face Centered Cubic

2.4 (ก) หนึ่งยูนิตเซลล์ของโครงสร้างเพชร และ (ข) ภาพขยายส่วนมุมของ..... 8
ยูนิตเซลล์ ซึ่งเป็นการเกาะเกี่ยวระหว่างอะตอมหนึ่งกับ 4 อะตอมข้างเคียง

2.5 (ก) วาเลนท์อิเล็กตรอนของไฮโดรเจน และ (ข) พันธะโควาเลนท์ในโมเลกุลไฮโดรเจน..... 9

2.6 (ก) วาเลนท์อิเล็กตรอนของซิลิคอน และ (ข) พันธะโควาเลนท์ในผลึกซิลิคอน..... 9

2.7 โครงสร้างผลึกรูปเดี่ยว (ก) ความบกพร่องแบบช่องว่าง และ(ข) ความบกพร่องแบบแทรกตัว..... 11

2.8 ความบกพร่องแบบแนวเส้นในสองมิติ..... 11

2.9 โครงสร้างผลึกรูปเดี่ยว (ก) สิ่งแปลกปลอมแบบแทนที่ และ (ข) สิ่งแปลกปลอมแบบแทรกตัว..... 12

2.10 โครงสร้างรอยต่อพี-เอ็นของไดโอด..... 12

2.11 คุณสมบัติทางไฟฟ้าที่บริเวณรอยต่อพี-เอ็น..... 14

2.12 ค่าความจุไฟฟ้าที่บริเวณรอยต่อพี-เอ็น..... 15

2.13 รอยต่อพี-เอ็นซึ่งได้รับแรงดันไบอัสตรง..... 15

2.14 ลักษณะโครงสร้างแถบพลังงานของรอยต่อพี-เอ็น ขณะได้รับแรงดันไบอัสตรง V_A..... 16

2.15 รอยต่อพี-เอ็น ซึ่งได้รับแรงดันไบอัสย้อนกลับ..... 17

2.16 ลักษณะโครงสร้างแถบพลังงานของรอยต่อพี-เอ็น ขณะได้รับแรงดันไบอัสย้อนกลับ V_A..... 17

3.1 รูปทรงเรขาคณิตของไดโอดรอยต่อชนิด $p^+ - N_{well}$..... 18

3.2 โครงสร้างของอุปกรณ์อิเล็กทรอนิกส์ประเภทซีมอส..... 18

3.3 ขั้นตอนกระบวนการสร้างอุปกรณ์ไดโอด..... 21

3.4 เครื่องมือวิเคราะห์คุณสมบัติอุปกรณ์สารกึ่งตัวนำ..... 22

3.5 ตู้พร้อมแท่นวัดคุณสมบัติอุปกรณ์ 22

3.6 แผนผังการวัดคุณสมบัติไดโอด 23

สารบัญภาพ (ต่อ)

ภาพที่ **หน้า**

4.1 รอยต่อพี-เอ็นในโครงสร้างซีมอส 24
4.2 กราฟความสัมพันธ์ของกระแสและแรงดันของไดโอดที่มีรอยต่อชนิด p^+ - N_{well} 25
4.3 กราฟความสัมพันธ์ของค่าเก็บความจุไฟฟ้าและแรงดันของไดโอดที่มีรอยต่อ.ชนิด p^+ - N_{well} 26
4.4 องค์ประกอบของกระแสรั่วไหลในรอยต่อของไดโอด 26
4.5 กราฟความหนาแน่นกระแสของไดโอดที่มีรอยต่อพี-เอ็นชนิด p^+- N_{well} 26
4.6 กราฟความหนาแน่นค่าเก็บความจุไฟฟ้าของไดโอดที่มีรอยต่อพี-เอ็นชนิด p^+- N_{well} 29
4.7 ความกว้างชั้นปลอดพาหะด้านพื้นที่และด้านเส้นรอบรูปของไดโอดรอยต่อ p^+ - N_{well} 30
4.8 ความสัมพันธ์ของความหนาแน่นกระแสอิ่มตัวด้านพื้นที่ (J_{AO}) และแรงดันไบอัสตรง 32
4.9 ความสัมพันธ์ของค่า *exp(qV/2kT)* และ *qniWA/Jabr0* 34
4.10 การกระจายของค่า τ_g บนแผ่นซิลิคอน 35
4.11 การกระจายของค่า τ_r บนแผ่นซิลิคอน 35

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันเทคโนโลยีวงจรรวมของอุปกรณ์อิเล็กทรอนิกส์สารกึ่งตัวนำ มีจุดมุ่งหมายเพื่อเพิ่มคุณสมบัติและลดต้นทุนการผลิตของชิพ เทคโนโลยีนี้ไม่เพียงแต่ใช้ในการผลิตไมโครชิพเท่านั้น แต่ยังสามารถนำไปประยุกต์ใช้ในการสร้างตัวตรวจจับได้อีกด้วย คุณลักษณะอันเป็นเอกลักษณ์ของอุปกรณ์ชนิดนี้คือการรวมตัวตรวจจับหลายๆชนิดเข้าด้วยกันและยังมีการใช้พลังงานระดับต่ำด้วย จากเหตุผลของต้นทุนการผลิตอุปกรณ์เหล่านี้ เทคโนโลยีซีมอสระดับซับไมครอน จึงเป็นทางเลือกที่เหมาะสม เทคโนโลยีนี้การเจือสารด้วยระดับความเข้มข้นสูงลงบนแผ่นฐานรองเป็นสิ่งที่ต้องการ เพื่อให้สามารถควบคุมปรากฏการณ์ช่องแคบ (short channel effect) และกระแสรั่วไหลระดับต่ำ (low leakage current) รวมยังถึงการป้องกันปรากฏการณ์ Latch-up ที่จะเกิดขึ้นอีกด้วย ความเข้มข้นของบ่อแยกชนิดเอ็นหรือชนิดพีถูกเพิ่มขึ้นด้วยการเพิ่มปริมาณการเจือสารด้วยการฝังประจุ กระบวนการนี้นำไปสู่การทำลายแผ่นฐานรอง ซึ่งถูกคาดหวังว่าจะกำจัดได้ภายหลังการแอนนีลลิ่ง (annealing) วิธีการบำบัดด้วยความร้อนในเวลาสั้นๆ และที่อุณหภูมิต่ำให้แก่ความลึกรอยต่อภายหลังการฝังประจุเป็นสิ่งจำเป็น แต่อาจจะไม่เพียงพอที่จะกำจัดจุดบกพร่อง (Defect) ที่เกิดจากการฝังประจุได้ จุดบกพร่องเหล่านี้สามารถเป็นแหล่งกำเนิดของกระแสรั่วไหลในแต่ละส่วนของรอยต่อพี-เอ็นได้

1.1.1 การวิเคราะห์ผลผลิต (Yield Analysis)

ผลผลิตคืออัตราส่วนของจำนวนของอุปกรณ์ที่ผ่านการทดสอบทางไฟฟ้ากับจำนวนของอุปกรณ์ทั้งหมดภายใต้การทดสอบทางไฟฟ้า มักจะแสดงเป็นเปอร์เซ็นต์ (%) ทุกบริษัทด้านเซมิคอนดักเตอร์ มีความมุ่งมั่นที่จะเพิ่มอัตราผลผลิตจากการทดสอบของพวกเขา เนื่องจากว่าการทดสอบอัตราผลผลิตต่ำหมายถึงการสูญเสียเป็นจำนวนมากของต้นทุนที่เกิดขึ้นในการผลิตแผ่นเวเฟอร์ สาเหตุหลักของการสูญเสียผลผลิตเป็นปัญหามาจากกระบวนการผลิต การออกแบบผลิตภัณฑ์ และความบกพร่องในวงจร

ตัวอย่างของปัญหาที่เกิดจากกระบวนการผลิตที่อาจนำไปสู่อัตราผลผลิตต่ำ ได้แก่ 1) การเปลี่ยนแปลงที่มากเกินไปของชั้นความหนาออกไซด์ 2) การเปลี่ยนแปลงที่มากเกินไปของการเจือสาร ซึ่งอาจทำให้เกิดความต้านทานสูงในบางพื้นที่ 3) ปัญหาจากการจัดตำแหน่งมาส์ก 4) การปนเปื้อนของอิออน และ 5) การเปลี่ยนแปลงที่มากเกินไปของความหนาของชั้นโพลีซิลิคอน ซึ่งได้ผลให้การสกัดชั้นโพลีเกทมากเกิน จึงทำให้ทรานซิสเตอร์ทำงานผิดพลาด

การออกแบบผลิตภัณฑ์ที่ไม่ดี ยังจะนำไปสู่อัตราผลผลิต เทคโนโลยีการออกแบบที่ไม่เหมาะสมบางครั้งไม่สามารถชดเชยได้ด้วยกระบวนการสร้าง ตัวอย่างเช่น สารเจือในแผ่นฐานรอง การเติมสารเจือด้วยการยิงฝังประจุอิออน และความหนาชั้นอ๊อกไซด์ของเกท ซึ่งมีผลต่อแรงดันขีดเริ่มของทรานซิสเตอร์

แม้ว่าผลิตภัณฑ์ที่ได้รับการออกแบบอย่างถูกต้องและไม่มีปัญหาในการทำงานจะมีจำนวนมาก แต่อาจมีปัญหาการวิเคราะห์อัตราผลผลิตที่เป็นผลมาจากการปรากฏของจุดบกพร่องบนแผ่นเวเฟอร์ จุดบกพร่องมักจะเกิดจากการปนเปื้อนฝุ่นหรืออนุภาคในสภาพแวดล้อม หรือปัญหาจากเครื่องจักรที่ใช้ผลิตแผ่นซิลิคอนเวเฟอร์ นอกจากนี้จุดบกพร่องยังอาจเกิดจาก ความไม่สมบูรณ์ของโครงสร้างผลึกของซิลิคอนเอง

1.1.2 ความบกพร่องในซิลิคอน (Defect in Silicon)

ความบกพร่องอาจพบในแผ่นซิลิคอน อันเกิดขึ้นเนื่องจากเทคนิคการปลูกผลึกซิลิคอน ซึ่งเป็นปัจจัยสำคัญต่อการรั่วไหลของรอยต่อและผลผลิตรวมของอุปกรณ์ ทั้งกระแสรั่วไหลและผลผลิตรวมของอุปกรณ์ ขึ้นอยู่กับชนิดของแผ่นซิลิคอน เช่น แผ่นซิลิคอนแบบ Czochralski (Cz) หรือแบบ Epitaxial (Epi) แผ่นซิลิคอนแบบ Epitaxial จะมีกระแสรั่วไหลต่ำกว่าและได้ผลผลิตรวมของอุปกรณ์มากกว่าแบบ Czochralski แต่เมื่อพิจารณาค่าใช้จ่ายต่อชิปแล้วพบว่าแบบ Epitaxial จะใช้มากกว่า ด้วยเหตุนี้จึงเป็นข้อจำกัดของการใช้แผ่นซิลิคอนแบบ Epitaxial ในการสร้างวงจรไมโครโปรเซสเซอร์ ขณะที่แผ่นซิลิคอนแบบ Czochralski ถูกใช้อย่างแพร่หลายในวงจรหน่วยความจำต่างๆ

กระแสรั่วไหลในรอยต่อพี-เอ็น เป็นพารามิเตอร์หลักที่สำคัญอันหนึ่งในเทคโนโลยีซับไมครอน ซึ่งส่งผลกระทบต่อคุณสมบัติการทำงานของอุปกรณ์ กระแสรั่วไหลนี้มีความสัมพันธ์อย่างมากกับความบกพร่องที่มีผลทางไฟฟ้าในซิลิคอน ที่ถูกเหนี่ยวนำขึ้นจากกระบวนการสร้างและ/หรือการปลูกผลึกซิลิคอน ซึ่งเป็นประเด็นสำคัญในการจำกัดกระแสรั่วไหลโดยการควบคุมความบกพร่องเหล่านี้ทั้งก่อนและหลังกระบวนการสร้างให้มีขนาดที่เล็กลงและมีปริมาณความหนาแน่นลดลงเป็นสิ่งจำเป็นที่ต้องพิจารณาในเทคโนโลยีอนาคต

ในทางกลับกัน การศึกษาถึงความบกพร่องที่มีผลทางไฟฟ้าในซิลิคอน ทำได้โดยการวิเคราะห์จากกระแสรั่วไหลที่เกิดขึ้น โดยการใช้เทคนิคไดโอดที่มีโครงสร้างเหมาะสม สามารถใช้ศึกษาพารามิเตอร์ของฐานรองที่เกี่ยวข้อง โดยการพิจารณากระแสรั่วไหล ซึ่งเทคนิคที่รู้จักกันแพร่หลายคือ Deep Level Transient Spectroscopy (DLTS)

Deep Level Transient Spectroscopy (DLTS) เป็นเครื่องมือวิเคราะห์เพื่อการศึกษาความบกพร่องที่มีผลทางไฟฟ้า (หรือ charge carrier traps) ในสารกึ่งตัวนำ เครื่อง DLTS จะกำหนดพารามิเตอร์พื้นฐานของความบกพร่องและวัดค่าความหนาแน่นของความบกพร่องที่มีอยู่ในวัสดุ บางส่วนของพารามิเตอร์จะถูกพิจารณาเพื่อใช้ระบุลักษณะและวิเคราะห์ความบกพร่องเหล่านั้น

เครื่อง DLTS ใช้ศึกษาความบกพร่องที่ปรากฏอยู่ในบริเวณชั้นปลอดพาหะ (depletion region) ของอุปกรณ์อิเล็กทรอนิกส์ โดยทั่วไปนิยมใช้ไดโอดชนิดรอยต่อพี-เอ็น

เทคนิคของ DLTS มีความไวมากกว่าเทคนิคการวิเคราะห์สารกึ่งตัวนำแบบอื่นๆ ตัวอย่างเช่น เครื่อง DLTS สามารถตรวจจับสิ่งปนเปื้อน (impurities) และความบกพร่องที่มีความหนาแน่นจำนวน 1 ใน 10^{12} ของอะตอมในแผ่นซิลิคอน ด้วยคุณลักษณะเด่นนี้รวมถึงการออกแบบเทคนิคที่เรียบง่าย ทำให้เครื่อง DLTS เป็นที่นิยมมากในห้องปฏิบัติการวิจัยและโรงงานผลิตวัสดุสารกึ่งตัวนำ

เทคนิค DLTS ได้นำเสนอครั้งแรกโดย David Vern Lang จาก Bell Telephone Laboratories ในปี 1974 และเขาได้สิทธิบัตรในสหรัฐอเมริกาในปี 1975

ผู้วิจัยนำเสนองานวิจัยเกี่ยวกับเทคนิคการวิเคราะห์ความบกพร่องที่มีผลทางไฟฟ้าในสารกึ่งตัวนำ โดยมีลักษณะของผลการวิเคราะห์คล้ายกับเทคนิค DLTS แต่ใช้เพียงเครื่องมือวัดพื้นฐานในการวัดคุณสมบัติของไดโอด และการวิเคราะห์ทางคณิตศาสตร์ ซึ่งทำให้สามารถอธิบายปรากฏการณ์ของความบกพร่องที่ปรากฏในแผ่นซิลิคอนได้ เทคนิคนี้เป็นการวิเคราะห์ที่ง่าย ไม่ซับซ้อน และได้ผลวิเคราะห์ที่เชื่อถือได้ ที่สำคัญสามารถใช้ทดแทนเครื่อง DLTS ที่มีราคาสูงหลักร้อยล้านบาทได้

จากการศึกษาเทคนิคการวิเคราะห์ดังกล่าว ผู้วิจัยคาดหวังว่าการวิจัยนี้จะเป็นประโยชน์อย่างมากต่อการพัฒนาอุตสาหกรรมไมโครอิเล็กทรอนิกส์ในประเทศไทยหรือประเทศอื่นๆที่มีขีดจำกัดในการซื้อ

เครื่องจักรที่มีราคาสูง ดังนั้นผู้วิจัยจึงได้นำงานวิจัยมาประยุกต์ใช้งาน โดยเฉพาะด้านการวิเคราะห์อัตราผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์ภายหลังจากกระบวนการสร้างบนแผ่นซิลิคอน

1.2 วัตถุประสงค์ของโครงการวิจัย

2.1.1. เพื่อศึกษาเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน

2.1.2. เพื่อพัฒนาองค์ความรู้จากงานวิจัยและพัฒนาสู่ภาคอุตสาหกรรม

2.1.3. เพื่อเผยแพร่ผลงานวิชาการสู่สังคม

1.3 ขอบเขตของโครงการวิจัย

1.3.1. ผลการวิเคราะห์ที่ได้เป็นงานวิจัยที่วิเคราะห์ผลเชิงคณิตศาสตร์และไม่มีการเปรียบเทียบผลที่ได้กับเครื่องจักรมาตรฐานด้วยเงื่อนไขด้านการเงินและเวลา แต่โครงการวิจัยนี้มุ่งเน้นที่การประยุกต์ใช้ผลงานวิจัยเพื่อการทดลองใช้จริง และก่อให้เกิดประโยชน์ทางด้านการพัฒนาอุตสาหกรรมอิเล็กทรอนิกส์ภายในประเทศ

1.3.2. กระบวนการสร้างอุปกรณ์: ใช้มาตรฐานกระบวนการสร้างแบบซีมอส 0.8 ไมโครเมตร ที่พัฒนาขึ้นโดยศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์

1.3.3. สถานที่: กระบวนการสร้างและการวัดคุณสมบัติของอุปกรณ์ ทำที่ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ อำเภอบางน้ำเปรี้ยว จังหวัดฉะเชิงเทรา

1.3.4. ระยะเวลา: เริ่ม 1 ตุลาคม 2556 ถึง 30 กันยายน 2557

1.4 ระเบียบวิธีวิจัย

- ศึกษาและออกแบบต้นแบบลวดลายอุปกรณ์ เพื่อจัดทำกระจกมาส์กต้นแบบ
- ทำการสร้างอุปกรณ์ด้วยกระบวนการสร้างมาตรฐานของซีมอส
- นำอุปกรณ์ที่สร้างเสร็จมาวัดคุณสมบัติทางไฟฟ้า
- วิเคราะห์ผลจากการวัดคุณสมบัติทางไฟฟ้าของอุปกรณ์
- สรุปผลการวิเคราะห์และเผยแพร่ผลงานในรูปบทความทางวิชาการ
- จัดทำรายงานสรุปโครงการแก่คณะฯ

1.5 ประโยชน์ที่คาดว่าจะได้รับของโครงการวิจัย

ภายหลังจบโครงการวิจัย สิ่งที่คาดว่าจะได้มีดังนี้

- มีเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน ซึ่งวิจัยและพัฒนาในประเทศ สามารถใช้ทดแทนเครื่องมือวิเคราะห์ราคาแพงจากต่างประเทศ
- เผยแพร่ผลงานในรูปแบบบทความฉบับสั้น (Short paper) ในวารสารวิชาการนานาชาติที่อยู่ในฐานข้อมูล ISI หรือ SJR หรือบทความในวารสารวิชาการนานาชาติที่ไม่อยู่ในฐานข้อมูล ISI หรือ SJR แต่ได้รับการยอมรับ เช่น Scopus หรือ TCI เป็นต้น อย่างน้อย 1 บทความ

บทที่ 2
ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

2.1 ความบกพร่องในโครงสร้างผลึก (Defect in Crystals)

2.1.1 โครงสร้างของสารของแข็ง

สารของแข็งหรือวัสดุสถานะของแข็ง (solid state materials) เกิดขึ้นได้โดยการเกาะเกี่ยวระหว่างอะตอมจำนวนมากมายของธาตุ แต่ละอะตอมจะเกาะเกี่ยวกันอย่างแข็งแรง ลักษณะการเรียงตัวของอะตอมภายในสารของแข็งและรูปแบบการเกาะเกี่ยวระหว่างอะตอม จะมีผลไปถึงคุณสมบัติทางไฟฟ้าของสารของแข็งนั้นด้วย อาจพิจารณาจัดแบ่งลักษณะโครงสร้างของสารของแข็ง ตามลักษณะการเกาะเกี่ยวและการเรียงตัวของอะตอมได้เป็น 2 ประเภท คือ

ก. โครงสร้างแบบอผลึก (non crystalline) หรืออสัณฐาน หรืออะมอร์ฟัส (amorphous)

ข. โครงสร้างแบบผลึก (crystalline)

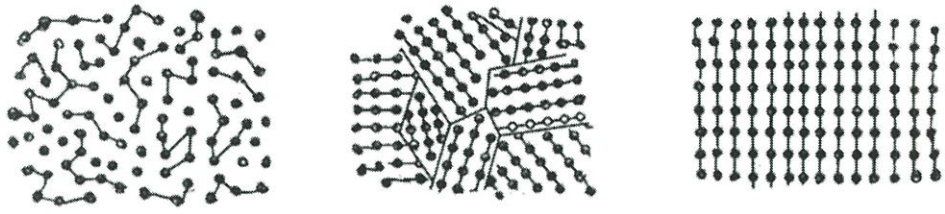
2.1.1.1 อสัณฐาน หรือ อะมอร์ฟัส (amorphous)

อสัณฐาน หรือ อะมอร์ฟัส หมายถึงลักษณะโครงสร้างของสารของแข็ง ซึ่งมีการจัดเรียงของอะตอมเป็นไปอย่างไม่เป็นระเบียบ ไม่มีรูปแบบที่แน่นอน อะตอมต่างๆจะเรียงตัวอย่างกระจัดกระจายไร้รูปแบบ และไม่มีตำแหน่งที่อยู่ที่แน่นอน ดังแสดงในรูปที่ 2.1(ก) ทำให้วัสดุที่มีลักษณะโครงสร้างเช่นนี้ มีคุณสมบัติทางไฟฟ้าที่ไม่แน่นอน เปลี่ยนไปตามสภาพแวดล้อม ซึ่งไม่สามารถจะควบคุมได้ จึงไม่เหมาะสมหรือไม่สามารถที่จะนำไปใช้เป็นวัสดุสำหรับสร้างเป็นชิ้นส่วนอิเล็กทรอนิกส์หรืออุปกรณ์สารกึ่งตัวนำได้

ในปัจจุบันได้มีการศึกษาวิจัย และทดลองสร้างอุปกรณ์สารกึ่งตัวนำจากวัสดุสารกึ่งตัวนำแบบอะมอร์ฟัสกันอย่างกว้างขวาง คือ มีสิ่งประดิษฐ์บางชนิดสามารถสร้างจากอะมอร์ฟัสได้ แต่คุณภาพหรือประสิทธิภาพของสิ่งประดิษฐ์ จะต้องได้รับการพัฒนาต่อไป ดังนั้นการผลิตในเชิงพาณิชย์จึงยังไม่เป็นที่นิยม และจุดเด่นของวัสดุประเภทนี้ก็คือ การใช้ต้นทุนในการสร้างต่ำ เพราะไม่ต้องเสียค่าใช้จ่ายในการทำให้วัสดุเป็นผลึก ตัวอย่างสิ่งประดิษฐ์จากอะมอร์ฟัส ได้แก่ เซลล์แสงอาทิตย์ (solar cells) ทรานซิสเตอร์ชนิดฟิล์มบางของอะมอร์ฟัสซิลิคอน เป็นต้น

2.1.1.2 ผลึก (Crystalline)

ผลึก หมายถึงสารของแข็งที่มีลักษณะโครงสร้างภายใน ซึ่งมีการจัดเรียงตัวของอะตอมเป็นไปอย่างมีระเบียบ มีรูปแบบที่แน่นอน โดยอะตอมต่างๆจะมีตำแหน่งที่อยู่แน่นอน ในทางปฏิบัติจะหาผลึกที่สมบูรณ์ร้อยเปอร์เซ็นต์ได้ยาก เพราะอย่างไรก็ตาม มักจะเกิดความบกพร่อง (defect) หรือจุดตำหนิบ้างไม่มากก็น้อย ทำให้ความเป็นระเบียบของอะตอมสูญเสียไป ความบกพร่องมีหลายลักษณะและมีสาเหตุการเกิดที่แตกต่างกัน



(ก) (ข) (ค)

รูปที่ 2.1 ลักษณะโครงสร้างภายในของสารของแข็งโดยพิจารณาความเป็นระเบียบในการจัดเรียงอะตอม (ก) อะมอร์ฟัส (ข) ผลึกหลายรูป (poly crystalline) และ (ค) ผลึกรูปเดี่ยว (single crystalline)

ดังนั้นจึงแบ่งวัสดุสารของแข็งที่เป็นผลึกออกเป็น 2 ชนิด คือ

ก) ผลึกไม่สมบูรณ์ หมายถึง สารของแข็งที่มีความบกพร่องเป็นจำนวนมาก หรือมีลักษณะของผลึกแต่ไม่ต่อเนื่อง หรือมีความเป็นระเบียบน้อย ดังแสดงในรูปที่ 2.1(ข) วัสดุดังกล่าวนิยมเรียกกันว่า ผลึกโพลีคริสตอล (Poly Crystalline) หรือผลึกหลายรูป

ข) ผลึกที่สมบูรณ์ หมายถึง สารของแข็งที่มีความบกพร่อง หรือตำหนิมีจำนวนน้อย อะตอมส่วนใหญ่มีการเรียงตัวอย่างเป็นระเบียบ และมีรูปแบบที่แน่นอนเหมือนกันทั้งหมด ผลึกชนิดนี้นิยมเรียกกันว่า ผลึกรูปเดี่ยว (Single Crystalline) ดังแสดงในรูปที่ 2.1(ค)

อุปกรณ์สารกึ่งตัวนำ ส่วนมากที่ใช้งานกันในปัจจุบัน สร้างมาจากผลึกรูปเดี่ยวของซิลิคอน และอาจมีบ้างที่ใช้ผลึกหลายรูป เพื่อการสร้างส่วนหนึ่งส่วนใดของสิ่งประดิษฐ์ เช่น การนำเอาผลึกหลายรูปของซิลิคอน หรือเรียกง่ายๆว่าโพลีซิลิคอน สร้างเป็นส่วนเกท (gate) ของทรานซิสเตอร์ประเภทมอส (MOS Transistor) เป็นต้น

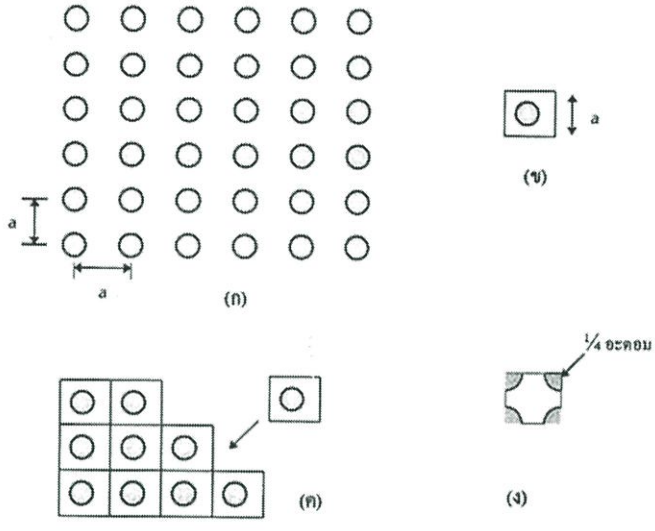
2.1.2 โครงสร้างผลึก

ในผลึกสารของแข็งใดๆ อะตอมจะเกาะเกี่ยวกันอย่างเป็นระเบียบ โดยมีรูปแบบการเรียงตัวเป็นลักษณะหนึ่งๆโดยเฉพาะ ผลึกสารของแข็งแต่ละชนิด อาจมีรูปแบบของผลึกที่เหมือนกันหรือไม่ก็ได้ แต่ผลึกสารของแข็งชนิดเดียวกัน จะต้องมีรูปแบบที่เหมือนกัน รูปแบบมาตรฐานของการจัดเรียงตัวอะตอมของผลึกสารของแข็งมีหลายรูปแบบ การกำหนดระนาบ (plane) และทิศทาง (direction) ของผลึกนิยมแสดงด้วยตัวเลขดัชนีมิลเลอร์ (Miller indices) ซึ่งจะทำให้เป็นมาตรฐานเดียวกัน และสะดวกที่จะใช้เพื่อการอธิบาย อ้างอิง หรือเปรียบเทียบ โครงสร้างของผลึกได้อย่างถูกต้องและชัดเจน

2.1.2.1 ยูนิตเซลล์ หรือหน่วยเซลล์ (Unit cell)

คำว่า ยูนิตเซลล์ หรือ หน่วยเซลล์ หมายถึงส่วนที่เล็กๆหรือส่วนที่เล็กที่สุดของผลึกที่มีความสมบูรณ์ และสามารถแสดงรูปแบบของผลึกได้อย่างชัดเจน ดังนั้นผลึกสารของแข็งจึงถูกพิจารณาได้ว่าประกอบขึ้นมาจากหน่วยเซลล์เล็กๆเหล่านี้ จำนวนมากมายมาเรียงต่อกันอย่างต่อเนื่อง รูปที่ 2.2(ก) ซึ่ง

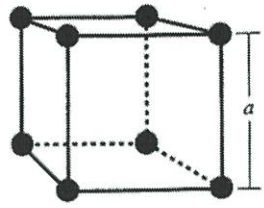
เป็นรูปแสดงการเรียงตัวของอะตอมอย่างเป็นระเบียบ และต่อเนื่องในลักษณะ 2 มิติ ภาพลักษณะนี้ถูกเรียกว่า แลททิซของผลึก (crystal lattice) วงกลมแสดงแกนของอะตอม ซึ่งแต่ละอะตอมจะอยู่ห่างจากกันเป็นระยะ a หรือก็คือ ระยะห่างระหว่างอะตอม (atomic spacing) หรือบางครั้งนิยมเรียกว่า ค่าคงตัวของแลททิซ (lattice constant) เพื่อที่จะอธิบายคุณสมบัติแลททิซเหล่านี้ อาจใช้หน่วยเซลล์ของแลททิซนี้ มาแสดงแทนแลททิซทั้งหมด ซึ่งในที่นี้ ลักษณะของยูนิตเซลล์ แสดงดังในรูปที่ 2.2(ข) และ 2.2(ง)



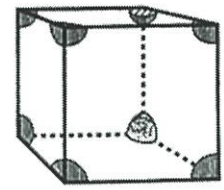
รูปที่ 2.2 ลักษณะรูปแบบของผลึก ซึ่งเกิดจากการเรียงตัวของยูนิตเซลล์ จำนวนมากมาย
(ก) ลักษณะของแลททิซ (ข) หนึ่งยูนิตเซลล์ของแลททิซ
(ค) การเรียงตัวของยูนิตเซลล์ เพื่อประกอบเป็นผลึกหรือแลททิซที่สมบูรณ์
(ง) ลักษณะของยูนิตเซลล์อีกรูปแบบหนึ่ง

2.1.2.2 ยูนิตเซลล์ 3 มิติ

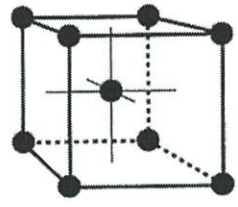
ในทางปฏิบัติ ผลึกสารกึ่งตัวนำ จะมีลักษณะเป็นโครงสร้างแบบ 3 มิติ ดังนั้นเพื่อความเข้าใจที่ชัดเจน จึงจำเป็นต้องอธิบายลักษณะของยูนิตเซลล์ในลักษณะ 3 มิติ (3D unit cells) จากลักษณะของผลึกที่มีรูปแบบของแลททิซ เมื่อเขียนเป็นรูป 3 มิติ จะได้ดังในรูปที่ 2.3(ก) ซึ่งลักษณะโครงสร้างของผลึกรูปแบบนี้ เรียกว่า เซลล์ลูกบาศก์พื้นฐาน (Simple Cubic Cell) โดยมีอะตอมอยู่ที่มุมทุกมุมของรูปลูกบาศก์ ยูนิตเซลล์ของแลททิซนี้ในลักษณะ 3 มิติ แสดงได้ดังในรูปที่ 2.3(ข) ซึ่งจะเห็นว่าภายในกรอบหรือขอบเขตของลูกบาศก์นี้ที่มุมทุกมุม จะมีเพียง 1/8 ของอะตอมเท่านั้นที่บรรจุอยู่ภายในกรอบของยูนิตเซลล์นี้



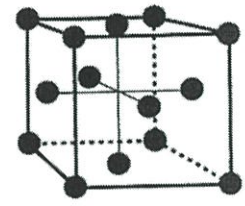
(ก) Simple Cubic Cell



(ข) Pedantically correct simple cubic



(ค) Body Centered Cubic



(ง) Face Centered Cubic

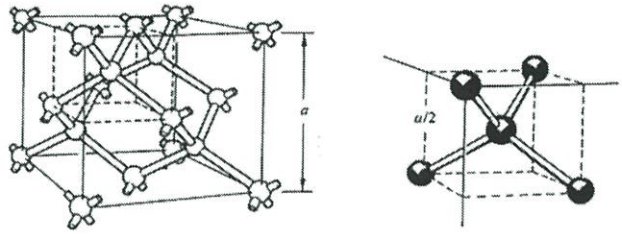
รูปที่ 2.3 ลักษณะของแลททิซแบบ 3 มิติ (ก) แบบ Simple Cubic Cell
(ข) ยูนิตเซลล์ของแลททิซแบบ Simple Cubic Cell ที่ถูกต้อง
(ค) แบบ Body Centered Cubic (ง) แบบ Face Centered Cubic

ดังนั้น หนึ่งยูนิตเซลล์ ประกอบด้วยจำนวนอะตอมเท่ากับ 1/8 x 8 = 1 อะตอม และเมื่อนำ ยูนิตเซลล์เหล่านี้มาเรียงกันอย่างต่อเนื่อง และเป็นระเบียบ กระจายออกไปทุกทิศทุกทาง จะทำให้ได้โครงสร้างของแลททิซ มีลักษณะเป็นผลึกแบบ เซลล์ลูกบาศก์พื้นฐาน ดังในรูปที่ 2.3(ก)

นอกจากนี้แล้วยังมีโครงสร้างของผลึกรูปแบบอื่นๆ อีกหลายรูปแบบ ดังแสดงในรูปที่ 2.3(ค) และ 2.3(ง) คือ โครงสร้างแบบ Body Centered Cubic และแบบ Face Centered Cubic ตามลำดับ ซึ่งโครงสร้างแบบ Body Centered Cubic หนึ่งยูนิตเซลล์ จะประกอบด้วยเนื้ออะตอม 2 อะตอมและกรณีแบบ Face Centered Cubic จะต้องใช้เนื้ออะตอมถึง 4 อะตอม เป็นต้น

2.1.3 โครงสร้างผลึกเพชร

ลักษณะโครงสร้างผลึก หรือแลททิซของวัสดุสารกึ่งตัวนำประเภทธาตุเดี่ยว เช่น ซิลิคอน หรือเยอรมาเนียม ในลักษณะ 3 มิติ แสดงได้ดังในรูปที่ 2.4(ก) ซึ่งโครงสร้างลักษณะนี้ถูกเรียกว่า โครงสร้างผลึกเพชร (Diamond structure) ลักษณะของยูนิตเซลล์ จะพบว่ามีอะตอมอยู่ที่จุดมุมของกล่องลูกบาศก์ทุกมุม นอกจากนี้ตรงกลางของด้านทุกด้านก็จะมีอะตอมอยู่เช่นกัน และภายในกล่องลูกบาศก์นี้จะมีอะตอมอยู่ภายในอีก 4 อะตอม ดังในรูปที่ 2.4(ก) แต่ละอะตอมจะเกาะเกี่ยวกับอะตอมข้างเคียงอีก 4 อะตอม ดังแสดงในรูปที่ 2.4(ข) ซึ่งผลึกสารกึ่งตัวนำขนาดใหญ่จะประกอบด้วยยูนิตเซลล์เล็กๆเหล่านี้จำนวนมากมายเรียงกันอย่างเป็นระเบียบออกไปในทุกๆด้าน



(ก) (ข)

รูปที่ 2.4 (ก) หนึ่งยูนิตเซลล์ของโครงสร้างเพชร และ (ข) ภาพขยายส่วนมุมของยูนิตเซลล์ ซึ่งเป็นการเกาะเกี่ยวระหว่างอะตอมหนึ่งกับ 4 อะตอมข้างเคียง

2.1.4 พันธะอะตอม

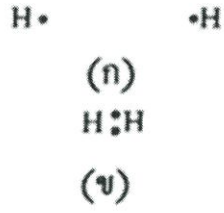
การก่อตัวเป็นของแข็ง เกิดจากปฏิกิริยาระหว่างอะตอมและใช้พลังงานรวมน้อยที่สุดจะขึ้นอยู่กับชนิดของอะตอม ชนิดของพันธะ ถ้าพันธะระหว่างอะตอมไม่แข็งแรงพอ ก็ไม่สามารถรวมกันก่อตัวเป็นของแข็งขึ้นมาได้ ซึ่งอาจแบ่งรูปแบบพันธะอะตอมเป็น 4 แบบคือ

2.1.4.1 พันธะไอออนิก

ธาตุในหมู่ 1 ของตารางธาตุ มีแนวโน้มที่จะปลดปล่อยอิเล็กตรอนออกมาจึงกลายเป็นประจุบวก ขณะที่ธาตุหมู่ 4 มีแนวโน้มที่จะรับอิเล็กตรอนและตัวมันจะกลายเป็นประจุลบ ประจุที่ตรงกันข้ามจะทำให้เกิดแรงดึงดูดซึ่งกันและกัน และทำให้เกิดพันธะที่เรียกว่า พันธะไอออนิก ถ้าอิออนมี ความใกล้กันมากจะเกิดแรงผลักกันและทำให้เกิดการจัดระยะที่สมดุลเกิดขึ้นระหว่างสองไอออนในผลึก ไอออนประจุลบมีแนวโน้มที่จะถูกล้อมรอบด้วยไอออนประจุบวก และไอออนประจุบวกมีแนวโน้มที่จะถูกล้อมรอบด้วยไอออนประจุลบ ดังนั้นโครงข่ายซ้ำๆกันเป็นเครือข่ายของอะตอมเหล่านี้ จะสร้างเป็นแลททิซขึ้นมา ตัวอย่างของพันธะไอออนิก ได้แก่ โซเดียมคลอไรด์ (NaCl)

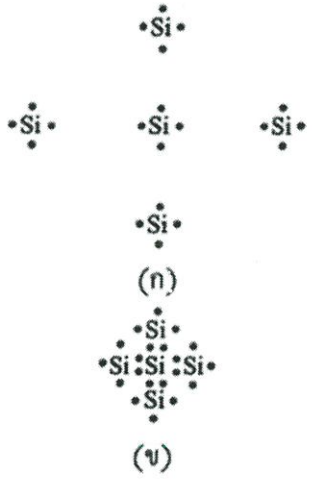
2.1.4.2 พันธะโควาเลนท์

แรงปฏิกิริยาระหว่างอะตอมมีแนวโน้มที่จะก่อตัวทำให้วงพลังงานวาเลนซ์ให้เข้ามาอยู่ใกล้กัน เรียกว่าพันธะโควาเลนท์ ตัวอย่างเช่น โมเลกุลของก๊าซไฮโดรเจน ไฮโดรเจนมีอิเล็กตรอนหนึ่งตัวและต้องการอิเล็กตรอนอีกหนึ่งตัว เพื่อทำให้พลังงานวงนอกสุดเต็ม ในรูปที่ 2.5(ก) แสดงถึงอะตอมของไฮโดรเจนขณะที่ยังไม่ทำปฏิกิริยาแก่กัน และรูปที่ 2.5(ข) แสดงโมเลกุลไฮโดรเจนภายหลังที่ยึดติดกันด้วยพันธะโควาเลนท์ ซึ่งพันธะโควาเลนท์เป็นพันธะที่ทำให้อิเล็กตรอนระหว่างอะตอมสามารถใช้ร่วมกันได้ เพื่อที่จะให้ระดับพลังงานวาเลนท์ของอะตอมแต่ละอะตอมมีอิเล็กตรอนอยู่เต็ม



รูปที่ 2.5 (ก) วาเลนท์อิเล็กตรอนของเฮเดรเจน และ (ข) พันธะโควาเลนท์ในโมเลกุลไฮโดรเจน

อะตอมของธาตุหมู่ 4 ของตารางธาตุ เช่น ซิลิคอน และเยอรมาเนียม มีแนวโน้มที่จะสร้างพันธะโควาเลนท์ขึ้น แต่ละธาตุเหล่านี้มีวาเลนท์อิเล็กตรอนสี่ตัว และต้องการอิเล็กตรอนอีกสี่ตัว เพื่อทำให้พลังงานวาเลนท์เต็ม ถ้าอะตอมซิลิคอนมีอะตอมใกล้เคียงสี่ตัว แต่ละอะตอมข้างเคียงมีวาเลนท์อิเล็กตรอนที่ใช้ร่วมกันอยู่อีกสี่ตัว ดังนั้นอะตอมจะมีผลเหมือนกับว่ามีอิเล็กตรอนอยู่แปดตัวที่ระดับพลังงานวงนอกสุด ดังแสดงในรูปที่ 2.6(ก) ซึ่งแสดงถึงอะตอมซิลิคอนพร้อมกับวาเลนท์อิเล็กตรอนสี่ตัว ขณะที่ยังไม่ทำปฏิกิริยาแก่กัน และรูปที่ 2.6(ข) แสดงถึงพันธะในซิลิคอนที่เกิดพันธะโควาเลนท์แล้ว ซึ่งอะตอมตรงกลางมีวาเลนท์อิเล็กตรอนใช้ร่วมกันอยู่แปดตัว



รูปที่ 2.6 (ก) วาเลนท์อิเล็กตรอนของซิลิคอน และ (ข) พันธะโควาเลนท์ในผลึกซิลิคอน

2.1.4.3 พันธะโลหะ

ธาตุหมู่ 1 นั้นจะมีวาเลนท์อิเล็กตรอนหนึ่งตัว ถ้าอะตอมโซเดียมสองอะตอมนำมาใกล้กัน วาเลนท์อิเล็กตรอนจะทำปฏิกิริยาต่อกัน เพื่อจะสร้างพันธะขึ้นมา ของแข็งโซเดียมจะมีโครงสร้างแบบ body centered cubic โดยแต่ละอะตอมมีอะตอมข้างเคียงที่ใกล้ที่สุดแปดอะตอม ซึ่งแต่ละอะตอมใช้วาเลนท์อิเล็กตรอนร่วมกันเป็นจำนวนมาก ซึ่งอาจจะมองเป็นว่าอิออนบวกของโลหะถูกล้อมรอบด้วยทะเลของประจุลบของอิเล็กตรอน และของแข็งก็จะถูกยึดกันไว้ด้วยแรงทางไฟฟ้าสถิต

2.1.4.4 พันธะ Van Der Waals

เป็นพันธะที่อ่อนที่สุด เช่น โมเลกุลของไฮโดรเจนฟลูออไรด์ (HF) ที่ยึดกันด้วยพันธะระหว่างอิออน ประจุรวมทั้งหมดของประจุบวกที่ศูนย์กลางของโมเลกุล จะไม่เท่ากับผลรวมของประจุลบที่ศูนย์กลางโมเลกุล จากการที่ไม่สมมาตรกันของการกระจายประจุนี้เองจะส่งผลให้เกิดไดโพล (dipole) เล็กๆขึ้น ซึ่งมีผลกระทบต่อไดโพลของโมเลกุล HF อื่นๆด้วย ปฏิกิริยาอย่างอ่อนที่ยึดกันไว้ระหว่างไดโพล จะก่อตัวเป็นของแข็งด้วยพันธะ Van der Waals ซึ่งจะมีคุณสมบัติคือ มีจุดหลอมเหลวต่ำ ในความเป็นจริงแล้วสารชนิดนี้ส่วนมากจะมีสถานะเป็นก๊าซที่อุณหภูมิห้องเสียส่วนใหญ่

2.1.5 ความไม่สมบูรณ์และสิ่งแปลกปลอมในของแข็ง

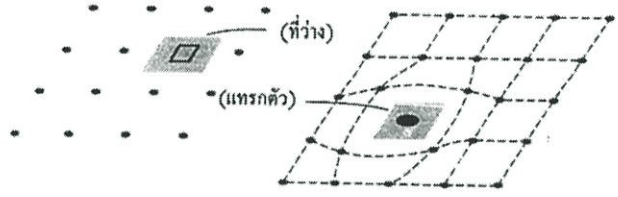
ในความเป็นจริง แลททิซจะไม่สมบูรณ์ทั้งหมด แต่จะมีความไม่สมบูรณ์หรือความบกพร่องอยู่ ความไม่สมบูรณ์มีแนวโน้มที่จะเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าของสาร และในบางกรณีตัวแปรทางไฟฟ้าจะขึ้นอยู่กับความบกพร่องและสิ่งแปลกปลอมเหล่านี้

2.1.5.1 ความไม่สมบูรณ์ในของแข็ง

ความไม่สมบูรณ์ชนิดหนึ่งที่ผลึกทั้งหลายจะมีเหมือนกันคือ การสั่นของอะตอมเนื่องจากความร้อน โดยปกติผลึกรูปเดี่ยวที่สมบูรณ์ จะประกอบด้วยอะตอมอยู่ตรงตำแหน่งที่แน่นอนในแลททิซ อะตอมจะถูกแยกกันด้วยระยะระยะหนึ่ง ซึ่งสมมุติว่ามีค่าคงที่ค่าหนึ่ง อะตอมในผลึกจะมีพลังงานความร้อนค่าหนึ่ง ซึ่งจะเป็นความสัมพันธ์กับอุณหภูมิ พลังงานความร้อนนี้เป็นสาเหตุทำให้อะตอมสั่นในลักษณะที่ไม่เป็นแบบแผนจากจุดบนแลททิซที่สภาวะสมดุล การเคลื่อนที่แบบไม่เป็นแบบแผนนี้เป็นสาเหตุให้ระยะห่างระหว่างอะตอมไม่คงที่ ทำให้เกิดการขัดขวางการจัดเรียงตัวอย่างสมบูรณ์ที่จะเกิดขึ้นได้เล็กน้อย ความไม่สมบูรณ์แบบนี้เรียกว่า การสั่นของแลททิซ (lattice vibration) จะมีผลต่อคุณสมบัติทางไฟฟ้า

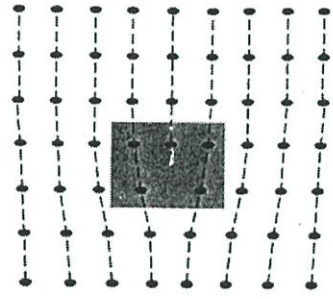
ความไม่สมบูรณ์อีกชนิดหนึ่งเรียกว่า ความบกพร่องแบบจุด (point defect) มีหลายรูปแบบที่ต้องพิจารณา ผลึกในความจริงนั้น อะตอมอาจจะหายไปจากตำแหน่งในแลททิซ ความบกพร่องนี้เรียกว่าที่ว่าง (vacancy) ดังแสดงในรูปที่ 2.7(ก) อีกกรณีหนึ่งอะตอมอาจจะวางตัวที่ตำแหน่งระหว่างตำแหน่งความบกพร่องที่เรียกว่า การแทรกตัว (interstitial) ดังแสดงในรูปที่ 2.7(ข) ในกรณีความบกพร่องแบบที่ว่าง และความบกพร่องแบบแทรกตัว ไม่เพียงแต่จะทำให้โครงสร้างเสียหาย พันธะเคมีจะถูกทำลายด้วย และมีผลต่อคุณสมบัติทางไฟฟ้าของสาร ช่องว่างและการแทรกตัวอาจแสดงปฏิกิริยาต่อกันระหว่างความบกพร่องทั้งสอง และทำให้เกิดผลที่แตกต่างไปจากความบกพร่องแบบช่องว่างและความบกพร่องแบบแทรกตัว เป็นที่รู้จักกันว่าความบกพร่อง Frenkel

ความบกพร่องจะมีส่วนเกี่ยวข้องกับอะตอมหรือตำแหน่งของอะตอม ในระหว่างการก่อตัวของผลึกรูปเดี่ยว จะทำให้เกิดความบกพร่องขึ้นจำนวนมาก ความบกพร่องตามแนวเส้นจะปรากฏเมื่อแถวของอะตอมเรียงตัวผิดพลาดจากตำแหน่งที่ควรจะอยู่ในแลททิซ ความบกพร่องนี้เรียกว่า ความบกพร่องแบบแนวเส้น (line defect) ดังแสดงในรูปที่ 2.8 เช่นเดียวกับความบกพร่องแบบจุด ความบกพร่องแบบแนวเส้นจะทำลายทั้งโครงสร้างปกติของแลททิซและพันธะอะตอมในผลึก ความบกพร่องนี้จะเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าได้



(ก) (ข)

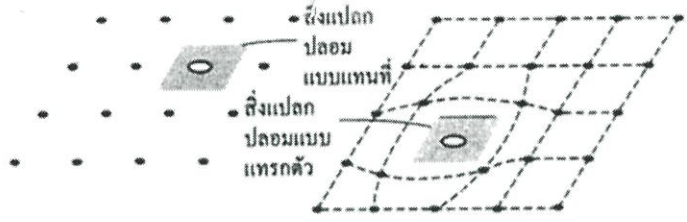
รูปที่ 2.7 โครงสร้างผลึกรูปเดี่ยว (ก) ความบกพร่องแบบช่องว่าง และ (ข) ความบกพร่องแบบแทรกตัว



รูปที่ 2.8 ความบกพร่องแบบแนวเส้นในสองมิติ

2.1.5.2 สิ่งแปลกปลอมในของแข็ง

อะตอมต่างชนิดหรืออะตอมแปลกปลอม อาจจะเข้ามาอยู่ในโครงสร้างผลึกได้ อะตอมแปลกปลอมอาจจะไปอยู่ตรงตำแหน่งในแลททิซพอดี ซึ่งในกรณีนี้จะเรียกว่า อะตอมแปลกปลอมแทนที่ (substitutional impurities) และอะตอมแปลกปลอมอาจจะอยู่ระหว่างตำแหน่งปกติของแลททิซก็ได้ ซึ่งในกรณีนี้จะเรียกว่า อะตอมแปลกปลอมแทรกตัว (interstitial impurities) ทั้งสองกรณีคือ ความบกพร่องของแลททิซ แสดงได้ดังรูปที่ 2.9 อะตอมแปลกปลอมบางอย่าง เช่น อะตอมอ๊อกซิเจนในซิลิคอนที่ไม่ทำปฏิกิริยาใดๆ แต่อะตอมทองหรือฟอสฟอรัสในซิลิคอน จะเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าอย่างรุนแรงแก่สารซิลิคอน

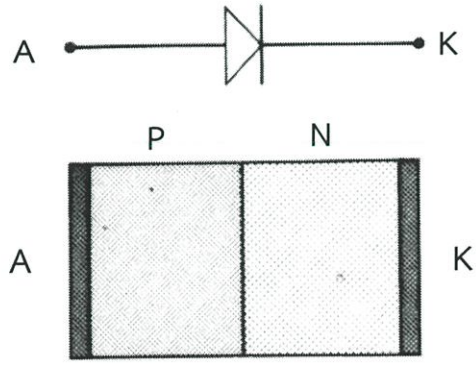


รูปที่ 2.9 โครงสร้างผลึกรูปเดี่ยว (ก) สิ่งแปลกปลอมแบบแทนที่ และ (ข) สิ่งแปลกปลอมแบบแทรกตัว

การควบคุมปริมาณจำนวนอะตอมแปลกปลอมที่ทำให้สามารถเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าของสารกึ่งตัวนำไปในทางที่ต้องการได้ เทคนิคที่จะนำอะตอมแปลกปลอมเข้าไปในสารกึ่งตัวนำ เพื่อเปลี่ยนความนำไฟฟ้าเรียกว่าการโด๊ป (doping) มีวิธีทั่วๆไปของการโด๊ปอยู่สองวิธี คือ กระบวนการแพร่สารเจือ (diffusion) และกระบวนการฝังประจุอิออน (ion implantation)

2.2 รอยต่อพี-เอ็น (P-N Junction)

โครงสร้างแบบรอยต่อพี-เอ็นถูกใช้ในอุปกรณ์อิเล็กทรอนิกส์ เช่น ทรานซิสเตอร์ และไดโอด ซึ่งในการสร้างโครงสร้างแบบรอยต่อพี-เอ็น มักนิยมใช้วิธีการแพร่สารเจือชนิดเอ็นหรือชนิดพี เข้าไปในเนื้อสารกึ่งตัวนำซึ่งเป็นชนิดตรงกันข้าม ดังแสดงในรูปที่ 2.10 และในส่วนนี้จะกล่าวคุณสมบัติพื้นฐานของรอยต่อพี-เอ็น ซึ่งได้แก่ ปรากฏการณ์ที่รอยต่อพี-เอ็นในสภาวะสมดุลย์ ในสภาวะที่ได้รับการไบอัสตรง และในสภาวะที่ได้รับไบอัสย้อนกลับ

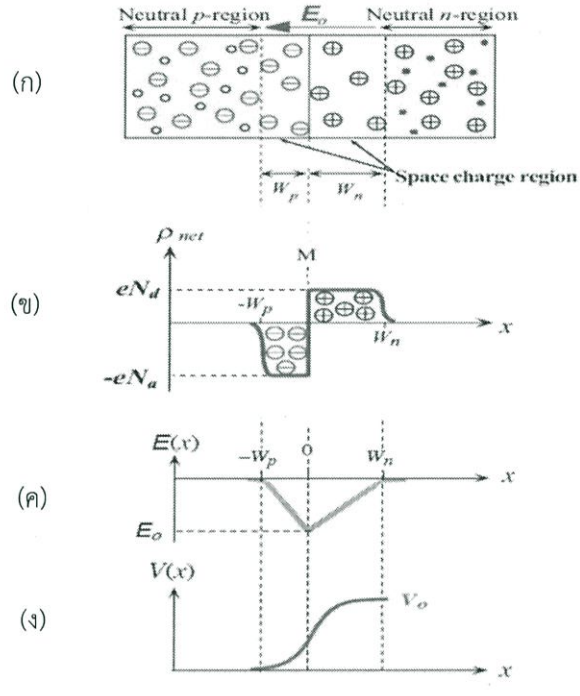


รูปที่ 2.10 โครงสร้างรอยต่อพี-เอ็นของไดโอด

2.2.1 ปรากฏการณ์ที่รอยต่อพี-เอ็นในสภาวะสมดุลย์

เมื่อรอยต่อพี-เอ็นถูกสร้างขึ้นแล้ว จะเกิดปรากฏการณ์บางอย่างขึ้นที่รอยต่อพี-เอ็น เนื่องจากความหนาแน่นของประจุพาหะที่แตกต่างกัน จะทำให้เกิดมีการแพร่ของประจุพาหะจากทางด้านที่มีความหนาแน่นของประจุพาหะมากกว่าไปยังด้านที่มีความหนาแน่นของประจุพาหะน้อยกว่า กล่าวคือ โฮลทางด้านพีในบริเวณใกล้รอยต่อจะแพร่เข้าไปในด้านเอ็น และอิเล็กตรอนทางด้านเอ็นในบริเวณใกล้รอยต่อจะแพร่เข้าไปทางด้านพี การแพร่นี้จะกระทำผ่านรอยต่อพี-เอ็น และสิ่งที่ได้ตามมาคือจะมีการรวมตัว (recombination) ระหว่างโฮลและอิเล็กตรอน ผลจากการรวมตัวของประจุพาหะทั้งสอง จะทำให้อะตอมของสารเจือบริเวณใกล้ๆกับรอยต่อพี-เอ็นกลายเป็นไอออน (ion) คืออะตอมของสารเจือชนิดเอ็นทางด้านเอ็น จะสูญเสียอิเล็กตรอน อะตอมนี้จึงแสดงตัวเป็นไอออนบวก และอะตอมของสารเจือชนิดพีทางด้านพี จะสูญเสียโฮลไป จึงทำให้อะตอมนี้แสดงตัวเป็นไอออนลบ เมื่อเป็นเช่นนี้ทำให้เกิดการสะสมประจุไฟฟ้าขึ้น ณ บริเวณรอยต่อพี-เอ็น ดังแสดงในรูปที่ 2.11(ก) สนามไฟฟ้าภายในที่เกิดขึ้นจะขัดขวางการแพร่ข้ามรอยต่อของโฮลและอิเล็กตรอน ดังนั้นอัตราการแพร่ข้ามรอยต่อของประจุพาหะทั้งสองชนิดจะค่อยๆลดลง จนกระทั่งสนามไฟฟ้าภายในมีปริมาณมากพอที่จะยับยั้งไม่ให้ประจุพาหะทั้งสองชนิดแพร่ข้ามรอยต่อได้ การแพร่จึงหยุดลง และอยู่ในภาวะสงบนิ่ง ซึ่งเรียกว่ารอยต่ออยู่ในภาวะสมดุลย์ (equilibrium)

นอกจากนี้ ปรากฏการณ์ดังกล่าวจะทำให้บริเวณภายในรอยต่อนี้ไม่มีประจุพาหะทั้งสองชนิดคงมีแต่อะตอมของสารเจือชนิดพีและชนิดเอ็น ซึ่งขณะนี้อยู่ในสภาพไอออนลบและไอออนบวก บริเวณดังกล่าวนี้ถูกเรียกว่า “บริเวณปลอดพาหะ” (depletion region) ดังแสดงในรูปที่ 2.11(ข) การเปลี่ยนแปลงของสนามไฟฟ้าที่ตกคร่อมรอยต่อพี-เอ็น แสดงในรูปที่ 2.11(ค) ซึ่งค่า E_0 เป็นค่าสนามไฟฟ้าสูงสุด และสนามไฟฟ้าที่มีอยู่บริเวณนี้จะทำให้เกิดความต่างศักย์ไฟฟ้าขึ้นด้วย จึงดูคล้ายกับว่าที่บริเวณรอยต่อพี-เอ็นในภาวะสมดุลนี้มีแรงดันไฟฟ้าภายใน (built-in voltage) เกิดขึ้น ซึ่งแรงดันไฟฟ้านี้เองที่เป็นกำแพงศักย์ ต่อต้านการเคลื่อนที่ข้ามรอยต่อของประจุพาหะ แสดงในรูปที่ 2.11(ง)



รูปที่ 2.11 คุณสมบัติทางไฟฟ้าที่บริเวณรอยต่อพี-เอ็น

แรงดันไฟฟ้าที่ตกคร่อมบริเวณรอยต่อหรือที่เรียกว่า แรงดันไฟฟ้าภายใน (built-in voltage) แสดงได้ดังสมการที่ (2.1)

$$V_o = \frac{KT}{q} \ln \frac{N_A N_D}{n_i^2} \qquad (2.1)$$

ซึ่ง V_o คือ แรงดันไฟฟ้าภายใน (โวล์ท)
K คือ ค่าคงที่โบสต์มาน (8.62×10^{-5} eV/K)
T คือ อุณหภูมิองศาสมบูรณ์ (K)
q คือ ประจุอิเล็กตรอน (1.62×10^{-19} คูลอมบ์)
N_A คือ ความหนาแน่นของอะตอมผู้รับ (cm^{-3})
N_D คือ ความหนาแน่นของอะตอมผู้ให้ (cm^{-3})
n_i คือ ความหนาแน่นของประจุพาหะในสารกึ่งตัวนำบริสุทธิ์ (cm^{-3})

และในภาวะสมดุลย์ ระยะความกว้างของบริเวณปลอดพาหะแสดงได้ดังสมการที่ (2.2)

$$X_0 = \sqrt{\frac{2\varepsilon V_o (N_A N_D)}{qN_A N_D}} \qquad (2.2)$$

โดยที่ X_0 คือ ความกว้างบริเวณปลอดพาหะในภาวะสมดุลย์

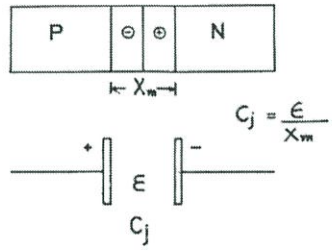
ε คือ ค่าเพอร์มิตตีวิตี้ของสารกึ่งตัวนำ

V_o คือ แรงดันไฟฟ้าภายใน (โวล์ท)

นอกจากนี้ยังพบว่า ที่บริเวณรอยต่อมีลักษณะคล้ายกับโครงสร้างของตัวเก็บประจุไฟฟ้า (capacitor) ค่าความหนาแน่นของประจุไฟฟ้า (capacitance) ที่รอยต่อแสดงได้ดังสมการที่ (2.3)

$$C_j = \sqrt{\frac{\varepsilon q N_A N_D}{2(N_A + N_D)V_o}} \qquad (2.3)$$

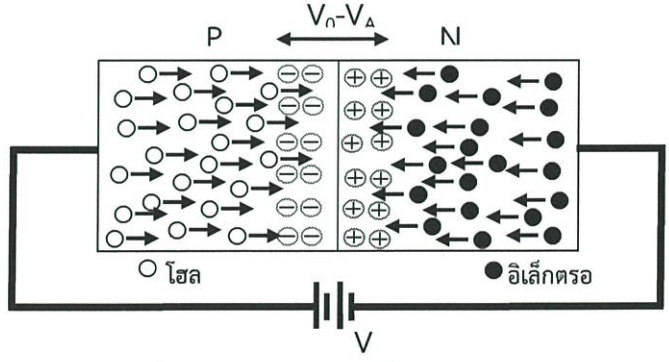
โดย C_j คือ ค่าความจุไฟฟ้าที่รอยต่อ (F/cm^2)



รูปที่ 2.12 ค่าความจุไฟฟ้าที่บริเวณรอยต่อพี-เอ็น

2.2.2. รอยต่อพี-เอ็นในขณะได้รับแรงดันไบอัสตรง (Forward Bias)

ในกรณีที่รอยต่อพี-เอ็นได้รับแรงดันไบอัสตรง ซึ่งหมายถึงทางด้านพีมีศักย์เป็นบวกเมื่อเทียบกับด้านเอ็น ดังแสดงในรูปที่ 2.13



รูปที่ 2.13 รอยต่อพี-เอ็นซึ่งได้รับแรงดันไบอัสตรง

แรงดันไบอัสจากภายนอกค่า V_A จะไปปรากฏที่รอยต่อพี-เอ็น และอยู่ในลักษณะที่หักล้างกับแรงดันไฟฟ้าภายในที่บริเวณรอยต่อ นั่นคือกำแพงศักย์ที่รอยต่อจะลดลงจึงมีผลทำให้โฮลจากด้านพี และอิเล็กตรอนจากทางด้านเอ็นถูกฉีด (injection) ข้ามรอยต่อพี-เอ็นได้ ปริมาณของโฮลและอิเล็กตรอนที่ถูกฉีดข้ามรอยต่อนี้ จะเปลี่ยนแปลงกับแรงดันไบอัสในลักษณะของเอ็กโปเนนเชียล (exponential function) จากการฉีดของโฮลและอิเล็กตรอนข้ามรอยต่อนี้เอง จะทำให้เกิดกระแสไหลในวงจร ซึ่งแสดงได้ด้วยสมการที่ (2.4) และสมการที่ (2.5)

$$I = I_o(e^{qV_A/KT} - 1) \tag{2.4}$$

และ

$$I_o = A\left(\frac{qD_e n_i^2}{L_e N_A} + \frac{qD_h n_i^2}{L_h N_D}\right) \tag{2.5}$$

โดยที่ I คือ กระแสที่ไหลผ่านรอยต่อพี-เอ็น (A)

I_o คือ กระแสอิ่มตัวย้อนกลับ (A)

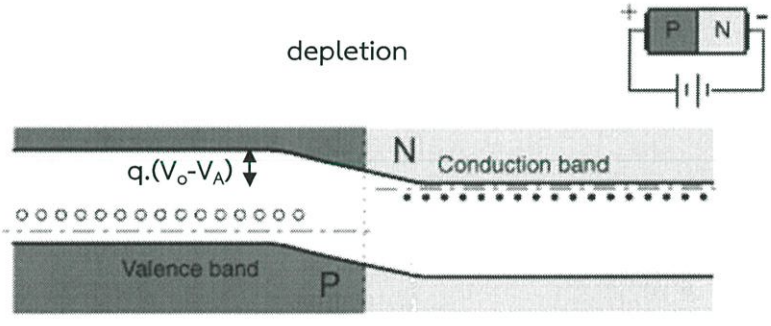
V_A คือ แรงดันไบอัสที่ให้ภายนอก (V)

A คือ พื้นที่ของรอยต่อพี-เอ็น (cm^2)

D_e, D_h คือ สัมประสิทธิ์การแพร่ของอิเล็กตรอนและโฮลตามลำดับ (cm^2/s)

L_e, L_h คือ ระยะการแพร่ของอิเล็กตรอนและโฮลตามลำดับ (cm)

ลักษณะของแถบพลังงานในขณะที่รอยต่อได้รับแรงดันไบอัสตรง แสดงได้ดังรูปที่ 2.14 ซึ่งจะเห็นว่าระดับเฟอร์มิของด้านพีและเอ็นจะไม่เท่ากัน และกำแพงศักย์ที่รอยต่อจะมีขนาดลดลง ดังนั้นจึงทำให้เกิดมีการฉีดของโฮลและอิเล็กตรอนข้ามรอยต่อ และเป็นผลให้มีกระแสไหลในวงจรได้



รูปที่ 2.14 ลักษณะโครงสร้างแถบพลังงานของรอยต่อพี-เอ็น ขณะได้รับแรงดันไบอัสตรง V_A

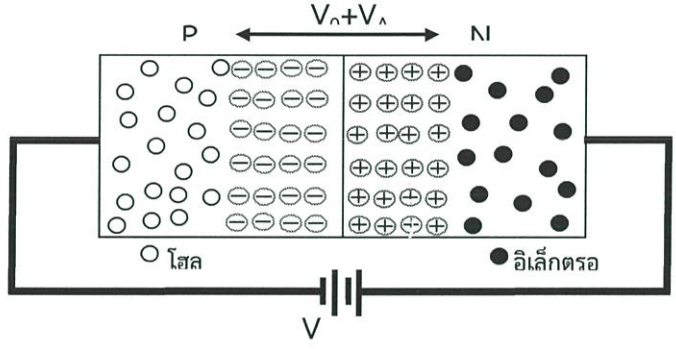
2.2.3. รอยต่อพี-เอ็นในขณะได้รับแรงดันไบอัสย้อนกลับ (Reverse Bias)

ในกรณีที่รอยต่อได้รับแรงดันไบอัส ดังแสดงในรูปที่ 2.15 กล่าวคือทางด้านพีจะมีศักย์เป็นลบเมื่อเทียบกับทางด้านเอ็น ดังนั้นเมื่อให้แรงดันไบอัสย้อนกลับนี้แก่รอยต่อพี-เอ็น มีค่า V_A โวล์ทแล้ว จะพบว่าแรงดันไบอัสดังกล่าวจะไปช่วยเสริมกับแรงดันภายใน ซึ่งปรากฏที่บริเวณรอยต่อ (V_o) ดังนั้นจะทำ

ให้กำแพงศักย์ (potential barrier) ที่บริเวณรอยต่อมีขนาดเพิ่มขึ้น อิเล็กตรอนจากด้านเอ็น และโฮลจากด้านพี จึงไม่สามารถเคลื่อนที่ข้ามรอยต่อไปได้ รอยต่อพี-เอ็นในภาวะนี้จึงมีสภาพคล้ายฉนวน ไม่ยอมให้กระแสส่วนมากไหลได้ อย่างไรก็ตามพบว่าในขณะที่โฮลทางด้านเอ็นและอิเล็กตรอนทางด้านพี ซึ่งมีจำนวนน้อยสามารถเคลื่อนที่ข้ามรอยต่อได้ ดังนั้นจึงปรากฏมีกระแสจำนวนน้อยไหลข้ามรอยต่อในทิศทางที่ตรงกันข้ามกับกระแสส่วนมากที่ไหลผ่านรอยต่อในขณะได้รับแรงดันไบอัสตรง ปริมาณของกระแสที่ไหลในขณะรอยต่อได้รับไบอัสย้อนกลับนี้จะมีค่าน้อยมาก และมีค่าคงที่ค่าหนึ่ง ซึ่งอาจพิจารณาได้จากสมการที่ (2.4) เมื่อแทนค่าของ V_A ด้วย $-V_A$

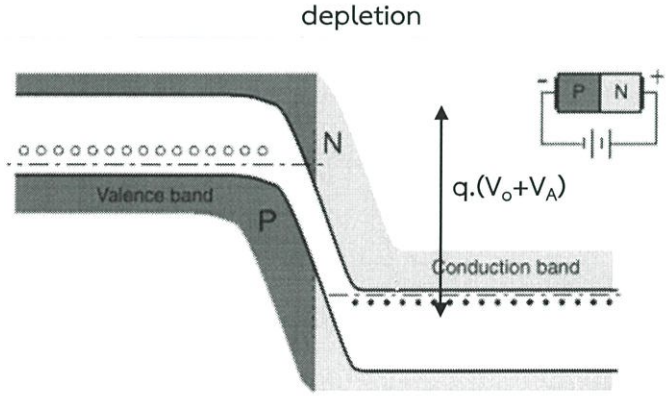
ดังนั้นขณะได้รับแรงดันไบอัสย้อนกลับ

$$I \approx -I_o \tag{2.6}$$



รูปที่ 2.15 รอยต่อพี-เอ็น ซึ่งได้รับแรงดันไบอัสย้อนกลับ

ลักษณะของแถบพลังงาน แสดงได้ดังรูปที่ 2.16 ซึ่งพบว่ากระแสที่ไหลผ่านรอยต่อในขณะนี้จะมีทิศทางตรงข้ามกับกระแสในกรณีไบอัสตรง ปริมาณกระแสจะมีค่าน้อยมากและมีค่าคงที่ที่อุณหภูมิค่าหนึ่งๆ



รูปที่ 2.16 ลักษณะโครงสร้างแถบพลังงานของรอยต่อพี-เอ็น ขณะได้รับแรงดันไบอัสย้อนกลับ V_A

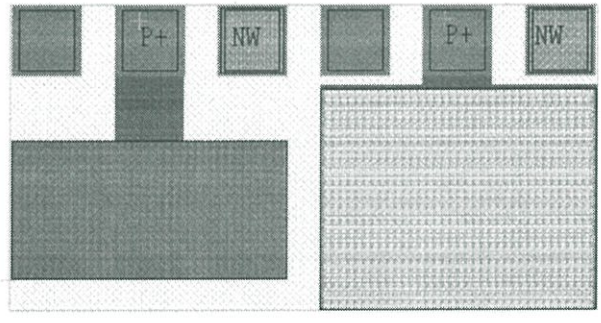
บทที่ 3
วิธีดำเนินการวิจัย

การวิจัยนี้เป็นการวิจัยเชิงทดลอง ซึ่งเป็นการวิจัยและพัฒนา ที่มุ่งศึกษา ปรับปรุง และพัฒนาเทคนิคการวัดและวิเคราะห์ผลเพื่อใช้อธิบายถึงปรากฏการณ์หรือจุดบกพร่องที่เกิดขึ้นภายในอุปกรณ์อิเล็กทรอนิกส์ ดังนั้นเพื่อให้การวิจัยครั้งนี้บรรลุวัตถุประสงค์ จึงได้กำหนดวิธีดำเนินการวิจัย ดังนี้

3.1 การออกแบบการทดลอง

การวิจัยครั้งนี้ใช้อุปกรณ์อิเล็กทรอนิกส์ประเภทไดโอดในการศึกษา โดยโครงสร้างพื้นฐานของไดโอดที่ใช้ในการศึกษา เมื่อแบ่งตามชนิดของรูปทรงเรขาคณิต มี 2 โครงสร้าง ได้แก่

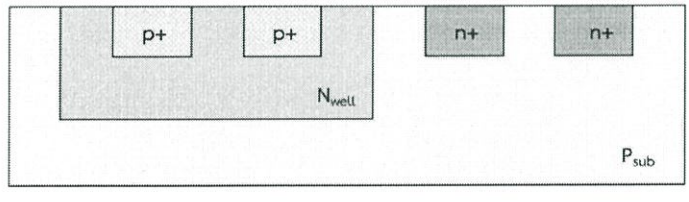
- ไดโอดพื้นที่กว้าง (Large Area Diode) มีรูปทรงเป็นพื้นที่สี่เหลี่ยม โดยออกแบบให้มีพื้นที่ขนาดกว้าง 200 μm ยาว 400 μm ความยาวเส้นรอบรูป 1,200 μm ดังแสดงในรูปที่ 3.1(ก)
- ไดโอดรูปคดเคี้ยว (Meander Diode) มีรูปทรงเป็นพื้นที่คดเคี้ยว โดยออกแบบให้มีพื้นที่ขนาดกว้าง 2 μm ยาว 400 μm จำนวน 100 แถบ ความยาวเส้นรอบรูป 80,400 μm ดังแสดงในรูปที่ 3.1(ข)



(ก) ไดโอดพื้นที่กว้าง (ข) ไดโอดรูปคดเคี้ยว

รูปที่ 3.1 รูปทรงเรขาคณิตของไดโอดรอยต่อชนิด p^+ - N_{well}

การวิเคราะห์ผลเพื่อใช้อธิบายถึงจุดบกพร่องที่เกิดขึ้นภายในอุปกรณ์ เน้นที่รอยต่อพี-เอ็นที่เกิดขึ้นในโครงสร้างของอุปกรณ์อิเล็กทรอนิกส์ประเภทซีมอส ซึ่งมีโครงสร้างรอยต่อของ p^+- N_{well} ดังแสดงในรูปที่ 3.2

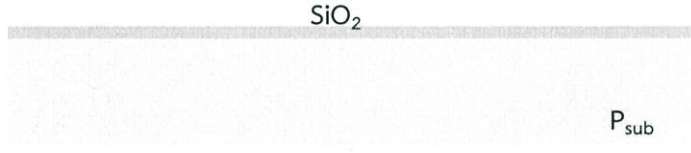


รูปที่ 3.2 โครงสร้างของอุปกรณ์อิเล็กทรอนิกส์ประเภทซีมอส

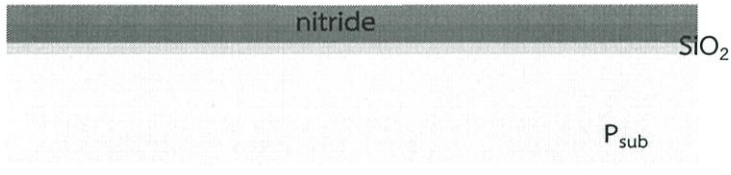
3.2 กระบวนการสร้างอุปกรณ์ไดโอด

ไดโอดที่ใช้ในการศึกษา จะถูกสร้างขึ้นด้วยกระบวนการสร้างมาตรฐานอุปกรณ์อิเล็กทรอนิกส์ประเภทซีมอสขนาด 0.8 ไมโครเมตร ที่ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ ซึ่งสามารถสรุปขั้นตอนได้ดังรูปที่ 3.3

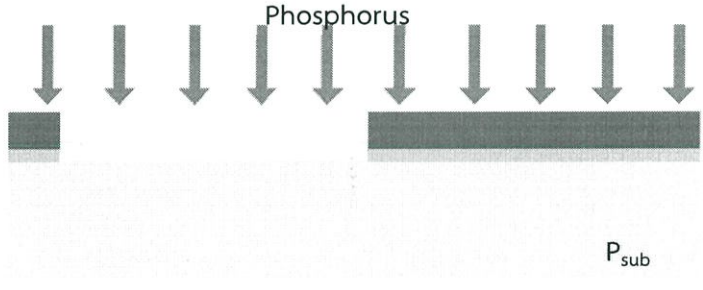
1) แผ่นฐานรองซิลิคอน ชนิดพี ระนาบ (100) พิกัดความต้านทาน 5 Ω-cm สร้างชั้นซิลิคอนไดออกไซด์ หนา 25 nm



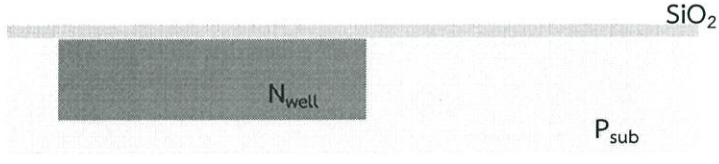
2) สร้างชั้นซิลิคอนไนไตร์ด หนา 150 nm บนชั้นซิลิคอนไดออกไซด์



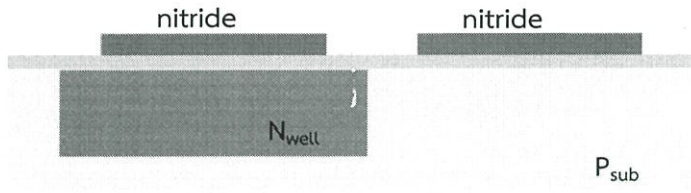
3) เปิดช่องซิลิคอนไนไตร์ด เพื่อสร้างบริเวณบ่อแยกชนิดเอ็น (N_{well}) จากนั้นทำการยิงฝังประจุฟอสฟอรัส ด้วยพลังงาน 140 keV ปริมาณสารเจือ 3.6e12 ions/cm^2



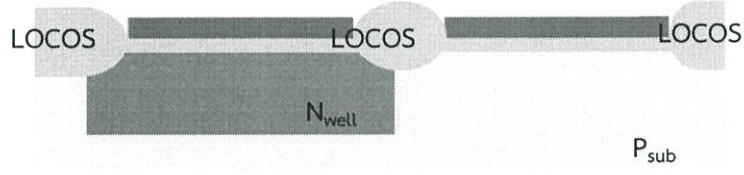
4) สร้างชั้นซิลิคอนไดออกไซด์ พร้อมขับลึกสารเจือฟอสฟอรัส (Phosphorus Drive-in)



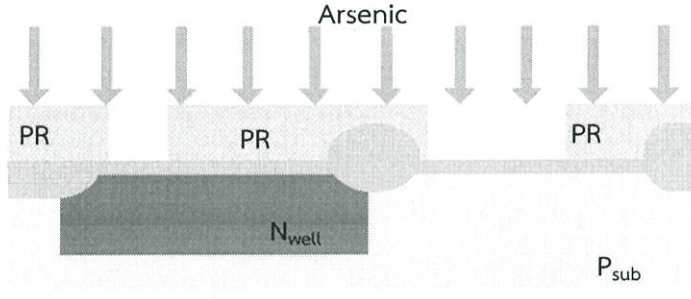
5) สร้างชั้นซิลิคอนไนไตร์ด หนา 150 nm เพื่อเป็นพื้นที่สร้างอุปกรณ์ (Active area)



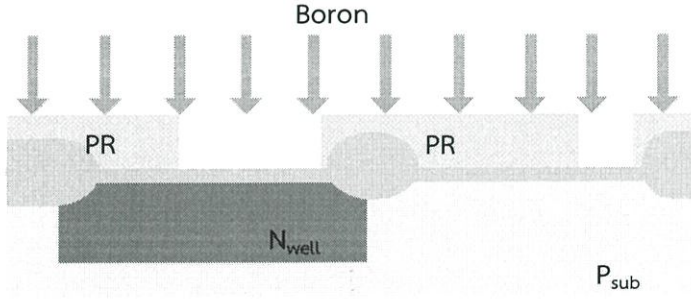
6) สร้างชั้นซิลิคอนไดออกไซด์หนา (Field Oxide) หนา 650 nm



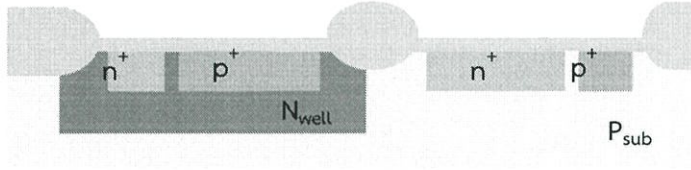
7) สกัดชั้นซิลิคอนไนไตร์ดออก ทำการสร้างลวดลายน้ำยาไวแสง (Photo Resist) เพื่อกำหนดบริเวณที่จะสร้างขั้ว n^+ หลังจากนั้นทำการยิงฝังประจุอาซินิค ด้วยพลังงาน 50 keV ปริมาณสารเจือ 5e15 ions/cm^2



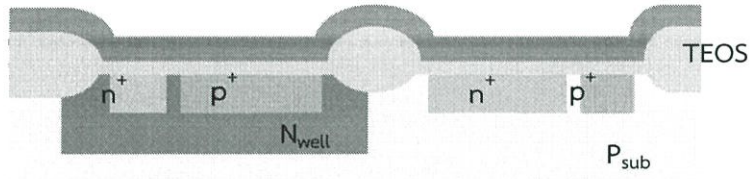
8) ทำการสร้างลวดลายน้ำยาไวแสง (Photo Resist) เพื่อกำหนดบริเวณที่จะสร้างขั้ว p^+ หลังจากนั้นทำการยิงฝังประจุโบรอน ด้วยพลังงาน 40 keV ปริมาณสารเจือ 3e15 ions/cm^2



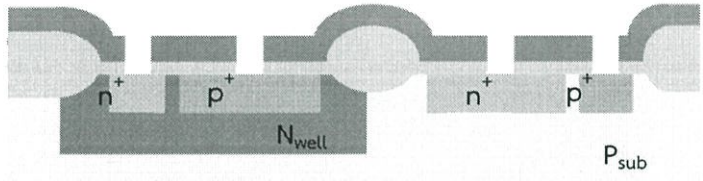
9) สร้างชั้นซิลิคอนไดออกไซด์ พร้อมขับลึกสารเจืออาซินิคและสารเจือโบรอน (Arsenic & Boron Drive-in)



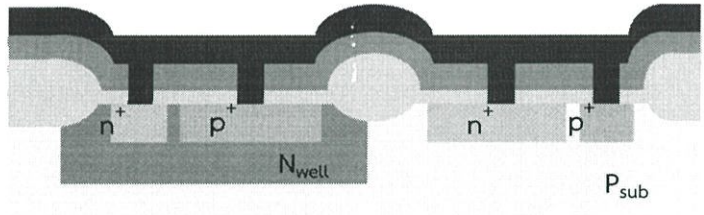
10) สร้างชั้นซิลิคอนไดออกไซด์ชนิด TEOS เพื่อเป็นฉนวนป้องกันอุปกรณ์



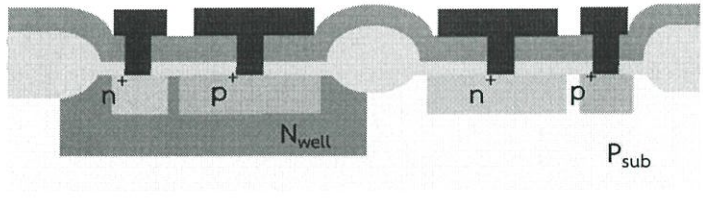
11) ทำการสร้างลวดลายน้ำยาไวแสง (Photo Resist) เพื่อกำหนดบริเวณที่จะสร้างช่องสำหรับขั้วโลหะ (contact-spacer)



12) ทำการสร้างชั้นโลหะ Ti/TiN และ AlCuSi ด้วยกระบวนการสปัตเตอริ่ง



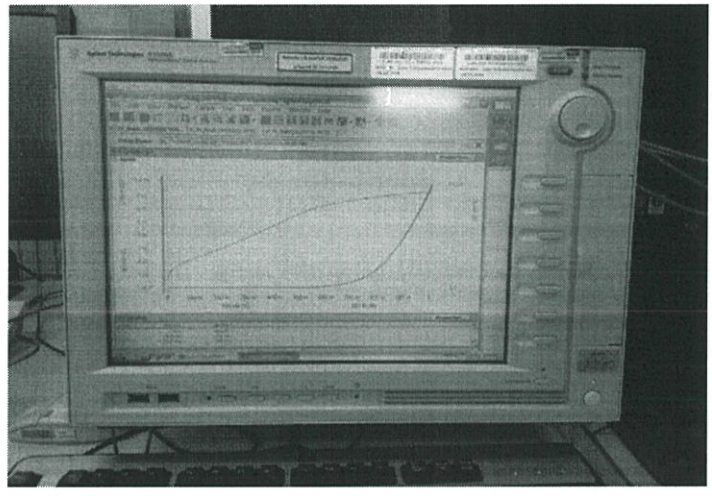
13) ทำการสร้างลวดลายน้ำยาไวแสง (Photo Resist) เพื่อกำหนดบริเวณที่จะสร้างขั้วโลหะ และสกัดชั้นโลหะ Ti/TiN และ AlCuSi เพื่อให้ได้ลวดลายโลหะ



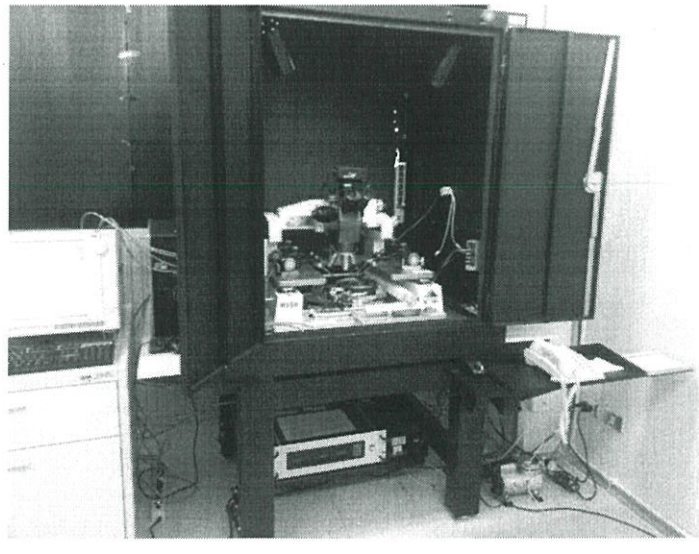
รูปที่ 3.3 ขั้นตอนกระบวนการสร้างอุปกรณ์ไดโอด

3.3 เครื่องมือและวิธีการวัดข้อมูล

ภายหลังเสร็จสิ้นจากกระบวนการสร้าง นำไดโอดไปวัดคุณสมบัติทางไฟฟ้า ได้แก่ คุณสมบัติกระแส-แรงดัน ทั้งด้านไบอัสตรงและไบอัสย้อนกลับ และคุณสมบัติค่าเก็บความจุไฟฟ้า-แรงดัน โดยใช้เครื่องมือวิเคราะห์คุณสมบัติอุปกรณ์สารกึ่งตัวนำ (Semiconductor Device Analyzer) รุ่น B1500A ของบริษัท Agilent Technologies และตู้มืดพร้อมแท่นวัดคุณสมบัติอุปกรณ์ (Black Box & Probe Station) ดังแสดงในรูปที่ 3.4 และรูปที่ 3.5 ตามลำดับ



รูปที่ 3.4 เครื่องมือวิเคราะห์คุณสมบัติอุปกรณ์สารกึ่งตัวนำ

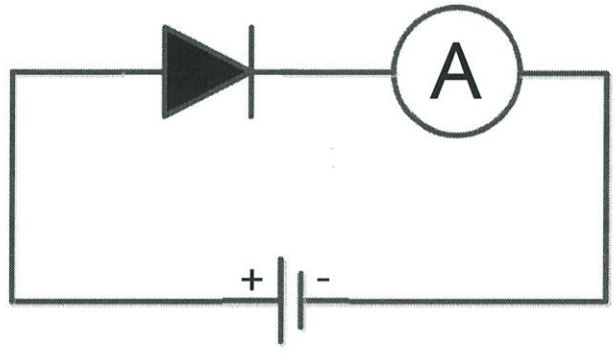


รูปที่ 3.5 ตู้พร้อมแท่นวัดคุณสมบัติอุปกรณ์

วิธีการวัดค่าคุณลักษณะกระแส-แรงดันของไดโอดรูปทรงเรขาคณิตแบบต่างๆกันบนแผ่นฐานรองซิลิคอน ถูกทำการวัดด้วยการให้ค่าไบอัสเป็นช่วงละ 0.01 โวลต์ จากแรงดันย้อนกลับ (reverse :V_R) ไปถึงแรงดันตรง (forward :V_F) โดยที่แรงดันไบอัสจะถูกให้กับบ่อแยกเอ็น : N_{well} และทำการวัดค่ากระแสที่ขั้วขั้ว p^+ ซึ่งควบคุมอุณหภูมิที่ 27 °C - 100 °C ในตู้พร้อมแท่นวัดคุณสมบัติอุปกรณ์

คุณลักษณะค่าเก็บความจุไฟฟ้า-แรงดัน ถูกกระทำกับไดโอดแบบเดียวกันด้วยความถี่ 100 กิโลเฮิร์ต ที่อุณหภูมิ 27 °C - 100 °C ความกว้างชั้นปลอดพาหะของพื้นที่ในแผ่นฐานรอง สามารถคำนวนหาค่าจากคุณลักษณะค่าเก็บความจุไฟฟ้า-แรงดัน (C-V)

ซึ่งแผนผังการวัดคุณสมบัติอุปกรณ์แสดงดังรูปที่ 3.7

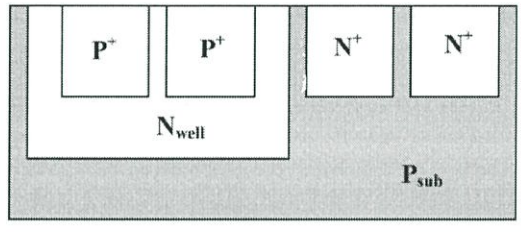


รูปที่ 3.6 แผนผังการวัดคุณสมบัติไดโอด

บทที่ 4
ผลการทดลองและวิเคราะห์ผล

4.1 การศึกษาคุณสมบัติพื้นฐานภายในรอยต่อพีเอ็น

พัฒนาการของเทคโนโลยีการรวมชั้นโลหะ-อ๊อกไซด์-สารกึ่งตัวนำ (CMOS) ในสมัยใหม่ มีจุดมุ่งหมายเพื่อเพิ่มคุณสมบัติของชิพ และลดต้นทุนการผลิต เทคโนโลยีนี้ไม่เพียงแต่ใช้ในการผลิตไมโครชิพเท่านั้น แต่ยังสามารถนำไปประยุกต์ใช้ในการสร้างตัวตรวจจับได้อีกด้วย คุณลักษณะอันเป็นเอกลักษณ์ของอุปกรณ์ชนิดนี้คือการรวมตัวตรวจจับหลายๆชนิดเข้าด้วยกันและยังมีการใช้พลังงานต่ำ ด้วยเหตุผลของต้นทุนการผลิตอุปกรณ์เหล่านี้ เทคโนโลยีซีมอส 0.8 ไมครอน จึงเป็นทางเลือกที่เหมาะสม เทคโนโลยีนี้การเจือสารด้วยระดับความเข้มข้นสูงลงบนแผ่นฐานรองเป็นสิ่งที่ต้องการ เพื่อให้สามารถควบคุมปรากฏการณ์ช่องแคบ (short channel effect) และกระแสรั่วไหลระดับต่ำ ความเข้มข้นของบ่อแยกชนิดเอ็นหรือชนิดพีถูกเพิ่มขึ้นด้วยการเพิ่มปริมาณการเจือสารด้วยการฝังประจุ กระบวนการนี้นำไปสู่การทำลายแผ่นฐานรอง ซึ่งถูกคาดหวังว่าจะกำจัดได้ภายหลังการแอนนีลลิ่ง (annealing) วิธีการบำบัดด้วยความร้อนในเวลาสั้นๆ และที่อุณหภูมิต่ำ ให้แก่ความลึกรอยต่อภายหลังการฝังประจุเป็นสิ่งจำเป็น แต่อาจจะไม่เพียงพอที่จะกำจัดจุดบกพร่องที่เกิดจากการฝังประจุได้ จุดบกพร่องเหล่านี้สามารถเป็นแหล่งกำเนิดของกระแสรั่วไหลในแต่ละส่วนของรอยต่อพี-เอ็นได้ ดังแสดงในรูปที่ 4.1



รูปที่ 4.1 รอยต่อพี-เอ็นในโครงสร้างซีมอส

กระแสรั่วไหลในรอยต่อพี-เอ็นเป็นพารามิเตอร์หลักอันหนึ่งที่ส่งผลกระทบต่อคุณสมบัติการทำงานของอุปกรณ์ กระแสรั่วไหลนี้มีความสัมพันธ์กับจุดบกพร่องที่มีผลทางไฟฟ้าในซิลิคอน จุดบกพร่องหาได้จากช่วงชีวิตการก่อเกิด (τ_g) ดังนั้นทางหนึ่งในการศึกษาจุดบกพร่อง สามารถทำได้ด้วยการวิเคราะห์ช่วงชีวิตการก่อเกิด โดยทั่วไปแล้วช่วงชีวิตการก่อเกิดสามารถคำนวนหาได้จากกระแสการก่อเกิด

ในการศึกษาครั้งนี้ ไดโอดที่มีรอยต่อพี-เอ็นเป็นชั้นตื้นๆ ซึ่งใช้เทคโนโลยีซีมอส 0.8 ไมครอน ถูกสร้างบนแผ่นฐานรองซิลิคอนชนิดพี ขนาดเส้นผ่าศูนย์กลาง 150 มิลลิเมตร พิกัดความต้านทาน 5 โอห์ม-เซนติเมตร บ่อแยกชนิดเอ็นได้จากการฝังประจุฟอสฟอรัส $4x10^{12}$ อิออน/ตารางเซนติเมตร ด้วยพลังงาน 140 กิโลอิเล็กตรอนโวลต์ และฝังประจุโบรอน $3x10^{15}$ อิออน/ตารางเซนติเมตร ด้วยพลังงาน 40 กิโลอิเล็กตรอนโวลต์ สำหรับบริเวณ p^+ และสุดท้ายรอยต่อจะถูกเชื่อมต่อกับชั้นโลหะอลูมิเนียม

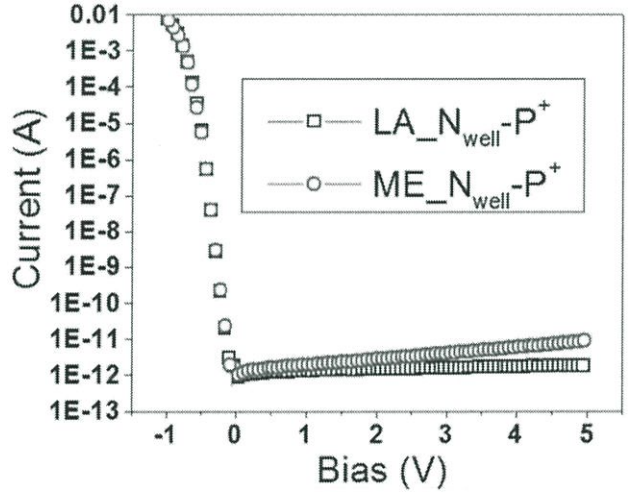
เพื่อใช้ในการศึกษาองค์ประกอบของกระแสรั่วไหล ไดโอดพื้นที่ (A) และไดโอดเส้นรอบรูป (P) แบบต่างๆ จะถูกสร้างบนแผ่นเวเฟอร์ ดังแสดงในตารางที่ 4.1

ตารางที่ 4.1 รูปแบบเรขาคณิตของไดโอด

ชนิดของไดโอด	พื้นที่ (ซม^2)	เส้นรอบรูป (ซม)
Large Area (LA) (p^+ - N_{well})	$8x10^{-4}$	0.12
Meander (ME) (p^+ - N_{well})	$8x10^{-4}$	8.04

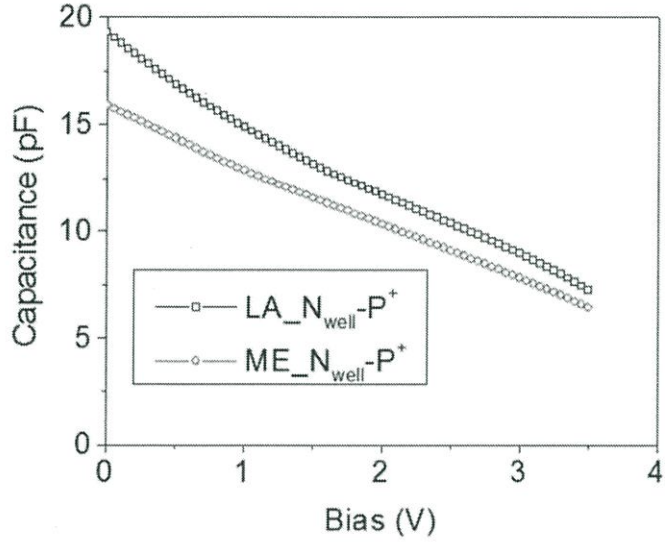
วิธีการวัดค่าคุณลักษณะกระแส-แรงดันของไดโอดรูปทรงเรขาคณิตแบบต่างๆกันบนแผ่นเวเฟอร์ ถูกทำการวัดด้วยการให้ค่าไบอัสเป็นช่วงละ 0.01 โวลต์ จากแรงดันย้อนกลับ (reverse :V_R) ไปถึงแรงดันตรง (forward :V_F) โดยที่แรงดันไบอัสจะถูกให้กับบ่อแยกเอ็น : N_{well} และทำการวัดค่ากระแสที่ขั้ว p^+ ซึ่งควบคุมอุณหภูมิที่ 27 °C ในกล่องดำ

คุณลักษณะค่าเก็บความจุไฟฟ้า-แรงดัน ถูกกระทำกับไดโอดแบบเดียวกันด้วยความถี่ 100 กิโลเฮิร์ต ที่อุณหภูมิ 27 °C ความกว้างชั้นปลอดพาหะของพื้นที่ในแผ่นฐานรอง สามารถคำนวนหาค่าจากคุณลักษณะค่าเก็บความจุไฟฟ้า-แรงดัน (C-V)



รูปที่ 4.2 กราฟความสัมพันธ์ของกระแสและแรงดันของไดโอดที่มีรอยต่อชนิด p^+ - N_{well}

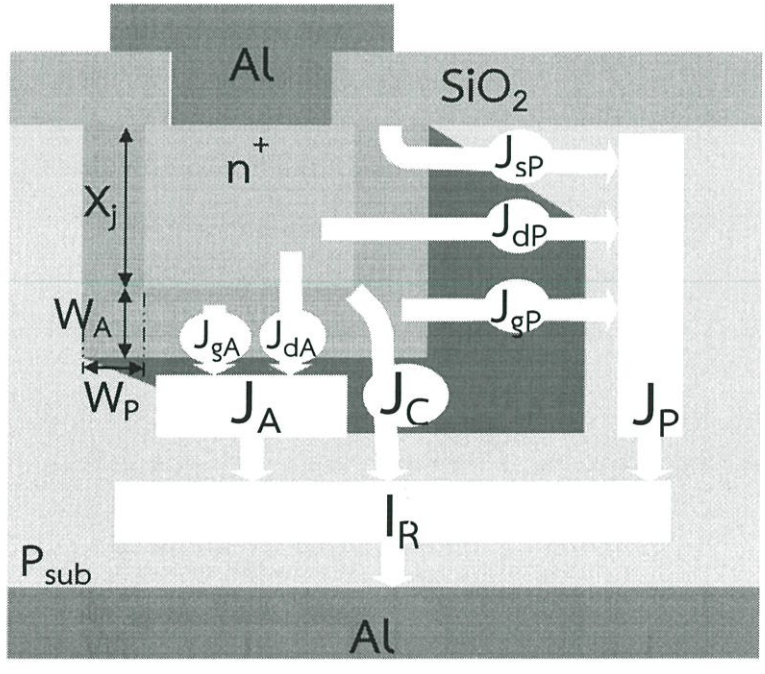
รูปที่ 4.2 แสดงถึงกราฟความสัมพันธ์ของกระแสและแรงดันของไดโอดที่มีรอยต่อชนิด p^+ - N_{well} โดยมีรูปแบบเรขาคณิตของไดโอดที่แตกต่างกัน



รูปที่ 4.3 กราฟความสัมพันธ์ของค่าเก็บความจุไฟฟ้าและแรงดันของไดโอดที่มีรอยต่อชนิด p^+ - N_{well}

จากรูปที่ 4.3 แสดงถึงกราฟความสัมพันธ์ของค่าเก็บความจุไฟฟ้าและแรงดันของไดโอดที่มีรอยต่อชนิด p^+ - N_{well} โดยมีรูปแบบเรขาคณิตของไดโอดที่แตกต่างกัน

4.2 การวิเคราะห์องค์ประกอบของกระแสในไดโอด



รูปที่ 4.4 องค์ประกอบของกระแสรั่วไหลในรอยต่อของไดโอด

ในการวิเคราะห์กระแสรั่วไหล (leakage current) ที่ไหลผ่านรอยต่อของไดโอดภายใต้เงื่อนไขการไบอัสย้อนกลับ (reverse bias) สามารถพิจารณาได้จากรูปที่ 4.4

จากรูปพบว่าองค์ประกอบรวมของกระแสรั่วไหลเกิดจากจากลักษณะการกระจายตัวทางกายภาพของกระแสในแต่ละส่วนที่แตกต่างกัน เช่น กระแสรั่วไหลด้านพื้นที่ (I_A) กระแสรั่วไหลด้านเส้นรอบรูป (I_P) กระแสรั่วไหลที่มุม (I_C) และกระแสรั่วไหลแฝง (I_{Par}) ซึ่งนิยามผลรวมของกระแสรั่วไหล (I_R) สามารถเขียนในรูปสมการที่ (4.1)

$$I_R = I_A + I_P + I_C + I_{Par} \tag{4.1}$$

แต่จากการวิเคราะห์พบว่า $I_A + I_P \gg I_C + I_{Par}$ ดังนั้นจึงสามารถเขียนในรูปสมการที่ (4.1) ใหม่เป็นสมการที่ (4.2)

$$I_R = I_A + I_P \tag{4.2}$$

หรือ

$$I_R = AJ_A + PJ_P \tag{4.3}$$

โดยที่ J_A (A/cm^2) เป็นความหนาแน่นกระแสด้านพื้นที่ (area current density) ที่เป็นสัดส่วนกับพื้นที่ของไดโอด (A) ส่วน J_P (A/cm^2) เป็นความหนาแน่นกระแสด้านเส้นรอบวง (perimeter current density) ที่เป็นสัดส่วนกับเส้นรอบรูป (P) ซึ่งสามารถแยกออกเป็นองค์ประกอบย่อยทางกายภาพ เช่น ความหนาแน่นกระแสการก่อเกิดด้านพื้นที่ (area generation current density - J_{gA}) ความหนาแน่นกระแสการก่อเกิดด้านเส้นรอบวง (perimeter generation current density - J_{gP}) ความหนาแน่นกระแสการแพร่ด้านพื้นที่ (area diffusion current density - J_{dA}) ความหนาแน่นกระแสการแพร่ด้านเส้นรอบวง (perimeter diffusion current density - J_{dP}) และความหนาแน่นกระแสการก่อเกิดที่ผิวด้านเส้นรอบวง (perimeter surface generation current density - J_{sP}) ดังความสัมพันธ์ที่แสดงในสมการที่ (4.4) และสมการที่ (4.5) ตามลำดับ

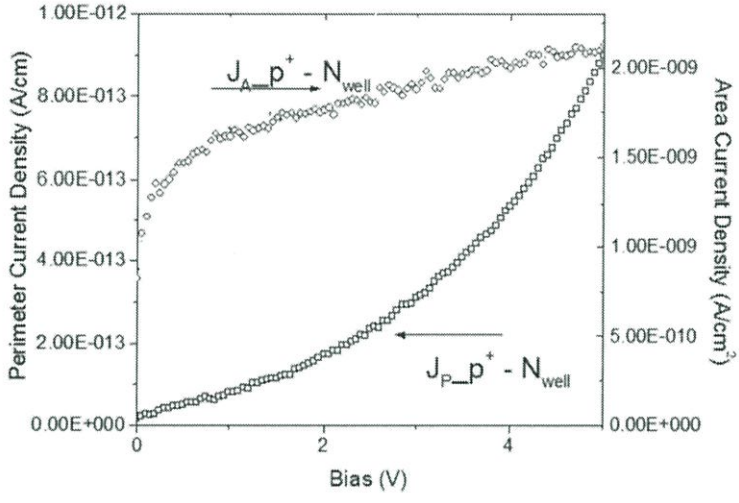
$$J_A = J_{gA} + J_{dA} \tag{4.4}$$

และ

$$J_P = J_{gP} + J_{dP} + J_{sP} \tag{4.5}$$

ในการวิเคราะห์กระแสที่ไหลผ่านรอยต่อของไดโอดภายใต้เงื่อนไขการไบอัสตรง (forward bias) ซึ่งเป็นองค์ประกอบกระแสการรวมตัวใหม่ (recombination current component) ดังนั้นพารามิเตอร์ J_{gA} และ J_{gP} เปลี่ยนรูปใหม่เป็น J_{rA} และ J_{rP} ตามลำดับ ซึ่ง J_{rA} เป็นความหนาแน่นกระแสการรวมตัวใหม่ด้านพื้นที่ (area recombination current density) และ J_{rP} เป็นความหนาแน่นกระแสการรวมตัวใหม่ด้านเส้นรอบวง (perimeter recombination current density)

รูปที่ 4.5 แสดงให้เห็นถึงเส้นกราฟความสัมพันธ์ของความหนาแน่นกระแสด้านพื้นที่และด้านเส้นรอบวงของไดโอดที่มีรอยต่อพี-เอ็นชนิด p^+- N_{well}



รูปที่ 4.5 กราฟความหนาแน่นกระแสของไดโอดที่มีรอยต่อพี-เอ็นชนิด p^+- N_{well}

4.3 การวิเคราะห์องค์ประกอบของค่าเก็บความจุไฟฟ้าในไดโอด

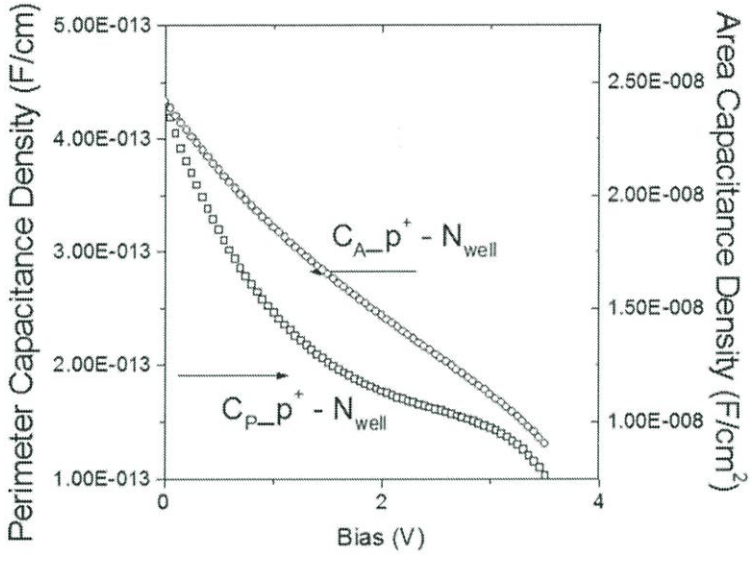
ในการวิเคราะห์ลักษณะเดียวกันกับองค์ประกอบของกระแส และการสมมุติว่าผลรวมค่าเก็บความจุไฟฟ้ารอยต่อ C_j เป็นการรวมแบบเชิงเส้นขององค์ประกอบของค่าเก็บความจุไฟฟ้าที่แตกต่างกัน โดยกำหนดให้

$$C_j = AC_A + PC_P \tag{4.6}$$

โดย C_A (F/cm^2) เป็นความหนาแน่นค่าเก็บความจุไฟฟ้าด้านพื้นที่ ซึ่งเป็นสัดส่วนกับพื้นที่ของไดโอด (A), C_P (F/cm) เป็นความหนาแน่นค่าเก็บความจุไฟฟ้าด้านเส้นรอบรูป ซึ่งเป็นสัดส่วนกับเส้นรอบรูปของไดโอด (P)

โดยทั่วไป ผลรวมค่าเก็บความจุไฟฟ้ารอยต่อ (C_j) ถูกวัดค่าการตอบสนองของรอยต่อที่มีต่อสัญญาณแรงดันขนาดเล็กที่คร่อมบนแรงดันไฟตรง ความหนาแน่นค่าเก็บความจุไฟฟ้าด้านพื้นที่ (C_A) และความหนาแน่นค่าเก็บความจุไฟฟ้าเส้นด้านรอบรูป (C_P) สามารถสมมุติว่าเป็นการรวมแบบเชิงเส้นขององค์ประกอบทางเรขาคณิตที่แตกต่างกัน ดังแสดงในสมการที่ (4.6)

รูปที่ 4.6 แสดงให้เห็นถึงเส้นกราฟความสัมพันธ์ของความหนาแน่นค่าเก็บความจุไฟฟ้าด้านพื้นที่และด้านเส้นรอบวงของไดโอดที่มีรอยต่อพี-เอ็นต่างชนิดกัน



รูปที่ 4.6 กราฟความหนาแน่นค่าเก็บความจุไฟฟ้าของไดโอดที่มีรอยต่อพี-เอ็นชนิด p^+- N_{well}

4.4 การวิเคราะห์ความกว้างชั้นปลอดพาหะ

โดยการพิจารณาสมการที่ (4.7) ความกว้างชั้นปลอดพาหะด้านพื้นที่ สามารถหาได้จากความหนาแน่นค่าเก็บความจุไฟฟ้าด้านพื้นที่ (C_A)

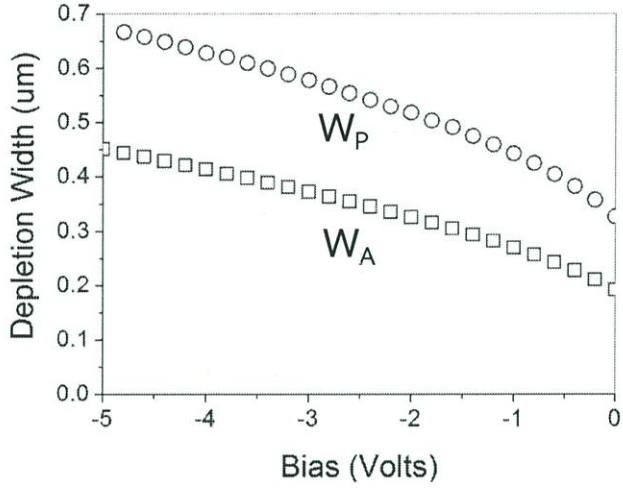
$$W_A = \frac{\varepsilon_{si}\varepsilon_o}{C_A} \tag{4.7}$$

โดยที่ ε_{si} เป็นค่าคงที่ไดอิเล็กตริกของซิลิคอน (11.8) และ ε_o (F/cm) เป็นค่าเพอร์มิตตีวิตี้ของสุญญากาศ (8.854x10^{-14} F/cm)

และในกรณีความหนาแน่นค่าเก็บความจุไฟฟ้าด้านเส้นรอบรูป (C_P)

$$W_P = \frac{\varepsilon_{si}\varepsilon_o(x_j+W_A)}{C_P} \tag{4.8}$$

สำหรับความสัมพันธ์ระหว่างความกว้างชั้นปลอดพาหะด้านพื้นที่และด้านเส้นรอบรูปกับแรงดันย้อนกลับของไดโอดรอยต่อ p^+ - N_{well} ถูกแสดงดังรูปที่ 4.7 จากรูปความสัมพันธ์พบว่าความกว้างชั้นปลอดพาหะด้านพื้นที่ มีค่าน้อยกว่าความกว้างชั้นปลอดพาหะด้านเส้นรอบรูป ประมาณ 1.5 เท่าที่แรงดัน 5 โวล์ต และมีค่า 1.7 เท่าที่แรงดัน 0 โวล์ต



รูปที่ 4.7 ความกว้างชั้นปลอดพาหะด้านพื้นที่และด้านเส้นรอบรูปของไดโอดรอยต่อ p^+ - N_{well}

4.5 การศึกษาการกระจายตัวของความบกพร่องโดยวิธีอนุพันธ์ในรอยต่อพี-เอ็น

ในการศึกษาองค์ประกอบของกระแสรั่วไหล ไดโอดพื้นที่ (A) และไดโอดเส้นรอบรูป (P) แบบต่างๆ จะถูกสร้างบนแผ่นซิลิคอน ดังแสดงในตารางที่ 4.2

ตารางที่ 4.2 รูปแบบเรขาคณิตของไดโอด

ชนิดของไดโอด	พื้นที่ (ซม2)	เส้นรอบรูป (ซม)
Large Area (LA) (p+ - Nwell)	8x10-4	0.12
Meander (ME) (p+ - Nwell)	8x10-4	4.04

ผลรวมของกระแสไบอัสตรง (I_F) ของรอยต่อพี-เอ็นประกอบด้วยองค์ประกอบเรขาคณิตที่แตกต่างกัน เช่น กระแสรั่วไหลพื้นที่ (I_A) และกระแสรั่วไหลเส้นรอบ รูป (I_P)ดังสมการที่ 4.9

$$I_F = I_A + I_P = AJ_A + PJ_P \tag{4.9}$$

โดยที่ J_A (A/cm^2) เป็นความหนาแน่นกระแสด้านพื้นที่ (area current density) ที่เป็นสัดส่วนกับพื้นที่ของไดโอด (A) ส่วน J_P (A/cm^2) เป็นความหนาแน่นกระแสด้านเส้นรอบวง (perimeter current density) ที่เป็นสัดส่วนกับเส้นรอบรูป (P)

ค่า J_A สามารถแยกองค์ประกอบทางกายภาพเป็นความหนาแน่นกระแสการรวมตัวใหม่ในเนื้อสารด้านพื้นที่ และความหนาแน่นกระแสการแพร่ ดังสมการที่ 4.10

$$J_A = J_{dA} + J_{rbA} \tag{4.10}$$

จากสมการไดโอดแบบอุคมคติ (สมการไดโอดของชอคเลย์)

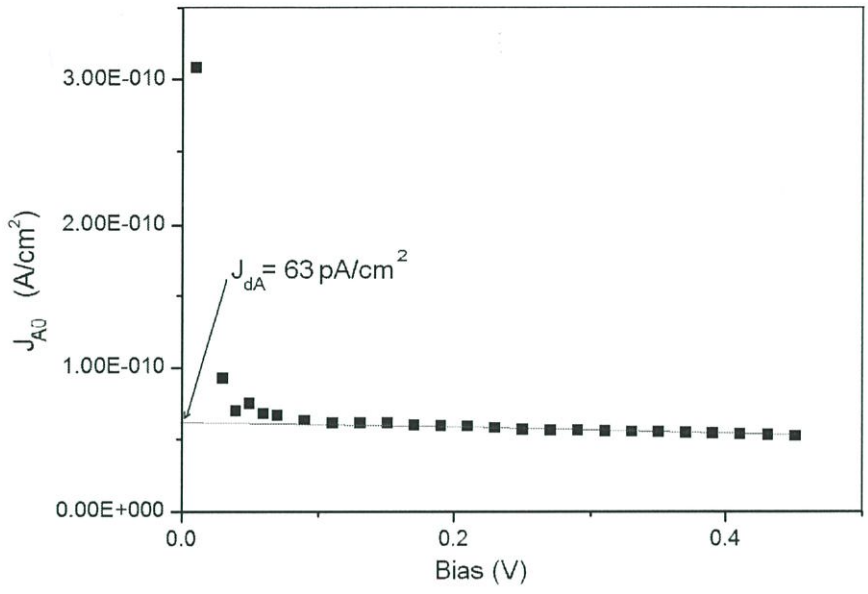
$$I = I_0[\exp(qV/kT) - 1] \tag{4.11}$$

โดยที่ค่า I_O เป็นค่ากระแสอิ่มตัว (A), q เป็นค่าประจุของอิเล็กตรอน (1.602x10-19 C), k เป็นค่าคงที่ของโบล์ตมานน์ (8.617x10-5 eV/K), T เป็นอุณหภูมิสัมบูรณ์ (K)

และจากการแทนค่าสมการที่ 4.11 ด้วยค่าความหนาแน่นกระแสด้านพื้นที่ ทำให้ได้ค่าความหนาแน่นกระแสอิ่มตัวด้านพื้นที่ ดังสมการที่ 4.12

$$J_{A0} = \frac{J_A}{[\exp(qV/kT) - 1]} \tag{4.12}$$

จากความสัมพันธ์ของสมการที่ 4.12 สามารถหาความสัมพันธ์ของความหนาแน่นกระแสอิ่มตัวด้านพื้นที่และแรงดันไบอัสตรงดังรูปที่ 4.8 ซึ่งแสดงให้เห็นว่าที่แรงดันไบอัสตรงค่าต่ำๆ (น้อยกว่า 0.1 โวลต์) ค่า J_{AO} จะถูกควบคุมด้วยกระแสการรวมตัวใหม่ เมื่อค่าแรงดันอยู่ในช่วง 0.1โวลต์ถึง 0.4 โวลต์ จะแสดงค่าของความหนาแน่นกระแสการแพร่ด้านพื้นที่ J_{dA} และจากการประมาณค่าของ J_{dA} เป็นเชิงเส้นในช่วง 0.1 โวลต์ถึง 0.4 โวลต์ที่ V = 0 จะได้ค่า J_{dA} เท่ากับ 63 pA/cm^2



รูปที่ 4.8 ความสัมพันธ์ของความหนาแน่นกระแสอิ่มตัวด้านพื้นที่ (J_{AO}) และแรงดันไบอัสตรง

โดยทั่วไปค่าของ J_A สามารถเขียนให้อยู่ในรูป

$$J_A = J_{dA} + \left\{ \left[qn_i W_A \Big/ 2\tau_r \exp\left(\frac{qV}{2kT}\right) + \tau_g \right] . [\exp(qV/kT) - 1] \right\} \quad (4.13)$$

ซึ่งค่า n_i เป็นค่าความหนานแน่นของประจุพาหะในสารกึ่งตัวนำบริสุทธิ์ (cm^{-3}) และค่า W_A เป็นความกว้างของชั้นปลอดพาหะด้านพื้นที่ (cm) จะพบว่าค่าความหนาแน่นกระแสด้านพื้นที่ขึ้นอยู่กับค่าความกว้างชั้นปลอดพาหะด้านพื้นที่และการแสการแพร่ด้านพื้นที่ ดังนั้นการคำนวณหาค่า τ_r และ τ_g จะกล่าวถึงในลำดับต่อไป

ลักษณะเดียวกันกับองค์ประกอบของกระแส และการสมมุติว่าค่าผลรวมค่าความจุไฟฟ้าที่รอยต่อ C_j เป็นการรวมแบบเชิงเส้นขององค์ประกอบค่าความจุไฟฟ้าที่แตกต่างกัน โดยกำหนดให้

$$C_j = AC_A + PC_P \quad (4.14)$$

โดย C_A เป็นความหนาแน่นค่าความจุไฟฟ้าด้านพื้นที่ (F/cm2) เป็นสัดส่วนกับพื้นที่ของไดโอด(A), C_P เป็นความหนาแน่นค่าความจุไฟฟ้าด้านเส้นรอบรูป(F/cm) ซึ่งเป็นสัดส่วนกับเส้นรอบรูปของไดโอด (P)

โดยทั่วไป ค่าความจุไฟฟ้าที่รอยต่อ (C_j) ถูกวัดค่าการตอบสนองของรอยต่อที่มีต่อสัญญาณแรงดันขนาดเล็กที่คร่อมบนแรงดันไฟตรง ความหนาแน่นค่าความจุไฟฟ้าด้านพื้นที่ (C_A) และความหนาแน่นค่าความจุไฟฟ้าด้านเส้นรอบรูป (C_P) สามารถสมมุติว่าเป็นการรวมแบบเชิงเส้นขององค์ประกอบทางเรขาคณิตที่แตกต่างกันดังแสดงในสมการที่ (4.14)

ค่าช่วงชีวิตการก่อเกิดขึ้นอยู่กับความกว้างชั้นปลอดพาหะด้านพื้นที่และความหนาแน่นกระแสด้านพื้นที่ ความกว้างชั้นปลอดพาหะด้านพื้นที่สามารถหาได้จากความหนาแน่นค่าความจุไฟฟ้าด้านพื้นที่ (C_A)

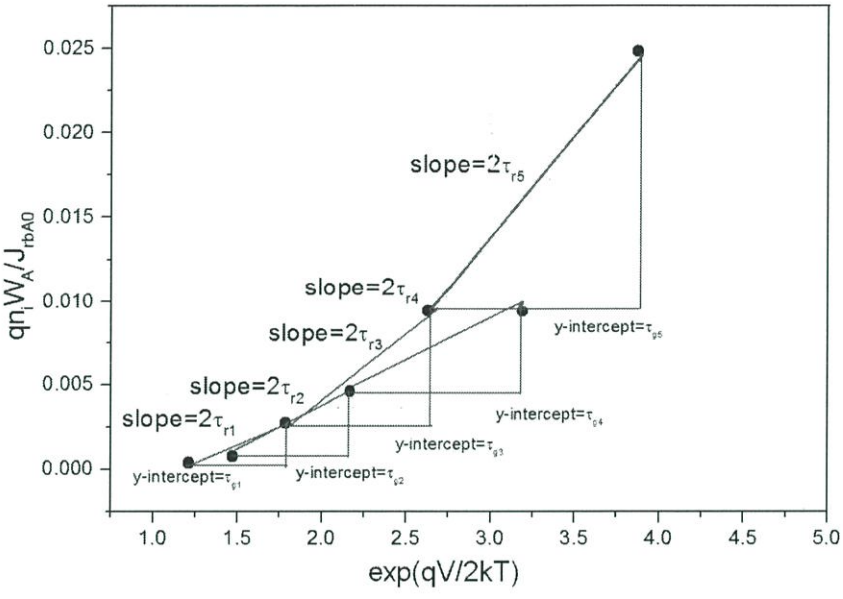
$$W_A = \frac{k_{si}\varepsilon_o}{C_A} \tag{4.15}$$

โดยที่ k_{si} เป็นค่าคงที่ไดอิเล็กตริกของซิลิคอน (11.8) และ ε_o (F/cm) เป็นค่าเพอร์มิตตีวิตี้ของสุญญากาศ (8.854×10^{-14} F/cm)

จากสมการที่ (4.10) และ (4.13) จะพบว่าค่าความหนาแน่นของกระแสอิ่มตัวของการรวมตัวใหม่ในเนื้อสารด้านพื้นที่ (J_{rbAO}) เท่ากับ $J_{AO} - J_{dA}$ ซึ่งสามารถคำนวณหาได้จากสมการที่ (4.13) และผลลัพธ์ภายหลังการจัดเรียงรูปใหม่แสดงได้ดังสมการที่ (4.16)

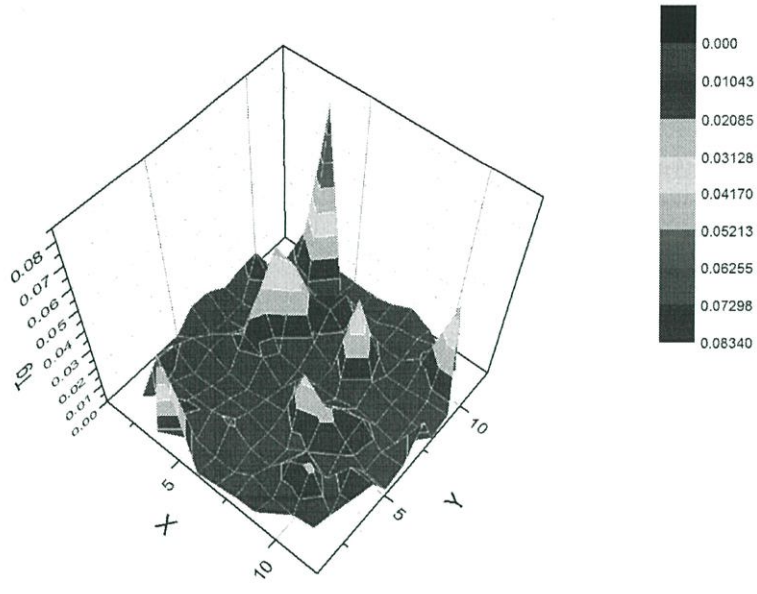
$$\frac{qn_i W_A}{J_{rba0}} = 2\tau_r \exp(qV/2kT) + \tau_g \tag{4.16}$$

รูปที่ 4.9 แสดงถึงความสัมพันธ์ของค่า qn_iW_A/J_{rbAO} กับค่า $exp(qV/2kT)$ โดยค่าอนุพันธ์ของ τ_r และ τ_g สามารถหาได้จากค่าอนุพันธ์ของความชันและจุดตัดที่ค่า $qn_iW_A/J_{rbAO} = 0$ ตามลำดับ

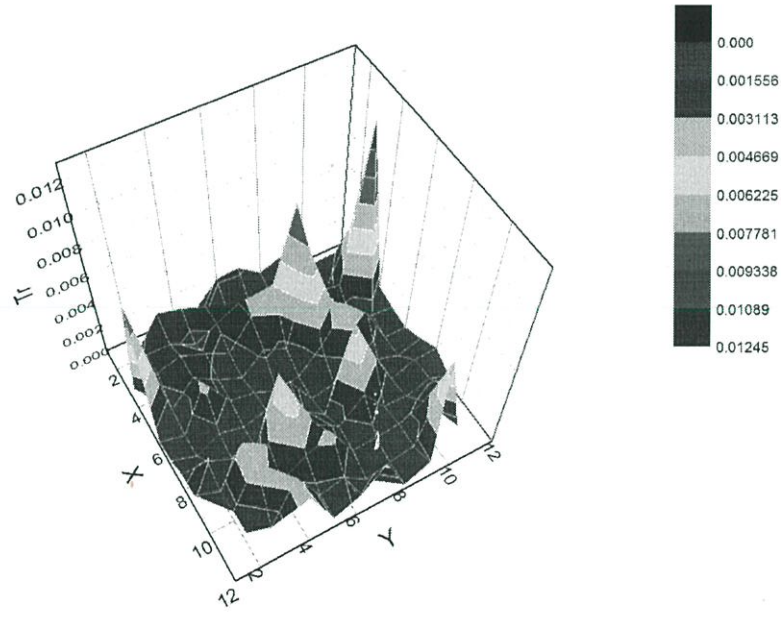


รูปที่ 4.9 ความสัมพันธ์ของค่า *exp(qV/2kT)* และ *qniWA/Jabr0*

หลังจากที่ได้ค่าของ τ_r และ τ_g ของแต่ละจุด จะนำมาคำนวณหาค่ากลางโดยการนำมาหาค่าเฉลี่ยของค่าช่วงชีวิตการรวมตัวใหม่ และค่าช่วงชีวิตการก่อเกิดของแต่ละจุดทำให้ได้ค่า τ_r = 0.003672 วินาที และค่า τ_g = 0.011879 วินาที จากการศึกษาและเก็บข้อมูลตัวอย่างบนแผ่นซิลิคอนทั้งหมด 125 ไดซ์ และนำมาแสดงผลเป็นรูปกราฟแบบ 3 มิติ ทำให้ได้แผนภาพการกระจายตัวของค่าช่วงชีวิตการก่อเกิดและการรวมตัวใหม่ ดังแสดงในรูปที่ 4.10 และรูปที่ 4.11



รูปที่ 4.10 การกระจายของค่า τ_g บนแผ่นซิลิคอน



รูปที่ 4.11 การกระจายของค่า τ_r บนแผ่นซิลิคอน

จากรูปที่ 4.10 และรูปที่ 4.11 แสดงให้เห็นการกระจายตัวของค่าช่วงชีวิตการก่อเกิดและการรวมตัวใหม่ ซึ่งพบว่าแผ่นซิลิคอนมีการกระจายตัวของความบกพร่องอย่างไม่สม่ำเสมอ (non-uniform defect) โดยแสดงให้เห็นด้วยค่า τ_g และค่า τ_r ที่มีระดับความสูงต่ำไม่สม่ำเสมอกันตลอดทั่วทั้งแผ่นซิลิคอน

ลักษณะการกระจายตัวของความบกพร่องที่ไม่สม่ำเสมอนี้ อาจเกิดจากกระบวนการยิงฝังประจุ (Ion Implantation) และกระบวนการแอนนีลลิ่ง (Annealing) ที่มีการจัดรูปแบบใหม่ (reform) ของกลุ่มประจุฟอสฟอรัส (Phosphorus cluster) ที่บริเวณบ่อแยกชนิดเอ็น ซึ่งเกิดขึ้นอย่างไม่สมบูรณ์

บทที่ 5
สรุปผลการวิจัยและข้อเสนอแนะ

งานวิจัยนี้ นำเสนอเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน เพื่อนำไปวิเคราะห์หาความบกพร่องที่เกิดขึ้นในโครงสร้างผลึกซิลิคอน โดยการศึกษาความสัมพันธ์ขององค์ประกอบของกระแสรั่วไหลกับความบกพร่องของซิลิคอนในบริเวณปลอดพาหะของรอยต่อพี-เอ็น โดยเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน ซึ่งวิจัยและพัฒนาในประเทศ สามารถใช้ทดแทนเครื่องมือวิเคราะห์ราคาแพงจากต่างประเทศ

ผลการทดลองแสดงถึงคุณสมบัติพื้นฐานของไดโอดชนิดรอยต่อพี-เอ็น ได้แก่ การวิเคราะห์ข้อมูลคุณสมบัติพื้นฐานภายในรอยต่อพีเอ็น การวิเคราะห์องค์ประกอบของกระแส การวิเคราะห์องค์ประกอบของค่าเก็บความจุไฟฟ้าในไดโอด การวิเคราะห์ความกว้างชั้นปลอดพาหะ และในหัวข้อสุดท้ายเป็นการศึกษาการกระจายตัวของความบกพร่องโดยวิธีอนุพันธ์ในรอยต่อพี-เอ็น

ในขั้นตอนการออกแบบอุปกรณ์ไดโอดที่มีรูปทรงเรขาคณิตแบบต่างกัน 2 แบบคือ Large Area Diode และ Meander Diode โดยออกแบบให้มีขนาดพื้นที่เท่ากันทั้ง 2 แบบ เพื่อให้สอดคล้องและง่ายต่อการคำนวนหาพารามิเตอร์อื่นๆ สำหรับกระบวนการสร้างอุปกรณ์ไดโอดใช้เทคโนโลยีการผลิตซีมอสแบบมาตรฐานขนาด 0.8 ไมโครเมตร ที่ห้องปฏิบัติการของศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์(TMEC) ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) กระทรวงวิทยาศาสตร์และเทคโนโลยี โดยขั้นตอนการยิงฝังประจุฟอสฟอรัสเพื่อสร้างบ่อแยกชนิดเอ็นอาจทำให้เกิดความบกพร่องในซิลิคอนขึ้นได้ถึงแม้ว่าในขั้นตอนของกระบวนการสร้างอุปกรณ์ โดยเฉพาะกระบวนการแอนนีลลิ่ง (Annealing) ซึ่งเป็นกระบวนการสำคัญเพื่อซ่อมแซมและจัดเรียงตัวโครงสร้างของผลึกที่เสียหายจากกระบวนการยิงฝังประจุให้กลับอยู่ในสภาพที่ปกติเหมือนเดิม อาจทำได้ไม่สมบูรณ์หรือมีเงื่อนไขของกระบวนการแอนนีลลิ่งที่ไม่เหมาะสม จึงเป็นสาเหตุทำให้เกิดความบกพร่องในโครงสร้างผลึกเกิดขึ้น ดังนั้นการยิงฝังประจุฟอสฟอรัสที่ทำให้เกิดความบกพร่องจะถูกใช้เป็นเงื่อนไขในการศึกษาและจากคุณลักษณะของกระแสรั่วไหลในรอยต่อพี-เอ็น จะนำไปสู่การวิเคราะห์หาค่าช่วงชีวิตการก่อเกิด ค่าช่วงชีวิตการรวมตัวใหม่ และค่าพลังงานกระตุ้นเพื่อแสดงถึงความบกพร่องที่เกิดขึ้นในโครงสร้างผลึกซิลิคอน

ภายหลังจากกระบวนการสร้างทำการวัดคุณลักษณะกระแส-แรงดัน และค่าเก็บประจุไฟฟ้าของรอยต่อพี-เอ็น โดยให้ทั้งแรงดันไบอัสตรงและแรงดันย้อนกลับ ซึ่งมีการเปลี่ยนแปลงอุณหภูมิตั้งแต่ 27 $^{\circ}$C – 100 $^{\circ}$C ในตู้มืดพร้อมแท่นวัดคุณสมบัติอุปกรณ์ จากนั้นนำข้อมูลที่ได้จากการวัดมาทำการวิเคราะห์หาค่าองค์ประกอบของกระแสรั่วไหล ค่าช่วงชีวิตการก่อเกิด ค่าช่วงชีวิตการรวมตัวใหม่

จากค่าช่วงชีวิตการก่อเกิดและการรวมตัวใหม่ ที่ได้จากการวิเคราะห์ด้วยเทคนิคอนุพันธ์ และนำมาแสดงผลเป็นแผนภาพแบบ 3 มิติ ทำให้สามารถศึกษาวิเคราะห์ความไม่สม่ำเสมอของการกระจายตัวจากความบกพร่องที่เกิดขึ้นในตำแหน่งต่างๆบนแผ่นซิลิคอนได้อย่างชัดเจนยิ่งขึ้น ส่วนตำแหน่งที่มีค่าของช่วงชีวิตที่ระดับสูงกว่าปกตินั้น แสดงให้เห็นว่าอุปกรณ์นั้นมีกระแสรั่วไหลสูงกว่าอุปกรณ์ตัวอื่นๆ แต่ยังไม่สามารถสรุปได้ว่าอุปกรณ์ตัวนั้นไม่สามารถใช้งานได้ จึงต้องพิจารณาจากปัจจัยอื่นๆประกอบด้วย

วิธีในการศึกษาความบกพร่องด้วยวิธีดังกล่าวเป็นวิธีที่ง่ายและใช้เพียงเครื่องมือวัดพื้นฐานที่มีอยู่ รวมถึงใช้ค่าเพียงอุณหภูมิค่าเดียว ซึ่งสามารถทดแทนการใช้เครื่องมือวิเคราะห์ชั้นสูงที่มีความซับซ้อนมากกว่าและราคาสูงกว่าเช่นวิธี DLTS (Deep Level Transient Spectroscopy) ซึ่งใช้ระบุลักษณะและวิเคราะห์ความบกพร่องที่ปรากฏในบริเวณชั้นปลอดพาหะได้

บทที่ 6
สรุปผลผลิตที่ได้จากงานวิจัย

โครงการวิจัยนี้ มีวัตถุประสงค์หลัก 3 ประการคือ

1. เพื่อศึกษาเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน
2. เพื่อพัฒนาองค์ความรู้จากงานวิจัยและพัฒนาสู่ภาคอุตสาหกรรม
3. เพื่อเผยแพร่ผลงานวิชาการสู่สังคม

ซึ่งผลดำเนินงานหรือผลผลิตที่ได้จากงานวิจัย สรุปได้ดังนี้

1. โครงการวิจัยนี้ มีวัตถุประสงค์เพื่อการสร้างและพัฒนาเทคนิคในการวิเคราะห์ผลผลิตด้านความความบกพร่องของโครงสร้างผลึกที่เกิดขึ้นภายในรอยต่อพี-เอ็นบนแผ่นซิลิคอน โดยต้องการลดค่าใช้จ่ายจากเครื่องมือราคาแพงจากต่างประเทศ ทั้งสามารถทำได้ง่าย สะดวกและรวดเร็ว เพียงใช้เครื่องมือวิเคราะห์คุณสมบัติอุปกรณ์สารกึ่งตัวนำและตู้มืดพร้อมแท่นวัดคุณสมบัติอุปกรณ์ ซึ่งเป็นเครื่องมือพื้นฐานของห้องปฏิบัติการสารกึ่งตัวนำเพียงชุดเดียว ดังที่ได้นำเสนอในรายงานฉบับนี้

2. โครงการวิจัยนี้ มีการเผยแพร่ผลงานวิชาการสู่สังคม โดยมีการนำเสนอผลงานวิจัยในการประชุม International Conference on Key Engineering Materials (ICKEM 2014) ณ บาหลี ประเทศอินโดนีเซีย เมื่อวันที่ 22-23 มีนาคม 2557 และบทความได้รับการตีพิมพ์ในวารสาร Advanced Materials Research Vol. 911 (2014) pp 271-275, ซึ่งเป็นวารสารวิชาการนานาชาติที่อยู่ในฐานข้อมูล Scopus ดังภาคผนวก

บรรณานุกรม

A. Czerwinski, E. Simoen, C. Claeys, K. Klima, D. Tomaszewski, J. Gibki, and J. Katcki. "Optimized diode analysis of electrical silicon substrate properties." **J. Electrochem. Soc.**, Vol.145(6), pp.2107-2112, 1998.

A. Poyai, C. Claeys and E. Simoen, "Improved extraction of carrier concentration and depletion width from capacitance-voltage characteristics of silicon n+-p-well junction diodes" **Appl. Phys. Lett.,** Vol. 80(7), pp. 1192-1194, 2002.

B, Yu, H, Wang, A, Joshi, Q, Xiang, E, Ibok, and M.R. Lin. "15nm gate length planar CMOS transistor." **IEDM Tech. Digest.** pp.937-939, 2001.

C. Claeys, A. Poyai, E. Simoen, A. Czerwinski, and J. Katcki. "p-n junction diagnostics to determine surface and bulk generation/recombination properties of silicon substrate." **J. Electrochem. Soc.**, Vol.146(3), pp.1151-1157, 1999.

C. Claeys, E. Simoen, A. Poyai, and A. Czerwinski, "Electrical Quality Assessment of Epitaxial Wafers Based on p-n Junction Diagnostics." **J. Electrochem. Soc.**, Vol. 146(9), pp.3429-3434, 1999.

D.V. Lang. "Deep-level transient spectroscopy: A new method to characterize traps in semiconductors." **J. Appl. Phys.**, Vol. 45 (1974) 3023.

D.V. Lang. "**Method for Measuring Traps in Semiconductors.**" US Patent 3,859,595. 1975.

Dennard R.H.et al. "Design of ion-implanted MOSFETs with very small physical dimensions." **IEEE J. Solid-State Circ.** Vol.9., pp.256, 1974.

Dewitt G. O. **Modern MOS Technology: Process, Devices, and Design**. The United States of America. McGraw-Hill, Inc. 1984.

Eugene R. Hnatek, **Integrated Circuit Quality and Reliability.** Marcel Dekker Inc, New York, 1995.

H. Kubota, H. Nagano, J. Sugamoto, H. Matsushita, M. Momose, S. Nitta, S. Samata, and N. Tsuchiya. "Use of diode diagnostics for silicon wafer quality characterization: Effect of COP on pn junction leakage." In: **Proc. Of High Purity Silicon VI**, Eds C.L. Claeys, P. Rai-Choudhury, M. Watanabe, P. Stallhofer, and H.J. Dawson, PV2000-17, **The Electochem, Soc.**, Pennington, NJ. Pp. 634-645, 2000.

H. Ryssel and I. Ruge. "**Ion Implantation.**" John Wiley & Sons, New York, 1986.

H.C.H. Wang, C.C. Wang, C.S. Chang, T. Wang, P.B. Griffin, and C.H. Diaz. "Interface induced uphill diffusion of boron: an effective approach for ultrashallow junction." **IEEE Electron Device Lett.**, Vol. 22(2), pp. 65-67, 2001.

I.H. Nam, J.S. Sim, S.I. Hong, B.G. Park, J.D. Lee, S.W. Lee, M.S. Kang, Y.W. Kim, K.P. Suh, and W.S. Lee. "Ultrathin gate oxide grown on nitrogen-implanted silicon for deep

submicron CMOS transistors." **IEEE Trans. Electron Devices**, Vol.48(12), pp.2310-2316, 2001.

J.W. Slotboom, M.J.J. Theunissen, and A.J.R. DeKock. "Impact of silicon substrates on leakage current." **IEEE Electron Device Lett.**, Vol. EDL-4(11), pp. 403-406, 1983.

K.K. Bourdelle, Y. Chen, R.A. Ashton, L.M. Rubin, A. Agarwal, and W.A. Morris. "Evaluation of high doses, high energy boron implantation into Cz substrates for epi-replacement in CMOS technology." **IEEE Trans. Electron Devices**, Vol. 48(9), pp. 2043-2049, 2001.

Mark Burns and Gordon W. Roberts, **An Introduction to Mixed-Signal IC Test and Measurement.** Oxford University Press, New York, 2001.

Mauro Zambuto. **Semiconductor Devices.** International Edition. Singapore. McGraw-Hill, Inc. 1989.

Moore G.E. "Cramming more Components onto Integrated Circuits." **Electronics**, 38 (8) (April 19, 1965); reproduced in Proc. IEEE, 86, 82 (1998).

R. Winkler. "On the influence of the interstitial oxygen on DRAM device yield and reliability." In: Proc. Of High Purity Silicon VI, Eds C.L. Claeys, P. Rai-Choudhury, M. Watanabe, P. Stallhofer, and H.J. Dawson, PV2000-17, **The Electochem, Soc.**, Pennington, NJ. pp. 634-645, 2000.

Rebert R Schller. "Moore's Law : Past, Present, and Future." **IEEE Spectrum**, June 1997, Vol 34 No 6 pp.53-59.

S.M. Sze., **Physics of Semiconductor Devices.** Wiley, New York. 1981.

Schroder D.K. **Semiconductor Materials and Device Characterization**. John Wiley & Sons, New York, 1990.

Schroder, D.K. "The concept of generation lifetime in semiconductors." **IEEE Trans. Electro. Dev**. ED-29:1336-1338 (1982).

Semiconductor Industry Association (SIA), "**The National Technology Roadmap for Semiconductor**", San Jose, CA, 2001, [Online]. Available : http://public.itrs.net/

Semiconductor Industry Association. **"The International Technology Roadmap for Semiconductors."** 2009 Edition.

Shockley, W. and Read, W.T. "Statistics of the recombination of holes and electrons." **Phys, Rev.**, 87:835-842 (1952); Hall, R.N., Electron-hole recombination in germanium. **Phys, Rev.**, 87:387 (1952).

Weera Phengchan, Toempong Phetchakul, Amporn Poyai, "Local Generation and Recombination Lifetime based on Forward Diode Characterisics Diagnostics", **Journal of Crystal Growth**, Vols.362, 1 January 2013, pp.300-303.

Weera Phengchan, Toempong Phetchakul, Amporn Poyai, "Implantation-Induced Defects Analysis based on Activation Energy Diagnostics", **Proceeding of the IEEE 12th International Symposium on Integrated Circuit** 2009, pp.518-521.

W. Scot Ruska. **Microelectronics Processing : An Introduction to the Manufacture of Integrated Circuits.** International Edition. Singapore. McGraw-Hill, Inc. 1988.

W.C. O'Mara, R.B. Herring, and L.P. Hunt., **Handbook of semiconductor silicon technology.** Noyes Publications, New Jersey, 1990.

W.R. Runyan and K.E. Bean. **Semiconductor Integrated Circuit Processing Technology.** The United States of America. Addison-Wesley Publishing Company, Inc. 1990.

Wolf. S. and Tauber. R.N. **Silicon Processing for The VLSI Era, Volume 1 : Process Technology.** The United States of America. Lattice Press. 1986.

Y. Tamai, M.M. Oka, A. Nakada and T. Ohmi. "influence of substrate dopant concentration on electrical properties and residual defects in pn junction formed by low-temperature post-implantation annealing." **J. Appl. Phys.**, Vol. 87(7), pp. 3488-3496, 2000.

ภาคผนวก

บทความได้รับการตีพิมพ์

บทความได้รับการตีพิมพ์ในวารสาร Advanced Materials Research ในวารสารวิชาการนานาชาติที่อยู่ในฐานข้อมูล Scopus และนำเสนอผลงานวิจัยในการประชุม International Conference on Key Engineering Materials (ICKEM 2014) ณ บาหลี ประเทศอินโดนีเซีย เมื่อวันที่ 22-23 มีนาคม 2557

Advanced Materials Research Vol. 911 (2014) pp 271-275
© (2014) Trans Tech Publications, Switzerland
doi:10.4028/www.scientific.net/AMR.911.271

Defect Distribution and Yield Analysis Technique on Silicon Wafer

Warakorn Praepattarapisut[1], Weera Pengchan[1,a], Toempong Phetchakul[1], Amporn Poyai[2]

[1]Department of Electronics Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand.

[2]Thai Micro Electronics Center (TMEC), National Electronics and Computer Technology Center, 51/4 Moo 1, Wang takien District, Chachoengsao 24000, Thailand.

[a]kpweera@kmitl.ac.th

Keywords: p-n junctions, Generation and recombination lifetime, Defects, Leakage current, CMOS technology.

Abstract. This paper presents the defect distribution and yield analysis on silicon wafer. The generation and recombination lifetime were the key parameters and obtained from the current–voltage and the capacitance–voltage of diode characteristics for forward bias. Then 3D contour maps were plotted as defect distribution and can be analyzed for the whole wafer which is useful for the yield analysis of the defects that were caused from fabrication process.

Introduction

Currently, the semiconductor manufacturing consists of a sequence of various process steps. But some physical characteristics are not fully under the semiconductor manufacturing control, and should be noted that there are many variation of each of these process. The effect of variations in processing parameter on the performance of small geometry devices could be significant. All these areas may introduce defects in a device. These defects may cause the failure on each dice and decrease the yield of wafers [1,2]. All semiconductor companies aim to maximize wafer yield to reduce manufacturing cost. The higher test yield means gaining the faster time to profit.

The defect on the Silicon wafer can cause the leakage current which can be analyzed from generation and recombination lifetime [3] those are calculated from the current–voltage (I-V) and the capacitance–voltage (C-V) characteristic [4], and analyze with derivative technique [5].

Experiment Details

Preparation. In this study, we use the standard diode which is made from 0.8 μm CMOS standardized electronics device processing150 mm of 5 Ω-cm of P-Silicon substrate.N-well was built from Phosphorus implantation at $4x10^{12}$ ion/cm^2 with energy 140 keV. For n^+ was built from Arsenic $5x10^5$ ion/cm^2 with energy 50 keV. And p^+ region was built from Boron $3x10^{15}$ ion/cm^2 with energy 40 keV. Finally, the boundary junction will be connected to the metal.

The basic structure of diode according to the geometry type, we can define into 2 structure types. Table 1 is the geometry description of Large Area Diode and Meander Diode. These parameters will be used for next section.

Measurement method. The current–voltage (I-V) characteristic of each diode was measured from forward bias with 0.01 V step from 0 to 1 V. The Voltage applied on n+ and measured the current at p+. The measurement was controlled at 300K in the black box. For the capacitance–voltage (C-V) characteristic was measured on the same diode with 100 kHz signal at 300K.

Table 1 The geometry description of each diode

Diode Type	Area (cm^2)	Perimeter (cm)
Large (LA) (p^+ - N_{well})	$8x10^{-4}$	0.12
Meander (ME) (p^+ - N_{well})	$8x10^{-4}$	$4.04x10^{-4}$

All rights reserved. No part of contents of this paper may be reproduced or transmitted in any form or by any means without the written permission of TTP, www.ttp.net. (ID: 161.246.28.138-18/03/14,05:13:37)

Results and Discussion

In order to studying the leakage current analysis in diode, Large Area and Meander Diode were built on the Silicon wafer per table 1. And the summary of forward bias current (I_F) at p-n junction is consist of geometry elements, these are area leakage current and perimeter leakage current per Eq. 1. [6]

$$I_F = I_A + I_P = AJ_A + PJ_P \tag{1}$$

where J_A is area current density that related with diode area (A). For J_P is perimeter current density that related with diode perimeter (P).

And J_A can be extracted to 2 physical elements. The first is area generation current densityand area diffusion current density per Eq. 2.

$$J_A = J_{dA} + J_{rbA} \tag{2}$$

From Ideal diode equation (Shockley diode equation)

$$I = I_0[\exp(qV/kT) - 1] \tag{3}$$

where I_0 is the saturation current (A), q is electron charge ($1.602\text{x}10^{-19}$ C), k is Boltzmann's constant ($8.617\text{x}10^{-5}$eV/K), T is absolute temperature (K)

By substituting current in Eq. 3 with area current density, the result is saturation area current density as Eq. 4.

$$J_{A0} = \frac{J_A}{[\exp(qV/kT) - 1]} \tag{4}$$

From Eq. 4, the relation between saturation area current density and forward bias voltage shows as Fig 1. At low bias voltage (less than 0.1 V), J_{A0} is controlled by recombination current. When voltage is between 0.1 – 0.4 V, area diffusion current density will perform J_{dA}. And estimate the J_{dA} as a linear from 0.1 - 0.4 V at V= 0V, the result of J_{dA} is 63 pA/cm^2.

Typically, the value J_A can be written as

$$J_A = J_{dA} + \left\{ \left[qn_i W_A \Big/ 2\tau_r \exp\left(\frac{qV}{2kT}\right) + \tau_g \right] . [\exp(qV/kT) - 1] \right\} \tag{5}$$

where n_i is the charge carrier density in intrinsic semiconductor (cm^{-3}) and W_A is area depletion region width (cm)

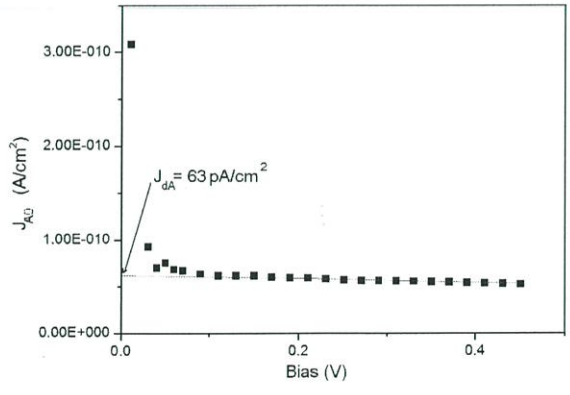


Fig 1. The relation between area current density and forward bias voltage

The area current density is depended with the depletion region width and area diffusion current. So the calculation of τ_r and τ_g will be discussed later.

With the same scenario as current element, the capacitance at the junction C_j is the summary of 2 linear elements by

$$C_j = AC_A + PC_P \tag{6}$$

where C_A is area capacitance density which related with diode area (A). C_P is perimeter capacitance density (F/cm) which related with diode perimeter (P) (F/cm^2).

Typically, junction capacitance (C_j) is measured by the response of small signal across DC voltage. Area capacitance density (C_A) and perimeter capacitance density (C_P) can be assumed to summarize as Eq. 6.

Generation lifetime is depended on depletion region width and area current density. The depletion region width can be gathered from area capacitance density (C_A)

$$W_A = \frac{k_{si}\varepsilon_o}{C_A} \tag{7}$$

where k_{si} is Silicon's dielectric constant (=11.8) and ε_0 is vacuum permittivity (=8.854x10^{-14} F/cm).

From equation, saturation area recombination current density J_{rbA0} is J_{A0} - J_{dA} which can be calculated from Eq. 5. The result after arrange the form is Eq. 8.

$$\frac{qn_iW_A}{J_{rba0}} = 2\tau_r \exp(qV/2kT) + \tau_g . \tag{8}$$

Figure 2 shows the relation between qn_iW_A/J_{abr0} and exp($qV/2kT$). So τ_r and τ_g can be calculated from slope and y-intercept (qn_iW_A/J_{abr0}= 0) respectively.

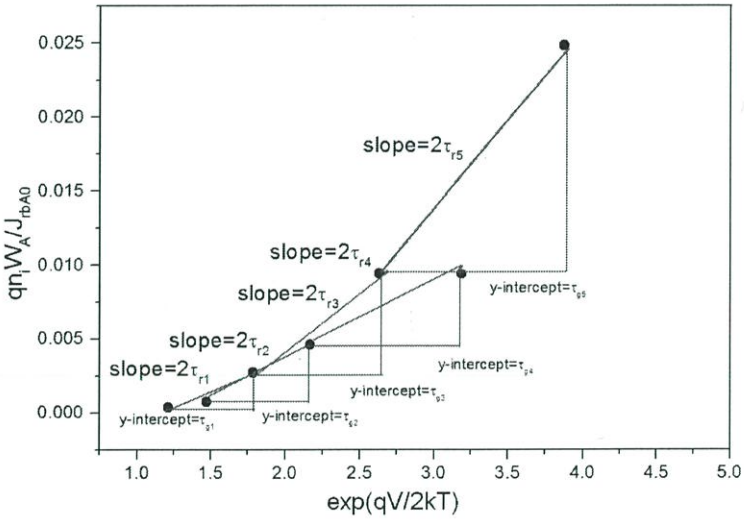


Fig 2. The relation between qn_iW_A/J_{abr0} and exp($qV/2kT$)

After we gathered τ_r and τ_g value for each point, Average value will be used to calculate, and we obtained τ_r = 367.2 μs and τ_g = 11.879 ms.

From the above data is the value for only 1 sample dice. Then, do the collecting the data for 125 dices, and show the result as 3D graph. So the distribution of generation lifetime and recombination lifetime are shown in Fig.3 and Fig.4. The result is this Silicon wafer is non-uniform defect because generation and recombination lifetime is not the same level for whole wafer.

This non-uniformed defect distribution can be occurred from ion-implantation and annealing process which the new reforming of Phosphorus cluster at n-well is not completed. It looks like the random defect. That affects to wafer yield loss due to higher leakage current.

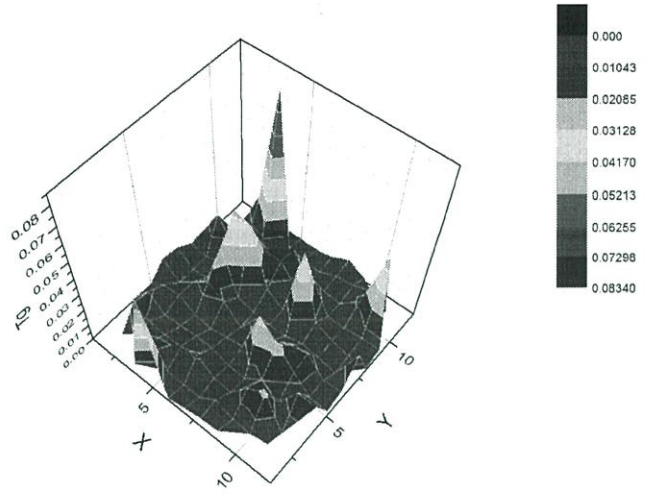


Fig 3. The distribution of τ_g on the Silicon wafer.

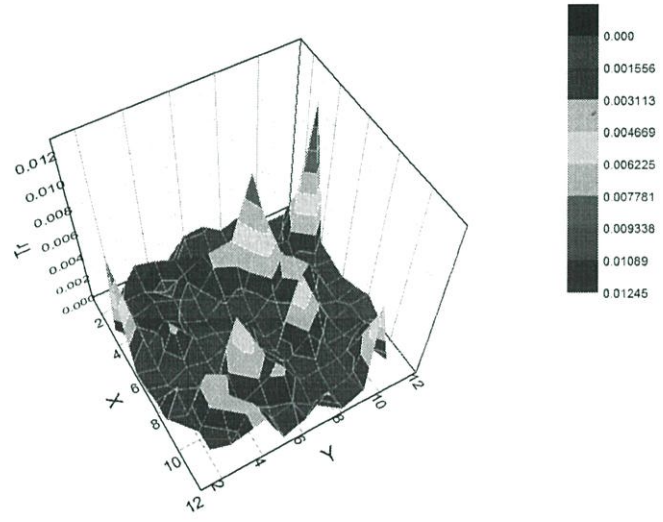


Fig 4. The distribution of τ_r on the Silicon wafer.

Summary

According to generation and recombination lifetime which calculated from derivative technique and show as 3D graph, can analyze the non-uniformity of the defect distribution on silicon wafer. For the dices which lifetime is higher, that means the leakage current is higher than other area and may cause of the yield loss on the wafer. So, the other parameter will be considered for the total yield calculation.

Acknowledgement

The authors need to thank for the helping and supporting from Anucha Ruangphanit from Thailand Microelectronics Center (TMEC), National Electronic and Computer Technology Center, Thailand.

47

References

[1] Mark Burns and Gordon W. Roberts, "An Introduction to Mixed-Signal IC Test and Measurement", Oxford University Press, New York, 2001.

[2] Eugene R. Hnatek, "Integrated Circuit Quality and Reliability", Marcel Dekker Inc, New York, 1995.

[3] A. Poyai, C. Claeys and E. Simoen, "Improved extraction of carrier concentration and depletion width from capacitance-voltage characteristics of silicon n+-p-well junction diodes" Appl. Phys. Lett., Vol. 80(7), pp. 1192-1194, 2002.

[4] A. Czerwinski, E. Simoen, C. Claeys, K. Klima, D. Tomaszewski, J. Gibki and J. Katcki, "Optimized diode analysis of electrical silicon substrate properties", J. Electrochem. Soc., Vol. 146(6), pp.2107-2112,1998.

[5] Weera Phengchan, Toempong Phetchakul, Amporn Poyai, "Local Generation and Recombination Lifetime based on Forward Diode Characterisics Diagnostics", Journal of Crystal Growth, Vols.362, 1 January 2013, pp.300-303.

[6] Weera Phengchan, Toempong Phetchakul, Amporn Poyai, "Implantation-Induced Defects Analysis based on Activation Energy Diagnostics", Proceeding of the IEEE 12th International Symposium on Integrated Circuit 2009, pp.518-521.

ข้อมูลประวัตินักวิจัย

ประวัติส่วนตัว

ชื่อ-สกุล นายวีระ เพ็งจันทร์

ตำแหน่งปัจจุบัน อาจารย์

ประวัติการศึกษา

ชื่อย่อปริญญา	สาขา	สถาบันที่จบ	ปีที่จบ
วศ.ด.	วิศวกรรมไฟฟ้า	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง	2556
วศ.ม.	วิศวกรรมไฟฟ้า	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง	2541
วท.บ.	วัสดุศาสตร์	มหาวิทยาลัยเชียงใหม่	2533

สาขาวิจัยที่มีความชำนาญพิเศษ 1) CMOS Fabrication Technology / Application
2) TCAD Process Simulation for Microelectronics
3) Integrated Circuits Failure / Defects Analysis

ผลงานวิจัย/งานสร้างสรรค์ที่ตีพิมพ์เผยแพร่ (ระดับชาติและนานาชาติ)

- ชื่อบทความ "Defect Distribution and Yield Analysis Technique on Silicon Wafer" Advanced Materials Research. Vol. 911 (2014) pp 271-275.
- ชื่อบทความ "Power loss Analysis based on Leakage Currentin PN junctions" Advanced Materials Research. Vol. 739 (2013) pp 90-93.
- ชื่อบทความ "Improved extraction of the local carrier generation lifetime from forward diode characteristics" International Conference on Applied Materials and Electronics Engineering (AMEE 2012), 18-19 January 2012, Hong Kong, China.
- ชื่อบทความ "The Generation and Recombination Lifetime based on Forward Diode Characteristics Diagnostics" International Conference on Materials for Advanced Technologies (ICMAT2011), 26 June -1 July 2011, Singapore.
- ชื่อบทความ "Non-uniform Defects Assessment by I-V and C-V characteristics of p-n junction" International Conference on Defects in Semiconductors (ICDS-2011), 17-22 July 2011, Nelson, New Zealand.
- ชื่อบทความ "The Defects Analysis in CMOS Fabrication By Arrhenius Activation Energy Technique" the IEEE International Conference on Nano/Micro Engineered and Molecular Systems (IEEE-NEM2011), 20-23 February 2011, Kaohsiung, Taiwan.
- ชื่อบทความ "Diagnostics of Ion Implantation with 0.8 micron CMOS Technology based on TCAD Simulation" Annual National Symposium on Computational Science and Engineering (ANSCSE) 23-26 March 2010, Mae Fah Luang University, Chiang Rai, Thailand.

- ชื่อบทความ "The Defect Generated in PN Junction Analysis by the Arrhenius Activation Energy Techique" Annual National Symposium on Computational Science and Engineering (ANSCSE) 23-26 March 2010, Mae Fah Luang University, Chiang Rai, Thailand.

- ชื่อบทความ "Optimization of Geometry of LOCOS Isolation in Sub micrometer CMOS by TCAD Tools" International Annual Symposium on Computational Science and Engineering (ANSCSE) 23-26 March 2010, Mae Fah Luang University, Chiang Rai, Thailand.

- ชื่อบทความ "Activation Energy Diagnostics of Implantation-induced Defects" International Conference on Materials for Advanced Technologies (ICMAT2009), 28 June-3July 2009, Singapore.

- ชื่อบทความ "Implantation-induced Defects Analysis Based on Activation Energy Diagnostics" International Symposium on Integrated Circuits (ISIC-2009), 14-16 December 2009, Singapore.

- ชื่อบทความ "Study of defect generated in PN Junction for 0.8 μm CMOS Fabrication" International Conference on Electrical Engineering/Electronics, Computer, Telecommunications, and Information Technology (ECTI - CON 2008), 14-17 May 2008, Kabi, Thailand.

- ชื่อบทความ "The Leakage Current of Doping Silicon effects on the Generation Lifetime Profile" International Conference on Materials Processing for Properties and Performance (MP3-2008), 5-7 November 2008, Singapore.