

วิเคราะห์และออกแบบวงจรอินเวอร์เตอร์

INVERTER CIRCUIT ANALYSIS AND DESIGN

ไพบูรณ์ ตู่ประกาย  
PAIBOON TOOPRAKAI

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2551

KMITL-2008-EN-D-018-041

วิเคราะห์และออกแบบวงจรอินเวอร์เตอร์

INVERTER CIRCUIT ANALYSIS AND DESIGN



ไพบูรณ์      คู่ประกาย  
PAIBOON      TOOPRAKAI

พ.ศ.  
พ.ค.ค.  
2551

เลขหมู่.....  
เลขทะเบียน..... 82711  
วัน,เดือน,ปี... 22 ...ค.ค. 2551

b. 11952209  
i. ....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต  
สาขาวิชาวิศวกรรมไฟฟ้า  
บัณฑิตวิทยาลัย  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
พ.ศ. 2551

KMITL-2008-EN-D-018-041

# INVERTER CIRCUIT ANALYSIS AND DESIGN

PAIBOON TOOPRAKAI

A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2008

KMITL-2008-EN-D-018-041

COPYRIGHT 2008

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADRABANG

หัวข้อวิทยานิพนธ์	วิเคราะห์และออกแบบวงจรรินเวอร์เตอร์
นักศึกษา	นายไพบูรณ์ คู่ประกาย
รหัสนักศึกษา	41060024
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2551
อาจารย์ที่ปรึกษา	รศ.ดร.กอบชัย เดชหาญ

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบและวิเคราะห์วงจรรินเวอร์เตอร์โดยใช้วงจรมอส และวงจรมอสแบบซิมอส เช่น วงจรแลทซ์ ทั้งไดนามิกและสแตติก วงจรบัฟเฟอร์ เป็นต้น โดยพิจารณาถึงเรื่องข้อจำกัด 3 ประการในการออกแบบทั้งเรื่องกำลังงานที่สูญเสีย ความเร็ว และ พื้นที่ เพื่อลดความผิดพลาดของวงจรรินเวอร์เตอร์เนื่องจากปรากฏการณ์เมตาสเตเบิล ซึ่งจะช่วยให้ลดเวลาในการออกแบบวงจรลง และการออกแบบวงจรรินเวอร์เตอร์แบบซิมอสด้วยเทคนิคบูตสเตรป (bootstrapped) โดยที่ยังมีภาครับสัญญาณด้านขาเข้าของวงจรรินเวอร์เตอร์ใช้ไดโอดแฝงเพื่อสามารถป้องกันปรากฏการณ์ไฟฟ้าสถิต (Electrostatic discharge; ESD) ของวงจรถวนสัญญาณทางด้านขาออกสามารถแกว่งได้อย่างเต็มย่านที่แหล่งจ่ายไฟ 1.2 โวลท์

Thesis	Inverter Circuit Analysis and Design
Student	Mr. Paiboon Tooprakai
Student ID.	41060024
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2008
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

## ABSTRACT

This thesis proposes the design and analysis of inverter circuit by using CMOS circuit and BiCMOS circuit example static and dynamic latch circuit and buffer. Determining three constraints, power dissipation, speed and area are decreased error because meta-stable phenomenon. The proposed technique will save the computational time for the simulations. The inverter BiCMOS driver circuit uses the bootstrapped technique; the transistor base voltage is higher than the supply voltage. The input of circuit is arranged to protect the electrostatic discharge problem, the output waveform is able to have full swing with 1.2 Volt power supply.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ขอขอบพระคุณอาจารย์ รศ.ดร.กอบชัย เดชหาญ ที่ให้คำแนะนำและช่วยเหลือสนับสนุนจนวิทยานิพนธ์นี้สำเร็จลุล่วงได้ ขอขอบพระคุณบิดา มารดา ที่ให้การสนับสนุนและให้กำลังใจตลอดการศึกษา ขอขอบพระคุณพี่ ๆ น้อง ๆ และเพื่อน ๆ ที่ให้ความช่วยเหลือและให้กำลังใจในการทำวิทยานิพนธ์ฉบับนี้

ขอขอบคุณทุนอุดหนุนการทำวิทยานิพนธ์ของบัณฑิตวิทยาลัยของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ไพบูรณ์ ตู่ประกาย

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์.....	4
1.3 รายละเอียดในวิทยานิพนธ์.....	5
บทที่ 2 การออกแบบไมซ์วงจรมอสแลทซ์.....	6
2.1 การทำงานของวงจรมอสแลทซ์.....	6
2.2 การออกแบบไมซ์มอสแลทซ์.....	9
2.3 ผลการจำลองการทำงานของวงจรมอสแลทซ์.....	12
2.3.1 การทดสอบการทำงานของ Meta-stable .....	12
บทที่ 3 การออกแบบไมซ์วงจรมอสแลทซ์.....	19
3.1 การทำงานของวงจรมอสแลทซ์.....	19
3.2 กำลังงานที่สูญเสียทั้งหมด (Total power dissipation).....	20
3.2.1 กำลังงานที่สูญเสียทางสถติกส์.....	20
3.2.2 กำลังงานที่สูญเสียทางไดนามิค.....	21
3.2.3 กำลังงานที่สูญเสียลัดวงจรไดนามิค .....	21
3.3 พื้นที่.....	22
3.4 ความเร็ว.....	23
3.5 การออกแบบไมซ์ของวงจรมอส.....	24
3.6 ผลการทดลองของวงจรมอสแลทซ์.....	25
3.6.1 คุณสมบัติของ BiCMOS แลทซ์.....	25

## สารบัญ (ต่อ)

	หน้า
3.6.2 ประสิทธิภาพของการออกแบบ.....	27
บทที่ 4 วงจรบัสสแตปไปซีมอสอินเวอร์เตอร์โดยใช้ไดโอดแฝง.....	33
4.1 วงจรบัสสแตปไปซีมอสและการทำงาน.....	33
4.2 ผลการจำลองการทำงาน.....	37
บทที่ 5 สรุปผลการวิจัย.....	44
บรรณานุกรม.....	46
ภาคผนวก.....	49
ภาคผนวก ก ค่าพารามิเตอร์ของ 0.35 $\mu\text{m}$ BiCMOS.....	50
ภาคผนวก ข ผลงานที่ได้รับการตีพิมพ์.....	51
ประวัติผู้เขียน.....	101

# สารบัญตาราง

ตารางที่	หน้า
ก.1 ค่าพารามิเตอร์ที่ใช้ของ 0.35 $\mu\text{m}$ BiCMOS.....	50
ก.2 แสดงค่า W/L ของวงจรถ่ายที่ใช้งานในบทที่ 4.....	50

# สารบัญรูป

รูปที่	หน้า
1.1 ความสัมพันธ์ระหว่างออปติไมซ์แฟคเตอร์.....	2
2.1 (ก) Cross-Couple Inverter (ข) แสดงกราฟ transfer characteristic ของวงจรถ่าย.....	6
2.2 แบบจำลอง Cross - Coupled Inverters.....	7
2.3 การทดสอบปัญหา Meta-stable ด้วย $C_L = 1$ pF, 3 pF and 5 pF.....	13
2.4 ผลของการออปติไมซ์โดยการเปลี่ยนขนาดของ $L_{P2}$ .....	14
2.5 ผลของการออปติไมซ์โดยการเปลี่ยนขนาดของ $W_{P1}$ .....	14
2.6 ผลของการออปติไมซ์ (ก) ค่าหน่วงเวลา (ข) กำลังงานที่สูญเสีย.....	15
2.7 แสดงค่า $\gamma$ เมื่อเพิ่มขนาดของ $W_{P1}$ และ $L_{P1}$ เมื่อ $C_L = 1$ pF .....	16
2.8 แสดงค่า $\gamma$ ซึ่งเปลี่ยนแปลงค่า $W_{P1}$ สำหรับ $L_{P1} = 0.8, 1.0, 1.2, 1.4, 1.6 \mu\text{m}$ เมื่อ $C_L = 1$ pF.....	17
2.9 แสดงค่า $\gamma$ ต่อ $C_L$ เมื่อเปลี่ยนแปลงขนาดของ $W_{P1}$ .....	18
3.1 (ก) Dynamic latch (ข) Static latch.....	19
3.2 วิธีวัดกำลังงานที่สูญเสีย.....	22
3.3 รูปสัญญาณของไดนามิกแลทช์ .....	25
3.4 แสดงเข้าพุตของ ไดนามิกแลทช์ เมื่อ $C_L = 0 \rightarrow 1$ pF.....	26
3.5 แสดงรูปสัญญาณของสแตติกส์แลทช์ .....	26
3.6 แสดงสัญญาณเข้าพุตของสแตติกส์แลทช์เมื่อ $C_L = 0 \rightarrow 1$ pF.....	27
3.7 แสดงการเปลี่ยนแปลงค่า $L$ ของวงจรถ่ายไดนามิกแลทช์ ต่อ (ก) ค่าหน่วงเวลา และ (ข) ค่ากำลังงานสูญเสีย.....	28
3.8 แสดงค่าหน่วงเวลาที่เปลี่ยนแปลงไปของวงจรถ่ายไดนามิกแลทช์ ต่อ (ก) $W$ และ (ข) $A_E$ ..... (ข) $L$ และ (ค) $A_E$ .....	29
3.9 แสดงค่ากำลังงานที่สูญเสียต่อ ค่า $W$ และ $A_E$ ของวงจรถ่ายไดนามิกแลทช์.....	30
3.10 แสดงวงจรถ่ายสแตติกแลทช์ (ก). ค่าความหน่วงเวลาที่เปลี่ยนแปลงต่อความยาวเกทที่เปลี่ยนแปลง (ข). ค่ากำลังงานที่สูญเสียต่อความยาวเกทที่เปลี่ยนแปลง.....	31
4.1 แสดงวงจรถ่ายสแตติกสโมสอินเวอร์เตอร์โดยใช้ไดโอดแฝง.....	33
4.2 แสดงโครงสร้างที่ใช้ของทรานซิสเตอร์แบบ nMOS และ pMOS.....	34

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.3 วงจรซีมอสอินเวอร์เตอร์.....	34
4.4 วงจร Bootstrapped full-swing BiCMOS (BFBiCMOS).....	35
4.5 วงจรไบซีมอส [28].....	35
4.6 แสดงรูปสัญญาณของวงจรที่เสนอ.....	37
4.7 แสดงวิธีการวัดค่าหน่วงเวลา.....	38
4.8 รูปคลื่นทางด้านขาเข้าและขาออกของอินเวอร์เตอร์ตัวที่สามที่โหลด 1pF ของวงจรที่นำเสนอ ที่แหล่งจ่ายไฟ 1.2 Volt.....	38
4.9 รูปคลื่นทางด้านขาเข้าและขาออกของอินเวอร์เตอร์ตัวที่สามที่โหลด 1pF ของวงจร BFBiCMOS ที่แหล่งจ่ายไฟ 1.2 Volt.....	39
4.10 รูปคลื่นทางด้านขาเข้าและขาออกของอินเวอร์เตอร์ตัวที่สามที่โหลด 1pF ของวงจร Ref. 5 ที่แหล่งจ่ายไฟ 1.2 Volt.....	39
4.11 แสดงการเปรียบเทียบค่าหน่วงเวลากับโหลดคาปาซิเตอร์ที่แหล่งจ่ายไฟ 1.2 Volt.....	40
4.12 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับโหลดคาปาซิเตอร์ที่แหล่งจ่ายไฟ 1.2 Volt.....	41
4.13 แสดงการเปรียบเทียบค่าหน่วงเวลากับแหล่งจ่ายไฟ.....	41
4.14 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับแหล่งจ่ายไฟ.....	42
4.15 แสดงการเปรียบเทียบค่าหน่วงเวลากับเทคโนโลยี.....	42
4.16 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับเทคโนโลยี.....	43

# บทที่ 1

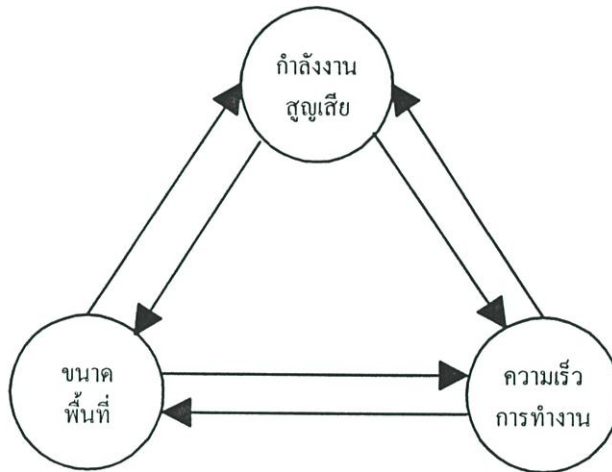
## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ในการออกแบบวงจรรวมทางด้านดิจิทัล วงจรอินเวอร์เตอร์เป็นวงจรพื้นฐานที่สำคัญซึ่งสามารถนำไปประยุกต์ใช้งานกับวงจรอื่น ๆ ได้ เช่นวงจรแลทช์ทั้งไดนามิกและสแตติกแลทช์ วงจรบัฟเฟอร์ วงจร bootstrapped เป็นต้น โดยสามารถที่จะใช้เทคโนโลยีทั้งซีมอสหรือไบซีมอสได้ และเนื่องจากปัจจุบันนี้ในการออกแบบวงจรให้ความสำคัญในด้านการประหยัดพลังงานโดยเฉพาะในอุปกรณ์มือถือ คอมพิวเตอร์แบบพกพา PDA ทำให้การออกแบบวงจรรวมต้องการใช้พลังงานน้อยลง แต่ความเร็วในการทำงานเพิ่มขึ้น ซึ่งทำให้เกิดปรากฏการณ์เมตาสเตเบิลในการทำงานของวงจรรวม

เนื่องจากส่วนประกอบหนึ่งที่ขาดไม่ได้ในวงจรลอจิกทุก ๆ วงจร คือ รีจิสเตอร์ (register) โดยที่รีจิสเตอร์เป็นหน่วยความจำที่มีความเร็วสูงมีหน้าที่รักษาค่าสัญญาณข้อมูลให้คงอยู่ในช่วงเวลาหนึ่ง ๆ และส่วนประกอบโดยพื้นฐานที่มีอยู่ภายในรีจิสเตอร์ ก็คือแลทช์ (Latch) นั่นเอง ถ้าพิจารณาจากการทำงานของแลทช์และส่วนประกอบภายในของแลทช์นั้นสามารถแบ่งได้เป็น 2 ชนิด คือ สแตติกแลทช์ และไดนามิกแลทช์ ซึ่งจะกล่าวถึงความแตกต่างในรายละเอียดต่อไปนั้น แต่ในส่วนของวิทยานิพนธ์นี้ได้นำเสนอเฉพาะแลทช์ชนิดที่เป็นสแตติกที่สร้างขึ้นมาจากเทคโนโลยี  $0.8 \mu\text{m}$  ของซีมอสว่ามีการทำงาน และมีคุณสมบัติอย่างไรจึงจะให้การเก็บรักษาข้อมูลเข้าเพื่อให้ได้ค่าข้อมูลขาออกที่มีค่าถูกต้องและมีประสิทธิภาพได้ และสาเหตุที่ทำให้การทำงานของวงจรแลทช์เกิดความผิดพลาดคือปัญหาเมตาสเตเบิลลิตี (Metastability) ซึ่งการทำงานในสภาวะนี้สัญญาณเอาต์พุตที่ได้จะไม่สามารถที่จะบอกว่าจะมีสัญญาณเป็น 0 หรือ 1 ปัญหานี้ได้มีการเสนอทฤษฎีต่าง ๆ และการวัดค่า เพื่อให้เข้าใจถึงปรากฏการณ์ที่เกิดขึ้น [1-6] และพิจารณาถึงตัวแปรในวงจรโดยใช้ small signal model [7-9] นอกจากนี้ยังศึกษาคุณสมบัติทางด้าน mismatch [11-12, 15-18] เพื่อทำนายการเกิดสภาวะเมตาสเตเบิลในสภาวะสุดท้ายและศึกษาปรากฏการณ์อื่น ๆ เช่น Miller effect ของอินพุต คาปาซิแตนซ์ [12] รวมถึงความต้านทานลูปพิจารณาการออปติไมซ์ซึ่งหลายบทความได้ทำมาก่อนหน้านี้ โดยวิทยานิพนธ์นี้จะทำการกล่าวถึงวิธีการออปติไมซ์โดยการ เปลี่ยนค่า W/L เพื่อหาค่าที่เหมาะสมที่สุดเพื่อให้ห่างจากโอกาสในการเกิดสภาวะเมตาสเตเบิล โดยในการออกแบบจะกระทบกับผังวงจรมินิมอลที่สุด [13] นอกจากนี้พิจารณาถึงความเร็วในการทำงานและกำลังงานที่สูญเสีย

การกำหนดขนาดทรานซิสเตอร์ (Transistor Sizing) เนื่องจากในปัจจุบันการจำลองและการเลียนแบบการทำงานโดยอาศัยเครื่องคอมพิวเตอร์เข้ามามีบทบาทมากขึ้น ทำให้การพิจารณาปัญหาออปติไมเซชัน ด้วยวิธีดังกล่าวทำได้ง่ายขึ้น และเป็นไปอย่างกว้างขวาง ทั้งนี้เพื่อให้ได้วงจรที่มีประสิทธิภาพสูงสุด คือมีความเร็วในการทำงานสูง มีขนาดเล็ก และกำลังงานต่ำ แต่เนื่องจากเงื่อนไขในการออปติไมซ์ทั้ง 3 ดังกล่าวมีความสัมพันธ์ในลักษณะขัดแย้งกัน ดังรูป 1.1 การเลือกจุดทำงานที่ดีที่สุดจึงเป็นการประนีประนอม (Compromize) เงื่อนไขดังกล่าวนอกจากนี้ วิธีการออปติไมซ์เซชันยังขึ้นกับคุณสมบัติ และการทำงานของวงจรถัดด้วย



รูปที่ 1.1 ความสัมพันธ์ระหว่างออปติไมซ์แฟคเตอร์

อย่างไรก็ตาม ความสำคัญของแต่ละเงื่อนไข ในแต่ละวงจรรวมย่อมแตกต่างกันไปตามหน้าที่ เช่น วงจรที่ใช้พลังงานจากแบตเตอรี่ ย่อมต้องการวงจรที่มีการสูญเสียกำลังต่ำ หรือวงจรระเบิดพลาสมา ก็ต้องการลักษณะที่กะทัดรัดขนาดเล็ก ซึ่งแต่ละระดับการออกแบบก็มีวิธีในการ ออปติไมซ์เงื่อนไขต่าง ๆ ในระดับของตน อาทิเช่น

-การออปติไมซ์ในระดับการออกแบบระบบ ด้วยการแบ่งส่วนระบบที่มีความเร็วในการทำงานต่างกันออกจากกัน โดยสัญญาณนาฬิกาความถี่สูงสร้างจากวิธี PLL (Phase Lock Loop) หรือ ring oscillators สำหรับระบบในส่วนที่มีความเร็วสูง หรือการรวมส่วนต่าง ๆ ของวงจร เช่น หน่วยความจำ หรือวงจรรวมที่มีหน้าที่เฉพาะ และสนับสนุนการทำงานของระบบโดยรวม ให้อยู่บนชิปเดียวกัน

-การออปติไมซ์ในระดับการออกแบบระเบียบวิธี เช่น การลดจำนวนการทำงานหรือขั้นตอนการทำงาน ทั้งนี้เพื่อลดจำนวนอุปกรณ์ที่ต้องใช้ หรือการเข้ารหัสสัญญาณ เพื่อลดการสวิตช์ของสัญญาณ

-การออกแบบที่ไม่ขึ้นในระดับโครงสร้าง ด้วยการใช้เทคนิคการจัดการกำลังงานในส่วนระบบที่ทำงาน และสงบนิ่ง หรือการออกแบบให้มีโครงสร้างการทำงานแบบขนาน (parallel) และแบบท่อส่งข้อมูล (pipeline) เป็นต้น

-การออกแบบที่ไม่ขึ้นในระดับกระบวนการผลิต ด้วยการลดขนาด (Scaling) และการเพิ่มชั้นบูรีที่ฐานรอง (buried layer)

-การออกแบบที่ไม่ขึ้นในระดับการออกแบบวงจร เช่น การลดขนาดแหล่งจ่ายหรือช่วงแกว่งสัญญาณ, การกำหนดขนาดคัทคาเทรตไฮล (multi-Threshold circuit) และการกำหนดขนาดทรานซิสเตอร์ (Transistors sizing) เป็นต้น

Glasser และ Hoyte [13] สรุปว่าเทคนิคการออกแบบไม่ขึ้นในระดับขั้นตอนการออกแบบวงจร (Circuit design level) มีอยู่ 6 วิธี คือ

1. การเปลี่ยนความกว้างและความยาวของทรานซิสเตอร์หลายตัวในวงจร วิธีนี้เป็นเทคนิคโดยตรงและมีผลกระทบเล็กน้อยกับการวางผัง
2. การเพิ่มวงจรบัฟเฟอร์ (Buffer) หนึ่งวงจรหรือมากกว่านั้น ไว้ระหว่างแหล่งจ่ายที่มี Impedance สูง (High Impedance Source) กับตัวรับที่มี Impedance ต่ำ (Low Impedance Source) จำนวนของบัฟเฟอร์ควรมีจำนวนที่เหมาะสม
3. ตำแหน่งของโหลด ซึ่งมีค่าคาปาซิแตนซ์มาก และการออกแบบไม่ขึ้นแต่ละส่วนของผลลัพธ์ที่แยกออกจากกัน โดยเทคนิคแบบนี้สามารถทำได้โดยการจ่ายพลังงานในส่วนที่สำคัญเพียงโหลดเดียวในส่วนที่สำคัญ
4. การใช้บัฟเฟอร์ในรูปแบบสัญญาณนาฬิกา Clock buffer) นำมาใช้ในช่วงคุณสมบัติของ Impedance ต่ำ ในระบบที่ใช้สัญญาณนาฬิกาเทคนิค
5. การใช้วงจรพรีชาร์จ (Precharged) ทำให้ความเร็วในการทำงานของวงจรมอสติขึ้นในช่วงสัญญาณขาออก ขึ้นและลง
6. การใช้วงจรเฉพาะ วงจรที่ใช้จะมีค่า fanout สูง และค่าคาปาซิแตนซ์ทางด้านอินพุตสูง หรือที่ fan-out มีค่าคาปาซิแตนซ์สูง

วิธีที่นำมาใช้ในวิทยานิพนธ์นี้คือ การเปลี่ยนแปลงความกว้าง และความยาวของทรานซิสเตอร์ในวงจร ในการใช้เทคนิคนี้จะทำการเปลี่ยนแปลงความกว้างและความยาวของเกต (Gate) ในทรานซิสเตอร์เพียงตัวเดียวในวงจร [14] ส่วนทรานซิสเตอร์ที่เหลือจำกัดขนาดไว้ที่ค่าต่ำสุดของขบวนการออกแบบ โดยเทคนิคนี้สามารถแยกเป็นการพิจารณาความกว้างของเกต และพิจารณาความยาวของเกต สำหรับส่วนที่เป็นการออกแบบไมครอน (micron) และส่วนย่อยไมครอน (Submicron) แต่อย่างไรก็ตาม เป็นเรื่องยากที่จะออกแบบหลายวัตถุประสงค์ เทคนิค

สำหรับการพิจารณาออกแบบไมครอนและส่วนย่อยไมครอน สำหรับการอปติไมเซชันทรานซิสเตอร์ซีมอส ซึ่งมีวัตถุประสงค์ทั้งสามอย่าง คือ การอปติไมเซชันพื้นที่ของวงจร เพื่อให้ขนาดของทรานซิสเตอร์จะต้องเล็กที่สุด ขนาดของทรานซิสเตอร์ที่เล็กที่สุดจะต้องมาจากขนาดของพื้นที่ของทรานซิสเตอร์ที่เล็กที่สุด การอปติไมเซชันกำลังงานสูญเสียไดนามิก ขึ้นอยู่กับค่าทรานคอนดักแตนซ์ ( $g_m$ ) ของทรานซิสเตอร์ซีมอส ซึ่งถูกควบคุมโดยค่าความกว้างและความยาวของเกต และแสดงอยู่ในรูปของกระแสที่ถูกดึงจากแหล่งจ่ายไฟ วัตถุประสงค์สุดท้าย คือ การอปติไมเซชัน ความเร็วของการทำงานหรือความล่าช้าของวงจร ซึ่งขึ้นอยู่กับค่า RC Delay ค่าความต้านทานจะมีค่าผกผันกับค่าความกว้างของเกต ด้วยเทคนิคนี้จะสามารถอปติไมเซชันได้ตามวัตถุประสงค์ทั้งสามข้อในเวลาเดียวกัน

ช่วงเวลาหลายปีที่ผ่านมา มีความพยายามอย่างมากที่จะลดระดับแรงดันไฟเลี้ยงของวงจรรดิจิตอลจาก 5 โวลท์ลงมาเป็น 3.3 โวลท์ 1.5 โวลท์ และ 1.2 โวลท์ ตามลำดับ พร้อมกับการทำให้ความเร็วในการทำงานของวงจรเพิ่มขึ้น แต่รูปคลื่นทางด้านขาออกของวงจรไม่สามารถแกว่งได้อย่างเต็มช่วงคลื่น ส่งผลให้มีการพัฒนางจรไบซีมอสขึ้น [26] และต่อมาได้มีการพัฒนาทางด้านเทคโนโลยี BiCMOS ที่ระดับแรงดันไฟเลี้ยงต่ำ ส่งผลให้ความหนาของเกตอ็อกไซด์บางลงรวมทั้งรอยต่อของขาซอสและขาเดรนก็จะตื้นขึ้นด้วย จากผลดังกล่าวนี้ทำให้ Electrostatic discharge (ESD) สามารถทำความเสียหายให้กับวงจรได้ [27-28] ดังนั้นเพื่อป้องกันความเสียหายดังกล่าว วงจรทางด้านขาเข้าจึงถูกออกแบบมาพร้อมกับวงจรมองกันซึ่งมีขนาดเกตอ็อกไซด์และรอยต่อของขาซอสและขาเดรนค่อนข้างหนาเพื่อจะลดและกำจัดผลกระทบอันเกิดจาก Electrostatic discharge แต่ในบทความที่น่าเสนอนี้ จะไม่ได้มีการออกแบบวงจรมองกันภาครับทางด้านขาเข้าแต่อย่างใด จึงส่งผลให้วงจรมีขนาดเล็กและยังคงไว้ซึ่งคุณสมบัติของวงจรรดิจิตอลโดยอาศัยหลักการของไดโอดแฝง (Parasitic diode) กับบุตสเตรปเทคนิค

## 1.2 วัตถุประสงค์

ในวิทยานิพนธ์นี้จะพิจารณาเลือกใช้วงจรถ่ายสัญญาณอนาล็อกนั้น เนื่องจากว่าแลทซ์ชนิดนี้สามารถรักษาค่าสัญญาณไว้ได้ขณะที่วงจรไม่ต้องมีค่าไฟเลี้ยงไหลผ่านวงจรมองกันโดยตลอด ซึ่งเป็นข้อดีกว่า วงจรถ่ายสัญญาณอนาล็อกและมีข้อดีเพิ่มมากขึ้นเมื่อใช้วงจรมองกันให้สร้างขึ้นโดยใช้เทคโนโลยีซีมอส ซึ่งทำให้ได้วงจรมีขนาดเล็กยิ่งขึ้น โดยวิทยานิพนธ์นี้ได้นำเสนอรายละเอียดตามวัตถุประสงค์ที่ได้กำหนดไว้ดังนี้

1. ศึกษาค้นคว้าในเรื่องของเทคโนโลยีซีมอสและไบซีมอสและการนำมาใช้ในการสร้างวงจรถ่ายสัญญาณต่างๆ

2. ศึกษาคุณสมบัติของสถานะเมตาสเตเบิลที่เกิดขึ้นในวงจรแลทซ์ชนิดสแตติก ที่มีโครงสร้างของการป้อนกลับสัญญาณซึ่งอยู่ในส่วนของการคงค่าข้อมูลที่รักษาค่าของขาเข้าให้คงอยู่จนกระทั่งมีสัญญาณอีกค่าหนึ่งมากระตุ้นให้เกิดการเปลี่ยนค่าไป

3. ใช้สมการทางด้านคณิตศาสตร์มาสนับสนุนเพื่อหารายละเอียดในส่วนต่าง ๆ ของวงจร สแตติกแลทซ์ที่สร้างขึ้นจากเทคโนโลยีซีมอส เพื่อหลีกเลี่ยงปัญหาความผิดพลาดที่เกิดจากสถานะ เมตาสเตเบิลเพื่อให้ได้วงจรที่มีประสิทธิภาพมากที่สุด

4. พัฒนาวงจรอินเวอร์เตอร์ไบซีมอสเพื่อลดระดับแรงดันไฟเลี้ยงของวงจรดิจิทัลจาก 5 โวลต์ลงมาเป็น 1.2 โวลต์

### 1.3 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์นี้ได้ศึกษาวิจัยเพื่อออกแบบวงจรอินเวอร์เตอร์เพื่อสามารถนำมาประยุกต์ในกับวงจรอื่น ๆ เช่นวงจรแลทซ์ไดนามิกและสแตติกแลทซ์ โดยหาวิธีการออกแบบเพื่อให้ได้ประสิทธิภาพดีที่สุด โดยเงื่อนไขต่าง ๆ และออกแบบวงจรอินเวอร์เตอร์ที่สามารถทำงานได้ที่แหล่งจ่ายไฟต่ำและสามารถป้องกันปรากฏการณ์ไฟฟ้าสถิตได้ โดยเนื้อหาจะแบ่งเป็น 5 บท โดยบทที่ 1 จะกล่าวถึงความเป็นมาและความสำคัญของปัญหา ส่วนเนื้อหาในบทต่อมามีดังนี้

บทที่ 2 กล่าวถึงการออปติไมซ์วงจรซีมอสแลทซ์ ในการออกแบบวงจรให้มีประสิทธิภาพดีที่สุดจำเป็นต้องพิจารณาทั้งเรื่องพื้นที่ ความเร็วในการทำงาน และ กำลังงานที่สูญเสีย ซึ่งต้องพิจารณาให้อยู่ในจุดที่สมดุลกันทั้ง 3 ปัจจัย ซึ่งแสดงผลการจำลองการทำงานของวงจรสแตติกส์แลทซ์ โดยใช้โปรแกรม PSpice

บทที่ 3 กล่าวถึงการออปติไมซ์ของวงจรไบซีมอสแลทซ์และผลการจำลองการทำงานของวงจรไดนามิกและสแตติกส์แลทซ์เพื่อทดสอบว่าการออกแบบวงจรโดยการพิจารณาปัจจัยทั้ง 3 ด้านพร้อมกัน

บทที่ 4 กล่าวถึงการออกแบบวงจรบูสสแตปไบซีมอสอินเวอร์เตอร์โดยใช้ไดโอดแฝงซึ่งสามารถทำงานที่แหล่งจ่ายไฟที่ 1.2 Volt และสามารถป้องกันปรากฏการณ์ไฟฟ้าสถิตที่เกิดขึ้นในวงจรได้โดยใช้คุณสมบัติของไดโอดที่สร้างขึ้นในวงจร

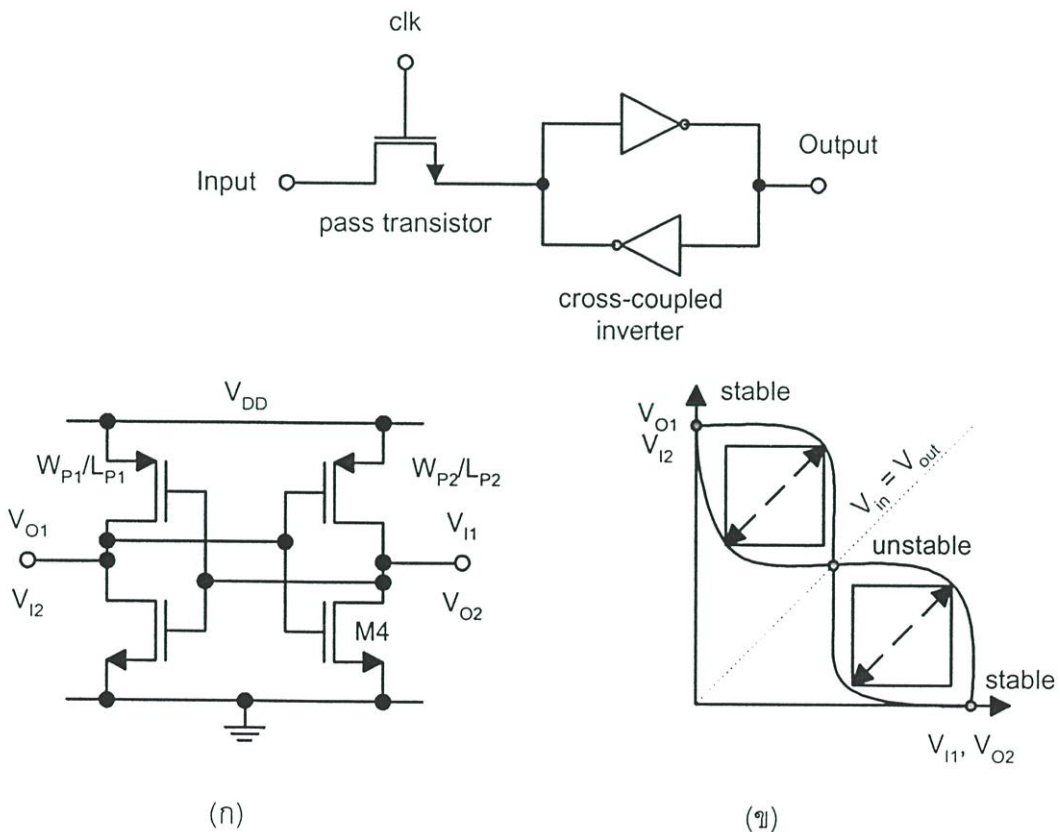
บทที่ 5 สรุปผลการวิจัย

## บทที่ 2

### การออกแบบไมซ์วงจรมอสแลทซ์

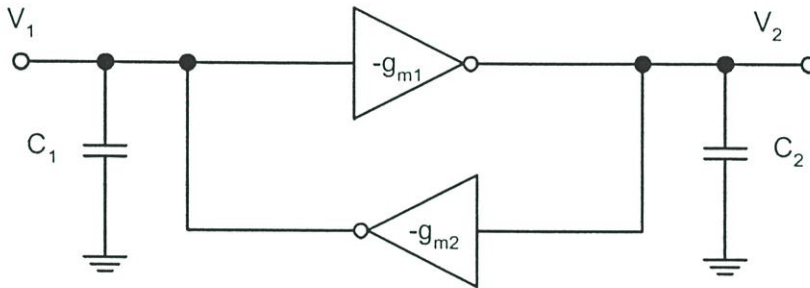
#### 2.1 การทำงานของวงจรมอสสแตติกแลทซ์

การทำงานของวงจรมอสสแตติกแลทซ์ เริ่มจากทรานซิสเตอร์ผ่าน ซึ่งทำหน้าที่เป็นสวิตช์ผ่าน สัญญาณและแยกสัญญาณ โดยมีโครงสร้างที่เรียบง่าย มักใช้เอ็นมอสทรานซิสเตอร์โดยจะนำกระแสเมื่อป้อน "1" เข้าที่ขาเกต ทรานซิสเตอร์ผ่านชนิดนี้ส่งผ่านสัญญาณลอจิก "0" ได้ดี แต่การส่งผ่านสัญญาณลอจิก "1" จะถูกลดทอนด้วยค่าแรงดันเทรชโฮลด์ ( $V_{TH}$ ) เพื่อทำให้เกิดช่องทางเดินกระแสบริเวณขาออก เนื่องจากการเชื่อมต่อที่ปลายซอสและเดรนเป็นลักษณะสมมาตรสองทิศทาง ดังนั้นศักดาที่ปลายทั้งสองจึงขึ้นกับอิมพีแดนซ์ที่ปลายแต่ละข้าง โดยปกติมักกำหนดให้ด้านหนึ่งมีอิมพีแดนซ์สูง และด้านหนึ่งมีอิมพีแดนซ์ต่ำ เมื่อสัญญาณที่ขาเกตเป็น "1" ระดับสัญญาณที่ปลายซอสและเดรน จะเท่ากับศักดาที่ปลายด้านที่มีอิมพีแดนซ์ต่ำ



รูปที่ 2.1 (น) Cross-Couple Inverter (ข) แสดงกราฟ transfer characteristic ของวงจรมอสแลทซ์

เมื่อ  $\text{clk} = 0$  โดยพิจารณาว่า สัญญาณนาฬิกาทำให้ทรานซิสเตอร์ซึ่งทำหน้าที่เป็นสวิตช์เกิดการนำกระแสเต็มที่ ดังนั้นเพื่อให้การวิเคราะห์วงจรทำได้สะดวกขึ้น จึงพิจารณาเพียงคู่มอสอินเวอร์เตอร์ สำหรับคู่มอสอินเวอร์เตอร์ดังรูปที่ 2.1 (ก) ศักดาขาออก INV1 จะมีค่าเท่ากับศักดาขาเข้าของ INV2 และศักดาขาออกของ INV2 ก็มีค่าเท่ากับศักดาขาเข้าของ INV1 ดังนั้นผลการตอบสนองของสัญญาณของ INV1 และ INV2 แสดงให้เห็นดังรูป 2.1(ข) ซึ่งคุณสมบัติการถ่ายโอนศักดาทำให้เกิดจุดตัด 3 จุด INV1 และ INV2 จะเกิดการเปลี่ยนระดับสัญญาณจากจุดที่มีความเสถียร ผ่านจุดที่ไม่มีความเสถียร และเข้าสู่จุดที่มีความเสถียรอีกครั้งหนึ่ง เมื่อสัญญาณขาเข้ามีค่ามากกว่าค่า static noise margins (SNM) ซึ่งกำหนดจากค่าการถ่ายโอนแรงดัน หรือความชันกราฟซึ่งมีค่าเท่ากับ 1 ดังนั้นค่า SNM จึงแสดงความสามารถในการกำจัดหรือทนต่อสัญญาณรบกวน



รูปที่ 2.2 แบบจำลอง Cross - Coupled Inverters

การทำงานของวงจรในรูปที่ 2.1(ก) สามารถแทนด้วยแบบจำลองในรูปที่ 2.2 ซึ่งได้จากการวิเคราะห์สัญญาณขนาดเล็ก โดยค่า  $g_m$  แทนค่าทรานคอนดักแตนซ์ของคู่มอสอินเวอร์เตอร์ เนื่องจากคุณสมบัติอินพุตอิมพีแดนซ์สูงของวงจรคู่มอส กระแสป้อนกลับ ( $I_1$ ) ทั้งหมดจึงป้อนเข้าสู่  $C_1$  เช่นเดียวกัน  $I_2$  ก็ไหลเข้าสู่  $C_2$  โดยที่  $C_1$  แทน  $C_{G1}$  และ ความจุขาออกของคู่มอสอินเวอร์เตอร์ตัวล่าง และ  $C_2$  แทนโหลดคาปาซิแตนซ์ ( $C_L$ ),  $C_{G2}$  และความจุขาออกของคู่มอสอินเวอร์เตอร์ด้านบน ดังนั้น [17-19].

$$-g_{m2}V_2 = C_1 \frac{dV_1}{dt} \quad (2.1)$$

$$-g_{m1}V_1 = C_2 \frac{dV_2}{dt} \quad (2.2)$$

เมื่อ  $g_{m1}$  และ  $g_{m2}$  คือ ทรานส์คอนดักแตนซ์ (transconductance) ของอินเวอร์เตอร์ตัวที่ 1 และ 2 ตามลำดับ

$C_1$  และ  $C_2$  คือความจุไฟฟ้าขาเข้า (input capacitance) ของอินเวอร์เตอร์ตัวที่ 1 และ 2 ตามลำดับ

เมื่อใส่ลาปลาซ (Laplace Transform) ในสมการที่ (2.1) and (2.2) จะได้

$$\begin{bmatrix} S & g_{m2}/C_1 \\ g_{m1}/C_2 & S \end{bmatrix} \begin{bmatrix} V_1(S) \\ V_2(S) \end{bmatrix} = \begin{bmatrix} V_1(0) \\ V_2(0) \end{bmatrix} \quad (2.3)$$

แก้สมการที่ (2.3) โดยใช้ อินเวอร์ลาปลาซ (inverse Laplace) สามารถเขียนเป็นสมการดังนี้

$$V_2(t) = \frac{1}{2} \left[ V_2(0) + \left( \frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{\frac{1}{2}} V_1(0) \right] e^{-\frac{t}{\tau}} + \frac{1}{2} \left[ V_2(0) - \left( \frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{\frac{1}{2}} V_1(0) \right] e^{\frac{t}{\tau}} \quad (2.4)$$

$$V_1(t) = \frac{1}{2} \left[ V_1(0) + \left( \frac{C_2 g_{m2}}{C_1 g_{m1}} \right)^{\frac{1}{2}} V_2(0) \right] e^{-\frac{t}{\tau}} + \frac{1}{2} \left[ V_1(0) - \left( \frac{C_2 g_{m2}}{C_1 g_{m1}} \right)^{\frac{1}{2}} V_2(0) \right] e^{\frac{t}{\tau}} \quad (2.5)$$

เมื่อ  $\tau = \sqrt{\frac{C_1 C_2}{g_{m1} g_{m2}}}$  และ  $t \gg \tau$  จะสามารถเขียนสมการที่ (2.6) และ (2.7)

$$V_2(t) \approx \frac{1}{2} \left[ V_2(0) + \left( \frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{\frac{1}{2}} V_1(0) \right] e^{-\frac{t}{\tau}} \quad (2.6)$$

$$V_1(t) \approx \frac{1}{2} \left[ V_1(0) + \left( \frac{C_2 g_{m2}}{C_1 g_{m1}} \right)^{\frac{1}{2}} V_2(0) \right] e^{-\frac{t}{\tau}} \quad (2.7)$$

การทำงานของวงจรเลขที่ใช้ช่วงเวลาภาวะกึ่งเสถียร (metastable) ที่  $\text{clk} = 0$  สมการที่ (6) และ (7) สามารถเขียนใหม่ได้

$$V_2(t) = V_2(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{\frac{1}{2}} V_1(0) \sinh\left(\frac{t}{\tau}\right) \quad (2.8)$$

$$V_1(t) = V_1(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_2 g_{m2}}{C_1 g_{m1}}\right)^{\frac{1}{2}} V_2(0) \sinh\left(\frac{t}{\tau}\right) \quad (2.9)$$

$$\lim_{t \rightarrow \infty} V_2(t) = V_2(0) \lim_{t \rightarrow \infty} \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{\frac{1}{2}} V_1(0) \lim_{t \rightarrow \infty} \sinh\left(\frac{t}{\tau}\right) = 0$$

$$\therefore \frac{V_2(0)}{V_1(0)} = \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{\frac{1}{2}} = \gamma \quad (2.10)$$

## 2.2 การออกแบบไมซ์ซีมอสแลกซ์

ในการปรับปรุงประสิทธิภาพวงจร เมื่อพิจารณาถึงความเร็วในการทำงาน กำลังงานสูญเสีย และพื้นที่วงจรพร้อม ๆ กัน จะพบว่า จากแบบจำลองซึ่งแทนเงื่อนไขดังกล่าว ต่างประกอบขึ้นหรือเป็นฟังก์ชันของขนาดทรานซิสเตอร์ ซึ่งเป็นตัวกำหนดค่าทรานคอนดักแตนซ์ ความต้านทานช่องทางเดินกระแส ความจุแฝง ตลอดจนคุณสมบัติอื่น ๆ ที่เกี่ยวข้องกับการทำงานของวงจร

สำหรับวงจรรวมแบบ VLSI สิ่งที่สำคัญคือ พื้นที่วงจรที่น้อยที่สุด เมื่อพิจารณาถึงโครงสร้างพื้นที่วงจรจะสัมพันธ์กับความกว้าง (L) และความยาวทรานซิสเตอร์ (W) ดังนั้นในทางเทคนิค โดยปกติจึงมักกำหนดให้ค่าความยาวของเกทมีค่าต่ำสุด ( $L_{\min}$ ) ตามการออกแบบจากสมการที่ 2.11

$$Area \propto \sum W_i * L_i \quad (2.11)$$

จะได้ว่า

$$Area \propto W \times L$$

และเมื่อนำแนวความคิดของ Kang [19] ในการวัดกำลังงานสูญเสีย ซึ่งได้แสดงให้เห็นว่า กำลังงานสูญเสียแปรผันตรงกับกระแสจากแหล่งจ่ายและค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์

ซึ่งต่ออยู่กับแหล่งจ่ายไฟ และเมื่อพิจารณาถึงพลังงานสูญเสียด้วยแล้วจะพบว่า พลังงานสูญเสียครั้งหนึ่งในการเปลี่ยนสถานะก็เกิดขึ้นที่วงจรมอสในส่วน pull-up ซึ่งต่ออยู่กับแหล่งจ่าย

$$R = \left( \frac{L}{W} \right) \frac{2t_{ox}}{\mu\epsilon_0\epsilon_{ox}(V_{GS} - |V_T|)} \quad (2.12)$$

$$g_m = \left( \frac{W}{L} \right) \frac{\mu\epsilon_0\epsilon_{ox}(V_{GS} - |V_T|)}{t_{ox}} \quad (2.13)$$

$$P \propto \left( \frac{W}{L} \right) \quad (2.14)$$

ดังนั้นจึงกล่าวได้ว่า ในการลดกำลังสูญเสียของวงจรมอส ทำได้โดยการปรับขนาดทรานซิสเตอร์ เฉพาะที่ต่ออยู่กับแหล่งจ่าย

เงื่อนไขประการสุดท้ายคือ ความเร็วในการทำงาน ซึ่งมักถูกกำหนดโดยค่านองเวลาของวงจร โดยมีองค์ประกอบหลักคือ ค่าคงที่เวลาอันเนื่องมาจากความจุแฝงภายในและค่าคงที่เวลาจากความจุโหลด ซึ่งอาจเป็นความจุนอกชิป หรือผลรวมของความจุขาเข้าของวงจรถัดไปก็ได้

$$t_d \propto R(C_{int} + C_{Load})$$

$$R = \left( \frac{L}{W} \right) \frac{2t_{ox}}{\mu\epsilon_0\epsilon_{ox}(V_{GS} - |V_T|)} \quad (2.15)$$

$$C_{int} = (W \times L)C_{ox}$$

หรือ

$$t_d \propto \frac{L}{W}(W \times L + C_{Load}) \quad (2.16)$$

ดังนั้นเมื่อพิจารณาเฉพาะความสัมพันธ์ค่านองเวลากับขนาดทรานซิสเตอร์ สามารถแยกได้เป็น 2 กรณี คือ

$$t_d \propto \begin{cases} L^2 & : C_{int} \gg C_{Load} \\ \frac{L}{W} & : C_{int} \ll C_{Load} \end{cases} \quad (2.17)$$

ความสัมพันธ์ระหว่างความเร็วในการทำงานและขนาดของทรานซิสเตอร์ ดังนั้นเพื่อให้ วงจรมีความเร็วในการทำงานสูงขึ้น จึงนิยมออกแบบให้  $W_1/L_1$  มีค่าสูงๆ และออกแบบให้  $W_2/L_2$  มีค่าต่ำสุดตามกฎการออกแบบ หรือ

$$\text{Speed} \propto \left[ \frac{W_1}{L_1} \right] \quad (2.18)$$

โดยสรุปจะเห็นว่าทั้ง 3 เงื่อนไขต่างก็ขึ้นอยู่กับความกว้างและความยาวของทรานซิสเตอร์ ในลักษณะที่แตกต่างกัน การปรับเปลี่ยนขนาดอาจทำให้บางเงื่อนไขขัดแย้ง แต่บางเงื่อนไขก็ สอดคล้องกัน ซึ่งบางเงื่อนไขอาจเหมาะสมกับวงจรหนึ่ง ๆ เช่น วงจรที่ใช้แบริเตอร์เป็นแหล่งจ่าย หรือ วงจรประเภทพหุพพา ซึ่งต้องออกแบบให้มีลักษณะที่กินกำลังงานต่ำและขนาดเล็กเป็นสำคัญ ในขณะที่วงจรประเภทประมวลสัญญาณก็ต้องการลักษณะที่มีความเร็วสูง นอกจากนี้ การปรับเปลี่ยนพารามิเตอร์ ( $W$ ,  $L$ ) อาจทำให้บางเงื่อนไขเพิ่มขึ้นเพียงเล็กน้อย แต่บางเงื่อนไขกลับ ลดลงอย่างรวดเร็ว ทั้งนี้เนื่องจากความไม่เป็นเชิงเส้นของวงจร ดังนั้นผู้ออกแบบจำต้องกำหนด เงื่อนไขที่ต้องการ หรือขอบเขตที่ยอมรับได้ให้เหมาะสมกับประเภทการทำงานหรือชนิดวงจรที่ กำลังออกแบบ

หากกำหนดให้เงื่อนไขต่าง ๆ ในการออกแบบ ซึ่งสัมพันธ์กับขนาดทรานซิสเตอร์ มี ลักษณะเป็นฟังก์ชันเชิงเส้น โดยกำหนดให้เงื่อนไขหรือแฟคเตอร์ กำลังสูญเสีย ความเร็ว และพื้นที่ มีค่าคงที่อื่น ๆ ในฟังก์ชัน ของเป็น  $K_p$ ,  $K_o$  และ  $K_A$  ตามลำดับ และให้ค่าเริ่มต้นก่อนมีการ ปรับเปลี่ยนขนาดทรานซิสเตอร์เป็น  $P_{do}$ ,  $t_{so}$  และ  $A_o$  ตามลำดับ ดังนั้นนักออกแบบสามารถกำหนด จุดทำงานภายใต้ขอบเขตที่ยอมรับได้ ดังแสดงในรูป 1.1

การวิธีการออกแบบที่มอสแลกซ์สามารถแสดงความสัมพันธ์ของการออกแบบที่สามารถสรุปการออกแบบที่มอสแลกซ์ดังนี้

$$\text{Area} \propto \sum W_i L_i$$

$$\text{Speed} \propto \left[ \frac{W_1}{L_1} \right]$$

$$\text{Power Dissipation} \propto \left[ \frac{L_1}{W_1} \right] \left[ \frac{W_2}{L_2} \right]$$

เงื่อนไขในการออกแบบที่ขึ้นอยู่กัขนาดของทรานซิสเตอร์โดยเฉพาะทรานซิสเตอร์ที่ต่ออยู่กับแหล่งจ่ายไฟ (Power Supply) ดังนั้นถ้าค่า  $\left(\frac{W_1}{L_1}\right)$  มีค่าเพิ่มขึ้นความเร็วจะเพิ่มขึ้นและกำลังงานที่สูญเสีย (Power Dissipation) จะลดลง นอกจากนั้นการลดกำลังงานที่สูญเสียสามารถลดได้โดยการลดค่า  $\left(\frac{W_2}{L_2}\right)$  แต่อาจจะเกิดสภาวะกึ่งเสถียร ซึ่งวงจรควรจะทำงานได้ถูกต้องและไม่มีปัญหาการเกิดสภาวะกึ่งเสถียร สรุปวิธีการออกแบบที่ขึ้นอยู่กัขนาดของทรานซิสเตอร์ที่ต่ออยู่กับแหล่งจ่ายไฟ (Power Supply) ดังนี้คือ

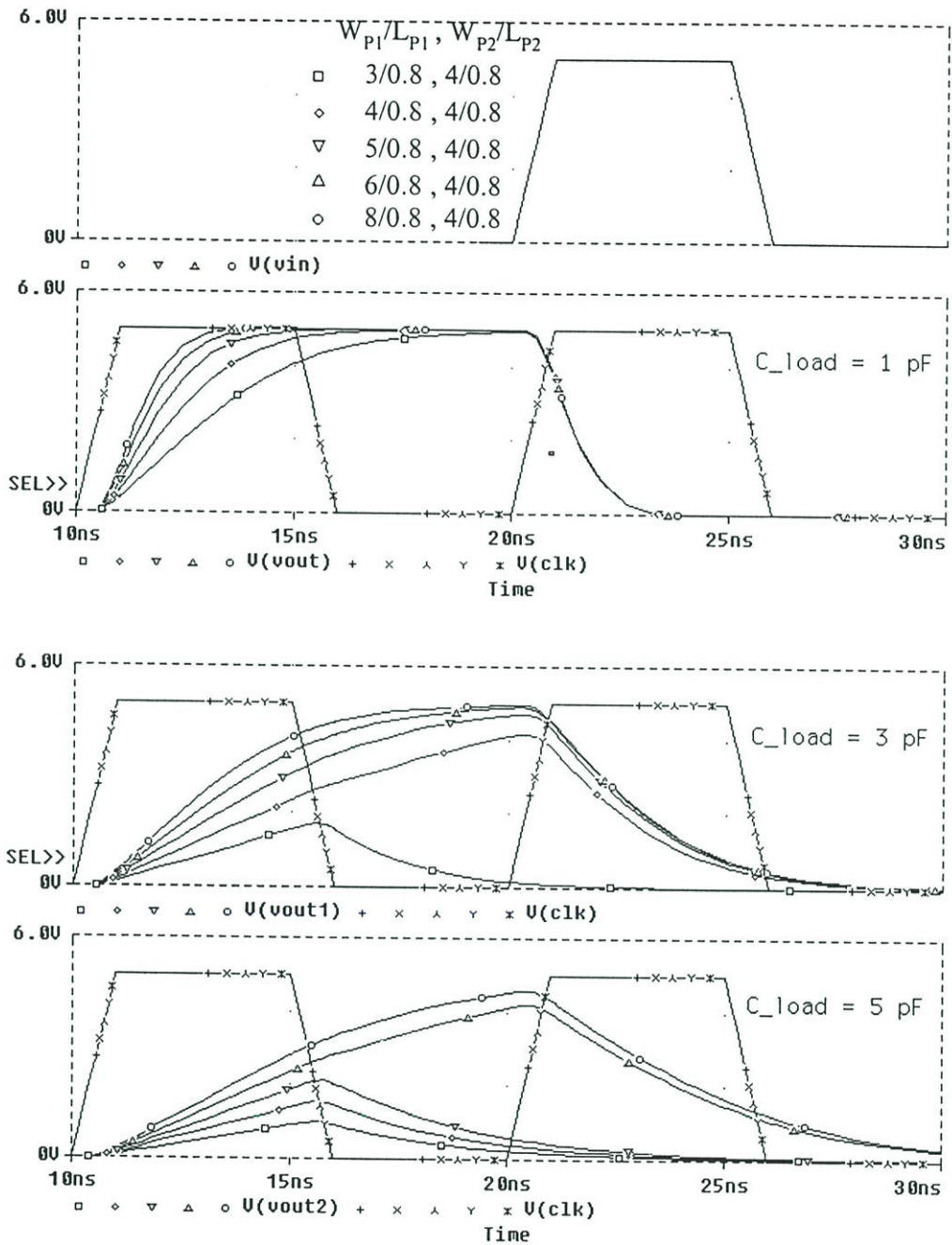
1. ทรานซิสเตอร์ทุกตัวควรมีค่าขนาดที่น้อยที่สุดตามกฎการออกแบบ
2. เพิ่มค่า  $L_2$  เพื่อที่จะป้องกันวงจรทำงานผิดพลาดและช่วยลดกำลังงานที่สูญเสียได้ด้วย
3. เพิ่มค่า  $W_1$  เพื่อเพิ่มความเร็วในการทำงานและลดกำลังงานที่สูญเสีย

## 2.3 ผลการจำลองการทำงานของวงจรซีมอสสแตติกแลทซ์

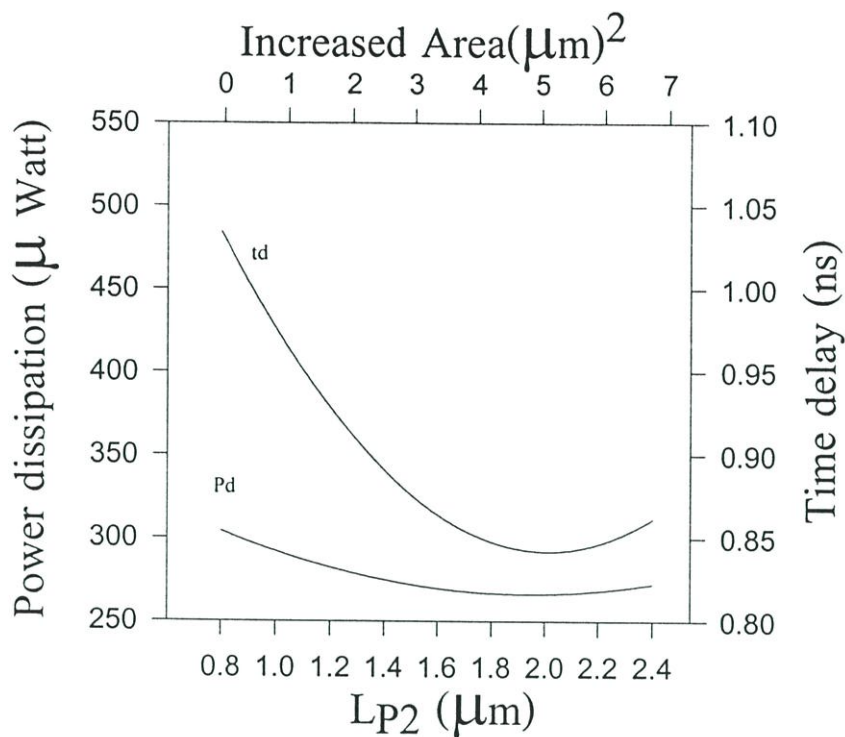
ผลการจำลองการทำงานของวงจรซีมอสสแตติกแลทซ์ที่ความถี่ 100 MHz โดยใช้สัญญาณอินพุตเป็น 1,0,1,0,..., ค่า rise time และ fall time คือ 1 ns โดยใช้เทคโนโลยี BiCMOS โดยที่  $L_{min} = 0.8 \mu\text{m}$  และ  $W_{min} = 1 \mu\text{m}$  ที่  $85^\circ\text{C}$ .

### 2.3.1 การทดสอบการทำงานของ Meta-stable

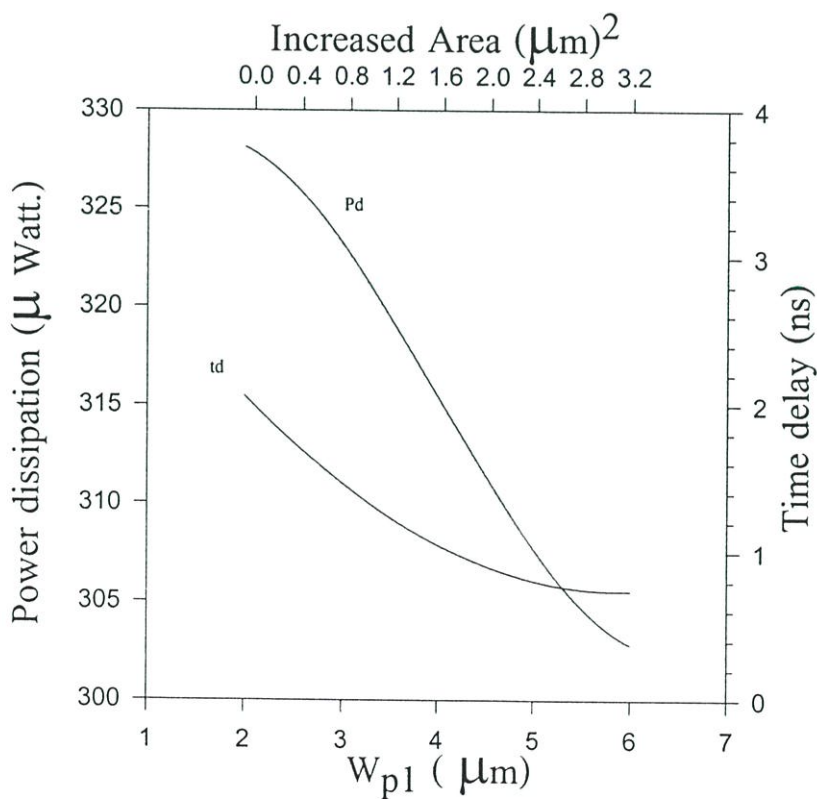
ปัญหาการเกิดสภาวะ meta-stable เป็นผลมาจากขนาดของทรานซิสเตอร์พีมอสที่ตัวอินเวอร์เตอร์ป้อนกลับ การเพิ่มขนาดของ  $W_{p2}$  จะช่วยลดกำลังที่สูญเสียแต่จะทำให้เกิดปัญหาสภาวะ meta-stable ดังแสดงในรูปที่ 2.3 ซึ่งถ้าเพิ่มค่า  $W_{p1}$  จะทำให้ลดปัญหาสภาวะ meta-stable ได้เมื่อเพิ่ม  $C_L$  ขึ้น



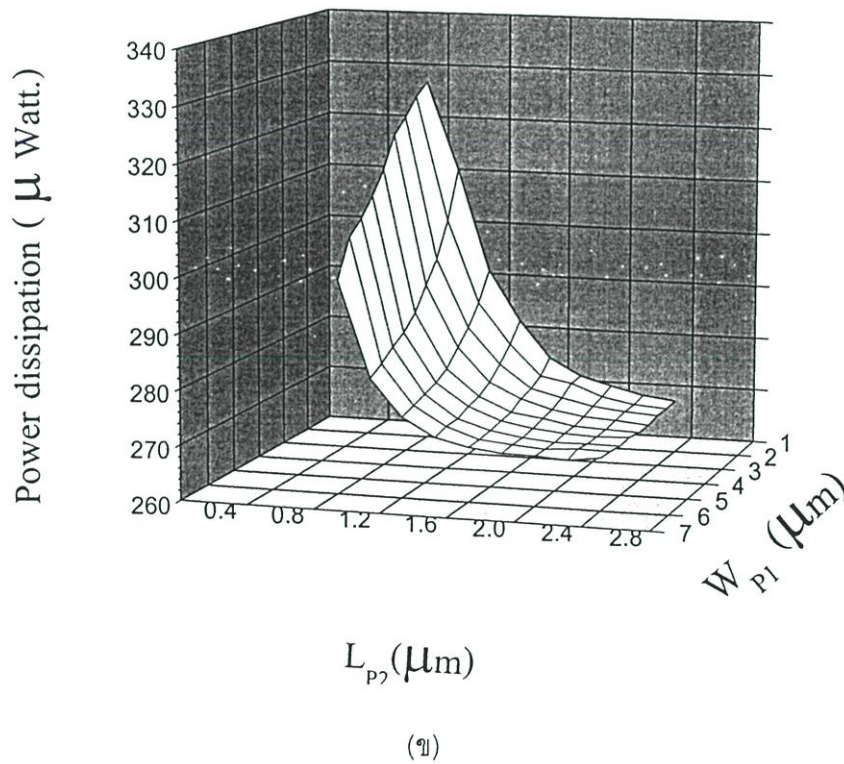
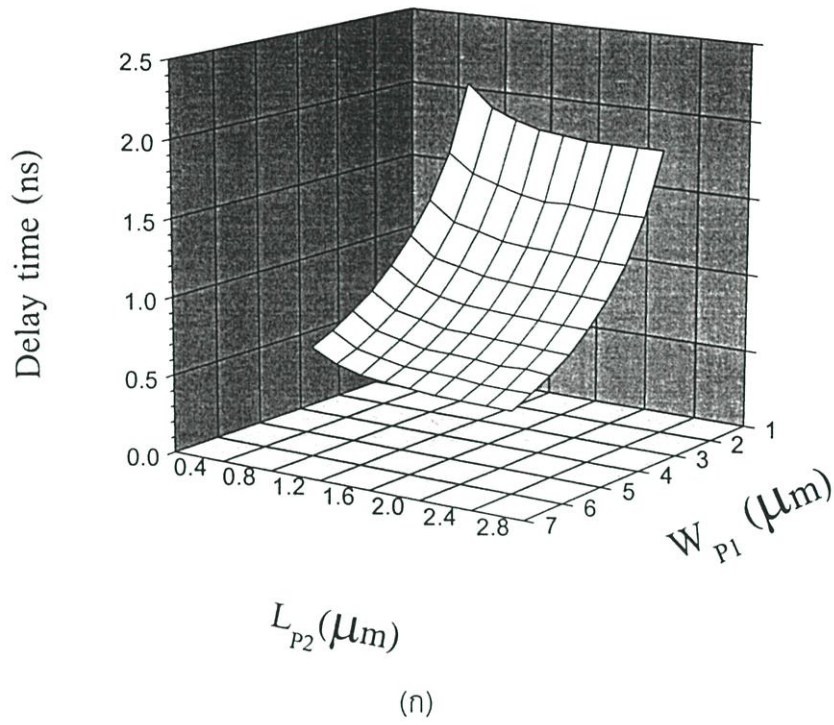
รูปที่ 2.3 การทดสอบปัญหา Meta-stable ด้วย  $C_L = 1 \text{ pF}, 3 \text{ pF}$  and  $5 \text{ pF}$ .



รูปที่ 2.4 ผลของการออกแบบไมซ์โดยการเปลี่ยนขนาดของ  $L_{p2}$



รูปที่ 2.5 ผลของการออกแบบไมซ์โดยการเปลี่ยนขนาดของ  $W_{p1}$

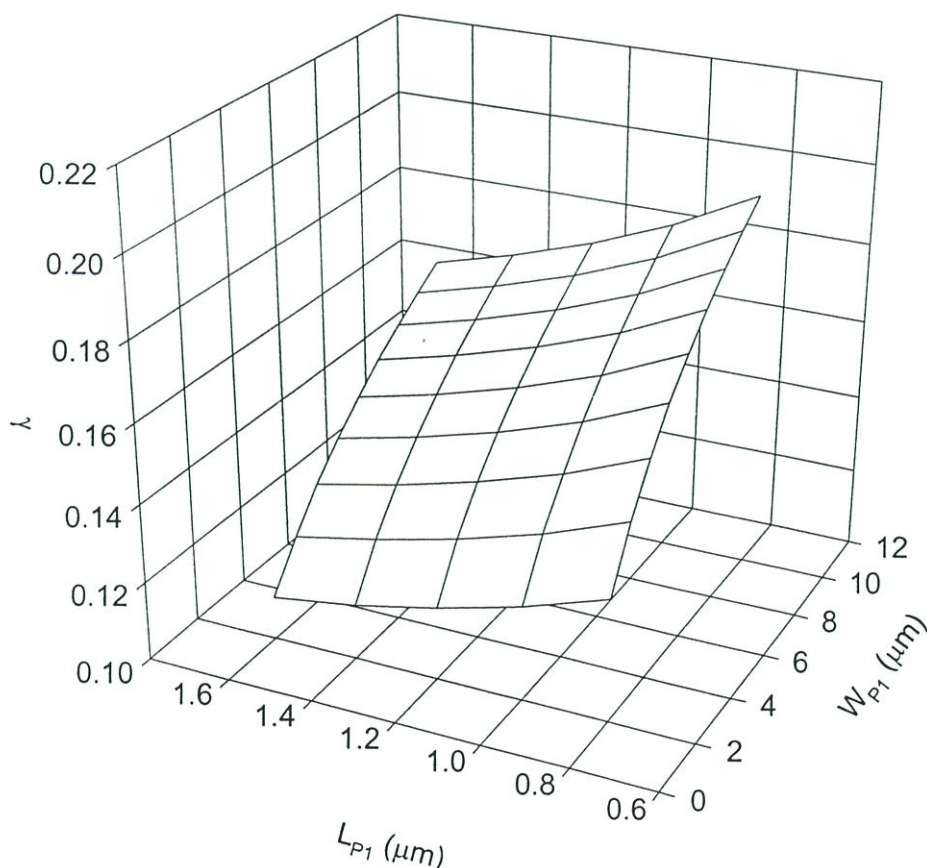


รูปที่ 2.6 ผลของการออกแบบ (ก) ค่าหน่วงเวลา (ข) กำลังงานที่สูญเสีย

ผลการจำลองการทำงานด้วยโปรแกรม PSpice เพื่อวัดค่าความหน่วงเวลา ค่ากำลังงานที่สูญเสีย และ ค่า  $\gamma$

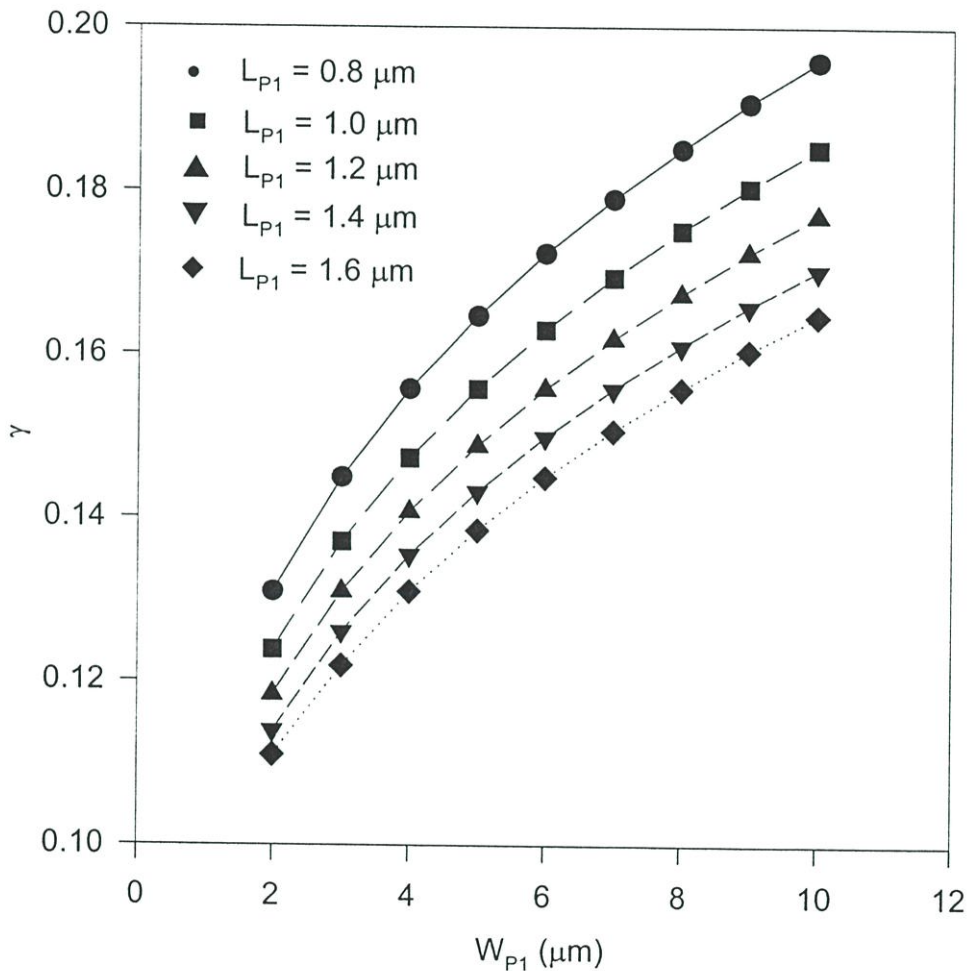
จากรูปที่ 2.4 โดยการกำหนดค่า  $W_{p1} = 4 \mu\text{m}$  และ  $W_{p2} = 2 \mu\text{m}$  จากนั้นเปลี่ยนแปลงขนาดของ  $L_{p2}$  จะได้จุดที่มีค่าน้อยที่สุดของค่าหน่วงเวลาและค่ากำลังงานที่สูญเสีย ที่  $L_{p2}$  มีค่าประมาณ  $2 \mu\text{m}$  จากนั้นกำหนดค่า  $W_{p2} = 2 \mu\text{m}$  และ  $L_{p1} = L_{p2} = 0.8 \mu\text{m}$ . โดยการเปลี่ยนแปลงขนาดของ  $W_{p1}$  แสดงในรูปที่ 2.5 พบว่าจุดที่มีค่าน้อยที่สุดของค่าหน่วงเวลาและค่ากำลังงานที่สูญเสียเมื่อ  $W_{p1}$  มีค่าประมาณ  $6 \mu\text{m}$  เมื่อเปลี่ยนแปลงขนาดของ  $W_{p1}$  และ  $L_{p2}$  แสดงค่าหน่วงเวลาและค่ากำลังงานที่สูญเสียในรูปที่ 2.6(ก) และ 2.6(ข) ตามลำดับ พบว่าค่าที่น้อยที่สุดของ  $W_{p1}$  และ  $L_{p2}$  มีค่าประมาณ  $6 \mu\text{m}$  และ  $2 \mu\text{m}$  ตามลำดับ

การออปติไมซ์โดยเพิ่มขนาดของ  $W_{p1}$  และ  $L_{p1}$  แสดงดังรูปที่ 2.7

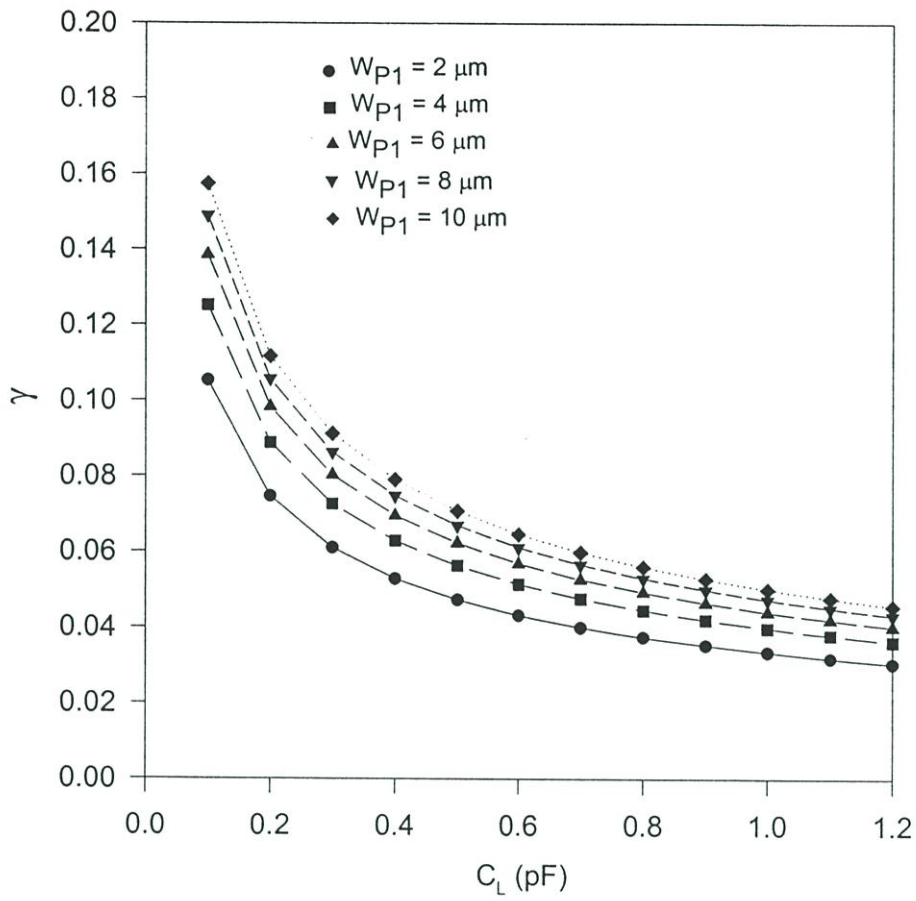


รูปที่ 2.7 แสดงค่า  $\gamma$  เมื่อเพิ่มขนาดของ  $W_{p1}$  และ  $L_{p1}$  เมื่อ  $C_L = 1 \text{ pF}$

สังเกตว่าค่า  $\gamma$  มีค่าสูงเมื่อเพิ่มขนาดของ  $W_{P1}$  และลดขนาดของ  $L_{P1}$  แสดงดังรูปที่ 2.7, 2.8 และ 2.9 ซึ่งพิจารณาค่าหน่วยเวลา ขนาดของ  $W_{P1}$  ควรจะมีขนาดใหญ่ ในกรณีกำลังงานสูญเสียต่ำ ขนาดของค่า  $W_{P1}$  ควรจะมีขนาดใหญ่ แต่ขนาดของ  $L_{P1}$  ควรจะมีค่าน้อย ซึ่งจากรูปที่ 2.8 ค่า  $L_{P1}$  ควรจะมีค่า  $0.8 \mu\text{m}$  และรูปที่ 2.9 แสดงค่า  $C_L$  ควรจะมีค่าน้อยและค่า  $W_{P1}$  ควรจะมีค่าสูงซึ่งดูได้จากรูปที่ 2.6 (ก) เพื่อลดค่าหน่วยเวลาลง



รูปที่ 2.8 แสดงค่า  $\gamma$  ซึ่งเปลี่ยนแปลงค่า  $W_{P1}$  สำหรับ  $L_{P1} = 0.8, 1.0, 1.2, 1.4, 1.6 \mu\text{m}$  เมื่อ  $C_L = 1 \text{ pF}$



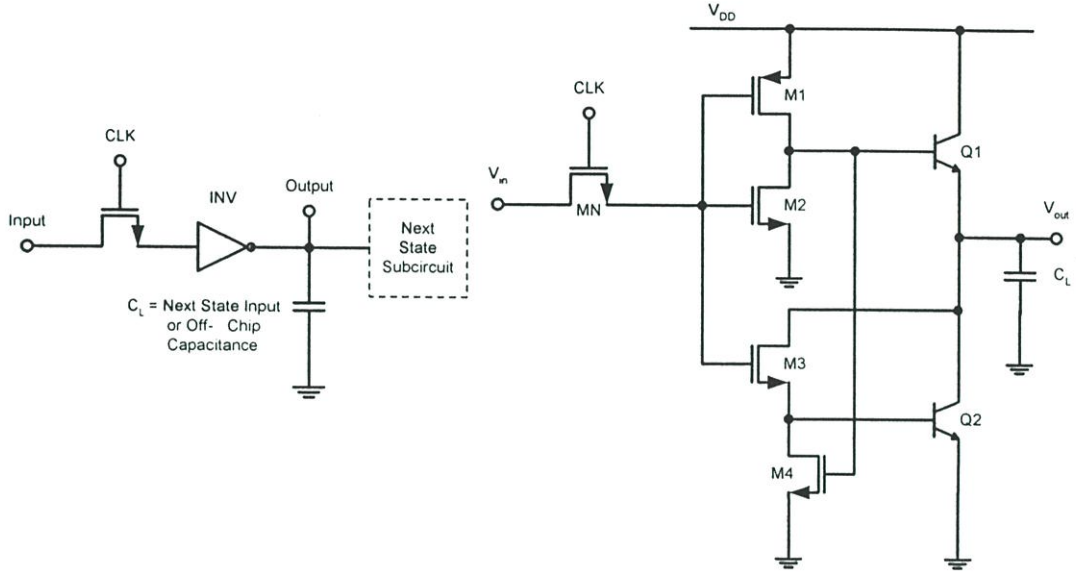
รูปที่ 2.9 แสดงค่า  $\gamma$  ต่อ  $C_L$  เมื่อเปลี่ยนแปลงขนาดของ  $W_{P1}$

สรุปได้ว่าการออกแบบวงจรมอสสแตติกแลทซ์เพื่อให้ได้ประสิทธิภาพดีที่สุดทั้ง 3 ด้าน ทั้ง ความเร็ว กำลังงานที่สูญเสีย และพื้นที่ที่ใช้ โดยจะให้เวลาน้อยที่สุดในการออกแบบ ค่าของ  $W_{P1}$  และ  $L_{P2}$  ควรมีค่าประมาณ  $6 \mu\text{m}$  และ  $2 \mu\text{m}$  ตามลำดับ

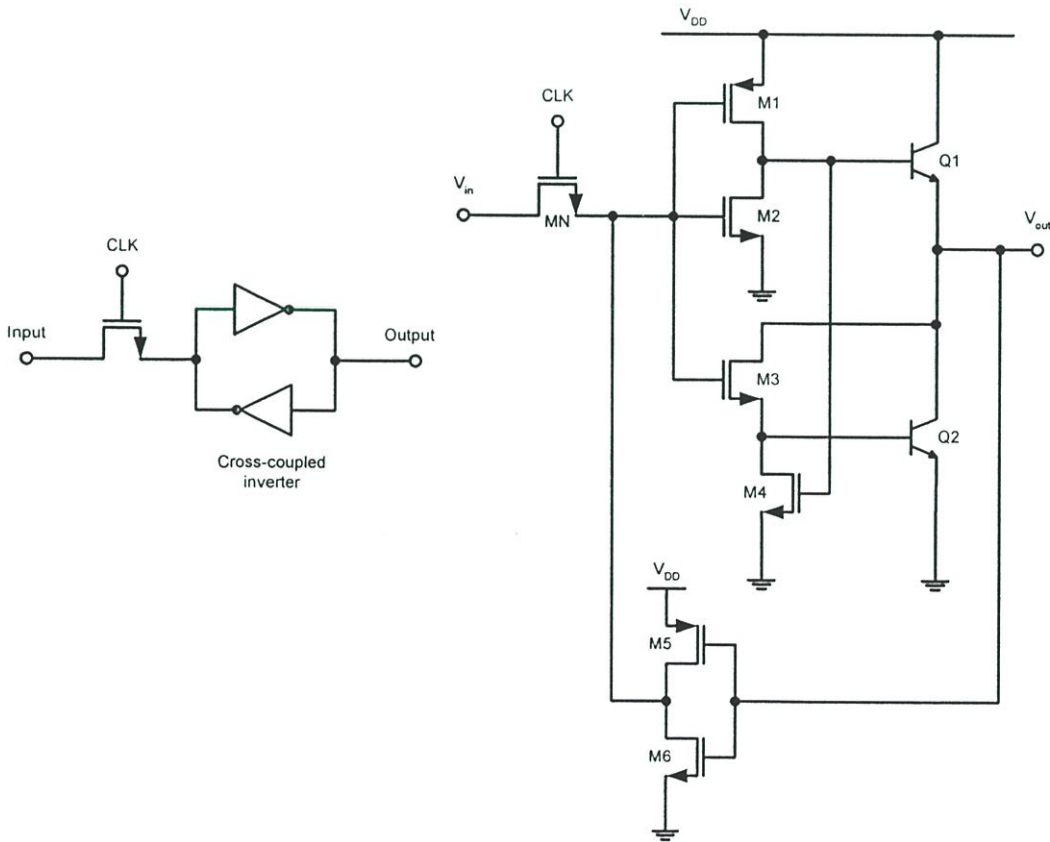
### บทที่ 3

## การออกแบบไมซ์วงจรไบตีมอสแลทช์

### 3.1 การทำงานของวงจรไบตีมอสแลทช์



(ก)



(ข)

รูปที่ 3.1 แสดงวงจรไบตีมอส (ก) Dynamic latch (ข) Static latch

รูปที่ 3.1 (ก) แสดงวงจรไบซีมอสไดนามิกแลทซ์ ซึ่งประกอบด้วยทรานซิสเตอร์ผ่าน (Pass transistor) และวงจรถอนอินเวอร์เตอร์ [16] ซึ่งทรานซิสเตอร์ผ่านจะทำหน้าที่ผ่านสัญญาณและแยกสัญญาณ โดยมีโครงสร้างที่เรียบง่าย ซึ่งมักใช้ทรานซิสเตอร์แบบเอ็นมอส โดยจะนำกระแสเมื่อลอจิก "1" เข้าที่ขาเกต สวิตช์ชนิดนี้ส่งผ่านสัญญาณลอจิก "0" ได้ดี แต่การส่งผ่านสัญญาณลอจิก "1" จะถูกลดทอนด้วยค่าแรงดันเทรตโฮลด์ ( $V_{th}$ ) เพื่อทำให้เกิดช่องทางเดินกระแส และเนื่องจากการเชื่อมต่อที่ปลายซอร์สและเดรน เป็นลักษณะสมมาตรสองทิศทาง ฉะนั้นคักดาที่ซอร์สและเดรนจึงขึ้นกับอิมพีแดนซ์ในแต่ละโนด โดยปกติ มักกำหนดให้ด้านใดด้านหนึ่งมีอิมพีแดนซ์สูง และกำหนดให้ปลายอีกด้านหนึ่งมีอิมพีแดนซ์ต่ำ เพื่อว่าขณะที่ระดับสัญญาณที่ขาเกตเป็น "1" ระดับสัญญาณที่ปลายทั้ง 2 จะเท่ากับคักดาที่โนดที่มีอิมพีแดนซ์ต่ำ

ส่วนรูปที่ 3.1 (ข) แสดงวงจรไบซีมอสสแตติกแลทซ์ ซึ่งการทำงานของวงจรถอนอินเวอร์เตอร์จะแตกต่างกับวงจรถอนไดนามิกแลทซ์ อันเนื่องมาจากโครงสร้างวงจรมีการป้อนกลับ ช่วงการทำงานแบ่งเป็นช่วงส่งผ่านสัญญาณและช่วงคงค่าระดับสัญญาณหรือช่วงที่  $clk=1$  และ  $0$  ตามลำดับ ซึ่งในการออกแบบวงจรโดยช่วงส่งผ่านสัญญาณให้มีความเร็วการทำงานสูงขึ้น โดยพิจารณาจากค่าคงที่เวลา คือกำหนดให้อัตราส่วน  $W/L$  ของทรานซิสเตอร์ผ่านมีค่าสูง ในขณะที่  $W/L$  ของอินเวอร์เตอร์ป้อนกลับมีค่าต่ำ ๆ

### 3.2 กำลังงานที่สูญเสียทั้งหมด (Total power dissipation)

กำลังงานที่สูญเสียทั้งหมดในวงจรถอนไบซีมอส [19] ประกอบด้วยกำลังงานที่สูญเสียทางสแตติกส์ (static power dissipation:  $P_S$ ) กำลังงานที่สูญเสียทางไดนามิก (dynamic power dissipation:  $P_d$ ) และกำลังงานที่สูญเสียลัดวงจรไดนามิก (dynamic short circuit power dissipation:  $P_{SC}$ ) ซึ่งเป็นผลรวมของกำลังงานที่สูญเสียทั้งหมด ( $P_{total} = P_S + P_d + P_{SC}$ ).

#### 3.2.1 กำลังงานที่สูญเสียทางสแตติกส์

กำลังงานสูญเสียทางสแตติกส์ขึ้นอยู่กับกระแสที่รั่วในขณะที่ทำงานสามารถเขียนเป็นสมการที่ 3.1

$$P_S = \sum I_{LK} \cdot V_{DD} \quad (3.1)$$

เมื่อ  $I_{LK}$  คือกระแสที่รั่วของอุปกรณ์

$V_{DD}$  คือแหล่งจ่ายไฟ

### 3.2.2 กำลังงานที่สูญเสียทางไดนามิก

กำลังงานที่สูญเสียทางไดนามิกจะเกิดขึ้นในช่วง rise time ( $t_r$ ) และช่วง fall time ( $t_f$ ) เมื่อคาบเวลา ( $t_p$ ) มีค่ามากกว่าค่า rise time และ fall time ดังนั้นกำลังงานที่สูญเสียทางไดนามิกสามารถเขียนได้เป็น

$$P_d = \frac{1}{t_p} \int_0^{t_p/2} I_{E1}(t) V_{OUT} dt + \frac{1}{t_p} \int_{t_p/2}^{t_p} I_{E2}(t) (V_{DD} - V_{OUT}) dt \quad (3.2)$$

เมื่อ

$I_{E1}$  คือกระแสอิมิตเตอร์ที่สัญญาณเอาพุตเปลี่ยนจาก "1" เป็น "0"

$$= (C_L + C_{int}) \frac{dV_0}{dt}$$

$I_{E2}$  คือกระแสอิมิตเตอร์ที่สัญญาณเอาพุตเปลี่ยนจาก "0" เป็น "1"

$$= (C_L + C_{int}) \frac{d(V_{DD} - V_0)}{dt}$$

$C_L$  คือโหลดคาปาซิแทน

$C_{int}$  คือคาปาซิแทนภายใน (internal capacitance of device)

$\Delta V_s$  คือ increment of signal swing

$f_p$  คือความถี่

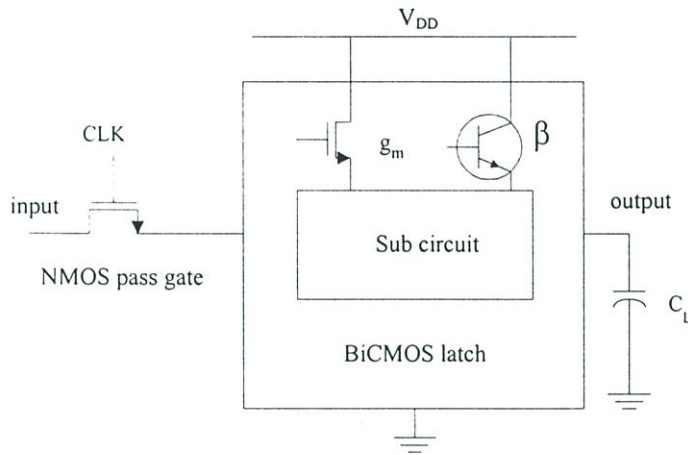
กำลังงานที่สูญเสียทางไดนามิกสามารถเขียนได้ดังสมการที่ (3.3).

$$P_d = (C_L + C_{int}) (\Delta V_s)^2 \cdot f_p \quad (3.3)$$

### 3.2.3 กำลังงานที่สูญเสียลัดวงจรไดนามิก (Dynamic short-circuit power dissipation)

กำลังงานที่เกิดขึ้นของไบสมอสลอจิกเกิดจากการเปลี่ยนสถานะ โดยทรานซิสเตอร์เอ็นมอสและพีมอสในการเปลี่ยนสถานะแรกของวงจรถูกเปิดและเกิดจากทรานซิสเตอร์ไบโพลาร์ในสถานะที่สองของวงจรถูกเปิดและปิดในช่วงเวลาสั้น ๆ ก่อนที่จะอยู่ในสถานะคงตัว (steady state) โดยสถานะนี้จะลัดวงจรจากแหล่งจ่ายถึงกราวด์ กำลังงานที่สูญเสียขึ้นอยู่กับปัจจัย

ในสมการที่ (3.2) and (3.3) แต่การคำนวณกำลังงานที่สูญเสียทั้งหมดมีความยุ่งยากเนื่องจาก ตัวเก็บประจุภายใน ความต้านทานภายใน และความถี่ที่ใช้งานของแต่ละวงจรรย่อย ดังนั้นจึงใช้วิธีหากำลังงานที่สูญเสียโดยเฉลี่ย ( $P_{AV}$ ) ของวงจร [19] โดยใช้ current-controlled current source หรือ voltage-controlled current source ในการวัดค่าเฉลี่ยของกระแสที่ใช้งานแสดงในรูปที่ 3.2



รูปที่ 3.2 วิธีวัดกำลังงานที่สูญเสีย

การวิเคราะห์สวิตชิงของมอสทรานซิสเตอร์ในช่วงเชิงเส้นแสดงในสมการที่ (3.4)

$$g_{m\_linear} = 2 \left( \frac{\mu \epsilon W}{L} \right) (V_{GS} - V_{th}) \quad (3.4)$$

ดังนั้น

$$P \propto \frac{W}{L} \quad (3.5)$$

### 3.3 พื้นที่

พื้นที่ของชิปหรือพื้นที่ของวงจรถูกขึ้นอยู่กัขนาดของอุปกรณ์ ความล้มพันธ์ของพื้นที่วงจรแสดงในสมการที่ (3.6)

$$Area \propto \left( \sum W \cdot L + \sum A_E \right) \quad (3.6)$$

เมื่อ  $W, L$  คือความกว้างและความยาวของทรานซิสเตอร์มอส ตามลำดับ  
 $A_E$  คือพื้นที่ที่มีเตอร์ของทรานซิสเตอร์แบบไบโพลาร์

ดังนั้นขนาดของ  $W$ ,  $L$  และ  $A_E$  ควรจะมีขนาดเล็กที่สุด อย่างไรก็ตามกฎการออกแบบที่ขึ้นอยู่กับการเปลี่ยนขนาดของอุปกรณ์และการออกแบบ

### 3.4 ความเร็ว

ความเร็วในการทำงานขึ้นอยู่กับสัญญาณในอุปกรณ์คือ ความหน่วงเวลา ( $t_d$ ) และขึ้นกับความต้านทาน ตัวเก็บประจุแฝงในร่องต่อระหว่างอุปกรณ์ ซึ่งแสดงในสมการที่ (3.7)

$$t_{d,BiCMOS} \propto \frac{\pi}{2} \sqrt{R_{CH} \tau_F (C_L + C_{int})} \quad (3.7)$$

เมื่อ

$$R_{CH} = \frac{2L}{W \mu_p C_{OX} (V_{DD} - V_{TP})}$$

$$C_{int} \approx C_G = (L \cdot W) C_{OX}$$

สำหรับ  $C_{int} \gg C_L$  ;  $t_d \propto L$  (3.8)

และ  $C_{int} \ll C_L$  ;  $t_d \propto \sqrt{\frac{L}{W}}$  (3.9)

จากสมการที่ (3.8) และ (3.9) ค่า  $L$  ควรจะมีค่าน้อยที่สุดเพื่อที่จะทำให้มีความเร็วในการทำงานเร็วที่สุด

ส่วนพื้นที่ของอิมิตเตอร์ของทรานซิสเตอร์ไบโพลาร์เป็นตัวแปรที่มีความสำคัญ ซึ่งค่าการหน่วงเวลาสัมพันธ์กับพื้นที่อิมิตเตอร์ของทรานซิสเตอร์ไบโพลาร์แสดงในสมการที่ (3.10)

$$t_d \propto \frac{1}{\sqrt{A_E}} \quad (3.10)$$

ในกรณีของโพลที่มีค่าความจุไฟฟ้าสูง ๆ การเพิ่มพื้นที่อิมิตเตอร์ทำค่าของการหน่วงเวลาลดลงถึงระดับหนึ่งก็จะไม่ลดลงไปอีก แม้จะเพิ่มพื้นที่อิมิตเตอร์ขึ้นอีกก็ตาม ส่วนในกรณีที่โพลมีค่าความจุไฟฟ้าต่ำ การเพิ่มพื้นที่ของอิมิตเตอร์จะทำให้การหน่วงเวลาของวงจรเพิ่มขึ้น ดังแสดงในสมการที่ (3.11)

$$t_d \propto A_E \quad (3.11)$$

### 3.5 การออกแบบไมซ์ของวงจรวจรไบซีมอส

ในการหาเงื่อนไขที่ดีที่สุดพร้อมกัน คือ พื้นที่ กำลังงานที่สูญเสีย และความเร็วหรือความหน่วง จุดประสงค์ของวิธีการนี้ให้มีผลกระทบต่อ layout area น้อยที่สุด โดยการเปลี่ยนค่า  $W, L$  ของทรานซิสเตอร์แบบมอส และพื้นที่ของทรานซิสเตอร์แบบไบโพลาร์ ( $A_E$ ) ซึ่งต่อเชื่อมกับแหล่งจ่าย การหาเงื่อนไขที่ดีที่สุดสามารถใช้ได้ทั้งวงจรสแตติกและไดนามิกแลทซ์

- กรณีที่  $C_L$  มีค่าต่ำ ๆ ( $C_L \leq 1\text{pF}$ ) จากสมการที่ (3.5) และ (3.8)

$$P \propto \frac{W}{L} \text{ และ } t_d \propto L$$

ทำการเพิ่ม  $L$  ของ M1 จนได้ค่ากำลังงานที่สูญเสียและความเร็วที่ยอมรับได้

- กรณีที่  $C_L$  มีค่าสูง ( $C_L \geq 1\text{pF}$ ) จากสมการที่ (3.5), (3.9) และ (3.10)

$$P \propto \frac{W}{L}, t_d \propto \sqrt{\frac{L}{W}} \text{ และ } t_d \propto \frac{1}{\sqrt{A_E}}$$

เมื่อ  $A_E$  มีค่าเพิ่มขึ้นทำให้ความหน่วง ( $t_d$ ) มีค่าลดลง (ความเร็วเพิ่มขึ้น) แต่ทำให้มีพื้นที่อิมิตอร์มีขนาดใหญ่ ดังนั้นการเพิ่มค่า  $W$  และลดค่า  $L$  ลงทำให้พื้นที่ของวงจรถดลง แม้ว่าจะทำให้กำลังงานที่สูญเสียเพิ่มขึ้นเล็กน้อย

สำหรับการออกแบบวงจรวจรไบซีมอสสแตติกแลทซ์จะแตกต่างจากวงจรวจรไบซีมอสไดนามิกแลทซ์ เนื่องจากมีมีวงจบบ้อนกลับ ทำให้ความเร็วในการทำงานที่เปลี่ยนไปเนื่องจากการลดกำลังงานที่สูญเสียไป ดังนั้นในการออกแบบไมซ์วงจรสแตติกแลทซ์ต้องไม่ทำให้ค่าหน่วงเวลาเพิ่มขึ้น ดังสมการที่ (3.12)

$$V_{out}(t) = \frac{-V_{in}}{g_{m2}R_{CH}} \left( \exp \frac{-t}{R_{CH}C_1} - 1 \right) \quad (3.12)$$

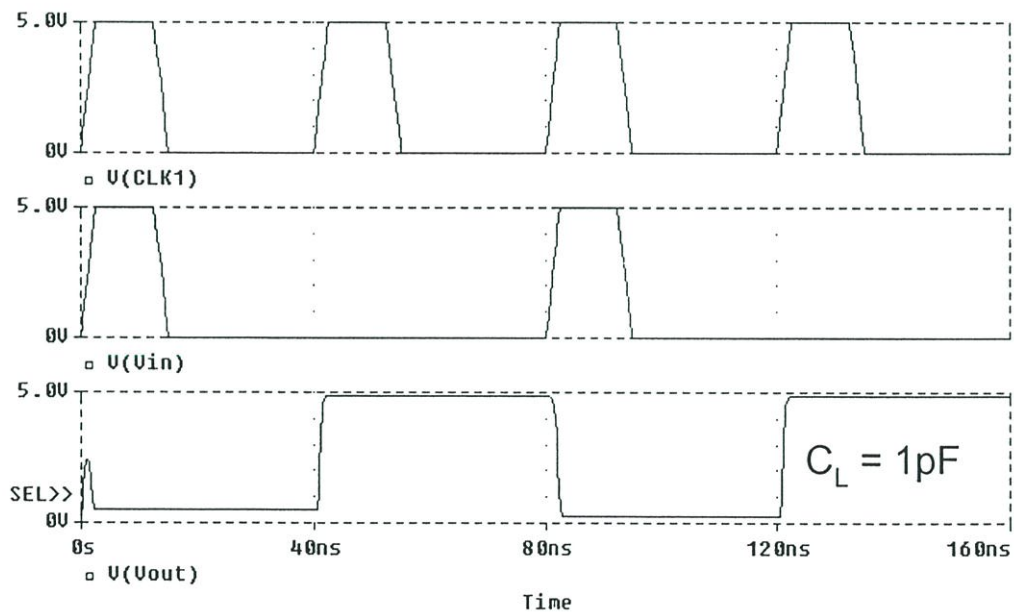
สังเกตว่าการเพิ่มความกว้างและความยาวของทรานซิสเตอร์ ความเร็วของวงจรถ้าลดลง เนื่องจาก  $C_1 = C_{ox}(W.L)$  อย่างไรก็ตามการลดค่า  $R_{CH}$  ทำให้ความเร็วของวงจรมีเพิ่มขึ้น ในขณะที่

การเพิ่มค่า  $A_E$  ไม่มีผลต่อความเร็วของวงจร ส่วนวงจรมองกลับควรจะทำแบบให้ค่า  $L$  ยาวขึ้น เมื่อเปรียบเทียบกับ การออกแบบปกติหรือค่า  $W/L$  ควรมีค่าน้อยที่สุด เพื่อให้วงจรสามารถทำให้ วงจรอินเวอร์เตอร์ทำงานได้ทุกระดับสัญญาณ

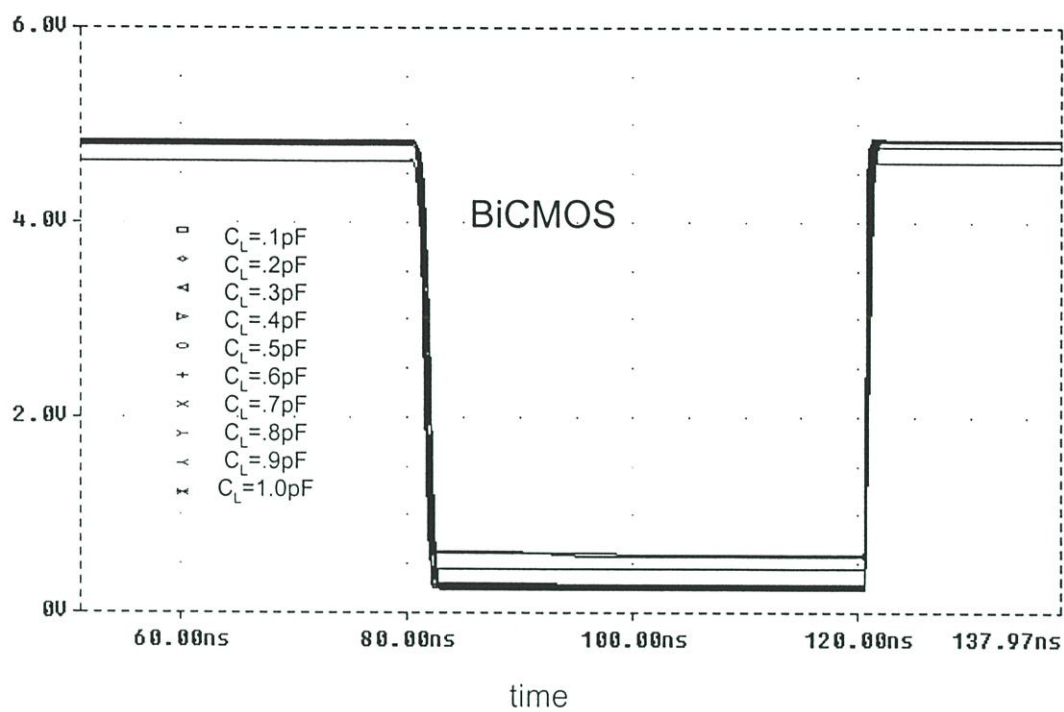
### 3.6 ผลการทดลองของวงจรมอสfet

#### 3.6.1 คุณสมบัติของไบสมอสแลตซ์

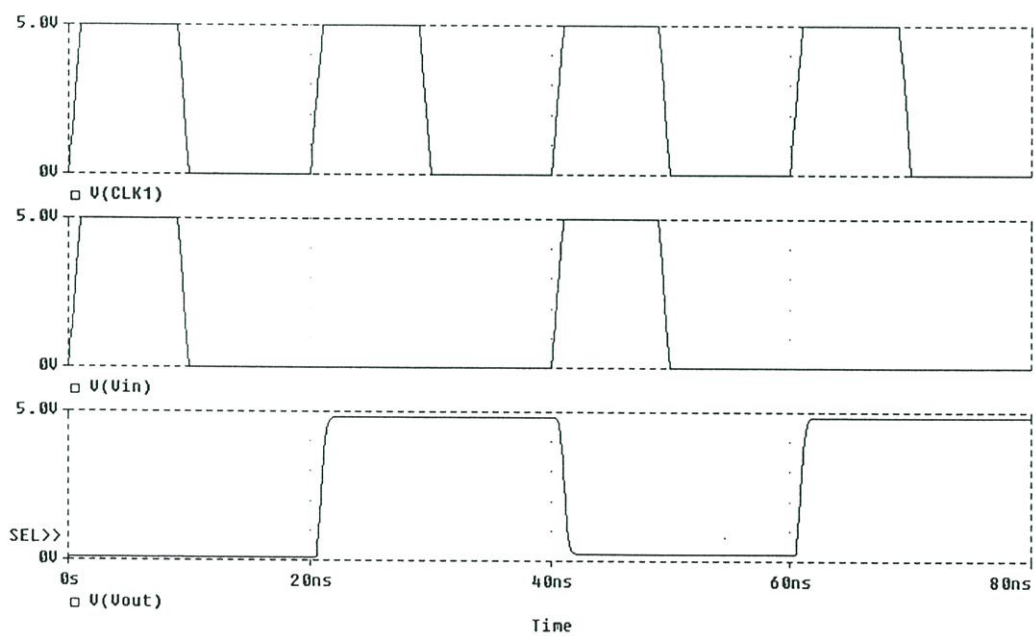
คุณสมบัติของวงจรมอสfetและสแตติกส์แลตซ์แสดงดังรูปที่ 3.3 และ 3.4 ตามลำดับ ผลตอบของวงจรมอสfetและสแตติกส์แลตซ์แสดงดังรูปที่ 3.5 และ 3.6 ตามลำดับ ผลการ จำลองการทำงานโดยใช้สัญญาณอินพุต มีสัญญาณเป็น 1 0 1 0 มีค่าคาบเวลา 40 ns ค่า rise time และ fall time เป็น 2.5 ns มีความถี่สัญญาณนาฬิกาเท่ากับ 50 MHz โดยใช้เทคโนโลยี BiCMOS 0.8  $\mu$



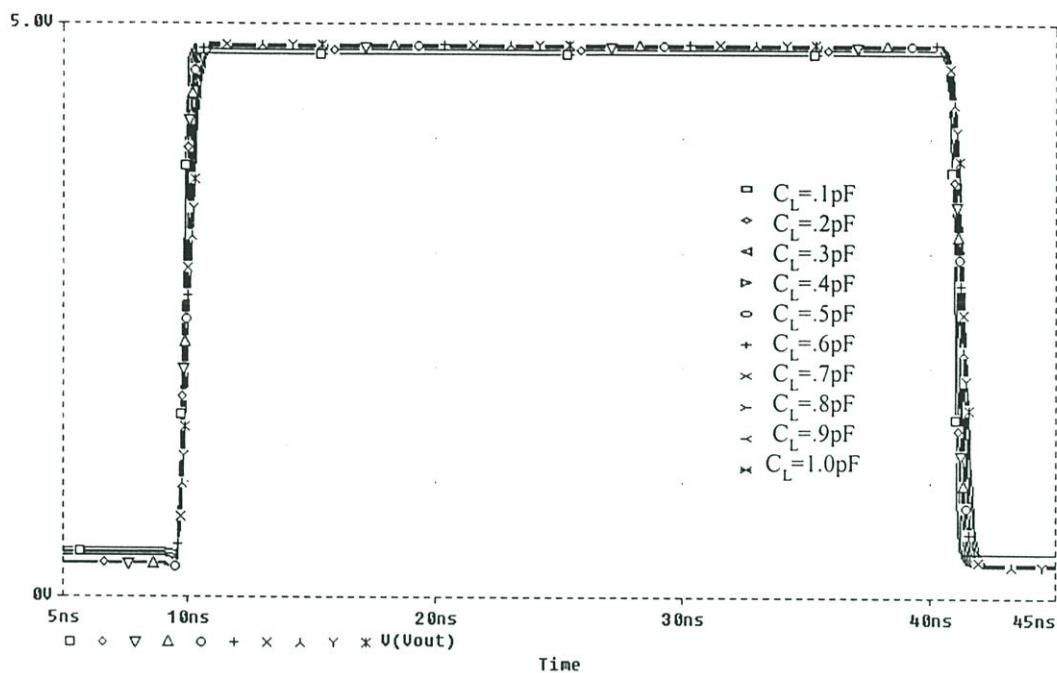
รูปที่ 3.3 รูปสัญญาณของไดนามิกแลตซ์



รูปที่ 3.4 แสดงเข้าพุดของ ไดนามิคแลทซ์ เมื่อ  $C_L = 0 \rightarrow 1$  pF



รูปที่ 3.5 แสดงรูปสัญญาณของสแตติกส์แลทซ์



รูปที่ 3.6 แสดงสัญญาณเข้าพุทของสแตติกส์เมื่อ  $C_L = 0 \rightarrow 10$  pF

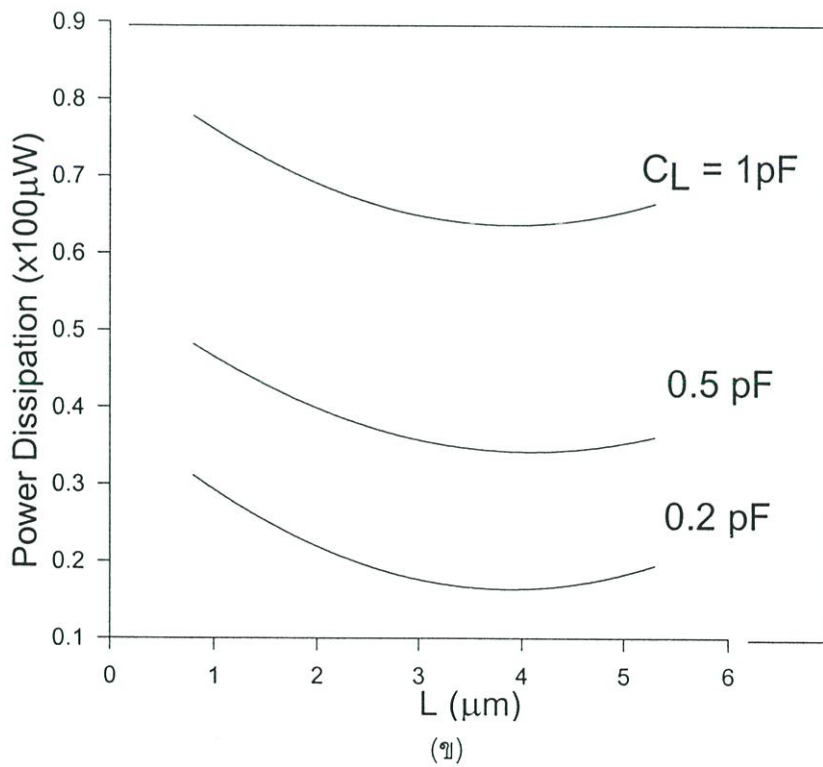
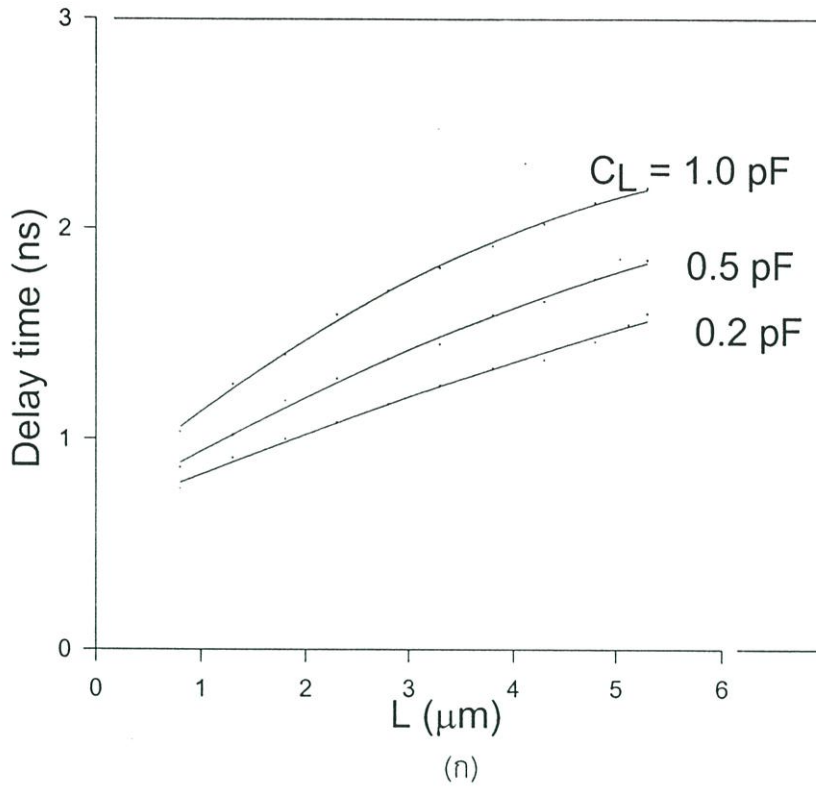
### 3.6.2 ประสิทธิภาพของการออปติไมซ์

ประสิทธิภาพของวงจรไดนามิกและสแตติกส์เลขทซ์โดยใช้เงื่อนไขเดียวกันแสดงในรูปที่

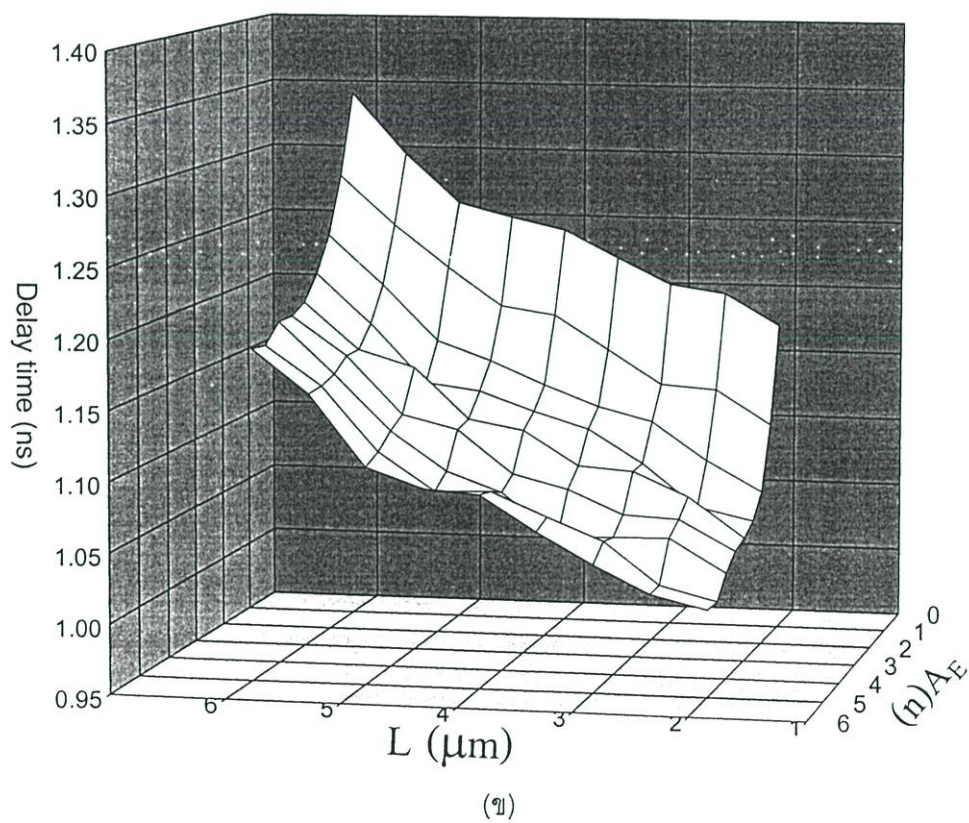
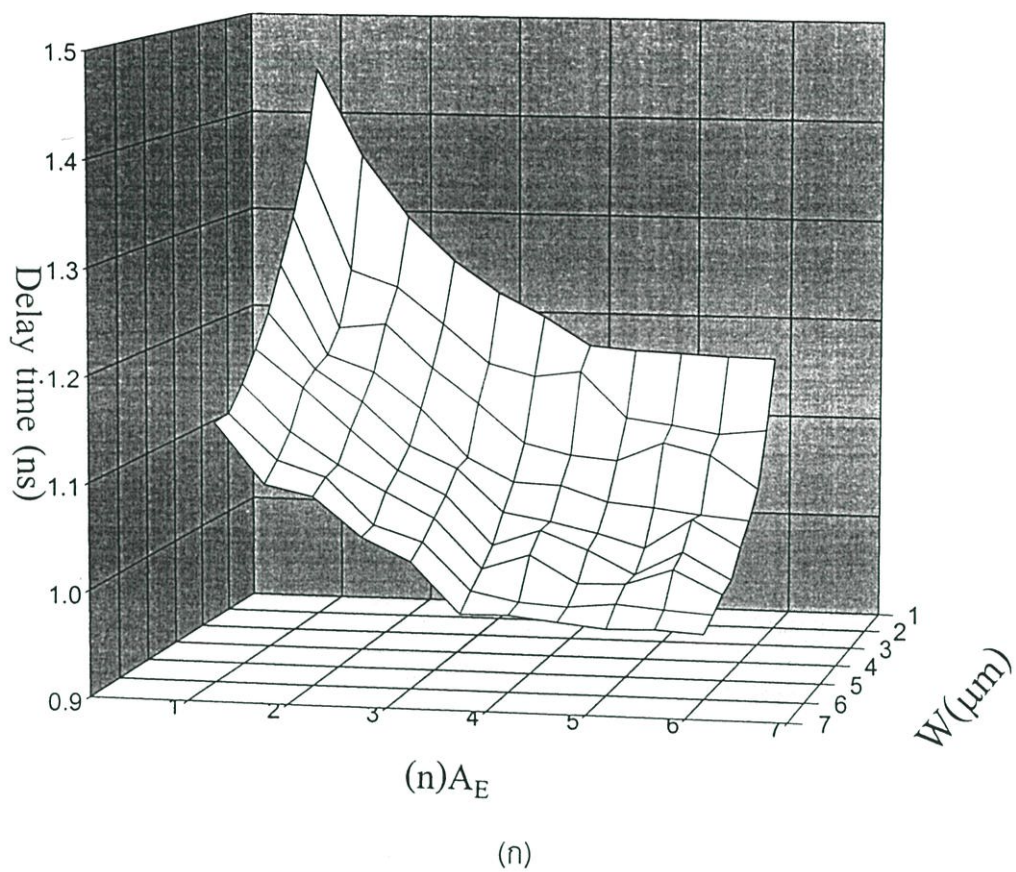
3.1 ผลของการจำลองการทำงานแสดงในรูปที่ 3.7, 3.8, 3.9 และ 3.10 ตามลำดับ

- กรณีค่า  $C_L$  มีค่าน้อย ( $C_L \leq 1$  pF)

ผลการออปติไมซ์โดยการเปลี่ยนแปลงค่า  $L$  ในรูปที่ 3.7 แสดงวงจรไดนามิกเลขทซ์ ต่อค่า  
 หน่วงเวลาและค่ากำลังงานที่สูญเสียเมื่อ  $L$  มีขนาดเพิ่มขึ้น ค่าหน่วงเวลาและค่ากำลังงานที่  
 สูญเสียมียังค่าเพิ่มขึ้นด้วย



รูปที่ 3.7 แสดงการเปลี่ยนแปลงค่า  $L$  ของวงจรไดนามิคแลทซ์ต่อ (ก) ค่าหน่วงเวลา และ (ข) ค่ากำลังงานสูญเสีย

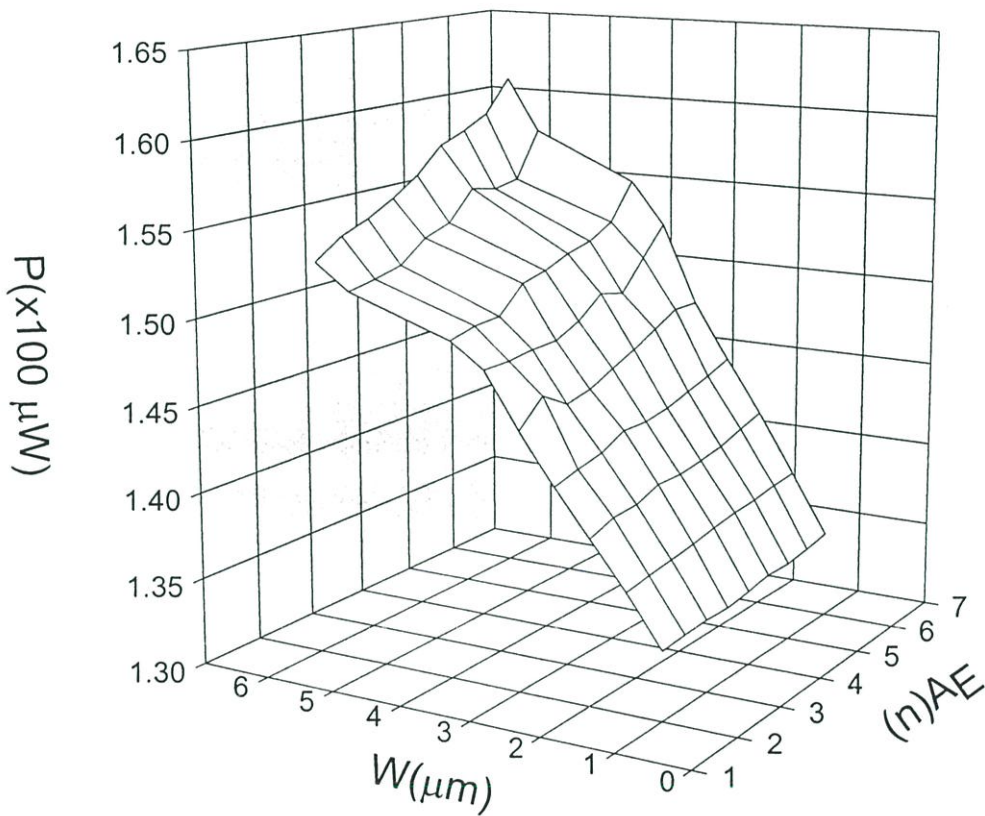


รูปที่ 3.8 แสดงค่าหน่วยเวลาที่เปลี่ยนแปลงไปของวงจรไดนามิกแลตซ์ ต่อ (ก)  $W$  และ  $(n)A_E$ ,

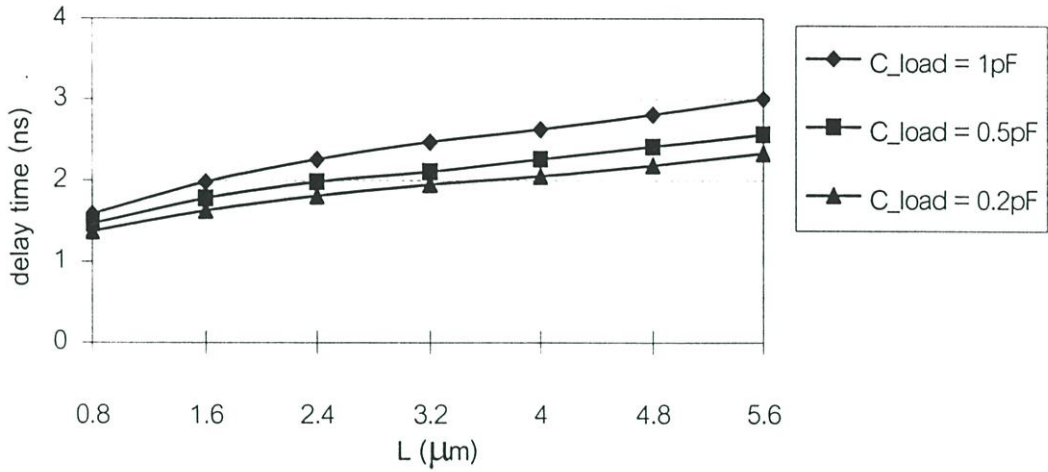
(ข)  $L$  และ  $(n)A_E$

- กรณีค่า  $C_L$  มีค่าสูงมาก ๆ ( $C_L \geq 1$  pF)

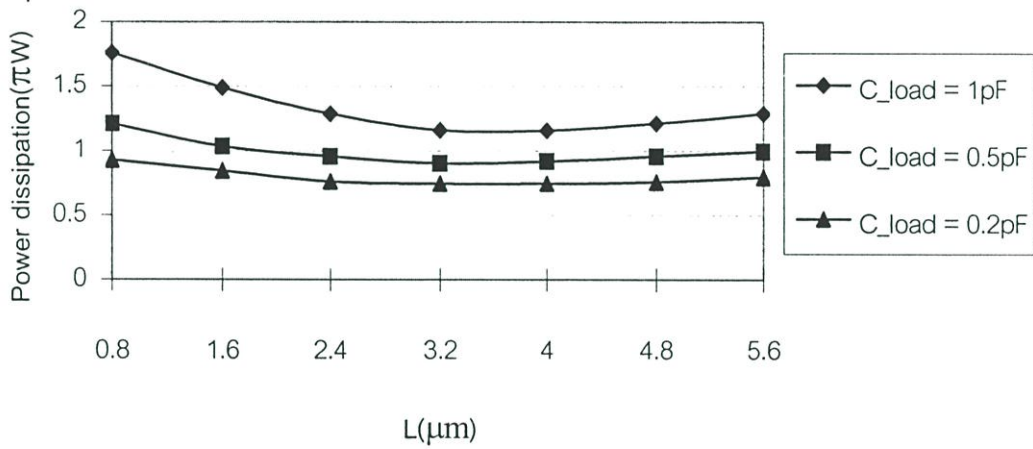
ผลการออกแบบโดยการเพิ่มค่า  $A_E$  และ  $W$  โดยลดค่า  $L$  เมื่อ  $C_L = 2$  pF และให้ค่า  $n$  เป็นจำนวนเต็มบวกเท่าๆของ  $A_E$  แสดงในรูปที่ 3.8 และ 3.9 โดยที่รูปที่ 3.10(ก) แสดงค่าหน่วยเวลาต่อความยาวเกทที่เปลี่ยนแปลง และรูปที่ 3.10(ข) แสดงค่ากำลังงานที่สูญเสียต่อความยาวเกทที่เปลี่ยนแปลง



รูปที่ 3.9 แสดงค่ากำลังงานที่สูญเสียต่อ ค่า  $W$  และ  $A_E$  ของวงจรมิคแอลท์



(ก)



(ข)

รูปที่ 3.10 แสดงวงจรสแตติกแลทซ์

(ก). ค่าความหน่วงเวลาที่เปลี่ยนแปลงต่อความยาวเกตที่เปลี่ยนแปลง

(ข). ค่ากำลังงานที่สูญเสียต่อความยาวเกตที่เปลี่ยนแปลง

สรุปการออกแบบไมเซลล์วงจรไดนามิคแลทซ์ ในกรณีนี้ ค่า  $C_L \leq 1\text{pF}$  จากรูปที่ 3.7 และ 3.8 จะเลือกค่า  $L = 3.8\ \mu\text{m}$  ซึ่งจากรูปที่ 3.7 สามารถลดกำลังงานที่สูญเสียได้ถึงประมาณ 10-15 ไมโครวัตต์ โดยที่พื้นที่เพิ่ม ขึ้น  $15.2\ \mu\text{m}^2$  ส่วนในกรณีที่  $C_L \geq 1\ \text{pF}$  เมื่อเพิ่มขนาดของ  $A_E$  จะทำให้ค่าหน่วงเวลาลดลง ซึ่งเหมือนกับเวลาเพิ่มค่า  $W$  และลดค่า  $L$  แต่ไม่มีผลกับกำลังงานที่สูญเสีย ดังแสดงในรูปที่ 3.9 ซึ่งการเพิ่มขนาดของ  $A_E$  ทำให้พื้นที่ของวงจรเพิ่มขึ้นด้วย ซึ่งในกรณีนี้การเพิ่มค่า  $W$  จะดีกว่าการเพิ่มขนาดของ  $A_E$  เพราะจะทำให้พื้นที่ของวงจรไม่เพิ่มมาก และเพิ่มกำลังงานที่สูญเสียอีกประมาณ 10 %

การออกแบบไมเซชันของวงจรวงจรถอดติ๊กแลทซ์ ซึ่งจากรูปที่ 3.10 จะเลือกค่า  $L = 3.2 \mu\text{m}$  ซึ่งจะทำให้กำลังงานที่สูญเสียต่ำที่สุด แต่ถ้าต้องการค่านองเวลาที่น้อยที่สุดควรเลือกค่า  $L = 0.8 \mu\text{m}$  ซึ่งจะทำให้ได้กำลังงานที่สูญเสียมากที่สุดด้วย

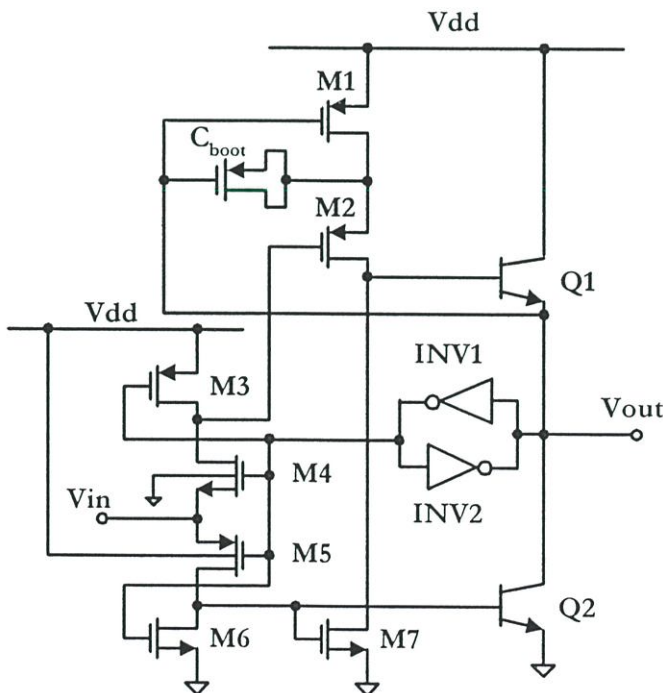
## บทที่ 4

### วงจรบูสสแตปไบซีมอสอินเวอร์เตอร์โดยใช้ไดโอดแฝง

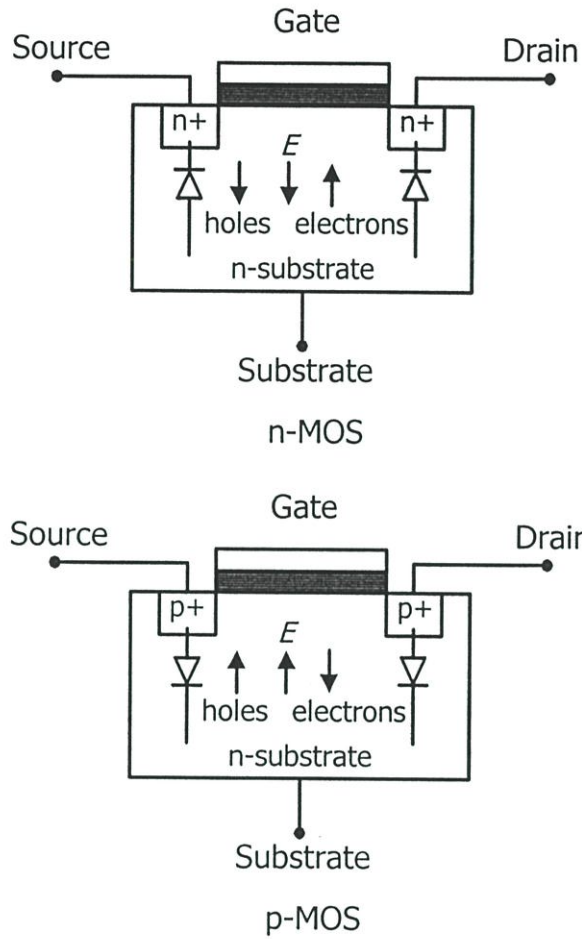
#### 4.1 วงจรบูสสแตปไบซีมอสและการทำงาน

วงจรบูสสแตปไบซีมอสอินเวอร์เตอร์ที่ใช้ไดโอดแฝง ดังรูปที่ 4.1 โดยออกแบบให้ส่วนทางด้านอินพุตใช้ส่วนของ source เป็นส่วนของการรับสัญญาณ ดังนั้นวงจรจึงมีความสามารถในการป้องกันไฟฟ้าสถิตได้ วิธีการออกแบบในส่วนของการรับสัญญาณแสดงได้ดังรูปที่ 4.2 โดยในขณะที่มีความต่างศักย์ที่มีค่าสูงเช่นการดิสชาร์จของไฟฟ้าสถิตในส่วนของอินพุตวงจร ไดโอดภายในจะทำงานโดยจะไบอัสแบบ forward สำหรับ source และ substrate และจะ by-pass ความต่างศักย์ที่มีค่าสูงผ่านสุกราวด์ หรือแหล่งจ่ายไฟ โดยที่วงจรไม่มีความเสียหาย

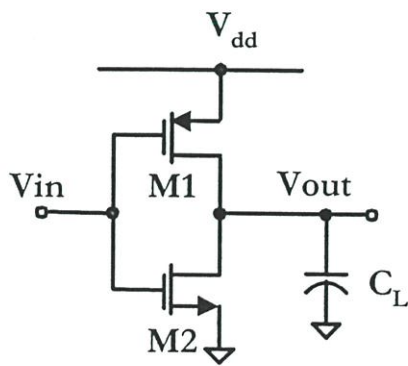
การทำงานของวงจรบูสสแตปไบซีมอสอินเวอร์เตอร์ที่แสดงในรูปที่ 4.1 โดยกำหนดความกว้างของทรานซิสเตอร์ M1, M2, M3 และ M5 =  $6 \mu\text{m}$  ความกว้างของทรานซิสเตอร์ M4, M6 และ M7 =  $4 \mu\text{m}$  โดยกำหนดค่าความยาวของทรานซิสเตอร์ทั้งหมดเท่ากับ  $0.35 \mu\text{m}$  โดยการทำงานของวงจรขณะที่อินพุตของวงจรมีค่าเท่ากับแหล่งจ่ายไฟทำให้ทรานซิสเตอร์แบบมอส M5 ทำงาน ซึ่งจะจ่ายกระแสไปไบอัสทรานซิสเตอร์แบบไบโพลาร์ Q2 ที่เบส ซึ่งจะทำให้ทรานซิสเตอร์แบบไบโพลาร์ Q2 ทำงาน



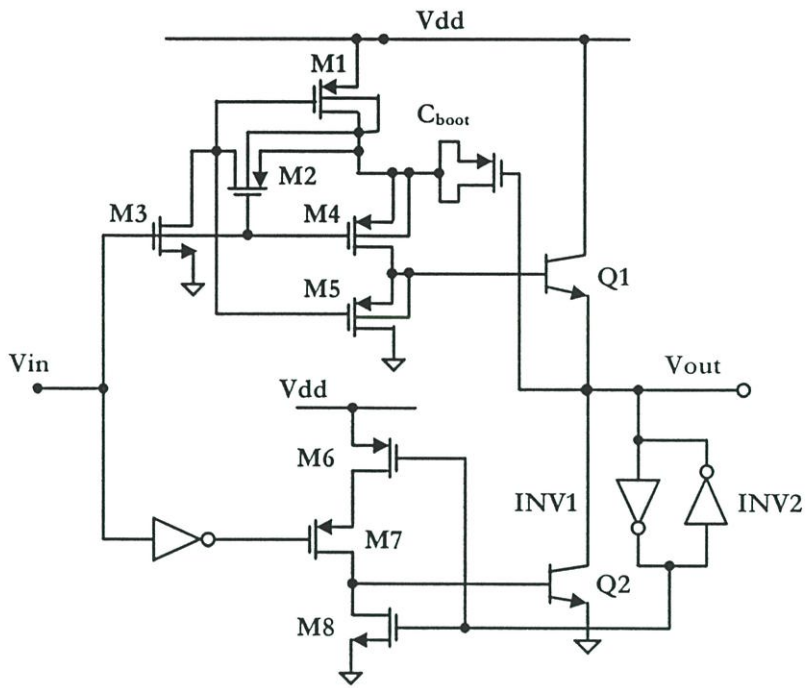
รูปที่ 4.1 แสดงวงจรบูสสแตปไบซีมอสอินเวอร์เตอร์โดยใช้ไดโอดภายใน



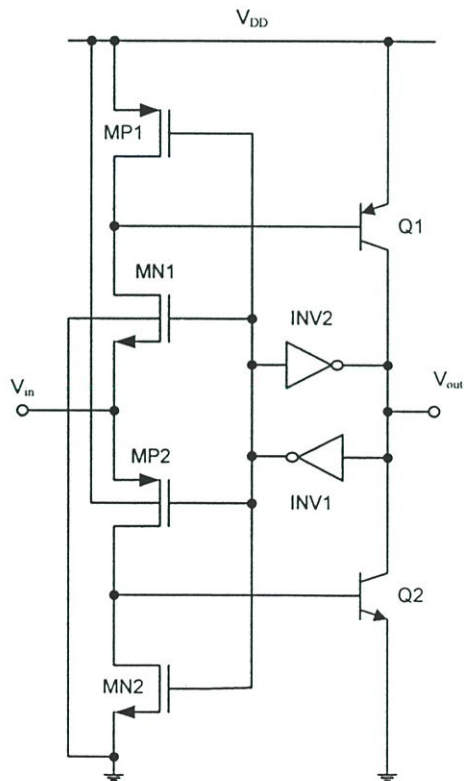
รูปที่ 4.2 แสดงโครงสร้างที่ใช้ของทรานซิสเตอร์แบบ nMOS และ pMOS



รูปที่ 4.3 วงจรซีมอสอินเวอร์เตอร์



รูปที่ 4.4 วงจร Bootstrapped full-swing BiCMOS (BFBiCMOS)

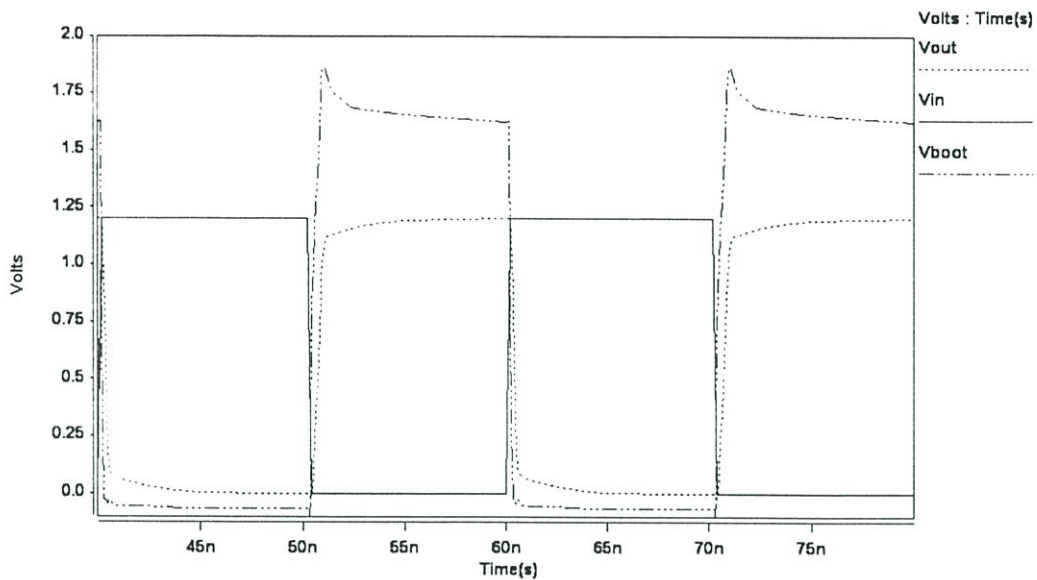


รูปที่ 4.5 วงจรไบซีมอส [28]

ดังนั้นเมื่อระดับสัญญาณเอาพุตของวงจรมีค่าเข้าใกล้ศูนย์ และจ่ายกระแสไปที่ อินเวอร์เตอร์ตัวที่ 1 (INV1) และ 2 (INV2) ซึ่งจะทำให้ระดับสัญญาณเอาพุตมีค่าเท่ากับศูนย์ การทำงานของอินเวอร์เตอร์ตัวที่ 1 และ 2 ในวงจรมีผลทำให้ทำให้ทรานซิสเตอร์แบบมอส M5 และ ทรานซิสเตอร์แบบไบโพลาร์ Q2 หยุดการทำงานเพื่อประหยัดพลังงาน

ในขณะเดียวกัน ทรานซิสเตอร์แบบมอส M1 จะทำงานเนื่องจากมีระดับสัญญาณที่ศูนย์ที่ขาเกตของทรานซิสเตอร์แบบมอส M1 ซึ่งจะทำให้การชาร์จกระแสผ่าน Cboot เกิดขึ้น โดยตัวเก็บประจุตัวนี้ถูกสร้างขึ้นจากการเชื่อมขา source และ ขา drain เข้าด้วยกัน ซึ่งจะทำให้ระดับสัญญาณเอาพุตยังคงมีค่าเท่ากับศูนย์เนื่องจากอินเวอร์เตอร์ตัวที่ 1 และตัวที่ 2 ยังคงทำงานอยู่

ต่อมาถ้าระดับสัญญาณอินพุตมีค่าเท่ากับศูนย์ จะทำให้ทรานซิสเตอร์แบบมอส M4 ทำงานซึ่งก็จะทำให้ทรานซิสเตอร์แบบมอส M2 ทำงานด้วย ระดับความต่างศักย์ที่ขาเกตมีค่าต่ำกว่าระดับความต่างศักย์ที่วิกฤต ซึ่งจะทำให้ Cboot ดิสชาร์จผ่านทรานซิสเตอร์แบบมอส M2 และ ผ่านไปจนถึงขาเบสของทรานซิสเตอร์แบบไบโพลาร์ Q1 ซึ่งจะทำให้ทรานซิสเตอร์แบบไบโพลาร์ Q1 ทำงาน โดยระดับความต่างศักย์ของเอาพุตของวงจรมีค่าเพิ่มขึ้นและมีค่าเข้าใกล้ค่าของแหล่งจ่ายไฟฟ้า สัญญาณจากส่วนของตัวป้อนกลับของขาอิมิตเตอร์ของทรานซิสเตอร์แบบไบโพลาร์ Q1 ถึง Cboot ระดับค่าความต่างศักย์ที่ขาเบสของทรานซิสเตอร์แบบไบโพลาร์ Q1 มีค่ามากกว่าค่าของแหล่งจ่ายไฟฟ้า ซึ่งแสดงได้ดังรูปที่ 4.6 ดังนั้น ทรานซิสเตอร์แบบไบโพลาร์ Q1 จะทำงานด้วยประสิทธิภาพสูงสุด และระดับสัญญาณเอาพุตของวงจรมีค่าเท่ากับแหล่งจ่ายไฟฟ้า ในเวลาเดียวกันอินเวอร์เตอร์ตัวที่ 1 และตัวที่ 2 จะทำงาน ระดับสัญญาณที่ขาเกตของ ทรานซิสเตอร์แบบมอส M3, M4, M5 และ M6 จะเท่ากับศูนย์ และทำให้ทรานซิสเตอร์แบบมอส M2, M4 และ M6 หยุดการทำงาน ขณะเดียวกันทรานซิสเตอร์แบบมอส M2 ก็จะหยุดทำงานด้วย ซึ่งทรานซิสเตอร์แบบไบโพลาร์ Q1 ก็จะหยุดทำงานด้วย แต่ระดับสัญญาณเอาพุตของวงจรมีค่าเท่ากับแหล่งจ่ายไฟ เนื่องจากอินเวอร์เตอร์ตัวที่ 1 และ ตัวที่ 2 ยังคงทำงานอยู่ ซึ่งจะทำให้ ทรานซิสเตอร์แบบมอส M6 และ M7 จะยังคงดิสชาร์จอยู่ที่ขาเบสของทรานซิสเตอร์แบบไบโพลาร์ Q1 และ Q2



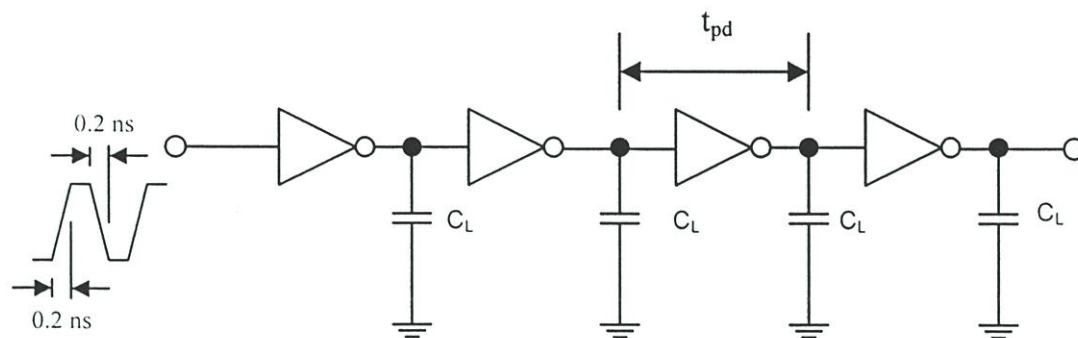
รูปที่ 4.6 แสดงรูปสัญญาณของวงจรที่เสนอ

## 4.2 ผลการจำลองการทำงาน

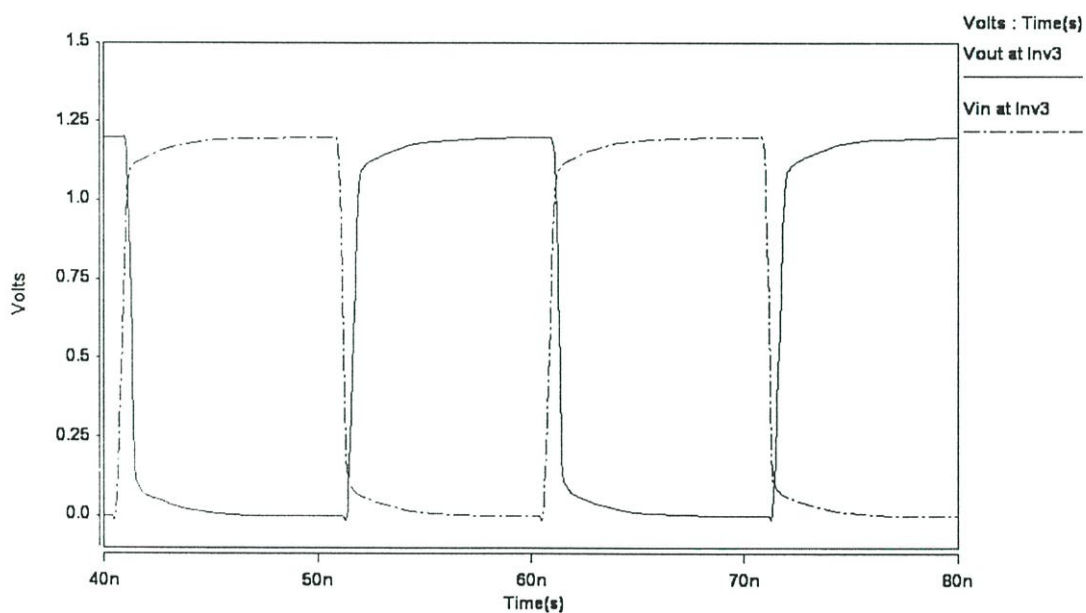
การจำลองการทำงานของวงจรจะใช้เกตต่อเชื่อมกันดังรูปที่ 4.7 แล้ววัดค่าหน่วงเวลาที่ 50% ของเกตตัวที่ 3 โดยกำหนดให้อินพุตของเกตแรกมีค่าความถี่ที่ 50 MHz เป็น square wave โดยมีค่า rise และ fall time เท่ากับ 0.2 ns ที่แหล่งจ่ายไฟมีค่าเท่ากับ 1.2 volt โดยที่เกตทุกตัวมีค่าโหลดคาปาซิเตอร์เท่ากัน

ผลการจำลองการทำงานทั้งหมดใช้ HSpice และใช้เทคโนโลยีไปซีมอส 0.35  $\mu\text{m}$  เปรียบเทียบผลการจำลองการทำงานกับวงจรอินเวอร์เตอร์ซีมอส Bootstrapped full-swing BiCMOS (BFBiCMOS) และ วงจรไบซีมอส [28] ซึ่งแสดงรูปสัญญาณในรูปที่ 4.8 4.9 และ 4.10 ตามลำดับ โดยที่ค่าตัวแปรของอุปกรณ์ และค่าพารามิเตอร์ในการออกแบบแสดงภาคผนวก

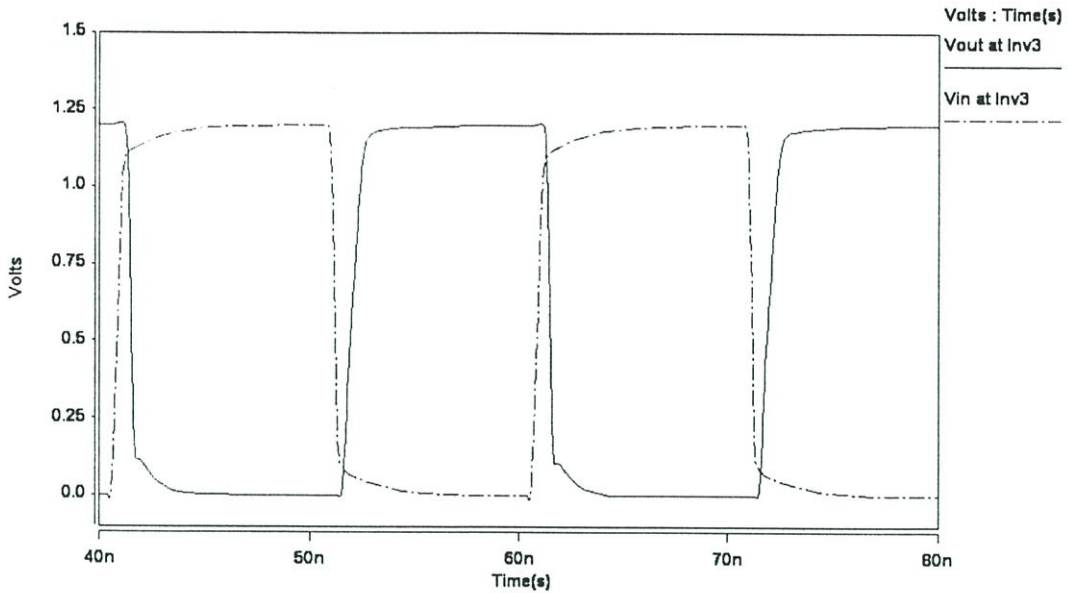
การหาค่าหน่วงเวลาจะทำการวัดเอาพุตที่อินเวอร์เตอร์ตัวที่ 3 โดยแต่และเอาพุตของอินเวอร์เตอร์จะต่อโดยโหลดคาปาซิเตอร์ค่าเดียวกัน ( $C_L$ )



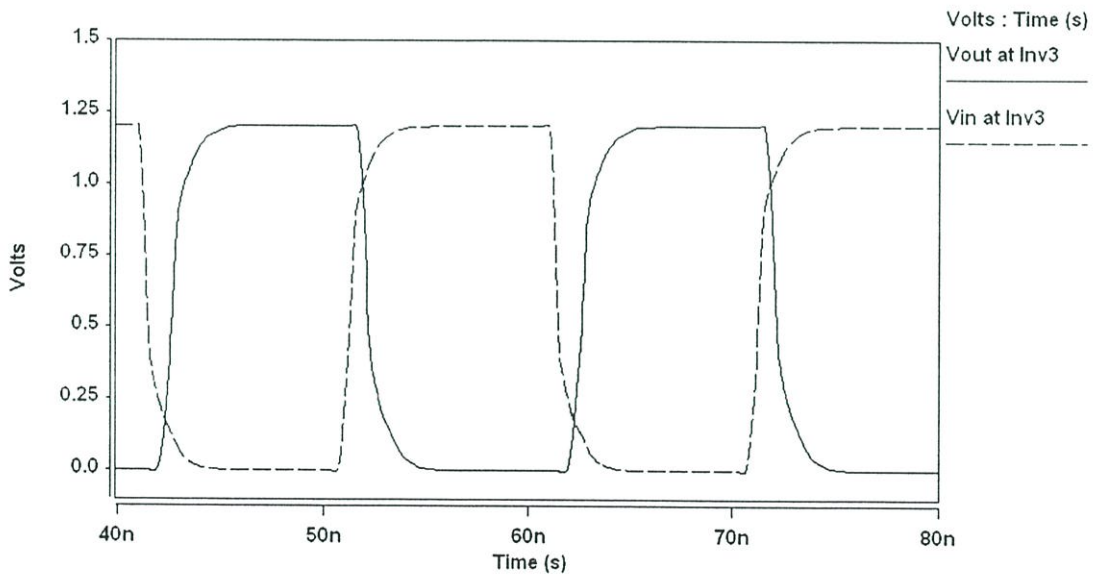
รูปที่ 4.7 แสดงวิธีการวัดค่าหน่วงเวลา [29]



รูปที่ 4.8 รูปคลื่นทางด้านขาเข้าและขาออกของอินเวอร์เตอร์ตัวที่สามที่โหลด 1pF ของวงจรที่นำเสนอนี้แหล่งจ่ายไฟ 1.2 Volt.



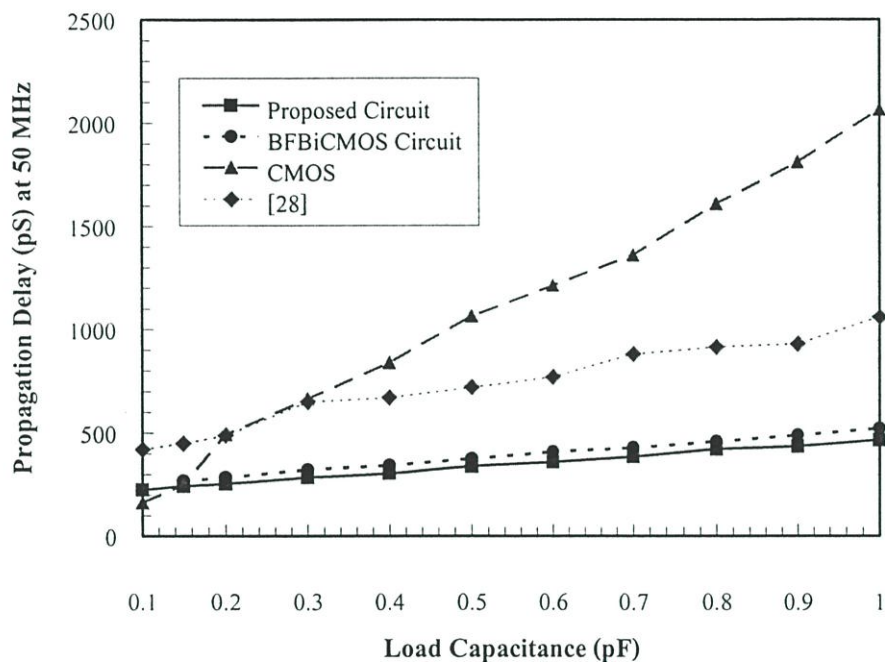
รูปที่ 4.9 รูปคลื่นทางด้านขาเข้าและขาออกของอินเวอร์เตอร์ตัวที่สามที่โหลด 1pF ของวงจรร BFBiCMOS ที่แหล่งจ่ายไฟ 1.2 Volt.



รูปที่ 4.10 รูปคลื่นทางด้านขาเข้าและขาออกของอินเวอร์เตอร์ตัวที่สามที่โหลด 1pF ของวงจรร CMOS [28] ที่แหล่งจ่ายไฟ 1.2 Volt.

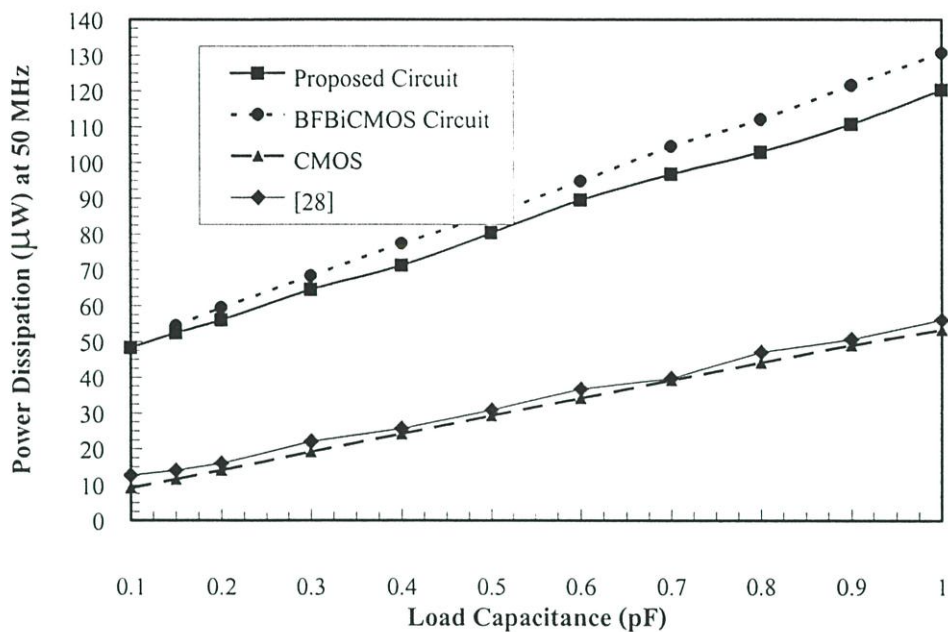
จากรูปที่ 4.11 แสดงการเปรียบเทียบค่าหน่วงเวลาของวงจรรที่เสนอและแสดงได้อย่าง ชัดเจนว่าวงจรรที่นำเสนอสมาารถทำงานได้ดีกว่าวงจรรอินเวอร์เตอร์ CMOS และวงจรร BFBiCMOS ยกเว้นที่โหลดคาปาซิแตนซ์น้อยๆ วงจรรอินเวอร์เตอร์ CMOS จะมี Propagation Delay น้อยกว่า วงจรรที่นำเสนอ เมื่อพิจารณาที่โหลดคาปาซิเตอร์ 1pF Propagation Delay ของวงจรรที่นำเสนอมจะ

ลดลงไป 77%, 56% และ 11% เมื่อเปรียบเทียบกับวงจรมอสอินเวอร์เตอร์ วงจรไบซีมอส [28] และวงจรถิ BiCMOS ตามลำดับ ค่า delay to load sensitivity ของวงจรถิ BiCMOS มีค่าเป็น 464 pS/pF ในขณะที่วงจรมอสอินเวอร์เตอร์ วงจรถิ BiCMOS [28] และ BiCMOS มีค่าเป็น 521 pS/pF, 1060 pS/pF และ 2046 pS/pF ตามลำดับ

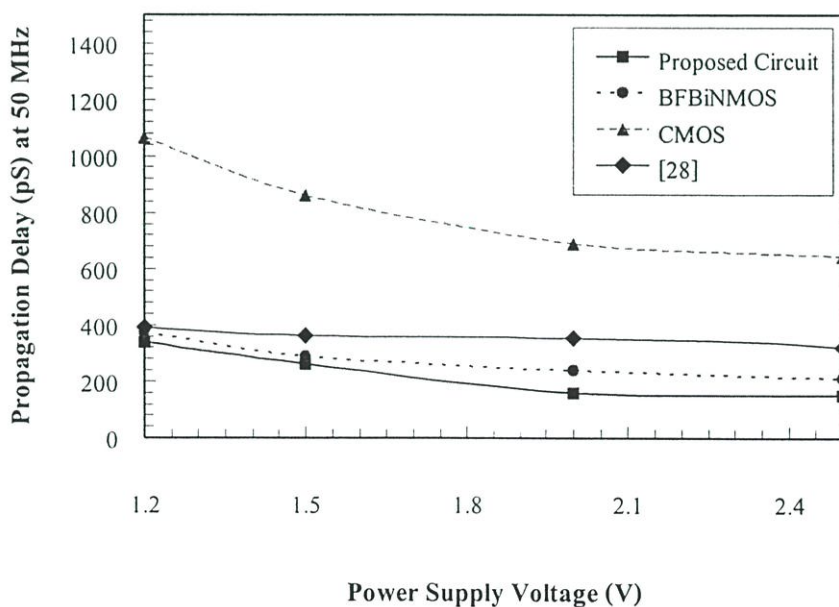


รูปที่ 4.11 แสดงการเปรียบเทียบค่าหน่วงเวลากับโหลดคาปาซิเตอร์ที่แหล่งจ่ายไฟ 1.2 Volt.

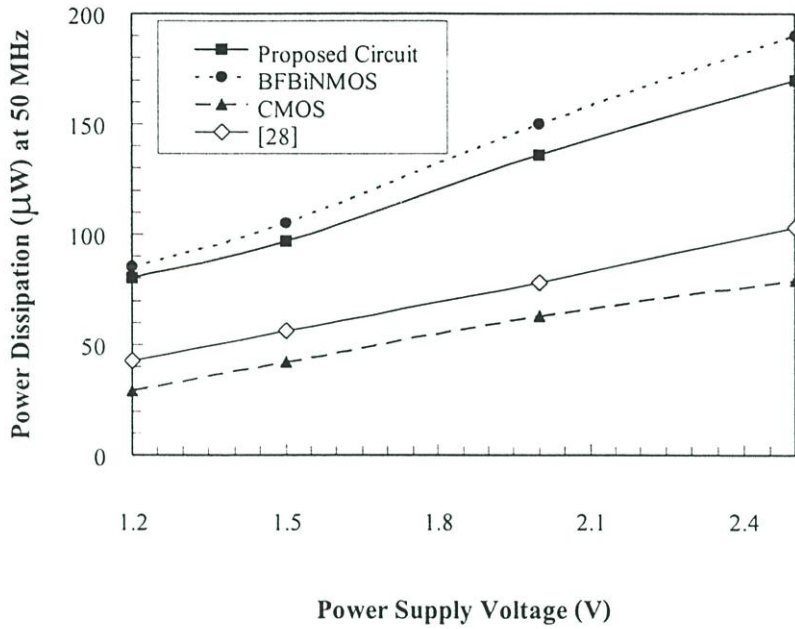
และจากรูปที่ 4.12 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับโหลดคาปาซิเตอร์ที่แหล่งจ่ายไฟ 1.2 Volt ซึ่งจะพบว่าวงจรมอสอินเวอร์เตอร์และวงจรถิ BiCMOS [28] ใช้กำลังงานที่สูญเสียต่ำกว่า 2 วงจรแรก แต่วงจรถิ BiCMOS [28] มีปัญหาในการสร้างเนื่องจากต้องใช้ทรานซิสเตอร์ไบโพลาร์แบบ พีเอ็นพี และ เอ็นพีเอ็น ซึ่งในขบวนการสร้างการสร้างพีเอ็นพีนั้นยุ่งยาก



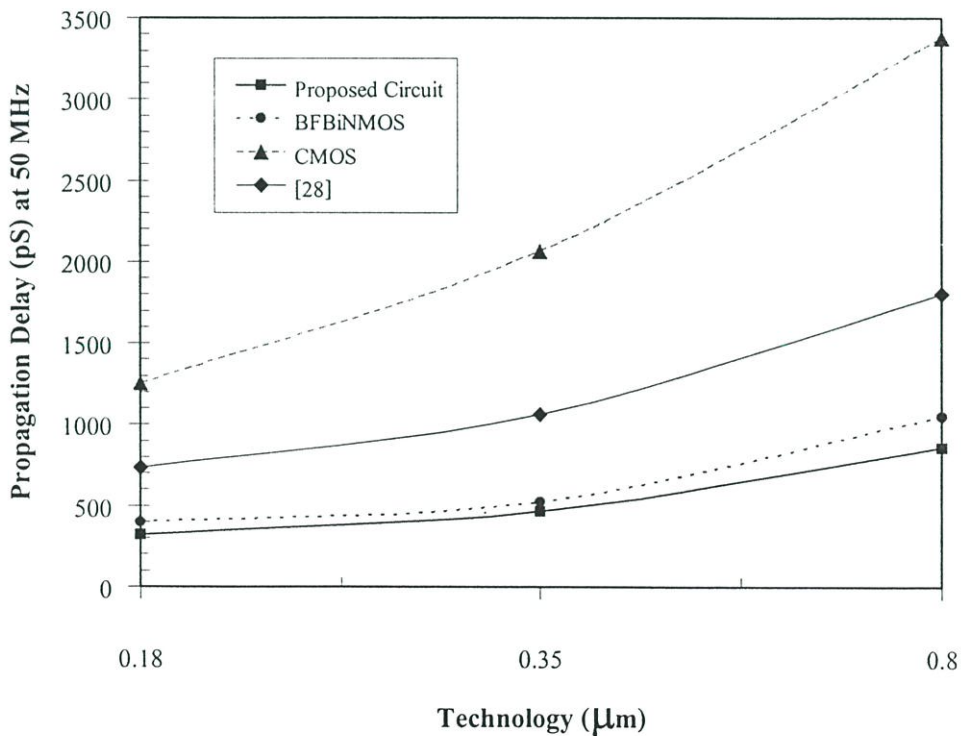
รูปที่ 4.12 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับโหลดคาปาซิเตอร์ที่แหล่งจ่ายไฟ 1.2 Volt.



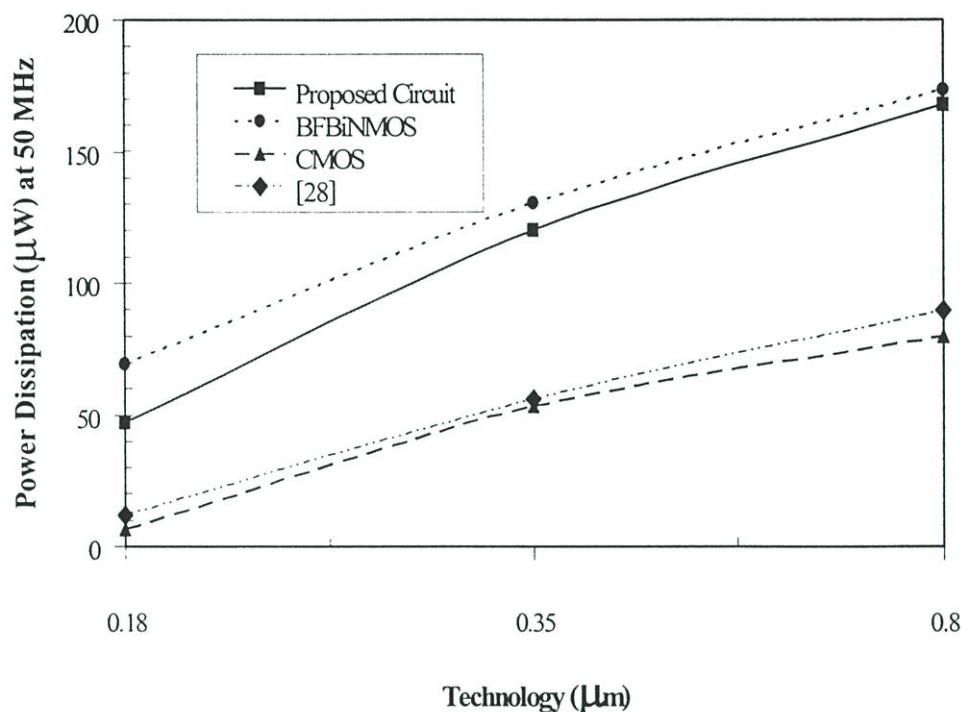
รูปที่ 4.13 แสดงการเปรียบเทียบค่านองเวลากับแหล่งจ่ายไฟ



รูปที่ 4.14 แสดงการเปรียบเทียบค่ากำลังงานที่สูงสุดเกี่ยวกับแหล่งจ่ายไฟ



รูปที่ 4.15 แสดงการเปรียบเทียบค่าหน่วงเวลากับเทคโนโลยี



รูปที่ 4.16 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับเทคโนโลยี

จากรูปที่ 4.13 และ 4.14 แสดงการเปรียบเทียบค่านองเวลาและค่ากำลังงานที่สูญเสียกับแหล่งจ่ายไฟ ตามลำดับ ที่แหล่งจ่ายไฟ 1.2 Volt และโหลดคาปาซิเตอร์ที่ 0.5 pF ซึ่งวงจรที่เสนอมีค่านองเวลาน้อยกว่าวงจรอื่น

และรูปที่ 4.15 และ 4.16 แสดงการเปรียบเทียบค่านองเวลาค่ากำลังงานที่สูญเสียและกับเทคโนโลยี ตามลำดับ โดยใช้โหลดคาปาซิเตอร์ที่ 1 pF ซึ่งวงจรที่เสนอมีค่านองเวลาน้อยกว่าเมื่อมีการเปลี่ยนเทคโนโลยี

## บทที่ 5

# สรุปผลการวิจัย

จากวิธีการออกแบบซีมอสและไบซีมอสที่เสนอ ช่วยให้นักออกแบบเข้าใจถึงการทำงาน และขีดจำกัดของวงจร ซึ่งสามารถแก้ไขปรับปรุงให้เหมาะสมกับความต้องการของผู้ออกแบบ ซึ่งจะช่วยให้ประสิทธิภาพให้กับวงจรที่ออกแบบ โดยที่มีผลต่อผังวงจรมีน้อยที่

ผลการออปติไมเซชันวงจรมอสสแตติกแลทซ์ที่ได้จากการจำลองวงจรถ้าโปรแกรม PSpice มีการแปรค่าของความกว้าง, ความยาว และขนาดของความจุโหลด เมื่อพิจารณาค่า  $\gamma$  จะพบว่า เมื่อต้องการค่า  $\gamma$  ที่มีค่าสูง ๆ  $W_{P1}$  และ  $L_{P2}$  ต้องมีค่าสูงด้วย ส่วน  $C_L$  ควรมีค่าน้อย เพื่อที่จะหลีกเลี่ยงการเกิดสภาวะเมตาสเทเบิล และเพื่อให้ได้ประสิทธิภาพดีที่สุดในทั้ง 3 ด้าน ทั้ง ความเร็ว กำลังงานที่สูญเสีย และพื้นที่ที่ใช้ โดยจะใช้เวลาน้อยที่สุดในการออกแบบ ค่าของ  $W_{P1}$  และ  $L_{P2}$  ควรมีค่าประมาณ 6  $\mu\text{m}$  และ 2  $\mu\text{m}$  ตามลำดับ ทำให้วงจรถ้าทำงานได้อย่างมีประสิทธิภาพมากที่สุดด้วย

การออปติไมเซชันวงจรไดนามิกแลทซ์ ในกรณีนี้ ค่า  $C_L \leq 1\text{pF}$  จากรูปที่ 3.7 และ 3.8 จะเลือกค่า  $L = 3.8 \mu\text{m}$  ซึ่งจากรูปที่ 3.7 สามารถลดกำลังงานที่สูญเสียได้ถึงประมาณ 10-15 ไมโครวัตต์ โดยที่พื้นที่เพิ่มขึ้น 15.2  $\mu\text{m}^2$

ส่วนในกรณีนี้  $C_L \geq 1 \text{pF}$  เมื่อเพิ่มขนาดของ  $A_E$  จะทำให้ค่าหน่วงเวลาลดลง ซึ่งเหมือนกับเวลาเพิ่มค่า  $W$  และลดค่า  $L$  แต่ไม่มีผลกับกำลังงานที่สูญเสียดังแสดงในรูปที่ 3.9 ซึ่งการเพิ่มขนาดของ  $A_E$  ทำให้พื้นที่ของวงจรมีเพิ่มขึ้นด้วย ซึ่งในกรณีนี้การเพิ่มค่า  $W$  จะดีกว่าการเพิ่มขนาดของ  $A_E$  เพราะจะทำให้พื้นที่ของวงจรมีไม่เพิ่มมาก และเพิ่มกำลังงานที่สูญเสียอีกประมาณ 10 %

การออปติไมเซชันของวงจรวงจรสแตติกแลทซ์ ซึ่งจากรูปที่ 3.10 จะเลือกค่า  $L = 3.2 \mu\text{m}$  ซึ่งจะทำให้กำลังงานที่สูญเสียต่ำที่สุด แต่ถ้าต้องการค่านองเวลาที่น้อยที่สุดควรเลือกค่า  $L = 0.8 \mu\text{m}$  ซึ่งจะทำให้ได้กำลังงานที่สูญเสียมากที่สุดด้วย

ในส่วนวงจรมอสอินเวอร์เตอร์แบบป้องกันไฟฟ้าสถิตย์ที่นำเสนอโดยใช้หลักการของ บูตสเตรป (Bootstrapped) และไดโอดแฝง (Parasitic diode) ของซีมอสนั้นเหมาะสมสำหรับการนำไปใช้ในงานที่ระดับแรงดันไฟเลี้ยงขนาด 1.2 โวลต์ โดยที่วงจรมอสยังสามารถให้สัญญาณทางด้านขาออกแกว่งได้อย่างเต็มย่าน รวมทั้งมีค่านองเวลา (Propagation delay) ที่น้อยกว่าวงจรมอสอินเวอร์เตอร์ วงจร BFBiCMOS และวงจรมอส [28] ซึ่งแสดงผลการจำลองการทำงานของวงจรมอสด้วยโปรแกรม HSpice นอกจากนี้วงจรมอสยังมีภาครับสัญญาณด้านขาเข้าที่สามารถป้องกัน

ไฟฟ้าสถิตย์ (Electrostatic discharge; ESD) ได้โดยอาศัยหลักการที่กล่าวมาแล้วข้างต้น ทำให้วงจรมีขนาดเล็กและเหมาะที่จะนำไปประยุกต์ใช้งานต่อไป

## เอกสารอ้างอิง

- [1] R. K. Brayton, G. D. Hachtel and A. L. Sangiovanni-Vincentelli, "A Survey of Optimization Techniques for Integrated-Circuit Design," Proc. IEEE, Vol.69, No.10, pp.1334-1362, 1981.
- [2] C. Longway and R. Sigfred, "A Doughnut Layout Style for Improved Switching Speed with CMOS VLSI Gates," IEEE J. Solid-State Circuits, Vol.24, No.1, pp.194-198, 1989.
- [3] K. Nagai and Y. Hayashi, "Performance Optimization of Thin-Gate Oxide MOSFETs," Solid-State Electronics, Vol.33, No.2, pp.223-226, 1990.
- [4] A. Kanuma, "CMOS Circuit Optimization," Solid-State Electronics, Vol.26, No.1, pp.47-58, 1983.
- [5] M. D. Matson, "Macromodeling of Digital MOS VLSI Circuits," Proc. 22nd ACM/IEEE Design Automation Conf., pp.144-151, 1985.
- [6] M. D. Matson and L. Glasser, "Macromodeling and Optimization of Digital MOS VLSI Circuits," IEEE Trans. Computer-Aided Design, Vol.5, No.4, pp.659-678, 1986.
- [7] K. S. Hedlund, "Aesop: A Tool for Automated Transistor Sizing," Proc. 24th ACM/IEEE Design Automation Conf., pp.114-120, 1987.
- [8] S. Trimberger, "Automated Performance Optimization of Custom Integrated Circuits," IEEE Int. Sym. Circuits and Systems, pp.194-197, 1983.
- [9] M. Hofmann and J. K. Kim, "Delay Optimization of Combinational Static CMOS Logic," Proc. 24th ACM/IEEE Design Automation Conf., pp.125-132, 1987.
- [10] M. A. Cirit, "Transistor sizing in CMOS circuits," Proc. 24th ACM/IEEE Design Automation Conf., pp.121-124, 1987.
- [11] J. Yuan and C. Svensson, "High-Speed CMOS Circuit Technique," IEEE J. Solid-State, Vol.24, No. 1, pp.62-70, 1989.
- [12] C. G. Sodini, P.-K. Ko and J. J. Moll, "The Effect of High Fields on MOS Device and Circuit Performance," IEEE Trans. Electron Devices, Vol. 31, No.10, pp.1386-1393, 1984.

- [13] L. A. Glasser and L. P. J. Hoyte, "Delay and Power Optimization in VLSI Circuits," Proc. 21st ACM/IEEE Design Automation Conf., pp.529-535, 1984.
- [14] E. T. Lewis, "Optimization of Device Area and Overall Delay for CMOS VLSI Designs," Proc. IEEE, Vol.72, No.6, pp.670-689, 1984.
- [15] M. Kakumu, M. Kinugama and K. Hashimoto, "Choice of Power-Supply Voltage for Half-Micrometer and Lower Submicrometer CMOS Devices," IEEE Trans. Electron Devices, Vol.37, No.5, pp.1334-1342, 1990.
- [16] N. H. E. Weste and K. Eshragian, "Principles of CMOS VLSI Design - A System Perspective," 2<sup>nd</sup> Ed. p.140, Reading, Massachuset: Addison-Wesley, 1994.
- [17] P. Tooprakai, K. Dejhan, S. Mitatha, F. Cheevasuvit and C. Soonyeekan, "Metastability Analysis of CMOS Latch," Proc. of the 8th International Symposium on IC Technology, Systems & Applications (ISIC-99), pp.229-231, Sept. 1999.
- [18] M. Shoji. CMOS Digital Circuit Technology: Prentice-Hall, 1988.
- [19] S. M. Kang, Y. Leblebici. CMOS Digital Integrated Circuits: Analysis and Design: 2<sup>nd</sup> ed., McGraw-Hill, 1999.
- [20] A. Bellaouar and M. I. Elmasry. Low - Power Digital VLSI Design Circuits and Systems: 1<sup>st</sup> ed., Boston, Kluwer Academic Publishers, 1995.
- [21] S. M. Kang, "Accurate Simulation of Power Dissipation in VLSI Circuits," IEEE J. Solid-State Circuits, Vol.21, No.5, pp.889-891, 1986.
- [22] L. Wissel and E. L. Gould, "Optimal Usage of CMOS within a BiCMOS Technology," IEEE J. Solid - State Circuits, Vol.27, No.3, 1992.
- [23] K. Dejhan, F. Cheevasuvit, S. Junnapiya and B. Chalermphanich, "Micron and Submicron design considerations of CMOS transistor optimization of VLSI design," ISIC - 93, pp.279 - 283, Sept. 1993.
- [24] J. M. Rabaey. Digital Integrated Circuits: Prentice-Hall, 1996.
- [25] K. Dejhan, P. Tooprakai, S. Mitatha, F. Cheevasuvit, C. Soonyeekan, "Meta-Stable Operation Consideration Of CMOS And BiCMOS Static Latch Circuit," 2000 IEEE International Conference on Semiconductor Electronics

(ICSE 2000), 13-15 Nov. 2000, Guoman Port Dickson Resort, Malaysia, pp. 152-156.

- [26] A. Beilaovar, M.I. Elmasry, S.H.K. Embabi, "Bootstrapped full-swing BiCMOS/BiNMOS logic circuit for 1.2V-3.3V supply voltage vegime," IEEE J. Solid-State Circuits, Vol.30, No.6, pp.629-636, June 1995.
- [27] A. Amerasekera, C. Duvvury, "The impact of technology scaling on ESD robustness and protection circuit design," Proc. EOS/ESD Symp., Vol.EOS-16, pp.237-245, 1994.
- [28] Y. K. Seng, S. S. Rofail, "1.5V high-speed electrostatic discharge free BiCMOS digital circuit," Electronics Letters, Vol.34, No.13, pp.1306-1307, June 1998.
- [29] K.-S. Yeo and H.-K. Lee, "Novel 1-V full-swing high-speed BiCMOS circuit using positive feedback base-boost technique," IEE Proc. Circuits Devices Syst., Vol. 146, No. 3, pp. 130-134, June 1999.

ภาคผนวก

## ภาคผนวก ก

ค่าพารามิเตอร์ของ 0.35  $\mu\text{m}$  BiCMOSตารางที่ ก.1 ค่าพารามิเตอร์ที่ใช้ของ 0.35  $\mu\text{m}$  BiCMOS

MOS transistor model parameter			
	PMOS	NMOS	
$V_t$	-0.4	0.4	V
$T_{ox}$	9	9	nm
$R_{s,nm}$	90	47.5	$\Omega/\square$
$C_{ox}$	245	200	pF/m
$C_{in}$	679	580	$\mu\text{F}/\text{m}^2$
$C_{gsom}$	208	208	pF/m
$C_{gdom}$	208	208	pF/m
$C_{gboom}$	819	819	pF/m
Bipolar transistor model parameter			
	NPN	PNP	
$A_c$	1x5	1x4	$\mu\text{m}^2$
$\beta_c$	90	90	
$\tau_c$	7	21	ps
$C_{ie}$	16	28	fF
$C_{ic}$	17	28	fF
$C_{is}$	52	73	fF
$R_e$	30	37	Ohm
$R_c$	28	31	Ohm
$R_b$	265	260	Ohm

ตารางที่ ก.2 แสดงค่า W/L ของวงจรถ่ายที่ใช้งานในบทที่ 4

MOS Transistor	BFBiCMOS	Ref. [28]	Proposed BiCMOS
M1	10	8	6
M2	10	4	6
M3	4	8	6
M4	10	4	4
M5	10		6
M6	10		4
M7	10		4
M8	4		

## ภาคผนวก ข

### ผลงานที่ได้รับการตีพิมพ์

1. P. Tooprakai, K. Dejhan, S. Mitatha, F. Cheevasuvit and C. Soonyeeekan, "Metastability Analysis of CMOS Latch," Proc. of the 8th International Symposium on IC Technology, Systems & Applications (ISIC-99), pp.229-231, Sept. 1999.
2. K. Dejhan, P. Tooprakai, S. Mitatha, F. Cheevasuvit, C. Soonyeeekan, "Meta-stable operation consideration of CMOS and BiCMOS static latch circuit," 2000 IEEE International Conference on Semiconductor Electronics (ICSE 2000), 13-15 Nov. 2000, Guoman Port Dickson Resort, Malaysia, pp. 152-156.
3. P. Tooprakai, K. Dejhan, "Optimization technique of CMOS and BiCMOS latch circuit design with meta-stable operation consideration," GESTS International Trans. Computer Science and Eng., Vol. 22, No.1, pp. 139-164, Nov. 2005.
4. P. Tooprakai, K. Dejhan, "An electrostatic discharge free bootstrapped bicmos inverter circuit based on parasitic diode," published in Journal of Circuit, System and Computer.



# ISIC-99

8th International Symposium on  
Integrated Circuits, Devices & Systems

8-10 September 1999  
Grand Hyatt, Singapore

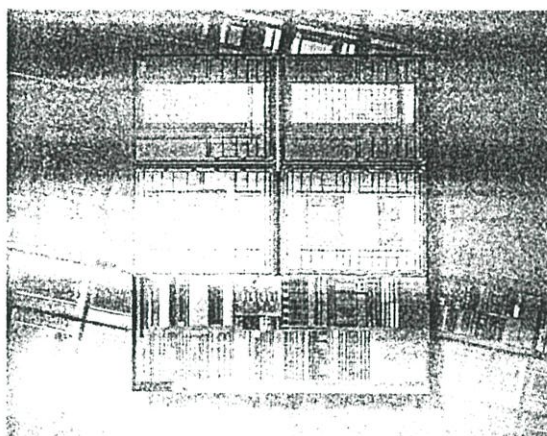


**IEEE**

*Networking  
the World™*

*IEEE Singapore Section*

## PROCEEDINGS



Organised by:

Nanyang Technological University  
School of Electrical and Electronic Engineering



And

IEEE Singapore Section

Sponsored by:  
Cadence Design Systems

**cādence**

Supported by:  
IEE Singapore Centre



*IEE Singapore Centre*

# METASTABILITY ANALYSIS OF CMOS LATCH

Pai boon Tooprakai, Kobchai Dejhan, Somsak Mitatha, Fusak Cheevasuvit

Faculty of Engineering and Research Center for Communications and Information Technology  
 King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand.  
 Tel: 66-2-3269967, 66-2-3269081, Fax: 66-2-3269086  
 E-mail: kobchai@telelan.telecom.eng.kmitl.ac.th

Chatcharin Soonyeekan

Faculty of Engineering, Kasem Bundit University, Patanakarn Road, Bangkok 10520, Thailand.

**Abstract :** This paper proposes an optimization and its effect of CMOS latch to carry out the optimum ratio of W/L without metastability problem. This proposed method is based on 0.8 mm CMOS technology, the speed and power dissipation are determined with small effect of layout areas.

## 1. INTRODUCTION

The latch is widely used in digital circuit especially for VLSI. The error of latch operation comes from metastability problem because the output condition cannot decide to be logical "0" or "1". This analysis concerns the internal effects [1-6], variable parameters based on small signal model [7-9], mismatch characteristic [11-12, 15-18] in order to predict the metastability status of the final state, this paper also deals with the Miller effect of input capacitance [12] and negative resistance. The previous papers proposed many methods but this paper concentrates with the ratio of W/L in order to determine the metastability phenomenon. This proposed technique avoids to change the layout area [13].

## 2. THEORY

Fig. 1 shows the latch with transfer characteristic, Fig. 2 shows its electrical model of Fig. 1. From Fig. 2, the related equations can be obtained.

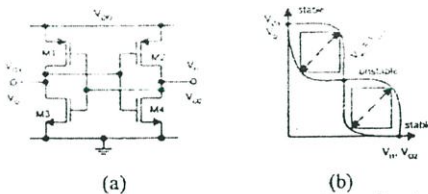


Fig 1 (a) Latch, (b) Transfer characteristic of latch

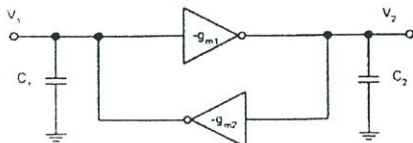


Fig. 2 Cross-coupled inverter model

$$-g_{m1}V_1 = C_2 \frac{dV_2}{dt} \tag{1}$$

$$-g_{m2}V_2 = C_1 \frac{dV_1}{dt} \tag{2}$$

$$\begin{bmatrix} S & g_{m2}/C_1 \\ g_{m1}/C_2 & S \end{bmatrix} \begin{bmatrix} V_1(S) \\ V_2(S) \end{bmatrix} = \begin{bmatrix} V_1(0) \\ V_2(0) \end{bmatrix} \tag{3}$$

$$V_2(t) = \frac{1}{2} [V_2(0) + \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} V_1(0)] e^{-t/\tau} + \frac{1}{2} [V_2(0) - \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} V_1(0)] e^{t/\tau} \tag{4}$$

$$V_1(t) = \frac{1}{2} [V_1(0) + \left(\frac{C_2 g_{m2}}{C_1 g_{m1}}\right)^{1/2} V_2(0)] e^{-t/\tau} + \frac{1}{2} [V_1(0) - \left(\frac{C_2 g_{m2}}{C_1 g_{m1}}\right)^{1/2} V_2(0)] e^{t/\tau} \tag{5}$$

$$\text{when } \tau = \sqrt{\frac{C_1 C_2}{g_{m1} g_{m2}}}$$

$$V_2(t) \approx \frac{1}{2} [V_2(0) - \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} V_1(0)] e^{t/\tau} \tag{6}$$

$$V_1(t) \approx \frac{1}{2} [V_1(0) - \left(\frac{C_2 g_{m2}}{C_1 g_{m1}}\right)^2 V_2(0)] e^{t/\tau} \quad (7)$$

The operation of latch during the metastability period, as clk = 0, the equations (6) and (7) can be rewritten as

$$V_1(t) = V_1(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} V_2(0) \sinh\left(\frac{t}{\tau}\right) \quad (8)$$

$$V_2(t) = V_2(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_2 g_{m2}}{C_1 g_{m1}}\right)^{1/2} V_1(0) \sinh\left(\frac{t}{\tau}\right) \quad (9)$$

$$\lim_{t \rightarrow \infty} V_2(t) = V_2(0) \lim_{t \rightarrow \infty} \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} V_1(0) \lim_{t \rightarrow \infty} \sinh\left(\frac{t}{\tau}\right) = 0$$

$$\frac{V_2(0)}{V_1(0)} = \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} = \gamma \quad (10)$$

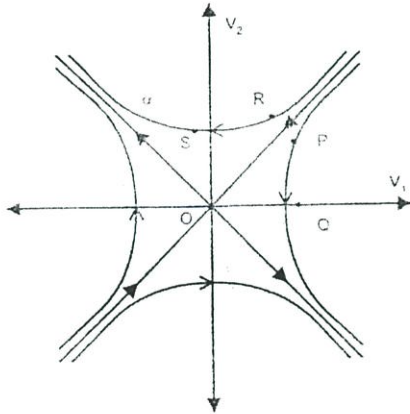


Fig. 3 Final state of latch

Fig. 3 shows the final state of latch. The optimization method can be carried out as determining the equation (10). The relations are shown in equations (11) and (12).

$$C_G \propto WLC_{OX} \quad (11)$$

$$g_m \propto \beta \text{ or } g_m \propto \frac{W}{L} (\mu C_{OX}) \quad (12)$$

For low  $C_L$ ,  $C_L \ll C_{G2}$ , thus  $W_1 \gg W_2$

$$\text{For high } C_L, C_{G1} \left[ \frac{W_1}{L_1} \right] \gg C_L \left[ \frac{W_2}{L_2} \right]$$

3. RESULTS

The testing results have been done by simulating based on Pspice to measure delay time, power dissipation and  $\gamma$ .

The optimization by increasing  $W_{P1}$  and  $L_{P1}$  can be done, the delay time, power dissipation and  $\gamma$  can be obtained as shown in Fig. 4, 5, 6.

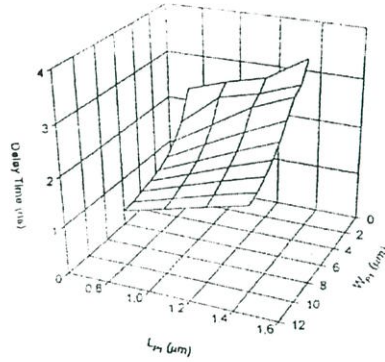


Fig. 4 Delay time as increasing  $W_{P1}$  and  $L_{P1}$  for  $C_L = 1$  pF

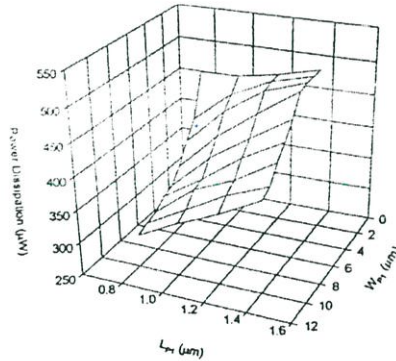


Fig. 5 Power dissipation as increasing  $W_{P1}$  and  $L_{P1}$  for  $C_L = 1$  pF

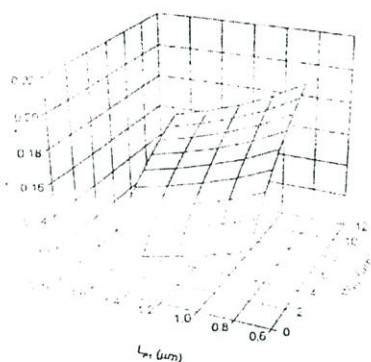


Fig. 6  $\gamma$  as increasing  $W_{P1}$  and  $L_{P1}$  for  $C_L = 1$  pF

It is obviously that  $\gamma$  is high as  $W_{P1}$  is high and  $L_{P1}$  is low, as shown in Fig. 4, 5, 6 and 7. To consider the delay time,  $W_{P1}$  should be high. The power dissipation has been observed by using the method as in ref. [14], for the low power dissipation,  $W_{P1}$  should be high but  $L_{P1}$  should be low.

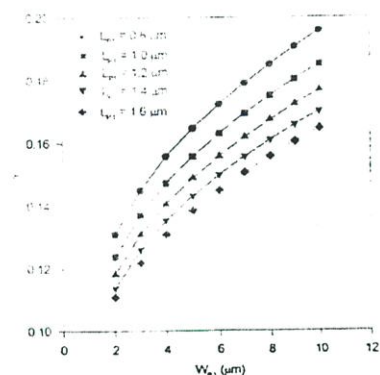


Fig. 7  $\gamma$  as varying  $W_{P1}$  for  $L_{P1} = 0.8, 1.0, 1.2, 1.4, 1.6$   $\mu\text{m}$  as  $C_L = 1$  pF

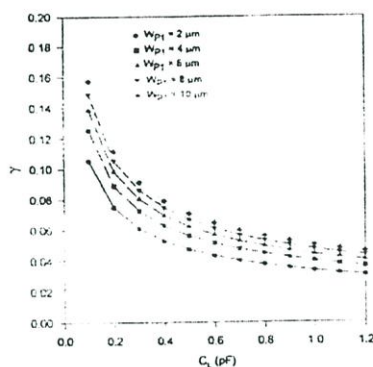


Fig. 8  $\gamma$  versus  $C_L$  for various values of  $W_{P1}$

Fig.8 shows that  $C_L$  should be small and  $W_{P1}$  should be high.


#### 4. CONCLUSION

The optimization method by varying  $L_{P1}$  and  $W_{P1}$  as  $\gamma$  is high and  $C_L$  is small, it shows that for  $W_{P1}$  is high and  $L_{P1}$  is low, the possibility to have the metastable problem is also small.

#### REFERENCES

- [1] T. J. Chaney and C. E. Molnar, "Anomalous behavior of synchronizer and arbiter circuits," IEEE Trans. Computers, vol. C-22, no. 4, pp. 421-422, Apr. 1973.
- [2] G. R. Couranz and D. F. Wann, "Theoretical and experimental behavior of synchronizers operation in the metastable region," IEEE Trans. Computers, vol. C-24, no. 6, pp. 604-616, June 1975.
- [3] M. Pechoucek, "Anomalous response times of input synchronizers," IEEE Trans. Computers, vol. C-25, no. 2, pp. 133-139, Feb. 1976.
- [4] H. J. M. Veendrick, "The behavior of flip-flops used as synchronizers and prediction of their failure rate," IEEE J. Solid-State Circuits, vol. SC-15, no. 2, pp. 169-176, Apr. 1980.
- [5] L. R. Marino, "General theory of metastable operation," IEEE Trans. Computers, vol. C-30, no. 2, pp. 107-115, Feb. 1981.
- [6] J. H. Hohl, W. R. Larsen, and L. C. Schooley, "Prediction of error probabilities of integrated digital synchronizer," IEEE J. Solid-State Circuits, vol. SC-19, no. 2, pp. 236-244, Apr. 1984.
- [7] S. T. Flanagan, "Synchronization reliability in CMOS technology," IEEE J. Solid-State Circuits, vol. SC-20, no. 4, pp. 880-882, Aug. 1985.

- [8] T. Karprzak and A. Albicki, "Analysis of metastable operation in RS CMOS flip-flops," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 1, pp. 57-64, Feb. 1987.
- [9] T. Sakurai, "Optimization of CMOS arbiter and synchronizer circuits with submicrometer MOSFET's," *IEEE J. Solid-State Circuits*, vol. SC-23, no. 4, pp. 901-906, Aug. 1988.
- [10] M. Shoji, *CMOS Digital Circuit Technology*. Englewood Cliffs, NJ: Prentice-Hall, 1988.
- [11] J. U. Horstmann, H. J. W. Lichel, and R. L. Coates, "Metastability behavior of CMOS ASIC flip-flops in theory and test," *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 146-157, Feb. 1989.
- [12] L. S. Kim, and R. W. Dutton, "Metastability of CMOS latch/flip-flop," *IEEE J. Solid-State Circuits*, vol. 25, no. 4, pp. 942-951, Aug. 1990.
- [13] K. Dejhan, F. Cheevasuvit, S. Junnapiya and B. Chalermpanich, "Micron and submicron design considerations of CMOS transistor optimization for VLSI design," *Proc. of The 5<sup>th</sup> International Symposium on IC Technology, Systems & Applications*, Singapore, pp. 279-283, Sep. 1993.
- [14] S. M. Kang, "Accurate simulation of power dissipation VLSI circuits," *IEEE J. Solid-State Circuits*, vol. 21, no. 5, pp. 889-891, Oct. 1986.
- [15] W. A. M. Van Noije, W. T. Liu, and J. Navarro S. Jr., "Precise final state determination of mismatched CMOS latches," *IEEE J. Solid-State Circuits*, vol. 30, no. 5, pp. 607-611, May 1995.
- [16] R. C. Jaeger and R. M. Fox, "Analytic expressions for the critical charge in CMOS static RAM cells," *IEEE Trans. Nucl. Sci.*, vol. NS-30, no. 6, pp. 4616-4619, Dec. 1983.
- [17] M. Buehler and R. Allen, "An analytical method for predicting CMOS SRAM upsets with application to asymmetrical memory cells," *IEEE Trans. Nucl. Sci.*, vol. NS-33, no. 6, pp. 1637-1641, Dec. 1986.
- [18] K. O. Jeppson, "Comments on the Metastable Behavior of Mismatched CMOS Latches," *IEEE J. Solid-State Circuits*, vol. 31, no. 2, pp. 275-277, Feb. 1996.



PROCEEDINGS ICSE2000

# 2000 IEEE INTERNATIONAL CONFERENCE ON SEMICONDUCTOR ELECTRONICS



The Institution of Electrical  
and Electronics Inc.  
Electron Devices Chapter,  
IEEE Malaysia Section  
IEEE Electron Devices  
Society

November 13 - 15, 2000  
Guest at Port Dickson Resort  
M30, 76100

**META-STABLE OPERATION CONSIDERATION OF CMOS AND BICMOS STATIC LATCH CIRCUIT**

Kobchai Dejhan, Paiboon Tooprakai, Somsak Mitatha, Fusak Cheevasuvit, Chatcharin Soonyeeekan\*

Faculty of Engineering and Research Center for Communications and Information Technology King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand.

Tel: 66-2-3269967, 66-2-3269081, Fax: 66-2-3269086

E-mail: kobchai@telelan.telecom.eng.kmitl.ac.th

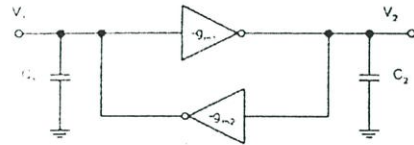
\* Aeronautical Radio of Thailand, 102 Ngamduplee, Tungmahamek, Bangkok 10120, Thailand.

**ABSTRACT**

This paper proposes a method to design both CMOS and BiCMOS latch by determining three constraints, the circuit power dissipation, the circuit area and circuit speed. The meta-stable operation is observed as considering all three constraints. All simulation result have been carried out based on 0.8  $\mu$ m design rule by using PSPICE program simulator.

**1. INTRODUCTION**

The latch is widely used in digital circuits and signal processing as storage and delay element. The latch takes more power dissipation and circuit area when compared with the other memory devices. This paper aims at the static latch which is the cause of meta-stable operation. The error of static latch operation depends on meta-stable operation according to the output condition cannot decide to be logical "0" or "1". This paper concerns about the internal parameter [1-6], variable parameters by using the small signal model [7-9], mismatch characteristic [11-16] to design the latch with performance optimization while the meta-stable operation is observed. This paper deals also with the Miller effect for the input capacitance [12]. Three constraints, meta-stable operation are determined at the same time from the cross coupled inverter model or back to back connection. The feedback gate can contribute to maximize the gain-bandwidth product of feedback loop system. Therefore, the meta-stable operation can occur according to the gain and positive feedback.



Cross-coupled inverter model

Fig. 1 CMOS static latch

Fig. 1 shows the CMOS static latch as cross coupled inverter structure model with transfer characteristic. The operation and the final state of static latch during the meta-stable operation can be determined and expressed in mathematical equation as shown the previous paper [17]. Fig. 2 shows the BiCMOS static latch circuit structure which is modified by adding two bipolar transistors.

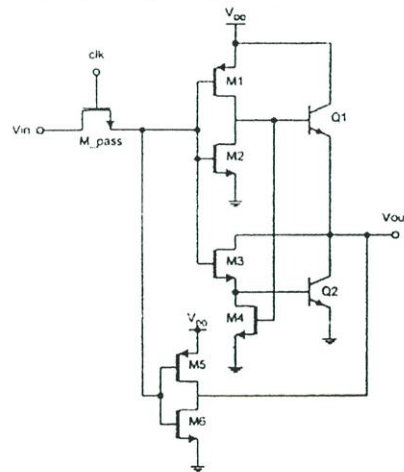
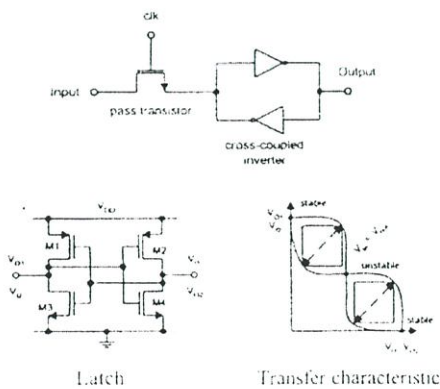


Fig. 2 BiCMOS static latch



**2. THEORY**

The static latch with good performances can be designed by using the optimization technique. Three constraints are circuit power dissipation, circuit area and circuit speed, which can be optimized but each constraint relates each other. Sometimes, the compromise method must be used in the form of multiplication product of two constraints.

### 2.1 Optimization procedure of CMOS

To conclude can be done as following.

$$\text{Area} \propto \sum W_i L_i \quad (1)$$

$$\text{Speed} \propto \left[ \frac{W_1}{L_1} \right] \quad (2)$$

$$P_{dip} \propto \left( \frac{L_1}{W_1} \right) \left( \frac{W_2}{L_2} \right) \quad (3)$$

The optimization conditions depend on the transistor sizing, especially the connected transistor with the supply source as shown in Fig. 4. As  $(W_1/L_1)$  is increased, the speed is higher and reduce the power dissipation. To reduce the power dissipation can be done by reducing  $(W_2/L_2)$  but the most importance is meta-stable state. The circuit should be correctly operated and it should not have the meta-stable operation problem. The conclusion of the optimization procedure of circuit design should be;

1. all transistors should have minimum size as the design rule,
2. increasing  $L_2$  in order to protect the circuit operation error and reducing the power dissipation.
3. increasing  $W_1$  to increase speed and reducing the power dissipation

### 2.2 Optimization procedure of BiCMOS

To obtain the multi-objective optimization, the area and power dissipation effect with the speed or delay time. The proposed technique has a small effect with layout area by changing the width and length  $W$ ,  $L$  of MOS transistor and emitter area  $A_E$  of bipolar transistor which is connected to the power supply. The optimum optimization procedures are carried out for static latch as shown in Fig. 2.

Small  $C_L$  ( $C_L \leq 1$  pF)

The relations are as following.

$$P \propto \frac{W}{L} \text{ and } t_d \propto L$$

$L$  of M1 is increased in order to obtain the acceptable values of power dissipation and speed of the circuit ( $t_d$ )

High  $C_L$  ( $C_L \geq 1$  pF)

The relations are as following.

$$P \propto \frac{W}{L} \quad (4)$$

$$t_d \propto \sqrt{\frac{L}{W}} \quad (5)$$

$$t_d \propto \frac{1}{\sqrt{A_E}} \quad (6)$$

$A_E$  is increased,  $t_d$  is decreased (= high speed) but emitter area is large.

Therefore, it is convenient to increase  $W$  and decrease  $L$  in order to obtain the smaller circuit area. Although, the power dissipation is increased but not so much.

The BiCMOS static latch design is different from dynamic latch because of the feedback inverter. The operating speed depends on the power dissipation reduction but it may cause the metastability. The static latch optimization must not increase the delay time. The relation of output data and input data is obviously shown in Eq.(7).

$$V_{out}(t) = \frac{V_{in}}{gm_2 R_{CH}} \left( \exp \frac{-t}{R_{CH} C_1} - 1 \right) \quad (7)$$

It is noted that the increases of transistor width and transistor length, the speed of the circuit is slow because of  $C_1 = C_{ox}(W.L)$ . However, the reduction of  $R_{CH}$  (channel resistance), the speed of the circuit is high. It is obviously shown that  $A_E$  has no effect with the speed of the circuit. The feedback inverter should have longer  $L$  when compared with the normal design, or  $W/L$  should be minimum in order to drive feedback inverter at any signal level.

## 3. RESULTS

All simulation results have been carried out by using PSPICE program simulator based on 0.8  $\mu\text{m}$  BiCMOS technology.

### 3.1 CMOS static latch

All data have been simulated at 100 MHz frequency using input signal as 1,0,1,0,..., rise time and fall time are 1 ns. The CMOS technology is used for  $L_{min} = 0.8 \mu\text{m}$  and  $W_{min} = 1 \mu\text{m}$  at 85  $^\circ\text{C}$ .

#### Meta-stable operation problem testing

The meta-stable operation problem is an effect since the transistor sizing of PMOS transistor of feedback inverter. To increase  $W_{p1}$  will reduce the power dissipation but the meta-stable operation problem occurs, as shown in Fig.3.

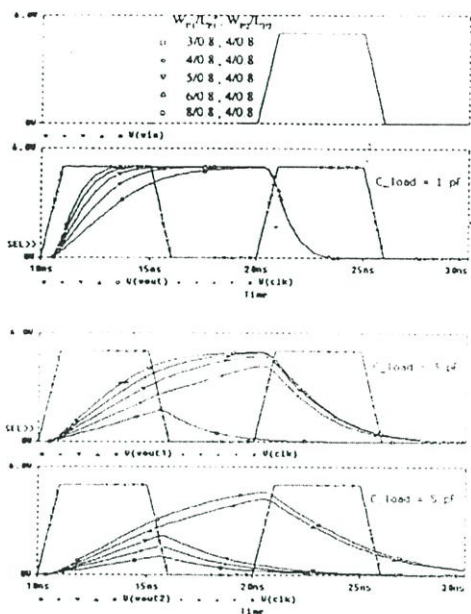


Fig.3 Meta-stable problem testing results with  $C_L = 1\text{ pF}$ .

Variation of  $L_{p2}$ , by fixing  $W_{p1} = 4\text{ }\mu\text{m}$  and  $W_{p2} = 2\text{ }\mu\text{m}$ .

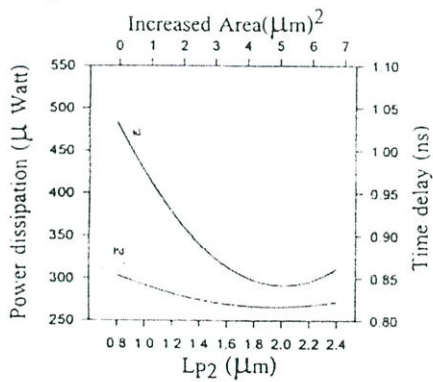


Fig.4 Optimization results by varying  $L_{p2}$

Variation of  $W_{p2}$ , by fixing  $W_{p1} = 2\text{ }\mu\text{m}$  and  $L_{p1} = L_{p2} = 0.8\text{ }\mu\text{m}$ .

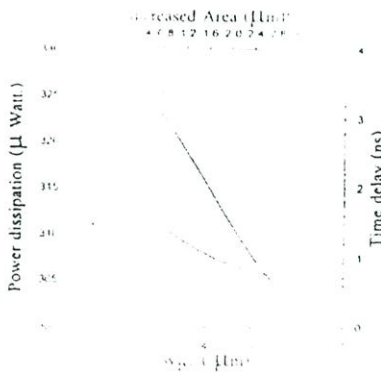


Fig.5 Optimization results by varying  $W_{p2}$

Variations of  $W_{p1}$  and  $L_{p2}$

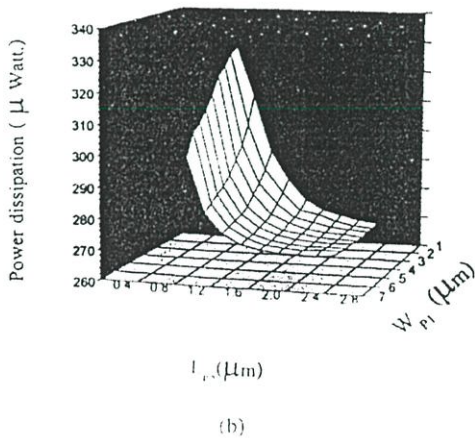
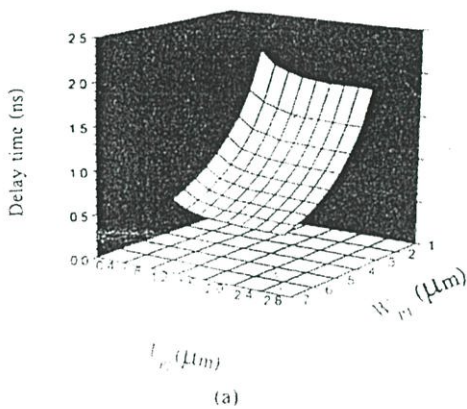


Fig.6 Optimization results, (a) delay time, (b) power dissipation.

3.2 BiCMOS static latch

All data have been simulated at 50 MHz frequency by using input signal as 1,0,1,0 with 40 ns period, 2.5 ns rise time and fall time.

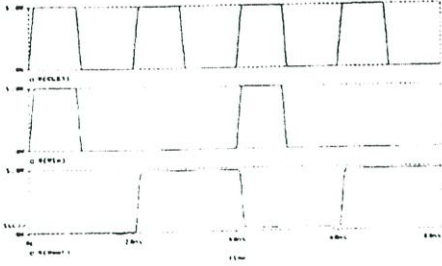


Fig.7 Signals of static latch inverting phase.

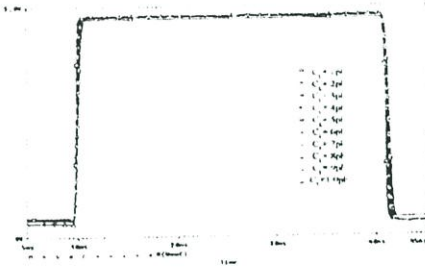
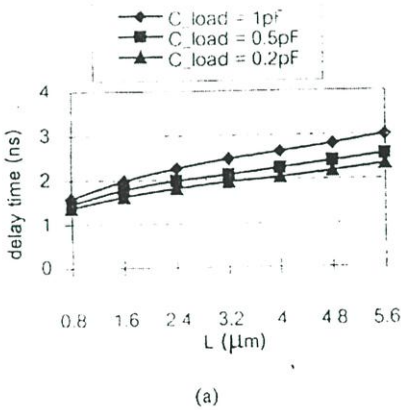
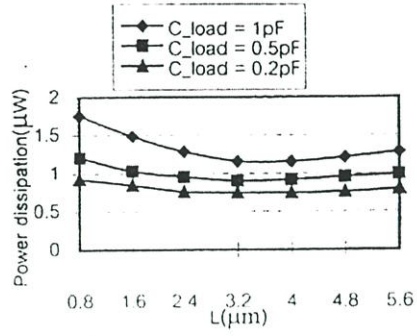


Fig.8 Output response of static latch for  $C_L = 0 \rightarrow 1$  pF



(a)



(b)

Fig 9 Static latch

- (a). Speed variation versus gate length variation.
- (b). Power dissipation versus gate length variation.

4. CONCLUSION

The optimization method of CMOS and BiCMOS static latch have been concluded. The proposed method will be useful to design with short design period. This method can be obtained both good circuit performance and can also avoid the meta-stable operation problem.

REFERENCES

- [1] T. J. Chaney and C. E. Molnar, "Anomalous behavior of synchronizer and arbiter circuits," IEEE Trans. Computers, vol. C-22, no. 4, pp. 421-422, April 1973.
- [2] G. R. Couranz and D. F. Wann, "Theoretical and experimental behavior of synchronizers operation in the metastable region," IEEE Trans. Computers, vol. C-24, no. 6, pp. 604-616, June 1975.
- [3] M. Pechoucek, "Anomalous response times of input synchronizers," IEEE Trans. Computers, vol. C-25, no. 2, pp. 133-139, February 1976.
- [4] H. J. M. Veendrick, "The behavior of flip-flops used as synchronizers and prediction of their failure rate," IEEE J. Solid-State Circuits, vol. SC-15, no. 2, pp. 169-176, April 1980.
- [5] L. R. Marino, "General theory of metastable operation," IEEE Trans. Computers, vol. C-30, no. 2, pp. 107-115, February 1981.
- [6] J. H. Hohl, W. R. Larsen, and L. C. Schooley, "Prediction of error probabilities of integrated digital synchronizer," IEEE J. Solid-State Circuits, vol. SC-19, no. 2, pp. 236-244, April 1984.
- [7] S. T. Flanagan, "Synchronization reliability in CMOS technology," IEEE J. Solid-State Circuits, vol. SC-20, no. 4, pp. 880-882, August 1985.

- [8] T. Karprzak and A. Albicki, "Analysis of metastable operation in RS CMOS flip-flops," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 1, pp. 57-64, February 1987.
- [9] T. Sakurai, "Optimization of CMOS arbiter and synchronizer circuits with submicrometer MOSFET's," *IEEE J. Solid-State Circuits*, vol. SC-23, no. 4, pp. 901-906, August 1988.
- [10] M. Shoji, *CMOS Digital Circuit Technology*. Englewood Cliffs, NJ: Prentice-Hall, 1988.
- [11] J. U. Horstmann, H. J. W. Eichel, and R. L. Coates, "Metastability behavior of CMOS ASIC flip-flops in theory and test," *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 146-157, February 1989.
- [12] L. S. Kim, and R. W. Dutton, "Metastability of CMOS latch/flip-flop," *IEEE J. Solid-State Circuits*, vol. 25, no. 4, pp. 942-951, August 1990.
- [13] W. A. M. Van Noije, W. T. Liu, and J. Navarro S. Jr., "Precise final state determination of mismatched CMOS latches," *IEEE J. Solid-State Circuits*, vol. 30, no. 5, pp. 607-611, May 1995.
- [14] R. C. Jaeger and R. M. Fox, "Analytic expressions for the critical charge in CMOS static RAM cells," *IEEE Trans. Nucl. Sci.*, vol. NS-30, no. 6, pp. 4616-4619, December 1983.
- [15] M. Buehler and R. Allen, "An analytical method for predicting CMOS SRAM upsets with application to asymmetrical memory cells," *IEEE Trans. Nucl. Sci.*, vol. NS-33, no. 6, pp. 1637-1641, December 1986.
- [16] K. O. Jørgensen, "Comments on the Metastable Behavior of Mismatched CMOS Latches," *IEEE J. Solid-State Circuits*, vol. 31, no. 2, pp. 275-277, February 1996.
- [17] P. Tooprakai, K. Dejhan, S. Mitatha, F. Cheevasuvit and C. Soonyeechan, "Metastability Analysis of CMOS Latch," *Proc. of the 8th International Symposium on IC Technology, Systems & Applications (ISIC-99)*, pp.229-231, Singapore, September 9-10, 1999.
- [18] K. Dejhan and F. Cheevasuvit, "Area power trade-off for CMOS latch VLSI array architectures," *Proc. 6<sup>th</sup> Int. Sym. on IC Technology, System and Applications (ISIC-95)*, pp.84-86, Singapore, September 6-8, 1995.
- [19] R. S. Bajwa, R. M. Owens and M. J. Irwin, "Area time trade-off in micron-grain VLSI array architecture," *IEEE Trans. Computer*, Vol. 43, No. 10, pp. 1121-1128, October 1994.
- [20] M. R. C. M. Berkelaar and J. F. M. Theeuwen, "Real area-power-delay trade-off in the EUCLID logic synthesis system," *Proc. IEEE 1990 Custom Integrated Circuits Conference*, pp. 14.3.1-14.3.4, May 1990.

**GESTS International Transactions on  
Computer Science and Engineering  
Volume 22, Number 1, November 2005**



**Global Engineering, Science, and Technology Society**  
<http://www.gests.org>

## Optimization Technique of CMOS and BiCMOS Latch Circuit Design with Meta-stable Operation Consideration

Paiboon Tooprakai and Kobchai Dejhan

Faculty of Engineering and  
Research Center for Communication and Information Technology,  
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang,  
Chalongkrung Road, Bangkok 10520, Thailand.  
Tel: 66-2-3264238, 66-2-3264242, Fax : 66-2-3264554  
{Paiboon, kobchai}@telecom.kmitl.ac.th

**Abstract.** This paper proposes a method to design CMOS and BiCMOS latch by determining three constraints, power dissipation, area and speed. Both of dynamic and static latch circuit designs are presented. This paper also proposes the optimization procedure to obtain the optimum performances by simulating based on PSpice with 0.8  $\mu\text{m}$  BiCMOS technology. The proposed technique saves the computational time for the simulations, the meta-stable operation is observed as considering three constraints.

### 1 Introduction

The latch is widely used in digital circuits and digital signal processing as storage and delay element. The latch takes more power dissipation and circuit area when compared with the other memory devices. The error of static latch operation depends on meta-stable operation according to the output condition cannot decide to be logical "0" or "1". This paper concerns about the internal parameter [1]-[6], variable parameters by using the small signal model [7]-[9], mismatch characteristic [11]-[16] to design the latch with performance optimization while the meta-stable operation is observed. This paper also deals with the Miller effect for the input capacitance [12]. Three constraints, meta-stable operation are determined at the same time from the cross coupled inverter model or back to back connection. The feedback gate can contribute to maximize the gain-bandwidth product of feedback loop system. Therefore, the meta-stable operation can occur according to the gain and positive feedback

This paper proposes a method to optimize the performances of CMOS and BiCMOS latch by simulating. All these design considerations are presented in Section 2. And in section 3, it presents both dynamic latch and static latch based on BiCMOS technology. It describes more general model and sophisticated model to optimize the multiobjective optimization from PSpice simulations. The latch is widely used not only for the integrated circuit design but also for custom integrated circuit, usually for signal processing applications as storage or delay element. The latch takes more

## 140 Optimization Technique of CMOS and BiCMOS

power and area. The computer simulation is used to evaluate the possibilities to reduce area, power and increase the speed.

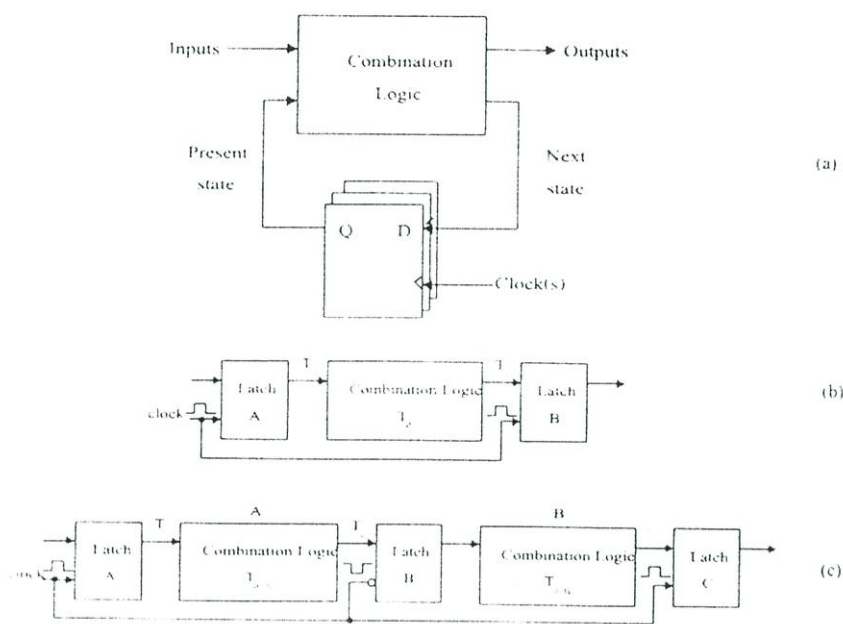


Fig.1 (a) FSM system with clock signal, (b), (c) Pipeline system with clock signal

## 2 Theory

The structure of VLSI consists of the finite state machine (FSM) and pipeline system [16] as shown in Fig.1 (a) and (b), respectively. All operations as shown in Figs. 1(a) and 1(b) must be synchronized by using clock signal. The input data has to synchronize with the time in order to avoid the clock race and clock skew. The synchronization failure or metastability is an important problem that it should be avoided. Two types of latch CMOS and BiCMOS are shown in Figs. 2 and 3, respectively. The static latch is more difficult to design than the dynamic latch according to the feedback inverter; it may have the meta-stable problem. In Fig. 3, the CMOS circuit is replaced by BiCMOS circuit in order to accelerate the speed as the performances and characteristics of the circuit maintain the same.

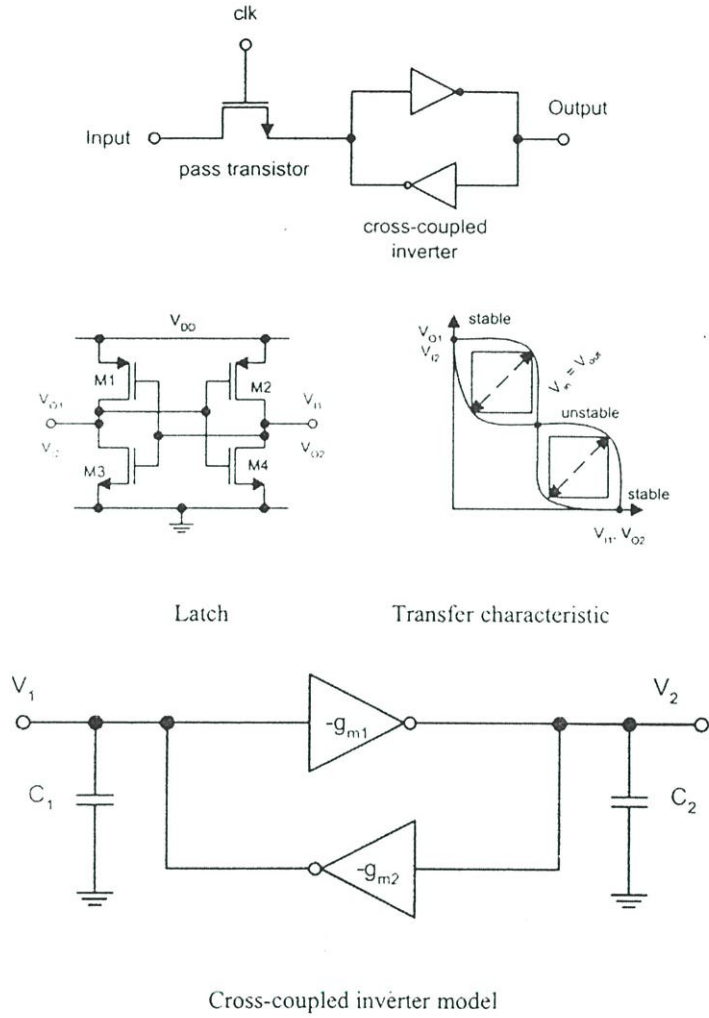
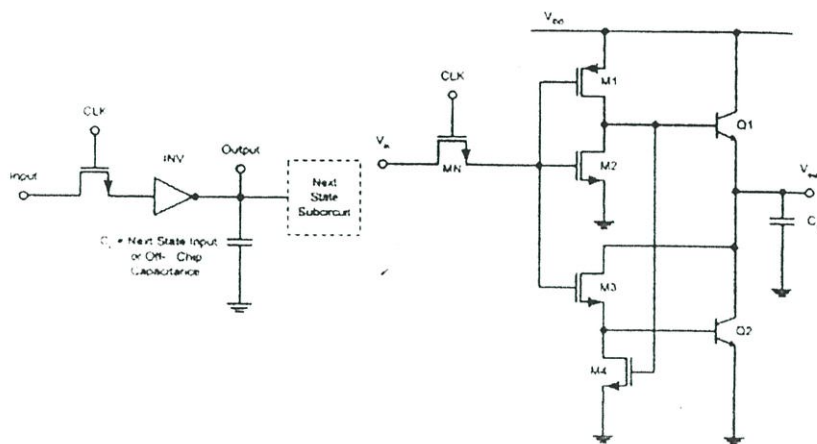
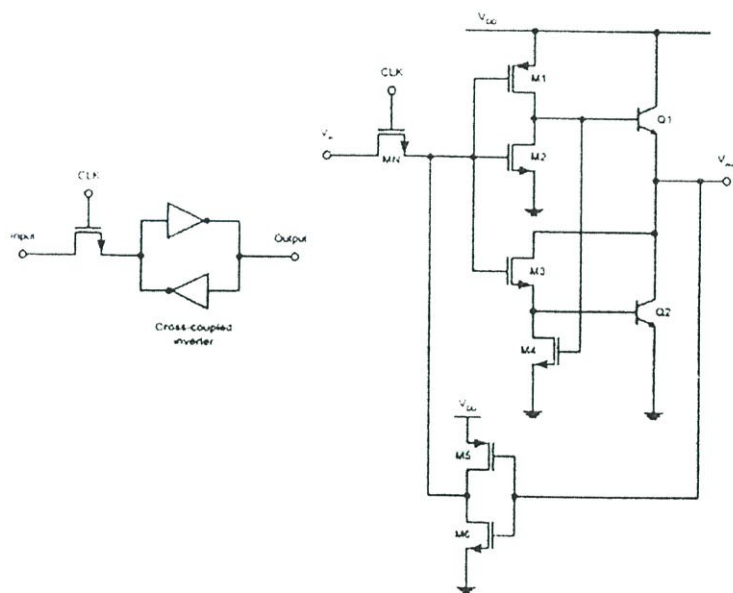


Fig. 2 CMOS static latch

## 142 Optimization Technique of CMOS and BiCMOS



(a)



(b)

Fig. 3 (a) Dynamic latch (b) Static latch

## 2.1 Optimization procedure of CMOS

For the analysis of the latch with transfer characteristic and electrical model as shown in Fig. 2. The related equations can be obtained [17]-[19].

$$-g_{m1}v_1(t) = C_2 \frac{dv_2(t)}{dt} \quad (1)$$

$$-g_{m2}v_2(t) = C_1 \frac{dv_1(t)}{dt} \quad (2)$$

Where  $g_{m1}$  and  $g_{m2}$  are the transconductances of inverter 1 and 2, respectively.

$C_1$  and  $C_2$  are the input capacitances of inverter 1 and 2, respectively.

Take Laplace transform in Eqs. (1) and (2)

$$\begin{bmatrix} S & g_{m2}/C_1 \\ g_{m1}/C_2 & S \end{bmatrix} \begin{bmatrix} v_1(S) \\ v_2(S) \end{bmatrix} = \begin{bmatrix} v_1(0) \\ v_2(0) \end{bmatrix} \quad (3)$$

Solve the Eq. (3) by using inverse Laplace transform and can be obtained;

$$v_2(t) = \frac{1}{2} \left[ v_2(0) + \left( \frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{\frac{1}{2}} v_1(0) \right] e^{-\frac{t}{\tau}} + \frac{1}{2} \left[ v_2(0) - \left( \frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{\frac{1}{2}} v_1(0) \right] e^{\frac{t}{\tau}} \quad \dots (4)$$

$$v_1(t) = \frac{1}{2} \left[ v_1(0) + \left( \frac{C_2 g_{m2}}{C_1 g_{m1}} \right)^{\frac{1}{2}} v_2(0) \right] e^{-\frac{t}{\tau}} + \frac{1}{2} \left[ v_1(0) - \left( \frac{C_2 g_{m2}}{C_1 g_{m1}} \right)^{\frac{1}{2}} v_2(0) \right] e^{\frac{t}{\tau}} \quad \dots (5)$$

Where  $\tau = \sqrt{\frac{C_1 C_2}{g_{m1} g_{m2}}}$  and  $t \gg \tau$ , the equations can be rewritten in Eq. (6) and (7) as follows:

$$v_2(t) \approx \frac{1}{2} \left[ v_2(0) - \left( \frac{C_1 g_{m1}}{C_2 g_{m2}} \right)^{\frac{1}{2}} v_1(0) \right] e^{-\frac{t}{\tau}} \quad (6)$$

$$v_1(t) \approx \frac{1}{2} \left[ v_1(0) - \left( \frac{C_2 g_{m2}}{C_1 g_{m1}} \right)^{\frac{1}{2}} v_2(0) \right] e^{-\frac{t}{\tau}} \quad (7)$$

## 144 Optimization Technique of CMOS and BiCMOS

The operation of latch during the meta-stability period, as  $\text{clk}=0$ , the Eqs. (6) and (7) can be rewritten as

$$v_2(t) = v_2(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} v_1(0) \sinh\left(\frac{t}{\tau}\right) \quad (8)$$

$$v_1(t) = v_1(0) \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_2 g_{m2}}{C_1 g_{m1}}\right)^{1/2} v_2(0) \sinh\left(\frac{t}{\tau}\right) \quad (9)$$

$$\lim_{t \rightarrow \infty} v_2(t) = v_2(0) \lim_{t \rightarrow \infty} \cosh\left(\frac{t}{\tau}\right) - \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} v_1(0) \lim_{t \rightarrow \infty} \sinh\left(\frac{t}{\tau}\right) = 0$$

$$\therefore \frac{v_2(0)}{v_1(0)} = \left(\frac{C_1 g_{m1}}{C_2 g_{m2}}\right)^{1/2} = \gamma \quad (10)$$

The optimization method can be carried out as determining the Eq. (10). The relations are shown in Eqs. (11) and (12).

$$C_G \propto WLC_{OX} \quad (11)$$

$$g_m \propto \beta \quad \text{or} \quad g_m \propto \frac{W}{L} (\mu C_{ox}) \quad (12)$$

For low  $C_L$ ;  $C_L \ll C_{G2}$ , thus  $W_1 \gg W_2$

$$\text{For high } C_L; C_{G1} \left[ \frac{W_1}{L_1} \right] \gg C_L \left[ \frac{W_2}{L_2} \right]$$

The conclusion can be done as followings:

$$\text{Area} \propto \sum W_i L_i \quad (13)$$

$$\text{Speed} \propto \left[ \frac{W_1}{L_1} \right] \quad (14)$$

$$\text{Power Dissipation} \propto \left(\frac{L_1}{W_1}\right) \left(\frac{W_2}{L_2}\right) \quad (15)$$

The optimization conditions depend on the transistor sizing, especially the connected transistor with the supply. As  $(W_1/L_1)$  is increased, the speed is higher and reduces the power dissipation. To reduce the power dissipation can be done by reducing  $(W_2/L_2)$  but the most importance is meta-stable state. The circuit should be correctly operation and it should not have the meta-stable operation problem. The conclusion of the optimization procedure of circuit design should be;

1. All transistors should have minimal size as the design rule.
2. Increase  $L_2$  in order to protect the circuit operation error and to reduce the power dissipation;
3. Increase  $W_1$  in order to increase speed and to reduce the power dissipation.

### 3. Optimization Constraints of BiCMOS

Fig. 3 shows the static and dynamic BiCMOS latch. Considers the optimization condition as the same the CMOS latch condition, three constraints are power dissipation, chip area and speed of the circuit; they relate each other as shown in Fig.4.

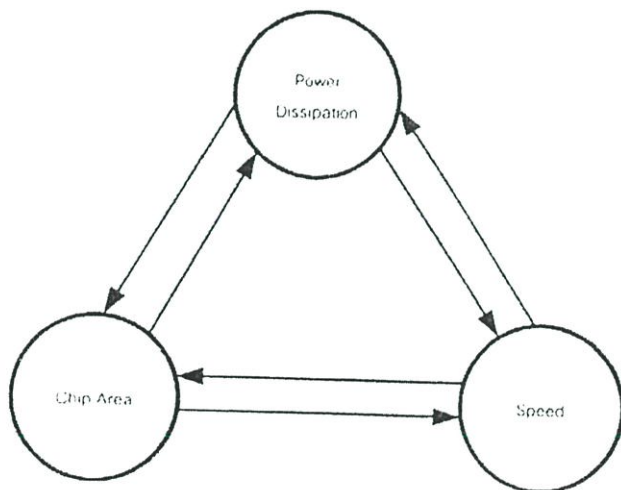


Fig. 4 Relation of three constraints

## 146 Optimization Technique of CMOS and BiCMOS

### 3.1 Total power dissipation

The total power dissipation in the BiCMOS circuit [19] consists of static power dissipation ( $P_S$ ), dynamic power dissipation ( $P_d$ ) and dynamic short circuit power dissipation ( $P_{SC}$ ). The total power dissipation is the sum of all power dissipations ( $P_{total} = P_S + P_d + P_{SC}$ ).

#### 3.1.1 Static power dissipation

This static power dissipation depends on the leakage current which is due to the process. Thus, the equation can be written as;

$$P_S = \sum_{n=1}^n I_{LK} \cdot V_{DD} \quad (16)$$

$I_{LK}$  is leakage current of device and  $V_{DD}$  is supply voltage.

$n$  is number of devices.

#### 3.1.2 Dynamic power dissipation

The dynamic power dissipation occurs in the rise time ( $t_r$ ) and fall time ( $t_f$ ) when the period time ( $t_p$ ) is more bigger than rise time and fall time. The dynamic power dissipation can be written as:

$$P_d = \frac{1}{t_p} \int_0^{t_{F1}} i_{E1}(t) v_{out} dt + \frac{1}{t_p} \int_{t_{F2}}^{t_p} i_{E2}(t) (V_{DD} - v_{out}) dt \quad (17)$$

$i_{E1}$  = instantaneous emitter current as the output data changes from logical "1" to "0"

$$= (C_L + C_{int}) \frac{dv_{out}}{dt}$$

$i_{E2}$  = instantaneous emitter current as the output data changes from logical "0" to "1"

$$= (C_L + C_{int}) \frac{d(V_{DD} - v_{out})}{dt}$$

The simplification of the dynamic power dissipation can be done as shown in Eq. (18).

$$P_d = (C_L + C_{int})(\Delta V_S)^2 \cdot f \quad (18)$$

$C_L$  = load capacitance

$C_{int}$  = internal capacitance of device

$\Delta V_S$  = increment of signal swing

$f$  = operating frequency

### 3.1.3 Dynamic short-circuit power dissipation

This power occurs as BiCMOS logic gate is going to change the state. The NMOS and PMOS transistors in the first stage of the circuit and bipolar transistors in the second stage of circuit are semi "on" and "off" for a very short period before moving to the steady state. This status seems to be short circuit from power supply to ground, the short circuit is happened. The total power dissipation reduction depends on the factor in Eqs. (16) and (18). However, the total power dissipation calculation is quite complicated because of the internal stray capacitance, internal resistance and operating frequency of each subcircuit. Thus, the average power dissipation ( $P_{AV}$ ) of the circuit [20] is carried out by using current-controlled current source or voltage-controlled current source to measure the average current drawn from the power supply as shown in Fig. 5. The power dissipation is proportional to the current gain ( $\beta$ ) of the transistor.

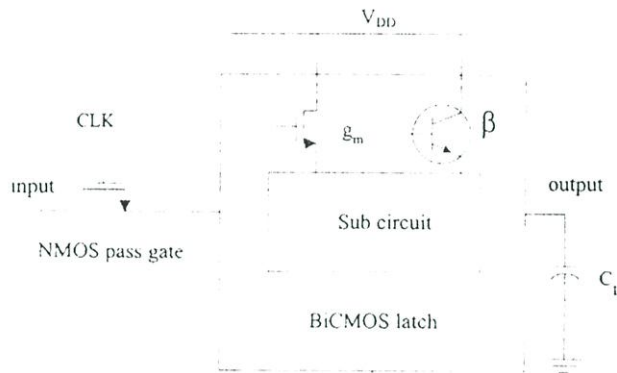


Fig. 5 Power dissipation measurement

The switching analysis shows the MOS transistors operate in linear region as shown in Eq. (19).

$$g_{m\_linear} = 2 \frac{\mu\epsilon W}{L} (V_{GS} - V_{th}) \quad (19)$$

Thus,  $P \propto \frac{W}{L}$  (20)

## 148 Optimization Technique of CMOS and BiCMOS

### 3.2 Area

The chip area or circuit area depends on the device size [13, 21], the Eq. (21) shows the chip area ( $A$ ) relation.

$$Area \propto (\sum WL + \sum A_E) \quad (21)$$

$W, L$  = width and length of MOS transistor gate, respectively.

$A_E$  = emitter area of bipolar transistor

Thus,  $W, L$  and  $A_E$  should be minimal; however the optimum constraint can be obtained by changing the devices size [23] and depending on micron or submicron design

### 3.3 Speed

The operating speed depends on the signal propagation gate delay time ( $t_d$ ) and it is up to the resistance, stray capacitance at the junctions and contacts of the devices. Eq. (22) shows the relation between parameters.

$$t_{d,BiCMOS} \propto \frac{\pi}{2} \sqrt{R_{CH} \tau_F (C_L + C_{int})} \quad (22)$$

$$\text{Where } R_{CH} = \frac{2L}{W \mu_p C_{OX} (V_{DD} - V_{TP})}$$

$$C_{int} \approx C_G = (L \cdot W) C_{OX}$$

$$\text{For } C_{int} \gg C_L; \quad t_d \propto L \quad (23)$$

$$\text{And } C_{int} \ll C_L; \quad t_d \propto \sqrt{\frac{L}{W}} \quad (24)$$

Thus,  $L$  should be minimal to obtain the high speed [24-25] for both Eqs. (23) and (24).

The emitter area of bipolar transistor is an important parameter; the delay time relates with emitter area as shown in Eq. (25).

$$t_d \propto \frac{1}{\sqrt{A_E}} \quad (25)$$

In the case of high capacitive load, time at a level and cannot decrease although the emitter area is increased. The emitter area increment increases the stray capacitance. At the small value of load capacitance, the delay time is proportional to emitter area as shown in Eq. (26).

$$t_d \propto A_E \quad (26)$$

#### 4. Optimization

To meet the multi-objective optimization, the area and power dissipation effect with the speed or delay time. The proposed technique has a small effect with layout area by changing  $W$ ,  $L$  of MOS transistor and  $A_E$  of bipolar transistor which is connected to the power supply. The optimum procedures are carried out for both dynamic and static latch.

##### Small $C_L$ ( $C_L \leq 1pF$ )

Eqs. (20) and (23), the relations are written;

$$P \propto \frac{W}{L} \quad \text{and} \quad t_d \propto L \quad (27)$$

$L$  of M1 is increased in order to obtain the acceptable values of power dissipation and speed of the circuit.

##### High $C_L$ ( $C_L \geq 1pF$ )

Eqs. (20), (24), (25), the relations are concluded as follows;

$$P \propto \frac{W}{L}, \quad t_d \propto \sqrt{\frac{L}{W}} \quad \text{and} \quad t_d \propto \frac{1}{\sqrt{A_E}} \quad (28)$$

$A_E$  is increased,  $t_d$  is decreased but emitter area is large.

Therefore, it is convenient to increase  $W$  and decrease  $L$  in order to obtain the smaller circuit area. Although, the power dissipation increases but it is small.

## 150 Optimization Technique of CMOS and BiCMOS

The BiCMOS static latch design is different from dynamic latch because of the feedback inverter. The operating speed depends on the power dissipation reduction but it may cause the metastability. The static latch optimization must not increase the delay time. The relation of output data and input data is obviously shown in Eq. (29).

$$v_{out}(t) = \frac{-V_{in}}{g_{m2}R_{CH}} \left( \exp \frac{-t}{R_{CH}C_1} - 1 \right) \quad (29)$$

It is noted that the increasing of transistor width and transistor length, the speed of the circuit is slow because of  $C_1 = C_{ox}(W.L)$ . However, the reduction of  $R_{CH}$ , the speed of the circuit is high. It is obviously shown that  $A_E$  has no effects with the speed of the circuit. The feedback inverter should have longer  $L$  when compared with the normal design. or  $W/L$  should be minimal in order to drive feedback inverter at any signal level.

## 5. Results

### 5.1 CMOS static latch

All data have been simulated at 100 MHz frequency using input signal as 1,0,1,0,..., rise time and fall time are 1 ns. The BiCMOS technology is used for  $L_{min} = 0.8 \mu\text{m}$  and  $W_{min} = 1 \mu\text{m}$  at 85 °C.

Meta-stable operation problem testing

The meta-stable operation problem is an effect since the transistor sizing of PMOS transistor of feedback inverter. To increase  $W_{p2}$ , it reduces the power dissipation but the meta-stable operation problem occurs, as shown in Fig. 6.

The results have been carried out by simulating based on PSpice to measure delay time, power dissipation and  $\gamma$ .

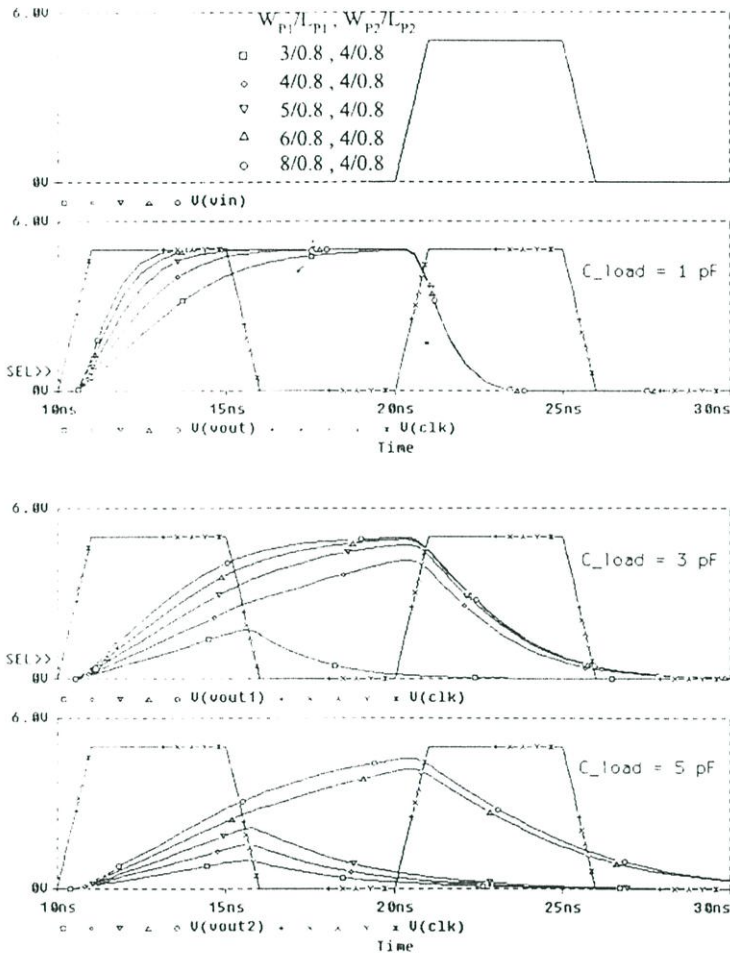


Fig. 6 Meta-stable problem testing results with  $C_L = 1$  pF, 3 pF and 5 pF.

In Fig. 7, let  $W_{P1} = 4 \mu\text{m}$  and  $W_{P2} = 2 \mu\text{m}$  and vary  $L_{P2}$ , it is obviously shown that the minimal point of delay time and power dissipation when  $L_{P2}$  about  $2 \mu\text{m}$ . Let  $W_{P2} = 2 \mu\text{m}$  and  $L_{P1} = L_{P2} = 0.8 \mu\text{m}$ . by vary  $W_{P1}$  as shown in Fig. 8, it found the minimal point of delay time and power dissipation when  $W_{P1}$  about  $6 \mu\text{m}$ . While the variations of  $W_{P1}$  and  $L_{P2}$  of delay time and power dissipation are shown in Figs. 9(a) and 9(b), respectively. It shows that  $W_{P1}$  and  $L_{P2}$  about  $6$  and  $2 \mu\text{m}$ , respectively.

152 Optimization Technique of CMOS and BiCMOS

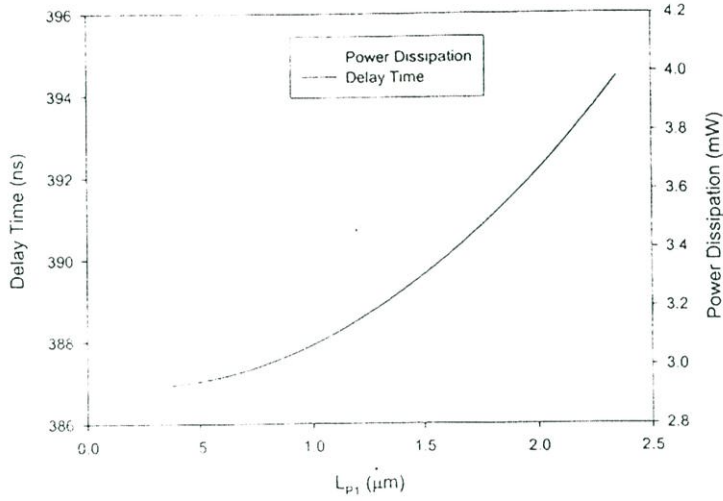


Fig. 7 Optimization results by varying  $L_{P1}$

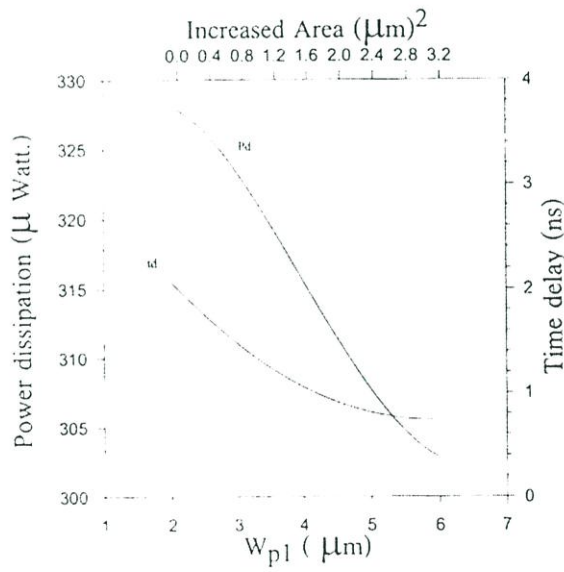
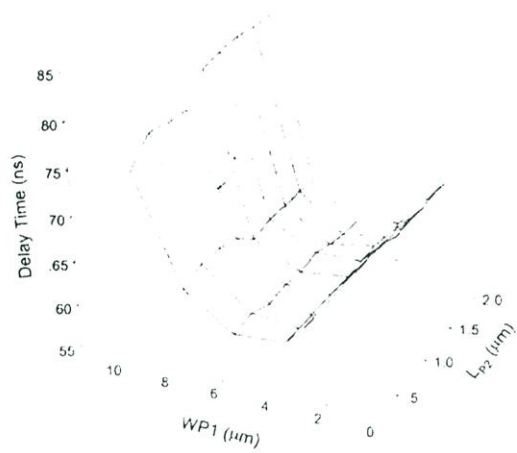
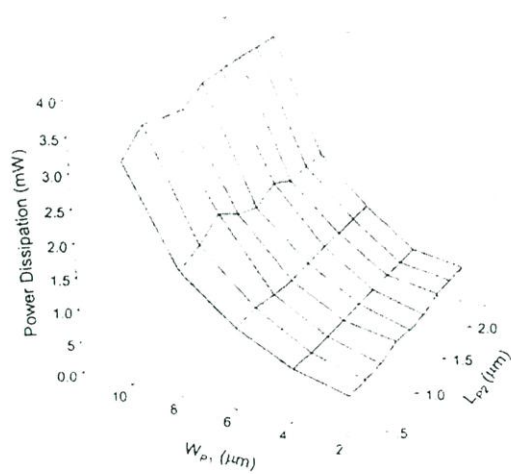


Fig. 8 Optimization results by varying  $W_{P1}$



(a)



(b)

Fig. 9 Optimization results, (a) delay time, (b) power dissipation.

## 154 Optimization Technique of CMOS and BiCMOS

The optimization by increasing  $W_{p1}$  and  $L_{p1}$  can be done,  $\gamma$  can be obtained as shown in Fig. 10.

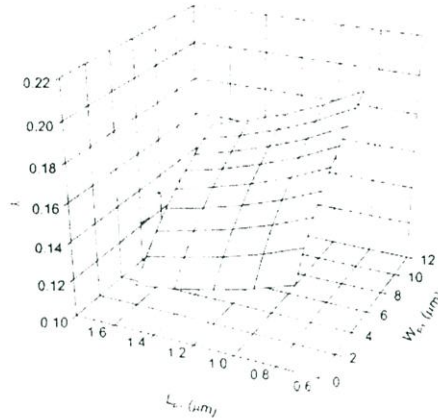


Fig. 10  $\gamma$  as increasing  $W_{p1}$  and  $L_{p1}$  for  $C_L = 1$  pF

It is obviously that  $\gamma$  is high as  $W_{p1}$  is high and  $L_{p1}$  is low, as shown in Figs. 10, 11 and 12. Consider the delay time,  $W_{p1}$  should be high. The power dissipation has been observed by using the method as in ref. [14], for the low power dissipation,  $W_{p1}$  should be high but  $L_{p1}$  should be low. Fig.12 shows that  $C_L$  should be small and  $W_{p1}$  should be high.

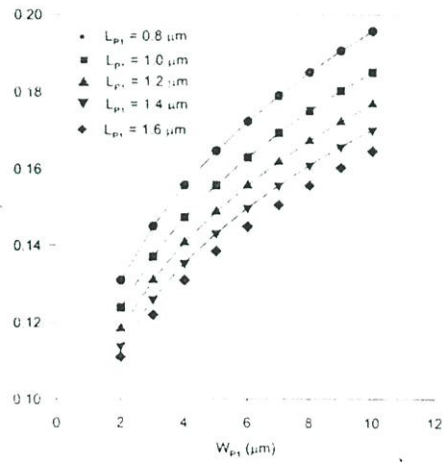


Fig. 11  $\gamma$  as varying  $W_{p1}$  for  $L_{p1} = 0.8, 1.0, 1.2, 1.4, 1.6$   $\mu\text{m}$  as  $C_L = 1$  pF

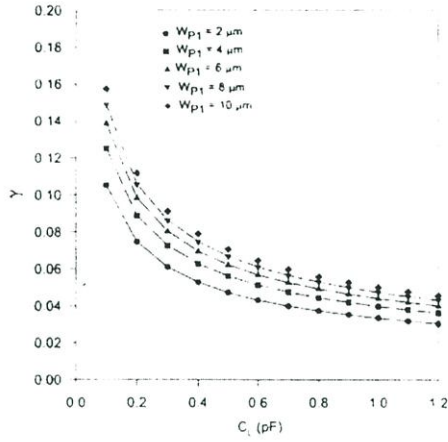


Fig. 12  $\gamma$  versus  $C_L$  for various values of  $W_{p1}$

5.2 Results BiCMOS

5.2.1 Characteristics

The characteristics of dynamic and static latch have been carried out as shown in Figs.13 and 15, respectively. The output responses of dynamic and static latch have been shown in Figs. 14 and 16, respectively. The simulations have been carried out by using pulse train signal as input data (1 0 1 0), 40 ns period, 2.5 ns for rise time and fall time, 50 MHz clock frequency, 0.8  $\mu\text{m}$  BiCMOS technology.

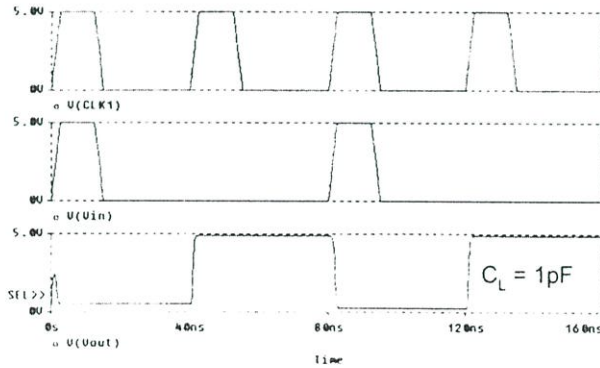


Fig.13 Signals of dynamic latch inverting phase.

## 156 Optimization Technique of CMOS and BiCMOS

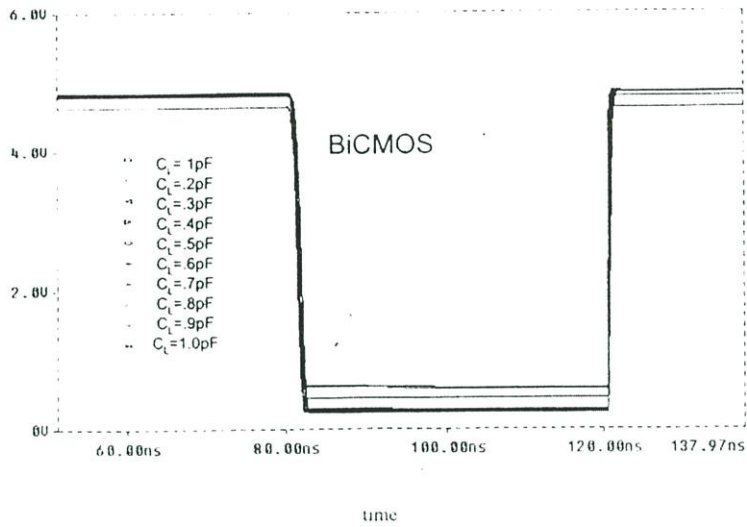


Fig. 14 Output response of dynamic latch for  $C_L = 0$  (no capacitive load) until 1 pF

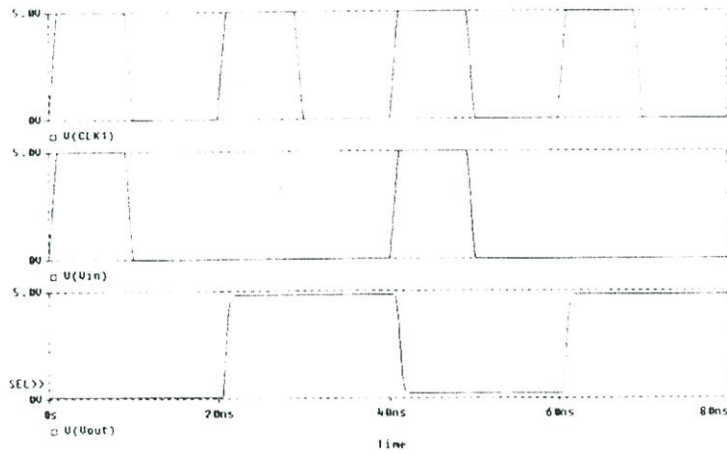


Fig. 15 Signals of static latch inverting phase.

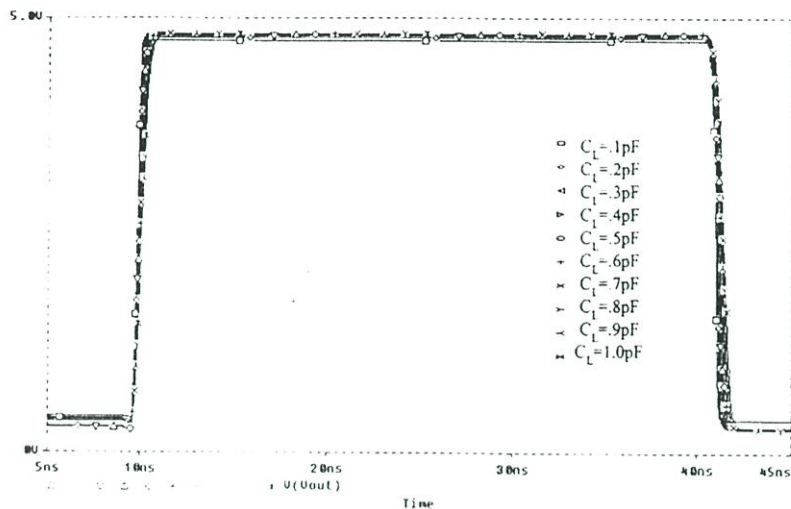


Fig. 16 Output response of static latch for  $C_L = 0 \rightarrow 1$  pF

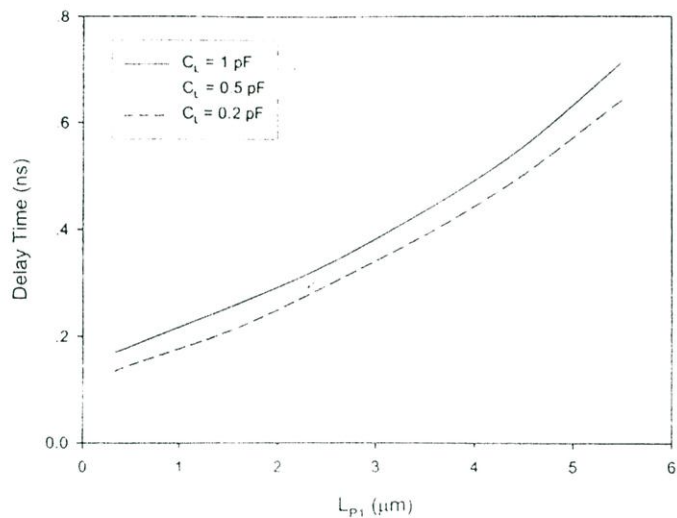
### 5.2.2 Performance Optimization

The performances of dynamic and static latch have been carried out by using the same condition as shown in topic 5.2. The simulation results are shown in Figs.17, 18, 19 and 20, respectively.

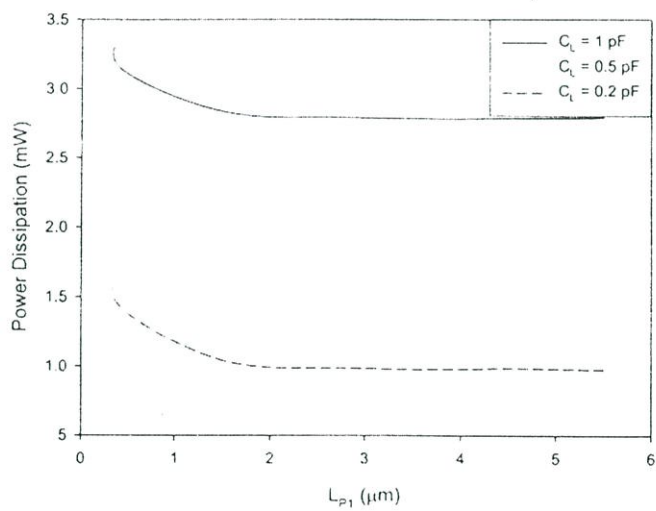
#### Small $C_L$ ( $C_L \leq 1$ pF)

The optimization procedure has been done by varying  $L$ . In Fig. 17 shown the dynamic latch versus delay time and power dissipation when  $L$  are increased the delay time and power dissipation are increased too.

## 158 Optimization Technique of CMOS and BiCMOS



(a)

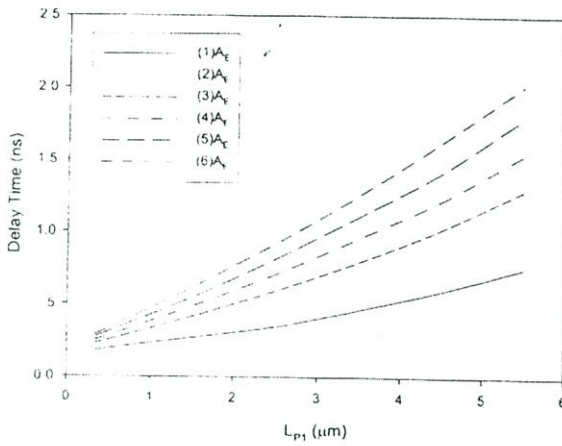


(b)

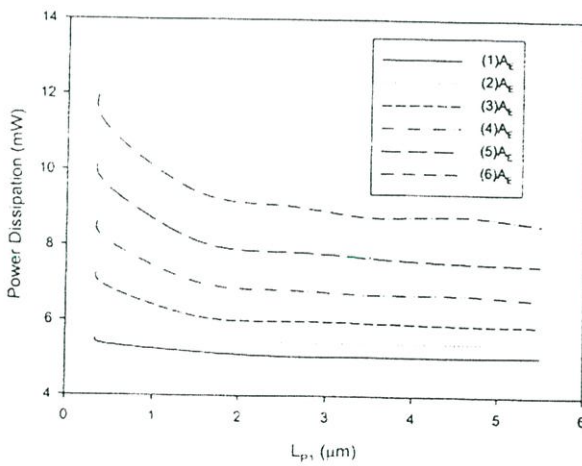
Fig.17 Variation of  $L$  of dynamic latch versus (a) delay time and (b) power dissipation

### High $C_L$ ( $C_L \geq 1$ pF)

The optimization procedure has been done by increasing  $A_E$ ,  $W$  and decreasing  $L$  at  $C_L = 2$  pF and suppose that  $n$  is the positive integer of  $A_E$  shown in Fig. 18 and 19. As Fig. 20(a) shows speed variation versus gate length variation and Fig. 20(b) shows power dissipation versus gate length variation.



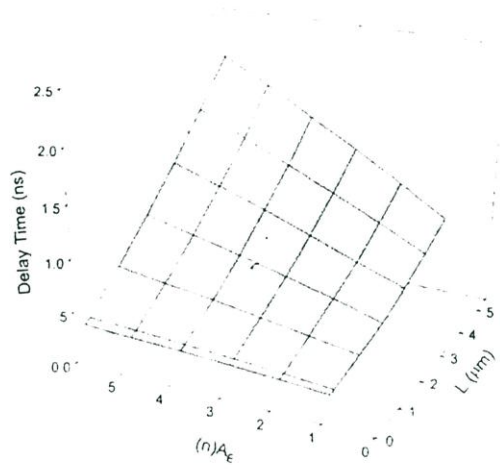
(a)



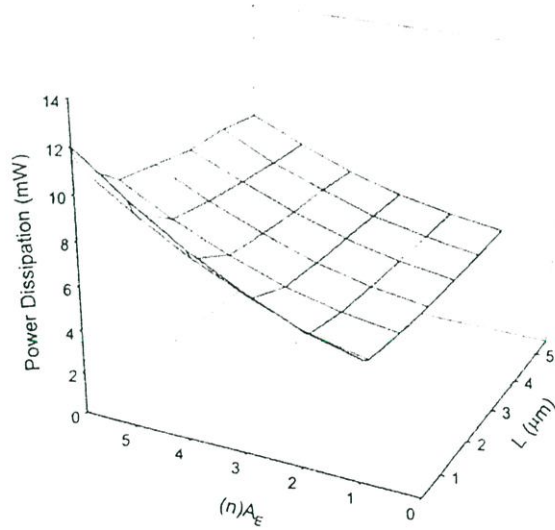
(b)

Fig. 18 Speed variation of dynamic latch versus (a)  $W$  and  $(n)A_E$ , (b)  $L$  and  $(n)A_E$ .

## 160 Optimization Technique of CMOS and BiCMOS

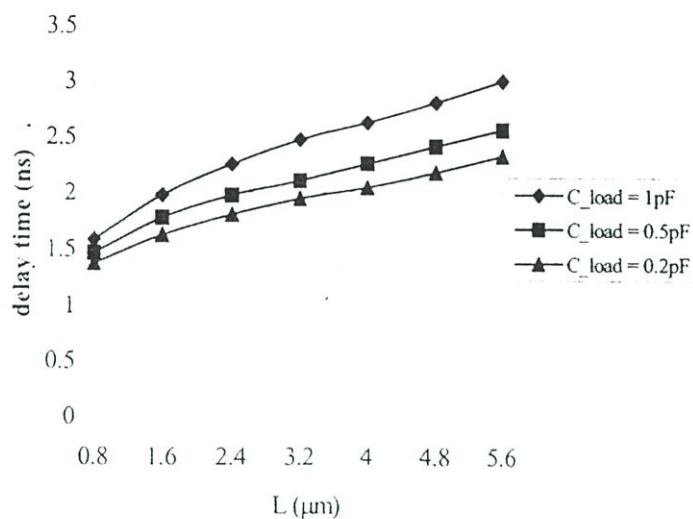


(a)

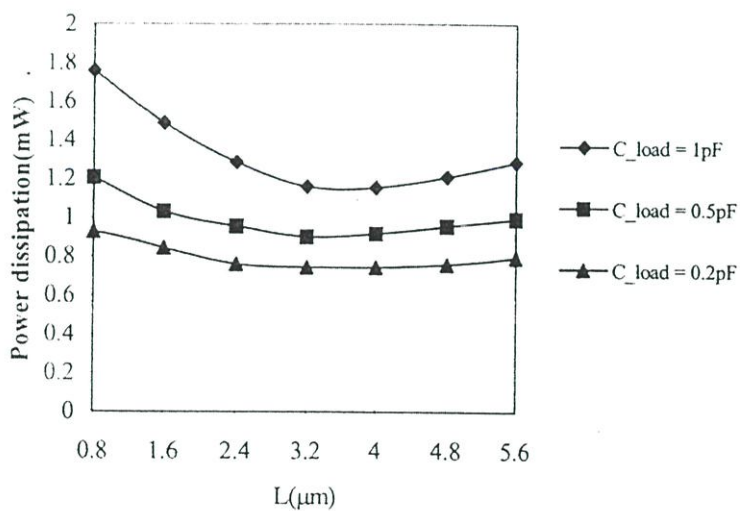


(b)

Fig.19 (a) Delay time versus  $W$  and  $A_E$  of dynamic latch(b) Power dissipation versus  $W$  and  $A_E$  of dynamic latch



(a)



(b)

Fig.20 Static latch (a) Speed variation versus gate length variation.

(b) Power dissipation versus gate length variation.

## 6. Conclusion

The proposed method in this paper can be used for the circuit designer to save the time to simulate the circuit after determining the constraints. The designer can improve and adjust the technique for suitable condition. The simulation results show the ability of the designed circuit for obtaining the high performances and high frequency. The proposed optimization procedure will increase the circuit efficiency, speed, power dissipation and chip area with a small effect to layout design. Although, the proposed technique is not able to obtain the high efficiency for all parameters, but the optimum optimization can be obtained. This proposed technique is simple and can be widely applied for CMOS and BiCMOS VLSI. Therefore, the proposed technique is a choice of optimization.

## References

- [1] Brayton RK, Hachtel GD, Sangiovanni-Vincentelli AL. A Survey of Optimization Techniques for Integrated-Circuit Design. Proc. IEEE 1981;69:1334-62.
- [2] Longway C, Sigfred R. A Doughnut Layout Style for Improved Switching Speed with CMOS VLSI Gates. IEEE J. Solid-State Circuits 1989;24:194-8.
- [3] Nagai K, Hayashi Y. Performance Optimization of Thin-Gate Oxide MOSFETs. Solid-State Electronics 1990;33:223-6.
- [4] Kanuma A. CMOS Circuit Optimization. Solid-State Electronics 1983;26:47-58.
- [5] Matson MD. Macromodeling of Digital MOS VLSI Circuits. Proc. 22nd ACM/IEEE Design Automation Conf. 1985;144-51.
- [6] Matson MD, Glasser L. Macromodeling and Optimization of Digital MOS VLSI Circuits. IEEE Trans. Computer-Aided Design 1986;5:659-78.
- [7] Hedlund KS. Aesop: A Tool for Automated Transistor Sizing. Proc. 24th ACM/IEEE Design Automation Conf. 1987;114-20.
- [8] Trimberger S. Automated Performance Optimization of Custom Integrated Circuits. IEEE Int. Sym. Circuits and Systems 1983;194-7.
- [9] Hofmann M, Kim JK. Delay Optimization of Combinational Static CMOS Logic. Proc. 24th ACM/IEEE Design Automation Conf. 1987;125-32.
- [10] Cirit MA. Transistor sizing in CMOS circuits. Proc. 24th ACM/IEEE Design Automation Conf. 1987;121-4.
- [11] Yuan J, Svensson C. High-Speed CMOS Circuit Technique. IEEE J. Solid-State 1989;24:62-70.
- [12] Sodini CG, Ko P-K, Moll JJ. The Effect of High Fields on MOS Device and Circuit Performance. IEEE Trans. Electron Devices 1984;31:1386-93.
- [13] Glasser LA, Hoyte LPJ. Delay and Power Optimization in VLSI Circuits. Proc. 21st ACM/IEEE Design Automation Conf. 1984;529-35.
- [14] Lewis ET. Optimization of Device Area and Overall Delay for CMOS VLSI Designs. Proc. IEEE 1984;72:670-89.
- [15] Kakumu M, Kinugawa M, Hashimoto K. Choice of Power-Supply Voltage for Half-Micrometer and Lower Submicrometer CMOS Devices. IEEE Trans. Electron Devices 1990;37:1334-42.
- [16] Weste NHE, Eshragian K. Principles of CMOS VLSI Design - A System Perspective. 2nd ed. Reading, Massachuset: Addison-Wesley; 1994.

- [17] Tooprakai P., Dejhan K, Mitatha S, Cheevasuvit F, Soonyeeckan C. Metastability Analysis of CMOS  $\mu$ Latch. Proc. of the 8th International Symposium on IC Technology, Systems & Applications (ISIC-99) Sept. 1999;229-31.
- [18] Shoji M. CMOS Digital Circuit Technology. Prentice-Hall; 1988.
- [19] Kang SM, Loblebici Y. CMOS Digital Integrated Circuits: Analysis and Design. 2nd ed. McGraw-Hill; 1999.
- [20] Bellaouar A, Elmasry MI. Low -Power Digital VLSI Design Circuits and Systems. 1st ed. Boston: Kluwer Academic Publishers; 1995.
- [21] Kang SM. Accurate Simulation of Power Dissipation in VLSI Circuits. IEEE J. Solid-State Circuits 1986;21889-91.
- [22] Wissel L, Gould EL. Optimal Usage of CMOS within a BiCMOS Technology. IEEE J. Solid - State Circuits 1992;27:300-6.
- [23] Dejhan K, Cheevasuvit F, Junnapiya S, Chalermphanich B. Micron and Submicron design considerations of CMOS transistor optimization of VLSI design. Proc. of the 5th International Symposium on IC Technology, Systems & Applications (ISIC-93) Sept. 1993;279-83.
- [24] Rabacay JM. Digital Integrated Circuits. Prentice-Hall; 1996.

## Biography



▲ Name: Paiboon Tooprakai  
 Address: Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Road, Bangkok 10520, Thailand.  
 Tel: +66-2-3264238, +66-2-3264242  
 Fax: 66-2-3264554  
 E-mail: paiboon@telecom.kmitl.ac.th

Education & Work experience: received the B.S. in Materials Science from Chiang Mai University, Chiang Mai, Thailand, in 1995 and M.Eng. in Electrical Engineering from King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand, in 1998. His research interests digital circuit design and applications.



▲ Name: Kobchai Dejhan  
 Address: Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Road, Bangkok 10520, Thailand.  
 Tel: +66-2-3264238, +66-2-3264242  
 Fax: 66-2-3264554  
 E-mail: kobchai@telecom.kmitl.ac.th

Education & Work experience: Received the B.Eng. and M.Eng. degree in electrical engineering from The King Mongkut's Institute of Technology Ladkrabang (KMITL),

**164** Optimization Technique of CMOS and BiCMOS

Bangkok, THAILAND, in 1978 and 1980, respectively and Docteur degree in telecommunication from Ecole Nationale Supérieure des Telecommunications Paris (ENST/Telecom Paris), France in 1989. Since 1980, he has been a member of the Department of Telecommunication at Faculty of Engineering, KMITL, where he is currently an associate professor of telecommunication. He is senior member of IEEE, member of IEICE and ACM. His research interests analog circuit design, digital circuit design and telecommunication circuit design and system.

## AN ELECTROSTATIC DISCHARGE FREE BOOTSTRAPPED BICMOS INVERTER CIRCUIT BASED ON PARASITIC DIODE

SIRAPHOP (PAIBOON) TOOPRAKAI and KOBCHAI DEJHAN

*Faculty of Engineering and Research Center for Communication and Information Technology,  
 King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand  
 {siraphop, kobchai}@telecom.kmitl.ac.th*

Received (Day Month Year)

Revised (Day Month Year)

Accepted (Day Month Year)

Electrostatic discharge (ESD) free bootstrapped BiCMOS inverter circuit is proposed. The proposed driver circuit uses the bootstrapped technique; the transistor base voltage is higher than the supply voltage. The input of circuit is arranged to protect the electrostatic discharge problem, the output waveform is able to have full swing. The proposed circuit consumes low power with small delay time. The transistors in the circuit operate with high performance and efficient.

*Keywords:* Electrostatic discharge (ESD); BiCMOS; Bootstrapped.

### 1. Introduction

BiCMOS technology is widely used for SRAM, gate array, ASIC, RF circuit and mixed-signal application. Many attempts have been done to decrease the supply voltage of the digital circuits from 5 volts to be lower such as 1.2 volts. The speed of the BiCMOS circuit is increased but the output of the signal cannot be full swing. The electrostatic discharge phenomena is occurred and may be damage the circuit, see Refs. 1-5 for more details. Thus, the protection is carried on; the input circuit is designed incorporating with protection circuit which has more thickness gate-oxide, with tick junctions of source and drain in order to reduce the effect of electrostatic discharge. The new proposed circuit design is used a technique of parasitic diode<sup>6</sup> with bootstrapped technique. The previous circuit design and a new proposed circuit design configurations have been compared based on 0.35  $\mu\text{m}$  BiCMOS technology.

### 2. Circuit description and operation

The new BiCMOS inverter, as shown in Fig. 1, is using parasitic diode. The output of the proposed circuit is complementary style. The input circuit is designed by using the source as receiver part. Thus, it is able to protect the ESD.

The design method for the receiver part can be described from Fig. 2. While the high voltage level such as electrostatic discharge presents as input of the circuit, the parasitic diode acts as forward biasing for source and substrate and then by-passing that high voltage level to ground or to supply voltage, the circuit is not damaged.

2 Siraphop (Paiboon) Tooprakai and Kobchai Dejhan

The operation principle of the proposed circuit as shown in Fig. 1. By set the width of transistors M1, M2, M3 and M5 = 6  $\mu\text{m}$ , the width of transistors M4, M6 and M7 = 4  $\mu\text{m}$ , set all length of transistors is 0.35  $\mu\text{m}$ . It can be described while the input voltage level of the circuit is the same as the supply voltage, the transistor M5 operates. Then, the base of transistor Q2 is going to have the biasing and the transistor Q2 operates.

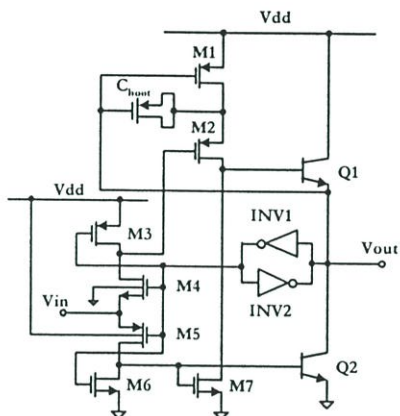


Fig. 1. Proposed bootstrapped BiCMOS inverter circuit using parasitic diode

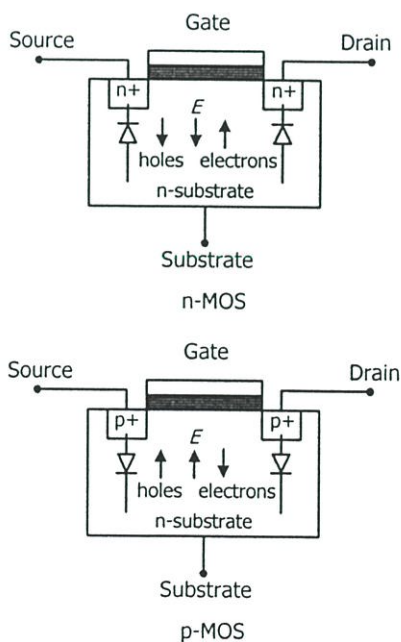


Fig. 2. Equivalent circuit of nMOS, pMOS transistor

As the output signal level of the circuit approaches to zero and feeds back to INV1 and INV2. Therefore, the output signal level of the circuit is zero. The operation of INV1 and INV2 effect with transistors M5 and Q2, the transistors M5 and Q2 stop operating, respectively in order to save the energy.

At the same time, the transistor M1 operates because of the zero volt of gate terminal of M1. The charging via  $C_{boot}$  occurs; this capacitor is implemented from source-to-drain connection. The output voltage level maintains at zero volts because of the operations of INV1 and INV2.

The next, if the input voltage level is zero volts, the transistor M4 operates and then the transistor M2 also operates. The voltage level at gate terminal is lower than the critical voltage level,  $C_{boot}$  discharges via the transistor M2 through the base of the transistor Q1 operates the output voltage level of the circuit increases and approaches to the supply voltage. The feedback signal from the emitter terminal of transistor Q1 to  $C_{boot}$ , the voltage level at the base terminal of transistor Q1 is higher than the supply voltage as shown in Fig. 3. Thus, the transistor Q1 operates with full performance and the output voltage level of the circuit is the same as the supply voltage.

At the same time, INV1 and INV2 operates the voltage level of gate terminals of transistors M3, M4 M5 and M6 are zero, the transistors M2, M4 and M6 stop operating. As the transistor M2 stops operating, transistor Q1 also stops operating, but the output voltage level of the circuit is the same as the supply voltage because of the operation of INV1, INV2. The transistors M6 and M7 will discharge the residual charge at the bases of transistors Q1 and Q2.

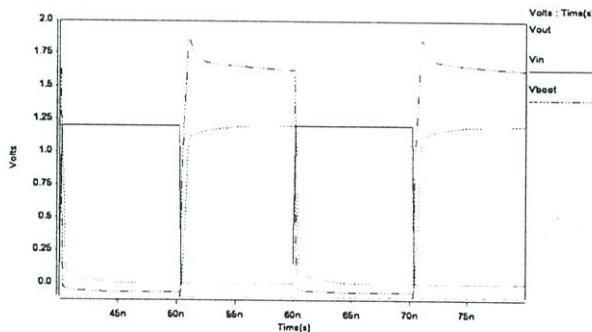


Fig. 3. Waveforms of proposed circuit

### 3. Results

The simulations were carried out using a chain of gates, as shown in Fig. 4. The reported 50% propagation delay times are those of the third gate. The input to first gate is driven by a 50 MHz square wave with rise and fall time of 0.2 ns at supply voltage 1.2 volt. All gates were equally loaded with a load capacitor.

4 *Siraphop (Paiboon) Tooprakai and Kobchai Dejhan*

All simulation results have been carried out based on HSpice<sup>7</sup> by using 0.35  $\mu\text{m}$  BiCMOS technology process. The comparison of the result is done by comparing the results from CMOS with the results from Bootstrapped full-swing BiCMOS (BFBiCMOS)<sup>3</sup> and Ref. 5 BiCMOS Circuit, as shown in Fig. 5, Fig. 6 and Fig. 7, respectively. The key device and design parameters have been shown in Table 1 and 2, respectively.

The propagation delay time will be carried out at the output of the third inverter; each output of inverter is connected with the same load capacitance ( $C_L$ ).

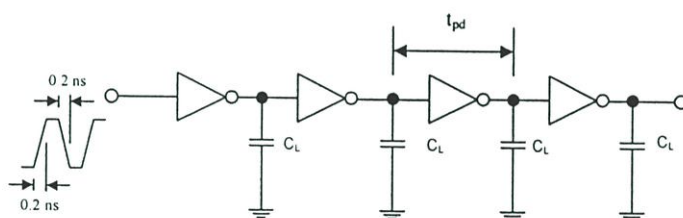


Fig.4. Delay simulation method

Table. 1. Key device parameters for BiCMOS technologies<sup>3</sup>.

MOS transistor model parameter							
	0.18 $\mu\text{m}$		0.35 $\mu\text{m}$		0.8 $\mu\text{m}$		
	PMOS	NMOS	PMOS	NMOS	PMOS	NMOS	
$V_T$	-0.303	0.2607	-0.4	0.4	-0.82	0.82	V
$T_{OX}$	2.5	2.5	9	9	15	15	nm
$R_{shin}$	300	180	90	47.5	121	75.5	$\Omega/\square$
$C_{jw}$	200	200	245	200	1711.7	150	pF/m
$C_{jm}$	679	580	679	580	499	400	$\mu\text{F}/\text{m}^2$
$C_{gdom}$	349.3	349.3	208	208	208	208	pF/m
$C_{gsoni}$	349.3	349.3	208	208	208	208	pF/m
$C_{gboni}$	719	719	819	819	819	819	pF/m
Bipolar transistor model parameter							
	NPN	PNP	NPN	PNP	NPN	PNP	
$A_E$	1 $\times$ 5	1 $\times$ 4	1 $\times$ 5	1 $\times$ 4	0.8 $\times$ 4	0.8 $\times$ 4	$\mu\text{m}^2$
$\beta_F$	90	90	90	90	100	100	
$\tau_F$	7	21	7	21	9	9	ps
$C_{jc}$	16	28	16	28	12.1	12.1	fF
$C_{jc}$	17	28	17	28	9.6	14	fF
$C_{js}$	52	73	52	73	25.2	25.2	fF
$R_e$	30	37	30	37	30	30	Ohm
$R_c$	28	31	28	31	150	150	Ohm
$R_b$	265	260	265	260	500	500	Ohm

Table 2. Design parameters of W/L.

MOS Transistor	BFBiCMOS	Ref. 5	Proposed BiCMOS
M1	10	8	6
M2	10	4	6
M3	4	8	6
M4	10	4	4
M5	10		6
M6	10		4
M7	10		4
M8	4		

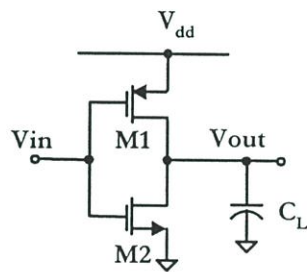


Fig. 5. Conventional CMOS inverter circuit.

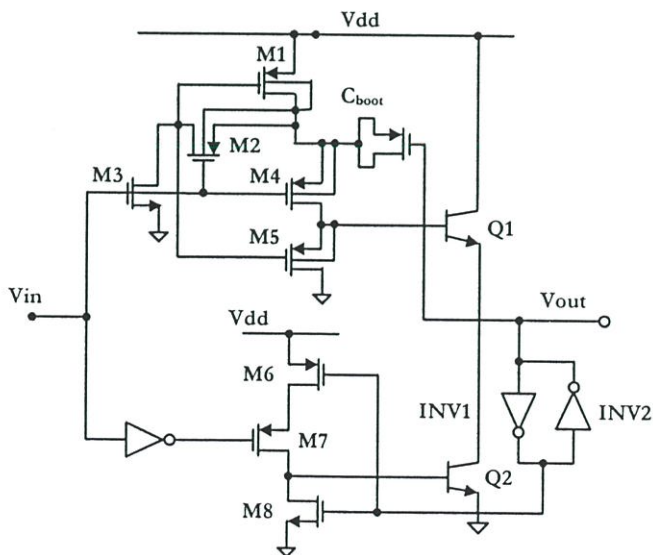


Fig. 6. Bootstrapped full-swing BiCMOS circuit (BFBiCMOS).

6 Siraphop (Paiboon) Tooprakai and Kobchai Dejhan

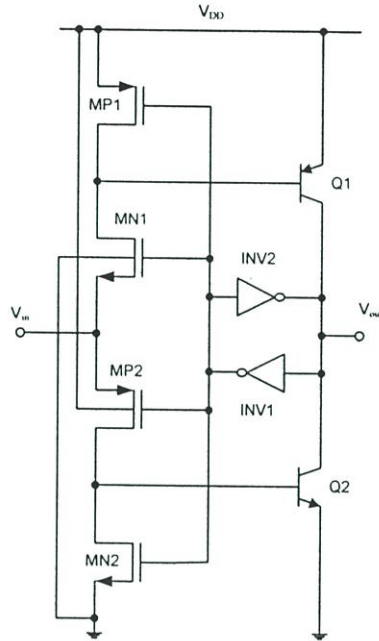


Fig. 7. Ref. 5 BiCMOS.

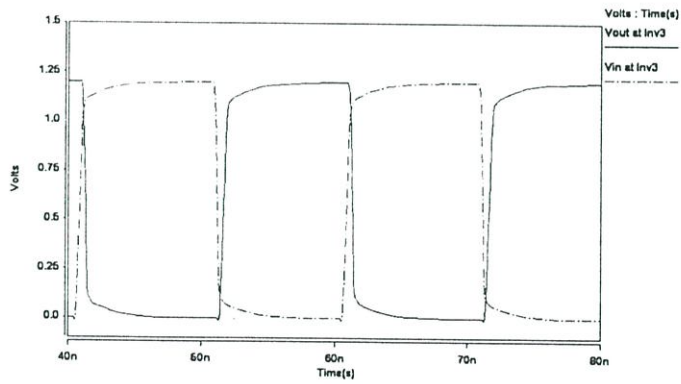


Fig. 8. Input and output waveforms of 3rd inverter connected with 1 pF load capacitance of proposed circuit at supply voltage 1.2 Volt.

*An electrostatic discharge free bootstrapped BiCMOS inverter circuit based on parasitic diode* 7

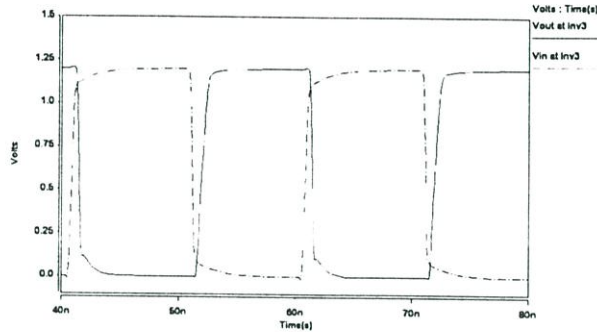


Fig. 9. Input and output waveforms of 3rd inverter connected with 1 pF load capacitance of BFBiCMOS circuit at supply voltage 1.2 Volt.

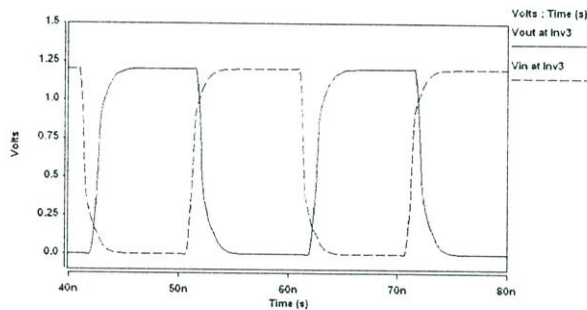


Fig. 10. Input and output waveforms of 3rd inverter connected with 1 pF load capacitance of Ref. 5 circuit at supply voltage 1.2 Volt.

Figs. 8, 9 and 10 show the waveforms of input and output signal of the proposed circuit when compared with BFBiCMOS and Ref. 5 circuit.

Fig. 11 shows the comparison of the propagation delay time of the proposed circuit and BFBiCMOS circuit. It is obviously shown that the proposed circuit has the better operation and performance when compared with the conventional CMOS circuit and BFBiCMOS circuit. For the small capacitive load, the conventional CMOS circuit has the less propagation delay time than the proposed circuit. As the capacitive load is 1 pF, the propagation delay time of the proposed circuit decreases to be 77%, 56% and 11% when compared with the conventional CMOS circuit, ESD BiCMOS circuit and BFBiCMOS circuit, respectively. The delay to load sensitivity of the proposed circuit is 464 ps/pF, for the conventional CMOS circuit, ESD BiCMOS circuit and BFBiCMOS circuit are 521 ps/pF, 1060 ps/pF and 2046 ps/pF, respectively.

8 *Siraphop (Paiboon) Tooprakai and Kobchai Dejhan*

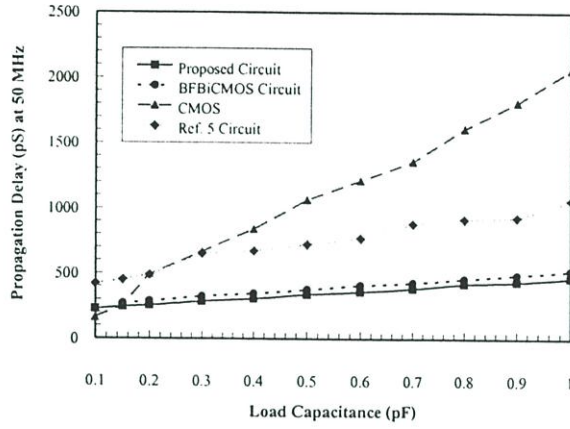


Fig. 11. Calculated result of propagation delay vs. load capacitance at supply voltage 1.2 Volt.

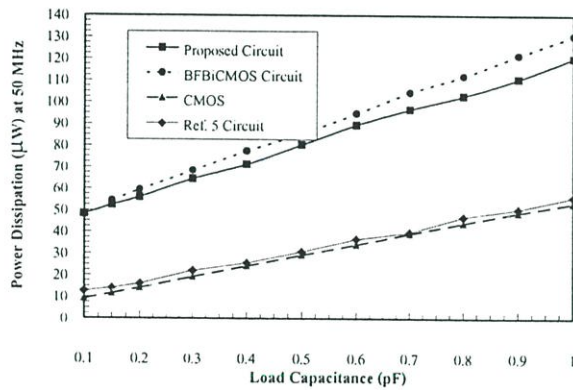


Fig. 12. Calculated result of power dissipation vs. load capacitance at supply voltage 1.2 Volt.

An electrostatic discharge free bootstrapped BiCMOS inverter circuit based on parasitic diode 9

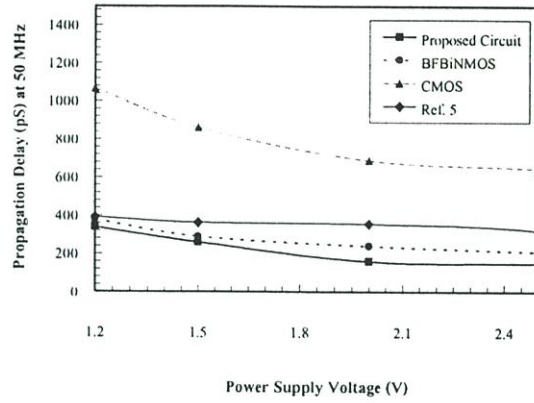


Fig. 13. Calculated result of propagation delay vs. supply voltage.

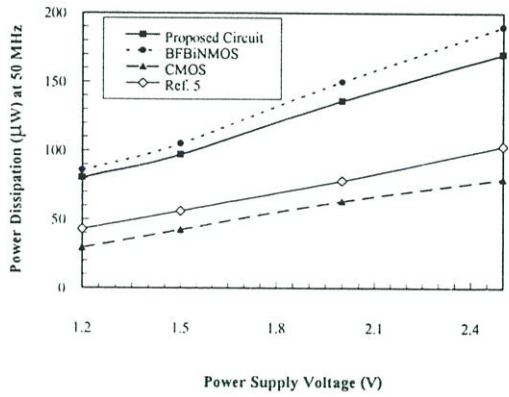


Fig. 14. Calculated result of power dissipation vs. supply voltage.

10 *Siraphop (Paiboon) Tooprakai and Kobchai Dejhan*

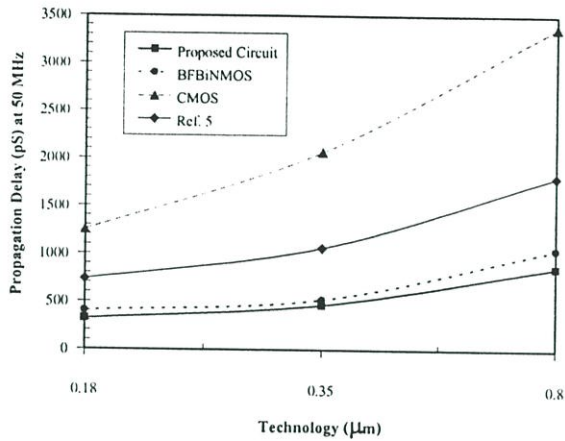


Fig. 15. Calculated result of propagation delay vs. technology.

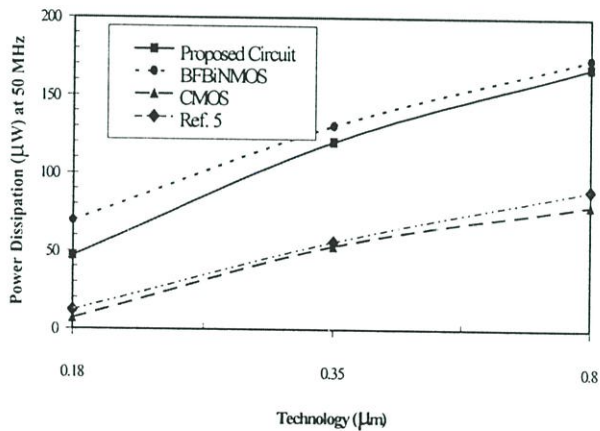


Fig. 16. Calculated result of power dissipation vs. technology.

The power dissipation of each circuit is compared with each other. Fig. 12 shows that the conventional CMOS circuit which has low power dissipation because of its simple structure consisting of two transistors, while the BFBiCMOS circuit has the highest power dissipation. The proposed circuit has the least power dissipation than the BFBiCMOS, the circuit design needs the transistor operate in very short period.

Fig. 13 and Fig. 14 show the effect of scaling the supply voltage on propagation delay and power dissipation, respectively, the four circuits at a load capacitance of 0.5 pF. The

proposed circuit has lowest propagation delay for all range of supply voltage and its power dissipation remain low compared to the BFBiCMOS circuit.

As show in Fig. 15, the proposed circuit has lowest propagation delay over the CMOS, BFBiCMOS and Ref. 5 circuits for even the small technologies (0.18 and 0.35  $\mu\text{m}$ ) and Fig. 16 shows the dissipation power remains comparable to the BFBiCMOS circuit at load of 1 pF.

#### 4. Conclusion

The electrostatic discharge free bootstrapped BiCMOS inverter circuit proposed by using the bootstrapped technique and parasitic diode of CMOS. Therefore, it is suitable for using with 1.2 volt supply voltage level. The proposed circuit is able to have full swing; it has the propagation delay time less than the conventional CMOS circuit, ESD BiCMOS circuit and BFBiCMOS circuit. The HSpice program simulator is used to carry out the signal at various terminals.

#### References

1. S. H. Voldman, *IEEE J. Solid-State Circuits* **34** (1999) 1272.
2. S. Joshi, P. Juliano, E. Rosenbaum, G. Kaatz, S.-M. Kang, *2000 IEEE BCTM* (2000) 218-221.
3. A. Bellaovar, M. I. Elmasry, S. H. K. Embabi, *IEEE J. Solid-State Circuits* **30** (1995) 629.
4. A. Amerasekera, C. Duvvury, *IEEE Transactions Components, Packaging and Manufacturing Tech. Part A* **18** (1995) 314.
5. Y. K. Seng, S. S. Rofail, *Electronics Letters* **34** (1998) 237.
6. N. H. E. Weste and D. Harris, *CMOS VLSI Design: A circuits and Systems Perspective* (Pearson Addison Wesley, 2005) 783.
7. *HSpice User's Manual, Software IC Design: Simulation and Analysis*, (Meta-software, 1998).

## ประวัติผู้เขียน

นายสิรภพ (ไพบูรณ์) ตู่ประกาย เกิดวันที่ 8 กุมภาพันธ์ 2516 ที่จังหวัดไทเป ประเทศไต้หวัน สำเร็จการศึกษาวิทยาศาสตรบัณฑิต สาขาวัสดุศาสตร์ จากมหาวิทยาลัยเชียงใหม่ ปีการศึกษา 2537 สำเร็จการศึกษาระดับปริญญาโท สาขาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2541 ปัจจุบันเป็นอาจารย์ประจำภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง