

วงจรขยายผลต่างทรานซิสเตอร์แบบซีมอสโดยใช้เทคนิค f_T ดับเบิ้ล
และการชดเชยด้วยตัวเก็บประจุ

A CMOS DIFFERENTIAL TRANSIMPEDANCE AMPLIFIER USING
 f_T DOUBLER AND COMPENSATION CAPACITOR

วัชรพล พงษ์पालิต
WACHARAPOL PONGPALIT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2561-3

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรรขยายผลต่างทรานอิมพีแดนซ์แบบซีมอสโดยใช้เทคนิค f_T ดับเบิ้ล
และการชดเชยด้วยตัวเก็บประจุ

A CMOS DIFFERENTIAL TRANSIMPEDANCE AMPLIFIER USING
 f_T DOUBLER AND COMPENSATION CAPACITOR

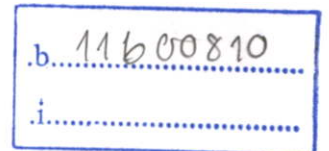


วัชรพล พงษ์पालิต

WACHARAPOL PONGPALIT

อ.พ.
๑๓๗๘๑
๒๕๔๙

เลขหมู่.....
เลขทะเบียน..... 61645
วัน,เดือน,ปี 19 ก.ค. 2549



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2549

ISBN 974-15-2561-3

**A CMOS DIFFERENTIAL TRANSIMPEDANCE AMPLIFIER USING
 f_T DOUBLER AND COMPENSATION CAPACITOR**

WACHARAPOL PONGPALIT

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRONIC ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2006

ISBN 974-15-2561-3

COPYRIGHT 2006

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	วงจรรขยายผลต่างทรานอิมพีแดนซ์แบบซิมอสโดยใช้เทคนิค f_T ดับเบิ้ลและการชดเชยด้วยตัวเก็บประจุ
นักศึกษา	นายวัชรพล พงษ์पालิต
รหัสนักศึกษา	45061136
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. วรากร เกษมสุวรรณ
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	ดร. กิตติพล ชิตสกุล

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ นำเสนอวงจรรขยายทรานอิมพีแดนซ์โดยใช้โครงสร้างวงจรรขยายผลต่างที่ใช้เทคนิค f_T ดับเบิ้ล และ เทคนิคการชดเชยด้วยตัวเก็บประจุ เป็นวงจรรขยายแบบรูปเปิด เทคนิคการป้อนกลับแบบ ขนาน - ขนาน ทำให้วงจรรขยายทรานอิมพีแดนซ์ที่ได้มีความต้านทานทางค้ำานอินพุตต่ำ แบนด์วิธสูง วงจรถูกออกแบบโดยใช้เทคโนโลยีซิมอสขนาด 0.5 ไมครอน ที่มีไฟเลี้ยงขนาด 2.5 โวลต์ พบว่าวงจรมีค่าพลังงานสูญเสียเท่ากับ 23 มิลลิวัตต์ มีอัตราขยายเท่ากับ 80 เดซิเบล แบนด์วิธของวงจรมีค่าเท่ากับ 1.7 GHz สัญญาณเอาต์พุตที่ได้มีขนาดเท่ากับ 400 mV_{pp} และ ขนาดสัญญาณรบกวนที่อินพุตมีค่าเท่ากับ 7.1 pA/ $\sqrt{\text{Hz}}$ วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมถูกออกแบบโดยใช้การป้อนกลับแบบลบซึ่งประกอบด้วยวงจรรอินทิเกรเตอร์และวงจรรขยายผลต่าง ประสิทธิภาพของวงจรมีได้รับการตรวจสอบโดยการจำลองการทำงานด้วยโปรแกรม HSPICE วงจรได้ถูกเลย์เอาต์ (Layout) ด้วยโปรแกรม LEDIT

Thesis Title	A CMOS DIFFERENTIAL TRANSIMPEDANCE AMPLIFIER USING f_T DOUBLER AND COMPENSATION CAPACITOR
Student	Mr. Wacharapol Pongpalit
Student ID.	45061136
Degree	Master of Engineering
Programme	Electronic Engineering
Year	2006
Thesis Advisor	Assoc. Prof. Dr. Varakorn Kasemsuwan
Thesis Co-Advisor	Dr. Kitiphol Chitsakul

ABSTRACT

This thesis proposes the design of a differential CMOS transimpedance amplifier. The open loop part of the circuit employs f_T doubler and capacitive compensation technique. The shunt-shunt feedback is used to reduce the input impedance and, at the same time, to increase the bandwidth of operation. The circuit is designed based on a 0.5 μm CMOS technology using the supply voltage of 2.5V. The power dissipation is 23 mW while the gain and bandwidth of operation are 80 dB and 1.7 GHz respectively. The output swing of the circuit is 400 mV_{p-p} and input referred noise is 7.1 pA/ $\sqrt{\text{Hz}}$. The noise from an environment is eliminated using the negative feedback network consist of integrator and differential amplifier. The performance of the circuit is verified using HSPICE and layout is done using LEDIT.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำและคำปรึกษาจากอาจารย์และบุคคลหลายท่านดังนี้

ขอกราบขอบพระคุณ ร.ศ. ดร. วรากร เกษมสุวรรณ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ และ ดร. กิตติพล ชิตสกุล ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม ผู้วิจัยรู้สึกทราบบ้างในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ขอกราบขอบพระคุณบิดา มารดา ญาติพี่น้อง และ นางสาวทัศนพิชา พัวพรพงศ์ สำหรับกำลังใจ และความสนับสนุนที่มีให้มาโดยตลอด

ขอกราบขอบพระคุณห้องคอมพิวเตอร์ภาควิชาอิเล็กทรอนิกส์ และเจ้าหน้าที่ สำหรับความช่วยเหลือในการสืบค้นข้อมูลในการทำวิจัย

ขอกราบขอบพระคุณสำนักหอสมุดกลาง ห้องสมุดคณะวิศวกรรมศาสตร์ และเจ้าหน้าที่ สำหรับแหล่งข้อมูลในการทำวิจัย

ขอกราบขอบพระคุณบัณฑิตวิทยาลัยที่ให้เงินสนับสนุนในการทำวิจัย

ขอกราบขอบพระคุณเพื่อน ๆ นักศึกษาทุกคนที่ช่วยเหลือให้คำแนะนำต่าง ๆ และช่วยตรวจสอบ แก้ไขข้อผิดพลาดต่าง ๆ จนสำเร็จสมบูรณ์ยิ่งขึ้น และยังให้กำลังใจต่อผู้วิจัยอย่างใกล้ชิดตลอดมา

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอบอบแด่ผู้มีพระคุณทุกท่าน

วัชรพล พงษ์पालิต

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญภาพ.....	VII
บทที่ 1 บทนำ.....	1
1.1 กล่าวนำ.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 แนวความคิดที่ใช้ในการวิจัย.....	2
1.3.1 แนวความคิดในการออกแบบวงจรขยายทรานซิสเตอร์.....	2
1.3.2 แนวความคิดในการออกแบบวงจรขยายทรานซิสเตอร์แบบมีวงจรกำจัด สัญญาณรบกวนที่เกิดจากภายนอก.....	3
1.4 ขอบเขตการวิจัย.....	3
1.5 รายละเอียดขั้นตอนการวิจัย.....	4
บทที่ 2 วงจรภาครับแสง.....	5
2.1 โครงสร้างระบบการติดต่อสื่อสารทางแสง.....	5
2.2 วงจรขยายในภาครับแสง.....	9
2.2.1 วงจรขยายแบบรูปเปิด (Open Loop).....	9
2.2.2 วงจรขยายแบบรูปปิด (Closed Loop).....	10
2.3 วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมที่เกิดจากการส่งข้อมูลแบบไร้สาย..	11
2.4 สรุป.....	13
บทที่ 3 วงจรขยายทรานซิสเตอร์ที่นำเสนอ.....	14
3.1 กล่าวนำ.....	14
3.2 วงจรขยายในขณะรูปเปิด.....	14
3.2.1 วงจรขยายภาคแรก.....	14
3.2.1.1 หลักการทำงานและการวิเคราะห์.....	14

สารบัญ (ต่อ)

	หน้า
3.2.1.2 สัญญาครบถ้วน.....	17
3.2.1.3 ผลการจำลองการทำงานของวงจรถายภาคแรก.....	19
3.2.2 วงจรถายภาคที่สอง.....	22
3.2.2.1 หลักการทำงานและการวิเคราะห์.....	22
3.2.2.2 สัญญาครบถ้วน.....	24
3.2.2.3 ผลการจำลองการทำงานของวงจรถายภาคที่สอง.....	25
3.2.3 วงจรสร้างสัญญาณอินพุต.....	29
3.2.3.1 หลักการทำงานและการวิเคราะห์.....	29
3.2.3.2 ผลการจำลองการทำงานของวงจรสร้างสัญญาณอินพุต.....	30
3.3 วงจรถายในขณะลูปปิด.....	33
3.3.1 การออกแบบวงจรถายลูปปิดและการวิเคราะห์.....	33
3.3.2 สัญญาครบถ้วน.....	39
3.3.3 ผลการจำลองการทำงาน.....	41
บทที่ 4 วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมที่เกิดจากการส่งข้อมูลแบบไร้สาย.....	47
4.1 หลักการทำงานและการวิเคราะห์.....	48
4.2 ผลการจำลองการทำงาน.....	52
บทที่ 5 บทสรุปผลการวิจัยและข้อเสนอแนะ.....	59
บรรณานุกรม.....	61
ภาคผนวก ก. การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุตของวงจรถายภาคแรก.....	63
ภาคผนวก ข. การวิเคราะห์วงจรมีอนสัญญาณขนาดเล็กของวงจรถายภาคที่สอง.....	66
ภาคผนวก ค. การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุตของวงจรถายภาคที่สอง.....	69
ภาคผนวก ง. การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุตของวงจรสร้างสัญญาณอินพุต.....	72
ภาคผนวก จ. บทความวิจัยที่ได้รับการพิจารณาตีพิมพ์ในวารสาร.....	74
ประวัติผู้เขียน.....	95

สารบัญตาราง

ตารางที่	หน้า
3.1 ขนาดของมอสทรานซิสเตอร์ที่ทำการออกแบบวงจรขยายภาคแรก.....	19
3.2 ผลจำลองการทำงานของวงจรขยายภาคแรก.....	20
3.3 ขนาดของมอสทรานซิสเตอร์ที่ทำการออกแบบวงจรขยายภาคที่สอง.....	26
3.4 ผลจำลองการทำงานของวงจรขยายภาคที่สอง.....	26
3.5 ขนาดของมอสทรานซิสเตอร์ที่ทำการออกแบบวงจรสร้างสัญญาณอินพุต.....	31
3.6 ผลจำลองการทำงานของวงจรสร้างสัญญาณอินพุต.....	31
3.7 ขนาดของมอสทรานซิสเตอร์ที่ทำการออกแบบวงจรกันชน (Buffer).....	41
3.8 ผลจำลองการทำงานของวงจรขยายทรานซิมพีแดนซ์เมื่อทำการต่อวงจรสร้างสัญญาณอินพุต.....	42
3.9 คุณสมบัติของวงจรทรานซิมพีแดนซ์ที่นำเสนอ และวงจรทรานซิมพีแดนซ์ที่นำเสนอมาก่อน.....	43
4.1 ขนาดของมอสทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรอินทิเกรเตอร์และวงจรขยายผลต่าง.....	52
4.2 ผลจำลองการทำงานของวงจรอินทิเกรเตอร์.....	53
4.3 ผลจำลองการทำงานของวงจรขยายทรานซิมพีแดนซ์แบบมีวงจรกำจัดสัญญาณรบกวน.....	53

สารบัญภาพ

รูปที่	หน้า
2.1 ระบบการติดต่อสื่อสารทางแสงแบบพื้นฐาน.....	5
2.2 โครงสร้างของระบบติดต่อสื่อสารทางแสง.....	6
2.3 ระบบติดต่อสื่อสารทางแสงที่ส่งข้อมูลหลายข้อมูลพร้อมกัน.....	6
2.4 ภาคส่งที่ประกอบด้วยเฟสล็อกกลุ๊ป (PLL) และ วงจรจัดเวลา (Retimer).....	7
2.5 ภาครับที่ประกอบด้วยวงจรถายแบบลิมิตติ้ง (Limiting Amplifier) และ วงจรตัดสินใจ (Decision Circuit).....	7
2.6 ระบบการติดต่อสื่อสารทางแสงที่มีส่วนกู้สัญญาณนาฬิกา.....	8
2.7 วงจรถายลูปเปิด.....	9
2.8 วงจรถายลูปปิด.....	10
2.9 วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมโดยใช้ตัวเก็บประจุ.....	12
2.10 วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมโดยใช้เทคนิคการป้อนกลับแบบแอกทีฟ.....	13
3.1(ก) ขนาดของสัญญาณรบกวนที่เกิดขึ้นในวงจรถายเมื่อทำการอ้างอิงไปที่เอาต์พุตของวงจรถายในแต่ละภาค $\left(\overline{v_{n,Avi}^2} \right)_{(i=1,2,\dots,x)}$	15
3.1(ข) ขนาดของสัญญาณรบกวนที่เกิดขึ้นในวงจรถายเมื่อทำการอ้างอิงไปที่อินพุตของวงจรถายภาคแรก $\left(\overline{v_{n,input}^2} \right)$	15
3.2 วงจรถายภาคแรก.....	16
3.3 แหล่งกำเนิดสัญญาณรบกวนในวงจรถายภาคแรก.....	18
3.4 ผลการตอบสนองทางความถี่ของวงจรถายภาคแรก.....	20
3.5 เฟสของวงจรถาย.....	21
3.6 ขนาดสัญญาณรบกวนที่อินพุต.....	21
3.7 วงจรถายภาคที่สอง.....	23
3.8 แหล่งกำเนิดสัญญาณรบกวนในวงจรถายภาคที่สอง.....	25
3.9 ผลการตอบสนองทางความถี่ของวงจรถายภาคที่สอง.....	27
3.10 เฟสของวงจรถาย.....	28
3.11 ขนาดของสัญญาณรบกวนที่อินพุต.....	28
3.12 วงจรสร้างสัญญาณอินพุต.....	30
3.13 สัญญาณกระแสพัลส์ที่ออกจากโฟโตไดโอด.....	32
3.14 สัญญาณกระแสพัลส์ที่ไหลเข้าสู่วงจรถายทรานซิมพีแดนซ์.....	32
3.15 โครงสร้างวงจรถายทรานซิมพีแดนซ์ที่นำเสนอ.....	33

สารบัญญภาพ (ต่อ)

รูปที่	หน้า
3.16 วงจรขยายทรานซิสเตอร์อิมพีแดนซ์.....	34
3.17 วงจรป้อนกลับสัญญาณที่ทำการออกแบบ.....	35
3.18 การเคลื่อนที่ของโพลตามเส้นทางเดินของราก (Root Locus) โดยสมมุติให้วงจรขณะเปิดมีโพลอยู่ 2 โพล.....	36
3.19(ก) แหล่งกำเนิดสัญญาณรบกวนของวงจรขยายแบบที่มีการป้อนกลับขนาน-ขนาน.....	40
3.19(ข) แหล่งกำเนิดสัญญาณรบกวนที่อินพุต.....	40
3.20 ผลการตอบสนองทางความถี่เมื่อใช้ตัวเก็บประจุ $C_{f1}(2)$ ขนาด 10 เฟรมโตฟาร์ด.....	43
3.21 ขนาดสัญญาณรบกวนที่อินพุตของวงจรขยายทรานซิสเตอร์อิมพีแดนซ์.....	44
3.22 การสวิงของสัญญาณที่เอาต์พุตในรูปของอายไดอะแกรม (Eye Diagram) ของวงจรขยายทรานซิสเตอร์อิมพีแดนซ์.....	44
3.23 วงจรขยายทรานซิสเตอร์อิมพีแดนซ์ที่ได้ทำการเลย์เอาต์ (Layout).....	45
3.24 ผลการตอบสนองทางความถี่ของวงจรขยายทรานซิสเตอร์อิมพีแดนซ์ที่ได้ทำการเลย์เอาต์.....	45
3.25 ขนาดสัญญาณรบกวนที่อินพุตของวงจรขยายทรานซิสเตอร์อิมพีแดนซ์ที่ได้ทำการเลย์เอาต์.....	46
3.26 การสวิงของสัญญาณที่เอาต์พุตในรูปของอายไดอะแกรม (Eye Diagram) ของวงจรขยายทรานซิสเตอร์อิมพีแดนซ์ที่ได้ทำการเลย์เอาต์.....	46
4.1 วงจรขยายและผลการตอบสนองทางเวลาเมื่อสัญญาณอินพุตมีทั้งสัญญาณรบกวน (I_{DC}) และสัญญาณข้อมูล (i_s).....	47
4.2 วงจรขยายทรานซิสเตอร์อิมพีแดนซ์แบบมีวงจรแก้ปัญหาสัญญาณรบกวนจากสภาพแวดล้อม.....	49
4.3 วงจรอินทิเกรเตอร์.....	50
4.4 วงจรเสมือนสัญญาณขนาดเล็ก (Small signal equivalent circuit) ของวงจรอินทิเกรเตอร์.....	51
4.5 ผลการตอบสนองทางความถี่ของวงจรอินทิเกรเตอร์.....	54
4.6 เฟสวงจรมินิเกรเตอร์.....	55
4.7 ผลการตอบสนองทางความถี่ของวงจรขยายทรานซิสเตอร์อิมพีแดนซ์แบบมีวงจรกำจัดสัญญาณรบกวนที่เกิดจากสภาพแวดล้อม.....	55
4.8 การสวิงสัญญาณที่เอาต์พุตของวงจรขยายทรานซิสเตอร์อิมพีแดนซ์แบบมีวงจรกำจัดสัญญาณรบกวนที่เกิดจากสภาพแวดล้อม.....	56
4.9 วงจรขยายทรานซิสเตอร์อิมพีแดนซ์แบบมีวงจรกำจัดสัญญาณรบกวนภายนอกที่ได้เลย์เอาต์.....	56
4.10 ผลการตอบสนองทางความถี่ของวงจรอินทิเกรเตอร์ที่ได้ทำการเลย์เอาต์ (Layout).....	57
4.11 เฟสวงจรมินิเกรเตอร์ที่ได้ทำการเลย์เอาต์ (Layout).....	57

สารบัญญภาพ (ต่อ)

รูปที่	หน้า
4.12 ผลการตอบสนองทางความถี่ของวงจรขยายทรานซิสเตอร์แบบมีวงจรกำจัดสัญญาณรบกวนภายนอกที่ได้เลย์เอาต์ (Layout).....	58
4.13 การสวิงสัญญาณที่เอาต์พุตของวงจรขยายทรานซิสเตอร์แบบมีวงจรกำจัดสัญญาณรบกวนที่เกิดจากภายนอกที่ได้เลย์เอาต์ (Layout).....	58

บทที่

บทนำ

1.1 กล่าวนำ

ปัจจุบันวิวัฒนาการความก้าวหน้าของข้อมูลข่าวสารได้เข้ามามีบทบาทสำคัญมากขึ้นในชีวิตประจำวัน ทำให้มีการพัฒนาระบบสื่อสารที่ซับซ้อนเพื่อรองรับกับความต้องการของตลาด เช่น ระบบฐานข้อมูล ระบบมัลติมีเดีย ระบบสื่อสารบางประเภทที่มีความซับซ้อนส่งผลทำให้ขนาดของข้อมูลมีปริมาณที่เพิ่มสูงขึ้น ดังนั้นการติดต่อสื่อสารทางแสงจึงเป็นทางเลือกหนึ่งที่ถูกนำมาใช้ในการรับส่งข้อมูลข่าวสาร โดยเฉพาะการติดต่อสื่อสารทางแสงที่ใช้ตัวกลางเป็นเส้นใยแก้วนำแสงเนื่องจาก คุณสมบัติของสายส่งทางแสงที่มีความสามารถในการรับส่งข้อมูลได้เร็วกว่าสายส่งตัวนำประเภทอื่น และ คลื่นแม่เหล็กไฟฟ้าไม่สามารถรบกวนได้ น้ำหนักเบา ขนาดเล็ก และ เส้นใยแก้วนำแสงเป็นฉนวนทำให้ไม่นำไฟฟ้าจึงปลอดภัยในการใช้งาน

ในระบบการติดต่อสื่อสารทางแสง วงจรขยายทรานซิมพีแคนซ์ที่อยู่ในภาครับแสงจะเป็นส่วนสำคัญและซับซ้อนที่สุดในการออกแบบเนื่องจากมีปัจจัยจำนวนมากเข้ามาเกี่ยวข้องพร้อมๆ กัน ปัจจัยเหล่านั้นได้แก่ สัญญาณรบกวน แบนด์วิธ อัตราขยาย ขนาดของแหล่งจ่ายไฟ ความเป็นทานอินพุท และ เอาท์พุท การสวิงของสัญญาณ ความเป็นเชิงเส้น และ พลังงานที่สูญเสียในวงจร ซึ่งจากที่ได้กล่าวมาพบว่าวงจรขยายทรานซิมพีแคนซ์ที่อยู่ในภาครับแสงมีความสำคัญและมีประโยชน์อย่างมากสำหรับการออกแบบระบบการติดต่อสื่อสารทางแสง

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

- พัฒนาทักษะความรู้ และ ความเข้าใจในการออกแบบวงจรรวม
- วิเคราะห์และหากระบวนการเพื่อให้วงจรมีคุณสมบัติที่ดี
- นำเสนอหลักการและแนวความคิดในการออกแบบวงจรขยายที่อยู่ในภาครับแสงแบบ ซิมอสที่มีแบนด์วิธกว้าง อัตราขยายสูง และ สัญญาณรบกวนต่ำ
- นำเสนอหลักการและแนวความคิดในการนำวงจรขยายที่นำเสนอมาประยุกต์ใช้งานเป็น วงจรขยายในภาครับแสงที่มีตัวกลางเป็นอากาศโดยมีการกำจัดสัญญาณรบกวนที่เกิดจากสภาพแวดล้อม

1.3 แนวความคิดที่ใช้ในการวิจัย

งานวิทยานิพนธ์นี้ประกอบด้วย 2 ส่วนได้แก่ ส่วนที่หนึ่งการวิเคราะห์ และการออกแบบวงจรขยายที่อยู่ในภาครับแสงให้มีแบนด์วิธกว้าง อัตราขยายสูง และ สัญญาณรบกวนต่ำ ส่วนที่สองเป็นการนำวงจรขยายไปประยุกต์ใช้กับภาครับแสงที่มีตัวกลางเป็นอากาศ โดยมีแนวความคิดในการทำวิจัยดังนี้

1.3.1 แนวความคิดในการออกแบบวงจรขยายทรานซิมพีแดนซ์

วัตถุประสงค์หลักในการนำวงจรขยายทรานซิมพีแดนซ์ไปใช้งานคือ ใช้ขยายสัญญาณที่อยู่ในรูปของกระแสให้ออกมาเป็นแรงดันก่อนส่งไปเข้าวงจรขยายแบบลิมิตติ้ง (Limiting Amplifier) โดยสัญญาณกระแสที่เกิดขึ้นจากการใช้อุปกรณ์ทรานซิมพีแดนซ์ เช่น โฟโตไดโอด พินไดโอด และ อวาแลนซ์โฟโตไดโอด ซึ่งทำหน้าที่แปลงสัญญาณแสงที่ส่งมาจากเส้นใยแก้วนำแสงให้อยู่ในรูปของกระแสก่อนส่งเข้าวงจรขยายทรานซิมพีแดนซ์ การออกแบบวงจรให้มีคุณสมบัติที่ควรออกแบบให้วงจรมีแบนด์วิธกว้าง อัตราขยายสูง สัญญาณรบกวนต่ำ ในการออกแบบวงจรขยายที่มีอินพุตเป็นกระแส และ เอาท์พุตเป็นแรงดัน เพื่อให้วงจรขยายมีความสามารถในการรับ และ ส่งถ่ายกำลังงานได้สูงควรออกแบบให้อินพุตของวงจรมีค่าความต้านทานต่ำเพื่อให้วงจรสามารถรับกำลังงานได้สูงสุด และเพื่อให้วงจรขยายสามารถส่งกำลังงานได้สูงสุดสู่วงจรภาคถัดไป ภาคเอาท์พุตจึงควรออกแบบให้มีค่าความต้านทานต่ำ

แนวความคิดในการออกแบบวงจรขยายเพื่อให้ได้แบนด์วิธกว้าง อัตราขยายสูง และ สัญญาณรบกวนต่ำ ควรพิจารณาส่วนประกอบสำคัญ 2 ส่วนคือ ส่วนที่เป็นวงจรขยายในขณะลูปเปิดกับส่วนที่เป็นวงจรขยายในขณะลูปปิด ในส่วนของวงจรมหัพหณะลูปเปิดวิทยานิพนธ์ฉบับนี้ใช้เทคนิคการต่อแบบแคสโคด (Cascode), f_T ดับเบิล (f_T Doubler) และ การชดเชยตัวเก็บประจุ (Capacitive Compensation) มาช่วยออกแบบให้ตำแหน่งโพลที่เกิดขึ้นในวงจรมหัพหณะลูปเปิดอยู่ทางฝั่งซ้ายและอยู่ไกลจากจุดเริ่ม (origin) ซึ่งช่วยให้แบนด์วิธของวงจรเพิ่มมากขึ้นโดยไม่ทำให้อัตราขยายของวงจรลดลง การเพิ่มอัตราขยายในวงจรมหัพหณะลูปเปิดใช้เทคนิคการชดเชยกระแส (Feed current) เพื่อให้วงจรสามารถรับอัตราขยายได้อย่างอิสระโดยที่ไม่ส่งผลกระทบต่อโมสทรานซิสเตอร์ทำงานในย่านเชิงเส้น (Linear) หรือ คัทออฟ (Cut off) การลดสัญญาณรบกวนที่เกิดขึ้นภายในวงจรอาศัยการออกแบบอัตราขยายในวงจรมหัพหณะแรกให้มีค่าสูง เพื่อลดขนาดสัญญาณรบกวนที่เกิดจากอุปกรณ์มอสทรานซิสเตอร์ และ ตัวต้านทาน ที่อยู่ในภาคถัดไปของวงจร การออกแบบชดเชยป้อนกลับสัญญาณให้กับวงจรมหัพหณะลูปปิดอาศัยเทคนิคการป้อนกลับแบบมีซีโรเป็นตัวชดเชยความถี่ (Feedback-Zero Compensation) โดยซีโรดังกล่าวจะทำให้แบนด์วิธของวงจรมีค่าสูงขึ้น

จากแนวความคิดดังกล่าวสามารถสรุปคุณสมบัติที่สำคัญของวงจรรขยายทรานซิมพีแดนซ์ได้ดังนี้

- ความต้านทานทางด้านอินพุตและเอาต์พุตต่ำ
- แบนด์วิธกว้าง
- อัตราขยายสูง
- สัญญาณรบกวนต่ำ

1.3.2 แนวความคิดในการออกแบบวงจรรขยายทรานซิมพีแดนซ์แบบมีวงจรถ้าจัดสัญญาณรบกวนที่เกิดจากสภาพแวดล้อม

วัตถุประสงค์หลักในการออกแบบวงจรรขยายที่มีวงจรถ้าจัดสัญญาณรบกวนคือ ใช้วงจรถ้าจัดเป็นส่วนของภาครับแสงในอุปกรณ์ประเภท รีโมต ทรอสท์ท์ และ วิทยู โดยตัวกลางที่แสงเคลื่อนที่ผ่านเป็นอากาศ สัญญาณรบกวนที่เกิดขึ้นในอุปกรณ์ภาครับแสงประเภทนี้อาจมาจากแสงอาทิตย์ หลอดฟลูออเรสเซนต์ เมื่อรวมเข้ากับสัญญาณข้อมูลส่งผลทำให้ระดับดิซีที่เอาต์พุตมีการเปลี่ยนแปลงไม่คงที่ ดังนั้นในการออกแบบจะทำการสร้างวงจรถ้าทำหน้าที่ถ้าจัดสัญญาณรบกวนเพิ่มเข้าไปในวงจรถ้ารับแสงเพื่อกำจัดสัญญาณรบกวนที่เกิดขึ้นก่อนเข้าวงจรรขยายทรานซิมพีแดนซ์

1.4 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรรขยายทรานซิมพีแดนซ์ โดยใช้เทคโนโลยี ซีมอส 0.5 ไมครอน วงจรถ้ารับแสงสามารถทำงานภายใต้แหล่งจ่ายแรงดันไฟเลี้ยง 2.5 โวลต์โดยมีอัตราขยายวงจรถ้า 80 เดซิเบล โหลดของวงจรถ้าถูกแทนด้วยตัวเก็บประจุ วงจรถ้ารับแสงมีแบนด์วิธกว้างอยู่ในช่วงกิกะเฮิรท์ และ สัญญาณรบกวนที่เกิดจากตัวอุปกรณ์ภายในวงจรถ้า หลังจากนั้นนำวงจรรขยายทรานซิมพีแดนซ์ที่นำเสนอมาประยุกต์ใช้งานร่วมกับวงจรถ้าจัดสัญญาณรบกวนที่เกิดจากสภาพแวดล้อม เพื่อนำไปใช้งานเป็นวงจรรขยายในภาครับแสงสำหรับระบบการติดต่อดูสารแบบไร้สาย การออกแบบจะทำการจำลอง และ วิเคราะห์การทำงานของวงจรถ้าด้วยโปรแกรม HSPICE โดยใช้โมเดลพารามิเตอร์ระดับ 49 และทำการเลย์เอาต์ (Layout) วงจรถ้าโดยใช้โปรแกรม LEDIT

1.5 รายละเอียดขั้นตอนการวิจัย

เนื่องจากในวิทยานิพนธ์ฉบับนี้เป็นการออกแบบวงจรรขยายทรานซิมพีแดนซ์ที่ใช้ในอุปกรณ์ภาครับแสง ขั้นตอนแรกจึงจำเป็นต้องศึกษาถึงส่วนประกอบต่างๆในโครงสร้างภาครับแสง ขั้นตอนต่อไปเป็นการศึกษาถึงคุณสมบัติที่สำคัญในการออกแบบวงจรรขยาย โดยเริ่มจากการศึกษาวิธีการเพิ่มแบนด์วิธแบบต่างๆที่เหมาะสมกับการใช้งาน โดยยังคงให้อัตราขยายของวงจรถ้า

ที่สูง ศึกษาการลดผลของความต้านทานทางด้านอินพุทและเอาต์พุทของวงจรเนื่องจากอินพุทของวงจรเป็นกระแส และ เอาต์พุทเป็นแรงดัน พร้อมทั้งศึกษาคุณสมบัติของสัญญาณรบกวนที่เกิดภายในอุปกรณ์ประเภทมอสทรานซิสเตอร์ และ ตัวต้านทาน เมื่อได้เงื่อนไขของการออกแบบครบแล้วจึงนำเอาส่วนประกอบของวงจรย่อยต่างๆมารวมกันเป็นวงจรขยายทรานอิมพีแดนซ์โดยทำการออกแบบวงจรให้ตรงกับเงื่อนไขที่ได้กำหนดไว้ในตอนต้น จากนั้นทำการเลย์เอาต์วงจรที่ได้ทำการออกแบบพร้อมกับทดลองวัดผลเปรียบเทียบ ในการประยุกต์ใช้งานสำหรับการสื่อสารแบบไร้สายจะนำวงจรขยายทรานอิมพีแดนซ์ต่อรวมกับชุดวงจรกำจัดสัญญาณรบกวน จากนั้นทำการเลย์เอาต์และวัดผลเปรียบเทียบการทำงานของวงจร ท้ายสุดทำการสรุปการทำงานของวงจรขยายทรานอิมพีแดนซ์ที่ได้ทำการออกแบบและศึกษาถึงแนวทางในการพัฒนาต่อไป

วิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 5 บท และ 5 ภาคผนวก โดยแต่ละบทมีรายละเอียดดังนี้

บทที่ 1 กล่าวถึงวัตถุประสงค์ แนวคิดที่ใช้ทำวิจัย ขอบเขตการวิจัย และ รายละเอียดขั้นตอนการวิจัย

บทที่ 2 กล่าวถึงโครงสร้างภาครับแสง วงจรขยายทรานอิมพีแดนซ์แบบเดิม และ วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมที่เกิดจากการส่งข้อมูลแบบไร้สาย

บทที่ 3 กล่าวถึงหลักการต่างๆ ที่ใช้เป็นแนวทางในการออกแบบวงจรขยายทรานอิมพีแดนซ์ในแต่ละภาคให้ได้แบนด์วิธกว้าง อัตราขยายสูง และมีสัญญาณรบกวนต่ำ ภายใต้แหล่งจ่ายไฟเลี้ยง 2.5 โวลต์ ทำการเลย์เอาต์วงจรพร้อมทั้งวัดและเปรียบเทียบผลที่ได้จากการจำลองการทำงานกับผลของเลย์เอาต์

บทที่ 4 กล่าวถึงหลักการต่างๆ ที่ใช้เป็นแนวทางในการออกแบบวงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมที่เกิดจากการส่งข้อมูลแบบไร้สาย จากนั้นทำการเลย์เอาต์วงจรพร้อมทั้งวัดผลเปรียบเทียบที่ได้จากการจำลองการทำงานกับผลของเลย์เอาต์

บทที่ 5 กล่าวสรุปผลงานที่ได้นำเสนอในวิทยานิพนธ์นี้ และ แนวทางในการทำวิจัยต่อไป

ภาคผนวก ก การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุทของวงจรขยายภาคแรก

ภาคผนวก ข การวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กของวงจรขยายภาคที่สอง

ภาคผนวก ค การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุทของวงจรขยายภาคที่สอง

ภาคผนวก ง การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุทของวงจรสร้างสัญญาณอินพุท

ภาคผนวก จ บทความวิจัยที่ได้รับการพิจารณาตีพิมพ์ในวารสาร

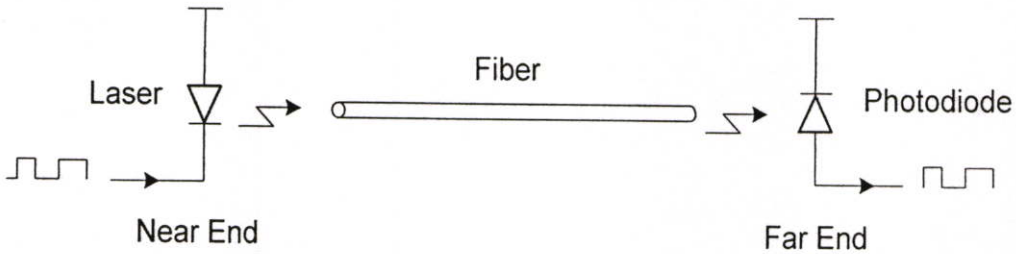
บทที่ 2

วงจรรักษารับแสง

2.1 โครงสร้างระบบการติดต่อสื่อสารทางแสง

ระบบการติดต่อสื่อสารทางแสงถูกออกแบบและพัฒนาขึ้น โดยมีเป้าหมายคือต้องการส่งข้อมูลในปริมาณที่สูง และ ให้ได้ระยะทางไกลเพื่อรองรับกับปริมาณข้อมูลที่เพิ่มขึ้นอย่างต่อเนื่อง ตัวอย่างเช่น ระบบโทรศัพท์ในยุโรปกับสหรัฐอเมริกาได้นำระบบการติดต่อสื่อสารทางแสงมาทำการเชื่อมต่อโดยผ่านทางเครือข่ายเส้นใยแก้วนำแสงข้ามมหาสมุทรแอตแลนติกเป็นต้น

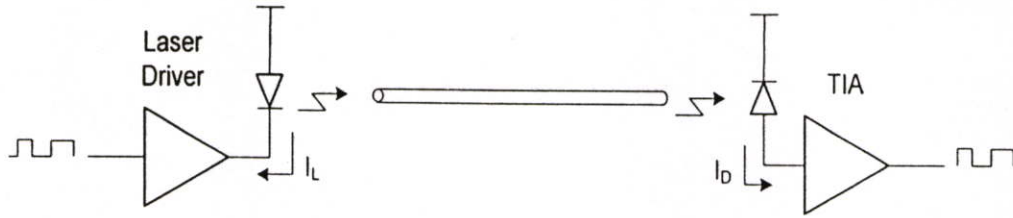
รูปที่ 2.1 แสดงระบบการติดต่อสื่อสารทางแสงแบบพื้นฐานซึ่งประกอบด้วย 3 ส่วน อันได้แก่ ส่วนแรกเป็นภาคส่งสัญญาณแสง โดยปกติแล้วภาคส่งจะใช้เลเซอร์ไดโอด (Laser Diode) ทำหน้าที่แปลงสัญญาณข้อมูลไฟฟ้าให้อยู่ในรูปของสัญญาณแสง ส่วนที่สองได้แก่ เส้นใยแก้วนำแสง (Optical Fiber) ซึ่งทำหน้าที่เป็นตัวนำสัญญาณแสงที่ได้มาจากภาคส่งไปยังภาครับ ส่วนสุดท้ายได้แก่ภาครับสัญญาณแสงซึ่งประกอบด้วยตัวตรวจจับแสง (Photodiode) ทำหน้าที่แปลงสัญญาณแสงจากเส้นใยแก้วนำแสงให้อยู่ในรูปของสัญญาณไฟฟ้าเพื่อนำไปประมวลผลต่อไป



รูปที่ 2.1 ระบบการติดต่อสื่อสารทางแสงแบบพื้นฐาน[1]

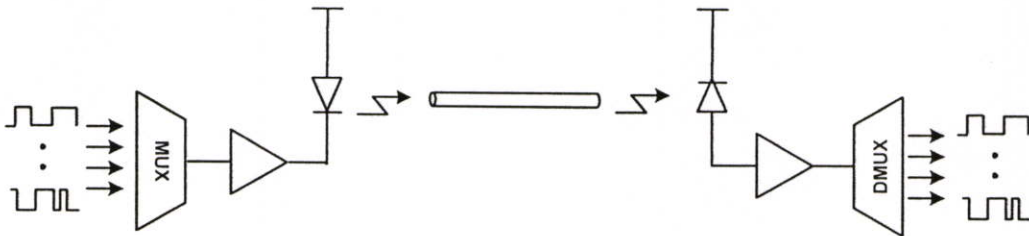
เนื่องจากในการใช้งาน เส้นใยแก้วนำแสงมีความยาวมาก ประกอบกับคุณภาพของเส้นใยแก้วที่จำกัด ทำให้ความเข้มของสัญญาณแสงเมื่อเดินทางไปถึงภาครับถูกลดทอนลงอย่างมาก เพื่อแก้ปัญหานี้ การออกแบบระบบการติดต่อสื่อสารทางแสงควรออกแบบให้อุปกรณ์ภาคส่งมีสัญญาณแสงที่มีความเข้มหรือกำลังงานที่เพียงพอ ในขณะที่ตัวรับแสงควรมีความไวในการตอบสนองต่อสัญญาณแสงที่ได้รับ สัญญาณแสงที่ได้จะถูกนำมาแปลงเป็นสัญญาณไฟฟ้าและถูกขยายต่อไปโดยวงจรรขยายทรานซิมพีแดนซ์ (Transimpedance Amplifier หรือ Z-amplifier) วงจรรขยายทรานซิมพีแดนซ์ที่ดีควรมีแบนด์วิธกว้าง อัตราขยายสูง และ สัญญาณรบกวนต่ำ

รูปที่ 2.2 แสดงโครงสร้างของระบบติดต่อสื่อสารทางแสงดังกล่าว



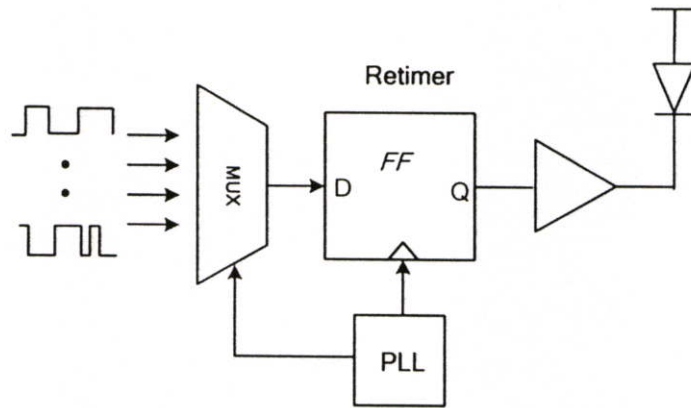
รูปที่ 2.2 โครงสร้างของระบบติดต่อสื่อสารทางแสง[1]

การส่งข้อมูลดังแสดงในรูปที่ 2.2 เป็นการส่งข้อมูลแบบอนุกรม ซึ่งโดยปกติแล้วความเร็วในการส่งข้อมูลมีค่าสูงมาก ตัวอย่างเช่น ความเร็วของการส่งข้อมูลอาจมีค่า 10 กิกะบิตต่อวินาที[2-3] ความเร็วดังกล่าวมีค่ามากพอที่ใช้ส่งข้อมูลจำนวนหลายข้อมูลพร้อมๆกัน รูปที่ 2.3 แสดงโครงสร้างของระบบติดต่อสื่อสารทางแสงที่ได้ใช้วงจรมัลติเพล็กซ์เซอร์ (Multiplexer หรือ MUX) ทำหน้าที่แปลงข้อมูลแบบขนานที่มีจำนวนข้อมูลหลายข้อมูล ให้อยู่ในรูปแบบอนุกรม แล้วจึงส่งข้อมูลที่ได้ผ่านเส้นใยแก้วนำแสง ในทำนองเดียวกันข้อมูลแบบอนุกรมที่รับได้จากภาครับแสงจะถูกแปลงจากข้อมูลแบบอนุกรมกลับไปเป็นข้อมูลแบบขนานดั้งเดิม โดยใช้วงจรมัลติเพล็กซ์เซอร์ (Demultiplexer หรือ DMUX)



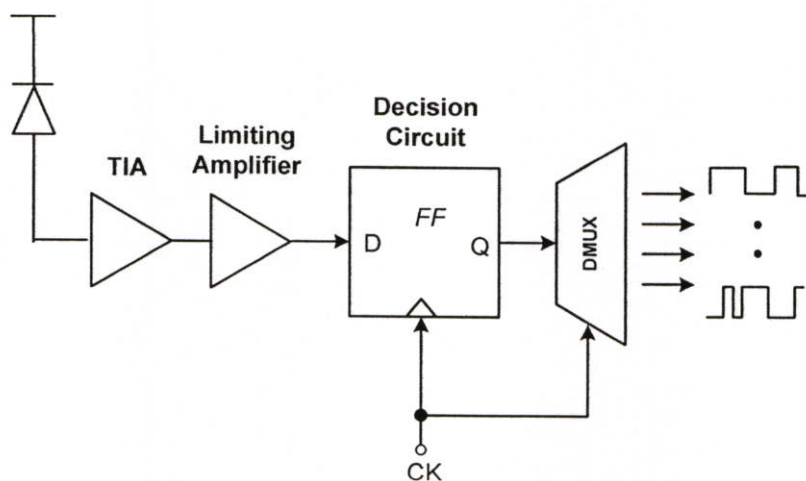
รูปที่ 2.3 ระบบติดต่อสื่อสารทางแสงที่ส่งข้อมูลหลายข้อมูลพร้อมๆกัน[1]

ในทางปฏิบัติ ภาคส่งในรูปที่ 2.3 จำเป็นต้องใช้สัญญาณนาฬิกาที่มีความแม่นยำเพื่อใช้ในการทำงานของวงจรมัลติเพล็กซ์เซอร์ในภาคส่ง ดังนั้นในทางปฏิบัติจึงอาศัยเฟสล็อกลูป (PLL) มาสร้างเป็นวงจรถ่ายนาฬิกาสัญญาณนาฬิกา ดังแสดงดังรูปที่ 2.4 ในขณะที่เดียวกันสัญญาณเอาต์พุตที่ได้จากวงจรมัลติเพล็กซ์เซอร์อาจมีความไม่สมบูรณ์ เนื่องจากการเลื่อนของขอบสัญญาณ หรือ จิตเต้อ (Jitter) และ สัญญาณรบกวนอินเตอร์ซิมโบล (Intersymbol interference, ISI) ดังนั้น ข้อมูลที่ออกจากวงจรมัลติเพล็กซ์เซอร์ จะถูกส่งผ่านไปยังวงจรถัดเวลา (Retimer) เพื่อทำการปรับช่วงเวลาของข้อมูลให้ตรงกับข้อมูลก่อนเข้าวงจรมัลติเพล็กซ์เซอร์ แล้วจึงส่งข้อมูลที่เข้าสู่วงจรขับสัญญาณแสง ดังแสดงในรูปที่ 2.4



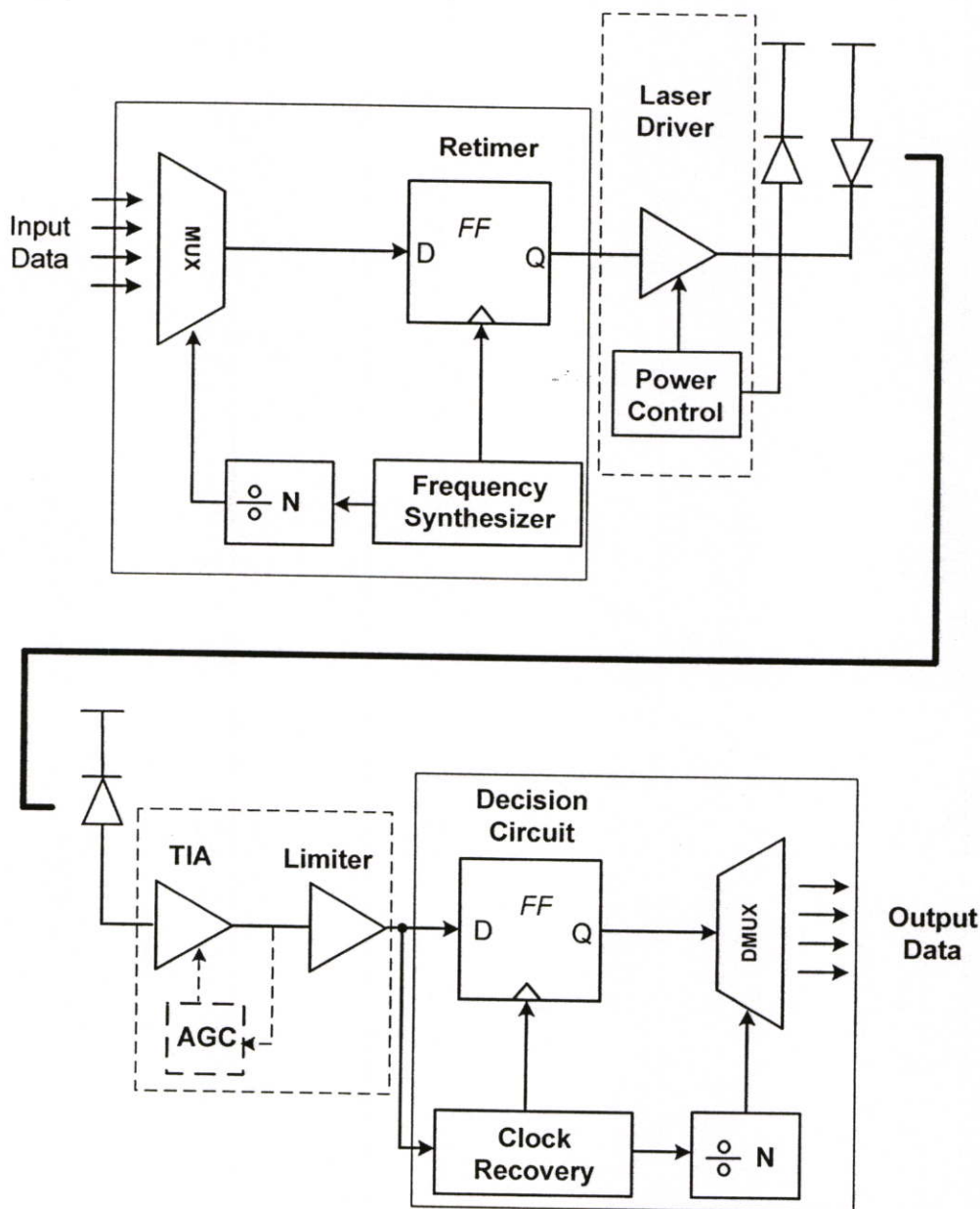
รูปที่ 2.4 ภาคส่งที่ประกอบด้วยเฟสล็อกกลูป (PLL) และ วงจรจัดเวลา (Retimer)[1]

สัญญาณที่ได้จากวงจรขยายทรานซิมพีแดนซ์ที่ภาครับอาจมีขนาดไม่ใหญ่พอ จนทำให้ไม่สามารถแบ่งระดับลอจิกได้ ในทางปฏิบัติจึงมีการขยายสัญญาณอีกครั้งโดยอาศัยวงจขยายแบบลิมิตติ้ง (Limiting Amplifier) ดังแสดงดังรูปที่ 2.5 อย่างไรก็ตามสัญญาณที่ออกจากวงจรขยายลิมิตติ้งจะประกอบด้วยสัญญาณรบกวน (Noise) กับสัญญาณข้อมูล เพื่อให้การประมวลสัญญาณเป็นไปอย่างถูกต้องจึงต้องใช้ฟลิปฟลอปซึ่งทำหน้าที่เป็นวงจรตัดสินใจ (Decision Circuit) ต่อเชื่อมระหว่างวงจขยายแบบลิมิตติ้ง กับ วงจรดีมัลติเพล็กซ์เซอร์ โดยวงจรฟลิปฟลอปจะให้สัญญาณเอาท์พุทเป็นสัญญาณดิจิทัลเพื่อนำไปประมวลผลต่อไป



รูปที่ 2.5 ภาครับที่ประกอบด้วยวงจขยายแบบลิมิตติ้ง (Limiting Amplifier) และ วงจรตัดสินใจ (Decision Circuit)[1]

วงจรภาครับแสงในรูปที่ 2.5 จำเป็นต้องมีแหล่งกำเนิดสัญญาณนาฬิกาเพื่อป้อนให้กับ วงจรตัดสินใจ (Decision Circuit) และวงจรมัลติเพล็กซ์เซอร์ เพื่อให้การรับสัญญาณเป็นไปอย่าง ถูกต้อง สัญญาณนาฬิกาจำเป็นต้องเหมือนกับสัญญาณนาฬิกาที่ถูกสร้างขึ้นในภาคส่ง ดังนั้นที่ ภาครับแสงนี้จึงจำเป็นต้องสร้างวงจรที่ทำหน้าที่กู้สัญญาณนาฬิกา (Clock Recovery Circuit) เพื่อ ป้อนให้กับวงจรตัดสินใจ (Decision Circuit) และวงจรมัลติเพล็กซ์เซอร์ ดังแสดงดังรูปที่ 2.6



รูปที่ 2.6 ระบบการติดต่อสื่อสารทางแสงที่มีส่วนกู้สัญญาณนาฬิกา[1]

2.2 วงจรขยายในภาครับแสง

วงจรขยายเป็นส่วนประกอบหนึ่งในวงจรภาครับแสงซึ่งต่อถัดจากโฟโตไดโอด วงจรขยายในส่วนนี้ทำหน้าที่แปลงสัญญาณกระแสให้ออกมาอยู่ในรูปของแรงดัน อัตราขยายของวงจร (Z_T) ในภาครับแสงมีค่าเท่ากับ $Z_T = \partial V_{out} / \partial I_{in}$ โดยปกติแล้ววงจรขยายในภาครับแสงมีความสำคัญมากที่สุดวงจรหนึ่ง ดังนั้นการออกแบบวงจรจึงต้องคำนึงถึงปัจจัยต่างๆ อันได้แก่ สัญญาณรบกวน แบนด์วิธ อัตราขยาย แหล่งจ่ายไฟตรง และ พลังงานสูญเสีย

การออกแบบวงจรดังกล่าว สามารถแบ่งได้เป็น 2 วิธีคือ วงจรขยายแบบลูปเปิด (Open Loop) และวงจรขยายแบบลูปปิด (Closed Loop)

2.2.1 วงจรขยายแบบลูปเปิด (Open Loop)

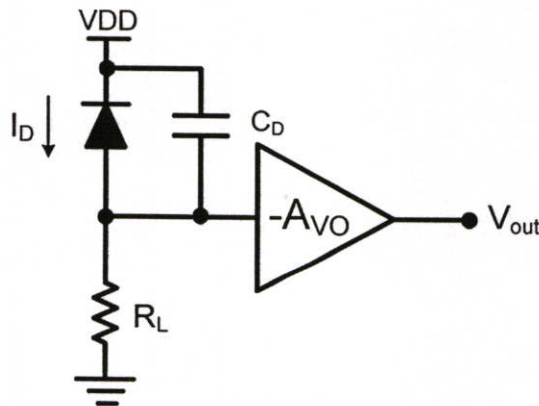
การออกแบบวงจรขยายแบบลูปเปิดสามารถทำได้โดยการต่อตัวต้านทานดังรูปที่ 2.7 โฟโตไดโอดถูกนำมาต่อเข้ากับโหนดตัวต้านทาน (R_L) และ C_D คือตัวเก็บประจุแฝงของโฟโตไดโอด สัญญาณกระแสที่สร้างโดยโฟโตไดโอดจะถูกส่งผ่านไปยังตัวต้านทานเพื่อแปลงสัญญาณให้อยู่ในรูปของแรงดันก่อนส่งเข้าภาคขยาย (A_{VO}) การเลือกขนาดตัวต้านทาน (R_L) มีความสำคัญมากเพราะเป็นตัวกำหนดความถี่ของวงจรและขนาดสัญญาณรบกวนที่เกิดขึ้น

เมื่อสมมติให้แบนด์วิธของภาคขยาย (A_{VO}) มีค่าสูงมากจะได้ว่าแบนด์วิธและขนาดสัญญาณรบกวนของวงจรในรูปที่ 2.7 มีค่าเท่ากับ

$$f_{-3dB} = 1/(2\pi R_L C_D) \quad (2.1)$$

$$\overline{i_{eq}^2} = (4kT / R_L) + \overline{i_{n,Avo}^2} \quad (2.2)$$

โดยที่ k คือ ค่าคงที่โบลมานท์ (Boltzman Constant) มีค่าเท่ากับ $1.38 \times 10^{-23} \text{ JK}^{-1}$ T คืออุณหภูมิมีหน่วยเป็นเคลวิน และ $\overline{i_{n,Avo}^2}$ คือ ขนาดของสัญญาณรบกวนที่อินพุทของภาคขยาย (A_{VO})



รูปที่ 2.7 วงจรขยายลูปเปิด

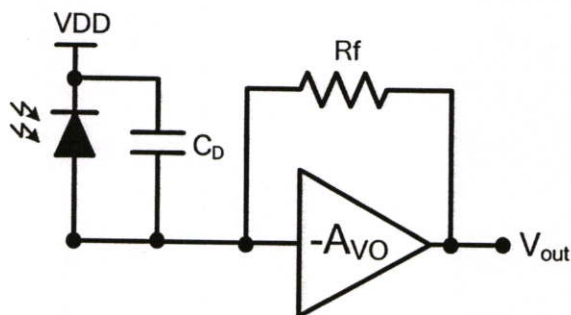
จากสมการที่ (2.1) และ (2.2) นำไปสู่ทางเลือกในการออกแบบตัวต้านทาน R_L ได้สองแนวทางคือ การออกแบบตัวต้านทาน R_L ให้มีค่าต่ำ[4] ทำให้วงจรมีแบนด์วิธสูง อย่างไรก็ตามการออกแบบวงจรด้วยวิธีนี้มีข้อเสียคือ ขนาดสัญญาณรบกวนที่เกิดจากตัวต้านทาน R_L จะมีขนาดโต

ส่วนแนวทางที่สองคือ การออกแบบตัวต้านทาน R_L ให้มีค่าสูง[5-7] วงจรที่ได้มีสัญญาณรบกวนต่ำและมีการตอบสนองที่ดี (High Sensitivity) อย่างไรก็ตามการออกแบบวงจรด้วยวิธีนี้มีข้อเสียคือ แบนด์วิธและช่วงการทำงาน (Dynamic Range) ของวงจรมีค่าไม่สูงนัก ดังนั้นวงจรขยายรูปเปิดจึงไม่สามารถออกแบบให้ได้แบนด์วิธที่กว้างและสัญญาณรบกวนต่ำพร้อมกัน

2.2.2 วงจรขยายแบบรูปปิด (Closed Loop)

ในปัจจุบัน การออกแบบวงจรขยายทางแสงแบบรูปปิดเป็นที่นิยมใช้กันมาก เนื่องจากวงจรสามารถแก้ปัญหาแบนด์วิธและสัญญาณรบกวนที่เกิดขึ้นในวงจรขยายรูปเปิดได้ ดังจะกล่าวต่อไป

รูปที่ 2.8 แสดงวงจรขยายแบบรูปปิด การออกแบบวงจรขยายทรานซิสเตอร์ที่มีอินพุตเป็นกระแสและเอาต์พุตเป็นแรงดันให้มีคุณสมบัติที่ดีสามารถทำได้โดยการออกแบบให้อินพุตและเอาต์พุตอิมพีแดนซ์ของวงจรมีค่าต่ำเพื่อให้กระแสที่ได้จากโฟโตไดโอดสามารถไหลผ่านเข้าวงจรขยาย และในขณะเดียวกันแรงดันที่ได้จากวงจรขยายสามารถส่งผ่านไปยังวงจรภาคถัดไปได้ อย่างเต็มที่ จากรูปที่ 2.8 ตัวต้านทาน R_f ทำหน้าที่ป้อนกลับสัญญาณในลักษณะขนาน-ขนาน (Shunt-Shunt) ส่งผลให้อินพุตและเอาต์พุตอิมพีแดนซ์ของวงจรมีค่าต่ำและมีค่าเท่ากับ $Z_{in}/(1+A_{VO}\beta)$ และ $Z_{out}/(1+A_{VO}\beta)$ ตามลำดับ โดยที่ Z_{in} และ Z_{out} คือ อินพุตและเอาต์พุตอิมพีแดนซ์ของวงจรขยายในขณะรูปเปิด A_{VO} คือ อัตราขยายวงจรรูปเปิด และ β คืออัตราขยายวงจรของชุดป้อนกลับ มีค่าเท่ากับ $1/R_f$ จากทฤษฎีของการป้อนกลับแบบลบ แบนด์-วิธของวงจรเมื่อทำการต่อแบบรูปปิดมีค่าเท่ากับ $(1+A_{VO}\beta)\omega_o$ โดยที่ ω_o คือ โพลหลักของวงจรขยายเมื่อทำการต่อในขณะรูปเปิด



รูปที่ 2.8 วงจรขยายรูปปิด

ในขณะที่เดียวกันสัญญาณรบกวนที่เกิดขึ้นในวงจรรขยายมีค่าเท่ากับ[8]

$$\overline{i_{eq}^2} = \overline{i_{ia}^2} + \frac{\overline{v_{ia}^2}}{R_f} + \overline{i_{Rf}^2} \quad (2.3)$$

โดยที่ $\overline{i_{ia}^2}$ และ $\overline{v_{ia}^2}$ คือ สัญญาณรบกวนกระแสและแรงดันของวงจรรขยายในบล็อก A_{VO} และ $\overline{i_{Rf}^2}$ คือ ขนาดสัญญาณรบกวนที่เกิดจากตัวต้านทาน R_f

จากสมการที่ (2.3) จะเห็นได้ว่าขนาดสัญญาณรบกวนที่เกิดขึ้นสามารถออกแบบให้มีขนาดเล็กลงได้โดยการเพิ่มขนาด R_f และไม่ทำให้แบนด์วิธของวงจรถดลงมาก อย่างเช่นในกรณีของวงจรรขยายรูปเปิด

2.3 วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมที่เกิดจากการส่งข้อมูลแบบไร้สาย

การออกแบบวงจรรขยายในภาครับแสงควรออกแบบให้สามารถใช้งานได้ในสภาวะแวดล้อมทั่วไป กล่าวคือ วงจรควรสามารถแยกรับสัญญาณข้อมูลที่ปนมากับสัญญาณรบกวนจากสภาพแวดล้อม สัญญาณรบกวนที่ปนเข้ามาส่งผลให้โฟโตไดโอดในวงจรภาครับแสงสร้างสัญญาณรบกวนแบบช็อต (Shot Noise) และ ยังทำให้กระแสที่ออกจากโฟโตไดโอดมีขนาดที่เพิ่มขึ้น ผลกระทบที่เกิดขึ้นคือ วงจรภาครับแสงไม่สามารถแปลงสัญญาณข้อมูลในรูปของแสงให้อยู่ในรูปของสัญญาณดิจิทัลได้อย่างถูกต้อง สัญญาณรบกวนที่เกิดขึ้นจากโฟโตไดโอดเมื่อมีสัญญาณรบกวนจากสภาพแวดล้อมปนเข้ามาสามารถคำนวณหาได้จากสมการ

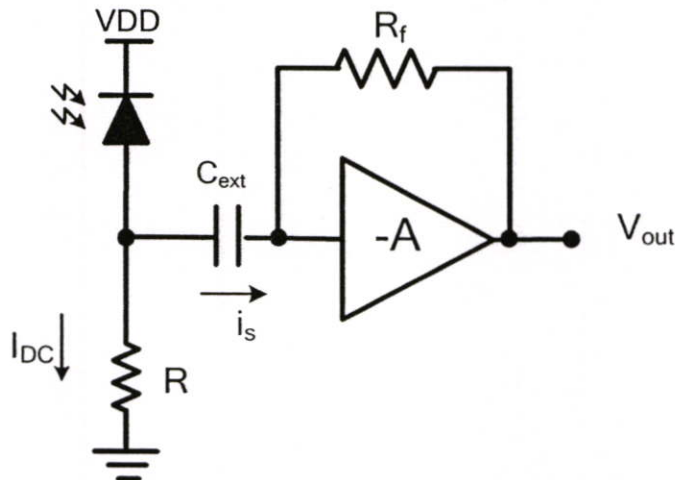
$$I_n^2(f) = 2qI_s \quad A^2 / \text{Hz} \quad (2.4)$$

โดยที่ $I_n^2(f)$ คือ สัญญาณรบกวนแบบช็อต (Shot Noise) ที่เกิดจากสัญญาณรบกวนภายนอกปนเข้ามา q คือขนาดของประจุอิเล็กตรอนมีค่าเท่ากับ 1.6×10^{-19} มีหน่วยเป็นคูลอมป์ I_s คือ ค่าเฉลี่ยของสัญญาณกระแสที่เกิดจากสัญญาณรบกวนภายนอกปนเข้ามา สัญญาณรบกวนดังกล่าวส่งผลให้ความไวในการตอบสนอง (Sensitivity) ของวงจรรภาครับลดลง ในทางปฏิบัติเราไม่สามารถหลีกเลี่ยงสัญญาณรบกวนนี้ได้เนื่องจากสัญญาณแสงบริเวณรอบนอกปนมากับสัญญาณข้อมูลในรูปของแสงโดยตรง อย่างไรก็ตามสัญญาณรบกวนภายนอกที่ปนเข้ามาสามารถถูกกำจัดได้ถ้าแสงภายนอกมีความเข้มแสงคงที่หรือมีการเปลี่ยนแปลงไม่รวดเร็วนักเมื่อเทียบกับสัญญาณข้อมูลที่ส่งมา

ในการออกแบบจะให้ความสนใจเฉพาะคุณสมบัติของแหล่งกำเนิดแสงที่มีช่วงความถี่ใกล้เคียงกับช่วงความถี่อินฟราเรด[9-10] ซึ่งสามารถแบ่งออกได้เป็น 2 แหล่งคือ แสงที่เกิดจากรวมชาติ ได้แก่ ดวงอาทิตย์ และ แสงที่เกิดจากการประดิษฐ์ขึ้น ได้แก่ หลอดความร้อน และ

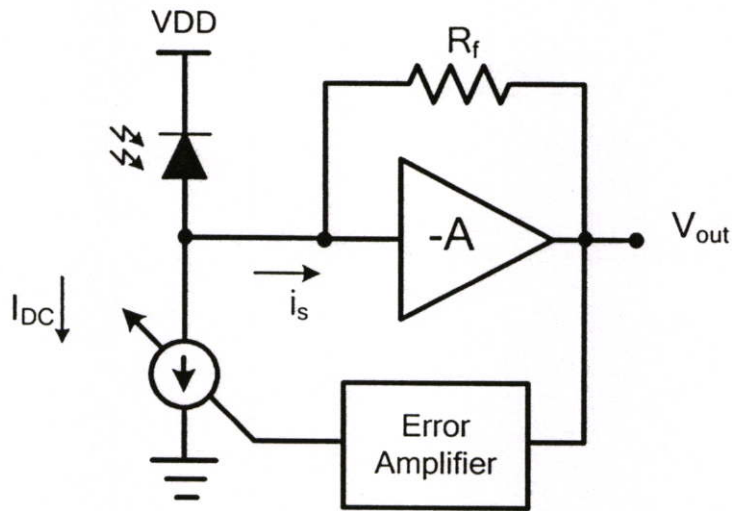
หลอดฟลูออเรสเซนต์ โดยแหล่งกำเนิดแสงทั้งสองที่ขั้วต่ออย่างมา เป็นแหล่งกำเนิดแสงที่มีความเข้มแสงคงที่และมีการเปลี่ยนแปลงน้อยมาก

การแยกสัญญาณข้อมูลออกจากสัญญาณแสงภายนอกสามารถทำได้สองวิธี คือ การใช้ตัวเก็บประจุต่อระหว่างโฟโตไดโอดกับวงจรขยายเพื่อกำจัดสัญญาณไฟตรงและสัญญาณแสงภายนอกที่มีความถี่ต่ำไม่ให้เข้ามาในวงจรดังแสดงในรูปที่ 2.9 [11-13] จากรูปที่ 2.9 i_s คือ สัญญาณข้อมูลความถี่สูงซึ่งสามารถผ่านตัวเก็บประจุเข้าสู่วงจรขยายได้ ในขณะที่ I_{DC} คือ สัญญาณรบกวนจากสภาพแวดล้อมความถี่ต่ำซึ่งไม่สามารถผ่านตัวเก็บประจุ (C_{ext}) เข้าสู่วงจรขยายได้ การต่อวงจรในรูปที่ 2.9 มีข้อเสียอยู่สามประการคือ ตัวเก็บประจุ (C_{ext}) ต้องมีขนาดใหญ่เพื่อให้สัญญาณข้อมูลในช่วงความถี่ต่ำสามารถผ่านเข้าวงจรขยายได้ ประการที่สอง ตัวต้านทานต้องมีขนาดใหญ่เพื่อลดผลของสัญญาณรบกวน และประการสุดท้าย แรงดันไบอัสที่ตกคร่อมโฟโตไดโอดยังขึ้นอยู่กับสัญญาณแสงจากสภาพแวดล้อม เนื่องจากแรงดันที่ตกคร่อมตัวต้านทาน (R) จะมีค่าแปรผันตามกับกระแส I_{DC} ที่เพิ่มขึ้น



รูปที่ 2.9 วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมโดยใช้ตัวเก็บประจุ

วิธีที่สองคือใช้วิธีการต่อวงจรป้อนกลับแบบแอกทิฟดังรูปที่ 2.10 [14] เมื่อสัญญาณรบกวนทางแสงที่เกิดสภาพแวดล้อมตกกระทบบนโฟโตไดโอด วงจรขยายความผิดพลาด (Error Amplifier) จะขยายสัญญาณดังกล่าวเพื่อทำหน้าที่ควบคุมกระแส I_{DC} ในลักษณะที่กระแสดังกล่าวจะชดเชยพอดีกับกระแสที่เกิดจากสัญญาณรบกวนภายนอก ทำให้สัญญาณกระแสที่ไม่พึงประสงค์ ไม่สามารถไหลเข้าสู่วงจรขยายทรานซิสเตอร์ได้ วิธีนี้ทำให้วงจรมีขนาดเล็กและสามารถปรับขนาดแรงดันที่ตกคร่อมโฟโตไดโอดให้มีความเหมาะสมได้ เนื่องจากแรงดันที่แอกทิฟไม่ขึ้นกับแรงดันที่ตกคร่อมความต้านทานอย่างไรในกรณีแรก



รูปที่ 2.10 วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมโดยใช้เทคนิคการป้อนกลับแบบแอคทีฟ

2.4 สรุป

ในบทที่ 2 นี้เป็นการกล่าวถึงวิวัฒนาการของระบบการติดต่อสื่อสารทางแสงตั้งแต่โครงสร้างของระบบไปจนถึงวงจรขยายในภาครับแสงโดยเนื้อหาได้แบ่งออกเป็น 3 หัวข้อคือ 2.1 วิวัฒนาการของโครงสร้างระบบการติดต่อสื่อสารทางแสงที่มีการปรับปรุงและพัฒนาตั้งแต่โครงสร้างพื้นฐานของระบบไปจนถึงโครงสร้างที่ใช้ในปัจจุบัน หัวข้อที่ 2.2 เป็นการกล่าวถึงวิวัฒนาการของวงจรขยายในส่วนของวงจรภาครับแสงที่ใช้การติดต่อสื่อสารผ่านตัวกลางเส้นใยแก้วนำแสง ซึ่งในปัจจุบันการออกแบบวงจรขยายนิยมใช้การสร้างวงจรแบบลูปิด เนื่องจากสามารถแก้ปัญหาในเรื่องของแบนด์วิธและสัญญาณรบกวนที่เกิดจากการออกแบบวงจรได้ หัวข้อ 2.3 เป็นการกล่าวถึงวิวัฒนาการของวงจรถักสัญญาณรบกวนจากสภาพแวดล้อมที่เกิดจากการส่งข้อมูลแบบไร้สาย ซึ่งในปัจจุบันวงจรถักสัญญาณรบกวนจากสภาพแวดล้อมที่ใช้เทคนิคการป้อนกลับแบบแอคทีฟได้รับความนิยมอย่างสูงเนื่องจากวงจรมีขนาดเล็กและขนาดแรงดันที่ตกคร่อมโฟโตไดโอดสามารถปรับให้มีความเหมาะสมได้

บทที่ 3

วงจรรขยายทรานอิมพีแดนซ์ที่นำเสนอ

3.1 กล่าวนำ

ในการออกแบบวงจรรภาครับแสงนอกจากต้องคำนึงถึงเรื่องความเร็วในการทำงานของวงจรรแล้ว ความถูกต้องของข้อมูลที่รับเข้ามาในรูปของสัญญาณแสงและส่งออกในรูปของสัญญาณดิจิทัลก็เป็นส่วนสำคัญที่ต้องทำการพิจารณาถึง ความผิดพลาดของข้อมูลที่เกิดขึ้นในวงจรรภาครับแสงอาจเกิดจากสัญญาณรบกวนที่ปนมากับแหล่งจ่ายไฟเลี้ยงทำให้เกิดการปนกันระหว่างสัญญาณข้อมูลกับสัญญาณรบกวนซึ่งอาจทำให้วงจรรภาครับแบ่งระดับสัญญาณลอจิกผิดพลาด เพื่อแก้ปัญหานี้ วงจรรขยายทรานอิมพีแดนซ์ที่นำเสนอจึงถูกออกแบบให้มีลักษณะการขยายผลต่างแบบสมบูรณ์ (Fully Differential) เพื่อทำหน้าที่กำจัดสัญญาณรบกวนที่ปนเข้ามาที่แรงดันไฟเลี้ยง ในการออกแบบวงจรรขยายผลต่างแบบสมบูรณ์ วงจรรจะถูกออกแบบให้มีลักษณะที่สมมาตรกัน (Symmetry)

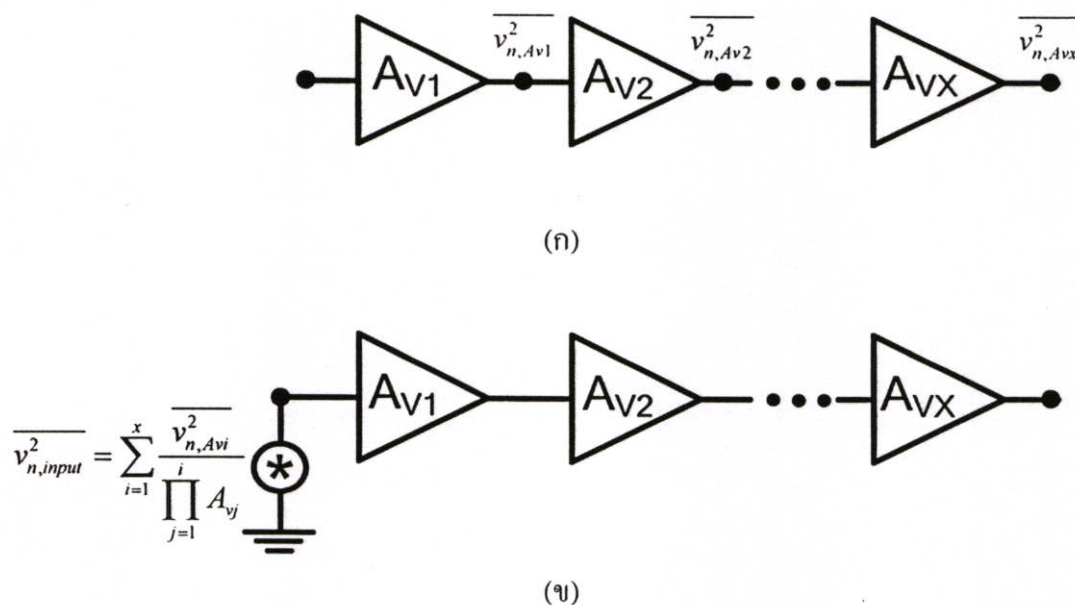
เนื้อหาในบทนี้เป็นกรกล่าวถึงการออกแบบวงจรรขยายทรานอิมพีแดนซ์และการวิเคราะห์วงจรร วงจรรที่ออกแบบมีจุดหมายคือ มีช่วงการตอบทางความถี่ในรูปของแบนด์วิธที่กว้าง สัญญาณรบกวนต่ำ และสามารถทำงานได้ภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ การวิเคราะห์วงจรรได้ถูกแบ่งออกเป็นสองส่วนคือ วงจรรขยายในขณะลูปเปิดและวงจรรขยายในขณะลูปปิด โดยในส่วนของวงจรรขยายในขณะลูปปิดได้ทำเปรียบเทียบผลการจำลองการทำงาน โดยโปรแกรม HSPICE กับ โปรแกรม LEDIT

3.2 วงจรรขยายในขณะลูปเปิด

3.2.1 วงจรรขยายภาคแรก

3.2.1.1 หลักการทำงานและการวิเคราะห์

วงจรรขยายภาคแรกถือได้ว่าเป็นภาคที่มีความสำคัญมากที่สุด เนื่องจากอัตราขยายของวงจรรในภาคแรกมีความสำคัญกับขนาดสัญญาณรบกวนที่อินพุทของภาครับแสง การออกแบบวงจรรขยายในภาคแรกให้มีอัตราขยายสูงจะส่งผลให้สัญญาณรบกวนที่เกิดจากวงจรรขยายภาคแรกและวงจรรขยายที่อยู่ภาคถัดไปเมื่อทำการป้อนกลับไปที่อินพุท (Input referred noise) มีค่าต่ำ ดังแสดงในรูปที่ 3.1 ผลของสัญญาณรบกวนที่อินพุทที่มีค่าต่ำจะทำให้ขนาดของสัญญาณข้อมูลที่ออกจากโฟโตไดโอดสามารถมีขนาดเล็กได้ โดยขนาดของสัญญาณข้อมูลที่เข้าวงจรรขยายไม่ควรมีขนาดเล็กกว่าขนาดของสัญญาณรบกวนที่อินพุท

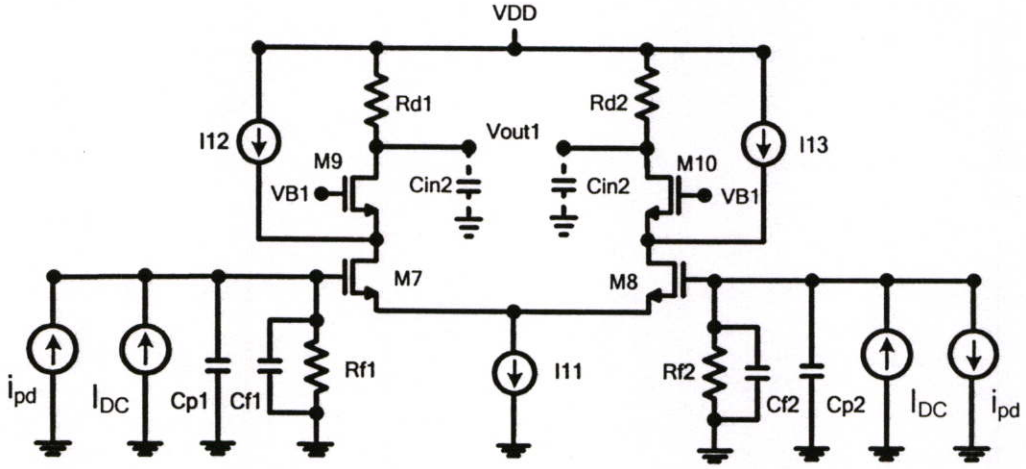


รูปที่ 3.1 ขนาดของสัญญาณรบกวนที่เกิดขึ้นในวงจรขยายเมื่อ ก) ทำการอ้างอิงไปที่เอาต์พุตของวงจรขยายในแต่ละภาค ($\overline{v_{n,Avi}^2}$ ($i=1,2,\dots,x$)) ข) ทำการอ้างอิงไปที่อินพุตของวงจรขยายภาคแรก ($\overline{v_{n,input}^2}$)

จากวงจรในรูปที่ 3.1 A_{vi} คือ อัตราขยายของวงจรในแต่ละภาค จากวงจรในรูปที่ 3.1(ข) จะได้เห็นว่าขนาดของสัญญาณรบกวนที่เอาต์พุตของวงจรขยายในแต่ละภาค (ดังที่ได้แสดงในรูปที่ 3.1(ก)) เมื่ออ้างอิงกลับมาที่อินพุตต้องถูกหารด้วยอัตราขยายของวงจรภาคแรกเสมอ ดังนั้นการออกแบบให้วงจรขยายมีสัญญาณรบกวนที่อินพุต ($\overline{v_{n,input}^2}$) ต่ำจึงสามารถทำได้ โดยการออกแบบให้อัตราขยายของวงจรในภาคแรกมีค่าสูง

รูปที่ 3.2 คือวงจรขยายภาคแรก สัญญาณกระแสที่ส่งมาจากโฟโตไดโอดถูกแทนด้วยแหล่งจ่ายกระแส i_{pd} ซึ่งมีขนาดเท่ากับกระแสที่ไหลออกจากโฟโตไดโอด กระแสไฟตรง (I_{DC}) ทำหน้าที่ไบอัสแรงดันขาคาทให้มีขนาดเท่ากับแรงดันที่อินพุตขณะต่อวงจรเป็นแบบลูปปิด $C_{p1}(2)$ คือตัวเก็บประจุแฝงที่เกิดในโฟโตไดโอด ซึ่งจะได้กล่าวต่อไปในหัวข้อที่ 3.2.3 $C_{f1}(2)$ และ $R_{f1}(2)$ คือ ตัวเก็บประจุและตัวต้านทานของวงจรชดเชยป้อนกลับ C_{in2} คือ ตัวเก็บประจุของวงจรขยายในภาคที่สอง มอสทรานซิสเตอร์ M7 และ M8 ต่อในลักษณะวงจรขยายผลต่าง ในขณะที่ M9(10) ถูกต่ออยู่ในลักษณะแคสโคด (Cascode) เพื่อลดผลของปรากฏการณ์มิลเลอร์ (Miller Effect) ที่เกิดจาก C_{gd} ของ M7(8) ทำให้ขนาดของโพลที่อินพุตมีค่าเพิ่มขึ้น I12(13) ทำหน้าที่ชดเชยกระแสให้กับวงจร เพื่อให้วงจรสามารถปรับอัตราขยายได้อย่างอิสระ การชดเชยกระแสด้วยวิธีนี้ทำให้วงจรขยายในภาคแรกสามารถออกแบบให้อัตราขยายที่สูงได้โดยไม่ส่งผล

ทำให้มอสทรานซิสเตอร์เข้าสู่สถานะเชิงเส้น (Linear) แหล่งจ่ายกระแส I12(13) ถูกสร้างขึ้นโดยใช้มอสทรานซิสเตอร์ชนิดพี เพื่อให้ผลที่ได้จากการจำลองการทำงานมีคุณสมบัติที่ใกล้เคียงกับวงจรที่ทำการสร้างจริง



รูปที่ 3.2 วงจรขยายภาคแรก

โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก (Small signal equivalent circuit) อัตราขยายทรานซิมพีแคนซ์ (A_1) ของวงจรในภาคแรกมีค่าเท่ากับ

$$A_1 \cong \frac{-g_{m7(8)} R_{d1(2)} R_{f1(2)}}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (3.1)$$

โดยที่

$$\omega_{p1} = \frac{1}{R_{f1(2)} (C_{gs7(8)} + \left(1 + \frac{g_{m7(8)}}{g_{m9(10)}}\right) C_{gd7(8)} + C_{f1(2)} + C_{p1(2)})}$$

$$\omega_{p2} = \frac{1}{R_{d1(2)} (C_{m2} + C_{gd9(10)})}$$

และ C_{gs} , C_{gd} คือ ตัวเก็บประจุระหว่างขาเกตกับขาซอส และ ขาเกตกับขาเดรน ตามลำดับ g_m คือ ค่าทรานคอนดักแตนซ์ของมอสทรานซิสเตอร์ดังแสดงในสมการที่ (3.2)

$$g_{m7(8)} = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_{D7(8)}} \quad (3.2)$$

$$= \mu_n C_{ox} \frac{W}{L} (V_{GS7(8)} - V_T)$$

จากสมการที่ (3.1) วงจรขยายภาคแรกมีโพลหลัก (ω_{p1}) และ โพลรอง (ω_{p2}) ที่อินพุท และ เอาท์พุท ตามลำดับ การเพิ่มอัตราขยายของวงจรโดยส่งผลกระทบต่อโพลหลัก (ω_{p1}) และ โพลรอง (ω_{p2}) น้อยที่สุด คือการเพิ่มขนาดกระแส $I_{D7(8)}$ ซึ่งทำให้ $g_{m7(8)}$ ดังแสดงในสมการที่ (3.2) มีค่าเพิ่มขึ้นโดยไม่จำเป็นต้องเพิ่มขนาด (W/L) ของมอสทรานซิสเตอร์ ในการออกแบบ วงจร กระแส $I_{D7(8)}$ ไม่สามารถออกแบบให้มีค่ามากได้ เนื่องจากอาจส่งผลทำให้แรงดันที่ตกคร่อม $R_{d1(2)}$ มีค่ามากจนทำให้มอส M9(10) เข้าสู่ภาวะเชิงเส้น เพื่อแก้ปัญหาดังกล่าวจึงได้ทำการต่อแหล่งจ่ายกระแส $I_{12(13)}$ ขดเซกกระแสที่ไหลผ่านตัวต้านทาน $R_{d1(2)}$ ส่งผลให้แรงดันที่ตกคร่อม $R_{d1(2)}$ มีค่าที่เหมาะสม นอกจากนั้นการต่อแหล่งจ่ายกระแส $I_{12(13)}$ ทำให้เราสามารถออกแบบให้ตัวต้านทาน $R_{d1(2)}$ มีค่ามากได้ ส่งผลให้อัตราขยายของวงจรในภาคแรกมีค่าสูง การจับไบอัสแรงดันที่เอาท์พุทสามารถหาได้จากสมการต่อไปนี้

$$\begin{aligned} V_{out} &= V_{DD} - (I_{D7(8)} - I_{12(13)})R_{d1(2)} \\ &= V_{DD} - V_{Rd1(2)} \end{aligned} \tag{3.3}$$

สมการที่ (3.3) แรงดันตกคร่อม $R_{d1(2)}$ ควรมีค่าที่เหมาะสม เพราะถ้าแรงดันดังกล่าวมีค่าน้อยไปอาจส่งผลทำให้สัญญาณที่เอาท์พุทถูกคลิบ ในขณะที่เดียวกันถ้าแรงดันดังกล่าวมีค่ามากเกินไปอาจทำให้ทรานซิสเตอร์บางตัวเข้าสู่ภาวะเชิงเส้น (Linear)

จากวงจรในรูปที่ 3.2 ช่วงการสวิงของสัญญาณที่เอาท์พุทมีค่าเท่ากับ $V_{B1} - V_T \leq v_{out} \leq V_{DD}$ แรงดันไบอัส V_{B1} ที่ขาเกตของ M9(10) ต้องมีค่าอยู่ในช่วง $2V_{DSAT} + V_T \leq V_{B1} \leq V_{D9(10)} + V_T$ เพื่อให้มอสทรานซิสเตอร์ทุกตัวทำงานอยู่ในช่วงอิ่มตัว (Saturation)

3.2.1.2 สัญญาณรบกวน

การออกแบบขนาดมอสทรานซิสเตอร์และตัวต้านทานในภาคแรกมีความสำคัญมาก เนื่องจากสัญญาณรบกวนที่อินพุทแปรผกผันกับอัตราขยายของวงจรในภาคแรก ดังนั้นการออกแบบวงจรในภาคแรกควรออกแบบให้วงจรมีอัตราขยายสูง ในหัวข้อนี้เป็นการกล่าวถึงการวิเคราะห์เพื่อคำนวณหาสัญญาณรบกวน

แหล่งกำเนิดสัญญาณรบกวนที่เกิดจากอุปกรณ์มอสทรานซิสเตอร์ และ ตัวต้านทานใน วงจรขยายภาคแรกสามารถแสดงได้ดังรูปที่ 3.3 สัญญาณรบกวนที่เกิดจากมอสทรานซิสเตอร์ และ ตัวต้านทานถูกแทนด้วยสัญลักษณ์ที่เป็นเส้นประ และ เส้นทึบตามลำดับ การวิเคราะห์ สัญญาณรบกวนใน วงจรขยายภาคแรกจะทำการละเลยสัญญาณรบกวนที่เกิดจาก มอสทรานซิสเตอร์ M9(10) เนื่องจากกระแสที่ไหลผ่านขาเดรนกับขาซอร์สมีขนาดเท่ากัน[15] ดังนั้นจึงเสมือนว่ามอสทรานซิสเตอร์ M9(10) ไม่มีแหล่งกำเนิดสัญญาณรบกวน สัญญาณรบกวนที่เกิดจากตัวต้านทาน $R_{d1(2)}$ จะทำการวิเคราะห์ในหัวข้อวงจรขยายขณะลูปปิด

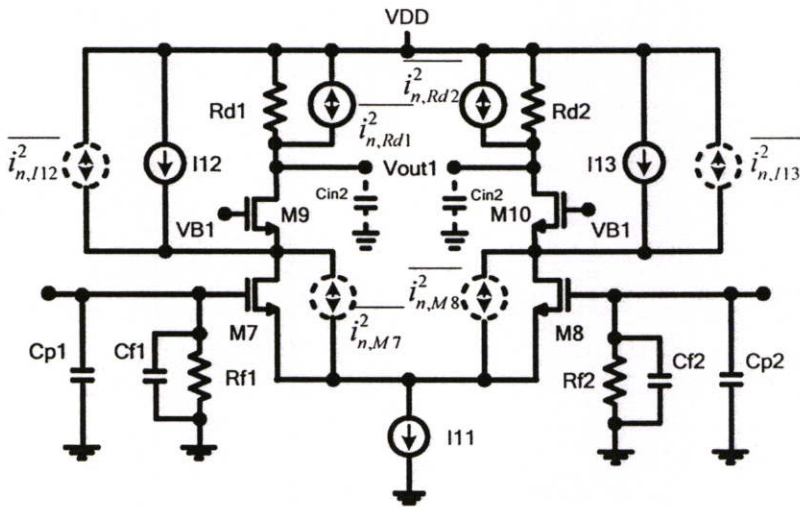
ขนาดของสัญญาณรบกวนทั้งหมด เมื่ออ้างอิงมาที่อินพุต (Input referred noise) ในรูปของแรงดัน $\overline{v_{n,G7(8)}^2}$ และกระแส $\overline{i_{n,pd}^2}$ มีค่าเท่ากับ [ภาคผนวก ก]

$$\overline{v_{n,G7(8)}^2} = \frac{4kT}{g_{m7(8)}^2} \left(\Gamma g_{m7(8)} + \Gamma g_{m12(13)} + \frac{1}{R_{d1(2)}} \right) + \frac{\overline{v_{n,D9(10)}^2}}{g_{m7(8)}^2} \left(\frac{1}{R_{d1(2)}} + \omega^2 (C_{gd9(10)} + C_{m2})^2 \right)$$

$$\overline{i_{n,pd}^2} = \frac{2\overline{v_{n,G7(8)}^2}}{Z_{in}} = \left[\frac{8kT}{g_{m7(8)}^2} \left(\Gamma g_{m7(8)} + \Gamma g_{m12(13)} + \frac{1}{R_{d1(2)}} \right) + \frac{2\overline{v_{n,D9(10)}^2}}{g_{m7(8)}^2} \left(\frac{1}{R_{d1(2)}} + \omega^2 (C_{gd9(10)} + C_{m2})^2 \right) \right] \times \left(\frac{1}{R_{f1(2)}} + \omega^2 (C_{p1(2)} + C_{f1(2)} + C_{gs7(8)} + C_{gd7(8)})^2 \right) \quad (3.4)$$

โดยที่ k, T, Γ และ $\overline{v_{n,D9(10)}^2}$ คือค่าคงที่ของโบลท์มาน (Boltzmann Constant) อุณหภูมิอยู่ในหน่วยของเคลวิน (Kelvin) ตัวประกอบสัญญาณรบกวน (Noise Factor) ของมอสทรานซิสเตอร์ และ ขนาดสัญญาณรบกวนทั้งหมดที่เกิดจากภาคถัดไปในรูปของแรงดัน ตามลำดับ

จากสมการที่ (3.4) ขนาดสัญญาณรบกวนที่เกิดขึ้น สามารถทำให้มีค่าลดลงได้โดยการเพิ่มขนาดของทรานคอนดักแตนซ์ $g_{m7(8)}$ และ ขนาดตัวต้านทาน $R_{d1(2)}$ ซึ่งก็คืออัตราขยายแรงดันในวงจรภาคแรก



รูปที่ 3.3 แหล่งกำเนิดสัญญาณรบกวนในวงจรขยายภาคแรก

3.2.1.3 ผลการจำลองการทำงานของวงจรถยายภาคแรก

เพื่อยืนยันความถูกต้องการทำงานของวงจรถยายในภาคแรก วิทยานิพนธ์ฉบับนี้ได้ใช้โปรแกรมHSPICE ในการจำลองการทำงานของวงจรโดยใช้เทคโนโลยีซีมอสขนาด 0.5 ไมครอน แหล่งจ่ายไฟใช้แรงดันขนาด 2.5 โวลต์ ตัวเก็บประจุ (Cp1) มีค่าเท่ากับ 1 พิโคฟารัด ตัวต้านทาน (Rf1(2)) และ ตัวเก็บประจุ (Cf1(2)) ของชุดป้อนกลับมีขนาด 4.1 กิโลโอห์ม และ 10 เฟรมโตฟารัด ตามลำดับ โหลดของวงจรถูกแทนด้วยตัวเก็บประจุ (Cin2) ที่อินพุทของวงจรถยายในภาคที่สองซึ่งมีค่าเท่ากับ 7 เฟรมโตฟารัด ในการออกแบบ แหล่งจ่ายกระแส I11 มีขนาดเท่ากับ 6 มิลลิแอมป์ แรงดันไบอัส VB1 มีขนาดเท่ากับ 2 โวลต์ ตัวต้านทาน Rd1(2) มีขนาดเท่ากับ 3.5 กิโลโอห์ม ตารางที่ 3.1 แสดงขนาดของมอสทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรถยายภาคแรก ขนาดของมอสทรานซิสเตอร์ M7(8) ถูกออกแบบให้มีขนาดใหญ่เพื่อเพิ่มขนาดของ $g_{m7(8)}$ ทำให้อัตราขยายมีค่าเพิ่มมากขึ้นส่งผลให้ขนาดของสัญญาณรบกวนมีค่าลดลง มอสทรานซิสเตอร์ M9(10) ต่อในลักษณะแคสโคด (Cascode) เพื่อลดผลปรากฏการณ์มิลเลอร์ (Miller Effect) ที่อินพุทของวงจร แหล่งจ่ายกระแส I12(13) ทำหน้าที่ป้อนกระแสให้กับวงจรถยายเพื่อให้สามารถปรับอัตราขยายได้อย่างอิสระโดยยังคงทำให้มอสทรานซิสเตอร์ M7(8) อยู่ในสภาวะอิมิตัวซึ่งจากการออกแบบกระแส I12(3) มีค่าเท่ากับ 2.78 มิลลิแอมป์

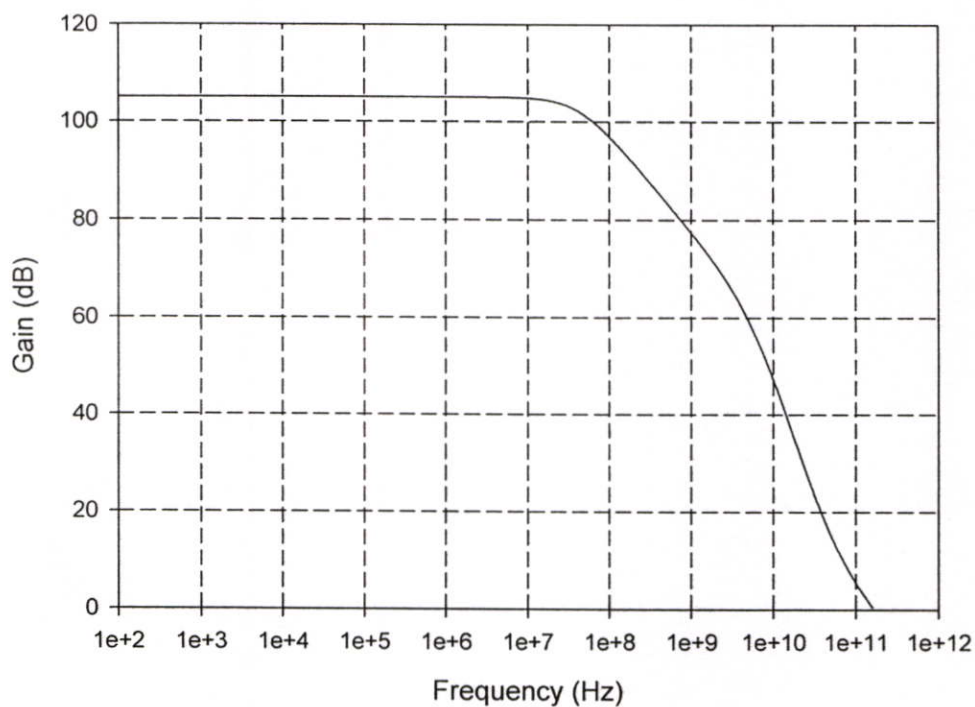
ตารางที่ 3.1 ขนาดของมอสทรานซิสเตอร์ที่ทำการออกแบบวงจรถยายภาคแรก

มอสทรานซิสเตอร์	อัตราส่วน (W/L)
M7(8)	100/0.5
M9(10)	9/0.5
I12(13) (ถูกสร้างโดยใช้ PMOS)	45/0.5

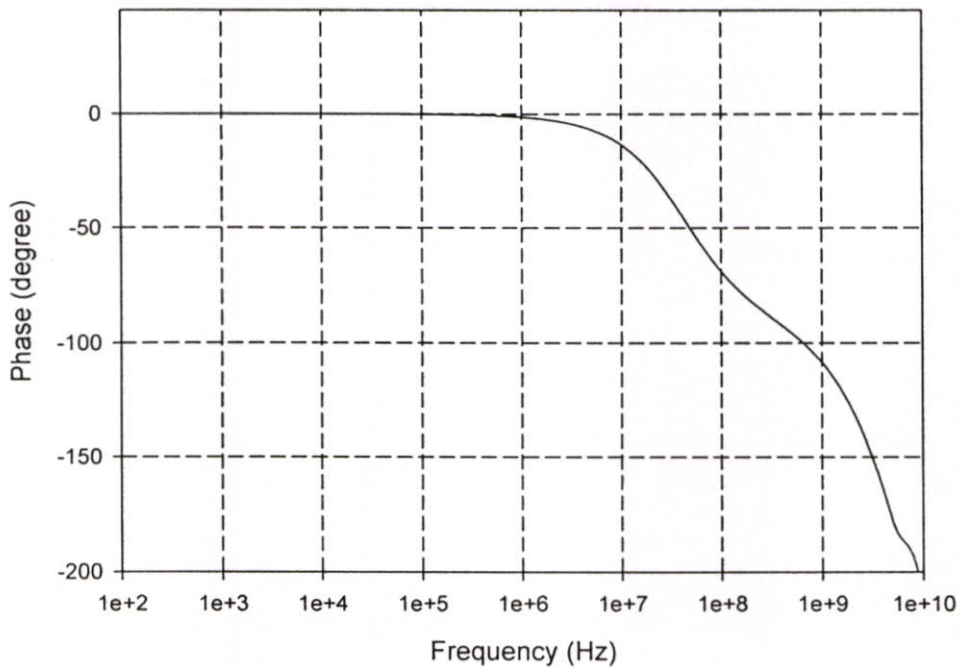
ตารางที่ 3.2 แสดงผลจำลองการทำงานของวงจรถยายภาคแรก แรงดันไฟตรงที่อินพุทของวงจรถยายภาคแรกถูกออกแบบให้มีค่าเท่ากับแรงดันไฟตรงที่อินพุทของวงจรถยายทรานซิมิตีแดนซ์เมื่อทำการต่อแบบลูปปิด ในขณะที่แรงดันไฟตรงที่เอาต์พุทควรออกแบบให้มีค่าที่เหมาะสมเพื่อป้องกันไม่ให้มอสทรานซิสเตอร์เข้าสู่สภาวะเชิงเส้น (Linear) รูปที่ 3.4 แสดงผลการตอบสนองทางความถี่ของวงจร โดยอัตราขยายของวงจรมีขนาดเท่ากับเท่ากับ 105 เดซิเบล และแบนด์วิธของวงจร (f_{-3dB}) มีค่าเท่ากับ 42.5 เมกกะเฮิรตซ์ จากรูปที่ 3.4 อัตราขยายของวงจรถูกออกแบบให้มีค่าสูงเพื่อลดขนาดสัญญาณรบกวนที่เกิดจากวงจรถยายภาคแรกและวงจรถยายภาคที่สองเมื่ออ้างอิงกลับมาที่อินพุท รูปที่ 3.5 แสดงเฟสของวงจรถยาย รูปที่ 3.6 แสดงขนาดสัญญาณรบกวนที่อินพุทในรูปของกระแส ($i_{n,pd}^2$) โดยขนาดสัญญาณรบกวนที่ความถี่คัทออฟ (f_{-3dB}) มีค่าเท่ากับ $2.9 \text{ pA}/\sqrt{\text{Hz}}$ สัญญาณรบกวนที่เกิดขึ้นมีขนาดต่ำ สาเหตุดังกล่าวเกิดจากการออกแบบวงจรถยายภาคแรกให้มีอัตราขยายสูง

ตารางที่ 3.2 ผลจำลองการทำงานของวงจรขยายภาคแรก

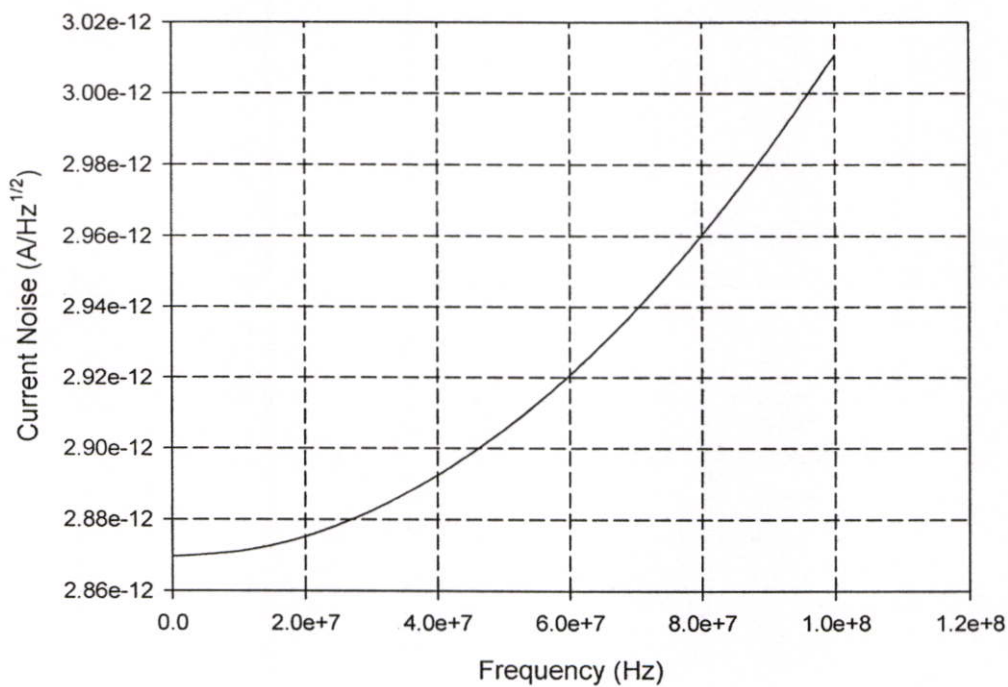
พารามิเตอร์	ผลการทดลอง
แรงดันไฟตรงที่อินพุต	1.2 V
แรงดันไฟตรงที่เอาต์พุต	1.8 V
อัตราขยายของวงจร	105 dB
แบนด์วิธของวงจร	42.5 MHz
สัญญาณรบกวนที่อินพุต (-3 เดซิเบล)	$2.9 \text{ pA}/\sqrt{\text{Hz}}$
กำลังงานสูญเสีย	15 mW



รูปที่ 3.4 ผลการตอบสนองทางความถี่ของวงจรขยายภาคแรก



รูปที่ 3.5 เฟสของวงจรถยาย



รูปที่ 3.6 ขนาดสัญญาณรบกวนที่อินพุต

3.2.2 วงจรขยายภาคที่สอง

3.2.2.1 หลักการทำงานและการวิเคราะห์

ในการออกแบบวงจรขยายทรานซิสเตอร์ในลักษณะลูปิดให้มีคุณสมบัติที่ดีนั้น อัตราขยายของวงจรในขณะลูเปิดควรออกแบบให้มีค่ามาก เพื่อลดขนาดความต้านทานทางด้านอินพุทและเอาต์พุทเมื่อวงจรอยู่ในลักษณะลูปิด (ดังที่ได้กล่าวในบทที่ 2) ดังนั้นวงจรในภาคที่สองจึงถูกออกแบบขึ้นเพื่อเพิ่มอัตราขยายให้กับวงจร การออกแบบวงจรในภาคที่สองควรทำการพิจารณาความไม่เสถียรภาพ (Unstable) ควบคู่ไปด้วย เนื่องจากภาคขยายที่เพิ่มขึ้นทำให้จำนวนโพลมีมากขึ้นส่งผลให้วงจรเมื่ออยู่ในลักษณะลูปิดอาจเกิดการออสซิลเลท เพื่อป้องกันปัญหาดังกล่าววงจรขยายภาคที่สองจะทำการออกแบบให้โพลรองมีขนาดใหญ่กว่าโพลหลัก นอกจากนั้นการออกแบบวงจรขยายภาคที่สองควรออกแบบให้วงจรมีแบนด์วิธสูงซึ่งจะส่งผลทำให้วงจรขยายทรานซิสเตอร์ในขณะลูปิดมีแบนด์วิธสูงตาม วิทยานิพนธ์ฉบับนี้ได้นำเสนอวิธี f_T ดับเบิ้ล (f_T Doubler)[16] และการชดเชยตัวเก็บประจุ (Capacitive Compensation) [17] มาช่วยในการเพิ่มขนาดโพลที่อินพุทของวงจร

รูปที่ 3.7 คือวงจรขยายภาคที่สอง สัญญาณที่ส่งมาจากวงจรขยายภาคแรกถูกแทนด้วยสัญลักษณ์แหล่งจ่ายแรงดันไฟสลับ (v_{o1}) แรงดันไฟตรง V_{O1} ทำหน้าที่ไบอัสแรงดันที่ขาเกต และมีค่าเท่ากับแรงดันไฟตรงที่เอาต์พุทของวงจรขยายภาคแรก R_{o1} และ C_{o1} คือ ตัวต้านทานและตัวเก็บประจุที่เอาต์พุทของวงจรขยายภาคแรก มอสทรานซิสเตอร์ M14-M19 ต่อในลักษณะวงจร f_T ดับเบิ้ล ขาเดรนของ M16 และ M17 ถูกต่ออยู่กับขาเดรนของ M15 และ M14 ตามลำดับ เพื่อให้อัตราขยายของวงจรมีขนาดเท่ากับอัตราขยายของวงจรขยายผลต่าง (Differential Amplifier) ข้อดีของการนำวิธี f_T ดับเบิ้ลมาใช้คือ ทำให้ตัวเก็บประจุแผ่นระหว่างขาเกตและขาซอส (C_{gs}) มีขนาดลดลงครึ่งหนึ่งเมื่อเทียบกับตัวเก็บประจุแผ่นของวงจรขยายผลต่างที่มีอัตราขยายเท่ากัน ทำให้โพลที่อินพุทมีขนาดใหญ่ อย่างไรก็ตามวิธี f_T ดับเบิ้ลมีข้อเสียคือ วงจรมีพลังงานสูญเสียเป็นสองเท่า และ ตัวเก็บประจุแผ่นที่เอาต์พุทมีขนาดโตเป็นสองเท่าเมื่อเทียบกับวงจรขยายผลต่าง แรงดันไบอัสที่โหนด VB2 ถูกกำหนดให้มีขนาดเท่ากับแรงดันที่อินพุทของวงจร ตัวเก็บประจุ C1 และ C2 ทำหน้าที่เป็นตัวชดเชยกระแสที่สูญเสียไปในตัวเก็บประจุแผ่นระหว่างขาเกตและขาเดรน (C_{gd}) ของ M14(15) หรือที่เรียกว่าการชดเชยตัวเก็บประจุ (Capacitive Compensation) โดยเมื่อวงจรทำงาน ทิศทางของกระแสที่ไหลผ่านตัวเก็บประจุ C1 และ C2 มีทิศกลับเฟสกับตัวเก็บประจุ C_{gd15} และ C_{gd14} ตามลำดับ ทำให้ผลกระทบของตัวเก็บประจุแผ่นระหว่างขาเกตและขาเดรนที่มีต่อวงจรลดลง การสร้างตัวเก็บประจุ C1(2) ให้มีขนาดเท่ากับ $C_{gd14(15)}$ สามารถทำได้ โดยการสร้างมอสทรานซิสเตอร์ที่มีขนาดเท่ากับ M14(15) และให้ขาเกตของมอสทรานซิสเตอร์ดังกล่าวต่ออยู่กับขาเกตของมอสทรานซิสเตอร์ M14(15) ส่วนขาเดรนต่อกับขาเดรนของมอสทรานซิสเตอร์ M15(14) ในขณะที่ขาซอสทำการต่อลอยไว้ ผลของการสร้างตัวเก็บประจุ C1(2) ด้วยวิธีนี้ทำให้กระแสที่ไหลผ่าน C1(2) มีขนาดที่ชดเชยพอดีกับกระแสที่ไหลผ่าน $C_{gd14(15)}$

หลักอยู่สองโพลด้วยกันคือโพลในวงจรรขยายภาคแรก (ω_{p1}) ดังสมการที่ (3.1) และโพลในวงจรรขยายภาคที่สอง (ω_{p2}) ดังสมการที่ (3.5)

อัตราขยายของวงจรรขยายเปิด (A_{VO}) มีค่าเท่ากับ

$$A_{VO} = A_1 A_2 \quad (3.6)$$

$$\cong \frac{a_o}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)}$$

โดยที่ a_o มีค่าเท่ากับ $g_{m7(8)}g_{m14(15)}R_{d1(2)}R_{d3(4)}R_{f1(2)}$

จากสมการที่ (3.5) การเพิ่มอัตราขยายของวงจรรขยายในภาคที่สองโดยให้มีผลกระทบต่อโพลรอง (ω_{p2}) น้อยที่สุดคือการเพิ่มกระแส I18(19) แทนการเพิ่มขนาดมอสทรานซิสเตอร์ (W/L) ซึ่งใช้หลักการออกแบบเหมือนกับวงจรรขยายภาคแรก ดังที่ได้แสดงในสมการที่ (3.2)

การจัดแรงดันไบอัสที่เอาท์พุทของวงจรรขยายในภาคที่สองควรออกแบบให้ ขนาดแรงดันที่ตกคร่อม $R_{d3(4)}$ มีขนาดมากกว่าช่วงการสวิงของสัญญาณที่เอาท์พุทเพื่อป้องกันการถูกคลิป์ของสัญญาณ นอกจากนั้น เนื่องจากวงจรรขยายทรานซิมพีแดนซ์ที่นำเสนอเป็นการต่อวงจรแบบมีชุดป้อนกลับ ทำให้การจัดไบอัสที่เอาท์พุทมีผลกับขนาดแรงดันไฟตรงที่อินพุทของวงจรรขยายภาคแรกโดยตรง ผลของความสัมพันธ์ระหว่างแรงดันที่เอาท์พุทของวงจรรขยายภาคที่สองกับแรงดันที่อินพุทของวงจรรขยายภาคแรก ทำให้การเพิ่มอัตราขยายในภาคที่สองไม่สามารถออกแบบให้มีค่าสูงมากได้ ทั้งในส่วนที่ใช้เทคนิคการเพิ่มกระแสไบอัส I18(19) และ การเพิ่มขนาดตัวต้านทาน $R_{d3(4)}$ เนื่องจากอาจส่งผลให้แรงดันที่เอาท์พุทมีค่าต่ำ

3.2.2.2 สัญญาณรบกวน

แหล่งกำเนิดสัญญาณรบกวนที่เกิดจากอุปกรณ์มอสทรานซิสเตอร์ และ ตัวต้านทานในวงจรรขยายภาคที่สองสามารถแสดงได้ดังรูปที่ 3.8 สัญญาณรบกวนที่เกิดจากมอสทรานซิสเตอร์และตัวต้านทาน ถูกแทนด้วยสัญลักษณ์ที่เป็นเส้นประและเส้นทึบตามลำดับ เนื่องจากแรงดันที่ขาซอสของมอสทรานซิสเตอร์ M14(15) มีการเปลี่ยนแปลงตามแรงดันที่อินพุทของวงจรร ดังนั้น สัญญาณรบกวนอันเนื่องจากแหล่งจ่ายกระแส I18(19) จำเป็นต้องถูกนำมาพิจารณาด้วย สัญญาณรบกวนที่เกิดจากตัวต้านทาน R_{o1} จะไม่ถูกพิจารณาเนื่องจาก R_{o1} เป็นความต้านทานเสมือนทางด้านเอาท์พุทของวงจรรขยายภาคแรก

อินพุทซึ่งมีขนาดเท่ากับ 1.8 โวลต์ มอสทรานซิสเตอร์ M14-M17 ถูกออกแบบให้มีขนาด W/L เท่ากันเพื่อให้วงจรเกิดความสมมาตร (Symmetry) ตัวต้านทาน R_{o1} มีขนาดเท่ากับ 3.3 กิโลโอห์ม และตัวเก็บประจุ C_{o1} มีขนาดเท่ากับ 3 เฟรมโตฟาร์ดี ตัวเก็บประจุ $C1(2)$ ทำการออกแบบโดยใช้ มอสทรานซิสเตอร์ชนิดเอ็นทีที่มีขนาดของตัวเก็บประจุแผ่ระหว่างขาเกตและขาเดรนเท่ากับ (C_{gd}) 4.8 เฟรมโตฟาร์ดี ความต้านทาน $R_{d3(4)}$ มีขนาดเท่ากับ 2 กิโลโอห์ม ตารางที่ 3.3 แสดงขนาดของมอสทรานซิสเตอร์ในวงจรขยายภาคที่สอง

ตารางที่ 3.3 ขนาดของมอสทรานซิสเตอร์ที่ทำการออกแบบวงจรขยายภาคที่สอง

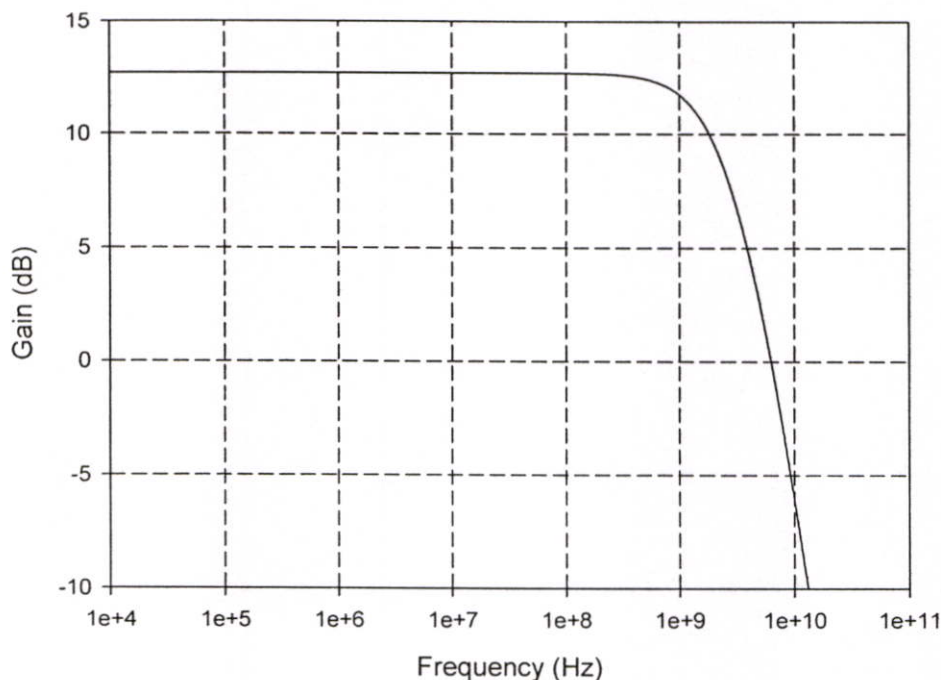
มอสทรานซิสเตอร์	อัตราส่วน (W/L)
M14-M17	15/0.5
C1(2) ถูกสร้างโดยใช้ NMOS	15/0.5

ตารางที่ 3.4 แสดงผลจำลองการทำงานของวงจรขยายในภาคที่สอง แรงดันไฟตรงที่อินพุทถูกออกแบบให้มีขนาดแรงดันเท่ากับแรงดันไฟตรงที่เอาต์พุทของวงจรขยายภาคแรก ในขณะที่แรงดันไฟตรงที่เอาต์พุทของวงจรขยายภาคสองถูกออกแบบให้มีค่าสูง เนื่องจากวงจรขยายทรานซิมิตีแดนซ์ที่ทำการออกแบบอาศัยการต่อวงจรเป็นแบบรูปปิด ทำให้แรงดันไฟตรงที่เอาต์พุทของวงจรขยายภาคที่สองเป็นตัวกำหนดขนาดแรงดันไฟตรงที่อินพุทของวงจรขยายภาคแรก รูปที่ 3.9 แสดงผลการตอบสนองทางความถี่ของวงจร โดยอัตราขยายของวงจรมีขนาดเท่ากับ 12.7 เดซิเบล และ แบนด์วิธของวงจร (f_{-3dB}) มีค่าเท่ากับ 2 กิกะเฮิรตซ์ อัตราขยายของวงจรในภาคที่สองนี้ไม่สามารถออกแบบให้มีค่าสูงได้ สาเหตุดังกล่าวเกิดจากการออกแบบอัตราขยายของวงจรในภาคที่สองมีความเกี่ยวพันโดยตรงกับแรงดันไบอัสที่อินพุทของวงจรขยายภาคแรก รูปที่ 3.10 แสดงเฟสของวงจรขยาย

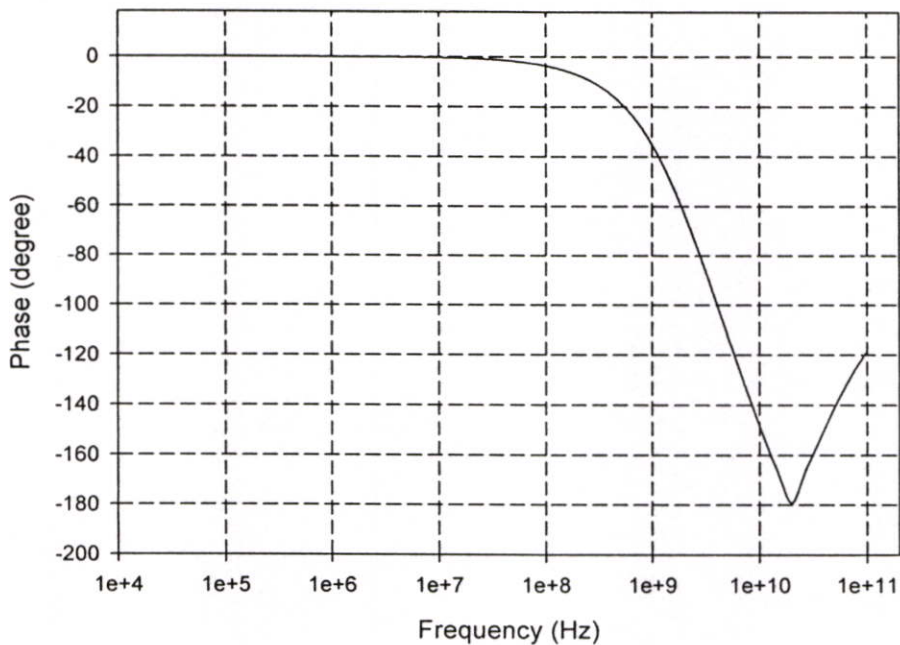
ตารางที่ 3.4 ผลจำลองการทำงานของวงจรขยายภาคที่สอง

พารามิเตอร์	ผลการทดลอง
แรงดันไฟตรงที่อินพุท	1.8 V
แรงดันไฟตรงที่เอาต์พุท	1.9 V
อัตราขยายของวงจร	12.7 dB
แบนด์วิธของวงจร	2 GHz
สัญญาณรบกวนที่อินพุท (-3 เดซิเบล)	$8.3 \text{ nV} / \sqrt{\text{Hz}}$
กำลังงานสูญเสีย	1.6 mW

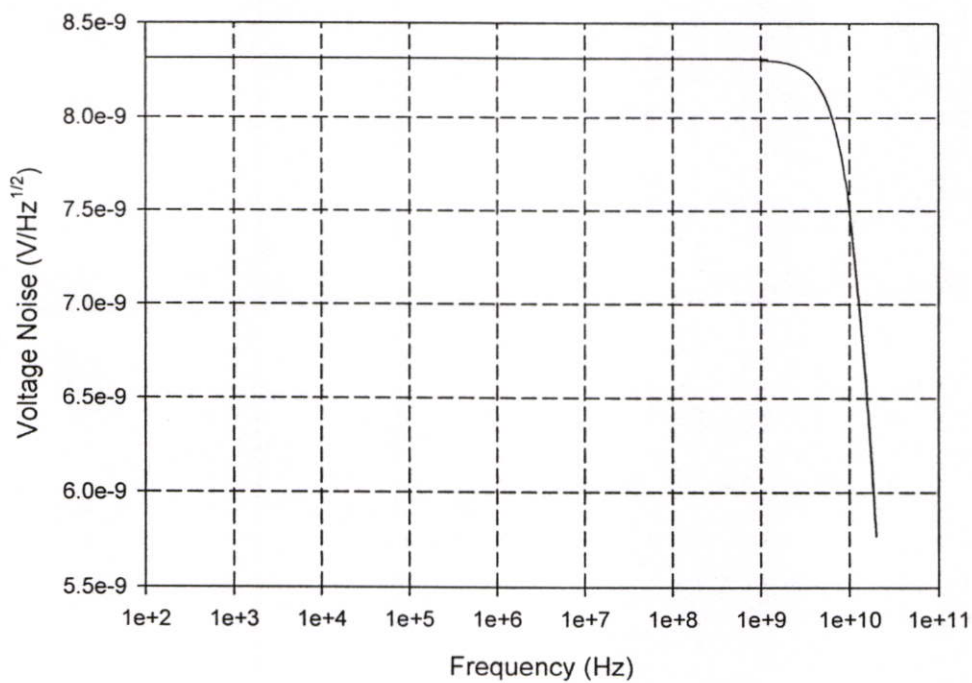
รูปที่ 3.11 แสดงขนาดสัญญาณรบกวนที่อินพุทในรูปของแรงดัน ($v_{n, D9(10)}^2$) โดยขนาดสัญญาณรบกวนที่ความถี่คutoffมีค่าเท่ากับ $8.3 \text{ nV}/\sqrt{\text{Hz}}$ สัญญาณรบกวนที่เกิดขึ้นมีขนาดมากกว่าวงจรรขยายภาคแรก สาเหตุดังกล่าวเกิดจากอัตราขยายของวงจรมีค่าน้อยกว่าอัตราขยายของวงจรรขยายภาคแรก นอกจากนี้จำนวนทรานซิสเตอร์ที่ส่งผลกระทบต่อสัญญาณรบกวนในวงจรรขยายภาคที่สองมีมากกว่าจำนวนทรานซิสเตอร์ในวงจรรขยายภาคแรก



รูปที่ 3.9 ผลการตอบสนองทางความถี่ของวงจรรขยายภาคที่สอง



รูปที่ 3.10 เฟสของวงจรถยาย



รูปที่ 3.11 ขนาดของสัญญาณรบกวนที่อินพุท

3.2.3 วงจรสร้างสัญญาณอินพุท

3.2.3.1 หลักการทำงานและการวิเคราะห์

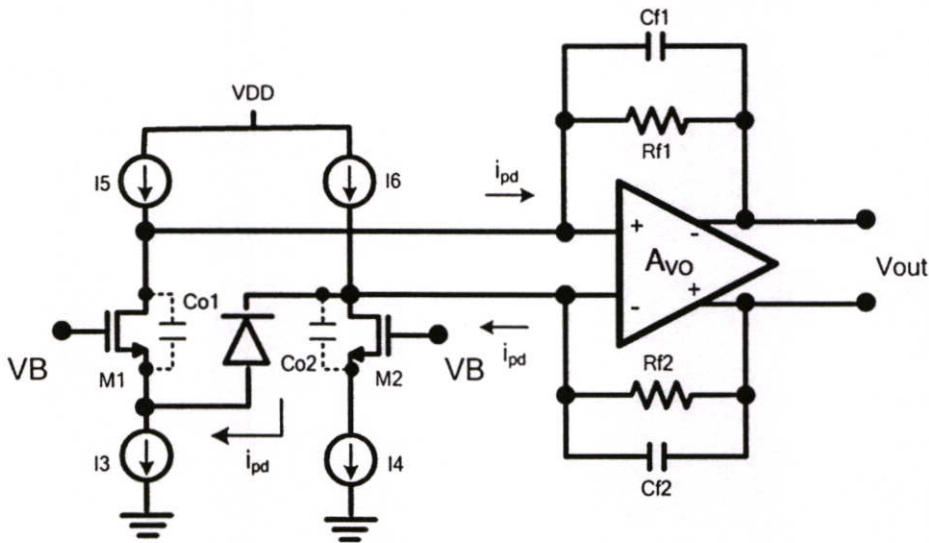
โดยปกติแล้วสัญญาณไฟฟ้าที่ออกมาจากโฟโตไดโอดมีลักษณะเป็นแบบขั้วเดียว (Signal Ended) วงจรในวิทยานิพนธ์นี้เป็นวงจรขยายผลต่าง ดังนั้นวงจรจำเป็นต้องอาศัยสัญญาณอินพุทที่มีขนาดเท่ากันแต่เฟสต่างกัน 180 องศา ดังแสดงในรูปที่ 3.12

รูปที่ 3.12 แสดงโครงสร้างของวงจรสร้างสัญญาณอินพุทดังกล่าว[18] อินพุทของวงจรต่อกับโฟโตไดโอด และ เอาท์พุทต่อกับวงจรขยายทรานซิสเตอร์ โมสทรานซิสเตอร์ M1 และ M2 ต่อในลักษณะวงจรคอมมอนเกตเพื่อทำหน้าที่จัดแรงดันไบอัสให้ตกคร่อมโฟโตไดโอดมีค่าประมาณ 0.7-1 โวลต์ แหล่งจ่ายกระแส I3(4) ถูกออกแบบโดยมอสทรานซิสเตอร์ชนิดเอ็นและแหล่งจ่ายกระแส I5(6) ถูกออกแบบโดยมอสทรานซิสเตอร์ชนิดพี แหล่งจ่ายกระแส I3-16 ทำหน้าที่ไบอัสมอสทรานซิสเตอร์ M1(2) ให้ทำงานในย่านอิมิตัวและถูกออกแบบให้มีขนาดเท่ากันเพื่อให้สัญญาณไฟฟ้าที่เข้าสู่วงจรขยายทรานซิสเตอร์มีเฉพาะส่วนที่เป็นสัญญาณข้อมูล ตัวเก็บประจุ Co1 ทำหน้าที่ผ่านสัญญาณข้อมูลจากโฟโตไดโอด ในขณะที่ Co2 ถูกนำมาต่อเพื่อให้วงจรมีความสมมาตรกัน ตัวเก็บประจุ Co1(2) มีขนาดค่อนข้างใหญ่และถูกต่อภายนอกชิปโดยมีขนาดในช่วงนาโนฟารัด

การทำงานของวงจรเมื่อมีแสงตกกระทบโฟโตไดโอดสามารถอธิบายได้ดังนี้ สัญญาณแสงที่ส่งมาจะถูกแปลงให้อยู่ในรูปของกระแสโดยโฟโตไดโอด สัญญาณกระแสที่ได้จะถูกส่งผ่านเข้าทางขาซอสของมอสทรานซิสเตอร์ M1 และตัวเก็บประจุ Co1 โดยตัวเก็บประจุ Co1 ทำหน้าที่เสมือนลัดวงจรที่ความถี่สูงทำให้สัญญาณกระแสที่เอาท์พุท (i_{pd}) มีขนาดเท่ากับสัญญาณกระแสที่อินพุท (i_{pd}) ในทำนองเดียวกันสัญญาณกระแส (i_{pd}) ที่ขาเดรนของมอสทรานซิสเตอร์ M2 ที่ได้จากโฟโตไดโอดก็ถูกส่งผ่านไปที่วงจรขยายทรานซิสเตอร์ในลักษณะที่เฟสของสัญญาณกระแสอินพุทที่จับบวกกับขั้วลบของวงจรขยายทรานซิสเตอร์มีเฟสต่างกัน 180 องศา

การจัดแรงดันไบอัสตกคร่อมโฟโตไดโอดในรูปที่ 3.12 สามารถทำได้โดยออกแบบให้มอสทรานซิสเตอร์ M1(2) ที่ขาเดรนกับขาซอสมีระดับแรงดันต่างกันโดยแรงดันที่ขาเดรนของมอสทรานซิสเตอร์ M1(2) เกิดจากการจัดแรงดันไบอัสที่อินพุทของวงจรขยายทรานซิสเตอร์ ซึ่งจะได้อีกในตัวขั้ววงจรขยายลูปปิด ในขณะที่แรงดันไบอัสที่ขาซอสของมอสทรานซิสเตอร์ M1(2) มีค่าเท่ากับ

$$\begin{aligned} V_{S,m1(2)} &= V_B - V_{gs,m1(2)} \\ &= V_B - \sqrt{\frac{2I_D}{\mu_n C_{OX} \left(\frac{W}{L}\right)_{m1(2)}}} + V_T \end{aligned} \quad (3.8)$$



รูปที่ 3.12 วงจรสร้างสัญญาณอินพุทที่มีขนาดเท่ากันแต่เฟสต่างกัน 180 องศา

จากสมการที่ (3.8) แรงดันที่ขาขอสของ M1(2) ($V_{S,m1(2)}$) ถูกออกแบบให้มีค่าต่ำเพื่อให้แรงดันที่ตกคร่อมโฟโตไดโอดมีค่าอยู่ในช่วง 0.7-1 โวลต์

การวิเคราะห์สัญญาณรบกวนของวงจรสร้างสัญญาณอินพุท จะทำการวิเคราะห์เมื่อรวมผลของวงจรขยายแบบลูบปิด ซึ่งจะได้อีกต่อไป

3.2.3.2 ผลการจำลองการทำงานของวงจรสร้างสัญญาณอินพุท

เพื่อยืนยันความถูกต้อง การทำงานของวงจรสร้างสัญญาณอินพุท วิทยานิพนธ์ฉบับนี้ได้ใช้โปรแกรม HSPICE ในการจำลองการทำงานของวงจรโดยใช้เทคโนโลยีซีมอสขนาด 0.5 ไมครอน แหล่งจ่ายไฟใช้แรงดันขนาด 2.5 โวลต์ แรงดันไบอัสที่ขาเกตของมอสทรานซิสเตอร์ M1(2) ถูกออกแบบให้มีค่าเท่ากับ 0.9 โวลต์ เพื่อให้แรงดันที่ตกคร่อมขาขอส ($V_{S,m1(2)}$) มีขนาดต่ำและส่งผลให้โฟโตไดโอดมีแรงดันตกคร่อมมากกว่า 0.7 โวลต์ แหล่งจ่ายกระแส I3-I6 ถูกออกแบบให้มีขนาด 6.5 ไมโครแอมป์ เพื่อทำหน้าที่ไบอัสมอสทรานซิสเตอร์ M1(2) การออกแบบแหล่งจ่ายกระแส I3-I6 ให้มีค่ามาก ส่งผลทำให้ขนาดของสัญญาณรบกวนที่เกิดจากแหล่งจ่ายกระแสเมื่อแทนด้วยมอสทรานซิสเตอร์มีขนาดเพิ่มสูงตามและยังทำให้วงจรสร้างสัญญาณอินพุทมีการสูญเสียพลังงานเพิ่มขึ้น ตัวเก็บประจุแฝงที่เกิดจากโฟโตไดโอดมีค่าเท่ากับ 0.5 พิโคฟารัด ตัวเก็บประจุ Co1(2) กำหนดให้มีขนาดเท่ากับ 100 นาโนฟารัด ตารางที่ 3.5 แสดงขนาดของมอสทรานซิสเตอร์

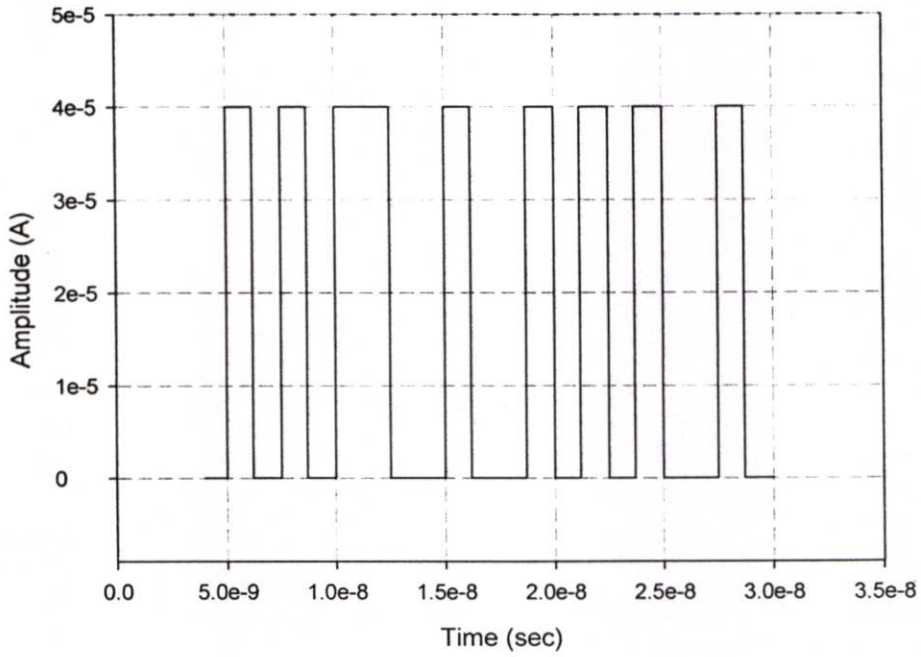
ตารางที่ 3.5 ขนาดมอสทรานซิสเตอร์ที่ทำการออกแบบวงจรสร้างสัญญาณอินพุท

มอสทรานซิสเตอร์	อัตราส่วน (W/L)
M1(2)	6/0.5
I1(2) (ถูกสร้างโดยใช้ NMOS)	1.5/0.5
I3(4) (ถูกสร้างโดยใช้ PMOS)	8.5/0.5

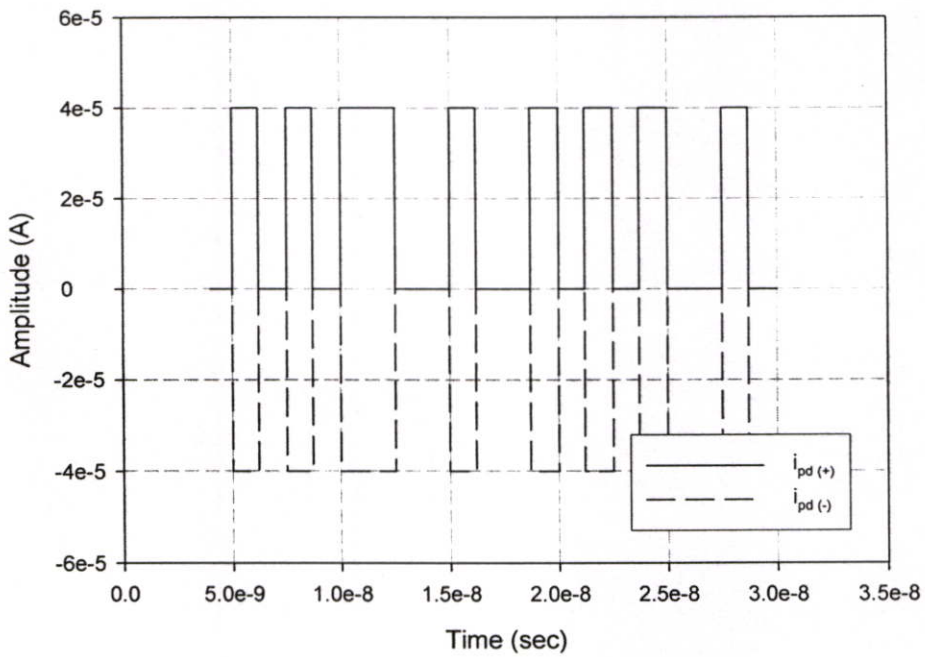
ตารางที่ 3.6 แสดงผลจำลองการทำงานของวงจรสร้างสัญญาณอินพุท แรงดันไฟตรงที่เอาต์พุทถูกกำหนดโดยอินพุทของวงจรมีเพดานที่แคบเมื่อทำการต่อในลักษณะรูปปิดซึ่งมีขนาดเท่ากับ 1.2 โวลต์ รูปที่ 3.13 แสดงสัญญาณกระแสพัลส์ที่ออกจากโฟโตไดโอด ความกว้างของสัญญาณพัลส์ใช้การกำหนดค่าแบบสุ่ม (Random data) โดยให้จำลองสัญญาณของข้อมูลจริง รูปที่ 3.14 แสดงขนาดของสัญญาณกระแสพัลส์ที่เอาต์พุทของวงจรสร้างสัญญาณอินพุท จากรูปพบว่าอัตราขยายของวงจรมื่อนำสัญญาณที่เอาต์พุทเทียบกับสัญญาณที่อินพุทในรูปที่ 3.13 มีค่าเท่ากับ 0 เดซิเบล

ตารางที่ 3.6 ผลจำลองการทำงานของวงจรสร้างสัญญาณอินพุท

พารามิเตอร์	ผลการทดลอง
แรงดันไฟตรงที่เอาต์พุท	1.2 V
อัตราขยายวงจร	0 dB
กำลังงานสูญเสีย	33 μ W



รูปที่ 3.13 สัญญาณกระแสพัลส์ที่ออกจากโฟโตไดโอด

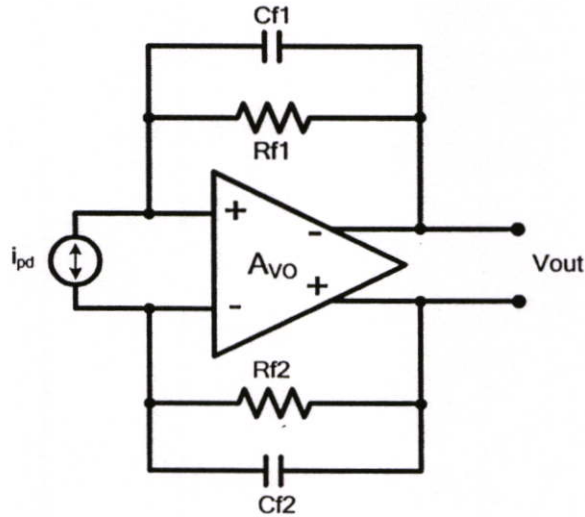


รูปที่ 3.14 สัญญาณกระแสพัลส์ที่ไหลเข้าสู่วงจรมอดูเลชันอิมพีแดนซ์

3.3 วงจรขยายในขณะลูปปิด

3.3.1 การออกแบบวงจขยายลูปปิดและการวิเคราะห์

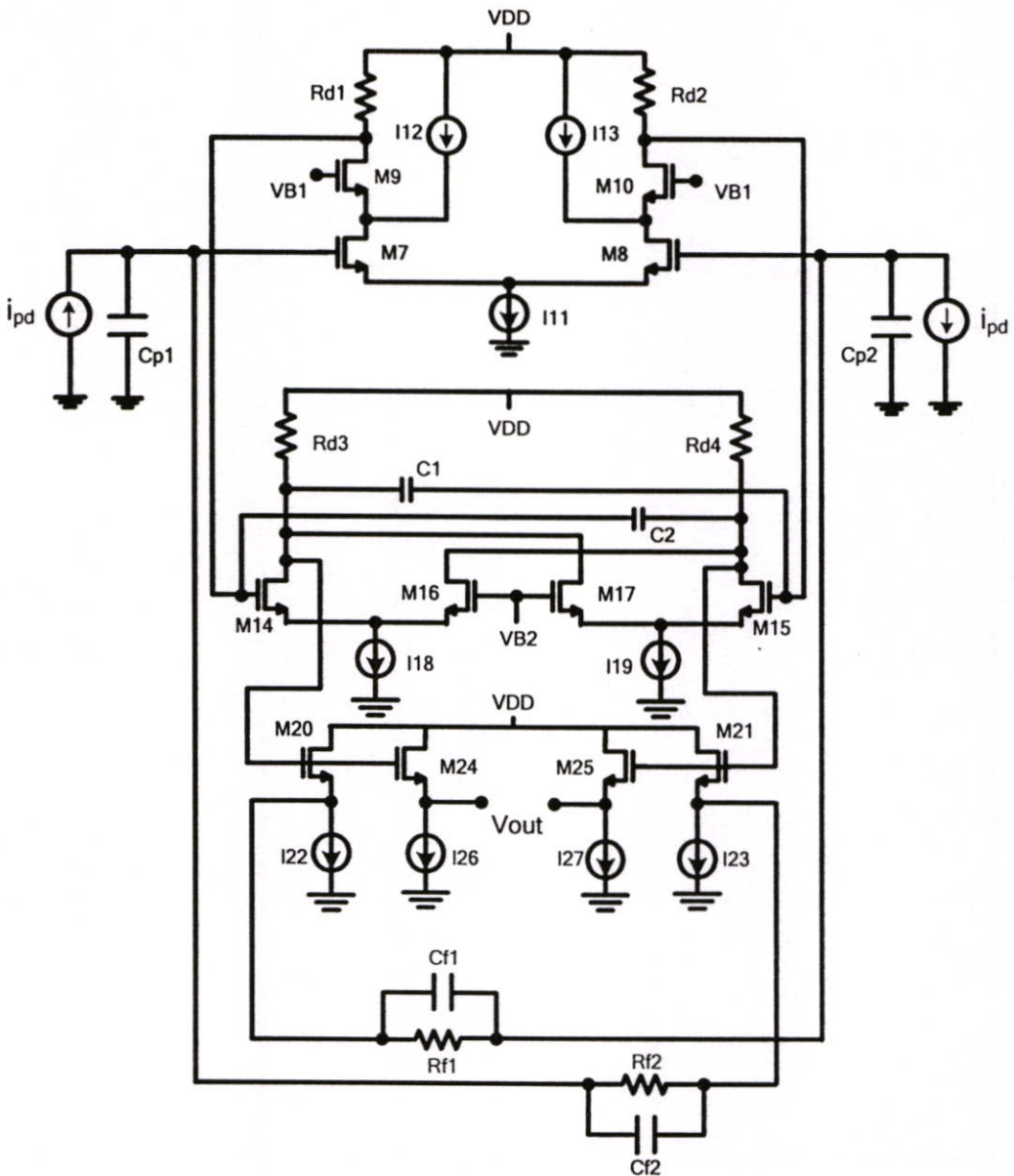
เนื้อหาในส่วนนี้เป็นการนำเสนอการออกแบบวงจขยายทรานอิมพีแดนซ์ที่ใช้วิธีการป้อนกลับแบบ ขนาน-ขนาน ดังแสดงในรูปที่ 3.15 โดยวิธีนี้สามารถแก้ปัญหาแบนด์วิธและสัญญาณรบกวนที่เกิดขึ้นในวงจขยายลูปเปิดดังที่ได้กล่าวในบทที่ 2 การป้อนกลับสัญญาณอาศัยเทคนิคซีโร่แฟง (Phantom Zero) โดยการต่อตัวเก็บประจุ $C_{f1}(2)$ ขนานกับตัวต้านทาน $R_{f1}(2)$



รูปที่ 3.15 โครงสร้างวงจขยายทรานอิมพีแดนซ์ที่นำเสนอ

จากรูปที่ 3.15 A_{v0} คืออัตราขยายแบบลูปเปิด (Open Loop) ตัวเก็บประจุ $C_{f1}(2)$ กับตัวต้านทาน $R_{f1}(2)$ ประกอบกันเป็นชุดป้อนกลับแบบลบ เมื่อนำวงจขยายที่ทำการออกแบบในลักษณะลูปเปิดที่ได้กล่าวไว้ในหัวข้อ 3.2.1 และ 3.2.2 แทนลงในบล็อก A_{v0} จะได้วงจขยายทรานอิมพีแดนซ์แบบลูปปิดดังแสดงในรูปที่ 3.16

รูปที่ 3.16 เป็นวงจขยายทรานอิมพีแดนซ์ที่ได้ออกแบบ มอสมทรานซิสเตอร์ M7-M27 ประกอบขึ้นเป็นวงจขยายแบบลูปเปิด ในขณะที่ $R_{f1}(2)$ และ $C_{f1}(2)$ ประกอบขึ้นเป็นวงจขุดป้อนกลับแบบลบ แหล่งจ่ายกระแสทุกตัวถูกออกแบบโดยมอสมทรานซิสเตอร์ M7-M13 ต่อเป็นวงจขยายภาคแรกที่ออกแบบเป็นวงจขยายผลต่าง (Differential Amplifier) โดยอาศัยเทคนิคการต่อในลักษณะแควดโคดและเทคนิคการชดเชยกระแสเพื่อให้วงจรในภาคแรกมีอัตราขยายสูง โพลหลักของวงจรมีขนาดใหญ่ และ วงจรมีสัญญาณรบกวนต่ำ สัญญาณที่ได้จากภาคแรกถูกส่งไปขยายต่อในวงจขยายภาคที่สองซึ่งประกอบด้วย M14-M19 โดยอาศัยเทคนิคของ f_T ดับเบิ้ล และเทคนิคการชดเชยตัวเก็บประจุเพื่อเพิ่มขนาดโพลรอง (ω_{p2}) ที่เกิดบริเวณอินพุทของวงจรมีทำให้วงจขยายภาคที่สองมีแบนด์วิธสูง



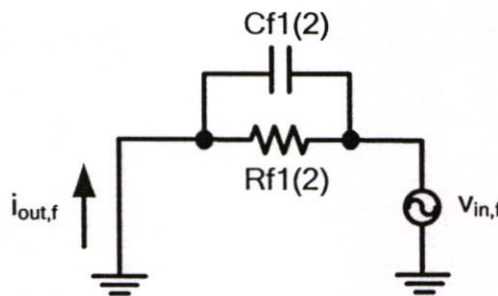
รูปที่ 3.16 วงจรขยายทรานซิมพีแคนซ์

สัญญาณที่ได้จากวงจรภาคที่สองถูกส่งไปเข้าวงจรกันชน (Buffer) สองชุด วงจรกันชนชุดแรกประกอบด้วย M20-M23 ทำหน้าที่ป้อนสัญญาณกลับไปสู่อินพุท วงจรกันชนชุดที่สองประกอบด้วย M24-M27 ทำหน้าที่ขับโหลด โดยปกติแล้วเนื่องจากเอาต์พุทของวงจรทรานซิมพีแคนซ์ถูกนำไปต่อกับวงจรขยายแบบลิมิตดิง (Limiting Amplifier) ซึ่งมีอินพุทเป็นขาเกทของมอสทรานซิสเตอร์ ดังนั้น โหลดของวงจรจึงแทนด้วยตัวเก็บประจุ [14]

การป้อนกลับของสัญญาณเมื่อวงจรถูกออกแบบโดยใช้คอมมอนซอสทั้งสองภาค โดยทั่วไป นั้นสามารถทำได้โดยสร้างวงจรขยายแบบกลับเฟสอีกหนึ่งชุด (ภาคที่สาม) แล้วจึงทำการป้อนกลับสัญญาณ วิธีดังกล่าวมีข้อเสียสามประการกล่าวคือ ประการแรก วงจรที่ได้มีขนาดใหญ่และมีกำลังสูญเสียมาก ประการสอง วงจรไม่สามารถทำงานได้ที่ความเร็วสูงเนื่องจาก

สัญญาณต้องใช้เวลาในการเดินทางผ่านวงจรขยายหลายภาค และ ประการสุดท้าย วงจรมีเสถียรภาพที่ไม่ดีเนื่องจากวงจรมีโพลหลายตัวส่งผลให้การเลื่อนเฟสของสัญญาณมีค่ามาก ในวิทยานิพนธ์นี้จึงได้นำเสนอการป้อนกลับแบบไขว้ดังแสดงในรูปที่ 3.16 ซึ่งใช้วงจรขยายเพียงสองภาคทำให้วงจรสามารถทำงานได้ที่ความถี่สูงและมีเสถียรภาพที่ดี

การออกแบบชุดป้อนกลับสัญญาณอาศัยเทคนิคการป้อนกลับแบบมีซีโรเป็นตัวชดเชยทางความถี่ (Feedback-Zero Compensation)[8] โดยซีโรดังกล่าวถูกออกแบบขึ้นจากชุดป้อนกลับสัญญาณ เพื่อควบคุมตำแหน่งของโพลในลักษณะที่ค่าตัวประกอบคุณภาพ (Quality factor) มีค่าไม่สูงเกินไปทำให้วงจรขยายที่ได้มีเสถียรภาพที่ดี ซีโรดังกล่าวถูกเรียกว่า ซีโรแฝง (Phantom Zero) ขนาดของซีโรแฝงมีผลกับค่าตัวประกอบคุณภาพโดยตรง จากวงจรในรูปที่ 3.17 ผลของซีโรแฝงสามารถหาได้จากวงจรป้อนกลับสัญญาณดังนี้



รูปที่ 3.17 วงจรป้อนกลับสัญญาณที่ทำการออกแบบ

อัตราขยายของชุดป้อนกลับมีค่า

$$\beta = \frac{i_{out,f}}{v_{in,f}} = b_o \left(1 + \frac{s}{\omega_{z1}} \right) \quad (3.9)$$

ขณะที่ b_o คือ อัตราขยายของวงจรป้อนกลับที่ความถี่ต่ำมีค่าเท่ากับ $1/Rf1(2)$ และ ω_{z1} คือ ซีโรแฝงที่เกิดในวงจรป้อนกลับมีค่าเท่ากับ $1/Rf1(2)Cf1(2)$

เนื่องจากอัตราขยายของวงจรขณะลูปิดสามารถหาได้จาก

$$Z_T = \frac{A_{vo}}{1 + A_{vo}\beta} \quad (3.10)$$

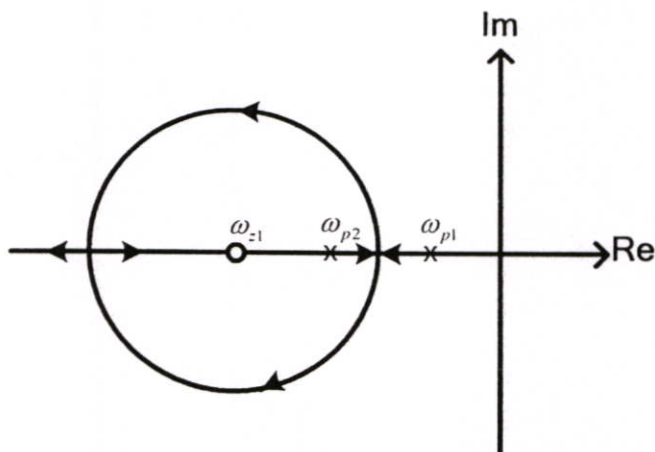
โดยที่ A_{vo} คือ อัตราขยายของวงจรขณะลูปเปิดดังแสดงในสมการที่ (3.6) และ β คือ อัตราขยายของวงจรป้อนกลับดังแสดงในสมการที่ (3.9)

จากสมการที่ (3.10) ถ้าลูปเกนซ์ ($A_{vo}\beta$) มีค่ามากกว่าหนึ่งมากๆ Z_T มีค่าเท่ากับ

$$Z_T \cong \frac{1}{\beta} \tag{3.11}$$

เมื่อนำสมการที่ (3.9) แทนลงในสมการที่ (3.11) พบว่า อัตราขยายของวงจรขณะลูปเปิดที่ความถี่ต่ำมีค่าเท่ากับ $R_{f1}(2)$ ดังนั้นการปรับซีโรแฟง (ω_{z1}) โดยไม่ให้มีผลกระทบต่ออัตราขยายของวงจร สามารถทำได้โดยการปรับขนาดของตัวเก็บประจุ $C_{f1}(2)$

จากวงจรในรูปที่ 3.17 ซีโรแฟงที่เกิดขึ้นในวงจรป้อนกลับ มีผลทำให้ทิศทางการเคลื่อนที่ของโพลหลักและโพลรองในวงจรขยายลูปเปิดมีการเปลี่ยนแปลงตามลูปเกนซ์ (Loop Gain) โดยทิศทางของตำแหน่งโพล (Root Locus) สามารถแสดงในรูปที่ 3.18



รูปที่ 3.18 การเคลื่อนที่ของโพลตามเส้นทางเดินของราก (Root Locus) โดยสมมุติให้วงจรขณะลูปเปิดมีโพลอยู่ 2 โพล

จากสมการที่ (3.6) และ (3.9) ลูปเกนซ์ (Loop Gain) ของวงจรขยายที่ความถี่ต่ำมีค่าเท่ากับ

$$\text{Loop Gain} = a_o b_o \tag{3.12}$$

โดยที่ $a_o = g_{m7(8)} g_{m14(15)} R_{d1(2)} R_{d3(4)} R_{f1(2)}$ และ $b_o = \frac{1}{R_{f1(2)}}$

จากรูปที่ 3.18 เครื่องหมายกากบาทแทนตำแหน่งโพลหลัก (ω_{p1}) และ โพลรอง (ω_{p2}) ของวงจรถายเมื่ออยู่ในสภาวะรูปเปิด ในขณะที่เครื่องหมายวงกลมถูกแทนด้วยตำแหน่งซีโรแฝง (ω_{z1})

จากรูปที่ 3.18 สังเกตได้ว่า ขนาดของรูปเกณฑท์ที่เพิ่มขึ้นส่งผลทำให้ขนาดของโพลหลัก และโพลรอง เกิดการเปลี่ยนแปลงทำให้แบนด์วิธของวงจรถายเมื่อทำการต่อแบบรูปปิดมีค่าสูง การเพิ่มขนาดของรูปเกณฑท์ในสมการที่ (3.12) สามารถทำได้โดยการเพิ่มอัตราขยายของวงจรถายรูปเปิด (a_o) ในขณะที่อัตราขยายของวงจรถายป้อนกลับ (b_o) ไม่สามารถเปลี่ยนแปลงได้ เนื่องจาก b_o เป็นตัวกำหนดอัตราขยายของวงจรถายทรานอิมพีแดนซ์แบบรูปปิด

การออกแบบวงจรถายทรานอิมพีแดนซ์เพื่อให้วงจรมีคุณสมบัติสูงสามารถทำได้ โดยการพิจารณาความถี่ธรรมชาติ (natural frequency, ω_n) และ ตัวประกอบการหน่วง (damping factor, ζ) ของสมการเชิงความถี่ทั่วไปที่อยู่ในรูปของกำลังสอง (General second-order system in frequency domain) ถูกแสดงในสมการที่ (3.13)

$$Z_T = \frac{Z_o \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2} \quad (3.13)$$

เราสามารถหาอัตราขยายแบบรูปปิด (close loop gain, Z_T) ได้โดยการแทนอัตราขยายของวงจรถายรูปเปิด (A_{vo}) ในสมการที่ (3.6) และ อัตราขยายของวงจรถายป้อนกลับ (β) ในสมการที่ (3.9) ลงในสมการที่ (3.10) โดยมีค่าเท่ากับ

$$Z_T = \frac{a_o \omega_{p1} \omega_{p2}}{s^2 + \left[\frac{(\omega_{p1} + \omega_{p2}) \omega_{z1} + a_o b_o \omega_{p1} \omega_{p2}}{\omega_{z1}} \right] s + (1 + a_o b_o) \omega_{p1} \omega_{p2}} \quad (3.14)$$

โดยที่ ω_{p1}, ω_{p2} คือโพลหลัก และ โพลรองที่เกิดขึ้นในวงจรถายขณะรูปเปิด ω_{z1} คือ ซีโรที่เกิดขึ้นในชุดป้อนกลับ

เมื่อนำสมการที่ (3.14) เทียบกับสมการที่ (3.13) เราสามารถหาความถี่ธรรมชาติ (natural frequency, ω_n) และ ตัวประกอบการหน่วง (damping factor, ζ) มีค่าเท่ากับ

$$\omega_n = \sqrt{(1 + a_o b_o) \omega_{p1} \omega_{p2}} \quad (3.15)$$

$$\zeta = \frac{(\omega_{p1} + \omega_{p2}) + (a_o b_o \omega_{p1} \omega_{p2}) / \omega_{z1}}{2 \sqrt{(1 + a_o b_o) \omega_{p1} \omega_{p2}}} \quad (3.16)$$

จากสมการที่ (3.15) เนื่องจาก ω_n มีความสัมพันธ์โดยตรงกับช่วงเวลาขาขึ้น (rise time) และ ช่วงเวลาเข้าสู่สภาวะคงที่ (settling time) กล่าวคือเมื่อ ω_n มีค่าเพิ่มขึ้นทำให้ช่วงเวลาขาขึ้น และ ช่วงเวลาเข้าสู่สภาวะคงที่มีค่าลดลง ดังนั้นจากสมการที่ (3.15) เราจึงควรออกแบบให้ $a_o, b_o, \omega_{p1}, \omega_{p2}$ มีค่ามาก ค่าประกอบการหน่วง (damping factor, ζ) ในสมการที่ (3.16) เป็นตัวกำหนดยอดคลื่น (Peaking) ของวงจร โดยค่าตัวประกอบการหน่วงที่น้อยกว่า 0.707 จะทำให้แบนด์วิธของวงจรถูกขยายและอาจส่งผลให้วงจรถูกขยายเข้าสู่สภาวะออสซิลเลท การปรับค่า ζ ให้มีค่าที่เหมาะสมนั้นสามารถทำได้ โดยการปรับค่าผ่านทางตัวแปร $a_o, b_o, \omega_{p1}, \omega_{p2}$ และ ω_{z1} อย่างไรก็ตามเนื่องจากค่า a_o ควรทำการออกแบบให้มีค่ามากเพื่อเพิ่มลูบเกณฑ์ให้กับวงจร และ b_o คืออัตราขยายของวงจรถณะรูปปิด ดังนั้นการปรับขนาดของ ζ โดยผ่าน a_o และ b_o จึงไม่สามารถทำได้ ขนาดของ ω_{p1} และ ω_{p2} คือโพลหลักและโพลรองในวงจรถณะรูปเปิด ซึ่งการปรับขนาดของโพลอาจส่งผลกระทบต่อตัวแปรเทอมอื่นในระบบ ดังนั้นการปรับค่า ζ เพื่อให้วงจรมีแบนด์วิธที่เหมาะสมและหลีกเลี่ยงการเข้าสู่สภาวะออสซิลเลทในกรณีที่วงจรมียอดคลื่น (Peaking) สูง จึงสามารถทำได้โดยการปรับขนาดซีโร (ω_{z1}) ผ่านทางตัวเก็บประจุของชุดป้อนกลับ Cf1(2)

ในการจัดไบอัสของวงจรถณะรูปปิดนั้น ขนาดแรงดันไฟตรง (DC) ที่อินพุทของวงจรถณะแรก ($V_{IN(DC)}$) ถูกกำหนดโดยแรงดันที่เอาต์พุทของวงจรถณะที่สอง และ วงจรกันชน ดังแสดงในรูปที่ 3.16 ซึ่งมีค่าเท่ากับ

$$V_{IN(DC)} = V_{DD} - V_{Rd3(4)} - V_{GS20(21)} \quad (3.17)$$

จากสมการที่ (3.17) ขนาดของแรงดันไฟตรงที่อินพุท ($V_{DC(IN)}$) ต่ำสุดที่สามารถออกแบบได้ต้องมีขนาดมากกว่าแรงดันที่ตกคร่อมโฟโตไดโอดรวมกับแรงดันอิมิตัวของมอสทรานซิสเตอร์ M3(4) ($V_{DSAT3(4)}$) ซึ่งทำหน้าที่เป็นแหล่งจ่ายกระแส I3(4) เพื่อให้โฟโตไดโอดยังคงสามารถทำงานได้ แรงดันไฟตรงที่เอาต์พุทค่าเท่ากับ

$$V_{OUT} = V_{DD} - V_{Rd3(4)} - V_{GS24(25)} \quad (3.18)$$

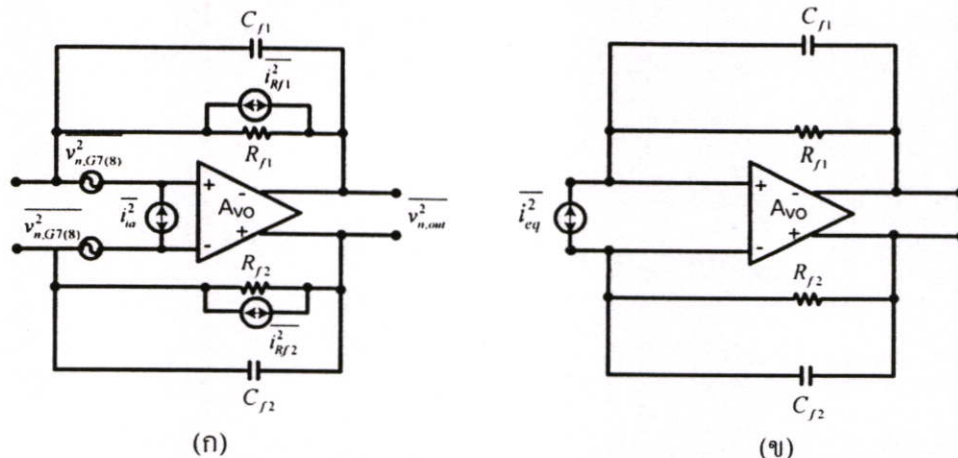
จากสมการที่ (3.18) แรงดันไฟตรงที่เอาต์พุทควรออกแบบให้มีขนาดมากกว่าขนาดของสัญญาณข้อมูลรวมกับแรงดัน $V_{DSAT26(27)}$ ของแหล่งจ่ายกระแส I26(27) เพื่อป้องกันการถูกคลิป์ของสัญญาณ และ ป้องกันไม่ให้แหล่งจ่ายกระแส I26(27) เข้าสู่สภาวะเชิงเส้น (Linear)

3.3.2 สัญญาณรบกวน

การวิเคราะห์สัญญาณรบกวนที่อินพุตสามารถทำได้โดยหาสัญญาณรบกวนที่เอาต์พุตจากแหล่งกำเนิดสัญญาณรบกวนของอุปกรณ์ทุกตัวในวงจรแล้วนำสัญญาณรบกวนที่เอาต์พุตหารด้วยอัตราขยายของวงจร สัญญาณรบกวนที่เกิดจากวงจรกันชน (Buffer) สามารถละเลยได้เนื่องจากสัญญาณรบกวนที่เกิดจากวงจรกันชนต้องถูกนำมาหารด้วยอัตราขยายของวงจรทั้งสองภาค ทำให้สัญญาณรบกวนที่เกิดจากวงจรกันชนเมื่ออ้างอิงกลับมาที่อินพุตมีขนาดเล็ก การวิเคราะห์สัญญาณรบกวนของวงจรขยายทรานซิสเตอร์ที่มีการต่อชุดป้อนกลับแบบขนาน-ขนาน ใช้หลักการวิเคราะห์โดยแยกแหล่งกำเนิดสัญญาณรบกวนออก ดังแสดงในรูปที่ 3.19(ก) โดยที่ $\overline{i_{ia}^2}$ คือแหล่งกำเนิดสัญญาณรบกวนที่อินพุตของวงจรขยายขณะลูปเปิดในรูปของกระแส $v_{n,G7(8)}^2$ คือแหล่งกำเนิดสัญญาณรบกวนที่อินพุตของวงจรขยายขณะลูปเปิดในรูปของแรงดัน และ $\overline{i_{RF1(2)}^2}$ คือแหล่งกำเนิดสัญญาณรบกวนของ RF(2) ซึ่งอยู่ในรูปของกระแส ผลจากการวิเคราะห์แหล่งกำเนิดสัญญาณรบกวนในรูปที่ 3.19(ก) ทำให้ได้สัญญาณรบกวนที่อินพุต ($\overline{i_{eq}^2}$) ดังในรูปที่ 3.19(ข) ซึ่งมีค่าเท่ากับ

$$\begin{aligned} \overline{i_{eq}^2} &\cong \overline{2i_{RF1(2)}^2} + \overline{i_{ia}^2} + \overline{2v_{n,G7(8)}^2} \left(\frac{1}{R_{f1(2)}^2} + \omega^2 (C_{f1(2)} + C_{gs7(8)} + C_{gd7(8)})^2 \right) & (3.19) \\ &\cong \frac{8kT}{R_{f1(2)}} + 2qI_{G7(8)} \\ &+ \left\{ \left[\frac{8kT}{g_{m7(8)}^2 g_{m14(15)}^2} \left(2\Gamma g_{m14(15)} + \frac{1}{R_{d3(4)}} \right) + \frac{8kT\Gamma g_{m18(19)}}{g_{m7(8)}^2 (g_{m14(15)} + g_{m16(17)})^2} \right] \right. \\ &\times \left. \left(\frac{1}{R_{d1(2)}^2} + \omega^2 (C_{gd9(10)} + \frac{C_{gs14(15)}}{2} + C_{gd14(15)} + C_{1(2)})^2 \right) \right. \\ &+ \left. \frac{8kT}{g_{m7(8)}^2} \left(\Gamma g_{m7(8)} + \Gamma g_{m12(13)} + \frac{1}{R_{d1(2)}} \right) + \frac{4qI_{G14(15)}}{g_{m7(8)}^2} \right\} \\ &\times \left(\frac{1}{R_{f1(2)}^2} + \omega^2 (C_{f1(2)} + C_{gs7(8)} + C_{gd7(8)} + C_{pd})^2 \right) \end{aligned}$$

โดยที่ k T และ Γ คือค่าคงที่ของโบลท์มาน (Boltzmann Constant) อุณหภูมิ มีหน่วยเป็น เคลวิน (Kelvin) และ ตัวประกอบสัญญาณรบกวน (Noise Factor) ของมอดูลทรานซิสเตอร์ตามลำดับ C_{pd} คือ ตัวเก็บประจุที่ตกคร่อมโฟลไดโอด



รูปที่ 3.19 (ก) แหล่งกำเนิดสัญญาณรบกวนของวงจรขยายแบบที่มีการป้อนกลับขนาน-ขนาน
 (ข) แหล่งกำเนิดสัญญาณรบกวนที่อินพุท

จากสมการที่ (3.19) ขนาดสัญญาณรบกวนที่เกิดขึ้นยังไม่ใช่สัญญาณรบกวนที่อินพุทอย่างแท้จริง เนื่องจากโฟโตไดโอดถูกต่อยุ่กับวงจรสร้างสัญญาณอินพุทดังแสดงในรูปที่ 3.12 ดังนั้นสัญญาณรบกวนที่อ้างอิงกลับมาที่อินพุทควรรวมผลของสัญญาณรบกวนที่เกิดจากวงจรสร้างสัญญาณอินพุทด้วย โดยมีขนาดเท่ากับ [ภาคผนวก ง]

$$\overline{i_{in}^2} = 8kT\Gamma (g_{m3(4)} + g_{m5(6)}) + \overline{i_{eq}^2} \tag{3.20}$$

โดยที่ $g_{m3(4)}$ และ $g_{m5(6)}$ คือ ค่าทรานคอนดักแตนซ์ของมอสทรานซิสเตอร์ซึ่งทำหน้าที่เป็นแหล่งจ่ายกระแส I3(4) และ I5(6) ตามลำดับ $\overline{i_{eq}^2}$ คือ ขนาดสัญญาณรบกวนที่เกิดขึ้นในวงจรขยายทรานอิมพีแดนซ์แบบลูปิด ดังแสดงในสมการที่ (3.19) $\overline{i_{in}^2}$ คือ ขนาดสัญญาณรบกวนที่อินพุทของวงจรสร้างสัญญาณอินพุท ดังที่ได้แสดงไว้ในรูปที่ 3.12

จากสมการที่ (3.20) ขนาดของสัญญาณรบกวนที่อินพุท ($\overline{i_{in}^2}$) ประกอบด้วยสัญญาณรบกวนที่เกิดในวงจรสร้างสัญญาณอินพุท กับสัญญาณรบกวนของวงจรขยายภาคแรก และ ภาคสอง การลดขนาดสัญญาณรบกวนที่อินพุทของวงจรขยายภาคแรก ($\overline{i_{eq}^2}$) ใช้การเพิ่มขนาด g_m โดยการปรับแหล่งจ่ายกระแส และเพิ่มขนาดตัวต้านทาน Rd1-Rd4 ของวงจรขยายภาคแรกและวงจรขยายภาคสอง ดังที่ได้กล่าวในหัวข้อการออกแบบวงจรขยายภาคแรก และการออกแบบวงจรขยายภาคสอง การลดขนาดสัญญาณรบกวนที่เกิดในวงจรสร้างสัญญาณอินพุท สามารถทำได้โดยการลดขนาดแหล่งจ่ายกระแส I3-I6 เพื่อลดค่าทรานคอนดักแตนซ์ (g_m) ที่เกิดจากมอสทรานซิสเตอร์ในแหล่งจ่ายกระแส

3.3.3 ผลการจำลองการทำงาน

โดยการจำลองการทำงานวงจรในรูปที่ 3.16 และวงจรสร้างสัญญาณอินพุทในรูปที่ 3.12 ด้วยโปรแกรม HSPICE ภายใต้เทคโนโลยีซีมอสขนาด 0.5 ไมครอนและแหล่งจ่ายไฟเลี้ยงขนาด 2.5 โวลต์ ตัวต้านทาน ($R_{f1}(2)$) และ ตัวเก็บประจุ ($C_{f1}(2)$) ของชุดป้อนกลับมีขนาดเท่ากับ 4.1 กิโลโอห์ม และ 10 เฟรมโตฟาร์ด ตามลำดับ และขนาดของมอสทรานซิสเตอร์ในวงจรกันชน (Buffer) เป็นไปตามตารางที่ 3.7 ตัวเก็บประจุแฝงในโฟโตไดโอดมีขนาดเท่ากับ 0.5 พิโคฟาร์ด โหลดของวงจรถูกแทนด้วยตัวเก็บประจุขนาด 10 เฟรมโตฟาร์ด ในการออกแบบวงจร แหล่งจ่ายกระแส I3-I6 มีค่าเท่ากับ 6.5 ไมโครแอมป์ แหล่งจ่ายกระแส I11 มีค่าเท่ากับ 6 มิลลิแอมป์ แหล่งจ่ายกระแส I12(13) มีค่าเท่ากับ 2.8 มิลลิแอมป์ แหล่งจ่ายกระแส I18(19) มีค่าเท่ากับ 311 ไมโครแอมป์ แหล่งจ่ายกระแส I22(23) มีค่าเท่ากับ 96.8 ไมโครแอมป์ และ แหล่งจ่ายกระแส I26(27) มีค่าเท่ากับ 1.2 มิลลิแอมป์ การไบอัสแรงดันไฟตรงที่โหนด VB มีขนาดเท่ากับ 0.9 โวลต์ แรงดันไฟตรงที่โหนด VB1 มีขนาดเท่ากับ 2 โวลต์ และ แรงดันไฟตรงที่โหนด VB2 มีขนาดเท่ากับ 1.8 โวลต์

ตารางที่ 3.7 ขนาดของมอสทรานซิสเตอร์ที่ทำการออกแบบวงจรกันชน (Buffer)

มอสทรานซิสเตอร์	อัตราส่วน (W/L)
M20(21)	8/0.5
M24(25)	20/0.5

ตารางที่ 3.8 แสดงผลจำลองการทำงานของวงจรขยายทรานซิมพีแคนซ์เมื่อทำการต่อวงจรสร้างสัญญาณอินพุท รูปที่ 3.20 แสดงผลการตอบสนองทางความถี่ของวงจรเมื่อกำหนดค่าตัวเก็บประจุ $C_{f1}(2)$ ให้มีขนาดเท่ากับ 10 เฟรมโตฟาร์ด ความถี่คัตออฟ (f_{-3dB}) อยู่ที่ 1.7 กิโลเฮิรตซ์ รูปที่ 3.21 แสดงขนาดสัญญาณรบกวนเมื่ออ้างอิงกลับมาที่อินพุทของวงจรสร้างสัญญาณอินพุท โดยขนาดสัญญาณรบกวนอินพุทที่ความถี่คัตออฟมีค่าเท่ากับ $12.3 \text{ pA}/\sqrt{\text{Hz}}$ และที่ความถี่ 1 กิโลเฮิรตซ์สำหรับการนำไปใช้เปรียบเทียบกับงานวิจัยที่ผ่านมาที่มีขนาดเท่ากับ $7.1 \text{ pA}/\sqrt{\text{Hz}}$ ผลของสัญญาณรบกวนที่ได้ยังคงมีค่าสูงเมื่อเทียบกับงานวิจัยที่ได้นำเสนอในตารางที่ 3.9 เนื่องจากผลของการลดขนาดสัญญาณรบกวนที่ต่ำโดยการเพิ่มอัตราขยายของวงจรในภาคแรกและภาคสอง อาจส่งผลทำให้แบนด์วิธของวงจรมีค่าต่ำลงอันเนื่องมาจากผลของตัวเก็บประจุแฝงที่เพิ่มขึ้น รูปที่ 3.22 แสดงการสวิงของสัญญาณที่เอาต์พุทในรูปของอายไดอะแกรม (Eye Diagram) ที่ความถี่ 1.7 กิโลเฮิรตซ์ จะเห็นได้ว่าอายไดอะแกรมมีลักษณะเปิดกว้างซึ่งเป็นตัวบ่งบอกถึงคุณสมบัติการทำงานของวงจรที่ดี

วิทยานิพนธ์ฉบับนี้ได้ทำการเลย์เอาต์ (Layout) วงจรในรูปที่ 3.16 และวงจรสร้างสัญญาณอินพุทในรูปที่ 3.12 วงจรขยายที่สร้างขึ้นนี้ได้ทำการรวมผลของตัวต้านทานแฝงและตัว

เก็บประจุแฝงที่เกิดในชั้นของโพลีซิลิกอน (Poly Silicon) แอกทีฟ (Active) และโลหะ (Metal) ดังแสดงในรูปที่ 3.23 รูปที่ 3.24 แสดงผลการตอบสนองทางความถี่ของวงจรมือถือให้ตัวเก็บประจุ C_{fl}(2) มีขนาดเท่ากับ 10 เฟรมโตฟาร์ดและได้รวมผลของตัวต้านทานแฝงและตัวเก็บประจุแฝงแล้ว จากรูปที่ 3.24 อัตรายายของวงจรมีขนาดเท่ากับ 80 เดซิเบลและแบนด์วิธของวงจรมีขนาดเท่ากับ 1.1 กิกะเฮิรตซ์ รูปที่ 3.25 แสดงขนาดสัญญาณรบกวนที่อินพุตของวงจรมีสัญญาณอินพุตเมื่อรวมผลของตัวต้านทานแฝงและตัวเก็บประจุแฝง โดยขนาดสัญญาณรบกวนอินพุตที่ความถี่คัตออฟมีค่าเท่ากับ $7.9 \text{ pA}/\sqrt{\text{Hz}}$ และที่ความถี่ 1 กิกะเฮิรตซ์สำหรับการนำไปใช้เปรียบเทียบกับงานวิจัยที่ผ่านมาซึ่งมีขนาดเท่ากับ $7.2 \text{ pA}/\sqrt{\text{Hz}}$ รูปที่ 3.26 แสดงการสวิงของสัญญาณที่เอาต์พุตในรูปของอายไดอะแกรม (Eye Diagram) ที่ความถี่ 1.1 กิกะเฮิรตซ์โดยได้รวมผลของตัวต้านทานแฝงและตัวเก็บประจุแฝง

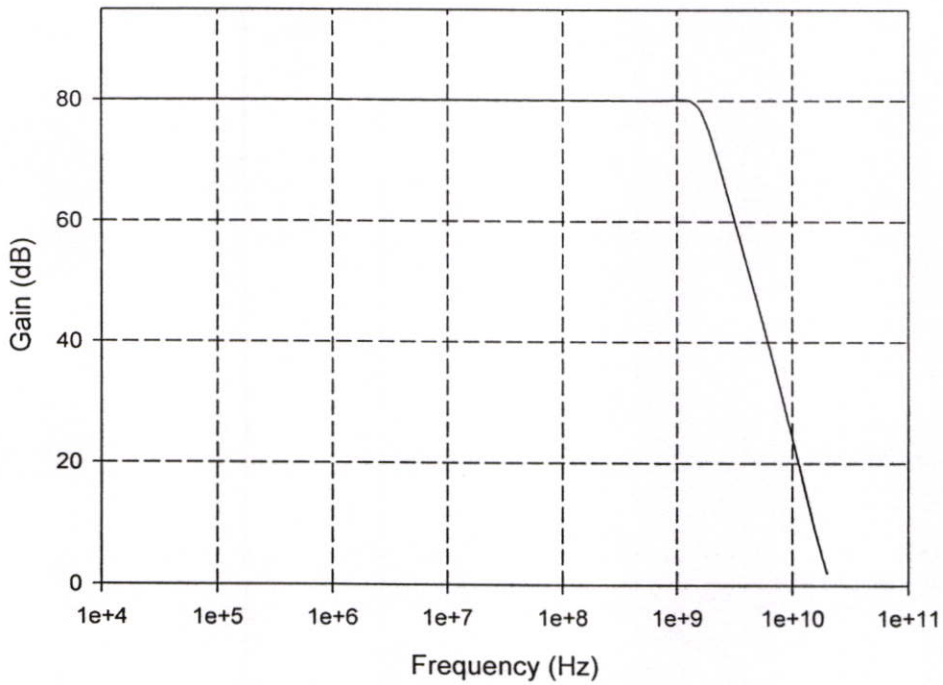
ตารางที่ 3.8 ผลจำลองการทำงานของวงจรมือถือวิทยุทรานสมิเตอร์เมื่อทำการต่อวงจรสร้างสัญญาณอินพุต

พารามิเตอร์	ผลการทดลอง
เทคโนโลยีซีมอส	0.5 μm
แหล่งจ่ายไฟเลี้ยง	2.5 V
แรงดันไฟตรงที่เอาต์พุต	0.8 V
อัตรายายของวงจรมือถือ	80 dB
แบนด์วิธของวงจรมือถือ -3 เดซิเบล	1.7 GHz
สัญญาณรบกวนที่ความถี่ 1 กิกะเฮิรตซ์	$7.1 \text{ pA}/\sqrt{\text{Hz}}$
กำลังงานสูญเสีย	23 mW

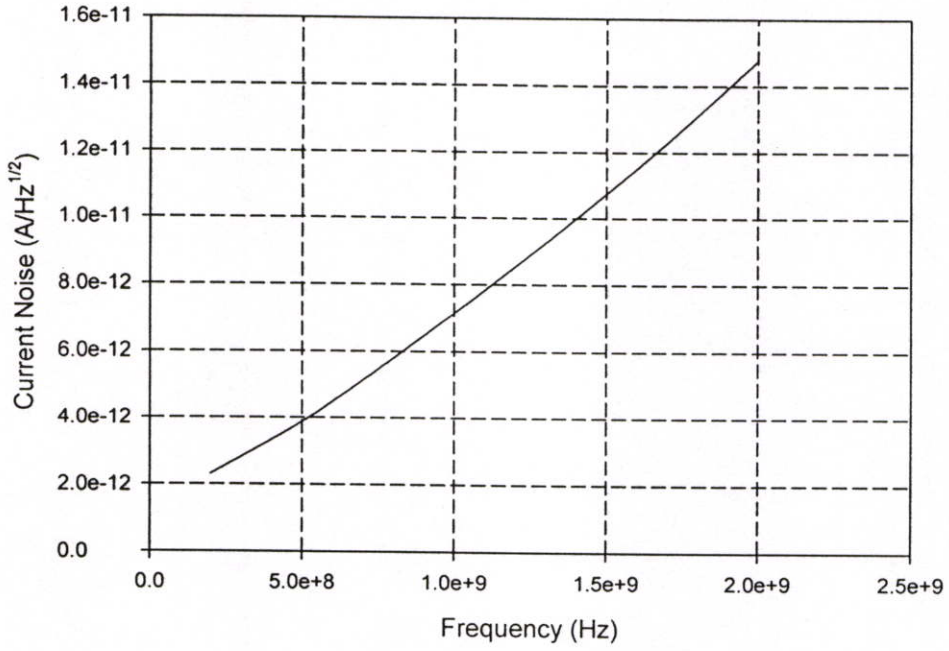
ตารางที่ 3.9 แสดงการเปรียบเทียบคุณสมบัติระหว่างวงจรมือถือวิทยุทรานสมิเตอร์ที่นำเสนอและวงจรมือถือวิทยุทรานสมิเตอร์ที่ได้มีการนำเสนอก่อนหน้านี้ จากตารางดังกล่าวพบว่าวงจรมือถือวิทยุทรานสมิเตอร์ที่นำเสนอมีแบนด์วิธสูง ในขณะที่สัญญาณรบกวนที่เกิดขึ้นมีค่าสูงกว่าวงจรมือถือวิทยุทรานสมิเตอร์ที่นำเสนอก่อนหน้านี้ การลดขนาดของสัญญาณรบกวนสามารถทำได้โดยการเพิ่มอัตรายาย อย่างไรก็ตามแบนด์วิธของวงจรมือถือวิทยุทรานสมิเตอร์อาจมีขนาดลดลงได้ ดังนั้นการออกแบบวงจรมือถือวิทยุทรานสมิเตอร์จึงต้องคำนึงถึงปัจจัยต่างๆเพื่อให้วงจรมือถือวิทยุทรานสมิเตอร์สามารถทำงานได้อย่างมีประสิทธิภาพ

ตารางที่ 3.9 คุณสมบัติของวงจรถรานอิมพีแดนซ์ที่นำเสนอ และวงจรถรานอิมพีแดนซ์ที่นำเสนอมาก่อน

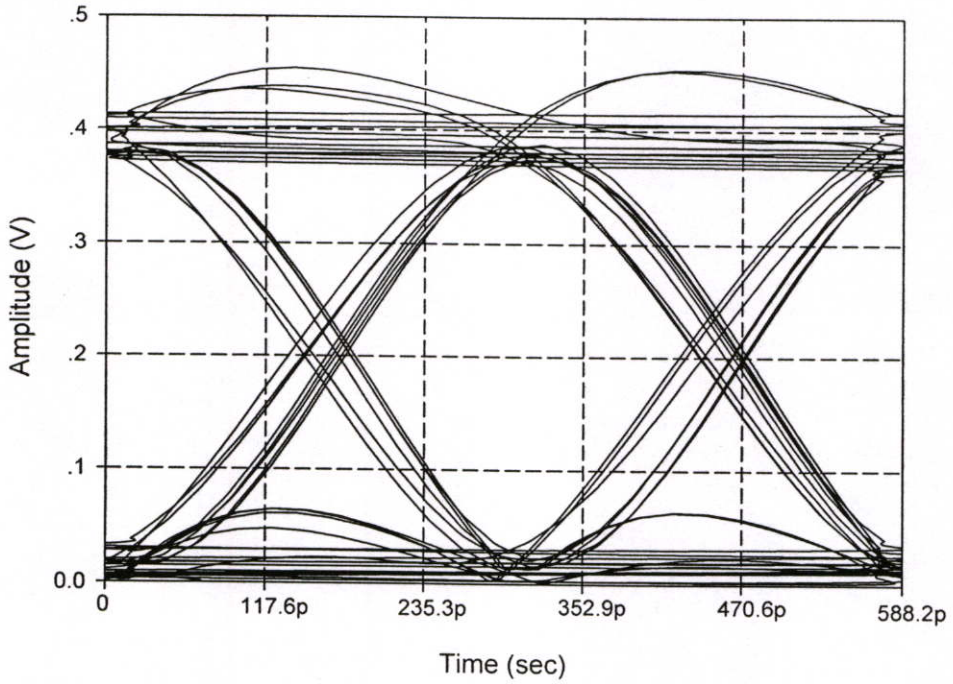
พารามิเตอร์	[19]	[20]	[21]	ที่นำเสนอ
เทคโนโลยีซีมอส (um)	0.8	0.6	0.25	0.5
แบนด์วิธ (MHz)	660	860	670	1700
อัตราขยาย (Ω)	1120	800	10000	10000
ตัวเก็บประจุแฝงของโฟโตไดโอด (pF)	0.32	1	1	0.5
สัญญาณรบกวนที่ความถี่ 1 กิกกะเฮิรต์ (pA/\sqrt{Hz})	4.6	6.3	-	7.1
กำลังงานสูญเสีย (mW)	155	85	27	23



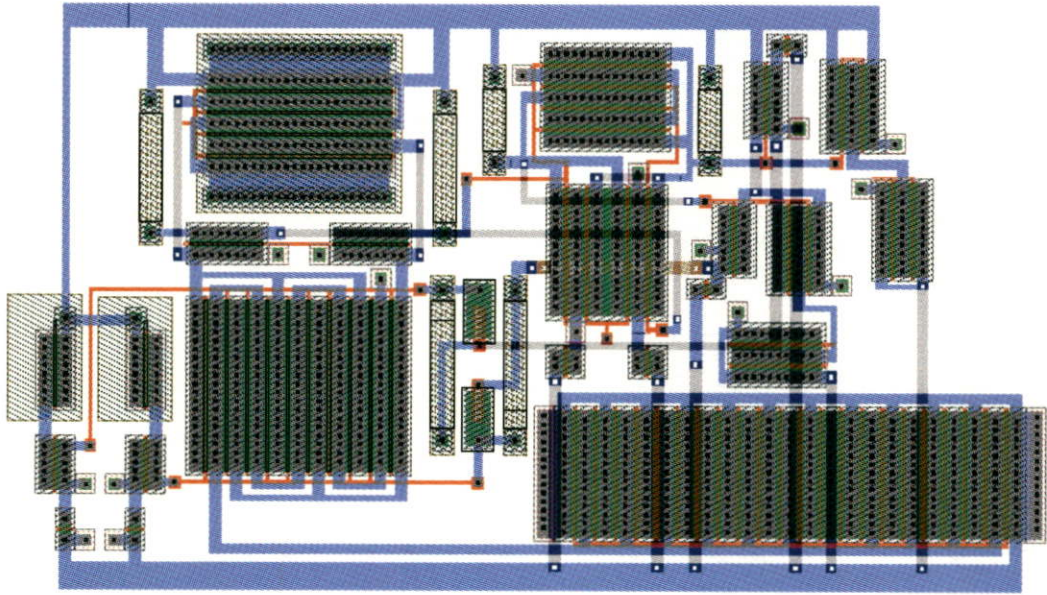
รูปที่ 3.20 ผลการตอบสนองทางความถี่เมื่อใช้ตัวเก็บประจุ Cf1(2) ขนาด 10 เฟรมโตฟาร์ด



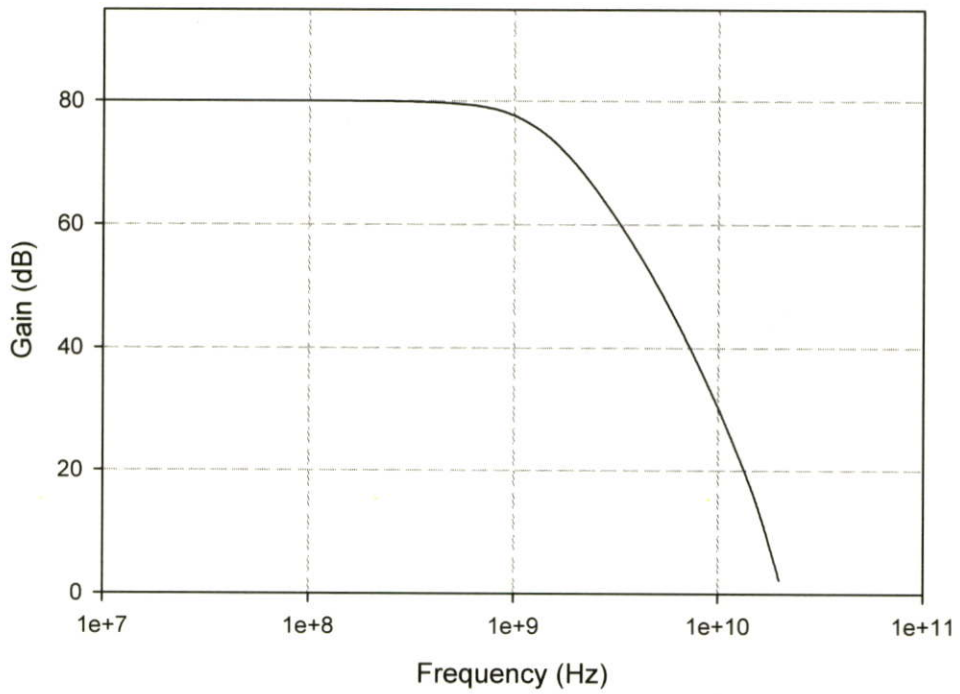
รูปที่ 3.21 ขนาดสัญญาณรบกวนที่อินพุทของวงจรถ่ายทรานซิสเตอร์



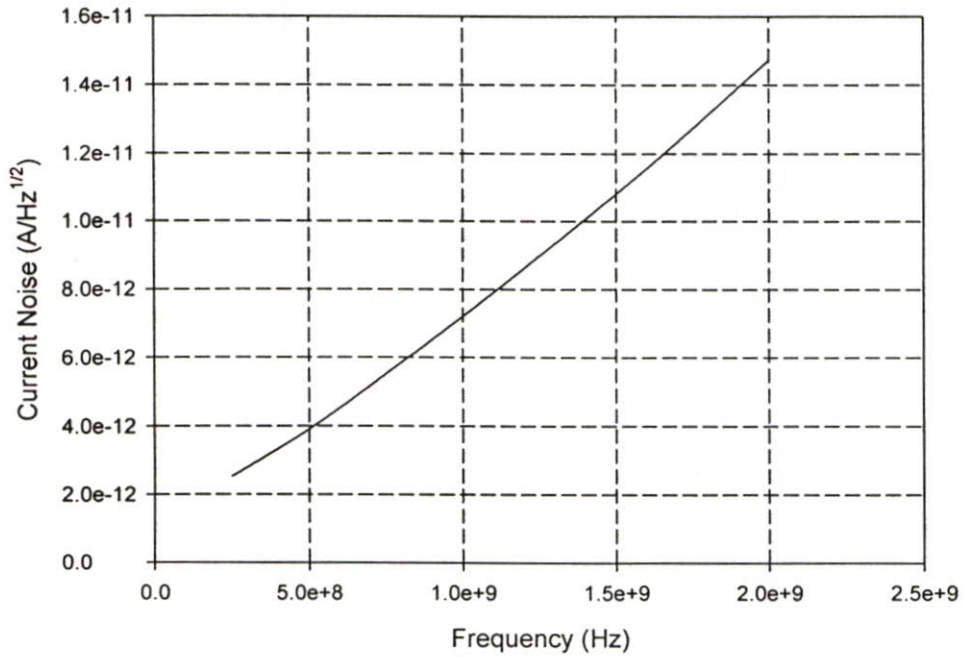
รูปที่ 3.22 การสวิงของสัญญาณที่เอาต์พุทในรูปของอายไดอะแกรม (Eye Diagram) ของวงจรถ่ายทรานซิสเตอร์



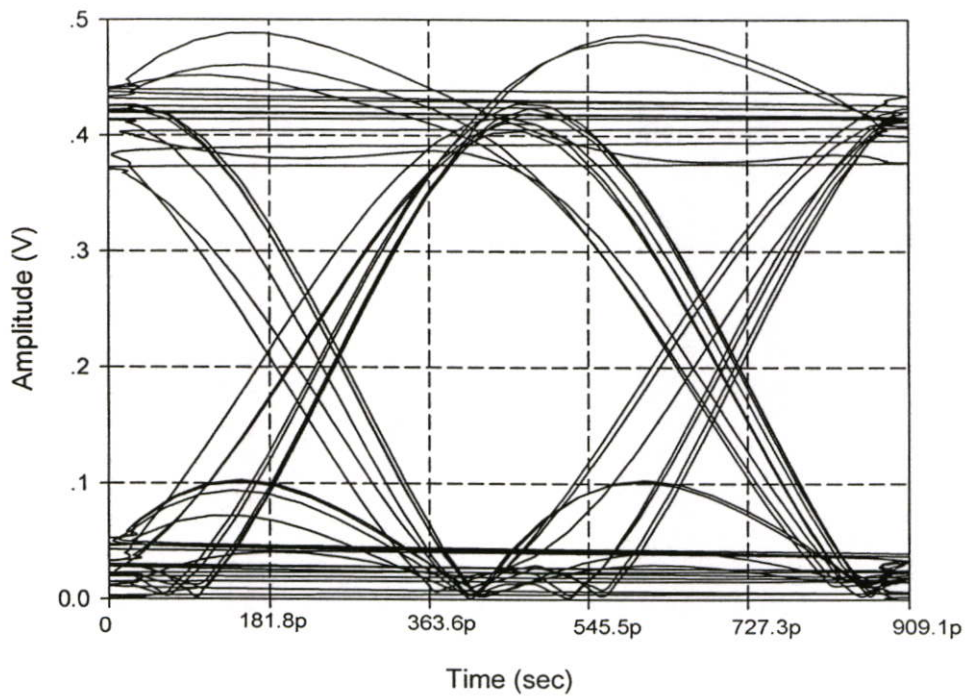
รูปที่ 3.23 วงจรขยายทรานซิสเตอร์ที่ได้ออกเสียงเอ๊าท์ (Layout)



รูปที่ 3.24 ผลการตอบสนองทางความถี่ของวงจรขยายทรานซิสเตอร์ที่ได้ออกเสียงเอ๊าท์



รูปที่ 3.25 ขนาดสัญญาณรบกวนที่อินพุทของวงจรถ่ายทรานซิมพีแดนซ์ที่ได้ทำการเลย์เอาท์



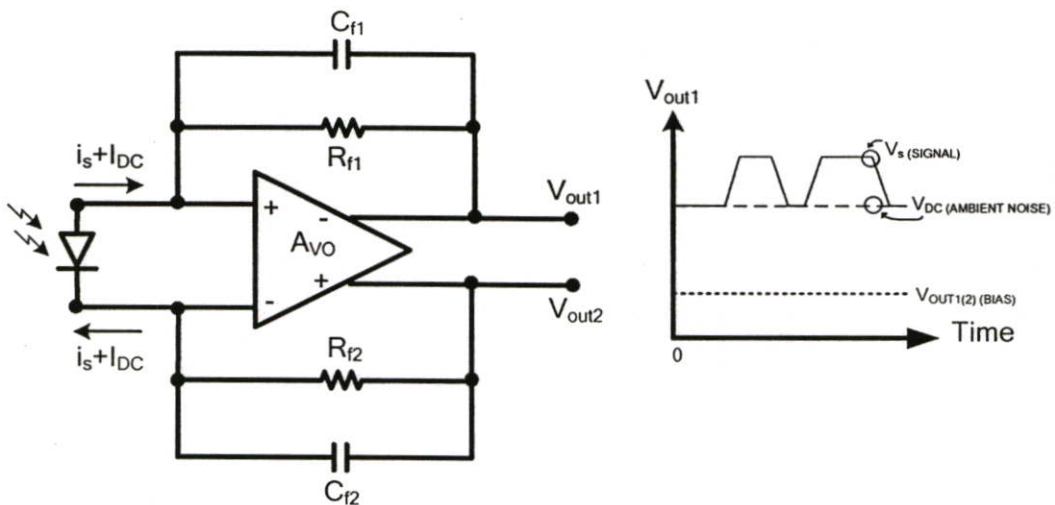
รูปที่ 3.26 การสวิงของสัญญาณที่เอาต์พุทในรูปของอายไดอะแกรม (Eye Diagram) ของวงจรถ่ายทรานซิมพีแดนซ์ที่ได้ทำการเลย์เอาท์

บทที่ 4

วงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมที่เกิดจาก การส่งข้อมูลแบบไร้สาย

ปัจจุบันการส่งข้อมูลแบบไร้สายเป็นที่นิยมใช้งานกันอย่างกว้างขวางในการติดต่อสื่อสารระยะสั้น เนื่องจากมีต้นทุนต่ำและมีการใช้งานที่สะดวก อุปกรณ์ที่ได้รวมเอาเทคโนโลยีการสื่อสารแบบไร้สายเข้าด้วยกันได้แก่ กล้องดิจิทัล โทรศัพท์ โทรทัศน์ และ วิทยุ เป็นต้น

จากที่ได้กล่าวมาในหัวข้อ 2.3 โดยปกติแล้วการติดต่อสื่อสารทางแสงโดยผ่านตัวกลางที่เป็นอากาศนั้น สัญญาณแสงที่รับเข้ามาในวงจรขยายประกอบด้วยสัญญาณข้อมูลกับสัญญาณรบกวนจากสภาพแวดล้อม สัญญาณรบกวนที่ปนเข้ามาอาจมาจากแหล่งกำเนิดแสงธรรมชาติ ได้แก่ แสงจากดวงอาทิตย์ หรือ แหล่งกำเนิดแสงที่มนุษย์สร้างขึ้น ได้แก่ แสงจากหลอดฟลูออเรสเซนต์ เป็นต้น รูปที่ 4.1 แสดงวงจรขยายทรานซิสเตอร์เมื่อสัญญาณอินพุตมีทั้งสัญญาณรบกวนจากสภาพแวดล้อม (I_{DC}) และสัญญาณข้อมูล (i_s) ผลของสัญญาณรบกวนที่ปนเข้ามาในวงจรภาครับแสงอาจทำให้สัญญาณที่เอาต์พุตของวงจรขยายเป็นสัญญาณที่ผิดพลาด โดยสัญญาณรบกวนดังกล่าวจะทำให้ระดับสัญญาณที่เอาต์พุตของวงจรขยายทรานซิสเตอร์ออกมาในลักษณะที่ทำให้วงจรในภาคถัดไปไม่สามารถกำหนดระดับแรงดันลอจิกสูงหรือลอจิกต่ำได้อย่างถูกต้อง ดังนั้นเนื้อหาในบทที่นี้จึงเป็นการออกแบบวงจรที่ใช้แก้ปัญหาสัญญาณรบกวนทางแสงโดยอาศัยเทคนิคการป้อนกลับแบบแอกทิฟ ดังจะได้กล่าวต่อไป

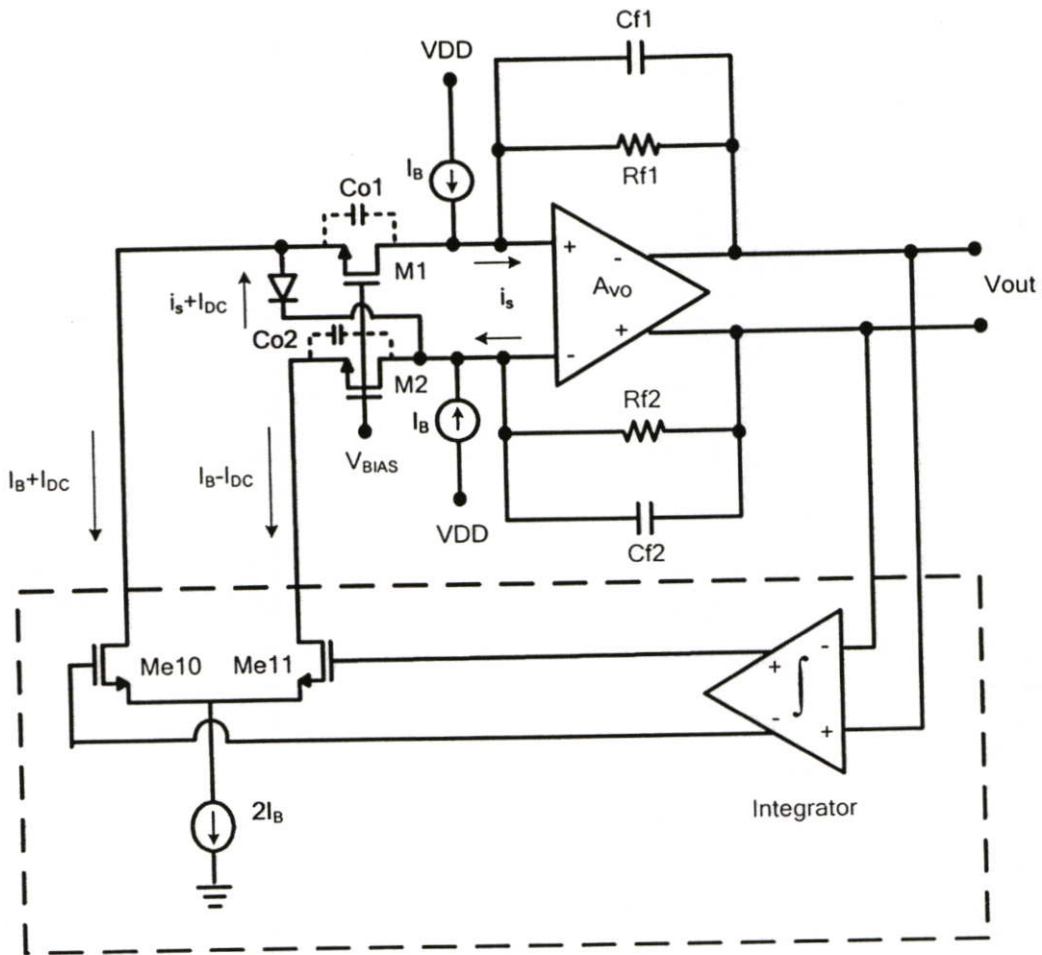


รูปที่ 4.1 วงจรขยายและผลการตอบสนองทางเวลาเมื่อสัญญาณอินพุตมีทั้งสัญญาณรบกวนจากสภาพแวดล้อม (I_{DC}) และสัญญาณข้อมูล (i_s)

4.1 หลักการทำงานและการวิเคราะห์

รูปที่ 4.2 คือวงจรถยายทรานอิมพีแดนซ์และวงจรที่ใช้แก้ปัญหาสัญญาณรบกวนทางแสง สำหรับการติดต่อสื่อสารแบบไร้สาย โดยปกติแล้วความเข้มของแหล่งกำเนิดแสงจากสภาพแวดล้อมมีการเปลี่ยนแปลงค่อนข้างคงที่หรือมีการเปลี่ยนแปลงในช่วงความถี่ต่ำ[14] ดังนั้นในวิทยานพชนนี้จึงสมมุติให้สัญญาณรบกวนจากสภาพแวดล้อมมีลักษณะคงที่ สัญญาณแสงที่โฟโตไดโอดได้รับได้จะถูกแปลงให้อยู่ในรูปของกระแส โดยสัญญาณรบกวนจากสภาพแวดล้อมจะถูกแปลงให้อยู่ในรูปของกระแสไฟฟ้า (I_{DC}) และสัญญาณที่เป็นข้อมูลถูกแทนด้วยสัญญาณ i_s วงจรในเส้นประเป็นวงจรที่ใช้แก้ปัญหาสัญญาณรบกวนทางแสงที่ประกอบด้วยวงจรอินทิเกรเตอร์[22] และวงจรถยายผลต่าง วงจรอินทิเกรเตอร์ถูกออกแบบขึ้นเพื่อทำหน้าที่ขยายสัญญาณแรงดันจากเอาต์พุตของวงจรถยายทรานอิมพีแดนซ์ในช่วงความถี่ต่ำ สัญญาณแรงดันที่ได้จากวงจรอินทิเกรเตอร์จะถูกส่งไปยังวงจรถยายผลต่างซึ่งประกอบด้วยมอสทรานซิสเตอร์ Me10 และ Me11 เพื่อทำหน้าที่กำจัดสัญญาณกระแส (I_{DC}) ไม่ให้เข้าสู่วงจรถยายทรานอิมพีแดนซ์ แหล่งจ่ายกระแสไฟตรง (I_B) ทำหน้าที่จัดกระแสไบอัสให้แก่วงจรถยายผลต่างซึ่งประกอบด้วยมอสทรานซิสเตอร์ M1(2) และ Me10(11)

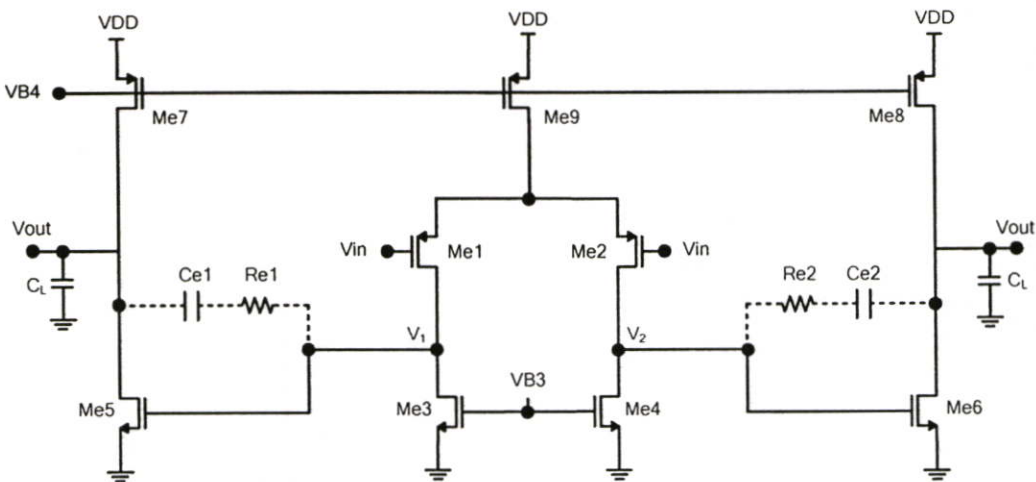
การทำงานของวงจรในรูปที่ 4.2 สามารถอธิบายได้ดังนี้ เมื่อมีแสงตกกระทบโฟโตไดโอด สัญญาณแสงจะถูกแปลงให้อยู่ในรูปของกระแสซึ่งมีค่าเท่ากับผลรวมของสัญญาณข้อมูล (i_s) และสัญญาณรบกวนจากสภาพแวดล้อม (I_{DC}) ในช่วงเริ่มต้นของการทำงาน กระแสที่เกิดจากสัญญาณรบกวน (I_{DC}) และ สัญญาณข้อมูล (i_s) ถูกส่งเข้าสู่วงจรถยายทรานอิมพีแดนซ์เพื่อทำหน้าที่ขยายสัญญาณให้ออกมาอยู่ในรูปของแรงดัน ($V_{out1}(2)$) ดังแสดงในรูปที่ 4.1 จากรูปจะเห็นว่าสัญญาณที่เอาต์พุตมีทั้งสัญญาณความถี่สูง $v_{s(SIGNAL)}$ (สัญญาณข้อมูล) และสัญญาณความถี่ต่ำ $V_{DC(AMBIENT NOISE)}$ (สัญญาณรบกวนจากสภาพแวดล้อม) สัญญาณเอาต์พุตของวงจรถยายทรานอิมพีแดนซ์ที่ได้ ถูกส่งเข้าวงจรอินทิเกรเตอร์เพื่อทำการเลือกขยายสัญญาณที่มีช่วงความถี่ต่ำ โดยสัญญาณที่ได้จากวงจรอินทิเกรเตอร์ถูกส่งต่อไปยังวงจรถยายผลต่าง (Me10(11)) เพื่อทำหน้าที่กำจัดกระแสไฟตรง (I_{DC}) ที่เกิดจากสัญญาณรบกวน การป้อนกลับดังกล่าวถูกต้องในลักษณะการป้อนกลับแบบลบส่งผลทำให้สัญญาณรบกวนที่เข้าวงจรถยายทรานอิมพีแดนซ์ถูกกำจัดออกไปและทำให้เอาต์พุตของวงจรมีเฉพาะสัญญาณที่เป็นข้อมูล



รูปที่ 4.2 วงจรขยายทรานซิสเตอร์แบบมีวงจรถ่ายแก้ปัญหาสัญญานรบกวนทางแสง [18]

รูปที่ 4.3 คือวงจรอินทิเกรเตอร์ มอสทรานซิสเตอร์ Me1-Me4 ประกอบขึ้นเป็น วงจรขยายภาคแรกโดย Me1 และ Me2 ต่ออยู่ในลักษณะวงจรถ่ายผลต่าง ในขณะที่ Me3(4) ถูก ต่อเป็นแอกทีฟโหลดให้กับวงจรถ่ายภาคแรก สัญญาณที่ได้จากวงจรถ่ายภาคแรกถูกส่งต่อไป ยังวงจรถ่ายภาคที่สองซึ่งประกอบด้วยมอสทรานซิสเตอร์ Me5-Me8 โดย Me5(6) ต่อเป็นวงจร คอมมอนซอส และ Me7(8) ต่อเป็นแอกทีฟโหลด วงจรดังกล่าวมีโพลสองตัวอยู่ทางด้านซ้ายของ แกนจำนวนจริง (Left Half Plane) และมีซีโรหนึ่งตัวอยู่ทางด้านขวาของแกนจำนวนจริง (Right Half Plane) ตำแหน่งของโพลที่เกิดขึ้นเป็นตัวกำหนดแบนด์วิธของวงจรอินทิเกรเตอร์ วงจร ดังกล่าวยังไม่เหมาะสมที่จะใช้งานเป็นวงจรอินทิเกรเตอร์ เนื่องจากโพลของวงจรมีค่าสูงมาก เกินไป และ ไม่สามารถปรับให้เข้ากับสัญญาณรบกวนที่ไม่พึงประสงค์ นอกจากนั้นซีโรที่อยู่ ด้านขวาของแกนจำนวนจริงยังอาจส่งผลทำให้วงจรไม่มีเสถียรภาพ (Unstable) เมื่อมีการ ป้อนกลับ เพื่อแก้ปัญหาดังกล่าวเราสามารถทำได้โดยการต่อตัวเก็บประจุที่ขาเกตของ Me5(6) ลง กราวด์ อย่างไรก็ดีตามตัวเก็บประจุดังกล่าวจำเป็นต้องมีขนาดใหญ่เพื่อให้วงจรมีช่วงแบนด์วิธที่

เหมาะสมสำหรับการเลือกขยายสัญญาณในช่วงความถี่ต่ำ วิธีที่ดีกว่าสำหรับการออกแบบตัวเก็บประจุที่อินพุตคือ การต่อตัวเก็บประจุ $C_{e1(2)}$ และตัวต้านทาน $R_{e1(2)}$ ระหว่างขาเกตและขาเดรนของ $M_{e5(6)}$ โดยแทนด้วยสัญลักษณ์ที่เป็นเส้นประดังแสดงในรูปที่ 4.3 ตัวเก็บประจุที่ใช้ดังรูปไม่จำเป็นต้องมีขนาดใหญ่เนื่องจากผลของปรากฏการณ์มิลเลอร์ (Miller Effect) ทำให้ตัวเก็บประจุเสมือนที่ขาเกตของ $M_{e5(6)}$ มีขนาดเท่ากับอัตราขยายของวงจรถ่ายภาคที่สองคูณกับขนาดตัวเก็บประจุ $C_{e1(2)}$ นอกจากนั้นตัวต้านทาน $R_{e1(2)}$ ทำหน้าที่กำจัดซีโรหรือย้ายซีโรจากด้านขวาของแกนจำนวนจริง (Right Half Plane) ให้มาอยู่ทางด้านซ้ายของแกนจำนวนจริง (Left Half Plane) ส่งผลให้วงจรมีเสถียรภาพ (Stable)



รูปที่ 4.3 วงจรอินทิเกรเตอร์

จากวงจรในรูปที่ 4.3 เมื่อวิเคราะห์ห้วงจรสัญญาณขนาดเล็ก จะได้อัตราขยายของวงจรภาคแรก (A_{int1}) มีค่าเท่ากับ

$$A_{int1} = \frac{a_{int1}}{1 + sR_1C_1} \quad (4.1)$$

โดยที่ R_1 คือ $r_{ds,e1(2)} // r_{ds,e3(4)}$, C_1 คือ $C_{gd,e1(2)} + C_{gd,e3(4)} + C_{gs,e5(6)}$ และ a_{int1} คือ อัตราขยายของวงจรในภาคแรกที่ความถี่ต่ำมีขนาดเท่ากับ $g_{m,e1(2)}R_1$

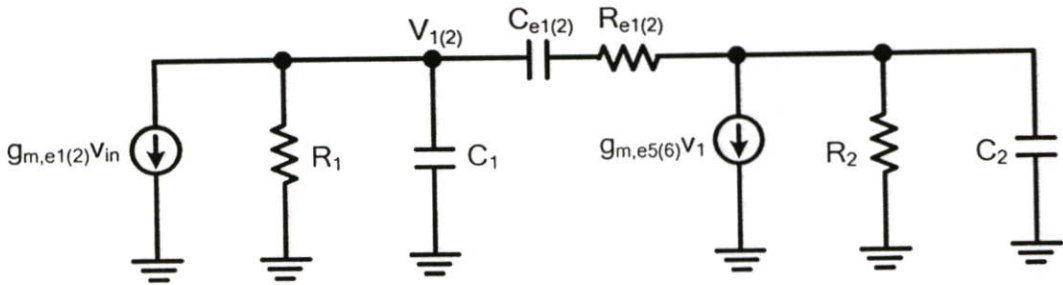
ในทำนองเดียวกันอัตราขยายของวงจรภาคที่สองมีค่าเท่ากับ

$$A_{int2} = \frac{a_{int2}}{1 + sR_2C_2} \quad (4.2)$$

โดยที่ R_2 คือ $r_{ds,e5(6)} // r_{ds,e7(8)}$, C_2 คือ $C_{gd,e5(6)} + C_{gd,e7(8)} + C_L$ และ a_{int2} คือ อัตราขยายของ วงจรขยายภาคสองที่มีความถี่ต่ำมีขนาดเท่ากับ $g_{m,e5(6)}R_2$

จากสมการที่ (4.1) และ (4.2) โพลหลัก ($1/R_1C_1$) และโพลรอง ($1/R_2C_2$) อยู่ที่เอาต์พุตของ วงจรขยายภาคแรกและวงจรขยายภาคที่สองตามลำดับ การปรับโพลหลักและโพลรองให้ได้ แบนด์วิธที่เหมาะสมสำหรับกำจัดสัญญาณรบกวนภายนอกทำได้โดยการต่อตัวเก็บประจุ $C_{e1(2)}$ และตัวต้านทาน $R_{e1(2)}$ ระหว่างขาเกตและขาเดรนของ $M_{e5(6)}$

เพื่อวิเคราะห์หาอัตราขยายทั้งหมดของวงจรในรูปที่ 4.3 เราจะใช้วงเสมือนสัญญาณขนาด เล็ก (Small signal equivalent circuit) ในรูปที่ 4.4



รูปที่ 4.4 วงจรเสมือนสัญญาณขนาดเล็ (Small signal equivalent circuit) ของ วงจรอินทิเกรเตอร์

รูปที่ 4.4 แสดงวงจรเสมือนสัญญาณขนาดเล็ (Small signal equivalent circuit) ของ วงจรในรูปที่ 4.3 ซึ่งรวมผลของตัวต้านทาน $R_{e1(2)}$ และ ตัวเก็บประจุ $C_{e1(2)}$ โดยที่ R_1 คือ $r_{ds,e1(2)} // r_{ds,e3(4)}$, C_1 คือ $C_{gd,e1(2)} + C_{gd,e3(4)} + C_{gs,e5(6)}$, R_2 คือ $r_{ds,e5(6)} // r_{ds,e7(8)}$ และ C_2 คือ $C_{gd,e5(6)} + C_{gd,e7(8)} + C_L$.

โดยการวิเคราะห์ วงจรเสมือนสัญญาณขนาดเล็ (Small signal equivalent circuit) ในรูป ที่ 4.4 ได้อัตราขยายรวม (A_V) มีค่าเท่ากับ

$$A_V = \frac{g_{m,e1(2)}g_{m,e5(6)}R_1R_2 \left(1 - \frac{s}{\omega_{z1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)} \quad (4.3)$$

โดยที่

$$\omega_{p1} \cong \frac{1}{R_1C_{e1(2)}(1 + g_{m5(6)}R_2)}$$

$$\omega_{p2} \cong \frac{g_{m5(6)}}{C_1 + C_2}$$

$$\omega_{z1} = \frac{1}{C_{e1(2)} \left(\frac{1}{g_{m5(6)}} - R_{e1(2)} \right)}$$

จากสมการที่ (4.3) อัตราขยายของวงจรมื่อทำการวิเคราะห์ที่ความถี่ต่ำมีขนาดเท่ากับ $g_{m,e1(2)}g_{m,e5(6)}R_1R_2$ ในขณะที่ ω_{p1} , ω_{p2} และ ω_z คือ โพลหลัก โพลรอง และ ซีโร ของวงจรมื่ออินทิเกรเตอร์ ตามลำดับ ตัวเก็บประจุ $C_{e1(2)}$ และ ตัวต้านทาน $R_{e1(2)}$ ในวงจรมื่ออินทิเกรเตอร์ทำหน้าที่เป็นตัวชดเชยทางความถี่ การปรับตัวเก็บประจุ $C_{e1(2)}$ มีผลทำให้แบนด์วิธของวงจรมื่อเปลี่ยนแปลงได้อย่างมาก โดยอาศัยหลักการของปรากฏการณ์มิลเลอร์ (Miller Effect) ขนาด $C_{e1(2)}$ ที่เพิ่มขึ้นส่งผลให้ขนาดโพลหลัก (ω_{p1}) มีขนาดเล็ก และ โพลรอง (ω_{p2}) มีขนาดใหญ่ หรือที่รู้จักกันว่า การแยกตัวของโพล (Pole Splitting)[8] ในขณะเดียวกันการปรับตัวต้านทาน $R_{e1(2)}$ ให้มีขนาดมากกว่า $1/g_{m,e5(6)}$ มีผลทำให้ซีโรที่อยู่ทางด้านขวาของแกนจำนวนจริง (Right-Half-Plane) เคลื่อนที่มาจากด้านซ้ายของแกนจำนวนจริง (Left-Half-Plane) ทำให้วงจรมื่อในรูปที่ 4.2 มีเสถียรภาพ (Stable)

4.2 ผลการจำลองการทำงาน

โปรแกรม HSPICE ถูกใช้เพื่อจำลองการทำงานของวงจรมื่อในรูปที่ 4.3 ภายใต้เทคโนโลยีซีมอสขนาด 0.5 ไมครอนและแหล่งจ่ายไฟเลี้ยงขนาด 2.5 โวลต์ ตัวเก็บประจุ $C_{e1(2)}$ และตัวต้านทาน $R_{e1(2)}$ มีขนาดเท่ากับ 18 พิโคฟารัด และ 250 โอห์ม ตามลำดับ ในการออกแบบแรงดันไบอัส VB3 มีขนาดเท่ากับ 0.8 โวลต์ ตารางที่ 4.1 แสดงขนาดของมอสทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรมื่ออินทิเกรเตอร์ และ วงจรมื่อขยายผลต่าง

ตารางที่ 4.1 ขนาดของมอสทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรมื่ออินทิเกรเตอร์และวงจรมื่อขยายผลต่าง

มอสทรานซิสเตอร์	อัตราส่วน (W/L)
Me1(2)	20 /1
Me3(4)	120/1
Me5(6)	367/1
Me7(8)	62/1
Me9)	22.5/1
M1(2)	1.5/0.5
M3(4)	1.5/0.5

ตารางที่ 4.2 ผลจำลองการทำงานของวงจรอินทิเกรเตอร์

พารามิเตอร์	ผลการทดลอง
แบนด์วิธของวงจรที่ -3 เดซิเบล	150 Hz
อัตราขยายวงจร	85 dB
กำลังงานสูญเสีย	1.9 mW

ตารางที่ 4.2 แสดงผลจำลองการทำงานของวงจรอินทิเกรเตอร์ แบนด์วิธของวงจรถูกออกแบบให้มีขนาด 150 เฮิรท์[14] เพื่อให้วงจรขยายสัญญาณในช่วงความถี่ต่ำหรือทำการขยายเฉพาะส่วนที่เป็นสัญญาณรบกวน รูปที่ 4.5 แสดงผลการตอบสนองทางความถี่ของวงจรอินทิเกรเตอร์โดยอัตราขยายของวงจรมีขนาดเท่ากับ 85 เดซิเบลและแบนด์วิธของวงจรมีค่าเท่ากับ 150 เฮิรท์ รูปที่ 4.6 แสดงเฟสของวงจรอินทิเกรเตอร์ ซึ่งจากรูปที่ 4.6 แสดงให้เห็นว่าเมื่อนำตัวเก็บประจุ $C_{el}(2)$ มาต่อในวงจรอินทิเกรเตอร์ ส่งผลให้โพลหลักและโพลรองอยู่ห่างกันค่อนข้างมาก ทำให้เฟสของวงจรมีการเลื่อนไป 90 องศา ในช่วงความถี่การใช้งาน ดังนั้นวงจรในรูปที่ 4.3 สามารถประมาณได้ว่าเป็นวงจรอินทิเกรเตอร์

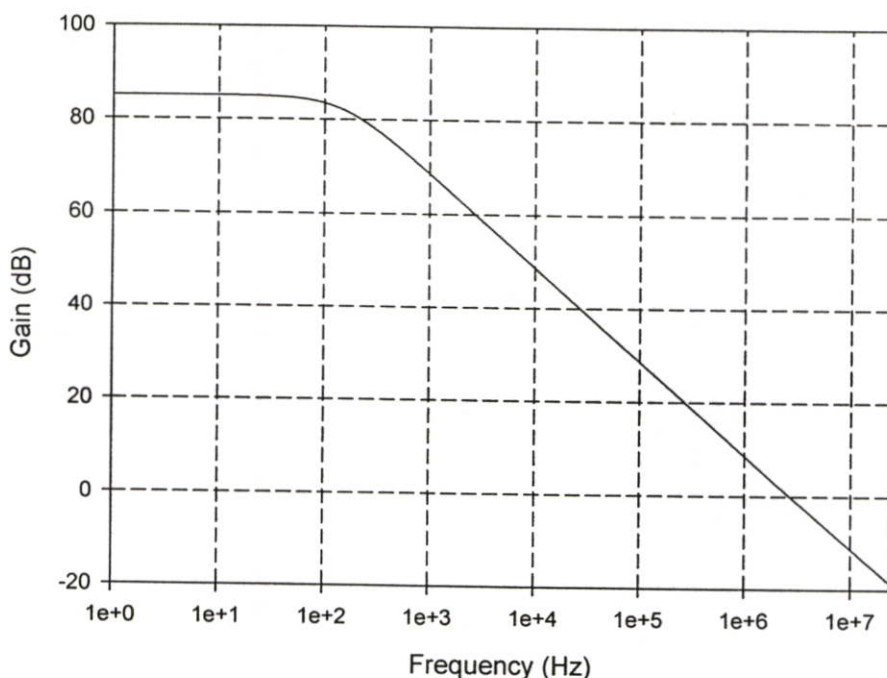
ตารางที่ 4.3 ผลจำลองการทำงานของวงจรขยายทรานซิสเตอร์แบบมีวงจรกำจัดสัญญาณรบกวน

พารามิเตอร์	ผลการทดลอง
อัตราขยายของวงจร	80 dB
แบนด์วิธที่ความถี่ต่ำคัทออฟ	180 KHz
แบนด์วิธที่ความถี่สูงคัทออฟ	1.8 GHz
กำลังงานสูญเสีย	24.3 mW

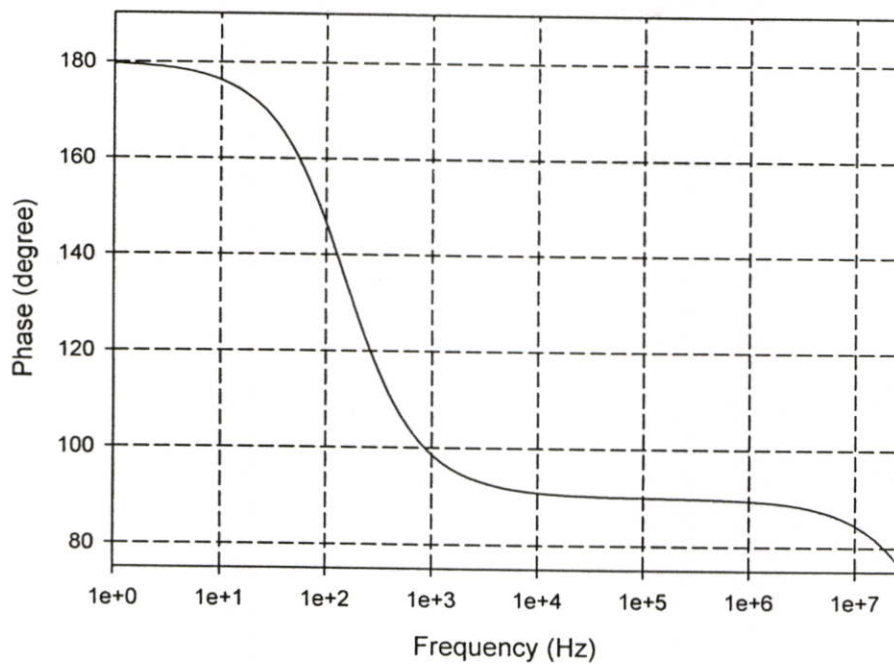
ตารางที่ 4.3 แสดงผลจำลองการทำงานของวงจรขยายทรานซิสเตอร์ที่ได้ต่อร่วมกับวงจรกำจัดสัญญาณรบกวนจากแสงภายนอก ในการออกแบบวงจร แหล่งจ่ายกระแส I_B ถูกออกแบบให้มีขนาดเท่ากับ 5 ไมโครแอมป์ แรงดันไฟตรงที่เอาต์พุตมีขนาดเท่ากับ 0.8 โวลต์ โหลดของวงจรถูกแทนด้วยตัวเก็บประจุขนาด 10 เฟรมโตฟารัด รูปที่ 4.7 แสดงผลการตอบสนองทางความถี่ของวงจรในรูปที่ 4.1 อัตราขยายของวงจรมีขนาดเท่ากับ 80 เดซิเบลและความถี่คัทออฟของวงจรที่ความถี่ต่ำ (f_{-3dB}) มีขนาดเท่ากับ 180 กิโลเฮิรท์และ 1.8 กิกะเฮิรท์ที่ความถี่สูง จากรูปที่ 4.7 จะเห็นได้ว่าอัตราขยายของวงจรมีค่าลดลงในช่วงความถี่ต่ำ ซึ่งทำให้สัญญาณรบกวนภายนอกไม่สามารถถูกส่งผ่านเข้าวงจรขยายดังที่กล่าวไว้ข้างต้น รูปที่ 4.8 แสดงการสวิงของสัญญาณที่เอาต์พุตในรูปของอายไดอะแกรม (Eye Diagram) จากรูปที่ 4.8 ขนาดของอายไดอะแกรมที่เปิดกว้างมีผลทำให้การแบ่งระดับลอจิกในวงจรภาคถัดไปมีความผิดพลาดน้อย

ลง ตัวแปรในการเพิ่มความกว้างของอายุไดอะแกรมจะขึ้นกับขนาดของสัญญาณรบกวนและความถี่ของข้อมูลที่วงจรับเข้ามา ผลของสัญญาณรบกวนที่สูงและความถี่ที่สูงจะมีผลทำให้ความกว้างของอายุไดอะแกรมลดลงและทำให้ความผิดพลาดของการแบ่งระดับของลอจิกมีมากขึ้น

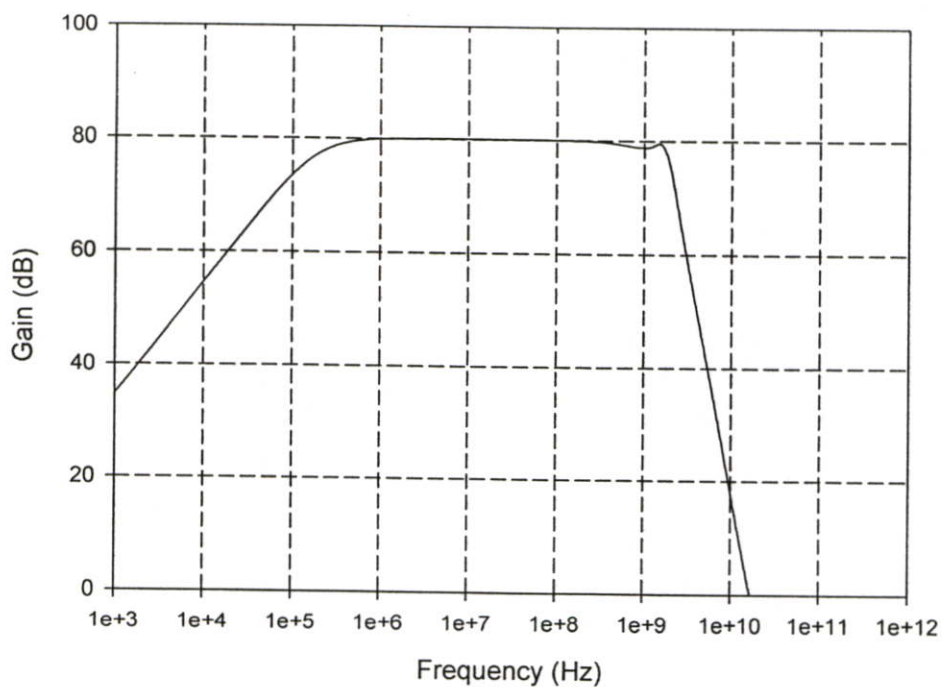
วิทยานิพนธ์ฉบับนี้ได้ทำการเลย์เอาต์ (Layout) วงจรอินทิเกรเตอร์และได้ทำการรวมผลของตัวต้านทานแฝงและตัวเก็บประจุแฝงที่เกิดขึ้นของโพลีซิลิกอน (Poly Silicon) แอกทีฟ (Active) และโลหะ (Metal) ดังแสดงในรูปที่ 4.9 รูปที่ 4.10 แสดงผลการตอบสนองทางความถี่ของวงจรอินทิเกรเตอร์ที่ได้ทำการเลย์เอาต์ (Layout) โดยอัตราขยายของวงจรมีขนาดเท่ากับ 87 เดซิเบลและแบนด์วิธของวงจรมีค่าเท่ากับ 119 กิโลเฮิรต์ รูปที่ 4.11 แสดงเฟสของวงจรอินทิเกรเตอร์ที่ได้ทำการเลย์เอาต์ (Layout) รูปที่ 4.12 แสดงผลการตอบสนองทางความถี่ของวงจรในรูปที่ 4.1 เมื่อรวมผลของตัวต้านทานแฝงและตัวเก็บประจุแฝง จากรูปที่ 4.12 อัตราขยายของวงจรมีขนาดเท่ากับ 80 เดซิเบลและความถี่คัทออฟของวงจรที่ความถี่ต่ำ (f_{-3dB}) มีขนาดเท่ากับ 373 กิโลเฮิรต์และที่ความถี่สูง (f_{-3dB}) มีขนาดเท่ากับ 1.2 กิกะเฮิรต์ รูปที่ 4.13 แสดงการสวิงของสัญญาณที่เอาต์พุตในรูปอายุไดอะแกรม (Eye Diagram) ของวงจรในรูปที่ 4.1 ที่ได้ทำการเลย์เอาต์ (Layout)

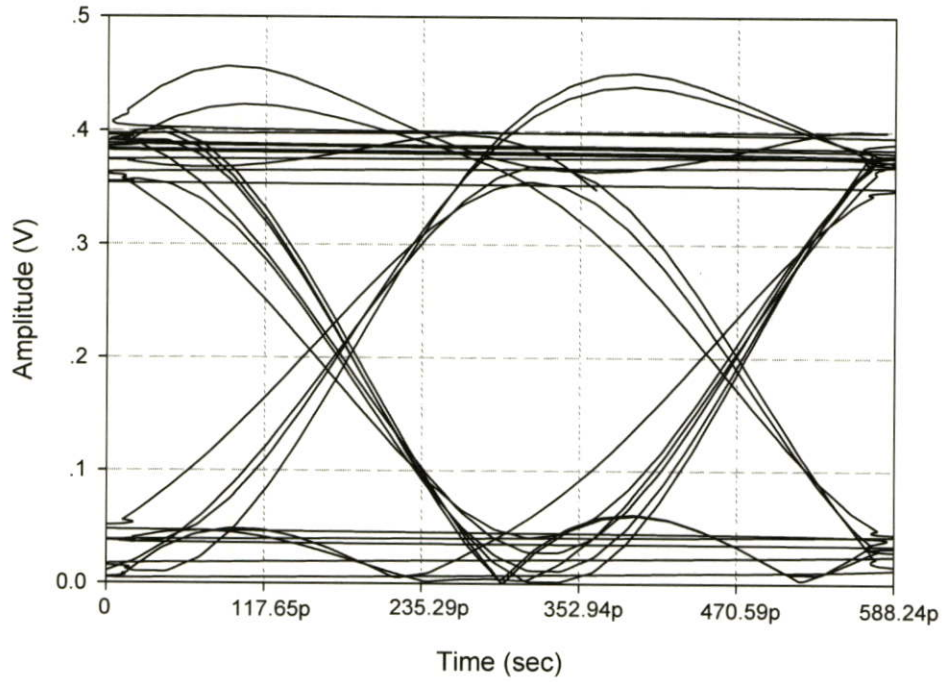


รูปที่ 4.5 ผลการตอบสนองทางความถี่ของวงจรอินทิเกรเตอร์

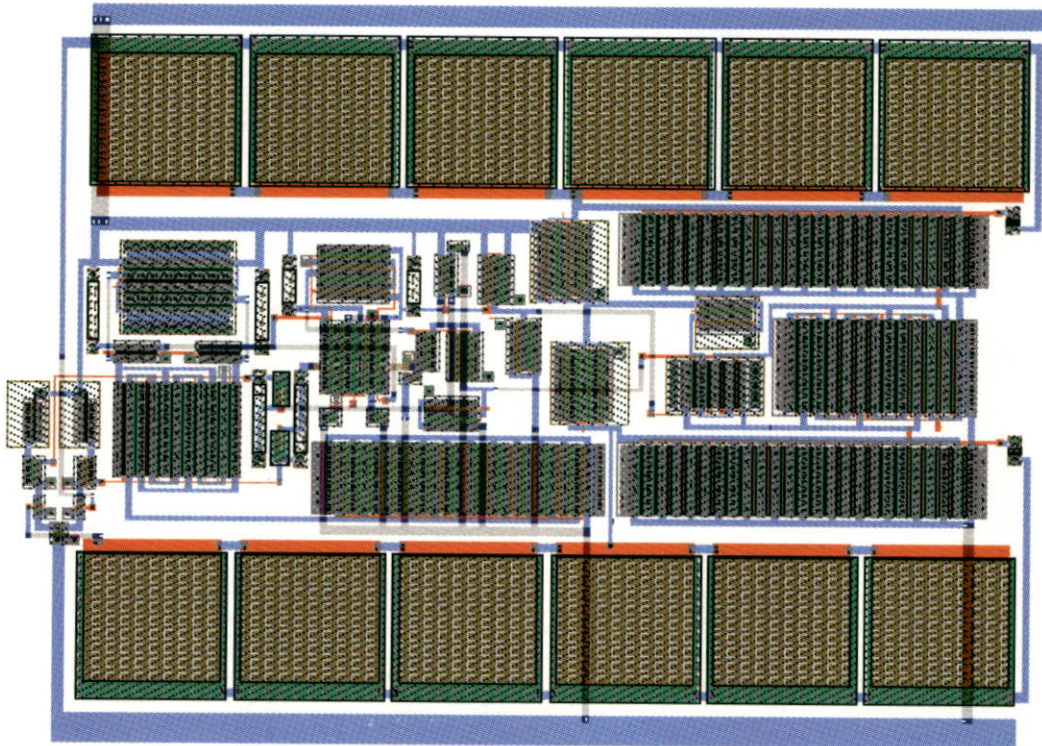


รูป 4.6 เฟสวงจรมินิเกรเตอร์

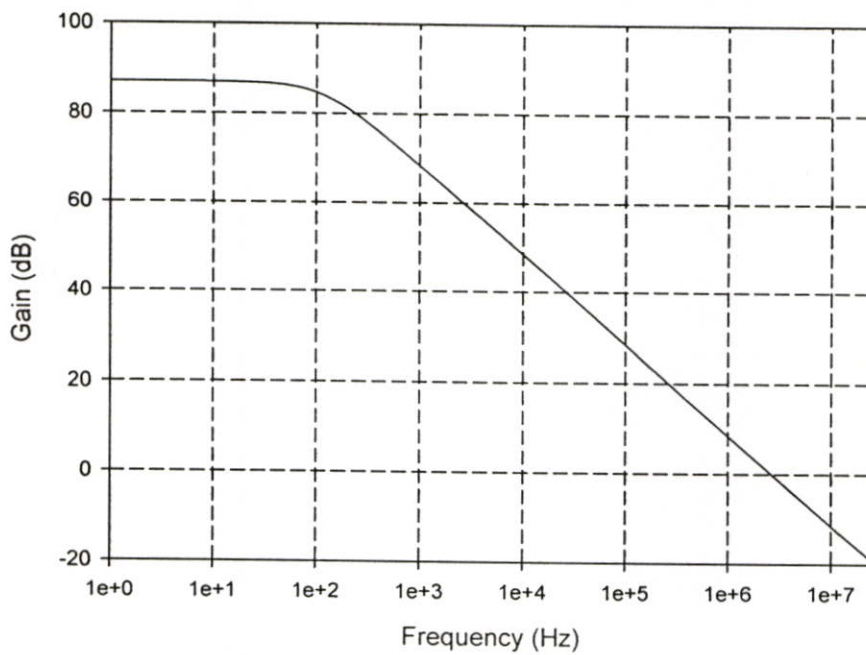
รูปที่ 4.7 ผลการตอบสนองทางความถี่ของวงจรมินิเกรเตอร์แบบมีวงจรถักสัญญาณ
รบกวนที่เกิดจากสภาพแวดล้อม



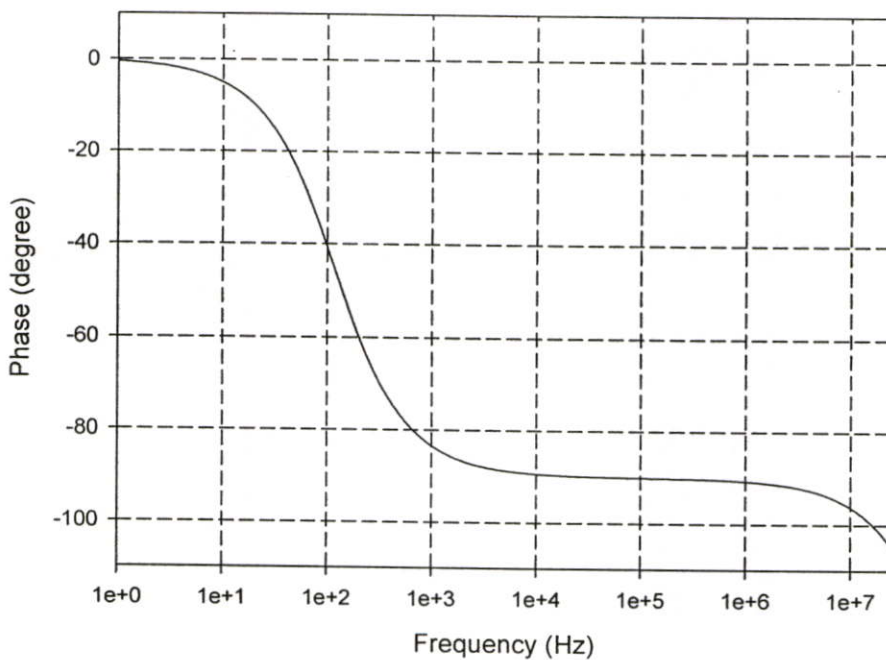
รูปที่ 4.8 การสวิงสัญญาณที่เอาต์พุตของวงจรถายทอดานิมพีแดนซ์แบบมีวงจรกำจัดสัญญาณรบกวนที่เกิดจากภายนอก



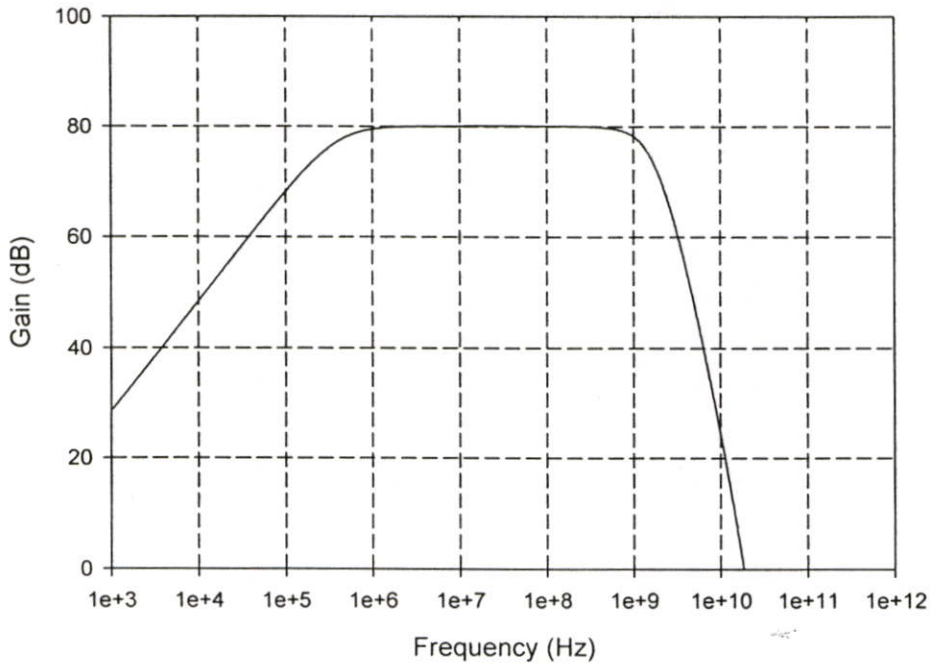
รูป 4.9 วงจรถายทอดานิมพีแดนซ์แบบมีวงจรกำจัดสัญญาณรบกวนภายนอกที่ได้เลย์เอาต์



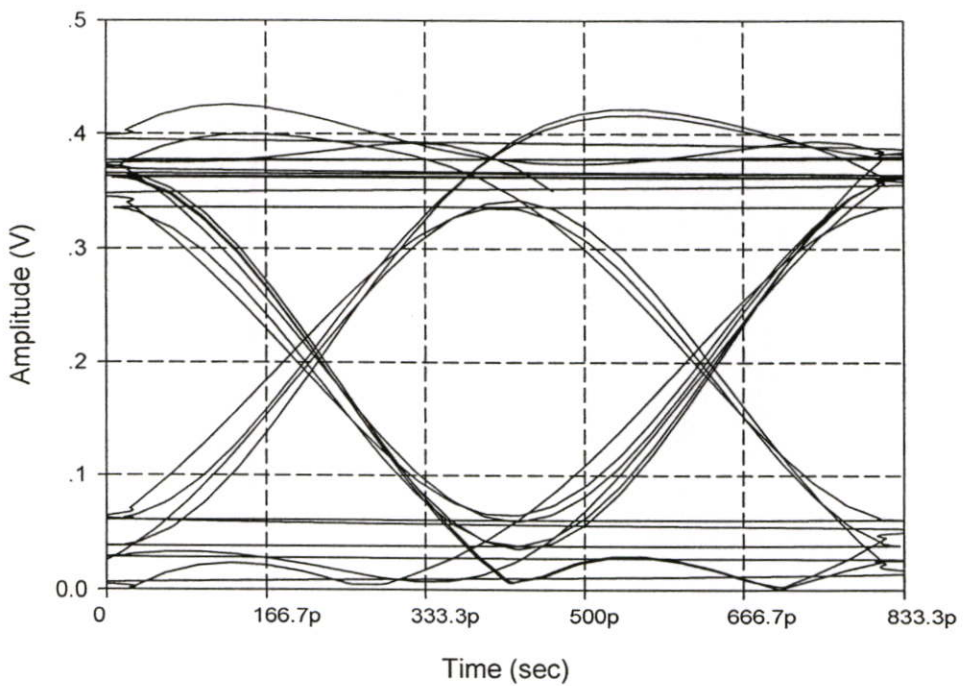
รูปที่ 4.10 ผลการตอบสนองทางความถี่ของวงจรมินิเกรเตอร์ที่ได้ทำการเลย์เอาต์ (Layout)



รูป 4.11 เฟสวงจรมินิเกรเตอร์ที่ได้ทำการเลย์เอาต์ (Layout)



รูปที่ 4.12 ผลการตอบสนองทางความถี่ของวงจรขยายทรานซิสเตอร์แบบมีวงจรกำจัดสัญญาณรบกวนภายนอกที่ได้เลย์เอาต์ (Layout)



รูปที่ 4.13 การสวิงสัญญาณที่เอาต์พุตของวงจรขยายทรานซิสเตอร์แบบมีวงจรกำจัดสัญญาณรบกวนที่เกิดจากภายนอกที่ได้เลย์เอาต์ (Layout)

บทที่ 5

บทสรุปผลการวิจัยและข้อเสนอแนะ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรขยายทรานซิมพีแคนซ์และวงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อม ซึ่งเป็นส่วนหนึ่งในวงจรภาครับแสง โดยวงจรกำจัดสัญญาณรบกวนจะถูกนำมาประยุกต์ใช้งานร่วมกับวงจรขยายทรานซิมพีแคนซ์ที่ได้ทำการออกแบบ เพื่อให้วงจรสามารถกำจัดสัญญาณรบกวนจากสภาพแวดล้อมที่เกิดจากการส่งข้อมูลแบบไร้สาย วงจรขยายทรานซิมพีแคนซ์ที่นำเสนอ สามารถแก้ปัญหาเรื่องการออกแบบตัวต้านทานให้มีขนาดใหญ่ และการออกแบบตัวต้านทานให้มีขนาดเล็ก เมื่อทำการต่อวงจรขยายเป็นแบบลูปเปิด ดังที่ได้กล่าวมาในบทที่ 2

วงจรขยายทรานซิมพีแคนซ์ที่นำเสนอเป็นการออกแบบวงจรขยายสองภาคแบบลูปปิด โดยในภาคแรกอาศัยเทคนิคการต่อแบบแคสโคด (Cascode) และ เทคนิคการป้อนกระแส (Feed current) เพื่อให้วงจรมีอัตราขยายสูงและเพิ่มขนาดของโพลหลัก การออกแบบวงจรในภาคที่สองอาศัยเทคนิค f_T ดับเบิ้ล (f_T Doubler) และ เทคนิคการชดเชยตัวเก็บประจุ (Capacitive Compensated) เพื่อให้โพลรองมีขนาดใหญ่ ชุดป้อนกลับวงจรเป็นการต่อในลักษณะขนาน - ขนาน (Shunt-Shunt) โดยอาศัยเทคนิคการต่อแบบมีซีโรเป็นตัวชดเชยทางความถี่ (Feedback-Zero Compensation) เพื่อให้ชุดป้อนกลับสามารถปรับจูนแบนด์วิธโดยผ่านทางตัวเก็บประจุ (CF(2))

จากคุณสมบัติของวงจรที่นำเสนอพบว่าวงจรมีช่วงความถี่ของการทำงานกว้าง อัตราขยายสูง และมีผลการตอบสนองที่ดี แต่อย่างไรก็ตามวงจรขยายทรานซิมพีแคนซ์ที่นำเสนอนี้ยังมีข้อที่ต้องปรับปรุงคือ การเพิ่มอัตราขยายของวงจรในภาคที่สองโดยผ่านทางตัวต้านทาน $R_{d3(4)}$ ไม่สามารถออกแบบให้มีค่าสูงได้ เนื่องจากแรงดันไบอัสที่เอาท์พุทของวงจรภาคที่สองมีผลกับการทำงานของโฟโตไดโอด ซึ่งในส่วนนี้จึงเป็นแนวทางที่ทำการวิจัยและพัฒนาให้วงจรขยายทรานซิมพีแคนซ์มีความสมบูรณ์ยิ่งขึ้น

การออกแบบวงจรขยายสำหรับการติดต่อสื่อสารแบบไร้สาย ในวิทยานิพนธ์ฉบับนี้ได้นำวงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมมาทำการประยุกต์ใช้งานร่วมกับวงจรขยายทรานซิมพีแคนซ์โดยวัตถุประสงค์ของการออกแบบคือ เพื่อต้องการกำจัดสัญญาณรบกวนที่เกิดจากธรรมชาติ และ มนุษย์สร้างขึ้น โดยความถี่ของสัญญาณรบกวนจากสภาพแวดล้อมที่เข้ามาในวงจรค่อนข้างมีลักษณะคงที่หรือมีการเปลี่ยนแปลงเพียงเล็กน้อย วงจรอินทิเกรเตอร์ (Me1-Me9) และ วงจรขยายผลต่าง (Me10-Me11) ได้ถูกนำมาประยุกต์ใช้งานเพื่อทำหน้าที่กำจัดสัญญาณรบกวนจากสภาพแวดล้อมที่มีช่วงความถี่ต่ำ

คุณสมบัติของวงจรขยายทรานซิมพีแคนซ์เมื่อรวมวงจรกำจัดสัญญาณรบกวนจากสภาพแวดล้อมพบว่า วงจรไม่ทำการขยายสัญญาณที่ความถี่ต่ำหรือสัญญาณรบกวนจาก

สภาพแวดล้อม แต่อย่างไรก็ตามวงจรมีข้อที่ต้องปรับปรุงอีกคือ ช่วงความถี่ของการใช้งานยังอยู่ในช่วงที่แคบ และ แหล่งจ่ายไฟเลี้ยง ไม่สามารถออกแบบให้มีค่าต่ำได้เนื่องจากการต่อวงจรเป็นแบบแคด โคคที่อินพุทของวงจร ซึ่งในส่วนนี้เองจึงเป็นแนวทางที่ทำการวิจัยและพัฒนาให้วงจรมีความสมบูรณ์ยิ่งขึ้น

บรรณานุกรม

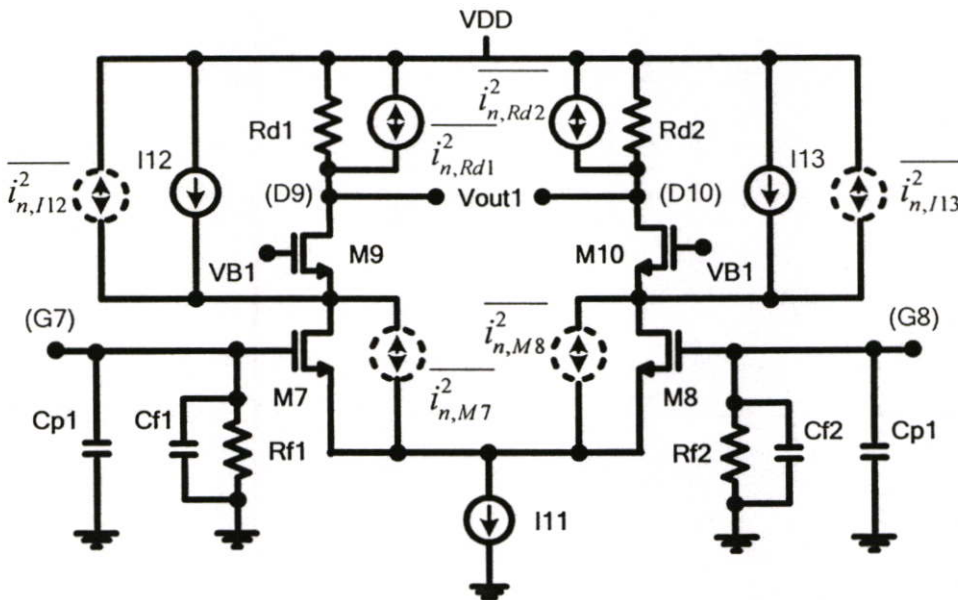
- [1] B. Razavi, **Design of Integrated Circuits for Optical Communications**, McGRAW-HILL, Chapter 1, pp.3-4, 2003
- [2] Anders K. Petersen, et al, "**Front-end CMOS chipset for 10 Gb/s communication**" in 2002 IEEE RFIC Symposium Digest of Technical Papers, pp.93-96, June 2002.
- [3] M. Neuhauser, H.-M. Rein, and H. Wernz, "**Low-noise high-gain Si-bipolar preamplifiers for 10-Gb/s optical-fiber links-design and realization,**" IEEE J. Solid-State Circuits, vol.31, pp.24-29, 1996.
- [4] J. R. Barry, **Wireless Infrared Communications**, Kluwer Academic Pub., Boston, Mass., Chapter 3, pp. 49-52, 1994.
- [5] R. G. Smith and S. D. Personick, "**Receiver design for optical fiber communication system,**" in Semiconductor Devices for Optical Communication, 2nd Ed., H. Kressel, Ed., Chapter 4, pp.89-160, Springer- Verlag, Berlin, Germany, 1982.
- [6] T. V. Muoi, "**Receiver Design for High-Speed Optical-Fiber System,**" IEEE J. Lightwave Tech., vol. LT-2(3), pp.243-267, June 1984.
- [7] S. B. Alexander, **Optical Communication Receiver Design**, SPIE Optical Engineering Press, London, UK, Chapter 6, pp. 173-201, 1997.
- [8] P.R. Gray and R. G. Meyer, **Analysis and design of analog integrated circuits**. John Wiley&Sons, Inc., forth ed., 2000.
- [9] A. J. C. Moreira, R. T. Valadas, and A. M. de Oliveira Duarte , "**Optical interference produced by artificial light,**" Wireless Networks, vol. 3, pp. 131-140 1977.
- [10] A. J. C. Moreria, R. T. Valadas, and A. M. de Oliveira Duarte, "**Characterization and Modelling of Artificial Light Interference in Optical Wireless Communication Syatem,**" IEEE Int. Symp. On Personal Indoor Mobile Radio Commun., vol. 1, pp. 326-331, September 1995.
- [11] P. Palojarvi, T. Ruotsalainen, and J. Lostamovaara, "**A Variable Gain Transimpedance Amplifier Channel with a Timing Discriminator for a Time-of-Flight Laser Radar,**" Proc. European Solid-State Circuits Conf., pp. 384-387, September 1997.
- [12] C. Petri, S. Rocchi, and V. Vignoli , "**High Dynamic CMOS preamplifiers for QW diodes,**" Electronics, vol. 34, no. 9, pp. 877-878, 30 April 1998.
- [13] M. B. Ritter, F. Gfeller, W. Hirt, D. Rogers, and S. Gowda, "**Circuit and System**

- Challenges in IR Wireless Communication,”** IEEE ISSCC Digest of Tech Papers, pp. 398-399, February 1996.
- [14] K. Phang, **CMOS Optical Preamplifier Design Using Graphical Circuit Analysis**, Ph.D. Thesis, Dept. Elec. And Comp. Eng., Univ. of Toronto, Canada, 2001.
- [15] B. Razavi, **Design of Analog CMOS Intergrated Circuits**. New York: McGraw-Hill, 2001, Chapter 7.
- [16] Carl Battjes, Tektronix Inc., Beaverton, OR, **Monolithic Wideband Amplifier**, U.S. Patent 4,236,119, November 25, 1980.
- [17] J.A. Mataya, G.W. Haines, and S.B. Marshall, “**IF Amplifier Using C_c Compensated Transistors**,” IEEE J.Solid-State Circuits, vol.sc-3, no.4, Dec 1968
- [18] B. Zard, K. Phang and D. A. Johns, “**Transimpedance amplifier with differential photodiode current sensing**,” in Proc. IEEE International Symposium on Circuits and Systems (ISCAS), pp. II-624~627, 1999.
- [19] T. Yoon and B. Jalali, “**1 Gbit/s fiber channel CMOS transimpedance amplifier**,” Electron. Lett., vol. 33, no. 7, pp. 588-589, 1997
- [20] S.M. Park and H-J. Yoo, “**1.25 Gb/s Regulated Cascode CMOS Transimpedance amplifier for Gigabit Ethernet Applications**,” IEEE J.Solid-State Circuits, vol.39, no.1, Jan 2004.
- [21] S.M. Park, J. Lee and H-J. Yoo “**1 Gb/s 80 dB Ω Fully Differential CMOS Transimpedance Amplifier in Multichip on Oxide Technology for Optical Interconnects**,” IEEE J.Solid-State Circuits, vol.39, no.6 Jun 2004
- [22] D.A. Johns and K. Martin, **Analysis Integrated Circuit Design**. John Wiley & Sons, Inc., 1997.

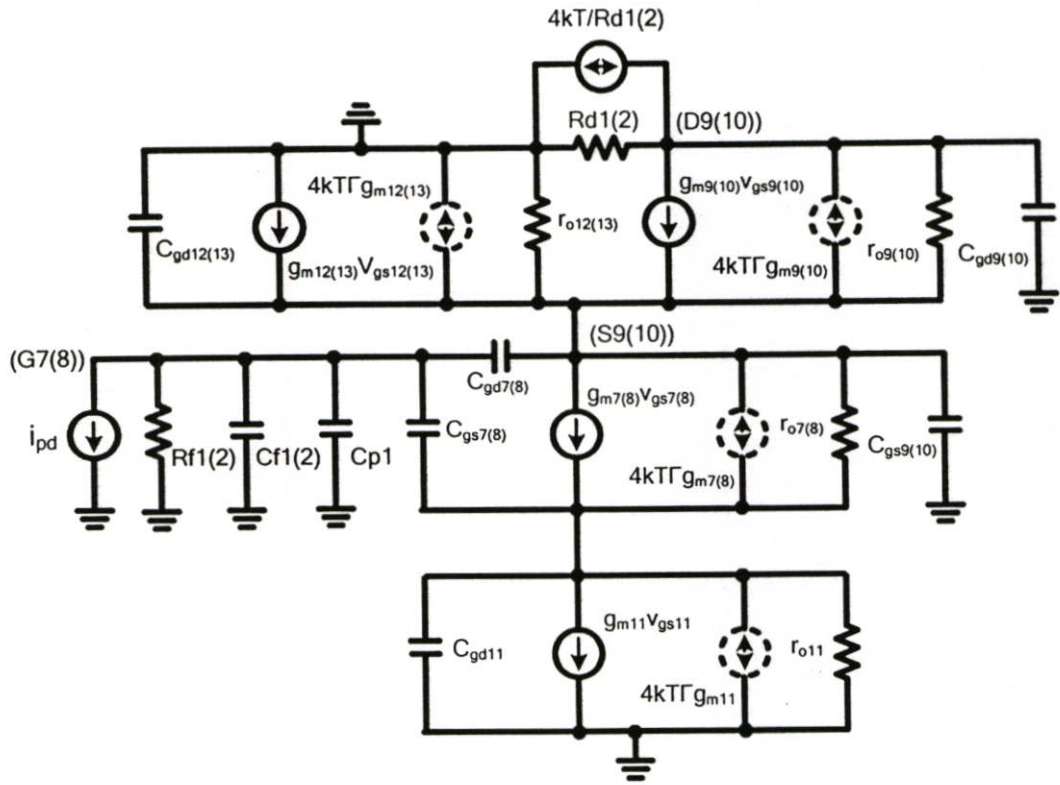
ภาคผนวก ก.

การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุทของวงจรรขยายภาคแรก

วงจรในรูปที่ ก.1 แสดงวงจรมมูลสำหรับสัญญาณขนาดเล็กของวงจรรขยายภาคแรก การหาขนาดสัญญาณรบกวนจะพิจารณาเฉพาะสัญญาณรบกวนที่เกิดจากอุณหภูมิ (Thermal Noise) และสัญญาณรบกวนแบบช็อต (Shot Noise) ในขณะที่สัญญาณรบกวนฟลิคเกอร์ (Flicker Noise) จะไม่นำมาพิจารณาเนื่องจากวงจรมีช่วงการตอบสนองทางความถี่กว้างทำให้ขนาดของสัญญาณรบกวนแบบฟลิคเกอร์มีขนาดน้อยมากเมื่อเทียบกับสัญญาณรบกวนอื่น แหล่งจ่ายกระแส I12(I3) ถูกสร้างด้วยมอสทรานซิสเตอร์ชนิดพี (PMOS) และแหล่งจ่ายกระแส I11 ถูกสร้างด้วยมอสทรานซิสเตอร์ชนิดเอ็น (NMOS) แหล่งกำเนิดสัญญาณรบกวนที่เกิดจากอุปกรณ์มอสทรานซิสเตอร์และตัวต้านทานถูกแทนด้วยสัญลักษณ์เส้นประและเส้นทึบตามลำดับ



รูปที่ ก.1 แหล่งกำเนิดสัญญาณรบกวนในวงจรรขยายภาคแรก



รูปที่ ก.2 วงจรเสมือนสัญญาณขนาดเล็กและสัญญาณรบกวนของวงจรขยายภาคแรก

จากวงจรในรูปที่ ก.1(2) ขนาดสัญญาณรบกวนที่เอาต์พุตของวงจรขยายภาคแรกหรือที่ โหนด D9(10) มีขนาดเท่ากับ

$$\overline{v_{n,D9(10)}^2} = \left(\overline{i_{n,7(8)}^2} + \overline{i_{n,12(13)}^2} + \overline{i_{n,Rd1(2)}^2} \right) \times R_{d1(2)}^2 \quad (\text{ก.1})$$

โดยที่

$$\overline{i_{n,7(8)}^2} = 4kT\Gamma g_{m7(8)} \quad (\text{ก.2})$$

$$\overline{i_{n,12(13)}^2} = 4kT\Gamma g_{m12(13)} \quad (\text{ก.3})$$

$$\overline{i_{n,Rd1(2)}^2} = \frac{4kT}{R_{d1(2)}} \quad (\text{ก.4})$$

ขนาดสัญญาณรบกวนที่อินพุตหรือที่ โหนด G7(8) ในรูปของแรงดันซึ่งมีขนาดเท่ากับ

$$\overline{v_{n,G7(8)}^2} = \frac{\overline{v_{n,D9(10)}^2}}{\left(g_{m7(8)} R_{d1(2)} \right)^2} \quad (\text{ก.5})$$

เมื่อจัดให้อยู่ในเทอมที่สมบูรณ์จะได้

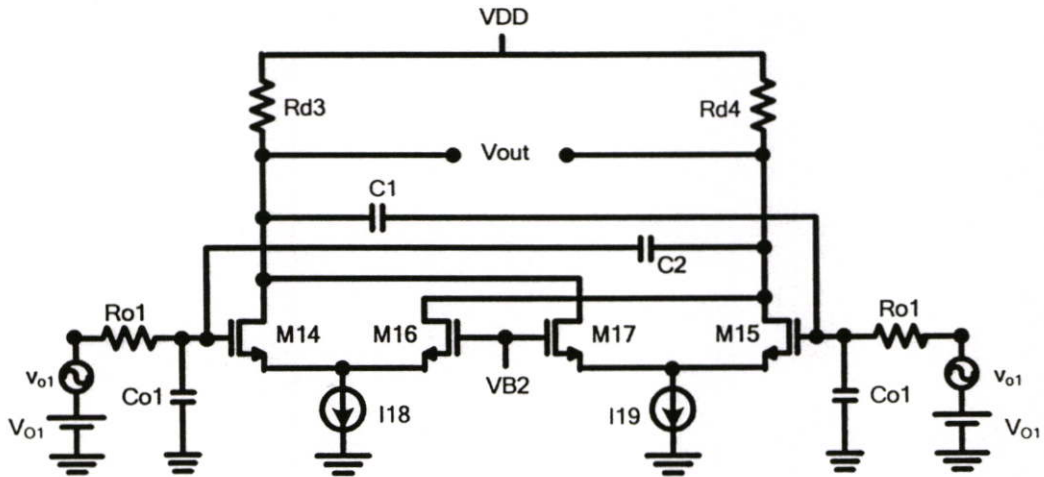
$$\overline{v_{n,G7(8)}^2} = \frac{4kT}{(g_{m7(8)})^2} \left(\Gamma g_{m7(8)} + \Gamma g_{m12(13)} + \frac{1}{R_{d1(2)}} \right) \quad (\text{ก.6})$$

จากสมการที่ (ก.6) นำมาจัดรูปสมการใหม่ให้อยู่ในรูปของกระแสจะได้

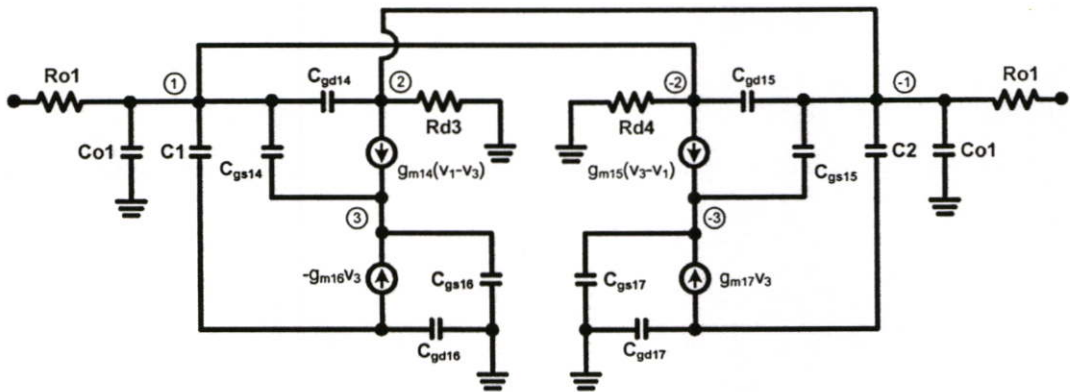
$$\begin{aligned} \overline{i_{n,pd}^2} = & \left[\frac{4kT}{(g_{m7(8)})^2} \left(\Gamma g_{m7(8)} + \Gamma g_{m12(13)} + \frac{1}{R_{d1(2)}} \right) \right] \\ & \times \left(\frac{1}{R_{f1(2)}^2} + \omega^2 (C_{p1} + C_{f1(2)} + C_{gs1(2)} + C_{gd1(2)})^2 \right) \end{aligned} \quad (\text{ก.7})$$

ภาคผนวก ข.

การวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก (Small signal equivalent circuit) ของ
วงจรขยายในรูปที่ 3.6



รูปที่ ข.1 วงจรขยายในภาคที่สอง



รูปที่ ข.2 วงจรเสมือนสัญญาณขนาดเล็กของวงจรขยายในภาคที่สอง

วงจรในรูปที่ ข.1 เป็นการต่อวงจรแบบคิฟเฟอร์เรนเซียล ดังนั้นขนาดของสัญญาณที่ โหนด -1, -2, -3 มีขนาดเท่ากับสัญญาณที่โหนด 1, 2, 3 ตามลำดับแต่มีเฟสตรงข้ามกัน การวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กจึงทำการวิเคราะห์เฉพาะที่โหนด 1, 2, 3 โดยกำหนดให้ $C_{gs14} = C_{gs15} = C_{gs16} = C_{gs17}$, $C_{gd14} = C_{gd15} = C_{gd16} = C_{gd17}$ และ $g_{m14} = g_{m15} = g_{m16} = g_{m17}$

พิจารณาโหนด 1

$$(v_1 - v_{o1})G_{O1} + (v_1 - v_2)SC_{gd14} + (v_1 - v_3)SC_{gs14} + (v_1 + v_2)SC_1 + v_1SC_{O1} = 0 \quad (\text{ข.1})$$

พิจารณาโหนด 2

$$g_{m14}(v_1 - v_3) + (v_2 - v_1)SC_{gd14} + v_2G_{Rd3} + v_2SC_{gd17} + g_{m17}v_3 + (v_2 + v_1)SC_2 = 0 \quad (\text{ข.2})$$

พิจารณาโหนด 3

$$(v_3 - v_1)SC_{gs14} + v_3SC_{gs16} + g_{m16}v_3 - g_{m14}(v_1 - v_3) = 0 \quad (\text{ข.3})$$

นำสมการที่ (ข.3) มาทำการจัดรูปให้อยู่ในเทอมของ v_3

$$v_3 = \frac{v_1}{2} \quad (\text{ข.4})$$

นำสมการที่ (ข.2) มาทำการจัดรูปให้อยู่ในเทอมของ v_1

$$v_1 = \frac{-v_2(3SC_{gd14} + G_{Rd3})}{g_{m14}} \quad (\text{ข.5})$$

นำสมการที่ (ข.4) และ (ข.5) แทนลงในสมการที่ (ข.1) แล้วทำการจัดรูปให้อยู่ในเทอมของอัตราขยายของวงจรรากที่สอง $\left(\frac{v_{out}}{v_{o1}}\right)$ ได้เท่ากับ

$$\frac{v_{out}}{v_{o1}} = \frac{g_{m14}/G_{Rd3}}{S^2 \left(\frac{12C_{gd14}^2 + 3C_{gd14}C_{gs14} + 6C_{O1}C_{gd14}}{2G_{Rd3}G_{O1}} \right) + S \left(\frac{4C_{gd14}G_{Rd3} + C_{gs14}G_{Rd3} + 6C_{gd14}G_{O1} + 2C_{O1}G_{Rd3}}{2G_{Rd3}G_{O1}} \right) + 1} \quad (\text{ข.6})$$

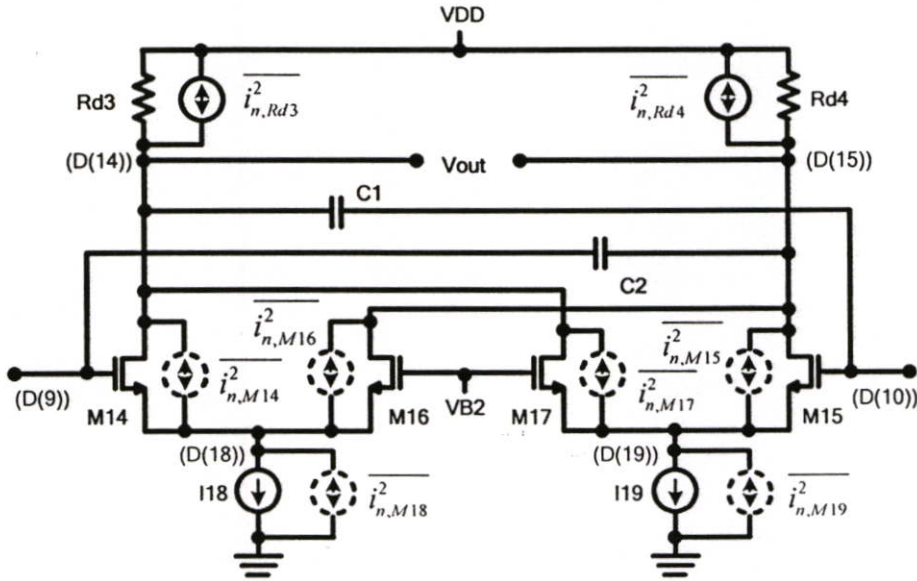
จากสมการที่ (ข.6) สามารถหาโพลหลัก (ω_{p1}) และ โพลรอง (ω_{p2}) ได้โดยมีขนาดเท่ากับ

$$\omega_{p1} = \frac{1}{\left(2C_{gd14} + 2C_{O1} + \frac{C_{gs14}}{2}\right)R_{O1} + 3C_{gd14}R_{d3}} \quad (\text{ข.7})$$

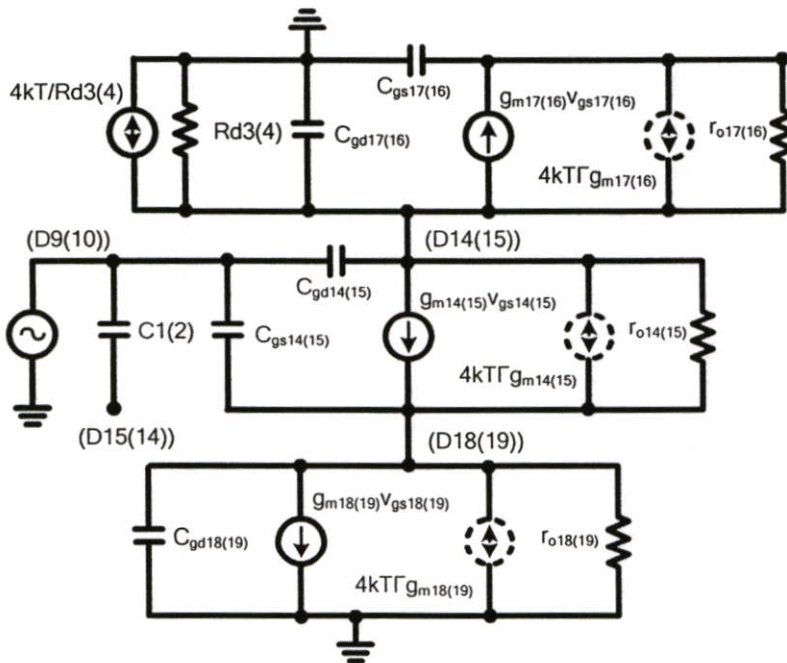
$$\omega_{p2} = \frac{(4C_{gd14} + C_{gs14})R_{O1} + 6C_{gd14}R_{d3}}{(12C_{gd14}^2 + 3C_{gd14}C_{gs14} + 6C_{O1}C_{gd14})R_{d3}R_{O1}} \quad (\text{ข.8})$$

ภาคผนวก ค.

การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุทของวงจรถ่ายในรูปที่ 3.6



รูปที่ ค.1 แหล่งกำเนิดสัญญาณรบกวนในวงจรถ่ายภาคที่สอง



รูปที่ ค.2 วงจรเสมือนสัญญาณขนาดเล็กและสัญญาณรบกวนของวงจรถ่ายภาคที่สอง

จากวงจรในรูปที่ ก.1 ขนาดสัญญาณรบกวนที่เอาต์พุตของวงจรขยายภาคที่สองหรือที่ โหนด D14(15) ในรูปของแรงดันมีขนาดเท่ากับ

$$\overline{v_{n,D14(15)}^2} = \left(\overline{i_{n,14(15)}^2} + \overline{i_{n,17(16)}^2} + \overline{i_{n,Rd3(4)}^2} \right) \times R_{d3(4)}^2 \quad (\text{ก.1})$$

โดยที่

$$\overline{i_{n,14(15)}^2} = 4kT\Gamma g_{m14(15)} \quad (\text{ก.2})$$

$$\overline{i_{n,17(16)}^2} = 4kT\Gamma g_{m17(16)} \quad (\text{ก.3})$$

$$\overline{i_{n,Rd3(4)}^2} = \frac{4kT}{R_{d3(4)}} \quad (\text{ก.4})$$

จากสมการที่ (ก.1) เมื่ออ้างอิงสัญญาณรบกวนที่เอาต์พุตกลับมาที่อินพุตหรือที่ โหนด D9(10) ในรูปของแรงดัน สัญญาณรบกวนจะมีขนาดเท่ากับ

$$\overline{v_{n,D9(10)}^2} = \frac{\overline{v_{n,D14(15)}^2}}{\left(g_{m14(15)} R_{d3(4)} \right)^2} \quad (\text{ก.5})$$

เมื่อจัดให้อยู่ในเทอมที่สมบูรณ์จะได้

$$\overline{v_{n,D9(10)}^2} = \frac{4kT}{g_{m14(15)}^2} \left(\Gamma g_{m14(15)} + \Gamma g_{m17(16)} + \frac{1}{R_{d3(4)}} \right) \quad (\text{ก.6})$$

พิจารณาสัญญาณรบกวนที่ โหนด D18(19) ในรูปของแรงดันซึ่งมีขนาดเท่ากับ

$$\overline{v_{n,D18(19)}^2} = \overline{i_{n,18(19)}^2} \times \frac{1}{\left(g_{m14(15)} + g_{m16(17)} \right)^2} \quad (\text{ก.7})$$

โดยที่

$$\overline{i_{n,18(19)}^2} = 4kT\Gamma g_{m18(19)} \quad (\text{ก.8})$$

จากสมการที่ (ก.7) เมื่ออ้างอิงสัญญาณรบกวนที่ โหนด D18(19) กลับมาที่อินพุตหรือที่ โหนด D9(10) ในรูปของแรงดัน สัญญาณรบกวนที่อินพุตจะมีขนาดเท่ากับ

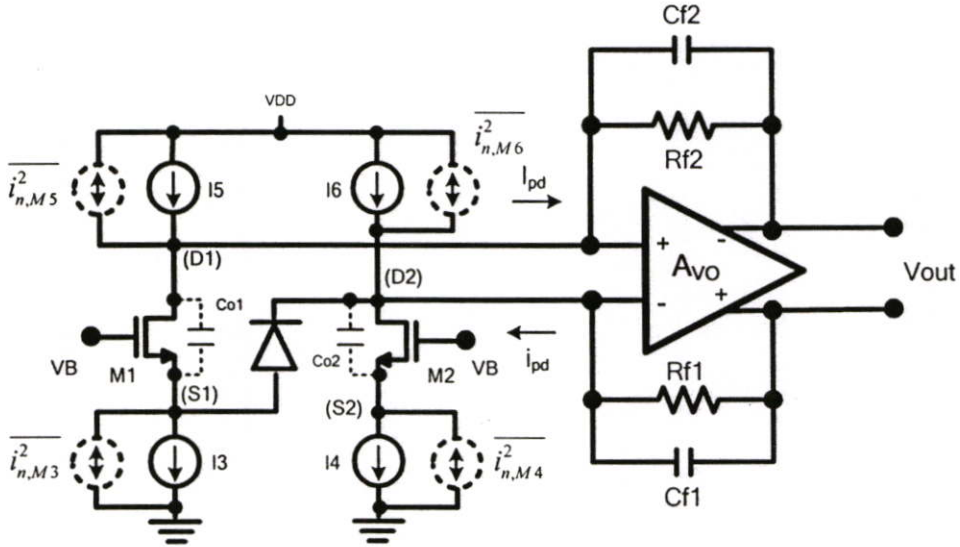
$$\overline{v_{n,D9(10)}^2} = \frac{4kT\Gamma g_{m18(19)}}{(g_{m14(15)} + g_{m16(17)})^2} \quad (\text{ค.9})$$

จากสมการที่ (ค.6) และ (ค.9) เมื่อนำมารวมกันทำให้ได้สัญญาณรบกวนที่อินพุตซึ่งมีขนาดเท่ากับ

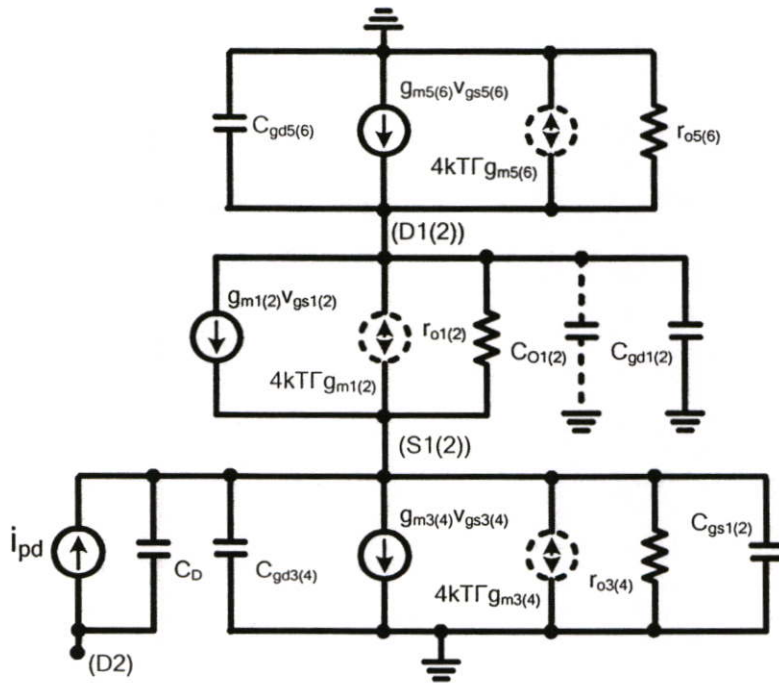
$$\begin{aligned} \overline{v_{n,D9(10)}^2} = & \frac{4kT}{g_{m14(15)}^2} \left(\Gamma g_{m14(15)} + \Gamma g_{m17(16)} + \frac{1}{R_{D3(4)}} \right) \\ & + \frac{4kT\Gamma g_{m18(19)}}{(g_{m14(15)} + g_{m16(17)})^2} + \frac{2qI_{G14(15)}}{\left(\frac{1}{R_{o1}^2} + \omega^2 \left(C_{o1} + C_{gd14(15)} + \frac{C_{gs14(15)}}{2} + C_{l(2)} \right) \right)^2} \end{aligned} \quad (\text{ค.10})$$

ภาคผนวก ง.

การวิเคราะห์ขนาดสัญญาณรบกวนอ้างอิงที่อินพุทของวงจรสร้างสัญญาณอินพุท ในรูปที่ 3.11



รูปที่ ง.1 แหล่งกำเนิดสัญญาณรบกวนในวงจรสร้างสัญญาณอินพุท



รูปที่ ง.2 วงจรเสมือนสัญญาณขนาดเล็กและสัญญาณรบกวนของวงจรสร้างสัญญาณอินพุท

จากรูปที่ ง.1 วงจรทางด้านซ้ายและขวาถูกออกแบบให้มีขนาดที่เท่ากัน ดังนั้นการวิเคราะห์สัญญาณขนาดเล็กจึงพิจารณาวงจรเพียงข้างเดียว โฟโตไดโอดถูกแทนด้วยสัญลักษณ์แหล่งจ่ายกระแส (i_{in}) ตัวเก็บประจุภายนอก Co1(2) ถูกแทนด้วยสัญลักษณ์ตัวเก็บประจุที่เป็นเส้นประ C_D คือ ตัวเก็บประจุแฝงของโฟโตไดโอด

พิจารณาขนาดสัญญาณรบกวนที่เอาต์พุตหรือที่เข้าวงจรขยายทรานซิสเตอร์ในรูปของกระแสซึ่งมีขนาดเท่ากับ

$$\overline{i_{n,pd}^2} = \overline{i_{n,3(4)}^2} + \overline{i_{n,5(6)}^2} \quad (ง.1)$$

ในขณะที่

$$\overline{i_{n,3(4)}^2} = 4kT\Gamma g_{m3(4)} \quad (ง.2)$$

$$\overline{i_{n,5(6)}^2} = 4kT\Gamma g_{m5(6)} \quad (ง.3)$$

จากสมการที่ (ง.1) สัญญาณรบกวนที่เอาต์พุตเมื่อทำการอ้างอิงกลับมาที่อินพุตจะมีขนาดเท่ากัน ดังนั้น เมื่อนำโฟโตไดโอดต่อระหว่างวงจรทางด้านซ้ายและด้านขวาสัญญาณรบกวนจะมีขนาดเท่ากับ

$$\overline{i_{in}^2} = 2\overline{i_{n,pd}^2} = 8kT(\Gamma g_{m3(4)} + \Gamma g_{m5(6)}) \quad (ง.4)$$

ภาคผนวก จ.

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารภายในประเทศและต่างประเทศ วิทยานิพนธ์ฉบับนี้ประกอบด้วย 3 บทความ ดังต่อไปนี้

- วัชรพล พงษ์पालิต และ วรากร เกษมสุวรรณ, “วงจรรขยายทรานอิมพีแดนซ์ชนิดซีมอสแบบผลต่างสำหรับระบบสื่อสารทางแสงที่มีความเร็ว 2.46 Gb/s และ อัตราขยาย 80 dB,” การประชุมทางวิชาการมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 43, มหาวิทยาลัยเกษตรศาสตร์ วิทยาเขตบางเขน, หน้า 111-118, 2548
- Wacharapol Pongpalit, Varakorn Kasemsuwan and Hyungkeun Ahn, “A CMOS Differential Transimpedance Amplifier for Gigabit Optical Communication,” International Conference on Advanced Communication Technology (ICACT), pp 293-297, 2005
- Wacharapol Pongpalit, Varakorn Kasemsuwan and Hyungkeun Ahn, “A 3Gb/s 80 dB CMOS Differential Transimpedance Amplifier for Optical Communication Systems,” International Symposium on Circuits and Systems (ISCAS 2005), pp 1614-1617, 2005



องเต้มการประชุมทางวิชาการ คร้้งที่ ๔๓ มหาวิทาลัยเกษตรศาสตร์

Proceedings of 43rd Kasetsart University Annual Conference

เล่มที่ 2

สาขา วิศวกรรมศาสตร์

(Subject: Engineering)

สาขา สถาปัตยกรรมศาสตร์

(Subject: Architecture)

๑-๔ กุมภาพันธ์ ๒๕๔๘

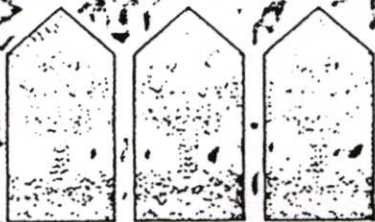
ณ มหาวิทาลัยเกษตรศาสตร์ วิทยาเขตบางเขน



เกษตรศาสตร์

เพื่อสังคมแห่งความรู้และการแข่งขันในเวทีโลก

Agricultural Science for Knowledge Based Societies and World Competitiveness





วงจรรขยายทรานอิมพีแดนซ์ชนิดซีมอสแบบผลต่างสำหรับระบบสื่อสารทางแสง
ที่มีความเร็ว 2.46 Gb/s และอัตราขยาย 80 dB

A 2.46 Gb/s 80dB CMOS Differential Transimpedance Amplifier
for Optical Communication System

วัชรพล พงษ์ปาด¹ และ วรากร เกษมสุวรรณ์¹

Wacharapol Pongpalit¹ and Varakorn Kasemsuwan¹

บทคัดย่อ

บทความนี้นำเสนอวงจรรขยายทรานอิมพีแดนซ์โดยใช้โครงสร้างวงจรรขยายผลต่างที่ใช้เทคนิค f_t doubler และเทคนิคการชดเชยผลของตัวเก็บประจุมีลเลอร์เป็นวงจรรขยายแบบลูปเปิด เพื่อให้วงจรรขยายมีประสิทธิภาพดี ชิ้นงานวิจัยนี้ได้อาศัยเทคนิคการป้อนกลับแบบ ชานาน - ชานาน ทำใหวงจรรขยายทรานอิมพีแดนซ์ที่มีความต้านทานทางด้านอินพุตต่ำ ความเร็วในการทำงานสูงภายใต้ไฟเลี้ยงต่ำ โดยใช้โปรแกรมจำลองการทำงาน HSPICE ภายใต้เทคโนโลยีซีมอสขนาด 0.5 ไมครอน ที่มีไฟเลี้ยงขนาด 2.5 โวลต์ พบว่าวงจรรที่นำเสนอนี้มีค่าพลังงานสูญเสียเท่ากับ 41 มิลลิวัตต์ มีอัตราขยาย 80 เดซิเบล ความเร็วของวงจรมีค่าเท่ากับ 2.46 Gb/s สัญญาณเอาต์พุตที่ได้เท่ากับ 400 mV_{pp} และ ขนาดสัญญาณรบกวนที่อินพุตมีค่าประมาณ $10.31 \text{ pA}/\sqrt{\text{Hz}}$

ABSTRACT

In this paper, a CMOS transimpedance amplifier based on differential structure is proposed. The core part of the circuit employs f_t doubler and capacitive compensated feedback techniques to enhance the circuit performance. The shunt-shunt feedback is used to reduce the input impedance and at the same time increase the speed of operation even under low supply voltage. HSPICE is used to verify the circuit performance under 0.5 μm CMOS technology. With the supply voltage of 2.5V, the power dissipation of the circuit is 41 mW while the gain and the speed of operation are 80 dB and 2.46 Gb/s respectively. The output swing of the circuit is 400 mV_{pp} and the input referred noise is approximately $10.31 \text{ pA}/\sqrt{\text{Hz}}$

Key Words: CMOS, Differential, Transimpedance

K. Varakorn: kavarako@kmitl.ac.th

¹ ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

Department of Electronic, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang

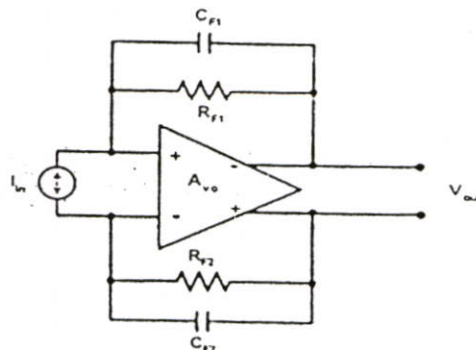
คำนำ

ในระบบการติดต่อสื่อสารทางแสง วงจรขยายทรานซิสเตอร์ที่อยู่นิยามจะเป็นส่วนสำคัญและซับซ้อนที่สุดในการออกแบบเนื่องจากมีปัจจัยจำนวนมากเข้ามาเกี่ยวข้องพร้อมๆกัน ปัจจัยเหล่านั้นได้แก่ สัญญาณรบกวน แบนด์วิธ อัตราขยาย ขนาดของแหล่งจ่ายไฟ ความต้านทานอินพุท และ เอาท์พุท การสวิงของสัญญาณ ความเป็นเชิงเส้น และ พลังงานที่สูญเสียในวงจร ปัจจุบันได้มีการนำเสนอวิธีการสร้างวงจขยายทรานซิสเตอร์เพื่อให้ได้ความเร็วในการทำงานสูง วิธีดังกล่าวได้อาศัยเทคโนโลยีแบบ GaAs-based HBT[1], BiCMOS[2] และ SiGe[3] อย่างไรก็ตามเทคโนโลยีดังกล่าวค่อนข้างมีราคาแพงทำให้เทคโนโลยีแบบซิมอสเข้ามามีบทบาทในการออกแบบ นอกจากเทคโนโลยีแบบซิมอสจะมีต้นทุนในการสร้างที่ต่ำ วงจรซิมอสยังมีพลังงานสูญเสียต่ำและ มีประสิทธิภาพที่ดีขึ้นเนื่องจากขนาดของซิมอสมีขนาดเล็กลง ปัจจุบันได้มีการออกแบบวงจขยายทรานซิสเตอร์โดยใช้ซิมอสโดยเน้นให้วงจรมีความเร็วในการทำงานสูงเพื่อตอบรับกับความต้องการของปริมาณข้อมูลที่เพิ่มขึ้นอย่างรวดเร็ว เทคนิคที่ถูกเรียกว่า peaking ไม่ว่าจะเป็นการ peaking โดยอาศัยตัวเหนี่ยวนำ (inductive peaking)[4] หรือเป็นการ peaking โดยอาศัยตัวเก็บประจุ (capacitive peaking)[5] อย่างไรก็ตามการ peaking โดยอาศัยตัวเหนี่ยวนำมีข้อเสียคือ วงจรต้องใช้แหล่งจ่ายไฟที่มีค่าสูง นอกจากนั้นตัวเหนี่ยวนำที่สร้างขึ้นมีผลของตัวเก็บประจุแฝงเข้ามาเกี่ยวข้องทำให้ปัจจัยคุณภาพ(Quality factor, Q) มีค่าต่ำ และ วงจรที่ได้มีขนาดใหญ่มาก ในขณะที่การ peaking โดยอาศัยตัวเก็บประจุมีข้อเสียคือ วงจรมีปัญหาเรื่องเสถียรภาพ[6]

งานวิจัยนี้เป็นการนำเสนอวงจขยายทรานซิสเตอร์ที่มีความเร็วในการทำงานสูง โดยอาศัยเทคนิค f_T doubler[7] และ การชดเชยผลของตัวเก็บประจุ Miller[8] ในขณะเดียวกันการ peaking จะใช้เทคนิคการป้อนกลับแบบมีซีโรเป็นตัวชดเชยความถี่ (Feedback-Zero Compensation)[9] ทำให้ประสิทธิภาพของวงจรมีได้ไม่ถูกจำกัดเหมือนการทำ peaking โดยอาศัยตัวเหนี่ยวนำและตัวเก็บประจุ นอกจากนี้วงจรมีได้ออกแบบมีโครงสร้างแบบวงจขยายผลต่างทำให้วงจรมีความต้านทานต่อสัญญาณรบกวนที่มาจากแหล่งจ่ายไฟ (Supply Noise Rejection)

หลักการทํางาน

ในงานวิจัยนี้เป็นการออกแบบวงจขยายทรานซิสเตอร์ใช้เทคนิคการป้อนกลับแบบ ขนาน - ขนาน ดังแสดงในรูปที่ 1 โดยที่ A_{vo} คืออัตราขยายแบบลูปเปิด(open loop)และ $C_{F1(2)}$ กับ $R_{F1(2)}$ เป็นชุดป้อนกลับแบบลบ



รูปที่ 1 โครงสร้างวงจขยายทรานซิสเตอร์



ถ้าสมมุติให้วงจรรขยายแบบรูปเปิด (A_{vo}) มีโพลอยู่ 2 ตัว เราสามารถหาอัตราขยายแบบรูปปิด (close loop gain, Z_T) เท่ากับ

$$Z_T = \frac{a_o \omega_{p1} \omega_{p2}}{s^2 + \left[\frac{(\omega_{p1} + \omega_{p2}) \omega_{z1} + a_o b_o \omega_{p1} \omega_{p2}}{\omega_{z1}} \right] s + (1 + a_o b_o) \omega_{p1} \omega_{p2}} \quad (1)$$

โดยที่ ω_{p1}, ω_{p2} คือโพลหลัก และ โพลรองที่เกิดขึ้นในวงจรรขยายขณะรูปเปิด ω_{z1} คือซีโรที่เกิดขึ้นในขุดป้อนกลับมีค่าเท่ากับ $1/(R_{F1(2)} C_{F1(2)})$ a_o และ b_o คืออัตราขยายของวงจรรูปเปิด และ อัตราขยายของขุดป้อนกลับที่มีความถี่ต่ำตามลำดับ

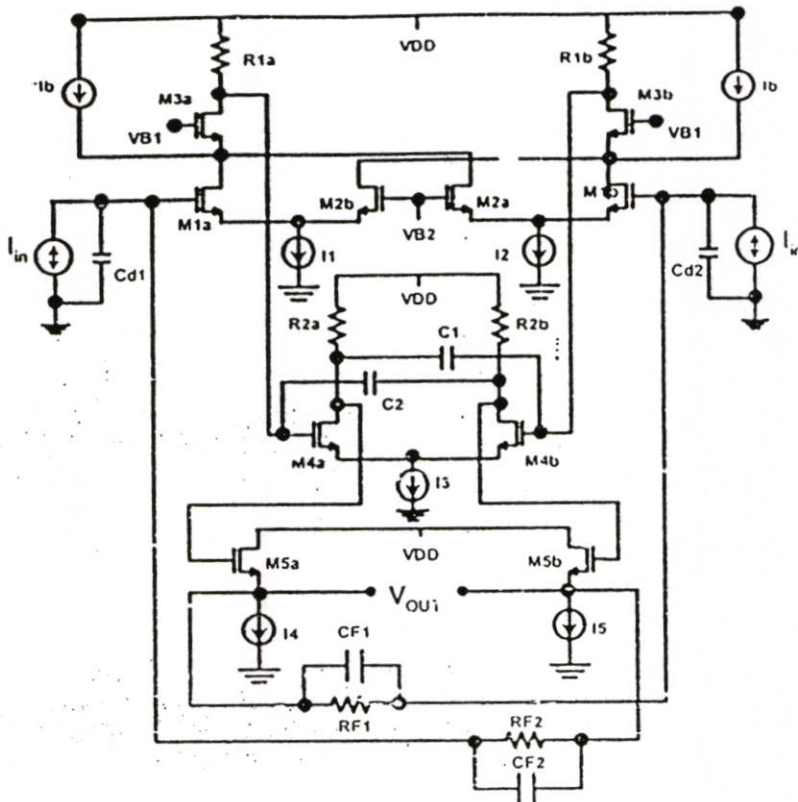
จากสมการที่ (1) เราสามารถหาความถี่ธรรมชาติ (natural frequency, ω_n) และ ตัวประกอบการหน่วง (damping factor, ζ) มีค่าเท่ากับ

$$\omega_n = \sqrt{(1 + a_o b_o) \omega_{p1} \omega_{p2}} \quad (2)$$

$$\zeta = \frac{(\omega_{p1} + \omega_{p2}) + (a_o b_o \omega_{p1} \omega_{p2}) / \omega_{z1}}{2 \sqrt{(1 + a_o b_o) \omega_{p1} \omega_{p2}}} \quad (3)$$

เนื่องจาก ω_n มีความสัมพันธ์โดยตรงกับ rise time และ settling time กล่าวคือเมื่อ ω_n มีค่าเพิ่มขึ้น ทำให้ rise time และ settling time มีค่าลดลง ดังนั้น จากสมการที่ (2) เราจึงควรออกแบบให้ $a_o, b_o, \omega_{p1}, \omega_{p2}$ มีค่ามาก ในการออกแบบค่า ζ โดยปกติแล้วจะออกแบบให้มีค่าเท่ากับ 0.707 จากสมการที่ (3) จะสังเกตเห็นได้ว่าเราสามารถทำการปรับค่า ζ โดยไม่ส่งผลกระทบต่อ ω_n ผ่านทางตัวแปร ω_{z1} ในงานวิจัยนี้ค่า ω_{z1} จะถูกปรับค่าเพื่อให้เกิด peaking ($\zeta < 0.707$) เหตุผลดังกล่าวคือทำให้วงจรมีแบนด์วิดท์ที่กว้างขึ้น ส่งผลให้วงจรมีความเร็วในการทำงานสูงดังได้กล่าวไว้แล้วข้างต้น อย่างไรก็ตามขนาดของ peaking ไม่ควรออกแบบให้มีค่าเกิน 6 dB [5] เพื่อให้วงจรมีเสถียรภาพ

วงจรรูปที่ 2 เป็นวงจรรขยายทรานซิสเตอร์ที่นำเสนอมือ $M_{1a(b)} - M_{5a(b)}$ ประกอบขึ้นเป็นวงจรรขยายแบบรูปเปิด ในขณะที่ $R_{F1(2)} - C_{F1(2)}$ ประกอบขึ้นเป็นวงจรรขุดป้อนกลับแบบลบ $M_{1a(b)} - M_{3a(b)}$ ต่อเป็นวงจรรขยายภาคแรกโดยอาศัยเทคนิค f_T doubler เพื่อลดขนาดของตัวเก็บประจุทางด้านอินพุท [7] $M_{3a(b)}$ ถูกต่อในลักษณะแคดโคดเพื่อลดผลของตัวเก็บประจุ Miller ที่เกิดจาก $M_{1a(b)}$ แหล่งจ่ายกระแส I_b ถูกสร้างขึ้นโดยใช้มอสเฟตชนิดที่ซึ่งทำหน้าที่ 3 ประการ กล่าวคือ 1) ทำให้ $g_{m1a(b)}$ และ $R_{1a(b)}$ มีค่ามากได้โดยที่ $M_{1a(b)} - M_{3a(b)}$ ยังคงทำงานในย่านอิมิตัวส่งผลให้สัญญาณรบกวนที่อินพุทมีค่าน้อย 2) ทำให้อัตราขยายภาคแรกมีค่าสูง และ 3) ทำให้สัญญาณรบกวนจาก $M_{3a(b)}$ มีค่าต่ำ สัญญาณที่ได้จากภาคแรกจะถูกส่งไปขยายต่อในวงจรรขยายในภาคที่สองซึ่งประกอบด้วย $M_{4a(b)}$ ซึ่งต่อในลักษณะวงจรรขยายผลต่างที่มีการชดเชยตัวเก็บประจุ Miller [8] หลักการทำงานของ การชดเชยตัวเก็บประจุ Miller อาศัยหลักการที่ตัวเก็บประจุ C_1 และ C_2 ชดเชยกระแสที่สูญเสียไปในตัวเก็บประจุ $C_{gd4a(b)}$ ขณะที่วงจรมีการทำงานในย่านความถี่สูง



รูปที่ 2 วงจรขยายทรานซิสเตอร์ที่ได้นำเสนอ

ในการออกแบบวงจรชดเชยที่ได้นำเสนอนั้นสามารถทำได้โดยสร้างวงจรขยายแบบกลับเฟสอีกหนึ่งชุด (ภาคที่สาม) แล้วจึงทำการชดเชยสัญญาณ วิธีดังกล่าวมีข้อเสีย 3 ประการคือ 1) วงจรที่ได้มีขนาดใหญ่และมีกำลังสูญเสียมาก 2) วงจรไม่สามารถทำงานได้ที่ความเร็วสูงเนื่องจากสัญญาณต้องใช้เวลาในการเดินทางผ่านวงจรขยายหลายภาค และ 3) วงจรมีเสถียรภาพที่ไม่ดีเนื่องจากวงจรมีโพลหลายตัวส่งผลให้การเลื่อนเฟสของสัญญาณมีค่ามาก ในงานวิจัยนี้เราอาศัยการชดเชยแบบไขว้ (ดังแสดงในรูปที่ 2) ซึ่งใช้วงจรขยายเพียงสองภาคทำให้วงจรสามารถทำงานได้ที่ความถี่สูงและมีเสถียรภาพที่ดี

โดยใช้การวิเคราะห์ห้วงจรสัญญาณขนาดเล็กพื้นฐาน อัตราขยายของวงจรในภาคแรก ($M_{1a(b)}-M_{3a(b)}$) คือ

$$Z \cong \frac{-g_{m1a(b)}R_{1a(b)}R_{F1(2)}}{1 + \frac{s}{\omega_{p1}}} \tag{4}$$

โดยที่

$$\omega_{p1} \cong \frac{1}{R_{F1(2)}(C_{PD} + \frac{C_{gs1a(b)}}{2} + C_{gd1a(b)} + C_{F1(2)})}$$

และ $C_{PD} \cdot C_{F1(2)} \cdot C_{gs1a(b)} \cdot C_{gd1a(b)}$ คือค่าตัวเก็บประจุที่เกิดจากโฟโตไดโอด ค่าตัวเก็บประจุของชุดชดเชย ค่าตัวเก็บประจุระหว่างขาเกตกับขาซอร์สและขาเกตกับขาเดรน ของ $M_{1a(b)}$ ตามลำดับ ω_{p1} ในสมการที่ (4) เป็นโพลหลักของวงจรขยายแบบรูปเปิด และ เป็นโพลตัวเดียวกับกับโพลหลักของวงจรขยายรูปเปิดดังแสดงไว้ใน



สมการที่ (1) ในทำนองเดียวกันอัตราขยายแรงดันในภาคที่สองสามารถหาได้โดยใช้หลักการวิเคราะห์วงจรรขยายสัญญาณขนาดเล็กมีค่าเท่ากับ

$$A_V = \frac{1}{R_{1a(b)}} (g_{m4a(b)} + s(C_2 - C_{gd4a(b)})) \quad (5)$$

$$As^2 + Bs + C$$

โดยที่

$$A = C_{gs4a(b)}C_{gd4a(b)} + C_2C_{gs4a(b)} + 2C_2C_{gd4a(b)} + 2C_1C_{gd4a(b)}$$

$$B = \frac{C_{gd4a(b)}}{R_{1a(b)}} + \frac{C_2}{R_{1a(b)}} + C_{gd4a(b)}g_{m4a(b)} - C_1g_{m4a(b)} + \frac{C_{gs4a(b)}}{R_{2a(b)}} + \frac{C_{gd4a(b)}}{R_{2a(b)}} + \frac{C_1}{R_{2a(b)}}$$

$$C = 1/R_{1a(b)}R_{2a(b)}$$

จากสมการที่ (5) ถ้ากำหนดให้ $C_{1(2)} = C_{gd4a(b)}$ ตำแหน่งของโพลในวงจรรขยายภาคที่สองมีค่าเป็น

$$\omega_{p2} = \frac{1}{2C_{gd4a(b)}R_{1a(b)} + C_{gs4a(b)}R_{1a(b)} + 2C_{gd4a(b)}R_{2a(b)}} \quad (6)$$

$$\omega_{p1} = \frac{2C_{gd4a(b)}R_{1a(b)} + C_{gs4a(b)}R_{1a(b)} + 2C_{gd4a(b)}R_{2a(b)}}{(4C_{gd4a(b)}^2R_{1a(b)} + 2C_{gd4a(b)}C_{gs4a(b)})R_{2a(b)}}$$

จากสมการที่ (6) ขนาดของ ω_{p3} มีค่ามากกว่า ω_{p2} ค่อนข้างมาก (ในงานวิจัยนี้ $\omega_{p3} = 4.2 \times 10^{12}$ rad/s และ $\omega_{p2} = 2.9 \times 10^{10}$ rad/s) ดังนั้นโพลในวงจรรขยายรูปเปิดจึงประมาณได้ว่ามีโพลอยู่สองโพลด้วยกันคือโพลในวงจรรขยายภาคแรก (ω_{p1}) ดังสมการที่ (4) และ โพลในวงจรรขยายภาคที่สอง (ω_{p2}) ดังสมการที่ (6)

จากสมการที่ (4) และ (5) อัตราขยายของวงจรรขยายรูปเปิดที่ความถี่ต่ำ (a_0) มีค่าเท่ากับ

$$a_0 = g_{m1a(b)}g_{m4a(b)}R_{1a(b)}R_{2a(b)}R_{F1(2)} \quad (7)$$

ในการออกแบบชดเชยป้อนกลับ งานวิจัยนี้ใช้วิธีเป็นตัวชดเชยความถี่ (Feedback-Zero Compensation) [9] ซึ่งวิธีดังกล่าวถูกเรียกว่าซีโรแฝง (phantom zero) โดยเป็นซีโรที่เกิดขึ้นจากชดเชยป้อนกลับ ขนาดของซีโรแฝงจะมีผลกับขนาดของ peaking โดยตรง จากวงจรในรูปที่ 2 อัตราขยายของชดเชยป้อนกลับมีค่า

$$\beta = -b_0 \left(1 + \frac{s}{\omega_{z1}}\right) \quad (8)$$

โดยที่ b_0 และซีโรแฝง (ω_{z1}) คือ $1/R_{F1(2)}$ และ $1/(R_{F1(2)}C_{F1(2)})$ ตามลำดับ ขนาดของ a_0, b_0 และ ω_{z1} ที่ได้จากสมการที่ (7) และ (8) เป็นค่าเดียวกันกับที่ได้แสดงไว้ให้สมการที่ (1)

ในการปรับ peaking สามารถทำได้ 2 วิธี คือ ใช้วิธีปรับขนาดของรูปเกนที่ (a_0b_0) หรือ ปรับขนาดของ ω_{z1} ในงานวิจัยนี้ เราเลือกที่จะปรับขนาดของ ω_{z1} แทนการปรับรูปเกนที่ เนื่องจาก ตัวแปรในเทอมของ a_0 มีความสัมพันธ์กับขนาดของสัญญาณรบกวน ซึ่งจะได้แสดงในส่วนต่อไป ในขณะที่ b_0 เป็นตัวกำหนดอัตราขยายของวงจรรซึ่งเป็นค่าคงที่ ดังนั้นการปรับขนาดของรูปเกนที่จึงทำได้ค่อนข้างยากลำบาก

การวิเคราะห์สัญญาณรบกวนที่อื่นพหุ สามารถทำได้โดยหาสัญญาณรบกวนที่เอาท์พุทจากแหล่งกำเนิดสัญญาณรบกวนของอุปกรณ์ทุกตัวในวงจรแล้วนำสัญญาณรบกวนที่เอาท์พุทหารด้วยอัตราขยายของวงจรร การ

วิเคราะห์สัญญาณรบกวนที่เกิดจากภาคขยายชุดที่สองสามารถทำการละเอียดได้ เนื่องจากสัญญาณรบกวนจะต้องถูกนำมาหารด้วยอัตราขยายของวงจรทั้งสองภาค ในส่วนของการวิเคราะห์วงจรขยายทรานซิสเตอร์ที่มีการต่อชุดป้อนกลับแบบขนาน-ขนาน จะใช้หลักการวิเคราะห์โดยแยกแหล่งกำเนิดสัญญาณรบกวนออก ดังแสดงในรูปที่ 3(ก) โดยที่ i_{ia}^2 คือแหล่งกำเนิดสัญญาณรบกวนที่อินพุทของวงจรขยายขณะเปิดในรูปของกระแส $v_{ia(2)}^2$ คือแหล่งกำเนิดสัญญาณรบกวนที่อินพุทของวงจรขยายขณะเปิดในรูปของแรงดัน และ $i_{RF1(2)}^2$ คือแหล่งกำเนิดสัญญาณรบกวนของ $R_{F1(2)}$ ซึ่งอยู่ในรูปของกระแส แหล่งกำเนิดสัญญาณรบกวนทั้งสามจะถูกส่งไปเอาท์พุทแล้วถูกนำมาหารด้วยอัตราขยายลูปปิดของวงจร

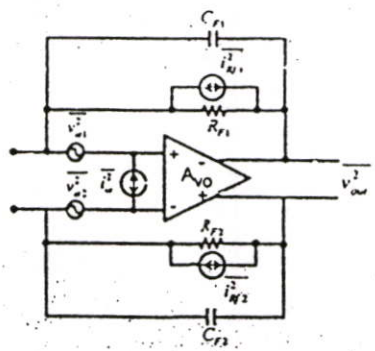
ขนาดสัญญาณรบกวนที่อินพุทของ (i_{eq}^2) ที่นำเสนอในรูปที่ 3(ข) มีค่าเท่ากับ

$$i_{eq}^2 \equiv i_{ia}^2 + \frac{v_{ia(2)}^2}{R_{F1(2)}^2} [1 + (\omega C_{F1(2)} R_{F1(2)})^2] + i_{RF1(2)}^2$$

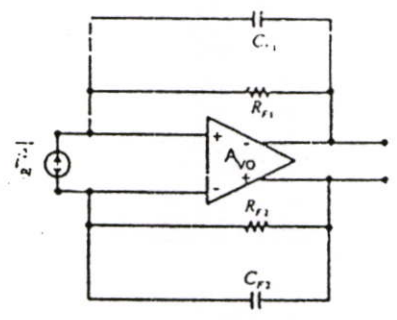
$$i_{eq}^2 \equiv \frac{4KT}{R_{F1(2)}} + 2qI_{g1a(b)} + \left[\frac{4KT}{g_{m1a(b)}} \left[2\Gamma + \frac{1}{R_{1a(b)} g_{m1a(b)}} + \frac{\Gamma g_{m1b}}{(g_{m1a(b)})^2} \right] + \frac{2qI_{g4a(b)}}{g_{m1a(b)}} \right] \quad (9)$$

$$+ \frac{4KT\Gamma}{g_{m4a(b)} g_{m1a(b)}} \left[\frac{1}{R_{1a(b)}^2} + \omega^2 (C_{gd1a(b)} + C_{gs4a(b)} + C_{gd4a(b)} + C_{1(2)})^2 \right] \times \left[\frac{1}{R_{F1(2)}^2} + (\omega C_{F1(2)})^2 \right]$$

โดยที่ K , $I_{g1a(b)}$, T และ Γ คือค่าคงที่ของโบลท์ซมาน (Boltzmann constant) กระแสรั่วไหลที่ขั้วเกต อุณหภูมิ และ noise factor ของ มอสเฟตตามลำดับ



3 (ก)



3 (ข)

รูปที่ 3(ก) แหล่งกำเนิดสัญญาณรบกวนของวงจรขยายแบบที่มีการป้อนกลับขนาน-ขนาน

3(ข) แหล่งกำเนิดสัญญาณรบกวนที่อินพุท

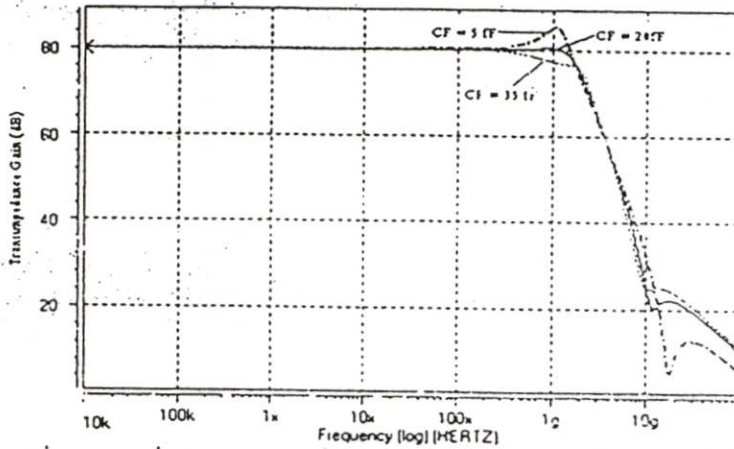
ผลการทดลอง

จากวงจรในรูปที่ 2 ได้จำลองการทำงานโดยโปรแกรม HSPICE ใช้เทคโนโลยีซีมอสขนาด 0.5 ไมครอน ภายใต้แหล่งจ่ายไฟเลี้ยง 2.5 V ตัวเก็บประจุแฝงที่เกิดจากไฟโตไดโอดมีค่าเท่ากับ 0.5 pF รูปที่ 4 แสดงอัตราขยายของวงจรที่ความถี่อินพุทค่าต่างๆ จากรูปจะเห็นว่าอัตราขยายของวงจรมีค่าเท่ากับ 80 dB ความถี่คัทออฟ (f_{3dB}) มีค่าขึ้นกับค่าตัวเก็บประจุ $C_{F1(2)}$ จากผลการทดลองพบว่าขนาดของตัวเก็บประจุที่มีขนาดใหญ่ทำให้ยอดคลื่น (peaking) สูง ซึ่งอาจส่งผลทำให้วงจรไม่มีเสถียรภาพ ขนาดของตัวเก็บประจุ $C_{F1(2)}$ ที่ต่างกันจะส่งผลให้แบนด์วิธของวงจรมีการเปลี่ยนแปลง ซึ่งสามารถแสดงได้ในตารางที่ 1 รูปที่ 5 เป็นการแสดงขนาดของสัญญาณรบกวนที่อินพุทเมื่อทำการเปลี่ยนค่าตัวเก็บประจุ จากรูปที่ 5 จะเห็นได้ว่าขนาดของ $C_{F1(2)}$ จะแปรผัน

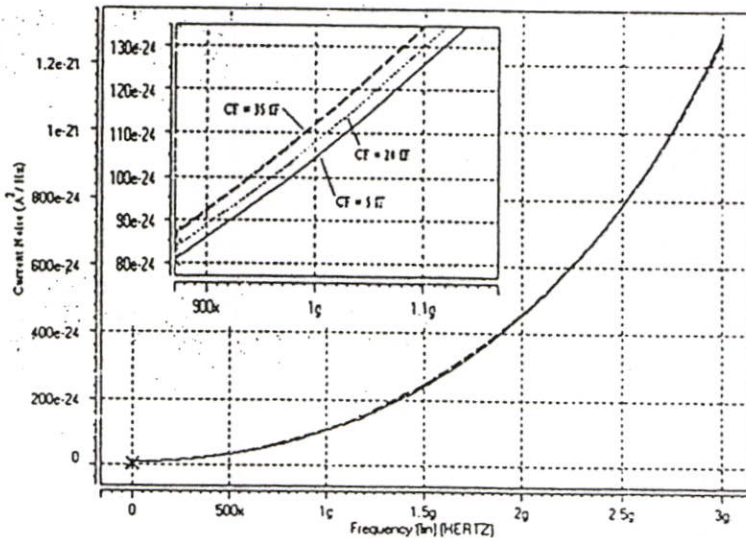
ตามขนาดสัญญาณรบกวนที่อินพุท ซึ่งสอดคล้องกับสมการที่ (9) จากผลการทดลองพบว่าขนาดตัวเก็บประจุ $C_{F1(2)}$ เท่ากับ 13 fF จะให้แบนด์วิธที่ดีที่สุดมีเท่ากับ 1.72 GHz โดยมี peaking เท่ากับ 2 dB และสัญญาณรบกวนที่อินพุทมีค่าเท่ากับ $10.31 \text{ pA}/\sqrt{\text{Hz}}$ รูปที่ 6 เป็นการแสดงผลของแรงดันที่เอาท์พุทเมื่อทำการป้อนสัญญาณพัลส์ที่มีความถี่ 800 MHz

ตารางที่ 1 แบนด์วิธของวงจรที่ตัวเก็บประจุ $C_{F1(2)}$ ต่างกัน

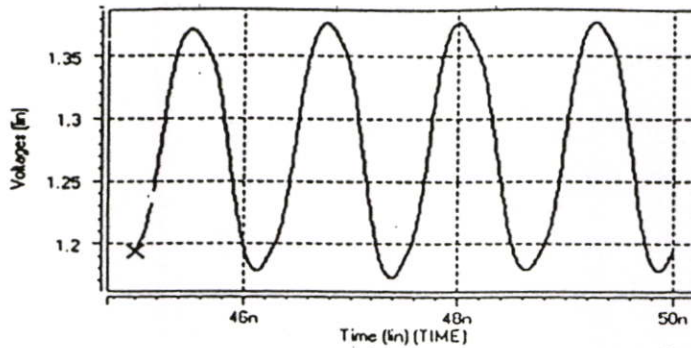
ขนาดตัวเก็บประจุ $C_{F1(2)}$ (fF)	แบนด์วิธ (GHz)	peaking (dB) ($V_{\text{peak}} - V_{\text{DC GAIN}}$)
5	1.713	5
20	1.717	0.5
35	1.183	0



รูปที่ 4 แบนด์วิธที่ ($f_{3\text{dB}}$) เมื่อทำการปรับเปลี่ยนค่าตัวเก็บประจุ $C_{F1(2)}$ มีค่า 5 fF, 20 fF และ 35 fF



รูปที่ 5 สัญญาณรบกวนที่อินพุทเมื่อ $C_{F1(2)}$ มีค่า 5 fF, 20 fF และ 35 fF



รูปที่ 6 ขนาดสัญญาณเอ๊าท์พุท (Single-Ended) เมื่อทำการป้อนสัญญาณพัลส์ที่มีความถี่ 800 MHz
สรุปผลการทดลอง

วงจรทรานซิมพีแดนซ์ที่ได้นำเสนอนี้ ใช้เทคนิค f_r doubler และ การต่อแบบแคคโคด เพื่อเพิ่มขนาดของโพลหลัก ในขณะที่ C_1 และ C_2 ถูกใช้เพื่อชดเชยผลของตัวเก็บประจุมีลเลอร์ที่เกิดจาก $C_{gd4n(b)}$ ของวงจรมายายในชุดที่สอง แบบคิวิร์ของวงจรมายายสามารถปรับค่าได้โดยการเลือกค่า $C_{F1(2)}$ ให้เกิด peaking ที่เหมาะสมผลที่ได้พบว่า วงจรจะมีอัตราขยาย 80 dB ความเร็วของวงจรเท่ากับ 2.46 Gb/s สัญญาณเอ๊าท์พุทที่ได้เท่ากับ 400 mV_{pp} ขนาดสัญญาณรบกวนที่อื่นพุทเท่ากับ $10.31 \text{ pA}/\sqrt{\text{Hz}}$ ที่ความถี่ 1 GHz และ พลังงานสูญเสียเท่ากับ 41 มิลลิวัตต์ ภายใต้แหล่งจ่ายไฟ 2.5 โวลท์

เอกสารอ้างอิง

- [1] Y. Amamiya, Y. Suzuki, M. Kawanaka, K. Hosoya, Z. Yamazaki, M. Mamada, H. Takahashi, S. Wada, T. Kato, Y. Ikenaga, S. Tanaka, T. Takeuchi, and H. Hida, "40-Gb/s Optical Receiver IC Chipset - including a Transimpedance Amplifier, a Differential Amplifier, and a Decision Circuit - using GaAs-based HBT Technology", Microwave Symp. Digest, Pages:87 - 90, Jun 2002
- [2] H. Kim, S. Chandrasekhar, C.A. Burrus, and J. Bauman, "A Si BiCMOS transimpedance amplifier for 10-Gb/s SONET receiver", IEEE J.Solid-State Circuits, vol.36, no.5, May 2001
- [3] J.S. Weiner, A. Leven, V. Houtsma, Y. Baeyens, Y.K. Chen, P. Paschke, Y. Yang, J. Frackoviak, W.J. Sung, A. Tate, R. Reyes, R.F. Kopf, and N.G. Weimann, "SiGe differential transimpedance amplifier with 50-GHz bandwidth", IEEE J.Solid-State Circuits, vol.39, no.9, Sep 2003
- [4] J.J. Morikuni and S.-M. Kang, "An analysis of inductive peaking in photoreceiver design", IEEE J.Lightw. Techn., vol.10, no.10, Oct 1992
- [5] F.-T. Chien and Y.-J. Chan, "Bandwidth enhancement of transimpedance amplifier by a capacitive-peaking design", IEEE J.Solid-State Circuits, vol.34, no.8, Aug 1999
- [6] H.-M. Bae, N. Shanbhag, "High bandwidth transimpedance amplifier design using active transmission line", Proc. of international symp., Page:253-253, May 2003
- [7] T.H.Lee, The design of CMOS radio-frequency integrated circuit, (1st Ed), Camb. Uni.Press, 1998
- [8] J.A. Mataya, G.W. Haines, and S.B. Marshall, "IF Amplifier Using C_c Compensated Transistors", IEEE J.Solid-State Circuits, vol.sc-3, no.4, Dec 1968
- [9] R.P. Gray, Analysis and design of analog integrated circuits, (2nd Ed), New York:Wiley, 1984



THE 7th INTERNATIONAL CONFERENCE on ADVANCED COMMUNICATION TECHNOLOGY



Phoenix Park, Korea
Feb. 21-23, 2005

PROCEEDINGS
Volume I

IEEE Catalog Number 05EX1046
ISBN 89-5519-123-5

Host



Organizers



Sponsors



A CMOS Differential Transimpedance Amplifier for Gigabit Optical Communication

Wacharapol Pongpalit and Varakorn Kasemsuwan

Department of Electronics, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10260,

THAILAND, kkvarako@kmitl.ac.th

Hyungkeun Ahn

Department of Electrical Engineering, Konkuk University, Seoul, KOREA 143-701, hkahn@konkuk.ac.kr

Abstract— In this paper, a CMOS differential transimpedance amplifier is presented. The basic amplifier employs f_T doubler and compensation capacitor techniques to enhance the bandwidth. The shunt-shunt feedback configuration is used to compromise between the wide bandwidth of the low impedance design and the low noise performance of the high impedance design. The phantom zero introduced by the feedback network is used to position the pole in the desired region of the close loop systems. HSPICE is used to verify the circuit performance with a standard 0.5 μm CMOS technology and supply voltage of 2.5 V. Simulation results demonstrate the gain and the speed of operation of 80 dB and 3.25 Gb/s respectively. The equivalent input noise current spectral density is found to be 7.4 $\text{pA}/\sqrt{\text{Hz}}$ at 1 GHz and the total power dissipation is 29.6 mW

Keywords — CMOS, differential transimpedance amplifier, optical receiver

1. Introduction

In an optical communication system, optoelectronic receiver which consists of a photodetector and a transimpedance amplifier is used to convert the optical signal into electrical signal in the front end. In the design, it is well known that the design of the front end preamplifier is the most difficult because it plays a critical role in dictating the whole system performance. The design involves careful optimization of a number of tradeoffs between bandwidth, gain, noise and power consumption.

Recently, several Z amplifiers have been successfully designed and developed as gigahertz-band amplifiers using GaAs based devices such as MESFET, PHEMT and HBT [1-2]. However, as to the advanced performance progress in deep sub-micron MOSFET technology, MOSFET becomes a promising option to realize high speed and high frequency integrated circuits. MOSFET offers low cost, low power consumption, small silicon area and compatibility with the dominant transistor technology in both analog and digital applications. In addition, MOSFET can achieve very high cutoff frequencies [3] comparable to that of Si-Ge bipolar transistor or III-V devices but at a much lower cost.

This paper presents a CMOS differential transimpedance amplifier for gigabit optical communication. In the design, a standard 0.5 μm CMOS technology is employed. Our proposed basic amplifier consists of two major stages of which the first high gain stage is connected in a differential cascode

configuration and the second wide band stage employs f_T doubler [4] and capacitor compensation techniques [5] to provide further amplification and to increase the loop gain. The feedback network is arranged to introduce phantom zero enabling the designer to position the poles in the desired region of the close loop systems. The differential feedback structure makes the circuit immune to the supply noise.

2. Transimpedance amplifier

The transimpedance (Z) amplifier can be designed in the open loop configuration as shown in Figure 1 where R_Z is used to perform current to voltage conversion and C_d is the parasitic capacitor associated with photodetector.

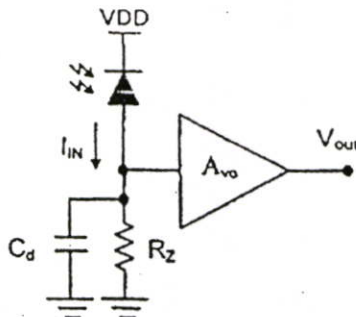


Figure 1. Open loop transimpedance amplifier.

The voltage is then amplified via an open loop voltage amplifier A_{vo} . Large resistance R_Z (high impedance design) is employed to minimize the input thermal noise level and hence the resulting amplifier shows good detection sensitivity. The amplifier however has limited bandwidth due to large RC time-constant making the circuit not suitable for operating at high bit rate. The solution to the problem is to use low value resistor R_Z (low impedance design) to minimize RC time-constant. However, low value resistance of R_Z would affect sensitivity of the amplifier due to large thermal noise associated with R_Z . Therefore, it is obvious that this open loop configuration can not achieve good sensitivity and bandwidth simultaneously and trade off between these two parameters are to be considered. Unfortunately, both sensitivity and bandwidth are two among most important parameters in the

design of transimpedance amplifier and stringent requirement for both of them are needed for optical system to operate properly. Alternative approach in the design of the transimpedance amplifier is to use feedback configuration as shown in Figure 2. This feedback (or close loop) amplifier is currently the most widely used in the optical system because it avoids the dynamic range problem associated with high impedance design, and because it provides a good compromise between the wide bandwidth of the low impedance design and the low noise performance of the high impedance design. A large resistor $R_{F1,2}$ can be placed across the gain stage as shown in Figure 2 because the resistor $R_{F1,2}$ does not need to carry a bias current allowing more voltage headroom. In addition, the negative feedback reduces the effective resistance seen by the photodiode by a factor of $(1+A_{vo}f)$ where A_{vo} is the open loop gain of the basic amplifier and f is the feedback factor. As a result, the thermal noise from the feedback resistor $R_{F1,2}$ can be minimized and the bandwidth can be matched to that of the signal eliminating the need for equalization simultaneously.

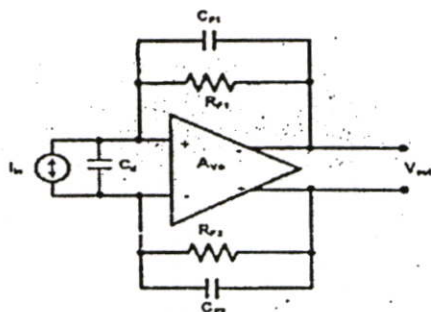


Figure 2. Feedback transimpedance amplifier.

In our design, the open loop gain A_{vo} has two major poles while the feedback factor f contains one zero.

$$A_{vo} = \frac{a_0}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (1)$$

$$f = b_0 \left(1 + \frac{s}{\omega_{z1}}\right) \quad (2)$$

where a_0 , b_0 , ω_{p1} , ω_{p2} and ω_{z1} are DC gain of the basic amplifier, DC gain of the feedback factor, dominant pole of the first stage amplifier taking into account the depletion capacitance of the photodiode, second pole and phantom zero introduced by the feedback network (to be discussed later) respectively.

As a result, the transimpedance gain Z of the amplifier ($Z = A_{vo}/(1+A_{vo}f)$), with A_{vo} and f replaced by (1) and (2), is shown as

$$Z = \frac{a_0 b_0 \omega_{p1} \omega_{p2}}{s^2 + \left[\frac{(\omega_{p1} + \omega_{p2}) \omega_{z1} + a_0 b_0 \omega_{p1} \omega_{p2}}{\omega_{z1}} \right] s + (1 + a_0 b_0) \omega_{p1} \omega_{p2}} \quad (3)$$

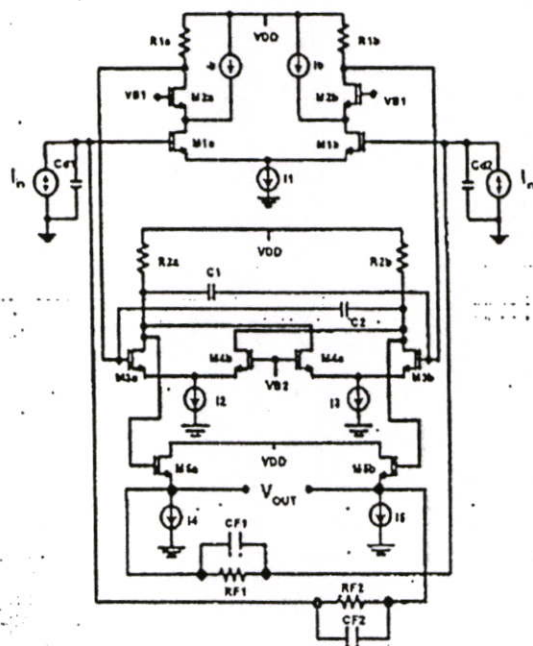


Figure 3. Schematic diagram of transimpedance (Z) amplifier.

Figure 3 shows our proposed Z amplifier. $M_{1a(b)}$ - $M_{5a(b)}$ consist to be basic amplifier while $R_{F1(2)}$ and $C_{F1(2)}$ consist to be the feedback network. The differential structure makes the circuit immune to any common mode disturbance by rejecting those common mode signals by virtue of symmetry. $M_{1a(b)}$ - $M_{2a(b)}$ forms the first stage differential amplifier, $M_{2a(b)}$ is connected in the cascode configuration to avoid the multiplication (Miller effect) of gate-drain capacitance of $M_{1a(b)}$. In the design, $R_{Ia(b)}$ are chosen to be large to enhance the gain of the first stage and to reduce thermal noise from itself and other noises from the latter stages. $M_{2a(b)}$ in the cascode configuration reduces the voltage swing across C_{gd} of $M_{1a(b)}$ and its noise contribution when referred to the input is negligible. It is noted that, with the low supply voltages, a large dc voltage drop across the large load resistor in the first stage amplifier is impractical thereby limiting the gain and yielding a high input referred noise. To alleviate this problem, I_b , which is implemented using PMOS, is biased to operate as a current source to provide a path for the bias current of $M_{1a(b)}$, allowing a greater value of $R_{Ia(b)}$ for a given supply voltage. Although the signal swing of the cascode configuration does not allow wide swing, it is not much of the problem because the output signal amplitude from the first stage is still quite small.

The gain of the the first stage amplifier, A_{z1} , can be derived and shown as

$$A_{21} \equiv \frac{-g_{m1(s)} R_{1(s)} R_{F1(s)}}{1 + \frac{s}{\omega_{p1}}} \quad (4)$$

where

$$\omega_{p1} = \frac{1}{R_{F1(s)}(C_{F1(s)} + C_{M1(s)}) + \left(1 + \frac{g_{m1(s)}}{g_{m2(s)} + g_{m3(s)}}\right) C_{M1(s)} + C_{F1(s)}}$$

$g_{m1(s)}$ and $g_{m3(s)}$ are the transconductance of $M_{1(s)}$ and $M_{3(s)}$. $R_{F1(s)}$ are the feedback resistance of the transimpedance amplifier, C_{d1} and C_{d2} are the parasitic capacitance of the photodiode and capacitance required at the other input to rebalance the circuit, $C_{p1(s)}$ and $C_{p2(s)}$ are the parasitic gate to source and gate to drain capacitances of $M_{1(s)}$ respectively.

$M_{3(s)}$ - $M_{4(s)}$ form the second stage amplifier. This second gain stage should be designed in the way that its dominant pole is far from the pole of the first stage so that the stability of the circuit in the close loop system is obtained. Because the load resistance $R_{1(s)}$ in the first stage are designed to be large, the input capacitance of the second stage amplifier should be kept minimized. In this work, a method of reducing the input capacitance of differential pairs while maintaining the same gain is realized using f_T doublers together with the capacitor compensation techniques. From Figure 3, $M_{3(s)}$ - $M_{4(s)}$ form f_T doubler circuit. The cross connection of $M_{4(s)}$ is to keep the voltage gain of the circuit the same as that of conventional differential amplifier while the input capacitance of the second stage is $C_{p1(s)}/2$. The bias voltage V_{B2} is chosen equal to the common mode level of the output signal from the first stage allowing the differential pairs to operate with zero systematic offset. Another capacitances that could decrease the poles of the second stage are the gate drain overlap capacitance C_{pd} of $M_{3(s)}$. These capacitances are the result of an unavoidable lateral diffusion under the poly-silicon gate material. C_{pd} of $M_{3(s)}$ degrade the output to input isolation and reduce the unity gain frequency, f_T , and their effects on the input capacitances of the second gain stage are multiplied by the Miller effect. In this work, the capacitor compensation (or neutralization) technique is used to reduce this effect. The capacitor $C_{1(s)}$ are employed to cancel the signal flow through $C_{pd3(s)}$ by adding additional signal paths around the amplifier so that the net signal flow through $C_{pd3(s)}$ is zero. In other words, since the drain voltages of $M_{3(s)}$ and $M_{4(s)}$ are 180° phase shifted, the current through $C_{1(s)}$ is equal in magnitude and opposite in phase to the current flowing through $C_{pd3(s)}$ provided that $C_{1(s)}$ are equal to $C_{pd3(s)}$.

The gain of the second stage, A_{V2} , can be found using small signal equivalent circuit and can be shown as

$$A_{V2} \equiv \frac{g_{m3(s)} R_{2(s)}}{\left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{\omega_{p1}}\right)} \quad (5)$$

where

$$\omega_{p2} = \frac{1}{R_{1(s)} \left(2C_{p1(s)} + \frac{C_{p2(s)} + C_{p3(s)}}{2}\right) + 3C_{p2(s)} R_{2(s)}}$$

$$\omega_{p1} = \frac{(4C_{p1(s)} + C_{p2(s)} + 2C_{p3(s)}) R_{1(s)} + 6C_{p2(s)} R_{2(s)}}{(12C_{p1(s)} + 3C_{p2(s)} + 6C_{p3(s)}) R_{1(s)} R_{2(s)}}$$

It is noted that ω_{p2} is much greater than ω_{p1} . Therefore, it is reasonable to assume that the basic amplifier consists of only two major poles, namely, ω_{p1} in (4) and ω_{p2} in (5) as shown in (1). From (4) and (5), one can easily derive the low frequency gain of the proposed basic amplifier, a_o , to be

$$-g_{m1(s)} g_{m3(s)} R_{1(s)} R_{2(s)} R_{F1(s)}$$

In the feedback network, the cross connections consisting of $R_{F1(s)}$ and $C_{F1(s)}$ as shown in Figure 3 are employed. The choice of this shunt feedback configuration is to avoid the third inverting stages. As a result, the power consumption is reduced and the loop delay can be minimized while the stability at high bit rates can be achieved. In addition, this feedback network introduces the phantom zero which allows the circuit designer to position the pole of the Z amplifier as desired.

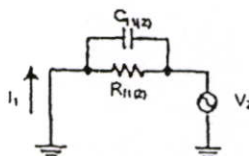


Figure 4. Feedback network.

The feedback network is redrawn for convenience and shown in Figure 4. From Figure 4, the feedback factor is given by

$$f = \frac{I_1}{V_2} = b_o \left(1 + \frac{s}{\omega_{z1}}\right) \quad (6)$$

where b_o and ω_{z1} are $-1/R_{F1(s)}$ and $1/R_{F1(s)} C_{F1(s)}$ respectively.

Having known both transfer function of the open loop gain and feedback factor allows us to find both natural frequency ω_n and damping factor ζ in terms of circuit elements. By rearranging the denominator in (3) in the form of $s^2 + 2\zeta\omega_n s + \omega_n^2$, natural frequency ω_n and damping factor ζ are

$$\omega_n = \sqrt{(1 + a_o b_o) \omega_{p1} \omega_{p2}} \quad (7)$$

$$\zeta = \frac{(\omega_{p1} + \omega_{p2}) + (a_o b_o \omega_{p1} \omega_{p2}) / \omega_{z1}}{2\sqrt{(1 + a_o b_o) \omega_{p1} \omega_{p2}}}$$

Because large natural frequency, ω_n , decreases the rise time and settling time of the system, ω_n should therefore be maximized indicating that a_o , b_o , ω_{p1} and ω_{p2} should be large. The damping factor ζ on the other hand determines the peaking in the frequency response. It is well known that the peaking can be used to enhance the bandwidth and thus the speed of the

operation. From (7), one can adjust the damping factor ζ via a_0 , b_0 , ω_{p1} , ω_{p2} and ω_{z1} . Because a_0 should be maximized to increase the loop gain and b_0 determines the close loop gain of the Z amplifier, therefore their values can not be arbitrarily chosen. ω_{p1} and ω_{p2} are major poles in the first and second stage of the basic amplifier and can not be arbitrarily adjusted as they affects other characteristics of the whole systems. Therefore, we decide to adjust ζ via the feedback capacitor $C_{F1(2)}$. It is instructive to note that, although the peaking improves the bandwidth, the peaking should not be set too high because it directly affects the stability of the close loop system. It is known that the peaking should be set less than 6dB to enjoy both speed and well-behaved response to the incoming random data [6].

The value of capacitor C_F as a function of damping factor ζ can be found by rearranging (6) and (7) as

$$C_{F1(2)} = \frac{2\zeta\omega_n - (\omega_{p1} + \omega_{p2})}{a_0 b_0 \omega_{p1} \omega_{p2} R_F}$$

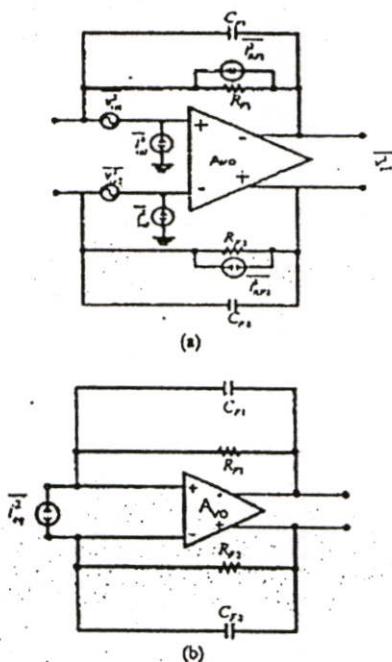


Figure 5. (a) Shunt-Shunt transimpedance amplifier with noise generators (b) Equivalent representation of input noise generator

Figure 5a) shows shunt-shunt feedback amplifier with all noise generators. Noises in the basic amplifier, A_{vo} , are represented by equivalent input generators v_{ic}^2 and i_{ia}^2 . The noise performance of the overall circuit is represented by equivalent input noise current generator i_{eq}^2 as shown in Figure 5b) In our analysis, the noise generator in the basic amplifier ignores the $1/f$ noise of the transistors because the bandwidth of the circuit is quite large and only the thermal

noises are considered here. In addition, the noise due to the second gain stage is also ignored since the noise sources in the second stage, when referred to the input, are divided by the large gain of the first stage amplifier.

The equivalent input noise current spectral density is $2i_{eq}^2$

where

$$\begin{aligned} i_{eq}^2 &= \frac{4KT}{R_{F1(2)}} + 2qI_{d1(a)} + \left[\frac{4KT}{g_{m1(a)}^2 g_{m2(a)}^2} \left(2\Gamma g_{m2(a)} + \frac{1}{R_{L2(b)}} \right) \right. \\ &\times \left(\frac{1}{R_{1a(b)}^2} + \omega^2 (C_{pd1a(b)} + \frac{C_{F1(a)} + C_{pd1a(b)} + C_{11(2)}}{2})^2 \right) \\ &+ \frac{4KT}{g_{m1(a)}} \left(\Gamma + \frac{1}{g_{m1(a)} R_{1a(b)}} + \frac{\Gamma g_{m1(b)}}{g_{m1(a)}} \right) + \frac{2qI_{d1a(b)}}{g_{m1(a)}^2} \\ &\times \left(\frac{1}{R_{F1(2)}} + \omega^2 C_{F1(2)}^2 \right) \end{aligned} \quad (8)$$

where K , T and Γ are the Boltzmann constant, ambient temperature and noise factor of the MOSFET respectively.

3. Simulation Results

To verify the circuit performance, HSPICE is used to simulate the proposed circuit using a standard 0.5 μ m CMOS process with 2.5V supply voltage. The depletion capacitance of photodiode is 0.5 pF. Bias current of the first and second stage amplifiers are chosen to be 10 mA and 300 μ A respectively. These bias current values are chosen to optimize speed, input noise current spectral density and power dissipation of the circuit. Figure 6 shows frequency response of the proposed Z amplifier. As seen, the transimpedance gain is found to be 80 dB and the bandwidth of the proposed circuit depends on the peaking caused by phantom zero introduced by the feedback network. It is noted that different values of capacitance $C_{F1(2)}$ cause different magnitudes of the peak gain and bandwidth without sacrificing the low frequency gain. We have found that the capacitance $C_{F1(2)}$ of 35 fF results in the bandwidth of 2.29 GHz and the peaking of 2 dB. The equivalent input noise current spectral density is shown in Figure 7 and found to be 7.4 pA/ $\sqrt{\text{Hz}}$ at 1 GHz. The total power dissipation is 29.6 mW.

4. Conclusion

A 3 Gb/s and 80 dB CMOS differential transimpedance amplifier is proposed. The circuit is based on shunt-shunt feedback structure. The basic amplifier uses differential cascode, f_T doubler and capacitor compensation techniques while the feedback network introduces phantom zero allowing the designer to position the pole in any desired region of the close loop systems. The differential feedback structure makes the circuit immune to the supply noise.

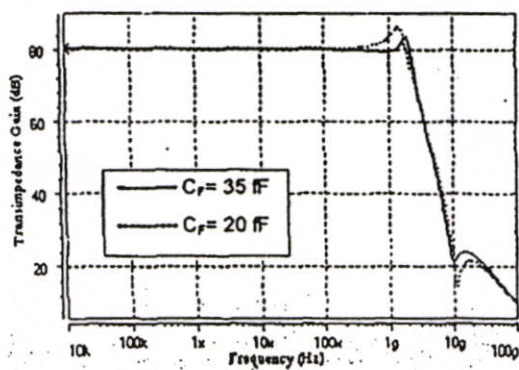


Figure 6. Transimpedance gain ($C_{p10} = 20$ fF and 35 fF)

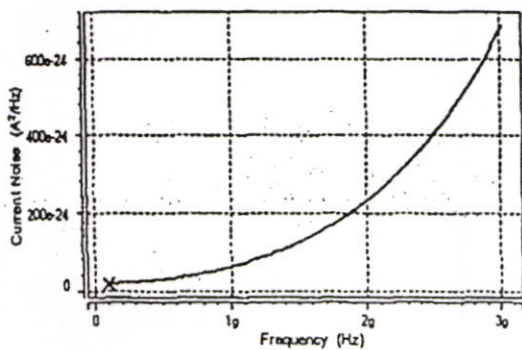


Figure 7. Equivalent input noise current spectral density of input stage

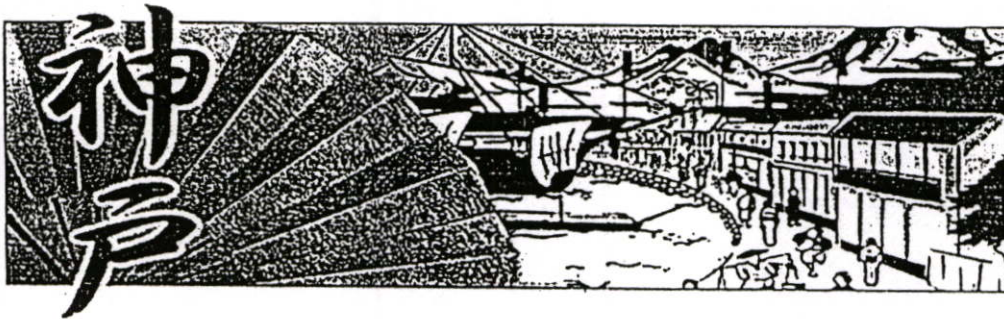
REFERENCES

- [1] A.A. Ketterson, J.W. Seo, M.H. Tong, K.L. Nummlia, J.J. Morikuni, K.Y. Cheng, S.M. Kang and J. Adesida, "A MODFET-based optoelectronic integrated circuit receiver for optical interconnects," *IEEE Trans. Electron Devices*, Vol. 40, no. 8, pp. 1406-1416, 1993.
- [2] Y. Zebda, R. Lai, P. Bhattacharya, D. Palvidis, P.R. Berger, and T. L. Brock, "Monolithically Integrated InP-based front-end photo receivers," *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1324-1333, 1991.
- [3] Y. Taur, S. Wind, Y.J. Mii, Y. Lii, D. Moy, K.A. Jenkins, C.L. Chen, P. Coane, D. Claus, J. Bucchignano, M. Rosenfed, M.G.R. Thomson, and M. Polcar, "High performance 0.1 microm CMOS devices with 1.5V power supply," in *Tech. Dig. 1993 Int. Electron Dev. Meeting (IEDM)*, pp. 127-130, 1998.
- [4] Carl Barjes, Tektronix Inc., Beaverton, OR, Monolithic Wideband Amplifier, U.S. Patent 4,236,119, November 25, 1980.
- [5] J.A. Mataya, G.W. Haines, and S.B. Marshall, "IF Amplifier Using C_c Compensated Transistors", *IEEE J. Solid-State Circuits*, vol. 3, no. 4, Dec 1968.
- [6] F.-T. Chien and Y.-J. Chan, "Bandwidth enhancement of transimpedance amplifier by a capacitive-peaking design," *IEEE J. Solid-State Circuits*, vol. 34, no. 8, Aug 1999.

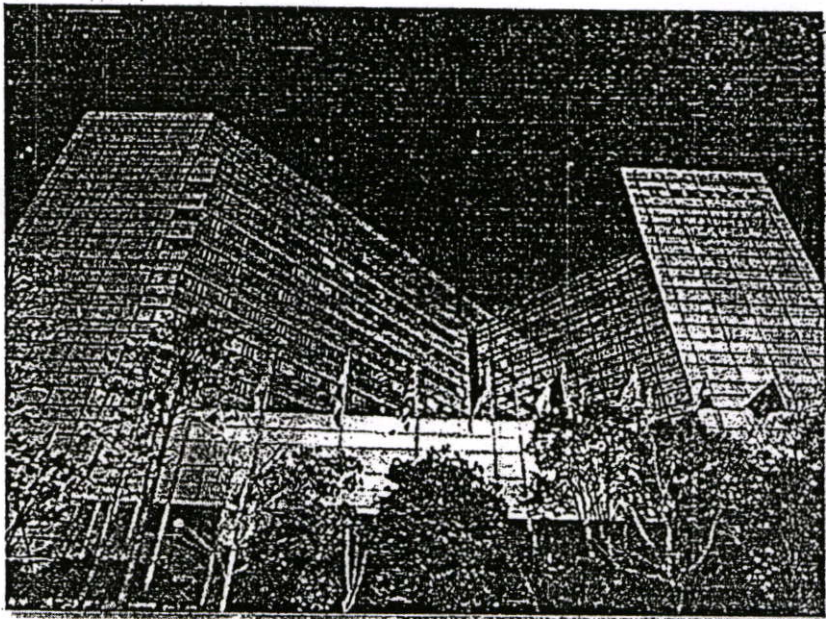
IS-CAS

2005 IEEE International Symposium
on Circuits and Systems

ISCAS 2005



Conference-at-a-Glance



International Conference Center Kobe



IEEE



EIC



A 3 Gb/s 80 dB CMOS Differential Transimpedance Amplifier for Optical Communication Systems

Wacharapol Pongpalit and Varakorn Kasemsuwan
 Department of Electronics, Faculty of Engineering, King
 Mongkut's Institute of Technology Ladkrabang, KMITL
 Bangkok, THAILAND
 kkvarako@kmitl.ac.th

Hyungkeun Ahn
 Department of Electrical Engineering
 Konkuk University
 Seoul, KOREA 143-701
 hkahn@konkuk.ac.kr

Abstract— In this paper, a 3 Gb/s 80 dB differential CMOS transimpedance amplifier is proposed. The shunt-shunt feedback configuration is used to compromise between the wide bandwidth of the low impedance design and the low noise performance of the high impedance design. The basic amplifier employs f_T doubler and compensation capacitor techniques to enhance the bandwidth. The phantom zero introduced by the feedback network is used to position the pole in any desired region of the close loop systems. HSPICE is used to verify the circuit performance with a standard 0.5 μ m CMOS technology and supply voltage of 2.5 V. Simulation results demonstrate the gain and the speed of operation of 80 dB and 3 Gb/s respectively. The equivalent input noise current spectral density is found to be $7.8 \text{ pA}/\sqrt{\text{Hz}}$ at 1 GHz and the total power dissipation is 58.4 mW.

I. INTRODUCTION

The technology of optical fiber communication systems are advancing rapidly in both high bit rate short and medium range due to the absence of electromagnetic emission of optical fibers and their inherent insensitivity to electrical interference. In the design of these systems, the design of the front end preamplifier is well known to be the most difficult as it plays a critical role in dictating the whole system performance. Normally, a high speed transimpedance (Z) amplifiers are the most widely used as a front end preamplifier where its function is to convert the optical signals into electrical signals. The design involves careful optimization of a number of tradeoffs between bandwidth, gain, noise and power consumption.

With recent advance in fabrication technology for ultra high speed devices, many Z amplifiers have been successfully designed and developed as gigahertz-band amplifiers using GaAs based devices such as MESFET, PHEMT and HBT[1-2]. However, as to the advanced performance progress in deep sub-micron MOSFET technology, MOSFET becomes a promising option to realize high speed and high frequency integrated circuits. MOSFET offers low cost, low power consumption, small

silicon area and compatibility with the dominant transistor technology in both analog and digital applications. In addition, MOSFET can achieve very high cutoff frequencies [3] comparable to that of Si-Ge bipolar transistor or III-V devices but at a much lower cost.

This paper presents a 3 Gb/s and 80 dB CMOS differential transimpedance amplifier. It is realized in a standard 0.5 μ m CMOS technology. The basic amplifier consists of two major stages of which the first high gain stage is connected in a differential cascode configuration and the second wide band stage, employing f_T doubler[4] and capacitor compensation techniques[5], provides the further amplification to increase the loop gain. The feedback network introduces phantom zero allowing the designer to position the pole in any desired region of the close loop systems. The differential feedback structure makes the circuit immune to the supply noise.

II. THE PROPOSED TRANSIMPEDANCE AMPLIFIER

The transimpedance amplifier as shown in Fig. 1 is currently the most widely used because it avoids the dynamic range problem associated with high impedance design, and because they provide a good compromise between the wide bandwidth of the low impedance design and the low noise performance of the high impedance design. A large resistor $R_{F1,2}$ can be placed across the gain stage as shown in Fig. 1 because the resistor $R_{F1,2}$ does not need to carry a bias current allowing more voltage headroom. In addition, the negative feedback reduces the effective resistance seen by the photodiode by a factor of $(1+A_{vo}f)$ where A_{vo} is the open loop gain of the basic amplifier and f is the feedback factor. As a result, the thermal noise from the feedback resistor $R_{F1,2}$ can be minimized and the bandwidth can be matched to that of the signal eliminating the need for equalization simultaneously.

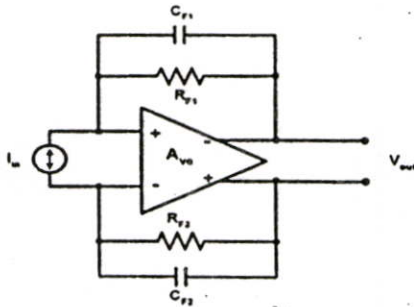


Fig. 1 Differential shunt shunt transimpedance amplifier.

The transimpedance gain, Z , in Fig. 1 is given by

$$Z = \frac{a_0 \omega_{p1} \omega_{p2}}{s^2 + \left[\frac{(\omega_{z1} + \omega_{z2}) \omega_{z1} + a_1 b_0 \omega_{p1} \omega_{p2}}{\omega_{z1}} \right] s + (1 + a_1 b_1) \omega_{p1} \omega_{p2}} \quad (1)$$

where a_0 , b_0 , ω_{p1} , ω_{p2} and ω_{z1} are low frequency gain of the basic amplifier, feedback factor ($b_0 = 1/R_{F1(2)}$), dominant pole of the first stage amplifier taking into account the depletion capacitance of the photodiode (to be discussed later), second pole and phantom zero ($\omega_{z1} = 1/R_{F1(2)}C_{F1(2)}$) introduced by the feedback network respectively.

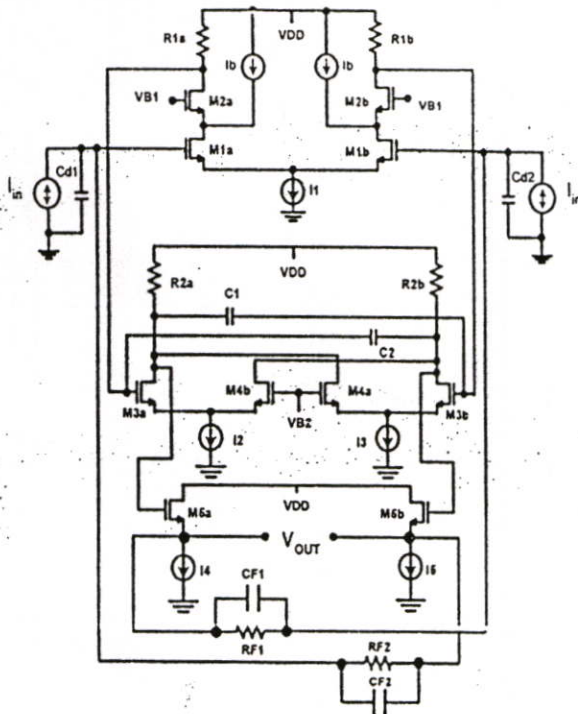


Fig. 2 Schematic diagram of transimpedance (Z) amplifier

Fig. 2 shows the proposed Z amplifier. The differential input currents are obtained from the output current of the photodiode with its phase inverted. $M_{1a(b)}$ - $M_{5a(b)}$ consist to be basic amplifier while $R_{F1(2)}$ and $C_{F1(2)}$ consist to be the feedback network. The differential structure makes the circuit immune to any common mode disturbance by rejecting those common mode signals by virtue of symmetry. $M_{1a(b)}$ - $M_{2a(b)}$ forms the first stage differential amplifier. $M_{2a(b)}$ is connected in the cascode configuration to avoid the multiplication (Miller effect) of gate-drain capacitance of $M_{1a(b)}$. In the design, $R_{1a(b)}$ are chosen to be large to enhance the gain of the first stage and to reduce thermal noise from itself and other noises from the latter stages. $M_{2a(b)}$ in the cascode configuration reduces the voltage swing across C_{gd} of $M_{1a(b)}$ and its noise contribution when referred to the input is negligible. It is noted that, with the low supply voltages, a large dc voltage drop across the large load resistor in the first stage amplifier is impractical thereby limiting the gain and yielding a high input referred noise. To alleviate this problem, I_b , which is implemented using PMOS, is biased to operate as a current source to provide a path for the bias current of $M_{1a(b)}$, allowing a greater value of $R_{1a(b)}$ for a given supply voltage. Although the signal swing of the cascode configuration does not allow wide swing, it is not much of the problem because the output signal amplitude from the first stage is still quite small.

The gain of the the first stage amplifier can be derived and shown as

$$Z \equiv \frac{-g_{m1a(b)} R_{1a(b)} R_{F1(2)}}{1 + s^2 \omega_{p1}^2} \quad (2)$$

where

$$\omega_{p1} = \frac{1}{R_{F1(2)}(C_{d1(2)} + C_{gs1a(b)} + (1 + g_{m1a(b)}/g_{m2a(b)})C_{gd1a(b)} + C_{F1(2)})}$$

$g_{m1a(b)}$ is the transconductance of $M_{1a(b)}$ and $M_{2a(b)}$, $R_{F1(2)}$ and $C_{F1(2)}$ are the feedback resistance and capacitor of the transimpedance amplifier, C_{d1} and C_{d2} are the parasitic capacitance of the photodiode and capacitance required at the other input to rebalance the circuit, $C_{gs1a(b)}$ and $C_{gd1a(b)}$ are the parasitic gate to source and gate to drain capacitances of $M_{1a(b)}$ respectively. It is noted that the gain of the first stage is designed to be large in order to minimize the input referred noise.

$M_{3a(b)}$ - $M_{4a(b)}$ form the second stage amplifier. This second gain stage should be designed in the way that its dominant pole is far from the first pole of the first stage so that the stability of the circuit in the close loop system is obtained. Because the load resistance $R_{1a(b)}$ in the first stage are designed to be large, the input capacitance of the second stage amplifier should be kept minimized. In this work, a method of reducing the input capacitance of differential pairs while maintaining the same gain is realized using f_T doublers together with the capacitor compensation techniques. From Fig. 2, $M_{3a(b)}$ - $M_{4a(b)}$ form f_T doubler

circuit. The cross connection of $M_{4a(b)}$ is to keep the voltage gain of the circuit the same as that of conventional differential amplifier while the input capacitance of the second stage is $C_{gd3a(b)}/2$. The bias voltage V_{B2} is chosen equal to the common model level of the output signal from the first stage allowing the differential pairs to operate with zero systematic offset. Another capacitances that could decrease the poles of the second stage are the gate drain overlap capacitance C_{gd} of $M_{3a(b)}$. These capacitances are the result of an unavoidable lateral diffusion under the polysilicon gate material. C_{gd} of $M_{3a(b)}$ degrade the output to input isolation and reduce the unity gain frequency, f_T , and their effects on the input capacitances of the second gain stage are multiplied by the Miller effect. In this work, the capacitor compensation (or neutralization) technique is used to reduce this effect. The capacitor $C_{1(2)}$ are employed to cancel the signal flow through $C_{gd3a(b)}$ by adding additional signal paths around the amplifier so that the net signal flow through $C_{gd3a(b)}$ is zero. In other words, since the drain voltages of $M_{3a(b)}$ and $M_{4a(b)}$ are 180° phase shifted, the current through $C_{1(2)}$ is equal in magnitude and opposite in phase to the current flowing through $C_{gd3a(b)}$ provided that $C_{1(2)}$ are equal to $C_{gd3a(b)}$.

The gain of the second stage can be found using small signal equivalent circuit and can be shown as

$$A_{v2} = \frac{g_{m3a(b)}R_{2a(b)}}{(1 + s/\omega_{p2})(1 + s/\omega_{p3})} \quad (3)$$

where

$$\omega_{p2} = \frac{1}{R_{1a(b)}(2C_{gd3a(b)} + C_{gs3a(b)}/2) + 3C_{gd3a(b)}R_{2a(b)}}$$

$$\omega_{p3} = \frac{(4C_{gd3a(b)} + C_{gs3a(b)})R_{1a(b)} + 6C_{gd3a(b)}R_{2a(b)}}{(12C_{gd3a(b)}^2 + 3C_{gd3a(b)}C_{gs3a(b)})R_{2a(b)}R_{1a(b)}}$$

It is noted that ω_{p2} is much greater than ω_{p3} . Therefore, it is reasonable to assume that the basic amplifier consists of only two major poles, namely, ω_{p1} in (2) and ω_{p2} in (3) as shown in (1). From (2) and (3), one can easily derive the low frequency gain of the proposed basic amplifier, a_m , to be $-g_{m1a(b)}g_{m3a(b)}R_{1a(b)}R_{2a(b)}R_{F1(2)}$.

In the feedback network, the cross connections consisting of $R_{F1(2)}$ and $C_{F1(2)}$ are employed. The choice of this shunt feedback configuration is to avoid the third inverting stages. As a result, the power consumption is reduced and the loop delay can be minimized while the stability at high bit rates can be achieved. In addition, this feedback network introduces the phantom zero which allows the circuit designer to position the pole of the Z amplifier as desired.

From (1), one can arrange the denominator in the form $s^2 + 2\zeta\omega_n s + \omega_n^2$ where the natural frequency ω_n and damping factor ζ can be shown as

$$\omega_n = \sqrt{(1 + a_o b_o)\omega_{p1}\omega_{p2}} \quad (4)$$

$$\zeta = \frac{(\omega_{p1} + \omega_{p2}) + (a_o b_o \omega_{p1} \omega_{p2})/\omega_{z1}}{2\sqrt{(1 + a_o b_o)\omega_{p1}\omega_{p2}}}$$

Because large natural frequency, ω_n , decreases the rise time and settling time of the system. ω_n should therefore be maximized indicating that a_m , b_m , ω_{p1} and ω_{p2} should be large. The damping factor ζ on the other hand determines the peaking in the frequency response. It is well known that the peaking can be used to enhance the bandwidth and thus the speed of the operation. From (4), one can adjust the damping factor ζ via a_m , b_m , ω_{p1} , ω_{p2} and ω_{z1} . Because a_m should be maximized to increase the loop gain and b_m determines the close loop gain of the Z amplifier, therefore their values can not be arbitrarily selected. ω_{p1} and ω_{p2} are major poles in the first and second stage of the basic amplifier and can not be arbitrarily adjusted as they affects other characteristics of the whole systems. Therefore, we decide to adjust ζ via the feedback capacitor $C_{F1(2)}$. It is instructive to note that, although the peaking improves the bandwidth, the peaking should not be set too high because it directly affects the stability of the close loop system. It is known that the peaking should be set less than 6dB to enjoy both speed and well-behaved response to random data[6].

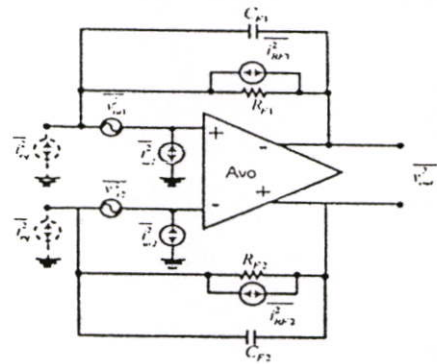


Fig. 3 Shunt-Shunt transimpedance amplifier with noise generators

Fig. 3 shows shunt shunt feedback amplifier with all noise generators. Noises in the basic amplifier, A_{vo} , are represented by equivalent input generators v_{in}^2 and i_{in}^2 . The noise performance of the overall circuit is represented by equivalent input noise current generator i_{vy}^2 . In our analysis, the noise generator in the basic amplifier ignore all the 1/f noise of the transistors because the speed of the circuit is quite high and only the thermal noises are considered here. In addition, the noise due to the second gain stage is also ignored since the noise sources in the second stage, when referred to the input, are divided by the large gain of the first stage amplifier.

The equivalent input noise current spectral density i_{vy}^2 can be calculated and shown as

$$\begin{aligned}
 \bar{i}_{nq}^2 &\equiv 4KTR_{nq}^{-1} + 2qI_{x1ot(h)} + \left[\frac{4KT}{g_{m1ot(h)}^2 g_{m3ot(h)}^2} (2\Gamma g_{m3ot(h)} + R_{2ot(h)}^{-1}) \right. \\
 &\times (1/R_{1ot(h)}^2 + \omega^2 (C_{gd2ot(h)} + C_{gs3ot(h)}/2 + C_{gd3ot(h)} + C_{f1(2)})^2) \\
 &\left. + 4KTg_{m1ot(h)}^{-1} (\Gamma + 1/g_{m1ot(h)} R_{1ot(h)} + \Gamma g_{m,b} g_{m1ot(b)}^{-1}) + 2q(g_{3ot(h)} g_{m1ot(b)}^{-2}) \right] \\
 &\times (R_{f1(2)}^{-2} + \omega^2 C_{f1(2)}^2) \quad (5)
 \end{aligned}$$

where K , T and Γ are the Boltzmann constant, ambient temperature and noise factor of the MOSFET respectively.

III. SIMULATION RESULTS

To verify the circuit performance, HSPICE is used to simulate the proposed circuit using a standard 0.5 μ m CMOS process with 2.5V supply voltage. The depletion capacitance of photodiode is 0.5 pF. Bias current of the first and second stage amplifiers are chosen to be 10 mA and 400 μ A respectively. These bias current values are chosen to optimize speed, input noise current spectral density and power dissipation of the circuit. Fig. 4 shows eye diagram of the circuit connected to the limiting amplifier at 1.6 GHz. Fig. 5 shows frequency response of the proposed Z amplifier. As seen, the transimpedance gain is found to be 80 dB and the bandwidth of the proposed circuit depends on the peaking caused by phantom zero introduced by the feedback network. It is noted that different values of capacitance $C_{f1(2)}$ cause different magnitudes of the peak gain and bandwidth without sacrificing the low frequency gain. We have found that the capacitance $C_{f1(2)}$ of 33 fF results in the bandwidth of 2.16 GHz and the peaking of 2 dB. The equivalent input noise current spectral density is shown in Fig. 6 and found to be 7.8 pA/ $\sqrt{\text{Hz}}$ at 1 GHz. The total power dissipation is 58.4 mW.

IV. CONCLUSION

A 3 Gb/s and 80-dB CMOS differential transimpedance amplifier is proposed. The circuit is based on shunt-shunt feedback structure. The basic amplifier uses differential cascode, f_T doubler and capacitor compensation techniques while the feedback network introduces phantom zero allowing the designer to position the pole in any desired region of the close loop systems. The differential feedback structure makes the circuit immune to the supply noise.

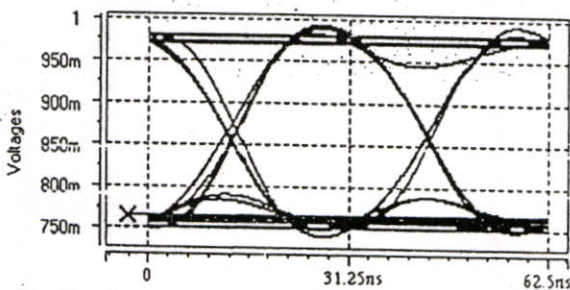


Fig. 4 Eye diagram of the circuit (C_L : 500 fF) at the frequency of 1.6 GHz

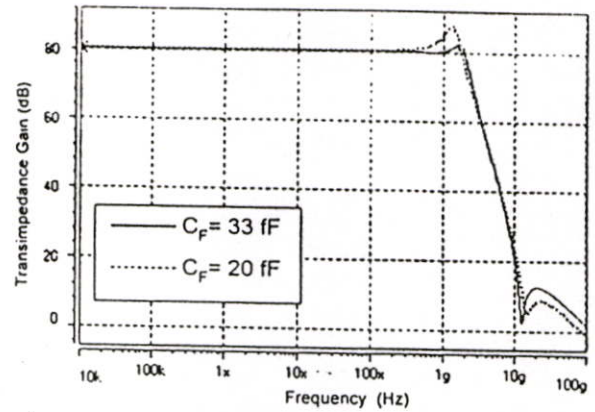


Fig. 5 Transimpedance gain ($C_{f1(2)}$ = 20 fF and 33 fF)

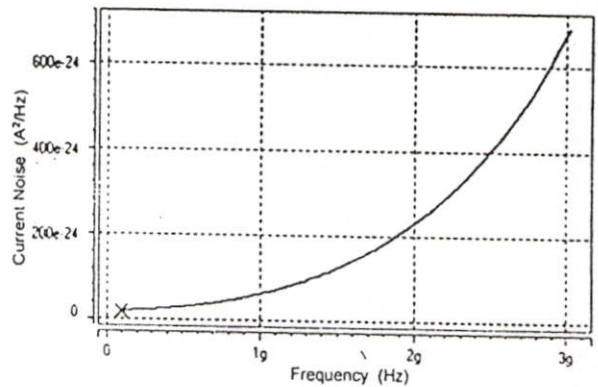


Fig. 6 Equivalent input noise current spectral density of input stage

REFERENCES

- [1] A.A. Ketterson, J.W. seo, M.H. Tong, K.L. Nummlia, J.J. Morikuni, K.Y. Cheng, S.M. Kang and I. Adesida, "A MODFET-based optoelectronic integrated circuit receiver for optical interconnects," IEEE Trans. Electron Devices, Vol. 40, no. 8, pp. 1406-1416, 1993.
- [2] Y. Zebda, R. Lai, P. Bhattacharya, D. Palvlidis, T.R. Berger, and T. L. Brock, "Monolithically Integrated InP-based front-end photo receivers," IEEE Trans. Electron Devices, vol. 38, no. 6, pp. 1324-1333, 1991.
- [3] Y. Taur, S. Wind, Y.J. Mii, Y. Lii, D. Moy, K.A./ Jenkins, C.L. Chen, P. Coane, D. Claus, J. Bucchignano, M. Rosenfed, M.G.R. Thomson, and M. Polcar, "High performance 0.1 microm CMOS devices with 1.5V power supply," in Tech. Dig. 1993 Int. Electron Dev. Meeting (IEDM), pp. 127-130, 1998.
- [4] Carl Battjes, Tektronix Inc., Beaverton, OR, *Monolithic Wideband Amplifier*, U.S. Patent 4,236,119, November 25, 1980.
- [5] J.A. Mataya, G.W. Haines, and S.B. Marshall, "IF Amplifier Using C_c Compensated Transistors", IEEE J. Solid-State Circuits, vol. sc-3, no. 4, Dec 1968.
- [6] F.-T. Chien and Y.-J. Chan, "Bandwidth enhancement of transimpedance amplifier by a capacitive-peaking design," IEEE J. Solid-State Circuits, vol. 34, no. 8, Aug 1999.

ประวัติผู้เขียน

นายวัชรพล พงษ์पालิต เกิดเมื่อวันที่ 19 ตุลาคม พ.ศ.2521 ที่จังหวัดกรุงเทพมหานคร สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2544 และเข้าศึกษาต่อในระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2545 โดยในปี พ.ศ. 2544 ได้เข้าทำงานในตำแหน่งนายช่างอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง และในปีเดียวกันได้เข้าทำงานวิจัยประจำห้องปฏิบัติการออกแบบวงจรรวม (KMITL Integrated Circuits Lab) ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง