วงจรค่าสูงสุด ค่าต่ำสุดโดยใช้ซีมอสและการประยุกต์ใช้งาน

CMOS MAX-MIN CIRCUITS AND APPLICATIONS

กฤษณ์ อ่างแก้ว
KRIT ANGKEAW

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2552

KMITL-2009-EN-D-013-100

วงจรค่าสูงสุด ค่าต่ำสุดโดยใช้ซีมอสและการประยุกต์ใช้งาน

CMOS MAX-MIN CIRCUITS AND APPLICATIONS

กฤษณ์ อ่างแก้ว

KRIT ANGKEAW

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL 2009-EN-D-018-100

CMOS MAX-MIN CIRCUITS AND APPLICATIONS

KRIT ANGKEAW

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR DEGREE OF

DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2009

KMITL 2009-EN-D-018-100

COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	วงจรค่าสูงสุดและค่าต่ำสุดโดยใช้ซีมอสและการประยุกต์ใช้งาน
นักศึกษา	นายกฤษณ์ อ่างแก้ว
รหัสประจำตัว	48060008
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบวงจรตรวจจับค่าสูงสุดและต่ำสุดใช้โหมดศักดาแหล่งจ่ายไฟต่ำโดยหักล้างค่าศักดาเทรสโฮลด์ทิ้งด้วยเทคโนโลยีซีมอสสำหรับสัญญาณแรงดันอินพุทแบบหลายสัญญาณที่ทำงานได้ด้วยแหล่งจ่ายแรงดันต่ำโดยใช้เทคโนโลยีซีมอส วงจรสร้างขึ้นจากวงจรเลื่อนระดับแรงดัน วงจรกันชนป้อนกลับกระแสและวงจรสะท้อนกระแสอย่างง่าย โครงสร้างของวงจรมีความง่ายไม่ซับซ้อน สามารถทำงานที่แรงดันต่ำได้ดี วงจรที่นำเสนอมีคุณสมบัติคือ มีความเที่ยงตรงและความเร็วสูงภายใต้เงื่อนไขการทำงานที่แหล่งจ่าย $\pm$1.5V มีช่วงแรงดันอินพุทปฏิบัติงาน $\pm$600mV ค่าหน่วงเวลาที่เอาท์พุทของวงจรประมาณ 5 ns ผลตอบสนองต่อความถี่ประมาณ 815 MHz ค่าความเพี้ยนทางฮาร์โมนิคต่ำกว่า 1% สามารถนำไปประยุกต์ใช้งานเป็นวงจรเรียงกระแสแบบครึ่งคลื่น เต็มคลื่น และ วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกขนาด 4 บิท ซึ่งคุณสมบัติของวงจรสามารถยืนยันได้ด้วยการจำลองการทำงานด้วยโปรแกรม PSpice

Thesis Title	CMOS Max-Min Circuits and Applications
Student	Mr. Krit Angkeaw
Student ID.	48060008
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2009
Thesis Advisor	Assoc.Prof.Dr. Kobchai Dejhan

ABSTRACT

CMOS-based near zero-offset multiple inputs maximum circuit and minimum circuits are proposed. The analog signal building blocks including shunt-feedback buffer, voltage-subtraction circuits and current mirrors are deployed for obtained the good performances. This achieved circuits is a simply scheme and able to work with low power supplies. The input range is obtained around $\pm 600mV$ within $\pm 1.5V$ power supplies. Near zero-offset and low output impedance are provided by proposed circuit. The delay of output is less than 5 ns for THD less than 1% and frequency response up to 815 MHz. Half-wave, full-wave rectifiers and 4 bits linear combination Digital-to-Analog Converter (DAC) are raised up to confirm the realistic applications. All performances including the DC-charactristic, frequency response, high-frequency wave output are simulated by PSpice.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงได้ผู้เขียนขอกราบขอบพระคุณอาจารย์ บุคคลและองค์กรที่มีรายนามดังนี้

พ่อและแม่ ผู้อบรมเลี้ยงดู ให้การศึกษา สนับสนุน และเป็นตัวอย่างที่ดีต่อผู้เขียนเสมอมา

รองศาสตราจารย์ ดร. กอบชัย เดชหาญ อาจารย์ที่ปรึกษาที่ได้กรุณาให้โอกาสแก่ผู้เขียนเสมอมา ตลอดจนคำปรึกษา ชี้แนะแนวคิดใหม่ในการทำวิจัย และฝึกฝนผู้เขียนให้มีความสามารถในการทำวิจัยที่มีประสิทธิภาพ ทั้งทางตรงและทางอ้อม รวมถึงการอบรมสั่งสอนให้แนวคิดในการดำเนินชีวิต ผู้เขียนจึงขอกราบขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้

ผู้ช่วยศาสตราจารย์ ดร. พิพัฒน์ พรหมมี ที่ได้ให้โอกาสแก่ผู้เขียน แนวคิด ความรู้ทางวิชาการ และกำลังใจ โดยไม่หวังสิ่งตอบแทน ส่งผลให้เป็นแบบอย่างที่ดีแก่ผู้เขียน เพื่อถ่ายทอดความรู้ที่มีอยู่แก่ศิษย์ของผู้เขียนต่อไป

อ.มนตรี สมดุลยกนก ดร.มนตรี คำเงิน และ ผศ.นภัทร สระเอี่ยม ที่มีส่วนในการช่วยเหลือต่างๆ จนทำให้วิทยานิพนธ์นี้สำเร็จลงไปได้

ภาควิชาวิศวกรรมเครื่องมือวัดและอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ซึ่งเป็นสถานที่ทำงานของผู้เขียน เป็นที่ให้ประสบการณ์ที่มีคุณค่า รวมถึง รศ.จิระศักดิ์ ชาญวุฒิธรรม ที่ส่งเสริมผู้เขียนอย่างดีตลอดมา

พญ.สุปราณี อ่างแก้ว ภรรยาที่คอยให้กำลังใจและเอาใจใส่ผู้เขียนตลอดมา

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญรูป.....VII

สารบัญตาราง.....X

บทที่ 1 บทนำ.....1

1.1 ที่มาและปัญหา.....1

1.2 วัตถุประสงค์.....2

1.3 การพัฒนาในงานวิจัย.....2

1.4 รายละเอียดในวิทยานิพนธ์.....2

บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์

2.1 บทนำ.....4

2.2 มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนท์.....5

2.3 มอสทรานซิสเตอร์ชนิดดีพลีชัน.....12

2.4 วงจรสมมูลย์ของมอสทรานซิสเตอร์.....15

2.5 ผลตอบสนองความถี่.....17

2.6 บทสรุป.....21

บทที่ 3 หลักการและวงจรย่อยที่ใช้ในวิทยานิพนธ์

3.1 บทนำ.....22

3.2 หลักการของวงจรตรวจจับค่าแรงดันต่ำสุดและสูงสุด.....22

3.2.1 วงจรตรวจจับค่าแรงดันต่ำสุดและสูงสุดใช้วงจรโอทีเอ.....22

3.2.2 วงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดใช้วงจรสายพานกระแส.....26

3.2.3 วงจรตรวจจับค่าแรงดันสูงสุดแบบหลายเอาท์พุท.....29

3.3 วงจรสะท้อนกระแส.....30

3.4 วงจรเลื่อนระดับแรงดัน.....32

3.5 วงจรกันชนป้อนกลับกระแส.....33

สารบัญ (ต่อ)

หน้า

3.6 วงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์.....34
3.7 วงจรความต้านทานอิเล็กทรอนิกส์.....37
3.8 บทสรุป.....38
บทที่ 4 วงจรตรวจจับค่าแรงดันสูงสุด
4.1 บทนำ.....38
4.2 วงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอ.....39
4.3 ผลการเลียนแบบการทำงาน.....39
4.4 บทสรุป.....53
บทที่ 5 วงจรตรวจจับค่าแรงดันต่ำสุด
5.1 บทนำ.....54
5.2 หลักการและวงจรที่นำเสนอ.....54
5.3 ผลการเลียนแบบการทำงาน.....58
5.4 สรุป.....67
บทที่ 6 การประยุกต์ใช้งาน
6.1 บทนำ.....68
6.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก.....68
6.2.1 วงจรตัดยอดแรงดันออกแบบโดยใช้วงจรตรวจจับค่าแรงดันต่ำสุด.....69
6.2.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกด้วยวงจรตัดยอดแรงดัน.....69
6.3 ผลการเลียนแบบการทำงานวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก.....72
6.4 วงจรเรียงกระแสแบบเต็มคลื่น.....74
6.4.1 วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านบวก.....74
6.4.2 วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านลบ.....76
6.4.3 วงจรเรียงสัญญาณแบบเต็มคลื่นด้วยวงจรเรียงสัญญาณ
ครึ่งคลื่นด้านบวกและลบ.....77
6.5 ผลการเลียนแบบการทำงานวงจรเรียงสัญญาณแบบเต็มคลื่น.....78
6.6 บทสรุป.....78

สารบัญ (ต่อ)

หน้า

บทที่ 7 บทสรุปและข้อเสนอแนะ

7.1 บทนำ....79

7.2 ข้อเสนอแนะ....80

เอกสารอ้างอิง....81

ภาคผนวก....83

ภาคผนวก ก....84

ภาคผนวก ข....85

ภาคผนวก ค....90

ประวัติผู้เขียน....115

สารบัญรูป

รูปที่ **หน้า**

2.1 มอสทรานซิสเตอร์ชนิดต่างๆ.....5

2.2 โครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล.....6

2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ.....9

2.4 การไบอัสมอสทรานซิสเตอร์ (ก) NMOS (ข) PMOS.....10

2.5 กราฟความสัมพันธ์ระหว่าง ID และ VDS เมื่อ λ=0.....11

2.6 แสดงคุณสมบัติทางเอาท์พุทของมอสทรานซิสเตอร์.....12

2.7 ดีพลีชันมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (ก) โครงสร้าง (ข) สัญลักษณ์.....13

2.8 คุณสมบัติ ID-VDS ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล.....14

2.9 แสดงคุณสมบัติ ID-VGS ของมอสทรานซิสเตอร์ทั้งหมด.....14

2.10 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ (ก) ไม่พิจารณาผลของ λขณะทำงานในช่วงอิ่มตัว (ข) พิจารณาผลของ λโดยเพิ่มความต้านทานที่ทางออก.....16

2.11 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์กรณีที่ฐานรองไม่ต่ออยู่กับซอร์ส.....16

2.12 (ก) แบบจำลองวงจรสมมูลย์ของมอสทรานซิสเตอร์ที่ความถี่สูง (ข)วงจรสมมูลย์สำหรับกรณีที่ซอร์สต่อกับฐานรอง (ค) วงจรสมมูลย์ตามรูป (ข) กรณีที่ Cdb มีค่าน้อยมากๆ.....18

2.13 การหาอัตราการขยายกระแสขณะปิดวงจร.....19

3.1 วงจรตรวจจับค่าแรงดันสูงสุดโดยใช้วงจรโอทีเอ.....23

3.2 วงจรตรวจจับค่าแรงดันต่ำสุดโดยใช้วงจรโอทีเอ.....25

3.3 วงจรตรวจจับค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแส.....27

3.4 วงจรตรวจจับค่าแรงดันต่ำสุดโดยใช้วงจรสายพานกระแส.....28

3.5 วงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa.....29

3.6 วงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa ในแบบใช้มอสทรานซิสเตอร์.....30

3.7 วงจรสะท้อนกระแสแบบพื้นฐาน (ก) แบบบวก (ข) แบบลบ.....31

3.8 วงจรเลื่อนระดับแรงดัน (ก) แบบบวก (ข) แบบลบ.....32

3.9 วงจรกันชนป้อนกลับกระแส.....33

3.10 วงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์.....34

3.11 วงจรความต้านทานทางอิเล็กทรอนิกส์.....37

4.1 วงจรตรวจจับค่าแรงดันสูงสุดที่สมบูรณ์ที่นำเสนอ.....40

4.2 ค่าแรงดัน Tracking Error ของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์.....41

สารบัญรูป

รูปที่ **หน้า**

4.3 ค่าความต้านทานที่เอาท์พุทของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์.....42
4.4 ค่าหน่วงเวลาของวงจรของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์.....42
4.5 การตอบสนองความถี่ของวงจรของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์.....43
4.6 เซลล์ Layout ของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์.....43
4.7 คุณสมบัติทางไฟฟ้ากระแสตรงของวงจรตรวจจับค่าสูงสุด.....45
4.8 การตอบสนองทางความถี่ของวงจรตรวจจับค่าสูงสุด.....45
4.9 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท
(ก) อินพุท VIN1 และ VIN2 ขนาด 0.6VP-P ความถี่ 5MHz และ 1MHz ตามลำดับ
(ข) เอาท์พุท.....46
4.10 ผลการจำลองการทำงาน Post-layout ของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท
(ก) อินพุท VIN1 และ VIN2 ขนาด 0.6VP-P ความถี่ 5MHz และ 1MHz ตามลำดับ
(ข) เอาท์พุท.....47
4.11 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท
(ก) อินพุท Vin1 และ Vin2 ขนาด 1VP-P ความถี่ 1MHz และ 250kHz ตามลำดับ
(ข) เอาท์พุท.....49
4.12 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุทที่มีเฟสต่างกัน
120 องศา (ก) อินพุท Vin1 และ Vin2 ขนาด 1VP-P ความถี่ 1MHz (ข) เอาท์พุท.....50
4.13 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท สำหรับกรณีอินพุท
Vin1 ขนาด 1VP-P ความถี่ 1MHz และ Vin2=0 (ก) อินพุท (ข) เอาท์พุท.....51
4.14 เอาท์พุทแบบครึ่งคลื่นของวงจรที่นำเสนอที่อุณหภูมิแตกต่างกัน.....52
4.15 เซลล์ Layout ของวงจรตรวจจับค่าสูงสุด.....52
5.1 วงจรกันชนป้อนกลับกระแส.....54
5.2 วงจรเลื่อนระดับแรงดัน.....56
5.3 วงจรกันชนป้อนกลับกระแสสำหรับวงจรตรวจจับค่าแรงดันต่ำสุด.....56
5.4 วงจรตรวจจับค่าแรงดันต่ำสุดที่สมบูรณ์ที่นำเสนอ.....57
5.5 คุณสมบัติทาง DC ของวงจรตรวจจับค่าต่ำสุด.....60
5.6 การตอบสนองความถี่ของวงจรตรวจจับค่าต่ำสุด.....60

สารบัญรูป

รูปที่ **หน้า**

5.7 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท
(ก) อินพุท VIN1 และ VIN2 ขนาด 0.6VP-P ความถี่ 5MHz และ 1MHz ตามลำดับ
(ข) เอาท์พุท 61
5.8 ผลการจำลองการทำงาน Post-layout ของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท
(ก) อินพุท VIN1 และ VIN2 ขนาด 0.6VP-P ความถี่ 5MHz และ 1MHz ตามลำดับ
(ข) เอาท์พุท.....62
5.9 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันต่ำสุด 2 อินพุท (ก) อินพุท Vin1
และ Vin2 ขนาด 1VP-P ความถี่ 1MHz และ 250kHz ตามลำดับ (ข) เอาท์พุท.....63
5.10 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันต่ำสุด 2 อินพุทที่มีเฟสต่างกัน
120 องศา (ก) อินพุท Vin1 และ Vin2 ขนาด 1VP-P ความถี่ 1MHz (ข) เอาท์พุท.....64
5.11 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันต่ำสุด 2 อินพุท สำหรับกรณี
อินพุท Vin1 ขนาด 1VP-P ความถี่ 1MHz และ Vin2=0 (ก) อินพุท (ข) เอาท์พุท.....65
5.12 ค่าความเพี้ยนทางฮาร์โมนิค (Total Harmonic Distortion) ของวงจรตรวจจับค่าสูงสุด
และวงจรตรวจจับค่าต่ำสุด..... 66
5.13 เซลล์ Layout ของวงจรตรวจจับค่าต่ำสุด.....66
6.1 วงจรตัดยอดแรงดัน (ก) วงจร (ข) บล็อกสัญลักษณ์.....70
6.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกโดยใช้วงจรตัดยอดแรงดัน.....70
6.3 การทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (ก) สัญญาณดิจิตอลอินพุท
(ข) สัญญาณเอาท์พุท.....73
6.4 วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านบวก.....75
6.5 ผลการจำลองการทำงานของเรียงสัญญาณแบบครึ่งคลื่นด้านบวก (ก) อินพุท VIN1
ขนาด 0.6VP-P และ VIN2 ขนาด 0 V ความถี่ 100kHz ตามลำดับ (ข) เอาท์พุท.....75
6.6 วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านลบ.....76
6.7 ผลการจำลองการทำงานของเรียงสัญญาณแบบครึ่งคลื่นด้านลบ (ก) อินพุท VIN1
ขนาด 0.6VP-P และ VIN2 ขนาด 0 V ความถี่ 100kHz ตามลำดับ (ข) เอาท์พุท.....77
6.8 บล็อกไดอะแกรมของวงจรเรียงสัญญาณแบบเต็มคลื่น.....77
6.8 ผลการจำลองการทำงานของเรียงสัญญาณแบบเต็มคลื่นที่ความถี่ 100 kHz.....78

สารบัญตาราง

ตารางที่ **หน้า**

4.1 ค่า W/L ของมอสทรานซิสเตอร์ของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์.....39
4.2 ค่า W/L ของมอสทรานซิสเตอร์ของวงจรตรวจจับแรงดันค่าสูงสุด.....44
4.3 คุณสมบัติของวงจรตรวจจับค่าสูงสุดที่นำเสนอ.....48
5.1 ค่า W/L ของมอสทรานซิสเตอร์ของวงจรตรวจจับค่าแรงดันต่ำสุด.....58
5.2 คุณสมบัติของวงจรตรวจจับค่าสูงสุดและต่ำสุดที่นำเสนอ 67
6.1 ค่า W/L ของมอสทรานซิสเตอร์ของวงจรเรียงกระแสครึ่งคลื่นแบบบวก
แบบลบและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก.....72

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรตรวจจับหาค่าสูงสุด (Minimum circuit) และค่าต่ำสุด (Maximum circuit) คือวงจรที่มีความสำคัญที่สามารถนำมาประยุกต์ใช้งานได้มากมาย เช่นการควบคุมแบบฟัซซี่ในเครื่องใช้ไฟฟ้าในบ้าน การประมวลผลสัญญาณภาพ เครือข่ายประสาท ระบบอัตโนมัติ เป็นต้น จากอดีตจนถึงปัจจุบันวงจรตรวจจับค่าสูงสุดและต่ำสุดได้รับการพัฒนาและนำเสนอมาอย่างต่อเนื่องเพื่อให้ได้วงจรตรวจจับค่าสูงสุดและต่ำสุดที่มีคุณสมบัติที่ดี วงจรตรวจจับค่าสูงสุดและต่ำสุดที่ดีควรมีคุณสมบัติเช่น มีความเที่ยงตรงสูง มีช่วงปฏิบัติงานทางขนาดและความถี่กว้าง มีความเร็วสูง และถ้าเป็นวงจรสมัยใหม่คุณสมบัติของวงจรเช่น ใช้กำลังงานต่ำ ใช้อุปกรณ์น้อยและมีความง่ายเพื่อให้เหมาะกับการนำมาสร้างเป็นวงจรรวมคือพารามิเตอร์ที่ต้องการที่เพิ่มเติมขึ้นมา ที่ผ่านมามีวงจรตรวจจับค่าสูงสุดและต่ำนำเสนอไว้ในวารสารโดยใช้อุปกรณ์แอคทีฟเป็นวงจรพื้นฐานได้แก่ ใช้ออปแอมป์ (Op-amp) [1] วงจรโอทีเอ (OTA) [3]-[4] วงจรสายพานกระแส (Current conveyor) [5] แต่อย่างไรก็ตาม วงจรดังกล่าวเหมาะกับการประยุกต์ใช้งานบางประเภทเท่านั้น เช่น การประมวลผลสัญญาณดิจิตอลและฟัซซี่โลจิก การนำเอาวงจรตรวจจับค่าสูงสุดและต่ำสุดดังกล่าวมาประยุกต์ใช้งานในการตัดสินใจ เช่น ระบบเครือข่ายประสาทเทียม ระบบประมวลผลสัญญาณภาพจำเป็นจะต้องใช้วงจรตรวจจับค่าสูงสุดและต่ำสุดที่มีหลายอินพุทซึ่งหากนำวงจรดังกล่าวมาใช้งานจำเป็นต้องใช้วงจรตรวจจับค่าสูงสุดและต่ำสุดเป็นจำนวนมาก วงจรตรวจจับค่าสูงสุดและต่ำสุดที่ใช้อุปกรณ์แอคทีฟเป็นพื้นฐานดังกล่าวเมื่อนำมาสร้างเป็นระบบจะทำให้วงจรมีขนาดใหญ่ใช้กำลังงานมาก นอกจากนี้เมื่อต้องการวงจรตรวจจับค่าสูงสุดหรือต่ำสุดที่มีหลายอินพุทจะต้องนำวงจรตรวจจับค่าสูงสุดหรือต่ำสุดมาต่อในลักษณะแบบขนานซึ่งทำให้เกิดปัญหาการหน่วงเวลาของสัญญาณเกิดขึ้นอีกด้วย เมื่อต้องการวงจรตรวจจับค่าสูงสุดและต่ำสุดที่ประยุกต์ใช้งานในระบบเครือข่ายประสาทเทียม ระบบประมวลผลสัญญาณภาพ มักสร้างวงจรตรวจจับค่าสูงสุดและต่ำสุดที่มีหลายอินพุทในรูปแบบของวงจร Winner-Take-All (WTA) [5]-[10] เป็นหลัก

วงจรตรวจจับค่าสูงสุดที่สร้างในรูปแบบของวงจร WTA ที่มีหลายอินพุทที่รู้จักกันดีคือใช้โครงสร้างวงจรคอมมอนอิมิเตอร์ [5] แต่ปัญหาหลักของวงจรดังกล่าวคือความผิดพลาดในย่านการเปลี่ยนช่วงเมื่ออินพุทสองอินพุทหรือมากกว่าขณะเข้าใกล้ค่าอินพุทสูงสุดและปัญหาความผิดพลาดของสัญญาณทางเอาท์พุทที่เรียกว่า “Corner error” เพื่อแก้ปัญหาดังกล่าววงจรตรวจจับค่าสูงสุดที่มีหลายอินพุทในแบบของวงจร WTA โหมดกระแสจึงได้นำเสนอใน [6]-[10] ด้วยหลักการของวงจรโหมดกระแสทำให้วงจรที่นำเสนอเหล่านั้นมีคุณสมบัติคือ มีความเที่ยงตรง มีความเร็วสูง

มีการตอบสนองความถี่สูงได้ดี แต่อย่างไรก็ตาม วงจรที่นำเสนอดังกล่าวบางวงจรยังมีโครงสร้างที่ไม่เหมาะกับวงจรประเภทแรงดันต่ำ [7] สัญญาณอินพุทและเอาท์พุทอยู่ในรูปสัญญาณกระแส [6]-[10] ซึ่งเหมาะเป็นวงจรย่อยในการออกแบบระบบขนาดใหญ่ วงจรตรวจจับค่าสูงสุดและต่ำสุดที่มีสัญญาณอินพุทและเอาท์พุทอยู่ในรูปแรงดันได้ถูกนำเสนอไว้ใน [11]-[14] ซึ่งเป็นวงจรที่สามารถนำไปประยุกต์ใช้งานได้หลากหลายทั้งในแบบเป็นวงจรย่อยหรือใช้งานเป็นวงจรขนาดใหญ่เพราะโดยปกติแล้วสัญญาณจากแหล่งจ่ายต่างๆ มักจะอยู่ในรูปของสัญญาณแรงดัน คุณสมบัติค่าอิมพีแดนซ์ทางอินพุทและเอาท์พุทของวงจรที่มีอินพุทและเอาท์พุทอยู่ในรูปสัญญาณแรงดันคืออินพุทอิมพีแดนซ์จะต้องสูงมากๆ ในทางอุดมคติควรเข้าใกล้อนันต์ส่วนเอาท์พุทอิมพีแดนซ์จะต้องมีค่าต่ำมากๆ ในทางอุดมคติควรเข้าใกล้ศูนย์ ถึงแม้ว่าวงจรที่นำเสนอใน [11]-[14] จะมีคุณสมบัติมีความเร็วสูงและความเที่ยงตรงสูง [11]-[12] มีช่วงปฏิบัติงานทางอินพุทกว้างด้วยอินพุทแบบ Rail-to-Rail [13]-[14] แต่วงจรดังกล่าวบางวงจรไม่เหมาะกับใช้งานในวงจรประเภทใช้แรงดันต่ำ [12]-[13] หรือบางวงจรมีเอาท์พุทอิมพีแดนซ์สูง [11]-[12] ซึ่งอาจจะต้องการวงจรบัฟเฟอร์เพิ่มเข้ามา

1.2 วัตถุประสงค์ของงานวิจัย

จากความสำคัญและปัญหาที่กล่าวมา วิทยานิพนธ์นี้มีวัตถุประสงค์เพื่อนำเสนอวงจรตรวจจับค่าแรงดันสูงสุดและค่าแรงดันต่ำสุดที่มีหลายอินพุทอินพุทเพื่อให้สามารถนำมาประยุกต์ใช้งานในระบบควบคุมต่างๆ ระบบประมวลผลสัญญาณ ระบบเครือข่ายประสาทเทียม วงจรที่นำเสนอมีคุณสมบัติคือ มีความแม่นยำ มีความเที่ยงตรงและมีความเร็วสูง มีโครงสร้างที่ไม่ซับซ้อน มีเสถียรภาพทางอุณหภูมิที่ดี ใช้แหล่งจ่ายแรงดันต่ำและเหมาะกับการนำไปสร้างวงจรรวม

1.3 การพัฒนาในงานวิจัย

วิทยานิพนธ์นี้นำเสนอวงจรตรวจจับค่าต่ำสุดและสูงสุดด้วยเทคโนโลยีซีมอส วงจรตรวจจับค่าแรงดันต่ำสุดและค่าแรงดันสูงสุดที่นำเสนอประกอบด้วยวงจรเลื่อนระดับแรงดัน วงจรกันชนป้อนกลับกระแส เมื่อใช้วงจรเลื่อนระดับแรงดันและวงจรกันชนป้อนกลับกระแสมาประกอบร่วมกันจะได้เป็นวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ นั่นคือค่าแรงดันเทรสโฮลด์ของมอสทรานซิสเตอร์สามารถหักล้างกันทิ้งไปได้ วงจรที่นำเสนอมีสัญญาณอินพุทและเอาท์พุทอยู่ในรูปแรงดัน วงจรตรวจจับค่าแรงดันต่ำสุดและค่าแรงดันสูงสุดที่นำเสนอมีคุณสมบัติคือมีอินพุทอิมพีแดนซ์สูง เอาท์พุทอิมพีแดนซ์ต่ำ โครงสร้างของวงจรไม่ซับซ้อน ใช้อุปกรณ์จำนวนน้อยซึ่งทำให้เหมาะกับการนำไปสร้างวงจรรวม สามารถทำงานได้ที่แหล่งจ่ายแรงดัน ± 1.5 โวลท์ วงจรตรวจจับค่าแรงดันต่ำสุดและค่าแรงดันสูงสุดที่นำเสนอสามารถขยายอินพุทได้ n อินพุท

พร้อมๆ กัน โดยเกิดปัญหาการหน่วงเวลาของสัญญาณน้อยมาก คุณสมบัติของวงจรจะวิเคราะห์ด้วยวิธีทางคณิตศาสตร์และยืนยันด้วยผลการจำลองการทำงานด้วยโปรแกรม PSpice

1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์นี้ได้ศึกษาวิจัยเพื่อออกแบบวงจรตรวจจับค่าแรงดันสูงสุดและค่าแรงดันต่ำสุดที่มี n อินพุทด้วยเทคโนโลยีซีมอส โดยเนื้อหาจะแบ่งออกเป็น 7 บท โดยบทที่ 1 จะกล่าวถึงที่มาของงานวิจัยและวัตถุประสงค์ของงานวิจัย ส่วนเนื้อหาในบทต่อมามีดังต่อไปนี้

บทที่ 2 จะกล่าวถึงทฤษฎีการทำงานของมอสทรานซิสเตอร์

บทที่ 3 จะกล่าวถึงหลักการของวงจรตรวจจับค่าสูงสุดและต่ำสุดที่ได้มีการนำเสนอไว้ในวารสารต่างๆ ที่ใช้อุปกรณ์แอคทีฟได้แก่ วงจรออปแอมป์ วงจรโอทีเอ และวงจรสายพานกระแส นอกจากนั้นจะกล่าวถึงวงจรย่อยที่จะนำมาใช้ออกแบบวงจรตรวจจับค่าค่าแรงดันสูงสุดและค่าแรงดันต่ำสุดซึ่งได้แก่วงจรเลื่อนระดับแรงดัน วงจรกันชนป้อนกลับแบบลบ วงจรสะท้อนกระแส

บทที่ 4 จะกล่าวถึงวงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอ การจำลองและผลการจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม PSpice จะแสดงคุณสมบัติของวงจร

บทที่ 5 จะกล่าวถึงวงจรตรวจจับค่าแรงดันต่ำสุดที่นำเสนอ การจำลองและผลการจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม PSpice จะแสดงคุณสมบัติของวงจร

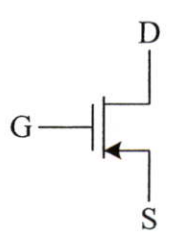
บทที่ 6 จะเป็นการประยุกต์ใช้งานวงจรที่นำเสนอเป็นวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและวงจรเรียงกระแส

บทที่ 7 จะเป็นบทสรุปและข้อเสนอแนะ

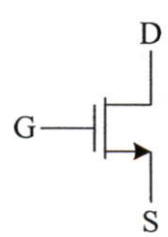
บทที่ 2
มอสทรานซิสเตอร์

2.1 บทนำ

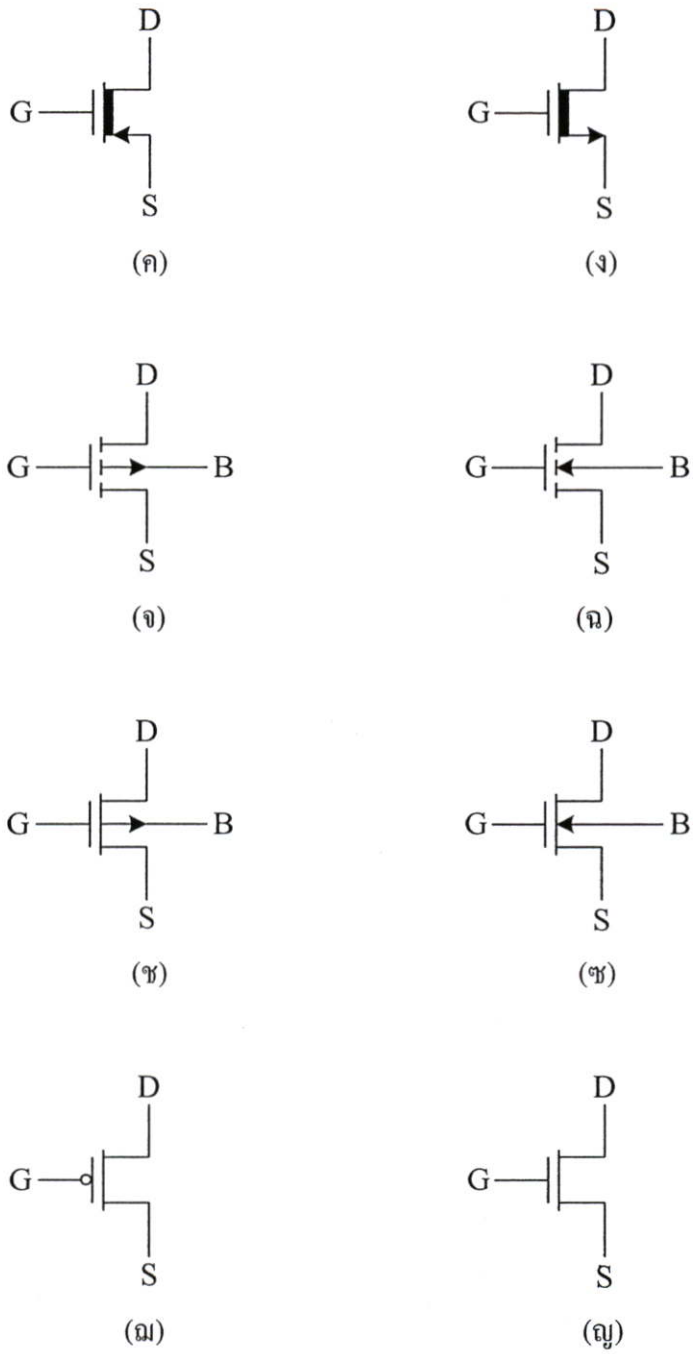
มอสทรานซิสเตอร์ (MOS Transistor) คืออุปกรณ์ที่ใช้สนามไฟฟ้ามาควบคุมการไหลของกระแสที่ไหลผ่านตัวมัน แนวความคิดเกี่ยวกับมอสทรานซิสเตอร์ได้มีการพัฒนามาก่อนการสร้างไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor) ในต้นทศวรรษ 1930 ได้มีหลักฐานแสดงถึงการจดสิทธิบัตรสำหรับอุปกรณ์ที่ดูคล้ายกับซิลิกอนมอสทรานซิสเตอร์สมัยใหม่แต่ไม่ได้สร้างขึ้นจากซิลิกอน โดยในสมัยนั้นในกระบวนการสร้างมีความยากที่ การควบคุมรอยสัมผัสหรือรอยต่อของฉนวนกับสารกึ่งตัวนำยังมีความยุ่งยากอีกทั้งขาดความเข้าใจในกระบวนการของฉนวนและสารกึ่งตัวนำ จึงทำให้อุปกรณ์ที่ดูคล้ายมอสทรานซิสเตอร์ในสมัยนั้นไม่สามารถนำไปใช้งานจริงได้ จนกระทั่งมีการเกิดขึ้นมาของกระบวนการ Silicon planer และเทคโนโลยีสมัยใหม่ที่สามารถควบคุมรอยต่อระหว่างออกไซด์และซิลิกอนได้ดี ทำให้มอสทรานซิสเตอร์สามารถนำมาใช้งานได้จริงและเป็นที่แพร่หลายในปลายทศวรรษ 1970 จนกระทั่งถึงปัจจุบันนี้ มอสเป็นทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้าสามารถถูกแบ่งออกเป็นประเภทต่างๆ ได้หลายแบบขึ้นอยู่กับเกณฑ์ที่ใช้ในการแบ่ง เช่น ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแสจะสามารถแบ่งได้เป็นสองชนิด คือมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (n-channel MOS Transistor) ซึ่งเป็นทรานซิสเตอร์ที่ใช้อิเล็กตรอนในการนำกระแสและมอสทรานซิสเตอร์ชนิดพีแชนแนล (p-channel MOS Transistor) เป็นทรานซิสเตอร์ที่ใช้โฮลเป็นพาหะในการนำกระแส สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดพีและเอ็นแชนแนลแสดงได้ดังรูปที่ 2.1 แต่ถ้าแบ่งมอสทรานซิสเตอร์ตามลักษณะการทำงานจะสามารถแบ่งได้สองลักษณะคือทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด (Enhancement Mode Transistor) และแบบดีพลีชันโหมด (Depletion Mode Transistor)



(ก)



(ข)

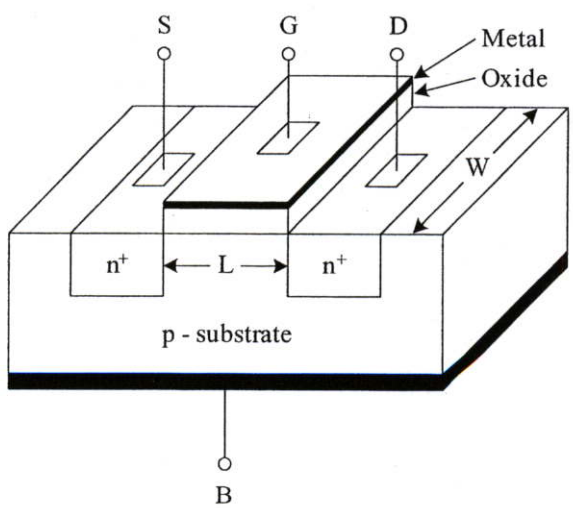


รูปที่ 2.1 มอสทรานซิสเตอร์ชนิดต่างๆ

2.2 มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนท์

มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนท์เป็นชนิดที่นิยมใช้กันอย่างแพร่หลายมากกว่าชนิดดีพลีชันเพราะสามารถสร้างได้ด้วยเทคโนโลยีซีมอสแบบมาตรฐานโดยไม่ต้องใช้วิธีการที่พิเศษ รูปที่ 2.2 แสดงโครงสร้างมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนท์แบบเอ็นแชนแนล ส่วนของซอร์ส (Source) และเดรน (Drain) สร้างขึ้นจากจากการแพร่อะตอมของสารเจือชนิดเอ็น (n-Type) ที่มี

ความหนาแน่นสูง (n^+) เข้าไปในแผ่นผลึกฐานรอง (Body หรือ Substrate) ของสารกึ่งตัวนำชนิดพี (p-Type) ซึ่งเป็นแผ่นผลึกซิลิกอนรูปเดี่ยว ส่วนของเกท (Gate) จะเป็นโลหะหรือชั้นของโพลีซิลิกอนที่ซ้อนอยู่บนชั้นของออกไซด์โดยมีโลหะอลูมิเนียมเป็นขั้วต่อไฟฟ้า การทำงานของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนท์โดยอธิบายเทียบกับทรานซิสเตอร์ชนิดเอ็นแชนแนลสามารถพิจารณาได้ตามโครงสร้างรูปที่ 2.3 ซึ่งแสดงถึงการทำงานในช่วงต่างๆ ของ V_{DS} และ V_{GS} จากรูป 2.3(ก) ซอร์ส เดรนและฐานต่อลงกราวด์ ในกรณีนี้มีผลทำให้ทรานซิสเตอร์ทำงานคล้ายกับตัวเก็บประจุโดยเกทและผิวของซิลิกอนใต้ฉนวนซิลิกอนไดออกไซด์ทำหน้าที่เสมือนแผ่นระนาบ (Plate) ของตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นระหว่างกลาง ถ้า V_{GS} มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮล (Hole) จะถูกดูดเข้ามาสะสมบริเวณแชนแนลมีผลให้บริเวณแชนแนลกลายเป็น p^+ และเรียกว่า "แชนแนลสะสม" (Accumulate Channel) บริเวณซอร์สและเดรนที่เป็น n^+ ถูกแยกจากกันด้วยแชนแนล p^+ เมื่อมองในลักษณะวงจรสมมูลย์แล้วจะพบว่ามีลักษณะของไดโอดสองตัวต่อหันหลังชนกัน ดังนั้นถ้าจะเกิดกระแสไหลได้แรงดันที่ซอร์สและเดรนจะต้องมีค่ามากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหลหรือกรณีที่แรงดันเดรนซอร์สมีค่ามากๆ จะทำให้ทรานซิสเตอร์เบรกดาวน์ ในกรณีที่แรงดันเกทมีค่าเป็นบวกไม่มาก ประจุบวกข้างใต้เกทจะถูกผลักออกไปทำให้แชนแนลเปลี่ยนไปเป็น p^- และเป็นบริเวณปลอดพาหะ (Depletion region) ในที่สุด เมื่อแรงดันที่เกทเพิ่มมากขึ้นประจุลบหรืออิเล็กตรอนจะถูกดึงดูดเข้ามาที่บริเวณแชนแนลและแชนแนลจะแปรสภาพเป็นบริเวณ n ตามรูป 2.3(ข) ซึ่งเชื่อมต่อบริเวณซอร์สและเดรนเข้าด้วยกันและเรียกว่า แชนแนลกลับ (Inverted Channel) แรงดันเกทซอร์สที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกทมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรองเป็นนิยามของแรงดันเทรสโฮล (Threshold voltage) ของมอสทรานซิสเตอร์ใช้สัญลักษณ์ V_T



รูปที่ 2.2 โครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล

เมื่อแรงดันเกทซอล์กสมีค่ามากกว่า V_T จะมีแชนแนลชนิดเอ็นเกิดขึ้นและสามารถเกิดการนำไฟฟ้าระหว่างเดรนและซอร์สได้ สำหรับกรณีค่าแรงดันระหว่างเกทและซอร์สน้อยกว่า V_T ปกติจะสมมติว่าทรานซิสเตอร์ไม่ทำงานและไม่มีกระแสไหลระหว่างซอร์สและเดรน อย่างไรก็ตามสมมติว่าไม่มีกระแสไหลระหว่างซอร์สและเดรนระหว่างที่ทรานซิสเตอร์ไม่นำกระแสนั้นเป็นเพียงการประมาณเท่านั้น ในความเป็นจริงสำหรับแรงดันที่เกทมีค่าใกล้เคียง V_T จะไม่ใช่ทำให้เกิดการเปลี่ยนแปลงของกระแสอย่างทันทีทันใดแต่จะเกิดกระแสต่ำกว่าเทรสโฮล (Subthreshold Current) สามารถไหลได้ในปริมาณเล็กน้อยซึ่งการทำงานในลักษณะนี้จะมีคุณสมบัติเหมือนไบโพล่าร์ทรานซิสเตอร์

เมื่อแรงดันระหว่างเกทและซอร์ส V_{GS} มีค่ามากกว่า V_T จะทำให้แชนแนลเกิดขึ้น ดังนั้นเมื่อ V_{GS} เพิ่มขึ้นความหนาแน่นของอิเล็กตรอนในแชนแนลก็จะเพิ่มขึ้นด้วยและสรุปได้ว่าความหนาแน่นของประจุพาหะจะแปรผันตาม V_{GS}-V_T ซึ่งนิยามเป็นแรงดันระหว่างเกทและซอร์สประสิทธิผลซึ่งใช้สัญลักษณ์คือ "V_{eff}" ซึ่งค่าความหนาแน่นของประจุอิเล็กตรอนกำหนดได้คือ

$$Q = C_{ox}\left(V_{GS} - V_T\right) = C_{ox}V_{eff} \tag{2.1}$$

เมื่อ C_{OX} เป็นค่าความจุไฟฟ้าที่เกทต่อหนึ่งหน่วยพื้นที่ เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์โวลท์เล็กน้อยทำให้เกิดความต่างศักย์ระหว่างซอร์สและเดรน มีผลให้เกิดกระแสไหลจากเดรนไปซอร์สความสัมพันธ์ระหว่าง V_{GS} และกระแส I_D จะเหมือนกับกรณีของความต้านทานซึ่งมีความสัมพันธ์เป็น

$$I_D = \mu Q \frac{W}{L} V_{DS} \tag{2.2}$$

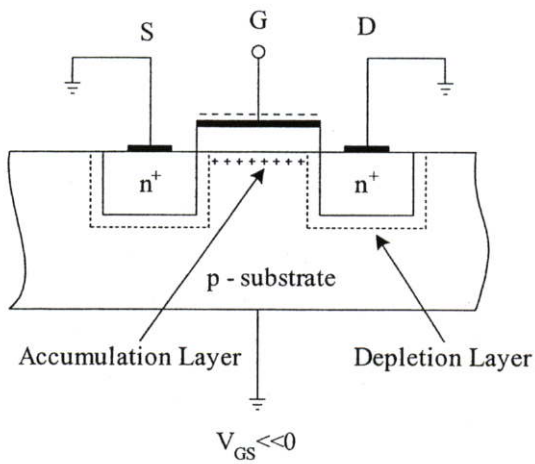
ในขณะที่ μ เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอนและ Q เป็นค่าความหนาแน่นของประจุในแชนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการที่ (2.1) และ (2.2) จะได้ว่า

$$I_D = \mu C_{OX} \frac{W}{L}\left(V_{GS} - V_T\right)V_{DS} \tag{2.3}$$

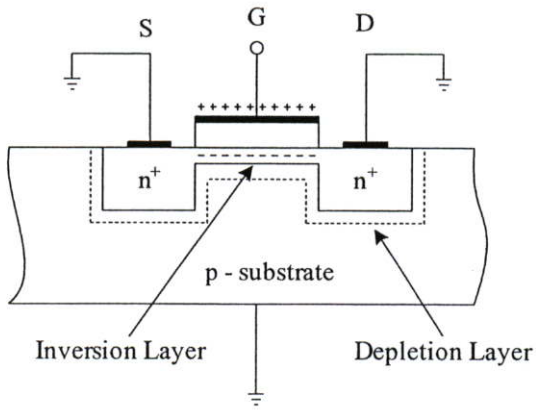
สมการ (2.3) เป็นความสัมพันธ์ที่สามารถใช้ได้เพียงกรณีแรงดันระหว่างเดรนและซอร์สมีค่าเข้าใกล้ศูนย์ การทำงานของมอสทรานซิสเตอร์ในเชิงโครงสร้างอธิบายได้ตามรูปที่ 2.3(ข) โดยเมื่อ V_{GS} มากกว่า V_T และ V_{DS}=0V ซึ่งขณะนี้แชนแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหลเนื่องจากแรงดันระหว่างซอร์สและเดรนมีค่าเป็นศูนย์โวลท์และเมื่อให้แรงดัน V_{GS} ค่าน้อยๆ ค่าหนึ่ง

จะทำให้เกิดมีกระแสไหลผ่านแชนแนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้เสมือนเป็นตัวต้านทานมีความสัมพันธ์เป็นไปตามสมการ (2.3) และแสดงได้ด้วยกราฟในรูปที่ 2.3(ข) และจะเห็นว่า I_D และ V_{DS} สัมพันธ์กันอย่างสิ้นเชิงสำหรับค่า V_{DS} น้อยๆ

เมื่อแรงดันระหว่างเดรนและซอร์สเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แชนแนลจะลดลงตามแนวแชนแนลจากซอร์สไปเดรนตามรูปที่ 2.3(ค) การลดลงของประจุพาหะในแชนแนลนี้มีผลให้เกิดแรงดันตกคร่อมแชนแนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือสมมติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ซอร์ส จะมีการเพิ่มขึ้นของแรงดันจากซอร์สไปเดรนอย่างต่อเนื่องภายในแชนแนล มีผลทำให้แรงดันตกคร่อมระหว่างเกทและแชนแนลจะมีค่าสูงสุดเท่ากับ V_{GS} ที่ตำแหน่งด้านซอร์สและแรงดันเกทแชนแนลมีค่าต่ำสุดที่ตำแหน่งปลายด้านเดรนและแรงดันเกทที่ทำให้เกิดแชนแนลคือ $V_G=V_{GS}-V_T$ เมื่อ $V_{GS}<V_T$ กระแสจะไม่ไหลและไม่มีแชนแนลเกิดขึ้นเพื่อที่จะทำให้แชนแนลเกิดขึ้นได้เป็นแนวยาวไปจนถึงสุดปลายด้านเดรน แรงดันเกทจะต้องมีค่ามากกว่า V_{DS} นั่นคือ $V_G>V_{DS}$ หรือ $V_{GS}-V_T>V_{DS}$ ซึ่งหมายถึงแรงดันที่เกทเมื่อเปรียบเทียบกับทุกจุดในแนวแชนแนลจะต้องมีศักย์เป็นบวกจึงจะทำให้เกิดแชนแนล โดยในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ในช่วงอิ่มตัว กระแสเดรน I_D จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน V_{DS} อย่างไม่เป็นเชิงเส้นตามกราฟในรูปที่ 2.3(ค) การทำงานของทรานซิสเตอร์ในย่านนี้ $V_{DS}<V_{GS}-V_T$ เรียกว่า ช่วงไม่อิ่มตัว (Non-saturation region) เมื่อ V_{DS} มีค่ามากขึ้น จนกระทั่งค่า $V_{DS}=V_{GS}-V_T$ ทรานซิสเตอร์เริ่มเข้าสู่สภาวะอิ่มตัวและลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูป 2.3(ค)



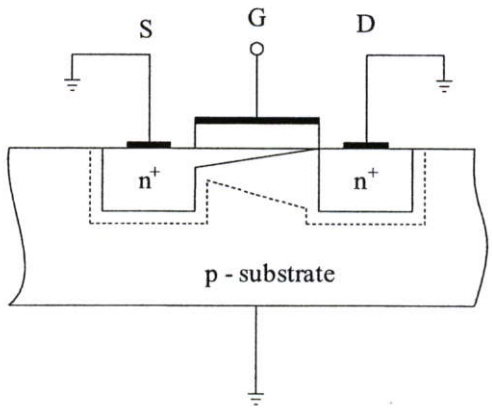
(ก)



$V_{GS}>V_T$

$V_{DS}=0$

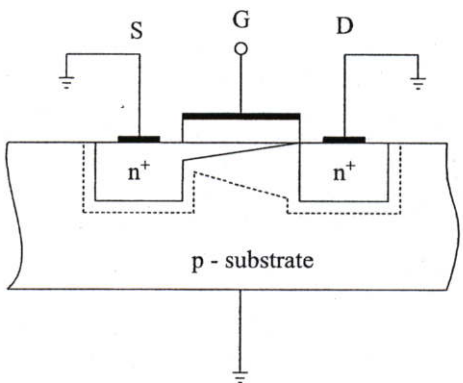
(ข)



$V_{GS}>V_T$

$V_{DS}=V_{GS}-V_T$

(ค)



$V_{GS}>V_T$

$V_{DS}>V_{GS}-V_T$

(ง)

รูปที่ 2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ

และเมื่อค่าของแรงดัน V_{DS} เพิ่มขึ้นไปอีกจนกระทั่ง $V_{GS}>V_{DS}-V_T$ ในกรณีนี้แรงดันที่ตกคร่อมแชนแนลที่ปลายด้านเดรนมีค่าสูงกว่า $V_{GS}-V_{DS}$ ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (Pinch off) กล่าวคือ แชนแนลซึ่งเป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมาเหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นแชนแนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกันดังแสดงดังรูป 2.3(ง) และจะมีกระแสแพร่ (Diffusion current) จากส่วนของซอร์สไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูงและคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ กระแสเดรนในภาวะนี้จึงมีค่าคงที่แม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นก็ตามแสดงในกราฟตามรูปที่ 2.3(ง) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่าช่วงอิ่มตัว (Saturation region) คุณสมบัติการทำงานของมอสทรานซิสเตอร์จะพิจารณาได้จากแบบจำลองสัญญาณขนาดใหญ่ (Large-signal model) ดังรูปที่ 2.4 สมการแสดงความสัมพันธ์ระหว่างกระแสและแรงดันสำหรับมอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวสามารถแสดงได้คือ

$$I_D = K\left[\left(V_{GS}-V_T\right)-\left(\frac{V_{DS}}{2}\right)\right]V_{DS}\left(1+\lambda V_{DS}\right) \qquad (2.4)$$

โดยที่ $K=K'W/L$

$K'=\mu_o C_{ox}$

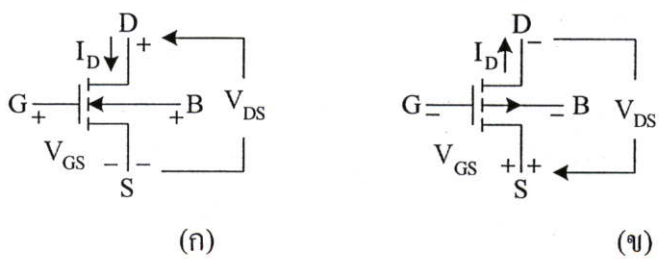
μ_o คือค่าความคล่องตัวที่ผิวของพาหะในช่องทางเดินกระแส (cm^2/volt.second)

$C_{ox}=\varepsilon_{ox}/t_{ox}$ คือค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ของเกทออกไซด์ (F/cm^2)

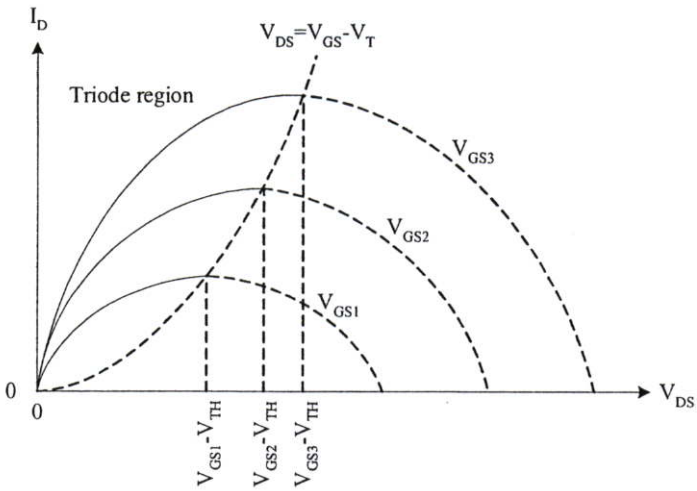
W คือความกว้างประสิทธิผลของแชนแนล

L คือความยาวประสิทธิผลของแชนแนล (Effective channel length)

λ คือChannel length modulation parameter ($volt^{-1}$)



รูปที่ 2.4 การไบอัสมอสทรานซิสเตอร์ (ก) NMOS (ข) PMOS



รูปที่ 2.5 กราฟความสัมพันธ์ระหว่าง I_D และ V_{DS} เมื่อ $\lambda=0$

แรงดันเทรสโฮลด์กำหนดได้คือ

$$V_T = V_{To} + \gamma\left(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|}\right) \tag{2.5}$$

จากสมการ (2.4) สามารถทำงานได้ในช่วงต่างๆ ขึ้นกับค่า V_{GS}-V_T ถ้าค่า V_{GS}-V_T เป็นศูนย์หรือลบ มอสทรานซิสเตอร์จะอยู่ในช่วงคัทออฟซึ่งแชนแนลจะมีพฤติกรรมเหมือนเปิดวงจรซึ่งเขียนเป็นความสัมพันธ์ได้เป็น

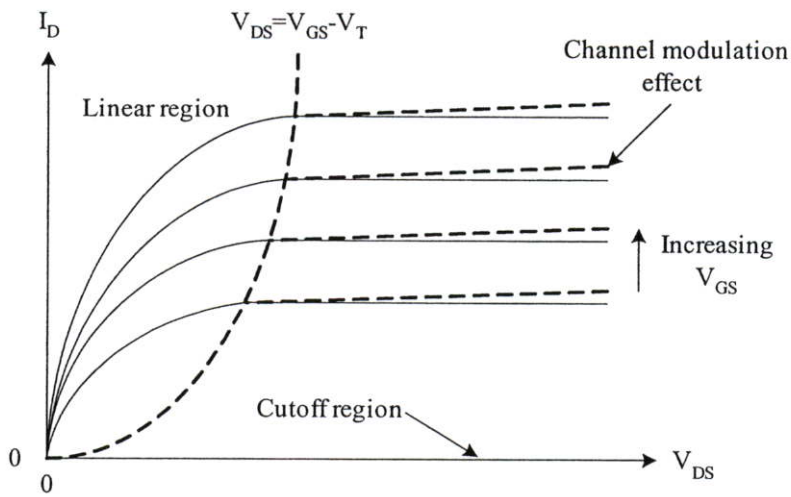
$$I_D = 0 \text{ เมื่อ } (V_{GS} - V_T) \le 0 \tag{2.6}$$

จากสมการ (2.4) สมมุติให้ $\lambda=0$ นำมาเขียนกราฟได้ตามรูปที่ 2.5 สำหรับค่า V_{GS}-V_T ค่าต่างๆ จุดสูงสุดของกราฟแต่ละเส้นเรียกว่าจุดอิ่มตัว โดยค่าต่างๆ ของ V_{DS} ที่เกิดขึ้นที่ค่านี้เรียกว่าแรงดันอิ่มตัว

$$V_{DS(sat)} = V_{GS} - V_T \tag{2.7}$$

$V_{DS(sat)}$ เป็นค่าที่แบ่งขอบเขตการทำงานโดยค่า V_{DS} น้อยกว่า $V_{DS(sat)}$ แล้วมอสทรานซิสเตอร์จะทำงานในช่วงไม่อิ่มตัวตามสมการ (2.4) และมีเงื่อนไขว่า

$$0 < V_{DS} \le (V_{GS} - V_T) \tag{2.8}$$



รูปที่ 2.6 แสดงคุณสมบัติทางเอาท์พุทของมอสทรานซิสเตอร์

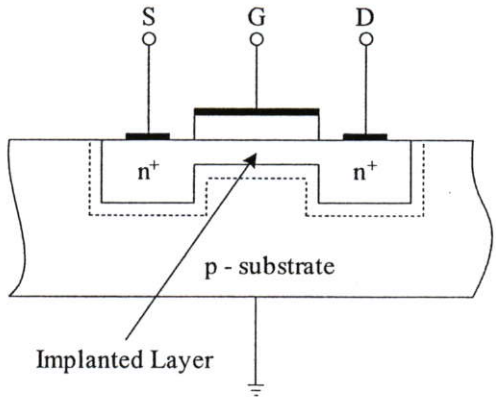
เมื่อ V_{DS} มีค่ามากกว่า $V_{DS(sat)}$ ช่วงนี้เรียกว่าช่วงอิ่มตัว ช่วงนี้กระแส I_D ไม่ขึ้นกับ V_{DS} ถ้าสมมุติว่าไม่พิจารณาผลของ λ ดังนั้นจะได้ความสัมพันธ์ตามสมการคือ

$$I_D = \frac{K}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \; ; 0 < (V_{GS} - V_T) \le V_{DS} \tag{2.9}$$

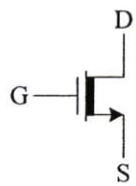
จากรูปที่ 2.6 แสดงถึงคุณสมบัติทางเอาท์พุทของมอสทรานซิสเตอร์ที่ได้จากสมการที่ (2.4) (2.6), (2.7) (2.8) และ (2.9) โดยที่เส้นทึบคือกราฟที่ไม่พิจารณาถึงผลของ $\lambda(\lambda=0)$ ส่วนเส้นประคือกราฟที่พิจารณาผลของ $\lambda(\lambda\neq0)$ รวมอยู่ด้วย

2.3 มอสทรานซิสเตอร์ชนิดดีพลีชัน

ดีพลีชันมอสทรานซิสเตอร์ชนิดเอ็นแชนแนลมีลักษณะโครงสร้างและสัญลักษณ์แสดงตามรูปที่ 2.7 โดยส่วนของซอร์สและเดรนจะถูกสร้างขึ้นโดยการแพร่อะตอมของสารเจือชนิดเอ็นซึ่งมีความหนาแน่นสูงเข้าไปในแผ่นผลึกฐานรองของสารกึ่งตัวนำชนิดพี หลังจากนั้นส่วนของแชนแนลจะถูกสร้างขึ้นด้วยวิธีการอิมพลานเตชัน ซึ่งเป็นวิธีการยิงอะตอมสารเจือข้าไปในเนื้อสารกึ่งตัวนำ ส่วนลักษณะโครงสร้างอื่นๆ ของทรานซิสเตอร์แบบนี้จะเหมือนกับแบบเอ็นฮานซ์เมนท์ทุกประการ



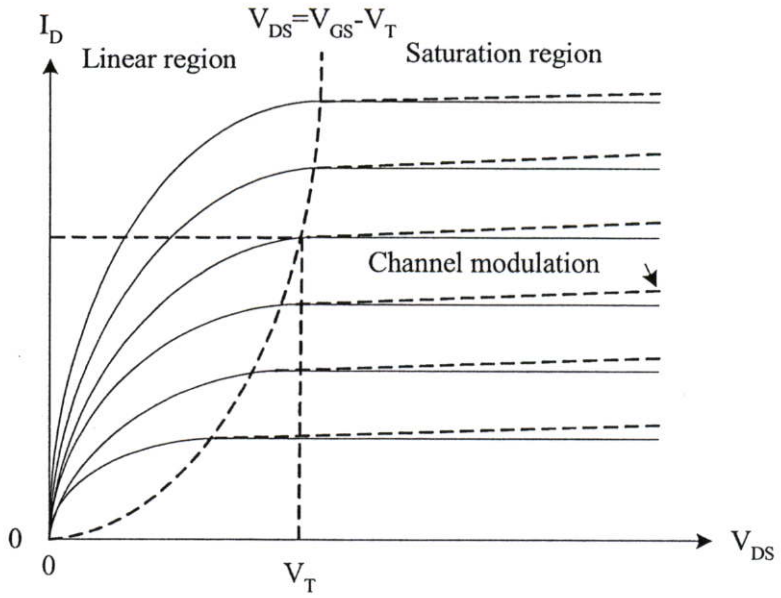
(ก)



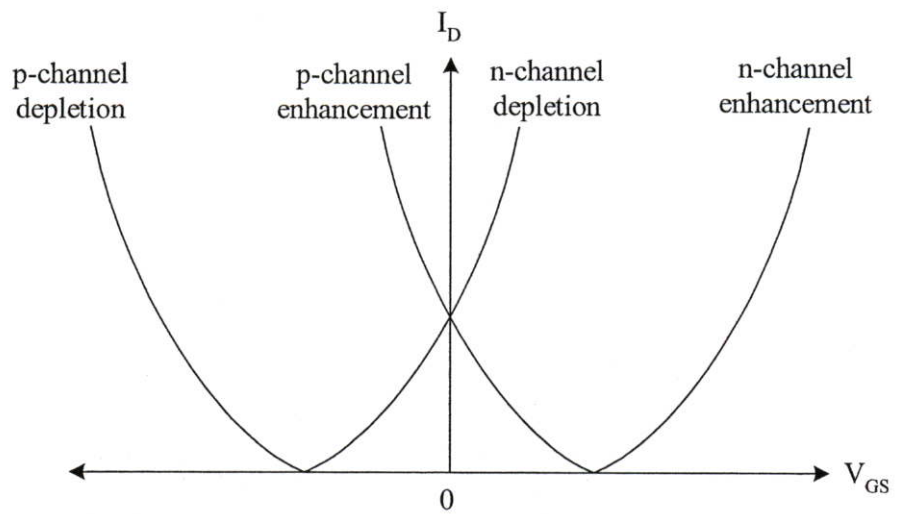
(ข)

รูป 2.7 ดีพลีชันมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (ก) โครงสร้าง (ข) สัญลักษณ์

จากลักษณะโครงสร้างในรูปที่ 2.7(ก) จะเห็นว่าขณะที่แรงดันเกทเป็นศูนย์และแรงดันซอร์สเดรน V_{DS} มีค่าๆ หนึ่งก็จะมีกระแสเดรนเกิดขึ้น นั่นคือแม้ว่าไม่มีแรงดันที่เกท กระแสก็จะสามารถไหลผ่านแชนแนลได้ เนื่องจากแชนแนลได้ถูกสร้างขึ้นมาก่อนแล้ว ซึ่งต่างจากกรณีเอ็นฮานซ์เมนท์ที่จำเป็นต้องให้แรงดันที่เกทมีค่าๆ หนึ่งเพื่อเหนี่ยวนำให้เกิดแชนแนล การนำไฟฟ้าและความลึกของแชนแนลจะถูกควบคุมด้วย V_{DS} เหมือนกับกรณีของเอ็นฮานซ์เมนท์ เมื่อให้ค่า V_{GS} เป็นบวกจะทำให้ความกว้างขึ้น โดยการดึงอิเล็กตรอนเข้ามาสะสมที่แชนแนลและทำให้การนำไฟฟ้าดีขึ้น เมื่อค่า V_{GS} เป็นลบอิเล็กตรอนจะถูกผลักออกจากแชนแนล ทำให้แชนแนลแคบลง และการนำไฟฟ้าลดลง ในการทำงานขณะที่ V_{GS} เป็นลบนั้นเรียกว่า การทำงานในช่วงดีพลีชันโหมด เมื่อ V_{GS} เป็นลบมากขึ้นจนถึงค่าหนึ่ง ซึ่งทำให้อิเล็กตรอนถูกผลักออกไปจากแชนแนลจนหมดและแชนแนลหายไปทำให้กระแส I_D มีค่าเป็นศูนย์แม้ว่า V_{DS} ไม่เป็นศูนย์ก็ตาม โดยค่าที่เป็นลบของ V_{GS} ที่นำให้แชนแนลหายไปนั่นก็คือค่าแรงดันเทรสโฮลด์ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล



รูปที่ 2.8 คุณสมบัติ I_D-V_{DS} ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล



รูปที่ 2.9 แสดงคุณสมบัติ I_D-V_{GS} ของมอสทรานซิสเตอร์ทั้งหมด

จากรูปที่ 2.8 ได้แสดงถึงคุณสมบัติ I_D-V_{DS} ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล ซึ่งคล้ายกับกรณีของเอ็นฮานซ์เมนท์ ยกเว้นค่า V_T มีค่าเป็นลบสำหรับ NMOS และเป็นบวกสำหรับ PMOS และสามารถทำงานเป็นแบบเอ็นฮานซ์เมนท์โหมดได้ โดยการให้ค่า V_{GS} มีค่าเป็นบวก กราฟ I_D-V_{GS} ตามรูปที่ 2.9 เป็นการสรุปคุณสมบัติ I_D-V_{GS} ของมอสทรานซิสเตอร์ทั้งชนิดการทำงานแบบเอ็นฮานซ์เมนท์โหมดและดีพลีชันโหมดและชนิดช่องทางเดินกระแสชนิดเอ็นและชนิดพี

2.4 วงจรสมมูลย์ของมอสทรานซิสเตอร์

วงจรสมมูลย์ (Small-signal equivalent circuit) ของมอสทรานซิสเตอร์เป็นการแทนอุปกรณ์มอสทรานซิสเตอร์ด้วยวงจรไฟฟ้าเพื่อนำไปใช้การวิเคราะห์ผลตอบสนองหรือพฤติกรรมของสัญญาณขนาดเล็กโดยพิจารณาแยกกับการวิเคราะห์สัญญาณขนาดใหญ่ซึ่งพิจารณาเป็นปริมาณทางไฟฟ้ากระแสตรงซึ่งได้กล่าวก่อนหน้านี้ มอสทรานซิสเตอร์มีพฤติกรรมเป็นแรงดันควบคุมแหล่งกำเนิดกระแส (Voltage–controlled current source) โดยเป็นการให้สัญญาณ v_{gs} และทำให้เกิดกระแส $g_m v_{gs}$ ที่ปลายด้านเดรน ความต้านทานที่ทางอินพุทมีค่าสูงมากในทางปฏิบัติ ซึ่งในทางอุดมคติถือว่ามีค่าเป็นอนันต์ความต้านทานที่ทางออก (ความต้านทานที่มองเข้าไปที่ปลายด้านเดรน) มีค่าสูง ในการพิจารณาอย่างง่ายๆ จะสมมุติว่ามีค่าเป็นอนันต์ตามรูปที่ 2.10(ก) ข้อเสียของแบบจำลองสัญญาณขนาดเล็กในรูป 2.10(ก) คือจะเป็นการสมมุติว่ากระแสเดรนจะอยู่ในช่วงอิ่มตัวและไม่ขึ้นกับแรงดันเดรน ซึ่งจากหัวข้อที่กล่าวมาข้างต้นพบว่าคุณสมบัติของมอสทรานซิสเตอร์ในช่วงอิ่มตัวนั้นจริงๆ แล้วขึ้นอยู่กับ V_{DS} ในลักษณะเชิงเส้น ทำให้แบบจำลองได้เปลี่ยนไปเป็นรูป 2.10 (ข) โดยมีตัวต้านทาน r_O มาต่ออยู่ระหว่างเดรนและซอร์สซึ่งมีค่าประมาณ

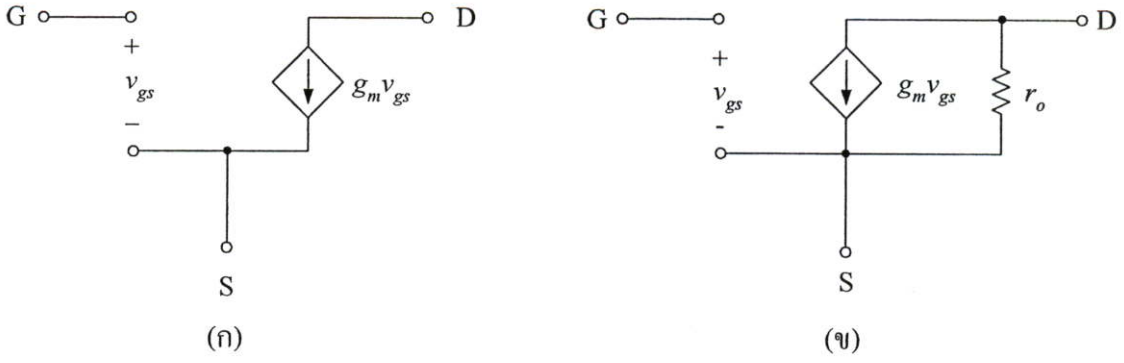
$$r_o \cong \frac{|V_A|}{I_D} \tag{2.10}$$

ขณะที่ $V_A = 1/\lambda$ โดยทั่วไปค่า r_O อยู่ในช่วง 10 ถึง 1000 kΩ ค่า r_O ที่พิจารณาข้างต้นเป็นการพิจารณามอสทรานซิสเตอร์ที่ทำงานในช่วงอิ่มตัว ซึ่งให้ค่าความต้านทานที่ทางออกมีค่ามาก (แชนแนลขาดออกจากกันระหว่างซอร์สและเดรน) แต่ขณะที่มอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัวนั้นค่าความต้านทานที่ทางออกจะมีค่าเป็น

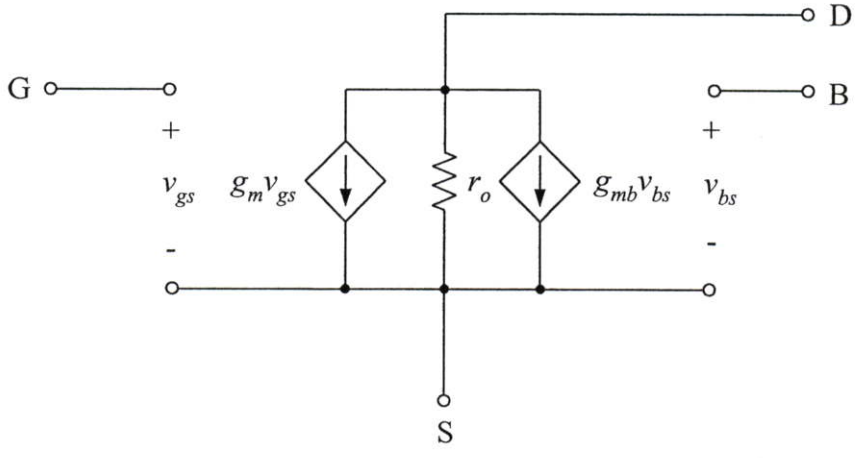
$$r_o = \frac{1}{g_{ds}} = \frac{\partial V_{ds}}{\partial I_D} \cong \frac{1}{K\left(V_{GS} - V_T - V_{DS}\right)} \tag{2.11}$$

เราจะพิจารณาพารามิเตอร์ที่สำคัญอีกตัวหนึ่งในการวิเคราะห์สัญญาณขนาดเล็กคือค่าทรานส์คอนดักแตนซ์ g_m ซึ่งมีค่าคือ

$$g_m = \frac{\partial I_D}{\partial V_{gs}} \tag{2.12}$$



รูปที่ 2.10 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ (ก) ไม่พิจารณาผลของ λ ขณะทำงานในช่วงอิ่มตัว (ข) พิจารณาผลของ λ โดยเพิ่มความต้านทานที่ทางออก



รูปที่ 2.11 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์กรณีที่ฐานรองไม่ต่ออยู่กับซอร์ส

ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว จากสมการ (2.12) จะได้

$$g_m = \sqrt{\frac{2K'W}{L}|I_D|}(1+\lambda V_{DS}) \cong \sqrt{\frac{2K'W}{L}|I_D|} \qquad (2.13)$$

จากสมการ (2.13) พบว่าค่าของ g_m ซึ่งเป็นพารามิเตอร์ของสัญญาณขนาดเล็ก ขึ้นอยู่กับค่ากระแสเดรน I_D เป็นเงื่อนไขการทำงานของสัญญาณขนาดใหญ่และในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวจะได้

$$g_m = \frac{K'W}{L}V_{DS}(1+\lambda V_{DS}) \cong \frac{K'W}{L}V_{DS} \qquad (2.14)$$

แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวถึงข้างต้นเป็นแบบจำลองที่ยังไม่พิจารณาผลของฐานรอง (Body effect) ซึ่งเกิดขึ้นเมื่อฐานรองไม่ได้ต่ออยู่กับปลายด้านซอร์สและทำให้เกิด v_{bs} ขึ้น แสดงตามรูปที่ 2.11 สัญญาณ v_{bs} จะทำเกิดกระแสเดรน $g_m v_{bs}$ โดย g_{mb} เป็นค่าทรานคอนดักแตนซ์ที่ฐานรอง

$$g_m = \left.\frac{\partial I_D}{\partial V_{sb}}\right|_{\substack{v_{gs}=\text{constant}\\ v_{ds}=\text{constant}}} \tag{2.15}$$

กรณีมอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัวจะได้

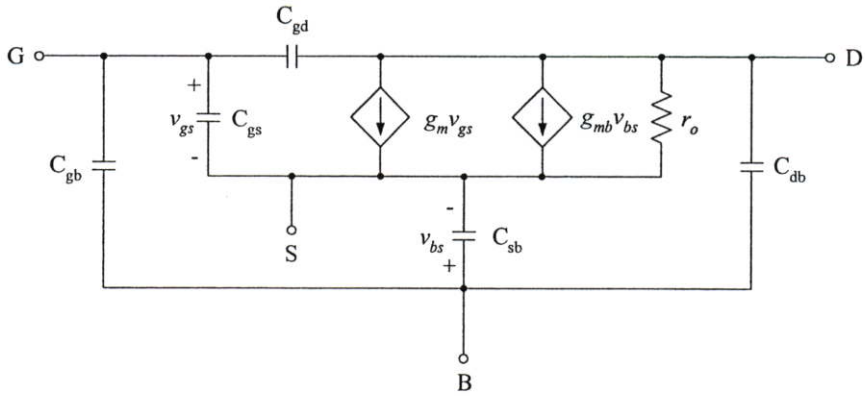
$$g_{mbs} = g_m \frac{\gamma}{2\left(2|\phi_F| + V_{SB}\right)^{\frac{1}{2}}} = \eta g_m \tag{2.16}$$

กรณีที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวจะได้

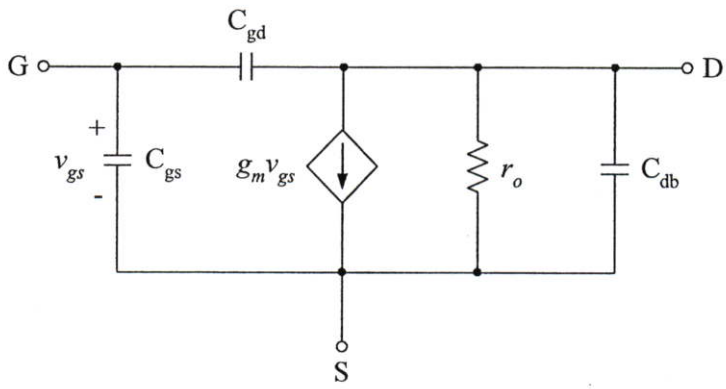
$$g_{mbs} = \frac{K\gamma V_{DS}}{2\left(2|\phi_F| + V_{SB}\right)^{\frac{1}{2}}} \tag{2.17}$$

2.5 ผลตอบสนองความถี่

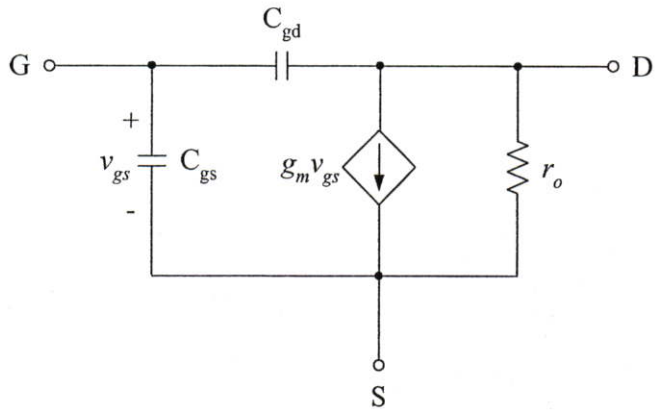
จากหัวข้อที่แล้วซึ่งได้กล่าวถึงวงจรสมมูลย์หรือแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ ในหัวข้อนี้จะได้เสนอถึงแบบจำลองวงจรสมมูลย์ของมอสทรานซิสเตอร์ที่ได้รวมเอาค่าความจุไฟฟ้ามาพิจารณาด้วย รูปที่ 2.12(ก) แสดงแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ซึ่งรวมค่าความจุไฟฟ้าจำนวนห้าตัวคือ C_{gs} C_{gd} C_{gb} C_{sb} และ C_{db} อย่างไรก็ตามวงจรนี้ค่อนข้างยุ่งยากและซับซ้อนสำหรับการวิเคราะห์ด้วยมือแต่เหมาะสำหรับในหาวิเคราะห์การจำลองการทำงานโดยใช้โปรแกรมคอมพิวเตอร์ รูปที่ 2.12(ข) แสดงวงจรสมมูลย์กรณีที่ซอร์สเชื่อมต่อกับฐานรอง ซึ่งวงจรที่ได้มีความสะดวกในการวิเคราะห์มากว่าวงจรในรูป 2.12(ก) มากแต่อย่างไรก็ตามวงจรในรูป 2.12(ค) คือวงจรที่เหมาะในการวิเคราะห์ด้วยมือมากที่สุดโดยพิจารณาค่าความจุ C_{db} มีค่าน้อยมากๆ ซึ่งจะทำให้วงจรที่วิเคราะห์ได้ง่ายมากขึ้น ค่าความจุทั้งห้าที่ได้กล่าวถึงข้างต้นมีเพียงค่าความจุที่เกทซอส C_{gs} เท่านั้นที่มีบทบาทสำคัญที่สุดในบรรดาค่าความจุทั้งห้า และเป็นพื้นฐานในการวิเคราะห์และพิจารณาที่ความถี่สูง ขณะที่ค่าความจุ C_{sb} และ C_{db} เป็นค่าความจุแฝงในย่านดีพลีชันระหว่างฐานรองกับซอร์สและฐานรองกับเดรนตามลำดับ และมีค่าเป็น



(ก)



(ข)



(ค)

รูปที่ 2.12 (ก) แบบจำลองวงจรสมมูลย์ของมอสทรานซิสเตอร์ที่ความถี่สูง (ข)วงจรสมมูลย์สำหรับกรณีที่ซอร์สต่อกับฐานรอง (ค) วงจรสมมูลย์ตามรูป (ข) กรณีที่ C_{db} มีค่าน้อยมากๆ

ค่าความจุไฟฟ้าระหว่างเกทและฐานรอง (C_{gb}) เป็นค่าความจุไฟฟ้าแฝงของออกไซด์ (Parasitic oxide capacitance) ซึ่งเกิดขึ้นระหว่างชิ้นสารทางด้านเกท (โลหะหรือโพลีซิลิกอน) กับฐานรอง โดยค่าความจุไฟฟ้า C_{gb} มีค่าคงที่ แต่จริงๆ แล้วค่าความจุไฟฟ้าแฝงชนิดนี้จะวางตัวตามแนวโพลีซิลิกอนและโลหะบนแผ่นชิพและจะถูกพิจารณาเฉพาะการจำลองและการคำนวณของวงจรและคุณสมบัติของอุปกรณ์ที่มีความถี่สูง โดยใช้คอมพิวเตอร์ค่าโดยทั่วไปจะขึ้นอยู่กับความหนาของ

ออกไซด์และมีค่าอยู่ในช่วง 0.04fF ถึง 0.15fF ต่อตารางไมครอนของรอยต่อที่เลื่อมล้ำกัน ค่าความจุไฟฟ้า C_{gs} และ C_{gd} เกิดจากเกทกับซอสและเกทกับเดรน ตามลำดับ โดยที่ C_{ox} เป็นค่าความจุออกไซด์ต่อหนึ่งหน่วยพื้นที่จากเกทถึงแชนแนล ทำให้ค่าความจุไฟฟ้าทั้งหมดข้างใต้เกทมีค่าเท่ากับ $C_{OX}WL$ ซึ่งค่านี้เป็นค่าโดยแท้จริงของการทำงานของมอสทรานซิสเตอร์และเป็นรูปแบบการใช้งานในการควบคุมให้เกิดการนำไฟฟ้าที่แชนแนลขณะที่ช่วงที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว ค่าความจุไฟฟ้านี้จะแบ่งออกเป็นสองส่วนเท่าๆ กันระหว่างซอสและเดรนจะได้

$$C_{gs} = C_{gd} = \frac{1}{2} C_{ox} WL \tag{2.18}$$

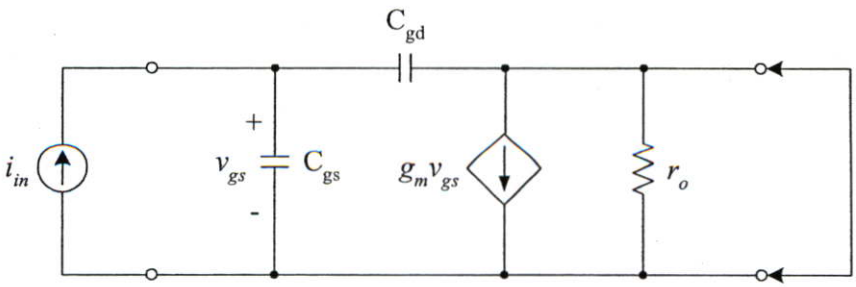
ขณะที่มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว แชนแนลจะหดแคบลงจนขาดออกที่ปลายด้านเดรน ซึ่งทำให้แรงดันเดรนมีผลเพียงเล็กน้อยต่อทั้งแชนแนลและประจุที่เกท ดังนั้นส่วนหนึ่งของค่า C_{gd} โดยทั่วไปแล้วมีค่าเป็นศูนย์ในช่วงการทำงานอิ่มตัว ขณะที่อีกส่วนซึ่งเกิดจากค่าความจุแฝงที่ออกไซด์ เนื่องจากบางส่วนของเกทซ้อนทับกับบางส่วนของเดรน โดยค่า C_{gd} มีค่าอยู่ในระดับ 1fF ถึง 10fF ในการคำนวณค่า C_{gs} ในช่วงอิ่มตัวเราจะต้องคำนวณค่าจำนวนประจุทั้งหมด Q_T ที่อยู่ในแชนแนล จะได้

$$Q_T = \frac{2}{3} WLC_{ox} \left(V_{GT} - V_T \right) \tag{2.19}$$

ดังนั้น

$$C_{gs} = \frac{\partial Q_T}{\partial V_{gs}} = \frac{2}{3} WLC_{ox} \tag{2.20}$$

นอกจากนี้ค่าความจุ C_{gs} ยังต้องการรวมกับส่วนที่เกิดจากค่าความจุออกไซด์เนื่องจากพื้นที่บางส่วนของเกทซ้อนทับพื้นที่บางส่วนของซอร์ส



รูปที่ 2.13 การหาอัตราการขยายกระแสขณะปิดวงจร

คุณสมบัติที่สำคัญประการหนึ่งสำหรับการทำงานที่ความถี่สูงของมอสทรานซิสเตอร์ที่ทำงานเป็นวงจรขยายคือความถี่ที่มีอัตราขยายเท่ากับหนึ่ง (Unity-gain frequency) คือ f_T โดยมีนิยามว่าเป็นความถี่ที่อัตราขยายกระแสของมอสทรานซิสเตอร์ที่อยู่ในรูปแบบวงจรคอมมอนซอร์สที่มีค่าเป็นหนึ่งขณะที่ปิดวงจร รูปที่ 2.13 แสดงแบบจำลองแบบ Hybrid-π ของมอสทรานซิสเตอร์ในลักษณะคอมมอนซอร์สระหว่างขั้วอินพุทและขั้วเอาท์พุท ในการหาอัตราการขยายกระแสขณะปิดวงจรจะต้องทำการป้อนกระแส i_i ที่อินพุทและที่เอาท์พุทปิดวงจร กระแสที่เอาท์พุทสามารถเขียนได้คือ

$$i_o = g_m v_{gs} - sC_{gd} v_{gs} \tag{2.21}$$

เนื่องจากค่า C_{gd} มีค่าน้อยมาก ทำให้พจน์หลังของสมการ (2.21) มีค่าน้อยมากๆ ดังนั้นสมการที่ (2.21) สามารถประมาณได้คือ

$$i_o \cong g_m V_{gs} \tag{2.22}$$

จากรูปที่ 2.13 สามารถแสดงค่า v_{gs} ในพจน์ของกระแสอินพุท i_i ได้คือ

$$v_{gs} = \frac{i_i}{s\left(C_{gs} + C_{gd}\right)} \tag{2.23}$$

จากสมการ (2.22) และ (2.23) จะได้อัตราขยายกระแสขณะปิดวงจรได้เป็น

$$\frac{i_o}{i_i} = \frac{g_m}{s\left(C_{gs} + C_{gd}\right)} \tag{2.24}$$

เมื่อ s=jω จะได้อัตราขยายกระแสเท่ากับหนึ่งที่ความถี่

$$\omega_T = g_m / \left(C_{gs} + C_{gd}\right) \tag{2.24}$$

ดังนั้นความถี่ที่อัตราขยายเท่ากับหนึ่ง ค่า f_T คือ

$$f_T = \frac{g_m}{2\pi\left(C_{gs} + C_{gd}\right)} \tag{2.26}$$

จากสมการที่ (2.26) จะเห็นว่าค่า f_T แปรผันตามค่า g_m และแปรผกผันกับค่าความจุไฟฟ้าภายในตัวมอสทรานซิสเตอร์ เมื่อแทนค่า g_m ลงในสมการที่ (2.26) เราจะพบว่าค่า f_T จะขึ้นอยู่กับกระแสเดรน ซึ่งสามารถสรุปได้ว่ากระแสเดรนมีส่วนในการทำงานของมอสทรานซิสเตอร์ที่ความถี่สูง โดยทั่วไปค่าของ f_T จะมีค่าอยู่ในช่วงประมาณ 100MHz สำหรับเทคโนโลยีแบบเก่า เช่น เทคโนโลยีซีมอสขนาด 5μm แต่ถ้าเป็นเทคโนโลยีความเร็วสูงที่ใหม่กว่า เช่น เทคโนโลยีซีมอสขนาด 0.8μm จะมีค่า f_T อยู่ในช่วงหลายๆ GHz

2.6 บทสรุป

เนื้อหาในบทนี้กล่าวถึงการทำงานของมอสทรานซิสเตอร์ โดยได้แบ่งมอสทรานซิสเตอร์ออกเป็น 2 ชนิด คือ มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนท์และชนิดดีพลีชัน โครงสร้าง การเกิดช่องทางเดินกระแส แบบจำลองสัญญาณขนาดใหญ่และขนาดเล็กของมอสทรานซิสเตอร์คือเนื้อหาที่ได้กล่าวถึง แบบจำลองทั้งสองแบบของมอสทรานซิสเตอร์จะถูกใช้ในการออกแบบและวิเคราะห์คุณสมบัติของวงจรที่จะนำเสนอ

บทที่ 3
หลักการและวงจรย่อยที่ใช้ในวิทยานิพนธ์

3.1 บทนำ

เนื้อหาในบทนี้จะกล่าวถึงหลักการของวงจรตรวจจับค่าแรงดันหรือกระแสสูงสุดและต่ำสุดเพื่อเป็นพื้นฐานในการอธิบายหลักการของวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุด โดยจะกล่าวถึงวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดที่ใช้อุปกรณ์แอคทีฟเป็นหลักคือ ใช้วงจรโอทีเอ ใช้วงจรสายพานกระแส หลังจากนั้นจะกล่าวถึงวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดแบบหลายอินพุทที่ออกแบบโดยใช้ทรานซิสเตอร์ ต่อมาจะกล่าวถึงวงจรย่อยที่ใช้เป็นส่วนประกอบในการออกแบบวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดที่จะนำเสนอในบทที่ 4 และ 5 วงจรที่จะกล่าวถึงได้แก่ วงจรสะท้อนกระแส วงจรเลื่อนระดับแรงดัน วงจรกันชนป้อนกลับกระแส วงจรตามแรงดันที่มีค่าออฟเซ็ตเป็นศูนย์และวงจรส่งผ่านความต้านทานอิเล็กทรอนิกส์ ซึ่งเนื้อหาต่างๆ มีดังต่อไปนี้

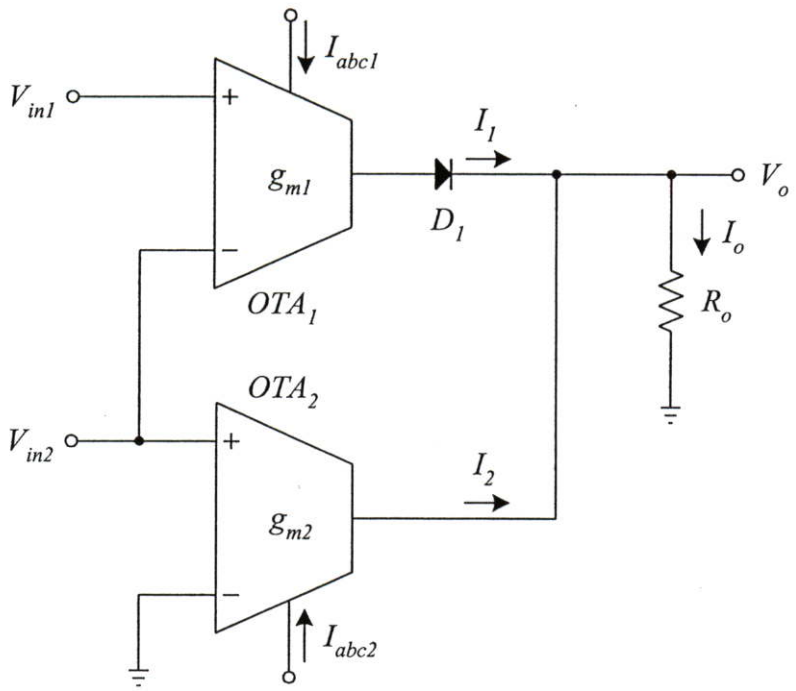
3.2 หลักการของวงจรตรวจจับค่าแรงดันต่ำสุดและสูงสุด

3.2.1 วงจรตรวจจับค่าแรงดันต่ำสุดและสูงสุดใช้วงจรโอทีเอ

วงจรตรวจจับค่าแรงดันสูงสุดที่ใช้โอทีเอ (Operational Transconductance Amplifier: OTA) แสดงได้ดังรูปที่ 3.1 ซึ่งเป็นวงจรที่นำเสนอใน [3] วงจรประกอบด้วยวงจรโอทีเอ 2 วงจร ไดโอด 1 ตัว และตัวต้านทาน 1 ตัว (ตัวต้านทานอาจจะแทนได้ด้วยวงจรโอทีเอ 1 วงจร) การทำงานของวงจรมีดังนี้ OTA_1 และ D_1 ทำหน้าที่เป็นวงจรจำกัดกระแส ตัวต้านทาน R_O ทำหน้าที่แปลงค่ากระแส I_O เป็นแรงดัน V_{out} ค่าทรานส์คอนดักแตนซ์ของตัวโอทีเอสามารถควบคุมได้ด้วยกระแสไบอัส ถ้าวงจรโอทีเอถูกสร้างด้วยมอสทรานซิสเตอร์ค่าทรานส์คอนดักแตนซ์จะเป็นสัดส่วนกับรากที่สองของ I_{out} แต่ถ้าถูกสร้างด้วยไบโพล่าร์ทรานซิสเตอร์ค่าทรานส์คอนดักแตนซ์จะแปรผันตรงกับ I_{abc} วงจรโอทีเอคือวงจรขยายค่าทรานส์คอนดักแตนซ์เมื่อป้อนแรงดันเข้าที่อินพุท เอาท์พุทที่ได้คือกระแสซึ่งเป็นที่รู้กันดีว่าความสัมพันธ์ระหว่างค่าแรงดันอินพุท (V_{in}) และกระแสเอาท์พุท (I_{out}) ของวงจรโอทีเอสามารถเขียนได้คือ [15]

$$I_{out} = g_m\left(V_{in+} - V_{in-}\right) \tag{3.1}$$

โดยที่ V_{in+} คืออินพุท Non-inverting ส่วน V_{in-} คืออินพุท Inverting และ g_m คือค่าทรานส์คอนดักแตนซ์หรือค่าความนำของโอทีเอ



รูปที่ 3.1 วงจรตรวจจับค่าแรงดันสูงสุดโดยใช้วงจรโอทีเอ

จากวงจรในรูปที่ 3.1 จะสามารถกำหนดสมการได้คือ

$$I_o = I_1 + I_2 \tag{3.2}$$

และ

$$V_o = I_o R_o \tag{3.3}$$

จากคุณสมบัติของไดโอด D_1 ค่ากระแส I_1 จะสามารถกำหนดได้คือ

$$I_1 = \begin{cases} 0 & ; V_{in1} \le V_{in2} \\ g_{in1}(V_{in1} - V_{in2}) & ; V_{in1} > V_{in2} \end{cases} \tag{3.4}$$

พิจารณาในกรณีที่ $V_{in1}<V_{in2}$ จะสามารถเขียนสมการได้คือ

$$I_o = g_{m2} V_{in2} \tag{3.5}$$

เมื่อแทนสมการที่ (3.5) ลงในสมการที่ (3.3) จะได้สมการ

$$V_o = g_{m2} R_o V_{in2} \tag{3.6}$$

พิจารณาในกรณีที่ $V_{in1}>V_{in2}$ จะสามารถเขียนสมการได้คือ

$$I_o = g_{m1} V_{in1} \tag{3.7}$$

เมื่อแทนสมการที่ (3.7) ลงในสมการที่ (3.3) จะได้สมการ

$$V_o = g_{m1} R_o V_{in1} \tag{3.8}$$

จากสมการที่ (3.6) และ (3.8) จะเห็นว่าวงจรในรูปที่ 3.1 เป็นวงจรตรวจจับค่าแรงดันสูงสุดระหว่างอินพุท V_{in1} และ V_{in2} และถ้ากำหนดให้ $g_{m1}=g_{m2}=1/R_O$ จะสามารถเขียนสมการได้ว่า

$$V_o = \max(V_{in1}, V_{in2}) = \begin{cases} V_{in2} \; ; \; V_{in1} \le V_{in2} \\ V_{in1} \; ; \; V_{in1} > V_{in2} \end{cases} \tag{3.9}$$

รูปที่ 3.2 คือวงจรตรวจจับค่าแรงดันต่ำสุด วงจรใช้วงจรโอทีเอ 2 วงจรและไดโอด 2 ตัวทำหน้าที่เป็นวงจรจำกัดกระแส โดย OTA_1 และ D_1 ทำหน้าที่เป็นวงจรจำกัดกระแสแบบลบ ส่วน R_O ทำหน้าที่แปลงกระแส I_O เป็นแรงดัน V_O จากวงจรในรูปที่ 3.2 จะสามารถกำหนดสมการได้คือ

$$I_3 = I_2 - I_1 \tag{3.10}$$

หรือ

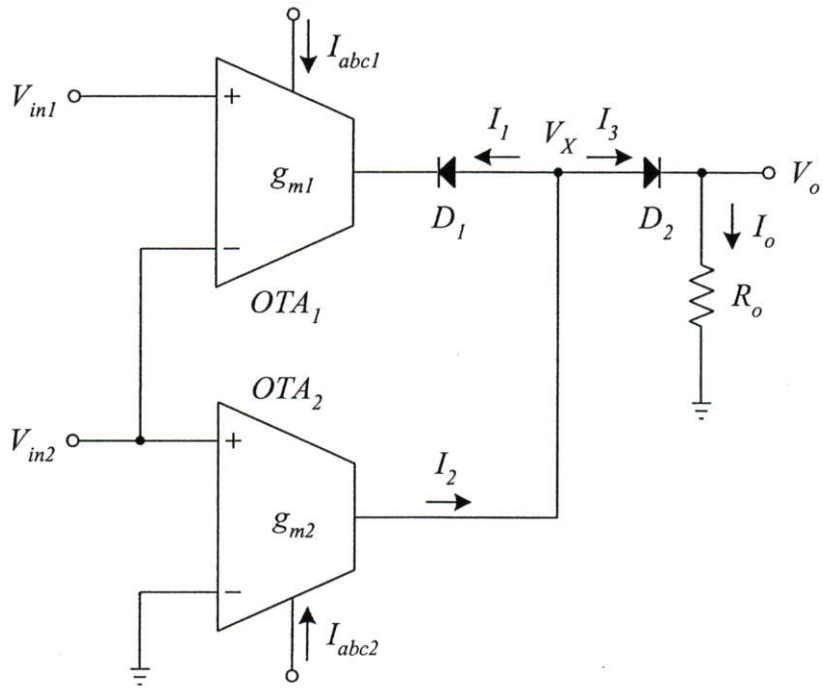
$$I_3 = g_{m2} V_{in2} - I_1 \tag{3.11}$$

ถ้ากำหนดให้ V_X มีค่ามากกว่า V_O

$$V_o = (g_{m2} V_{in2} - I_1) R_o \tag{3.12}$$

จากคุณสมบัติของไดโอด D_1 กระแส I_1 จะสามารถกำหนดได้คือ

$$I_1 = \begin{cases} g_{in1}(V_{in2} - V_{in1}) \; ; \; V_{in1} < V_{in2} \\ 0 \qquad\qquad\qquad\quad ; \; V_{in1} \ge V_{in2} \end{cases} \tag{3.13}$$



รูปที่ 3.2 วงจรตรวจจับค่าแรงดันต่ำสุดโดยใช้วงจรโอทีเอ

จากคุณสมบัติของไดโอด D_2 ความสัมพันธ์ของกระแส I_3 และ I_O จะสามารถเขียนได้คือ

$$I_o = \begin{cases} 0 & ; V_X \le V_o \\ g_{in2}V_{in2} - I_1 & ; V_X > V_o \end{cases} \tag{3.14}$$

พิจารณาในกรณีที่ $V_{in1}<V_{in2}$ จะสามารถเขียนสมการได้คือ

$$V_o = \left(g_{m2}V_{in2} - g_{in1}(V_{in2} - V_{in1})\right)R_o \tag{3.15}$$

กำหนด $g_{m1}=g_{m2}=g_m$ จะได้เอาท์พุทคือ

$$V_o = g_m R_o V_{in1} \tag{3.16}$$

พิจารณาในกรณีที่ $V_{in1}>V_{in2}$ จะสามารถเขียนสมการได้คือ

$$V_o = g_{m1} R_o V_{in2} \tag{3.17}$$

จากสมการที่ (3.16) และ (3.17) จะเห็นว่าวงจรในรูปที่ 3.2 เป็นวงจรตรวจจับค่าแรงดันต่ำสุดระหว่างอินพุท V_{in1} และ V_{in2} และถ้ากำหนดให้ $g_{m1}=g_{m1}=1/R_O$ จะสามารถเขียนสมการได้ว่า

$$V_o = \min(V_{in1}, V_{in2}) = \begin{cases} V_{in1} \; ; \; V_{in1} < V_{in2} \\ V_{in2} \; ; \; V_{in1} \geq V_{in2} \end{cases} \tag{3.18}$$

3.2.2 วงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดใช้วงจรสายพานกระแส

วงจรตรวจจับค่าแรงดันสูงสุดแสดงได้ดังรูปที่ 3.3 วงจรประกอบด้วยวงจรสายพานกระแส 1 วงจร ไดโอด 1 ตัว และตัวต้านทาน 2 ตัว จากคุณสมบัติของวงจรสายพานกระแสคือ $V_X=V_Y$ และ $I_Z=I_X$ เมื่อ V_X และ V_Y คือแรงดันที่ขั้ว X และ Y ตามลำดับ ในขณะที่ I_Z และ I_X คือกระแสที่ไหลที่ขั้ว Z และ X ตามลำดับ เมื่อใช้คุณสมบัติของวงจรสายพานกระแสดังกล่าว จะได้ว่า

$$I_X = \frac{V_{in2} - V_{in1}}{R_1} \tag{3.19}$$

จากคุณสมบัติของวงจรสายพานกระแส $I_X=I_Z$ ถ้าค่ากระแส I_Z มีค่าเป็นลบ ($V_{in1}>V_{in2}$) ไดโอด D_1 จะได้รับไบอัสตรงทำให้ D_1 นำกระแส ทำให้เกิดกระแส I_O ไหลในทิศทางตรงกันข้าม เมื่อค่ากระแส I_Z มีค่าเป็นบวก ($V_{in1}<V_{in2}$) ไดโอด D_1 จะได้รับไบอัสกลับทำให้ไดโอด D_1 ไม่ทำงาน จากการทำงานดังกล่าวสามารถเขียนเป็นสมการได้ว่า

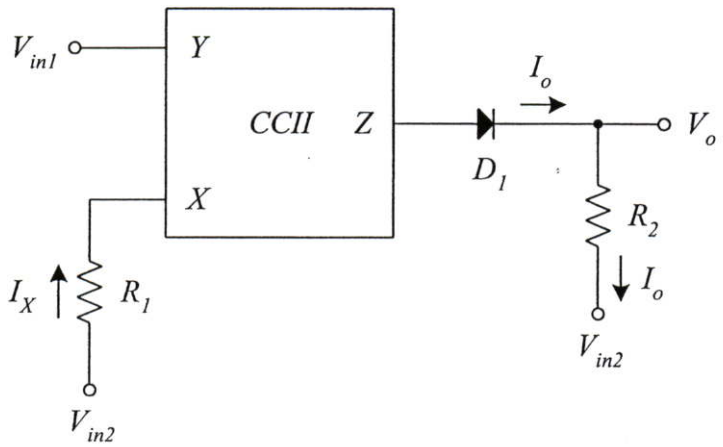
$$I_o = \begin{cases} 0 & ; \; V_{in1} \leq V_{in2} \\ -I_Z = -I_X & ; \; V_{in1} > V_{in2} \end{cases} \tag{3.20}$$

เมื่อ

$$V_o = I_o R_2 + V_{in2} \tag{3.21}$$

เมื่อแทนค่าสมการที่ (3.21) ด้วยสมการ (3.20) จะได้

$$V_o = \begin{cases} V_{in2} & ; \; V_{in1} \leq V_{in2} \\ \left(\frac{V_{in1} - V_{in2}}{R_1} \right) R_2 + V_{in2} & ; \; V_{in1} > V_{in2} \end{cases} \tag{3.22}$$



รูปที่ 3.3 วงจรตรวจจับค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแส

จากสมการที่ (3.22) เมื่อกำหนด R_1=R_2 จะกำหนดคุณสมบัติวงจรในรูปที่ 3.3 ได้ว่า

$$V_o = \begin{cases} V_{in2} \; ; \; V_{in1} \le V_{in2} \\ V_{in1} \; ; \; V_{in1} > V_{in2} \end{cases} \tag{3.23}$$

วงจรในรูปที่ 3.4 คือวงจรตรวจจับค่าแรงดันต่ำสุดโดยใช้วงจรสายพานกระแส วงจรนี้ใช้อุปกรณ์เท่ากับวงจรตรวจจับค่าแรงดันสูงสุดในรูปที่ 3.3 เมื่อใช้คุณสมบัติของวงจรสายพานกระแสจะสามารถหาสมการได้ว่า

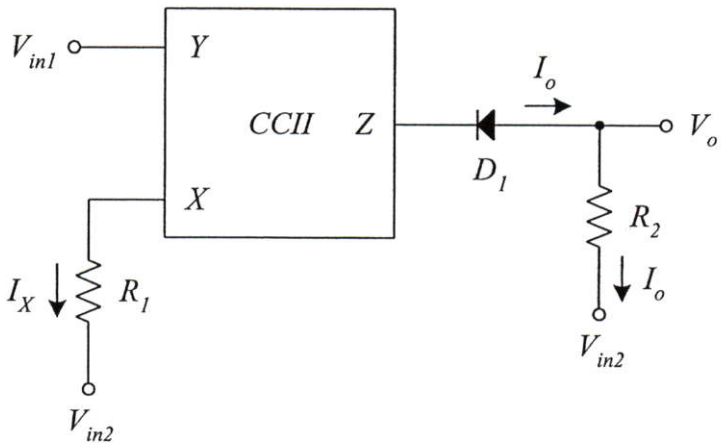
$$I_X = \frac{V_{in2} - V_{in1}}{R_1} \tag{3.24}$$

ไดโอด D_1 จะทำงานเมื่อกระแส I_Z มีค่าเป็นบวก ดังนั้นความสัมพันธ์ระหว่างกระแส I_Z กับ I_O คือ

$$I_o = \begin{cases} I_Z \; ; \; V_{in1} < V_{in2} \\ 0 \quad ; \; V_{in1} \ge V_{in2} \end{cases} \tag{3.25}$$

เมื่อแทนค่าสมการที่ (3.24) ด้วยสมการ (3.25) จะได้

$$I_o = \begin{cases} \dfrac{V_{in1} - V_{in2}}{R_1} \; ; \; V_{in1} < V_{in2} \\ 0 \qquad\qquad ; \; V_{in1} \ge V_{in2} \end{cases} \tag{3.26}$$



รูปที่ 3.4 วงจรตรวจจับค่าแรงดันต่ำสุดโดยใช้วงจรสายพานกระแส

เมื่อ

$$V_o = V_{in2} - I_o R_2 \tag{3.27}$$

เมื่อแทนค่าสมการที่ (3.27) ด้วยสมการ (3.26) จะได้

$$V_o = \begin{cases} V_{in2} - R_2\left(\dfrac{V_{in1} - V_{in2}}{R_1}\right) & ; \ V_{in1} < V_{in2} \\ V_{in2} & ; \ V_{in1} \geq V_{in2} \end{cases} \tag{3.28}$$

จากสมการที่ (3.28) เมื่อกำหนด R_1=R_2 จะกำหนดคุณสมบัติวงจรในรูปที่ 3.4 ได้ว่า

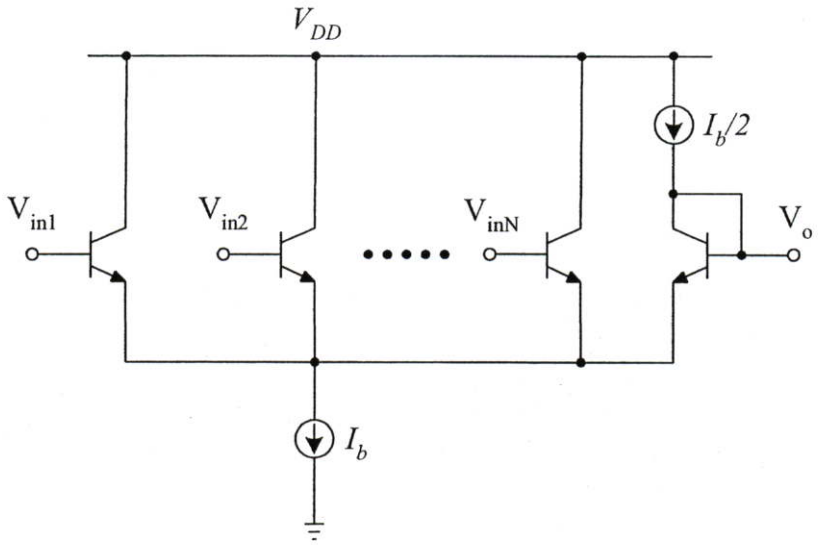
$$V_o = \begin{cases} V_{in1} & ; \ V_{in1} < V_{in2} \\ V_{in2} & ; \ V_{in1} \geq V_{in2} \end{cases} \tag{3.29}$$

จากสมการที่ (3.29) แสดงได้ว่าวงจรในรูปที่ 3.4 คือวงจรตรวจจับค่าต่ำสุดระหว่างอินพุท V_{in1} และอินพุท V_{in2}

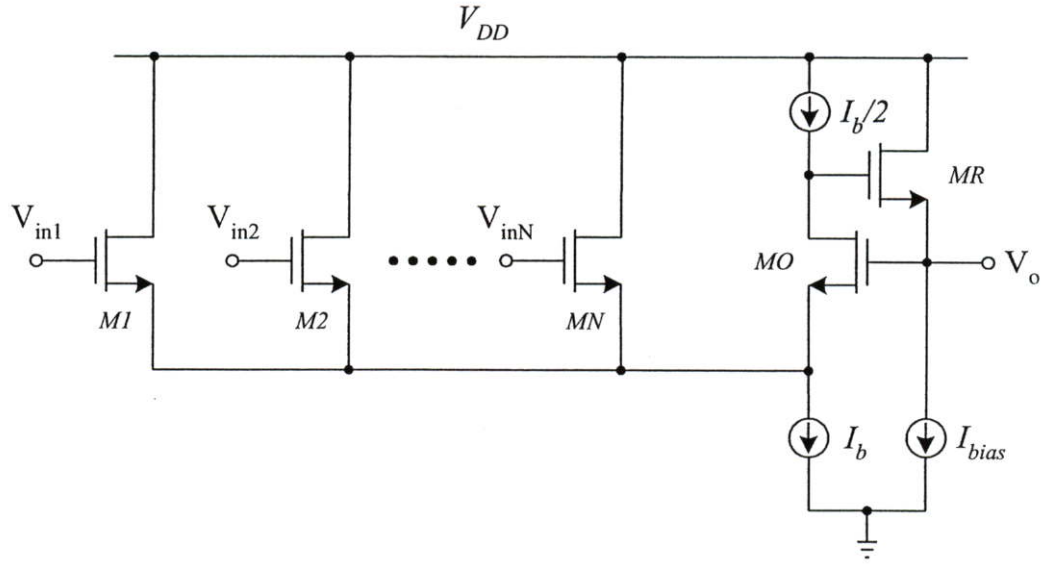
3.2.3 วงจรตรวจจับค่าแรงดันสูงสุดแบบหลายเอาท์พุท

รูปที่ 3.5 คือวงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa [4] ซึ่งเป็นวงจรที่รู้จักกันดี วงจรใช้โครงสร้างการต่อทรานซิสเตอร์แบบคอมมอนอีมิเตอร์ซึ่งสามารถมีอินพุทได้ถึง n อินพุท แรงดันเอาท์พุทจะมีค่าตามอินพุท V_{in} ที่มีค่ามากที่สุด ทรานซิสเตอร์อินพุททั้งหมดจะได้รับไบอัสด้วยกระแส $I_b/2$ ทรานซิสเตอร์ที่มีอินพุทสูงสุดจะมีค่ากระแสไบอัสสูงสุด วงจรในรูปที่ 3.5 สามารถสร้างใหม่โดยใช้มอสทรานซิสเตอร์ซึ่งแสดงได้ดังรูปที่ 3.6 เนื่องจากโดยปกติแล้วค่าทรานคอนดักแตนซ์ในตัวของมอสทรานซิสเตอร์จะมีค่าน้อยกว่าในตัวไบโพล่าร์ทรานซิสเตอร์ ดังนั้นเมื่ออินพุทสองอินพุทหรือมากกว่าต่างมีค่าเข้าใกล้ค่าสูงสุด ค่ากระแส $I_b/2$ จะถูกแบ่งออกเป็นหลายๆ สาขา ซึ่งทำให้แรงดันเอาท์พุทจะไม่มีค่าตามแรงดันอินพุทสูงสุด ซึ่งปัญหาดังกล่าวนี้จะเรียกว่า "Corner error" ค่าความนำของมอสทรานซิสเตอร์ที่ต่ำนี้สามารถแก้ไขโดยใช้มอสทรานซิสเตอร์ M_R ต่อในลักษณะป้อนกลับกระแสซึ่งจะช่วยให้การตอบสนองทางความถี่ของวงจรดีขึ้นด้วย จากวงจรในรูปที่ 3.5 และ 3.6 จะสามารถเขียนสมการได้ว่า

$$V_{out} = \max\{V_{in1}, V_{in2}, \ldots . V_{inN}\} \tag{3.30}$$



รูปที่ 3.5 วงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa [4]



รูปที่ 3.6 วงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa [4] ในแบบใช้มอสทรานซิสเตอร์

3.3 วงจรสะท้อนกระแส

วงจรสะท้อนกระแส (Current mirror) เป็นวงจรที่สำคัญอย่างมากสำหรับการออกแบบวงจรประเภทอนาลอกที่ออกแบบโดยใช้หลักการของวงจรรวม วงจรสะท้อนกระแสที่เราเห็นกันอยู่ทั่วไปจะมีอยู่ประมาณ 4 วงจรที่เป็นวงจรที่เป็นที่นิยมและใช้งานคือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบคาดโคด วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง แต่อย่างไรก็ตาม วงจรสะท้อนยังได้รับการพัฒนาและเผยแพร่มาอย่างต่อเนื่อง แต่เนื่องจากวิทยานิพนธ์นี้นำเอาเฉพาะวงจรสะท้อนกระแสแบบพื้นฐานมาใช้งาน ดังนั้นจึงจะขอกล่าวถึงเฉพาะวงจรสะท้อนกระแสแบบพื้นฐานนี้เท่านั้น

วงจรสะท้อนกระแสแบบพื้นฐานแสดงได้ดังรูปที่ 3.7 ซึ่งเป็นวงจรสะท้อนกระแสแบบพื้นฐานที่ใช้มอสทรานซิสเตอร์เพียงสองตัวเท่านั้น ความสัมพันธ์ระหว่างกระแสเอาท์พุท (I_{out}) และกระแสอินพุท (I_{in}) สามารถแสดงได้ดังนี้

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \tag{3.31}$$

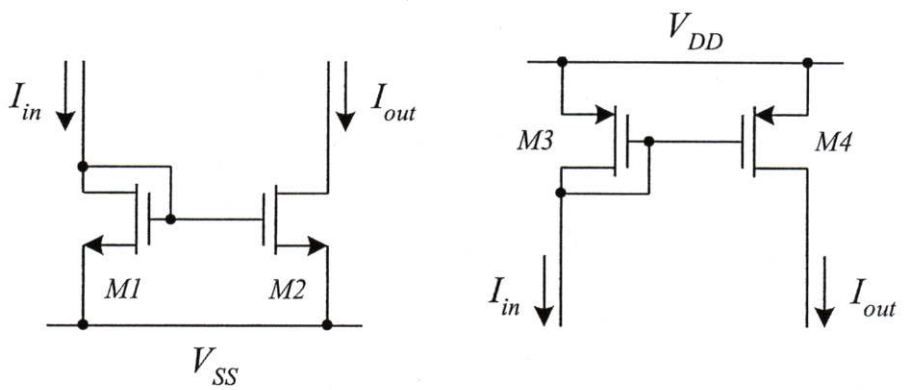
โดยที่ g_{m1} และ g_{m2} คือค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M_1 และ M_2 สำหรับค่าความต้านทานทางเอาท์พุทของวงจรสามารถกำหนดให้คือ

$$r_{out} = r_{o2} \tag{3.32}$$

ค่าความต้านทานทางเอาท์พุทของวงจรกำหนดให้คือ

$$r_{out} = \frac{1}{g_{ds2}} \tag{3.33}$$

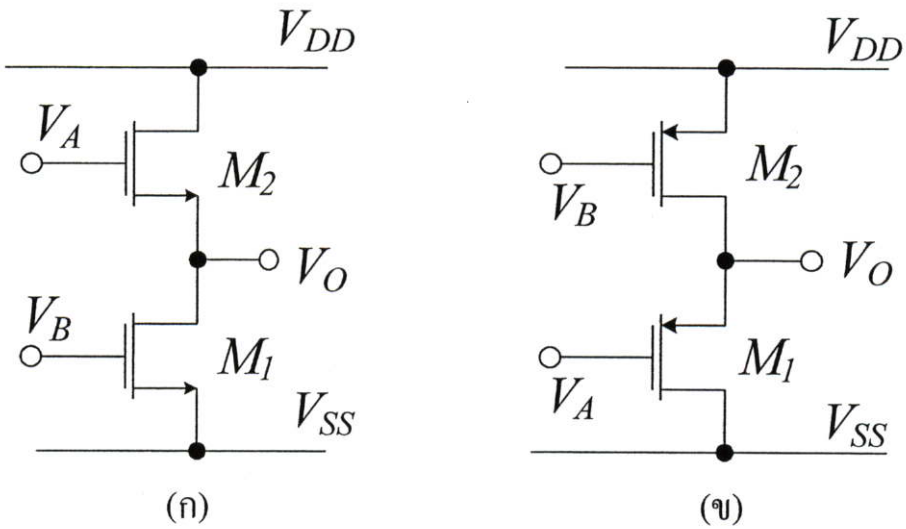
เมื่อ g_{ds2} คือค่าความนำระหว่างขาเดรนและขาซอร์สของมอสทรานซิสเตอร์ M_2 จากสมการที่ (3.32) และ (3.33) จะเห็นว่าความต้านทานทางเอาท์พุทของวงจรในรูปที่ 3.6 จะขึ้นอยู่กับความต้านทานทาง เอาท์พุทของ Q_2 (r_{o2}) หรือค่าความความนำทางเอาท์พุท (g_{ds}) ของ M_2 ซึ่งค่าความต้านทานทางเอาท์พุทนี้ในทางอุดมคติควรจะมีค่าเข้าใกล้อนันต์ ดังนั้นจึงได้มีการพัฒนาวงจรสะท้อนกระแสในแบบต่างๆ เพื่อเพิ่มค่าความต้านทานทางเอาท์พุทซึ่งจะมีผลที่ดีต่อการสะท้อนกระแสของวงจรด้วย



รูปที่ 3.7 วงจรสะท้อนกระแสแบบพื้นฐาน (ก) แบบบวก (ข) แบบลบ

3.4 วงจรเลื่อนระดับแรงดัน

วงจรเลื่อนระดับแรงดัน (Voltage level shifter) ที่ใช้ในวิทยานิพนธ์นี้ วงจรสามารถออกแบบเป็นวงจรที่เลื่อนระดับทั้งแบบบวกและแบบลบเพียงแค่เปลี่ยนชนิดของมอสทรานซิสเตอร์และตำแหน่งของมอสทรานซิสเตอร์เท่านั้น โดยวงจรทั้งสองแบบสามารถแสดงได้ดังรูปที่ 3.8



รูปที่ 3.8 วงจรเลื่อนระดับแรงดัน (ก) แบบบวก (ข) แบบลบ

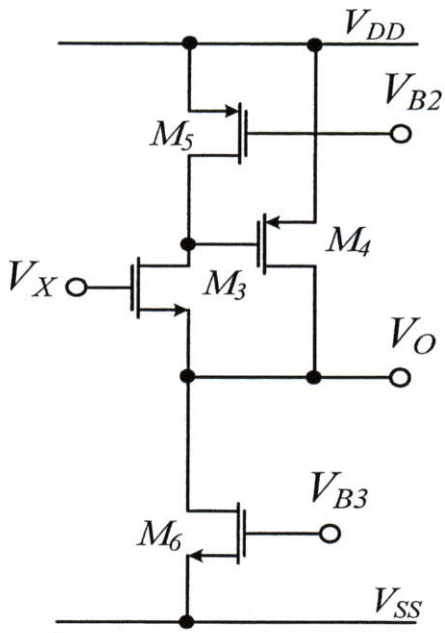
กำหนดให้ทรานซิสเตอร์ทั้งหมดในรูปที่ 3.8(ก) และ (ข) ทำงานในย่านอิ่มตัว จากวงจรในรูปที่ 3.8 (ก) จะสามารถเขียนเป็นสมการแรงดันเอาท์พุทได้คือ

$$V_O = V_A - V_B + V_{SS} \tag{3.34}$$

ส่วนรูปที่ 3.8 (ข) สามารถเขียนเป็นสมการแรงดันเอาท์พุทได้คือ

$$V_O = V_A - V_B + V_{DD} \tag{3.35}$$

3.5 วงจรกันชนป้อนกลับกระแส



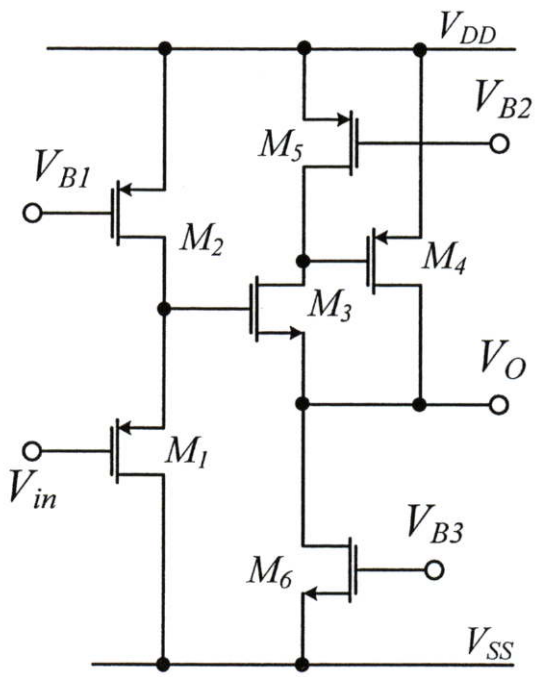
รูปที่ 3.9 วงจรกันชนป้อนกลับกระแส

รูปที่ 3.9 แสดงวงจรกันชนป้อนกลับกระแส โดยกำหนดให้ทรานซิสเตอร์ทั้งหมดทำงานในย่านอิ่มตัว วงจรกันชนป้อนกลับกระแส ประกอบด้วยมอสทรานซิสเตอร์ M_5 และ M_6 ที่ทำหน้าที่เสมือนแหล่งจ่ายกระแสคงที่ I_5 และ I_6 ตามลำดับ และมอสทรานซิสเตอร์ M_3 M_4 จากรูปที่ 3.9 แรงดัน V_X ถูกป้อนเข้าที่ขาเกทของทรานซิสเตอร์ M_3 ซึ่งทำหน้าที่จ่ายแรงดันเอาท์พุทที่ขาซอสของตนเอง โดยมีทรานซิสเตอร์ M_4 เป็นตัวจ่ายกระแสด้านบวก และ I_6 เป็นตัวจ่ายกระแสด้านลบ หรืออีกนัยหนึ่งคือการรักษาสภาพการเป็นแหล่งจ่ายแรงดันให้คงที่ (Regulated) โดยสามารถเขียนสมการแรงดันเอาท์พุทได้เป็น

$$V_{S3} = V_O = V_X - \sqrt{\frac{I_{D5}}{K_N}} - V_{TN} \tag{3.36}$$

จากสมการที่ (3.36) จะเห็นว่าแรงดันเอาท์พุทของรูปที่ 3.9 ประกอบด้วยแรงดัน V_X และค่าแรงดันไฟฟ้ากระแสตรงซึ่งเป็นค่าแรงดันออฟเซ็ต ซึ่งค่าแรงดันออฟเซ็ตนี้ต้องกำจัดทิ้งไป ค่าแรงดันออฟเซ็ตนี้สามารถหักล้างออกด้วยวงจรเลื่อนระดับแรงดันแบบลบที่แสดงในรูปที่ 3.8 (ข)

3.6 วงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์



รูปที่ 3.10 วงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์

เมื่อนำวงจรรูปที่ 3.8 มาต่อเข้ากับวงจรรูปที่ 3.9 จะได้วงจรตามแรงดันที่มีค่าออฟเซ็ตเข้าใกล้ศูนย์แสดงดังรูปที่ 3.10 โดยวงจรประกอบด้วยมอสทรานซิสเตอร์ 6 ตัว โดยที่มอสทรานซิสเตอร์ M_2 M_5 และ M_6 จะทำหน้าที่เสมือนแหล่งจ่ายกระแส เนื่องจากถูกไบอัสด้วยแรงดัน V_{B1} ,V_{B2} และ V_{B3} ตามลำดับ สมมุติว่ามอสทรานซิสเตอร์ทุกตัวทำงานในย่านอิ่มตัว สมการกระแสเดรนของมอสทรานซิสเตอร์ M_3 และ M_4 สามารถกำหนดได้คือ

$$I_{D3} = K_3\left(V_{GS3} - V_{TN}\right)^2 \tag{3.36}$$

และ

$$I_{D4} = K_4\left(V_{SG4} - |V_{TP}|\right)^2 \tag{3.37}$$

โดยที่ $K_3 = \frac{\mu_3 C_{OX}}{2}\left(\frac{W}{L}\right)$, $K_4 = \frac{\mu_4 C_{OX}}{2}\left(\frac{W}{L}\right)$ V_{TH} คือค่าแรงดันเทรสโฮลด์ของ NMOS และ V_{TP} คือค่าแรงดันเทรสโฮลด์ของ PMOS ส่วน μ_N และ μ_P คือค่าสภาพคล่องตัวของพาหะที่ผิวบริเวณแชนแนลของมอสทรานซิสเตอร์ M_3 และ M_4 ตามลำดับ

ดังนั้นจากวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ในรูปที่ 3.10 แรงดันเอาท์พุทที่ขาซอร์สของทรานซิสเตอร์ M_3 สามารถกำหนดได้คือ

$$V_O = V_{in} - V_{B1} + V_{DD} - \sqrt{\frac{I_{D3}}{k_{N3}}} - V_{TN3} \tag{3.38}$$

เนื่องจากทรานซิสเตอร์ M_5 ทำหน้าที่เป็นแหล่งจ่ายกระแสคงที่ ที่ป้อนให้ขาเดรนของทรานซิสเตอร์ M_3 ดังนั้นสมการแรงดันเอาท์พุทสามารถเขียนใหม่ได้ดังนี้

$$V_O = V_{in} - V_{B1} + V_{DD} - \sqrt{\frac{k_{P5}}{k_{N3}}}(V_{DD} - V_{B2} - |V_{TP5}|) - V_{TN3} \tag{3.40}$$

และถ้ากำหนดให้ V_{B1} มีค่าเท่ากับ

$$V_{B1} = V_{DD} - \sqrt{\frac{k_{P5}}{k_{N3}}}(V_{DD} - V_{B2} - |V_{TP5}|) - V_{TN3} \tag{3.41}$$

สมการที่ (3.40) จะมีค่าเป็น

$$V_O = V_{in} \tag{3.42}$$

จากสมการที่ (3.42) สามารถสรุปได้ว่า วงจรในรูปที่ 3.10 คือวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ (Near zero-offset voltage follower circuit) ที่มีคุณสมบัติ $V_O = V_{in}$ ซึ่งวงจรดังกล่าวนี้จะใช้เป็นวงจรพื้นฐานที่สำคัญสำหรับวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดที่จะนำเสนอต่อไป

ในการวิเคราะห์ประสิทธิภาพของตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ที่จะนำไปใช้เป็นวงจรพื้นฐานของวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุด พิจารณาได้ 4 ส่วนดังนี้ คือ

ค่าแรงดันออฟเซ็ต (Offset voltage) จากสมการที่ (3.40) พบว่าค่าแรงดันออฟเซ็ตของวงจรตามแรงดันที่มีค่าออฟเซ็ตเข้าใกล้ศูนย์ สามารถกำจัดได้ด้วยค่าแรงดัน V_{B1} ทำให้การส่งผ่านค่าแรงดันที่อินพุทและค่าแรงดันที่เอาท์พุท จะมีความแม่นยำมาก

ผลกระทบต่อฐานรอง (Body effect)

จากสมการ $V_T = V_{TO} + \Delta V_T = V_{TO} + \gamma(\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F})$ พบว่าค่าแรงดันเทรสโฮลด์จะแบ่งออกเป็น 2 เทอม ซึ่งค่า V_{SB} ในเทอมหลัง จะมีผลกระทบต่อค่าเทรสโฮลด์ถ้าขาซอร์สกับ

ฐานรองไม่ต่อถึงกัน สำหรับในวิทยานิพนธ์นี้มอสทรานซิสเตอร์ทุกตัวขาซอร์สกับฐานรองต่อถึงกัน $V_{SB}=0$ ดังนั้น $V_T=V_{TO}$ ยกเว้นทรานซิสเตอร์ M_3 ที่ฐานรองต่อเข้ากับ V_{SS} และขาซอร์สขาตัวมันเป็นเอาท์พุทของวงจร ที่เอาท์พุทจะเกิดออฟเซ็ตเพียงเล็กน้อย สามารถเขียนเป็นสมการได้ดังนี้

$$V_O=V_{IN}+\Delta V_T$$

การไม่สมพงษ์กันของอุปกรณ์ (Effect of transistor mismatched)

ความไม่สมพงษ์กันของอุปกรณ์มีผลกระทบโดยตรงต่อแรงดันออฟเซ็ต พิจารณารูปที่ 3.10 และสมการที่ (3.40) เป็นกรณีที่สมมุติให้ทรานซิสเตอร์ M_1 และ M_2 มีค่าเท่ากันทุกประการ ทำให้แรงดันเอาท์พุทมีค่าแตกต่างจากแรงดันอินพุทเพียงเล็กน้อย แต่ถ้าทรานซิสเตอร์ M_1 และ M_2 มีค่าไม่เท่ากัน สมการที่ (3.40) สามารถเขียนใหม่ได้ดังนี้

$$V_O=V_{IN}+|V_{TP1}|-\sqrt{\frac{k_2}{k_1}}\left(V_{B1}+|V_{TP2}|-V_{DD}\right)-\sqrt{\frac{k_5}{k_3}}\left(V_{DD}-V_{B2}-|V_{TP5}|\right)-V_{TN3}$$

กำหนดค่า V_{B1} และ V_{B2} ให้มีเงื่อนไขเหมือนสมการที่ (3.41) ดังนั้นสมการแรงดันออฟเซ็ตจะมีค่าเท่ากับ

$$V_{Offset}=|V_{TP1}|-\sqrt{\frac{k_2}{k_1}}\left(V_{DD}+\sqrt{\frac{k_5}{k_3}}\left(V_{DD}-V_{B2}-|V_{TP5}|\right)-V_{TN3}+|V_{TP2}|-V_{DD}\right)$$

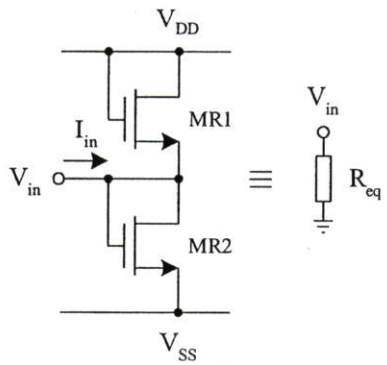
$$-\sqrt{\frac{k_5}{k_3}}\left(V_{DD}-V_{B2}-|V_{TP5}|\right)-V_{TN3}$$

ค่าอิมพีแดนซ์(Impedances) ของวงจร เนื่องจากค่าอินพุทอิมพีแดนซ์ที่ขาเกทของมอสทรานซิสเตอร์มีสูงมาก เมื่ออินพุทถูกป้อนเข้าที่ขาเกทจึงทำค่าอินพุทอิมพีแดนซ์ของวงจรที่นำเสนอมีค่าสูงมากตามไปด้วยซึ่งสามารถประมาณได้คือ $r_{in}\approx\infty$ แต่ในทางปฏิบัติค่าอินพุทอิมพีแดนซ์ที่ขาเกทของมอสทรานซิสเตอร์อาจจะไม่เป็นอนันต์แต่จะมีค่าสูงมากซึ่งอยู่ในย่าน MΩ ส่วนค่าเอาท์พุทอิมพีแดนซ์ของวงจรในรูปที่ 3.10 มีค่าประมาณ 25.53Ω (ภาคผนวก ข)

3.7 วงจรความต้านทานทางอิเล็กทรอนิกส์

วงจรความต้านทานทางอิเล็กทรอนิกส์ที่ใช้ในวงจรนี้ เป็นวงจรที่มีอินพุทเป็นกระแสและให้เอาท์พุทเป็นแรงดัน สร้างขึ้นจากทรานซิสเตอร์ 2 ตัว ชนิดเอ็นแชนแนล [20] ดังรูปที่ 3.11

จากวงจรในรูปที่ 3.11 สมมติว่ามอสทรานซิสเตอร์ M_{R1} และ M_{R2} ทรานซิสเตอร์ทั้งสองทำงานในย่านอิ่มตัว ดังนั้นเมื่อกระแสอินพุทถูกป้อนเข้าที่โหนดอินพุทซึ่งสามารถเขียนสมการกระแสเดรนที่ไหลผ่านมอสทรานซิสเตอร์ M_{R1} และ M_{R2} ได้เป็น



รูปที่ 3.11 วงจรความต้านทานทางอิเล็กทรอนิกส์

$$I_{D(MR1)} = \frac{K}{2}(V_{DD} - V_{in} - V_T)^2 \tag{3.43}$$

และ

$$I_{D(MR2)} = \frac{K}{2}(V_{in} - V_{SS} - V_T)^2 \tag{3.44}$$

โดย $K = \mu_o C_{OX}(W/L)$ จากรูปที่ 3.11 เมื่อ $I_{D(MR1)} + I_{in} = I_{D(MR2)}$ ดังนั้นเมื่อใช้ความสัมพันธ์ของ $(a+b)^2 - (a-b)^2 = 4ab$ และทฤษฎี KCL ของเคอร์ชอฟฟ์จะได้สมการว่า

$$V_{in} = \frac{I_{D(MR2)} - I_{D(MR1)}}{2K(V_{DD} - V_T)} = \frac{I_{in}}{2K(V_{DD} - V_T)} \tag{3.45}$$

เมื่อกำหนดให้ V_{DD}=-V_{SS} ดังนั้นค่าความต้านทานจะสามารถแสดงได้คือ

$$R_{eq} = \frac{1}{2K(V_{DD} - V_T)} \tag{3.46}$$

จากสมการที่ 3.46 จะเห็นว่าค่าความต้านทานสามารถกำหนดได้จากค่า W/L ผ่านค่า K และสามารถปรับค่าได้จากการเปลี่ยนค่าแหล่งจ่ายแรงดัน V_{DD} (V_{DD}=-V_{SS})

3.8 สรุป

เนื้อหาในบทนี้จะกล่าวถึงวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดที่ได้นำเสนอไว้ในอดีต เพื่อให้ง่ายต่อการทำความเข้าใจจึงได้หยิบยกเอาวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดที่ใช้อุปกรณ์แอ็กทีฟเป็นพื้นฐานคือ วงจรโอทีเอ วงจรสายพานกระแส มาอธิบายการทำงาน ต่อมาได้กล่าวถึงวงจรย่อยที่ใช้เป็นส่วนประกอบในการออกแบบวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดซึ่งจะนำเสนอในบทต่อไป

บทที่ 4
วงจรตรวจจับค่าแรงดันสูงสุด

4.1 บทนำ

วงจรตรวจจับค่าแรงดันหรือกระแสสูงสุดคือวงจรที่มีการนำมาประยุกต์ใช้งานในด้านการประมวลสัญญาณในระบบอิเล็กทรอนิกส์แบบไม่เชิงเส้น (Nonlinear Circuits) เช่น ใช้งานในเครือข่ายประสาท การประมวลผลข้อมูลภาพ และฟัซซี่โลจิก [16] ที่ผ่านมาได้มีการนำเสนอการพัฒนาออกแบบวงจรเพื่อสังเคราะห์ฟังก์ชั่นวงจรตรวจจับค่าแรงดันสูงสุดอย่างต่อเนื่องตัวอย่างที่ได้นำเสนอไว้ เช่น ใช้วงจรออปแอมป์ (Operational Amplifier: Op-Amp) หรือใช้วงจรสายพานกระแสต่อร่วมกับไดโอดและตัวต้านทานเผยแพร่ใน [2]-[4] ซึ่งในกรณีที่ต้องการนำไปประยุกต์เพื่อใช้งานกับแรงดันแบบหลายอินพุท จะต้องนำวงจรดังกล่าวมาต่ออันดับกัน ข้อเสียของวงจรดังกล่าวคือเนื่องจากใช้อุปกรณ์แอกทีฟต่อร่วมกับไดโอด ซึ่งไดโอดจะทำงานได้ต้องมีแรงดันตกคร่อมตัวมัน 0.6V จึงทำให้เกิดความผิดเพี้ยนของสัญญาณค่อนข้างมาก ต่อมาได้มีการนำเสนอการออกแบบวงจรตรวจจับค่าแรงดันหรือกระแสสูงสุดโดยใช้วงจรโอทีเอ (Operational Transconductance Amplifier: OTA) ที่สร้างจากมอสเฟทเป็นจำนวน $(n+1)$ ตัวต่อร่วมกับไดโอดจำนวน n ตัว ทำให้เกิดปัญหาเรื่องความเร็วในการทำงานเนื่องจากข้อจำกัดในการนำกระแสและหยุดนำกระแสของตัวไดโอด นอกจากนี้วงจรที่ใช้โอทีเอเป็นพื้นฐานจะมีช่วงปฏิบัติงานทางอินพุทที่แคบ สรุปได้ว่าวงจรใช้วงจรแอกทีฟเป็นพื้นฐานจึงทำให้ไม่เหมาะกับการขยายเป็นวงจรที่มีหลายอินพุท โดยปกติแล้ววงจรตรวจจับค่าแรงดันหรือกระแสสูงสุดหลายอินพุทจะสร้างจากวงจรผู้ชนะ (Winner Take All) หรือจากวงจรคอมมอนอีมิเตอร์หรือคอมมอนซอร์ส [5]-[14]

ในบทที่ 4 ของวิทยานิพนธ์นี้จะนำเสนอวงจรตรวจจับค่าแรงดันสูงสุดหลายอินพุทแบบอนาลอกโดยใช้เทคโนโลยีซีมอสที่สร้างจากวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์เป็นบล็อกพื้นฐาน ทำให้วงจรที่นำเสนอมีคุณสมบัติ เป็นวงจรมีความง่าย มีความเร็วสูง มีความเที่ยงตรงและมีเสถียรภาพทางอุณหภูมิดีมาก โครงสร้างของวงจรบล็อกพื้นฐานประกอบด้วย วงจรเลื่อนระดับแรงดัน วงจรกันชนป้อนกลับกระแส วงจรสะท้อนกระแสแบบง่าย จากโครงสร้างของวงจรที่นำเสนอเหมาะกับวงจรประเภทใช้แรงดันต่ำและเหมาะกับการนำไปสร้างเป็นวงจรรวม

4.2 วงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอ

จากสมการที่ (3.42) สรุปได้ว่าวงจรในรูปที่ 3.10 คือวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ที่ให้ค่าแรงดันเอาท์พุทเท่ากับอินพุท ซึ่งจากที่กล่าวไว้ในข้างต้นว่าวงจรดังกล่าวนี้จะใช้เป็นวงจรย่อยที่สำคัญสำหรับสร้างเป็นวงจรตรวจจับค่าแรงดันสูงสุด ใช้วงจรในรูปที่ 3.10 วงจรตรวจจับค่าสูงสุดที่สมบูรณ์สามารถแสดงได้ดังรูปที่ 4.1 โดยนำวงจรรูปที่ 3.10 มาต่อในลักษณะขนาน ถ้าค่าแรงดันของอินพุทใดมีค่ามากที่สุด ทรานซิสเตอร์ M_{3i} ของอินพุทชุดนั้นจะนำกระแส ส่วนอินพุทที่มีค่าแรงดันน้อยกว่าจะหยุดนำกระแส ทำให้ได้ค่าแรงดันเอาท์พุท V_O เท่ากับแรงดันอินพุทของชุดอินพุทที่มีค่าแรงดันสูงสุด กระแสเอาท์พุทจะมีค่าเท่ากับกระแสที่ไหลผ่าน M_{3i} ของชุดอินพุทที่มีค่าแรงดันสูงสุด โดยที่ $i=1,2,....N$ คือจำนวนชุดอินพุท จากการทำงานดังกล่าววงจรในรูปที่ 4.1 สามารถกำหนดเป็นสมการได้คือ

$$V_{out} = \mathrm{Max}(V_{in1}, V_{in2}, ..., V_{inN}) \tag{4.1}$$

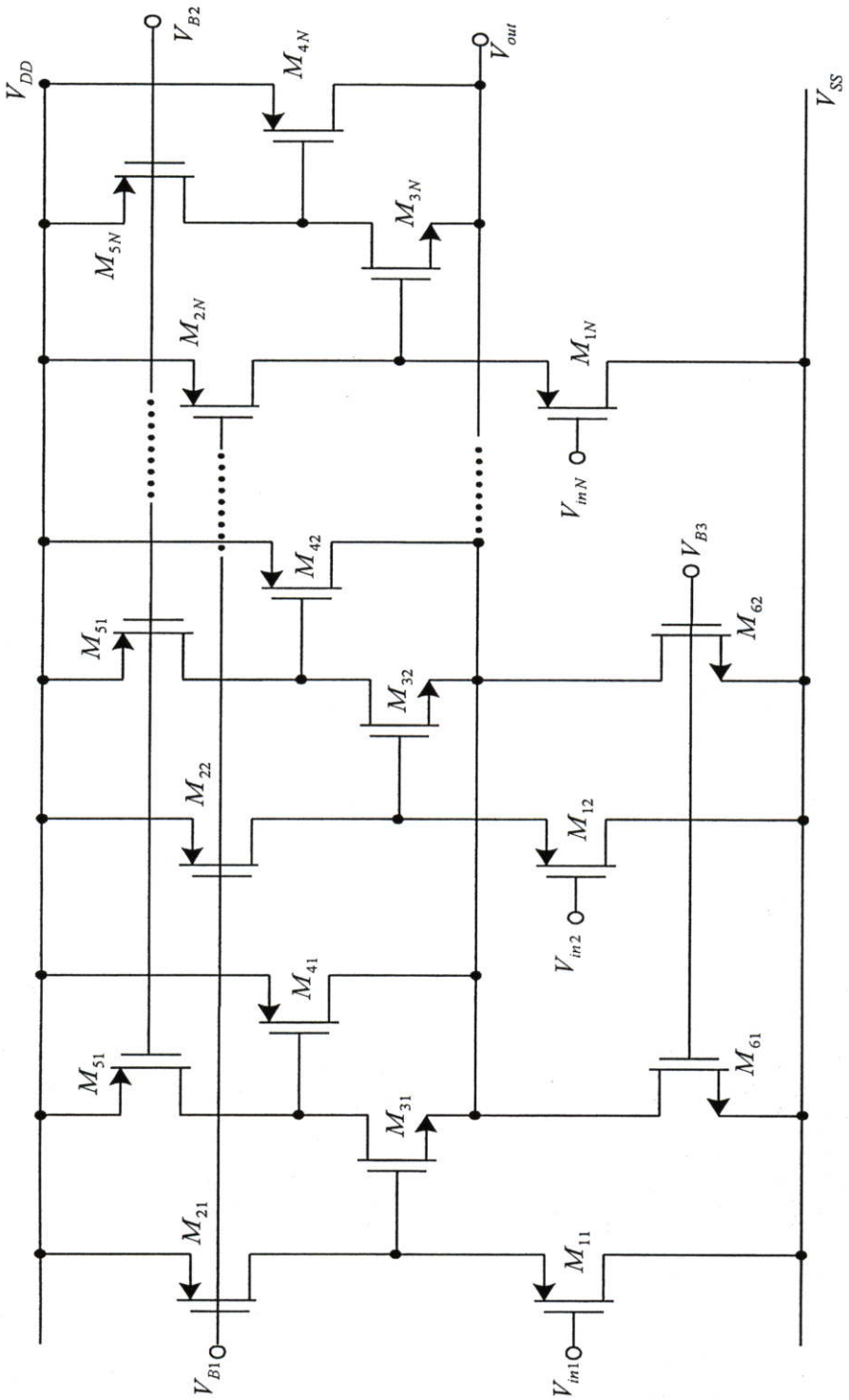
จากสมการที่ (4.1) แสดงได้ว่าวงจรในรูปที่ 4.1 คือวงจรตรวจจับค่าแรงดันสูงสุดที่มีอินพุทได้ n อินพุท วงจรที่นำเสนอใช้วงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ที่แสดงในรูปที่ 3.10 จากสมการที่ (3.42) ซึ่งแสดงคุณสมบัติของวงจรดังกล่าว จะเห็นว่าสมการไม่มีค่าพารามิเตอร์ที่มีผลกระทบของอุณหภูมิรวมอยู่ ดังนั้นเมื่อวงจรตรวจจับค่าแรงดันสูงสุดในรูปที่ 4.1 ใช้วงจรย่อยในรูปที่ 3.10 เป็นวงจรพื้นฐาน วงจรที่นำเสนอจึงเป็นอิสระจากการเปลี่ยนแปลงของอุณหภูมิด้วย

4.3 ผลการเลียนแบบการทำงาน

เพื่อตรวจสอบการทำงานและประสิทธิภาพของวงจรที่นำเสนอ โดยลำดับแรกที่นำเสนอคือวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ในรูปที่ 3.10 จะถูกนำมาจำลองการทำงานด้วยโปรแกรม PSpice โดยใช้พารามิเตอร์ TMSC 0.25μm ของ MOSIS กำหนดแหล่งจ่ายแรงดัน V_{DD}=1.5 โวลท์ และ V_{SS}=-1.5 โวลท์ แหล่งจ่ายแรงดันคงที่ V_{B1}, V_{B2} และ V_{B3} เท่ากับ 0.8571, 0.6 , -1.067 โวลท์ ซึ่งค่า W/L ของมอสทรานซิสเตอร์กำหนดได้ดังตารางที่ 4.1

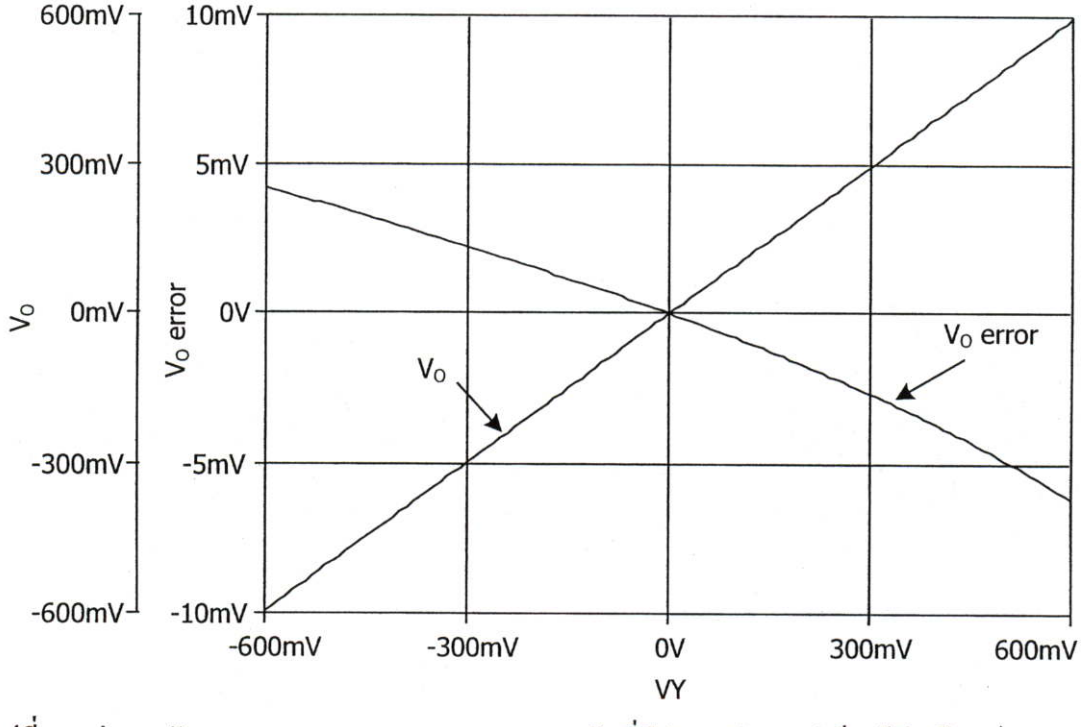
ตารางที่ 4.1 ค่า W/L ของมอสทรานซิสเตอร์ของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์

มอสทรานซิสเตอร์	ค่า W/L(μm/μm)
M_{1i}, M_{2i}, M_{3i}	2/0.5
M_{5i}	20/0.5
M_{4i}, M_6	30/0.5

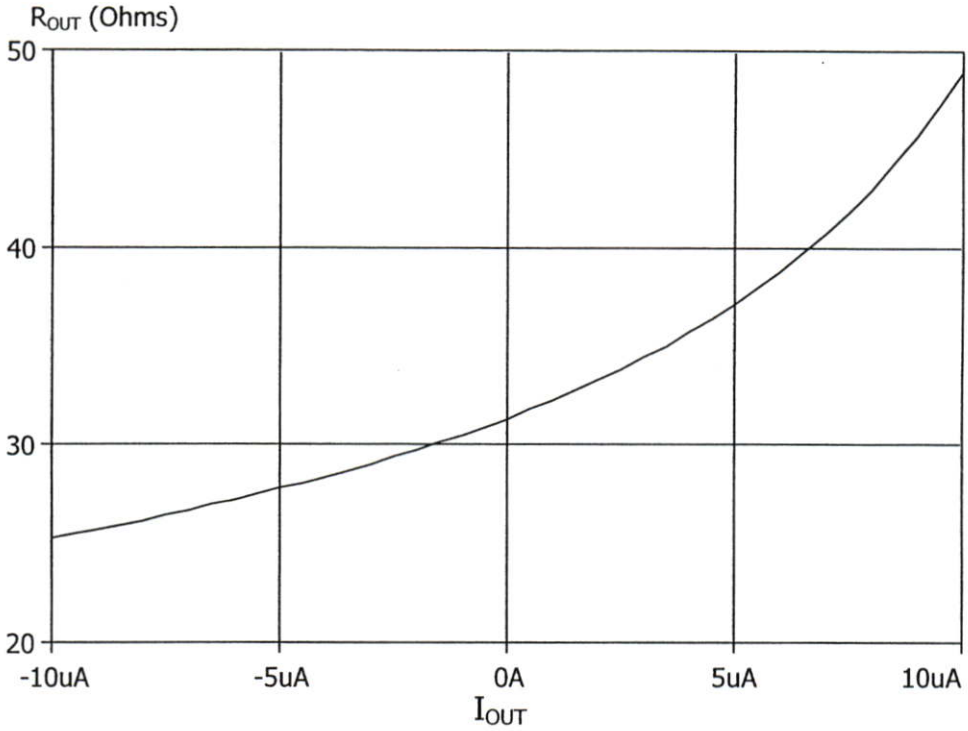


รูปที่ 4.1 วงจรตรวจจับค่าแรงดันสูงสุดที่สมบูรณ์ที่นำเสนอ

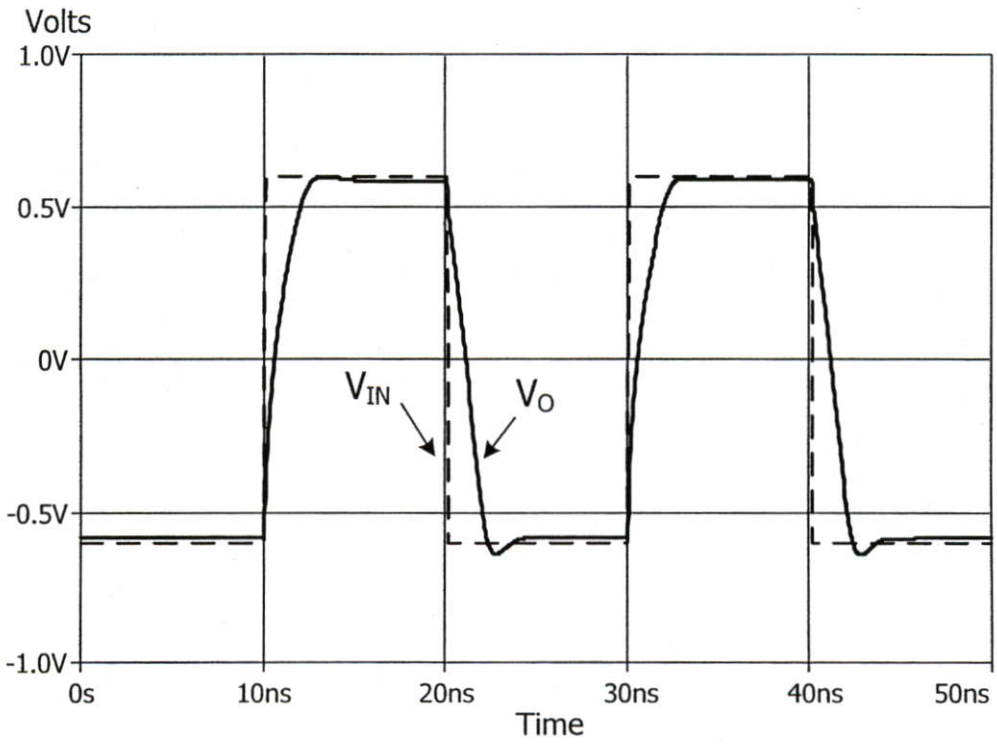
ผลการจำลองในรูปที่ 4.2 เพื่อตรวจสอบคุณสมบัติของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ในรูปที่ 3.10 โดยจำลองในโหมดไฟฟ้ากระแสตรง ทำการป้อนสัญญาณไฟตรงทั้งค่าบวกและค่าลบเข้าที่อินพุท V_{in} แล้วนำแรงดันเอาท์พุทมาเปรียบเทียบ ซึ่งผลการจำลองพบว่ามีค่าแรงดัน Tracking Error ประมาณ 0.075 % รูปที่ 4.3 แสดงค่าความต้านทานที่ขั้วเอาท์พุท โดยป้อนสัญญาณกระแสไฟตรงช่วง $\pm 10\mu A$ เข้าที่ขั้วเอาท์พุทของวงจรในรูปที่ 3.10 ซึ่งผลการจำลองพบว่ามีความต้านทานประมาณ $25-50\Omega$ ในการทดสอบคุณสมบัติการหน่วงเวลาของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตใกล้ศูนย์ โดยป้อนสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ $2.5\,MHz$ เข้าที่อินพุท V_{in} แล้ววัดสัญญาณที่เอาท์พุท ซึ่งผลการจำลองพบว่าอินพุทและเอาท์พุทจะเกิดการหน่วงเวลาประมาณ $5\,ns$ ดังรูปที่ 4.4 ต่อมาได้ทำการจำลองการทำงานในโหมดไฟฟ้าสลับ โดยทำการป้อนความถี่ค่าต่างๆ เข้าที่อินพุทของวงจร V_{in} จากนั้นจะวัดสัญญาณที่เอาท์พุทเพื่อดูช่วงปฏิบัติงานของวงจร ซึ่งผลการจำลองแสดงได้ดังรูปที่ 4.5 จากผลการจำลองการทำงาน วงจรมีช่วงปฏิบัติงานประมาณ $815\,MHz$ รูปที่ 4.6 แสดงเซลล์ Layout ของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ที่ออกแบบด้วยโปรแกรม L-EDIT โดยใช้พารามิเตอร์ซีมอสขนาด $0.25\,\mu m$ ของ TSMC MOSIS Level 49



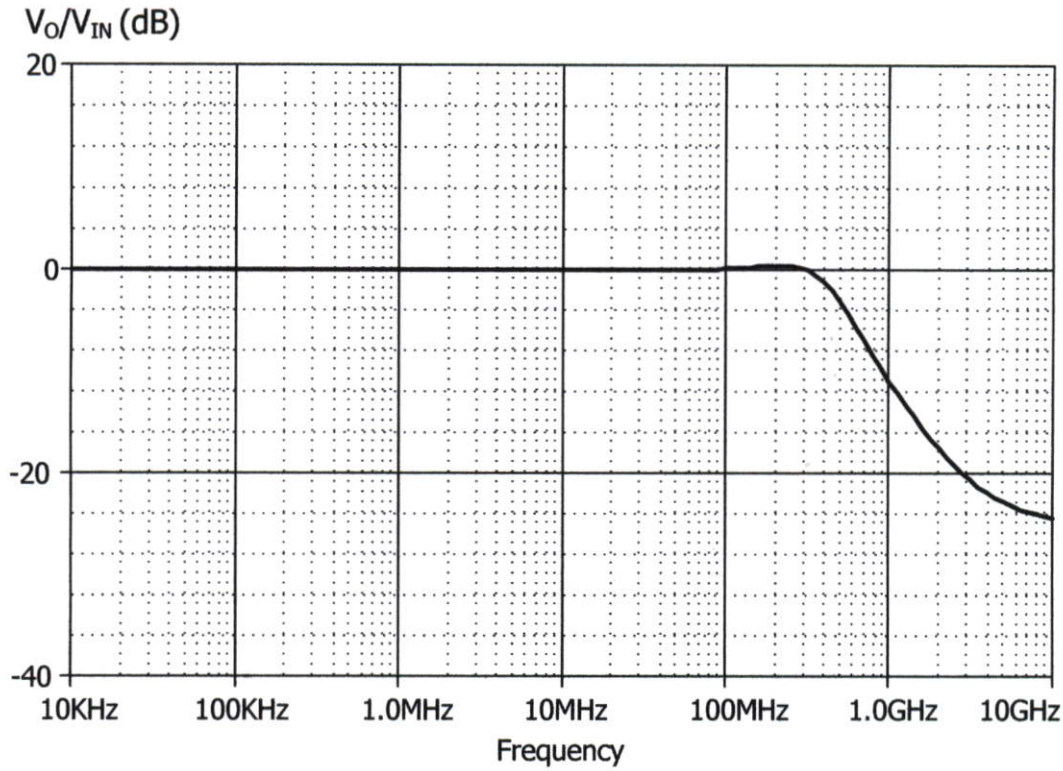
รูปที่ 4.2 ค่าแรงดัน Tracking Error ของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์



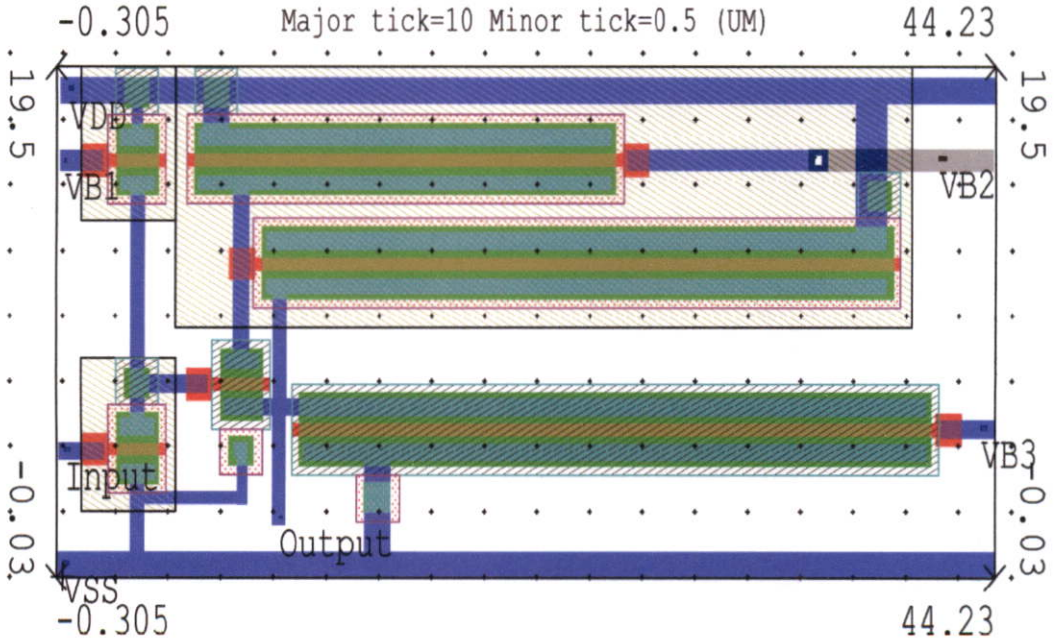
รูปที่ 4.3 ค่าความต้านทานที่เอาท์พุทของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์



รูปที่ 4.4 ค่าหน่วงเวลาของวงจรของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์



รูปที่ 4.5 การตอบสนองความถี่ของวงจรของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์



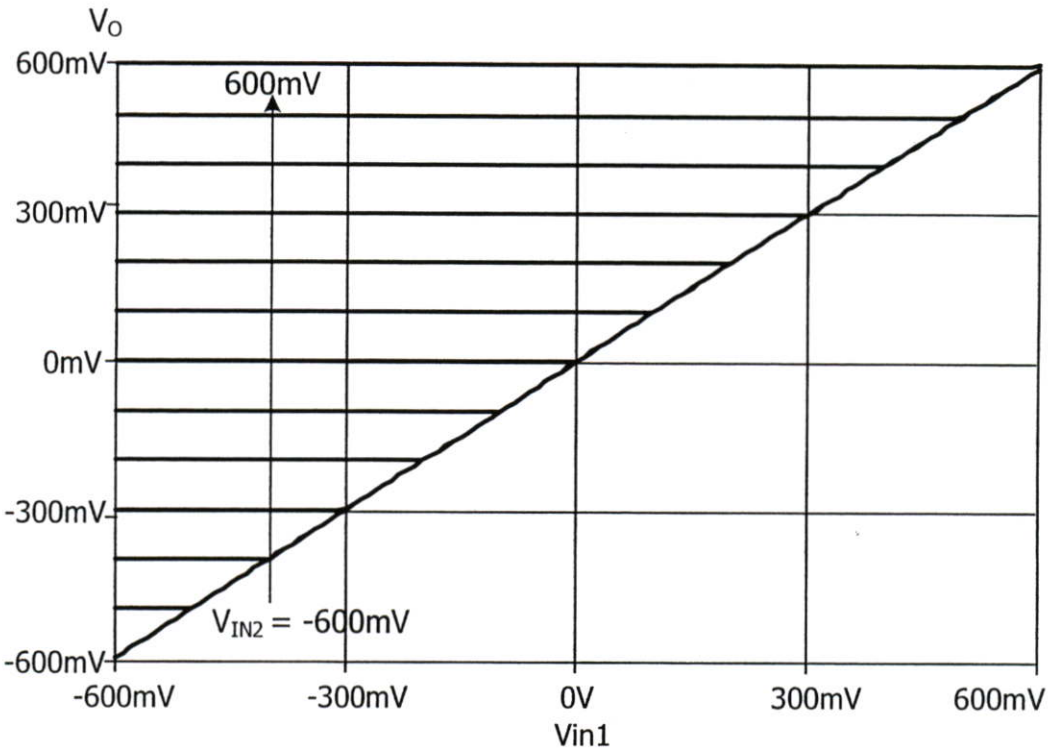
รูปที่ 4.6 เซลล์ Layout ของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์

ลำดับต่อมาที่จะนำเสนอคือวงจรตรวจจับค่าแรงดันสูงสุด ที่นำเสนอในรูปที่ 4.1 โดยใช้วงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์เป็นวงจรพื้นฐาน กำหนดแหล่งจ่ายแรงดัน V_{DD}=1.5 โวลท์ และ V_{SS}=-1.5 โวลท์ แหล่งจ่ายแรงดันคงที่ V_{B1}, V_{B2} และ V_{B3} เท่ากับ 1.0882, 1 , -1.067 โวลท์ เนื่องจากวงจรในรูปที่ 4.1 ใช้วงจรในรูปที่ 3.10 มาต่อแบบขนานกัน ค่า W/L ของมอสทรานซิสเตอร์ของอินพุทชุดที่ 1 จะเหมือนกับชุดที่ 2 หรือชุดต่อๆ ไป ดังนั้นค่า W/L ของมอสทรานซิสเตอร์ชุดที่ 1 จะเหมือนกับชุดที่ 2 หรือชุดต่อๆ ไปด้วย ซึ่งค่า W/L ของมอสทรานซิสเตอร์ชุดที่ 1 ในวงจรที่ 4.1 กำหนดได้ดังตารางที่ 4.2 สำหรับวงจรตรวจจับค่าสูงสุด 2 อินพุท

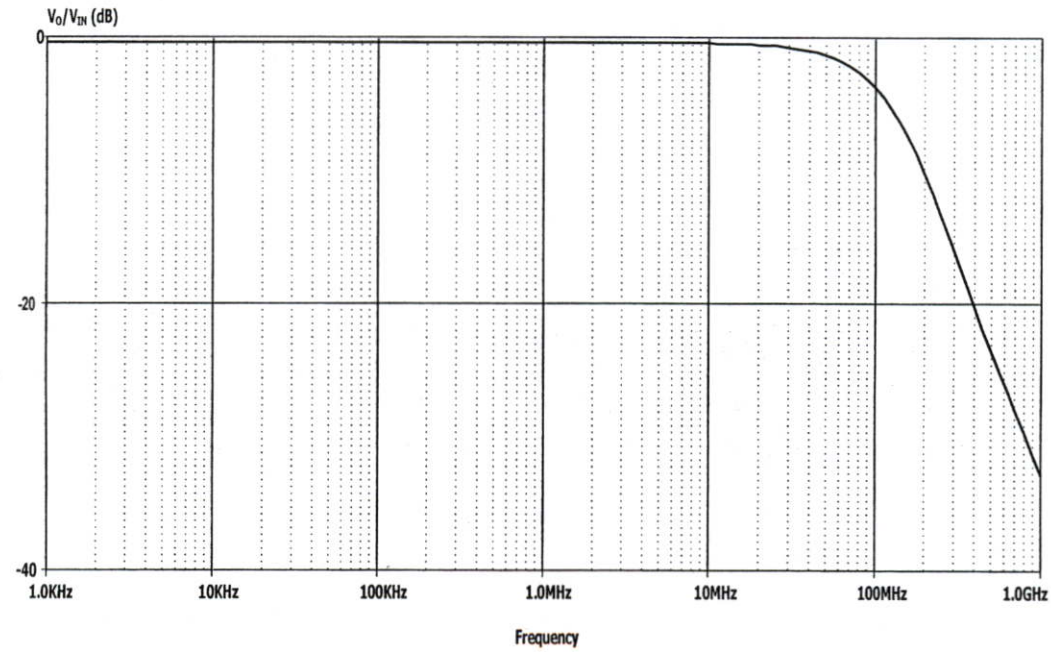
ตารางที่ 4.2 ค่า W/L ของมอสทรานซิสเตอร์ของวงจรตรวจจับค่าแรงดันสูงสุด

มอสทรานซิสเตอร์	ค่า W/L(μm/μm)
M_{1i}, M_{2i}, M_{3i}	2/0.5
M_{5i}	20/0.5
M_{4i}, M_6	30/0.5

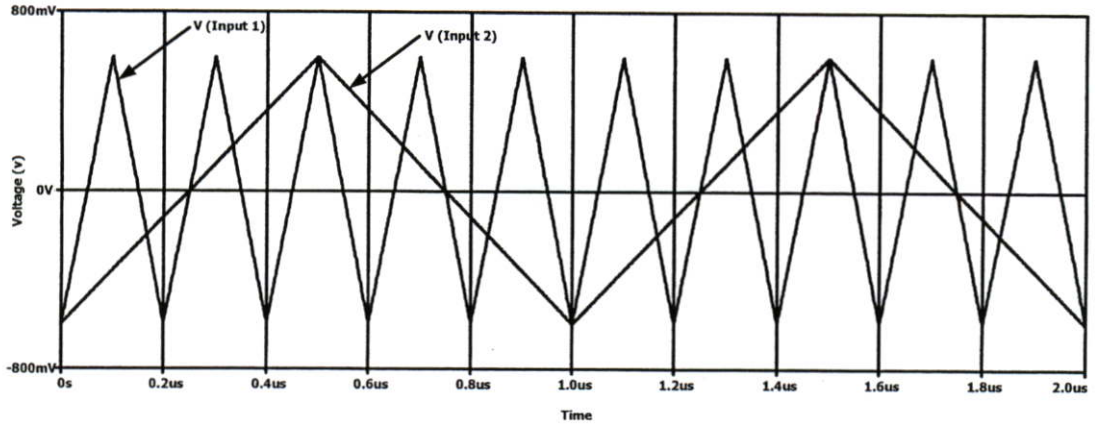
รูปที่ 4.7 แสดงคุณสมบัติทางไฟฟ้ากระแสตรง ของวงจรตรวจจับค่าสูงสุดแบบ 2 อินพุท ซึ่งแรงดันออฟเซ็ตถูกปรับให้มีค่าจนใกล้กับ 0 จากรูปที่ 4.7 วงจรที่นำเสนอมีย่านอินพุทปฏิบัติงานกว้างประมาณ ±600 mV รูปที่ 4.8 แสดงการตอบสนองทางความถี่ของวงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอ จากผลการจำลองแบนด์วิดท์ของวงจรมีค่า 815 MHz รูปที่ 4.9 แสดงผลการเลียนแบบการทำงานของวงจรเมื่อป้อนสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 1MHz เข้าที่อินพุท V_{in1} และสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 5 MHz เข้าที่อินพุท V_{in2} รูปคลื่นทั้งสองมีขนาด 0.6 V_{P-P} รูปที่ 4.10 แสดงผล Post-layout ของวงจรตรวจจับค่าสูงสุด ด้วยโปรแกรม T-SPICE เมื่อป้อนสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 5 MHz เข้าที่อินพุท V_{in1} และสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 1 MHz เข้าที่อินพุท V_{in2} รูปคลื่นทั้งสองมีขนาด ±0.6 V_{P-P} กำหนดค่าแหล่งจ่ายแรงดันคงที่ V_{B1}, V_{B2} และ V_{B3} เท่ากับ 0.76, 1 , -0.93 โวลท์ ซึ่งผลการจำลองพบว่าขนาดของสัญญาณเอาท์พุทมีค่าลดลงไปประมาณ 16.66 % หรือเท่ากับ ±0.5 V_{P-P}



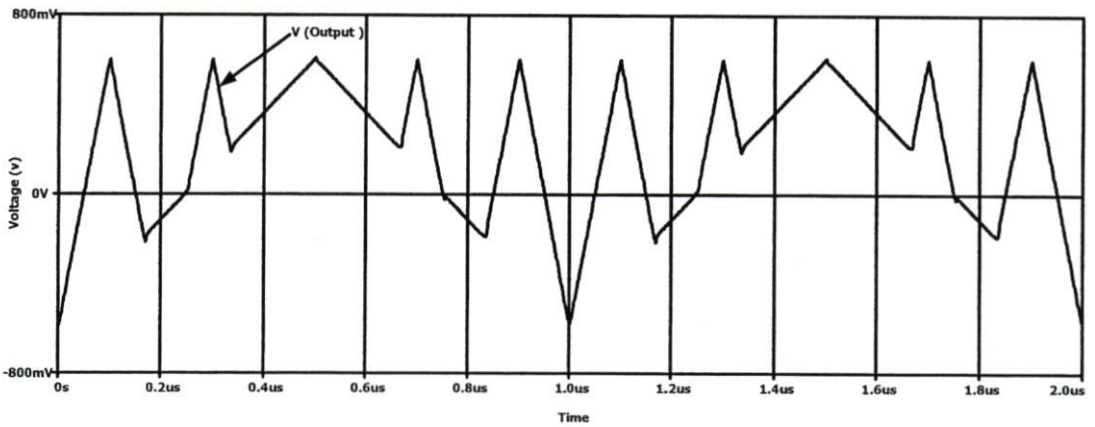
รูปที่ 4.7 คุณสมบัติทางไฟฟ้ากระแสตรงของวงจรตรวจจับค่าสูงสุด



รูปที่ 4.8 การตอบสนองทางความถี่ของวงจรตรวจจับค่าสูงสุด

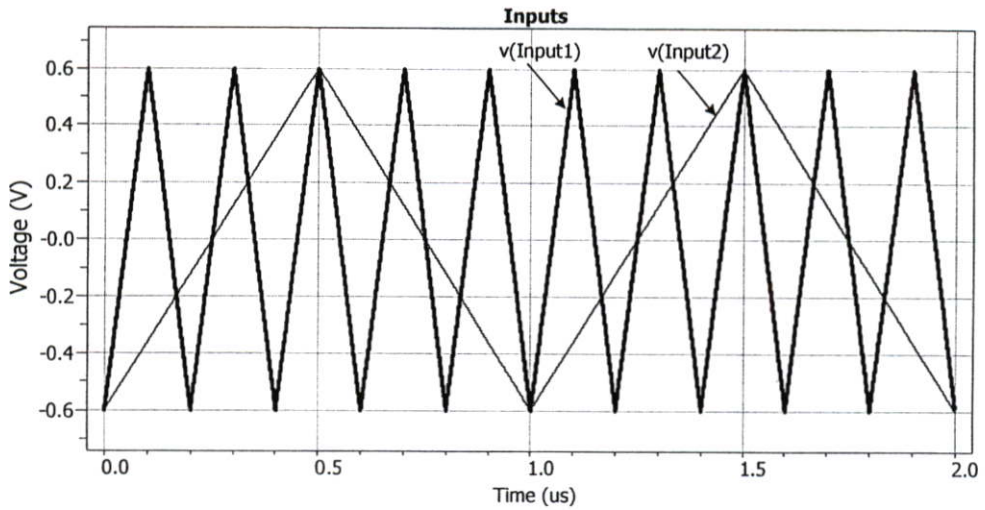


(ก)

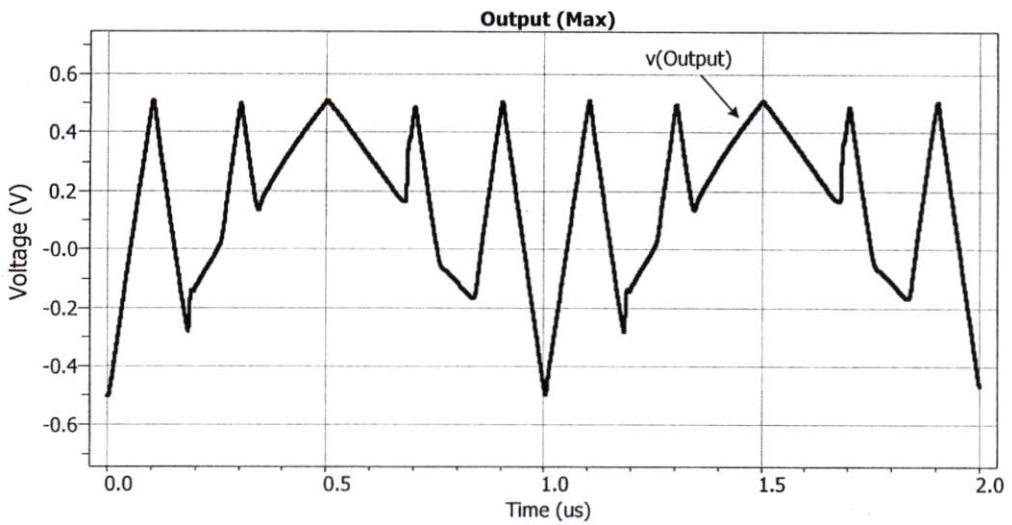


(ข)

รูปที่ 4.9 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท (ก) อินพุท V_{IN1} และ V_{IN2} ขนาด $0.6V_{P-P}$ ความถี่ 5MHz และ 1MHz ตามลำดับ (ข) เอาท์พุท



(ก)



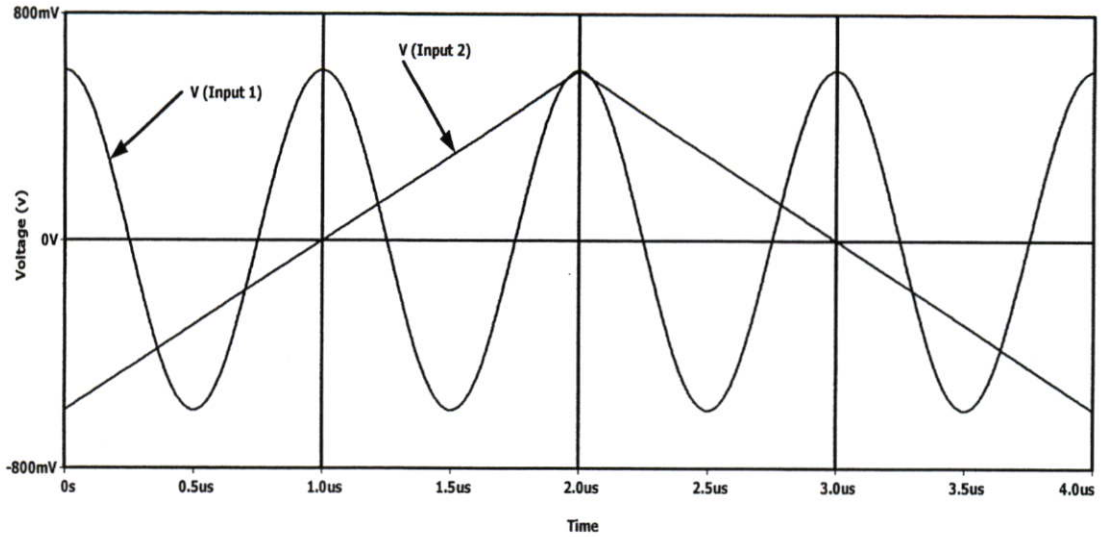
(ข)

รูปที่ 4.10 ผลการจำลองการทำงาน Post-layout ของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท (ก) อินพุท V_{IN1} และ V_{IN2} ขนาด $0.6V_{P-P}$ ความถี่ 5MHz และ 1MHz ตามลำดับ (ข) เอาท์พุท

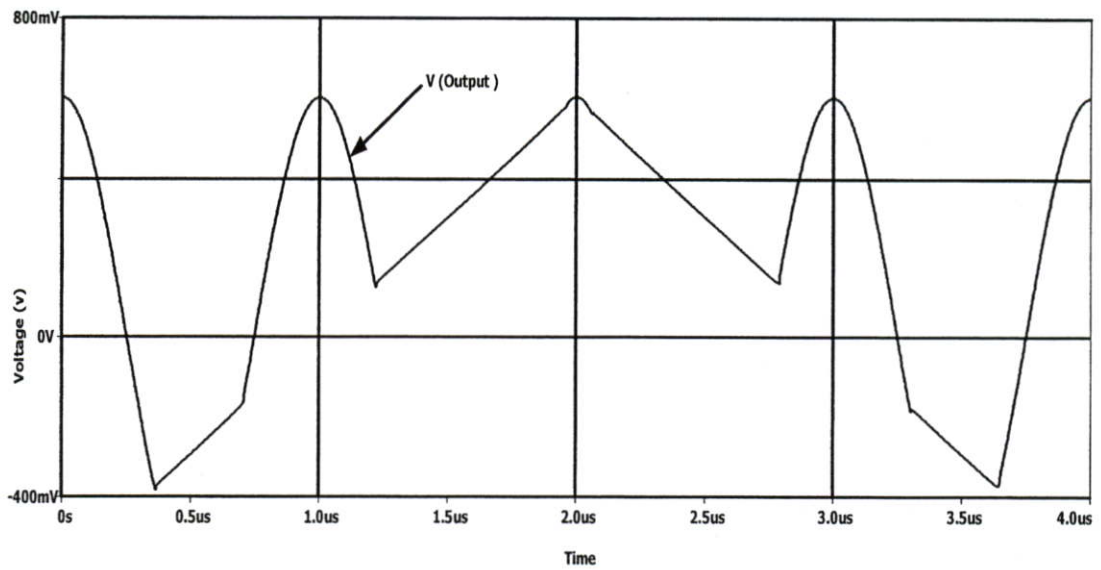
รูปที่ 4.11 แสดงผลการเลียนแบบการทำงานของวงจรเมื่อป้อนสัญญาณรูปคลื่นซายน์ความถี่ 1MHz เข้าที่อินพุท V_{in1} และสัญญาณรูปคลื่นสาม เหลี่ยมความถี่ 250kHz เข้าที่อินพุท V_{in2} รูปคลื่นทั้งสองมีขนาด 0.6 V_{P-P} จากผลการจำลองการทำงานแสดงได้ว่าวงจรสามารถทำงานได้อย่างถูกต้อง และพบว่าความไวในช่วงการเปลี่ยนสถานะจากอินพุทหนึ่งไปยังอินพุทหนึ่งจะใช้เวลาไม่เกิน 0.5μS รูปที่ 4.12 แสดงผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท โดยทั้งสองอินพุทป้อนสัญญาณรูปคลื่นซายน์ความถี่ 1MHz ขนาด 0.6V_{P-P} สัญญาณทั้งสองมีเฟสต่างกัน 90 องศาดังแสดงในรูปที่ 4.12 (ก) เอาท์พุทแสดงได้ดังรูปที่ 4.12 (ข) จากเอาท์พุทจะเห็นว่าวงจรสามารถตรวจจับค่าสูงสุดของรูปคลื่นได้อย่างถูกต้อง รูปที่ 4.13 แสดงผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท สำหรับกรณีอินพุท V_{in1} คือสัญญาณรูปคลื่นซายน์ความถี่ 1MHz ขนาด 0.6V_{P-P} ความถี่ 1MHz และ V_{in2}มีค่า 0 โวลท์ รูปคลื่นทางเอาท์พุทของการทำงานกรณีดังกล่าวสามารถแสดงได้ดังรูปที่ 4.13(ข) จากการทำงานในกรณีนี้วงจรตรวจจับค่าแรงดันสูงสุดสามารถนำมาประยุกต์ใช้งานเป็นตัวเรียงกระแสแบบครึ่งคลื่นได้ จากผลการจำลองจะเห็นว่ารูปคลื่นทางเอาท์พุทมีความเที่ยงตรง นอกจากนี้ยังสามารถกำหนดจุดตัดของรูปคลื่นได้ตามความต้องการได้อีกด้วย ซึ่งสามารถทำได้โดยการกำหนดค่าแรงดัน ไฟฟ้ากระแสตรง ได้ตามต้องการที่ V_{in2} จากกรณีนี้ทำให้วงจรสามารถนำมาประยุกต์ใช้งานในวงจรไม่เป็นเชิงเส้นได้เป็นอย่างดี เพื่อแสดงว่าวงจรตรวจจับค่าแรงดันที่นำเสนอมีเสถียรภาพดี เอาท์พุทแบบครึ่งคลื่นของวงจรที่นำเสนอที่อุณหภูมิ 50°C 75°C และ 100°C เมื่อป้อนอินพุท V_{in1} เป็นสัญญาณรูปคลื่นซายน์ความถี่ 1MHz ขนาด 0.6 V_{P-P} ความถี่ 1 MHz และ V_{in2}=0 โวลท์ แสดงได้ดังรูปที่ 4.14 ผลการจำลองนี้เพื่อยืนยันสมการที่ (4.1) รูปที่ 4.15 แสดงเซลล์ Layout ของวงจรตรวจจับค่าสูงสุดที่ออกแบบด้วยโปรแกรม L-EDIT โดยใช้พารามิเตอร์ซีมอสขนาด 0.25 μm ของ TSMC MOSIS Level 49

ตารางที่ 4.3 คุณสมบัติของวงจรตรวจจับค่าสูงสุดที่นำเสนอ

พารามิเตอร์	ค่า
เทคโนโลยี	0.25μm CMOS
แหล่งจ่ายแรงดัน	±1.5V
ช่วงปฏิบัติงานทางอินพุท	±600mV
แบนด์วิดท์ของวงจร	815 MHz
การใช้กำลังงาน (2 อินพุท)	0.64 mW

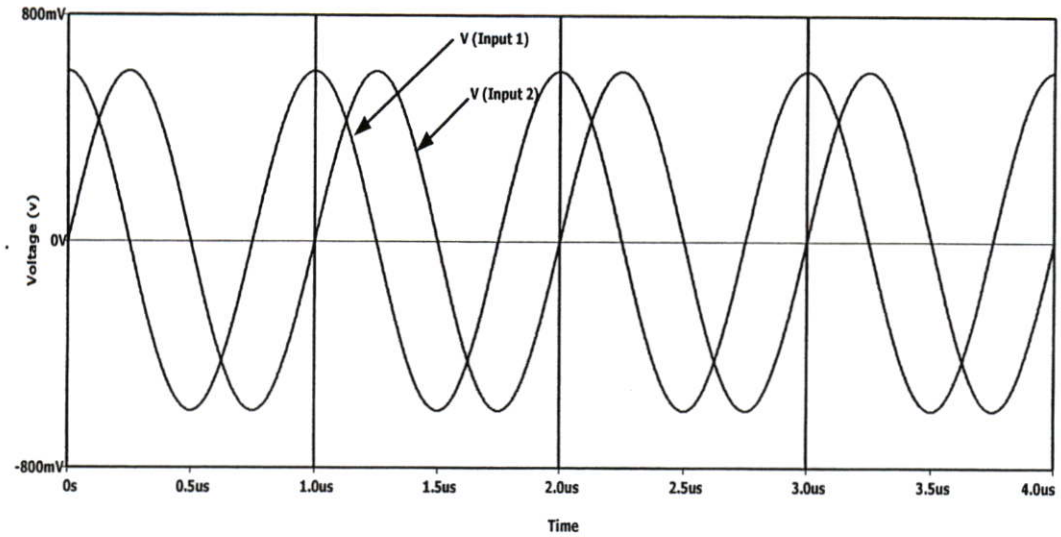


(ก)

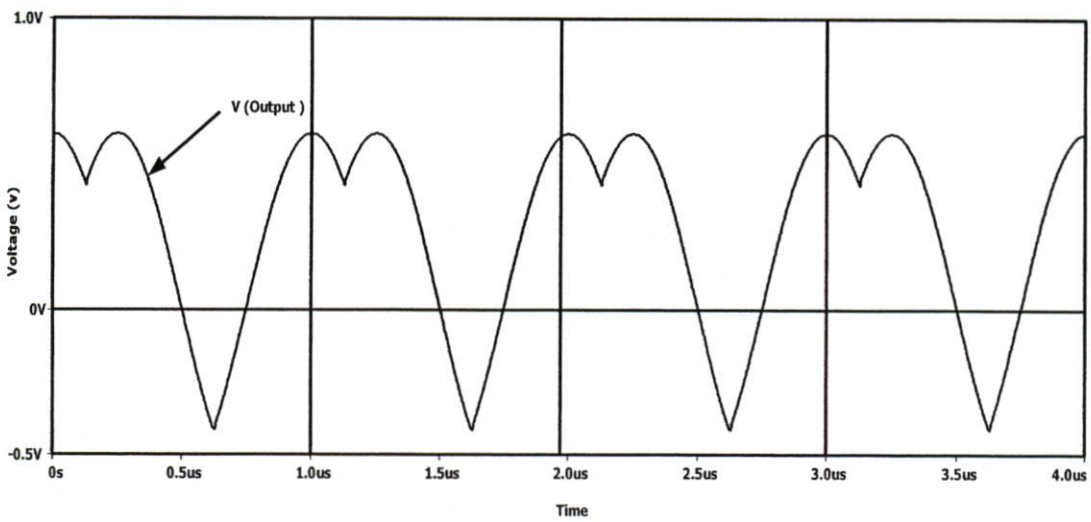


(ข)

รูปที่ 4.11 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท (ก) อินพุท V_{in1} และ V_{in2} ขนาด $0.6V_{P-P}$ ความถี่ 1MHz และ 250kHz ตามลำดับ (ข) เอาท์พุท

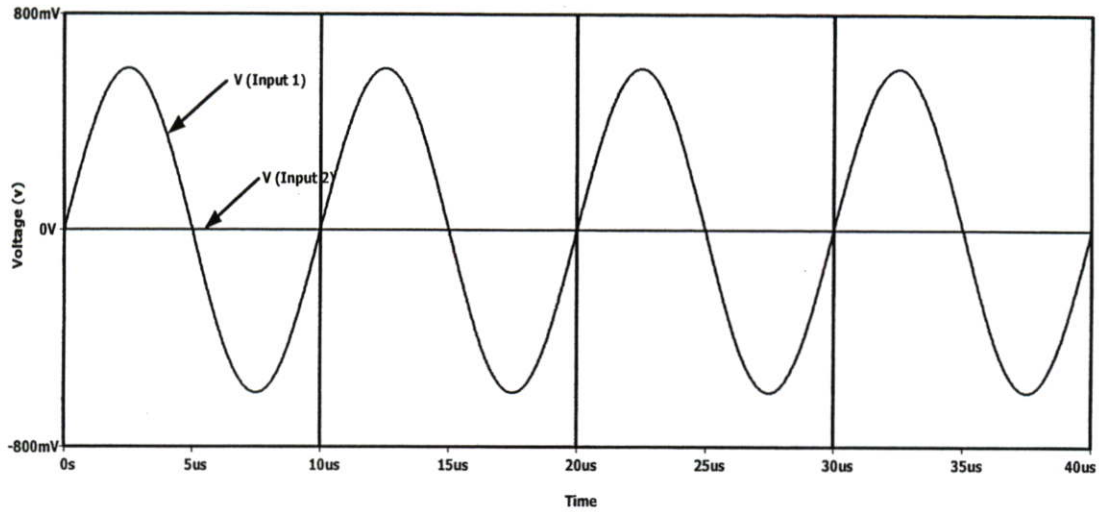


(ก)

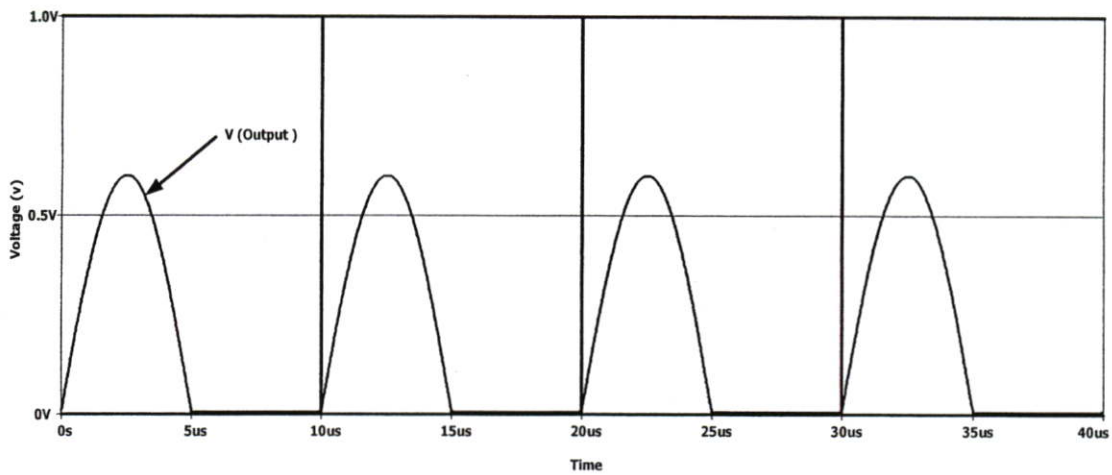


(ข)

รูปที่ 4.12 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุทที่มีเฟสต่างกัน 90 องศา (ก) อินพุท V_{in1} และ V_{in2} ขนาด $0.6V_{P-P}$ ความถี่ 1MHz (ข) เอาท์พุท

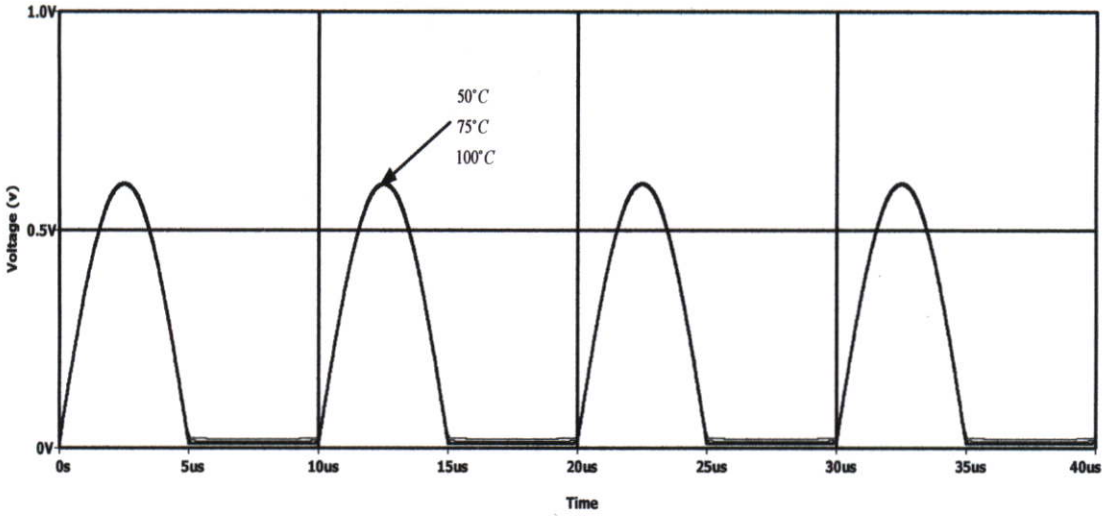


(ก)

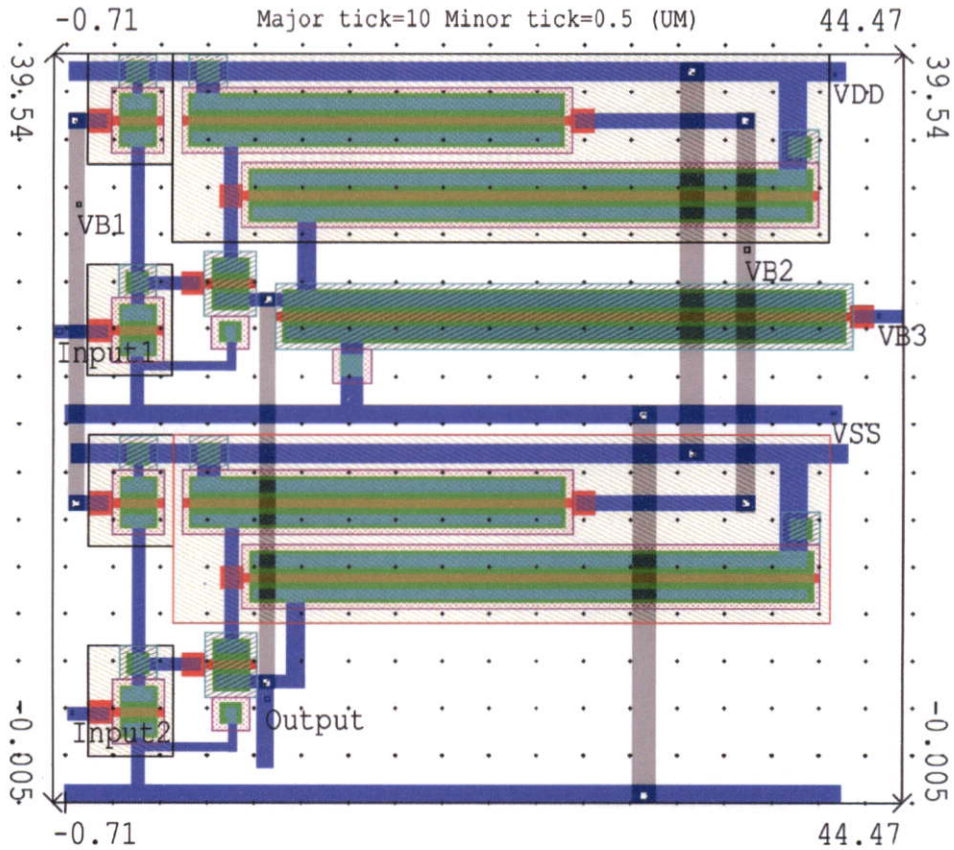


(ข)

รูปที่ 4.13 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท สำหรับกรณีอินพุท V_{in1} ขนาด $0.6V_{P-P}$ ความถี่ 1MHz และ V_{in2}=0 (ก) อินพุท (ข) เอาท์พุท



รูปที่ 4.14 เอาท์พุทแบบครึ่งคลื่นของวงจรที่นำเสนอที่อุณหภูมิแตกต่างกัน



รูปที่ 4.15 เซลล์ Layout ของวงจรตรวจจับค่าสูงสุด (Maximum Circuit)

4.5 สรุป

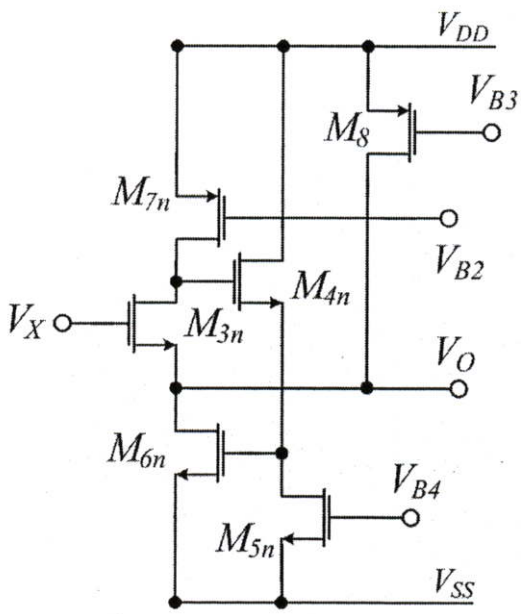
วงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอในบทนี้เป็นวงจรที่มีคุณสมบัติคือมีประสิทธิภาพดี มีโครงสร้างวงจรที่ง่าย วงจรที่นำเสนอสามารถมีอินพุทได้ n อินพุทโดยวงจรประกอบขึ้นจากวงจรเลื่อนระดับแรงดันและวงจรป้อนกลับกระแสซึ่งทำให้วงจรสามารถปรับค่าแรงดันออฟเซ็ตได้โดยง่าย ผลการเลียนแบบการทำงานของวงจรแสดงว่าวงจรที่นำเสนอมีแบนด์วิดท์กว้าง มีความเที่ยงตรง ทำงานที่แรงดันต่ำและมีเสถียรภาพทางอุณหภูมิที่ดี

บทที่ 5
วงจรตรวจจับค่าแรงดันต่ำสุด

5.1. บทนำ

บทที่ 4 ที่ผ่านมาได้นำเสนอวงจรตรวจจับค่าแรงดันสูงสุดแบบหลายเอาท์พุท โดยใช้หลักการที่เหมือนกับที่กล่าวไว้ในบทที่ 4 วงจรตรวจจับค่าแรงดันต่ำสุดจึงสามารถนำเสนอในบทที่ 5 วงจรที่นำเสนอสร้างจากวงจรแบบ Winner Take All ดังนั้นจึงสามารถมีอินพุทได้ n อินพุทโดยไม่เกิดการหน่วงสัญญาณเช่นเดียวกับวงจรตรวจจับค่าแรงดันสูงสุด วงจรสร้างขึ้นจากวงจรเลื่อนระดับแรงดันและใช้การป้อนกลับกระแสทำให้เอาท์พุทอิมพีแดนซ์ของวงจรมีค่าต่ำ วงจรเลื่อนระดับแรงดันที่ป้อนกลับกระแสเพื่อช่วยทำให้เอาท์พุทอิมพีแดนซ์ต่ำนี้จะเรียกว่า วงจรกันชนป้อนกลับกระแส วงจรที่นำเสนอมีคุณสมบัติ มีความแม่นยำ โครงสร้างไม่ซับซ้อน และใช้แหล่งจ่ายแรงดันต่ำ

5.2. หลักการและวงจรที่นำเสนอ



รูปที่ 5.1 วงจรกันชนป้อนกลับกระแส

รูปที่ 5.1 แสดงวงจรกันชนป้อนกลับกระแสที่จะใช้เป็นวงจรพื้นฐานเพื่อสร้างวงจรตรวจจับค่าแรงดันต่ำสุด วงจรประกอบด้วยมอสทรานซิสเตอร์ M_7 M_8 M_5 ที่ทำหน้าที่เสมือนแหล่งจ่ายกระแสคงที่ I_7 I_8 I_5 เนื่องจากถูกไบอัสด้วยแรงดัน V_{B2} , V_{B3} และ V_{B4} ตามลำดับและทรานซิสเตอร์

M_3 M_4 M_6 ทรานซิสเตอร์ M_4 M_6 และ I_5 ทำงานเป็นวงจรเลื่อนระดับแรงดันเพื่อกลับสถานะทางส่วนเอาท์พุท จากวงจรในรูปที่ 5.1 แรงดัน V_X ถูกป้อนเข้าที่ขาเกทของทรานซิสเตอร์ M_3 และเอาท์พุทออกที่ขาซอร์สของตัวมัน ถ้าสมมติว่ามอสทรานซิสเตอร์ M_3 ทำงานในย่านอิ่มตัว สมการกระแสเดรนของมอสทรานซิสเตอร์ M_3 สามารถกำหนดได้คือ

$$I_{D3} = K_P(V_{GS3} - V_{T3})^2 \tag{5.1}$$

โดยที่ $K_P=0.5\mu_P C_{OX}(W/L)$ V_{TH2} คือค่าแรงดันแทรชโฮลด์ และ μ_P คือค่าสภาพคล่องตัวของพาหะที่ผิวบริเวณแชนแนลของมอสทรานซิสเตอร์ M_3 จากวงจรในรูปที่ 5.1 ค่า $V_{GS3}=V_X-V_O$ ดังนั้นจากสมการที่ (5.1) แรงดันเอาท์พุทสามารถกำหนดได้คือ

$$V_o = V_X - \sqrt{\frac{I_{D3}}{K_3}} - V_{T3} \tag{5.2}$$

เนื่องจากทรานซิสเตอร์ M_7 ทำหน้าที่เป็นแหล่งจ่ายกระแสคงที่ ที่ป้อนให้ขาเดรนของทรานซิสเตอร์ M_3 ดังนั้นสมการแรงดันเอาท์พุทสามารถเขียนใหม่ได้ดังนี้

$$V_O = V_X - \sqrt{\frac{k_{P7}}{k_{N3}}}(V_{DD} - V_{B2} - |V_{T7}|) - V_{T3} \tag{5.3}$$

จากสมการที่ (5.2) จะเห็นได้ว่าค่าแรงดันเอาท์พุทของวงจรในรูปที่ 5.1 มีค่าพจน์ที่เป็นแรงดัน DC ประกอบอยู่ซึ่งเป็นผลให้แรงดันเอาท์พุทไม่เท่ากับอินพุท ซึ่งค่าแรงดัน DC นี้สามารถหักล้างทิ้งไปด้วยวงจรเลื่อนระดับแรงดันที่แสดงดังรูปที่ 5.2 จากวงจรในรูปที่ 5.2 M_1 เป็นมอสทรานซิสเตอร์ชนิด P ซึ่งสมการกำหนดได้คือ

$$I_{D1} = K_1(V_{GS1} - |V_{T1}|)^2 \tag{5.4}$$

เมื่อ $V_{GS1}=V_X-V_{in}$ และสามารถเขียนสมการแรงดันเอาท์พุทได้คือ

$$V_X = V_{in} - V_{B1} + V_{DD} \tag{5.5}$$

วงจรในรูปที่ 5.2 คือวงจรเลื่อนระดับแรงดันที่นำมาชดเชยแรงดันออฟเซ็ตวงจรในรูปที่ 5.1 ดังนั้น เมื่อนำวงจรในรูปที่ 5.1 มาต่อที่เอาท์พุทของวงจรในรูปที่ 5.2 จะได้วงจรดังรูปที่ 5.3 สมการแรงดันเอาท์พุทเขียนได้คือ

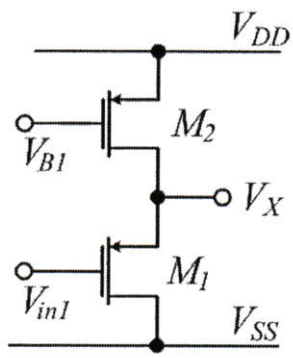
$$V_O = V_{in} - V_{B1} + V_{DD} - \sqrt{\frac{k_{P7}}{k_{N3}}}(V_{DD} - V_{B2} - |V_{T7}|) - V_{T3} \tag{5.5}$$

และถ้ากำหนดให้ V_{B1} มีค่าเท่ากับ

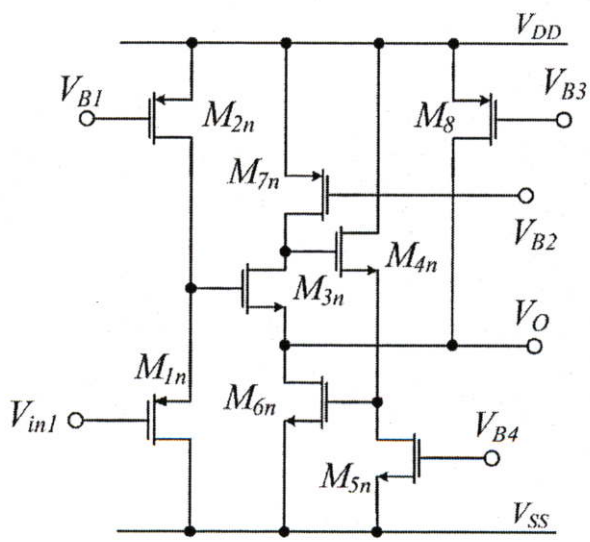
$$V_{B1} = V_{DD} - \sqrt{\frac{k_{P7}}{k_{N3}}}(V_{DD} - V_{B2} - |V_{T5}|) - V_{T3} \tag{5.6}$$

สมการที่ (5.5) จะมีค่าเท่ากับ

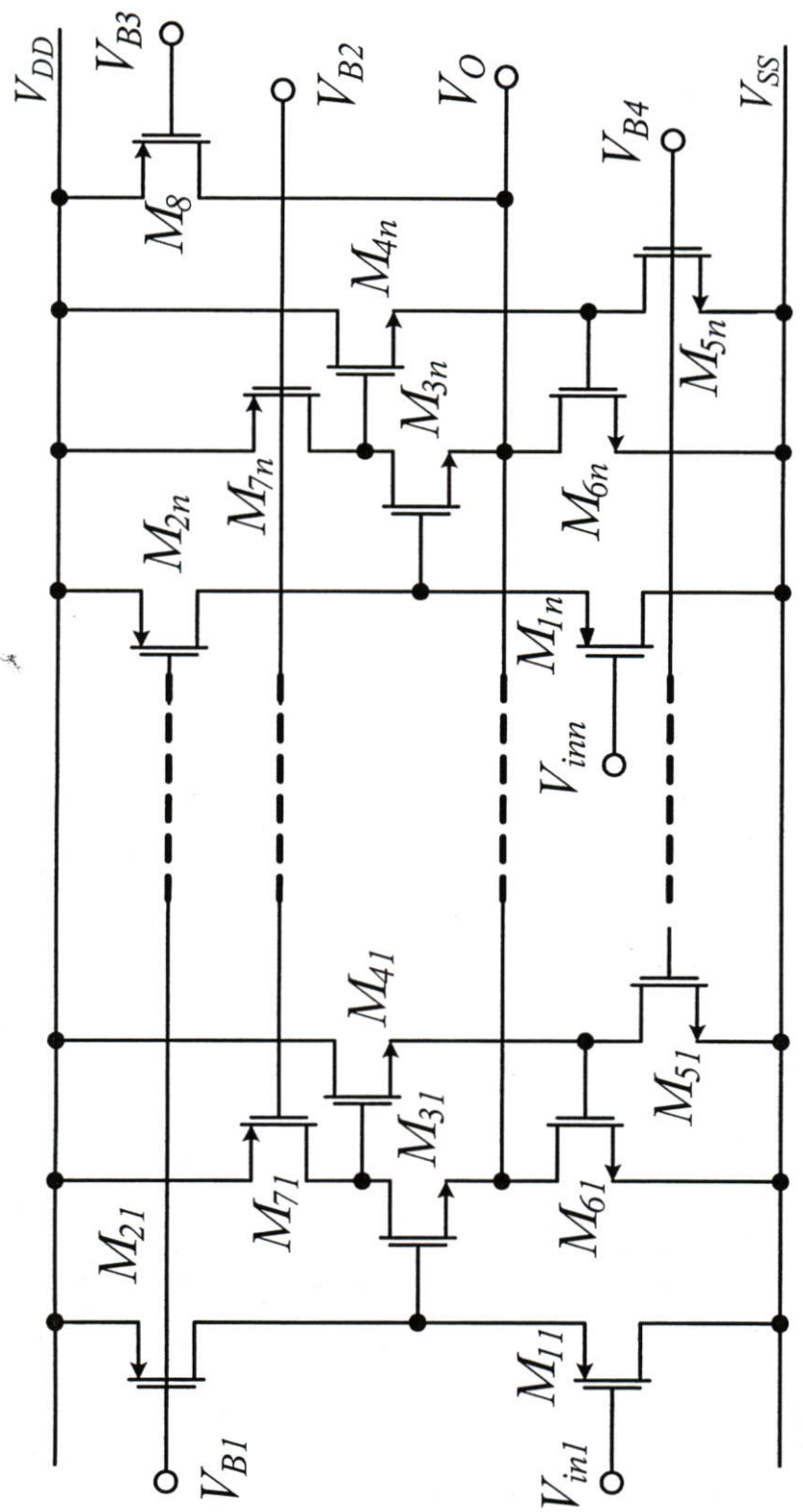
$$V_o = V_{in} \tag{5.7}$$



รูปที่ 5.2 วงจรเลื่อนระดับแรงดัน



รูปที่ 5.3 วงจรกันชนป้อนกลับกระแสสำหรับวงจรตรวจจับค่าแรงดันต่ำสุด



รูปที่ 5.4 วงจรตรวจจับค่าแรงดันต่ำสุดที่สมบูรณ์ที่นำเสนอ

จากสมการที่ (5.7) สามารถแสดงได้ว่าวงจรในรูปที่ 5.3 คือวงจรกันชนที่ใช้การป้อนกลับกระแสเพื่อให้เอาท์พุทอิมพีแดนซ์มีค่าต่ำ วงจรกันชนป้อนกลับกระแสใช้วงจรเลื่อนระดับแรงมาทำการหักล้างค่าคงที่เช่น ค่าทรานส์คอนดักแตนซ์ ค่าแรงดันเทรสโฮลด์ ของมอสทรานซิสเตอร์ ดังนั้นจากสมการที่ (5.6) จึงสามารถแสดงได้ว่า $V_O=V_{in}$ เมื่อใช้วงจรกันชนป้อนกลับกระแสที่แสดงในรูปที่ 5.3 วงจรตรวจจับค่าแรงดันต่ำสุดที่นำเสนอสามารถแสดงได้ดังรูปที่ 5.4 วงจรที่นำเสนอสามารถมีอินพุทได้ n อินพุทโดยใช้วงจรในรูปที่ 5.3 มาต่อในลักษณะขนานกัน ถ้าอินพุทใดมีค่าน้อยที่สุดทรานซิสเตอร์ M_{6i} ของอินพุทชุดนั้นจะนำกระแส ทำให้แรงดันที่เอาท์พุท V_O มีค่าเท่ากับอินพุทที่น้อยที่สุด กระแส I_{out} จะมีค่าเท่ากับกระแสที่ไหลผ่าน M_{6i} ของชุดที่นำกระแสจากวงจรที่นำเสนอในรูปที่ 5.4 สามารถเขียนเป็นสมการได้คือ

$$V_{out} = \mathrm{Min}(V_{in1}, V_{in2}, ..., V_{inN}) \tag{5.8}$$

จากสมการที่ (5.8) จะสามารถสรุปได้ว่าวงจรที่นำเสนอในรูปที่ 5.4 คือวงจรตรวจจับค่าต่ำสุดที่มี n อินพุท

5.3 ผลการเฉียนแบบการทำงาน

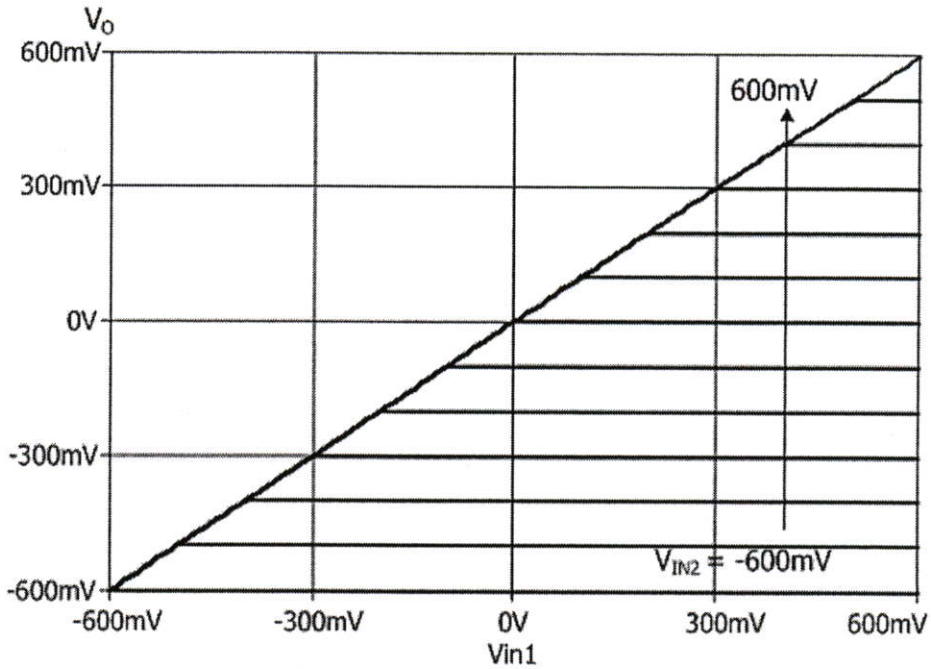
เพื่อตรวจสอบการทำงานและประสิทธิภาพของวงจรตรวจจับค่าแรงดันต่ำสุดที่นำเสนอในรูปที่ 5.4 จะถูกนำมาจำลองการทำงานด้วยโปรแกรม PSpice โดยใช้พารามิเตอร์ขนาด 0.25μm ของ MOSIS กำหนดแหล่งจ่ายแรงดัน $V_{DD}=-V_{SS}=1.5V$ แหล่งจ่ายแรงดันคงที่ V_{B1}, V_{B2}, V_{B3} และ V_{B4} เท่ากับ 1.0882, 1 , 0.862 และ 0.95 โวลท์ เนื่องจากวงจรในรูปที่ 5.4 ใช้วงจรในรูปที่ 5.3 มาต่อแบบขนานกัน ค่า W/L ของมอสทรานซิสเตอร์ของอินพุทชุดที่ 1 จะเหมือนกับชุดที่ 2 หรือชุดต่อๆ ไป ดังนั้นค่า W/L ของมอสทรานซิสเตอร์ชุดที่ 1 จะเหมือนกับชุดที่ 2 หรือชุดต่อๆ ไปด้วย ซึ่งค่า W/L ของมอสทรานซิสเตอร์ชุดที่ 1 ในวงจรที่ 5.4 กำหนดได้ดังตารางที่ 5.1

ตารางที่ 5.1 ค่า W/L ของมอสทรานซิสเตอร์ของวงจรตรวจจับค่าแรงดันต่ำสุด

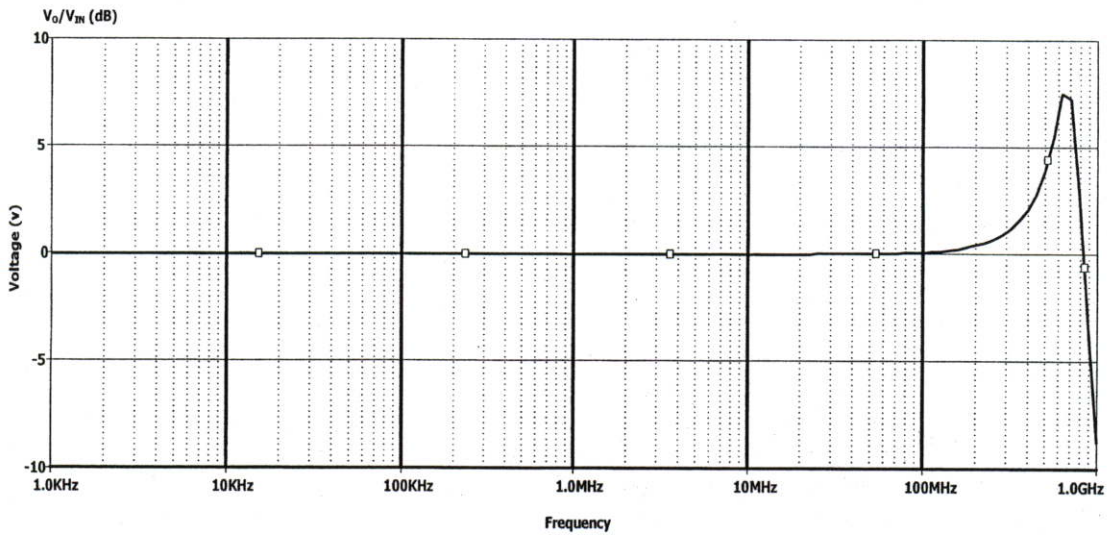
มอสทรานซิสเตอร์	ขนาด W/L(μm/μm)
$M_{1i}, M_{2i}, M_{3i}, M_{4i}, M_{5i}$	2/0.5
M_{7i}	4/0.5
M_{6i}, M_8	30/0.5

รูปที่ 5.5 แสดงคุณสมบัติทาง DC ของวงจรตรวจจับค่าสูงสุดแบบ 2 อินพุท จากผลการจำลองในรูปที่ 5.5 วงจรที่นำเสนอมีย่านอินพุทปฏิบัติงานกว้างประมาณ ±600 mV รูปที่ 5.6 แสดงการตอบสนองทางความถี่ของวงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอ จากผลการจำลองแบนด์วิดท์ของวงจรมีค่า 815 MHz รูปที่ 5.7 แสดงผลการเลียนแบบการทำงานของวงจรเมื่อป้อนสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 1 MHz เข้าที่อินพุท V_{in1} และสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 5 MHz เข้าที่อินพุท V_{in2} รูปคลื่นทั้งสองมีขนาด 0.6 V_{P-P} รูปที่ 5.8 แสดงผล Post-layout ของวงจรตรวจจับค่าต่ำสุด ด้วยโปรแกรม T-SPICE เมื่อป้อนสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 5 MHz เข้าที่อินพุท V_{in1} และสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 1 MHz เข้าที่อินพุท V_{in2} รูปคลื่นทั้งสองมีขนาด ±0.6 V_{P-P} กำหนดค่าแหล่งจ่ายแรงดันคงที่ V_{B1}, V_{B2}, V_{B3}, และ V_{B4} เท่ากับ 0.65, 0.8,1 และ 1.1 โวลท์ ซึ่งผลการจำลองพบว่าขนาดของสัญญาณเอาท์พุทมีค่าลดลงไปประมาณ 16.66 % หรือเท่ากับ ±0.5 V_{P-P} รูปที่ 5.9 แสดงผลการเลียนแบบการทำงานของวงจรเมื่อป้อนสัญญาณรูปคลื่นซายน์ความถี่ 1MHz เข้าที่อินพุท V_{in1} และสัญญาณรูปคลื่นสาม เหลี่ยมความถี่ 250kHz เข้าที่อินพุท V_{in2} รูปคลื่นทั้งสองมีขนาด 1V_{P-P} จากผลการจำลองการทำงานแสดงได้ว่าวงจรสามารถทำงานได้อย่างถูกต้อง

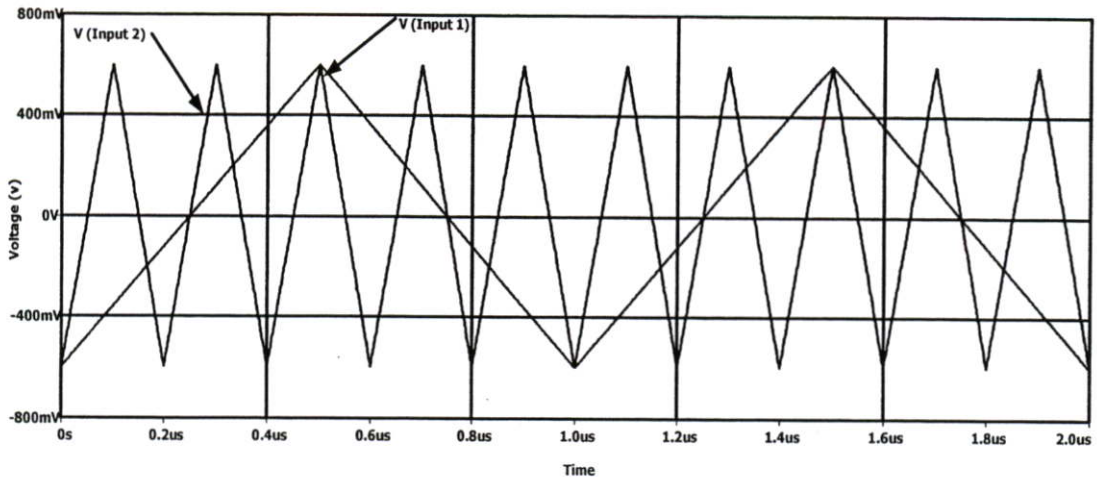
รูปที่ 5.10 แสดงผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท โดยทั้งสองอินพุทป้อนสัญญาณรูปคลื่นซายน์ความถี่ 1MHz ขนาด 1V_{P-P} สัญญาณทั้งสองมีเฟสต่างกัน 90 องศาดังแสดงในรูปที่ 5.10(ก) เอาท์พุทแสดงได้ดังรูปที่ 5.10(ข) จากเอาท์พุทจะเห็นว่าวงจรสามารถตรวจจับค่าสูงสุดของรูปคลื่นได้อย่างถูกต้อง รูปที่ 5.11 แสดงผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท สำหรับกรณีอินพุท V_{in1} คือสัญญาณรูปคลื่นซายน์ความถี่ 1MHz ขนาด 1V_{P-P} ความถี่ 1MHz และ V_{in2}มีค่า 0 โวลท์ รูปคลื่นทางเอาท์พุทของการทำงานกรณีดังกล่าวสามารถแสดงได้ดังรูปที่ 5.11(ข) จากกรณีนี้ทำให้ทราบว่าสามารถกำหนดจุดตัดของรูปคลื่นได้ตามความต้องการได้อีกด้วย ซึ่งสามารถทำได้โดยการกำหนดค่าแรงดันไฟฟ้ากระแสตรง ได้ตามต้องการที่ V_{in2} ทำให้วงจรสามารถนำมาประยุกต์ใช้งานในวงจรแปลงสัญญาณดิจิตอลไปเป็นอนาลอก สำหรับค่าความเพี้ยนทางฮาร์โมนิค (Total Harmonic Distortion:THD) ของวงจรตรวจจับค่าสูงสุดและวงจรตรวจจับค่าต่ำสุดจะแสดงดังรูปที่ 5.12 เมื่อพิจารณาจากกราฟพบว่าค่าความเพี้ยนทางฮาร์โมนิคจะมีค่าต่ำกว่า 1% เมื่ออินพุทมีค่าต่ำกว่า 1.5V_{P-P} รูปที่ 5.13 แสดงเซลล์ Layout ของวงจรตรวจจับค่าสูงสุดที่ออกแบบด้วยโปรแกรม L-EDIT โดยใช้พารามิเตอร์ซีมอสขนาด 0.25 μm ของ TSMC MOSIS Level 49



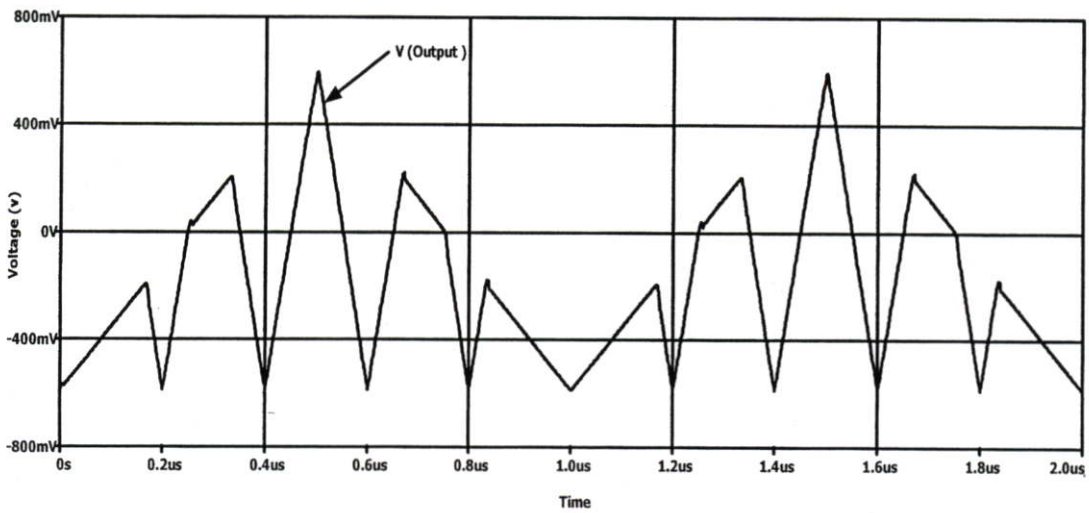
รูปที่ 5.5 คุณสมบัติทาง DC ของวงจรตรวจจับค่าต่ำสุด



รูปที่ 5.6 การตอบสนองความถี่ของวงจรตรวจจับค่าต่ำสุด

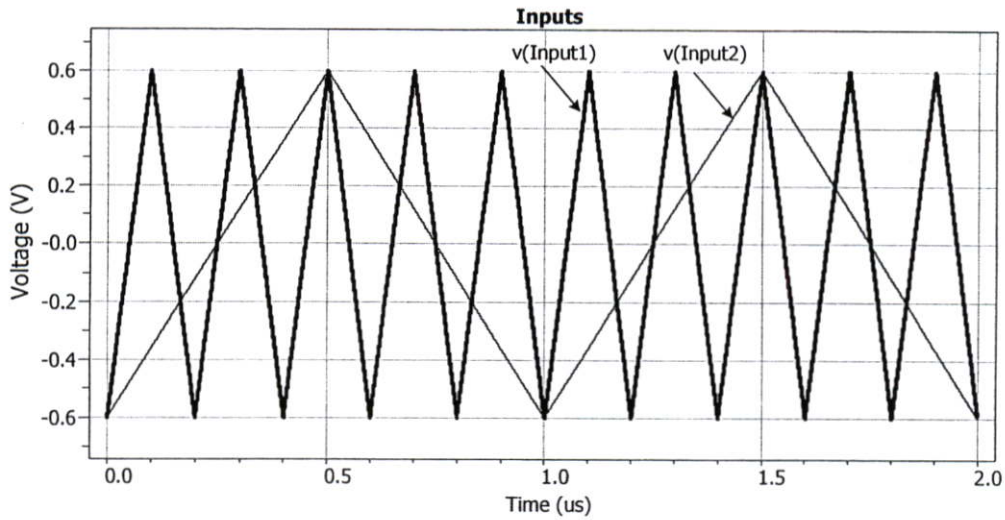


(ก)

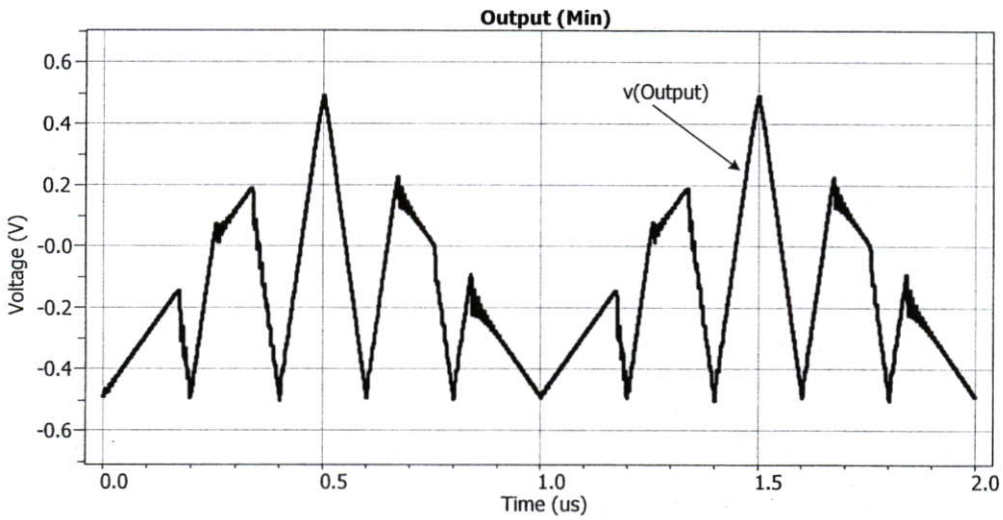


(ข)

รูปที่ 5.7 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท (ก) อินพุท V_{IN1} และ V_{IN2} ขนาด $0.6V_{P-P}$ ความถี่ 5MHz และ 1MHz ตามลำดับ (ข) เอาท์พุท

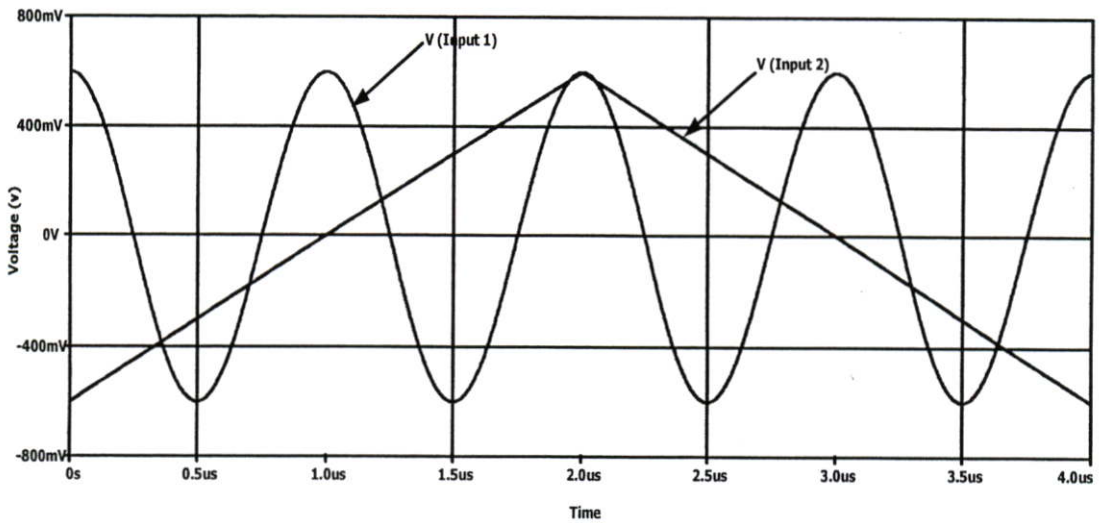


(ก)

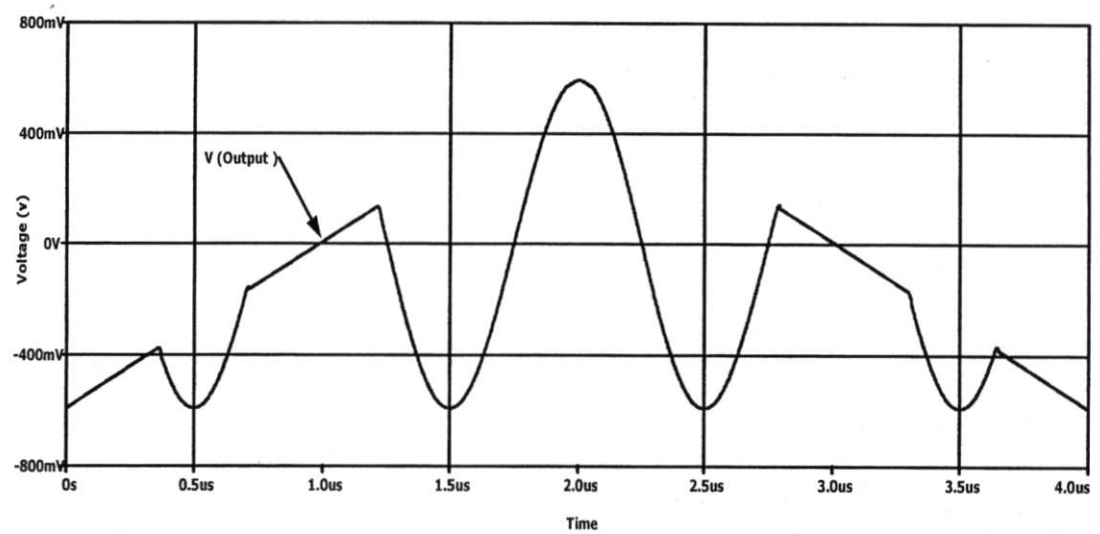


(ข)

รูปที่ 5.8 ผลการจำลองการทำงาน Post-layout ของวงจรตรวจจับค่าแรงดันสูงสุด 2 อินพุท (ก) อินพุท V_{IN1} และ V_{IN2} ขนาด $0.6V_{P-P}$ ความถี่ 5MHz และ 1MHz ตามลำดับ (ข) เอาท์พุท

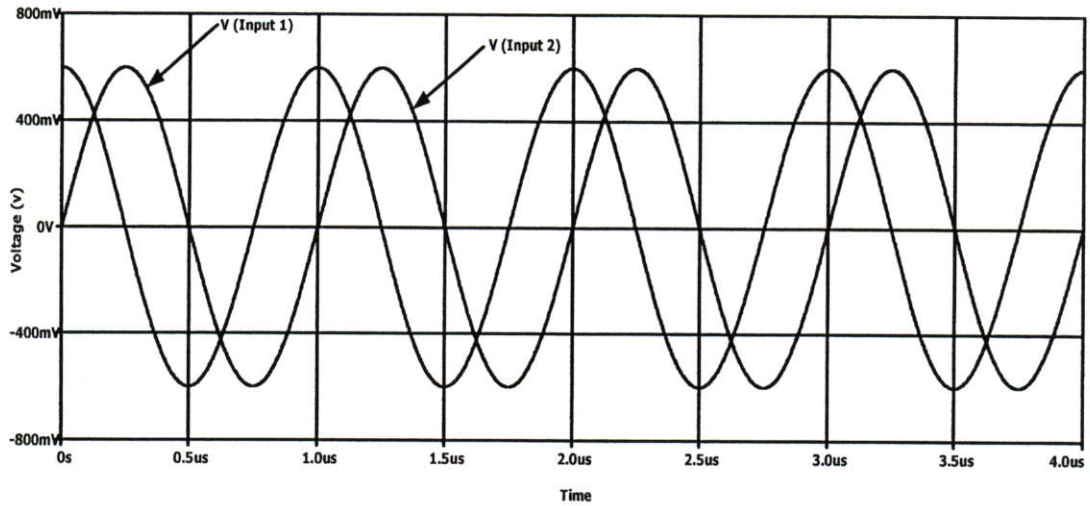


(ก)

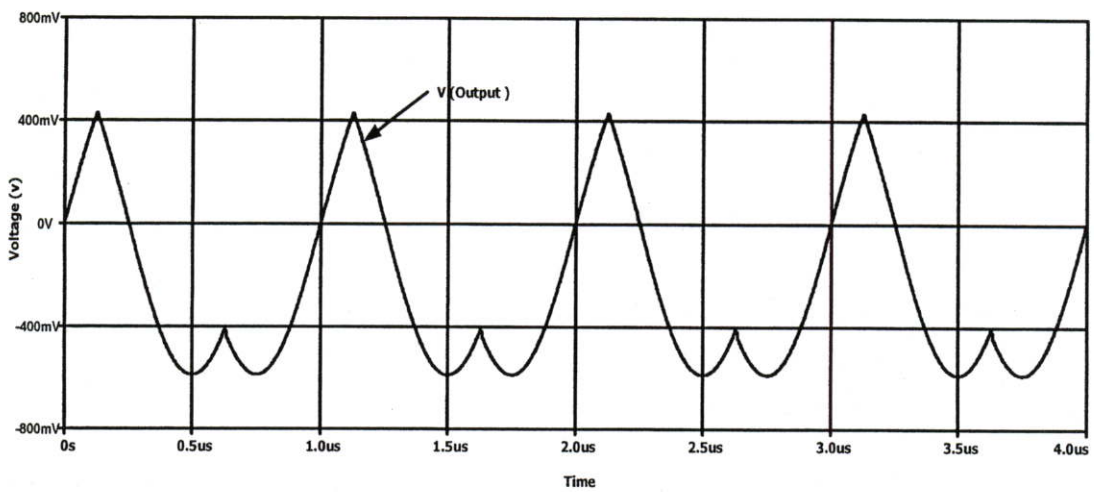


(ข)

รูปที่ 5.9 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันต่ำสุด 2 อินพุท (ก) อินพุท V_{in1} และ V_{in2} ขนาด $0.6V_{P-P}$ ความถี่ 1MHz และ 250kHz ตามลำดับ (ข) เอาท์พุท

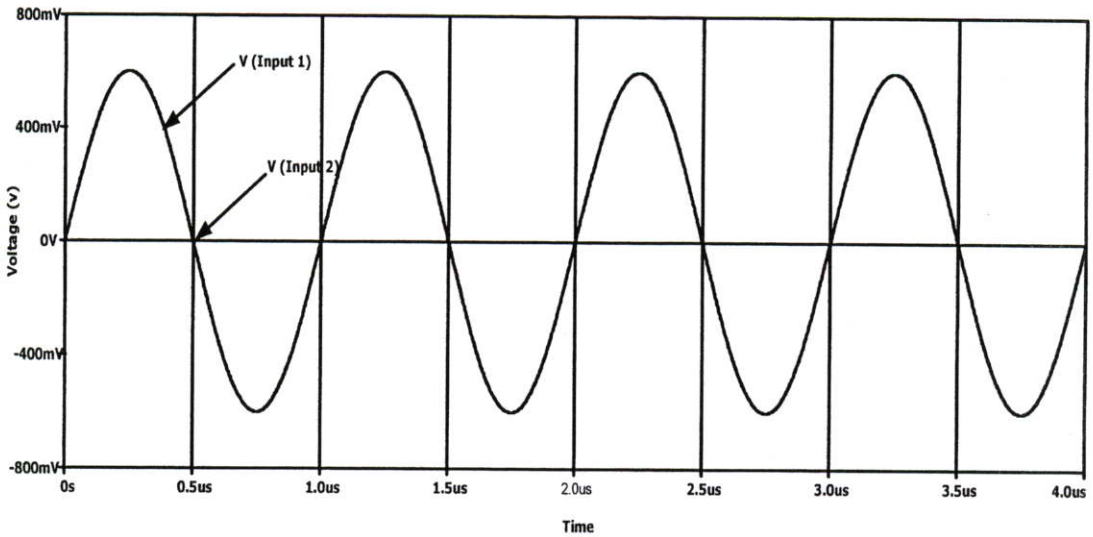


(ก)

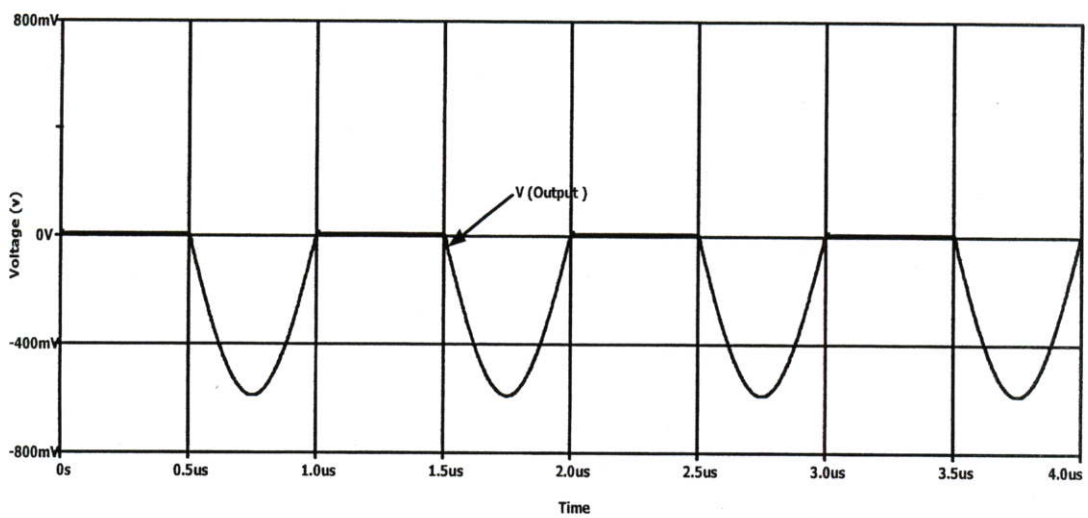


(ข)

รูปที่ 5.10 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันต่ำสุด 2 อินพุทที่มีเฟสต่างกัน 90 องศา (ก) อินพุท V_{in1} และ V_{in2} ขนาด $0.6V_{P-P}$ ความถี่ 1MHz (ข) เอาท์พุท

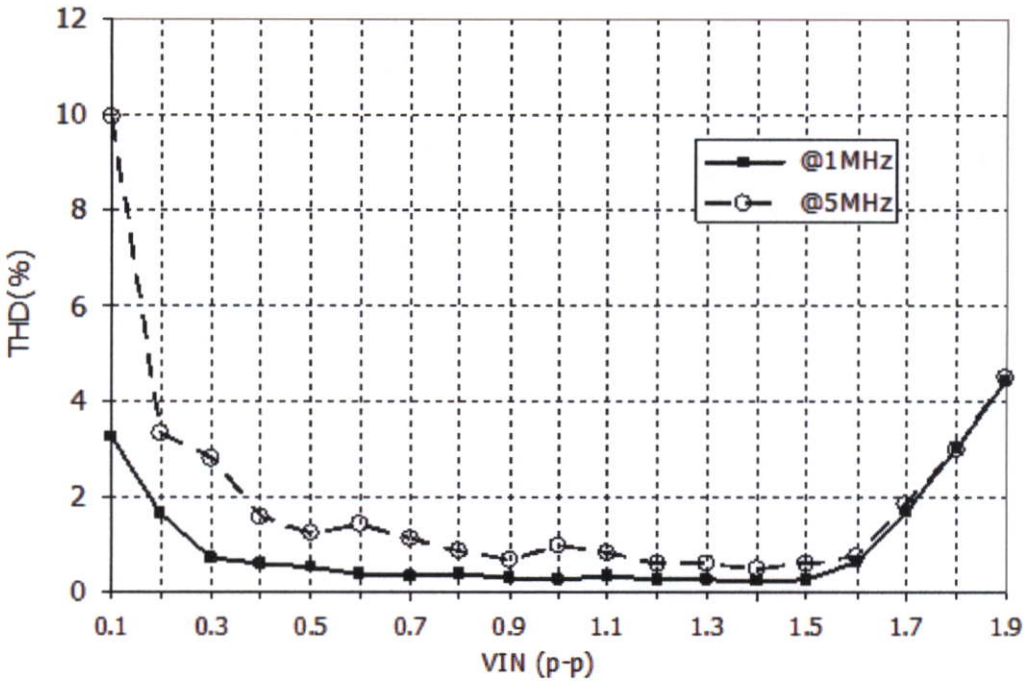


(ก)

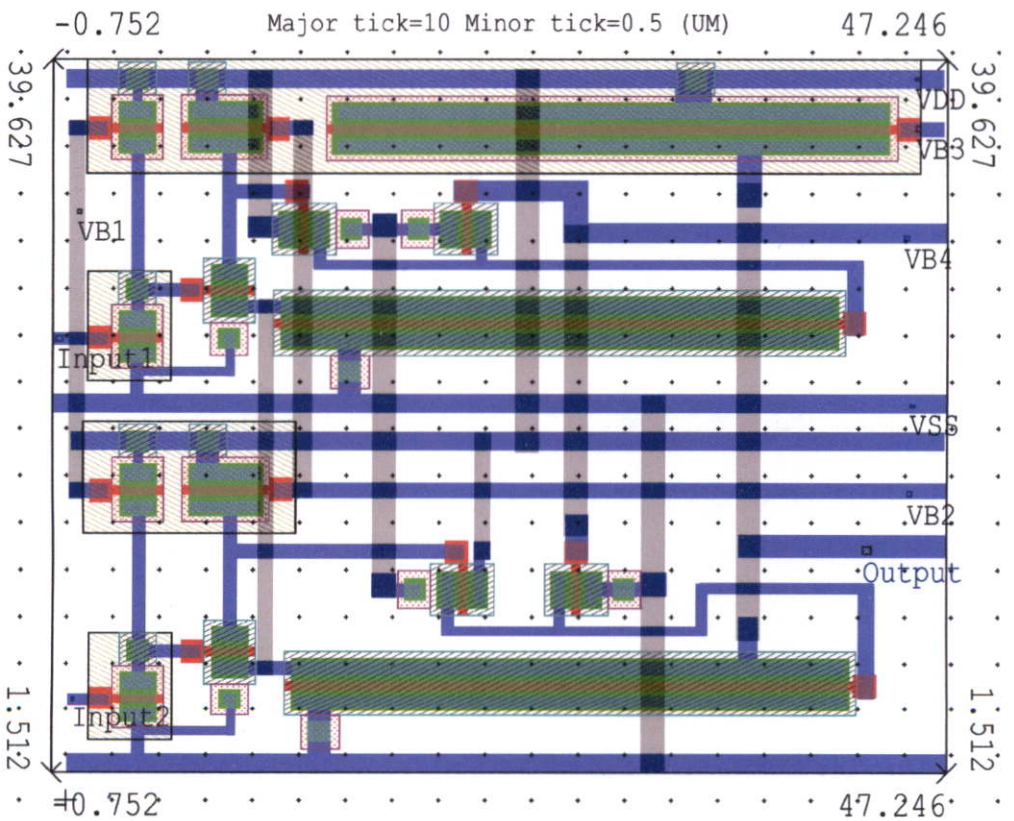


(ข)

รูปที่ 5.11 ผลการจำลองการทำงานของวงจรตรวจจับค่าแรงดันต่ำสุด 2 อินพุท สำหรับกรณีอินพุท V_{in1} ขนาด $0.6V_{P-P}$ ความถี่ 1MHz และ V_{in2}=0 (ก) อินพุท (ข) เอาท์พุท



รูปที่ 5.12 ค่าความเพี้ยนทางฮาร์โมนิค (Total Harmonic Distortion) ของวงจรตรวจจับค่าสูงสุดและวงจรตรวจจับค่าต่ำสุด



รูปที่ 5.13 เซลล์ Layout ของวงจรตรวจจับค่าต่ำสุด (Minimum Circuit)

ตารางที่ 5.2 คุณสมบัติของวงจรตรวจจับค่าสูงสุดและต่ำสุดที่นำเสนอ

	Devices (min)	**Devices (max)**	**inputs**	**Delay time**	**Power supplies**	**Zero-offset adjustment**
[1]	1 CCIIs, 2 MOS and 1 Diode	1 CCII, 2 MOS and 1 Diode	2	37ns	±5V	No
[3]	3 OTAs, and 1 Diode	3 OTAs, and 2 Diodes	2	20ns	±5V	No
[4]	-	>31 MOS	2	200ns	+5V	No
[5]	>15 MOS	13 MOS	>2	20ns	±5V	No
Proposed	15MOS	11 MOS	>2	5ns	±1.5V	Yes

ตารางที่ 5.2 แสดงการเปรียบเทียบคุณสมบัติระหว่างวงจรที่ได้เคยนำเสนอไว้กับวงจรที่ได้นำเสนอ พบว่าวงจรในโหมดแรงดันแบบ 2 อินพุทที่ได้ออกแบบโดยอุปกรณ์จำพวกแอคทีฟและใช้หลักการของผู้ชนะ (Winner Take All) วงจรเกิดการหน่วงเวลามาก ส่วนในกรณีแบบหลายอินพุทที่ออกแบบด้วยทรานซิสเตอร์ทั้งหมดพบว่าจะต้องใช้ทรานซิสเตอร์จำนวนไม่น้อยกว่า 13 ตัว ใช้แหล่งจ่ายแรงดันสูงและไม่สามารถปรับแรงดันออฟเซ็ตได้

5.5. สรุป

วงจรตรวจจับค่าแรงดันต่ำสุดที่นำเสนอในบทนี้เป็นวงจรที่มีประสิทธิภาพดีคือ มีความเที่ยงตรง มีโครงสร้างวงจรที่ง่ายและสามารถมีอินพุทได้ n อินพุท วงจรประกอบขึ้นจากวงจรเลื่อนระดับแรงดันและวงจรป้อนกลับกระแสซึ่งทำให้สามารถปรับค่าแรงดันออฟเซ็ตได้ด้วยแหล่งจ่ายกระแส ผลการจำลองการทำงานของวงจรสามารถแสดงได้ว่าวงจรที่นำเสนอมีแบนด์วิดท์กว้าง มีความเร็วสูง และมีความเที่ยงตรง

บทที่ 6
การประยุกต์ใช้งาน

6.1 บทนำ

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกโดยใช้วงจรตรวจจับค่าแรงดันต่ำสุดที่ได้นำเสนอในบทที่ 6 นี้ วงจรตรวจจับค่าแรงดันต่ำสุดจะถูกนำมาทำหน้าที่เป็นวงจรตัดยอดแรงดัน โดยวงจรตัดยอดแรงดันจะสร้างขึ้นจากวงจรตรวจจับค่าแรงดันต่ำสุดและวงจรความต้านทานอิเล็กทรอนิกส์ ทำให้เหมาะกับการแปลงสัญญาณดิจิตอลเป็นอนาลอกที่มีจำนวนบิตมาก การเพิ่มจำนวนบิตสามารถทำได้ง่ายและมีความเที่ยงตรง ต่อจากนั้นได้นำวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดมาประยุกต์ใช้งานเป็นวงจรเรียงกระแสแบบเต็มคลื่น ซึ่งวงจรสามารถสร้างขึ้นจากวงจรเรียงกระแสแบบครึ่งคลื่นด้านบวกและวงจรเรียงกระแสแบบครึ่งคลื่นด้านลบ ซึ่งเมื่อนำเอาท์พุทของทั้ง 2 วงจรมารวมกันทางกระแสแล้วจะได้วงจรเรียงกระแสแบบเต็มคลื่นที่สมบูรณ์ วงจรเรียงกระแสที่นำเสนอนี้เหมาะกับการนำไปสร้างเป็นวงจรรวม เนื่องจากสร้างด้วยมอสทรานซิสเตอร์ทั้งหมด คุณสมบัติวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและวงจรเรียงกระแสจะถูกตรวจสอบโดยใช้โปรแกรม PSpice ผลการจำลองแสดงว่าวงจรที่นำเสนอสามารถทำงานได้เป็นที่น่าพอใจ

6.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

วงจรตัดยอดแรงดัน (Clipping circuit) คือวงจรที่สามารถนำมาประยุกต์ใช้งานในวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก โดยทั่วไปวงจรตัดยอดแรงดันมักจะถูกสร้างโดยใช้ออปแอมป์ทำงานร่วมกับซีเนอร์ไดโอด [19] ทำงานในโหมดแรงดัน กำหนดการเปลี่ยนจุดตัดสามารถทำได้ด้วยค่าแรงดันซีเนอร์ไดโอด ทำให้การจะเปลี่ยนจุดตัดของวงจรจะต้องเปลี่ยนตัวซีเนอร์ไดโอดซึ่งทำให้ยุ่งยาก นอกจากนี้วงจรตัดยอดแรงดันที่ใช้ออปแอมป์เป็นพื้นฐานไม่เหมาะกับการนำไปสร้างเป็นวงจรรวมและวงจรทำงานได้ที่ความถี่ไม่สูงเนื่องจากค่า GBW ที่มีอยู่ในตัวออปแอมป์จะจำกัดการทำงานของวงจร เนื้อหาในส่วนนี้จะกล่าวถึงการนำวงจรตรวจจับค่าแรงดันต่ำสุดมาทำหน้าที่เป็นวงจรตัดยอดแรงดัน (Clipping circuit) วงจรที่จะนำเสนอมีข้อดีหลายประการคือ เหมาะกับการนำไปสร้างเป็นวงจรรวม เนื่องจากใช้แหล่งจ่ายแรงดันต่ำ สามารถเปลี่ยนจุดตัดได้ง่าย วงจรตัดยอดแรงดันที่สร้างจากวงจรตรวจจับค่าแรงดันต่ำสุดจะถูกนำมาสร้างเป็นวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกซึ่งประโยชน์ของการใช้วงจรตัดยอดแรงดันดังกล่าวคือสามารถเพิ่มจำนวนบิตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก ได้ง่ายด้วยการเพิ่มวงจรตัดยอดแรงดันเข้าไปและทำการเพิ่มการถ่วงน้ำหนักด้วยแรงดัน

6.2.1 วงจรตัดยอดแรงดันออกแบบโดยใช้วงจรตรวจจับค่าแรงดันต่ำสุด

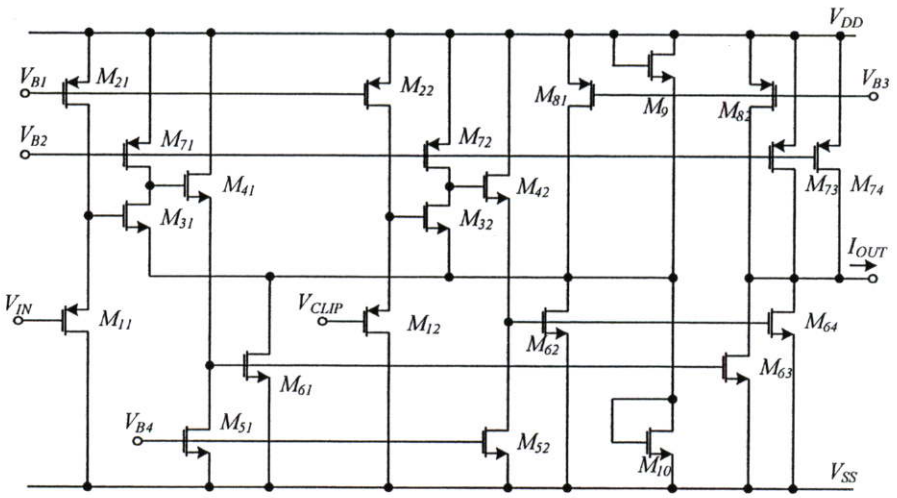
วงจรตัดยอดแรงดันหนึ่งวงจรจะใช้วงจรตรวจจับค่าแรงดันต่ำสุดที่มี 2 อินพุทและวงจรส่งผ่านความต้านทานอิเล็กทรอนิกส์ วงจรตัดยอดแรงดันแสดงได้ดังรูปที่ 6.1(ก) ทรานซิสเตอร์ M_9 และ M_{10} จะทำหน้าที่เสมือนเป็นความต้านทานอิเล็กทรอนิกส์เพื่อแปลงแรงดันให้เป็นกระแส จากนั้น M_{63} M_{64} M_{73} M_{74} และ M_{82} ซึ่งทำหน้าที่เป็นวงจรสะท้อนกระแสที่ได้จากวงจรตัดยอดแรงดันและความต้านทานอิเล็กทรอนิกส์ เพื่อรวมสัญญาณกระแสออกทางเอาท์พุทของวงจร กระแสเอาท์พุทของวงจรตัดยอดแรงดันจะขึ้นอยู่กับ แรงดันอินพุท (V_{in}) แรงดันตัดยอด (V_{CLIP}) และความต้านทานอิเล็กทรอนิกส์ ซึ่งสมการกระแสเอาท์พุทสามารถเขียนได้สมการที่ (6.1)

$$I_{OUT} = \frac{V_{\min}}{R_{eq}}\Big|_{V_{IN},V_{CLIP}} \qquad (6.1)$$

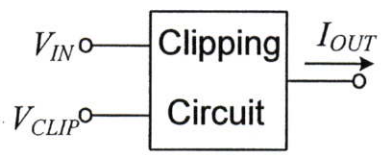
การนำวงจรตรวจจับค่าแรงดันต่ำสุดมาสร้างเป็นวงจรตัดยอดแรงดันสามารถสรุปการทำงานได้ดังนี้ อินพุท V_{in1} จะกำหนดให้เป็นอินพุทของสัญญาณดิจิตอล (V_{in})ส่วนอินพุท V_{in2} จะกำหนดให้เป็นแรงดันตัดยอด (V_{CLIP}) แรงดันตัดยอดคือแรงดันคงที่ ที่ใช้เป็นตัวกำหนดจุดตัดที่ตำแหน่งต่างๆ ของสัญญาณแอมปลิจูด V_{in} ด้วยคุณสมบัติของวงจรตรวจจับค่าแรงดันต่ำสุด ขนาดแอมปลิจูดที่อยู่สูงกว่าค่าแรงดัน V_{CLIP} จะถูกคลิปทิ้งไป ด้วยเหตุนี้จึงเรียกว่าวงจรตัดยอดแรงดันสามารถนำมาประยุกต์ใช้ในวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก จากวงจรตัดยอดแรงดันในรูปที่ 6.1 (ก) เมื่อนำมาทำหน้าที่เป็นวงจรตัดยอดแรงดัน สามารถแสดงเป็นบล็อกสัญลักษณ์ได้ดังรูปที่ 6.1(ข) การกำหนดแรงดันอินพุท V_{in} และ V_{CLIP} สามารถสลับกันได้โดยไม่มีผลใดๆกับคุณสมบัติการตัดยอดแรงดันของวงจร

6.2.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกด้วยวงจรตัดยอดแรงดัน

ในปัจจุบันการประมวลผลสัญญาณแบบดิจิตอลมีการใช้งานอย่างกว้างขวาง แต่เนื่องจากแหล่งกำเนิดสัญญาณโดยปกติมักจะเป็นสัญญาณอนาลอก ดังนั้นระบบการประมวลผลจึงต้องการวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเป็นวงจรส่วนหน้าเสมอ ในทางกลับกันหลังจากที่ผ่านกระบวนการประมวลผลแล้วจำเป็นต้องใช้วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก เนื่องจากการรับรู้ของมนุษย์เป็นอนาลอกดังนั้นวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจึงมีความจำเป็นเท่าๆ กัน คุณสมบัติที่สำคัญของวงจรทั้งสองคือความเที่ยงตรงเพราะความผิดพลาดจากการแปลงจะมีผลต่อคุณภาพของสัญญาณทั้งอินพุทและเอาท์พุท

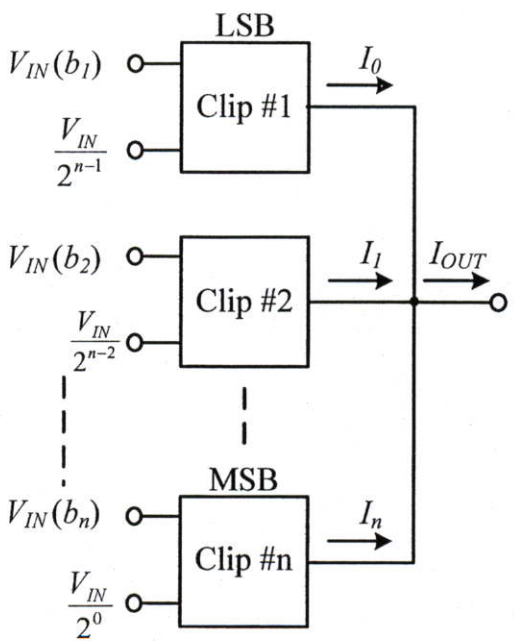


(ก)



(ข)

รูปที่ 6.1 วงจรตัดยอดแรงดัน (ก) วงจร (ข) บล็อกสัญลักษณ์



รูปที่ 6.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกโดยใช้วงจรตัดยอดแรงดัน

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกที่ใช้วงจรตัดยอดแรงดันสามารถถอดรหัสได้อย่างถูกต้องที่จะนำเสนอในบทนี้ บล๊อกไดอะแกรมของวงจรแสดงได้ดังรูปที่ 6.2 การกำหนดน้ำหนักของแต่ละบิตสัญญาณดิจิตอลทำได้โดยการกำหนดค่าแรงดันตัด V_{CLIP} ของวงจรตัดยอดแรงดัน โดย b_1 คือบิตนัยสำคัญต่ำสุดหรือบิต LSB (Least Significant Bit) b_n คือบิตนัยสำคัญสูงสุดหรือบิต MSB (Most Significant Bit) และ n คือจำนวนดิจิตอลอินพุท สัญญาณกระแสที่ถูกตัดตามค่าน้ำหนักของแต่ละบิตจะถูกนำมารวมกันทางเอาท์พุท ค่ากระแสเอาท์พุทสามารถกำหนดได้คือ

$$I_{OUT} = \frac{V_{IN}}{R_{eq}}\left(\frac{b_1}{2^{n-1}} + \frac{b_2}{2^{n-2}} + ... + \frac{b_n}{2^0}\right) \tag{6.2}$$

หรือ

$$I_{OUT} = \frac{V_{IN}}{R_{eq}}\sum_{i=1}^{n}\frac{b_i}{2^{n-i}} \tag{6.3}$$

ในการกำหนดค่าแรงดันตัด (V_{CLIP}) สามารถคำนวณได้จากสมการที่ (6.3) ดังตัวอย่าง ถ้าวงจรเป็นวงจรขนาด 4 บิต $(n=4)$ แรงดันอินพุท $600mV$ ดังนั้น

$$b_1 = \frac{V_{in}}{2^{n-1}} = \frac{600mV}{2^{4-1}} = 0.075V$$

$$b_2 = \frac{V_{in}}{2^{n-2}} = \frac{600mV}{2^{4-2}} = 0.15V$$

$$b_3 = \frac{V_{in}}{2^{n-3}} = \frac{600mV}{2^{4-3}} = 0.3V$$

$$b_4 = \frac{V_{in}}{2^{n-4}} = \frac{600mV}{2^{4-4}} = 0.6V$$

การเพิ่มบิตของวงจรสามารถทำได้โดยง่ายเพียงแค่เพิ่มวงจรตัดยอดแรงดันเข้าไปและทำการเพิ่มการถ่วงน้ำหนักด้วยแรงดันตามสมการที่(6.3) ในกรณีที่ต้องการกระแสเอาท์พุทที่ทุกบิตเป็น "1" หมด (Full-Scale) ดังนั้นสมการที่ (6.3) จะกลายเป็น

$$I_{OUT}\Big|_{fs} \rightarrow \frac{2V_{IN}}{R_{eq}};\left(n \rightarrow \infty\right) \tag{6.4}$$

ในกรณีที่ต้องการทราบค่าอัตราส่วนของการเปลี่ยนแปลงสัญญาณอนาลอกเอาท์พุทต่อสัญญาณดิจิตอลเอาท์พุทที่เปลี่ยนแปลงไปหนึ่งบิต LSB สมการเอาท์พุทจะได้ดังนี้

$$I_{OUT}\Big|_{1LSB} \rightarrow \frac{V_{IN}}{2^{n-1}R_{eq}} \tag{6.5}$$

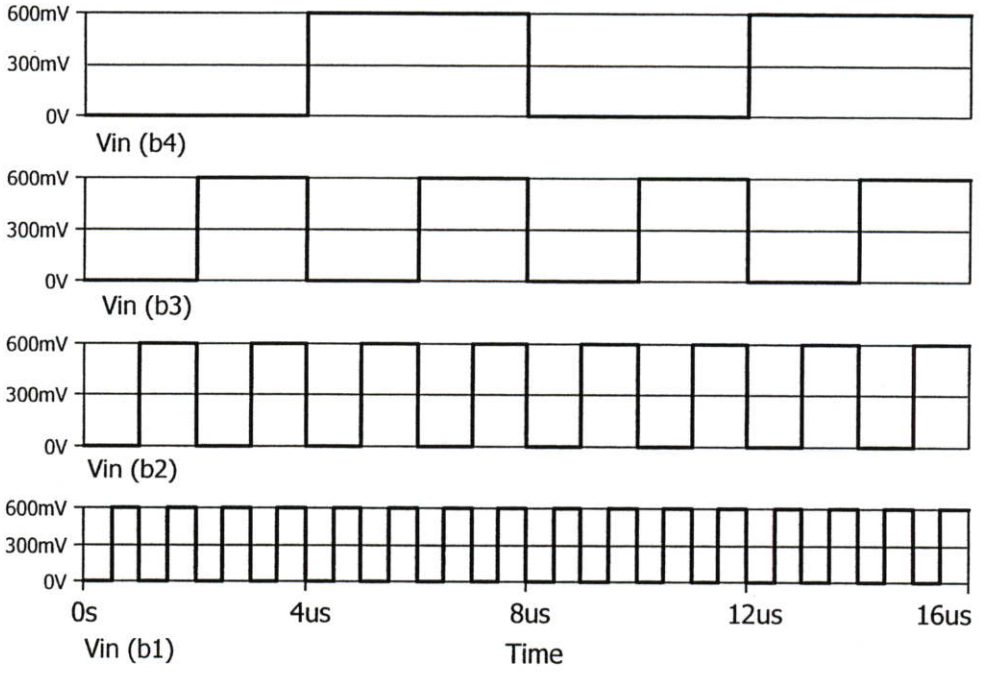
6.3 ผลการเลียนแบบการทำงานวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

เพื่อตรวจสอบการทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกที่นำเสนอ จะทำการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice โดยใช้โมเดลขนาด 0.25μm ของ MOSIS ซึ่งค่า W/L ของมอสทรานซิสเตอร์ของวงจรตัดยอดแรงดันที่ใช้สร้างวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกในวงจรที่ 6.1 (ก) กำหนดได้ดังตารางที่ 6.1 วงจรใช้แหล่งจ่ายแรงดันคือ V_{DD}=1.5V และ V_{SS}=-1.5V รูปที่ 6.3 แสดงผลการเลียนแบบการทำงานของแสดงการทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกเมื่อป้อนสัญญาณดิจิตอลจำนวน 4 บิต ความถี่สูงสุด 1 MHz เข้าที่อินพุทของวงจรรูปที่ 6.2 กำหนดสถานะโลจิก "0"=0V และโลจิก "1"=0.6V จากเงื่อนไขการออกแบบ ดังนั้นแรงดัน V_{CLIP} จึงกำหนดเท่ากับ 0.075V , 0.15V, 0.3V และ 0.6V ใช้ค่าความต้านทานทางอิเล็กทรอนิกส์ $9.8k\Omega$ จากสมการที่ (6.4) และ (6.5) ค่ากระแสเอาท์พุทที่ได้จากการคำนวณในกรณีที่ทุกบิตเป็น "1" หมดจะได้ $122.45\mu A$ และ ในกรณีที่ต้องการทราบค่าอัตราส่วนของการเปลี่ยนแปลงสัญญาณอนาลอกเอาท์พุทต่อสัญญาณดิจิตอลเอาท์พุทที่เปลี่ยนแปลงไปหนึ่งบิต LSB จะได้กระแสเอาท์พุท $7.65\mu A$

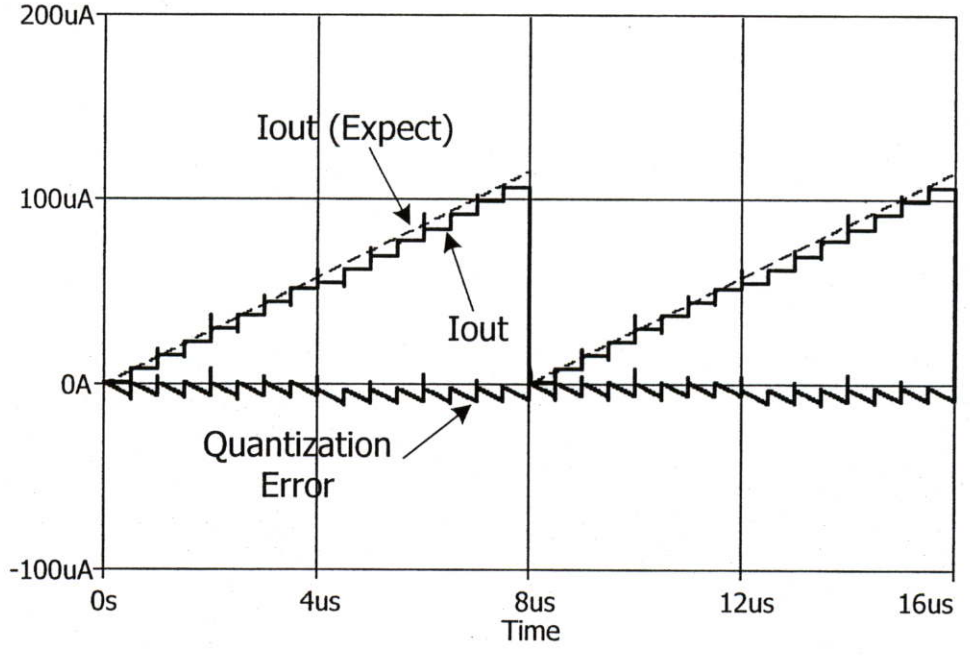
จากผลการจำลองดังแสดงในรูปที่ 6.3 จะเห็นว่าผลการจำลองเป็นไปตามทฤษฎีของการแปลงสัญญาณดิจิตอลเป็นอนาลอกโดยแรงดันเอาท์พุทจะเปลี่ยนแปลงตามค่าน้ำหนักของจำนวนบิตอินพุทที่ป้อนเข้ามา แต่จะเกิดค่าความผิดพลาดประมาณ $10\mu A$ เนื่องจากค่าที่ได้จากการจำลองการทำงานจะได้กระแสเอาท์พุทในกรณีที่ทุกบิตเป็น "1" หมดมีค่าเท่ากับ $106.56\mu A$ และในกรณีที่ต้องการทราบค่าอัตราส่วนของการเปลี่ยนแปลงสัญญาณอนาลอกเอาท์พุทต่อสัญญาณดิจิตอลเอาท์พุทที่เปลี่ยนแปลงไปหนึ่งบิต LSBมีค่าเท่ากับ $8.04\mu A$ ค่า W/L ของมอสทรานซิสเตอร์สามารถกำหนดได้ดังตารางที่ 6.1

ตารางที่ 6.1 ค่า W/L ของมอสทรานซิสเตอร์ของวงจรเรียงกระแสครึ่งคลื่นแบบบวก แบบลบและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

มอสทรานซิสเตอร์			W (μm)	L (μm)
แบบบวก	แบบลบ	วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก		
M_{1i}, M_{2i}, M_{3i}	M_{1i}, M_{2i}, M_{3i} M_{4i}, M_{5i}	M_{1i}, M_{2i}, M_{3i} M_{4i}, M_{5i}	2	0.5
-	M_{7i}	M_{7i}	4	0.5
M_{5i},	-	-	20	0.5
M_{4i}, M_{6i}	M_{6i}, M_{8i}, M_9, M_{10}	M_{6i}, M_{8i}	30	0.5
M_{R1}, M_{R2}	M_{R1}, M_{R2}	M_9, M_{10}	1	3



(ก)



(ข)

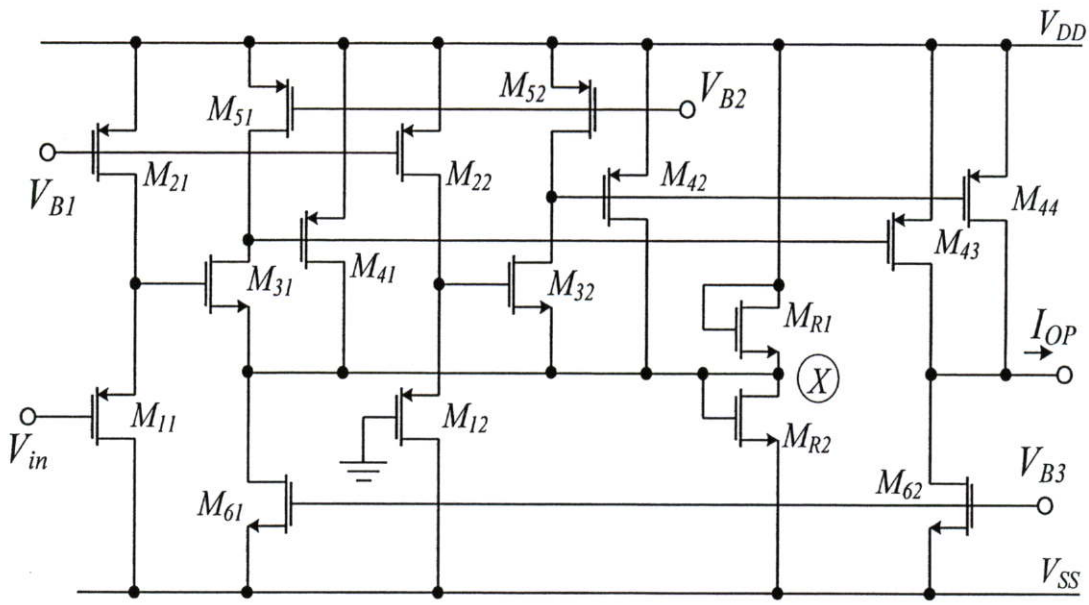
รูปที่ 6.3 การทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (ก) สัญญาณดิจิตอลอินพุท (ข) สัญญาณเอาท์พุท

6.4 วงจรเรียงกระแสแบบเต็มคลื่น

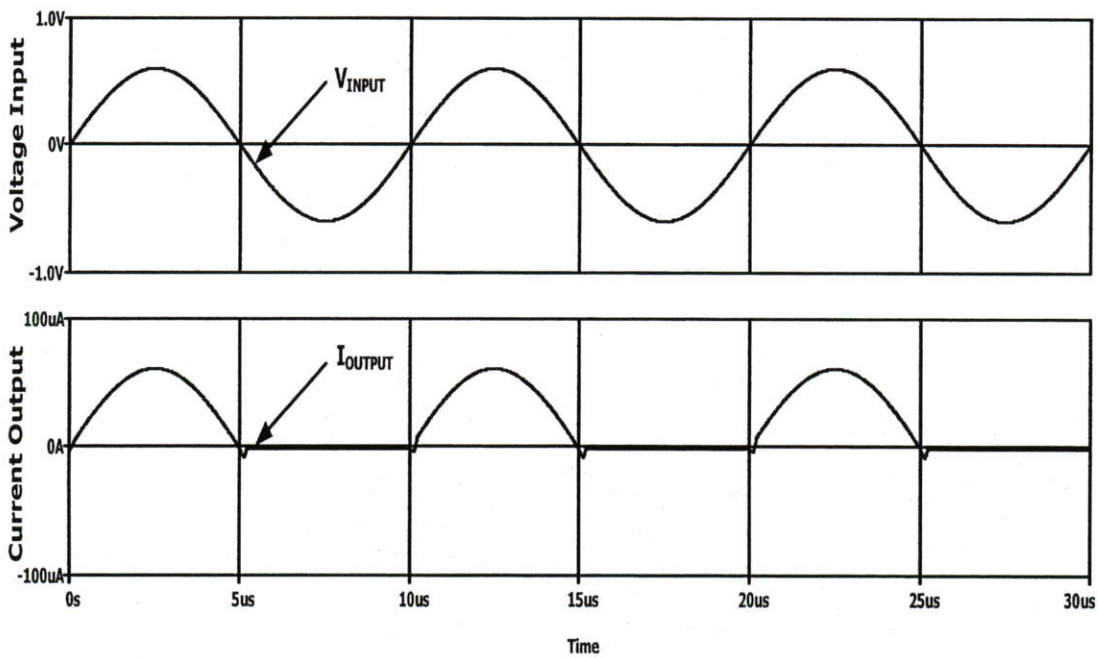
วงจรเรียงกระแส (Rectifier) เป็นวงจรที่มีการทำงานแบบไม่เป็นเชิงเส้นที่สามารถนำไปประยุกต์ใช้งานในเครื่องมือวัดไฟฟ้ากระแสสลับ ตัวดีมอดูเลตที่ภาค RF การสร้างสัญญาณกำลังสองสัญญาณรูปคลื่นสามเหลี่ยม ตัวแปลงสัญญาณ RMS เป็นสัญญาณ DC โดยทั่วไปวงจรเรียงกระแสมักจะถูกสร้างโดยใช้ไดโอดเพียงอย่างเดียว แต่ปัญหาสำคัญของวงจรเรียงกระแสที่ใช้ไดโอดคือไม่สามารถเรียงสัญญาณขนาดเล็กได้เพราะไดโอดจะทำงานได้ต้องมีแรงดันตกคร่อมตัวมัน 0.3V สำหรับชนิดเยอรมันเนียมและตกคร่อม 0.6V สำหรับชนิดซิลิกอน ส่วนวงจรเรียงกระแสที่สร้างจากไดโอด ออปแอมป์และตัวต้านทาน [18] มีข้อดีคือแก้ไขเรื่องแรงดันตกคร่อมที่ตัวไดโอดแต่จะพบปัญหาเนื่องจากอัตราการสลูว์ของตัวออปแอมป์ ทำให้ออปแอมป์สวิทซ์ไม่ทัน ผลก็คือจะเกิดความเพี้ยนที่บริเวณ Zero Crossing ของสัญญาณอินพุท เนื้อหาในส่วนนี้จะกล่าวถึงการนำเอาวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดมาดัดแปลงเป็นวงจรเรียงกระแสแบบครึ่งคลื่นด้านบวก (Positive half-wave Rectifier) และวงจรเรียงกระแสแบบครึ่งคลื่นด้านลบ (Negative half-wave Rectifier) เพื่อประกอบกันเป็นวงจรเรียงกระแสแบบเต็มคลื่น (Full-wave Rectifier) วงจรที่นำเสนอมีข้อดีคือ เหมาะกับการนำไปสร้างเป็นวงจรรวมเนื่องจากสร้างด้วยทรานซิสเตอร์ทั้งหมดใช้แรงดันต่ำ สามารถเรียงสัญญาณขนาดเล็กได้

6.4.1 วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านบวก

วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านบวกหนึ่งวงจรประกอบด้วยวงจรตรวจจับค่าแรงดันสูงสุดที่มี 2 อินพุทและวงจรส่งผ่านความต้านทานอิเล็กทรอนิกส์มาสร้าง วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านบวกแสดงได้ดังรูปที่ 6.4 การนำวงจรตรวจจับค่าแรงดันสูงสุดมาสร้างเป็นวงจรเรียงกระแสแบบครึ่งคลื่นด้านบวกสามารถสรุปการทำงานได้ดังนี้ อินพุท V_{in1} จะกำหนดให้เป็นอินพุทของสัญญาณซายน์แอมปลิจูด $\pm 600mV$ ส่วนอินพุท V_{in2} จะต่อลงกราวด์ ด้วยคุณสมบัติของวงจรตรวจจับค่าสูงสุดขนาดของแอมปลิจูดที่อยู่ต่ำกว่า 0 โวล์ทจะถูกตัดทิ้งไป กล่าวคือ ที่โหนด X จะปรากฏสัญญาณเอาท์พุท (V_P) เฉพาะซีกบวกเท่านั้น ทรานซิสเตอร์ M_{R1} และ M_{R2} จะทำหน้าที่เสมือนเป็นความต้านทานอิเล็กทรอนิกส์เพื่อแปลงแรงดันให้เป็นกระแส จากนั้น M_{43} M_{62} และ M_{62} ซึ่งทำหน้าที่เป็นวงจรสะท้อนกระแสที่ได้จากวงจรเรียงกระแสแบบครึ่งคลื่นด้านบวกและความต้านทานอิเล็กทรอนิกส์ เพื่อรวมสัญญาณกระแสออกทางเอาท์พุทของวงจร ซึ่งสัญญาณกระแสเอาท์พุทสามารถกำหนดได้จาก $\frac{V_P}{R_{eq}}$ ค่า W/L ของมอสทรานซิสเตอร์สามารถกำหนดได้ดังตารางที่ 6.1



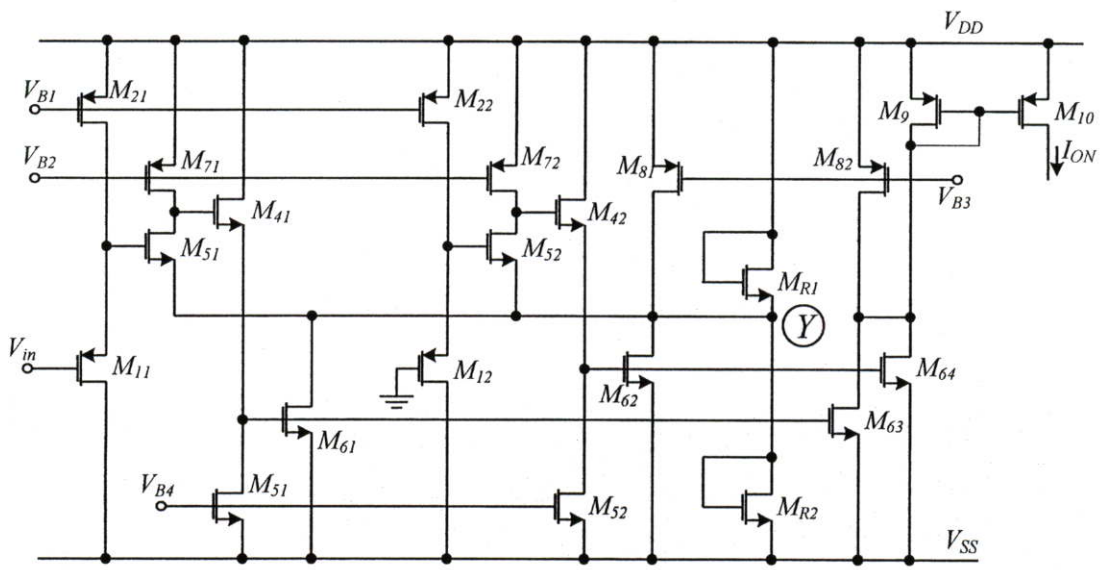
รูปที่ 6.4 วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านบวก



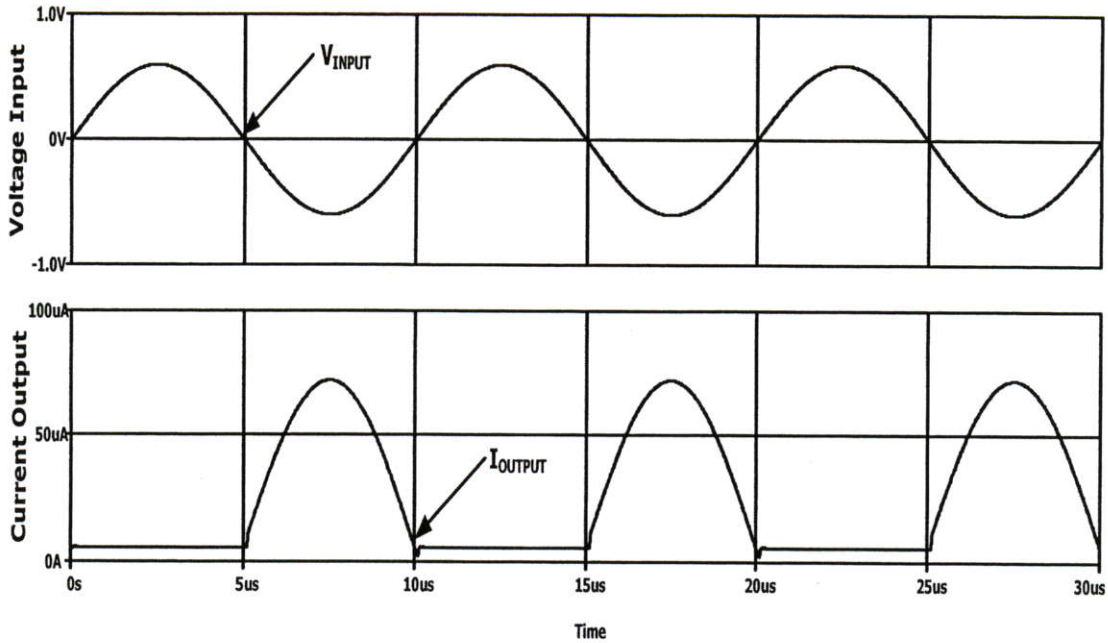
รูปที่ 6.5 ผลการจำลองการทำงานของเรียงสัญญาณแบบครึ่งคลื่นด้านบวก (ก) อินพุท V_{IN1} ขนาด $0.6V_{P-P}$ และ V_{IN2} ขนาด 0 V ความถี่ 100kHz ตามลำดับ (ข) เอาท์พุท

6.4.2 วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านลบ

วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านลบหนึ่งวงจรประกอบด้วยวงจรตรวจจับค่าแรงดันต่ำสุดที่มี 2 อินพุทและวงจรส่งผ่านความต้านทานอิเล็กทรอนิกส์มาสร้าง วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านลบแสดงได้ดังรูปที่ 6.6 การนำวงจรตรวจจับค่าแรงดันต่ำสุดมาสร้างเป็นวงจรเรียงกระแสแบบครึ่งคลื่นด้านลบสามารถสรุปการทำงานได้ดังนี้ อินพุท V_{in1} จะกำหนดให้เป็นอินพุทของสัญญาณซายน์แอมปลิจูด $\pm 600mv$ ส่วนอินพุท V_{in2} จะต่อลงกราวด์ ด้วยคุณสมบัติของวงจรตรวจจับค่าต่ำสุดขนาดของแอมปลิจูดที่อยู่สูงกว่า 0 โวล์ทจะถูกตัดทิ้งไป กล่าวคือ ที่โหนด Y จะปรากฏสัญญาณเอาท์พุท (V_N) เฉพาะซีกลบเท่านั้น ทรานซิสเตอร์ M_{R1} และ M_{R2} จะทำหน้าที่เสมือนเป็นความต้านทานอิเล็กทรอนิกส์เพื่อแปลงแรงดันให้เป็นกระแส จากนั้น M_{63} M_{64} M_{82} M_9 และ M_{10} ซึ่งทำหน้าที่เป็นวงจรสะท้อนกระแสที่ได้จากวงจรเรียงกระแสแบบครึ่งคลื่นด้านลบและความต้านทานอิเล็กทรอนิกส์ เพื่อรวมสัญญาณกระแสออกทางเอาท์พุทของวงจร ซึ่งสัญญาณกระแสเอาท์พุทสามารถกำหนดได้จาก $\frac{V_N}{R_{eq}}$ ค่า W/L ของมอสทรานซิสเตอร์สามารถกำหนดได้ดังตารางที่ 6.1



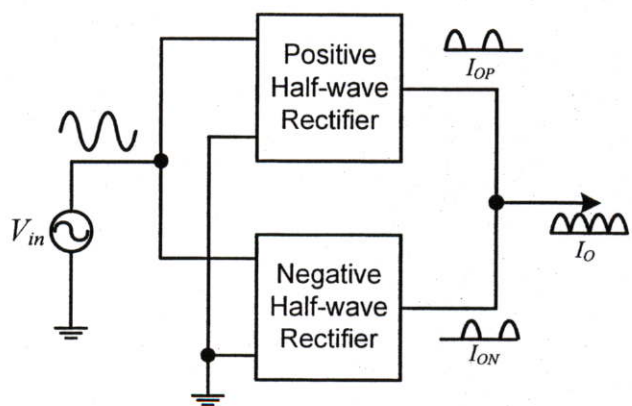
รูปที่ 6.6 วงจรเรียงสัญญาณแบบครึ่งคลื่นด้านลบ



รูปที่ 6.7 ผลการจำลองการทำงานของเรียงสัญญาณแบบครึ่งคลื่นด้านลบ (ก) อินพุท V_{IN1} ขนาด $0.6V_{P-P}$ และ V_{IN2} ขนาด 0 V ความถี่ 100kHz ตามลำดับ (ข) เอาท์พุท

6.4.3 วงจรเรียงสัญญาณแบบเต็มคลื่นด้วยวงจรเรียงสัญญาณครึ่งคลื่นด้านบวกและลบ

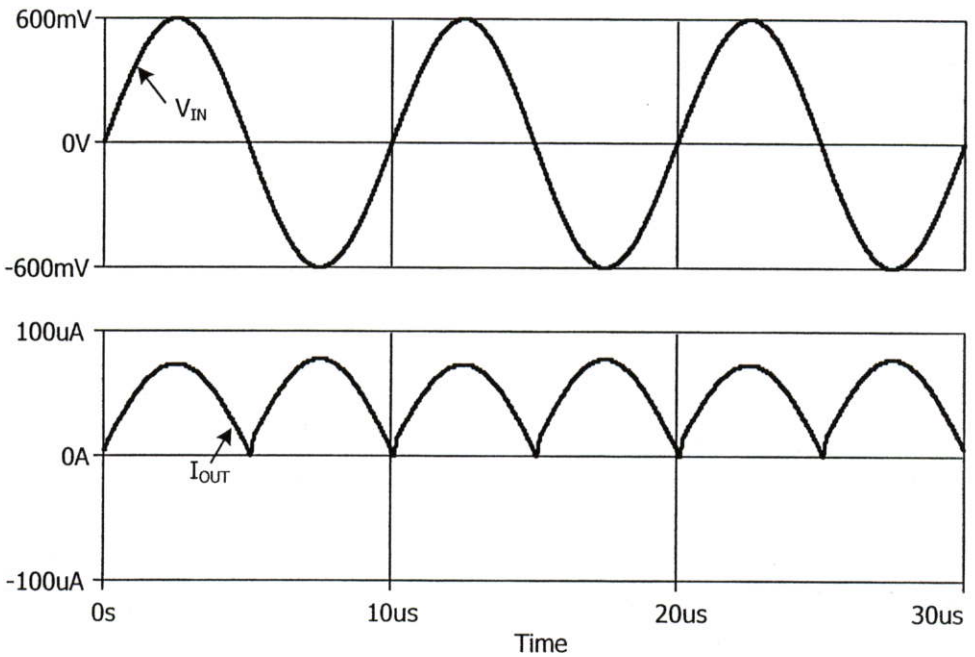
วงจรเรียงสัญญาณแบบเต็มคลื่นหนึ่งวงจรประกอบด้วยวงจรเรียงสัญญาณครึ่งคลื่นด้านบวกและวงจรเรียงสัญญาณแบบครึ่งคลื่นด้านลบ รูปที่ 6.8 แสดงบล๊อกไดอะแกรมของวงจรเรียงสัญญาณแบบเต็มคลื่น



รูปที่ 6.8 บล๊อกไดอะแกรมของวงจรเรียงสัญญาณแบบเต็มคลื่น

6.5 ผลการเลียนแบบการทำงานวงจรเรียงสัญญาณแบบเต็มคลื่น

เพื่อตรวจสอบการทำงานและประสิทธิภาพของวงจรเรียงสัญญาณแบบเต็มคลื่นที่นำเสนอในรูปที่ 6.8 จะถูกนำมาจำลองการทำงานด้วยโปรแกรม PSpice โดยใช้พารามิเตอร์ขนาด 0.25μm ของ MOSIS กำหนดแหล่งจ่ายแรงดัน V_{DD}=-V_{SS}=1.5V ค่า W/L ของมอสทรานซิสเตอร์สามารถกำหนดได้ดังตารางที่ 6.1



รูปที่ 6.8 ผลการจำลองการทำงานของเรียงสัญญาณแบบเต็มคลื่นที่ความถี่ 100 kHz

6.6 บทสรุป

เนื้อหาในบทนี้จะเป็นการนำเอาวงจรตรวจจับแรงดันต่ำสุดมาที่นำเสนอในบทที่ 4และ5 มาประยุกต์ ใช้งานสร้างเป็นวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและวงจรเรียงสัญญาณแบบเต็มคลื่น วงจรตรวจจับค่าแรงดันต่ำสุดจะทำหน้าที่เป็นวงจรตัดยอดแรงดัน ซึ่งสามารถกำหนดจุดตัดสัญญาณที่จุดต่างๆ ได้โดยง่าย ดังนั้นวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกที่สร้างขึ้นด้วยวงจรตัดยอดแรงดันจึงสามารถเพิ่มจำนวนบิตได้โดยไม่ต้องมีการปรับแต่งเพื่อเพิ่มการถ่วงน้ำหนัก นอกจากนั้นยังได้ใช้วงจรตรวจจับค่าตรวจจับค่าแรงดันสูงสุดและต่ำสุดประยุกต์ ใช้งานเป็นวงจรเรียงสัญญาณแบบเต็มคลื่นอีกด้วย นี่เป็นเพียงสองตัวอย่างการประยุกต์ใช้งานวงจรตรวจจับค่าแรงดันที่ได้กล่าวถึงในวิทยานิพนธ์นี้เท่านั้น นอกจากนี้วงจรตรวจจับค่าแรงดันสามารถนำมาประยุกต์ใช้งานเป็นวงจรอื่นๆ ได้อีกมากมาย

บทที่ 7
สรุปและข้อเสนอแนะ

7.1 สรุป

วิทยานิพนธ์นี้นำเสนอวงจรตรวจจับค่าสูงสุดและต่ำสุดที่มีหลายอินพุทซึ่งสามารถนำมาประยุกต์ใช้ในงานการประมวลผลสัญญาณภาพ เครือข่ายประสาทเทียม ระบบอัตโนมัติและควบคุมได้เป็นอย่างดี วงจรที่นำเสนอออกแบบโดยใช้เทคโนโลยีซีมอสและเหมาะกับการนำไปสร้างเป็นวงจรรวม วงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอจะอยู่ในบทที่ 4 ส่วนวงจรตรวจจับค่าแรงดันต่ำสุดที่นำเสนอจะอยู่ในบทที่ 5 ซึ่งรายละเอียดของเนื้อหาทั้งสองบทมีดังนี้

เนื้อหาในบทที่ 4 ของวิทยานิพนธ์ได้นำเสนอวงจรตรวจจับค่าแรงดันสูงสุดหลายอินพุทแบบอนาลอกโดยใช้เทคโนโลยีซีมอส วงจรสร้างขึ้นวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ซึ่งสร้างขึ้นจากวงจรเลื่อนระดับแรงดันและวงจรกันชนป้อนกลับกระแส ทำให้เอาท์พุทอิมพีแดนซ์ของวงจรมีค่าต่ำ วงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอมีคุณสมบัติดังนี้ มีความแม่นยำ โครงสร้างไม่ซับซ้อน มีเสถียรภาพทางอุณหภูมิดีและใช้แรงดันต่ำ

จากหลักการในบทที่ 4 วงจรตรวจจับค่าแรงดันต่ำสุดสามารถนำเสนอในบทที่ 5 วงจรที่นำเสนอสร้างขึ้นในแบบวงจร Losser Take All ดังนั้นจึงสามารถมีอินพุทได้ n อินพุทโดยเกิดการหน่วงเวลาของสัญญาณเพียงเล็กน้อยประมาณ 5ns วงจรสร้างขึ้นจากวงจรเลื่อนระดับแรงดันและวงจรกันชนป้อนกลับกระแส ทำให้เอาท์พุทอิมพีแดนซ์ของวงจรมีค่าต่ำเหมือนกับบทที่ 4 แต่จะปรับเปลี่ยนให้วงจรสามารถเลือกค่าแรงดันต่ำสุดที่ป้อนเข้ามาทางอินพุท วงจรที่นำเสนอมีคุณสมบัติคือ มีความแม่นยำ โครงสร้างไม่ซับซ้อน มีเสถียรภาพทางอุณหภูมิที่ดีและใช้แรงดันต่ำเช่นเดียวกับวงจรตรวจจับค่าแรงดันสูงสุดที่ได้นำเสนอในบทที่ 4

จากวงจรในบทที่ 4 และบทที่ 5 สามารถนำมาประยุกต์ ใช้งานสร้างเป็นวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและวงจรเรียงสัญญาณแบบเต็มคลื่น ซึ่งผลการทดลองออกมาเป็นที่น่าพอใจ

6.2 ข้อเสนอแนะ

วงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดที่นำเสนอในวิทยานิพนธ์นี้เป็นวงจรที่ได้ออกแบบและมีคุณสมบัติเป็นที่น่าพอใจ แต่อย่างไรก็ตามวงจรที่นำเสนอยังสามารถพัฒนาต่อไปได้ในอนาคตเพื่อให้ได้วงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดที่ดีที่สุด คุณสมบัติที่ให้ความสำคัญสำหรับวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดคือ มีความเที่ยวตรงสูง มีความเร็ว ใช้อุปกรณ์น้อยที่สุดเพื่อนำไปสร้างเป็นวงจรรวมจะใช้พื้นที่ชิปน้อยที่สุด แต่ปัญหาที่มีมักจะพบคือวงจรยังมีความผิดพลาดจะเกิดขึ้นที่บริเวณการเปลี่ยนช่วงของสองอินพุทหรือมากกว่า ซึ่งจะเรียกว่า Corner error การ

แก้ปัญหาดังกล่าวคือวงจรจะต้องมีความเร็วสูง การลดการหน่วงเวลาของสัญญาณคือจะต้องออกแบบให้วงจรใช้อุปกรณ์น้อยที่สุด สำหรับแนวทางอื่นๆ ที่จะพัฒนาวงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดให้ดีที่สุดต่อไปในอนาคตมีดังนี้

- ออกแบบวงจรให้มีความง่ายโดยใช้อุปกรณ์ให้น้อยที่สุด
- ใช้กำลังงานน้อยที่สุดเพราะในการประยุกต์ใช้งานบางงานจะต้องการวงจรตรวจจับแรงดันเป็นจำนวนมากเพื่อสร้างเป็นโครงข่าย

บรรณานุกรม

[1] R. F. Coughlin and F. F. Driscoll, Operational amplifiers & linear integrated circuits, New York: Prentice-Hall, 1998.

[2] I. Takahiro, M. Tetsuo, and M. Ryoko, "New OTA-based analog circuits for fuzzy membership functions and max/min operations," IEICE Transactions on Fundamentals of Electronics, Communications, Computer Sciences, vol. E74-A, pp. 3619-3621, November 1991.

[3] T. Inoue, F. Ueno, T. Motomura, O. Setoguchi, and R. Matsuo, "New high-speed analogue max and min circuits using OTA-based bounded-difference operations," Electronics Letters, vol. 27, pp. 1034-1035, June 1991.

[4] S.-I. Lui, Y.-S. Hwang, and J.-H. Tsay, "CCII-based fuzzy membership function and max/min circuits," Electronics Letters, vol. 29, pp. 116-118, January 1993.

[5] T. Yamakawa, "A fuzzy inference engine in nonlinear analog mode and its application to a fuzzy logic control," IEEE Transactions on Neural Networks, vol. 4, pp. 496-522, May 1993.

[6] T. Serrano-Gotarredona and B. Linares-Barranco, "A modular current-mode high precision winner-take-all circuit," IEEE Transaction on Circuit and Systems-II, vol. 22, pp. 123-134, February 1995.

[7] A. Demosthenous, S. Smedley, and J. Taylor, "A CMOS analog winner-take-all network for large-scale applications," IEEE Transactions on Circuit and Systems-I, vol. 45, pp. 300-304, March 1998.

[8] T. Serrano-Gotarredona and B. Linares-Barranco, "A high-precision current-mode WTA-MAX circuit with multichip capability," IEEE Journal of Solid-Stat Circuits, vol. 33, pp. 280-286, February 1998.

[9] G. A. Andreou, K. A. Boahen, P. O. Pouliquen, A. Papasovic, R. E. Jenkins, and K. Strohbehn, "Current-mode subthreshold MOS circuits for analog VLSI neural systems," IEEE Transactions on Neural Networks, vol. 2, pp. 205-213, 1991.

[10] I. Baturone, J. L. Huertas, A. Barriga, and S. Sanchez-Solano, "Current-mode multiple-input Max circuit," Electronics Letters, vol. 30, pp. 678-680, April 1994.

[11] R. G. Carvajal, J. Ramirez-Angulo, and J. Martinez-Heredia, "High-speed high-precision min/max circuits in CMOS technology," Electronics Letters, vol. 36, pp. 697-699, April 2000.

[12] B. Maundy, "Min/Max circuit for analog convolution decoders," IEEE Transaction on Circuit and Systems-II, vol. 48, pp. 802-806, August 2001.

[13] I. E. Opris, "Analog range extractors," IEEE Transactions on Circuit and Systems-I, vol. 44, pp. 1114-1121, December 1997.

[14] I. E. Opris, "Rail-to-rail multiple-input min/max circuit," IEEE Transaction on Circuit and Systems-II, vol. 45, pp. 137-140, January 1998.

[15] A. Rodriguez-Vazquez, B. Linares-Barranco, J. L. Huertas, and E. Sanchez-Sinencio, "On the design of voltage-controlled sinusoidal oscillators using OTA's," IEEE Transactions on Circuits and Systems, vol. 37, pp. 198-211, February 1990.

[16] R. Hecht-Hielsen, Neurocomputing, Reading, MA: Addison-Wesley, 1990.

[17] B. Linares-Barranco, T. Serranno-Gotarredona, J. Ramos-Martor, J. Ceballos-Caceres, J. M. Mora, and A. Linares-Barranco, "A precise 90° quadrature OTA-C oscillator tunable in the 50-130-MHz range," IEEE Transactions on Circuits and Systems-I, vol. 51, pp. 649-663, April 2004.

[18] T. L. Floyd, Basic operational amplifiers and linear integrated circuits, USA: Macmillan.

[19] D. John and K. Martin, Analog integrated circuit design, New York: John Wiley & Sons.

[20] Z.Wang, "2-MOSFET transistors with extremely low distortion for output reaching supply voltage," Electronics Letters, vol. 26, pp. 951-952, 1990. doi:10.1049/el:19900620.

[21] D. S. Karadimas, D. N. Mavridis, and K. A. Efstahiou "A Digitally calibrated R-2R ladder architecture for high performance Digital-to-Analog Converters," Processding of IS-CAS, pp. 4779-4782, 2006.

[22] M.P. Kennedy, "On the robustness of R-2R ladder DAC's," IEEE Transactions on Circuits and Systems II, vol. 47, pp. 109-116, 2000. doi:10.1109/81:828565.

ภาคผนวก

ภาคผนวก ก.

พารามิเตอร์ที่ใช้จำลองการทำงาน

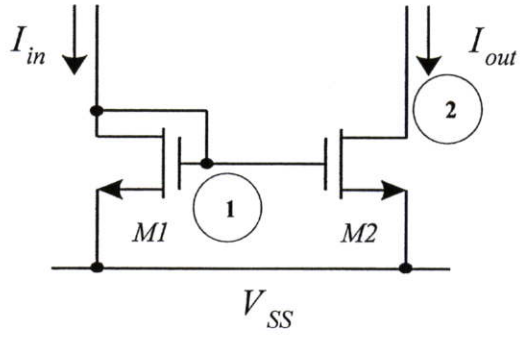
```
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.4317311 PHI=0.7 VTO=0.4238252 DELTA=0
+UO=425.6466519 ETA=0 THETA=0.1754054 KP=2.501048E-4
+VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11
+WD=1.232881E-8 CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10
+CJ=1.81211E-3 PB=0.5 MJ=0.3282553 CJSW=5.341337E-10
+MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.6348369 PHI=0.7 VTO=-0.5536085 DELTA=0
+UO=250 ETA=0 THETA=0.1573195 KP=5.194153E-5
+VMAX=2.295325E5 KAPPA=0.7448494 RSH=30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13
+WD=5.475113E-9 CGDO=6.66E-10 CGSO=6.66E-10
+CGBO=1E-10 CJ=1.893569E-3 PB=0.9906013 MJ=0.4664287
+CJSW=3.625544E-10 MJSW=0.5)
```

ภาคผนวก ข.

การวิเคราะห์ประสิทธิภาพของกลุ่มวงจรย่อย

ข.1 วงจรสะท้อนกระแสแบบพื้นฐาน

วงจรสะท้อนกระแสแบบพื้นฐานนั้นสามารถแบ่งการวิเคราะห์วงจรได้เป็น 2 ส่วนคือ การวิเคราะห์ทางไฟตรงและไฟสลับ การวิเคราะห์วงจรทางไฟตรงจะสามารถวิเคราะห์ในแบบจำลองสัญญาณขนาดใหญ่ ซึ่งในการวิเคราะห์ทางไฟตรงจะสามารถหาค่าอัตราส่วนการสะท้อนกระแส



รูปที่ ข1 วงจรสะท้อนกระแสแบบพื้นฐาน (ก) แบบบวก (ข) แบบลบ

จากรูปที่ ข1 สามารถเขียนสมการของแรงดัน V_1 ได้ดังสมการที่ ข1

$$V_1 = \sqrt{\frac{I_{in}}{\beta_1}} + V_{TN} \qquad (ข1)$$

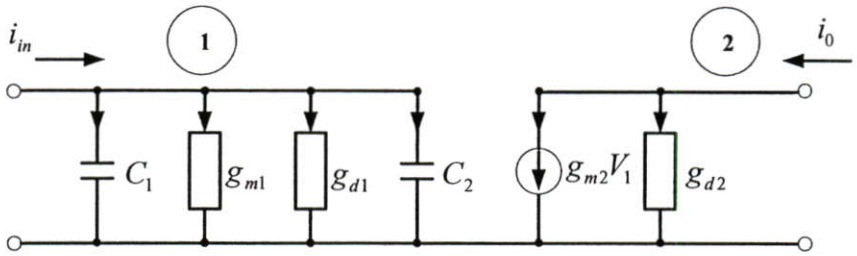
และ สมการของกระแสเอาท์พุทมีค่าเท่ากับ

$$I_{out} = \beta_2 (V_1 - V_{TN})^2 \qquad (ข2)$$

โดยที่ $\beta_1 = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)$ และ เนื่องจากที่ขาเกทของทรานซิสเตอร์จะไม่มีกระแสไหล ทรานซิสเตอร์ M_1 และ M_2 มีความสมพงษ์กันทุกประการ เป็นผลให้อัตราส่วนของกระแสมีค่าเท่ากับ

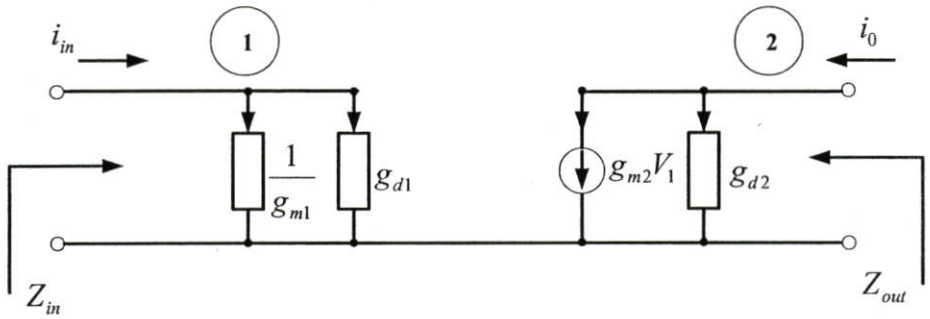
$$\frac{I_{out}}{I_{in}} = \frac{\beta_1}{\beta_2} = \frac{(W/L)_2}{(W/L)_1} \qquad (ข3)$$

ส่วนการวิเคราะห์วงจรทางไฟสลับจะใช้แบบจำลองสัญญาณขนาดเล็กซึ่งจะสามารถวิเคราะห์หาค่าอินพุท เอาท์พุทอิมพีแดนซ์และการตอบสนองทางความถี่ได้ โดยแบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ข1 แสดงไว้ดังรูปที่ ข2



รูปที่ ข2 แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ข2 ตัวเก็บประจุ $C_1 = C_{gs1}$ โดยแบบจำลองสัญญาณขนาดเล็กที่ใช้วิเคราะห์หาอินพุทและเอาท์พุท จะแสดงไว้ดังรูปที่ ข3



รูปที่ ข3 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์อิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ข3 อินพุทอิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐานจะมีค่าเท่ากับ

$$Z_{in} = \frac{1}{g_{m1}} \qquad (ข4)$$

และ เอาท์พุทอิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐานจะมีค่าเท่ากับ

$$Z_{out} = r_2 = r_{d2} \qquad (ข5)$$

ในการวิเคราะห์หาค่าการตอบสนองทางความถี่ ของวงจรสะท้อนกระแสรูปที่ ข1 สามารถกระทำได้โดยใช้แบบจำลองสัญญาณขนาดเล็กดังรูปที่ ข2 ในการวิเคราะห์หาค่าสมการการส่งผ่านของกระแสอินพุทและเอาท์พุทสามารถเขียนเป็นสมการโดยหลักการของ KCL ได้เป็น

$$i_{in} = v_1 s(C_1 + C_2) + v_1(g_{m1} + g_{d1}) \qquad (ข6)$$

$$i_o \cong g_{m2} v_1 \qquad (ข7)$$

แทนสมการที่ (ข6) ในสมการที่ (ข7) ได้สมการการส่งผ่านในรูปแบบของกระแสเป็น

$$\frac{i_o}{i_{in}} \cong \frac{g_{m2}}{g_{m1} + g_{d1} + s(C_1 + C_2)} \qquad (ข8)$$

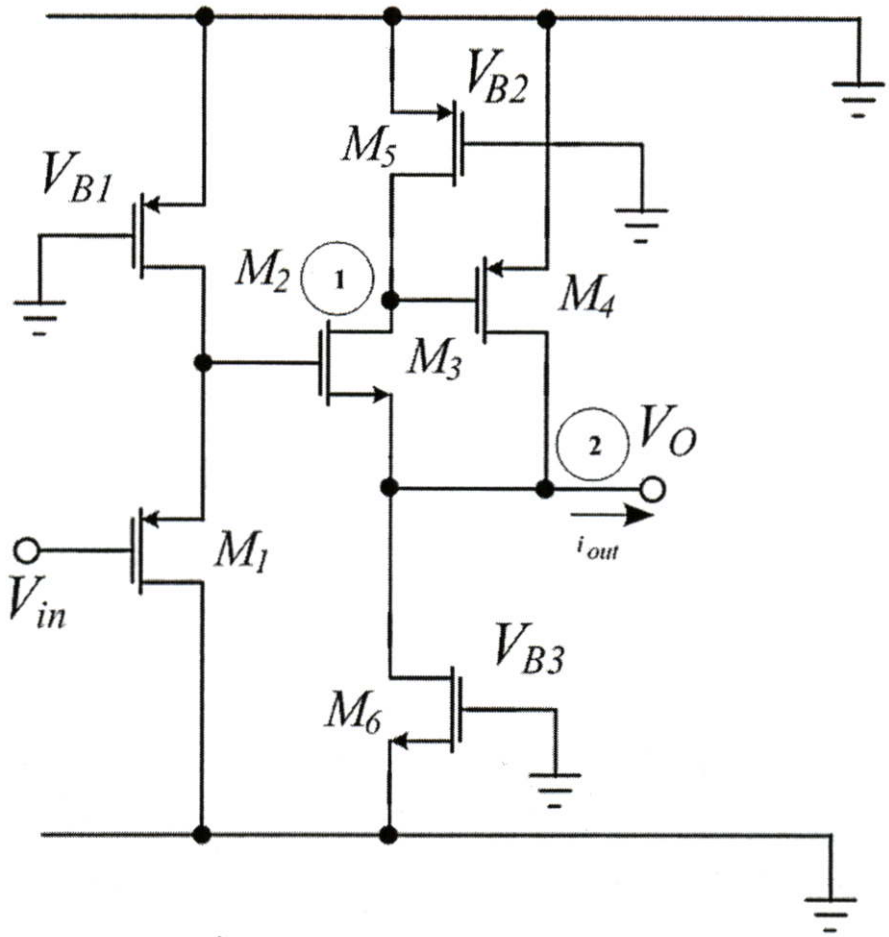
จากสมการที่ (ข8) สามารถประมาณค่าความถี่ตอบสนองได้คือ

$$\omega_{-3dB} \cong (g_{m1} + g_{d1})/(C_1 + C_2) \qquad (ข9)$$

ข.2 วงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์

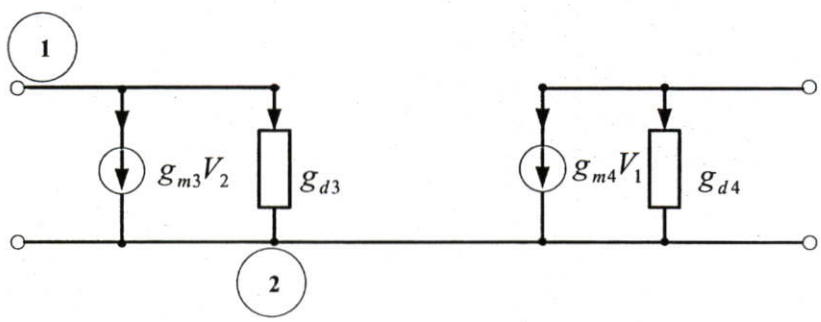
วงจรที่จะนำมาวิเคราะห์หาประสิทธิภาพแสดงได้ดังรูปที่ ข4 ซึ่งเป็นวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์ ที่ใช้เป็นอินพุทของวงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอในรูปที่ 4.1 โดยเลือกเอาเพียง 1 ชุดอินพุทเท่านั้นมาวิเคราะห์ ถ้าสมมุติว่าทรานซิสเตอร์ทุกตัวทำงานในย่านอิ่มตัว และใช้หลักการวิเคราะห์ด้วยแบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวไว้ในบทที่ 2 ค่าพารามิเตอร์ต่างๆ ของวงจรสามารถหาได้ดังนี้

ค่าพารามิเตอร์แรกที่จะพิจารณาคือค่าอินพุทอิมพีแดนซ์ (r_{in}) เนื่องจากค่าอินพุทอิมพีแดนซ์ที่ขาเกทของมอสทรานซิสเตอร์มีสูงมาก เมื่ออินพุทถูกป้อนเข้าที่ขาเกทจึงทำค่าอินพุทอิมพีแดนซ์ของวงจรที่นำเสนอมีค่าสูงมากตามไปด้วยซึ่งสามารถประมาณได้คือ $r_{in} \approx \infty$ แต่ในทางปฏิบัติค่าอินพุทอิมพีแดนซ์ที่ขาเกตของมอสทรานซิสเตอร์อาจจะไม่เป็นอนันต์แต่จะมีค่าสูงมากซึ่งอยู่ในย่าน MΩ



รูปที่ ข4 วงจรที่ใช้ในการวิเคราะห์ประสิทธิภาพ

ในการหาค่าเอาท์พุทอิมพีแดนซ์ (r_o) ของวงจรในรูปที่ 4.5 ต้องทำการแทนโดยใช้แบบจำลองสัญญาณขนาดเล็ก โดยแบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ข4 แสดงไว้ดังรูป ข5



รูปที่ ข5 แบบจำลองสัญญาณขนาดเล็กของวงจรตามแรงดันที่มีค่าแรงดันออฟเซ็ตเข้าใกล้ศูนย์

โดยที่ $$i_0 = (-g_{m4} - g_{d3})v_1 + (g_{d3} + g_{m3} + g_{d4})v_2 \quad (ข10)$$

และ

$$g_{m3}v_2 = (v_1 - v_2)g_{d3}$$

$$g_{m3}v_2 = v_1 g_{d3} - v_2 g_{d3}$$

$$\left(\frac{g_{m3} + g_{d3}}{g_{d3}}\right)v_2 = v_1 \quad (ข11)$$

แทนค่าสมการที่ (ข11) ลงในสมการที่ (ข10) จะได้

$$i_o = (-g_{m4} - g_{d3})\left(\frac{g_{m3} + g_{d3}}{g_{d3}}\right)v_2 + (g_{d3} + g_{m3} + g_{d4})v_2 \quad (ข12)$$

หาครน

$$i_o = \left[\frac{(-gm4 - gd3)(gm3 + gd3) + g_{d3}{}^2 + g_{d3}g_{m3} + g_{d3}g_{d4}}{g_{d3}}\right]v_2 \quad (ข13)$$

$$i_o = \left[\frac{-g_{m3}g_{m4} - g_{m4}g_{d3} - g_{d3}g_{m3} - g_{d3}{}^2 + g_{d3}{}^2 + g_{d3}g_{m3} + g_{d3}g_{d4}}{g_{d3}}\right]v_2 \quad (ข14)$$

$$\frac{i_o}{v_2} = \frac{-g_{m3}g_{m4} - g_{m4}g_{d3} + g_{d3}g_{d4}}{g_{d3}} \quad (ข15)$$

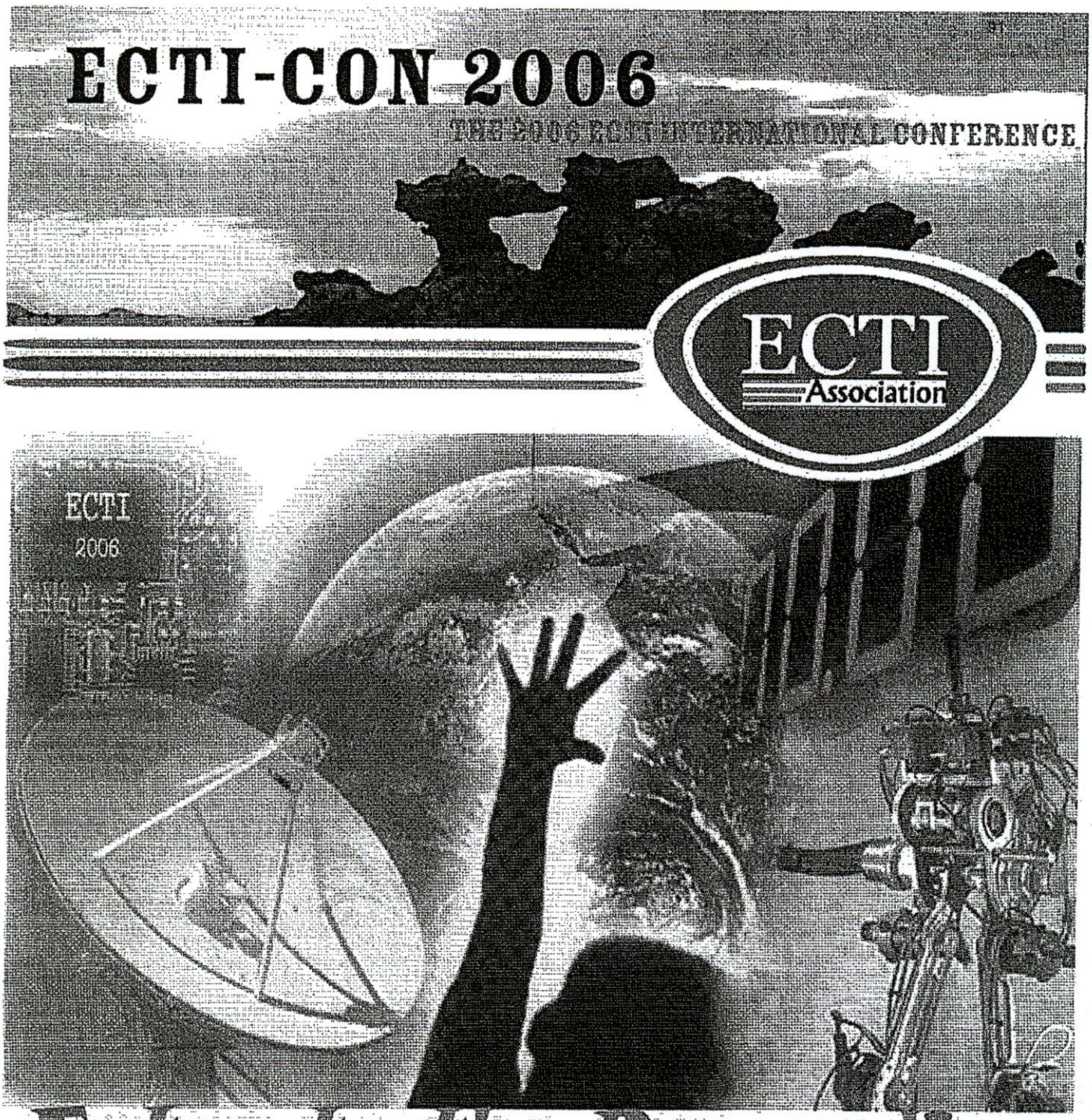
เนื่องจาก $g_m \rangle\rangle g_d$

$$\therefore \quad \frac{v_2}{i_o} = \frac{g_{d3}}{-g_{m4}(g_{m3} + g_{d3})} \quad (ข16)$$

ภาคผนวก ค.

ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

1. Krit Angkeaw, Montri Somdunyakanok, Pipat Prommee, Montree Kumngern, Kobchai Dejhan, and Jirasak Chanwutitum, "CMOS Low-voltage Max/Min circuits and its application," Proc. of ECTI-CON 2006, Ubon-Ratchathani, Thailand, May 10-13, 2006.
2. Pipat Prommee, Krit Angkeaw, Kobchai Dejhan, Montri Somdunyakanok and Jirasak Chanwutitum, "CMOS Digital-to-Analog Converter", Proc. of ECTI-CON 2007, Chiang Rai, Thailand, May 9-12, 2007.
3. Pipat Prommee, Krit Angkeaw, Montri Somdunyakanok and Kobchai Dejhan, "CMOS-based near zero-offset multiple inputs max–min circuits and its applications," Analog Integrated Circuits and Signal Processing Journal, Accepted for publication, DOI 10.1007/s10470-009-9281-2.



Enter to the Proceeding

Proceedings of the 2006 Electrical Engineering/ Electronics, Computer, Telecommunications and Information Technology (ECTI) International Conference

May 10-13, 2006
Ubonburi Hotel, Ubon Ratchathani, THAILAND

Back to content

CMOS Low-voltage Max/Min circuits and its application

Krit Angkeaw[1], Montri Somdunyakanok[2], Pipat Prommee[1], Montree Kumngern[1], Kobchai Dejhan[1], and Jirasak Chanwutitum[3]

[1]Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
Tel: 66-2326-4238, 66-2326-4242, Fax:66-2326-4554
[2]Electrical Engineering Department,
Faculty of Engineering, Siam University, Bangkok 10160, Thailand
[3]Industrial Electrical Technology Department, Faculty of Engineering
King Mongkut's Institute of Technology North Bangkok, Bangkok 10800, Thailand
Email: {pipat, kobchai}@telecom.kmitl.ac.th

ABSTRACT

The new CMOS low-voltage Maximum and Minimum (Max/Min) circuits are described. The proposed circuits are realized by different sub-circuits such as voltage level-shifter and shunt-feedback buffer circuits. The proposed circuits can be used a low-power supply with a simply scheme. The ±500 mV input dynamic range is obtained under the ±1.5V power supplies. The output corner error is less than 0.01μs. The full-wave rectifier building block is raised for such application. All performances including the DC-characteristic, high-frequency wave output are carried out by PSpice.

Keywords: Maximum, Minimum, WTA, CMOS, Analog signal processing

1. INTRODUCTION

Maximum and minimum circuits are building blocks for the analogue signal processing areas. The applications have been found in particular areas as well as telecommunications, instrumentations and etc. The previous works have been introduced in different approaches. The OPAMP, CCII are employed by a few diodes and resistors [6-8]. The max-min circuits were able to use the multiple inputs by series connection that is a major problem for a delay. The OTA has been used [5] for reduced that problem that contains with (n+1) transistors connected with n-diodes for n-inputs. The other problems in order to operation of diodes are found. The several winner-take-all (WTA) circuits [2-4] are a presently favourite method to implement for the multiple (n) inputs.

The WTA method is used for implement the proposed circuits. The different sub-circuits are realized such as level-shifter, shunt-feedback buffer for off-set adjustment in order to obtain an accurate output. The simple construction and low-voltage are proposed that suitable for further IC fabrication. The high-frequency operation can be operated with the wide-input range and simply adjustments.

2. CIRCUIT DESCRIPTION

The transistors are operated in saturation region. The drain current of PMOS and NMOS is yield to describe in Eq. (1) and (2), respectively

$$I_S = -I_D = K_P(V_{SG} - |V_{TP}|)^2 \quad (1)$$

$$I_D = K_N(V_{GS} - V_{TN})^2 \quad (2)$$

Where $K_P = \frac{\mu_P C_{OX}}{2}\left(\frac{W}{L}\right)$, $K_N = \frac{\mu_N C_{OX}}{2}\left(\frac{W}{L}\right)$, V_{TN} and V_{TP} are a threshold voltage of NMOS and PMOS, respectively.

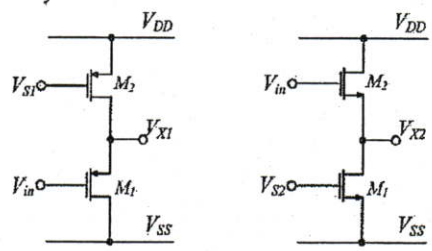


Fig. 1 Voltage level-shifter circuit

Fig.1 shows a voltage level-shifter circuit that used for an off-set adjustment. The voltage level-shifter circuit is based on a basic subtraction circuit. The Fig.1 (a) and (b) are positive and negative level-shifter, respectively. The outputs can be express as:

$$V_{X1} = V_{in} + V_{DD} - V_{S1} \quad (3a)$$

$$V_{X2} = V_{in} + V_{SS} - V_{S2} \quad (3b)$$

Fig.2 shows a CMOS shunt-feedback buffer circuit [1]. The output is obtained from source-voltage of M_1. The current source I_1 is a constant bias current of M_1. The current source I_2 and M_2 are used for supply positive and

negative current. The output of shunt-feedback buffer can be written as

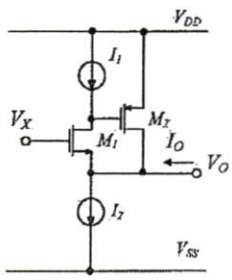


Fig.2 Shunt-feedback buffer

$$V_{S2} = V_O = V_X - \sqrt{\frac{I_2}{K_N}} - V_{TN} \qquad (4)$$

The complete shunt-feedback buffer can be realized by the combination of Fig. 1 and Fig. 2 as shown in Fig.3.

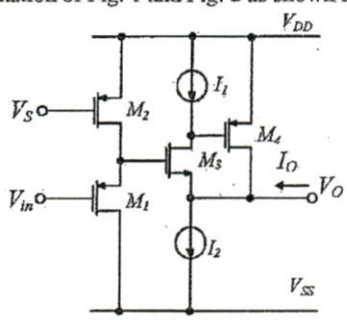


Fig. 3 Complete shunt-feedback buffer with an off-set adjustment

So, the output of Fig.3 can be expressed as

$$V_O = V_{in} + V_{DD} - V_S - \sqrt{\frac{I_1}{K_N}} - V_{TN} \qquad (5)$$

Suppose that, the constant current sources I_1 and I_2 are defined to

$$\sqrt{\frac{I_1}{K_N}} + V_{TN} = V_{DD} - V_S \qquad (6)$$

The output of Fig.3 becomes

$$V_O = V_{in} \qquad (7)$$

The maximum circuit can be implemented using a parallel form in n-stages of shunt-feedback buffers as shown in Fig.4. The dominant input (highest) will affected to particular stage accordingly. That stage will take the highest current by M_{4i} that means which output will appear according with a source voltage of M_{3i}. The output has been clarify to

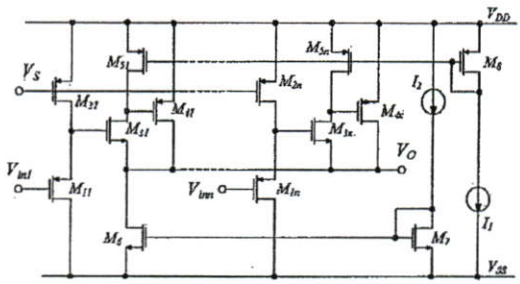


Fig.4 Proposed maximum circuit

$$V_{out} = Max(V_{ini}) \qquad (8)$$

The minimum circuit can be easily implemented using some modification a shunt-feedback buffer in Fig.3 to Fig.5. From Fig.3 and Fig.5, the outputs are quite similar analysis. The output of Fig.3 is varied in positive term using M_4 that the maximum function is achieved. Otherwise, the output of Fig.5 is varied in negative term using M_6 that the minimum function is achieved. The transistor M_6 is biased from shift-down circuit M_4 and M_5. The current which supplied by M_6 is cooperated with I_2 for supply the output current.

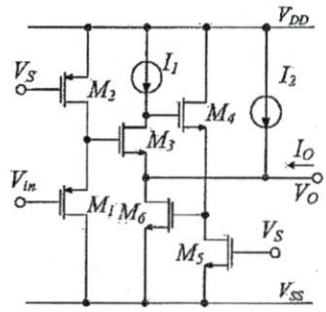


Fig.5 Complete shunt-feedback buffer for minimum circuit

Fig.6 shows a proposed minimum circuit that constructed from a parallel of Fig.5. The analysis of minimum circuit is mostly the same with maximum circuit. The output also has been clarify to

$$V_{out} = Min(V_{ini}) \qquad (9)$$

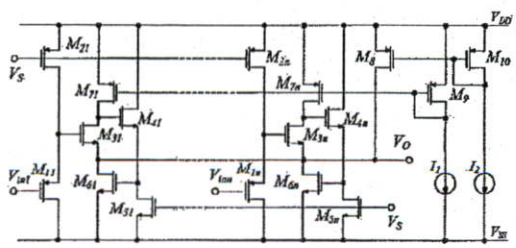


Fig.6 Proposed minimum circuit

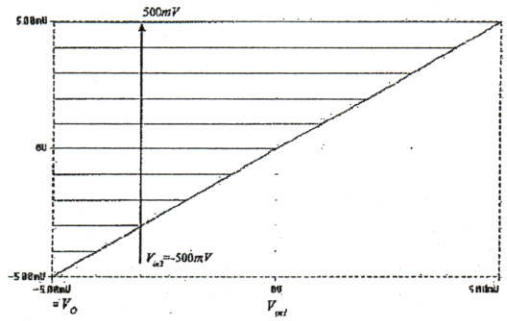
3. SIMULATION RESULTS

All simulation results have been carried out by PSpice simulation program base on T14Y MOSIS 0.25μm model CMOS technology with V_{TN}=0.423V and V_{TP}=-0.55V. The transistor aspect ratios of proposed circuits in Fig.4 and 6 are shown in table1. The power dissipation of proposed circuits is 0.6mW with 10kΩ load resistances (R_L). The supply voltage ±1.5V is used for simulation with the shifting voltage V_S is 0.9 volts. The current sources I_1 and I_2 are set to 21.3μA and 100μA, respectively. The output characteristics of maximum and minimum circuits are carried out in terms of DC and signal output characteristics.

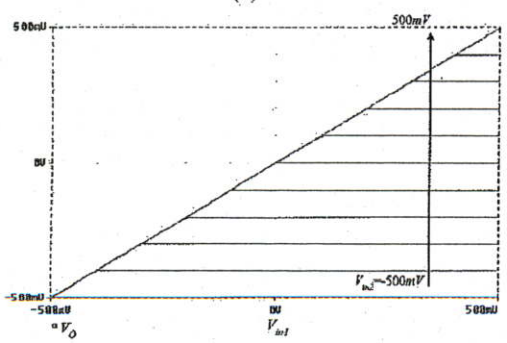
The 2-input Max and Min circuit are employed for such simulation. The DC-characteristic is performed by varied both of inputs V_{in1} and V_{in2} within ±0.5V and vice versa have been shown in Fig.7. The outputs of proposed circuits have shown an accurate output according to the above theoretical.

Transistors		Aspect Ratio W/L (μm/μm)
Maximum	Minimum	
M_{1i}, M_{2i}, M_{3i}	M_{1i}, M_{2i}, M_{3i} M_{4i}, M_{5i}	2/0.5
M_{4i}, M_6, M_7	M_{6i}, M_8, M_{10}	30/0.5
M_{5i}, M_8	M_{7i}, M_9	10/0.5

Table1. The transistor aspect ratio of Fig.3



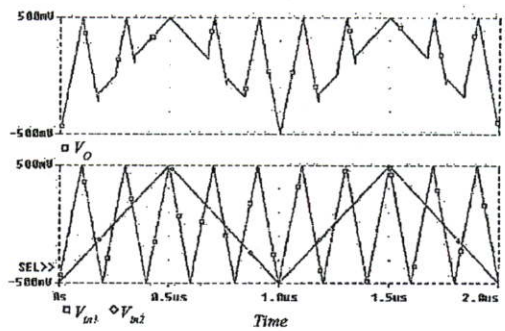
(a)



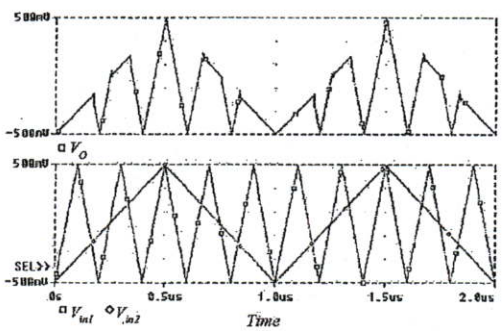
(b)

Fig.7 DC-characteristic of
(a) Maximum circuit (b) Minimum circuit

The voltage output results of maximum and minimum circuits also have been shown in Fig. 8. The 1MHz and 5 MHz triangular waves are applied to V_{in1} and V_{in2}. The outputs of Max and Min circuits are achieved as shown in Fig 8(a) and (b), respectively. The corner error observation in terms of delay time is illustrated less than 0.01μs.



(a)



(b)

Fig.8 Voltage output while inputs are 1MHz and 5MHz triangular wave (a) Maximum circuit (b) Minimum circuit

4. AN APPLICATION

The proposed max/min circuits can be confirmed that for ensure in realistic applied. An application of max/min circuit is a full-wave rectifier as shown in Fig. 9 by using a 1MHz sine wave signal and grounded to be applied in input of min and max circuit V_{in1} and V_{in2}, respectively.

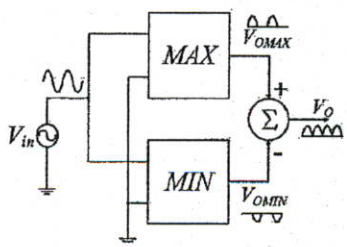


Fig.9 An application for full-wave rectifier

Fig.10 shows different point signals of Max/Min circuits that connected for a full-wave building block. The different half-wave functions can be obtained by max and min circuits. The positive and negative inputs are captured by max and min circuit, respectively. The certain full-wave is achieved by subtraction of the both outputs of min and max circuits.

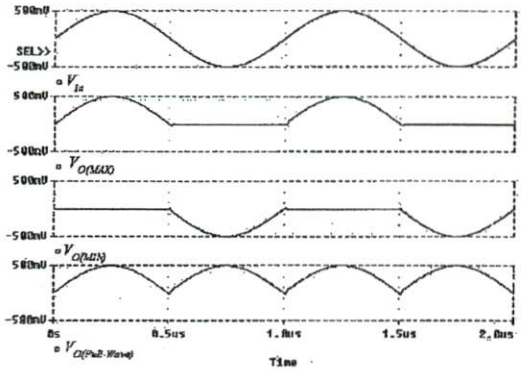


Fig.10 signals at different point of Max/Min application

5. CONCLUSION

A new CMOS low-voltage Maximum/Minimum circuits are proposed. The several basic sub-circuits are employed. A simply scheme with a low-power supply are obtained that suitable to further IC fabrication. The wide input dynamic range, high-frequency operation and low corner error are obtained. The full-wave rectifier building block is used for such an application.

6. REFERENCES

[1] T. R. Visawanathan, "CMOS Transconductance Element," *Proc. IEEE*, Vol.74(1), pp.222-224, 1986.

[2] I. Baturone, J. L. Huertas, A. Barriga and S. Sanchez-Solano, "Current-mode multiple-input Max circuit," *Electron. Letts.*, vol. 30, no. 9, pp. 678-680, April 1994.

[3] B. D. Liu, and C.Y. Hung, "Current-mode multiple input minimum circuit for Fuzzy Logic controllers," *Electron. Letts.*, vol. 30, no. 23, pp. 1924-1925,Nov 1994.

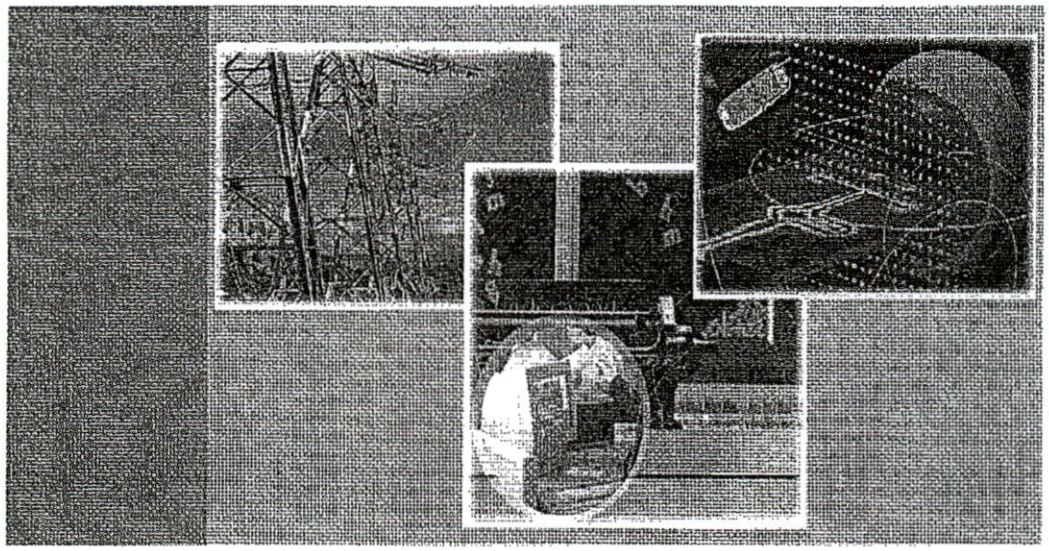
[4] R. G. Carvajal, J. Martinez-Heredia and J. Ramirez-Angulo, "High-speed high-precision min/max circuits in CMOS technology," *Electron. Letts.*, vol. 36, no. 8, pp. 697-699, April 2000.

[5] I. Takahiro, M. Tetsuo, M. Ryoko, "New OTA-based Analog Circuits for Fuzzy Membership Functions and Max/Min Operations," *IEICE Transactions.*, vol.E 74, no. 11, Nov. 1991.

[6] S. I. Liu, Y. S. Hwang, and J. H. Tsay, "CCII-Based Fuzzy Membership Function and Max/Min Circuit," *Electron. Letts.*, vol. 29, no. 1, pp. 116-118, 1993.

[7] Robert F. Coughlin and Frederick F. Driscoll, "Operational Amplifier and Linear Integrated Circuit," Prentice-Hall, Inc., 1987.

[8] C. Toumazou, C. Lidgey, and D. G. Haigh, Analogue IC design: the current mode approach, Peter peregrinus ltd., 1990.

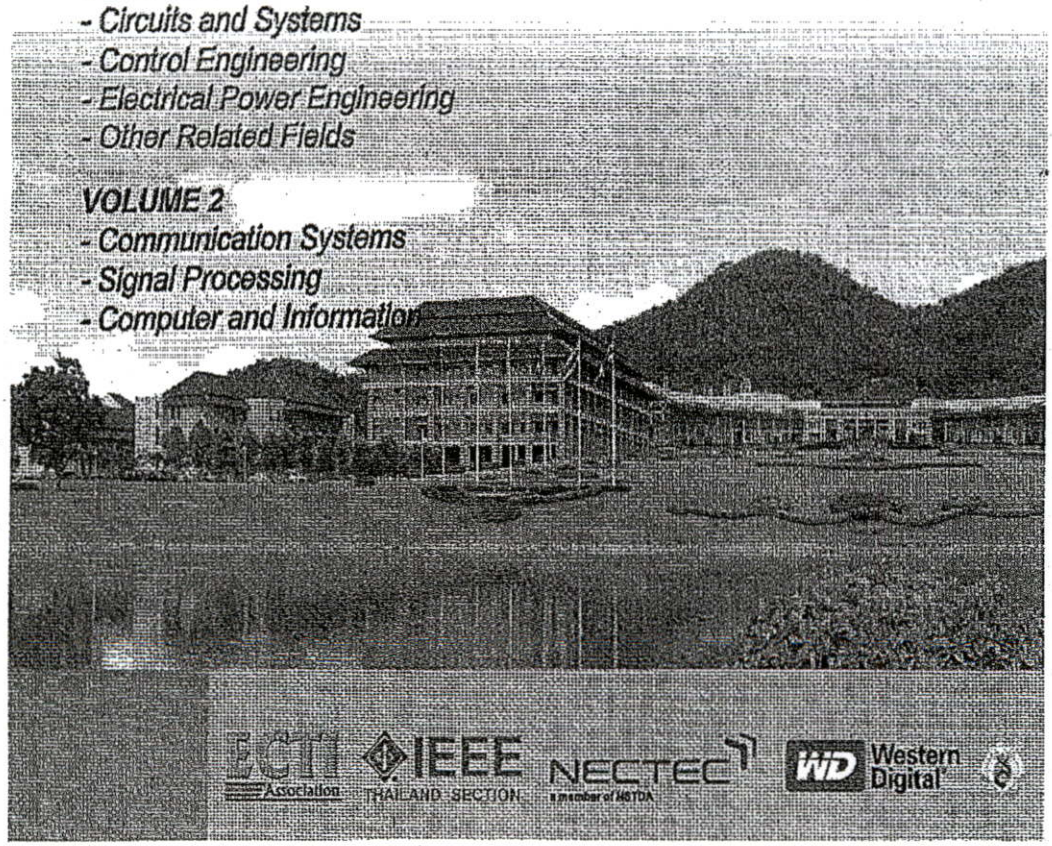


ECTI-CON 2007

Mae Fah Luang University, Chiang Rai, Thailand
May 9-12, 2007

VOLUME 1
- *Circuits and Systems*
- *Control Engineering*
- *Electrical Power Engineering*
- *Other Related Fields*

VOLUME 2
- *Communication Systems*
- *Signal Processing*
- *Computer and Information*



CMOS Digital-to-Analog Converter

Pipat Prommee[1], Krit Angkeaw[1], Kobchai Dejhan[1], Montri Somdunyakanok[2] and Jirasak Chanwutitum[3]
[1]Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
Tel: +66-2326-4238, +66-2326-4242, Fax: +66-2326-4554
[2]Faculty of Engineering, Siam University, Bangkok 10160, Thailand.
Tel: +66-2457-0068 Fax: +66-2457-3982
[3]Industrial Electrical Technology Department, Faculty of Engineering
King Mongkut's Institute of Technology North Bangkok, Bangkok 10800, Thailand
Email: pipat@telecom.kmitl.ac.th

***Abstract*— This paper presents a CMOS Digital-to-Analog Converter (D/A) Circuit. The voltage clipping circuit building blocks based on minimum circuit and electronic resistor are deployed. The proposed circuit uses a worth of current-mode signal processing for minimized circuitry. The clipping circuit can be obtained the current output according to its voltage output and the electronic resistor. The clipping voltage output is achieved by input clipping voltage and input voltage relations. The D/A currents output can be simply obtained by summing of their currents. The direct connection method and n-bits expandable without any restrictions can be obtained that is an advantage of current-mode approach. The integrity analog output can be obtained either current or voltage. The simulation results are performed by PSpice based on MOSIS CMOS process 0.25μm. The analog integrity output can be obtained.**

I. INTRODUCTION

In analogue signal processing [1], [3], digital-to-analog converter (D/A) is an important part for interpret a digital word to an analog signal. The familiar OPAMP D/As [2] have been found in very long time ago such as linear combination and 2-2R ladder [4], [5]. The complicated resistors design has been found and slow response behavior cause of the OPAMP bandwidth.

The clipping circuit based on OPAMP and zener diode has been introduced [4-6] that operates in voltage-mode. The clipping voltages are set by each zener diode across voltage. The mention clipping circuit is not practical because zener diodes are complicated to find out. The OPAMP-based is used a large die area in fabrication and the frequency response is also limited by its gain-bandwidth (GBW).

This paper is focused on the components reduction and without the resistor. This paper describes a CMOS D/A based on voltage-clipping circuit. The voltage clipping circuit is modified by a minimum circuit [8]. The current mirrors and electronic resistors have been added for obtained a current output. The D/A circuit is constructed by n-clipping circuits for n-bits digital signal. The reference voltage can be simply adjusted by a particular voltage weighting assignment. The number of digital bit inputs can be flexible increased and decreased without changing of the topology that is a benefit of proposed D/A. The output current is quite accurate according to the input signal and clipping reference voltage. The expected analog signal output can be obtained either in current or voltage.

II. THEORY AND PRINCIPLE

The proposed circuit is constructed by n-parts of clipping circuit. The CMOS transistors are realized for a clipping circuit. The minimum circuit and electronic resistor are deployed for obtained the current output.

A. Shunt-Feedback Buffer Circuit

Fig. 1 shows shunt-feedback buffer circuit [7]. It contains the 2 current sources and 3 transistors. The transistor M_1 is using for supply its source voltage, M_2 using for supply current at node V_O and M_3 is done for output current. All transistors are operated in saturation region. So, the voltage output can be written as follows :

$$V_O = V_C - \sqrt{\frac{I_1}{k_N}} - V_{TN} \qquad (1)$$

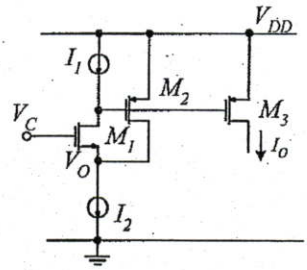


Fig. 1 The Shunt-Feedback Buffer Circuit

The output current I_O equals I_2-I_1 obtaining from current mirror M_3. However, the bias I_1 can be cancelled by symmetry scheme because I_1 is constant, while the transistors of both sides must be identical. The current source I_1 is a drain current of M_1 and I_2 is a total current source of circuit. While input voltage (V_C) is applied in gate of M_1, source voltage is appeared. The enough current should be supplied in case of load connected at node V_O. Thus, M_2 and I_2 are deployed to supply such current.

B. Minimum Circuit

The minimum circuit [8] as shown in fig.2 can be realized by the 2 shunt-feedback buffer circuits with a swapping of bias transistor M_2 and I_2. Suppose that, the input section 1 and 2 are perfectly matched. The transistor M_{S1} and M_{S2} will operate according to which the gate voltage input is lower. The source voltages (V_{OUT}) are connected together that take care the current output by the negative current sources M_{81}, M_{82}.and positive current source I_2. The output voltage is appeared according to the V_{IN1} and V_{IN2} that can be written as:

$$V_{OUT} = V_{\min}\Big|_{V_{IN1},V_{IN2}} \qquad (2)$$

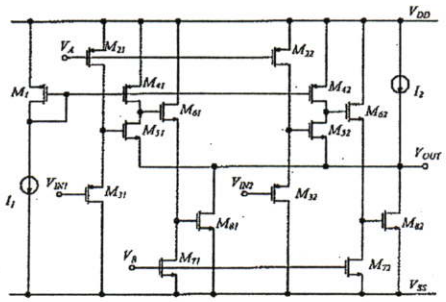


Fig.2 CMOS Minimum Circuit

C. MOS Electronic Resistor

The MOS electronic resistor circuit [9] as shown in Fig.3 has been introduced in 1990. This electronic resistor circuit is performed as a grounded resistor. The resistance can be adjusted by its supply voltage and its aspect ratio (W/L). The transresistance of the electronic resistor circuit can be expressed in Eq.(3).

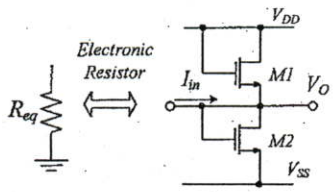


Fig.3 MOS Electronic Resistor Circuit

$$R_{eq} = \frac{V_O}{I_{in}} = \frac{L}{2\mu C_{OX} W\left(V_{DD} - V_T\right)} \qquad (3)$$

D. Clipping Circuit

For clipping building block, the above minimum circuit and electronic resistor are deployed. The clipping voltage input is applied in a particular port and V_{in} is applied in the rest port as shown in Fig.4. The transistors M_9 and M_{10} are connected as an electronic resistor. The resistor current based on the clipping and input voltage conveyed to the output by the current mirrors M_{81} - M_{84}. The simplify building block can be described in fig. 5. The current output of clipping circuit according to the input, clipping voltage and electronic resistor can be expressed as:

$$I_{OUT} = \frac{V_{\min}}{R_{eq}}\Big|_{V_{IN1},V_{CLIP}} \qquad (4)$$

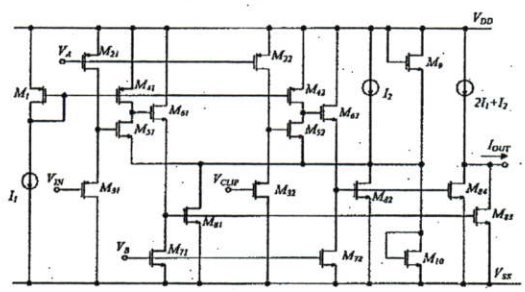


Fig.4 Complete Clipping Circuit

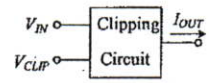


Fig. 5 Simplify Clipping Circuit Building Block

III. DIGITAL-TO-ANALOG CONVERTER

The D/A is a useful building block and found in analog signal processing area. The variety mix-signal processing integrated circuits can be processed in digital or analog approaches. Although, the analog can be process perhaps a digital process can be also well done. The natural signal input always analog that should be convert to digital for taking some process and finalized output in analog again. So the A/D and D/A are very important parts to carry out this point.

The CMOS D/A has been reported [10] that used CMOS based diode connection for clipped a signal. That circuit was worked seem to be a rectifier function. The low-output impedance is a problem of current mode that giving the errors when the summation current outputs are connected.

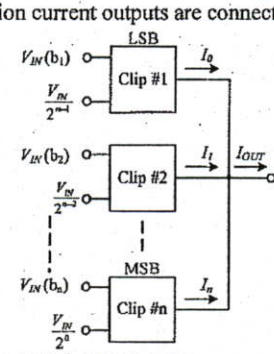


Fig.6 The D/A Block Diagram

The proposed D/A scheme has been shown in fig.6 using connection of n-stages clipping circuits. The current output can be obtained by the summing of several clipping circuit outputs. Each signal output is controlled by particular data digital bit input (0 or 1) that applied by V_{in}. The current output

is weighted by the clipping voltage according to the bit significant.

The summation of their current can be simply direct connection cause of worth in current-mode processing. From the current-mode approach, the data bit inputs enjoy more expandable without any restriction. The voltage output can be also easily obtained using R_L connected. The b_1 and b_n are least significant bit (LSB) and most significant bit (MSB), respectively. The current output of D/A can be obtained as:

$$I_O = \frac{V_{IN}}{R_{eq}}\left(\frac{b_1}{2^{n-1}} + \frac{b_2}{2^{n-2}} + ... + \frac{b_n}{2^0}\right) \quad (5)$$

or

$$I_O = \frac{V_{IN}}{R_{eq}} \sum_{i=1}^{n} \frac{b_i}{2^{n-i}} \quad (6)$$

From Eq. (6), the linear combination algorithm can be seen without the complicate resistor design. The full-scale current output is given by all bits set to '1'. Supposed that n is approach to infinite. The current output will become:

$$I_O\big|_{fs} \to \frac{2V_{IN}}{R_{eq}}; \quad (n \to \infty) \quad (7)$$

The only LSB is '1' that the output can be obtained to

$$I_O\big|_{1LSB} \to \frac{V_{IN}}{2^{n-1} R_{eq}} \quad (8)$$

IV. Simulation Results

The proposed D/A in fig.6 can be assumed for 4 bits by identical 4-stages of clipping circuit. The performances have been confirmed by PSpice. The level 3 model T14Y MOSIS 0.25μm with the following parameters, V_{TN} = 0.42V, V_{TP} = -0.55V, $\mu_N C_{OX}$ = 250.1048$\mu A/V^2$ and $\mu_P C_{OX}$ = 51.94153. $\mu A/V^2$ is assumed. The aspect ratio of transistors is shown in table 1 and CMOS model is listed in table 2

Table 1. The aspect ratio of transistors

Transistors	W/L($\mu m/\mu m$)
M_{2i}, M_{3i}, M_{5i}-M_{7i}	2/0.5
M_{8i}	30/0.5
M_1, M_{4i}	10/0.5
M_9, M_{10}	0.5/0.5

The bias currents, I_1 and I_2 equal to 21.4μA and 100μA, respectively. The bias voltages, V_A and V_B are 0.9 Volts. The supply voltage, ±1.5 volts is used. The voltage reference of various clipping circuit are given in the rule of Eq. (5). The minimum circuit carries out the input range of 0.5 volts for V_{IN}. The clipping reference voltages of LSB to MSB are achieved as 0.0625, 0.125, 0.25 and 0.5, respectively.

Table 2. MOSIS Level 3 Model 0.25μm

```
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.4317311 PHI=0.7 VTO=0.4238252 DELTA=0
+UO=425.6466519 ETA=0 THETA=0.1754054 KP=2.501048E-4
+VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11
+WD=1.232881E-8 CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10
+CJ=1.81211E-3 PB=0.5 MJ=0.3282553 CJSW=5.341337E-10
+MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.6348369 PHI=0.7 VTO=-0.5536085 DELTA=0
+UO=250 ETA=0 THETA=0.1573195 KP=5.194153E-5
+VMAX=2.295325E5 KAPPA=0.7448494 RSH=30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13
+WD=5.475113E-9 CGDO=6.66E-10 CGSO=6.66E-10
+CGBO=1E-10 CJ=1.893569E-3 PB=0.9906013 MJ=0.4664287
+CJSW=3.625544E-10 MJSW=0.5)
```

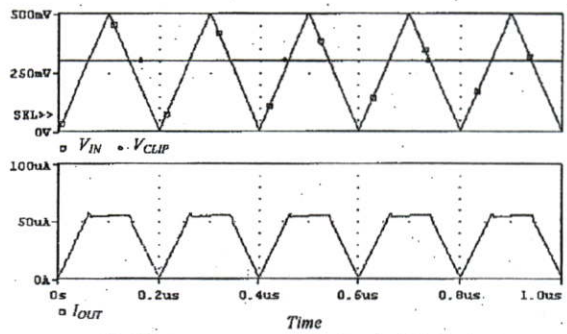


Fig.7 The current output of clipping circuit in fig. 4

The electronic resistors that used in this paper are performed by M_9 and M_{10} with aspect ratio in table.1. The resistance can be obtained about 5kΩ. The clipping performance can be confirmed by applying saw-tooth signal of 0.5 V_{p-p} with 0.25 volts offset for V_{IN} and clipping voltage is set at 0.3 volts. The current output can be obtained the accurate clipping as shown in fig. 7.

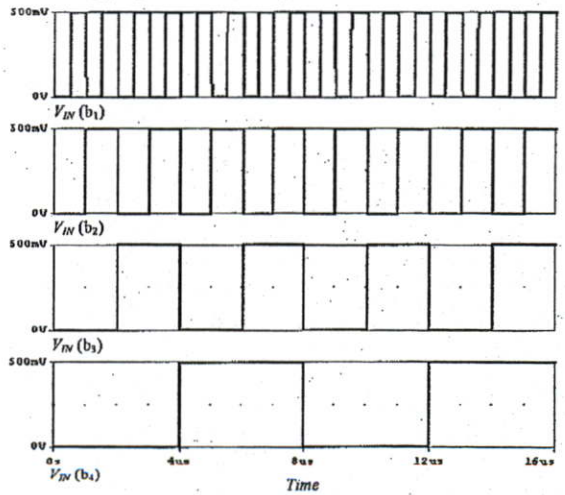


Fig.8 Digital input signal for proposed 4 bits D/A

The 4 bits D/A performance can be simulated by giving the data input as different consecutive pulses trains as shown

in fig. 8. The sampling frequency of digital input is supposed at 1 MHz.

The full scale current output due to 4 bits inputs can be roughly calculated using Eq. (7) about 187.5μA. The 1LSB current output using Eq. (8) can be also found about 12.5μA. The simulation results are confirmed the current outputs are in agreement with the calculation about 172.64μA and 12.22μA for full scale and 1LSB current output, respectively. The output signal that seems to be a ramp signal can be obtained in fig. 9.

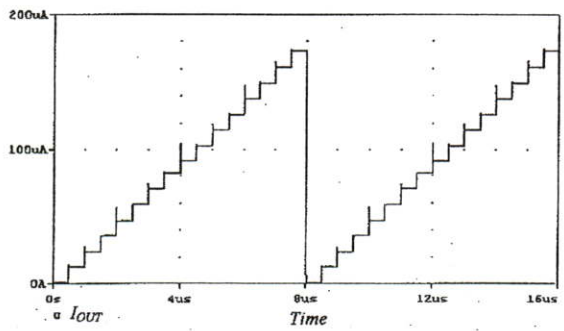


Fig.9 Analog output current of proposed D/A

For voltage output, the 5kΩ resistor is connected to the output port of proposed D/A circuit. The full scale voltage output due to 4 bits inputs can be roughly calculated using Eq. (7) about 937.5mV The 1LSB current output using Eq. (8) can be also found about 62.5mV. The simulation results are confirmed the current outputs are in agreement with the calculation about 784.52mV and 53.54mV for full scale and 1LSB voltage output, respectively. The output signal that seems to be a ramp signal can be obtained in fig. 10. The achieved output voltage has some error due to the load resistance connection.

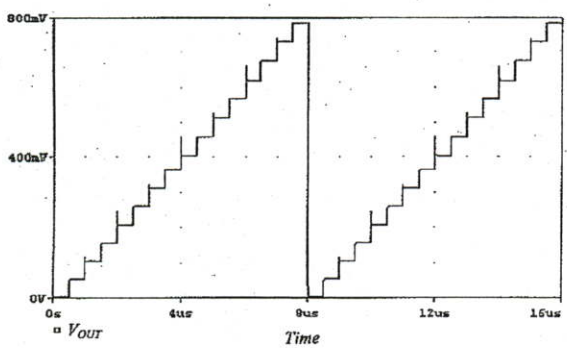


Fig.10 Analog output voltage of proposed D/A while R_L= 5kΩ connected

V. Conclusion

The CMOS Digital-to-Analog Converter (D/A) Circuit based on clipping circuits is proposed. The signal of proposed circuit is processed in current-mode for minimized a circuitry. The minimum circuit and electronic resistor are implemented for a clipping circuit. The current output of D/A can be simply obtained by summing of their clipping current outputs. This algorithm can be flexibly increased and decreased the number of digital bits input. The reference voltage can be simply calculated by basic mathematical. The analog output can be obtained either current or voltage.

References

[1] D. Johns, and K. Martin, "*Analog integrated circuit design*," New York: John Wiley & Sons, 1997.

[2] W. D. Stanley, "*Operational amplifiers with linear integrated circuits*," USA, Macmillan College, 1994.

[3] C. Toumazou, F. J. Lidgey and D. G. Haigh, "*Analogue IC design: the current mode approach*," Peter peregrinus ltd.1990.

[4] Karadimas, D.S.; Mavridis, D.N.; Efstathiou, K.A.; "A digitally calibrated R-2R ladder architecture for high performance digital-to-analog converters," ISCAS.2006 21-24 May 2006

[5] M. P. Kennedy, "On the robustness of R-2R ladder DAC's, "*IEEE Trans. Circuits & Syst. II*," vol. 47, Feb. 2000.

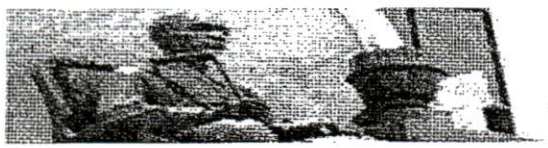
[6] T. L. Floyd, Basic operational amplifiers and linear integrated circuits. USA: 1994.

[7] T. R. Visawanathan, "CMOS Transconductance Element," *Proc. IEEE*, Vol.74(1), pp.222-224, 1986.

[8] K. Angkeaw, M. Somdunyakanok, P. Prommee, M. Kumngern, K. Dejhan, and J. Chanwutitum, "CMOS Low-voltage Max/Min circuits and its application," *Proc. of ECTI-CON 2006*, Ubon-Ratchathani, Thailand, May 10-13, 2006.

[9] Z. Wang, "2-MOSFET Transistors with Extremely low distortion for output reaching supply voltage," *Electron. Lett.*, Vol.26, pp.951-952., June 1990.

[10] A.Monpapassorn S. Maitreechit and S. Sonanta "A CMOS Positive Current Clipping and A New D/A Converter Application," *KKU Engineering Journal*, Vol. 31(2), pp.201-213, April-June 2004.



Reply | Reply All | Forward | Auto Detect

Delete | Move To | INBOX | Change Encoding | Default

From : pipat@telecom.kmitl.ac.th
To : krita@kmutnb.ac.th
Subject : FW: Decision on your manuscript
Date : February 11, 2009 10:50:22 AM ICT
Priority : Normal
Block The Sender View All Headers | View Printable | Save Message

-----Original Message-----
From: em.alog.0.107eab.2ab29f1e@editorialmanager.com [mailto:em.alog.0.107eab.2ab29f1e@
On Behalf Of Analog Integrated Circuits & Signal Processing
Sent: Wednesday, January 21, 2009 2:13 PM
To: pipat@telecom.kmitl.ac.th
Subject: Decision on your manuscript

Dear Pipat:

We are pleased to inform you that your manuscript, "CMOS-based near zero-offset multi
circuits and its applications" has been accepted for publication in Analog Integrated
Processing.

For information regarding your accepted paper, please click the following link:

http://www.springer.com/engineering/circuits+%26+systems/journal/10470?detailsPage=contentIte

Best regards,

The Editorial Office
Analog Integrated Circuits and Signal Processing

Delete | Move To | INBOX | Change Encoding | Default

Reply | Reply All | Forward | Auto Detect

Analog Integr Circ Sig Process
DOI 10.1007/s10470-009-9281-2

CMOS-based near zero-offset multiple inputs max–min circuits and its applications

Pipat Prommee · Krit Angkeaw · Montri Somdunyakanok · Kobchai Dejhan

Received: 20 July 2007 / Revised: 12 January 2009 / Accepted: 21 January 2009
© Springer Science+Business Media, LLC 2009

Abstract CMOS-based near zero-offset multiple inputs maximum circuit and minimum circuits are proposed. The analog signal building blocks including shunt-feedback buffer, voltage-subtraction circuits and current mirrors are deployed for obtained the good performances. This achieved circuit is a simply scheme and able to work with low-power supplies. The input range is obtained around ±600 mV within ±1.5 V power supplies. Near zero-offset and low-output impedance are provided by proposed circuit. The delay of output is less than 5 ns for THD less than 1% and frequency response up to 500 MHz. Half-wave, full-wave rectifiers and 4 bits linear combination Digital-to-Analog Converter (DAC) are raised up to confirm the realistic applications. All performances including the DC-characteristic, frequency response, high-frequency wave output are simulated by PSpice.

Keywords Maximum circuit · Minimum circuit · Rectifier · DAC

1 Introduction

Maximum circuit (max-circuit) and minimum circuits (min-circuit) are building blocks which are useful in the analog signal processing areas. The applications were found in particular area as much as telecommunications, instrumentations and, etc. The previous works have been introduced in different approaches. The CCIIs are employed with a few MOS transistors and a diode [1]. Asymmetric inputs that are applied become a problem for multiple inputs. OTAs and diodes structure which produce symmetric inputs was reported [2] to solve the problem. Other problems that have been found are over switching time and voltage across of diodes affects to inputs. Using many components is another problem with $(n + 1)$ OTAs for n-input. The winner-take-all is a famously method for implement max-circuit and min-circuit. The CMOS-based max-circuit and min-circuit using winner-take-all (WTA) principle have been introduced. Symmetry of inputs was realized and multiple inputs can be operated, but using too many transistors and complexity structure [3, 4]. Another CMOS-based compactness max-circuit and min-circuit were also proposed with a good performance [5]. The source couple pairs-based is used as a voltage-follower of input-stage. The small offset voltage output is always suffered without any adjustments.

This paper proposed new configuration of CMOS-based multiple inputs max-circuit and min-circuit are based on WTA principle. The results of realization are compactness and the lowest output offset is adjustable. High-performances including fast-response, high-frequency operation, low-offset output and low-distortion are obtained from a simple structure which uses low-power supplies. Additionally, full-wave rectifier and Digital-to-Analog (DAC) are easily to realize based on a proposed max-circuit and min-circuit basis.

P. Prommee (✉) · K. Angkeaw · K. Dejhan
Department of Telecommunications Engineering, Faculty of Engineering, King's Mongkut Institute of Technology Ladkrabang, Bangkok 10520, Thailand
e-mail: kppipat@kmitl.ac.th; pipat@telecom.kmitl.ac.th

M. Somdunyakanok
Electrical Engineering Department, Faculty of Engineering, Siam University, Bangkok 10160, Thailand

2 Basic subcircuit principles

2.1 Voltage-subtraction circuit

The Voltage-subtraction circuit is utilized for maintain the offset voltage. N-type and P-type transistors are used in the

Published online: 25 February 2009

circuits which are respectively shown in Fig. 1(a), (b). All transistors are operated in saturation region. The output voltage of N-type transistor is expressed as

$$V_O = V_A - V_B + V_{SS} \tag{1a}$$

Likewise, output voltage of P-type transistor is expressed as

$$V_O = V_A - V_B + V_{DD} \tag{1b}$$

2.2 Electronic resistor

An electronic resistor [6] was introduced by using dual supplies which is shown in Fig. 2. Two transistors are connected as active loads with the power supplies $V_{DDR} = -V_{SSR}$. Therefore, transresistance of the electronic resistor circuit is expressed as Eq. 2

$$R_{eq} = \frac{V_O}{I_{in}} = \frac{L}{2\mu_O C_{OX} W(V_{DD} - V_T)} \tag{2}$$

3 Near zero-offset voltage follower

The proposed CMOS near zero-offset voltage follower circuit which is shown in Fig. 3. The circuit only consists of 6 transistors and it is modified by biasing 3 voltage sources. This circuit works as a basic shunt feedback buffer [7]. These transistors are operated in saturation region which shown in Eq. 3 for NMOS transistors and Eq. 4 for PMOS transistors.

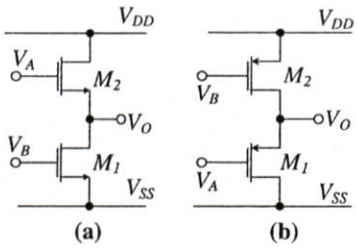


Fig. 1 Voltage-subtraction circuits

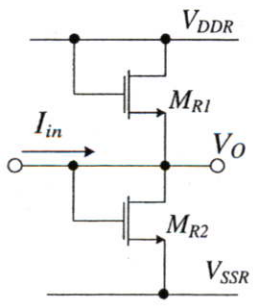


Fig. 2 CMOS electronic resistor circuit

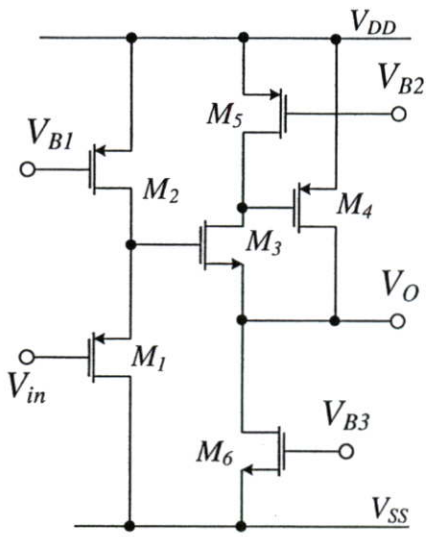


Fig. 3 Near zero-offset voltage follower circuit

$$I_{DN} = k_N(V_{GSN} - V_{TN})^2 \tag{3}$$

$$I_{DP} = k_P(V_{SGP} - |V_{TP}|)^2 \tag{4}$$

where $k_P = \frac{\mu_P C_{OX}}{2}\left(\frac{W}{L}\right)$, $k_N = \frac{\mu_N C_{OX}}{2}\left(\frac{W}{L}\right)$, V_{TN} and V_{TP} are threshold voltage of NMOS and PMOS transistors. The voltage-subtraction circuit consists of 2 PMOS transistors which are M_1 and M_2. The shunt feedback buffer circuit consists of 4 transistors which are M_3–M_6. Transistors M_4, M_5 and M_6 are operated as shunt current and constant current sources. This proposed scheme enjoys a near zero-offset adjustable approach. The source voltage of M_3 is written as Eq. 5

$$V_O = V_{IN} - V_{B1} + V_{DD} - \sqrt{\frac{I_{D3}}{k_{N3}}} - V_{TN3} \tag{5}$$

Drain current of M_3 is biased by a constant current source of M_5. Output voltage is rewritten to Eq. 6

$$V_O = V_{IN} - V_{B1} + V_{DD} - \sqrt{\frac{k_{P5}}{k_{N3}}}(V_{DD} - V_{B2} - |V_{TP5}|) - V_{TN3} \tag{6}$$

Suppose the biased voltage V_{B1} is set to

$$V_{B1} = V_{DD} - \sqrt{\frac{k_{P5}}{k_{N3}}}(V_{DD} - V_{B2} - |V_{TP5}|) - V_{TN3} \tag{7}$$

Output voltage becomes

$$V_O = V_{IN} \tag{8}$$

Output is obtained totally identical to the input. This approach is achieved based on a biased voltage V_{B1} and V_{B2}.

4 Proposed CMOS-based multiple inputs max and min circuits

4.1 Maximum circuit

N-stages of CMOS near zero-offset voltage follower are directly parallel connected as shown in Fig. 4. Various input waveforms are applied to the max-circuit and it produces single maximum output waveform. The dominant input (highest) will affected to particular stage output according to the WTA method. That stage will take over the highest current by M_{4i} this means maximum input will appear in the output according with a source voltage of M_{3i}. The output is clarified to

$$V_O = Max(V_{ini}); \quad i = 1,2,3,\ldots,n \tag{9}$$

From the principle above, the max-circuit can be implemented by using parallel connection of near zero-offset voltage follower.

4.2 Minimum circuit

The minimum circuit as shown in Fig. 5 can be easily implemented using some modification of max-circuit. The voltage output is similar analysis to max-circuit counterpart, but it has different operated in current biased for multiple inputs named Looser-Take-All (LTA). The output in Fig. 4 is varied in positive term by using M_{4i} then the maximum function is achieved. Otherwise, the output in Fig. 5 is varied in negative term by using M_{6i} the minimum function is obtained. The transistor M_{6i} is biased from shift-down circuit M_{4i} and M_{5i}. The current is supplied with M_{6i} and cooperated with the constant current of M_8 which produce output current in negative and positive, respectively.

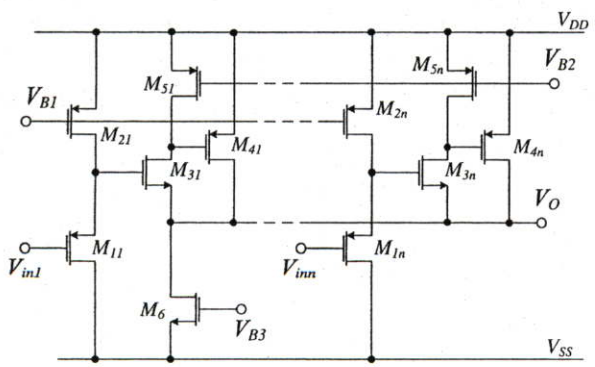


Fig. 4 Maximum circuit modification based on near zero-offset voltage follower circuit

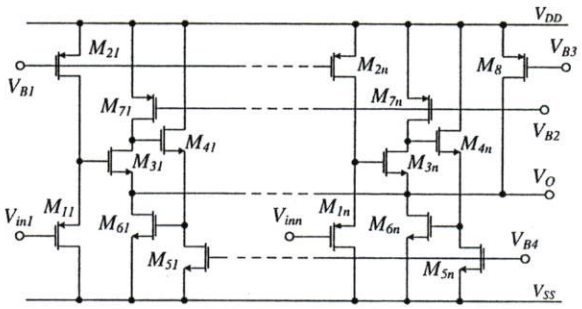


Fig. 5 Minimum circuit modification based on near zero-offset voltage follower circuit

Likewise, the analysis of min-circuit is mostly the same with max-circuit. The output becomes

$$V_O = Min(V_{ini}); \quad i = 1,2,3,\ldots,n \tag{10}$$

5 Performance analysis

5.1 Impedances

The impedance approximation can be derived by small signal model analysis of Fig. 3. Due to input port (r_{in}) is the gate of MOS transistor, impedance at input port (r_{in}) is extremely high. Then input port impedance is expressed as Eq. 11

$$r_{in} \approx \infty \tag{11}$$

Output port impedance (r_{out}) performed as voltage source output, which should be as low as possible. The approximately calculation obtained from the transistors M_4 and M_6 can be expressed as Eq. 12

$$r_{out} = \frac{v_O}{i_O} \cong \frac{g_{d3}}{g_{m3}(g_{m4} + g_{d4})} \tag{12}$$

From Eq. 12, the following parameters are given as $g_{m3} = 1.65 \times 10^{-4}$ A/V, $g_{m4} = 2.86 \times 10^{-4}$ A/V and $g_{d3} = 1.21 \times 10^{-6}$ A/V. Output port impedances calculation is obtained around 25.53 Ω agreed with the theoretical.

5.2 Offset voltage

From Eq. 6, near zero-offset adjustable of proposed max-circuit and min-circuit can be observed by adjusting V_{B1}. Output voltage is accurately transferred from input voltage. The very low offset of proposed circuit can be neglected and it operates as a precise voltage follower. Near zero-offset adjustable is suitable for many applications such as rectifier and DAC.

5.3 Body-effect

In order to the body-effect consideration, body-source voltage affects to the threshold voltage which can be depicted in Eq. 13.

$$V_T = V_{TO} + \Delta V_T = V_{TO} + \gamma\left(\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F}\right) \tag{13}$$

where V_T is the threshold voltage when substrate bias is presented, V_{SB} is source-to-body substrate bias, $2\phi_F$ is surface potential, and V_{TO} is threshold voltage for zero substrate bias, $\gamma = (t_{ox}/\varepsilon_{ox})\sqrt{2q\varepsilon_{si}N_A}$ is body effect parameter, t_{ox} is oxide thickness, ε_{ox} is oxide permitivity, ε_{si} is permitivity of silicon, N_A is doping concentration and q is charge of an electron

In this case, each bodies of every MOS transistors is connected to its source ($V_{SB} = 0$) then $V_T = V_{TO}$ except transistor M_3. The body of transistor M_3 is actually connected to V_{SS} while its source is providing the voltage output. From Eq. 6, suppose the bias voltages V_{B1} and V_{B2} are given in Eq. 7. Output offset voltage is unable to eliminate. The small deviation offset is occurred then the output can be rewritten to

$$V_O = V_{IN} + \Delta V_T \tag{14}$$

5.4 Effect of transistors mismatched

The mismatch of transistors directly affects to the off-set voltage. From voltage follower in Fig. 3 and Eq. 6, matching condition of transistors M_1 and M_2 was assumed. Output voltage achieves the minimum offset voltage. If transistors M_1 and M_2 are mismatched, the Eq. 6 is rewritten to

$$V_O = V_{IN} + |V_{TP1}| - \sqrt{\frac{k_2}{k_1}}(V_{B1} + |V_{TP2}| - V_{DD}) - \sqrt{\frac{k_5}{k_3}}(V_{DD} - V_{B2} - |V_{TP5}|) - V_{TN3} \tag{15}$$

Using the same condition of biased voltages V_{B1} and V_{B2} as Eq. 7, the offset output voltage equation becomes

$$V_{Offset} = |V_{TP1}| - \sqrt{\frac{k_2}{k_1}}\left(V_{DD} + \sqrt{\frac{k_5}{k_3}}(V_{DD} - V_{B2} - |V_{TP5}|) - V_{TN3} + |V_{TP2}| - V_{DD}\right) - \sqrt{\frac{k_5}{k_3}}(V_{DD} - V_{B2} - |V_{TP5}|) - V_{TN3} \tag{16}$$

From Eq. 16, offset voltage deviates obviously small by the mismatch of transistors M_1 and M_2.

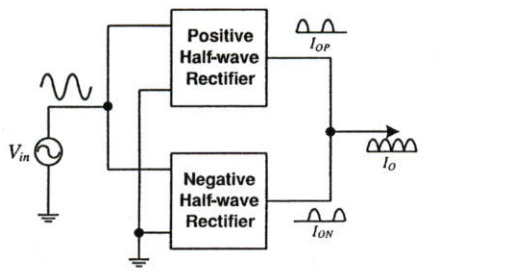


Fig. 6 Full-wave rectifier application

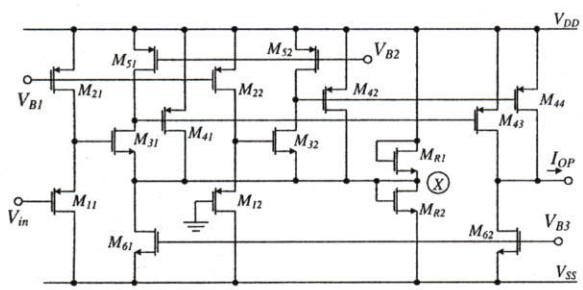


Fig. 7 Positive half-wave rectifier

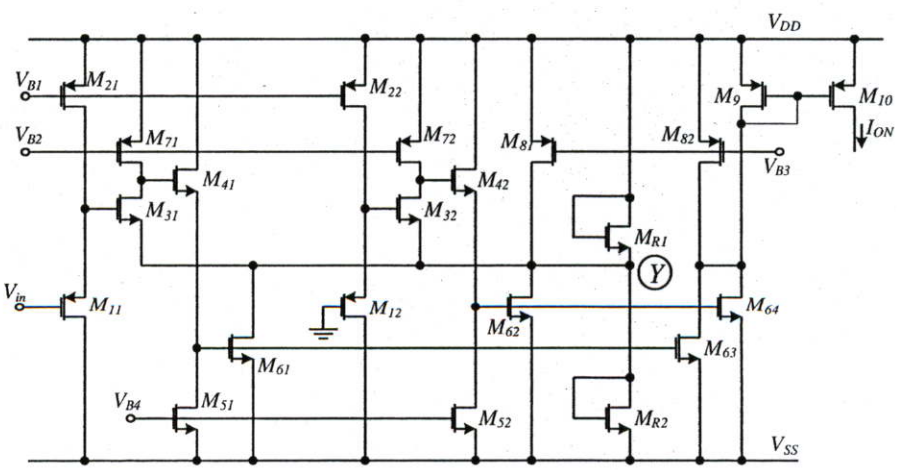


Fig. 8 Negative half-wave rectifier

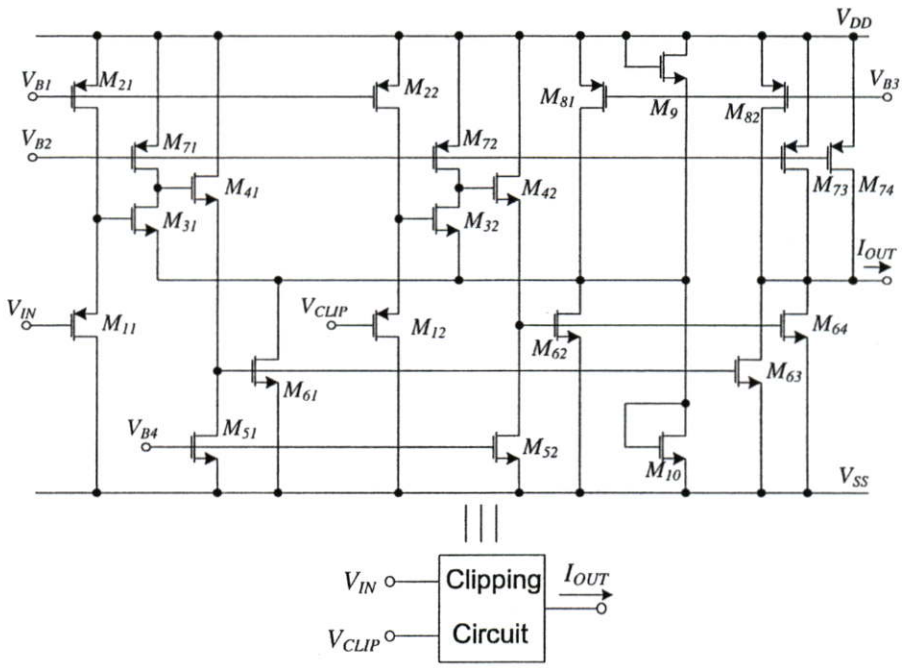


Fig. 9 Clipping circuit modification based on minimum circuit

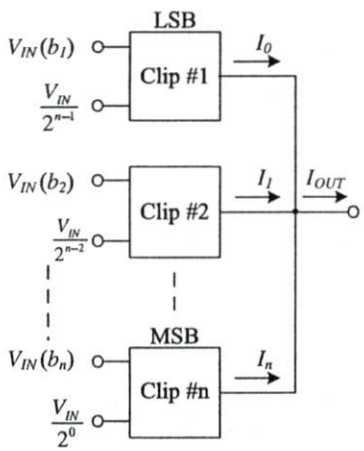


Fig. 10 Digital-to-Analog Converter (DAC) based on clipping circuit

6 Applications

As above mentioned of proposed max-circuit and min-circuit which shown in Figs. 4 and 5, low-offset output is obtained with a compact structure. It can be applied into other variety function circuit building blocks. Two circuit applications are depicted to confirm the benefits of the proposed max-circuit and min-circuit.

6.1 Full-wave rectifier

The proposed max-circuit and min-circuit are confirmed that they ensure in realistic application. A small modification can be done by adding an electronic resistor [7] for obtained current then transferred to current output by current mirrors. Simply parallel connection between max-circuit and min-circuit can be done by benefits of input voltage and output current. An algorithm of full-wave rectifier is shown in Fig. 6. Positive and negative half-wave rectifiers are depicted in Figs. 7 and 8. Voltage signal is applied to input port and another input port is grounded.

Positive half-wave rectifier as shown in Fig. 7 consists of 2 cells which are M_{1i}–M_{6i} of max-circuit. Transistors M_{R1} and M_{R2} are constructed as an electronic resistor (R_{eq}). Due to input of second cell is assigned to be zero, positive half-wave voltage (V_P) of V_{in} at node X is obtained from the first cell. Positive half-wave currents are also obtained by V_P/R_{eq} and conveyed them to output section (M_{43}, M_{44} and M_{62}) by M_{41} and M_{42}.

Likewise, negative half-wave rectifier as shown in Fig. 8 consists of 2 cells which are M_{1i}–M_{8i} of min-circuit. Transistors M_{R1} and M_{R2} are constructed as an electronic resistor (R_{eq}). Due to input of second cell is assigned to be zero, negative half-wave voltage (V_N) of V_{in} at node Y is obtained from the first cell. Negative half-wave currents are also obtained by V_N/R_{eq} and conveyed them to output section (M_{63}, M_{64}, M_{82}, M_9 and M_{10}) by M_{61} and M_{62}.

6.2 Digital-to-Analog Converter (DAC)

Normally, DAC circuits are always designed by using an input combination algorithm based on different resistors [8, 9]. Complicated structure and many resistors are the

Table 1 Model parameter of MOS transistors used for SPICE simulation

```
.MODEL NMOS1 NMOS (LEVEL = 3 TOX = 5.7E−9 NSUB = 1E17
+GAMMA = 0.4317311 PHI = 0.7 VTO = 0.4238252 DELTA = 0
+UO = 425.6466519 ETA = 0 THETA = 0.1754054 KP = 2.501048E−4
+VMAX = 8.287851E4 KAPPA = 0.1686779 RSH = 4.062439E−3
+NFS = 1E12 TPG = 1 XJ = 3E−7 LD = 3.162278E−11
+WD = 1.232881E−8 CGDO = 6.2E−10 CGSO = 6.2E−10 CGBO = 1E−10
+CJ = 1.81211E−3 PB = 0.5 MJ = 0.3282553 CJSW = 5.341337E−10
+MJSW = 0.5)
.MODEL PMOS1 PMOS (LEVEL = 3 TOX = 5.7E−9 NSUB = 1E17
+GAMMA = 0.6348369 PHI = 0.7 VTO = −0.5536085 DELTA = 0
+UO = 250 ETA = 0 THETA = 0.1573195 KP = 5.194153E−5
+VMAX = 2.295325E5 KAPPA = 0.7448494 RSH = 30.0776952
+NFS = 1E12 TPG = −1 XJ = 2E−7 LD = 9.968346E−13
+WD = 5.475113E−9 CGDO = 6.66E−10 CGSO = 6.66E−10
+CGBO = 1E−10 CJ = 1.893569E−3 PB = 0.9906013 MJ = 0.4664287
+CJSW = 3.625544E−10 MJSW = 0.5)
```

major problem of D/A. Large die area is also achieved cause from many resistors. Proposed DAC circuit is realized by clipping building blocks based on min-circuit and electronic resistor. The clipping voltage input (V_{CLIP}) is applied into a particular port and V_{IN} is applied into the rest port as shown in Fig. 9. The transistors M_9 and M_{10} are connected as an electronic resistor. The electronic resistor current is based on the clipping voltage and its resistance. An electronic resistor current is conveyed to the output current mirrors M_{63}, M_{64}, M_{73}, M_{74} and M_{82} by M_{61} and M_{62}. The current output of clipping circuit is according to the input, clipping voltage and electronic resistor is expressed as

$$I_{OUT} = \frac{V_{\min}}{R_{eq}}\Big|_{V_{IN},V_{CLIP}} \tag{17}$$

The proposed DAC algorithm is shown in Fig. 10 by using a connection of n-stages clipping circuits. Current output can be obtained by the summing of several clipping circuit outputs. Each signal output is controlled by

Table 2 Aspect ratio of near zero-offset voltage follower circuit

Transistors	W (μm)	L (μm)
M_1, M_2, M_3	2	0.5
M_4, M_6	30	0.5
M_5	20	0.5

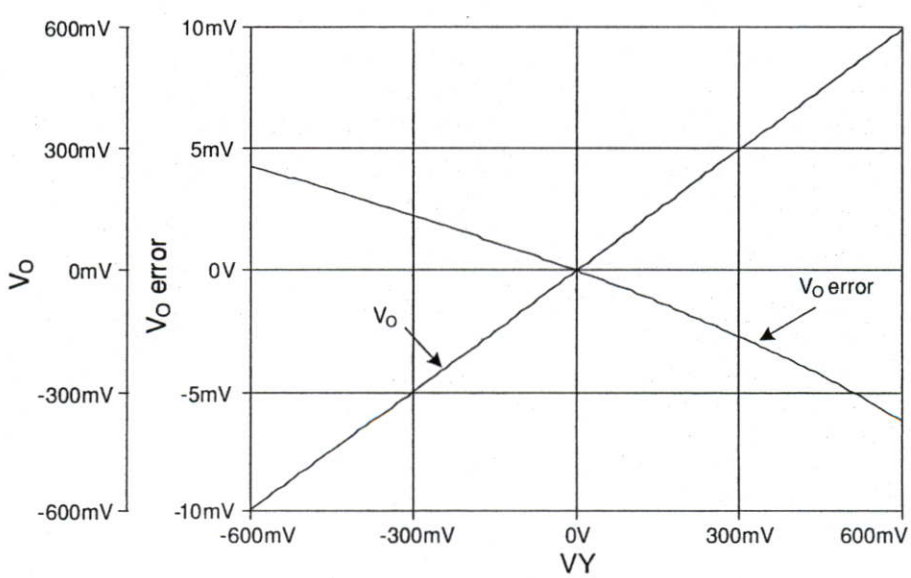


Fig. 11 Voltage output and output tracking error against varied voltage input

particular data digital bit input (0 or 1) which applied by V_{IN}. The current output is weighted by the clipping voltage accord with such bit significant.

The summation of output currents can be simply direct connected according to familiar benefits of a current-mode processing approach. From the current-mode approach, the data bit inputs enjoy more expandable without any restriction. The voltage output can be also easily obtained by using R_L connected. The b_1 and b_n are the least significant bit (LSB) and the most significant bit (MSB), respectively. The current output of DAC is obtained as

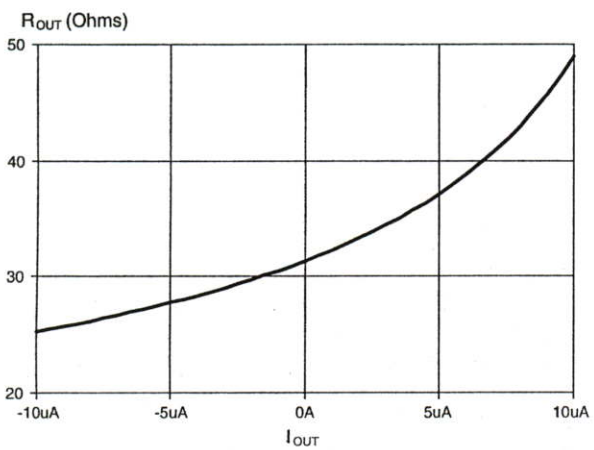


Fig. 12 Output port resistance for different I_{OUT}

$$I_{OUT} = \frac{V_{IN}}{R_{eq}}\left(\frac{b_1}{2^{n-1}} + \frac{b_2}{2^{n-2}} + \cdots + \frac{b_n}{2^0}\right) \tag{18}$$

or

$$I_{OUT} = \frac{V_{IN}}{R_{eq}} \sum_{i=1}^{n} \frac{b_i}{2^{n-i}} \tag{19}$$

From Eq. 19, the linear combination algorithm can be seen without the complicate resistor designed. The full-scale current output is obtained by setting all bits to '1'. Supposed that n is approach to infinite. The current output becomes

$$I_{OUT}|_{fs} \rightarrow \frac{2V_{IN}}{R_{eq}}; \quad (n \rightarrow \infty) \tag{20}$$

The only LSB is '1' that the output can be obtained as

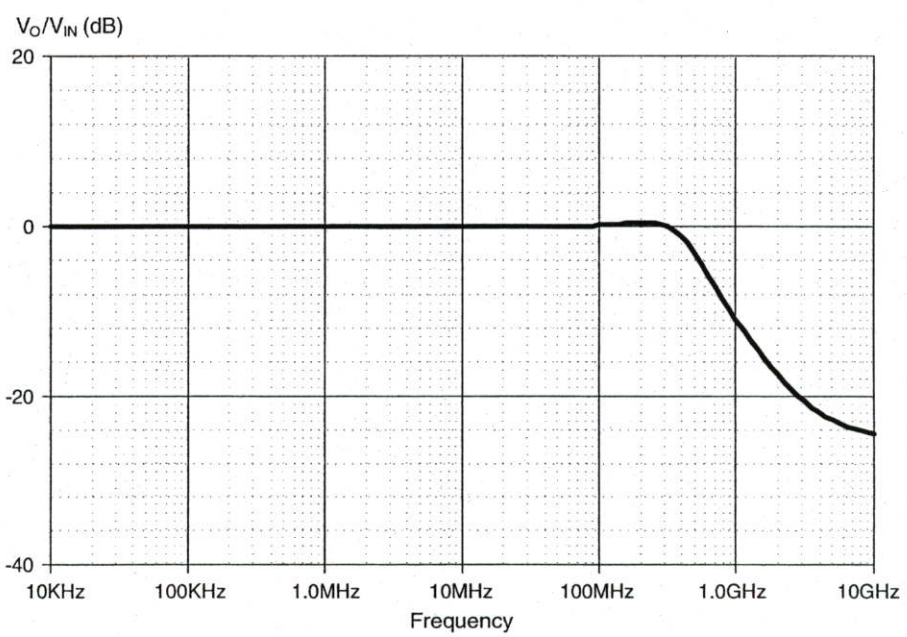
$$I_{OUT}|_{1LSB} \rightarrow \frac{V_{IN}}{2^{n-1}R_{eq}} \tag{21}$$

7 Simulation results

All proposed circuits are separated by 4 parts which are voltage follower, max/min, rectifier and DAC circuits, respectively. All circuits are simulated based on Level 3 model TSMC MOSIS 0.25 μm as listed in Table 1 and ±1.5 V power supplies.

Firstly, near zero-offset voltage follower circuit as shown in Fig. 3 has been simulated by PSpice with aspect ratio in Table 2. The biased voltage, V_{B1}, V_{B2} and V_{B3} are

Fig. 13 Voltage follower frequency response



set to 0.8571, 0.6 and −1.067 V, respectively. Figure 11 shows voltage follower behavior of obtained output around ±0.6 V against varied input with a very small tracking error voltage around 0.075%. Figure 12 shows an output resistance that changed around 25–50 Ω within ±10 μA of varied of output current (I_{OUT}). The frequency response of near zero-offset voltage follower is illustrated in Fig. 13. The frequency response of proposed circuit is obtained up to 500 MHz. The total harmonic distortion (THD) of proposed max-circuit and min-circuit are also illustrated by applying 2 different frequency inputs. The THDs are less than 1% while input lower than 1.5Vp-p as shown in Fig. 14. The delay characteristic is confirmed by using 2.5 MHz pulse signal applied at input. Delay at output obtains around 5 ns as shown in Fig. 15.

Secondly, proposed max-circuit and min-circuit as shown in Figs. 4 and 5 which are based on some modifications of near zero-offset voltage follower have been also simulated by PSpice. For the lowest-offset of max-circuit, biased voltages which are V_{B1}, V_{B2}, V_{B3} have been set to 1.0882, 1 and −1.067 V, respectively. For min-circuit, biased voltages which are V_{B1}, V_{B2}, V_{B3} and V_{B4} have been set to 1.0882, 1, 0.862 and 0.95 V, respectively. Aspect ratios of several devices are listed in Table 3. The DC-characteristic of max-circuit and min-circuit are illustrated in Figs. 16 and 17, respectively. Output waveform is obtained by applied 2 triangular inputs V_{IN1} and V_{IN2} which

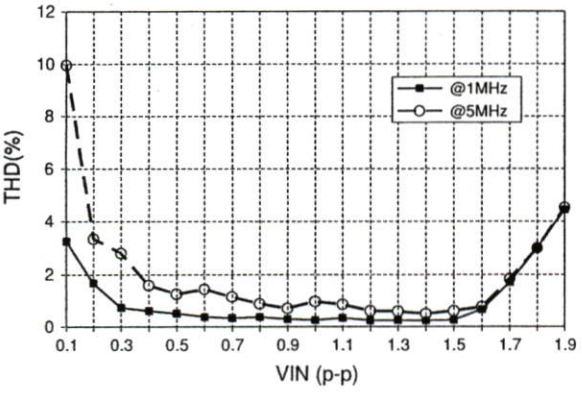


Fig. 14 Total Harmonic Distortion (THD) of proposed max–min circuit

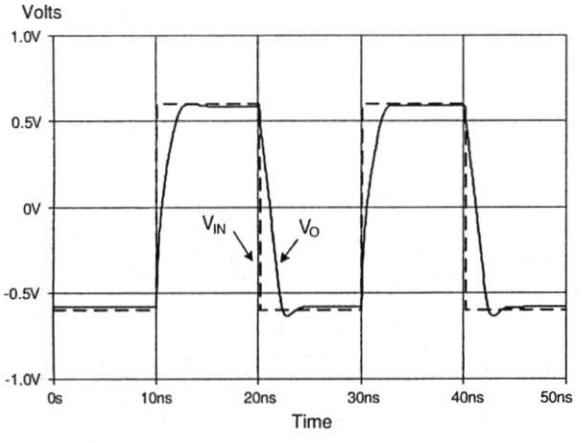


Fig. 15 Transient response of near zero-offset voltage follower circuit

Table 3 Aspect ratio of proposed max-circuit and min-circuit

Transistors		W (μm)	L (μm)
Maximum	Minimum		
M_{1i}, M_{2i}, M_{3i}	M_{1i}, M_{2i}, M_{3i}, M_{4i}, M_{5i}	2	0.5
–	M_{7i}	4	0.5
M_{5i},	–	20	0.5
M_{4i}, M_6	M_{6i}, M_8	30	0.5

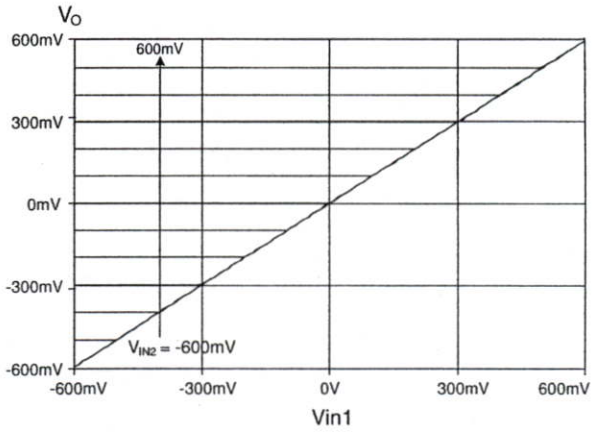


Fig. 16 DC-characteristic of maximum circuit

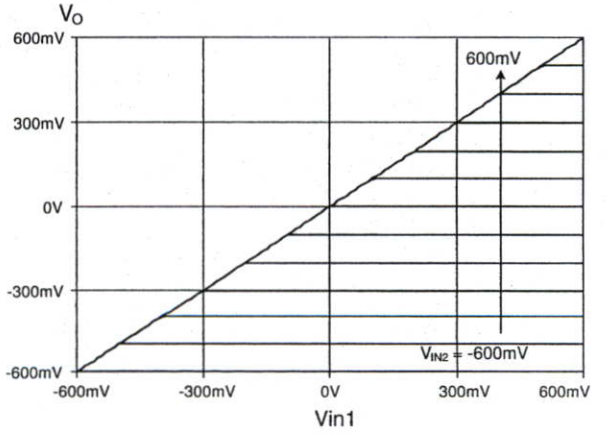


Fig. 17 DC-characteristic of minimum circuit

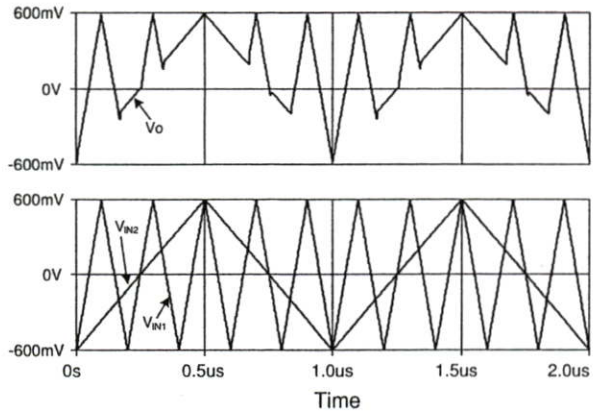


Fig. 18 Maximum circuit voltage output with 1 and 5 MHz triangular wave inputs

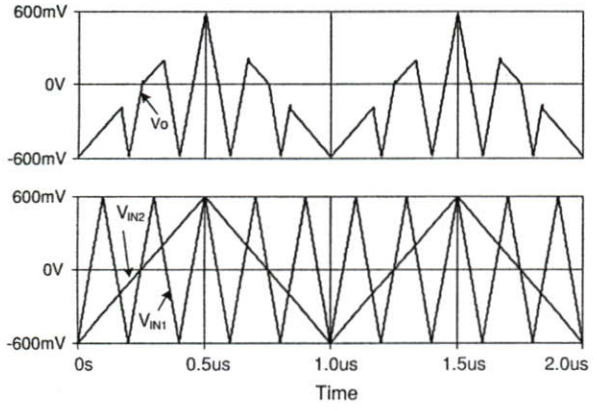


Fig. 19 Minimum circuit voltage output with 1 and 5 MHz triangular wave inputs

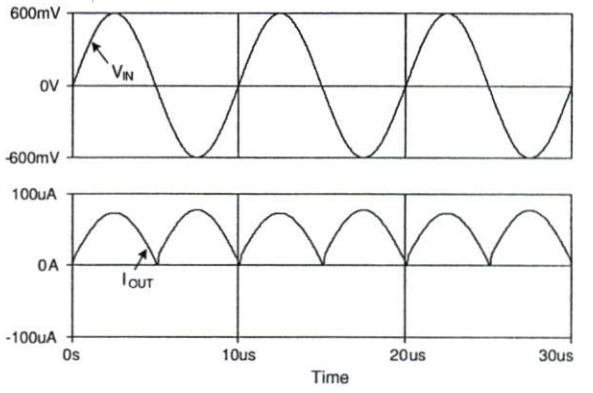


Fig. 20 Full-wave rectifier circuit application with 100 kHz inputs

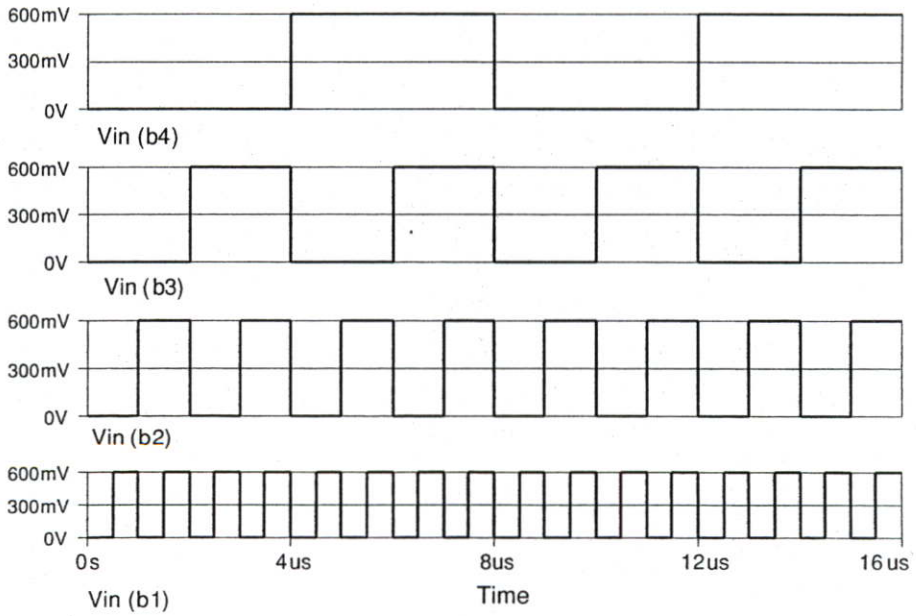
Table 4 Aspect ratio of proposed positive and negative half-wave rectifiers and DAC circuits

Transistors			W (μm)	L (μm)
Positive	Negative	DAC		
M_{1i}, M_{2i}, M_{3i}	M_{1i}, M_{2i}, M_{3i}, M_{4i}, M_{5i}	M_{1i}, M_{2i}, M_{3i}, M_{4i}, M_{5i}	2	0.5
–	M_{7i}	M_{7i}	4	0.5
M_{5i},	–	–	20	0.5
M_{4i}, M_{6i}	M_{6i}, M_{8i}, M_9, M_{10}	M_{6i}, M_{8i}	30	0.5
M_{R1}, M_{R2}	M_{R1}, M_{R2}	M_9, M_{10}	1	3

are set to 1 MHz and 5 MHz, respectively. The signal output of max-circuit and min-circuit are obtained and illustrated in Figs. 18 and 19, respectively.

Thirdly, Fig. 20 shows current full-wave rectifier output based on positive and negative half-wave rectifier circuits.

Fig. 21 Digital input signal for proposed 4 bits DAC



Aspect ratios of proposed full-wave rectifier circuit are listed in Table 4. The reference voltages of positive and negative half-wave rectifiers are assigned same as max and min circuits, respectively. The different period half-wave outputs can be obtained by each result of max-circuit and min-circuit. The positive and negative inputs are captured by max-circuit and min-circuit, respectively. The certain full-wave is achieved by subtracting both of min and max current outputs.

Finally, for proposed DAC circuit as shown in Fig. 10 is based on some modifications in n-stage of clipping circuits in Fig. 9. The voltage references of various clipping circuits are given in the rule of Eq. 19. The clipping reference voltages of LSB to MSB are achieved as 0.075, 0.15, 0.3 and 0.6, respectively. Electronic resistors used in this paper are performed by M_9 and M_{10} which their resistances are 9.8 kΩ and they are used to generate current from achieving voltage. The achieved current is conveyed to the output by several transistors M_6–M_8. Aspect ratios of proposed DAC circuit are listed in Table 4. The 4 bits DAC performance is assumed by giving the data input in different consecutive pulses trains as shown in Fig. 21. The highest frequency of digital input is supposed at 1 MHz. The full scale current output with 4 bits inputs can be roughly calculated by using Eq. 20 is 122.45 μA. The 1 LSB current output by using Eq. 21 is 7.65 μA. The simulation results are confirmed the current outputs are in agreement with the calculation which are 106.56 μA for full scale and 8.04 μA for 1 LSB. The output signal that seems to be a ramp signal can be obtained in Fig. 22 with a aliasing error around 10 μA.

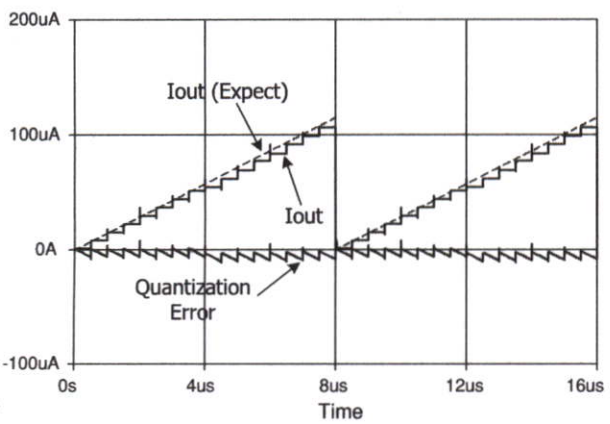


Fig. 22 Analog current output of proposed DAC

Moreover, sample layout by using L-EDIT based on 0.25 μm design rule and TSMC MOSIS technology are used to design proposed circuits, for example, near zero-offset voltage follower, max-circuit and min-circuit which are respectively depicted in Fig. 23(a)–(c). Multiple inputs max-circuit is easily to construct by connecting the identical of the near zero-offset voltage follower cells in parallel. Post-layout simulation by using T-Spice of max-circuit and min-circuit with TSMC MOSIS level49 is also respectively exhibited in Figs. 24 and 25 based on ±1.5 V power supplies. For max-circuit, bias voltages are given by

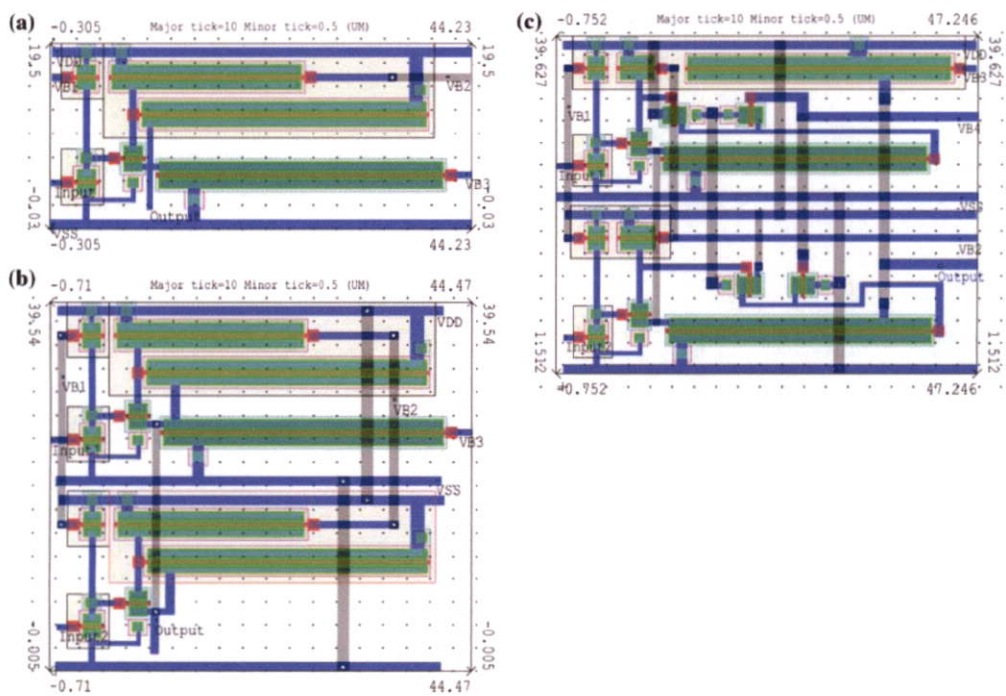


Fig. 23 Cell layout of (**a**) near zero-offset voltage follower (**b**) maximum circuit (**c**) minimum circuit

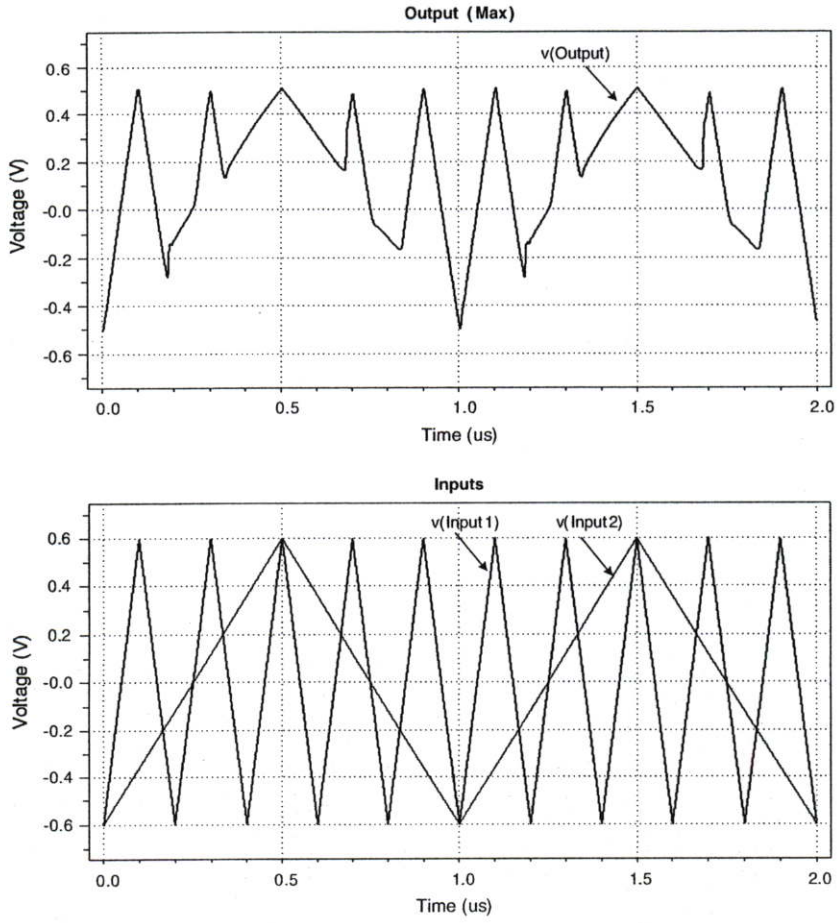


Fig. 24 Post-layout simulation result of max-circuit with 1 and 5 MHz triangular inputs

the following conditions; $V_{B1} = 0.76$ V, $V_{B2} = 1$ V and $V_{B3} = -0.93$ V. For min-circuit, bias voltages are given by the following conditions; $V_{B1} = 0.65$ V, $V_{B2} = 0.8$ V, $V_{B3} = 1$ V and $V_{B4} = 1.1$ V. Two triangular wave inputs 1 and 5 MHz are applied with identical amplitude ±600 mV. Output waveform is corresponding with the maximum and minimum values but amplitude output are smaller than input (±500 mV) or roughly 16.6% decreasing of amplitude input.

The comparison between previous max/min-circuits and proposed circuits are listed in Table 5. Previous voltage-mode max/min-circuits are designed in active devices building blocks (OTA or CCII) and WTA-based transistors are only designed for 2 inputs with many transistors. Some circuit has produced delay times in several hundred nanoseconds. Multiple inputs in previous max/min-circuits are used at least 13 transistors. All mentioned previous works are used high-power supplies and unable to adjust output offset. Proposed circuits provide low number of transistors, low-delay time, low-power supplies and output offset adjustable.

8 Conclusion

A near zero-offset adjustable of max-circuit and min-circuit with ±1.5 V power supplies are proposed. The voltage followers characteristics including near zero-offset, low-delay, low THD and wide bandwidth are obtained with a simply configuration. The low delay time is achieved around 5 ns. Moreover, proposed max-circuit and min-circuit can be modified to applications, for example, full-wave rectifier and DAC circuits. The characteristic of proposed applications are shown and discussed in order to confirm their good performances. The results of max-circuit and min-circuit are in agreement with the theory based on winner-take-all algorithm. The applications are raised in order to confirm the realistic of full-wave rectifier and

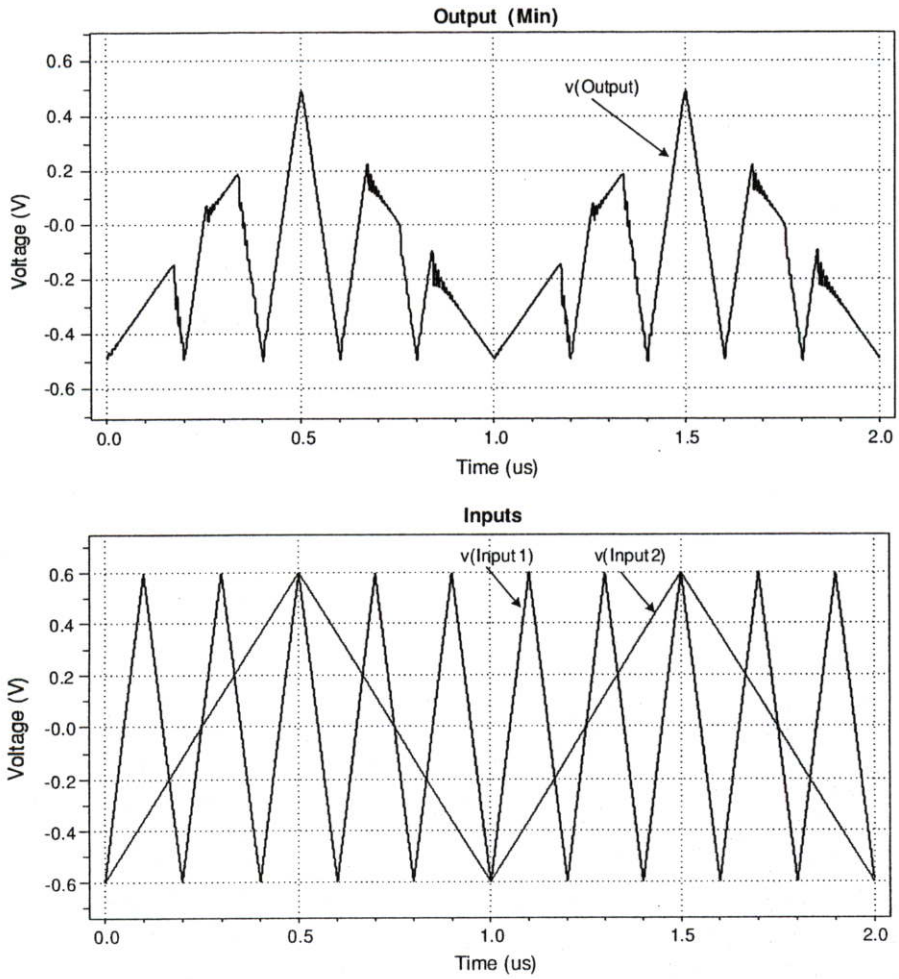


Fig. 25 Post-layout simulation result of min-circuit with 1 and 5 MHz triangular inputs

Table 5 Comparison of previous max-circuit and min-circuit and proposed circuits

	Devices (min)	Devices (max)	Inputs	Delay t ime (ns)	Power supplies (V)	Zero-offset adjustment
[1]	1 CCIIs, 2 MOS and 1 Diode	1 CCII, 2 MOS and 1 Diode	2	37	±5	No
[3]	3 OTAs, and 1 Diode	3 OTAs, and 2 Diodes	2	20	±5	No
[4]	–	>31 MOS	2	200	+5	No
[5]	>15 MOS	13 MOS	>2	20	±5	No
Proposed	15 MOS	11 MOS	>2	5	±1.5	Yes

DAC. The application results that realized max-circuit and min-circuit principles are satisfied. Full-wave algorithm based on proposed max-circuit and min-circuit are obtained a full-wave output results. The DAC result based on 4 bits assuming condition shows that aliasing errors is around 10 μA even full scale current is 106.56 μA.

Acknowledgements The authors would like to thank our colleague Natapong Wongprommoon for his contribution to write this paper and anonymous reviewers who gave us comments and suggestions.

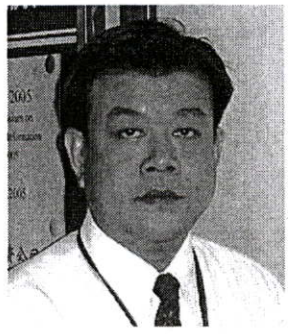
References

1. Liu, S. I., Hwang, Y. S., & Tsay, J. H. (1993). CCII-based fuzzy membership function and max/min circuit. *Electronics Letters, 29*(1), 116–118. doi:10.1049/el:19930076.
2. Inoue, T., Motomura, T., Matsuo, R., & Ueno, F. (1991). New OTA-based analog circuits for fuzzy membership functions and max/min operations. *IEICE Transactions E, 74*(11), 3619–3621.
3. Inoue, T., Ueno, F., Motomura, T., Setoguchi, O., & Matsuo, R. (1991). New high-speed analogue max and min circuits using

OTA-based bounded difference operations. *Electronics Letters, 27*(12), 1034–1035. doi:10.1049/el:19910643.
4. Opris, I. E. (1998). Rail-to-Rail Multiple-input min/max circuit. *IEEE Transactions on Circuits and Systems II, 45*, 137–140. doi:10.1109/82.659465.
5. Carvajal, R. G., Martinez-Heredia, J., & Ramirez-Angulo, J. (2000). High-speed high-precision min/max circuits in CMOS technology. *Electronics Letters, 36*(8), 697–699. doi:10.1049/el:20000542.
6. Wang, Z. (1990). 2-MOSFET transistors with extremely low distortion for output reaching supply voltage. *Electronics Letters, 26*, 951–952. doi:10.1049/el:19900620.
7. Viswanathan, T. R. (1986). CMOS transconductance element. *Proceedings of the IEEE, 74*, 222–224. doi:10.1109/PROC.1986.13439.
8. Karadimas, D. S., Mavridis, D. N., & Efstathiou, K. A. (2006, May). A digitally calibrated R-2R ladder architecture for high performance Digital-to-Analog Converters. *Proceedings of ISCAS2006* (pp. 4779–4782).
9. Kennedy, M. P. (2000). On the robustness of R-2R ladder DAC's. *IEEE Transactions on Circuits and Systems II, 47*, 109–116. doi:10.1109/81.828565.

Pipat Prommee was born in Bangkok, Thailand in 1969. He received his B.Ind.Tech. degree in Telecommunications, M.Eng. and D.Eng. in Electrical Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 1992, 1995 and 2002, respectively. Since 2003, he has been a faculty member of KMITL. He is currently an assistant professor at Telecommunications Engineering Department and also works as a researcher of Research Center for Communication and Information Technology (ReCCIT) at KMITL. His research interests are focusing in Analog Signal Processing, Analog Filter Design and CMOS Analog Integrated Circuit Design. He is a member of IEEE, USA.

Krit Angkeaw was born in Bangkok, Thailand in 1973. He received B.Ind.Tech. degree in Electronics Engineering from Siam University Bangkok, Thailand in 1996. He received his M.Eng. in Electrical Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 2000. Since 2004, he has been a faculty member of King Mongkut's Institute of Technology North Bangkok (KMITNB). He is presently a lecturer at Industrial Electrical Technology Department at KMITNB and working toward his D.Eng. in Electrical Engineering at KMITL. His research interests are focusing in Analog Filter Design and Analog Signal Processing.



Montri Somdunyakanok was born in Bangkok, Thailand in 1968. He received B.Ind.Tech. degree in Electrical Engineering from Siam University Bangkok, Thailand in 1992. He received his M.Eng. in Telecommunications Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 2006. Since 1994, he has been a faculty member of Siam University. He is presently a lecturer at Electrical Engineering of Siam University and working toward his D.Eng. in Electrical Engineering at KMITL. His research interests are focusing in Analog Filter Design and CMOS Analog Integrated Circuit Design.

Kobchai Dejhan was born in 1955 in Petchburi, Thailand. He received B.Eng. and M.Eng. degree in Electrical Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 1978 and 1980, respectively and the Docteur from Ecole Nationale Superieure des Telecommunications Paris (ENST/Telecom Paris), France in 1989. Since 1980, he has been a faculty member of KMITL. He is currently an associate professor at Telecommunication Engineering Department and also works as a dean of Engineering Faculty. He also works for Research Center for Communication and Information Technology (ReCCIT) at KMITL as a chief of Communications Circuit Designs laboratory. His research interests are in area of Communications Circuit Designs, Signal Processing, VLSI and CMOS Integrated Circuit Design. He is a member of IEICE, Japan and senior member of IEEE, USA.

ประวัติผู้เขียน

นายกฤษณ์ อ่างแก้ว สำเร็จการศึกษาปริญญาอุตสาหกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากมหาวิทยาลัยสยาม ในปีการศึกษา 2539 และปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า จากสถาบันเทคโนโลยีพระจอมเกล้าลาดกระบัง ในปีการศึกษา 2543

ปีการศึกษา 2547 เข้าทำงานเป็นพนักงานมหาวิทยาลัย ตำแหน่งอาจารย์ ภาควิชาวิศวกรรมเครื่องมือวัดและอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ปัจจุบันดำรงตำแหน่งผู้ช่วยศาสตราจารย์ประจำภาควิชาวิศวกรรมเครื่องมือวัดและอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ