รายงานการวิจัยฉบับสมบูรณ์

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบลอยตัวโดยใช้ VDTA
Floating Immittance Function Simulator Using VDTAs

นาย วรพงศ์ ตั้งศรีรัตน์

ได้รับทุนสนับสนุนงานวิจัยจากเงินงบประมาณเงินรายได้ ประจำปีงบประมาณ 2556
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ชื่อโครงการ (ภาษาไทย) วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบลอยตัวโดยใช้ VDTA
แหล่งเงิน งบประมาณเงินรายได้
ประจำปีงบประมาณ 2556 จำนวนเงินที่ได้รับการสนับสนุน 80,000 บาท
ระยะเวลาทำการวิจัย 1 ปี ตั้งแต่ ตุลาคม พ.ศ. 2555 ถึง กันยายน พ.ศ. 2556
ชื่อ-สกุล หัวหน้าโครงการ นาย วรพงศ์ ตั้งศรีรัตน์
สาขาวิชา วิศวกรรมการวัดและควบคุม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
โทร. 02-329-8354 E-mail : kptattay@kmitl.ac.th

บทคัดย่อ

โครงการวิจัยฉบับนี้นำเสนอการออกแบบวงจรสำหรับเลียนแบบตัวเหนี่ยวนำลอยตัว ตัวเก็บประจุลอยตัว และตัวต้านทานลอยตัว โดยใช้วงจร VDTA (Voltage Differencing Transconductance Amplifier) เป็นอุปกรณ์แอคทีฟหลัก และอุปกรณ์พาสซีฟที่เป็นตัวเก็บประจุแบบเทียบกราวด์เท่านั้น ปราศจากการใช้ตัวต้านทานพาสซีฟจากภายนอกในการสังเคราะห์วงจร วงจรที่นำเสนอสามารถสังเคราะห์ตัวเหนี่ยวนำแบบลอยตัว ตัวเก็บประจุแบบลอยตัว และ FDNR แบบลอยตัว โดยไม่จำเป็นต้องอาศัยเงื่อนไขค่าเท่ากันของอุปกรณ์ในวงจรอีกด้วย ค่าอิมพีแดนซ์สมมูลที่สังเคราะห์ได้จากวงจรนั้น สามารถปรับค่าได้ทางอิเล็กทรอนิกส์โดยการแปรค่าอัตราขยายค่าความนำของวงจร VDTA คุณสมบัติการทำงานของวงจรที่นำเสนอและการประยุกต์ใช้งานวงจรได้ถูกตรวจสอบและแสดงผลโดยใช้การจำลองการทำงานด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยี TSMC 0.35 μm

คำสำคัญ : ฟังก์ชันอิมมิตแตนซ์แบบลอยตัว VDTA (Voltage Differencing Transconductance Amplifier) วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัว วงจรเลียนแบบตัวเก็บประจุแบบลอยตัว FDNR (Frequency-Dependent Negative Resistance)

Research Title: Floating Immittance Function Simulator Using VDTAs
Researcher: Assoc. Prof. Dr. Worapong Tangsrirat
Faculty: Engineering **Department:** Instrumentation and Control Engineering

ABSTRACT

This research project presents simple circuit configurations for simulating the floating immittance functions using VDTAs (Voltage Differencing Transconductance Amplifiers) as active elements together with grounded capacitors as passive elements. The proposed floating simulator circuits can realize floating inductor, capacitor and FDNR without needing matching component conditions. The equivalent value of the realized simulator can be tuned electronically through the transconductance parameter of the VDTA. The proposed circuit together with its applications is demonstrated using PSPICE simulation with 0.35 μm TSMC CMOS process parameters.

Keywords : Floating immittance function VDTA (Voltage Differencing Transconductance Amplifier) floating inductance simulator floating capacitance simulator FDNR (Frequency-Dependent Negative Resistance)

กิตติกรรมประกาศ

โครงการวิจัยนี้ได้รับทุนสนับสนุนการวิจัยจากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จากงบประมาณเงินรายได้ ประจำปีงบประมาณ พ.ศ. 2556

วรพงศ์ ตั้งศรีรัตน์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญตาราง	ฉ
สารบัญรูป	ช
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของโครงการวิจัย	2
1.3 ขอบเขตของโครงการวิจัย	2
1.4 รายละเอียดของโครงการวิจัย	2
1.5 เอกสารอ้างอิงบทที่ 1	3
บทที่ 2 วงจร VDTA	5
2.1 กล่าวนำ	5
2.2 หลักการทำงานพื้นฐานของวงจร VDTA	5
2.3 เทคโนโลยีที่ใช้ในการจำลองการทำงานของวงจร	7
2.4 สรุป	8
2.5 เอกสารอ้างอิงบทที่ 2	8
บทที่ 3 วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวโดยใช้วงจร VDTA หนึ่งตัว	9
3.1 กล่าวนำ	9
3.2 วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่นำเสนอ	9
3.3 ผลการจำลองการทำงานของวงจร	10
3.4 การประยุกต์ใช้งาน	11
3.5 สรุป	12
3.6 เอกสารอ้างอิงบทที่ 3	13

สารบัญ (ต่อ)

		หน้า
บทที่ 4	**วงจรเลียนแบบตัวเก็บประจุแบบลอยตัวโดยใช้วงจร VDTA สองตัว**	**14**
	4.1 กล่าวนำ	14
	4.2 วงจรเลียนแบบตัวเก็บประจุแบบลอยตัวที่นำเสนอ	14
	4.3 ผลการจำลองการทำงานของวงจร และการประยุกต์ใช้งาน	16
	4.4 สรุป	18
	4.5 เอกสารอ้างอิงบทที่ 4	18
บทที่ 5	**วงจรเลียนแบบตัวเก็บประจุแบบลอยตัวโดยใช้วงจร VDTA สองตัว**	**20**
	5.1 กล่าวนำ	20
	5.2 วงจรเลียนแบบ FDNR แบบลอยตัวที่นำเสนอ	20
	5.3 ผลการจำลองการทำงานของวงจร	21
	5.4 การประยุกต์ใช้งาน	23
	5.5 สรุป	25
	5.6 เอกสารอ้างอิงบทที่ 5	26
บทที่ 6	**บทสรุป**	**28**
	6.1 บทสรุป	28
	6.2 เอกสารอ้างอิงบทที่ 6	29
ภาคผนวก	**บทความวิจัยที่ตีพิมพ์ในวารสารวิชาการระดับนานาชาติ**	30

สารบัญตาราง

ตารางที่		หน้า
2.1	เทคโนโลยี TSMC 0.35 μm	7
2.2	ความกว้าง (W) และความยาว (L) ของช่องนำกระแสของทรานซิสเตอร์แต่ละตัว	8

สารบัญรูป

รูปที่		หน้า
2.1	สัญลักษณ์ทางไฟฟ้าของวงจร VDTA	6
2.2	รายละเอียดโครงสร้างวงจร VDTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส	6
3.1	วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวโดยใช้วงจร VDTA ที่นำเสนอ	10
3.2	ผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตของวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวในรูปที่ 3.1	10
3.3	วงจรกรองผ่านแถบความถี่อันดับสอง RLC	11
3.4	ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 3.3	11
3.5	ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 3.3 เมื่อแปรค่า L_{eq} โดยการควบคุม g_m	12
4.1	วงจรเลียนแบบตัวเก็บประจุแบบลอยตัวโดยใช้วงจร VDTA ที่นำเสนอ	15
4.2	ผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตของวงจรเลียนแบบตัวเก็บประจุแบบลอยตัวในรูปที่ 4.1	16
4.3	วงจรกรองผ่านแถบความถี่อันดับสอง RLC	17
4.4	ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 4.3	17
4.5	ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 4.3 เมื่อแปรค่า C_{eq}	18
5.1	วงจรเลียนแบบ FDNR แบบลอยตัวโดยใช้วงจร VDTA ที่นำเสนอ	21
5.2	ผลตอบสนองทางความถี่ของวงจรเลียนแบบ FDNR แบบลอยตัวในรูปที่ 5.1	22
5.3	ผลตอบสนองทางความถี่ของวงจรเลียนแบบ FDNR ที่นำเสนอเมื่อแปรค่า g_{mF3}	22
5.4	วงจรกรองผ่านแถบความถี่แบบบัตเตอร์เวิร์ทอันดับสี่ (ก) วงจรพาสซีฟ RLC ต้นแบบ (ข) วงจรสมมูล CDR โดยใช้ FDNR	23
5.5	ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 5.4(ข) (ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางเฟส	24
5.6	วงจรกรองผ่านความถี่ต่ำแบบบัตเตอร์เวิร์ทอันดับสี่ (ก) วงจรพาสซีฟ RLC ต้นแบบ (ข) วงจรสมมูล CDR โดยใช้ FDNR	25
5.7	ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 5.6(ข) (ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางเฟส	26

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

หลังจากที่วงจร CDTA (Current Differencing Transconductance Amplifier) ซึ่งเป็นอุปกรณ์แอคทีฟโหมดกระแสได้ถูกคิดค้นและนำเสนอขึ้นเมื่อราวปี ค.ศ. 2003 [1] ทำให้ได้รับความนิยมอย่างแพร่หลายและถูกนำมาออกแบบวงจรประมวลผลสัญญาณแอนะล็อก (analog signal Processing circuit) ลักษณะต่างๆ อย่างต่อเนื่องมาจนถึงปัจจุบัน ดังจะเห็นได้จากผลงานวิจัยระดับนานาชาติที่ตีพิมพ์เกี่ยวกับประเด็นดังกล่าวเป็นจำนวนมาก [1]-[10] แต่เนื่องจากแนวคิดพื้นฐานในการออกแบบวงจร CDTA นั้นมีจุดมุ่งหมายหลักเพื่อรองรับการออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกโหมดกระแสเป็นสำคัญ ดังนั้นการนำเอาวงจร CDTA ไปพัฒนาออกแบบวงจรแอนะล็อกโหมดแรงดัน จึงกระทำได้ยากและมีข้อจำกัด จากเหตุผลดังกล่าวทำให้ D. Biolek และคณะ ได้นำเสนอแนวคิดของวงจร VDTA (voltage differencing transconductance amplifier) ขึ้น [11] โดยการแทนวงจรผลต่างกระแสในวงจร CDTA ให้กลายเป็นวงจรผลต่างแรงดัน ซึ่งหมายความว่าวงจร VDTA นั้นประกอบด้วยวงจรภายในสำคัญสองส่วน คือ วงจรผลต่างแรงดันทำหน้าที่เป็นวงจรภาคอินพุต และวงจรขยายค่าความนำทำหน้าที่เป็นวงจรภาคเอาต์พุต จากหลักการดังกล่าวทำให้วงจร VDTA กลายเป็นอุปกรณ์แอคทีฟที่สามารถตอบสนองแนวทางการออกแบบวงจรแอนะล็อกโหมดแรงดันที่มีโครงสร้างวงจรกะทัดรัด (compact structure) ปราศจากการใช้ตัวต้านทานพาสซีฟจากภายนอกในการสังเคราะห์วงจร (resistorless realization) และสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์อีกด้วย (electronically tunable) นับจากเป็นต้นมา วงจร VDTA จึงเริ่มเป็นที่ยอมรับและนิยมนำไปประยุกต์ใช้ในการออกแบบและสังเคราะห์วงจรฟังก์ชันแอนะล็อกโหมดแรงดันมากขึ้นเป็นลำดับ [11]-[13]

ดังนั้นโครงการวิจัยนี้จึงมีแนวคิดในการออกแบบและพัฒนาวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบลอยตัวโดยใช้ VDTA เป็นอุปกรณ์แอคทีฟหลักต่อร่วมกับตัวเก็บประจุแบบเทียบกราวด์ โดยไม่จำเป็นต้องใช้ตัวต้านทานพาสซีฟจากภายนอกในการสังเคราะห์วงจร โดยมุ่งเน้นการออกแบบวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัว (floating inductance simulator) วงจรเลียนแบบตัวเก็บประจุแบบลอยตัว (floating capacitance simulator) และ FDNR (Frequency-Dependent Negative Resistance) โดยมีจุดประสงค์หลักเพื่อให้ได้วงจรที่มีโครงสร้างเรียบง่าย (simple) พยายามหลีกเลี่ยงการใช้ตัวต้านทานพาสซีฟจากภายนอก (resistor-less) ซึ่งทำให้การสังเคราะห์วงจรใช้จำนวนอุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อย (canonical form) อีกทั้งสามารถปรับค่าคุณสมบัติในการทำงานของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการควบคุมอัตราขยายค่าความนำ (g_m) ของวงจร VDTA

1.2 วัตถุประสงค์ของโครงการวิจัย

โครงการวิจัยนี้มุ่งเน้นแนวคิดในการออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบลอยตัวโดยใช้ VDTA เป็นอุปกรณ์แอคทีฟหลัก มีวัตถุประสงค์หลัก ดังต่อไปนี้

1) เพื่อผลิตบทความวิจัยที่มีคุณภาพสามารถตีพิมพ์ในวารสารนานาชาติที่อยู่ในฐานข้อมูล ISI หรือ SJR Journal publications

2) เพื่อยกระดับ Ranking และ Rating ของสถาบันฯ ให้สอดคล้องกับนโยบายการวิจัยคณะวิศวกรรมศาสตร์ที่ยั่งยืนอย่างแท้จริง

3) เพื่อพัฒนาศักยภาพของนักศึกษาระดับปริญญาเอกให้สามารถสร้างองค์ความรู้ใหม่ ให้เป็นที่ยอมรับในระดับนานาชาติได้

4) พัฒนาองค์ความรู้ และติดตามเทคโนโลยีสมัยใหม่ ทางด้านการออกแบบวงจรรวมสำหรับระบบประมวลผลสัญญาณ คิดค้นวงจรพื้นฐานหลัก ให้เหมาะสมกับเทคโนโลยีวงจรรวมที่มีอยู่ มุ่งวิจัย และพัฒนาการศึกษา ค้นคว้า และออกแบบ โครงสร้างวงจรอิเล็กทรอนิกส์ เพื่อการประมวลผลสัญญาณในรูปสัญญาณแอนะล็อก

1.3 ขอบเขตของโครงการวิจัย

ขอบเขตของโครงการวิจัยชิ้นนี้ ประกอบไปด้วยเป้าหมายสำคัญสองประการ คือ

1) ออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบลอยตัวโดยใช้ VDTA เป็นอุปกรณ์แอคทีฟหลัก และตัวเก็บประจุไฟฟ้าเป็นอุปกรณ์พาสซีฟ โดยพยายามหลีกเลี่ยงการใช้ตัวต้านทานพาสซีฟจากภายนอกในการสังเคราะห์วงจร

2) ขอบเขตของโครงการวิจัยนี้มีเป้าหมายหลัก คือ นำผลงานวิจัยที่ได้จากข้อ 1 ไปนำเสนอและตีพิมพ์เผยแพร่ในวาสารวิชาการระดับนานาชาติที่อยู่ในฐานข้อมูล ISI หรือ SJR Journal publications

1.4 รายละเอียดของโครงการวิจัย

การดำเนินเนื้อหาของโครงการวิจัยฉบับนี้แบ่งออกเป็น 6 บท และภาคผนวก 1 ภาคโดยแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำเพื่อกล่าวถึงความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์และขอบเขตของโครงการวิจัย และรายละเอียดเนื้อหาแต่ละบท

บทที่ 2 กล่าวถึงคุณสมบัติและหลักการทำงานพื้นฐานของวงจร VDTA ซึ่งเป็นหัวใจสำคัญของโครงการวิจัยนี้

บทที่ 3 นำเสนอการออกแบบวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัว (floating inductance simulator) โดยใช้วงจร VDTA และตัวเก็บประจุเทียบกราวด์อย่างละหนึ่งตัว ปราศจากตัวต้านทานจากภายนอก อีกทั้งได้ทำการยืนยันด้วยผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยี TSMC 0.35 μm

บทที่ 4 นำเสนอการออกแบบวงจรเลียนแบบตัวเก็บประจุแบบลอยตัว (floating capacitance simulator) โดยใช้วงจร VDTA จำนวนสองตัวและตัวเก็บประจุเทียบกราวด์จำนวนหนึ่งตัว ปราศจากตัวต้านทานจากภายนอกในการสังเคราะห์วงจร คุณสมบัติในการทำงานของวงจรสามารถยืนยันความถูกต้องได้ด้วยผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE

บทที่ 5 นำเสนอการออกแบบวงจรเลียนแบบ FDNR แบบลอยตัว (floating FDNR simulator) โดยใช้วงจร VDTA จำนวนสามตัว ต่อร่วมกับตัวเก็บประจุเทียบกราวด์จำนวนสองตัว โดยไม่จำเป็นต่องใช้ปราศจากตัวต้านทานพาสซีฟจากภายนอก อีกทั้งยังนำเสอนแนวทางการนำ FDNR ที่สังเคราะห์ขึ้นไปประยุกต์ใช้งานในการออกแบบวงจรกรองสัญญาณบัตเตอร์เวิรธ์อันดับสี่ (fourth-order Butterworth filter) แบบกรองผ่านแถบความถี่ และแบบกรองผ่านความถี่ต่ำ ซึ่งผลที่ได้จากการจำลองการทำงานของวงจรมีความถูกต้องสอดคล้องกับคุณสมบัติทางทฤษฎีได้นำเสนอ

บทที่ 6 เป็นบทสรุปผลงานวิจัยที่ได้นำเสนอทั้งหมด พร้อมทั้งข้อเสนอแนะแนวทางเพื่อนำไปพัฒนาและวิจัยต่อไป

ส่วนท้ายของโครงการวิจัยฉบับนี้จะเป็นภาคผนวก ซึ่งได้รวบรวมบทความวิจัยซึ่งเป็นส่วนหนึ่งของผลงานที่เกิดจากโครงการวิจัยชิ้นนี้ ที่ได้รับการตีพิมพ์ในวารสารวิชาการทางวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ระดับนานาชาติที่อยู่ในฐานข้อมูล ISI Journal publication

1.5 เอกสารอ้างอิงบทที่ 1

[1] D. Biolek, "CDTA- Building block for current-mode analog signal processing", *Proc. ECCTD'03*, vol. III, Poland; pp.397-400, 2003.

[2] W. Tangsrirat, T. Dumawipata and W. Surakampontorn, "Multiple-input single-output current-mode multifunction filter using current differencing transconductance amplifiers", *AEU-Int. J. Electron. Commun.*, vol.61, pp. 209-214, 2007.

[3] D. Prasad, D. R. Bhaskar and A. K. Singh, "Universal current-mode biquad filter using dual output current differencing transconductance amplifier", *AEU-Int. J. Electron. Commun.*, vol.63, pp.497-501, 2009.

[4] A. U. Keskin, D. Biolek, E. Hancioglu and V. Biolková, "Current-mode KHN filter employing current differencing transconductance amplifiers", *AEU-Int. J. Electron. Commun.*, vol.60, pp. 443-446, 2006.

[5] W. Tangsrirat and W. Tanjaroen, "Current-mode multiphase sinusoidal oscillator using current differencing transconductance amplifiers", *Circuits Syst. Signal Process.*, vol.27, no.1, pp.81-93, February 2008.

[6] A. Lahiri, "New current-mode quadrature oscillators using CDTA", *IEICE Electronics Express*, vol.6, no.3, pp.135-140, 2009.

[7] D. Biolek, A. U. Keskin and V. Biolkova, "Grounded capacitor current mode single resistance-controlled oscillator using single modified current differencing transconductance amplifier", IEE Circuits Devices Syst., vol.4, pp. 496-502, 2010.

[8] W. Tangsrirat, T. Pukkalanun and W. Surakampontorn, "Resistorless realization of current-mode first-order allpass filter using current differencing transconductance amplifiers", *Microelectron. J.*, vol.41, pp. 178-183, 2010.

[9] W. Tangsrirat, T. Pukkalanun, P. Mongkolwai and W. Surakampontorn, "Simple current-mode analog multiplier, divider, square-rooter and squarer based on CDTAs", *AEU-Int. J. Electron. Commun.*, vol.65, no.3, pp.198-203, 2011.

[10] Y. Li, "A new single MCCCDTA based Wien-bridge oscillator with AGC", *AEU-Int. J. Electron. Commun.*, vol.66, no.2, pp.153-156, 2012.

[11] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing : classification, review, and new proposals", *Radioengineering*, vol.17, no.4, pp.15-32, 2008.

[12] A. Yesil, F. Kacar and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", *Radioengineering*, vol.20, no.3, pp.632-637, 2011.

[13] J. Satansup and W. Tangsrirat, "Electronically Tunable Single-Input Five-Output Voltage-Mode Universal Filter Using VDTAs and Grounded Passive Elements", *Accepted for Circuits Syst. Signal Process.*, 2012.

บทที่ 2
วงจร VDTA

2.1 กล่าวนำ

วงจร VDTA (Voltage Differencing Transconductance Amplifier) ถูกพัฒนาและนำเสนอขึ้นเป็นครั้งแรกโดย D. Biolek และคณะในปี ค.ศ. 2008 [1] จากนั้นได้มีกลุ่มผู้วิจัยบางกลุ่มได้นำวงจร VDTA มาออกแบบและประยุกต์ใช้งานในรูปแบบต่างๆมากขึ้นตามลำดับ [2]-[5] แนวคิดของวงจร VDTA พัฒนาขึ้นเพื่อรองรับการออกแบบและสังเคราะห์วงจรแอนะล็อกโหมดแรงดัน ซึ่งกระทำได้ยุ่งยากหากใช้วงจร CDTA (current differencing transconductance amplifier) [6] โครงสร้างวงจรภายในของวงจร VDTA นั้นประกอบด้วย วงจรผลต่างแรงดันทำหน้าที่เป็นวงจรภาคอินพุต และวงจรขยายค่าความนำทำหน้าที่เป็นวงจรภาคเอาต์พุต ซึ่งทำให้วงจร VDTA เป็นอุปกรณ์แอคทีฟที่ตอบสนองการออกแบบวงจรแอนะล็อกโหมดแรงดันที่มีโครงสร้างวงจรกะทัดรัด สามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการควบคุมอัตราขยายค่าความนำ (g_m) ของวงจร

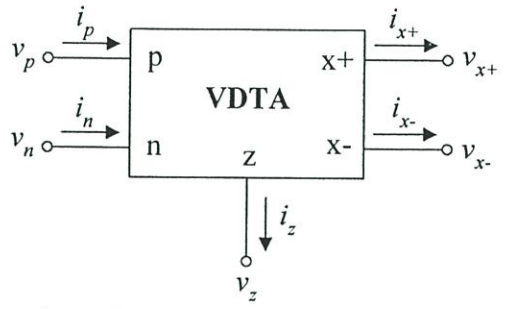
เนื่องจากโครงงานวิจัยนี้มีจุดมุ่งหมายในการศึกษาค้นคว้าและวิจัยการออกแบบวงจรกรองสัญญาณโดยใช้วงจร VDTA เป็นอุปกรณ์แอคทีฟหลัก ดังนั้นในบทนี้จึงขอกล่าวถึงรายละเอียดโครงสร้างและหลักการทำงานของวงจร VDTA ที่ใช้เทคโนโลยีทรานซิสเตอร์แบบมอสเป็นประเด็นหลัก

2.2 หลักการทำงานพื้นฐานของวงจร VDTA

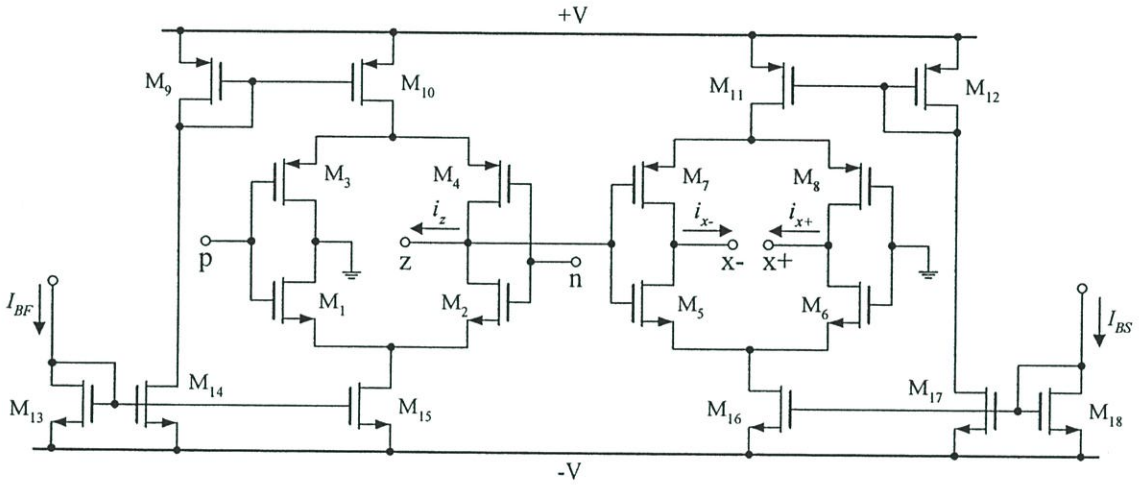
วงจร VDTA นับเป็นอุปกรณ์แอคทีฟอีกรูปแบบหนึ่ง ซึ่งปัจจุบันได้รับความสนใจนำมาออกแบบและสังเคราะห์เป็นวงจรแอนะล็อกฟังก์ชันต่างๆ มากมาย สัญลักษณ์ทางไฟฟ้าของวงจร VDTA แสดงได้ดังรูปที่ 2.1 โดยมีความสัมพันธ์ระหว่างแรงดันและกระแสของวงจรเขียนอธิบายได้ดังนี้

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \tag{2.1}$$

เมื่อ g_{mF} และ g_{mS} คือ อัตราขยายค่าความนำส่วนแรกและส่วนที่สองของวงจร VDTA ตามลำดับ สมการ (2.1) แสดงให้เห็นว่าแรงดันอินพุตผลต่างระหว่างขั้ว p กับ n ($v_p - v_n$) จะถูกเปลี่ยนไปเป็นกระแสที่ขั้ว z (i_z) โดยอัตราขยายค่าความนำ g_{mF} และแรงดันที่คร่อมขั้ว z (v_z) จะถูกเปลี่ยนไปเป็นกระแสที่ขั้ว +x (i_{x+}) และ -x (i_{x-}) โดยอัตราขยายค่าความนำ g_{mS} ซึ่งโดยทั่วไปอัตราขยายค่าความนำ g_{mF} และ g_{mS} นั้นสามารถควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์



รูปที่ 2.1 สัญลักษณ์ทางไฟฟ้าของวงจร VDTA



รูปที่ 2.2 รายละเอียดโครงสร้างวงจร VDTA แบบใช้เทคโนโลยีทรานซิสเตอร์แบบมอส

โครงสร้างภายในวงจร VDTA โดยใช้ทรานซิสเตอร์แบบมอสแสดงได้ดังรูปที่ 2.2 [3]-[4] ซึ่งเป็นโครงสร้างที่จะนำไปใช้ในออกแบบและการสังเคราะห์เป็นวงจรกรองสัญญาณในบทต่อๆไป โดยรายละเอียดโครงสร้างของวงจร VDTA ประกอบไปด้วยวงจรที่สำคัญ คือ วงจรขยายค่าความนำ M_1–M_4 และ M_7–M_8 ซึ่งในที่นี้อัตราขยายค่าความนำ g_{mF} และ g_{mS} ของวงจรสามารถแปรค่าได้ด้วยกระแสไบอัสจากภายนอก I_{BF} และ I_{BS} ดังความสัมพันธ์ต่อไปดังนี้

$$g_{mF} \cong \left(\frac{g_1 g_2}{g_1 + g_2}\right) + \left(\frac{g_3 g_4}{g_3 + g_4}\right) \tag{2.2}$$

และ

$$g_{mS} \cong \left(\frac{g_5 g_6}{g_5 + g_6}\right) + \left(\frac{g_7 g_8}{g_7 + g_8}\right) \tag{2.3}$$

โดยที่

$$g_i = \sqrt{I_{Bi}\mu C_{ox}\frac{W_i}{L_i}} \tag{2.4}$$

คือ ค่าความนำของมอสตัวที่ i (i = 1, 2, ..., 8) I_{Bi} คือ ค่ากระแสไบอัสของมอสตัวที่ i μ คือ ความคล่องตัวของพาหะ (mobility of carrier) C_{ox} คือ ค่าความจุไฟฟ้าชั้นออกไซด์ต่อหน่วยพื้นที่ W และ L คือ ความกว้างและความยาวของช่องนำกระแส (channel width and length) ตามลำดับ

2.3 เทคโนโลยีที่ใช้ในการจำลองการทำงานของวงจร

เพื่อเป็นการยืนยันคุณสมบัติในการทำงานทางทฤษฎีของวงจร VDTA ที่ได้กล่าวถึงในบทนี้ โครงการวิจัยนี้ได้เลือกใช้โปรแกรม PSPICE ทำการจำลองการทำงานของวงจร VDTA ในรูปที่ 2.2 ภายใต้เทคโนโลยี TSMC 0.35 μm ดังรายละเอียดที่สรุปไว้ในตารางที่ 2.1 โดยกำหนดขนาดความกว้าง (W) และความยาว (L) ของช่องนำกระแสของทรานซิสเตอร์แต่ละตัวดังตารางที่ 2.2 และแหล่งจ่ายไฟเลี้ยงที่ใช้มีค่าเท่ากับ +V = -V = 1.8 V

ตารางที่ 2.1 เทคโนโลยี TSMC 0.35 μm

NMOS
.MODEL CMOSN_TSMC35 NMOS LEVEL=3
+TOX=7.9E-9 NSUB=1E17 GAMMA=0.5827871
+PHI=0.7 VTO=0.5445549 DELTA=0 UO=436.256147 ETA=0
+THETA=0.1749684 KN=2.055786E-4 VMAX=8.309444E4
+KAPPA=0.2574081 RSH=0.0559398 NFS=1E12 TPG=1 XJ=3E-7
+LD=3.162278E-11 WD=7.046724E-8 CGDO=2.82E-10 CGSO=2.82E-10
+CGBO=1E-10 CJ=1E-3 PB=0.9758533 MJ=0.3448504
+CJSW=3.777852E-10 MJSW=0.3508721
PMOS
.MODEL CMOSP PMOS LEVEL=3
+TOX=7.9E-9 NSUB=1E17 GAMMA=0.4083894
+PHI=0.7 VTO=-0.7140674 DELTA=0 UO=212.2319801 ETA=9.999762e-4
+THETA=0.2020774 KP=6.733755E-5 VMAX=1.181551E5 KAPPA=1.5
+RSH=30.0712458 NFS=1E12 TPG=-1 XJ=2E-7 LD=5.000001E-13
+WD=1.249872E-7 CGDO=3.09E-10 CGSO=3.09E-10 CGBO=1E-10
+CJ=1.419508E-3 PB=0.8152753 MJ=0.5 CJSW=4.813504E-10 MJSW=0.5

ตารางที่ 2.2 ความกว้าง (W) และความยาว (L) ของช่องนำกระแสของทรานซิสเตอร์แต่ละตัว

ทรานซิสเตอร์	W (μm)	L (μm)
M_1–M_2 , M_5–M_6	16.1	0.7
M_3–M_4 , M_7–M_8	28	0.7
M_9–M_{12} , M_{14}–M_{17}	56	0.7
M_{13}–M_{18}	7	0.7

2.4 สรุป

ในบทนี้ได้กล่าวถึงรายละเอียดความเป็นมาและหลักการทำงานพื้นฐานของวงจร VDTA เพื่อนำหลักการทำงานพื้นฐานไปใช้ศึกษาและประกอบความเข้าใจในการออกแบบและสังเคราะห์เป็นวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบลอยตัวที่จะนำเสนอในบทต่อไป วงจร VDTA ที่ใช้ในโครงการวิจัยนี้ถูกออกแบบขึ้นโดยใช้ทรานซิสเตอร์แบบมอสภายใต้เทคโนโลยี TSMC 0.35 μm และเลือกใช้โปรแกรม PSPICE ทำการจำลองการทำงานของวงจรเพื่อตรวจสอบความถูกต้องของคุณสมบัติของวงจรที่นำเสนออีกด้วย

2.5 เอกสารอ้างอิงบทที่ 2

[1] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing : classification, review, and new proposals", *Radioengineering*, vol.17, no.4, pp.15-32, 2008.

[2] A. Yesil, F. Kacar and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", *Radioengineering*, vol.20, no.3, pp.632-637, 2011.

[3] J. Satansup and W. Tangsrirat, "Electronically Tunable Single-Input Five-Output Voltage-Mode Universal Filter Using VDTAs and Grounded Passive Elements", *Circuits Syst. Signal Process.*, vol.32, no.3, pp.945-957, 2013.

[4] W. Tangsrirat and P. Mongkolwai "VDTA-based floating FDNR simulator topology", *KMITL Science and Technology Journal*, vol.13, no.1, pp.17-21, 2013.

[5] D. Prasad, M. Srivastava, D. R. Bhaskar, "Electronically Controllable Fully-uncoupled explicit current-mode quadrature oscillator using VDTAs and grounded capacitors", *Circuit and Systems*, vol.4, pp.169-172, 2013.

[6] D. Biolek, "CDTA- Building block for current-mode analog signal processing", *Proc. ECCTD'03*, vol. III, Poland; pp.397-400, 2003.

บทที่ 3
วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวโดยใช้วงจร VDTA หนึ่งตัว

3.1 กล่าวนำ

เป็นที่ทราบดีว่า ตัวเหนี่ยวนำแบบลอยตัว (floating inductor) นั้นเป็นองค์ประกอบสำคัญอย่างมากในการสังเคราะห์และออกแบบวงจรประมวลสัญญาณแอนะล็อกต่างๆ มากมาย อาทิเช่น วงจรกรองสัญญาณ (filter) วงจรออสซิลเลเตอร์ (oscillator) เป็นต้น แต่อย่างไรก็ตาม ปัญหาหรืออุปสรรคสำคัญในการออกแบบวงจรโดยใช้ตัวเหนี่ยวนำพาสซีฟในวงจร ก็คือ โครงสร้างทางกายภาพของตัวเหนี่ยวนำพาสซีฟนั้นมีขนาดใหญ่ ทำให้กินพื้นที่วงจร และไม่สามารถนำวงจรที่ออกแบบได้ไปสร้างในรูปของวงจรรวม ด้วยเหตุนี้เองจึงทำให้นักวิจัยพยายามออกแบบวงจรเลียนแบบตัวเหนี่ยวนำขึ้นโดยใช้อุปกรณ์แอคทีฟชนิดต่างๆ ดังที่ได้มีการรายงายและนำเสนอไว้ในเอกสารอ้างอิงที่ [1]-[9] อย่างไรก็ตาม เป็นที่สังเกตว่าโครงสร้างวงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอมาก่อนหน้านี้ ยังคงประกอบไปด้วยอุปกรณ์แอคทีฟในวงจรหนึ่งตัวหรือมากกว่านั้น ในขณะที่ใช้อุปกรณ์พาสซีฟในการสังเคราะห์วงจรมากกว่าสองตัวขึ้นไป

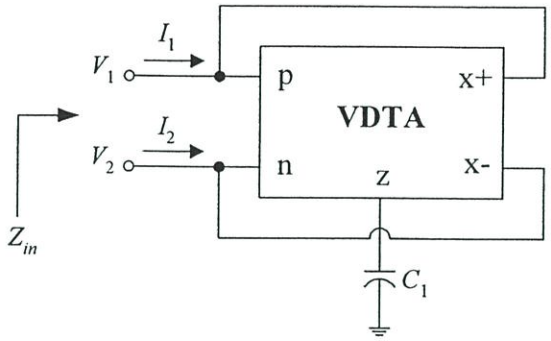
ดังนั้นในบทนี้จึงนำเสนอการออกแบบวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวโดยใช้วงจร VDTA เพียงตัวเดียว ต่อร่วมกับตัวเก็บประจุต่อเทียบกราวด์อีกหนึ่งตัวเท่านั้น ปราศจากการใช้ตัวต้านทานพาสซีฟจากภายนอก วงจรนำเสนอมีข้อดีคือ ใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อยมาก สามารถสังเคราะห์ฟังก์ชันอิมพีแดนซ์ของตัวเหนี่ยวนำแบบลอยตัวได้โดยค่าความเหนี่ยวนำสมมูลที่สังเคราะห์ได้ยังสามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการควบคุมอัตราขยายค่าความนำของวงจร VDTA นอกจากนี้ยังได้นำเสนอแนวทางการประยุกต์ใช้วงจรเลียนแบบตัวเหนี่ยวนำในการสังเคราะห์วงจรกรองผ่านแถบความถี่อันดับสอง (second-order RLC bandpass filter) ซึ่งให้ผลตอบสนองสอดคล้องกับหลักการทางทฤษฎี

3.2 วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่นำเสนอ

รูปที่ 3.1 แสดงวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่นำเสนอ ซึ่งประกอบด้วยวงจร VDTA หนึ่งสองตัว และตัวเก็บประจุเทียบกราวด์อีกหนึ่งตัว จากการวิเคราะห์วงจรในรูปที่ 3.1 โดยอาศัยคุณสมบัติของวงจร VDTA ดังสมการ (2.1) จะได้ค่าอิมพีแดนซ์อินพุต (input impedance) ของวงจร ดังนี้

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{g_{mF} g_{mS}}{sC_1} \begin{bmatrix} +1 & -1 \\ -1 & +1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \tag{3.1}$$

จากสมการ (3.1) แสดงให้เห็นว่าวงจรที่นำเสนอในรูปที่ 3.1 สามารถเลียนแบบคุณสมบัติของตัวเหนี่ยวนำแบบลอยตัว โดยมีค่าความเหนี่ยวนำสมมูล (equivalent inductance) เท่ากับ $L_{eq} = C_1/g_{mF}g_{mS}$ นอกจากนี้ยังสังเกตได้ว่าค่าของ L_{eq} ที่ได้จากการเลียนแบบของวงจรนั้นสามารถแปรค่าได้ด้วยการควบคุมอัตราขยายค่าความนำ g_{mF} หรือ g_{mS} ของวงจร VDTA อีกด้วย และจากโครงสร้างวงจรในรูปที่ 3.1 จะเห็นว่าหากกำหนดให้ $V_1 = 0$ หรือ $V_2 = 0$ วงจรที่นำเสนอยังสามารถสังเคราะห์คุณสมบัติของตัวเหนี่ยวนำแบบเทียบกราวด์ได้เช่นกัน

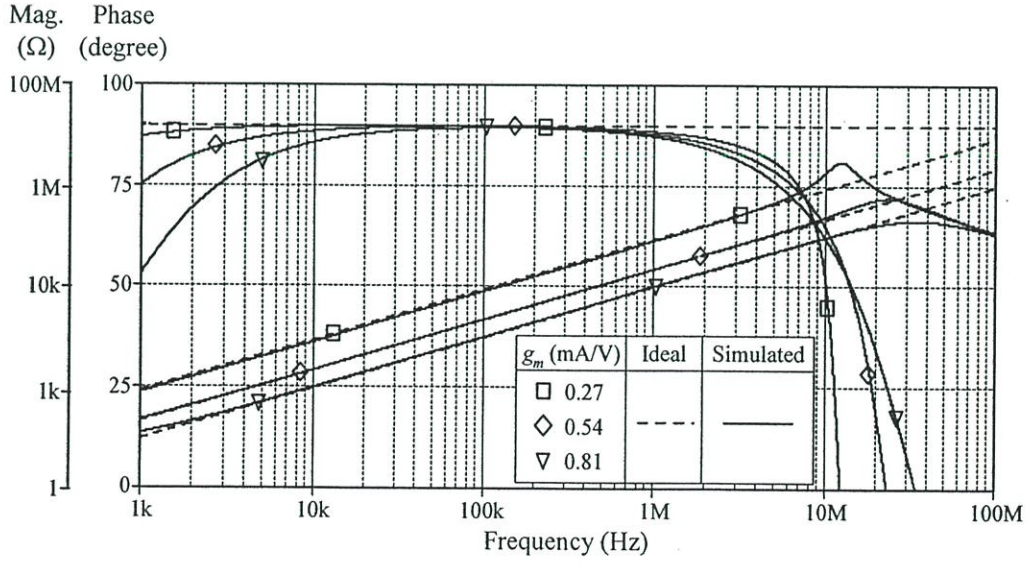


รูปที่ 3.1 วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวโดยใช้วงจร VDTA ที่นำเสนอ

3.3 ผลการจำลองการทำงานของวงจร

ในที่นี้ได้ใช้โปรแกรม PSPICE ทำการจำลองการทำงานของวงจรเพื่อตรวจสอบคุณสมบัติในการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่นำเสนอในรูปที่ 3.1 โดยใช้วงจร VDTA ที่สังเคราะห์ขึ้นจากทรานซิสเตอร์แบบมอสดังรูปที่ 2.2 ภายใต้เทคโนโลยี TSMC 0.35 μm และเลือกใช้แหล่งจ่ายไฟเลี้ยง +V = -V = 1.8 V

รูปที่ 3.2 แสดงผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตของวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวในรูปที่ 3.1 เมื่อกำหนดให้ C_1 = 1 nF และทำการแปรค่าอัตราค่าความนำของวงจร VDTA เป็นดังนี้ $g_m = g_{mF} = g_{mS} \cong 0.27$ mA/V ($I_B = I_{BF} = I_{BS} = 20$ μA), $g_m \cong 0.54$ mA/V ($I_B = 80$ μA) และ $g_m \cong 0.81$ mA/V ($I_B = 180$ μA) เพื่อให้ได้ค่าความเหนี่ยวนำสมมูล L_{eq} แปรค่าเป็น 13.74 mH, 3.43 mH และ 1.52 mH ตามลำดับ

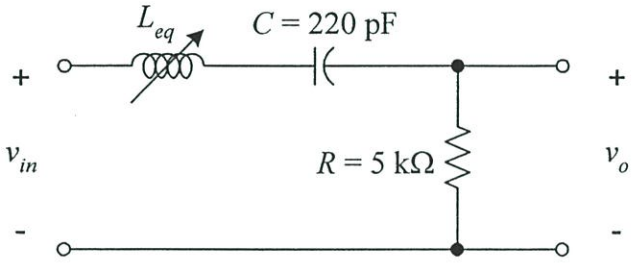


รูปที่ 3.2 ผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตของ

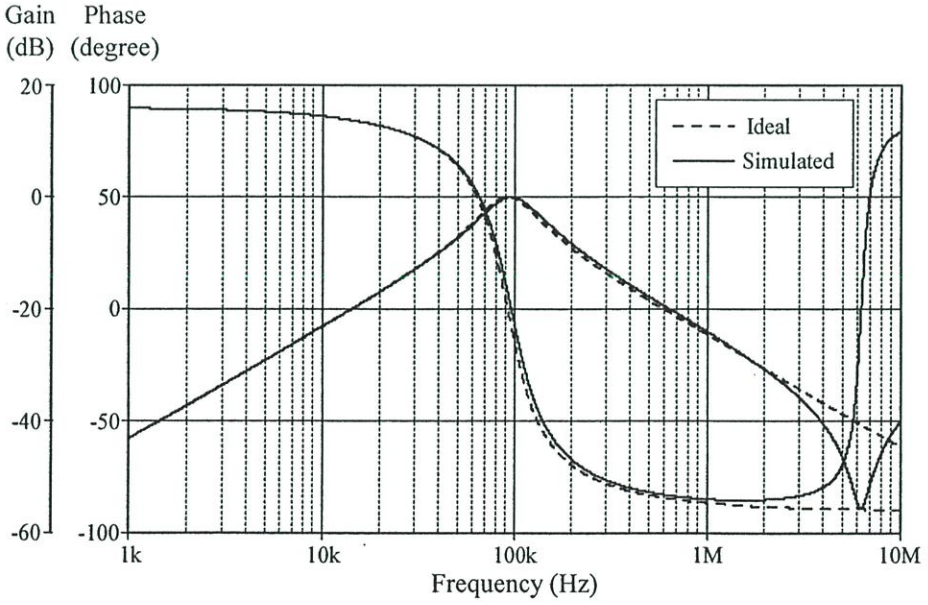
วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวในรูปที่ 3.1

3.4 การประยุกต์ใช้งาน

หัวข้อนี้ได้นำเสนอแนวทางการประยุกต์ใช้วงจรที่นำเสในรูปที่ 3.1 ในการเลียนแบบตัวเหนี่ยวนำแบบลอยตัวในวงจรกรองผ่านแถบความถี่อันดับสองดังรูปที่ 3.3 เมื่ออุปกรณ์ในวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวกำหนดให้มีค่าดังต่อไปนี้ C_1 = 1 nF และ $g_m = g_{mF} = g_{mS} \cong 0.27$ mA/V ($I_B = I_{BF} = I_{BS} = 20$ μA) ซึ่งทำให้ได้ L_{eq} = 13.74 mH รูปที่ 3.4 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง RLC ในรูปที่ 3.3 ซึ่งแสดงให้เห็นว่าผลการตอบสนองทางขนาดและเฟสของวงจรนั้นมีคุณสมบัติเป็นไปตามหลักการทางทฤษฎี

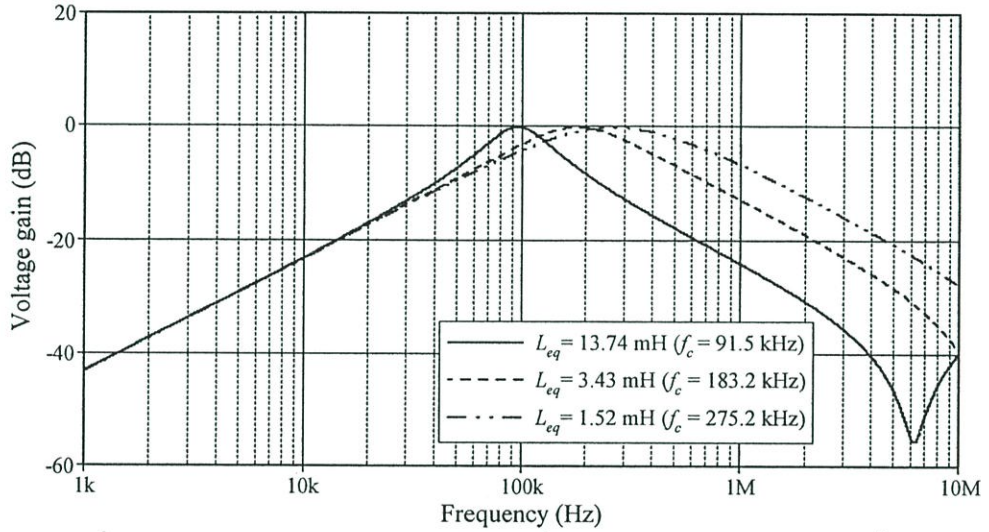


รูปที่ 3.3 วงจรกรองผ่านแถบความถี่อันดับสอง RLC



รูปที่ 3.4 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 3.3

นอกจากนี้ยังได้แสดงคุณสมบัติการแปรค่าทางอิเล็กทรอนิกส์ของวงจรด้วยการแปรค่าอัตราค่าขยายค่าความนำ g_m ของวงจร VDTA ให้เปลี่ยนแปลงเป็น 0.27 mA/V, 0.54 mA/V และ 0.81 mA/V ตามลำดับ ซึ่งเป็นผลให้ค่าของ L_{eq} ในรูปที่ 3.3 มีค่าเปลี่ยนแปลงเป็น 13.74 mH, 3.43 mH และ 1.52 mH ตามลำดับเช่นกัน กรณีเช่นนี้ค่าความถี่กลาง (center frequency, f_c = $\omega_c/2\pi$) ของวงจรกรองสัญญาณในรูปที่ 3.3 แปรค่าเป็น 91.5 kHz, 183.2 kHz และ 275.2 kHz ตามลำดับ รูปที่ 3.5 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 3.3 เมื่อแปรค่า L_{eq} และจากผลการจำลองพบว่า f_c มีค่าเท่ากับ 95.6 kHz, 181.3 kHz และ 267.4 kHz



รูปที่ 3.5 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 3.3 เมื่อแปรค่า L_{eq}.โดยการควบคุม g_m

3.5 สรุป

บทนี้นำเสนอวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่สามารถปรับค่าทางอิเล็กทรอนิกส์โดยใช้วงจร VDTA หนึ่งตัว และตัวเก็บประจุเทียบกราวด์หนึ่งตัว คุณสมบัติของค่าความเหนี่ยวนำสมมูลที่ได้สังเคราะห์ขึ้นสามารถปรับแต่งค่าได้ด้วยการควบคุมกระแสไบอัสจากภายนอก ผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE มีแนวโน้มเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ

3.6 เอกสารอ้างอิงบทที่ 3

[1] C. Psychalinos and A. Spanidou, "Current amplifier-based grounded and floating inductance simulators". *Int. J. Electron. Commun. (AEU),* vol. 60, pp. 168-171, 2006.

[2] E. Yuce, "Inductor implementation using a canonical number of active and passive elements", *Int. J. Electron.*, vol.94, no.4, pp.317-326, 2007.

[3] E. Yuce, "On the implementation of the floating simulators employing a single active element", *Int. J. Electron. Commun. (AEU),* vol.61, no.7, pp.453-458, 2007.

[4] M. Sagbas, U. E. Ayten, H. Sedef and M. Koksal, "Electronically tunable floating inductance simulator", *Int. J. Electron. Commun. (AEU),* vol.63, pp.423-4278, 2009.

[5] E. Yuce, S. Minaei, "Novel floating simulated inductors with wider operating-frequency ranges", *Microelectron. J.,* vol.40, pp.928-938, 2009.

[6] D. Prasad, D. R. Bhaskar, and A. K. Singh, "New grounded and floating simulated inductance circuits using current differencing transconductance amplifiers", *Radioengineering,* vol.19, no.1, pp.194-198, 2010.

[7] E. Yuce, "A novel floating simulation topology composed of only grounded passive elements", *Int. J. Electron.*, vol.97, no.3, pp.249-262, 2010.

[8] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, "Lossy/lossless floating/grounded inductance simulation using one DDCC", *Radioengineering,* vol.21, no.1, pp.3-10, 2012.

[9] U. E. Ayten, M. Sagbas, N. Herencsar and J. Koton, "Novel general element simulators using CBTA", *Radioengineering,* vol.21, no.1, pp.11-19, 2012.

บทที่ 4
วงจรเลียนแบบตัวเก็บประจุแบบลอยตัวโดยใช้วงจร VDTA สองตัว

4.1 กล่าวนำ

ตัวเก็บประจุไฟฟ้านับเป็นองค์ประกอบที่สำคัญอีกองค์ประกอบหนึ่งในการสังเคราะห์และออกแบบวงจรประมวลสัญญาณแอนะล็อก แต่เนื่องจากปัญหาลักษณะเดียวกับการออกแบบวงจรโดยใช้ตัวเหนี่ยวนำพาสซีฟ ก็คือ หากเราใช้ตัวเก็บประจุแบบพาสซีฟในการสังเคราะห์วงจรโดยเฉพาะวงจรรวม (integrated circuit, IC) ซึ่งทำได้ยากลำบากและทำให้วงจรที่ได้มีขนาดใหญ่มาก ดังนั้นจึงทำให้นักวิจัยพยายามออกแบบวงจรเลียนแบบตัวเก็บประจุโดยใช้อุปกรณ์แอคทีฟสมรรถนะสูงมากมาย [1]-[9] แต่อย่างไรก็ตามพบว่าวงจรเลียนแบบตัวเก็บประจุที่ได้มีการพัฒนาและนำเสนอขึ้นทั้งหมดก่อนหน้านี้นั้น ยังคงมีข้อด้อยต่างๆ ดังต่อไปนี้

1. ใช้อุปกรณ์แอคทีฟในวงจรสองตัวหรือมากกว่านั้น หรือใช้อุปกรณ์พาสซีฟมากกว่าหนึ่งตัวขึ้นไป [1]-[9]
2. ใช้อุปกรณ์พาสซีฟแบบลอยตัว [1], [3], [5]
3. ใช้ตัวต้านทานพาสซีฟจากภายนอก [1], [3], [5]-[8]
4. ไม่สามารถแปรค่าได้ทางอิเล็กทรอนิกส์ [1], [3], [7]

ดังนั้นในบทนี้จึงนำเสนอการออกแบบวงจรเลียนแบบตัวเก็บประจุแบบลอยตัวโดยใช้วงจร VDTA เป็นอุปกรณ์แอคทีฟหลัก โดยวงจรที่นำเสนอประกอบด้วยวงจร VDTA จำนวนสองตัวและตัวเก็บประจุต่อเทียบกราวด์อีกหนึ่งตัวเท่านั้น ปราศจากการใช้ตัวต้านทานพาสซีฟจากภายนอก ซึ่งเหมาะสมกับโครงสร้างวงจรแบบวงจรรวม [10] ค่าความจุไฟฟ้าสมมูลที่ได้จากการสังเคราะห์สามารถควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรค่าอัตราขยายค่าความนำของวงจร VDTA อีกทั้งยังไม่จำเป็นต้องอาศัยเงื่อนไขอุปกรณ์ที่ต้องมีค่าเท่ากันอีกด้วย ผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE มีแนวโน้มเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ

4.2 วงจรเลียนแบบตัวเก็บประจุแบบลอยตัวที่นำเสนอ

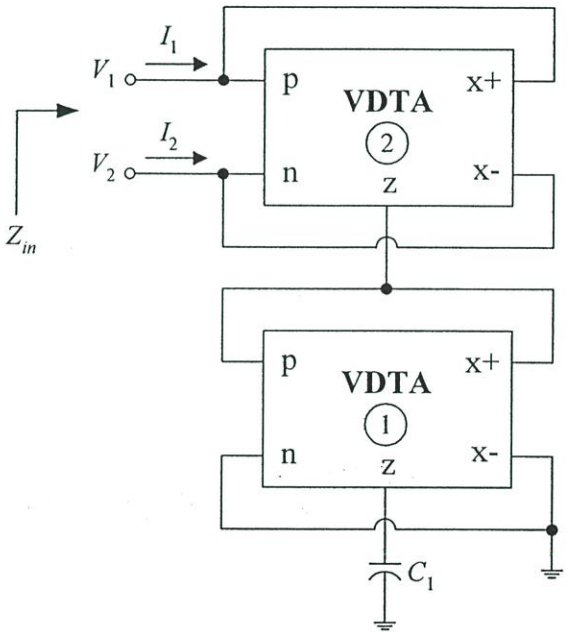
รูปที่ 4.1 แสดงวงจรเลียนแบบตัวเก็บประจุแบบลอยตัวที่นำเสนอ ซึ่งประกอบด้วยวงจร VDTA จำนวนสองตัวและตัวเก็บประจุต่อเทียบกราวด์จำนวนหนึ่งตัว โดยปราศจากตัวต้านทานพาสซีฟจากภายนอก เนื่องจากวงจรที่นำเสนอใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อยมาก อีกทั้งยังใช้ตัวเก็บประจุต่อเทียบกราวด์เท่านั้น ทำให้มีโครงสร้างวงจรกะทัดรัดและเหมาะสมในการนำไปสร้างเป็นวงจรรวมอีกด้วย จากการวิเคราะห์วงจรในรูปที่ 4.1 โดยอาศัยคุณสมบัติของวงจร VDTA ดังสมการ (2.1) จะได้ตัวแปรสองพอร์ตแบบลัดวงจร (short-circuit admittance parameter) ดังนี้

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{sC_1 g_{mF2} g_{mS2}}{g_{mF1} g_{mS1}} \begin{bmatrix} +1 & -1 \\ -1 & +1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \tag{4.1}$$

หรือ จะได้อิมพีแดนซ์อินพุตของวงจร เท่ากับ

$$Z_{in} = \frac{g_{mF1}g_{mS1}}{sC_1 g_{mF2}g_{mS2}} = \frac{1}{sC_{eq}} \tag{4.2}$$

โดยที่ g_{mFi} และ g_{mSi} คือ อัตราขยายค่าความนำ g_{mF} และ g_{mS} ของวงจร VDTA ตัวที่ i (i = 1, 2) ตามลำดับ สมการ (4.2) แสดงให้เห็นว่าวงจรที่นำเสนอในรูปที่ 4.1 นั้นสามารถสังเคราะห์คุณสมบัติของตัวเก็บประจุแบบลอยตัวได้โดยมีค่าความจุไฟฟ้าสมมูล (equivalent capacitance value) เท่ากับ $C_{eq} = C_1 g_{mF2}g_{mS2}/g_{mF1}g_{mS1}$ และพบว่าค่าของ C_{eq} ที่ได้นี้สามารถแปรค่าได้ด้วยการควบคุมอัตราขยายค่าความนำ g_{mFi} หรือ g_{mSi} ของวงจร VDTA อีกด้วย นอกจากนี้หากกำหนดให้ $V_1 = 0$ หรือ $V_2 = 0$ แล้ว โครงสร้างวงจรในรูปที่ 3.1 ยังสามารถสังเคราะห์คุณสมบัติของตัวเก็บประจุแบบเทียบกราวด์ได้เช่นกัน

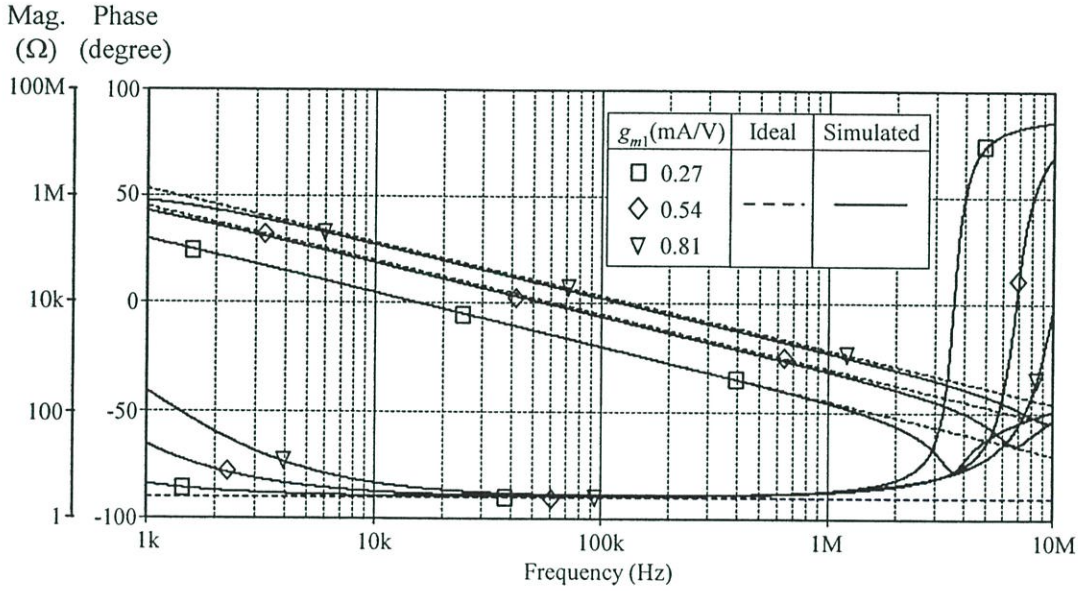


รูปที่ 4.1 วงจรเลียนแบบตัวเก็บประจุแบบลอยตัวโดยใช้วงจร VDTA ที่นำเสนอ

4.3 ผลการจำลองการทำงานของวงจร และการประยุกต์ใช้งาน

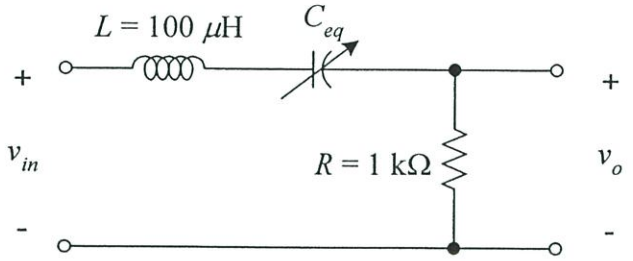
สำหรับการจำลองการทำงานของวงจรเลียนแบบตัวเก็บประจุแบบลอยตัวที่นำเสนอในรูปที่ 4.1 ในที่นี้ได้ใช้วงจร VDTA ที่สังเคราะห์จากเทคโนโลยีทรานซิสเตอร์แบบมอสดังรูปที่ 2.2 ภายใต้เทคโนโลยี TSMC 0.35 μm และเลือกใช้แหล่งจ่ายไฟเลี้ยง +V = -V = 1.8 V เช่นเดียวกับในบทที่ผ่านมา

วงจรเลียนแบบตัวเก็บประจุแบบลอยตัวที่นำเสนอในรูปที่ 4.1 ได้ถูกจำลองการทำงานโดยกำหนดให้ C_1 = 1 nF , $g_{m2} = g_{mF2} = g_{mS2} \cong$ 0.27 mA/V และทำการแปรค่า $g_{m1} = g_{mF1} = g_{mS1}$ เป็น 0.27 mA/V, 0.54 mA/V และ 0.81 mA/V ตามลำดับ จากเงื่อนไขข้างต้นทำให้ได้คุณสมบัติของวงจรในทางทฤษฎีดังนี้ C_{eq} = 1 nF, 0.25 nF และ 0.11 nF ตามลำดับ รูปที่ 4.2 แสดงผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตของวงจรเลียนแบบตัวเก็บประจุแบบลอยตัวในรูปที่ 4.1

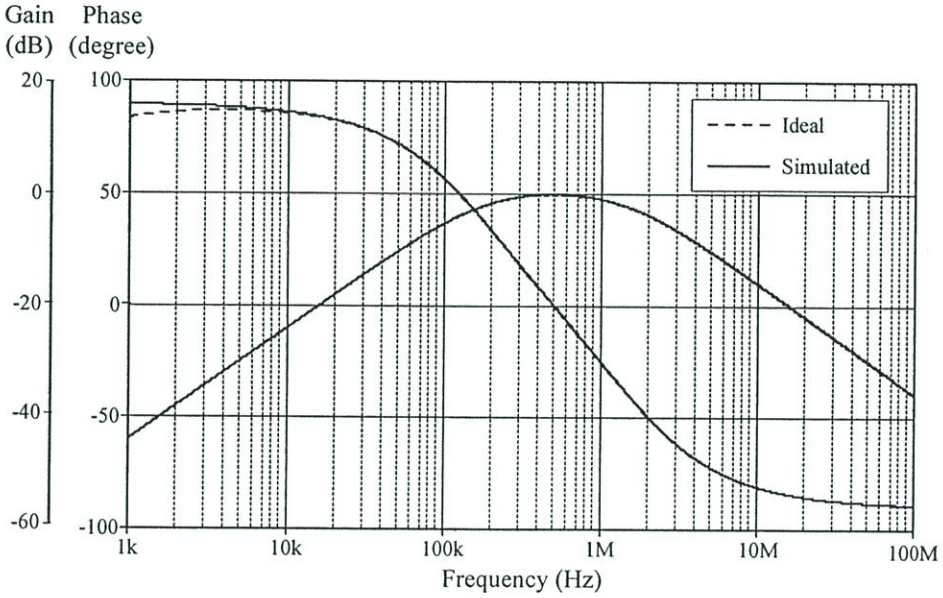


รูปที่ 4.2 ผลตอบสนองทางความถี่ของค่าอิมพีแดนซ์อินพุตของวงจรเลียนแบบตัวเก็บประจุแบบลอยตัวในรูปที่ 4.1

ตัวอย่างการประยุกต์ใช้งานวงจรที่นำเสนอแสดงได้ดังรูปที่ 4.3 ซึ่งในที่นี้เลือกใช้วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้ C_{eq} = 1 nF ที่สังเคราะห์จากอุปกรณ์แอคทีฟและพาสซีฟที่มีค่าดังนี้ C_1 = 1 nF และ $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} \cong$ 0.27 mA/V ($I_{BF1} = I_{BS1} = I_{BF2} = I_{BS2}$ = 20 μA) รูปที่ 4.4 แสดงผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 4.3 ซึ่งแสดงให้เห็นว่าผลตอบสนองทางขนาดและเฟสของวงจรนั้น มีแนวโน้มเป็นไปตามหลักการทางทฤษฎีที่ได้นำเสนอ

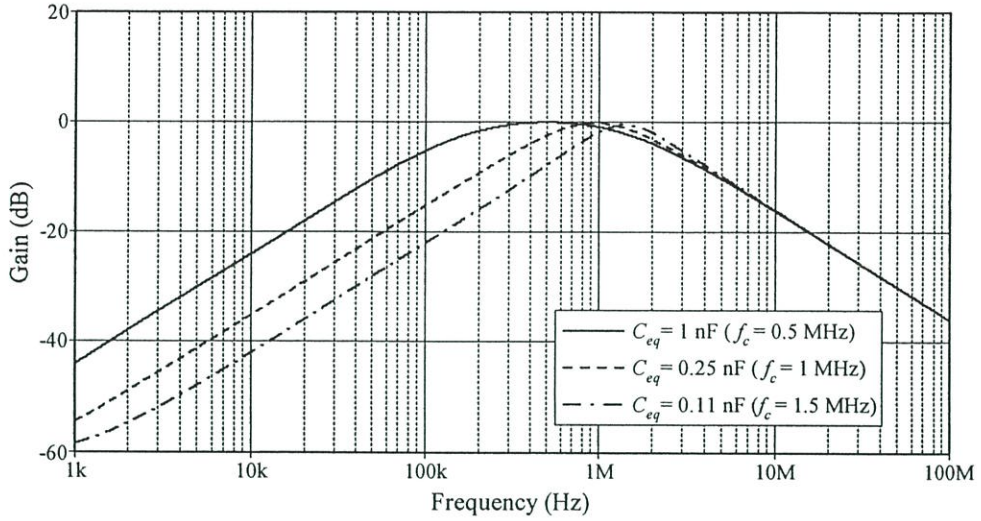


รูปที่ 4.3 วงจรกรองผ่านแถบความถี่อันดับสอง RLC



รูปที่ 4.4 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 4.3

รูปที่ 4.5 แสดงคุณสมบัติในการแปรค่าทางอิเล็กทรอนิกส์ของวงจรกรองสัญญาณในรูปที่ 4.3 เมื่อปรับ C_{eq} ให้มีค่าเปลี่ยนแปลงเป็น 1 nF, 0.25 nF และ 0.11 nF ซึ่งกระทำได้โดยการปรับค่า $g_{mF1} = g_{mS1} \cong 0.27$ mA/V, 0.54 mA/V และ 0.81 mA/V ตามลำดับ ในขณะที่ควบคุมให้ $g_{mF2} = g_{mS2}$ มีค่าคงที่เท่ากับ 0.27 mA/V. เงื่อนไขของกำหนดค่าอุปกรณ์ดังกล่าวทำให้ได้ตำแหน่งความถี่กลาง (f_c) ของวงจรกรองสัญญาณในรูปที่ 4.3 มีค่าเปลี่ยนไปเป็น 0.5 MHz, 1 MHz และ 1.5 MHz ตามลำดับ จากผลจำลองผลตอบสนองทางความถี่พบว่า f_c มีค่าเท่ากับ 0.49 MHz, 0.94 MHz และ 1.39 MHz ตามลำดับ



รูปที่ 4.5 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 4.3 เมื่อแปรค่า C_{eq}.

4.4 สรุป

ในบทนี้นำเสนอวงจรเลียนแบบตัวเก็บประจุแบบลอยตัว โดยใช้วงจร VDTA จำนวนสองตัว และตัวเก็บประจุต่อเทียบกราวด์จำนวนหนึ่งตัว ปราศจากตัวต้านทานพาสซีฟจากภายนอก ซึ่งทำให้โครงสร้างของวงจรมีรูปแบบเหมาะสมกับการนำไปสร้างเป็นวงจรรวม คุณสมบัติของค่าความจุไฟฟ้าสมมูลที่ได้สังเคราะห์ขึ้น สามารถปรับแต่งค่าได้ด้วยการควบคุมกระแสไบอัสจากภายนอก นอกจากนี้ยังแสดงตัวอย่างการประยุกต์ใช้งานวงจรที่นำเสนอโดยการนำไปสังเคราะห์วงจรกรองสัญญาณแบบกรองผ่านแถบความถี่อันดับสอง ซึ่งผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE นั้น แสดงให้เห็นถึงคุณสมบัติการทำงานของวงจรว่าถูกต้องเป็นไปตามหลักการทางทฤษฎี

4.5 เอกสารอ้างอิงบทที่ 4

[1] P. V. Ananda Mohan, "Grounded capacitor based grounded and floating inductance simulation using current conveyors", *Electron. Lett.*, vol.34, pp.1037-1038, 1998.

[2] M. T. Abuelma'atti, N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", *Microelectron. J.*, vol.30, pp.869-873, 1999.

[3] P. V. Ananda Mohan, "Floating capacitance simulation using current conveyors. *J. Circuits Syst. Comput.*", vol.14, pp.123-128, 2005.

[4] E. Yuce, S. Minaei, O. Cicekoglu, "Reisistorless floating immitance function simulators employing current controlled conveyors and a grounded capacitor", *Electrical Eng.*, vol.88, pp.519-525, 2006.

[5] E. Yuce, "On the implementation of the floating simulators employing a single active device", *Int. J. Electron. Commun.*, vol.61, pp.453-458, 2007.

[6] M. Sagbas, U. E. Ayten, H. Sedef, M. Koksal, "Floating immittance function simulator and its applications", *Circuits Syst. Signal Process.*, vol.28, pp.55-63, 2009.

[7] E. Yuce, "A novel floating simulation topology composed of only grounded passive components", *Int. J. Electron.* , vol.97, pp.249-262, 2010.

[8] U. E. Ayten, M. Sagbas, N. Herencsar, J. Koton, "Novel floating general element simulators using CBTA", *Radioengineering*, vol.21, pp.11-19, 2012.

[9] Y. A. Li, "A series of new circuits based on CFTAs", *Int. J. Electron. Commun.*, vol.66, pp.587-592, 2012.

[10] M. Bhusan, R. W. Newcomb, "Grounding of capacitors in integrated circuits", *Electron. Lett.*, vol.3, pp.148-149, 1967.

บทที่ 5
วงจรเลียนแบบ FDNR แบบลอยตัวโดยใช้วงจร VDTA

5.1 กล่าวนำ

วงจร FDNR (Frequency-Dependent Negative Resistance) เป็นองค์ประกอบสำคัญในการออกแบบและสังเคราะห์วงจรกรองสัญญาณแอคทีฟ เนื่องจากคุณสมบัติของวงจร FDNR นั้น สามารถนำไปประยุกต์ใช้เพื่อเลียนแบบตัวเหนี่ยวนำแบบลอยตัว [1] ทำให้แนวทางการออกแบบวงจร FDNR ได้มีการศึกษาและพัฒนาขึ้นอย่างมากมายดังจะพบเห็นได้จากเอกสารงานวิจัยหลายชิ้นที่ได้มีการนำเสนอมาแล้วก่อนหน้านี้ [2]-[9] อย่างไรก็ตามเรายังพบว่าวงจรที่นำเสนอใน [2]-[8] ยังคงใช้อุปกรณ์พาสซีฟในการสังเคราะห์วงจรเป็นจำนวนมาก อีกทั้งส่วนใหญ่ถูกต่อในแบบลอยตัว โดยเฉพาะอย่างยิ่งงานวิจัย [9] ต้องใช้อุปกรณ์แอคทีฟในวงจรจำนวนทั้งสิ้นสี่ตัวด้วยกัน

ดังนั้นในบทนี้จึงได้กล่าวถึงแนวทางการออกแบบวงจรเลียนแบบ FDNR แบบลอยตัว โดยใช้วงจร VDTA เป็นอุปกรณ์แอคทีฟหลักจำนวนสามตัว ต่อร่วมกับตัวเก็บประจุต่อเทียบกราวด์จำนวนสองตัว โดยไม่จำเป็นต้องใช้ตัวต้านทานพาสซีฟจากภายนอกในการสังเคราะห์วงจร ซึ่งทำให้โครงสร้างของวงจรที่นำเสนอนั้นเหมาะสมกับรูปแบบของวงจรรวม นอกจากนี้ค่าขององค์ประกอบ D (D element) ที่สังเคราะห์ขึ้นจากวงจร FDNR ที่นำเสนอนั้น ยังสามารถควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรค่าอัตราขยายค่าความนำของวงจร VDTA คุณสมบัติในการทำงานของวงจรได้ถูกตรวจสอบด้วยการจำลองโดยใช้โปรแกรม PSPICE

5.2 วงจรเลียนแบบ FDNR แบบลอยตัวที่นำเสนอ

โครงสร้างของวงจร FDNR ที่นำเสนอแสดงได้ดังรูปที่ 5.1 ซึ่งจะเห็นว่าประกอบด้วยวงจร VDTA จำนวนสามตัวและตัวเก็บประจุต่อเทียบกราวด์จำนวนสองตัว โดยปราศจากตัวต้านทานพาสซีฟจากภายนอก เมื่อทำการวิเคราะห์วงจรโดยอาศัยคุณสมบัติของวงจร VDTA ดังสมการ (2.1) จะได้ตัวแปรสองพอร์ตแบบลัดวงจร (short-circuit admittance parameter) ดังนี้

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{s^2 C_1 C_2 g_{m1}}{g_{mF2} g_{m3}} \begin{bmatrix} +1 & -1 \\ -1 & +1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \tag{5.1}$$

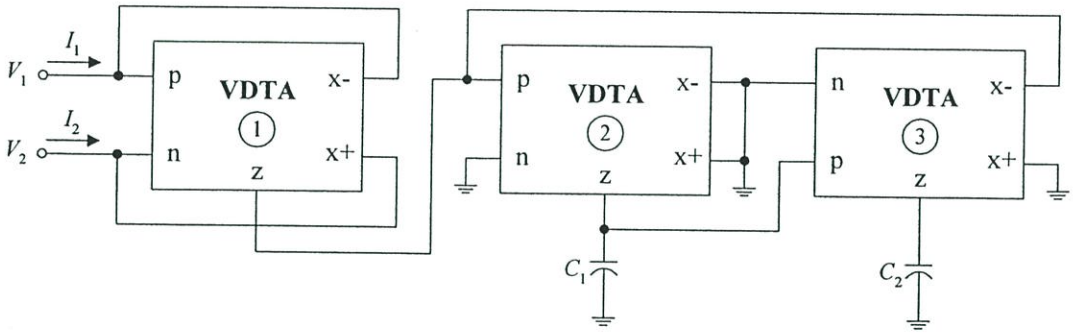
โดยที่ $g_{m1} = g_{mF1} g_{mS1}$ และ $g_{m3} = g_{mF3} g_{mS3}$ ดังนั้นจากสมการ (5.1) จะเห็นว่าวงจร ที่นำเสนอในรูปที่ 5.1 สามารถทำหน้าที่เป็นวงจร FDNR แบบลอยตัวได้โดยมีค่าแอดมิตแตนซ์อินพุตของวงจร (equivalent floating admittance) เท่ากับ

$$Y_{eq} = s^2 D_{eq} = \frac{s^2 C_1 C_2 g_{m1}}{g_{mF2} g_{m3}} \tag{5.2}$$

โดยที่

$$D_{eq} = \frac{C_1 C_2 g_{m1}}{g_{mF2} g_{m3}} \tag{5.3}$$

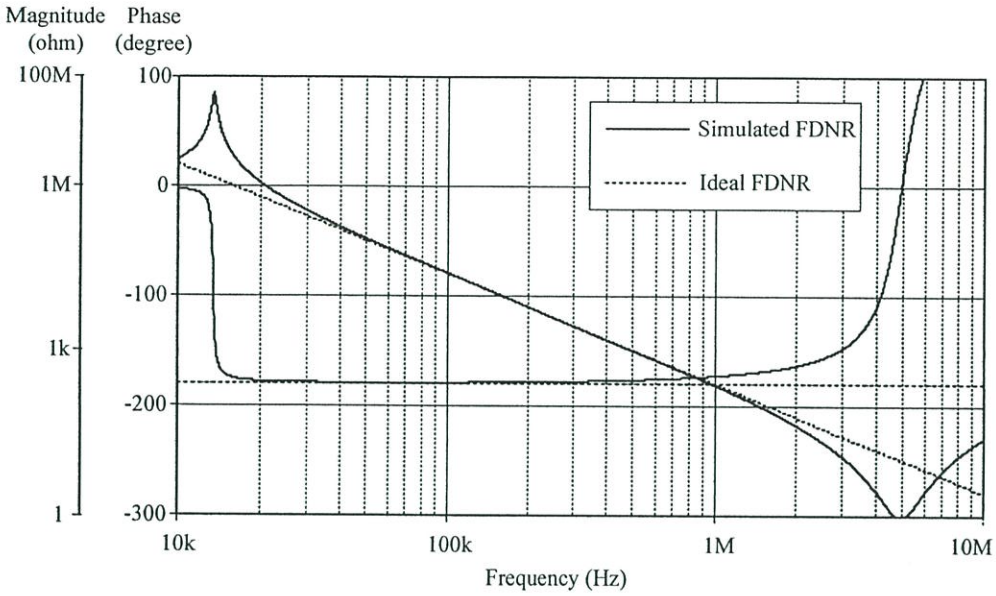
สมการ (4.2) แสดงให้เห็นว่าค่าของ D_{eq} ของวงจร FDNR ที่นำเสนอสามารถแปรค่าได้ด้วยการควบคุมอัตราขยายค่าความนำ g_{mF} หรือ g_{mS} ของวงจร VDTA นอกจากนี้หากกำหนดให้ $V_1 = 0$ หรือ $V_2 = 0$ แล้ว โครงสร้างวงจรในรูปที่ 5.1 ยังสามารถสังเคราะห์คุณสมบัติของวงจร FDNR แบบเทียบกราวด์ได้เช่นกัน



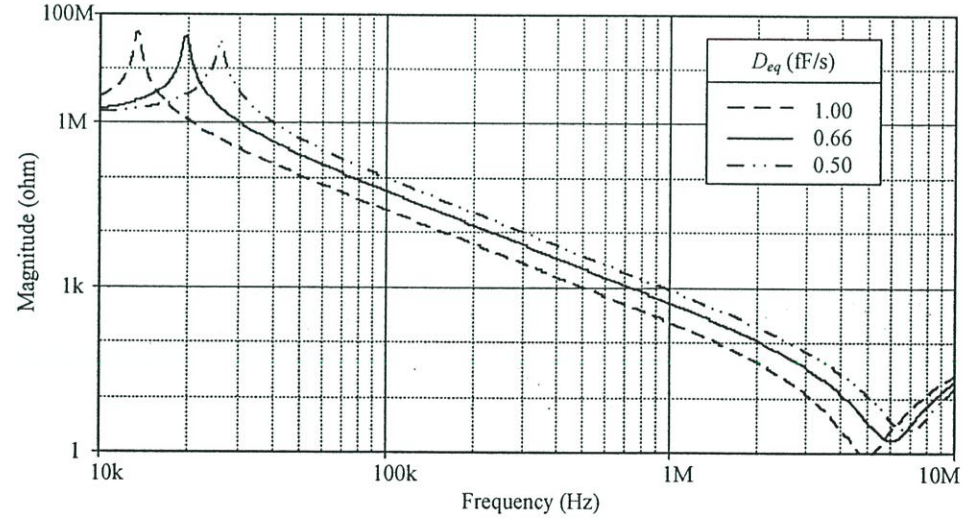
รูปที่ 5.1 วงจรเลียนแบบ FDNR แบบลอยตัวโดยใช้วงจร VDTA ที่นำเสนอ

5.3 ผลการจำลองการทำงานของวงจร

ในที่นี้ได้กำหนดเงื่อนไขในการจำลองการทำงานของวงจรเลียนแบบ FDNR แบบลอยตัวที่นำเสนอในรูปที่ 5.1 เช่นเดียวกับในหัวข้อ 3.3 และ 4.3 โดยการจำลองได้เลือกใช้ค่าอุปกรณ์ดังต่อไปนี้ $C_1 = C_2 = 1$ nF, $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} \cong 0.60$ mA/V ($I_{BF1} = I_{BS1} = I_{BF2} = I_{BS2} = 100$ μA) และ $g_{mF3} = g_{mS3} \cong 0.77$ mA/V ($I_{BF3} = I_{BS3} = 200$ μA) ซึ่งทำให้ได้ $D_{eq} = 1$ fFs. ผลตอบสนองทางความถี่ของวงจรเลียนแบบ FDNR แบบลอยตัวในรูปที่ 5.1 แสดงได้ดังรูปที่ 5.2 ซึ่งแสดงให้เห็นว่าวงจรเลียนแบบ FDNR ที่นำเสนอมีการทำงานสอดคล้องกับอุดมคติในช่วงความถี่ระหว่าง 20 kHz จนถึง 2 MHz ส่วนรูปที่ 5.3 นั้นแสดงคุณสมบัติในการแปรค่าทางอิเล็กทรอนิกส์ของวงจร เมื่อทำการปรับค่า g_{mF3} (= g_{mS3}) $\cong$ 0.77 mA/V, 0.93 mA/V และ 1 mA/V เพื่อให้ได้ $D_{eq} = 1.00$ fFs, 0.66 fFs และ 0.50 fFs ตามลำดับ ซึ่งเป็นการยืนยันคุณสมบัติในการทำงานของวงจรดังที่ได้นำเสนอมาข้างต้นได้เป็นอย่างดี



รูปที่ 5.2 ผลตอบสนองทางความถี่ของวงจรเลียนแบบ FDNR แบบลอยตัวในรูปที่ 5.1

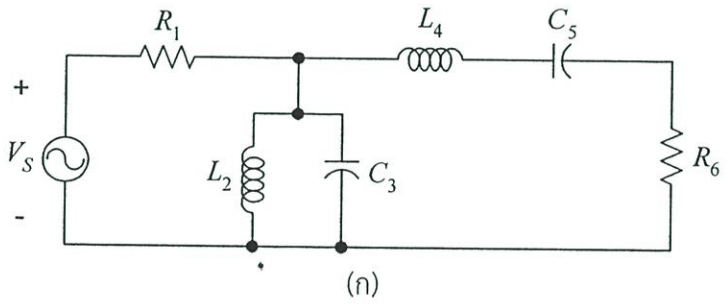


รูปที่ 5.3 ผลตอบสนองทางความถี่ของวงจรเลียนแบบ FDNR ที่นำเสนอเมื่อแปรค่า g_{mF3}

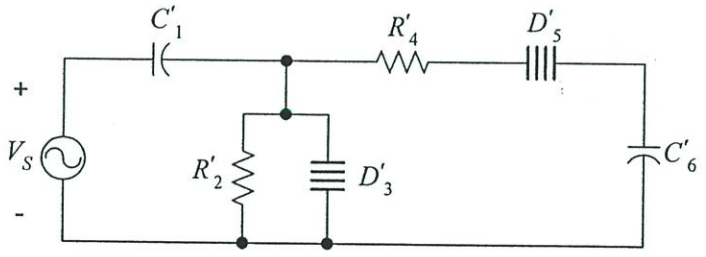
5.4 การประยุกต์ใช้งาน

หัวข้อนี้จะนำเสนอแนวทางการนำวงจรที่นำเสนอในรูปที่ 5.1 ไปประยุกต์ใช้งาน ซึ่งตัวอย่างที่เลือกใช้คือ วงจรกรองผ่านแถบความถี่แบบบัตเตอร์เวิร์ธอันดับสี่ดังรูปที่ 5.4(ก) โดยที่ $R_1 = R_6 = 1\ \Omega$, $L_2 = 0.225\ \mu$H, $C_3 = 1.225\ \mu$F, $L_4 = 11.25\ \mu$H, $C_5 = 22.5$ nF [10] จากค่าอุปกรณ์ที่กำหนดทำให้ได้คุณสมบัติของวงจรกรองสัญญาณเป็นดังนี้ $BW = 32$ kHz และ $f_c = 316$ kHz ตามลำดับ เมื่อใช้หลักการเปลี่ยนรูปของบรูตัน (Bruton transformation) [11] และเลือกใช้ค่าคงที่การสเกลขนาด (magnitude scaling constant) เท่ากับ $k_m = 10^9$ จะทำให้วงจรพาสซีฟ RLC ต้นแบบในรูปที่ 5.4(ก) กลายเป็นวงจรสมมูล CDR ดังรูปที่ 5.4(ข) โดยที่วงจร FDNR ทุกตัวในวงจรสังเคราะห์จากวงจรที่นำเสนอในรูปที่ 5.1 และจากรูปที่ 5.4(ข) ค่าอุปกรณ์ในวงจรมีค่าเท่ากับ $C'_1 = 1$ nF, $R'_2 = 225\ \Omega$, $D'_3 = 11.25$ fFs, $R'_4 = 11.25\ \text{k}\Omega$, $D'_5 = 11.25$ aFs และ $C'_6 = 1$ nF ดังนั้นจะได้ฟังก์ชันถ่ายโอนแรงดัน (voltage transfer function) ของวงจร ดังนี้

$$H(s) = \frac{(4.043\times10^{10})s^2}{s^4 + (2.843\times10^{5})s^3 + (7.925\times10^{12})s^2 + (1.121\times10^{18})s + (1.554\times10^{25})} \tag{5.4}$$



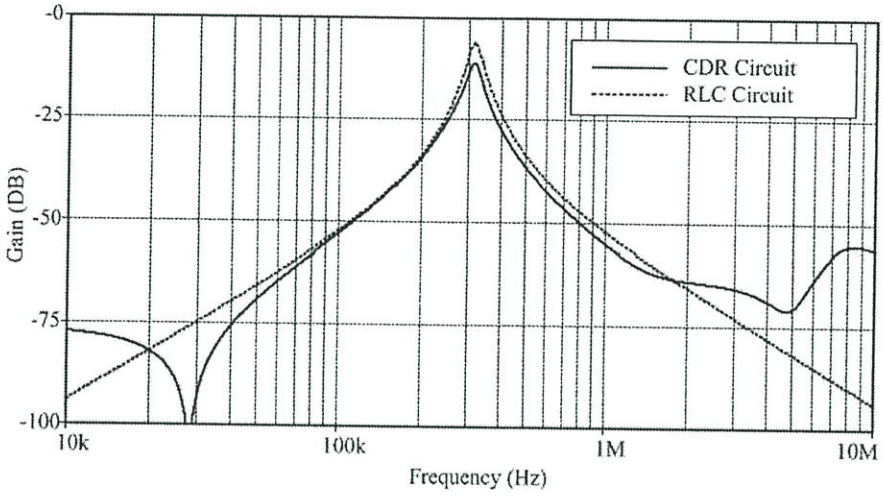
(ก)



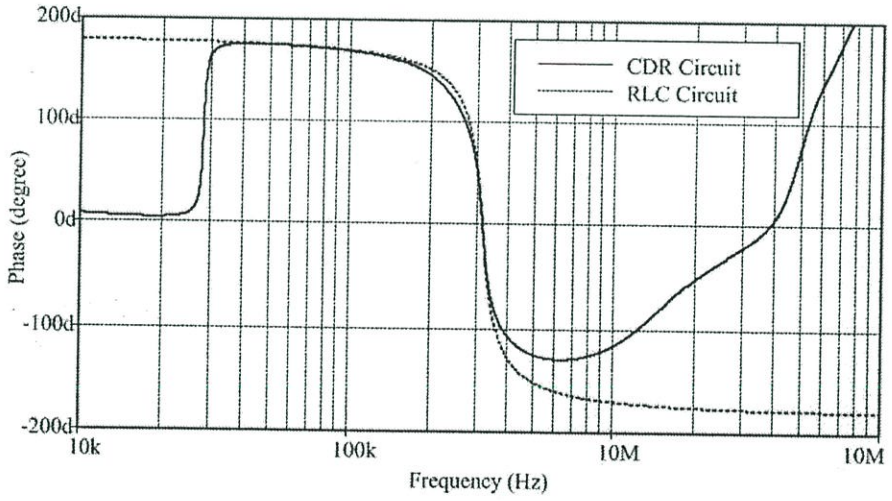
(ข)

รูปที่ 5.4 วงจรกรองผ่านแถบความถี่แบบบัตเตอร์เวิร์ธอันดับสี่
(ก) วงจรพาสซีฟ RLC ต้นแบบ (ข) วงจรสมมูล CDR โดยใช้ FDNR

ผลตอบสนองทางขนาดและเฟสของวงจรกรองสัญญาณในรูปที่ 5.4(ข) เมื่อเปรียบเทียบกับผลตอบสนองทางความถี่ในอุดมคติแสดงได้ดังรูปที่ 5.5 ซึ่งแสดงให้เห็นว่าให้ผลที่สอดคล้องกันเป็นอย่างดี



(ก)

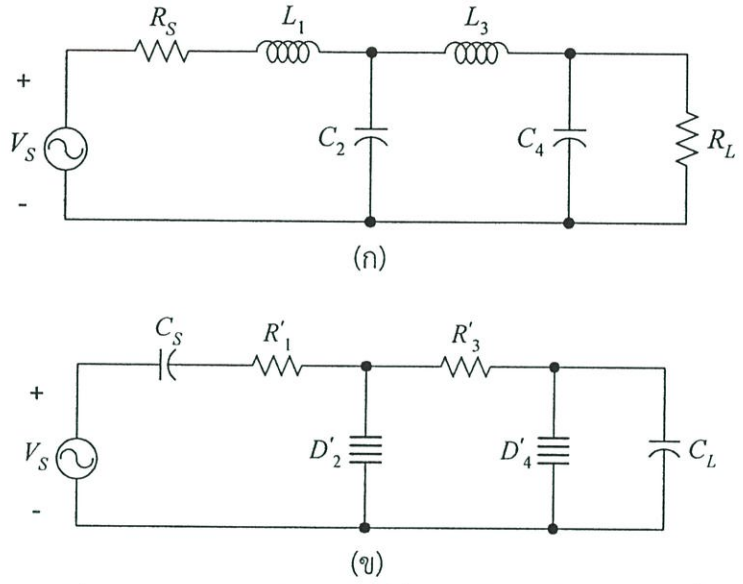


(ข)

รูปที่ 5.5 ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 5.4(ข)
(ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางเฟส

ตัวอย่างการประยุกต์ใช้งานอีกตัวอย่างหนึ่ง คือ วงจรกรองผ่านความถี่ต่ำแบบบัตเตอร์เวิร์ธอันดับสี่ (fourth-order Butterworth lowpass filter) ดังรูปที่ 5.6(ก) โดยในที่นี้ทำการออกแบบวงจรโดยกำหนดให้ $R_S = R_L = 1\ \Omega$, $L_1 = 0.7654$ H, $C_2 = 1.848$ F, $L_3 = 1.848$ H และ $C_4 = 0.7654$ F [12] เมื่ออาศัยของบรูตันและเลือกใช้ $k_m = 1.59 \times 10^3$ และค่าคงที่การสเกลความถี่ (frequency scaling constant) เท่ากับ $k_f = 628.32 \times 10^3$ จะทำให้วงจรพาสซีฟ RLC ต้นแบบในรูปที่ 5.6(ก) กลายเป็นวงจรสมมูล CDR ดังรูปที่

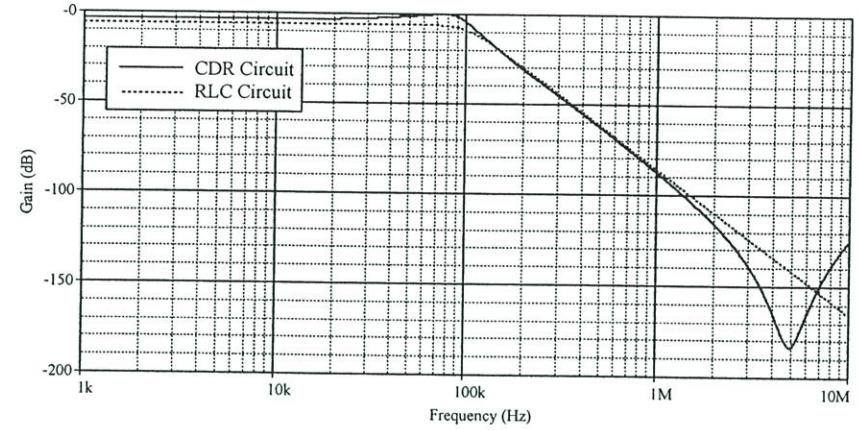
5.6(ข) โดยที่องค์ประกอบ D'_2 และ D'_4 นั้นสังเคราะห์ขึ้นจากวงจรเลียนแบบ FDNR ดังรูปที่ 5.1 และจากการเลือกใช้ค่าอุปกรณ์ดังกล่าวข้างต้นทำให้ได้ $C_S = C_L = 1$ nF, $R'_1 = 1.22$ kΩ, $D'_2 = 2.94$ fFs, $R'_3 = 2.94$ kΩ และ $D'_4 = 1.22$ fFs ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในดังรูปที่ 5.6(ข) แสดงได้ดังรูปที่ 5.7



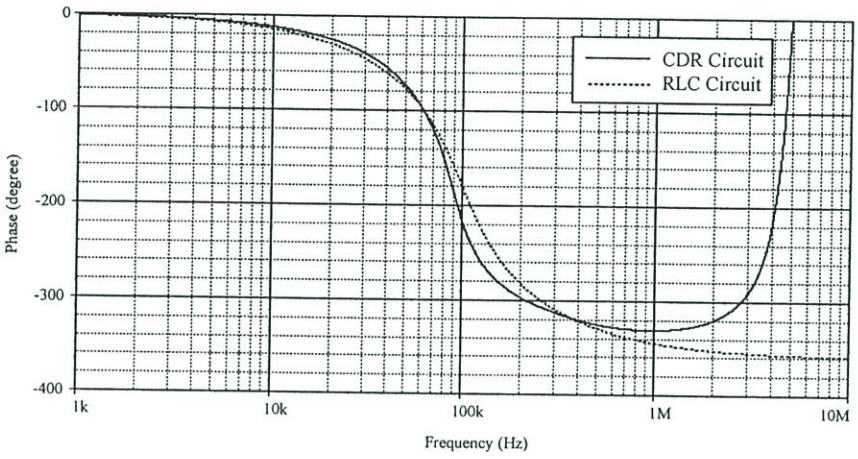
รูปที่ 5.6 วงจรกรองผ่านความถี่ต่ำแบบบัตเตอร์เวิร์ธอันดับสี่
(ก) วงจรพาสซีฟ RLC ต้นแบบ (ข) วงจรสมมูล CDR โดยใช้ FDNR

5.5 สรุป

ในบทนี้เป็นการนำเสนอการออกแบบวงจรเลียนแบบ FDNR แบบลอยตัว โดยใช้วงจร VDTA และตัวเก็บประจุต่อเทียบกราวด์จำนวนสองตัวเท่านั้น ปราศจากตัวต้านทานพาสซีฟจากภายนอก องค์ประกอบ D ที่ได้จากวงจรที่นำเสนอสามารถควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการควบคุมกระแสไบอัสจากภายนอก นอกจากนี้ยังแสดงตัวอย่างการประยุกต์ใช้งานวงจรที่นำเสนอโดยการนำไปสังเคราะห์วงจรกรองสัญญาณแบบบัตเตอร์เวิร์ธอันดับสี่ แบบกรองผ่านแถบความถี่และแบบกรองผ่านความถี่ต่ำ ซึ่งผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE นั้น แสดงให้เห็นถึงคุณสมบัติการทำงานของวงจรว่าถูกต้องเป็นไปตามหลักการที่นำเสนอ



(ก)



(ข)

รูปที่ 5.7 ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณในรูปที่ 5.6(ข)
(ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางเฟส

5.6 เอกสารอ้างอิงบทที่ 5

[1] A. Toker, O. Cicekoglu, H. Kuntman, "New active gyrator circuit suitable for frequency-dependent negative resistor implementation", *Microelectron. J.*, vol.30, pp.59-62, 1999.

[2] R. Nandi, S. K. Sanyal, T. K. Bandyopadhyay, "Low sensitivity multifunction active circuits using CFA-based supercapacitor", *Int. J. Electron.*, vol.93, pp.689-698, 2006.

[3] E. Yuce, "Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements", *Int. J. Electron.*, vol.93, pp.679-688, 2006.

[4] E. Yuce, "On the realization of the floating simulators using only grounded passive components", *Analog Integr. Circ. Sig. Process.*, vol.49, pp.161-166, 2006.

[5] C. Psychalinos, K. Pal, S. Vlassis, "A floating generalized impedance converter with current feedback operational amplifiers", *Int. J. Electron. Commun. (AEU)*, vol.62, pp.81-85, 2008.

[6] F. Kacar, A. Yesil, "FDCCII-based FDNR simulator topologies", *Int. J. Electron.*, vol.99, pp.285-293, 2012.

[7] A. M. Soliman, R. A. Saad, "Two new families of floating FDNR circuits," *J. Elec. Comp. Eng.*, vol.2010, 2010, Article ID 563761, 7 pages, doi : 10.1155/2010/563761.

[8] F. Kacar, "A new tuanble floating CMOS FDNR and elliptic filter applications", *J. Circuits Syst. Comput.*, vol.19, pp.1641-1650, 2010.

[9] M. T. Abuelma'atti, N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", *Microelectron. J.*, vol.30, pp.869-873, 1999.

[10] U. E. Ayten, M. Sagbas, N. Herencsar, J. Koton, "Novel Floating FDNR, Inductor and Capacitor Simulator Using CBTA", *2011 34th International Conference on Telecommunications and Signal Processing (TSP)*, Aug.18-20, pp.312-316, 2011.

[11] L. T. Bruton, "Network transfer functions using the concept of frequency-dependent negative resistance", *IEEE Trans. Circuit Theory*, vol. CT-16, pp. 406-408, 1969.

[12] L. T. Bruton, *RC-Active Circuits Theory and Design*, Praentice-Hell, Inc., Englewood Cliffs, New Jersey 07632, March 1980.

บทที่ 6
บทสรุป

6.1 บทสรุป

โครงการวิจัยนี้เป็นแนวทางหนึ่งสำหรับการพัฒนาหลักการสังเคราะห์และออกแบบวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบลอยตัวโดยใช้วงจร VDTA เป็นอุปกรณ์แอคทีฟ และตัวเก็บประจุเทียบกราวด์เป็นอุปกรณ์พาสซีฟเท่านั้น โดยไม่จำเป็นต้องใช้ตัวต้านทานพาสซีสำหรับสังเคราะห์วงจร การออกแบบวงจรมุ่งเน้นโครงสร้างวงจรที่มีความเรียบง่ายไม่ซับซ้อน ใช้อุปกรณ์แอคทีฟและพาสซีฟจำนวนน้อย เพื่อลดการสูญเสียกำลังงานไฟฟ้าและง่ายต่อการนำไปสร้างในรูปแบบวงจรรวม (IC) วงจรที่นำเสนอทั้งหมดประกอบไปด้วย วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัว วงจรเลียนแบบตัวเก็บประจุแบบลอยตัว และวงจรเลียนแบบ FDNR แบบลอยตัว โดยคุณสมบัติของวงจรทั้งหมดนั้นสามารถปรับแต่งค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการควบคุมอัตราขยายค่าความนำของวงจร VDTA ผ่านการแปรค่ากระแสไบอัสจากภายนอก ปราศจากเงื่อนไขความเท่ากันของค่าอุปกรณ์ในวงจร นอกจากนี้ประสิทธิภาพในการทำงานของวงจรที่ได้นำเสนอสามารถทำการยืนยันด้วยผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE ซึ่งให้ผลที่สอดคล้องและเป็นไปตามหลักการทางทฤษฎี

ผลงานวิจัยทั้งหมดที่ได้พัฒนาขึ้นในโครงการวิจัยนี้ ประสบผลสำเร็จเป็นที่น่าพอใจอย่างยิ่ง เนื่องจากเป็นที่ยอมรับให้ตีพิมพ์ในวารสารวิชาการทางวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ระดับนานาชาติที่อยู่ในฐานข้อมูล ISI Journal publication ได้จำนวนสองบทความ ดังนี้

1) **Worapong Tangsrirat** and Pratya Mongkolwai "VDTA-based floating FDNR simulator topology", *KMITL Science and Technology Journal*, vol.13, no.1, pp.17-21, January-June 2013. **(Thai Journal Impact Factor 2011 = 0.105)** [1]
2) **Worapong Tangsrirat**, "Floating simulator with a single DVCCTA", *Indian Journal of Engineering & Material Sciences (IJEMS)*, vol.20, no.2, pp.79-86, April 2013. **(Impact Factor 2011 = 0.223)** [2]

โดยรายละเอียดของบทความทั้งสองได้ถูกรวบรวมไว้ในภาคผนวกท้ายโครงการวิจัยฉบับนี้

6.2 เอกสารอ้างอิงบทที่ 6

[1] W. Tangsrirat and P. Mongkolwai "VDTA-based floating FDNR simulator topology", *KMITL Science and Technology Journal*, vol.13, no.1, pp.17-21, 2013.

[2] W. Tangsrirat, "Floating simulator with a single DVCCTA", *Indian Journal of Engineering & Material Sciences (IJEMS)*, vol.20, no.2, pp.79-86, 2013.

ภาคผนวก

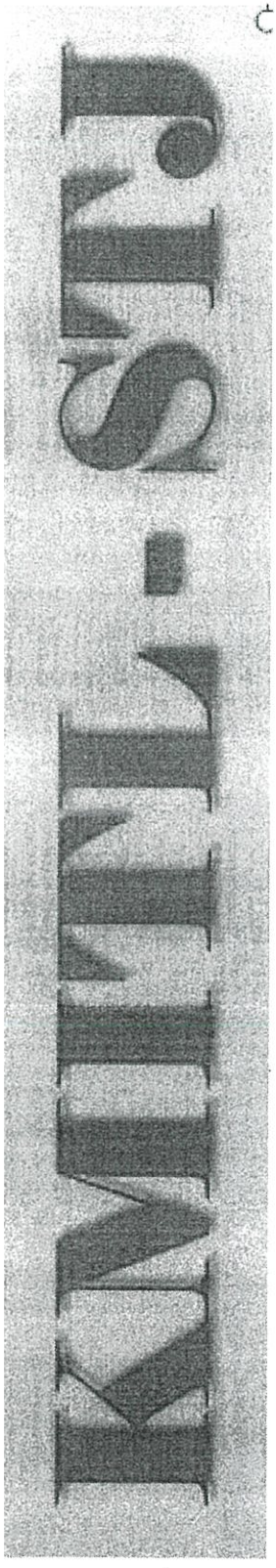
บทความวิจัยที่ตีพิมพ์ในวารสารวิชาการระดับนานาชาติ

ISSN 1905 - 2367

King Mongkut's Institute of Technology Ladkrabang

Science and Technology Journal

Vol. 13, No. 1, January - June 2013



Editorial Board ii

Message from the Editor-in-chief iii

INVITED PAPER

On the Proper Understanding of the "Twin Paradox"
..... S. Pookaiyaudom 1

SPECIAL SECTION

The Effect of Temperature on Threshold Voltage, the Low Field Mobilty and the Series Parasitic Resistance of PMOSFET
..... N. Sakuna, R. Muanghlua, S. Niemcharoen and A. Ruangphanit 9

VDTA-Based Floating FDNR Simulator Topology
..... W. Tangsrirat and P.Mongkolwai 17

Investigating the Effectiveness of BU WebEx System
..... P. Krainuyachan, W. Choensawat and D. Isarakorn 22

Improvement Voiced and Unvoiced Classification Technique Based on Real Time Processing Using FPGA Board
.....C. Sutacha and J.Srinonchat 28

REGULAR PAPERS

Modeling for Conversion of Two-phase Esterification for Biodiesel Production
..... T. Pinnarat 39

Some Properties of Y3-8-11/Y211 Composite Bulk Superconductors
..... T. Kruaehong, S. Sujinnapram, T. Nilkamjon, S. Ratreng, and P. Udomsamuthirun 45

Management Framework for a High-Value of Agricultural Product to Increase Income for Farmers in Rural Area
..... P. Khuntonthong, N. Chakpitak and G. Neubert 51

Manuscript Submission Guideline

VDTA-Based Floating FDNR Simulator Topology

Worapong Tangsrirat* and Pratya Mongkolwai

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand, Email: ktworapo@kmitl.ac.th, m.pratya@gmail.com

ABSTRACT

An electronically tunable floating frequency-dependent negative resistance (FDNR) simulator circuit is presented in this paper. The circuit is composed of only three voltage differencing transconductance amplifiers (VDTAs) and two grounded capacitors without any external resistors. The presented FDNR simulator can be tuned electronically by changing the transconductance value of the VDTA. As application examples, the fourth-order Butterworth bandpass and lowpass filters are simulated using the proposed tunable floating FDNR simulator. Finally, the simulation results using CMOS 0.35 μm TSMC process parameters are included to verify the theoretical analysis.

Keywords: Voltage Differencing Transconductance Amplifier (VDTA); Frequency-Dependent Negative Resistance (FDNR), Floating Simulator

1. INTRODUCTION

Frequency-Dependent Negative Resistances (FDNRs) are very useful elements for the design and synthesis active filter. Also, FDNR can be used in applications of using floating inductance [1]. Several FDNR implementations using various active devices were proposed in literature [2]-[9]. However, the works in [2]-[8] require at least three passive components and most of them are floating. In [9], at least four active components were realized. Recently, the newly versatile active building block, namely voltage differencing transconductance amplifier (VDTA), has been introduced [10]. This element is composed of the current source controlled by the difference of two input voltages and a multiple-output transconductance amplifier, providing electronic tuning ability through its transconductance gains. This means that the VDTA device is very suitable for electronically tunable active circuit synthesis. Another advantageous feature of the use of the VDTA as an active element is that compact structures in some applications can be achieved easily [11].

In this paper, the proposed approach of the floating FDNR simulator topology is studied. The realized FDNR consists of three VDTAs and two grounded capacitors; accordingly, it is suitable for integrated circuit (IC) implementation point of view. The value of the simulated FDNR is electronically tunable by adjusting the bias current of the VDTA. The performance of the proposed tunable FDNR is demonstrated on example of fourth-order Butterworth filter design. Computer simulations are given to confirm the theory and to show the performance of the circuits.

2. BASIC CONCEPT OF THE VDTA

As symbolically shown in Fig.1, the VDTA device is an active five-terminal building block, when p and n are input terminals, and z, +x and -x are output terminals. The terminal relations of this device can be expressed by the following matrix equation [10]-[11] :

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix} \quad (1)$$

where g_{mF} and g_{mS} are the first and second transconductance gains of the VDTA, respectively. From eq.(1), the differential input voltage from p and n terminals (v_p–v_n) is transformed into the current through the terminal z (i_z) by the transconductance g_{mF}. The voltage drop at the terminal z (v_z) is then converted to output currents at the terminals +x (i_{x+}) and -x (i_{x-}) by the transconductance g_{mS}. In general, the transconductance gains of the VDTA can be controlled electronically by the external bias voltage/current.

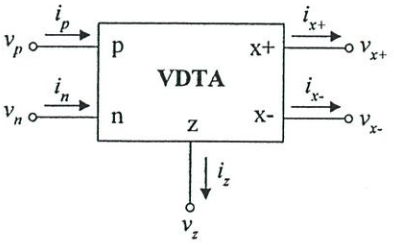


Figure 1. Circuit symbol of the VDTA.

* Corresponding author
Manuscript received: 30 September 2012: Selected Paper
Revised: 15 March 2013
KMITL-STJ; Special Section; Part C: CIT

Recently, the simple CMOS realization of the VDTA is introduced in [11]. Fig.2 shows the internal structure of the circuit, which is composed of two Arbel-Goldminz transconductances [12]. In this case, the g_{mF}- and g_{mS}-values of this element are determined by the output transistor transconductance, which can respectively be approximated as :

$$g_{mF} \cong \left(\frac{g_1 g_2}{g_1 + g_2}\right) + \left(\frac{g_3 g_4}{g_3 + g_4}\right) \tag{2}$$

and

$$g_{mS} \cong \left(\frac{g_5 g_6}{g_5 + g_6}\right) + \left(\frac{g_7 g_8}{g_7 + g_8}\right) \tag{3}$$

where $g_i = \sqrt{I_{Bi}\mu C_{ox}\frac{W_i}{L_i}}$

Here g_i is the transconductance value of the i-th transistor (i = 1, 2, ..., 8), I_{Bi} is the bias current of the i-th transistor, μ is the effective carrier mobility, C_{ox} is the gate-oxide capacitance per unit area, and W and L are the effective channel width and length of the i-th MOS transistor, respectively.

3. Proposed Floating FDNR Circuit

Fig.3 shows the proposed floating FDNR simulator circuit. This realization employs three VDTAs and two grounded that is attractive from the fabrication point of view. It can be derived that the admittance matrix for the configuration of Fig.3 is given by :

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \frac{s^2 C_1 C_2 g_{m1}}{g_{mF2} g_{m3}} \begin{bmatrix} +1 & -1 \\ -1 & +1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \tag{4}$$

where $g_{m1} = g_{mF1} g_{mS1}$ and $g_{m3} = g_{mF3} g_{mS3}$. Thus, the circuit of Fig.3 realizes a floating FDNR with an equivalent floating admittance given by :

$$Y_{eq} = s^2 D_{eq} = \frac{s^2 C_1 C_2 g_{m1}}{g_{mF2} g_{m3}} \tag{5}$$

where $D_{eq} = \frac{C_1 C_2 g_{m1}}{g_{mF2} g_{m3}}$.

From eq.(5), it is easy to see that the value of the FDNR can be tuned by electronic means through either g_{mF} or g_{mS} of the VDTA. In addition, if we let $V_1 = 0$ or $V_2 = 0$, then the tunable grounded FDNR can easily be realized.

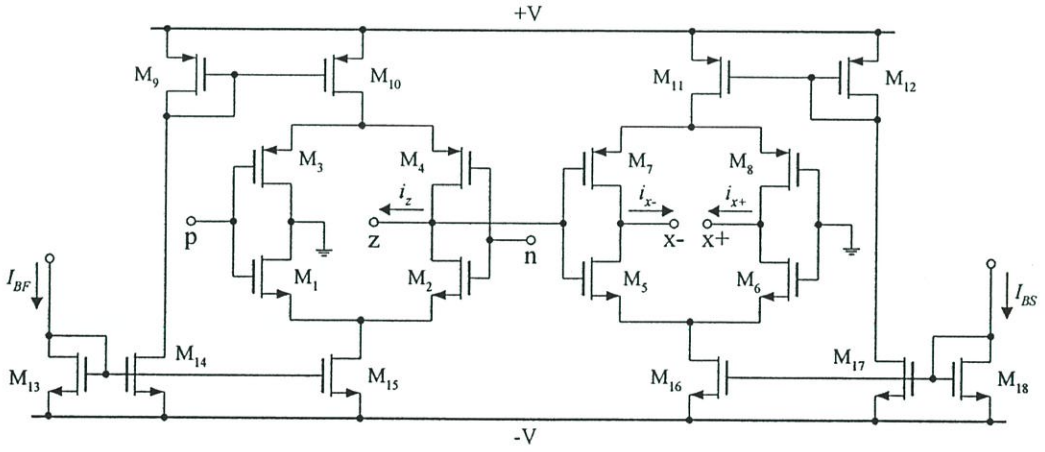


Figure 2. CMOS implementation of the VDTA.

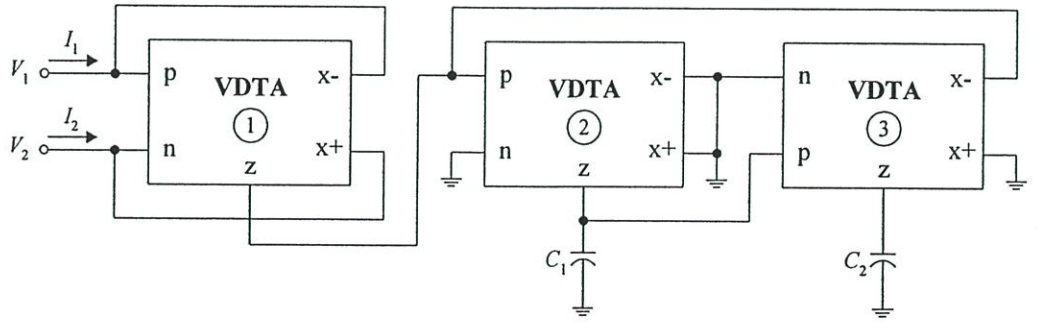


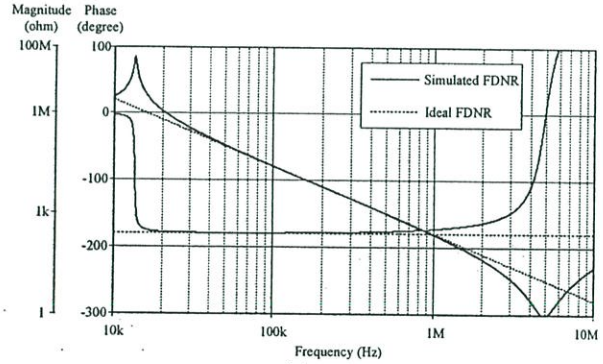
Figure 3. Proposed floating FDNR simulator using VDTAs.

4. Performance Verification by Computer Simulation

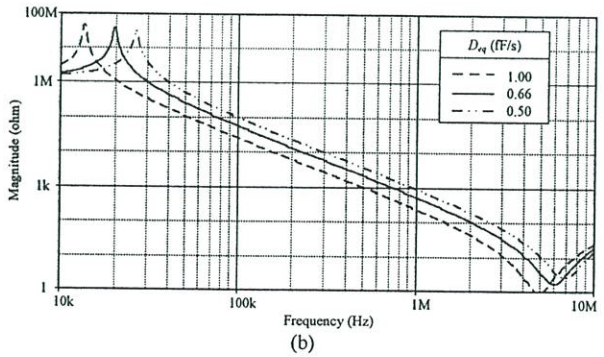
In order to evaluate the behavior of the proposed circuit in Fig.3, it is simulated using PSPICE simulation. In simulations, the VDTA was performed by the schematic CMOS implementation given in Fig.2 with supply voltages +V = -V= 1.8 V. The CMOS transistors in VDTA implementation were simulated the 0.35 μm TSMC process parameters. The dimensions of MOS transistors are given in Table I.

TABLE I. Dimensions of MOS transistors in Fig.2.

Transistors	W (μm)	L (μm)
$M_1 - M_2$, $M_5 - M_6$	16.1	0.7
$M_3 - M_4$, $M_7 - M_8$	28	0.7
$M_9 - M_{12}$, $M_{14} - M_{17}$	56	0.7
M_{13}, M_{18}	7	0.7



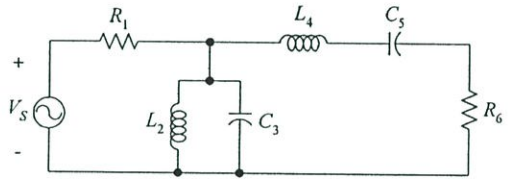
(a)



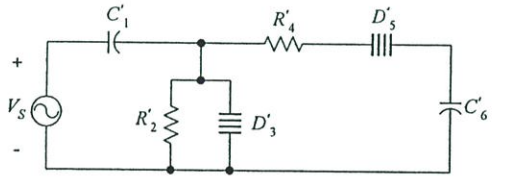
(b)

Figure 4. Frequency responses of impedance of the proposed tunable floating FDNR simulator circuit in Fig.3. (a) magnitude and phase characteristics (b) electronic tuning of the D_{eq}-value.

As an example, the component values were chosen as : $C_1 = C_2 = 1$ nF, $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} \cong 0.60$ mA/V ($I_{BF1} = I_{BS1} = I_{BF2} = I_{BS2} = 100$ μA), and $g_{mF3} = g_{mS3} \cong 0.77$ mA/V ($I_{BF3} = I_{BS3} = 200$ μA), which results in $D_{eq} = 1$ fFs. Fig.4(a) shows the frequency response of the impedance of the proposed floating FDNR simulator circuit in Fig.3 relative to frequency. It can be observed that the circuit operates pretty well between 20 kHz and 2 MHz. To further demonstrate the electronic tunability of the proposed FDNR, the simulator was also simulated by varying g_{mF3} ($= g_{mS3}$) $\cong$ 0.77 mA/V, 0.93 mA/V and 1 mA/V, to obtain D_{eq} = 1.00 fFs, 0.66 fFs, and 0.50 fFs, respectively. The frequency characteristics of the inductance simulator for various g_{mF3} values are shown in Fig.4(b). As depicted in Fig.4, the simulation results are in close agreement with the prediction, and confirm that the value of D_{eq} can be adjusted electronically by the transconductance gain of the VDTA.



(a)



(b)

Figure 5. Fourth-order Butterworth bandpass filter. (a) RLC passive prototype (b) equivalent CDR circuit with FDNRs.

5. Application Examples

In this section, the proposed floating FDNR simulator in Fig.3 is used in the RLC fourth-order Butterworth bandpass filter prototype shown in Fig.5(a), where $R_1 = R_6 = 1$ Ω, $L_2 = 0.225$ μH, $C_3 = 1.225$ μF, $L_4 = 11.25$ μH, $C_5 = 22.5$ nF [13]. This filter is designed to obtain fourth-order Butterworth characteristic whose bandwidth and center frequency are $BW = 32$ kHz and $f_o = 316$ kHz respectively. By applying Bruton transformation [14] and using magnitude scaling constant ($k_m = 10^9$) and variable impedance scaling method, i.e. dividing the impedance of each element in the Fig.5(a) by k_m, the *RLC* passive filter is converted into *CRD* filter as shown in Fig.5(b) where all FDNRs are realized using the proposed circuit in Fig.3. In Fig.5(b), the resulting circuit components are obtained as : $C'_1 = 1$ nF, $R'_2 = 225$ Ω, $D'_3 = 11.25$ fFs, $R'_4 = 11.25$ kΩ, $D'_5 = 11.25$ aFs, and $C'_6 = 1$ nF. According to these

component values, the voltage transfer function of the bandpass filter in Fig.5(b) is given by :

$$H(s) = \frac{(4.043 \times 10^{10})s^2}{s^4 + (2.843 \times 10^5)s^3 + (7.925 \times 10^{12})s^2 + (1.121 \times 10^{18})s + (1.554 \times 10^{25})} \quad (6)$$

The magnitude and phase characteristics of the filters are shown in Figs.6(a) and 6(b), respectively. From the figures, it appears that the theoretical and simulated results are in good agreement.

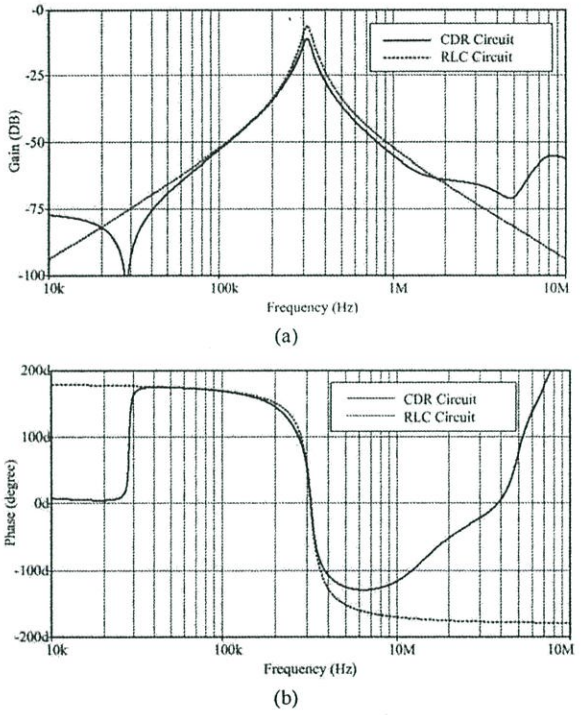


Figure 6. Simulated frequency characteristic of the filter in Fig.5. (a) gain response (b) phase response.

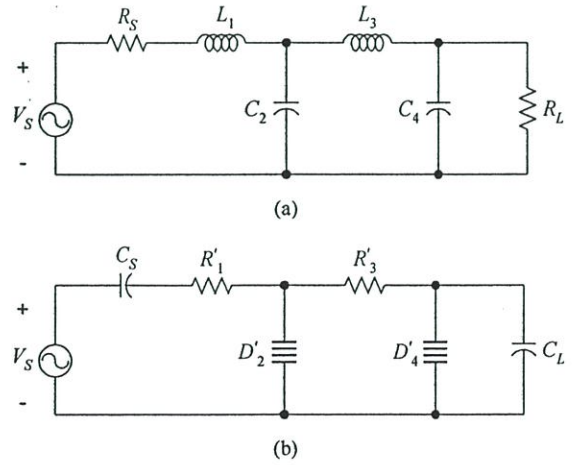


Figure 7. Fourth-order Butterworth lowpass filter. (a) RLC passive prototype (b) equivalent CDR circuit with FDNRs.

To illustrate another application of the proposed FDNR simulator, a fourth-order Butterworth lowpass filter shown in Fig.7(a) was designed and simulated. In Fig.7(a), the normalized component values are $R_S = R_L = 1\ \Omega$, $L_1 = 0.7654$ H, $C_2 = 1.848$ F, $L_3 = 1.848$ H and $C_4 = 0.7654$ F [15]. By applying Bruton transformation [14] and selecting $k_m = 1.59 \times 10^3$ and frequency scaling constant $k_f = 628.32 \times 10^3$, the prototype RLC passive filter in Fig.7(a) can be transformed to the CRD filter as shown in Fig.7(b) where the elements D'_2 and D'_4 were constructed using the proposed simulator circuit in Fig.3. As a result, the de-normalized component values of Fig.7(b) were obtained as : $C_S = C_L = 1$ nF, $R'_1 = 1.22$ kΩ, $D'_2 = 2.94$ fFs, $R'_3 = 2.94$ kΩ and $D'_4 = 1.22$ fFs. The simulated gain and phase characteristics of the fourth-order Butterworth lowpass filters in Fig.7 are displayed in Figs.8(a) and 8(b), respectively.

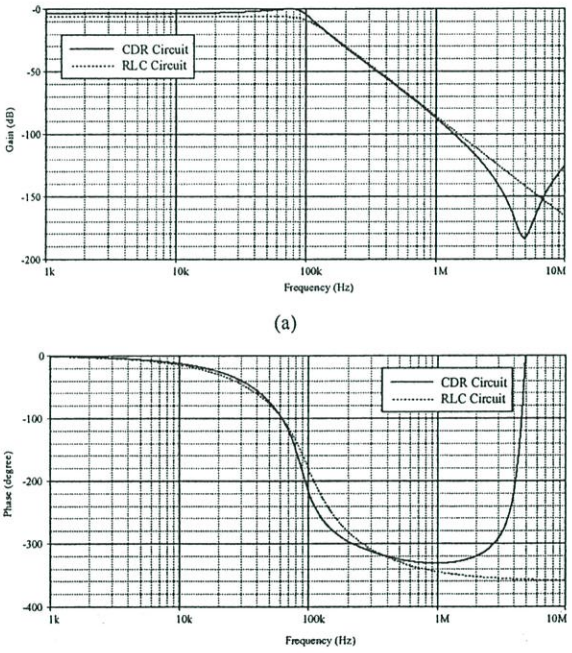


Figure 8. Simulated frequency characteristics of the filters in Fig.7. (a) gain response (b) phase response.

6. Conclusion

This paper describes an electronically tunable floating FDNR simulator circuit based on the use of the voltage differencing transconductance amplifier (VDTA) and only two grounded capacitor. The important gain of floating FDNR simulator is that its value can be adjusted electronically by changing bias currents of the VDTAs. To demonstrate the performance of the proposed circuit, it is used to construct fourth-order Butterworth bandpass and lowpass filters. PSPICE simulation results verify that the performances of the proposed circuit and its applications are in good agreement with the prediction of the analysis performed.

ACKNOWLEDGMENT

The research described in this work is supported by Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL).

REFERENCES

[1] Toker, A., Cicekoglu, O., and Kuntman, H. New active gyrator circuit suitable for frequency-dependent negative resistor implementation, Microelectron. J., 30, 1999, pp.59-62.

[2] Nandi, R., Sanyal S. K. and Bandyopadhyay, T. K. Low sensitivity multifunction active circuits using CFA-based supercapacitor, Int. J. Electron., 93, 2006, pp.689-698.

[3] Yuce, E. Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements, Int. J. Electron., 93, 2006, pp.679-688.

[4] Yuce, E. On the realization of the floating simulators using only grounded passive components, Analog Integr. Circ. Sig. Process., 49, 2006, pp.161-166.

[5] Psychalinos, C., Pal, K. , and Vlassis, S. A floating generalized impedance converter with current feedback operational amplifiers, Int. J. Electron. Commun. (AEU), 62, 2008, pp.81-85.

[6] Kacar, F. and Yesil, A. FDCCII-based FDNR simulator topologies, Int. J. Electron., 99, 2012, pp.285-293.

[7] Soliman A. M. and Saad, R. A. Two new families of floating FDNR circuits, J. Elec. Comp. Eng., vol.2010, 2010, Article ID 563761, 7 pages, doi : 10.1155/2010/563761.

[8] Kacar, F. A new tuanble floating CMOS FDNR and elliptic filter applications, J. Circuits Syst. Comput., 19, 2010, pp.1641-1650.

[9] Abuelma'atti, M. T. and Tasadduq, N. A. Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor, Microelectron. J., 30, 1999, pp.869-873.

[10] Biolek, D., Senani, R., Biolkova, V. and Kolka, Z. Active elements for analog signal processing: Classification, review and new proposals, Radioengineering, 17 (4), 2008, pp. 15-32.

[11] Yesil, A., Kacar, F. and Kuntman, H. New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application, Radioengineering, 20(3), 2011, pp. 632-637.

[12] Arbel, A. F. and Goldminz, L. Output stage for current-mode feedback amplifiers, theory and applications, Analog Integr. Circ. Sig. Process., 2, 1992, pp.243-255.

[13] Ayten, U. E., Sagbas, M., Herencsar N. and Koton, J. Novel Floating FDNR, Inductor and Capacitor Simulator Using CBTA, 2011 34th International Conference on Telecommunications and Signal Processing (TSP), Aug.18-20, 2011, pp.312-316.

[14] Bruton, L. T. Network transfer functions using the concept of frequency-dependent negative resistance, IEEE Trans. Circuit Theory, CT-16, 1969, pp. 406-408.

[15] Bruton, L. T. RC-Active Circuits Theory and Design, Praentice-Hell, Inc., Englewood Cliffs, New Jersey 07632, March 1980.

Worapong Tangsrirat was born in Uthaithani, Thailand, in 1968. He received M.Eng. and D.Eng. degrees in Electrical Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 1997 and 2003, respectively. Currently, he is an Associate Professor in electrical engineering at the same institute. His research interests are mainly in integrated circuit design, analog signal processing, current-mode circuits, and active filter design.

Pratya Mongkolwai received the B.Eng. degree in Instrumentation System Engineering from King Mongkut's Institute of Technology North Bangkok (KMITNB) in 2005, and M.Eng. degree in Control Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 2009. His research areas are mainly in analog integrated circuits and current-mode active filter design.

Indian Journal of Engineering & Materials Sciences

http: //www.niscair.res.in; http: //nopr.niscair.res.in

VOLUME 20	NUMBER 2	APRIL 2013
CODEN : IEMSEW		ISSN : 0971-4588

CONTENTS

Papers

Floating simulator with a single DVCCTA 79
Worapong Tangsrirat

Voltage-mode universal biquad with five inputs and two outputs using two current feedback amplifiers 87
Jiun-Wei Horng

Stress analysis of hybrid joints of metal and composite plates via 3D-FEM 92
Kemal Aldaş & Faruk Sen

Frequency optimization of laminated composite skew sandwich plates 101
Umut Topal & Ümit Uzman

Effects of sulfurization of grinding wheels on internal cylindrical grinding of Titanium Grade 2® 108
Krzysztof Nadolny, Wojciech Kapłonek, Michał Wojtewicz & Walery Sienicki

Flow characteristics of a symmetric Y-shaped diffusing duct with zero yaw angle 125
Netrapal Singh, Abdur Rahim & Mohd Islam

Study of physical and rheological properties of wax modified binders using classic and SHRP testing methods 132
Shengjie Liu

Design of specific gravity factor of artificial lightweight aggregate 139
Ramazan Demirboğa & Abdulkadir Kan

Structural, optical, morphological and electrical characteristics of polyaniline for device applications 145
I D Sharma, P K Saini & V K Sharma

Indian Journal of Engineering & Materials Sciences
Vol. 20, April 2013, pp. 79-86

Floating simulator with a single DVCCTA

Worapong Tangsrirat*

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Road, Ladkrabang, Bangkok 10520, Thailand

Received 29 November 2012; accepted 1 February 2013

In this paper, a simple circuit configuration for simulating the floating inductor, capacitor and resistor using differential voltage current conveyor transconductance amplifier (DVCCTA) as an active element has been presented. The proposed floating simulator circuit uses only one DVCCTA and two grounded passive elements, and can realize floating inductor, capacitor or resistor depending on the passive element selection. The equivalent value of the realized simulator can be tuned electronically through the transconductance parameter of the DVCCTA. The circuit also does not require any realization conditions. The proposed circuit together with its applications is demonstrated using PSPICE simulation with 0.5 μm MIETEC CMOS technology.

Keywords: Differential voltage current conveyor transconductance amplifier (DVCCTA), Floating simulator, Inductance simulation, Capacitance multiplier

Floating simulator circuits are very useful active building blocks in many applications such as filter design, oscillator design and cancellation of parasitic elements. This is due to the well-known fact that the use of the physical inductor and capacitor, particularly of large values, is either not permitted or is unwanted in the integrated circuit technology. Accordingly, many circuits for the simulation of floating inductors and capacitors using various active elements have been introduced in the literature[1-22]. A survey of the literature shows that the floating simulator realizations still suffer from the following weaknesses: (i) they require more than one active component[1-6,8-13,15-20,22], (ii) they require at least three passive components[1,2,4,7-9,13-15,17,19,21], (iii) they use some floating passive components[1,2,4,7-9,14, 18-22] and (iv) they cannot be tuned electronically[1,2,4,6-9,13,14,19-22].

For example, the circuit[1] proposed the floating inductance simulator by using four second-generation current conveyors (CCIIs) and three passive components, where two of them are floating. The circuits given in ref.[2,4] require two dual-output CCIIs (DO-CCIIs), one capacitor and two resistors. The input impedance of these circuits depends on the passive components. In ref.[3,5], four current-controlled current conveyors (CCCIIs) are used. The equivalent inductance value can be adjusted by changing the bias current of the CCCII. The circuits described in ref.[7,8,14,21] employ a single active element and three passive elements. However, they still require one or more floating passive elements and thus, are not attractive for integration. The circuits of ref.[9] need different active component types and require resistive element matching constrains for each circuit realization. The simulators described in ref.[10,11] use two different types of active components; one dual-output CCCII (DO-CCCII) and one operational transconductance amplifier (OTA). Further, the other floating simulator circuits in the literature employ more than one active component[6,12,16,17], or an excessive passive components[13,15,19,20,22].

In this study, a simple realization of floating simulator using only one DVCCTA and two grounded passive components has been considered. The proposed floating simulator can be tuned electronically through the transconductance parameter of the DVCCTA. Since the circuit consists of only grounded passive components, it is suitable for integrated circuit implementation. Some applications together with simulation results are also given validating the performance of the proposed circuit idea.

Circuit Description

The circuit symbol and equivalent circuit of the DVCCTA are shown in Fig. 1. The differential input voltage applied across Y_1 and Y_2 terminals (v_{Y1}–v_{Y2})

*E-mail : drworapong@yahoo.com

is conveyed to voltage across the X terminal. The current applied to the X terminal is conveyed to the Z terminal. The voltage drop at the Z terminal (v_z) is transformed into output currents at the O+ and O- terminals with the transconductance gain (g_m) of the DVCCTA. Using standard notation, the terminal relations of an ideal DVCCTA shown in Fig. 1 can be characterized by the following matrix equation :

$$\begin{bmatrix} i_{Y1} \\ i_{Y2} \\ v_X \\ i_Z \\ i_{O+} \\ i_{O-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & g_m & 0 & 0 \\ 0 & 0 & 0 & -g_m & 0 & 0 \end{bmatrix} \begin{bmatrix} v_{Y1} \\ v_{Y2} \\ i_X \\ v_Z \\ v_{O+} \\ v_{O-} \end{bmatrix} \quad \ldots (1)$$

The proposed floating simulator circuit consisting of one DVCCTA and two grounded passive components is shown in Fig. 2. Straight forward analysis shows that the proposed floating inductor in Fig. 2 has the following input impedance:

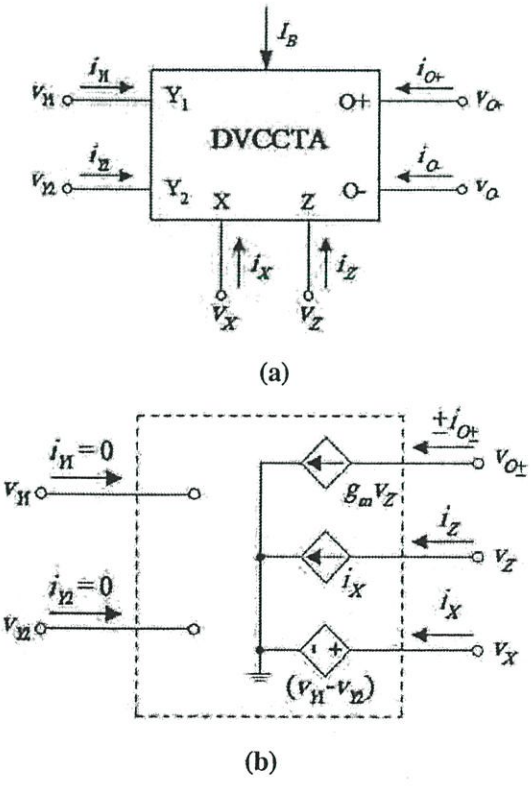


Fig. 1–The DVCCTA (a) circuit symbol and (b) equivalent circuit

$$Z_{in} = \frac{Z_1}{g_m Z_2} \quad \ldots (2)$$

It is clearly seen from above expression that the circuit of Fig. 2 can simulate a floating inductor, capacitor and resistor depending on the selection of passive component as in the following choices:

(i) If $Z_1 = R_1$ and $Z_2 = 1/sC_2$ are chosen, then a lossless floating inductance simulator can be obtained as :

$$Z_{in} = \frac{sR_1C_2}{g_m} = sL_{eq} \quad \ldots (3)$$

where the realized equivalent inductance value is found to be $L_{eq} = R_1C_2/g_m$.

(ii) If $Z_1 = 1/sC_1$ and $Z_2 = R_2$ are chosen, then a lossless floating capacitance simulator can be obtained as :

$$Z_{in} = \frac{1}{sR_2C_1g_m} = \frac{1}{sC_{eq}} \quad \ldots (4)$$

where the realized equivalent capacitance value is equal to $C_{eq} = R_2C_1g_m$.

(iii) If $Z_1 = R_1$ and $Z_2 = R_2$ are selected, a floating resistance simulator can be realized as :

$$Z_{in} = \frac{R_1}{g_m R_2} = R_{eq} \quad \ldots (5)$$

From Eqs (3)-(5), it is obvious that the values of the L_{eq}, C_{eq} and R_{eq} can be adjusted electronically by changing the value of g_m of the DVCCTA. Moreover, by setting $V_2 = 0$, a grounded impedance simulator circuit can also be realized from the proposed circuit in Fig. 2.

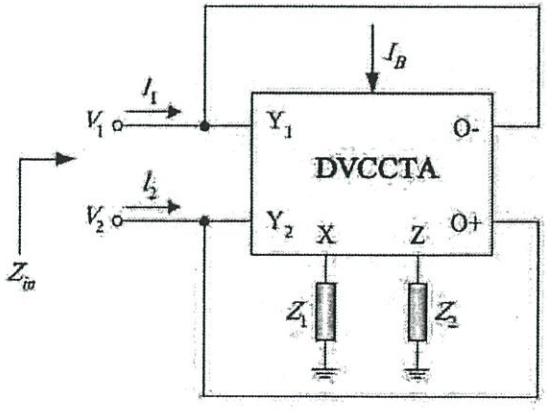


Fig. 2–Proposed floating simulator circuit

Non-Ideal Discussion

Effect of non-ideal gains

In practical DVCCTA device, there are non-idealities represented in voltage and current tracking errors between the Y and X terminals and the X and Z terminals, respectively. Considering these tracking errors, the actual characteristics of the DVCCTA can be represented by the following matrix equation:

$$\begin{bmatrix} i_{Y1} \\ i_{Y2} \\ v_X \\ i_Z \\ i_{O+} \\ i_{O-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ \beta & -\beta & 0 & 0 & 0 & 0 \\ 0 & 0 & \alpha & 0 & 0 & 0 \\ 0 & 0 & 0 & g_m & 0 & 0 \\ 0 & 0 & 0 & -g_m & 0 & 0 \end{bmatrix} \begin{bmatrix} v_{Y1} \\ v_{Y2} \\ i_X \\ v_Z \\ v_{O+} \\ v_{O-} \end{bmatrix} \quad \ldots (6)$$

where β and α represent the non-unity voltage and current gains, which differ from their ideally unity values by voltage and current tracking errors, respectively. Taking these non-ideal gains into consideration, the input impedance of the simulator circuit from Fig. 2 can be obtained as:

$$Z_{in} = \frac{Z_1}{\beta\alpha g_m Z_2} \quad \ldots (7)$$

Equation (7) shows that non-ideal gains have affect on the input impedance value of the proposed simulator. On the other hand, the frequency dependency of these non-ideal gains should also be taken into consideration to evaluate the high-frequency performance of the circuit. Therefore, the voltage, current and transconductance gains of the DVCCTA using a single-pole model can, respectively, be defined as[23]:

$$\beta(s) = \frac{\beta_0}{1+\frac{s}{\omega_\beta}} \quad \ldots (8)$$

$$\alpha(s) = \frac{\alpha_0}{1+\frac{s}{\omega_\alpha}} \quad \ldots (9)$$

and

$$g_m(s) = \frac{g_{m0}}{1+\frac{s}{\omega_p}} \quad \ldots (10)$$

where β_0, α_0 and g_{m0} are the voltage, current and transconductance gains at low frequencies, and ω_β, ω_α and ω_p are their corresponding pole frequencies, respectively. In general, the values of these pole frequencies will depend on practical implementation of the DVCCTA, and ideally equal to infinity. Combining Eqs (7)-(10), the operation frequency of the proposed simulator circuit in Fig. 2 can be defined as : $f << (0.1/2\pi)\ \min\{\omega_\beta, \omega_\alpha, \omega_p\}$.

Effect of parasitic elements

The effect of various parasitic impedances appearing at DVCCTA terminals is considered. A non-ideal equivalent circuit of the DVCCTA is shown in Fig. 3. It is shown that the practical DVCCTA has parasitic resistances (R_{y1}, R_{y2}, R_z, R_o) and parasitic capacitances (C_{y1}, C_{y2}, C_z, C_o) from Y_1, Y_2, Z and O terminals to ground, respectively, and the intrinsic resistance R_x appearing at the X terminal. If DVCCTA parasitic impedances are taken into account for the circuit in Fig. 2, the input impedances are considered as in the following:

(i) For the floating inductor (L_{eq}) : the impedance in Eq. (3) turns to

$$Z_{in} = \frac{R_1 + R_x}{g_m R_z} + \frac{s(R_1 + R_x)(C_2 + C_z)}{g_m} \quad \ldots (11)$$

Above equation indicates that there is a lossy term in the simulated impedance and thus the quality factor of the inductor is not infinite. To increase the quality factor value of the simulated inductor, a lossy term needs to be minimized. This can be achieved by choosing R_1, $1/g_m << R_z$ and taking large value of C_2 ($C_2 >> C_z$).

(ii) For the floating capacitor (C_{eq}) : the input impedance of Eq. (4) is modified to

$$Z_{in} = \frac{(1+sR_xC_1)(1+sR_2C_z)}{sR_2C_1g_m} \quad \ldots (12)$$

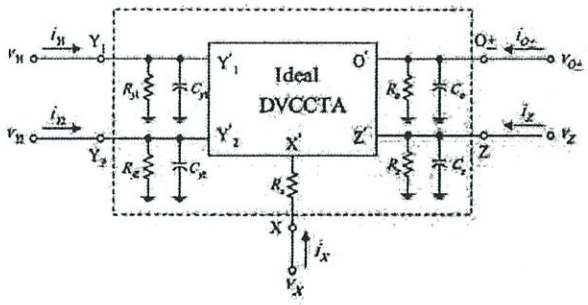


Fig. 3–Non-ideal DVCCTA model

Eq. (9) shows that the effects of these parasitic zeros can be ignored in the frequency range of $1/R_xC_1 << \omega << 1/R_2C_z$.

(ii) For the floating resistor (R_{eq}) : the impedance in Eq. (5) becomes

$$Z_{in} = \frac{(R_1 + R_x)(1 + sR_2C_z)}{g_m R_2} \quad \ldots (13)$$

Therefore, the operating frequency of the proposed floating resistor in Fig. 2 can be defined as : $\omega << 1/R_2C_z$.

Frequency Performance Improvement

In this section, the technique to enhance the operating frequency range of the proposed simulator circuit is discussed. Considering this fact, in this study, the circuit of Fig. 2 is used for performing the inductance simulator. In practice, the non-ideal model of a floating inductance simulator can be shown in Fig. 4[14]. It can be seen that the circuit simulates an equivalent inductor (L_{eq}) with additional series resistor (R_s) all in parallel with the resistor (R_p). In this model, R_s limits low-frequency performance while R_p restricts high-frequency performance of the simulator. Therefore, to improve the useful operating-frequency range of the circuit, unwanted parasitic resistors (R_s and R_p) should be sufficiently reduced.

One possible method to eliminate the unwanted parasitics of the simulated inductor is to utilize the negative impedance converter (NIC)[24]. The electrical symbol of the NIC is shown in Fig. 5, and its terminal relations can be given by: $I_B = -I_A$ and $V_B = -V_A$. As mentioned earlier, the NIC can easily be realized from the proposed floating simulator circuit of Fig. 2 by interchanging the O+ and O- terminals of the DVCCTA. From DVCCTA-based NIC circuit of Fig. 6, the following input resistance is obtained as : $R_{AB} = -R_{eq} = -(R_1/g_mR_2)$. According to the equivalent non-ideal model of the proposed simulator shown in Fig. 4, the effects of R_s can then be reduced by adding R_s' ($= -R_s$) in series connection, as shown in Fig. 7. As a result, the low-frequency performance of the circuit is considerably improved. Similarly, to improve high-frequency performance, an additional NIC with $R_{eq} = R_p' = R_p$ is also needed in parallel connection with R_p.

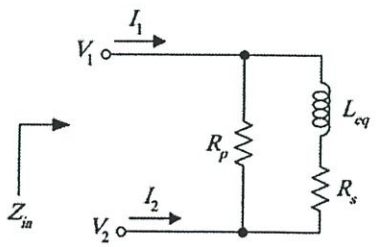


Fig. 4–Equivalent non-ideal model of the proposed inductance simulator given in Fig. 2

Performance Simulations

The performances of the proposed floating simulator in Fig. 2 are demonstrated by PSPICE simulation. The DVCCTA was realized by a CMOS implementation as shown in Fig. 8 using 0.5 μm MIETEC CMOS technology process parameters[25]. The DC bias voltages were +V = -V = 2 V and V_B = -1.22 V. The aspect ratios of the MOS transistors are given in Table 1. In Fig. 8, the transconductance gain (g_m) of the DDCCTA can be given by[26]:

$$g_m = \sqrt{kI_B} \quad \ldots (14)$$

where $k = \mu C_{ox} W/L$, μ is the effective channel mobility, C_{ox} is the gate-oxide capacitance per unit area, W and L are channel width and length, and I_B is

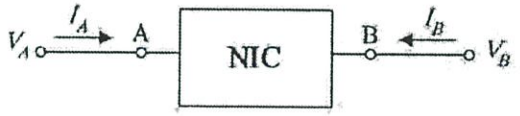


Fig. 5–Electrical symbol of NIC

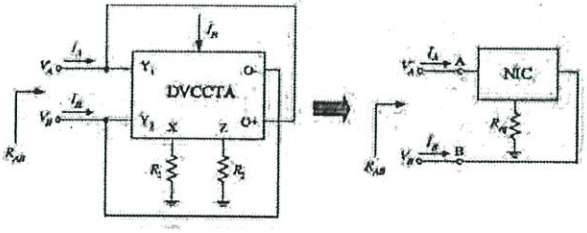


Fig. 6–DVCCTA-based NIC realization

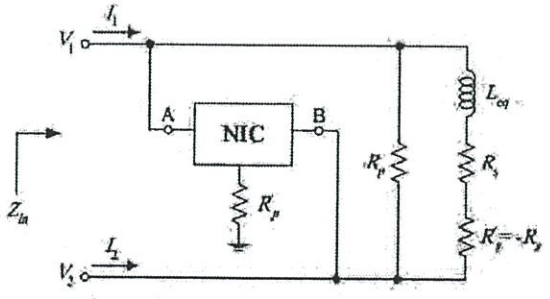


Fig. 7–Reduction of parasitic effects using DVCCTA-based NIC

an external DC bias current, respectively. Thus, from Eq. (14), it is possible to adjust the g_m-value of the DDCCTA electronically by variation of I_B. According to Eq. (2), it is observed that, for given values of Z_1 and Z_2, the large-value input impedance Z_{in} can be realized by setting the value of I_B as low as possible. On the other hand, keeping large-vale of I_B, small-value Z_{in} can be obtained.

Table 1–Transistor aspect ratios for the DVCCTA circuit shown in Fig. 8

Transistors	W (μm)	L (μm)
$M_1 - M_4$	1.8	0.7
$M_5 - M_6$	5.2	0.7
$M_7 - M_8$	20	0.7
$M_9 - M_{10}$	17	0.7
M_{11} - M_{12}	58.1	0.7
M_{13} - M_{14}	4	1.0
M_{15} , M_{18}, M_{21} - M_{24}	4.5	1.0
M_{16} - M_{17} , $M_{19} - M_{20}$	5.2	1.0

For the floating inductance simulation of Fig. 2, the component values used were R_1 = 1 kΩ, C_2 = 0.1 nF and $g_m \cong 0.25$ mA/V ($I_B \cong 100$ μA), which results in L_{eq} = 0.4 mH. The simulated voltage and current waveforms of the proposed floating inductance simulator circuit of Fig. 2 when a 1-MHz sinusoidal signal is applied are shown in Fig. 9. From the results, it can be measured that the phase shift between the current and voltage is 85°, which is in close correspondence with the expected value equal to 90°. The impedance of the simulator versus frequency is shown in Fig. 10. It can be observed that the simulator operates correctly along the frequency range 30 kHz to 30 MHz. In Fig.11, the frequency characteristics of the inductance simulator for various g_m values are also shown. The simulations were performed by

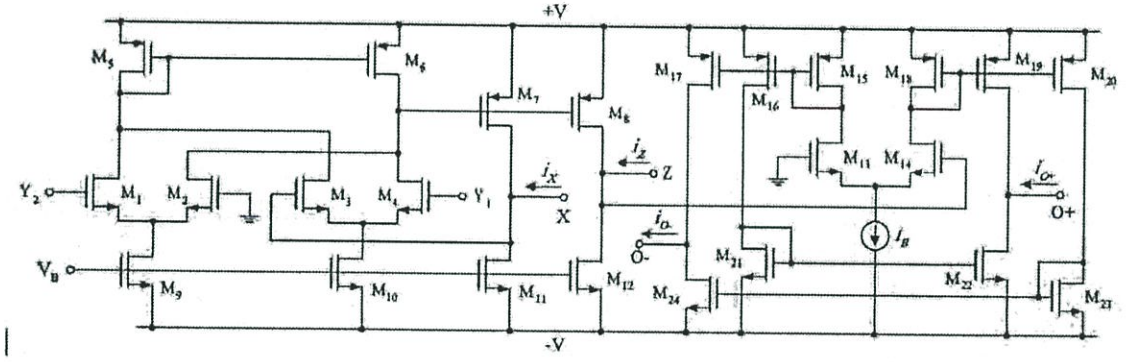


Fig. 8–CMOS implementation of the DVCCTA

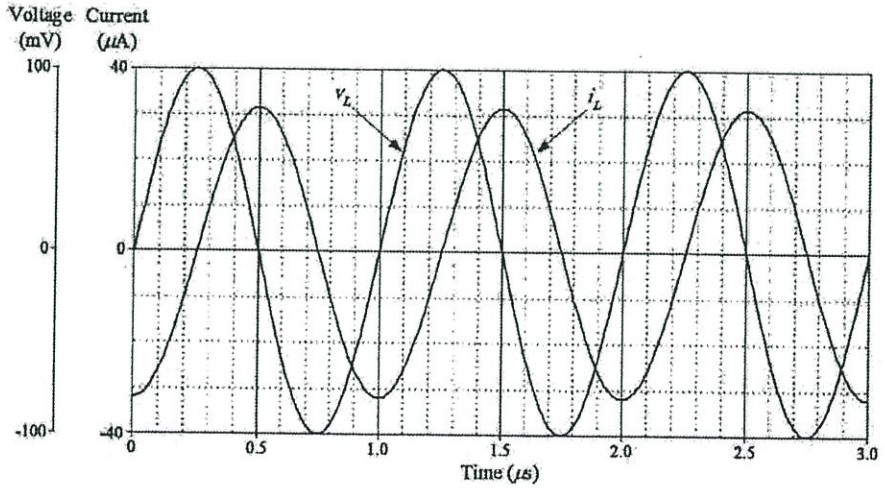


Fig. 9–Waveforms of voltage and current for the floating inductance simulator of Fig. 2

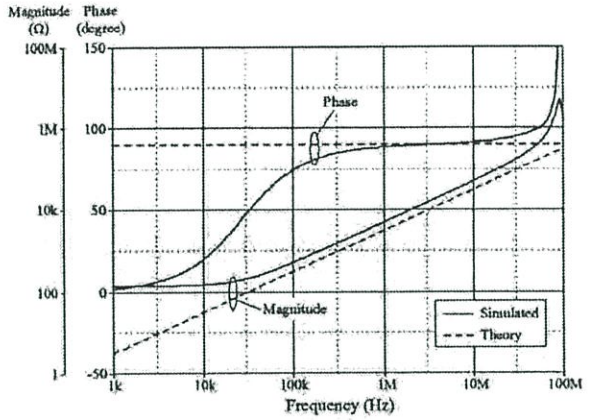


Fig. 10–Theory and simulated frequency responses of the proposed floating inductance simulator in Fig. 2

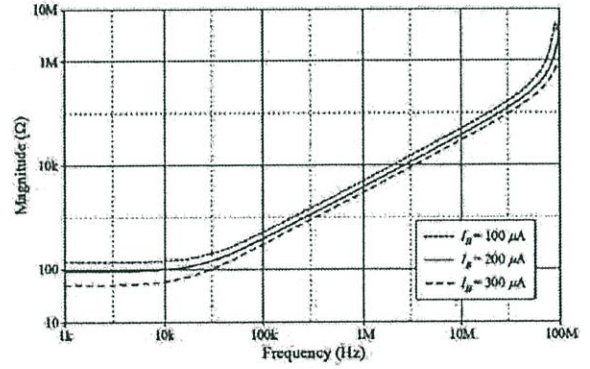


Fig. 11–Simulated frequency responses of the proposed floating inductance simulator in Fig.2 for three different values of I_B

varying $g_m \cong 0.25$ mA/V (I_B = 100 μA), 0.35 mA/V (I_B = 200 μA) and 0.44 mA/V (I_B = 300 μA) to obtain L_{eq} = 0.40 mH, 0.28 mH and 0.22 mH, respectively.

Likewise, for the floating capacitance simulator of Fig. 2, it is realized with the following component values : C_1 = 0.1 nF, R_2 = 1 kΩ and $g_m \cong 0.25$ mA/V, to obtain C_{eq} = 25 pF. The time-domain signal waveforms are shown in Fig.12, which demonstrates that the circuit performs the capacitance behavior as expected. The impedance of the simulator circuit relative to frequency is shown in Fig.13, and the plots of impedance values with different g_m are also shown in Fig.14. It appears that the simulated capacitance can be adjusted by tuning g_m of the DVCCTA. To conclude, total power dissipation of the floating simulator circuit presented in Fig. 2 when I_B = 100 μA is approximately equal to 3 mW.

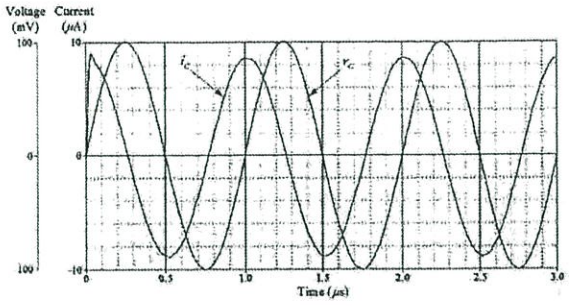


Fig. 12–Waveforms of voltage and current for the floating capacitance simulator of Fig. 2

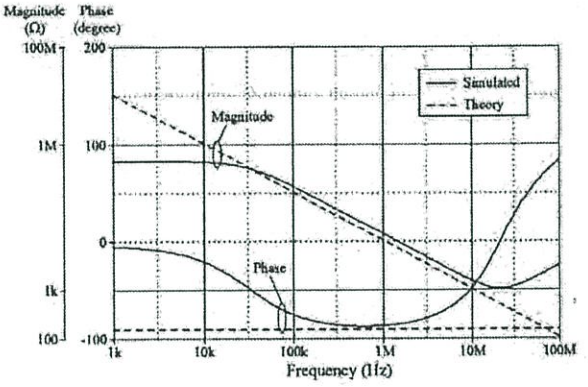


Fig. 13–Theory and simulated frequency responses of the proposed floating capacitance simulator in Fig. 2

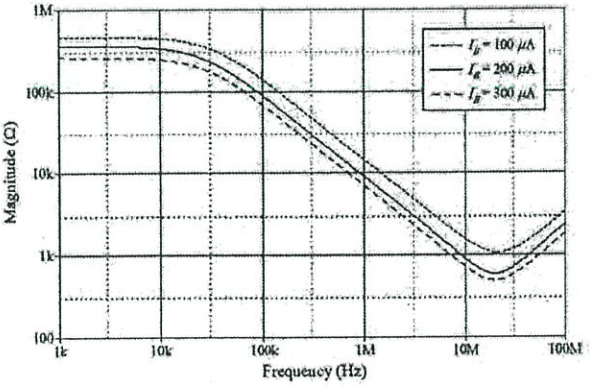


Fig. 14–Simulated frequency responses of the proposed floating capacitance simulator in Fig. 2 for three different values of I_B

Application Examples

As an example to demonstrate an application of the proposed floating inductor of Fig. 2, it is employed in the RLC bandpass filter as shown in Fig. 15. The floating inductor circuit is simulated with the following component values: R_1 = 1 kΩ, C_2 = 0.1 nF

and $g_m \cong 0.25$ mA/V ($I_B = 100$ μA), which results in $L_{eq} = 0.4$ mH. Figure 16 shows the frequency responses of the bandpass filter of Fig. 15, which appears that the ideal and simulated magnitude and phase responses are in good agreement for a set of selected values over several decades.

Furthermore, to verify the performance of the derived capacitance simulator of Fig. 2, the resistively terminated LC highpass filter shown in Fig. 17 filter was designed and simulated. This filter was designed to realize third-order highpass Butterworth characteristic with the de-normalized cut-off frequency of $f_c = \omega_c/2\pi = 3.18$ MHz. The circuit was simulated with the ideal capacitor and our proposed floating capacitor. For this purpose, the following component values were taken for the floating capacitance simulators in Fig. 2: $C_1 = 0.1$ nF , $R_2 = 1$ kΩ and $g_m \cong 0.25$ mA/V. The theoretical and simulation results for the filter of Fig. 17 are given in Fig. 18.

In order to verify the feasibility of the proposed grounded inductance simulator of Fig. 2 and to demonstrate its application, the RLC parallel resonance circuit is designed as shown in Fig. 19. The DVCCTA circuit components are selected as: $R_1 = 1$ kΩ and $C_2 = 0.1$ nF. Figure 20 shows the frequency characteristics of the Z_{in} of the parallel resonance circuit in Fig. 19 for three different values of I_B. From Fig. 20, we can see that the resonance frequency can be tuned electronically by the biasing

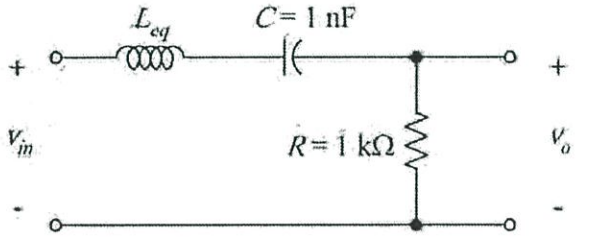


Fig. 15–RLC bandpass filter

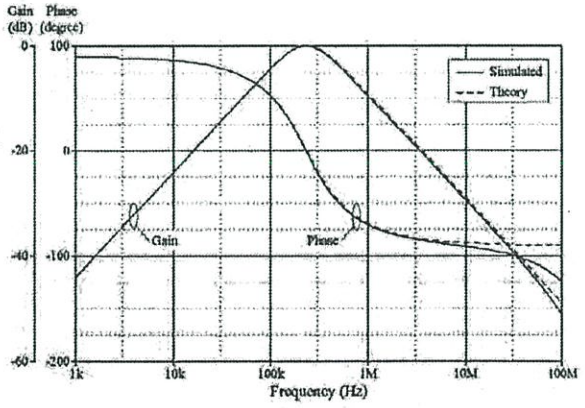


Fig. 16–Ideal and simulated frequency responses of Fig. 15

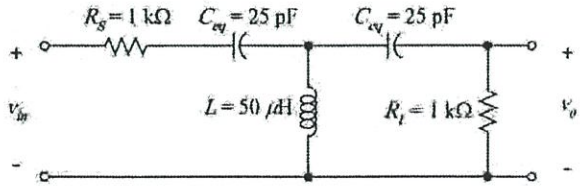


Fig. 17–Third-order Butterworth highpass filter

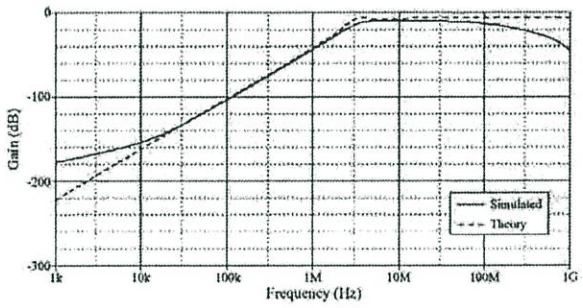


Fig. 18–Theory and simulated magnitude responses of Fig. 17

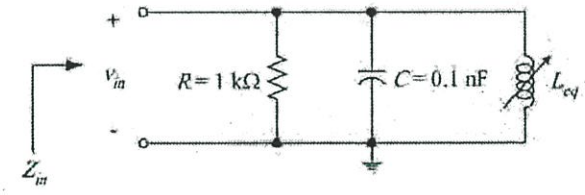


Fig. 19–Parallel resonance circuit using the proposed grounded inductance simulator of Fig. 2

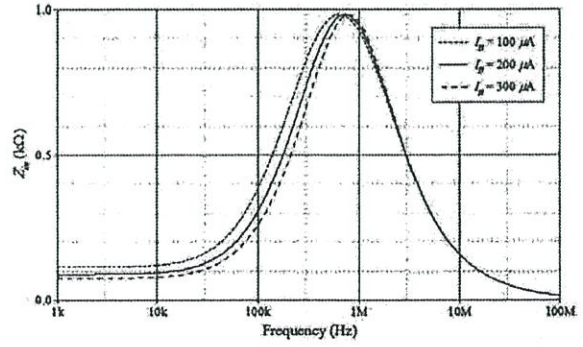


Fig. 20–Frequency responses of Z_{in} of Fig. 19 for various DVCCTA biasing currents

current I_B of the proposed grounded inductor, thereby verifying the proper operation and providing the flexibility of the presented circuit.

Conclusions

In this article, the floating simulator circuit using a single DVCCTA and two grounded passive components is presented. The values of the simulated inductance, capacitance and resistance can be controlled electronically by the g_m-value of the DVCCTA. The operation of the proposed circuit is validated on the second-order bandpass and third-order Butterworth highpass filters. All simulation results obtained through PSPICE with 0.5-μm MIETEC CMOS technology verify the workability performance of the proposed floating simulator circuit.

Acknowledgements

This research work is supported by Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL).

References

1 Kiranon W & Pawarangkoon P, *Electron Lett*, 33 (1997) 1748-1749.
2 Ananda Mohan P V, *Electron Lett*, 34 (1998) 1037-1038.
3 Abuelma'Atti M T & Tasadduq N A, *Microelectron J*, 30 (1999) 869-873.
4 Ananda Mohan P V, *J Circuits Syst Comput*, 14 (2005) 123-128.
5 Yuce E, Minaei S & Cicekoglu O, *Electr Eng*, 88 (2006) 519-525.
6 Psychalinos C & Spanidou A, *Int J Electron Commun (AEU)*, 60 (2006) 168-171.
7 Yuce E, *Int. J. Electron Commun (AEU)*, 61 (2007) 453-458.
8 Yuce E, *Int J Electron*, 94 (2007) 317-326.
9 Yuce E & Minaei S, *Microelectron J*, 40 (2009) 928-938.
10 Sagbas M, Ayten U E, Sedef H & Koksal M, *Int J Electron Commun (AEU)*, 63 (2009) 423-427.
11 Sagbas M, Ayten U E, Sedef H & Koksal M, *Circuits Syst Signal Process*, 28 (2009) 55-63.
12 Prasad D, Bhaskar D R & Singh A K, *Radioengineering*, 19 (2010) 194-198.
13 Yuce E, *Int J Electron*, 97 (2010) 249-262.
14 Ibrahim M A, Minaei S, Yuce E, Herenscar N & Koton J, *Radioengineering*, 21 (2012) 3-10.
15 Ayten U E, Sagbas M, Herenscar N & Koton J, *Radioengineering*, 21 (2012) 11-19.
16 Li Y A, *Int J Electron Commun (AEU)*, 66 (2012) 587-592.
17 Jantakun A, Pisutthipong N, & Siripruchayanun M, *A synthesis of temperature insensitive/electronically controllable floating simulators based on DV-CCTAs*, paper presented at ECTI-CON 2009, Pattaya, Thailand, 2009.
18 Sharma R K, Senani R, Bhaskar D R, Singh A K & Gupta S S, *J Circuits Syst Comput*, 18 (2009) 59-66.
19 Senani R & Bhaskar D R, *Analog Integr Circuits Signal Process*, 73 (2012) 981-987.
20 Metin B & Cicekoglu O, *IEEE Trans Circuits Syst II*, 53 (2006) 483-486.
21 Metin B, *Electron World*, 114 (2008) 46-47.
22 Horng J W, *Analog Integr Circuits Signal Process*, 62 (2010) 407-413.
23 Fabre A, Saaid O & Barthelemy H, *Analog Integr Circuits Signal Process*, 7 (1995) 113-129.
24 Yuce E, *IEEE Trans Circuits Syst I*, 55 (2008) 276-283.
25 Tangsrirat W & Channumsin O, *Radioengineering*, 20 (2011) 905-910.
26 Bhaskar D R, Singh A K, Sharma R K & Senani R, *IEICE Electron Express*, 2 (2005) 8-13.