

การศึกษาการออกแบบฟินเฟทโดยโปรแกรมจำลองแบบ TCAD

STUDY OF DESIGN OF FINFET BY TCAD SIMULATION



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไมโครอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2561

KMITL-2018-EN-M-043-009

การศึกษาการออกแบบฟินเฟทโดยโปรแกรมจำลองแบบ TCAD

STUDY OF DESIGN OF FINFET BY TCAD SIMULATION



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไมโครอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

KMITL-2018-EN-M-043-009

STUDY OF DESIGN OF FINFET BY TCAD SIMULATION



NUTTAPONG PATCHARASARDTRA

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN MICROELECTRONICS ENGINEERING
FACULTY OF ENGINEERING

เอกสารนี้เป็นเอกสารที่ KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG ยินดีด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และตั้ง 2018 อิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KMITL-2018-EN-M-043-009



COPYRIGHT 2018

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
FACULTY OF ENGINEERING
ไม่ว่ากรณีใดๆทั้งสิ้น สิ่งนี้จัดทำขึ้นเพื่อให้ข้อมูลเบื้องต้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การศึกษาการออกแบบฟินเฟทโดยโปรแกรมจำลองแบบ TCAD
นักศึกษา	นาย ณัฐพงษ์ พัทธศาสตร์
รหัสนักศึกษา	58601175
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไมโครอิเล็กทรอนิกส์
พ.ศ.	2561
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร. วีระ เพ็งจันทร์

บทคัดย่อ

วิทยานิพนธ์เล่มนี้มีวัตถุประสงค์เพื่อศึกษาการออกแบบ จำลองแบบ และวิเคราะห์คุณลักษณะทางไฟฟ้าของฟินเฟท โดยทำการจำลองแบบโครงสร้างฟินเฟทแบบ SOI ด้วยโปรแกรม GTS Framework และวิเคราะห์ผลกระทบจากการเปลี่ยนแปลง ขนาด รูปทรง วัสดุ และอุณหภูมิ ที่มีผลต่อคุณลักษณะทางไฟฟ้าของฟินเฟท จากการปรับเปลี่ยนขนาด พบว่าการออกแบบฟินเฟทควรให้โครงสร้างมี ช่องทางเดินกระแสสั้น และชั้นซิลิคอนที่แคบ เนื่องจากทำให้มีกระแสเดรนสูง และมีแรงดันขีดเริ่มต่ำ รวมถึงลดการเกิด Drain-induced barrier lowering และ Short Channel Effect ในส่วนของความหนาชั้นซิลิคอน ไม่ควรมีค่าสูงมากเนื่องจากทำให้เกิดกระแสรั่ว ในส่วนของความหนาชั้นเกตออกไซด์ และวัสดุฉนวนขั้วเกต ควรให้ชั้นเกตออกไซด์มีความบาง และใช้งานวัสดุที่มีค่าคงที่ฉนวนไฟฟ้าสูง เพื่อให้โครงสร้างฟินเฟทให้กระแสเดรนสูงขึ้น และลดการเกิด Short Channel Effect ในการปรับรูปทรงของชั้นซิลิคอน ส่งผลให้ค่าความกว้างช่องทางเดินกระแสของฟินเฟทเปลี่ยนแปลง และมีผลกับคุณลักษณะทางไฟฟ้า อิทธิพลของอุณหภูมิทำให้ความคล่องตัวพาหะภายในช่องทางเดินกระแสของฟินเฟทลดลง และลดทอนประสิทธิภาพของฟินเฟท โดยทำให้เกิดกระแสรั่วสูงขณะที่โครงสร้างฟินเฟทไม่ได้รับการไบอัส และลดกระแสเดรนในช่วงทำงาน จากการทดลองประยุกต์ใช้งานฟินเฟทแบบวงจรรขยายกระแส พบว่ากระแสของวงจรรจะเพิ่มขึ้นตามจำนวนของฟินเฟทในวงจรร และการนำมาประยุกต์ใช้งานเป็นวงจรรตรรกะ การออกแบบวงจรรต่อมีค่า $w_p/w_n = 1$ และความยาวเกตของฟินเฟทชนิดพีควรใหญ่กว่าฟินเฟทชนิดเอ็นประมาณ 2 เท่า จึงจะทำให้วงจรรสามารถให้เอาต์พุตที่มีค่าดีเลย์น้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Study of Design of FinFET by TCAD Simulation
Student	Mr. Nuttapong Patcharasardtra
Student ID	58601175
Degree	Master of Engineering
Program	Microelectronics Engineering
Year	2018
Thesis Advisor	Asst. prof. Dr. Weera Pengchan

Abstract

This thesis has objective to studies a design, simulation and electrical characteristics of FinFET by simulate the structure of SOI FinFET via GTS Framework software and analysis effects from scaling of size, shape, materials and temperature that affect to electrical characteristics. From scaled found the structure should have short gate length and narrow silicon width because it can obtained the high drain current and has low threshold voltage. Moreover, it can be decrease a drain-induced barrier lowering and short channel effect. In case of silicon thickness, it should not be tall because a silicon layer could increase a leakage current. From gate oxide experiment found that FinFET structure should have very thin gate oxide layer and used the High-K materials to increase the drain current and reduce the short channel effect. The silicon layer shape, gate width has varied with the shape and affect to the electrical characteristics. The temperature decreased electron mobility on channel of FinFET and reduce a performance of FinFET by obtained the large leakage on high temperature while no bias on a structure and decrease the drain current on operate. From the application experiment found the current drive circuit obtained a current higher than single structure with the number of structure on circuit. In case of logic circuit, a design of circuit must have $W_p/W_n = 1$ and gate length of p-FinFET should bigger than n-FinFET 2 times to provide a less of delay on output of the logic circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณ ผศ.ดร. วีระ เพ็งจันทร์ อาจารย์ที่ปรึกษา ซึ่งให้การชี้แนะแนวทางการศึกษา คอยสั่งสอน และควบคุมดูแลมาโดยตลอด จนทำให้วิทยานิพนธ์เล่มนี้สำเร็จได้อย่างสมบูรณ์แบบ ข้าพเจ้าขอกราบขอบพระคุณอาจารย์ที่ปรึกษาอย่างสูง

ขอบพระคุณ รศ.ดร. วิสุทธิ ฐิติรุ่งเรือง ผู้คอยชี้แนะแนวทางการแก้ปัญหาทางวิจัย แนวทางการศึกษา และย้ำเตือนให้ตั้งใจ ใฝ่เรียนรู้ เพื่อจะได้สำเร็จการศึกษา

ขอบพระคุณ รศ. ดร. สุรศักดิ์ เนียมเจริญ ซึ่งคอยชี้แนะ และแนะนำแนวทางในการศึกษา รวมถึงการสอนทั้งในด้านวิชาการ

ขอบคุณเพื่อน พี่ น้อง ในสาขาไมโครอิเล็กทรอนิกส์ ที่อยู่เป็นกำลังใจ และคอยช่วยเหลือทั้งด้านการเรียน การใช้ชีวิต

กราบขอบคุณ บิดา มารดา และทุกคนในครอบครัว เป็นทั้งผู้สนับสนุน เป็นกำลังใจ เป็นผู้จุดประกายความคิด ให้ข้าพเจ้าไม่หยุดพัฒนาตัวเอง ขอกราบขอบพระคุณทุกท่านมา ณ ที่นี้ด้วย

ขอขอบคุณ บริษัท Global TCAD Solution ซึ่งให้ความเอื้อเฟื้อในการใช้งานเครื่องมือในระบบออนไลน์เพื่อการศึกษา ให้ทำงานสำเร็จลุล่วง

สุดท้าย ข้าพเจ้าขอมอบวิทยานิพนธ์เล่มนี้ ไว้แก่คณาจารย์ และนักศึกษาของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เพื่อใช้เป็นประโยชน์ต่อไปในภายภาคหน้า

ณัฐพงษ์ พืชศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	IX
สารบัญรูป.....	X
รายการคำย่อ.....	XV
รายการสัญลักษณ์.....	XVII
รายการศัพท์เทคนิค.....	XIX
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของงานวิจัย.....	1
1.2 วัตถุประสงค์การศึกษา.....	3
1.3 ขอบเขตการวิจัยและขั้นตอนการศึกษา.....	3
1.4 สมมติฐานของงานวิจัย.....	3
1.5 ประโยชน์ที่คาดว่าจะได้รับจากงานวิจัย.....	3
1.6 รายละเอียดของวิทยานิพนธ์.....	4
บทที่ 2 ทฤษฎีและทบทวนวรรณกรรมที่เกี่ยวข้อง.....	5
2.1 โครงสร้างมอส.....	5
2.1.1 โครงสร้างตัวเก็บประจุมอส.....	5
2.1.2 โครงสร้างซิลิคอนบนชั้นฉนวน.....	6
2.1.3 แถบพลังงานของมอสในอุดมคติ.....	7
2.2 โครงสร้างและสัญลักษณ์ของมอสทรานซิสเตอร์.....	9
2.2.1 สัญลักษณ์ทางไฟฟ้าของมอสทรานซิสเตอร์.....	9
2.2.2 ชนิดของมอสทรานซิสเตอร์.....	9
2.3 แรงดันขีดเริ่ม.....	11
2.4 คุณสมบัติและการทำงานของมอสทรานซิสเตอร์.....	12
2.4.1 ช่วงคutoff.....	13
2.4.2 ช่วงเชิงเส้น.....	14

สารบัญ (ต่อ)

	หน้า
2.4.3 ช่วงกระแสอิ่มตัว.....	15
2.5 ทรานซิสเตอร์สนามไฟฟ้าชนิดพิน.....	18
2.5.1 วิวัฒนาการของพินเฟท.....	19
2.5.2 โครงสร้างและสัญลักษณ์ของพินเฟท	21
2.5.2.1 สัญลักษณ์ทางไฟฟ้าของพินเฟท.....	21
2.5.2.2 โครงสร้างของพินเฟท	21
2.6 การทำงานและคุณลักษณะทางไฟฟ้าของพินเฟท.....	23
2.6.1 การทำงานเบื้องต้นของพินเฟท.....	23
2.6.2 คุณลักษณะทางไฟฟ้าของพินเฟท	24
2.6.2.1 คุณลักษณะทางกระแส - แรงดัน.....	24
2.6.2.2 คุณลักษณะกระแสเดรน - แรงดันเกท.....	26
2.6.2.3 คุณลักษณะความจุไฟฟ้าเกท-แรงดันเกท	29
2.6.3 ผลกระทบในการทำงานของพินเฟท	30
2.6.3.1 Drain-induced barrier lowering.....	30
2.6.3.2 Short Channel Effect.....	31
2.7 ทฤษฎีการประยุกต์ใช้งานพินเฟท	32
2.7.1 วงจรขยายกระแส	32
2.7.2 ทฤษฎีวงจรถรรณะ	33
2.7.2.1 วงจรอินเวอเตอร์.....	33
2.7.2.2 วงจรแนนด์เกท	34
2.7.2.3 วงจรแอนด์เกท	35
2.7.2.4 วงจรนอร์เกท.....	36
2.7.2.5 วงจรนอร์เกท.....	37
บทที่ 3 วิธีการดำเนินการวิจัย	38
3.1 หลักการในการจำลองแบบโครงสร้างพินเฟท	38
3.1.1 Berkeley Short-channel IGFET Model (BSIM).....	38
3.1.2 การจำลองแบบของโปรแกรม GTS Framework.....	38
3.1.3 สมการคำนวณในการวิเคราะห์คุณลักษณะทางไฟฟ้า.....	38

สารบัญ (ต่อ)

	หน้า
3.1.3.1 สมการ Drift-Diffusion Transport.....	38
3.1.3.2 สมการความสัมพันธ์กระแส Drift-Diffusion	39
3.1.3.3 สมการระดับกึ่งเฟอร์มิ	39
3.1.3.4 สมการความคล่องตัวพาหะสำหรับซิลิคอน	40
3.2 หลักการออกแบบโครงสร้างพินเฟทเบื้องต้น.....	40
3.2.1 หลักการในการปรับขนาด	40
3.2.2 หลักการออกแบบพินเฟทสำหรับวงจรรีจิสเตอร์	41
3.3 ส่วนประกอบของโปรแกรมจำลองแบบ	41
3.3.1 หน้าต่างลงชื่อเข้าใช้งานโปรแกรม.....	41
3.3.2 หน้าต่างเครื่องมือ	42
3.3.3 หน้าต่างโปรเจค (Project).....	43
3.3.4 หน้าต่างระบบ (System).....	43
3.3.5 หน้าต่างสร้างโปรเจคใหม่.....	44
3.3.6 หน้าต่างโพลเดอร์โปรเจค.....	44
3.3.7 หน้าต่างเลือกเครื่องมือ	45
3.3.8 หน้าต่างเครื่องมือ Structure.....	45
3.3.9 หน้าต่างเลือกต้นแบบโครงสร้างอุปกรณ์	46
3.3.10 แถบ Grid ภายในเครื่องมือ Structure.....	46
3.3.11 แถบ Geometry ภายในเครื่องมือ Structure.....	47
3.3.12 หน้าต่างเครื่องมือ Minimos-NT	47
3.3.13 แถบ Detail ภายในเครื่องมือ Minimos-NT	48
3.3.14 แถบ Control ภายในเครื่องมือ Minimos-NT	48
3.3.15 แถบ Device ภายในเครื่องมือ Minimos-NT.....	49
3.3.16 แถบ Curved ภายในเครื่องมือ Minimos-NT	49
3.4 การเขียนแบบโครงสร้างพินเฟท	50
3.4.1 เขียนแบบโครงสร้างในมุมมอง 2 มิติ.....	51
3.4.2 การเขียนโครงสร้างในมุมมอง 3 มิติ.....	52
3.4.3 กำหนดตำแหน่งและปริมาณสารเจือ.....	52
3.4.4 การกำหนดตำแหน่ง ปริมาณ และอัตราส่วน Grid.....	53

สารบัญ (ต่อ)

	หน้า
3.4.5 การตรวจสอบลักษณะของสารเจือ.....	54
3.5 โครงสร้างฟินเฟทในงานวิจัย	55
3.6 การวัดทดสอบโครงสร้าง	54
3.7 วิธีแสดงค่าทางฟิสิกส์บนโครงสร้างฟินเฟท	59
บทที่ 4 ผลการทดลองและการอภิปรายผล	61
4.1 การศึกษาการปรับความยาวช่องทางเดินกระแส	61
4.1.1 คุณลักษณะกระแส - แรงดัน.....	62
4.1.2 คุณลักษณะกระแสเดรน - แรงดันเกท	63
4.2 การศึกษาการปรับเปลี่ยนขนาดความกว้างของชั้นซิลิคอน	65
4.2.1 คุณลักษณะกระแส - แรงดัน.....	66
4.2.2 คุณลักษณะกระแสเดรน - แรงดันเกท	67
4.3 การศึกษาการปรับเปลี่ยนขนาดความหนาของชั้นซิลิคอน	69
4.3.1 คุณลักษณะกระแส - แรงดัน.....	70
4.3.2 คุณลักษณะกระแสเดรน - แรงดันเกท	71
4.4 การศึกษาการปรับเปลี่ยนขนาดความหนาเกตออกไซด์	73
4.4.1 คุณลักษณะกระแส - แรงดัน.....	74
4.4.2 คุณลักษณะกระแสเดรน - แรงดันเกท	74
4.4.3 คุณลักษณะความจุไฟฟ้า - แรงดันเกท.....	75
4.5 การศึกษาวัสดุฉนวนขั้วเกท	76
4.5.1 คุณลักษณะกระแส - แรงดัน.....	77
4.5.2 คุณลักษณะกระแสเดรน - แรงดันเกท	78
4.5.3 คุณลักษณะความจุไฟฟ้า - แรงดันเกท.....	79
4.6 การศึกษาการปรับรูปทรงของชั้นซิลิคอน	80
4.6.1 คุณลักษณะกระแส - แรงดัน.....	81
4.6.2 คุณลักษณะกระแสเดรน - แรงดันเกท	82
4.7 การศึกษาความสัมพันธ์ระหว่างอุณหภูมิกับความคล่องตัวพาหะ	83
4.7.1 คุณลักษณะกระแส - แรงดัน.....	84
4.7.2 ความคล่องตัวพาหะ.....	85

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และสงวนสิทธิ์ในชื่อเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำหรือเผยแพร่ในด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกไปลงนิตยสาร และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 5 การประยุกต์ใช้งานฟินเพท	87
5.1 การทดลองวงจรขยายกระแส	87
5.2 โครงสร้างฟินเพทสำหรับการจำลองวงจรตรรกะ.....	88
5.3 การทดลองวงจรตรรกะ	90
5.3.1 วงจรอินเวอร์เตอร์.....	90
5.3.2 วงจรแนนด์เกต	91
5.3.3 วงจรแอนด์เกต.....	93
5.3.4 วงจรนอร์เกต	95
5.3.5 วงจรออร์เกต	96
บทที่ 6 สรุปผลการทดลองและข้อเสนอแนะ	99
เอกสารอ้างอิง	101
ภาคผนวก.....	102
ผลงานวิจัยที่ได้รับการตีพิมพ์.....	109
ประวัติผู้เขียน.....	115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 เปรียบเทียบข้อดีและข้อเสียของฟินเฟทแบบ bulk และแบบ SOI.....	23
2.2 ตารางความจริงของวงจรรินเวอร์เตอร์	33
2.3 ตารางค่าความจริงของวงจรรแนนด์เกท.....	34
2.4 ตารางค่าความจริงของวงจรรแอนด์เกท.....	35
2.5 ตารางค่าความจริงของวงจรรนอร์เกท.....	36
2.6 ตารางค่าความจริงของวงจรรออร์เกท.....	37
4.1 คุณลักษณะทางไฟฟ้าของฟินเฟทกับความยาวช่องทางเดินกระแส	64
4.2 คุณลักษณะทางไฟฟ้าของฟินเฟทกับความกว้างชั้นซิลิคอน.....	68
4.3 คุณลักษณะทางไฟฟ้าของฟินเฟทกับความหนาชั้นซิลิคอน.....	72
4.4 คุณลักษณะทางไฟฟ้าของฟินเฟทกับความหนาชั้นเกตออกไซด์	76
4.5 ความสูง, กำแพงศักย์และค่าคงที่ฉนวนไฟฟ้าของวัสดุฉนวนชั้นเกต.....	77
4.6 คุณลักษณะทางไฟฟ้าของฟินเฟทกับวัสดุฉนวนชั้นเกต.....	80
4.7 ขนาดความกว้างของชั้นซิลิคอนของฟินเฟทรูปทรงต่างๆ	81
4.8 คุณลักษณะทางไฟฟ้าของฟินเฟทกับรูปทรงของชั้นซิลิคอน	83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
1.1 โครงสร้าง nMOS Ultra-thin-body SOI MOSFET หรือ nMOS FDSOI.....	2
1.2 โครงสร้างฟินเฟทแบบ SOI	2
2.1 ลักษณะโครงสร้างตัวเก็บประจุแบบมอส	5
2.2 โครงสร้างซิลิคอนบนฉนวน	6
2.3 ลักษณะแถบพลังงานและระดับพลังงานต่างๆของวัสดุ ในขณะที่แยกกันเป็นอิสระ	7
2.4 ลักษณะแถบพลังงานและระดับพลังงานต่างๆของวัสดุในภาวะสมดุล	8
2.5 แผนผังแท่งประจุในโครงสร้างมอสขนาดได้รับแรงดันไบอัส	8
2.6 สัญลักษณ์มอสเฟท (ก) แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็น (ข) แบบเอ็นฮานซ์เมนต์โหมดชนิดพี (ค) แบบดีพลีชันโหมดชนิดเอ็น (ง) แบบดีพลีชันโหมดชนิดพี.....	9
2.7 โครงสร้างมอสทรานซิสเตอร์ชนิดเอ็น	10
2.8 โครงสร้างมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์โหมด (ก) ชนิดเอ็น (ข) ชนิดพี.....	10
2.9 โครงสร้างมอสทรานซิสเตอร์ชนิดดีพลีชันโหมด (ก) ชนิดเอ็น (ข) ชนิดพี	11
2.10 วงจรวัดทดสอบแรงดันขีดเริ่มของมอสทรานซิสเตอร์ (ก) ชนิดเอ็น (ข) ชนิดพี	11
2.11 กราฟความสัมพันธ์กระแสเดรนและแรงดันเกต	12
2.12 ลักษณะโครงสร้างมอสเฟทชนิดเอ็น เมื่อ $V_G = 0\text{ V}$ และ $V_D > 0$	13
2.13 ลักษณะโครงสร้างมอสเฟทชนิดเอ็น เมื่อ $0 < V_G < V_T$ และ V_D มากกว่า 0 เล็กน้อย ..	13
2.14 ลักษณะโครงสร้างมอสทรานซิสเตอร์ชนิดเอ็น เมื่อ $V_G > V_T$ และ V_D มีค่าน้อย.....	14
2.15 ลักษณะโครงสร้างมอสทรานซิสเตอร์ชนิดเอ็น เมื่อ $V_G > V_T$ และ $V_D < V_D(\text{sat})$	15
2.16 ลักษณะโครงสร้างมอสทรานซิสเตอร์ชนิดเอ็น เมื่อ $V_G > V_T$ และ $V_D < V_D(\text{sat})$	16
2.17 คุณลักษณะกระแสและแรงดันของมอสทรานซิสเตอร์.....	17
2.18 โครงสร้างมอสเฟทแบบลำตัวบาง (Ultra-thin body : UTB).....	19
2.19 โครงสร้างเซลล์ต้าเฟทของ D. Hisamoto.....	19
2.20 โครงสร้างดับเบิลเกตฟินเฟทแบบเอ็นแซนแนล	20
2.21 โครงสร้างฟินเฟทไตรเกต.....	20
2.22 สัญลักษณ์ฟินเฟท (ก) ชนิดเอ็น และ (ข) ชนิดพี	21
2.23 โครงสร้างฟินเฟทแบบ (ก) SOI (ข) Bulk.....	22
2.24 ตัวแปรบนโครงสร้างฟินเฟท	22
2.25 กราฟคุณลักษณะกระแส - แรงดันของฟินเฟท	24
2.26 กราฟคุณลักษณะกระแสเดรนและแรงดันเกต.....	26

สารบัญญรูป (ต่อ)

รูปที่	หน้า
2.27 วิธีการหาค่าแรงดันขีดเริ่มจากกราฟ I_D - V_g	27
2.28 วิธีหาค่าขั้วเทรชโวลต์สวิกจากกราฟ $\log(I_D)$ - V_g	28
2.29 ความสัมพันธ์ระหว่างค่าความจุไฟฟ้าและแรงดันเกต.....	30
2.31 วงจรขยายกระแสพินเฟทชนิดเอ็น	32
2.32 สัญลักษณ์อินเวอร์เตอร์ และวงจรอินเวอร์เตอร์	33
2.33 สัญลักษณ์แอนด์เกต และวงจรแอนด์เกต.....	34
2.34 สัญลักษณ์ของแอนด์เกต และวงจรแอนด์เกต.....	35
2.35 สัญลักษณ์นอร์เกต และวงจรรนอร์เกต.....	36
2.36 สัญลักษณ์ออร์เกต และวงจรรออร์เกต	37
3.1 หน้าต่างลงชื่อใช้งานโปรแกรม GTS Framework Online	41
3.2 หน้าต่างเครื่องมือ	42
3.3 หน้าต่างโปรเจค.....	43
3.4 หน้าต่างระบบ	43
3.5 หน้าต่างสร้างโปรเจคใหม่.....	44
3.6 หน้าต่างโพลเดอร์โปรเจค.....	44
3.7 หน้าต่างโพลเดอร์โปรเจค.....	45
3.8 หน้าต่างเครื่องมือ Structure	45
3.9 หน้าต่างต้นแบบ	46
3.10 แถบ Grid ในหน้าต่างเครื่องมือ Structure	46
3.11 แถบ Geometry ภายในเครื่องมือ Structure.....	47
3.12 หน้าต่างเครื่องมือ Minimos-NT.....	47
3.13 แถบ Detail ภายในเครื่องมือ	48
3.14 แถบ Control ภายในเครื่องมือ Minimos-NT	48
3.15 แถบ Device ภายในเครื่องมือ Minimos-NT	49
3.16 แถบ Curve ภายในเครื่องมือ Minimos-NT.....	49
3.17 แผนผังขั้นตอนการเขียนแบบโครงสร้างพินเฟท	50
3.18 Segment ของโครงสร้างพินเฟท.....	51
3.19 โครงสร้างพินเฟทในมุมมอง 2 มิติ.....	51
3.20 โครงสร้างพินเฟทในมุมมอง 3 มิติ.....	52

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.21 Dopant ของโครงสร้างพินเฟท.....	52
3.22 Dopant บนโครงสร้างพินเฟท.....	53
3.23 (ก) หน้าต่างเครื่องมือปรับแต่งค่า Grid (ข) Grid บนโครงสร้างพินเฟท.....	53
3.24 ตัวเลือกแสดงความเข้มข้นของสารเจือ	
3.25 (ก) ลักษณะของสารเจือบนโครงสร้างพินเฟทที่ถูกต้อง (ข) ลักษณะของสารเจือบนโครงสร้างพินเฟทที่ไม่ถูกต้อง	54
3.26 โครงสร้างพินเฟทในงานวิจัย.....	55
3.27 สัญลักษณ์เครื่องมือ Minimos-NT.....	56
3.28 ฟังก์ชันสำหรับการวัดทดสอบ	56
3.29 ฟังก์ชันการวัดทดสอบย่อย	57
3.30 กระบวนการวิเคราะห์คุณลักษณะทางไฟฟ้า	57
3.31 หน้าต่างแสดงกราฟผลการวัดทดสอบ.....	58
3.32 กราฟคุณลักษณะทางกระแสและแรงดันของพินเฟท	58
3.33 หน้าต่าง Device ภายในเครื่องมือ Minimos-NT.....	59
3.34 ช่อง Attribute	59
3.35 ระดับสีแสดงค่าความคล่องตัวพาหะบนโครงสร้างพินเฟท.....	60
3.36 กราฟความสัมพันธ์ความคล่องตัวอิเล็กตรอน-โครงสร้างพินเฟทในแกน x	60
4.1 โครงสร้างพินเฟทที่ประกอบด้วยขนาดความยาวช่องทางเดินกระแสต่างกัน	61
4.2 คุณลักษณะกระแส-แรงดันของพินเฟทที่มีความยาวช่องทางเดินกระแสแตกต่างกัน ในกรณี $V_g = 0$ V	62
4.3 คุณลักษณะกระแส-แรงดันของพินเฟทที่มีความยาวช่องทางเดินกระแสแตกต่างกัน ในกรณี $V_g = 1$ V	62
4.4 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่มีความยาวช่องทางเดินกระแส แตกต่างกัน ในกรณี $V_D = 50$ mV.....	63
4.5 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่มีความยาวช่องทางเดินกระแส แตกต่างกัน ในกรณี $V_D = 1$ V.....	64
4.6 โครงสร้างพินเฟทที่ประกอบด้วยขนาดความกว้างชั้นซิลิคอนต่างกัน.....	65
4.7 คุณลักษณะกระแส-แรงดันของพินเฟทที่มีความกว้างชั้นซิลิคอนแตกต่างกัน ในกรณี $V_g = 0$ V	66

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.8 คุณลักษณะกระแส-แรงดันของพินเฟทที่มีความกว้างชั้นซิลิคอนแตกต่างกัน ในกรณี $V_g = 1 \text{ V}$	66
4.9 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่มีความกว้างชั้นซิลิคอนแตกต่างกัน ในกรณี $V_D = 50 \text{ mV}$	67
4.10 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่มีความกว้างชั้นซิลิคอนแตกต่างกัน ในกรณี $V_D = 1 \text{ V}$	67
4.11 โครงสร้างพินเฟทที่ประกอบด้วยขนาดความหนาชั้นซิลิคอนต่างกัน	69
4.12 คุณลักษณะกระแส-แรงดันของพินเฟทที่มีความหนาชั้นซิลิคอนแตกต่างกัน ในกรณี $V_g = 0 \text{ V}$	70
4.13 คุณลักษณะกระแส-แรงดันของพินเฟทที่มีความหนาชั้นซิลิคอนแตกต่างกัน ในกรณี $V_g = 1 \text{ V}$	70
4.14 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่มีความหนาชั้นซิลิคอนแตกต่างกัน ในกรณี $V_D = 50 \text{ mV}$	71
4.15 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่มีความหนาชั้นซิลิคอนแตกต่างกัน ในกรณี $V_D = 1 \text{ V}$	71
4.16 โครงสร้างพินเฟทที่ประกอบด้วยขนาดความหนาชั้นเกตออกไซด์ต่างกัน	73
4.17 คุณลักษณะกระแส-แรงดันของพินเฟทที่มีความหนาชั้นเกตออกไซด์แตกต่างกัน ในกรณี $V_g = 1 \text{ V}$	74
4.18 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่มีความหนาชั้นเกตออกไซด์แตกต่างกัน ในกรณี $V_D = 1 \text{ V}$	74
4.19 คุณลักษณะความจุไฟฟ้าเกต-แรงดันเกตของความหนาชั้นเกตออกไซด์ ในกรณีป้อนความถี่ 1 GHz	75
4.20 โครงสร้างพินเฟทในการทดลองปรับเปลี่ยนวัสดุฉนวนขั้วเกต	76
4.21 คุณลักษณะกระแส-แรงดันของพินเฟทที่ใช้งานวัสดุที่ใช้งานวัสดุฉนวนขั้วเกตแตกต่างกัน ในกรณี $V_g = 1$	77
4.22 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่ใช้งานวัสดุฉนวนขั้วเกตแตกต่างกัน ในกรณี $V_D = 1 \text{ V}$	78
4.23 คุณลักษณะความจุไฟฟ้าเกต-แรงดันเกตของพินเฟทที่ใช้งานวัสดุฉนวนขั้วเกตแตกต่างกัน ในกรณีป้อนความถี่ 1 GHz	79

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.24 โครงสร้างของพินเฟทที่ประกอบด้วยรูปทรงของชั้นซิลิคอนแตกต่างกัน	80
4.25 คุณลักษณะกระแส-แรงดันของพินเฟทที่มีรูปทรงชั้นซิลิคอนแตกต่างกัน ในกรณี $V_g = 1\text{ V}$	81
4.26 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่มีรูปทรงชั้นซิลิคอนแตกต่างกัน ในกรณี $V_D = 1\text{ V}$	82
4.27 คุณลักษณะกระแส-แรงดันของพินเฟทที่ได้รับอุณหภูมิแตกต่างกัน ในกรณี $V_g = 0\text{ V}$	84
4.28 คุณลักษณะกระแส-แรงดันเกตของพินเฟทที่ได้รับอุณหภูมิแตกต่างกัน ในกรณี $V_D = 1\text{ V}$	84
4.29 ความคล่องตัวพาหะบริเวณช่องทางเดินกระแสของพินเฟทที่ได้รับอุณหภูมิแตกต่างกัน ในกรณี $V_g = 0\text{ V}$ และ $V_D = 0\text{ V}$	85
4.30 ความคล่องตัวพาหะบริเวณช่องทางเดินกระแสของพินเฟทที่ได้รับอุณหภูมิแตกต่างกัน ในกรณี $V_g = 1\text{ V}$ และ $V_D = 1\text{ V}$	86
5.1 โครงสร้างพินเฟทแบบวงจรรขยายกระแส	87
5.2 คุณลักษณะกระแส-แรงดันของพินเฟทแบบวงจรรขยายกระแส	88
5.3 วงจรอินเวอร์เตอร์สำหรับวัดทดสอบความสัมพันธ์ระหว่างแรงดันเอาต์พุต-แรงดันอินพุต	89
5.4 กราฟความสัมพันธ์ระหว่างแรงดันเอาต์พุต-แรงดันอินพุต	89
5.5 วงจรอินเวอร์เตอร์บนโปรแกรม GTS Framework	90
5.6 ไดอะแกรมเวลาของวงจรอินเวอร์เตอร์	90
5.7 วงจรแนตเกตบนโปรแกรม GTS Framework	91
5.8 ไดอะแกรมเวลาของวงจรแนตเกต	92
5.9 วงจรแนตเกตบนโปรแกรม GTS Framework	93
5.10 ไดอะแกรมเวลาของวงจรแอนด์เกต	94
5.11 วงจรนอร์เกตบนโปรแกรม GTS Framework	95
5.12 ไดอะแกรมเวลาของวงจรนอร์เกต	95
5.12 ไดอะแกรมเวลาของวงจรนอร์เกต (ต่อ)	96
5.13 วงจรออร์เกตบนโปรแกรม GTS Framework	97

เอกสารนี้เป็นลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี 1988

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการคำย่อ

อักษรย่อ	คำเต็มภาษาอังกฤษ	คำแปลภาษาไทย
B	Bulk	ซึ่วโลหะฐานรอง
BOX	Buried Oxide	ชั้นออกไซด์ฝัง
CVD	Chemical Vapor Deposition	กระบวนการสร้างชั้นฟิล์ม บางด้วยไอของสารเคมี
D	Drain	ซึ่วโลหะเดรน
DD	Drift Diffusion	รูปแบบการคำนวณแบบ ดริฟต์ดิฟฟิวชัน
DIBL	Drain-Induced Barrier Lowering	การลดลงของกำแพง ศักย์เมื่อเดรนนำกระแส
DELTA	Depletion Lean Channel Transistor	ทรานซิสเตอร์ช่องทางเดิน กระแสบางชนิดดีพริทชัน
FDSOI	Fully Depleted Silicon On insulator MOSFET	มอสทรานซิสเตอร์บนชั้น ฉนวน
FET	Field Effect Transistor	ทรานซิสเตอร์สนามไฟฟ้า
G	Gate	ซึ่วโลหะเกต
LELE	Litho-Etch-Litho-Etch	เทคนิคการฉายแบบสลับ การกัด
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor	มอสทรานซิสเตอร์
nMOS	N-Channel MOSFET	มอสเฟทชนิดเอ็น
n-Sub	N-type Substrate	ฐานรองชนิดเอ็น
pMOS	P-Channel MOSFET	มอสเฟทชนิดพี
p-Sub	P-type Substrate	ฐานรองชนิดพี
PTS	Punch-Through Stop	การยิงฝังประจุเพื่อหยุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ปรากฏการณ์พันธซ์ทรู
ไม่ว่ากรณีใดๆทั้งสิ้น QFL Quasi-Fermi Level ระดับกึ่งเฟอร์มิ

รายการคำย่อ (ต่อ)

อักษรย่อ	คำเต็มภาษาอังกฤษ	คำแปลภาษาไทย
S	Source	ขั้วโลหะซอส
SADP	Self-Aligned Double Patterning	เทคนิคการจัดเรียงตัวเองด้วยการฉายแม่แบบคู่
SCE	Short Channel Effect	ปรากฏการณ์ช่องทางเดินกระแสสั้น
Si	Silicon	ซิลิคอน
SOI	Silicon on insulator	ชั้นซิลิคอนบนฉนวน
SS	Subthreshold Swing	ซับเทรชโฮลต์สวิงก์
STI	Shallow Trench Insulator	ฉนวนร่องตื้น
TCAD	Technology Computer Aided Design	โปรแกรมช่วยในงานออกแบบทางเทคโนโลยี
UTB	Ultra-thin-body	อุปกรณ์ลำตัวบาง
HfO ₂	Hafnium dioxide	ฮาฟเนียมไดออกไซด์
Si ₃ N ₄	Silicon Nitride	ซิลิคอนไนไตรด์
SiO ₂	Silicon dioxide	ซิลิคอนไดออกไซด์
ZrO ₂	Zirconium dioxide	เซอร์โคเนียมไดออกไซด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการสัญลักษณ์

A	คือ	อินพุต A
B	คือ	อินพุต B
F	คือ	เอาต์พุต
E_0	คือ	ระดับสูญญากาศ
E_G	คือ	ช่องว่างพลังงาน
E_F	คือ	ระดับเฟอร์มิ
E_C	คือ	ระดับพลังงานต่ำสุดของแถบนำไฟฟ้า
ϕ	คือ	ฟังก์ชันงาน
$q\phi_m$	คือ	ฟังก์ชันงานของโลหะ
$q\phi_s$	คือ	ฟังก์ชันงานของซิลิคอน
$q\chi_s$	คือ	Electron Affinity ของฉนวน
V_{th}	คือ	แรงดันขีดเริ่ม
V_G	คือ	แรงดันเกต
V_D	คือ	แรงดันเดรน
ϕ_{ms}	คือ	ฟังก์ชันงานของซิลิเกตโลหะ
Q_{dm}	คือ	ประจุภายในเนื้อสาร
C_{ox}	คือ	ค่าความจุไฟฟ้าภายในชั้นฉนวนซิลิเกต
$2\Phi_F$	คือ	ศักย์ไฟฟ้าบริเวณผิวโลหะซิลิเกต
I_D	คือ	กระแสเดรน
R_{ch}	คือ	ความต้านทานภายในช่องทางเดินกระแส ($V_g = 0$)
$V_{D(Sat)}$	คือ	แรงดันอิ่มตัว
$R_{eff(n-ch)}$	คือ	ความต้านทานภายในช่องทางเดินกระแส ($V_g > 0$)
μ	คือ	ความคล่องตัวพาหะ
W_g	คือ	ความกว้างของช่องทางเดินกระแส
L_g	คือ	ความยาวของช่องทางเดินกระแส
k	คือ	ค่าคงที่โบลทซ์มันน์
T	คือ	อุณหภูมิ (K)
n_i	คือ	ความเข้มข้นอะตอมอินทรินซิก
t_{si}	คือ	ความหนาชั้นซิลิคอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับอาจารย์และบุคลากรเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามนำไปตีพิมพ์หรือเผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการสัญลักษณ์ (ต่อ)

q	คือ	ค่าคงที่ประจุไฟฟ้า
X_d	คือ	ความหนาชั้นดีพลีชั้น
h	คือ	ค่าคงที่พลังก์
w_{si}	คือ	ความกว้างชั้นซิลิคอน
π	คือ	ค่าไพน์
K	คือ	ค่าคงที่ไดอิเล็กตริก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการคำศัพท์เทคนิค

ภาษาไทย

ตัวเก็บประจุมอส

ซิลิคอนบนฉนวน

มอสเฟท

มอสเฟทชนิดเอ็น

มอสเฟทชนิดพี

แรงดันขีดเริ่ม

การอิ่มตัวของกระแสเดรน

แรงดันขั้วเดรน

แรงดันขั้วเกต

กระแสเดรน

ความจุไฟฟ้าบริเวณเกต

ฟินเฟท

ทรานซิสเตอร์แบบสองเกต

ทรานซิสเตอร์แบบสามเกต

ทรานซิสเตอร์แบบหลายเกต

ชั้นออกไซด์ฝัง

ชั้นซิลิคอนของฟินเฟท

ช่องทางเดินกระแสสั้น

ความคล่องตัวพาหะ

ค่าคงที่ฉนวนไฟฟ้า

ความยาวเกต

ความกว้างเกต

ความหนาชั้นซิลิคอน

ความกว้างชั้นซิลิคอน

ความหนาชั้นเกตออกไซด์

วงจรรินเวอร์เตอร์ซีมอส

วงจรรตรรกะ

ภาษาอังกฤษ

MOS Capacitor

Silicon-on-Insulator

MOSFET

n-Channel MOSFET

p-Channel MOSFET

Threshold Voltage

Drain Current Saturation

Drain Voltage

Gate Voltage

Drain Current

Gate Capacitance

FinFET

Double Gate

Triple Gate

Multi Gate

Buried Oxide

Silicon Fin

Short Channel

Carrier Mobility

Dielectric constant

Gate Length

Gate Width

Silicon Thickness

Silicon Width

Gate Oxide Thickness

CMOS Inverter Circuit

Logic Circuit

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการคำศัพท์เทคนิค (ต่อ)

ภาษาไทย

วงจรรขยายกระแส

ตัวต้านทานแบบพูลอัพ

ตัวต้านทานแบบพูลดาวน์

ภาษาอังกฤษ

Current drive circuit

Pull-up Resistor

Pull-down Resistor



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของงานวิจัย

ฟินเฟต (Fin Field Effect Transistor: FinFET) เป็นอุปกรณ์อิเล็กทรอนิกส์ชนิดหนึ่งที่มีโครงสร้างในลักษณะ 3 มิติ (3D - Structure) ได้รับการพัฒนาต่อยอดจากมอสเฟต โดยมีวัตถุประสงค์หลักเพื่อทำการลดขนาดโครงสร้างของอุปกรณ์ลง ซึ่งเป็นการลดทอนกระแสรั่วไหล และผลกระทบที่เกิดขึ้นบนโครงสร้างแบบพลาเนอ (Planar) เนื่องจากความพยายามในการแก้ปัญหา

ทั้งการประยุกต์ใช้สร้างโครงสร้างแบบชั้นซิลิคอนบนฉนวน (Silicon-on-insulator: SOI) ร่วมกับโครงสร้างมอสเฟต ไม่สามารถที่จะลดทอนกระแสรั่วไหล และผลกระทบจากฐานรองได้อย่างสมบูรณ์ ฟินเฟตจึงเป็นโครงสร้างที่ถูกนำมาทำการสร้าง และทดสอบประสิทธิภาพอย่างแพร่หลาย ในปัจจุบันมีผลิตภัณฑ์หลากหลายที่นำทรานซิสเตอร์แบบใหม่นี้เข้ามาใช้งาน ฟินเฟตจึงกลายเป็นหัวใจสำคัญของโครงสร้าง ซึ่งตอบโจทย์ในด้านของขนาด ปริมาณ และคุณภาพ ตามกฎของมัวร์

ซึ่งขับเคลื่อนโลกของเทคโนโลยี เช่น ในปี 2011 บริษัทอินเทลได้เปิดตัวผลิตภัณฑ์ หน่วยประมวลผลกลาง (Central processing unit : CPU) ในชื่อของ Ivy bridge โดยการสร้างโครงสร้างทรานซิสเตอร์แบบสามเกต (Tri-gate Transistor) ขนาด 22 นาโนเมตร ซึ่งมีลักษณะโครงสร้างแบบฟินเฟต และมีขั้วเกต สามขั้ว และใช้งานโครงสร้างนี้อย่างต่อเนื่องมาจนถึงปัจจุบัน [1] และในปี 2016 บริษัทแอดวานซ์ไมโครดีไวส์ (Advanced Micro Devices: AMD) ได้เปิดตัว ผลิตภัณฑ์หน่วยประมวลผลกราฟฟิกในชื่อของ Polaris โดยใช้งานโครงสร้างฟินเฟตแบบสามเกต ที่มีความยาวเกต 14 นาโนเมตร ซึ่งเป็นการปฏิวัติวงการอิเล็กทรอนิกส์และคอมพิวเตอร์ด้วยทรานซิสเตอร์แบบใหม่ [2]

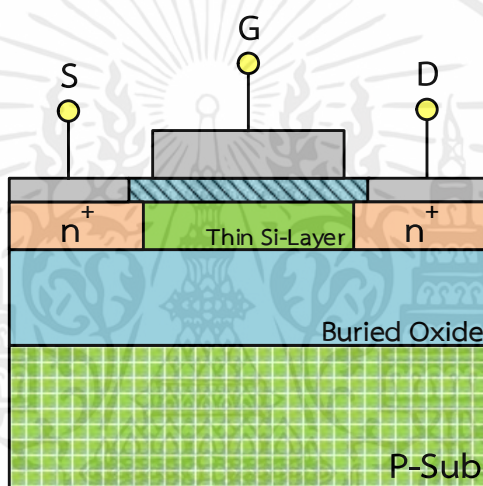
ลักษณะโครงสร้างพื้นฐานของฟินเฟต ได้รับอิทธิพลจากมอสเฟต 2 โครงสร้างหลัก คือโครงสร้างแบบ SOI และโครงสร้างแบบติดกับฐานรอง (Bulk) ซึ่งโครงสร้างแบบ SOI ได้รับอิทธิพลมาจากมอสเฟตแบบ Ultra-Thin-Body (UTB) หรือ Fully depleted SOI [3] ดังแสดงในรูปที่ 1.1 เนื่องจากขีดจำกัดในการพัฒนาความสามารถของทรานซิสเตอร์โครงสร้างมอสเฟตแบบพลาเนอ จึงก่อให้เกิดการพัฒนาต่อยอดโครงสร้าง FDSOI ให้อยู่ในลักษณะของ 3D ซึ่งทำให้ได้กระแสเอาต์พุตมากขึ้น โดยสามารถเปรียบเทียบได้ด้วยกราฟความสัมพันธ์กระแสเดรนและแรงดันเกต (I_D-V_G)

ลักษณะการทำงานของฟินเฟตคล้ายกับมอสเฟตแบบ FDSOI เนื่องจากขนาดของลำตัวที่มีขนาดเล็กในระดับนาโนเมตร โดยวัสดุที่นำมาใช้เป็นฐานรองคือ ซิลิคอน (Si) ซึ่งโครงสร้างประกอบด้วย

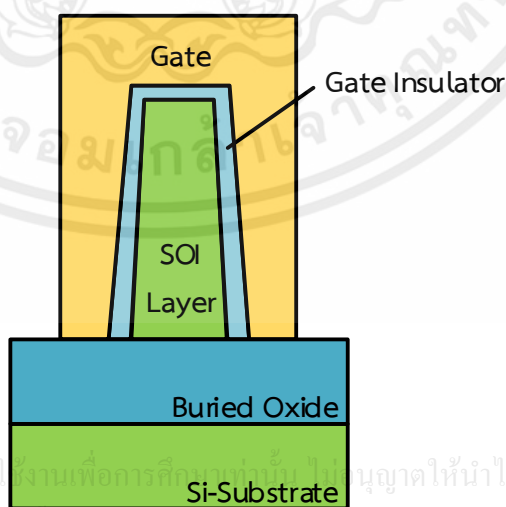
ส่วนของขั้วซอส ขั้วเกต และขั้วเดรน ใช้ฐานรองที่ผ่านกระบวนการสร้างชั้นฉนวน หรือฐานรองแบบ SOI จากนั้นจึงใช้กระบวนการ self-aligned double patterning (SADP) [4] และ Litho-etch-litho-etch (LELE) [5] ในการสร้างโครงสร้างทรานซิสเตอร์ และอีกส่วนหนึ่งที่สำคัญ คือการปรับปรุงวัสดุฉนวนขั้วเกตจากการใช้งาน SiO_2 เป็นแฮฟเนียมไดออกไซด์ (HfO_2) เนื่องจากเป็นวัสดุที่

มีค่าคงที่-ฉนวนไฟฟ้าสูง (High-K) ซึ่งทำให้กระแสรั่วไหลต่ำลง และกระแสเอาต์พุตสูงขึ้น รวมถึงสามารถลดการเกิดปรากฏการณ์ Drain-induced barrier lowering (DIBL) และ Short channel effect (SCE) ด้วย ซึ่งโครงสร้างของฟินเฟทแบบ SOI แสดงดังรูปที่ 1.2

ในวิทยานิพนธ์นี้กล่าวถึงการศึกษาการออกแบบฟินเฟทแบบ SOI และปรับแต่งขนาดความยาวเกต ความกว้างของชั้นซิลิคอนบนฉนวน ความหนาชั้นซิลิคอนบนฉนวน ความหนาชั้นฉนวนขั้วเกต รูปร่างของชั้นซิลิคอนบนฉนวน และผลกระทบของอุณหภูมิที่มีผลต่อลักษณะการเคลื่อนที่ของอิเล็กตรอนบนพื้นผิวของโครงสร้าง ผลกระทบของการปรับแต่งโครงสร้างที่มีผลต่อคุณลักษณะทางไฟฟ้าของฟินเฟท ซึ่งเน้นการใช้งานฟินเฟทขนาด 22 นาโนเมตรเป็นหลัก เนื่องจากฟินเฟทขนาด 22 นาโนเมตรเป็นเทคโนโลยี ซึ่งได้รับการใช้งานอย่างแพร่หลาย



รูปที่ 1.1 โครงสร้าง nMOS Ultra-thin-body SOI MOSFET หรือ nMOS FDSOI



รูปที่ 1.2 โครงสร้างฟินเฟทแบบ SOI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วัตถุประสงค์ของการศึกษา

1. เพื่อศึกษาการออกแบบโครงสร้าง รวมถึงปรับปรุงประสิทธิภาพพินเฟท แบบเอ็นแฮนซ์เมนท์ ด้วยวิธีการจำลองแบบ
2. เพื่อศึกษาปรากฏการณ์และคุณลักษณะทางไฟฟ้าของพินเฟทแบบเอ็นแฮนซ์เมนท์
3. เพื่อศึกษาการใช้งานโปรแกรมจำลองแบบอุปกรณ์อิเล็กทรอนิกส์ Global TCAD Solution (GTS) Framework

1.3 ขอบเขตการวิจัยและขั้นตอนการวิจัย

1. ศึกษาการออกแบบโครงสร้างพินเฟท
2. ศึกษาโปรแกรมจำลองแบบอุปกรณ์อิเล็กทรอนิกส์ GTS Framework
3. ศึกษาการปรับปรุงขนาดของส่วนประกอบต่างๆของโครงสร้างพินเฟท
4. ศึกษาการวัดทดสอบ และวิเคราะห์คุณลักษณะทางไฟฟ้าของพินเฟท
5. ศึกษาการใช้งานวัสดุฉนวน High-K และเกตโลหะที่มีผลต่อคุณลักษณะทางไฟฟ้า
6. ศึกษาผลกระทบของอุณหภูมิที่มีผลต่อความคล่องตัวพาหะ

1.4 สมมติฐานของงานวิจัย

พินเฟทแบบสามเกต เป็นโครงสร้างทรานซิสเตอร์ ซึ่งได้รับการพัฒนาเพื่อให้สามารถลดขนาดได้ โดยปราศจากผลกระทบใดๆ จากทั้งตัวโครงสร้าง และฐานรอง ซึ่งเมื่อเทียบกับมอสเฟทในขนาดเดียวกัน พินเฟทให้การทำงานได้ดีกว่า ในด้านการให้กระแสเอาต์พุต แรงดันขีดเริ่มต่ำ และตอบสนองความถี่สูง โดยการปรับปรุงขนาดของโครงสร้าง สามารถทำได้สะดวกขึ้น

ดังนั้นในการออกแบบ และทดสอบพินเฟท จะให้คุณลักษณะทางไฟฟ้าที่ได้รับผลกระทบจาก Short Channel Effect และ Drain-induced Barrier Lowering น้อยที่สุด และสามารถประยุกต์ใช้งานพินเฟทในลักษณะของวงจรรรณะ

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. เป็นแนวทางในการออกแบบโครงสร้างพินเฟท เพื่อทำการพัฒนา หรือปรับปรุงประสิทธิภาพ
2. สามารถออกแบบ และประยุกต์ใช้งานพินเฟทเป็นส่วนประกอบวงจรรรณะ
3. มีความเข้าใจในการใช้งานโปรแกรมจำลองแบบอิเล็กทรอนิกส์ GTS Framework
4. สามารถนำองค์ความรู้ที่ได้จากการออกแบบไปพัฒนาการศึกษา และงานวิจัยอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.6 รายละเอียดของวิทยานิพนธ์

วิทยานิพนธ์เล่มนี้ประกอบด้วยเนื้อหาการศึกษาเกี่ยวกับวิธีการออกแบบและการประยุกต์ใช้งาน โครงสร้างฟินเฟทแบบสามเกตด้วยวิธีการจำลองแบบ โดยแบ่งเนื้อหาออกเป็น 6 บท ซึ่งมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำ กล่าวถึงความเป็นมาและความสำคัญของฟินเฟท ประเภท และปัญหาที่พบใน โครงสร้างแบบ SOI แนวทางการวิจัย และเหตุผลในการทำงานวิจัย วัตถุประสงค์ของงานวิจัย ขอบเขตของงานวิจัย ขั้นตอนการศึกษา และประโยชน์ของงานวิจัย

บทที่ 2 ทฤษฎี กล่าวถึง ทฤษฎีโครงสร้างมอส และมอสเฟท ทฤษฎีวงจรรขยายกระแส ทฤษฎี วงจรตรรกะ ความเป็นมาของฟินเฟท และวิธีการผลิตฟินเฟท

บทที่ 3 วิธีดำเนินการ กล่าวถึง เครื่องมือจำลองแบบโครงสร้างฟินเฟท การออกแบบโครงสร้าง การแก้ปัญหาขณะทำการจำลองแบบ เงื่อนไขการวัดคุณลักษณะทางไฟฟ้าของโครงสร้างฟินเฟท และ เงื่อนไขการวัดทดสอบการประยุกต์ใช้งานฟินเฟท

บทที่ 4 ผลการทดลอง ประกอบด้วย การทดลองปรับขนาดความยาวเกต ปรับขนาดความกว้าง ชั้นซิลิคอนบนฉนวน ปรับขนาดความหนาของชั้นซิลิคอนบนฉนวน ปรับขนาดความหนาของชั้น เกทออกไซด์ ปรับแต่งรูปร่างของชั้นซิลิคอนบนฉนวน และผลกระทบของอุณหภูมิที่มีผลต่อความ คล่องตัวพาหะบริเวณเกต

บทที่ 5 การประยุกต์การใช้งานฟินเฟท ประกอบด้วย การจำลองวงจรรขยายกระแสด้วยฟินเฟท วงจรอินเวอร์เตอร์ วงจรแนนด์เกต วงจรแอนด์เกต วงจรนอร์เกต และวงจรรอ์เกต

บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ กล่าวถึงภาพรวมของงานวิจัย และสรุปผลการทดลอง พร้อมทั้งแนวทางการพัฒนางานวิจัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

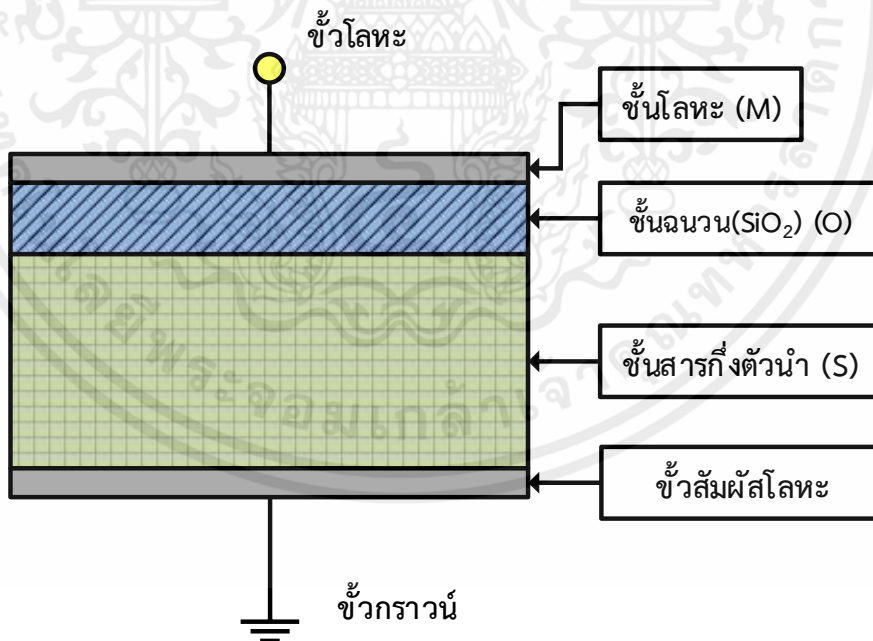
ทฤษฎีและทบทวนวรรณกรรมที่เกี่ยวข้อง

2.1 โครงสร้างมอส [5]

โครงสร้าง Metal-Oxide-Semiconductor หรือเรียกสั้นๆว่า โครงสร้างมอส (MOS Structure) โครงสร้างประกอบด้วย ชั้นโลหะเกท (Metal) ชั้นออกไซด์ที่เป็นฉนวน (Oxide) และชั้นสารกึ่งตัวนำ (Semiconductor) ในส่วนชั้นสารกึ่งตัวนำอาจหมายถึงสารกึ่งตัวนำใดๆ แต่เนื่องจากซิลิคอนเป็นสารกึ่งตัวนำที่มีการนำมาใช้งานมากที่สุด จึงมีความหมายเป็นชั้นของซิลิคอน

2.1.1 โครงสร้างตัวเก็บประจุมอส

ขณะนำโครงสร้างมอสไปใช้งาน มักจะมีการต่อขั้วสัมผัส หรือขั้วไฟฟ้าสองขั้ว โดยเรียกโครงสร้างนี้ได้ว่า โครงสร้างตัวเก็บประจุแบบมอส (MOS Capacitor) ซึ่งมีโครงสร้างแสดงในรูปที่ 2.1 ประกอบด้วยชั้นของโลหะ ซึ่งปกตินิยมใช้โลหะอลูมิเนียม แต่บางครั้งใช้ชั้นฟลักซ์โพลีซิลิคอนที่ถูกล้างอย่างเข้มข้น ชั้นของฉนวน เป็นชั้นซิลิคอนไดออกไซด์ (SiO_2) และชั้นของผลึกสารกึ่งตัวนำ เป็นซิลิคอนชนิดเอ็นหรือชนิดพี เรียกว่า "ฐานรอง" (Substrate)



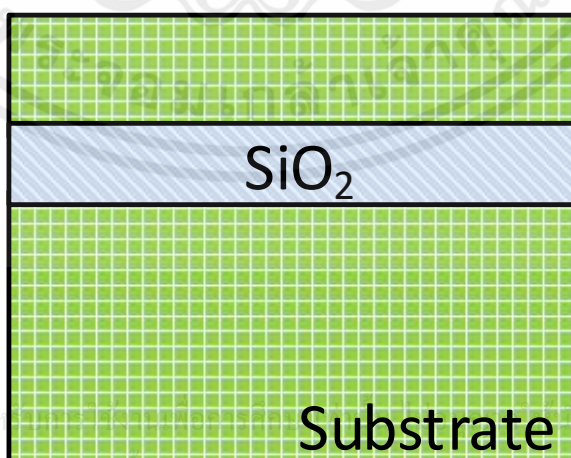
รูปที่ 2.1 ลักษณะโครงสร้างตัวเก็บประจุแบบมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเพื่อการศึกษาเท่านั้น มิได้อยู่เพื่อให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
การวิเคราะห์คุณสมบัติโครงสร้างตัวเก็บประจุแบบมอส พิจารณาตามคุณสมบัติโครงสร้างทาง
อุดมคติดังนี้

- 1) ชั้นโลหะ มีความหนาเพียงพอที่จะพิจารณาได้ว่าในขณะที่ได้รับแรงดันไบอัส จะทำให้ศักย์ไฟฟ้ากระจายสม่ำเสมอเท่ากันตลอด (equipotential region) หรือค่าความต้านทานชั้นโลหะมีค่าน้อยมากเข้าใกล้ศูนย์
- 2) ชั้นฉนวนออกไซด์ มีคุณสมบัติเป็นฉนวนที่สมบูรณ์ (Perfect Insulator) คือ ไม่มีกระแสใดๆไหลผ่านแม้จะได้รับแรงดันไบอัส หรือชั้นออกไซด์มีความต้านทานไฟฟ้าสูงเป็นอนันต์
- 3) ไม่มีประจุไฟฟ้าใดๆภายในชั้นออกไซด์
- 4) ประจุ มีได้เพียงสองบริเวณคือ ในชั้นสารกึ่งตัวนำ และบริเวณผิวสัมผัสของสารกึ่งตัวนำกับชั้นออกไซด์
- 5) ชั้นฐานรองสารกึ่งตัวนำ ถูกเติมอะตอมสารเจืออย่างสม่ำเสมอ และมีความหนาเพียงพอที่จะเกิดบริเวณปลอดสนามไฟฟ้า (Field free region)
- 6) ขั้วไฟฟ้าทั้งสองด้านของโครงสร้างมอส มีคุณสมบัติเป็นรอยสัมผัสโอห์ม
- 7) ค่าฟังก์ชันงานของโลหะ และค่าฟังก์ชันงานของสารกึ่งตัวนำมีค่าเท่ากัน

2.1.2 โครงสร้างซิลิคอนบนชั้นฉนวน [6]

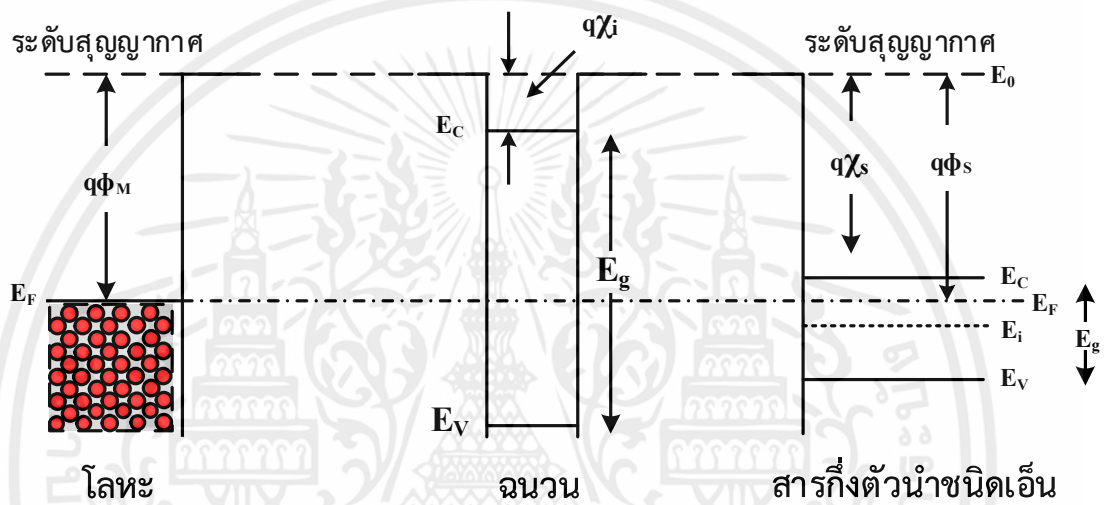
โครงสร้างซิลิคอนบนชั้นฉนวน (Silicon on insulator) หรือ SOI เป็นโครงสร้างที่ประกอบด้วยชั้นซิลิคอน ชั้นฉนวน และชั้นซิลิคอน โครงสร้างนี้สามารถลดผลกระทบจากฐานรองที่มีผลต่อส่วนโครงสร้างของมอสเฟต ลดค่าความจุไฟฟ้า และลดปัญหา Short channel effect ภายในโครงสร้างมอสเฟต เนื่องจากโครงสร้างมอสเฟตแยกออกจากฐานรอง ทำให้อิเล็กตรอนภายในฐานรองไม่สร้างผลกระทบกับช่องทางเดินกระแสของมอสเฟต สำหรับโครงสร้างมอสเฟต สามารถแยกด้วยเทคนิคการทำฉนวนแบบร่องตื้น (Shallow trench insulator : STI) และยังสามารถแยกโครงสร้างมอสเฟตออกจากกันด้วยโครงสร้าง SOI ซึ่งมีการคิดค้นเทคนิคการผลิตหลายแบบ โดยจะกล่าวถึงในหัวข้อกระบวนการสร้างฟิเนลเฟตต่อไป



รูปที่ 2.2 โครงสร้างซิลิคอนบนชั้นฉนวน

2.1.3 แถบพลังงานของมอสในอุดมคติ

ระดับพลังงานของวัสดุแต่ละชนิดคือ โลหะ ฉนวน และสารกึ่งตัวนำ ในขณะที่แยกกันเป็นอิสระ แสดงในรูปที่ 2.3 โดยมีช่องว่างพลังงาน (Energy Gap : E_g) ซึ่งเป็นความแตกต่างระหว่าง ระดับพลังงานแถบนำไฟฟ้า (Conduction Band Energy: E_C) และ ระดับพลังงานแถบวาเลนซ์ (Valence Band Energy: E_V) และความแตกต่างของพลังงานระหว่างพลังงานแถบสูญญากาศ (Vacuum Band Energy: E_0) และพลังงานระดับเฟอร์มี (Fermi Level Energy: E_F) เรียกว่าฟังก์ชันงาน (Work-Function: Φ) กรณีของโลหะแทนด้วย $q\phi_m$ และกรณีของสารกึ่งตัวนำแทนด้วย $q\phi_s$

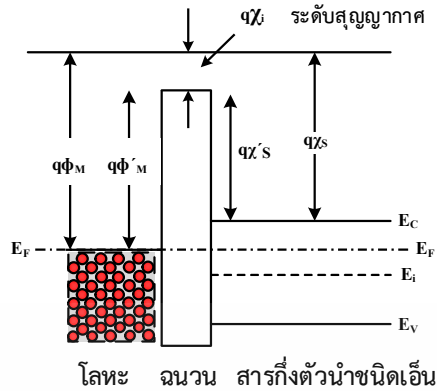


รูปที่ 2.3 ลักษณะแถบพลังงานและระดับพลังงานต่างๆของวัสดุ ในขณะที่แยกกันเป็นอิสระ

ในสารกึ่งตัวนำ ขนาดความสูงของกำแพงพลังงานที่ผิว (surface energy barrier) หรือค่าความต่างพลังงานแถบสูญญากาศ และระดับพลังงานแถบนำไฟฟ้า ซึ่งกำหนดด้วยค่า electron affinity (χ) สามารถเขียนแทนด้วย $q\chi_s$ สำหรับชั้นฉนวนหรือชั้นออกไซด์ จะมีลักษณะแถบพลังงานคล้ายกับสารกึ่งตัวนำบริสุทธิ์ แต่มีขนาดช่องว่างพลังงานที่กว้างมาก โดยที่ค่าอิเล็กตรอนแอฟฟินิตีของชั้นออกไซด์เขียนแทนด้วย $q\chi_i$

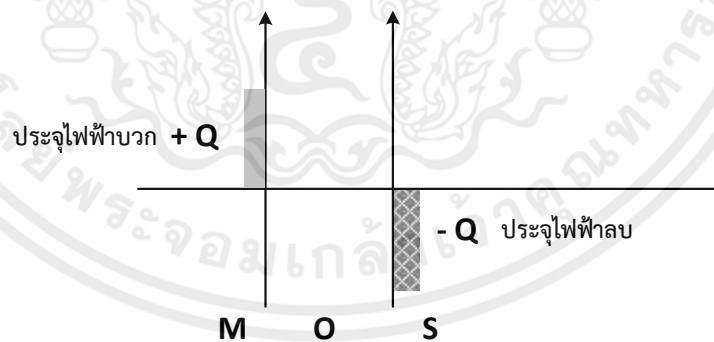
เมื่อวัสดุทั้งสามชนิดนี้ถูกนำเข้ามาสัมผัสกันและเกิดเป็นโครงสร้างตัวเก็บประจุแบบมอส เมื่อพิจารณาในกรณีอุดมคติ ค่าฟังก์ชันงานของโลหะและของสารกึ่งตัวนำมีค่าเท่ากัน $q\phi_m = q\phi_s$ ทำให้โครงสร้างตัวเก็บประจุแบบมอสในสภาวะสมดุล มีระดับพลังงานต่างๆ แสดงดังรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 ลักษณะแถบพลังงานและระดับพลังงานต่างๆของวัสดุในภาวะสมดุล

ระดับพลังงานเฟอร์มิของโลหะ ฉนวน และสารกึ่งตัวนำ อยู่ในระดับเดียวกัน ซึ่งอยู่ในสภาพเดิม ไม่เปลี่ยนแปลงแม้ว่าวัสดุจะสัมผัสกันก็ตาม ระดับพลังงานต่างๆยังไม่เปลี่ยนแปลงหรือโค้งงอ เรียก ลักษณะนี้ว่า "แถบเรียบ" (Flat band) เนื่องจาก $q\phi_m = q\phi_s$ จึงทำให้ระดับพลังงาน E_C และ E_V มีลักษณะเป็นแถบเรียบเช่นกัน ในภาวะสมดุลจะไม่มีประจุไฟฟ้า หรือสนามไฟฟ้าใดๆ เกิดขึ้นใน โครงสร้างของมอสอดมคติ แต่ในโครงสร้างมอสที่ได้รับแรงดันไบอัส จะทำให้เกิดประจุไฟฟ้าขึ้นที่ด้าน โลหะทำให้เหนี่ยวนำประจุด้านสารกึ่งตัวนำในบริเวณใกล้ๆกับผิวสัมผัสของฉนวนและ สารกึ่งตัวนำ คล้ายกับการสะสมประจุของตัวเก็บประจุไฟฟ้าแบบแผ่นโลหะขนาน (parallel plate capacitor) การกระจายของประจุไฟฟ้าจะมีลักษณะเป็นแท่งสี่เหลี่ยม แสดงดังรูปที่ 2.5



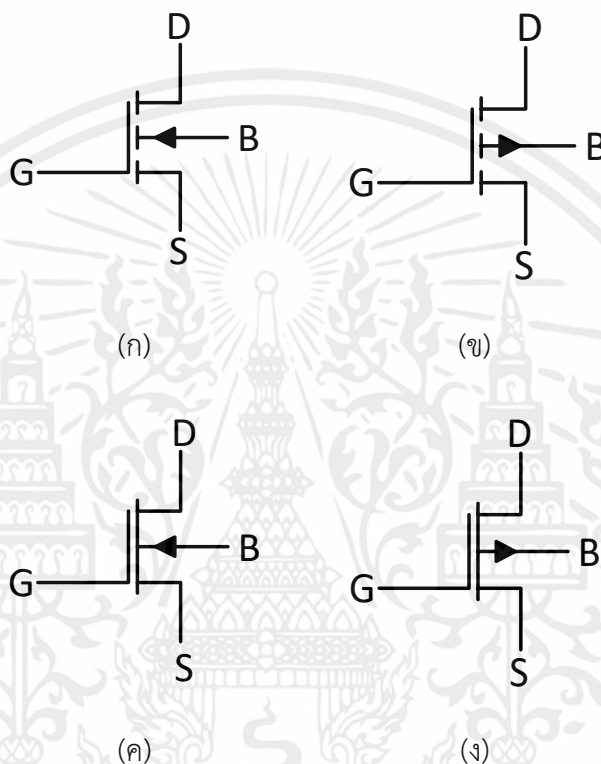
รูปที่ 2.5 แผนผังแท่งประจุในโครงสร้างตัวเก็บประจุแบบมอสขณะได้รับแรงดันไบอัส

Block Charge Diagram หรือแผนผังแท่งประจุ ขนาด และความกว้างของแผนผังแท่งประจุ สามารถใช้อธิบายคุณสมบัติของตัวเก็บประจุแบบมอสได้ดี และเนื่องจากปริมาณประจุไฟฟ้าสุทธิของ โครงสร้างมอสต้องมีค่าเป็นศูนย์ ตามกฎของเกาส์ พื้นที่รวมของประจุไฟฟ้าบวก และพื้นที่รวมประจุ ไฟฟ้าลบต้องเท่ากัน ($+Q = -Q$)

2.2 โครงสร้างและสัญลักษณ์ของมอสทรานซิสเตอร์

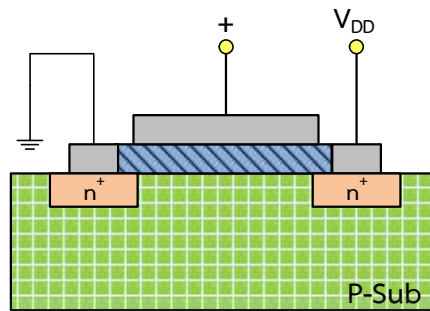
2.2.1 สัญลักษณ์ทางไฟฟ้าของมอสทรานซิสเตอร์ [5]

สัญลักษณ์ทางไฟฟ้าของมอสเฟท ประกอบด้วยขั้วไฟฟ้า 4 ขั้ว คือขั้วเดรน (Drain: D) ขั้วเกต (Gate: G) ขั้วซอส (Source: S) และขั้วฐานรอง (Bulk : B) จากส่วนประกอบที่กล่าวถึง สัญลักษณ์ของมอสทรานซิสเตอร์แสดงในรูปที่ 2.6



รูปที่ 2.6 สัญลักษณ์มอสเฟท (ก) แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็น (ข) แบบเอ็นฮานซ์เมนต์โหมดชนิดพี (ค) สัญลักษณ์มอสเฟทแบบดีพลีชันโหมดชนิดเอ็น (ง) แบบดีพลีชันโหมดชนิดพี

มอสทรานซิสเตอร์ (MOS Field Effect Transistor) หรือมอสเฟท (MOSFET) ได้มีการนำไปใช้อย่างแพร่หลาย โดยเฉพาะถูกพัฒนาให้อยู่ในรูปของวงจรรวม (Integrated Circuits) การประยุกต์ใช้งาน โดยใช้โครงสร้างส่วนเกตของทรานซิสเตอร์ เพื่ออาศัยผลของสนามไฟฟ้าเหนี่ยวนำประจุในสารกึ่งตัวนำ ทำให้เกิดชั้นกลับ (Inversion Layer) หรือเรียกว่า “ช่องทางเดินกระแส” (Channel) ซึ่งเป็นช่องทางเดินกระแสระหว่างขั้วซอส และขั้วเดรน ความหนาแน่นของประจุที่ถูกเหนี่ยวนำขึ้นมาในช่องทางเดินกระแสจะขึ้นกับแรงดันที่ขั้วเกต ดังนั้นแรงดันที่ขั้วเกตซึ่งเป็นแรงดันด้านอินพุตจึงสามารถควบคุมการนำกระแสระหว่างขั้วซอส และขั้วเดรน ซึ่งเป็นกระแสด้านเอาต์พุตได้ โครงสร้างของมอสทรานซิสเตอร์แสดงในรูปที่ 2.7



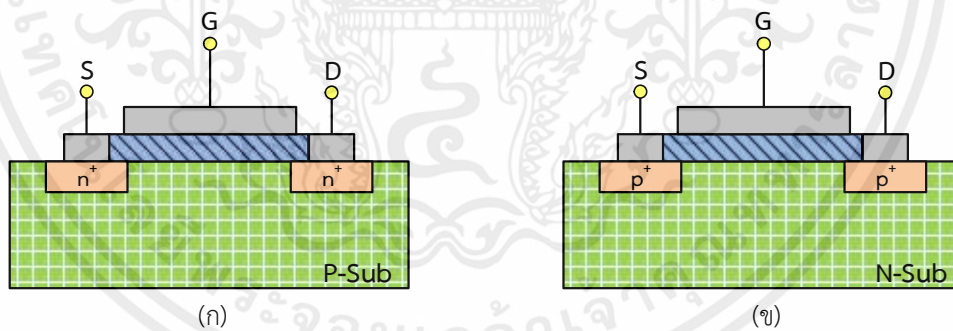
รูปที่ 2.7 โครงสร้างมอสทรานซิสเตอร์ชนิดเอ็น

2.2.2 ชนิดของมอสทรานซิสเตอร์

เมื่อพิจารณาจากโหมดการทำงาน และชนิดพาหะที่นำกระแส สามารถแบ่งมอสเฟตได้เป็นสองชนิดดังนี้

มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็น (n-Channel Enhancement Mode MOSFET) หรือเอ็นมอส (nMOS) คือมอสทรานซิสเตอร์ที่ทำงานโดยการนำไฟฟ้าของอิเล็กตรอน ดังแสดงในรูปที่ 2.8 (ก)

มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดที่มีช่องทางเดินกระแสชนิดพี (p-Channel Enhancement Mode MOSFET) หรือพีมอส (pMOS) คือมอสทรานซิสเตอร์ที่ทำงานโดยการนำไฟฟ้าของโฮลในช่องทางเดินกระแส ดังแสดงในรูปที่ 2.8 (ข)



รูปที่ 2.8 โครงสร้างมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์โหมด (ก) ชนิดเอ็น (ข) ชนิดพี

มอสทรานซิสเตอร์แบบดีพลีชันโหมดที่มีช่องทางเดินกระแสชนิดเอ็น (n-Channel Depletion Mode MOSFET) หรือเอ็นมอส (nMOS) คือมอสทรานซิสเตอร์ที่ทำงานโดยการนำไฟฟ้าของอิเล็กตรอนในช่องทางเดินกระแส ดังแสดงในรูปที่ 2.9 (ก)

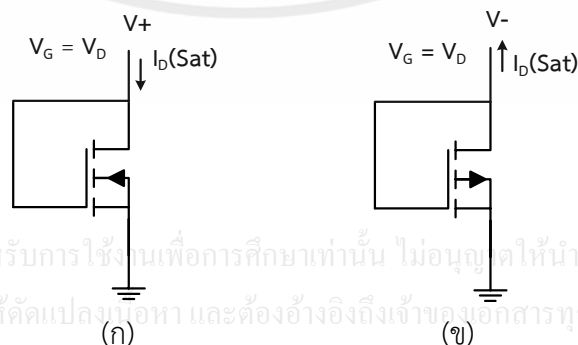
มอสทรานซิสเตอร์แบบดีพลีชันโหมดที่มีช่องทางเดินกระแสชนิดพี (p-Channel Depletion Mode MOSFET) หรือพีมอส (pMOS) คือมอสทรานซิสเตอร์ที่ทำงานโดยการนำไฟฟ้าของโฮลในช่องทางเดินกระแส ดังแสดงในรูปที่ 2.9 (ข)



รูปที่ 2.9 โครงสร้างมอสทรานซิสเตอร์ชนิดดีพลีชันโหมด (ก) ชนิดเอ็น (ข) ชนิดพี

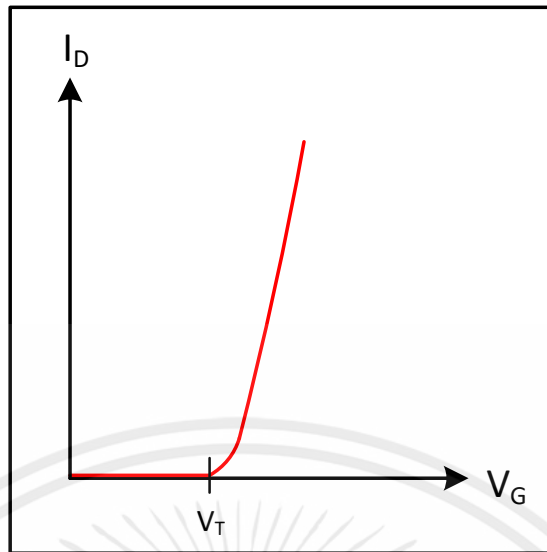
2.3 แรงดันขีดเริ่ม [7]

แรงดันขีดเริ่ม (Threshold Voltage: V_{th}) เป็นระดับแรงดันไฟฟ้าที่ป้อนให้กับขั้วเกตที่น้อยที่สุดซึ่งทำให้เกิดสถานะ “สตรองอินเวอร์ชัน” (strong inversion) เมื่อให้แรงดันไบอัสบวกที่ขั้วเกต พบว่า ส่วนขั้วเกตกับฐานรองจะแสดงตัวในลักษณะของตัวเก็บประจุ ประจุบวกจะถูกสะสมที่แผ่นโลหะ ของส่วนขั้วเกต และดึงดูดประจุลบขึ้นที่บริเวณผิวของสารกึ่งตัวนำ ทำให้เกิดเป็นช่องทางเดินกระแส และบริเวณปลอดพาหะ เมื่อเกิดภาวะสตรองอินเวอร์ชัน ถึงแม้ว่าจะเพิ่มแรงดันเกตขึ้น จะไม่มีผลกับการเปลี่ยนแปลงความหนาของบริเวณปลอดพาหะ แต่จะเกิดเป็นชั้นบางๆ ของอิเล็กตรอนเรียกว่า ช่องทางเดินกระแส ทำให้เกิดเป็นชั้นกลับ เชื่อมระหว่างส่วนขั้วซอสและส่วนขั้วเดรน ขนาดของช่องทางเดินกระแสสามารถทำให้เพิ่มขึ้นได้ด้วยการป้อนแรงดันไบอัสที่ขั้วเกต ซึ่งวิธีการวัดแรงดันขีดเริ่มในการวัดทดสอบแรงดันขีดเริ่มของมอสทรานซิสเตอร์ ทำได้โดยใช้งานวงจรดังแสดงในรูปที่ 2.10 (ก) ในกรณีทำการวัดแรงดันขีดเริ่มของมอสทรานซิสเตอร์ชนิดเอ็น โดยทำการเชื่อมต่อระหว่างขั้วเกตและขั้วเดรนร่วมกัน และทำการไบอัสแรงดันเดรนด้วยไฟบวก เมื่อกระแสเดรนมีการเปลี่ยนแปลงเป็นช่วงอิมิตัว จึงทำการอ่านค่าแรงดันขีดเริ่ม และในกรณีของมอสทรานซิสเตอร์ชนิดพี ดังแสดงในรูปที่ 2.10 (ข) สามารถใช้งานวงจรวัดทดสอบเหมือนกัน แต่ไบอัสด้วยแรงดันลบ หลังจากทำการทดสอบด้วยวงจรวัด ได้คุณลักษณะกระแสเดรน-แรงดันเกต ดังแสดงในรูปที่ 2.11



รูปที่ 2.10 วงจรวัดทดสอบแรงดันขีดเริ่มของมอสทรานซิสเตอร์ (ก) ชนิดเอ็น (ข) ชนิดพี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 กราฟความสัมพันธ์กระแสเดรนและแรงดันเกต

หรือในกรณีทำการออกแบบ สามารถหาแรงดันขีดเริ่มได้จากสมการที่ (2.1)

$$V_T = \phi_{ms} - \frac{Q_{dm}}{C_{ox}} + 2\phi_F \quad (2.1)$$

- ซึ่ง
- V_T คือ แรงดันขีดเริ่ม
 - ϕ_{ms} คือ ผลต่างเวิร์คฟังก์ชันของโลหะขั้วเกตกับสารกึ่งตัวนำ
 - Q_{dm} คือ ประจุในเนื้อสารกึ่งตัวนำ
 - C_{ox} คือ ค่าความจุไฟฟ้าภายในชั้นฉนวนขั้วเกต
 - $2\phi_F$ คือ ศักย์ไฟฟ้าที่ผิวโลหะขั้วเกต

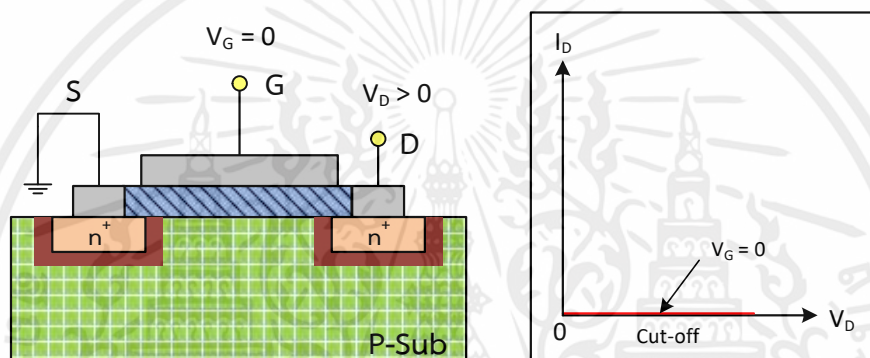
2.4 คุณสมบัติและการทำงานของมอสทรานซิสเตอร์

เมื่อพิจารณาผลของแรงดันขั้วเกตที่มีต่อการเกิดบริเวณปลอดพาหะ และการเกิดช่องทางเดินกระแสที่ผิวสัมผัสระหว่าง Si-SiO_2 และผลของแรงดันขั้วเกตกับแรงดันขั้วเดรนที่มีต่อกระแสเดรน โดยปกติมอสเฟทแบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็น ให้ไบอัสแรงดันที่ขั้วเกตเพื่อควบคุม ให้เกิดช่องทางเดินกระแสระหว่างขั้วซอสและขั้วเดรน ขั้วซอสต่อลงกราวด์ ส่วนขั้วเดรนจะได้รับแรงดันบวก ทำให้รอยต่อพี-เอ็นที่ส่วนขั้วเดรน เป็นไบอัสย้อนกลับ ในกรณีของมอสทรานซิสเตอร์ชนิดเอ็น แรงดันขั้วเกตกับขั้วเดรนจะมีค่าเป็นบวก ในที่นี้แรงดันเกตหมายถึงแรงดันที่ตกคร่อมระหว่างขั้วเกตและขั้วซอส ซึ่งอาจเขียนแทนได้ด้วย V_{GS} และแรงดันเดรน หมายถึงแรงดันตกคร่อมระหว่างขั้วเดรนและขั้วซอส ซึ่งเขียนแทนด้วย V_{DS}

2.4.1 ช่วงคัทออฟ

กรณี $V_G = 0$ และ $V_D > 0$

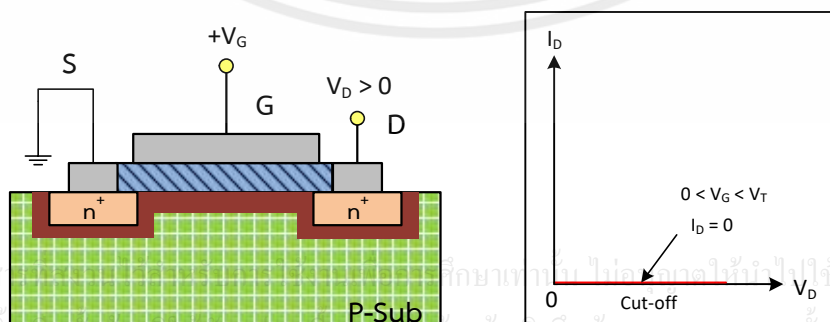
ขณะแรงดันที่ขั้วเกตเป็นศูนย์ ทำให้ไม่มีสนามไฟฟ้าเหนี่ยวนำในชั้นของออกไซด์ ดังนั้นที่ผิวสัมผัสระหว่าง $\text{SiO}_2\text{-Si}$ ในสารกึ่งตัวนำจะไม่มี การเปลี่ยนแปลงใดๆเกิดขึ้น ทำให้ไม่มีทั้งบริเวณชั้น ปลอดภัยและช่องทางเดินกระแสในย่านนี้ คงมีแต่บริเวณชั้นปลอดภัยที่มีอยู่รอบๆ รอยต่อพี-เอ็นของส่วนซอส-ฐานรอง และส่วนเดรนกับฐานรอง จึงทำให้มีกระแสเดรนค่าน้อยมากๆ เนื่องจาก ได้รับแรงดันไบอัสย้อนกลับ ประมาณได้ว่า $I_{DS} \approx 0$ แม้ว่าแรงดันเดรนจะเพิ่มขึ้นก็ตาม จากรูปที่ 2.12 ในขณะที่อยู่สถานะคัทออฟ แต่ถ้าชั้นฐานรองต่อเข้ากับขั้วซอส แรงดันเดรนมีค่าลบ ทำให้รอยต่อได้รับ ไบอัสตรง และมีกระแสเดรน โดยปกติจะไม่ให้แรงดันเดรนเป็นลบ



รูปที่ 2.12 การทำงานของมอสเฟตในช่วงคัทออฟ

กรณีที่ $0 < V_G < V_T$ และ $V_D > 0$

เมื่อมีการให้แรงดันเกตบวกค่าหนึ่ง แต่น้อยกว่าค่าแรงดันขีดเริ่ม หรือ $0 < V_G < V_T$ สนามไฟฟ้า ในชั้นออกไซด์ที่ได้รับแรงดันเกต เกิดการเหนี่ยวนำช่องทางเดินกระแส และทำให้เกิดเป็นบริเวณ ปลอดภัยขึ้นในสารกึ่งตัวนำที่อยู่ใต้ขั้วเกต ในกรณีนี้ ขั้วซอส และขั้วเดรน ยังคงถูกแยกจากกันด้วย ชั้นของบริเวณปลอดภัยที่เกิดขึ้นใต้ขั้วเกต เมื่อแรงดันเดรนเพิ่มขึ้น กระแสเดรนมีค่าน้อยมาก ในภาวณี้มอสทรานซิสเตอร์ยังอยู่ในสถานะ Off หรือสภาวะ “คัทออฟ” เช่นเดิม แสดงดังรูปที่ 2.13



รูปที่ 2.13 การทำงานของมอสเฟต เมื่อ $0 < V_G < V_T$ และ V_D มากกว่า 0 เล็กน้อย

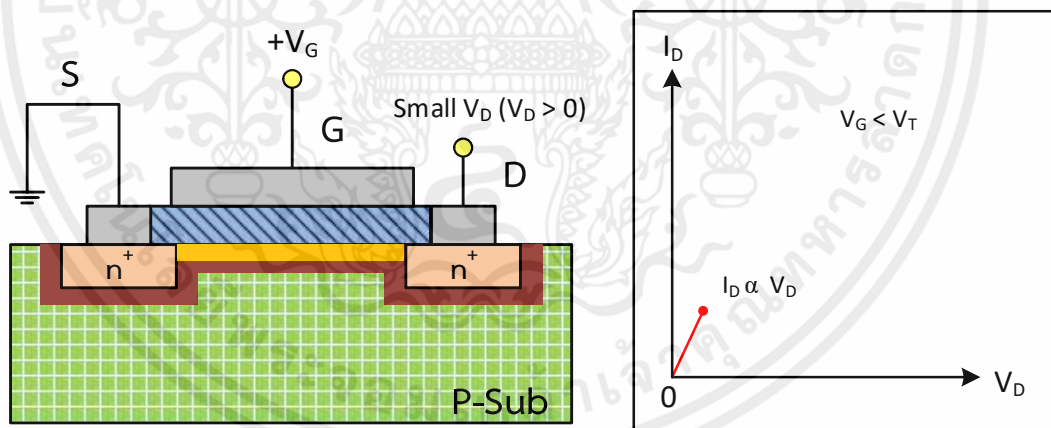
2.4.2 ช่วงเชิงเส้น

กรณี $V_G > V_T$ และ V_D มีค่าน้อย

ขณะที่สนามไฟฟ้าในชั้นฉนวนออกไซด์จากแรงดันเกตมีค่ามากพอ จะเหนี่ยวนำให้เกิดชั้นกลับ (inversion layer) หรือช่องทางเดินกระแสชนิดเอ็น ในสารกึ่งตัวนำที่ผิวสัมผัสบริเวณใต้ ขั้วเกต ช่องทางเดินกระแสจะมีลักษณะเป็นแผ่นประจุบางๆ (Sheet of Charge) ภายในช่องทางเดินกระแสมีอิเล็กตรอนที่ถูกเหนี่ยวนำ โดยขึ้นกับสนามไฟฟ้าในชั้นออกไซด์ดังแสดงในรูปที่ 2.14 หรือแรงดันตกคร่อมชั้นออกไซด์ เมื่อแรงดันเกตคงที่ และ $V_{DS} = 0$ โวลต์ แรงดันตกคร่อมชั้นออกไซด์จะมีค่าเท่ากันทุกจุด แต่เมื่อแรงดันเดรนเป็นบวก และสูงกว่าแรงดันซอส สนามไฟฟ้าในชั้นออกไซด์ที่ห่างจากขั้วซอสจะมีค่าลดลง ทำให้ความหนาแน่นอิเล็กตรอนในช่องทางเดินกระแสช่วงที่เข้าใกล้เดรนน้อยลง ดังแสดงในสมการ (2.2)

$$I_D = \frac{V_D}{R_{n-ch}} \quad (2.2)$$

ซึ่ง I_D คือ กระแสเดรน
 V_D คือ แรงดันเดรน
 R_{n-ch} คือ ความต้านทานภายในช่องทางเดินกระแส



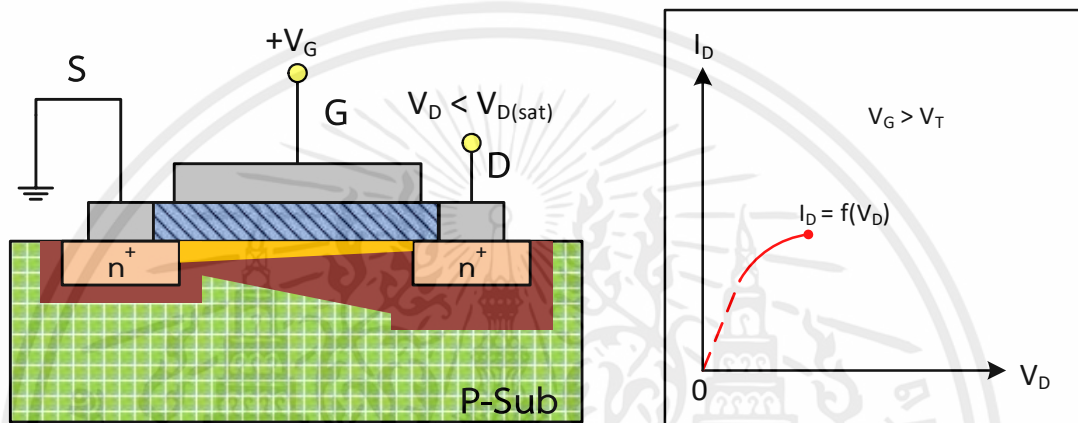
รูปที่ 2.14 การทำงานของมอสเฟต เมื่อ $V_G > V_T$ และ V_D มีค่าน้อย

ขณะที่แรงดันเดรนเพิ่มขึ้นในช่วงต่ำๆ กระแสเดรนจะเพิ่มเป็นเชิงเส้น จึงเรียกการทำงานช่วงนี้ว่า ช่วงเชิงเส้น ในช่วงนี้กระแสเดรนเพิ่มขึ้นกับแรงดันเดรน เป็นสัดส่วน และมีค่าเพิ่มขึ้นเมื่อแรงดันเกตเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีที่ $V_G > V_T$ และ V_D มีค่าสูงขึ้นแต่ $V_D < V_{D(sat)}$

เมื่อแรงดันเดรนมีค่าสูงขึ้น ความต่างศักย์ระหว่างขั้วซอสและขั้วเดรน จะทำให้ที่ตำแหน่งต่างๆ ในช่องทางเดินกระแส มีศักย์ไฟฟ้าไม่เท่ากัน ที่ปลายด้านขั้วซอส ยังคงมีค่าเป็นศูนย์โวลต์ เมื่อตำแหน่งห่างออกจากด้านขั้วซอส หรือใกล้เข้าไปทางด้านขั้วเดรน ศักย์ไฟฟ้าจะมีค่าเป็นบวกเพิ่มขึ้น ค่าสูงสุดที่ตำแหน่งปลายด้านเดรนคือ $+V_D$ ดังนั้นแรงดันระหว่างขั้วเกต และช่องทางเดินกระแส (แรงดันที่ตกคร่อมชั้นออกไซด์) ตลอดความยาวของช่องทางเดินกระแสจะมีค่าไม่เท่ากัน ที่ปลายด้านขั้วซอส แรงดันตกคร่อมชั้นออกไซด์ จะมีค่าสูงสุด หรือเท่ากับ V_G ดังแสดงในรูปที่ 2.15



รูปที่ 2.15 การทำงานของมอสเฟต เมื่อ $V_G > V_T$ และ $V_D < V_{D(sat)}$

2.4.3 ช่วงกระแสอิ่มตัว

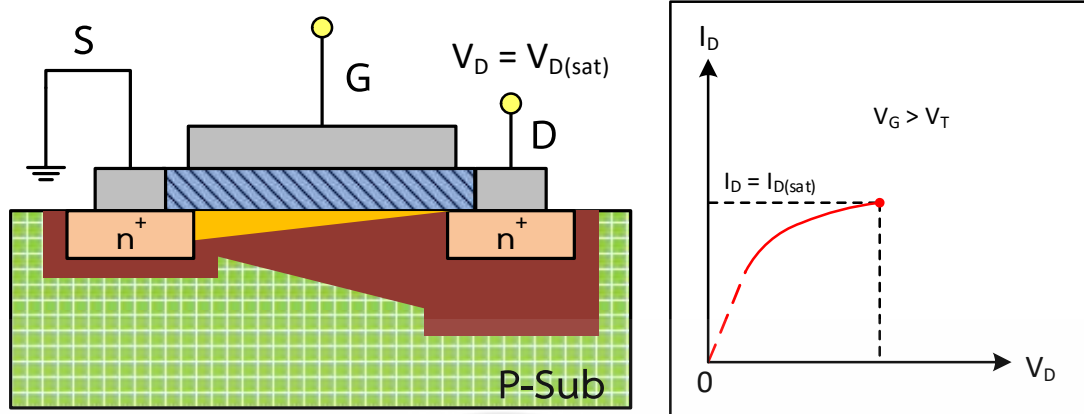
กรณีที่ $V_G > V_T$ และ $V_D = V_{D(sat)}$

เมื่อแรงดันเดรนเพิ่มขึ้น จนทำให้แรงดันที่ตกคร่อมชั้นออกไซด์ที่ตำแหน่งปลายด้านเดรนมีค่าเท่ากับแรงดันขีดเริ่มพอดิ ($V_G - V_D$) = V_T ช่องทางเดินกระแสที่ปลายด้านเดรน มีขนาด-ลดลงจนขาดออกพอดิ เรียกสภาวะนี้ว่า “ภาวะพินช์ออฟ” (pinch off) โดยบริเวณปลอดพาหะที่รอยต่อพี-เอ็น รอบๆ ส่วนเดรนจะมีขนาดกว้างมากกว่าด้านซอส ดังแสดงในรูปที่ 2.16 ค่าของแรงดันเดรนที่พอดิทำให้เริ่มเกิดภาวะพินช์ออฟ เรียกว่า แรงดันเดรนอิ่มตัว (Saturation drain voltage: $V_{D(Sat)}$) หรือเรียกว่าแรงดันพินช์ออฟ ดังแสดงในสมการที่ (2.3)

$$V_{D(sat)} = V_g - V_t \quad (2.3)$$

เอกสารนี้เป็นเอกสารที่ $V_{D(sat)}$ คือ แรงดันเดรนอิ่มตัว เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น V_G ทั้งที่คือ แรงดันที่ขั้วเกต

V_T คือ แรงดันขีดเริ่ม



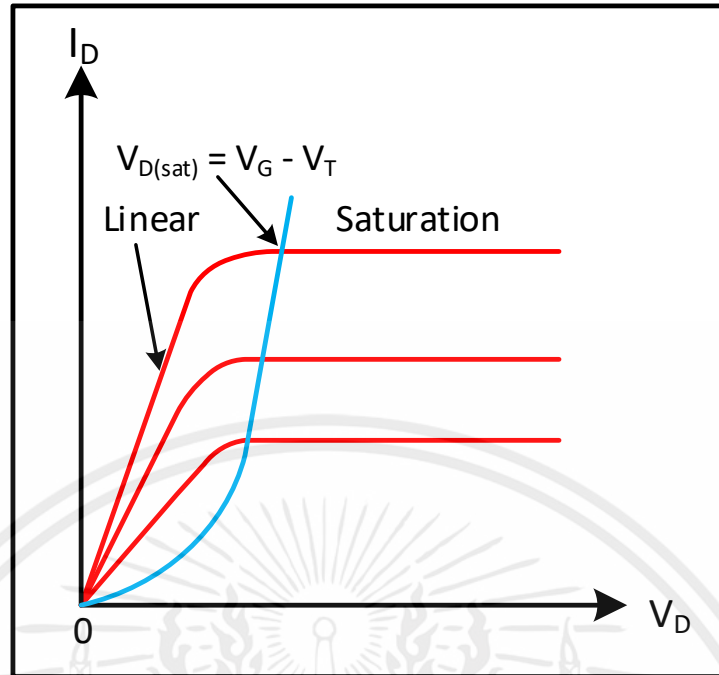
รูปที่ 2.16 การทำงานของมอสเฟต เมื่อ $V_G > V_T$ และ $V_D < V_{D(sat)}$

ขณะที่ช่องทางเดินกระแสได้ขาดออกพอดี บริเวณตำแหน่งปลายด้านหัวแตรนของมอสทรานซิสเตอร์ ในภาวะนี้จึงอยู่ในภาวะพินซ์ออฟ กล่าวคือ เมื่ออิเล็กตรอนในช่องทางเดินกระแสถูกดริฟท์ (Drift) โดยสนามไฟฟ้าจากด้านซอสมาทางด้านแตรน และเมื่อมาถึงปลายของช่องทางเดินกระแสที่จุดพินซ์ออฟ สนามไฟฟ้าค่าสูงที่ตกคร่อมในช่องแคบๆของบริเวณหลอดพาหะระหว่างปลายของช่องทางเดินกระแสและส่วนแตรน จะดึงให้อิเล็กตรอนที่ส่วนปลายของช่องทางเดินกระแส ข้ามบริเวณหลอดพาหะไปยังส่วนแตรน ดังนั้นกระแสแตรนยังคงไหลได้ แต่ขนาดของกระแสแตรน จะถูกจำกัดด้วยปริมาณอิเล็กตรอนที่ถูกดึงหรือฉีดข้ามบริเวณหลอดพาหะดังกล่าว หรืออาจถูกจำกัดด้วยค่าความต้านทานประสิทธิผล (Effective resistance) ของช่องทางเดินกระแส เมื่อแรงดันแตรนเพิ่มขึ้นกระแสแตรนจะมีค่าเพิ่มขึ้นอย่างชะลอตัว จนกระทั่งเมื่อถึงค่า $V_{D(sat)}$ กระแสแตรนจะมีค่าสูงสุด เรียกว่า “กระแสแตรนอิ่มตัว” (Saturation drain current: $I_{D(sat)}$) ซึ่งสามารถหาได้จากสมการที่ (2.4) และสามารถสรุปเป็นกราฟคุณลักษณะกระแสและแรงดัน ดังแสดงในรูปที่ 2.17

$$I_{D(Sat)} = \frac{V_{D(Sat)}}{R_{eff(n-ch)}} \quad (2.4)$$

- ซึ่ง $I_{D(sat)}$ คือ กระแสแตรนอิ่มตัว
 $V_{D(sat)}$ คือ แรงดันแตรนอิ่มตัว
 $R_{eff(n-ch)}$ คือ ความต้านทานภายในช่องทางเดินกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 คุณลักษณะกระแสและแรงดันของมอสทรานซิสเตอร์

ความสัมพันธ์ระหว่างกระแสเดรน (I_D) และแรงดันเดรน (V_D) ในกรณีที่แรงดันที่ขั้วเกตคงที่ และมอสทรานซิสเตอร์ทำงานในย่านอิ่มตัว แสดงได้ดังรูปที่ 2.17 ซึ่งเป็นกราฟความสัมพันธ์ระหว่างกระแสเดรน และแรงดันเดรน ซึ่งเปลี่ยนค่า V_G โดยที่ $V_{G1} < V_{G2} < V_{G3} < V_{G4} \dots$

การทำงานของมอสทรานซิสเตอร์จะเป็นลักษณะของการใช้แรงดันไฟฟ้าที่ขั้วเกต เพื่อควบคุมปริมาณการไหลของกระแสเดรน สมการกระแสเดรนของมอสทรานซิสเตอร์ถูกคิดขึ้นโดย Sah, H. Shichman และ D. Hodges ดังสมการที่ (2.5)

$$I_{D(sat)} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_t)^2 (1 + \lambda V_{ds}) \quad (2.5)$$

ซึ่ง μ คือ ความคล่องตัวพาหะ

C_{ox} คือ ค่าความจุไฟฟ้าภายในเกตออกไซด์

V_{gs} คือ แรงดันเกตเทียบซอส

V_t คือ แรงดันเทรชโฮลด์

V_{ds} คือ แรงดันเดรนเทียบซอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 λ คือ การมอดูเลชันของความยาวช่องทางเดินกระแส
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมีเหตุผลแบบสงวนเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

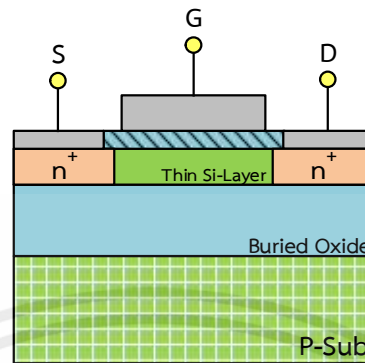
2.5 ทรานซิสเตอร์สนามไฟฟ้าชนิดฟิน

2.5.1 วิวัฒนาการของฟินเฟท

แนวคิดเบื้องต้นของทรานซิสเตอร์สนามไฟฟ้า (FET) ได้รับการจดสิทธิบัตรโดย Julius Edgar Lilienfeld ใน ค.ศ. 1930 แต่ไม่ได้รับการดำเนินการในขณะนั้น เนื่องจากไม่มีความเป็นไปได้ในทางปฏิบัติ และหลังจากนั้นได้มีการสร้างชิ้นออกไซด์ด้วยระบบไอน้ำความดันสูงโดย Dawon Kahng และ Martin M. Atalla เพื่อสร้างโครงสร้างมอสเฟทครั้งแรกในปี ค.ศ. 1960 ต่อมาในปี ค.ศ. 1963 Andy Grove Bruce Deal และ Ed Snow ทำการพัฒนากระบวนการสร้างมอสเฟททางการค้าที่มีความเสถียรภาพสูงเป็นครั้งแรก จากช่วงทศวรรษ 1960 โครงสร้างมอสเฟทแบบพลาสมาได้รับการประยุกต์เป็นวงจรรวม เพื่อให้ราคาถูกลงและมีประสิทธิภาพดีสำหรับการใช้งานทางดิจิทัล การประมวลผลสัญญาณ การขยายสัญญาณ การคำนวณและอุปกรณ์จัดเก็บข้อมูล ในช่วงทศวรรษ 1980 มอสเป็นเทคโนโลยีที่มีความโดดเด่นในอุตสาหกรรมไมโครอิเล็กทรอนิกส์ และได้รับการปรับลดขนาดลงตามช่วงของเทคโนโลยีการผลิต ส่งผลให้มีความมั่นคงในการปรับปรุงประสิทธิภาพของวงจรรวม ความหนาแน่นในการทำงานจรรวม และต้นทุนต่อฟังก์ชันใช้งาน ความยาวขั้วเกตของมอสเฟท ได้รับการปรับลดขนาดจากช่วงไมครอน (μm) ไปจนถึงระดับหลักสิบนานาเมตร มอสเฟทแบบฐานร่องซิลิคอนที่มีขนาดในระดับนาโนเมตร ประสบปัญหาการเพิ่มขึ้นของกระแสปิด (I_{OFF}) เนื่องจากผลกระทบจากปรากฏการณ์ช่องทางเดินกระแสสั้น (Short channel effect: SCE) มีหนึ่งวิธีที่ทำให้ลดการเกิด SCE คือการลดความหนาแน่นออกไซด์ขั้วเกต แต่การที่ขั้วเกตบาง ทำให้มีกระแสรั่วสูงขึ้น อุปกรณ์ที่มีขนาดระดับนาโนเมตร ควรมีความต้านทานต่ำ ความลึกรอยต่อ ซอสและเดรนที่ตื้น ชั้นเกตออกไซด์ใช้วัสดุค่าไดอิเล็กตริกสูงที่มีความบางมาก และโลหะขั้วเกตที่มีค่าความต้านทานต่ำ เพื่อให้ตรงกับข้อมูลจำเพาะของ International Technology Roadmap for Semiconductors (ITRS)

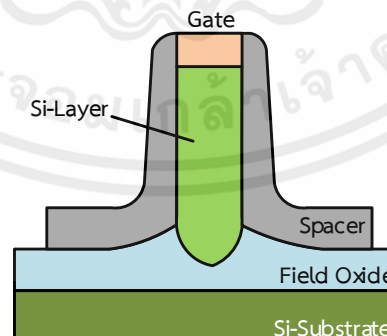
จากความต้องการนี้ ทำให้ทราบว่าการลดขนาดช่องทางเดินกระแสของมอสเฟทแบบเดิมไปสู่ขนาด 20 นาโนเมตรเป็นสิ่งที่เป็นไปได้ เทคโนโลยีหนึ่งที่เป็นตัวเร่งสำหรับการเข้าสู่ยุคใหม่ของเทคโนโลยีคือโครงสร้างของอุปกรณ์ โครงสร้างของอุปกรณ์ระดับสูงประกอบด้วย โครงสร้างซิลิคอนที่มีความบางมากบนฉนวน (SOI) ทรานซิสเตอร์เกตเดี่ยว และทรานซิสเตอร์สองหรือสามเกต (หลายเกต) ทั้งคู่เป็นอุปกรณ์ที่มีความยืดหยุ่นการปรับลดขนาดได้ดีกว่ามอสเฟทแบบคลาสสิก ดังนั้นสถาปัตยกรรมของอุปกรณ์ที่มีการปรับลดขนาด จึงเป็นประโยชน์ในการสร้างอุปกรณ์ มอสเฟทแบบสองเกต ซึ่งประกอบด้วยขั้วเกตบนและล่าง หรือขั้วและขวา ได้รับการยอมรับในเรื่องของการควบคุม SCE มอสเฟทแบบสามเกตได้แสดงพฤติกรรมเหมือนกับมอสเฟทแบบสองเกต แต่มีขั้วเกตสามด้านบนโครงสร้างรูปทรงสี่เหลี่ยมผืนผ้า เรียกว่า “ฟินเฟท” จนกระทั่งฟินเฟทกลายเป็นเทคโนโลยีที่มีความโดดเด่นในด้านการผลิตที่มีความง่าย และเข้ากันได้กับรูปแบบการผลิตมอสเฟท

การพัฒนาโครงสร้างมอสเฟตแบบคลาสสิกหรือ Bulk MOSFET ให้เป็นโครงสร้างแบบบาง (Thin Body) เป็นรูปแบบโครงสร้างเบื้องต้นแสดงในรูปที่ 2.18



รูปที่ 2.18 โครงสร้างมอสเฟตแบบบางมาก (Ultra-thin body: UTB)

โครงสร้างมอสเฟตแบบ UTB นำไปสู่การพัฒนาทรานซิสเตอร์สนามไฟฟ้าแบบฟิน หรือฟินเฟต ซึ่งเริ่มมีการทดลองสร้างและนำเสนอโดย D. Hisamoto T. Kaga Y. Kawamoto และ E. Takeda ทีมนักวิจัยจาก Hitachi Central Research Laboratory โดยตีพิมพ์บทความลงใน IEEE Electron Device Letters ฉบับที่ 11 ปี ค.ศ. 1990 ในหัวข้องานวิจัย A fully depleted lean-channel transistor (DELTA) – a novel vertical ultrathin SOI MOSFET [8] บทความได้นำเสนอโครงสร้างมอสเฟตที่มีลักษณะเป็นแนวตั้งแยกตัวจากฐานรองด้วยชั้นฉนวน SiO_2 โดยมีชั้นเกตพาดอยู่บนโครงสร้างมอสที่มีลักษณะแนวตั้ง โดยผู้วิจัยให้ชื่อโครงสร้างนี้ว่า DELTA ดังแสดงในรูปที่ 2.19 ผลการทดลองได้ให้โครงสร้างทรานซิสเตอร์ที่มีความยาวเกต 0.57 ไมโครเมตร และมีความกว้างเกตน้อยกว่า 0.3 ไมโครเมตร และยังสามารถควบคุมเกตได้ดีขึ้นอีกด้วย



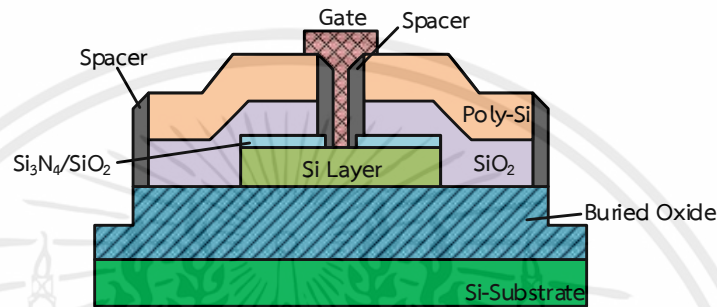
รูปที่ 2.19 โครงสร้างเดลต้าเฟตของ D. Hisamoto

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในห้องปฏิบัติการเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกหรือทำซ้ำ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

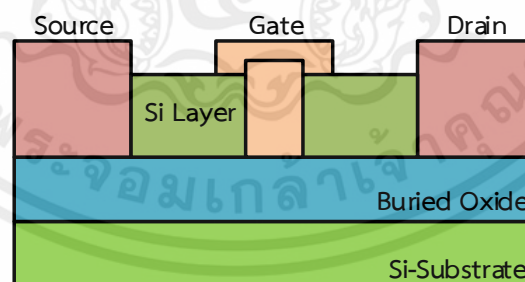
ในปี ค.ศ. 1998 กลุ่มผู้วิจัยเดิมทำการทดลองสร้างโครงสร้างฟินเฟตชนิดเอ็น (n-Channel FinFET) สำเร็จ และตีพิมพ์งานวิจัยในหัวข้อ A folded-channel MOSFET for deep-sub-tenth

micron era [9] โดยผลการทดลองในงานวิจัยนี้แนะนำเสนอโครงสร้างฟินเฟทชนิดเอ็น ที่มีความยาวเกท 30 นาโนเมตรแสดงดังรูปที่ 2.20 และทดลองสร้างฟินเฟทที่มีความยาวเกท 17 นาโนเมตรได้สำเร็จ ต่อมาในปี 2000 วงการอุตสาหกรรมได้ให้ความสนใจในการวิจัยและนำมาผลิตเป็นผลิตภัณฑ์ โดยบริษัท Semiconductor Research Corporation (SRC) และ Advance Micro Device (AMD) ได้ลงทุนกับการพัฒนากระบวนการสร้างฟินเฟทให้เข้ากันได้กับกระบวนการสร้างซีมอสแบบพลาสมา พร้อมทั้งการแนะนำโครงสร้างฟินเฟทที่เข้ากันได้กับกระบวนการผลิต



รูปที่ 2.20 โครงสร้างดับเบิลเกทฟินเฟทชนิดเอ็น

จากการวิจัยอย่างต่อเนื่องในปี ค.ศ. 2001 Y.-K. Choi และผู้ร่วมวิจัยได้นำเสนอโครงสร้างฟินเฟทที่มีความยาวเกท 15 นาโนเมตร ในหัวข้องานวิจัย Sub-20nm CMOS FinFET Technologies [10] โดยงานวิจัยนี้ได้แนะนำคุณลักษณะทางไฟฟ้าของโครงสร้างฟินเฟท ซึ่งโครงสร้างซีมอสในงานวิจัยนี้ประกอบด้วย โครงสร้างฟินเฟทชนิดเอ็น และชนิดพี โดยมีความยาวเกท 15 นาโนเมตร ดังแสดงในรูปที่ 2.21

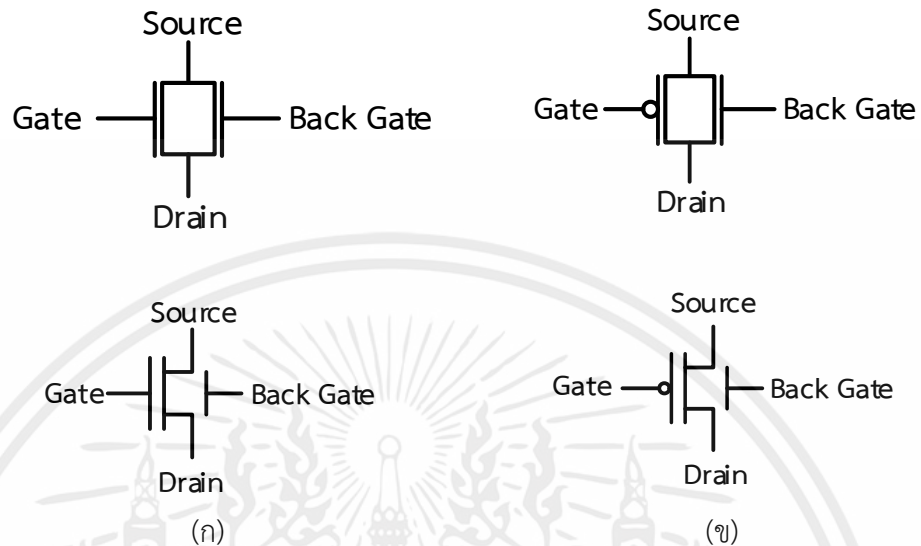


รูปที่ 2.21 โครงสร้างฟินเฟทสามเกท

ตั้งแต่ ค.ศ. 1990 จนถึงปัจจุบัน ผลิตภัณฑ์ทางอุตสาหกรรมได้นำโครงสร้างฟินเฟทเข้ามาใช้งาน แทนโครงสร้างมอสเฟทแบบบางมาก (Ultra-Thin-Body MOSFET) อย่างแพร่หลาย และในทางด้านการวิจัยยังคงมีการพัฒนาและเผยแพร่กันอย่างต่อเนื่อง เนื่องจากเทคโนโลยีในปัจจุบันมีความต้องการในการลดขนาดของอุปกรณ์อย่างมาก และฟินเฟทได้ตอบสนองความต้องการที่ได้กล่าวมา

2.5.2 โครงสร้างและสัญลักษณ์ของฟินเฟท

2.5.2.1 สัญลักษณ์ทางไฟฟ้าของฟินเฟท [11]



รูปที่ 2.22 สัญลักษณ์ฟินเฟท (ก) ชนิดเอ็น และ (ข) ชนิดพี

จากรูปที่ 2.22 ประกอบด้วยขั้วไฟฟ้าสำหรับต่อใช้งาน 4 ขั้วคือ ขั้วเกต (Gate) ขั้วฐานรอง (Back Gate) ขั้วซอส (Source) และขั้วเดรน (Drain) จากรูปที่ 2.22 (ก) แสดงสัญลักษณ์ฟินเฟทชนิดเอ็น และรูปที่ 2.22 (ข) แสดงฟินเฟทชนิดพี โดยฟินเฟทชนิดพี มีสัญลักษณ์วงกลมบริเวณขั้วเกต

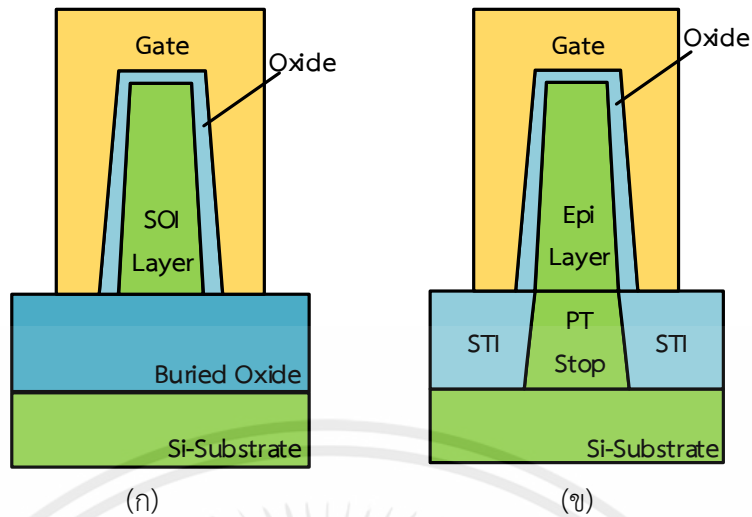
2.5.2.2 โครงสร้างของฟินเฟท

โครงสร้างฟินเฟทแบบเอสโอไอ (SOI FinFET)

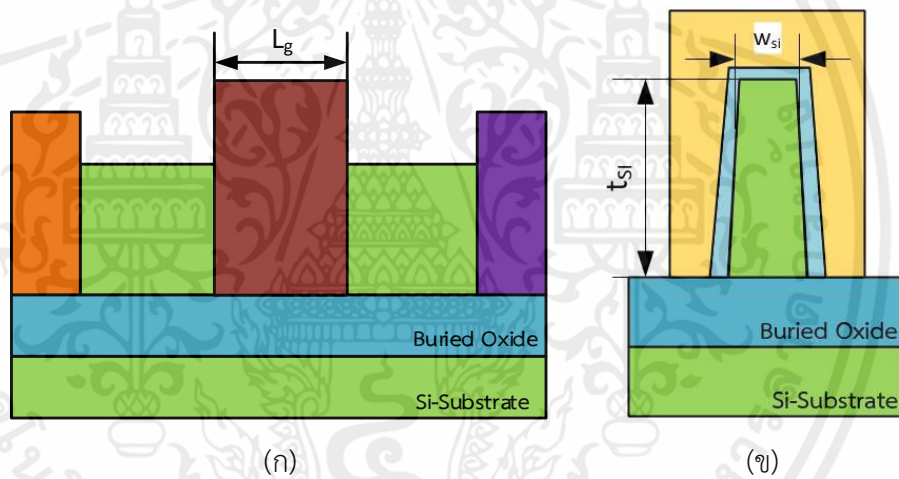
อีกหนึ่งรูปแบบโครงสร้างของฟินเฟทประกอบด้วยฐานรองแบบ Silicon-on-insulator (SOI) ซึ่งมีการวิจัยและพัฒนาตั้งแต่เริ่มต้น ประกอบด้วยชั้นฐานรองซิลิคอน ชั้นออกไซด์ฝัง ชั้นซิลิคอนบนฉนวน ฉนวนเกต และชั้นตัวนำเกต ดังแสดงในรูปที่ 2.23 (ก)

โครงสร้างฟินเฟทแบบฐานรอง (Bulk)

ฟินเฟทจัดเป็นทรานซิสเตอร์ที่มีโครงสร้างมอสทรานซิสเตอร์เป็นต้นแบบ แต่มีโครงสร้างในลักษณะสามมิติ โครงสร้างฟินเฟทในมุมมองภาคตัดขวาง ประกอบด้วยชั้นฐานรองซิลิคอน ชั้นฉนวนออกไซด์ฝัง (STI) ชั้นอิพิทาซี (ชั้นซิลิคอนฟิน) ชั้นเกตออกไซด์ และชั้นหน้าสัมผัสเกต และเพื่อการป้องกันไม่ให้เกิดผลกระทบจากฐานรอง มีการใช้เทคนิคการฝังประจุเพื่อป้องกันพันซ์ทรู (Punch-through stop: PTS) ดังแสดงในรูปที่ 2.23 (ข)



รูปที่ 2.23 โครงสร้างฟิล์มแบบ (ก) SOI (ข) Bulk



รูปที่ 2.24 ตัวแปรบนโครงสร้างฟิล์ม

จากรูปที่ 2.24 ลักษณะทางกายภาพของโครงสร้างฟิล์ม ประกอบด้วยตัวแปรสำคัญดังนี้

- L_g คือ ค่าความยาวขั้วเกต
- w_{si} คือ ความกว้างชั้นซิลิคอน
- t_{si} คือ ความหนาชั้นซิลิคอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น เนื่องจากฟิล์มเพท มีโครงสร้างในลักษณะสามมิติ จึงไม่ปรากฏค่าความกว้างช่องทางเดินกระแส เหมือนกับมอสเฟท จากตัวแปรสำคัญสามารถนำมาคำนวณหาค่า W_g ได้ดังสมการที่ (2.6)

$$W_g = 2t_{si} + w_{si} \quad (2.6)$$

ซึ่ง W_g คือ ความกว้างช่องทางเดินกระแส

t_{si} คือ ความหนาชั้นซิลิคอน

w_{si} คือ ความกว้างชั้นซิลิคอน

โครงสร้างฟินเฟททั้งสองแบบมีทั้งข้อดีข้อเสียต่างกัน สามารถสรุปได้ดังตารางที่ 2.1

ตารางที่ 2.1 เปรียบเทียบข้อดีและข้อเสียของฟินเฟทแบบ bulk และแบบ SOI [12]

Bulk		Silicon-on-Insulator (SOI)	
ข้อดี	ข้อเสีย	ข้อดี	ข้อเสีย
ต้นทุนต่ำ	ใช้พื้นที่ของอุปกรณ์มาก	ใช้พื้นที่ของอุปกรณ์น้อย	ต้นทุนการผลิตสูง
ขั้นตอนในกระบวนการผลิตไม่ซับซ้อน	ได้รับผลกระทบจากฐานรอง	ผลกระทบจากฐานรองน้อย	ขั้นตอนในกระบวนการผลิตซับซ้อน
ไม่ได้รับผลกระทบจาก self-heating phenomenon ในกระบวนการผลิต	ได้รับผลกระทบจาก Short channel effect	ลดการเกิด short channel effect	ได้รับผลกระทบจาก อุณหภูมิสูงในกระบวนการผลิต
มีการทำกระบวนการลิโธกราฟฟีน้อยกว่า	กระแสรั่วสูง	สามารถทำงานได้ดีกับวงจรความถี่สูง	ให้อุณหภูมิสูงขณะทำงาน

2.6 การทำงานและคุณลักษณะทางไฟฟ้าของฟินเฟท

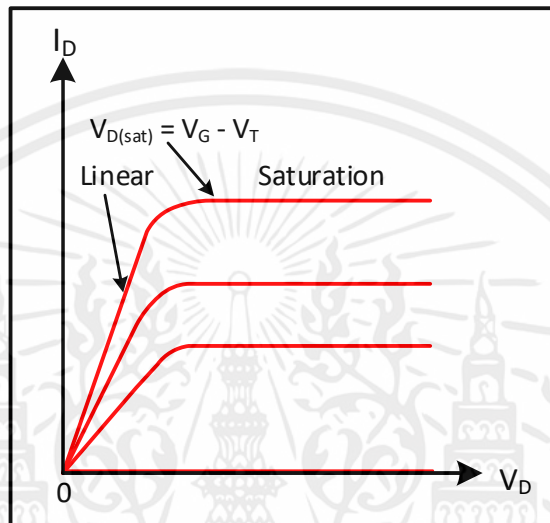
2.6.1 การทำงานเบื้องต้นของฟินเฟท [13]

ฟินเฟทมีการทำงานเหมือนกับมอสเฟท แต่การทำงานบนพื้นผิวซิลิคอนขนาดเล็กด้วยหลักการอิเล็กทรอนิกส์ทันเนลลิง (Electron Tunneling) การเกิดช่องทางเดินกระแส และการทำงานยังคงไม่ต่างกันไม่ว่ากรณีใดก็ตาม การทำงานของฟินเฟท ให้คุณลักษณะทางไฟฟ้า เช่น คุณลักษณะกระแส-แรงดัน คุณลักษณะกระแส-แรงดันเกต และคุณลักษณะความจุไฟฟ้า-แรงดันเกต

2.6.2 คุณสมบัติทางไฟฟ้าของฟิสิกส์

2.6.2.1 คุณสมบัติทางกระแส - แรงดัน

คุณลักษณะนี้เหมือนกับมอสเฟตทุกประการ สิ่งที่แตกต่างกัน คือ ค่าแรงดันเดรน และผลของกระแสที่ได้ เนื่องจากฟิสิกส์เป็นอุปกรณ์ขนาดเล็ก แม้ว่าจะประกอบด้วยเกตหลายเกต แต่ผลกระแสยังคงต่ำกว่า ซึ่งสามารถวิเคราะห์แต่ละช่วงการทำงานได้ดังนี้



รูปที่ 2.25 กราฟคุณลักษณะกระแส - แรงดันของฟิสิกส์

ช่วงคัทออฟ

ช่วงการทำงานแบบคัทออฟ คือ ช่วงที่ $V_g < V_t$ ดังนั้นไม่มีการเกิดช่องทางเดินกระแสระหว่างซอสและเดรน ในกรณีความเข้มข้นของอิเล็กตรอนต่ำ เนื่องมาจากการที่มีสนามไฟฟ้าต่ำตามแนวของช่องทางเดินกระแส ทำให้กระแสซบเทรโซลต์ ตกค้างเป็นส่วนมากจากการแพร่ของพาหะ สามารถวิเคราะห์กระแสเดรนช่วงการทำงานนี้ได้จากสมการที่ (2.7)

$$I_{DS} = \mu \frac{W}{L_g} kT n_{t,si} e^{\frac{q(V_g - \Delta\phi)}{kT}} \left(1 - e^{-\frac{qV_{ds}}{kT}} \right) \quad (2.7)$$

ซึ่ง I_{DS} คือ กระแสเดรน (ช่วงคัทออฟ)

μ คือ ความคล่องตัวพาหะ

L_g คือ ความยาวเกต

K คือ ค่าคงที่โบทซ์มันต์

T คือ อุณหภูมิ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้เผยแพร่หรือแจกจ่ายต่อผู้อื่นโดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- n_i คือ ความเข้มข้นอินทรินซิก
 t_{si} คือ ความหนาชั้นซิลิคอนฟอสฟอรัส
 q คือ ค่าคงที่ประจุไฟฟ้า
 V_g คือ แรงดันเกต
 $\Delta\phi$ คือ ผลต่างเวิร์คฟังก์ชันของวัสดุ
 V_{ds} คือ แรงดันเดรนเทียบซอร์ส

ช่วงเชิงเส้น

การไบอัสโครงสร้างฟินเฟต โดยให้ $V_g > 0$ เล็กน้อย และ $V_d > 0$ เล็กน้อย หรือ ช่วงที่ I_{ds} แปรผันตาม V_{ds} สามารถวิเคราะห์กระแสเดรนในช่วงเชิงเส้นจากสมการที่ (2.8)

$$I_{ds} = 2\mu C_{ox} \frac{W}{L} \left(V_g - V_t - \frac{V_{ds}}{2} \right) V_{ds} \quad (2.8)$$

- ซึ่ง I_{ds} คือ กระแสเดรน (ช่วงเชิงเส้น)
 C_{ox} คือ ค่าความจุไฟฟ้าเกตออกไซด์
 V_g คือ แรงดันเกต
 V_t คือ แรงดันชัตเริ่ม
 V_{ds} คือ แรงดันเดรนเทียบซอร์ส

จากตัวแปร C_{ox} ในสมการที่ 2.8 สามารถหาค่าได้จาก สมการที่ (2.9)

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.9)$$

- ซึ่ง C_{ox} คือ ค่าความจุไฟฟ้าเกตออกไซด์
 ϵ_{ox} คือ ค่าเปอร์มิตติวิตีของออกไซด์
 t_{ox} คือ ค่าความหนาชั้นเกตออกไซด์

ช่วงอิ่มตัว

ไม่มีการเปลี่ยนแปลงของ I_{ds} ขณะ V_{ds} เพิ่มขึ้นสามารถวิเคราะห์ได้จากสมการที่ (2.10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{DS} = \mu C_{ox} \frac{W}{L_g} \frac{(V_g - V_t)^2}{2m} \quad (2.10)$$

ตัวแปร m ในสมการที่ 2.10 สามารถหาค่าได้จากสมการที่ (2.11)

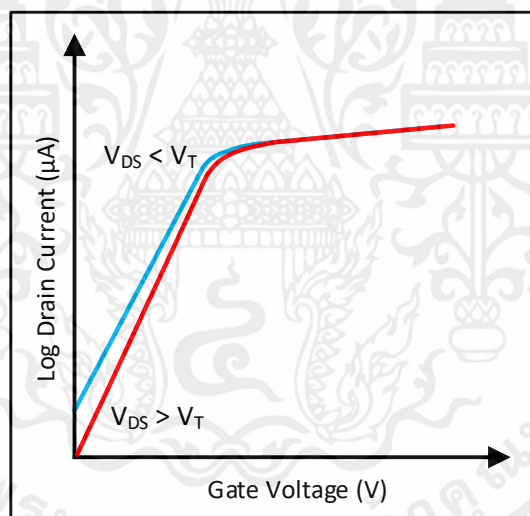
$$m = 1 + \frac{3t_{ox}}{x_d}$$

ซึ่ง x_d คือ ความหนาชั้นดีฟลิชัน

t_{ox} คือ ค่าความหนาชั้นเกตออกไซด์

2.6.2.2 คุณลักษณะกระแสเดรน-แรงดันเกต

ในปัจจุบันการวัดคุณสมบัติของอุปกรณ์ทรานซิสเตอร์สามารถทำได้จากการหาความสัมพันธ์ของกระแสเดรน และแรงดันเกต เนื่องจากสามารถบอกกระแสปิด (I_{off}) เพื่อวิเคราะห์กระแสรั่วไหล และกระแสเปิด (I_{on}) หรือกระแสขณะทำงาน ได้จากคุณลักษณะนี้ ในแต่ละส่วนของคุณลักษณะนี้ อธิบายดังรูปที่ 2.26



รูปที่ 2.26 กราฟคุณลักษณะกระแสเดรนและแรงดันเกต

ในช่วงเริ่มต้นของกราฟคุณลักษณะกระแสเดรน – แรงดันเกต เป็นจุดบ่งบอกกระแสรั่วไหลของโครงสร้างฟินเฟต พบความแตกต่างได้ในกรณี $V_g < V_{th}$ กระแสปิดมีค่ามากกว่ากรณีของ $V_g > V_{th}$ ซึ่งสามารถหาแรงดันขีดเริ่มได้จากคุณลักษณะนี้จากสมการที่ (2.12) หรือสามารถหาค่าได้จากการเอกสารนี้เป็นวัตต์ดังแสดงในรูปที่ 2.27 รับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{th} = \phi_{ms} + n \frac{kT}{q} \ln \left(\frac{2C_{ox} kT}{q^2 n_i t_{si}} \right) + \frac{h^2 \pi^2}{2m_{ds} w_{si}^2} \quad (2.12)$$

ซึ่ง V_{th} คือ แรงดันขีดเริ่ม

ϕ_{ms} คือ ฟังก์ชันงานของวัสดุโลหะขั้วเกต

C_{ox} คือ ความจุไฟฟ้าออกไซด์ขั้วเกต

n_i คือ ความเข้มข้นอะตอมอินทรีนซิก

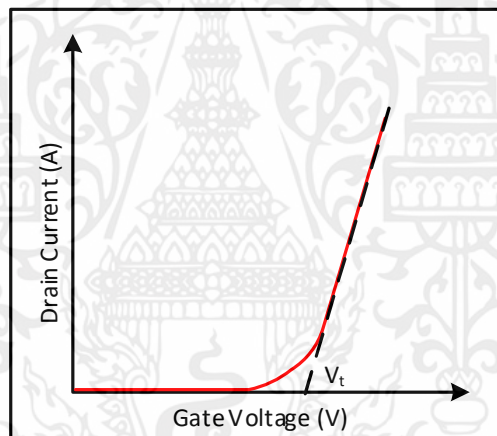
t_{si} คือ ความหนาชั้นซิลิคอน

n คือ จำนวนของอิเล็กตรอน

h คือ ค่าคงที่พลังค์

m_{ds} คือ ค่าความถี่รอยต่อเดรน-ซอส

w_{si} คือ ค่าความกว้างชั้นซิลิคอน



รูปที่ 2.27 วิธีการหาค่าแรงดันขีดเริ่มจากกราฟ I_D - V_g

จากรูปที่ 2.27 สามารถหาค่าจากกราฟคุณลักษณะกระแสเดรน-แรงดันเกตได้โดยการหาจุดตัดบนแกน x โดยการลากเส้นตรงตามส่วนที่เป็นส่วนเชิงเส้นลงมาตัดกับแกน โดยให้ทำการหารากที่สองของค่ากระแสเดรนก่อน จึงทำการลากเส้นหาจุดตัดเพื่อหาค่าแรงดันขีดเริ่มในทางปฏิบัติ

นอกจากการหาค่าแรงดันขีดเริ่มของฟินเฟท คุณลักษณะกระแสเดรน-แรงดันเกต สามารถนำมาหาค่าซับเทรชโฮลด์สวิง (Subthreshold Swing: SS) [14] ได้ ซึ่งเป็นตัวแปรสำคัญสำหรับการวิเคราะห์การทำงาน เนื่องจากเป็นตัวแปรที่บ่งบอกปริมาณของอัตราส่วนระหว่างกระแสปิด (I_{off}) และกระแสเปิด (I_{on}) ในการชี้วัดประสิทธิภาพของมอสทรานซิสเตอร์ จึงมีความต้องการให้ซับเทรชโฮลด์สวิง มีค่าต่ำเป็นผลให้แรงดันขั้วเกตสามารถลดกระแสเดรนต่อพื้นที่ที่มากขึ้น ซึ่งสามารถหาค่า SS ได้จากสมการที่ (2.14) หรือสามารถหาค่าได้โดยวิธีในรูปที่ 2.28

$$SS = \left(1 + \frac{C_d}{C_{ox}}\right) V_t \ln(10) \quad (2.14)$$

ซึ่ง SS คือ ค่าชั้บเทรชโฮลด์สวังก์

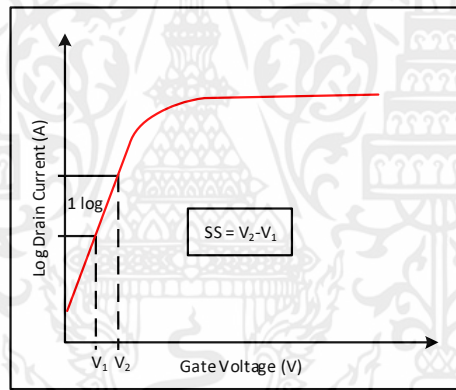
C_d คือ ค่าความจุไฟฟ้าชั้นดีฟลิชัน

จากสมการที่ 2.14 ตัวแปร C_d สามารถหาค่าได้จากสมการ (2.15)

$$C_d = \frac{\epsilon_s}{W_d} \quad (2.15)$$

ซึ่ง ϵ_s คือ ค่าเปอร์มิตติวิตี้ของซิลิคอน

W_d คือ ค่าความกว้างชั้นดีฟลิชัน



รูปที่ 2.28 วิธีหาค่าชั้บเทรชโฮลด์สวังก์จากกราฟ $\log(I_D) - V_g$

จากรูปที่ 2.28 วิธีการหาค่าชั้บเทรชโฮลด์สวังก์ทำได้โดยการตัดจุดบนเส้นกระแสเดรนในช่วง 1 log เพื่อให้ได้แรงดันเกต 2 จุด จากนั้นทำการหาผลต่างระหว่างแรงดันเกตด้วยสมการที่ (2.16)

$$SS = V_2 - V_1 \quad (2.16)$$

ซึ่ง SS คือ ค่าชั้บเทรชโฮลด์สวังก์

เอกสารนี้เป็นเอกสารที่สงวน V_1 คือ แรงดันที่จุดตัดจุดแรก เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งหา V_2 คือ แรงดันที่จุดตัดจุดที่สอง อาจอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณลักษณะที่สำคัญนี้ นอกจากเป็นการบ่งบอกค่าแรงดันขีดเริ่ม กระแสรั่วไหล ยังบ่งบอกการเกิดผลกระทบต่างๆ เช่น ผลกระทบจากกลไกควอนตัม เนื่องจากผลกระทบของกลไกนี้ทำให้ความหนาแน่นของพาหะเปลี่ยนแปลง และส่งผลต่อการเพิ่มขึ้นของแรงดันขีดเริ่ม เมื่อพื้นที่ของช่องทางเดินพาหะถูกจำกัดในมิติเดียว ผลกระทบจากช่องทางเดินกระแสสั้น เนื่องจากความยาวช่องทางเดินกระแสยังผล (Effective channel length : L_{eff}) ได้รับการปรับปรุงเพื่อควบคุม Short Channel Effect ทำให้บริเวณของซอส และเดรนเหลื่อมล้ำเข้าไปในชั้นกั้นของช่องทางเดินกระแส ส่งผลให้แรงดันขีดเริ่มเพิ่มขึ้น และผลกระทบจากการเจือสารแบบสุ่ม เนื่องจากลักษณะโครงสร้างแบบ UTB อยู่ในระดับนาโนเมตร และการเจืออะตอมสารอื่นเพื่อแยกส่วนบนโครงสร้างมีความเป็นไปได้ ในกรณีของ N_B หรือค่าความเข้มข้นอะตอมสารเจือในชั้นซิลิคอนหลังจากการเจือสารลงไปบนโครงสร้าง ซึ่งอาจมีค่าสูงถึง $1 \times 10^{17} \text{ cm}^{-3}$ และเมื่อทำการสร้างส่วนของซอส หรือเดรน การเจือสารทำให้ค่า N_B ส่วนของชั้นซิลิคอนเปลี่ยนแปลง และส่งผลกระทบต่อค่าแรงดันขีดเริ่ม ดังนั้นจากผลกระทบต่างๆที่เกิดจากปรากฏการณ์ทางฟิสิกส์ และโครงสร้าง

2.6.2.3 คุณลักษณะความจุไฟฟ้าเกต-แรงดันเกต [5]

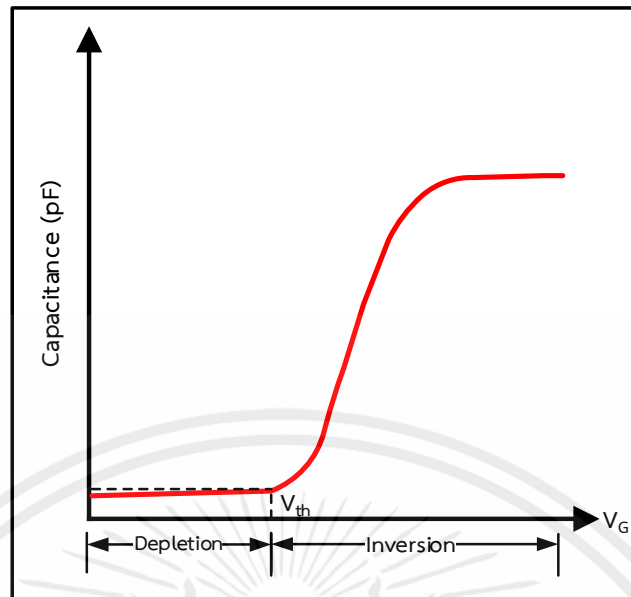
ค่าความหนาแน่นของความจุไฟฟ้า จะเปลี่ยนแปลงตามแรงดันเกต รูปที่ 2.27 แสดงความสัมพันธ์ระหว่างค่าความจุไฟฟ้า และแรงดันเกต หลักการวัด C-V คือการบ่อนแรงดันไฟฟ้ากระแสตรงที่มีสัญญาณไฟฟ้ากระแสสลับซ้อนให้แก่โครงสร้างมอส และทำการวัดค่าความจุไฟฟ้าที่แรงดันไฟฟ้ากระแสตรงค่าต่างๆ แรงดันไฟฟ้ากระแสตรงจะถูกเปลี่ยนไปอย่างช้าๆ ซึ่งค่าความจุไฟฟ้าของพินเฟท ประกอบด้วย 2 ช่วงดังนี้

1. ช่วงดีพลีชัน (Depletion)

เมื่อแรงดันเกตมีค่าเพิ่มขึ้นและเป็นค่าบวก โหมดจะถูกผลักให้ห่างออกไปจากบริเวณผิวของสารกึ่งตัวนำ ความหนาแน่นของโฮลบริเวณนี้จะลดลง และทำให้มีบริเวณปลอดพาหะเกิดขึ้นที่ผิวของสารกึ่งตัวนำ ในบริเวณนี้จึงประกอบด้วยประจุไฟฟ้าลบของอะตอมสารเจือผู้ให้ (Negative charge acceptor atoms) ซึ่งการเปลี่ยนแปลงแรงดันเกต จะทำให้ความหนาแน่นประจุเปลี่ยนด้วย เนื่องจากความกว้างของบริเวณปลอดพาหะเปลี่ยนแปลง

2. ช่วงอินเวอร์ชัน (Inversion)

เมื่อแรงดันเกตมีค่าเพิ่มต่อไป $V_G > V_T$ ในที่สุดเข้าสู่ภาวะอินเวอร์ชัน ขณะมีความกว้างของบริเวณปลอดพาหะมีค่าสูงสุด และไม่เปลี่ยนแปลงต่อไป แต่มีอิเล็กตรอนเข้ามาอยู่บริเวณผิวของสารกึ่งตัวนำ และเกิดเป็นชั้นกลับ ในกรณีได้รับสัญญาณความถี่ต่ำมาก การเปลี่ยนแปลงของอิเล็กตรอนในชั้นกลับสามารถตอบสนองได้ทัน ความจุไฟฟ้ารวมจะหาได้จากผลรวมความจุไฟฟ้าออกไซด์ ซึ่งอนุกรมกับความจุสารกึ่งตัวนำทำให้มีค่าสูงมาก จากคุณลักษณะทางความจุไฟฟ้า-แรงดันเกต ทั้งสองช่วงแสดงในรูปที่ 2.29



รูปที่ 2.29 ความสัมพันธ์ระหว่างค่าความจุไฟฟ้า และแรงดันเกต

2.6.3 ผลกระทบในการทำงานของฟินเฟท

2.6.3.1 Drain-induced barrier lowering [15]

Drain-induced Barrier Lowering (DIBL) เป็นตัวชี้วัดการเกิดปรากฏการณ์ Short Channel ในมอสทรานซิสเตอร์ ซึ่งหมายถึงการลดลงของแรงดันขีดเริ่ม ขณะที่เราเพิ่มแรงดันที่ขั้วเดรนมีค่าสูง ในกรณีของมอสทรานซิสเตอร์มีช่องทางเดินกระแสกว้าง ชั้นกลับในการเกิดช่องทางเดินกระแสมีระยะห่างจากส่วนของเดรน โดยเกิดจากการรบกวนกันระหว่างฐานรอง แต่ในกรณีมอสทรานซิสเตอร์ที่มีช่องทางเดินกระแสแคบ บริเวณของเดรนจะเข้าไปใกล้พอที่จะทำให้เกิดช่องทางเดินกระแสเมื่อแรงดันที่ขั้วเดรนมีค่าสูง จึงทำให้สามารถเปิดชั้นกลับ และทำให้ทรานซิสเตอร์ทำงานก่อนเกิดแรงดันขีดเริ่มได้ โดยสามารถคำนวณหาค่า DIBL ได้จากสมการที่ (2.17)

$$DIBL = \frac{V_{th} - V_{th}^{low}}{V_{DD} - V_{DD}^{low}} \quad (2.17).$$

ซึ่ง $DIBL$ คือ ค่า Drain-Induced Barrier Lowering

V_{th} คือ แรงดันขีดเริ่มที่ V_{DD} ค่าสูงสุด

V_{th}^{Low} คือ แรงดันขีดเริ่มที่ V_{DD} ค่าน้อย

V_{DD} คือ แรงดันเดรนค่าสูง

V_{DD}^{Low} คือ แรงดันเดรนค่าต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษายกเว้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามนำไปใช้เผยแพร่โดยไม่ได้รับอนุญาตอย่างจริงจังเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3.2 Short Channel Effect [16]

ผลกระทบนี้เกิดจากปรากฏการณ์ทางกายภาพของมอสทรานซิสเตอร์ เช่น ข้อจำกัดบนคุณลักษณะดริฟท์ของอิเล็กตรอนในช่องทางเดินกระแส และการเปลี่ยนแปลงของแรงดันขีดเริ่มเนื่องจากช่องทางเดินกระแสที่สั้นลง สาเหตุส่วนใหญ่เกิดจาก DIBL และพินซ์ทรู (Punch-Through) รวมไปถึงพฤติกรรมของพาหะดังนี้

1. การกระจายตัวของพื้นผิว (Surface Scattering)

เมื่อความยาวของช่องทางเดินกระแสมีขนาดลดลง การขยายตัวของชั้นดีพลีชันในด้านข้างเข้าสู่บริเวณช่องทางเดินกระแส รวมถึงการเพิ่มขึ้นตามแนวยาวของสนามไฟฟ้าและความคล่องตัวของอิเล็กตรอนเปลี่ยนแปลงเป็น Field-Dependent จากการเคลื่อนที่ของพาหะในชั้นกลับที่แคบของมอสทรานซิสเตอร์

2. การอ้อมตัวของความเร็วพาหะ

ประสิทธิภาพของอุปกรณ์ที่มีช่องทางเดินกระแสแคบ ได้รับผลกระทบจากการอ้อมตัวของความเร็วพาหะ ซึ่งลดความนำในช่วงอ้อมตัวของมอสทรานซิสเตอร์ขณะสนามไฟฟ้ามีค่าต่ำลง ความเร็วดริฟท์ของอิเล็กตรอนภายในช่องทางเดินกระแส มีการเปลี่ยนแปลงแบบเชิงเส้นกับความหนาแน่นสนามไฟฟ้า แต่การเพิ่มขึ้นของสนามไฟฟ้าทำให้การเพิ่มขึ้นของความเร็ว ดริฟท์ช้าลง และมีค่าใกล้ช่วงอ้อมตัวที่อุณหภูมิห้อง ผลลัพธ์คือ กระแสเดรนได้รับการจำกัดโดยการอ้อมตัวของความเร็วพาหะ เนื่องจากการลดขนาดของอุปกรณ์ โดยที่ค่าแรงดันขีดเริ่มไม่ได้ลดลงตาม

3. การชนกันของไอออน

ในมอสทรานซิสเตอร์ชนิดเอ็น การชนกันของไอออน (Impact Ionization) เกิดจากความเร็วของอิเล็กตรอนภายในสนามไฟฟ้ามีค่าสูง ซึ่งสามารถสร้างอิเล็กตรอน-โฮลโดยการชนกันของอะตอมซิลิคอนและไอออนไนซ์ โดยทั่วไปอิเล็กตรอนส่วนใหญ่ได้รับการเหนี่ยวนำโดยส่วนของเดรน ขณะที่โฮลเข้าสู่ฐานรองเพื่อเป็นส่วนหนึ่งของกระแสแผงภายในฐานรอง ในกรณีโฮลที่ได้กล่าวถึงถูกรวบรวมโดยส่วนของซอส และแสดงลักษณะเหมือนกระแสโฮล ทำให้มีแรงดันตกคร่อมฐานรองในลักษณะของการไบอัสย้อนกลับระหว่าง ฐานรองและส่วนซอส ขณะที่อิเล็กตรอนได้รับการฉีดจากส่วนของซอสสู่ฐานรองทำให้เกิดอัตราขยายของพลังงานเพียงพอที่จะทำให้ส่วนของเดรนผลิตคู่อิเล็กตรอน-โฮลขึ้น การอ้อมตัวสามารถส่งผลเสียจากการสร้างอิเล็กตรอน เนื่องจากสนามไฟฟ้าที่มีค่าสูงเล็ดลอดจากส่วนของเดรนเข้าสู่ฐานรอง และส่งผลกระทบต่ออุปกรณ์ตัวอื่นๆ

4. อิเล็กตรอนร้อน

อิเล็กตรอนขณะสนามไฟฟ้ามีค่าสูง สามารถเรียกได้ว่าอิเล็กตรอนร้อน (Hot Electron) พลังงานที่มีค่าสูงเป็นตัวผลักดันให้อิเล็กตรอนสามารถเข้าไปในชั้นออกไซด์ ทำให้เกิดการประจุภายในชั้นออกไซด์ ซึ่งสะสมไปตามช่วงเวลา และลดประสิทธิภาพของอุปกรณ์ โดยทำให้ค่าแรงดันขีดเริ่มสูงขึ้น และมีผลกระทบกับการควบคุมกระแสเดรน

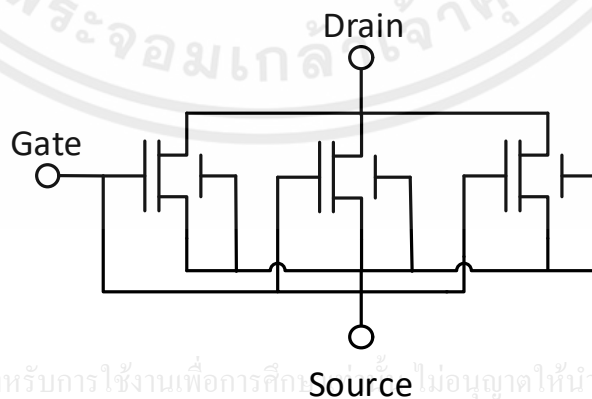
2.7 ทฤษฎีการประยุกต์ใช้งานฟินเฟท

2.7.1 วงจรขยายกระแส [17]

ในอุปกรณ์ทรานซิสเตอร์สนามไฟฟ้าแบบหลายเกต การขับกระแสมีค่าเท่ากับการไหลของกระแสไปตามผิวของโครงสร้างด้วยขั้วไฟฟ้าเกต เปรียบเสมือนกระแสของอุปกรณ์แบบเกตเดี่ยวคูณกับจำนวนของเกต ซึ่งฟินเฟทแบบสามเกตสามารถคำนวณหาค่ากระแสของวงจรขยายกระแสได้ดังสมการที่ (2.18) และสามารถเขียนเป็นวงจรดังแสดงในรูปที่ 2.31

$$I_D = I_{D0} \frac{\theta \mu_{top} W_{si} + 2 \mu_{side} t_{si}}{\mu_{top} P} \quad (2.18)$$

- ซึ่ง I_D คือ กระแสเดรนของวงจร
 I_{D0} คือ กระแสเดรนของฟินเฟท 1 ตัว
 θ คือ ค่าคงที่ในกรณีของทรานซิสเตอร์สามเกตมีค่าเท่ากับ 1
 μ_{top} คือ ค่าความคล่องตัวพาหะของผิวบนของชั้นซิลิคอน
 μ_{side} คือ ค่าความคล่องตัวพาหะของผิวข้างของชั้นซิลิคอน
 P คือ ระยะห่างระหว่างซิลิคอนฟิน

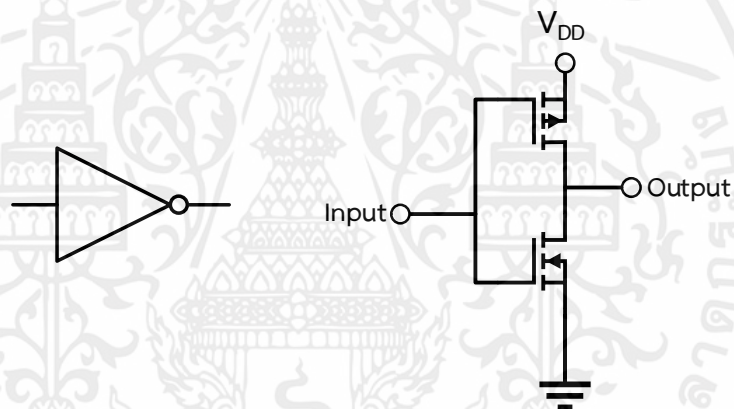


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
 รูปที่ 2.31 วงจรขยายกระแสฟินเฟทชนิดเอ็น

2.7.2 ทฤษฎีวงจรรรณะ [18]

2.7.2.1 วงจรอินเวอร์เตอร์

วงจรรอินเวอร์เตอร์ เป็นวงจรรพื้นฐานในกลุ่มลอจิกเกท (Logic Gates) ประกอบด้วยมอสเฟทสองตัว ชนิดเอ็น และชนิดพี โดยให้ซอสของมอสเฟทชนิดพีเป็น V_{DD} ซอสของมอสเฟทชนิดเอ็นเป็น V_{SS} เทรนของมอสเฟททั้งสองต่อรรวมกันเป็นจุดเอาต์พุต และเชื่อมต่อกทของมอสเฟททั้งสองเป็นอินพุต การทำงานของวงจรรอินเวอร์เตอร์คือ ทำการเปลี่ยนระดับแรงดันอินพุตให้ตรงข้ามกับแรงดันเอาต์พุต ขณะไม่มีแรงดันอินพุตเข้าสู่วงจรร เอาต์พุตของวงจรรจะมีระดับแรงดันเท่ากับแหล่งจ่าย เนื่องจากเมื่อไม่มีแรงดันอินพุต มอสเฟทชนิดเอ็นไม่ได้รับการไบอัสเกททำให้ไม่นำกระแส หรือทำงานเป็นตัวต้านทานพูลควรรน สำหรับมอสเฟทชนิดพี เมื่อไม่ได้รับการไบอัสด้วยแรงดันที่มากกว่า 0 โวลต์ จะให้แรงดันเอาต์พุตเท่ากับแหล่งจ่าย จากนั้นเมื่ออินพุตได้รับแรงดันอินพุต เอาต์พุตจะเปลี่ยนแปลงเป็น 0 โวลต์ ซึ่งทำงานเป็นตัวต้านทานพูลอัพ ซึ่งสัญลักษณ์ และวงจรรอินเวอร์เตอร์แสดงดังรูปที่ 2.32 และตารางค่าความจริงของอินเวอร์เตอร์แสดงในตารางที่ 2.2



รูปที่ 2.32 สัญลักษณ์อินเวอร์เตอร์ และวงจรรอินเวอร์เตอร์

ตารางที่ 2.2 ตารางค่าความจริงของอินเวอร์เตอร์

X	F
0	1
1	0

จากตารางค่าความจริงสามารถเขียนเป็นสมการของอินเวอร์เตอร์ได้ดังสมการที่ (2.19)

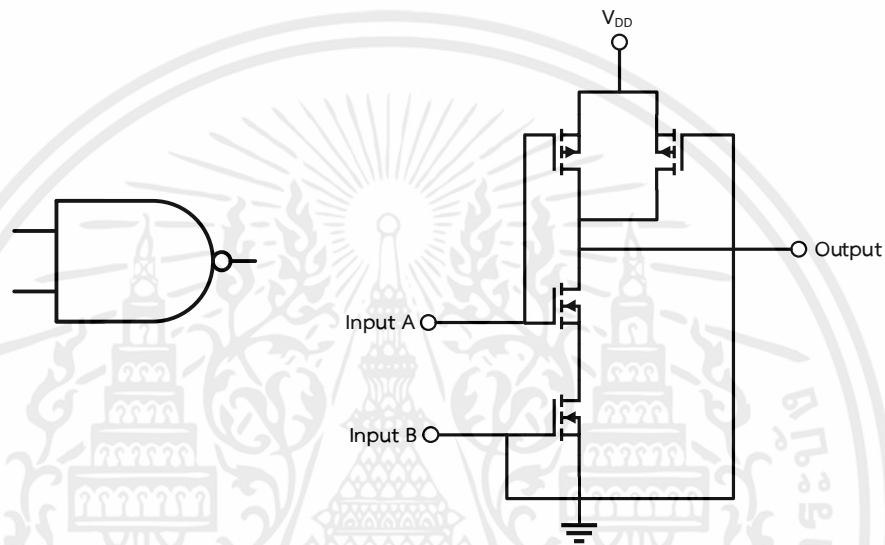
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$F = \bar{X} \quad (2.19)$$
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง X คือ อินพุต และ F คือ เอาต์พุต

2.7.2.2 วงจรแนนด์เกท

วงจรแนนด์เกท เป็นวงจรเพื่อใช้งานเป็นตัวปฏิบัติการนอร์ การทำงานของวงจรแนนด์เกทเป็นการใช้งานแรงดันอินพุตในการกำหนดการทำงานของมอสเฟตทั้งวงจร ขณะไม่มีอินพุตทั้งสองจุด (A , B) มอสเฟตชนิดเอ็นไม่ได้รับการไบอัส และมอสเฟตชนิดพีทำงาน ทำให้เอาต์พุตมีค่าเท่ากับแหล่งจ่าย แต่เมื่อมีการป้อนอินพุต มอสเฟตชนิดเอ็นทำงานและทำหน้าที่เป็นตัวต้านทานพูลดาวน์ ทำให้เอาต์พุตมีค่าเป็น 0 ไม่ว่าจะมีการป้อนอินพุตใดๆ หรืออินพุตทั้งสอง สัญลักษณ์ของแนนด์เกทแสดงในรูปที่ 2.33 และตารางค่าความจริงของแนนด์เกท แสดงในตารางที่ 2.3



รูปที่ 2.33 สัญลักษณ์แนนด์เกท และวงจรแนนด์เกท

ตารางที่ 2.3 ตารางค่าความจริงของแนนด์เกท

Input		Output
A	B	(F)
0	0	1
0	1	1
1	0	1
1	1	0

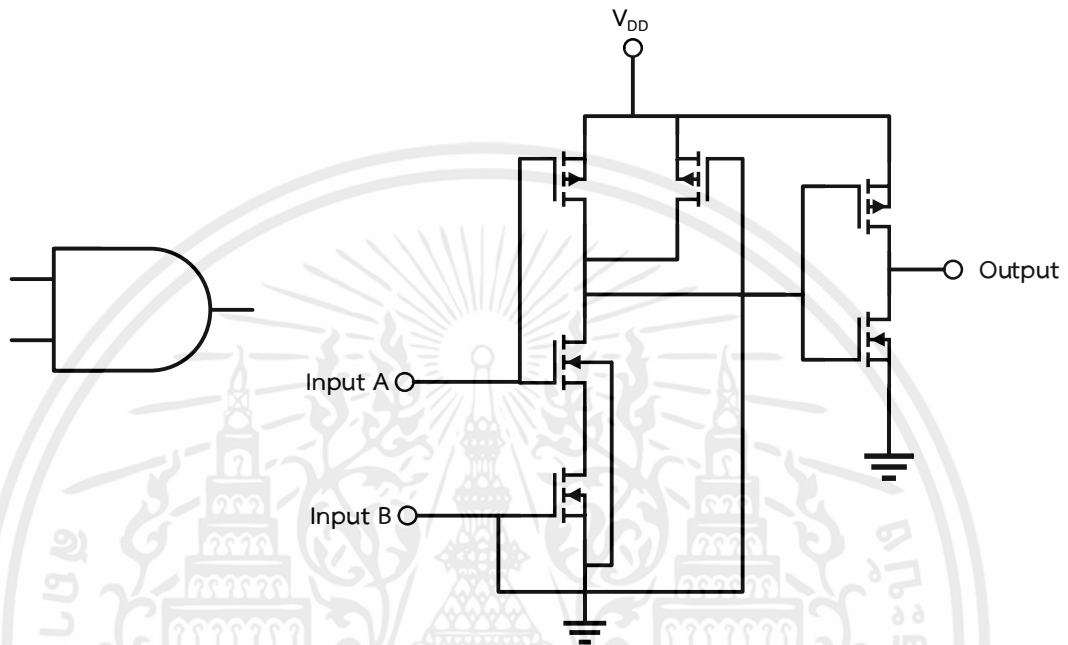
จากตารางความจริงสามารถเขียนเป็นสมการของแนนด์เกทได้ดังสมการที่ (2.20)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการเรียนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ (2.20) ค่า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง F คือ เอาต์พุต A คือ อินพุต A B คือ อินพุต B

2.7.2.3 วงจรแอนด์เกต

วงจรรแอนด์เกต ได้รับการปรับปรุงจากวงจรรแอนด์เกต โดยการเชื่อมต่อกับวงจรรอินเวอร์เตอร์เพื่อทำการกลับค่าเอาต์พุต ให้ทำงานตามตัวปฏิบัติการแอน สัญลักษณ์ของแอนด์เกต และวงจรรแอนด์เกต แสดงดังรูปที่ 2.34 ตารางค่าความจริงของแอนด์เกต แสดงในตารางที่ 2.4



รูปที่ 2.34 สัญลักษณ์ของแอนด์เกต และวงจรรแอนด์เกต

ตารางที่ 2.4 ตารางค่าความจริงของแอนด์เกต

Input		Output (F)
A	B	
0	0	0
0	1	0
1	0	0
1	1	1

จากตารางที่ 2.4 สามารถเขียนเป็นสมการได้ดังสมการที่ (2.21)

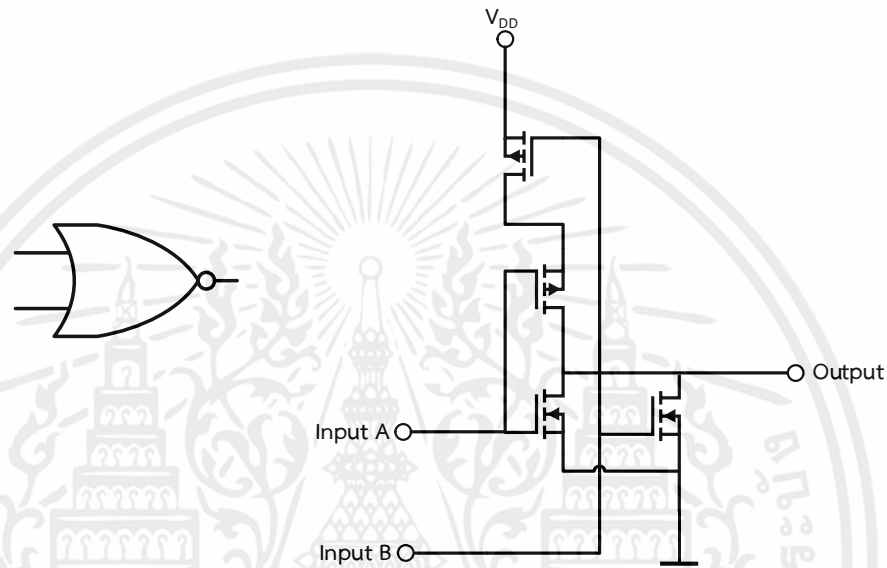
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$F = A \cdot B \quad (2.21)$$
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง F คือ เอาต์พุต A คือ อินพุต A B คือ อินพุต B

2.7.2.4 วงจรรนอร์เกท

วงจรรนอร์เกท เป็นวงจรที่สร้างเพื่อใช้งานแทนตัวปฏิบัติการนอร์ ซึ่งสร้างมาจากซีมอส 2 ชุด ในขณะที่อินพุตทั้งสองมีค่าเท่ากับ 0 โวลต์ ทรานซิสเตอร์ชนิดพีทั้งสองทำงาน และให้เอาต์พุตเท่ากับแรงดันของแหล่งจ่าย แต่เมื่ออินพุตใดอินพุตหนึ่งมีแรงดันมากกว่า 0 โวลต์ มอสทรานซิสเตอร์ชนิดพีทั้งสองจะหยุดทำงาน และทรานซิสเตอร์ชนิดเอ็นทั้งสองทำงาน ทำให้เอาต์พุตเป็น 0 โวลต์ทันที วงจรรนอร์เกทแสดงในรูปที่ 2.35 และค่าความจริงของนอร์เกท แสดงในตารางที่ 2.5



รูปที่ 2.35 สัญลักษณ์นอร์เกท และวงจรรนอร์เกท

ตารางที่ 2.5 ตารางค่าความจริงของนอร์เกท

Input		Output (F)
A	B	
0	0	1
0	1	0
1	0	0
1	1	0

จากตารางค่าความจริงของนอร์เกท สามารถเขียนเป็นสมการได้ดังสมการที่ (2.22)

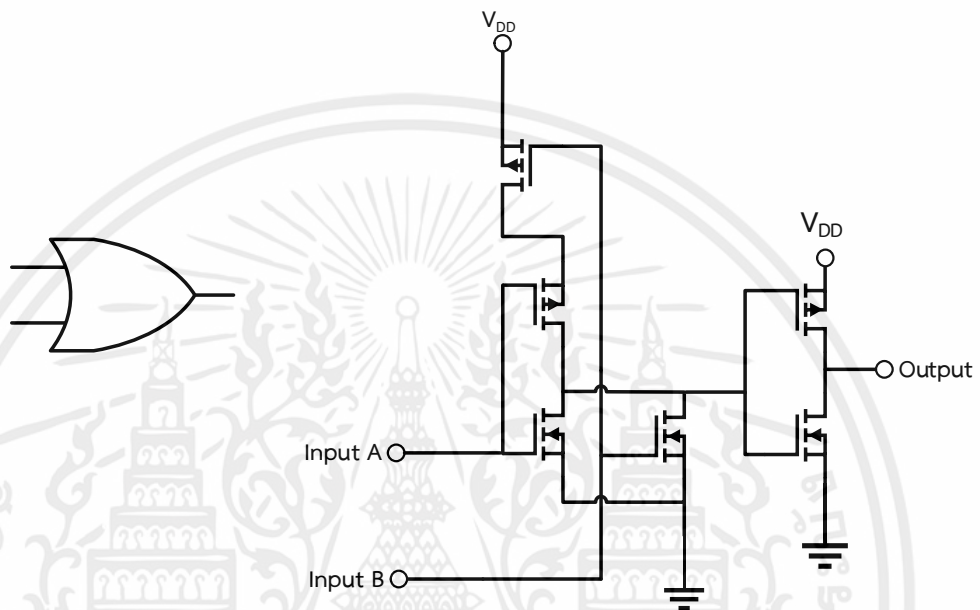
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F = A + B \quad (2.22)$$

ซึ่ง F คือ เอาต์พุต A คือ อินพุต A และ B คือ อินพุต B

2.7.2.5 วงจรออร์เกท

วงจรออร์เกทคือ วงจรนอร์เกท ซึ่งนำเอาต์พุตมาเชื่อมต่อกับวงจรอินเวอร์เตอร์ให้ได้ผลกลับ ทำให้เมื่อมีอินพุตใดอินพุตหนึ่งมีแรงดันมากกว่า 0 โวลต์ เอาต์พุตจึงออกมาเป็น 1 เนื่องจากกลับกันกับนอร์เกท สัญลักษณ์ของออร์เกท และวงจรออร์เกท แสดงในรูปที่ 2.36 ตารางค่าความจริงของออร์เกท แสดงในตารางที่ 2.6



รูปที่ 2.36 สัญลักษณ์ออร์เกท และวงจรออร์เกท

ตารางที่ 2.6 ตารางค่าความจริงของออร์เกท

Input		Output
A	B	(F)
0	0	0
0	1	1
1	0	1
1	1	1

จากตารางค่าความจริงของออร์เกทสามารถเขียนเป็นสมการได้ดังสมการที่ (2.23)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องแจ้งเจ้าของเอกสารทุกครั้งที่มีการนำไป (2.23)

$$F = A + B$$

ซึ่ง F คือ เอาต์พุต A คือ อินพุต A B คือ อินพุต B

บทที่ 3

วิธีดำเนินการวิจัย

ในบทนี้กล่าวถึง หลักการจำลองแบบโครงสร้างพินเฟทแบบ SOI วิธีการออกแบบพินเฟทเบื้องต้น ส่วนประกอบของโปรแกรม GTS Framework วิธีการเขียนแบบโครงสร้างพินเฟท และวิธีการวัดทดสอบโครงสร้างพินเฟท

3.1 หลักการในการจำลองแบบโครงสร้างพินเฟท

งานวิจัยนี้ ทำการจำลองแบบโครงสร้างพินเฟท และวัดทดสอบด้วยโปรแกรม GTS Framework Online ภายใต้ลิขสิทธิ์ของบริษัท Global TCAD Solution โดยโปรแกรมนี้ทำงานบนภาษาจาวา และใช้โมเดลการคำนวณแบบ Minimos 6 สำหรับการวิเคราะห์โครงสร้างอุปกรณ์ และ BSIM 4 สำหรับการวิเคราะห์วงจรอิเล็กทรอนิกส์ ซึ่งประกอบด้วยรายละเอียดดังนี้

3.1.1 Berkeley Short-channel IGFET Model (BSIM) [19]

โมเดลคณิตศาสตร์ของมอสทรานซิสเตอร์ ใช้สำหรับการออกแบบวงจรรวม พัฒนาโดยภาควิชาวิศวกรรมไฟฟ้า และวิทยาศาสตร์คอมพิวเตอร์ มหาวิทยาลัยแคลิฟอร์เนีย เบิร์กลีย์ ความเที่ยงตรงของโมเดลทางคณิตศาสตร์ของมอสทรานซิสเตอร์ มีความจำเป็นสำหรับการจำลองแบบวงจรอิเล็กทรอนิกส์ เนื่องจากอุปกรณ์มีขนาดเล็กลงในแต่ละยุคของกระบวนการผลิต โมเดลแบบใหม่จึงมีความต้องการให้พฤติกรรมของทรานซิสเตอร์มีความถูกต้องแม่นยำ

3.1.2 การจำลองแบบของโปรแกรม GTS Framework

การจำลองแบบด้วยโปรแกรม GTS Framework ใช้หลักการทางคณิตศาสตร์ โดยรูปแบบการคำนวณสำหรับโครงสร้างมอสทรานซิสเตอร์ในชื่อ Minimos 6 ด้วยรูปแบบการคำนวณแบบ ดริฟท์-ดิฟฟิวชัน (Drift-Diffusion: DD) และสามารถคำนวณระดับกึ่งเฟอร์มิ (Quasi-Fermi Level: QFL) ด้วยสมการ Scharfetter-Gummel ซึ่งเหมาะสำหรับวิเคราะห์สมบัติทางฟิสิกส์ และคุณลักษณะทางไฟฟ้าของมอสทรานซิสเตอร์ขนาดเล็ก

3.1.3 สมการคำนวณในการวิเคราะห์คุณลักษณะทางไฟฟ้า [20]

3.1.3.1 สมการ Drift-Diffusion Transport

สมการความสัมพันธ์กระแส Drift-Diffusion ในปัจจุบันได้รับการประยุกต์จากสมการการขนส่งพาหะของโบลทซ์มันน์ โดยวิธีการอุณหพลศาสตร์แบบไม่ผันกลับ (en) ซึ่งความหนาแน่นของกระแสอิเล็กตรอนหาได้จากสมการที่ 3.1 และความหนาแน่นกระแสโฮลหาได้จากสมการที่ (3.2) เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี การนำออกเผยแพร่โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

$$J_n = q \cdot \mu_n \cdot n \cdot \left(\text{grad} \left(\frac{\epsilon_c}{q} \right) + \frac{k_B}{q} \cdot \frac{N_c \cdot 0}{n} \cdot \text{grad} \left(\frac{n \cdot T_L}{N_c \cdot 0} \right) \right) \quad (3.1)$$

$$J_p = q \cdot \mu_p \cdot n \cdot \left(\text{grad} \left(\frac{\varepsilon_V}{q} \right) + \frac{k_B}{q} \cdot \frac{N_c \cdot 0}{p} \cdot \text{grad} \left(\frac{p \cdot T_L}{N_V \cdot 0} \right) \right) \quad (3.2)$$

3.1.3.2 สมการความสัมพันธ์กระแส Drift-Diffusion

สมการความสัมพันธ์ของกระแสจากสมการ (3.1) และ (3.2) ได้รับการแก้สมการโดยวิธีของ Scharfetter-Gummel ซึ่งสามารถหาการไหลของกระแสไฟฟ้าได้จาก i ถึง j โดยสมการที่ (3.3)

$$I_{b,ij} = -\frac{A_{ij}}{d_{ij}} \cdot s_b \cdot q \cdot \bar{D}_{b,ij} \cdot (B(\Lambda) \cdot v_{b,j} - B(-\Lambda) \cdot v_{b,i}) \quad (3.3)$$

ซึ่ง Λ คือ ตัวแปรลดรูปสมการที่ (3.4)

$$\Lambda = -s_b \cdot \frac{q}{k_B \cdot T_L} \cdot \left(\psi_j - \psi_i - \frac{E_{b,j} - E_{b,i}}{q} \right) + \ln \left(\frac{N_{b,j}}{N_{b,i}} \right) \quad (3.4)$$

B คือ ฟังก์ชันแบร์นูลลี

$\square_{\square, \square}$ คือ ค่าการแพร่ของพาหะที่จุดกลางของ Grid คำนวณได้จากสมการที่ 3.5

$$\bar{D}_{b,ij} = \frac{D_{b,i} + D_{b,j}}{2} \quad (3.5)$$

D_b คือ ตัวแปรลดรูป สามารถหาได้จากสมการที่ (3.6)

$$D_b = \mu_b \cdot \frac{k_B \cdot T_L}{q} \quad (3.6)$$

3.1.3.3 สมการระดับกึ่งเฟอร์มิ

ในอุปกรณ์มอสทรานซิสเตอร์ โดยปกติมีความเป็นไปได้ในการกำหนดค่าคงที่ค่าศักย์กึ่งเฟอร์มิสำหรับพาหะเพียงชนิดหนึ่งชนิด ซึ่งหมายถึงความหนาแน่นกระแสของพาหะชนิดนี้ จะได้รับการยกเว้น

ข้อดีของการใช้งานสมการนี้คือ ไม่มีความจำเป็นในการใช้งานสมการต่อเนื่อง ซึ่งทำให้ช่วยให้ประหยัดเวลาในการทำการจำลองแบบ สำหรับสมการ Drift-Diffusion สมการนี้ช่วยลดขนาดการคำนวณลงประมาณ 1/3 ซึ่งสามารถคำนวณค่าศักย์กึ่งเฟอร์มิของโฮลสามารถคำนวณได้จากสมการที่ (3.7) และค่าศักย์กึ่งเฟอร์มิของอิเล็กตรอนสามารถคำนวณได้จากสมการที่ (3.8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$p = N_V \cdot \exp \left(\frac{q \cdot (\varphi_p - \psi) + \varepsilon_V}{k_B \cdot T_L} \right) \quad (3.7)$$

$$p = N_C \cdot \exp\left(-\frac{q \cdot (\varphi_n - \psi) + \varepsilon_C}{k_B \cdot T_L}\right) \quad (3.8)$$

3.1.3.4 สมการความคล่องตัวพาหะสำหรับซิลิคอน

ในเครื่องมือ Minimos-NT ใช้งานโมเดล Minimos 6 สำหรับวิเคราะห์ความคล่องตัวพาหะ สามารถวิเคราะห์ความคล่องตัวแลคทิกซ์ในซิลิคอนที่สนามไฟฟ้าค่าต่ำด้วยสมการที่ (3.9)

$$\mu_v^L = \mu_{v,300}^L \cdot \left(\frac{T_L}{300K}\right)^{\gamma_{0,v}}, v = n, p \quad (3.9)$$

ในกรณีมีสนามไฟฟ้าสูงสามารถวิเคราะห์หาค่าได้จากสมการ (3.10)

$$\mu_v^{LISF} = \frac{2 \cdot \mu_v^{LIS}}{1 + \left(1 + \left(\frac{2 \cdot \mu_v^{LIS} \cdot F_v}{v_v^{sat}}\right)^{\beta_v}\right)^{1/\beta_v}} \quad (3.10)$$

ตัวแปร F_v สามารถหาได้จากสมการ (3.11)

$$F_v = \left| \text{grad}\psi + \frac{S_v}{v} \cdot \text{grad}(U_{T_v} \cdot v) \right| \quad (3.11)$$

ซึ่ง $S_n = 1$ และ $S_p = -1$

3.2 หลักการออกแบบโครงสร้างฟินเฟทเบื้องต้น [21]

ในการออกแบบฟินเฟทมีรูปแบบคล้ายกับการออกแบบโครงสร้างมอสเฟท แต่ด้วยความแตกต่างของลักษณะโครงสร้าง เนื่องจากฟินเฟทมีลักษณะโครงสร้างเป็นแบบสามมิติ ทำให้มีตัวแปรบนโครงสร้างเพิ่มขึ้นนอกจากความยาวช่องทางเดินกระแส และความกว้างช่องทางเดินกระแส เช่น ความกว้างชั้นซิลิคอน ความหนาชั้นซิลิคอน ในหัวข้อนี้อธิบายถึงหลักการออกแบบฟินเฟทในแบบเบื้องต้น เพื่อนำองค์ความรู้ไปใช้ในการออกแบบ ทั้งระดับโครงสร้าง และวงจรรวม

3.2.1 หลักการในการปรับขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การปรับขนาดของฟินเฟทในปัจจุบันให้ความสำคัญกับค่าความสูงชั้นซิลิคอน (Fin Height) ไม่ว่าจะคิดจากทั้งสมการที่ 3.10 และ 3.11 และต้องอ้างอิงถึงค่าของเอกสารที่กล่าวถึงในบทนำเป็นต้น เนื่องจากเป็นส่วนที่จะกำหนดขนาดของส่วนต่างๆบนโครงสร้างฟินเฟท และเป็นตัวแปรที่มีความสำคัญมากสำหรับการออกแบบวงจรรวม เมื่อความสูงของชั้นซิลิคอนค่าน้อย ทำให้สามารถสร้าง

โครงสร้างฟินเพทได้มากขึ้น และมีความยืดหยุ่น กล่าวคือ สามารถสร้างโครงสร้างฟินเพทได้มากขึ้น แต่เมื่อความหนาชั้นซิลิคอนมีค่ามาก จะมีโอกาสเกิด Short Channel Effect ได้มากขึ้น รวมทั้งการเกิดค่าความจุไฟฟ้าแฝง ทำให้ประสิทธิภาพของฟินเพทลดลง

ในส่วนของความกว้างชั้นซิลิคอน ตามหลักการออกแบบ ในกรณีที่ฟินเพทมีค่าความกว้างชั้นซิลิคอนมาก จะ Drain-induced barrier lowering มีค่าสูงขึ้นจึงทำให้การออกแบบและพัฒนาโครงสร้างฟินเพท เน้นเรื่องของความสูงของชั้นซิลิคอน

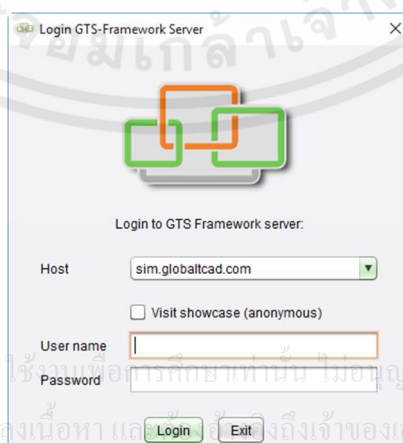
3.2.2 หลักการออกแบบฟินเพทสำหรับวงจรรวมอินเวอร์เตอร์

การนำโครงสร้างฟินเพทไปใช้ในการสร้างวงจรรวม รายละเอียดในการออกแบบมีอยู่หลายประการ ซึ่งตัวแปรที่มีความสำคัญอย่างมากคือ อัตราส่วนระหว่าง ความกว้างช่องทางเดินกระแสระหว่างฟินเพทชนิดพี และฟินเพทชนิดเอ็น (W_p/W_n Ratio) ซึ่งฟินเพทสามารถออกแบบให้โครงสร้างทั้งสองชนิดมีขนาดใกล้เคียงกันได้มากที่สุด สำหรับการสร้างวงจรรวมอินเวอร์เตอร์ นักพัฒนาได้นิยามกลุ่มของฟินเพทชนิดพีว่า “Pull-up Network” และเรียกกลุ่มของฟินเพทชนิดเอ็นว่า “Pull-down Network” เนื่องจากในการทำงานของวงจรรวมอินเวอร์เตอร์ ฟินเพททั้งสองชนิดทำหน้าที่เป็นตัวต้านทาน และค่าอัตราส่วน W_p/W_n ที่ดีที่สุด ต้องมีค่าเท่ากับ 1 จึงจะทำให้คุณลักษณะการส่งผ่านแรงดันของฟินเพทมีความสมมาตรมากที่สุด

3.3 ส่วนประกอบของโปรแกรมจำลองแบบ [22]

3.3.1 หน้าต่างลงชื่อเข้าใช้งานโปรแกรม

หน้าต่างนี้เป็นหน้าต่างแรกในการเข้าใช้งานโปรแกรม ประกอบด้วยส่วนของ Host เพื่อเลือกเซิร์ฟเวอร์ในการเชื่อมต่อ ตัวเลือก Visit Showcase (anonymous) เพื่อเข้าดูตัวอย่างงานและโครงสร้าง ซึ่งไม่สามารถทำงานได้ User name ช่องกรอกชื่อผู้ใช้ Password ช่องกรอกรหัสผู้ใช้ เมื่อต้องการเข้าใช้งานให้กรอก Username และ Password จากนั้นกดปุ่ม Login ซึ่งชื่อผู้ใช้ และรหัสสามารถสมัครสมาชิกได้บนเว็บไซต์ www.globaltcad.com ดังแสดงในรูปที่ 3.1



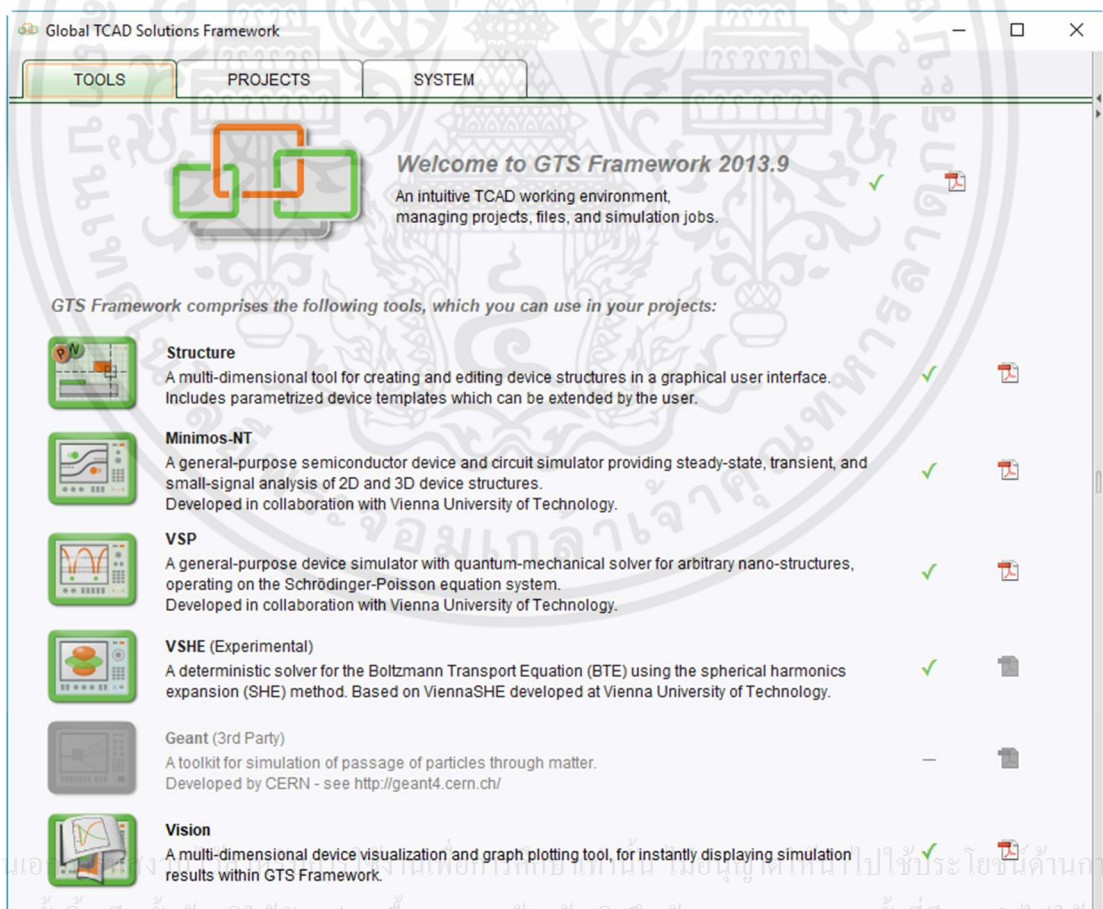
รูปที่ 3.1 หน้าต่างลงชื่อเข้าใช้งานโปรแกรม GTS Framework Online

3.3.2 หน้าต่างเครื่องมือ

หลังจากทำการ Login เข้าสู่ระบบ หน้าต่างเครื่องมือ ประกอบด้วย

- Structure คือ เครื่องมือสำหรับออกแบบโครงสร้างและกำหนดพารามิเตอร์ต่างๆให้กับโครงสร้างอุปกรณ์ รวมถึงการใช้งานโครงสร้างจากเทมเพลต
- Minimos-NT คือ เครื่องมือสำหรับการวัดทดสอบคุณลักษณะต่างๆของโครงสร้างอุปกรณ์ ซึ่งได้รับการสร้างจากเครื่องมือ Structure
- VSP คือ เครื่องมือสำหรับจำลองการทำงานของโครงสร้างอุปกรณ์สารกึ่งตัวนำระดับนาโนเมตร ด้วยโปรแกรมแก้สมการกลศาสตร์ควอนตัม
- VSHE คือ เครื่องมือแก้สมการด้วย Boltzmann Transport Equation ด้วยวิธีการ spherical harmonics expansion

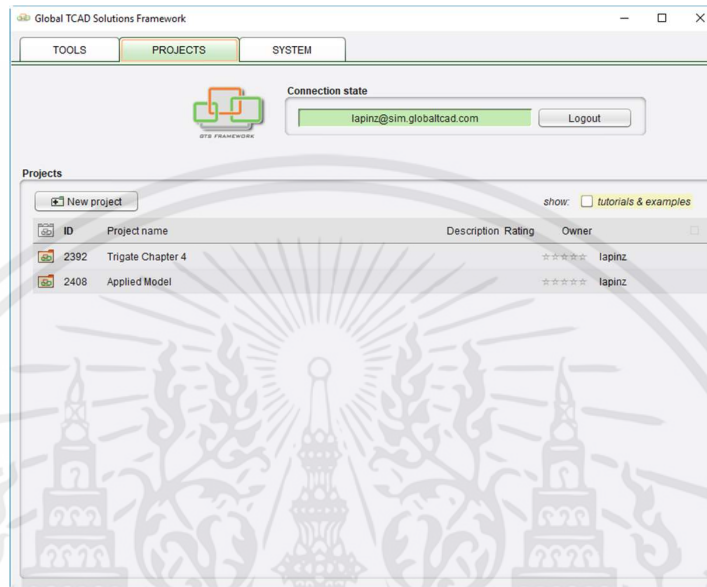
ซึ่งผู้ใช้งานสามารถเริ่มใช้งานเครื่องมือต่างๆจากหน้าต่างนี้ได้ทันที ดังแสดงในรูปที่ 3.2



รูปที่ 3.2 หน้าต่างเครื่องมือ

3.3.3 หน้าต่างโปรเจค (Project)

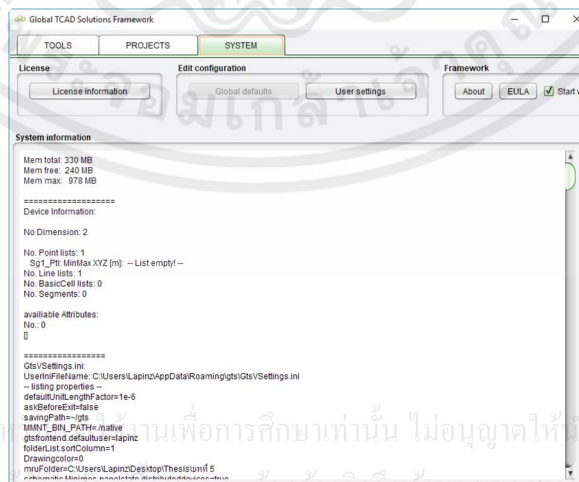
หน้าต่างโปรเจคเป็นส่วนใช้งานหลัก ซึ่งผู้ใช้งานสามารถสร้างเพิ่มโปรเจคผ่านปุ่ม NEW project และสามารถเปิดเพิ่มตัวอย่างงานของทางบริษัท ด้วยตัวเลือก tutorials & examples ดังแสดงในรูปที่ 3.3



รูปที่ 3.3 หน้าต่างโปรเจค

3.3.4 หน้าต่างระบบ (System)

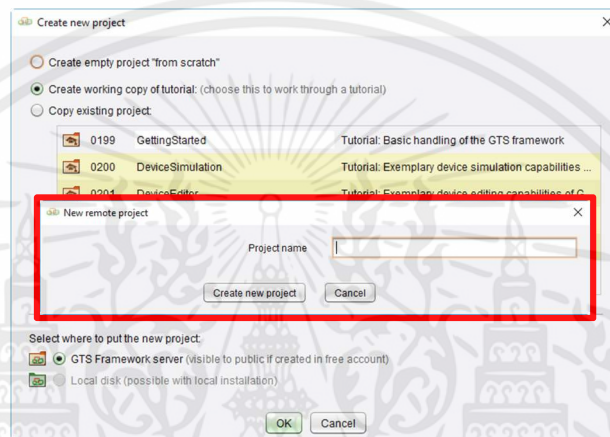
หน้าต่างระบบ เป็นส่วนแสดงปริมาณหน่วยความจำภายในเซิร์ฟเวอร์ที่เหลืออยู่สำหรับ User รวมถึงการตั้งค่าพื้นฐาน ผ่าน User settings ดังแสดงในรูปที่ 3.4



รูปที่ 3.4 หน้าต่างระบบ

3.3.5 หน้าต่างสร้างโปรเจคใหม่

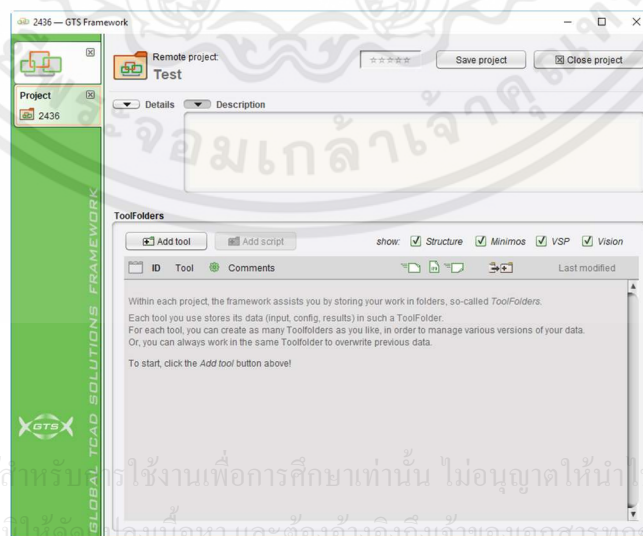
หลังจากคลิกปุ่ม New project จะปรากฏหน้าต่าง Create new project ขึ้นมา ภายในหน้าต่างประกอบด้วยตัวเลือก สร้างโปรเจคว่าง (Create empty project "from scratch") สร้างโปรเจคด้วยการคัดลอกจากตัวอย่าง (Create working copy of tutorial) และ คัดลอกงานที่มีอยู่ (Copy existing project) โดยทั่วไปจะเริ่มทำงาน เพื่อการสร้างโปรเจคว่าง โดยเลือกปุ่ม Create empty project "from scratch" แล้วคลิก OK จะปรากฏหน้าต่างสำหรับตั้งชื่อให้ทำการกรอกชื่อโปรเจค และคลิกปุ่ม Create New Project ดังแสดงในรูปที่ 3.5



รูปที่ 3.5 หน้าต่างสร้างโปรเจคใหม่

3.3.6 หน้าต่างโพลเดอร์โปรเจค

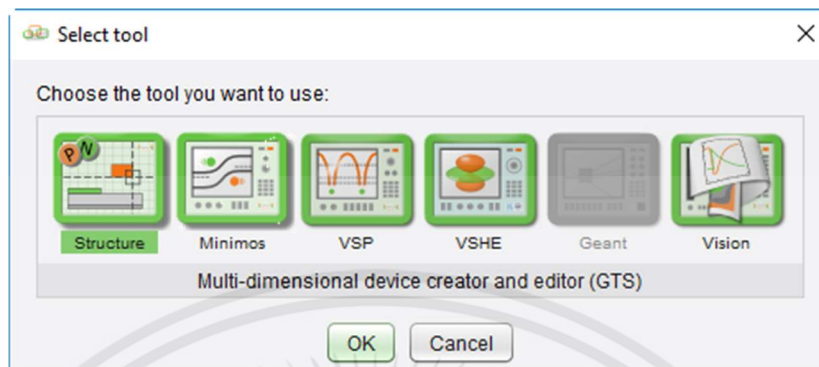
หลังจากสร้างโปรเจคแล้ว จะปรากฏหน้าต่างภายในแฟ้มโปรเจคในรูปที่ 3.6



รูปที่ 3.6 หน้าต่างโพลเดอร์โปรเจค

3.3.7 หน้าต่างเลือกเครื่องมือ

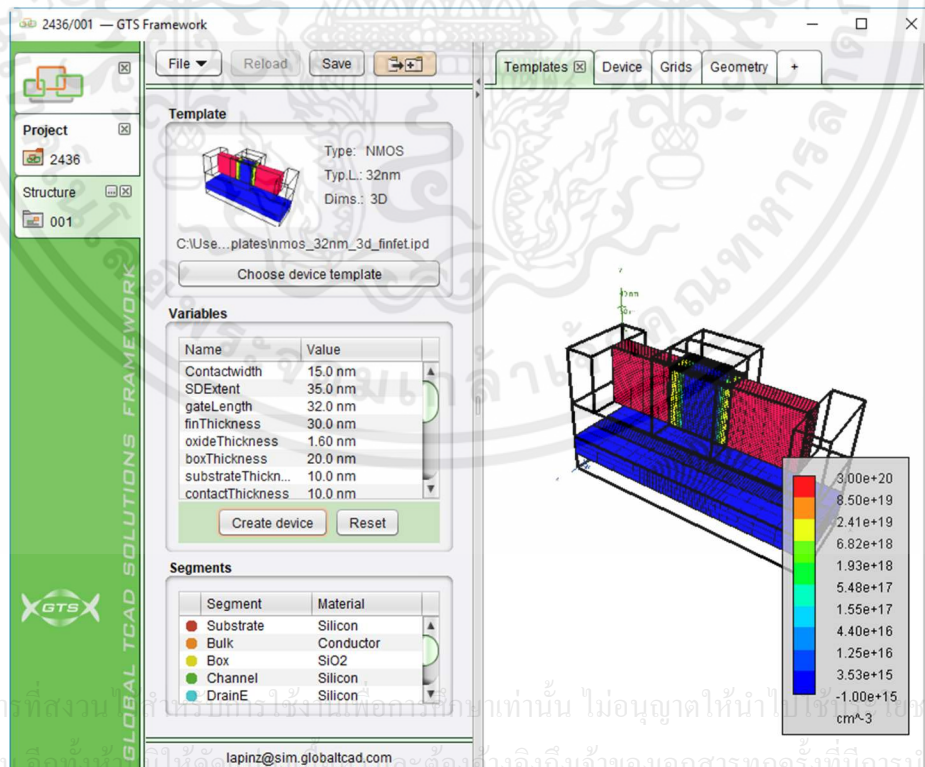
ภายในหน้าต่างแฟ้มโปรเจค สามารถทำการเพิ่มแฟ้มเครื่องมือต่างๆ ดังแสดงในรูปที่ 3.7



รูปที่ 3.7 หน้าต่างโพลเดอร์โปรเจค

3.3.8 หน้าต่างเครื่องมือ Structure

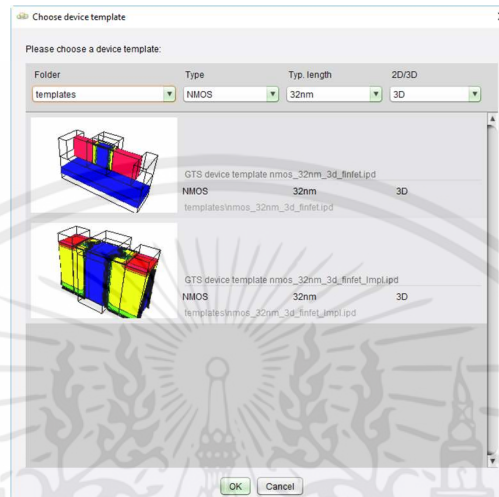
หลังจากทำการสร้างแฟ้มเครื่องมือ Structure จะปรากฏแฟ้มงานขึ้น จากนั้นทำการเขียนแบบโครงสร้างอุปกรณ์ หรือเลือกใช้โครงสร้างอุปกรณ์จาก Template ซึ่งจะกล่าวต่อไป ดังแสดงในรูปที่ 3.8



รูปที่ 3.8 หน้าต่างเครื่องมือ Structure

3.3.9 หน้าต่างเลือกต้นแบบโครงสร้างอุปกรณ์

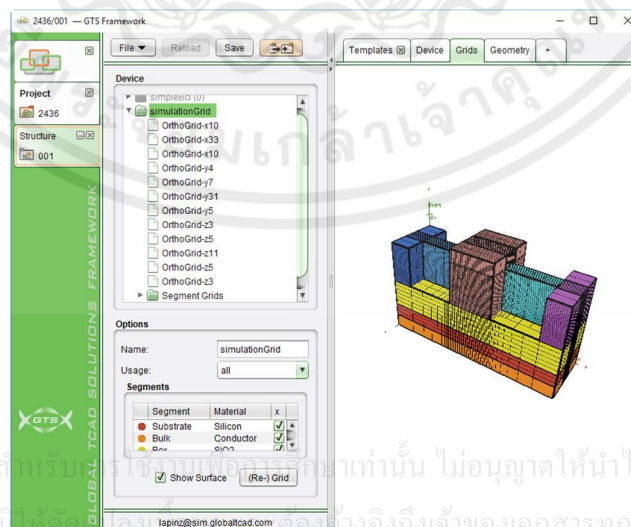
สำหรับเวอร์ชันออนไลน์ของ GTS Framework ต้นแบบ (Template) มีให้เลือกใช้งานทั้งแบบ 2 มิติ (2D) และ 3 มิติ (3D) รวมถึงสามารถเลือกประเภทของอุปกรณ์ได้ ทั้ง NMOS และ PMOS ซึ่งมีให้เลือกใช้งานหลายรูปแบบ และหลายขนาด ดังแสดงในรูปที่ 3.9



รูปที่ 3.9 หน้าต่างต้นแบบ

3.3.10 แถบ Grid ภายในเครื่องมือ Structure

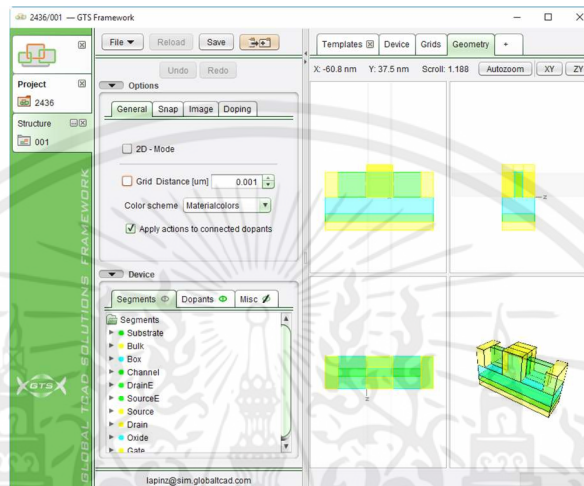
หลังจากทำการสร้างโครงสร้างหรือเลือกใช้งานต้นแบบ สามารถกำหนดค่า Grid ได้ภายในหน้าต่างของเครื่องมือ Structure ผ่านแถบงาน Grids ซึ่งสามารถปรับค่า Grid ได้ทั้งแบบอัตโนมัติและเลือกเขียนเอง ดังแสดงในรูปที่ 3.10



รูปที่ 3.10 แถบ Grid ในหน้าต่างเครื่องมือ Structure

3.3.11 แถบ Geometry ภายในเครื่องมือ Structure

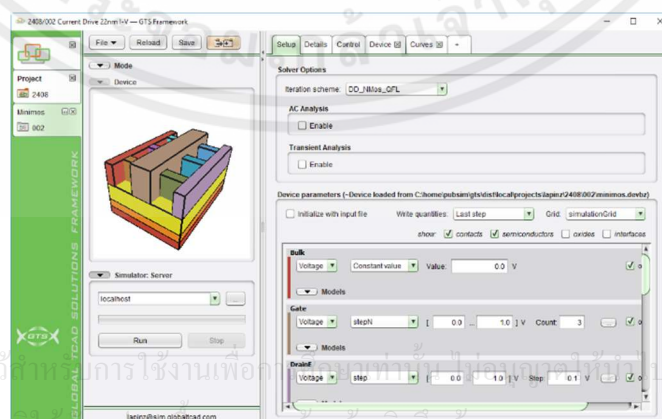
แถบงานนี้คือหัวใจสำคัญของการจำลองแบบโครงสร้างอุปกรณ์สารกึ่งตัวนำ เพราะเป็นส่วนหลักในการออกแบบ และสามารถแบ่งโครงสร้างออกเป็นส่วนต่างๆ เพื่อช่วยให้สามารถแก้ไข และปรับปรุงงานได้ง่ายขึ้น ภายในแถบ Geometry ประกอบด้วยสองส่วนหลักคือ Segment และ Dopants เป็นตัวจัดการส่วนประกอบของโครงสร้าง และจัดการการเจือสารในโครงสร้าง ดังแสดงในรูปที่ 3.11



รูปที่ 3.11 แถบ Geometry ภายในเครื่องมือ Structure

3.3.12 หน้าต่างเครื่องมือ Minimos-NT

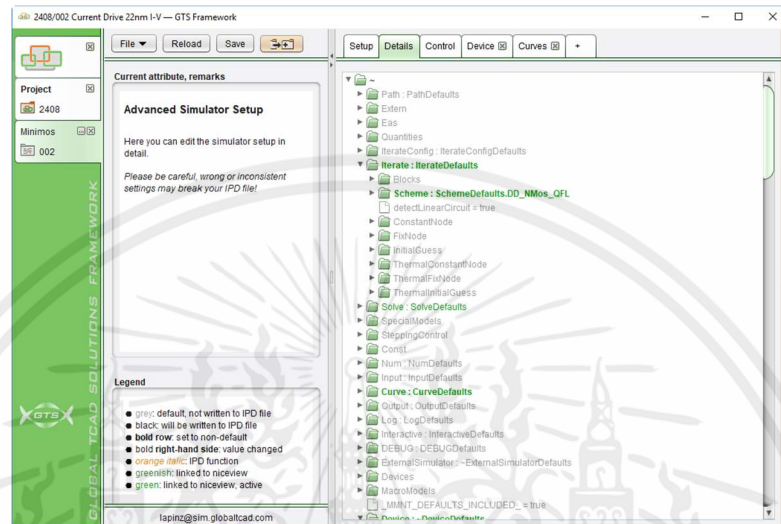
ภายในหน้าต่างหลักของเครื่องมือนี้ประกอบด้วยตัวเลือกรูปแบบการคำนวณ ซึ่งมีความจำเป็นในการทำความเข้าใจก่อนใช้งาน และเครื่องมือสำหรับการวัดทดสอบคุณลักษณะทางไฟฟ้าต่างๆ รวมถึงสามารถเลือกตัวเลือกการเก็บข้อมูลของโครงสร้างได้ ทั้งเก็บข้อมูลช่วงเริ่มต้น เก็บข้อมูลหลังจากเสร็จสิ้น รวมถึงเก็บข้อมูลทุกๆ ลำดับการทดลองเป็นต้น ดังแสดงในรูปที่ 3.12



รูปที่ 3.12 หน้าต่างเครื่องมือ Minimos-NT

3.3.13 แถบ Details ภายในเครื่องมือ Minimos-NT

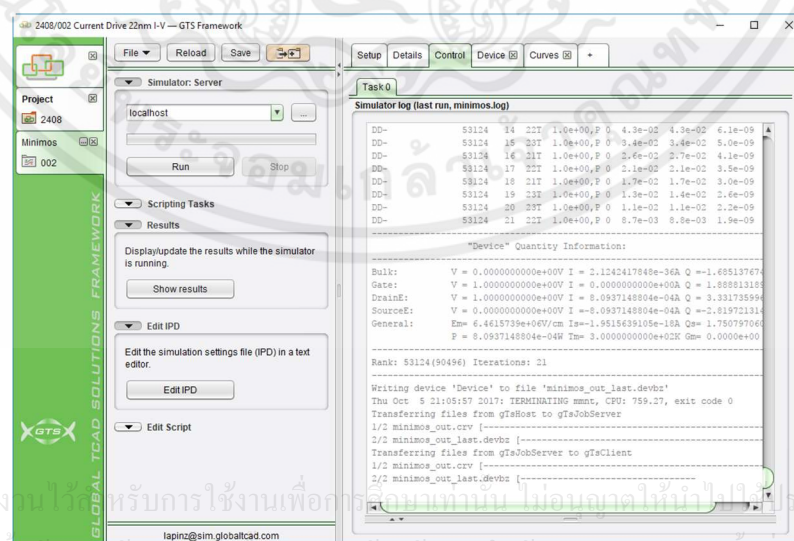
แถบ Details แสดงตัวแปรต่างๆภายในโครงสร้าง และการตั้งค่าสำหรับการวัดทดสอบ คุณลักษณะของอุปกรณ์ นอกจากนี้ผู้ใช้งานระดับสูง สามารถทำการโปรแกรมหรือตั้งค่าผ่านแถบนี้ แสดงดังรูปที่ 3.13



รูปที่ 3.13 แถบ Detail ภายในเครื่องมือ

3.3.14 แถบ Control ภายในเครื่องมือ Minimos-NT

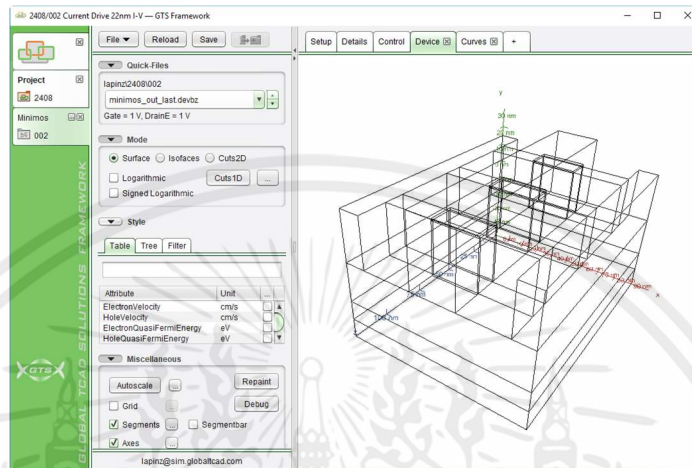
หน้าต่างแสดงการคำนวณขณะทำการวัดทดสอบโครงสร้างอุปกรณ์ ประกอบด้วยส่วนควบคุมการทำงาน ส่วนของการปรับซอสโค้ดในการวัดทดสอบ ดังแสดงในรูปที่ 3.14



รูปที่ 3.14 แถบ Control ภายในเครื่องมือ Minimos-NT

3.3.15 แถบ Device ภายในเครื่องมือ Minimos-NT

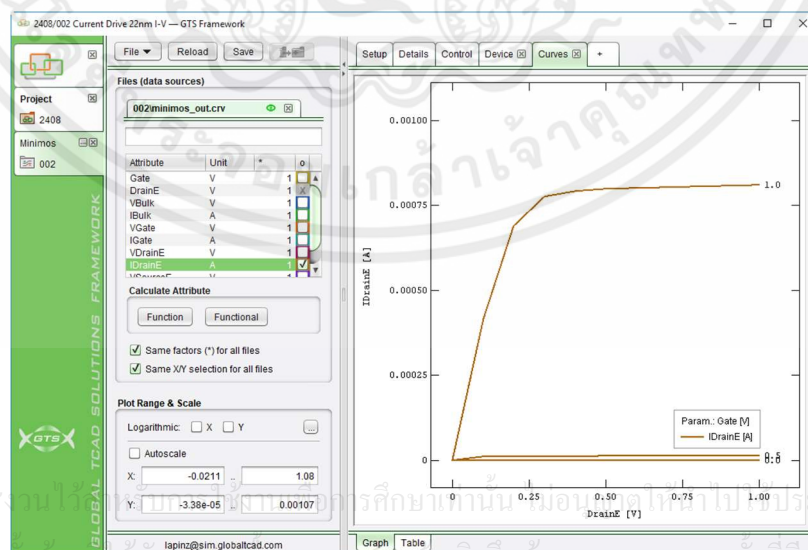
ภายในแถบ Device เป็นส่วนแสดงผลคุณลักษณะทางฟิสิกส์ของโครงสร้างอุปกรณ์ ผู้ใช้สามารถเรียกดูคุณลักษณะได้มากกว่า 64 แบบ โดยแสดงผลเป็นระดับสี และสามารถใช้ฟังก์ชัน Cut เพื่อนำค่าส่วนที่แสดงผลแบบกราฟฟิค มาแสดงในแบบของกราฟ ดังแสดงในรูปที่ 3.15



รูปที่ 3.15 แถบ Device ภายในเครื่องมือ Minimos-NT

3.3.16 แถบ Curved ภายในเครื่องมือ Minimos-NT

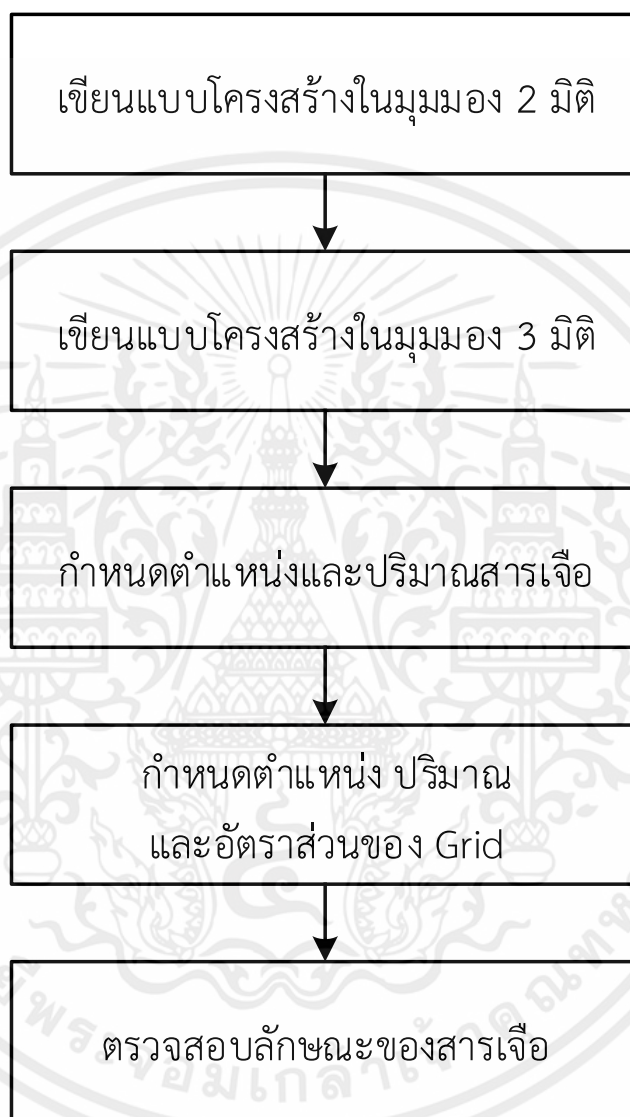
ภายในแถบ Curved เป็นส่วนแสดงผลการวัดทดสอบคุณลักษณะทางไฟฟ้าจากการตั้งค่าในหน้าหลักของเครื่องมือ Minimos-NT ผลการวัดทดสอบอยู่ในรูปแบบของคุณลักษณะของโครงสร้าง ดังแสดงในรูปที่ 3.16



รูปที่ 3.16 แถบ Curve ภายในเครื่องมือ Minimos-NT

3.4 การเขียนแบบโครงสร้างฟินเฟท

การเขียนแบบโครงสร้างฟินเฟท ในงานวิจัยนี้เลือกใช้เครื่องมือ Structure บนโปรแกรม GTS Framework Online ในการเขียนแบบ และจัดการการเอกสาร ซึ่งขั้นตอนการเขียนแบบโครงสร้างฟินเฟท แสดงดังแผนผังในรูปที่ 3.17



รูปที่ 3.17 แผนผังขั้นตอนการเขียนแบบโครงสร้างฟินเฟท

ในการเขียนแบบโครงสร้างจำเป็นต้องทำการออกแบบโครงสร้างตามทฤษฎีเสมอ เพื่อลดการเกิดผลกระทบจากอัตราส่วน และขนาดของส่วนประกอบในโครงสร้างฟินเฟท เมื่อทำการเขียนแบบในมุมมองสามมิติแล้ว ทำการกำหนดตำแหน่งและปริมาณสารเจือแล้ว จึงกำหนดตำแหน่ง ปริมาณ และอัตราส่วนของ Grid และสุดท้ายตรวจสอบลักษณะของสารเจือบนโครงสร้าง ซึ่งจะอธิบายต่อไปในแต่ละหัวข้อตามแผนผังขั้นตอนการออกแบบ

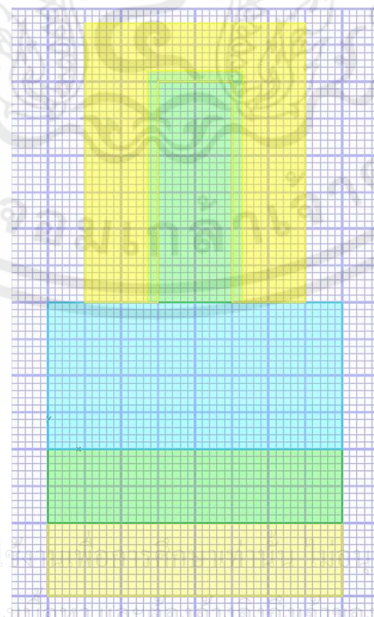
3.4.1 เขียนแบบโครงสร้างในมุมมอง 2 มิติ

ในการเขียนแบบด้วยมุมมอง 2 มิติ จำเป็นต้องเริ่มจากการเขียนโครงสร้างด้วยมุมมองภาคตัดขวาง หลังจากนั้นจึงทำการยืด (Extrude) โครงสร้างออก ซึ่งจะอธิบายในหัวข้อย่อต่อไป การเขียนเริ่มจากการเพิ่ม Segment หรือส่วนประกอบต่างๆของโครงสร้างฟินเฟท ดังแสดงในรูปที่ 3.18



รูปที่ 3.18 Segment ของโครงสร้างฟินเฟท

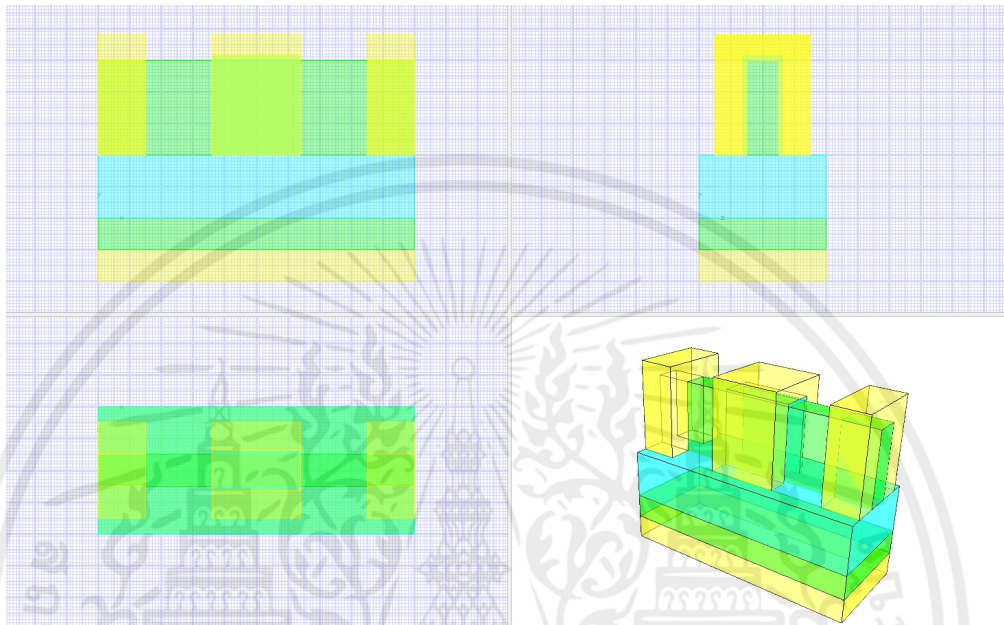
จากรูปที่ 3.18 Segment ของโครงสร้างฟินเฟทที่ใช้ในงานวิจัยประกอบด้วย Bulk คือชั้นฐานรอง หรือเรียกว่าชั้น Back gate ได้เช่นกัน Substrate คือส่วนฐานรองซิลิคอน BOX คือชั้น Buried Oxide ชั้น Fin คือชั้นซิลิคอนบนฉนวน (ชั้น SOI) Oxide คือเกตออกไซด์หรือชั้นฉนวนชั้นเกต Gate คือชั้นโลหะเกต Source คือชั้นซอส และ Drain แทนชั้นเดรน หลังจากทำการเขียนโครงสร้างในมุมมอง 2 มิติแล้ว จะได้โครงสร้างดังแสดงในรูปที่ 3.19



รูปที่ 3.19 โครงสร้างฟินเฟทในมุมมอง 2 มิติ

3.4.2 การเขียนโครงสร้างในมุมมอง 3 มิติ

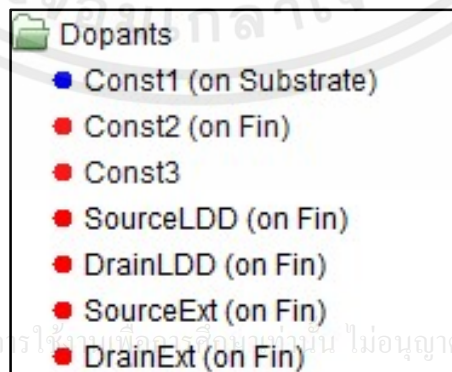
หลังจากเขียนแบบโครงสร้างได้ตามรูปที่ 3.19 ทำการเปลี่ยนมุมมองการเขียนเป็น 3 มิติ และทำการยัด (Extrude) โครงสร้างให้เป็นรูปทรง 3 มิติ ดังแสดงในรูปที่ 3.20



รูปที่ 3.20 โครงสร้างฟินเฟทในมุมมอง 3 มิติ

3.4.3 การกำหนดตำแหน่งและปริมาณสารเจือ

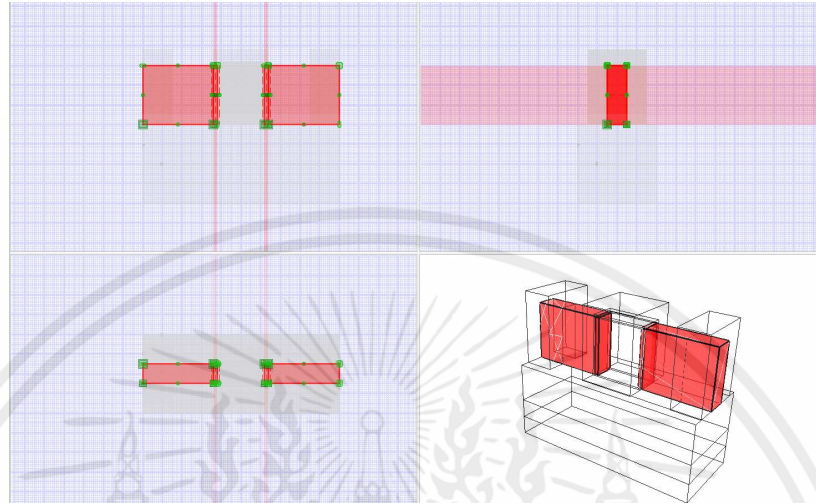
เมื่อทำการเขียนโครงสร้างฟินเฟท จากรูปที่ 3.20 แล้ว ทำการกำหนดตำแหน่งและปริมาณสารเจือ ซึ่งสามารถใช้งานได้โดยการเพิ่ม Dopant หรือตัวแปรกำหนดตำแหน่งและความเข้มข้นสารเจือบนส่วนต่างๆของโครงสร้างฟินเฟท ดังแสดงในรูปที่ 3.21



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกร ไร้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.21 Dopant ของโครงสร้างฟินเฟท

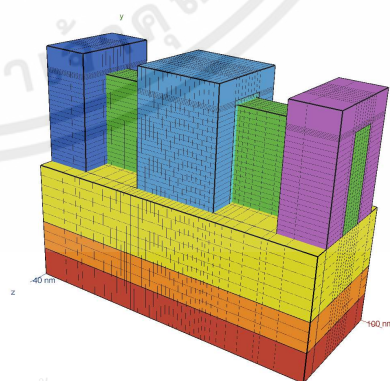
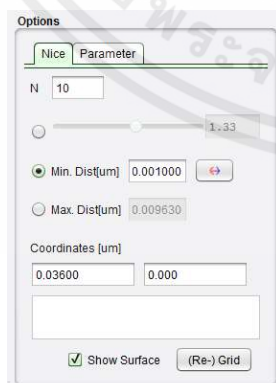
การกำหนด Dopant เป็นเรื่องที่สำคัญมากในการเขียนแบบโครงสร้าง ในกรณีมีการกำหนดค่าผิดพลาดจะทำให้คุณลักษณะทางไฟฟ้าผิด และทำให้เกิดผลกระทบหลายๆด้าน เมื่อกำหนด Dopant บนโครงสร้างฟินเฟทแล้ว บริเวณที่ทำการกำหนดค่า Dopant แสดงในรูปที่ 3.22



รูปที่ 3.22 Dopant บนโครงสร้างฟินเฟท

3.4.4 การกำหนดตำแหน่ง ปริมาณ และอัตราส่วน Grid

Grid เป็นส่วนประกอบสำคัญที่สุดในโครงสร้างของอุปกรณ์ทุกชนิด ในกระบวนการจำลอง เนื่องจากโมเดลคณิตศาสตร์ที่นำมาใช้ในการคำนวณบนเครื่องคอมพิวเตอร์ ใช้การคำนวณด้วยพื้นฐานรูปทรงเรขาคณิต โดยมีลักษณะของรูปทรงแตกต่างกันไปตามประเภท และอัตราส่วนของ Grid ในการกำหนดปริมาณ อัตราส่วน และตำแหน่ง ดังแสดงในรูปที่ 3.9 (ก) และ Grid บนโครงสร้างฟินเฟท แสดงดังรูปที่ 3.23 (ข) เมื่อกำหนด Grid ให้เหมาะสมกับโครงสร้างและปริมาณ Grid รวมไม่เกินข้อจำกัดของโปรแกรม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
(ก) (ข)
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสาร เรทุกครั้งที่มีการนำไปใช้

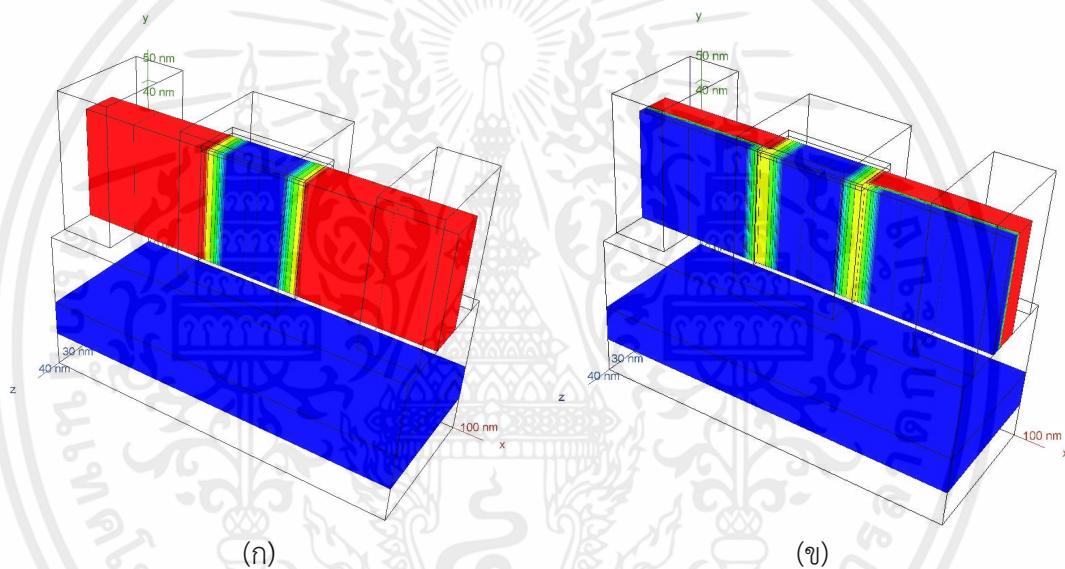
รูปที่ 3.23 (ก) หน้าต่างเครื่องมือปรับแต่งค่า Grid (ข) Grid บนโครงสร้างฟินเฟท

3.4.5 การตรวจสอบลักษณะของสารเจือ

ขั้นตอนการตรวจสอบลักษณะของสารเจือบนโครงสร้าง สามารถทำได้โดยการเลือกตัวเลือก Total Concentration ลักษณะสารเจือจะปรากฏขึ้นบนโครงสร้าง ประกอบด้วยสองลักษณะคือ ลักษณะที่ถูกต้อง และลักษณะที่ไม่ถูกต้อง ดังแสดงในรูปที่ 3.25

Attribute	Unit	...
AcceptorConcentration	cm ⁻³	<input type="checkbox"/>
DonorConcentration	cm ⁻³	<input type="checkbox"/>
NetConcentration	cm ⁻³	<input type="checkbox"/>
TotalConcentration	cm ⁻³	<input type="checkbox"/>

รูปที่ 3.24 ตัวเลือกแสดงความเข้มข้นสารเจือ



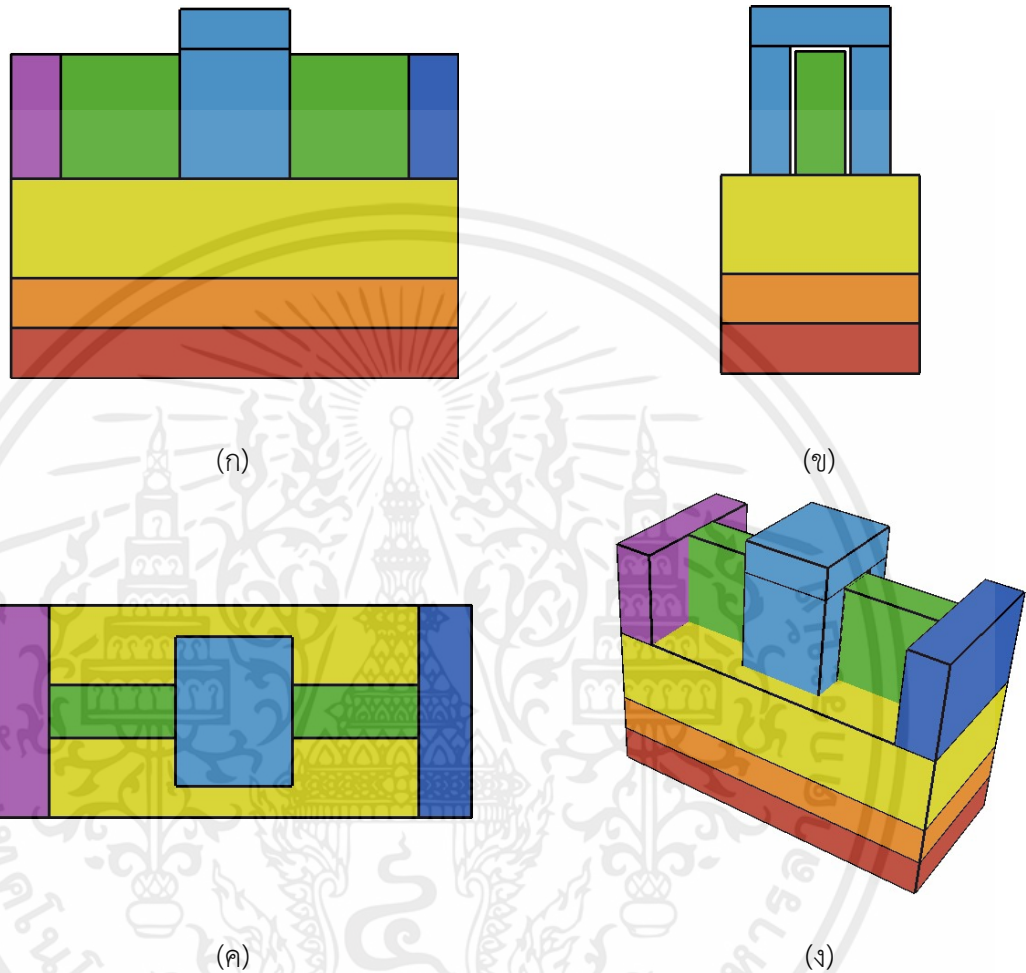
รูปที่ 3.25 (ก) ลักษณะของสารเจือบนโครงสร้างฟินเฟทที่ถูกต้อง (ข) ลักษณะของสารเจือบนโครงสร้างฟินเฟทที่ไม่ถูกต้อง

การแก้ปัญหาลักษณะสารเจือไม่ถูกต้อง สามารถทำได้โดยกลับไปแก้ไขที่หน้า Dopant ตรวจสอบรูปแบบการเจือสาร การกระจายตัว และความเข้มข้นที่กำหนด เพื่อนำโครงสร้างไปทำการวัดทดสอบต่อไป ในกรณีไม่สามารถแก้ไขได้ วิธีที่ดีที่สุดคือการตรวจสอบส่วน segment ของโครงสร้าง และแยกส่วนประกอบของโครงสร้างออกจากกันให้มากที่สุด เนื่องจากจะได้ความแม่นยำ และหลีกเลี่ยงการทับซ้อนของการเจือสาร เพื่อความถูกต้องในกระบวนการออกแบบโครงสร้าง และเมื่อนำโครงสร้างไปวัดทดสอบ ทำให้ได้ผลลัพธ์ที่มีความถูกต้องสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในอาคารของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 โครงสร้างพินเฟทในงานวิจัย

ในหัวข้อนี้เป็นการอธิบายโครงสร้างพินเฟท โดยโครงสร้างที่ใช้ในการจำลองเป็นโครงสร้างสามเกตพินเฟทชนิดเอ็นแบบ SOI แสดงดังรูปที่ 3.26



รูปที่ 3.26 โครงสร้างพินเฟท (ก) มุมมองด้านข้าง (ข) มุมมองภาคตัดขวาง (ค) มุมมองด้านบน (ง) มุมมองสามมิติ

จากรูปที่ 3.26 โครงสร้างพินเฟทในงานวิจัยนี้ประกอบด้วย ชั้นขั้วฐานรอง (สีแดง) ชั้นฐานรองซิลิคอน (สีส้ม) ชั้นออกไซด์ฝัง (สีเหลือง) และ ชั้นซิลิคอนบนฉนวน หรือชั้น SOI (สีเขียว)

โดยมีขั้วไฟฟ้า ซอส (สีม่วง) เดรน (สีน้ำเงิน) และเกต (สีฟ้าคราม) โดยในรูปที่ 3.26 (ข) แสดงชั้นเกตออกไซด์เป็นสีชมพู โครงสร้างที่กล่าวถึงเป็นโครงสร้างพื้นฐานของพินเฟทแบบ SOI ใช้สำหรับการศึกษา และวิจัยพัฒนาพินเฟท โดยต้นแบบนี้พัฒนาโดยบริษัท Global TCAD Solution ซึ่งมีทั้งพินเฟทชนิดเอ็น และชนิดพี แต่ผู้วิจัยทำการนำโครงสร้างต้นแบบมาปรับแต่งขนาด และลักษณะการเจือสาร ให้มีความแตกต่างและเหมาะสมกับงานวิจัยมากขึ้น

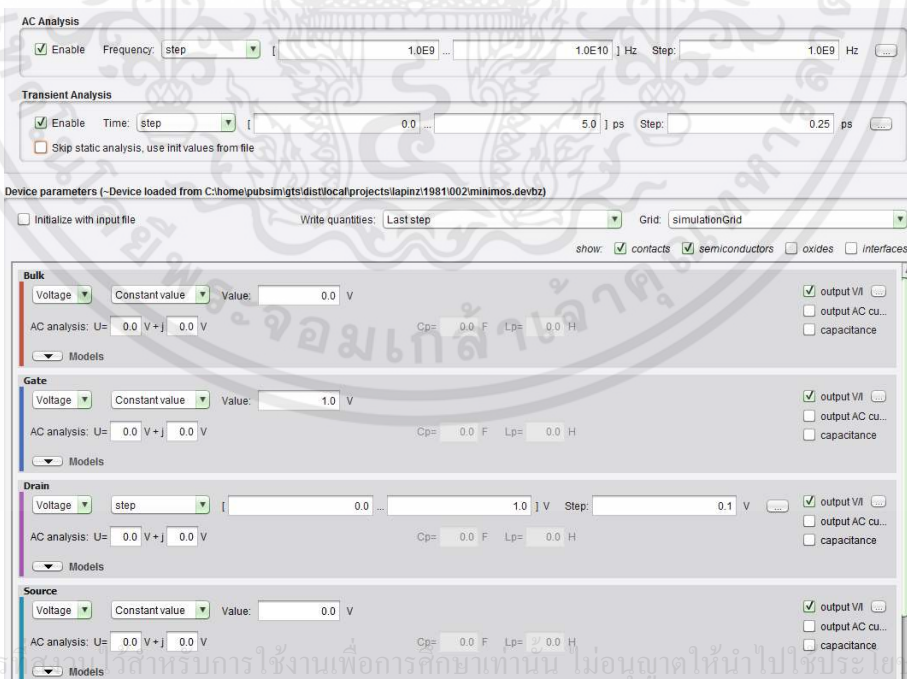
3.6 การวัดทดสอบโครงสร้าง

ในขั้นตอนการทดสอบโครงสร้าง เครื่องมือ Minimos-NT ได้นำมาใช้ในการวัดทดสอบคุณลักษณะทางไฟฟ้าของโครงสร้างพินเฟท ซึ่งสามารถวัดทดสอบทางด้านกระแสตรง (DC) กระแสสลับ (AC) ความถี่ และสามารถวัดคุณสมบัติอื่นๆของทรานซิสเตอร์ รวมไปถึงสามารถวิเคราะห์หลักไของอิเล็กทรอนิกส์ และโฮล สัญลักษณ์ของเครื่องมือแสดงในรูปที่ 3.27



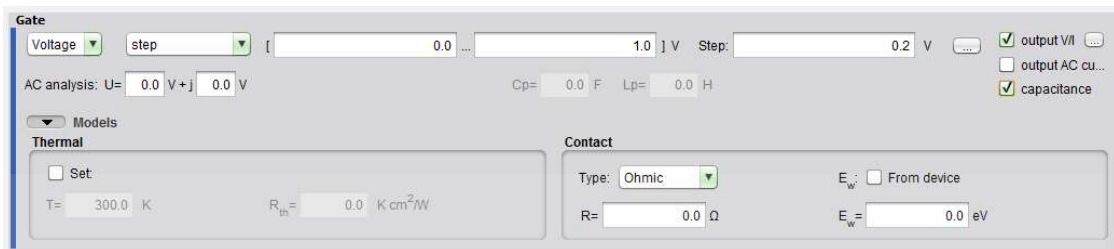
รูปที่ 3.27 สัญลักษณ์เครื่องมือ Minimos-NT

การวัดทดสอบคุณลักษณะทางไฟฟ้าของพินเฟทด้วยเครื่องมือ Minimos-NT ประกอบด้วยฟังก์ชันการวิเคราะห์ทางไฟฟ้ากระแสตรง (DC Analysis) ฟังก์ชันการวิเคราะห์ทางไฟฟ้ากระแสสลับ (AC Analysis) และ ฟังก์ชันการวิเคราะห์การเปลี่ยนแปลงเทียบกับเวลา (Transient Analysis) ดังแสดงในรูปที่ 3.28



รูปที่ 3.28 ฟังก์ชันสำหรับการวัดทดสอบ

การวัดทดสอบยังมีฟังก์ชันย่อยเช่น ปรับค่าอุณหภูมิ วัดทดสอบค่าความจุไฟฟ้า และกำหนดค่าความต้านทานแฝง ซึ่งสามารถปรับแต่งตัวเลือกได้ ดังแสดงในรูปที่ 3.29



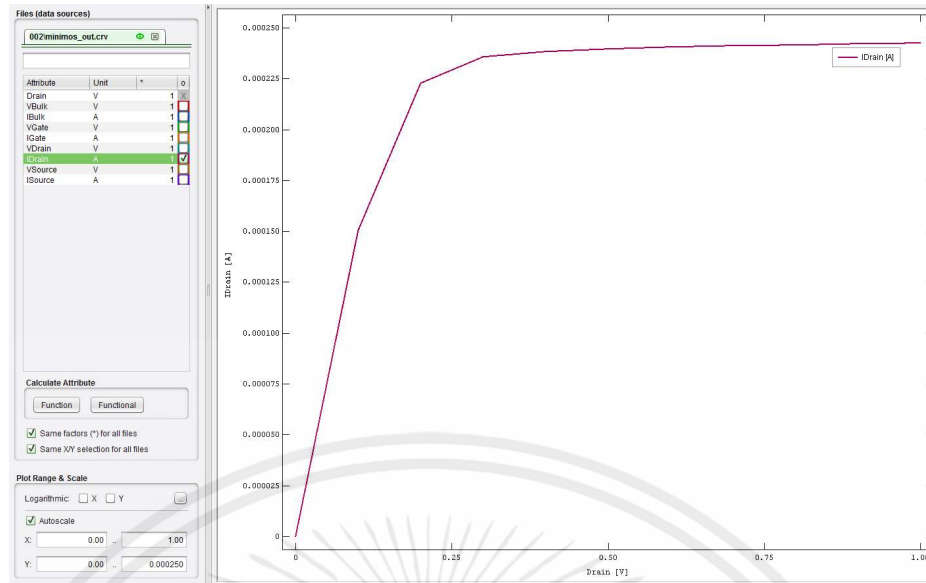
รูปที่ 3.29 ฟังก์ชันย่อยในการวิเคราะห์

เมื่อทำการกำหนดค่าแรงดันและกระแสสำหรับวัดทดสอบแล้ว ในขั้นตอนต่อไปเป็นการดำเนินการวิเคราะห์คุณลักษณะทางไฟฟ้าของโครงสร้างพินเฟท ขณะที่โปรแกรมดำเนินการวิเคราะห์ด้วยกระบวนการทางคณิตศาสตร์ จะปรากฏหน้าต่างในรูปที่ 3.30



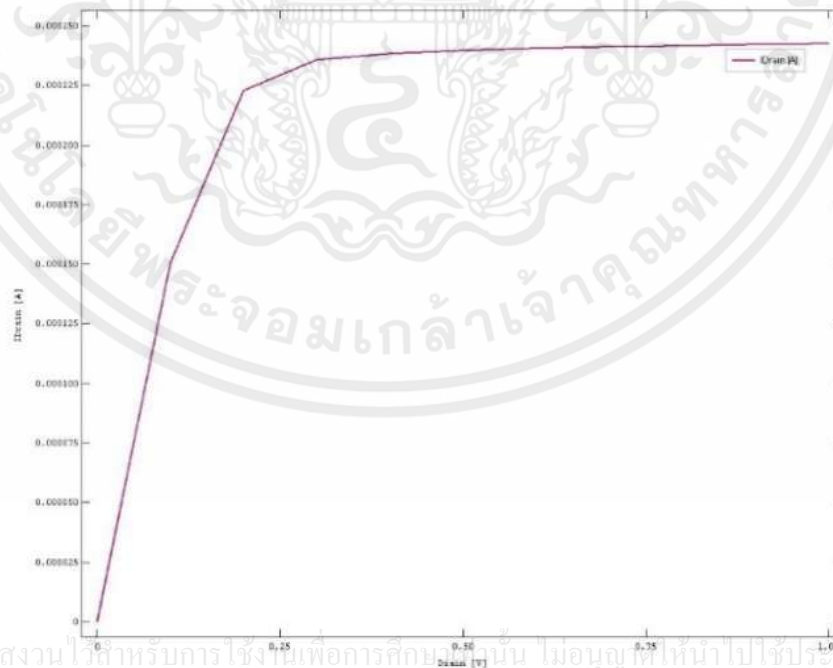
รูปที่ 3.30 กระบวนการวิเคราะห์คุณลักษณะทางไฟฟ้า

เมื่อการวิเคราะห์เสร็จสิ้นแล้ว โปรแกรมจะเปลี่ยนจากหน้าต่างนี้ไปสู่หน้าต่างแสดงผลกราฟคุณลักษณะ ซึ่งประกอบด้วยส่วนใช้งานที่จำเป็นสำหรับตรวจสอบ และทำการส่งออกค่าคุณลักษณะของไฟฟ้าของโครงสร้างพินเฟท ดังแสดงในรูปที่ 3.31



รูปที่ 3.31 หน้าต่างแสดงกราฟผลการวัดทดสอบ

จากรูปที่ 3.31 หน้าต่างนี้เป็นหน้าต่างที่สำคัญ เนื่องจากแสดงผลของการวิเคราะห์คุณลักษณะของโครงสร้างพินเฟท ซึ่งหน้าต่างนี้มีฟังก์ชันปรับแต่งกราฟ และสามารถส่งออกข้อมูลเป็นตัวเลขเพื่อนำไปเขียนกราฟ หรือวิเคราะห์คุณสมบัติ และประสิทธิภาพของโครงสร้าง และยังสามารถในการส่งออกข้อมูลเป็นรูปภาพ ดังแสดงในรูปที่ 3.32

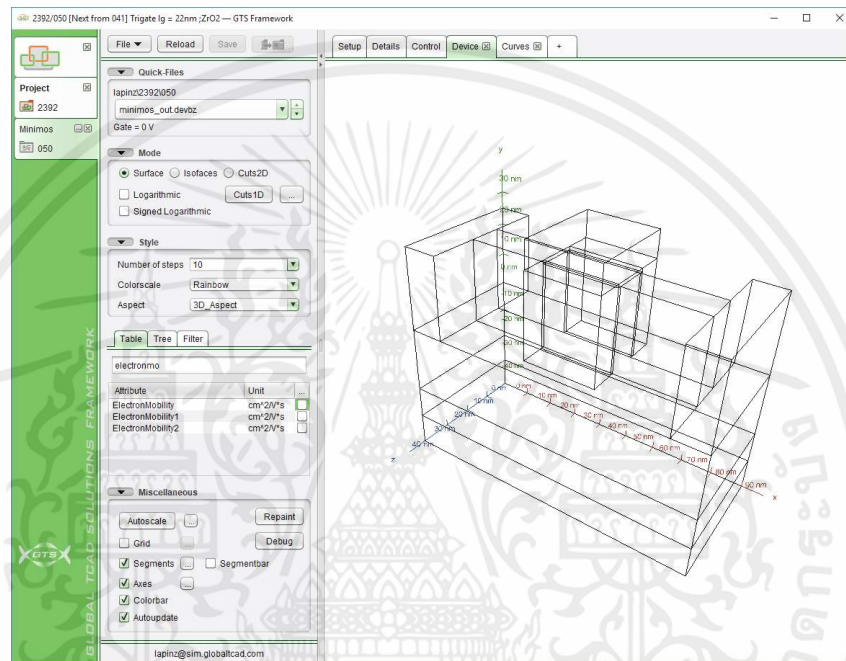


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษามาก่อนนั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.32 กราฟคุณลักษณะทางกระแสและแรงดันของพินเฟท

3.7 วิธีแสดงค่าทางฟิสิกส์บนโครงสร้างพินเฟท

GTS Framework เป็นโปรแกรมจำลองแบบโครงสร้างอุปกรณ์อิเล็กทรอนิกส์หนึ่ง ซึ่งสามารถแสดงค่าทางฟิสิกส์ของโครงสร้าง ผ่านส่วนติดต่อผู้ใช้ของโปรแกรม โดยวิธี Cut บนเครื่องมือ Minimos-NT หลังจากทำการวิเคราะห์คุณลักษณะทางไฟฟ้า ยกตัวอย่างเช่น ผู้ใช้มีความต้องการให้โปรแกรมแสดงผล ค่าความคล่องตัวพาหะบนโครงสร้างพินเฟท ให้ทำการวิเคราะห์คุณลักษณะกระแส-แรงดัน จากนั้นโปรแกรมจะพาเข้าสู่หน้าต่าง Device ดังแสดงในรูปที่ 3.33



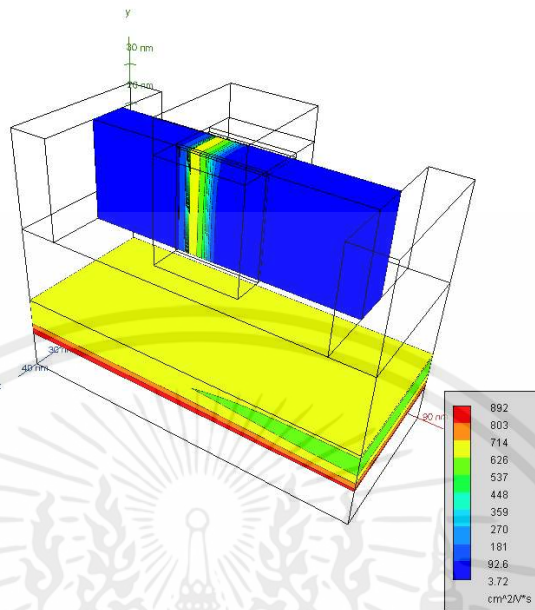
รูปที่ 3.33 หน้าต่าง Device ภายในเครื่องมือ Minimos-NT

หลังจากเข้าสู่หน้าต่าง Device ให้ทำการเลือกตัวเลือก Electron Mobility จากช่อง Attribute ดังแสดงในรูปที่ 3.34

Attribute	Unit	...
SpaceChargeDensity	e^*cm^{-3}	<input type="checkbox"/>
ElectronMobility	$cm^2/V*s$	<input checked="" type="checkbox"/>
HoleMobility	$cm^2/V*s$	<input type="checkbox"/>
ElectronMobility1	$cm^2/V*s$	<input type="checkbox"/>
HoleMobility1	$cm^2/V*s$	<input type="checkbox"/>
ElectronMobility2	$cm^2/V*s$	<input type="checkbox"/>
HoleMobility2	$cm^2/V*s$	<input type="checkbox"/>

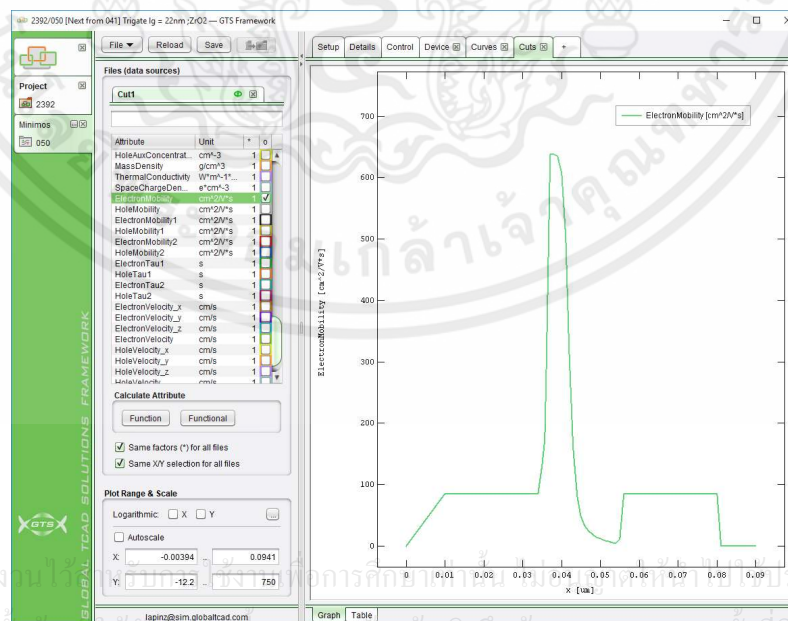
รูปที่ 3.34 ช่อง Attribute

เมื่อทำการเลือกตัวเลือก Electron Mobility แล้ว จะปรากฏระดับสีแสดงค่าความคล่องตัวพาหะ บนโครงสร้างในหน้าต่างงานดังแสดงในรูปที่ 3.35



รูปที่ 3.35 ระดับสีแสดงค่าความคล่องตัวพาหะบนโครงสร้างพินเฟท

เข้าสู่หน้าต่าง Cut1D จากนั้นเลือกตำแหน่งบนแกน X-Y Y-Z หรือ X-Z ตามต้องการ หลังจากนั้นทำการกดปุ่ม Apply จะปรากฏแถบหน้าต่าง Cut ภายในหน้าต่างเครื่องมือ Minimos-NT จากนั้นทำการแสดงผลค่าทางฟิสิกส์บนโครงสร้างในลักษณะของกราฟ ดังแสดงในรูปที่ 3.36



รูปที่ 3.36 กราฟความสัมพันธ์ความคล่องตัวอิเล็กตรอน-โครงสร้างพินเฟทในแกน X

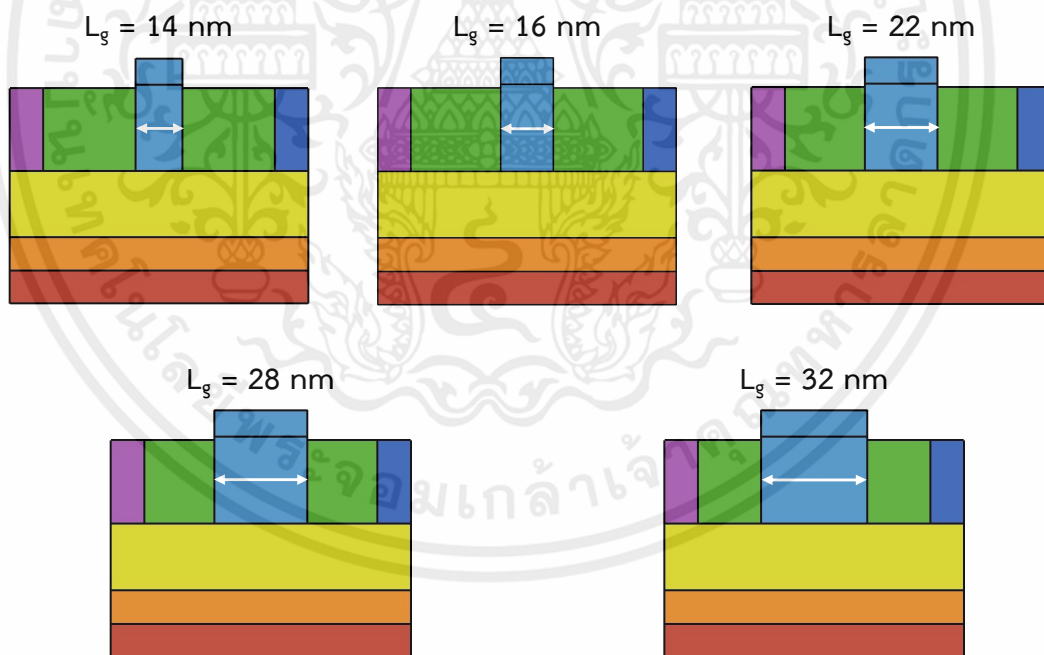
บทที่ 4

ผลการทดลองและการอภิปรายผล

ในบทนี้กล่าวถึง การวิเคราะห์คุณลักษณะทางไฟฟ้า และผลกระทบทางฟิสิกส์ จากการปรับแต่งโครงสร้างประกอบด้วย ขนาดความยาวช่องทางเดินกระแส ขนาดความกว้างของชั้นซิลิคอน ขนาดความหนาชั้นซิลิคอน ขนาดความหนาของชั้นฉนวนฉนวนซิลิเกต รูปทรงของชั้นซิลิคอน และความคล่องตัวพาหะบริเวณช่องทางเดินกระแสของฟินเฟตชนิดเอ็นแบบ SOI

4.1 การศึกษาการปรับความยาวช่องทางเดินกระแส

ในการทดลองนี้ทำการปรับความยาวเกต (L_g) เพื่อทำการวิเคราะห์ผลกระทบจากการปรับขนาดความยาวของช่องทางเดินกระแสที่มีผลต่อคุณลักษณะทางไฟฟ้า ประกอบด้วยความยาว 14 16 22 28 และ 32 นาโนเมตร $W_{Si} = 10$ นาโนเมตร $t_{Si} = 25$ นาโนเมตร และ $t_{ox} = 1$ nm โดยใช้วัสดุ HfO_2 เป็นฉนวนฉนวนซิลิเกต ในมุมมองด้านข้าง แสดงในรูปที่ 4.1

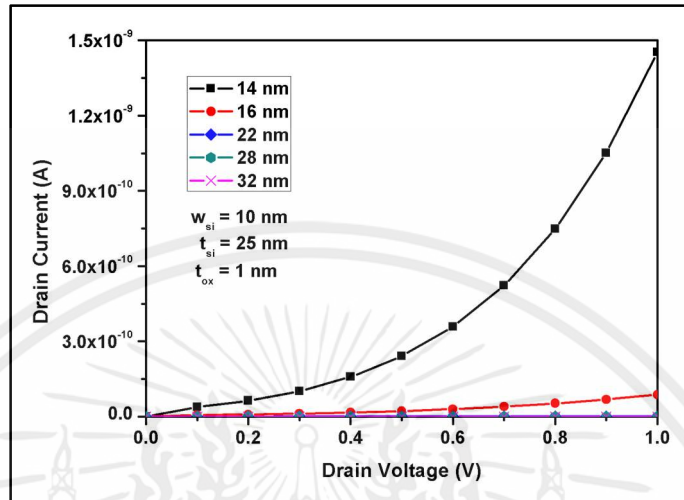


รูปที่ 4.1 โครงสร้างฟินเฟตที่ประกอบด้วยขนาดความยาวช่องทางเดินกระแสต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า จากโครงสร้างฟินเฟตในรูปที่ 4.1 ในหัวข้อนี้ทำการวัดทดสอบคุณลักษณะกระแส-แรงดัน และคุณลักษณะกระแส-แรงดันเกต และทำการวิเคราะห์คุณลักษณะทางไฟฟ้าต่างๆ จากผลการวัดทดสอบ ประกอบด้วย กระแสเดรนอิ่มตัว แรงดันขีดเริ่ม ชับเทรชโฮลด์สวิงก์ และ DIBL

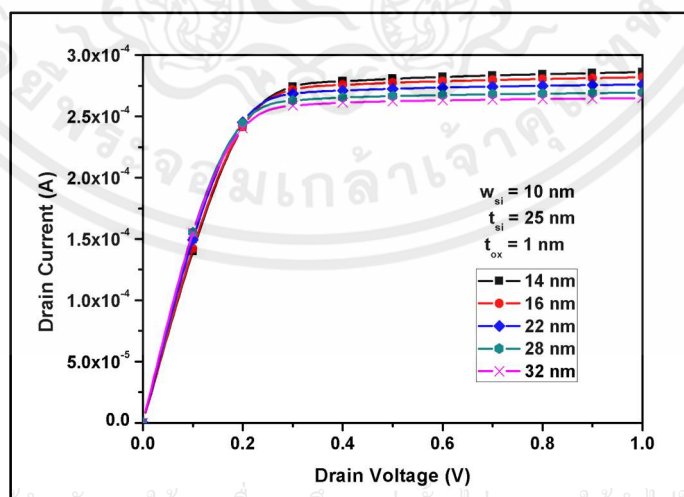
4.1.1 คุณลักษณะกระแส - แรงดัน

ในการวัดทดสอบคุณลักษณะกระแสและแรงดัน ด้วยไฟฟ้ากระแสตรง โดยไบอัสแรงดันเกต 0 V และ 1 V และไบอัสแรงดันเดรนจาก 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูปที่ 4.2 และ 4.3 ตามลำดับ



รูปที่ 4.2 คุณลักษณะกระแส-แรงดันของโครงสร้างฟินเฟทที่มีความยาวช่องทางเดินกระแสแตกต่างกัน ในกรณี $V_g = 0$ V

จากรูปที่ 4.21 หลังจากทำการวัดทดสอบพบว่า ที่กระแสเดรนขณะแรงดันเกตเท่ากับ 0 โวลต์ โครงสร้างฟินเฟทที่มี $L_g = 14$ nm มีค่าสูงสุดเนื่องจากเมื่อขนาด L_g น้อย ทำให้ค่า R_{ch} มีค่าน้อยตาม ทำให้ฟินเฟทที่มี L_g น้อยให้กระแสรั่วไหลสูง ขณะไม่ได้รับแรงดันไบอัสที่ขั้วเกต ซึ่งสามารถวิเคราะห์ได้จากสมการ (2.7)

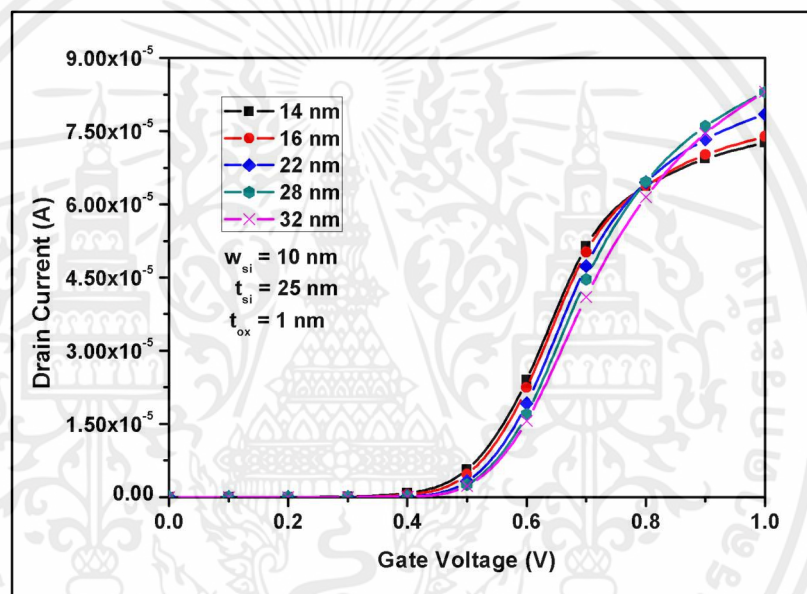


รูปที่ 4.3 คุณลักษณะกระแส-แรงดันของโครงสร้างฟินเฟทที่มีความยาวช่องทางเดินกระแสแตกต่างกัน ในกรณี $V_g = 1$ V

จากรูปที่ 4.3 ขณะทำการไบอัสแรงดันเกต 1 โวลต์ ค่ากระแสเดรนในช่วงอิมิตัวของฟินเฟทที่มีขนาดความยาวช่องทางเดินกระแส 14 นาโนเมตร มีค่าสูงที่สุด และฟินเฟทที่มีขนาดช่องทางเดินกระแสมากขึ้น จะให้ค่ากระแสในช่วงอิมิตัวน้อยลง เนื่องจากค่าความต้านทานภายในช่องทางเดินกระแสของฟินเฟทที่เพิ่มขึ้นตามความยาว ซึ่งสามารถวิเคราะห์ได้จากสมการ (2.10)

4.1.3 คุณลักษณะกระแสเดรน - แรงดันเกต

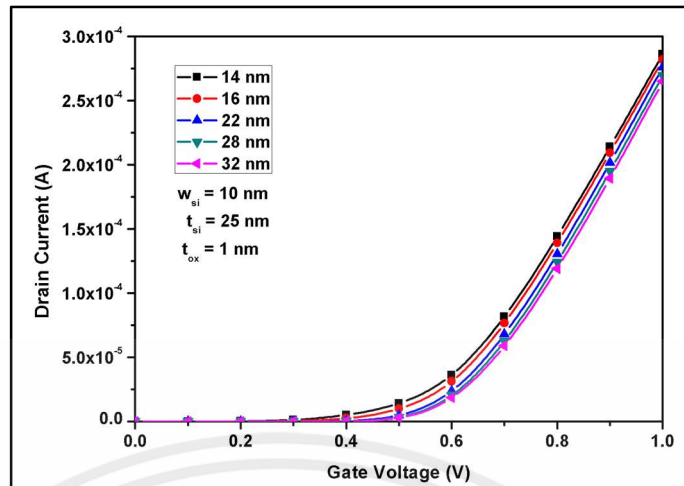
การวัดทดสอบคุณลักษณะกระแสเดรน-แรงดันเกต ด้วยไฟฟ้ากระแสตรง โดยทำการไบอัสแรงดันเดรน 50 mV และ 1 V และไบอัสแรงดันเกตตั้งแต่ 0 ถึง 1 V ชั้นละ 0.1 V ดังแสดงในรูปที่ 4.4 และ 4.5 ตามลำดับ



รูปที่ 4.4 คุณลักษณะกระแสเดรน-แรงดันเกตของโครงสร้างฟินเฟทที่มีช่องทางเดินกระแสแตกต่างกัน ในกรณี $V_D = 50$ mV

จากรูปที่ 4.4 หลังจากทำการวัดทดสอบคุณลักษณะกระแสเดรน-แรงดันเกตพบว่า หลังจากทำการไบอัสแรงดันเกตถึง 0.5 โวลต์ กระแสเดรนเข้าสู่ช่วงเชิงเส้น หรือช่วงซับเทรชโฮลต์ และกระแสเดรนเริ่มอิมิตัวในช่วงแรงดันเกตเท่ากับ 0.8 โวลต์ และพบว่าโครงสร้างฟินเฟทที่มีขนาดความยาวช่องทางเดินกระแส 14 นาโนเมตรเข้าสู่ช่วงเชิงเส้น ด้วยแรงดันเกตต่ำที่สุด

หลังจากทำการเพิ่มแรงดันเดรนเป็น 1 โวลต์ พบว่ากระแสเดรนมีการเปลี่ยนแปลงเข้าสู่ช่วงอิมิตัวในช่วงแรงดันเกตเท่ากับ 0.6 โวลต์ และกระแสเดรนของโครงสร้างฟินเฟทที่มีขนาดความยาวสั้นกว่ากรณีนี้อิมิตัวในช่วงแรงดันเกตน้อยกว่า และกระแสเดรนของโครงสร้างฟินเฟทที่มีขนาดความยาวสั้นกว่ากรณีนี้อิมิตัวในช่วงแรงดันเกตน้อยกว่า จะเริ่มเปลี่ยนแปลงเข้าสู่ช่วงซับเทรชโฮลต์ด้วยแรงดันเกตน้อยที่สุด และกระแสเดรนไม่เข้าสู่ช่วงอิมิตัว ดังแสดงในรูปที่ 4.5



รูปที่ 4.5 คุณสมบัติกระแสเดรน-แรงดันเกตของโครงสร้างฟินเฟทที่มีช่องทางเดินกระแสแตกต่างกัน ในกรณี $V_D = 1$ V

จากการวัดทดสอบคุณลักษณะทางไฟฟ้า และนำผลที่ได้มาวิเคราะห์กระแสอิมิตัว ด้วยสมการ (2.6) หาแรงดันขีดเริ่ม ด้วยวิธีการวัดจากรูปที่ 2.27 หาค่าซับเทรชโฮลด์สวิง ด้วยวิธีในรูปที่ 2.8 และผลกระทบจาก DIBL ด้วยสมการ (2.17) ดังแสดงในตารางที่ 4.1

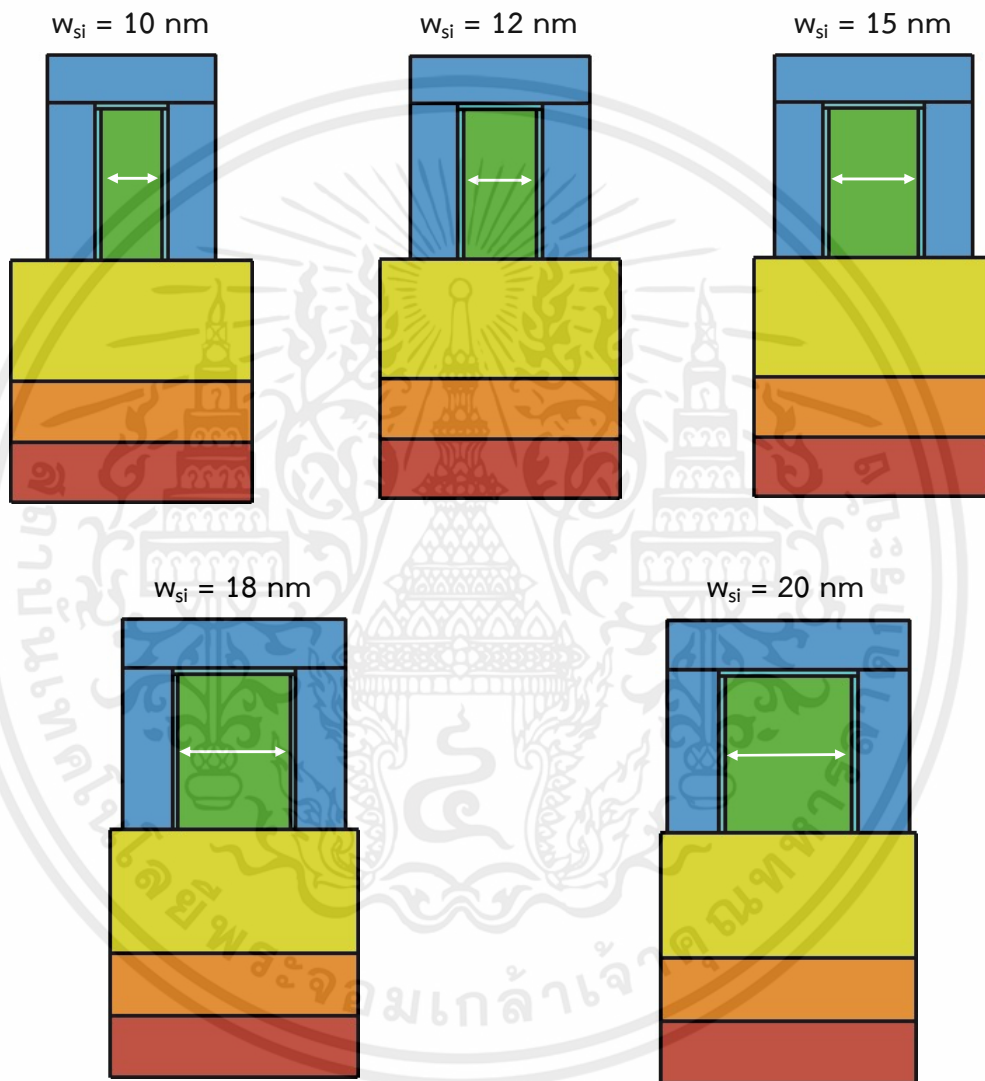
ตารางที่ 4.1 คุณลักษณะทางไฟฟ้าของฟินเฟทกับความยาวช่องทางเดินกระแส

คุณลักษณะทางไฟฟ้า ความยาวช่อง ทางเดินกระแส (nm)	กระแสเดรนอิมิตัว (μ A)	แรงดันขีดเริ่ม (V)		Subthreshold Swing (mV/dec)	DIBL (mV/V)
		$V_D = 50$ mV	$V_D = 1$ V		
14	274	0.371	0.319	170	55
16	272	0.382	0.354	100	29
22	269	0.395	0.392	63	3.47
28	263	0.403	0.405	63	2.08
32	259	0.406	0.407	61	0.74

จากตารางที่ 4.1 เมื่อช่องทางเดินกระแสของฟินเฟทมีขนาดความยาวมากขึ้น ทำให้กระแสเดรนอิมิตัว ค่าซับเทรชโฮลด์สวิง และ DIBL ลดลง แต่ทำให้ค่าแรงดันขีดเริ่มเพิ่มขึ้น จากการศึกษาการปรับเปลี่ยนขนาดความยาวช่องทางเดินกระแส ของฟินเฟทพบว่า ฟินเฟทควรมีขนาดความยาวช่องทางเดินกระแสน้อย จึงจะให้ค่าแรงดันขีดเริ่มต่ำ และกระแสเดรนอิมิตัวสูง

4.2 การศึกษาการปรับเปลี่ยนขนาดความกว้างของชั้นซิลิคอน

ในการทดลองนี้ทำการปรับความกว้างชั้นซิลิคอน (w_{si}) เพื่อทำการวิเคราะห์ผลกระทบจากการปรับขนาดความกว้างชั้นซิลิคอนที่มีผลต่อคุณลักษณะทางไฟฟ้า ประกอบด้วยความกว้าง 10 12 15 18 และ 20 นาโนเมตร ความยาวช่องทางเดินกระแส 22 nm ความหนาชั้นซิลิคอน 25 nm และความหนาชั้นเกตออกไซด์ 1 nm โดยใช้วัสดุ HfO_2 เป็นฉนวนขั้วเกต แสดงดังรูปที่ 4.6

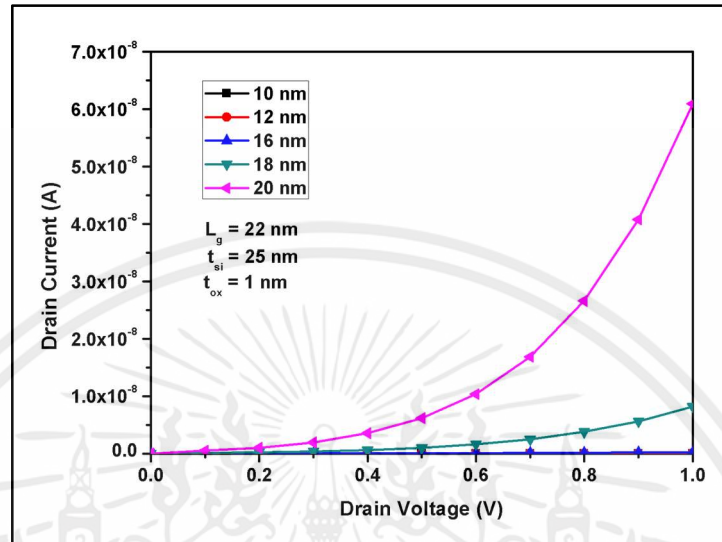


รูปที่ 4.6 โครงสร้างพินเฟต ที่ประกอบด้วยขนาดความกว้างชั้นซิลิคอนต่างกัน

จากโครงสร้างพินเฟตในรูปที่ 4.6 ในหัวข้อนี้ทำการวัดทดสอบคุณลักษณะกระแส-แรงดัน และคุณลักษณะกระแสเดรน-แรงดันเกต และทำการวิเคราะห์คุณลักษณะทางไฟฟ้าต่างๆจากผลการวัดทดสอบ ประกอบด้วย กระแสเดรนอิ่มตัว แรงดันขีดเริ่ม ชั้บเทรชโฮลด์สวิงก์ และ DIBL นำไปใช้

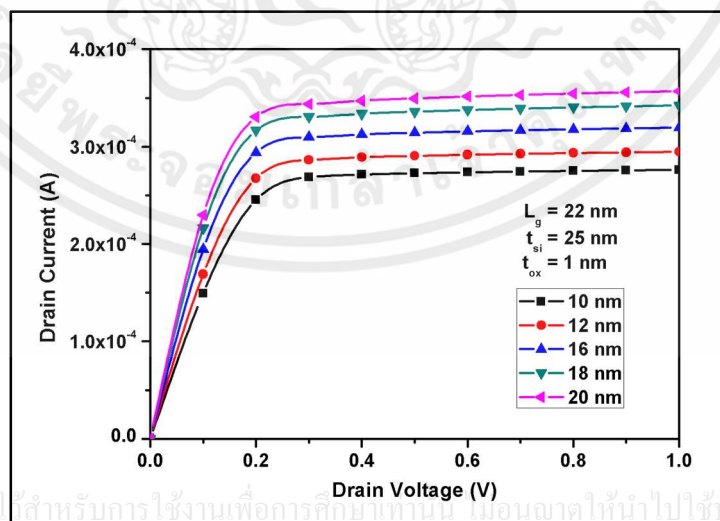
4.2.1 คุณลักษณะกระแส-แรงดัน

ในการวัดทดสอบคุณลักษณะกระแสและแรงดัน ด้วยไฟฟ้ากระแสตรง โดยไบอัสแรงดันเกต 0 V และ 1 V และไบอัสแรงดันเดรนจาก 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูปที่ 4.7 และ 4.8 ตามลำดับ



รูปที่ 4.7 คุณลักษณะกระแส-แรงดันของฟินเฟทที่มีขนาดความกว้างชั้นซิลิคอนแตกต่างกัน ในกรณี $V_g = 0$ V

จากรูปที่ 4.7 เมื่อขนาดของความกว้างชั้นซิลิคอนของโครงสร้างฟินเฟทมีค่ามากขึ้น ทำให้กระแสรั่วไหลมีค่าสูงขึ้นตาม ขณะที่ขั้วเกตไม่ได้รับแรงดันไบอัส เนื่องจากตัวแปร w_{si} มีผลกับตัวแปร W_g ในสมการ (2.8) ทำให้ค่ากระแสรั่วไหลของฟินเฟทเพิ่มตามค่าความกว้างชั้นซิลิคอน



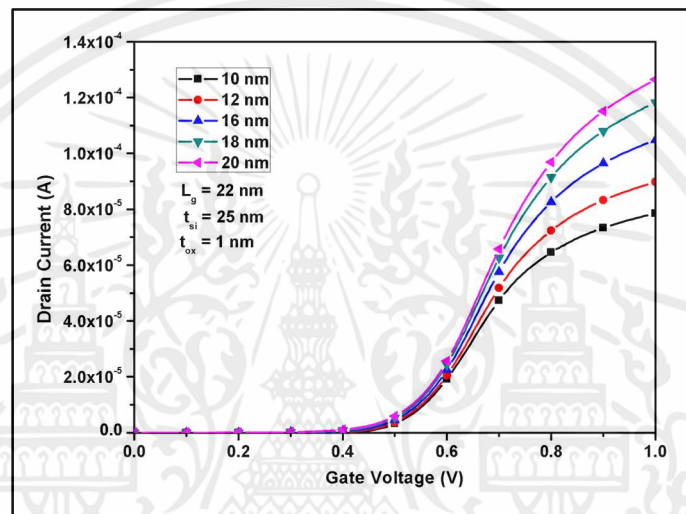
รูปที่ 4.8 คุณลักษณะกระแส-แรงดันของฟินเฟทที่มีขนาดความกว้างชั้นซิลิคอนแตกต่างกัน

ในกรณี $V_g = 1$ V

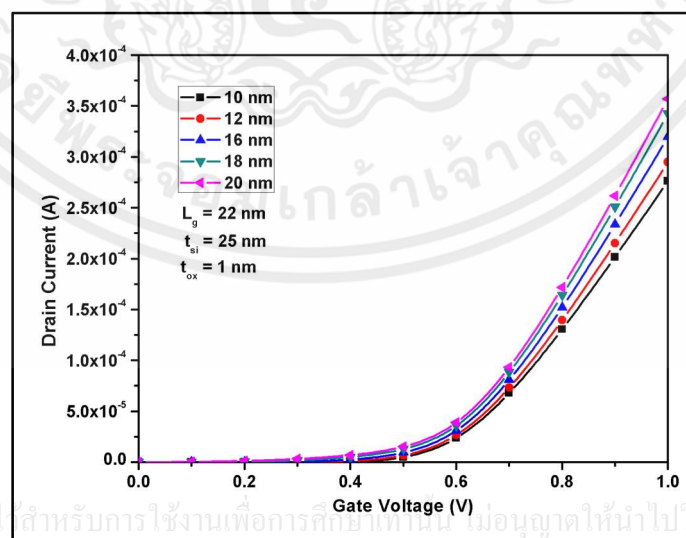
จากรูปที่ 4.8 ขณะแรงดันเกตเท่ากับ 1 โวลต์ ฟินเฟทที่มีความกว้างชั้นซิลิคอน 20 นาโนเมตร ให้กระแสเดรนสูงที่สุด เนื่องจากตัวแปร W_g ของเกิดมีค่าเพิ่มขึ้นจากการเปลี่ยนแปลงขนาดความกว้างชั้นซิลิคอนเป็นผลให้กระแสเดรนมีค่าสูง โดยวิเคราะห์กระแสเดรนจากสมการ (2.10)

4.2.2 คุณลักษณะกระแสเดรน – แรงดันเกต

การวัดทดสอบคุณลักษณะกระแสเดรน–แรงดันเกต ด้วยไฟฟ้ากระแสตรง โดยทำการไบอัสแรงดันเดรน 50 mV และ 1 โวลต์ และทำการปรับแรงดันเกตตั้งแต่ 0 ถึง 1 โวลต์ ชั้นละ 0.1 โวลต์ ดังแสดงในรูปที่ 4.4 และ 4.5 ตามลำดับ



รูปที่ 4.9 คุณลักษณะกระแสเดรน–แรงดันเกตของฟินเฟทที่มีความกว้างชั้นซิลิคอนแตกต่างกัน ในกรณี $V_D = 50$ mV



รูปที่ 4.10 คุณลักษณะกระแสเดรน–แรงดันเกตของฟินเฟทที่มีขนาดความกว้างชั้นซิลิคอน

แตกต่างกัน ในกรณี $V_D = 1$ V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.9 ที่แรงดันเดรนเท่ากับ 50 mV เมื่อโครงสร้างฟินเฟทมีขนาดความกว้างชั้นซิลิคอนเพิ่มขึ้น มีความต้องการแรงดันเกตมากขึ้น เพื่อเปลี่ยนแปลงค่ากระแสเดรนในช่วงเชิงเส้น และกระแสเดรนเริ่มเปลี่ยนจากช่วงเชิงเส้นสู่ช่วงอิ่มตัว ในช่วงแรงดันเกต 0.8 โวลต์ และเมื่อทำการเพิ่มแรงดันขั้วเดรนเป็น 1 โวลต์ และในรูปที่ 4.10 พบว่า โครงสร้างที่มีค่า w_{si} มาก กระแสเดรนจะเปลี่ยนแปลงเข้าสู่ช่วงเชิงเส้นด้วยค่าแรงดันเกตน้อย ซึ่งเป็นผลให้มีค่าแรงดันขีดเริ่มต่ำ เนื่องจากมีพื้นที่ให้เกิดช่องทางเดินกระแสมากขึ้น รวมถึงการมีพื้นที่มากทำให้ความคล่องตัวของอิเล็กตรอนมีค่ามาก เนื่องจากการทดลองไม่ได้ทำการเปลี่ยนแปลงค่าความเข้มข้นสารเจือในช่องทางเดินกระแส

จากการวัดทดสอบคุณลักษณะทางไฟฟ้า นำผลที่ได้มาวิเคราะห์หาค่ากระแสอิ่มตัว ด้วยสมการ (2.6) หาแรงดันขีดเริ่ม ด้วยวิธีการวัดจากรูปที่ 2.27 หาค่าซับเทรชโฮลด์สวิง ด้วยวิธีในรูปที่ 2.8 และผลกระทบจาก DIBL ด้วยสมการ (2.17) ดังแสดงในตารางที่ 4.2

ตารางที่ 4.2 คุณลักษณะทางไฟฟ้าของฟินเฟทกับความกว้างชั้นซิลิคอน

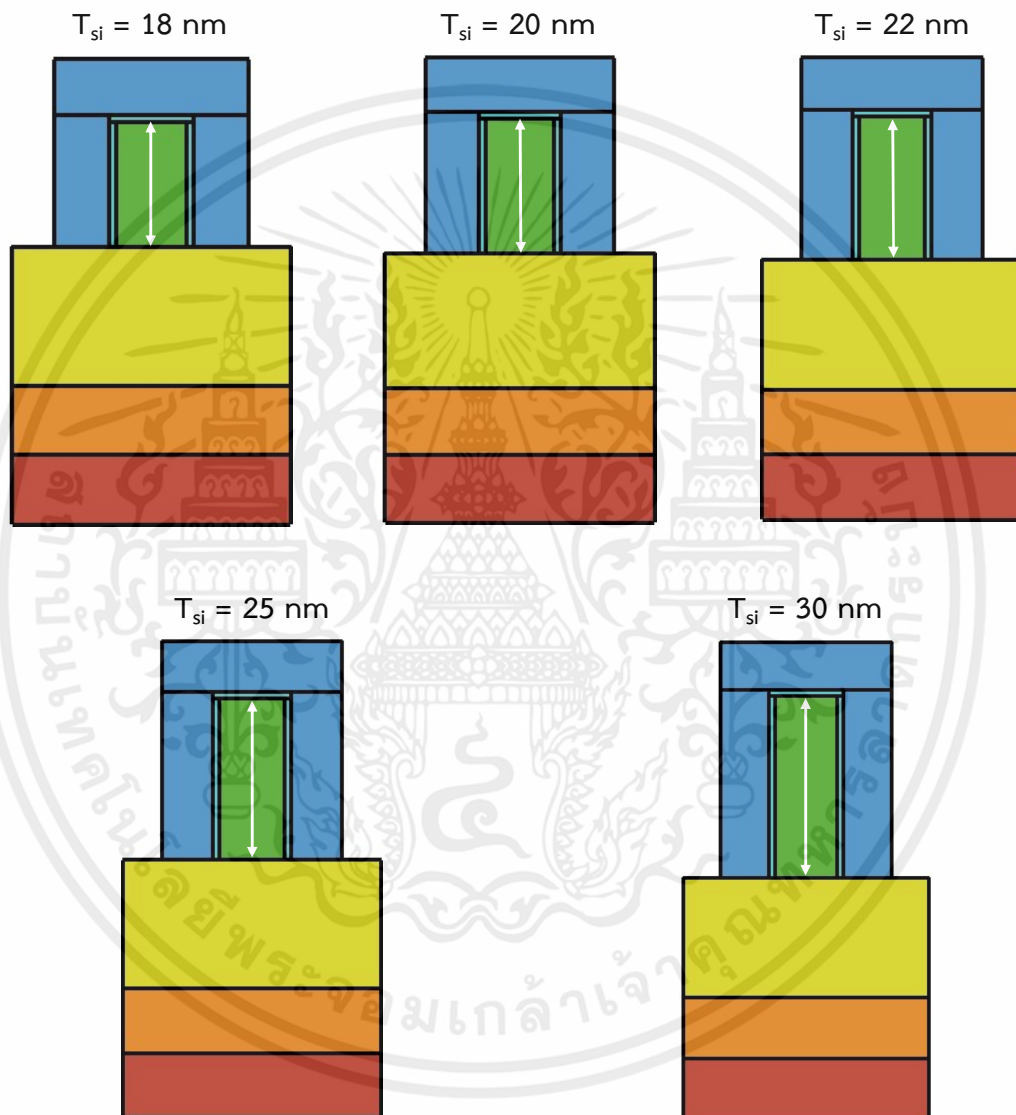
คุณลักษณะทางไฟฟ้า ความกว้าง ชั้นซิลิคอน (nm)	กระแสเดรนอิ่มตัว (μA)	แรงดันขีดเริ่ม (V)		Subthreshold Swing (mV/dec)	DIBL (mV/V)
		$V_D = 50$ mV	$V_D = 1$ V		
		10	269		
12	286	0.394	0.382	75	12.54
15	310	0.388	0.356	95	33.32
18	331	0.381	0.331	140	53.48
20	344	0.374	0.312	198	65.24

จากตารางที่ 4.2 การปรับเปลี่ยนความกว้างชั้นซิลิคอนให้มากขึ้น ทำให้พื้นที่ผิวในส่วนบนของชั้นซิลิคอนมีพื้นที่มากขึ้น และทำให้กระแสเดรนอิ่มตัว ซับเทรชโฮลด์สวิง และ DIBL มีค่าเพิ่มขึ้น แต่แรงดันขีดเริ่มมีค่าลดลง ซึ่งการเพิ่มขึ้นของ SS และการเพิ่มขึ้นของ DIBL เกิดจากการเพิ่มขึ้นของแรงดันขีดเริ่ม วิเคราะห์ได้จากสมการ (2.14) และ (2.17) ตามลำดับ

เนื่องจากการเปลี่ยนแปลงของค่า w_{si} มีผลกับสมการแรงดันขีดเริ่มของฟินเฟท (2.12) แต่การเพิ่มขึ้นของค่า DIBL ไม่เป็นผลดีกับฟินเฟท เนื่องจากทำให้เกิด Short channel effect โดยพบได้จากโครงสร้างที่มีค่า w_{si} 10 18 และ 20 นาโนเมตร ดังนั้นการออกแบบฟินเฟท ควรเลือกใช้ค่า w_{si} น้อย เพื่อลดค่า DIBL ของโครงสร้าง รวมถึงทำให้ค่า SS มีค่าน้อย เพื่อลดอัตราส่วนระหว่างกระแสเปิด และกระแสปิดของอุปกรณ์ ซึ่งทำให้โครงสร้างสามารถนำไปใช้งานได้ในวงจรรวมโดยไม่สร้างผลกระทบกับอุปกรณ์ตัวอื่นๆ

4.3 การศึกษาการปรับขนาดความหนาชั้นซิลิคอน

ในการทดลองนี้ทำการปรับความหนาชั้นซิลิคอน (t_{si}) เพื่อทำการวิเคราะห์ผลกระทบจากการปรับขนาดความกว้างชั้นซิลิคอนที่มีผลต่อคุณลักษณะทางไฟฟ้า ประกอบด้วยความกว้าง 18 20 22 25 และ 30 nm ความยาวช่องทางเดินกระแส 22 nm ความกว้างชั้นซิลิคอน 10 nm และความหนาชั้น-เกตออกไซด์ 1 nm โดยใช้วัสดุ HfO_2 เป็นฉนวนขั้วเกต แสดงดังรูปที่ 4.11

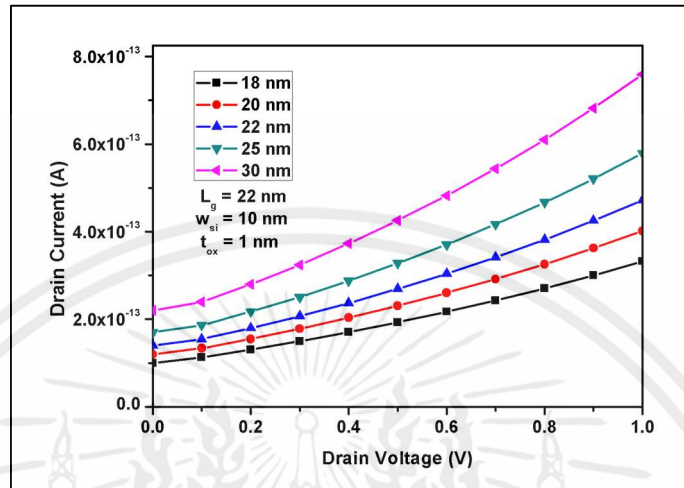


รูปที่ 4.11 โครงสร้างฟินเฟทที่มีขนาดความหนาชั้นซิลิคอนต่างกัน

จากโครงสร้างฟินเฟทในรูปที่ 4.11 ในหัวข้อนี้ทำการวัดทดสอบคุณลักษณะกระแส-แรงดัน และคุณลักษณะกระแส-แรงดันเกต และทำการวิเคราะห์คุณลักษณะทางไฟฟ้าต่างๆจากผลการวัด ทดสอบ ประกอบด้วย กระแสเดรนอิมิตัว แรงดันขีดเริ่ม ชั้บเทรชไฮลด์สวิงก์ และ DIBL

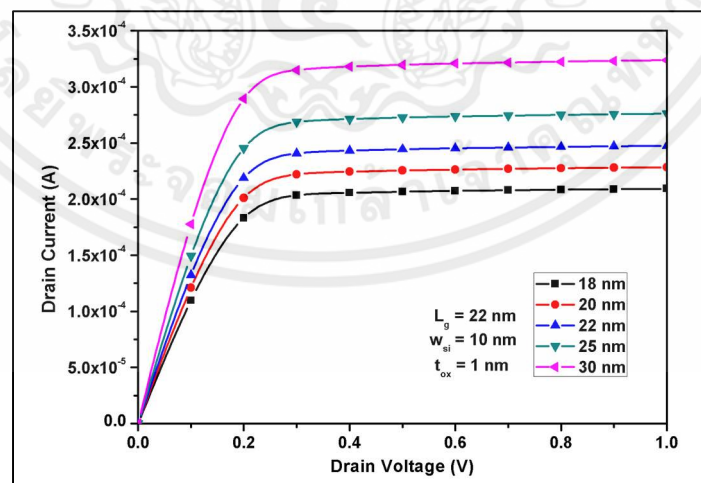
4.3.1 คุณลักษณะกระแส-แรงดัน

ในการวัดทดสอบคุณลักษณะกระแสและแรงดัน โดยไบอัสแรงดันเกต 0 กับ 1 V และไบอัสแรงดันเดรนจาก 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูปที่ 4.12 และ 4.13 ตามลำดับ



รูปที่ 4.12 คุณลักษณะกระแส-แรงดันของความพินเฟทที่มีความหนาชั้นซิลิคอนแตกต่างกัน
ในกรณี $V_g = 0$ V

จากรูปที่ 4.12 เมื่อขนาดของความหนาชั้นซิลิคอนของโครงสร้างพินเฟทมีค่ามากขึ้น ทำให้กระแสรั่วไหลมีค่าสูงขึ้นตาม ขณะที่ขั้วเกตไม่ได้รับแรงดันไบอัส และเนื่องจากตัวแปร t_{si} มีผลกับตัวแปร W_g เมื่อวิเคราะห์จากสมการ (2.6) และกระแสช่วงคัตออฟสามารถวิเคราะห์ได้จากสมการ (2.8)

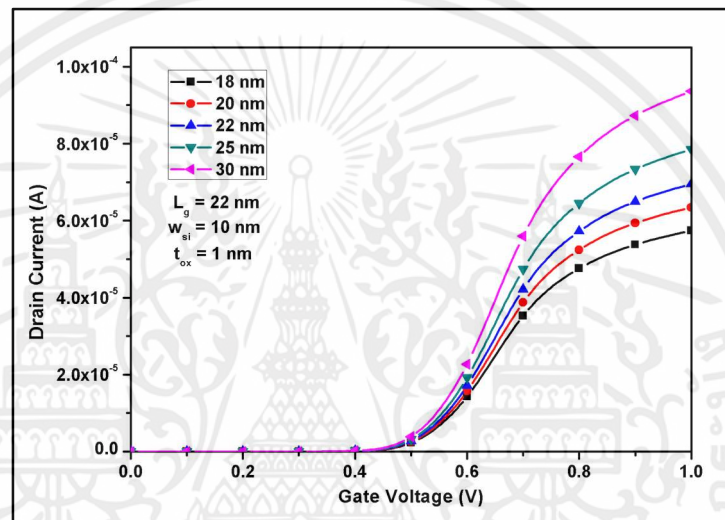


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ รูปที่ 4.13 คุณลักษณะกระแส-แรงดันของความพินเฟทที่มีความหนาชั้นซิลิคอนแตกต่างกัน
ในกรณี $V_g = 1$ V

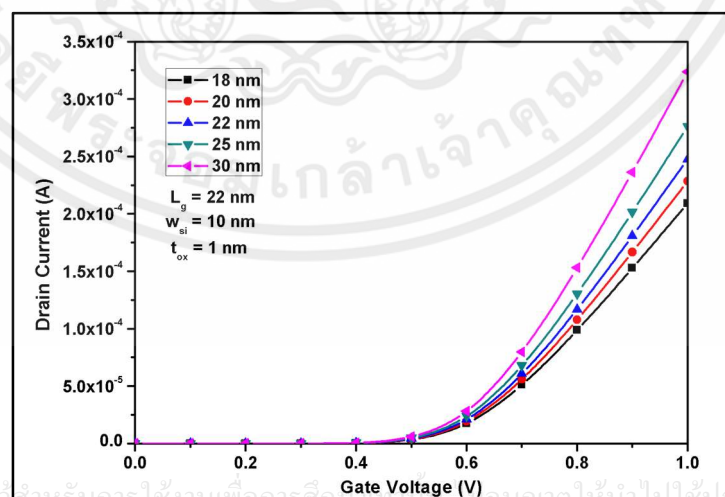
จากรูปที่ 4.13 หลังจากทำการปรับแรงดันไบอัสเกตไปที่ 1 โวลต์พบว่า กระแสเดรนในช่วงอิมิตัวของฟินเฟทเพิ่มขึ้นตามค่าความหนาชั้นซิลิคอน เนื่องจากค่า t_{si} มีผลกับค่าความกว้างช่องทางเดินกระแส (W_g) ในสมการ (2.6) รวมถึงสมการกระแสช่วงอิมิตัวของฟินเฟท (2.10)

4.3.2 คุณสมบัติกระแสเดรน - แรงดันเกต

การวัดทดสอบคุณสมบัติกระแสเดรน-แรงดันเกต ด้วยไฟฟ้ากระแสตรง โดยทำการไบอัสแรงดันเดรน 50 mV และ 1 V และไบอัสแรงดันเกตตั้งแต่ 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูปที่ 4.14 และ 4.15 ตามลำดับ



รูปที่ 4.14 คุณสมบัติกระแสเดรน-แรงดันเกตของฟินเฟทที่มีความหนาชั้นซิลิคอนแตกต่างกัน ในกรณี $V_d = 50$ mV



รูปที่ 4.15 คุณสมบัติกระแสเดรน-แรงดันเกตของฟินเฟทที่มีความหนาชั้นซิลิคอน

แตกต่างกัน ในกรณี $V_d = 1$ V

หลังจากทำการไบอัสแรงดันเดรน 0 และ 1 โวลต์ ในรูปที่ 4.15 พบว่ากระแสเดรนของฟินเฟทที่มีขนาดความหนาชั้นซิลิคอนมาก กระแสเดรนจะเปลี่ยนจากช่วงคutoffเข้าสู่ช่วงเชิงเส้นด้วยแรงดันเกตที่น้อย เนื่องจากตัวแปร t_{Si} มีผลกับสมการกระแสของฟินเฟท และในสมการแรงดันขีดเริ่ม (2.12) โดยการเพิ่มขึ้นของพื้นที่ผิวด้านข้างของชั้นซิลิคอน เป็นผลให้โครงสร้างฟินเฟทมีแรงดันขีดเริ่มลดลงด้วย เนื่องจากมีพื้นที่ให้พาหะเคลื่อนที่จากขอสไปสู่อส่วนของเดรนได้มากขึ้น เนื่องจากไม่ทำการเพิ่มความเข้มข้นสารเจือ ความคล่องตัวของพาหะภายในช่องทางเดินกระแสจึงมีค่าสูง

จากการวัดทดสอบคุณลักษณะทางไฟฟ้า นำผลที่ได้มาวิเคราะห์หาค่ากระแสอิ่มตัว ด้วยสมการ (2.6) หาแรงดันขีดเริ่ม ด้วยวิธีการวัดจากรูปที่ 2.27 หาค่าซับเทรชโฮลด์สวิง ด้วยวิธีในรูปที่ 2.8 และผลกระทบจาก DIBL ด้วยสมการ (2.17) ดังแสดงในตารางที่ 4.3

ตารางที่ 4.3 คุณลักษณะทางไฟฟ้าของฟินเฟทกับความหนาชั้นซิลิคอน

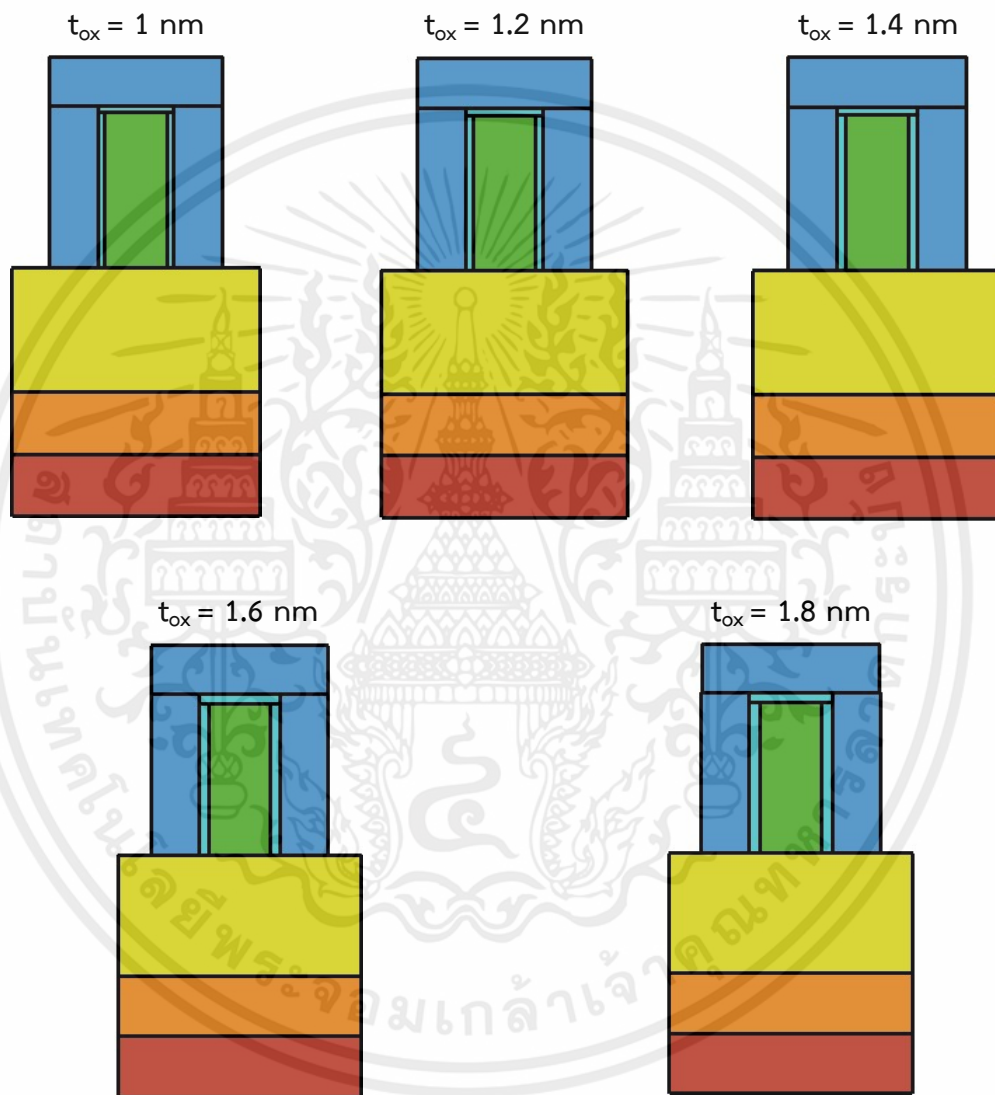
คุณลักษณะทางไฟฟ้า ความหนา ชั้นซิลิคอน (nm)	กระแสเดรนอิ่มตัว (μA)	แรงดันขีดเริ่ม (V)		Subthreshold Swing (mV/dec)	DIBL (V)
		$V_D = 50 \text{ mV}$	$V_D = 1 \text{ V}$		
		18	203.4		
20	222.1	0.431	0.452	68.4	0.0222
22	240.7	0.430	0.451	68.6	0.0219
25	268.6	0.429	0.450	68.7	0.0218
30	315	0.428	0.449	69	0.0212

จากตารางที่ 4.3 การปรับเปลี่ยนขนาดความหนาของชั้นซิลิคอนให้มีความมากขึ้น ทำให้พื้นที่ผิวบริเวณด้านข้างของชั้นซิลิคอนมีพื้นที่มากขึ้น โดยทำให้กระแสเดรนในช่วงอิ่มตัวสูงขึ้นตาม รวมถึงซับเทรชโฮลด์สวิง และทำให้แรงดันขีดเริ่มลดลง เนื่องจากการเพิ่มขึ้นของความหนาชั้นซิลิคอน ไม่ส่งผลกระทบต่อเกิดการเกิดปรากฏการณ์ DIBL มาก

จากการศึกษาในหัวข้อที่ 4.1 4.2 และ 4.3 พบว่าการปรับเปลี่ยนขนาดของโครงสร้างฟินเฟทควรคำนึงถึง ผลกระทบที่มีต่อกระแสเดรน (กระแสเอาต์พุต) และแรงดันขีดเริ่ม จากหลักการออกแบบในหัวข้อ 3. โครงสร้างฟินเฟทควรมีความยาวช่องทางเดินกระแสสั้น และความกว้างชั้นซิลิคอนที่แคบ และมีค่าความหนาชั้นซิลิคอนมาก จึงจะสามารถให้คุณลักษณะทางไฟฟ้าที่ดีคือ มีค่ากระแสเดรนสูง มีแรงดันขีดเริ่มต่ำ ค่าซับเทรชโฮลด์ต่ำ รวมไปถึงมีค่า DIBL ต่ำ แต่ทั้งนี้การออกแบบฟินเฟทต้องมีความเข้ากันได้กับเทคโนโลยีกระบวนการผลิตในปัจจุบันด้วย

4.4 การศึกษาการปรับเปลี่ยนขนาดความหนาเกตออกไซด์

ในการทดลองทำการปรับความหนาชั้นฉนวนขั้วเกต (t_{ox}) เพื่อทำการวิเคราะห์ผลกระทบต่อผลกระทบบจากการปรับขนาดความหนาชั้นเกตออกไซด์ที่มีผลต่อคุณลักษณะทางไฟฟ้า ประกอบด้วยขนาดความหนา 1 1.2 1.4 1.6 และ 1.8 nm ความยาวช่องทางเดินกระแส 22 nm ความกว้างชั้นซิลิคอน 10 nm และ ความหนาชั้นซิลิคอน 25 nm โดยใช้วัสดุ HfO_2 เป็นฉนวนขั้วเกต แสดงดังรูปที่ 4.16

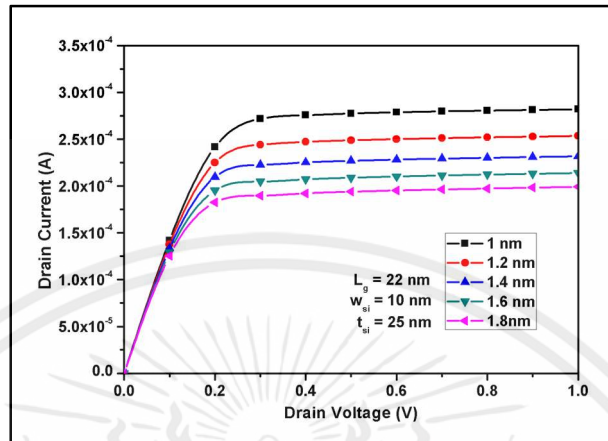


รูปที่ 4.16 โครงสร้างพินเฟทที่มีความหนาชั้นเกตออกไซด์แตกต่างกัน

จากโครงสร้างพินเฟทในรูปที่ 4.16 ในหัวข้อนี้ทำการวัดทดสอบคุณลักษณะกระแส-แรงดัน และคุณลักษณะกระแส-แรงดันเกต และทำการวิเคราะห์คุณลักษณะทางไฟฟ้าต่างๆจากผลการวัดทดสอบ ประกอบด้วย กระแสเดรนอิ่มตัว แรงดันขีดเริ่ม ความจุไฟฟ้าขั้วเกต ที่แรงดันเกต 1 โวลต์ โดยให้ความถี่ 1 GHz

4.4.1 คุณลักษณะกระแส-แรงดัน

ในการวัดทดสอบคุณลักษณะกระแสและแรงดัน ด้วยไฟฟ้ากระแสตรง โดยไบอัสแรงดันเกต 1 V และไบอัสแรงดันเดรนจาก 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูปที่ 4.17

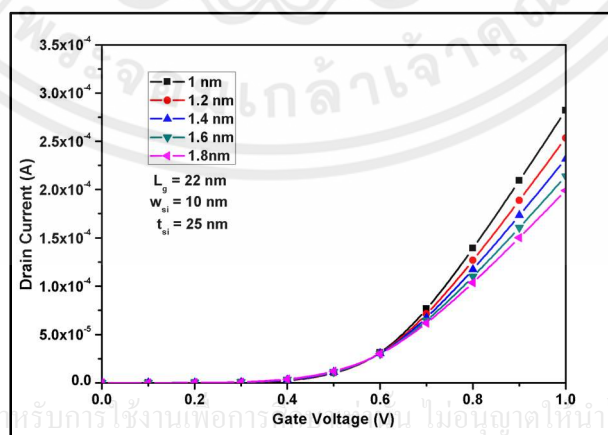


รูปที่ 4.17 คุณลักษณะกระแส-แรงดันของฟินเฟทที่มีความหนาชั้นเกตออกไซด์แตกต่างกัน ในกรณี $V_g = 1$ V

จากรูปที่ 4.17 พบว่าโครงสร้างฟินเฟทที่มีขนาดความหนาเกตออกไซด์น้อย ให้กระแสเดรนสูง และเมื่อทำการเพิ่ม t_{ox} ทำให้กระแสเดรนลดลง เนื่องจากการเพิ่มขึ้นของความหนาชั้นเกตออกไซด์ มีผลกับค่าความจุไฟฟ้าในชั้นออกไซด์ (C_{ox}) มีค่าลดลงจึงส่งผลให้กระแสเดรนในช่วงเชิงเส้น และกระแสเดรนในช่วงอิ่มตัวลดลง และพบ SCE บนโครงสร้างฟินเฟทที่มีขนาด t_{ox} มากกว่า 1 nm

4.4.2 คุณลักษณะกระแสเดรน - แรงดันเกต

การวัดทดสอบคุณลักษณะกระแสเดรน-แรงดันเกต ด้วยไฟฟ้ากระแสตรง โดยทำการไบอัสแรงดันเดรน 1 V และไบอัสแรงดันเกตตั้งแต่ 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูปที่ 4.18

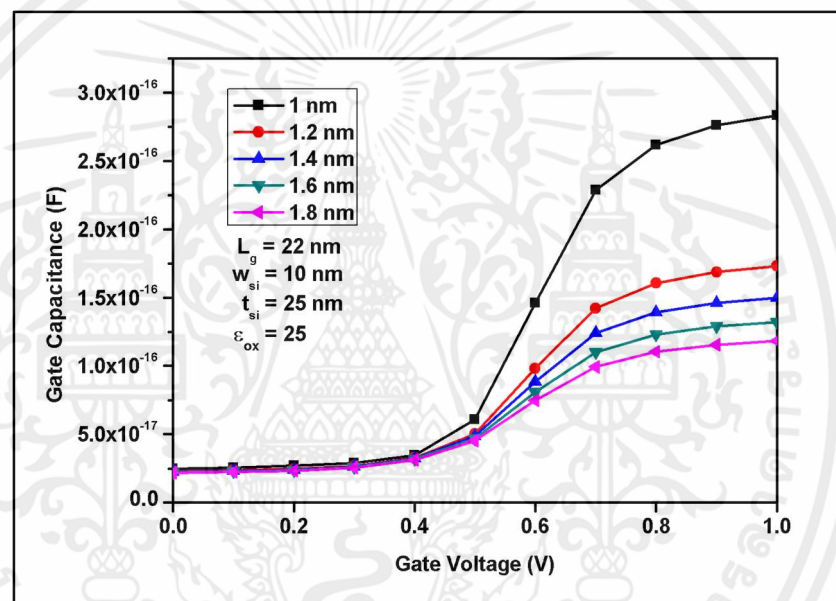


รูปที่ 4.18 คุณลักษณะกระแสเดรน-แรงดันเกตของฟินเฟทที่มีความหนาชั้นออกไซด์ชั้นเกตแตกต่างกัน ในกรณี $V_D = 1$ V

จากการวัดทดสอบในรูปที่ 4.18 เมื่อแรงดันเกต 1 โวลต์ กระแสเดรนในช่วงเชิงเส้นของพินเพท ลดลงตามขนาดของ t_{ox} โดยความชันช่วงเชิงเส้นของกระแสเดรน จะลดลงตามการเพิ่มขึ้นของ t_{ox} เนื่องจากค่า C_{ox} ของโครงสร้างเปลี่ยนแปลงตามขนาดของ t_{ox} และเมื่อวิเคราะห์ค่าแรงดันขีดเริ่มด้วย สมการ (2.12) พบว่าเมื่อโครงสร้างพินเพทมีค่า C_{ox} น้อยลงจะทำให้แรงดันขีดเริ่มลดลงตาม ซึ่ง สัมพันธ์กับกระแสเดรนในช่วงเชิงเส้นด้วย

4.4.3 คุณลักษณะความจุไฟฟ้าเกต-แรงดันเกต

ในการวัดทดสอบคุณลักษณะความจุไฟฟ้าเกต-แรงดันเกต ด้วยไฟฟ้ากระแสลับ โดยทำการป้อน ความถี่ 1 GHz และทำการไบอัสแรงดันเกตตั้งแต่ 0 ถึง 1 V เพื่อทำการทดสอบ ดังแสดงในรูปที่ 4.19



รูปที่ 4.19 คุณลักษณะความจุไฟฟ้าเกต-แรงดันเกตของพินเพทที่มีความหนาเกตออกไซด์ต่างกัน ในกรณีป้อนความถี่ 1 GHz

จากรูปที่ 4.19 หลังจากทำการวัดทดสอบพบว่า ที่แรงดันเกต 1 โวลต์ ความหนาเกตออกไซด์ ขนาด 1 นาโนเมตรให้ค่าความจุไฟฟ้าเกตสูงที่สุด และเมื่อเพิ่มความหนาชั้นเกตออกไซด์ ความจุไฟฟ้าเกตลดลงตามลำดับ โดยความหนาเกตออกไซด์ขนาด 1.8 นาโนเมตรให้ค่าความจุไฟฟ้าต่ำที่สุด เนื่องจาก C_{ox} ของโครงสร้างพินเพทมีค่าลดลงทำให้เกิดการประจุในภาวะอินเวอร์ชันมาก เนื่องจาก ความหนาแน่นของอิเล็กตรอนที่อยู่ภายในชั้นกลับของพินเพทจากการไบอัสด้วยแรงดันเกต 1 โวลต์ จากการวัดทดสอบคุณลักษณะทางไฟฟ้า นำผลที่ได้มาวิเคราะห์หาค่ากระแสอิ่มตัว ด้วยสมการ (2.6) หาแรงดันขีดเริ่ม ด้วยวิธีการวัดจากรูปที่ 2.27 และสรุปค่าความจุไฟฟ้าบริเวณขั้วเกต ขณะ ได้รับแรงดันเกต 1 โวลต์ ที่ความถี่ 1 GHz ดังแสดงในตารางที่ 4.4

ตารางที่ 4.4 คุณสมบัติทางไฟฟ้าของฟินเฟทกับความหนาชั้นเกตออกไซด์

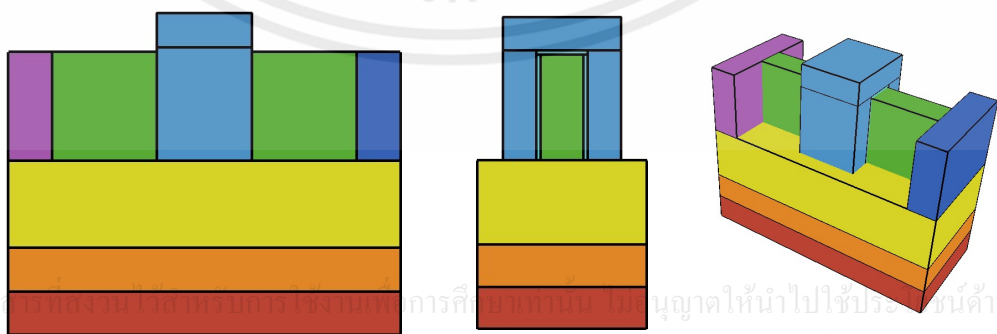
คุณสมบัติทางไฟฟ้า ความหนาชั้น เกตออกไซด์ (nm)	กระแสเดรนอิ่มตัว (μA)	แรงดันขีดเริ่ม (V)	ความจุไฟฟ้าขั้วเกต (F)
1	271.9	0.354	2.84×10^{-16}
1.2	244.2	0.342	1.73×10^{-16}
1.4	222.6	0.332	1.50×10^{-16}
1.6	204.6	0.324	1.32×10^{-16}
1.8	189.7	0.313	1.18×10^{-16}

จากตารางที่ 4.4 การเพิ่มขึ้นของค่าความหนาเกตออกไซด์ ทำให้กระแสเดรนช่วงอิ่มตัว แรงดันขีดเริ่ม และค่าความจุไฟฟ้าขั้วเกตขณะได้รับไบอัสด้วยสัญญาณกระแสสลับ 1 GHz ขนาด 1 V ลดลง เนื่องจากการลดลงของค่าความจุไฟฟ้าในชั้นออกไซด์เนื่องจากการเพิ่มขึ้นของ t_{ox}

จากการศึกษาในหัวข้อนี้ การออกแบบความหนาของชั้นเกตออกไซด์ควรให้มีความหนาน้อยที่สุด (สำหรับวัสดุฉนวนแบบ High-K) เพื่อให้กระแสเดรนมาก และเพื่อป้องกันอิทธิพลของสนามไฟฟ้า รวมถึงควบคุมความจุไฟฟ้าภายในโครงสร้าง

4.5 การศึกษาการปรับเปลี่ยนวัสดุฉนวนขั้วเกต

ในการทดลองนี้ทำการปรับเปลี่ยนวัสดุฉนวนขั้วเกต [23] โดยวิเคราะห์ผลกระทบของการใช้วัสดุฉนวน High-K (HfO_2 และ ZrO_2) และวัสดุฉนวน Low-K (Si_3N_4 และ SiO_2) ที่มีผลต่อคุณสมบัติทางไฟฟ้า โดยทดสอบบนโครงสร้างฟินเฟทที่ประกอบด้วย $L_g = 22 \text{ nm}$ $w_{\text{si}} = 10 \text{ nm}$ $t_{\text{si}} = 25 \text{ nm}$ และ $t_{\text{ox}} = 1 \text{ nm}$ ดังแสดงในรูปที่ 4.20



รูปที่ 4.20 โครงสร้างฟินเฟทในการทดลองปรับเปลี่ยนวัสดุฉนวนขั้วเกต

จากโครงสร้างฟินเฟทในรูปที่ 4.20 ในหัวข้อนี้ทำการวัดทดสอบคุณลักษณะกระแส-แรงดัน และคุณลักษณะกระแส-แรงดันเกต และทำการวิเคราะห์คุณลักษณะทางไฟฟ้าต่างๆจากผลการวัดทดสอบ ประกอบด้วย กระแสเดรนอิมิตัว แรงดันขีดเริ่ม ความจุไฟฟ้าขั้วเกต ที่แรงดันเกต 1 โวลต์ โดยให้ความถี่ 1 GHz

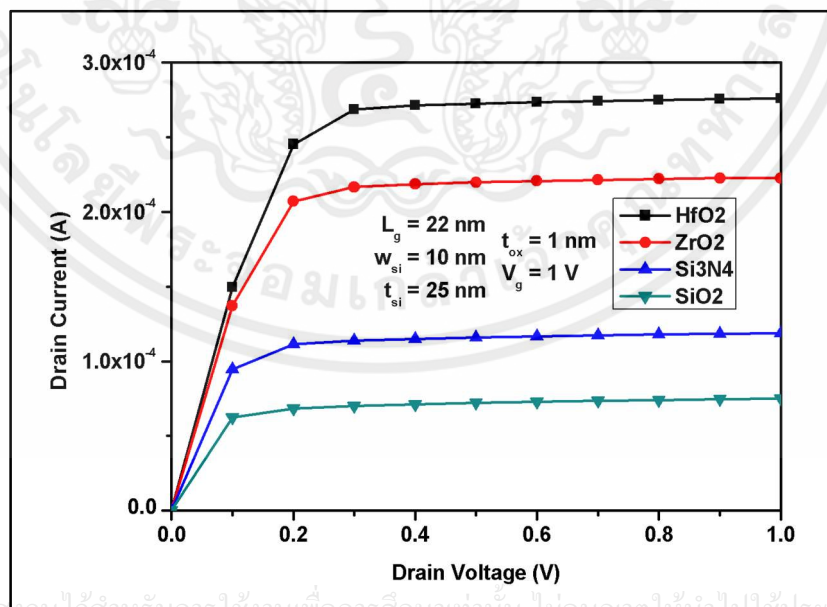
ในการทดลองเปลี่ยนวัสดุฉนวนเกต ตัวแปรของวัสดุที่แตกต่างคือค่าคงที่ความเป็นฉนวนไฟฟ้า (Dielectric Constant) แทนด้วย ϵ หรือ K และความสูงกำแพงศักย์ แสดงในตารางที่ 4.5

ตารางที่ 4.5 ความสูงกำแพงศักย์และค่าคงที่ฉนวนไฟฟ้าของวัสดุฉนวนขั้วเกต [24]

Insulator Material	Barrier Height (eV)	Permittivity (ϵ)
HfO ₂	1.50	25
ZrO ₂	1.40	25
Si ₃ N ₄	2.00	7
SiO ₂	3.15	3.9

4.4.1 คุณลักษณะกระแส-แรงดัน

ในการวัดทดสอบคุณลักษณะกระแสและแรงดัน ด้วยไฟฟ้ากระแสตรง โดยไบอัสแรงดันเกต 1 V และไบอัสแรงดันเดรนจาก 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูปที่ 4.1



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาวิจัยเท่านั้น ไม่สามารถนำไปใช้เพื่อประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

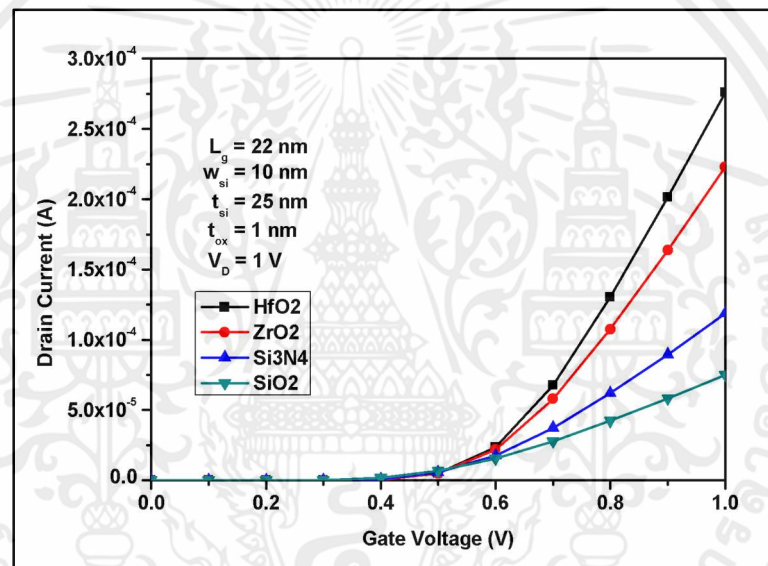
รูปที่ 4.21 คุณลักษณะกระแส-แรงดันของฟินเฟทที่ใช้งานวัสดุฉนวนขั้วเกตแตกต่างกัน

ในกรณี $V_g = 1$ V

จากรูปที่ 4.21 การเปลี่ยนวัสดุฉนวนขั้วเกตมีผลให้ค่าความจุไฟฟ้าในเกตเปลี่ยน โดยที่วัสดุที่มีค่าเปอร์มิตติวิตีสูง จะให้ค่าความจุไฟฟ้าสูงที่สุดแต่ยังมีจุดที่แตกต่างนอกจากค่า ϵ คือค่าความสูงของกำแพงศักย์ ทำให้โครงสร้างฟินเฟทที่ใช้งาน HfO_2 และ ZrO_2 ให้กระแสเดรนช่วงอิมิตัวสูง เนื่องจากการมีค่า C_{ox} สูง และมีค่ากำแพงศักย์ต่ำ ในส่วนของ Si_3N_4 มีค่า C_{ox} น้อยลงมาให้กระแสเดรนในช่วงปานกลาง แต่ตามหลักการผลิตไม่มีการนำซิลิคอนไนไตรต์มาใช้งานเป็นวัสดุเกต และ SiO_2 ให้กระแสเดรนน้อยที่สุด เนื่องจากมีค่า C_{ox} น้อย และมีกำแพงศักย์สูง เมื่อวิเคราะห์ด้วยสมการ (2.10)

4.4.2 คุณลักษณะกระแสเดรน - แรงดันเกต

การวัดทดสอบคุณลักษณะกระแสเดรน-แรงดันเกต ด้วยไฟฟ้ากระแสตรง โดยทำการไบอัสแรงดันเดรน 1 V และไบอัสแรงดันเกตตั้งแต่ 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูปที่ 4.22



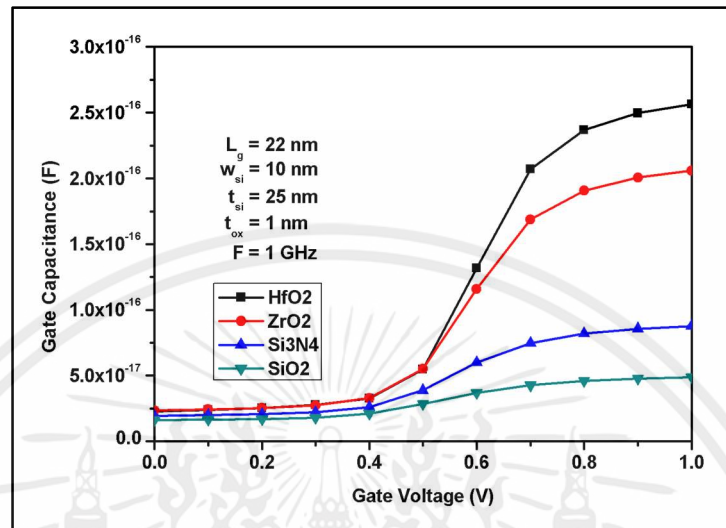
รูปที่ 4.22 คุณลักษณะกระแสเดรน-แรงดันเกตของฟินเฟทที่ใช้งานวัสดุฉนวนขั้วเกตแตกต่างกัน ในกรณี $V_D = 1$ V

จากรูปที่ 4.22 กระแสเดรนของฟินเฟทในช่วงเชิงเส้นของฟินเฟทมีค่าแตกต่างกันตามวัสดุ หลังจากวิเคราะห์ด้วยสมการกระแสเดรนช่วงเชิงเส้น (2.8) พบว่าค่า C_{ox} ของฟินเฟทที่ใช้งานวัสดุประเภท High-K มีค่ากระแสสูงกว่า ฟินเฟทที่ใช้งานวัสดุ Low-K และมีผลให้แรงดันขีดเริ่มของฟินเฟทมีค่าสูงตาม ซึ่งวิเคราะห์ด้วยสมการแรงดันขีดเริ่มของฟินเฟท (2.12)

จากผลการวิเคราะห์ด้วยไฟฟ้ากระแสตรงพบว่า วัสดุ High-K ช่วยให้ฟินเฟทมีกระแสเอาต์พุตที่สูงขึ้น ลดการเกิด Short Channel Effect ในกระแสเดรนช่วงอิมิตัว แต่การเพิ่มขึ้นของแรงดันขีดเริ่มเป็นสิ่งที่จะต้องมีการพัฒนาวัสดุหลักแทนการใช้ซิลิคอน หรือเพิ่มขนาดของชั้นเกตออกไซด์ เพื่อลดค่า C_{ox} จะทำให้สามารถลดค่าแรงดันขีดเริ่มของโครงสร้างฟินเฟท

4.5.3 คุณลักษณะความจุไฟฟ้าเกต-แรงดันเกต

การวัดทดสอบคุณลักษณะความจุไฟฟ้าเกต-แรงดันเกต ด้วยไฟฟ้ากระแสลับ โดยทำการป้อนความถี่ 1 GHz และทำการไบอัสแรงดันเกตตั้งแต่ 0 ถึง 1 V เพื่อทำการทดสอบ ดังแสดงในรูปที่ 4.23



รูปที่ 4.23 คุณลักษณะความจุไฟฟ้าเกต-แรงดันเกตของพินเฟทที่ใช้งานวัสดุคุณนวนขั้วเกตแตกต่างกัน ในกรณีป้อนความถี่ 1 GHz

จากรูปที่ 4.23 จากการวัดทดสอบด้วยสัญญาณความถี่ 1 GHz ขนาด 1 V พบว่าค่าความจุไฟฟ้าของพินเฟทที่ใช้งานวัสดุ High-K ให้ค่าความจุไฟฟ้าบริเวณขั้วเกตสูง เนื่องจากการเพิ่มขึ้นของค่าความจุไฟฟ้า ซึ่งวิเคราะห์จากสมการ (2.9) โดยค่าความจุไฟฟ้าเริ่มเปลี่ยนแปลงเข้าสู่ภาวะดิฟฟิชั่นในช่วงแรงดันเกต 0.5 โวลต์ และเข้าสู่ช่วงอินเวอร์ชันในช่วงแรงดันเกต 0.8 โวลต์ นอกจากการมีค่าความจุไฟฟ้าสูงยังพบว่า การมีค่ากำแพงศักย์ต่ำของวัสดุ High-K ยังทำให้ความหนาแน่นของอิเล็กตรอนบริเวณชั้นกลับมีมาก เนื่องจากการไบอัสด้วยแรงดันเกตที่เพิ่มขึ้นทำให้อิเล็กตรอนในส่วนที่อยู่ใต้ขั้วเกตได้รับการเหนี่ยวนำขึ้นมาเป็นจำนวนมากทำให้มีค่าความจุไฟฟ้าสูงตาม และยังทำให้การตอบสนองกับความถี่สูงทำได้ไม่ดี

ในพินเฟทที่ใช้งานวัสดุ Low-K มีความจุไฟฟ้าที่ขั้วเกตน้อย เนื่องจากการมีค่าความจุไฟฟ้าต่ำจากการวิเคราะห์ด้วยสมการ (2.9) และเนื่องจากการมีค่ากำแพงศักย์ที่สูงของวัสดุเหล่านี้ทำให้ขณะทำการไบอัสขั้วเกตด้วยแรงดันสูง อิเล็กตรอนมีโอกาสที่จะผ่านกำแพงศักย์มาได้น้อยลง หรือพินเฟทมีความหนาแน่นของอิเล็กตรอนในบริเวณชั้นกลับน้อย แต่การมีค่า C_{ox} ต่ำทำให้พินเฟทสามารถตอบสนองความถี่สูงได้ดี

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

จากการวัดทดสอบคุณลักษณะทางไฟฟ้า นำผลที่ได้มาวิเคราะห์หาค่ากระแสอิ่มตัว ด้วยสมการ (2.6) หาแรงดันขีดเริ่ม ด้วยวิธีการวัดจากรูปที่ 2.27 และสรุปค่าความจุไฟฟ้าบริเวณขั้วเกต ขณะ

ได้รับแรงดันเกต 1 โวลต์ ที่ความถี่ 1 GHz ดังแสดงในตารางที่ 4.6

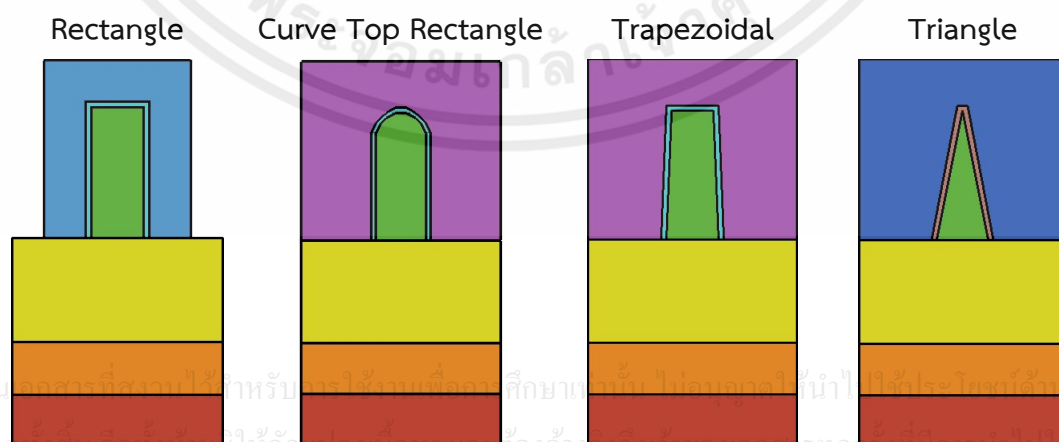
ตารางที่ 4.6 คุณลักษณะทางไฟฟ้าของฟินเฟทกับวัสดุฉนวนขั้วเกท

คุณลักษณะทางไฟฟ้า วัสดุฉนวนขั้วเกท	กระแสเดรนอิ่มตัว (μA)	แรงดันขีดเริ่ม (V)	ความจุไฟฟ้าขั้วเกท (F)
HfO_2	269	0.424	2.56×10^{-16}
ZrO_2	207	0.417	2.06×10^{-16}
Si_3N_4	114	0.358	8.79×10^{-17}
SiO_2	0.07	0.298	4.89×10^{-17}

จากตารางที่ 4.6 ในการศึกษาการเปลี่ยนวัสดุฉนวนขั้วเกท พบว่า HfO_2 เป็นวัสดุที่ให้กระแสเดรนอิ่มตัว แรงดันขีดเริ่ม และค่าความจุไฟฟ้าบริเวณขั้วเกทสูงที่สุด แต่สำหรับ SiO_2 มีค่าคุณลักษณะทางไฟฟ้าต่ำที่สุด ในการทดลองนี้ทำให้ทราบว่าทางเลือกใช้งานวัสดุ High-K มีความสำคัญอย่างมากในการพัฒนาโครงสร้างฟินเฟท เนื่องจากสามารถให้กระแสเดรนสูง และลดการเกิด SCE ได้เมื่อวิเคราะห์จากกระแสเดรนช่วงอิ่มตัว และในโครงสร้างทรานซิสเตอร์ระดับนาโนเมตร การใช้งาน SiO_2 ซึ่งเป็นวัสดุ Low-K ไม่มีความเป็นไปได้ในกระบวนการผลิตเนื่องจากมีค่าความเป็นฉนวนต่ำ การสร้างชั้นเกทออกไซด์ที่มีความบางมาก วัสดุ High-K จึงเหมาะสำหรับการใช้งานร่วมกับฟินเฟท

4.6 การศึกษาการปรับปรุงทรงของชั้นซิลิคอน

ในการทดลองนี้ทำการปรับปรุงทรงของชั้นซิลิคอน [25] เพื่อทำการวิเคราะห์ผลกระทบต่อคุณลักษณะทางไฟฟ้าของฟินเฟท ประกอบด้วย ทรงสี่เหลี่ยมผืนผ้า ทรงสี่เหลี่ยมหัวโค้ง ทรงสี่เหลี่ยมคางหมู และทรงสามเหลี่ยม ดังแสดงในรูปที่ 4.24



รูปที่ 4.24 โครงสร้างฟินเฟทที่ประกอบด้วยรูปทรงของชั้นซิลิคอนแตกต่างกัน

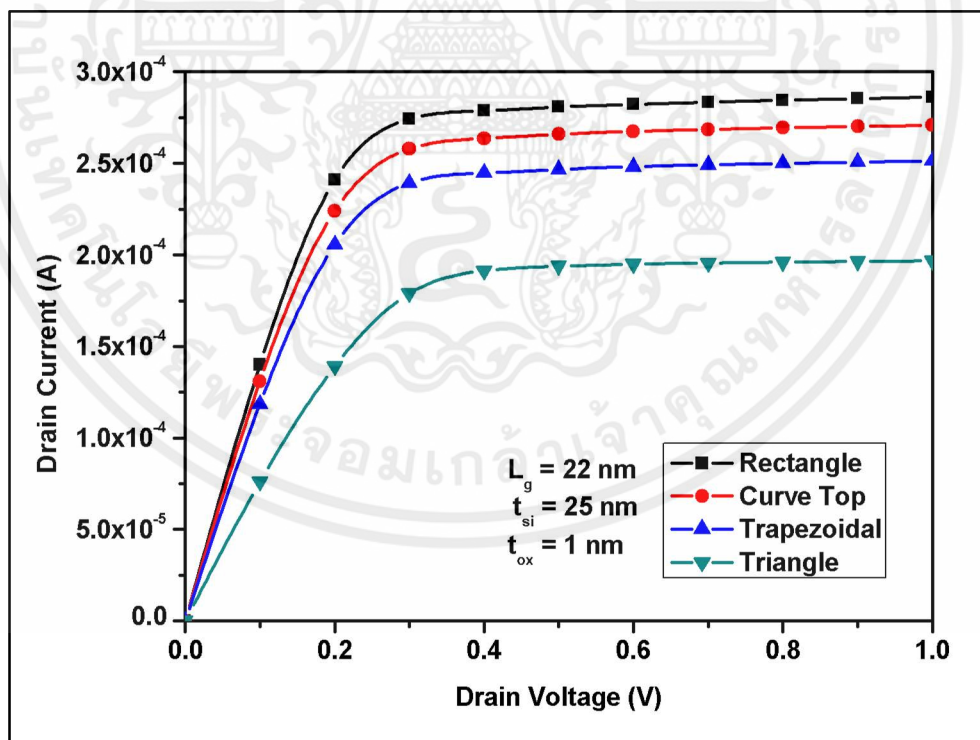
จากรูปที่ 4.24 โครงสร้างฟินเฟตประกอบด้วย ความยาวช่องทางเดินกระแส 22 นาโนเมตร ความหนาชั้นซิลิคอน 25 นาโนเมตร และความหนาชั้นเกตออกไซด์ 1 นาโนเมตร โดยใช้ HfO_2 เป็นวัสดุฉนวนชั้นเกต โดยค่าความกว้างชั้นซิลิคอน (w_{si}) แสดงดังตารางที่ 4.7

ตารางที่ 4.7 ขนาดความกว้างชั้นซิลิคอนของฟินเฟทรูปทรงต่างๆ

SOI Layer Shape	Silicon Width (nm)
Rectangle	10
Curved Top Rectangle	8
Trapezoidal	6
Triangle	1

4.6.1 คุณลักษณะกระแส - แรงดัน

ในการวัดทดสอบคุณลักษณะกระแสและแรงดัน ด้วยไฟฟ้ากระแสตรง โดยไบอัสแรงดันเกต 1 V และไบอัสแรงดันเดรนจาก 0 ถึง 1 V ขั้นละ 0.1 V ดังแสดงในรูป 4.25



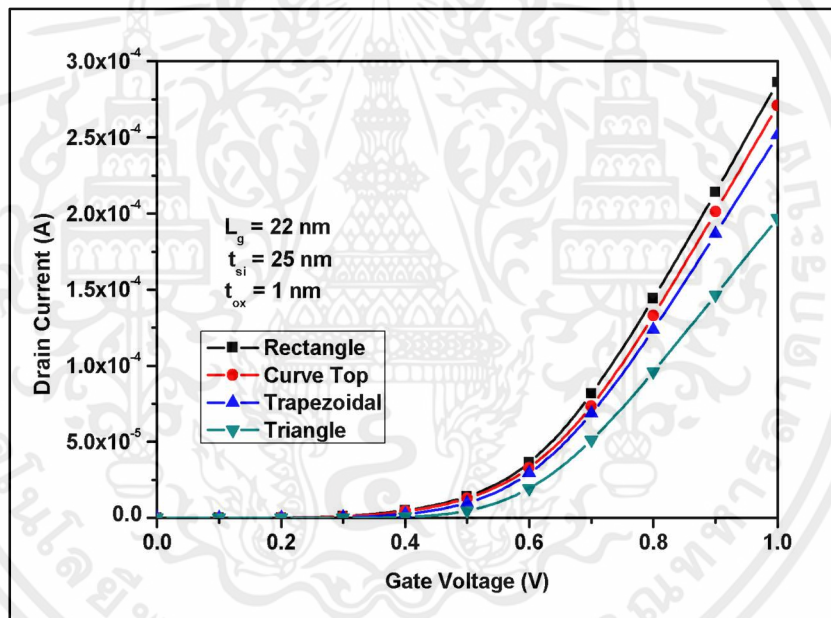
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น รูปที่ 4.25 คุณลักษณะกระแส-แรงดันของฟินเฟตที่มีรูปทรงชั้นซิลิคอนแตกต่างกัน

ในกรณี $V_g = 1 \text{ V}$

จากรูปที่ 4.25 พบว่า รูปที่สี่เหลี่ยมผืนผ้าให้กระแสเดรนช่วงอิมิต์สูงที่สุด เนื่องจากมีค่า w_{si} มากที่สุด และโครงสร้างรูปทรงสามเหลี่ยมให้กระแสเดรนช่วงอิมิต์ต่ำสุด เนื่องจากมีค่า w_{si} น้อยที่สุด จากการวิเคราะห์ด้วยสมการกระแสช่วงอิมิต์ (2.10) การเปลี่ยนแปลงของรูปทรงชั้นซิลิคอนของฟินเฟททำให้กระแสเดรนของฟินเฟทลดลง เนื่องจากการลดลงของความกว้างชั้นซิลิคอนทำให้พื้นที่ผิวส่วนบนของฟินเฟทมีพื้นที่น้อยลง รวมถึงค่าความจุชั้นออกไซด์ (C_{ox}) ของโครงสร้างมีค่าน้อยลงตาม ปริมาณอิเล็กตรอนที่ได้รับการเหนี่ยวนำในภาวะอินเวอร์ชัน มีจำนวนลดลงกระแสเดรนจึงลดลงตาม

4.6.2 คุณสมบัติกระแสเดรน – แรงดันเกต

การวัดทดสอบคุณสมบัติกระแสเดรน–แรงดันเกต ด้วยไฟฟ้ากระแสตรง โดยทำการไบอัสแรงดันเดรน 1 V และไบอัสแรงดันเกตตั้งแต่ 0 ถึง 1 V ชั้นละ 0.1 V ดังแสดงในรูปที่ 4.26



รูปที่ 4.26 คุณสมบัติกระแสเดรน–แรงดันเกตของฟินเฟทที่มีรูปทรงชั้นซิลิคอนแตกต่างกัน ในกรณี $V_D = 1$ V

จากรูปที่ 4.26 กระแสเดรนของรูปทรงชั้นซิลิคอนแบบสี่เหลี่ยมผืนผ้า สี่เหลี่ยมหัวโค้ง และ สี่เหลี่ยมคางหมู เปลี่ยนแปลงเข้าสู่ช่วงแรงดันเกต 0.4 โวลต์ และรูปทรงชั้นซิลิคอนแบบสามเหลี่ยม เปลี่ยนแปลงที่แรงดัน 0.5 โวลต์ จากพื้นที่ส่วนบนของฟินเฟทที่มี w_{si} มาก อิทธิพลของประจุบวกในการไบอัสที่ขั้วเกตจะทำให้เหนี่ยวนำอิเล็กตรอนในพื้นที่ใต้ขั้วเกตได้มากขึ้น ทำให้โครงสร้างฟินเฟทสามโครงสร้างแรกมีแรงดันขีดเริ่มที่ต่ำ และฟินเฟทที่มีรูปทรงสามเหลี่ยมให้แรงดันขีดเริ่มที่สูง เนื่องจากเปลี่ยนแปลงเข้าสู่ช่วงเชิงเส้นด้วยแรงดันเกตที่สูง โดยวิเคราะห์จากสมการ (2.12)

จากการวัดทดสอบคุณลักษณะทางไฟฟ้า นำผลที่ได้มาวิเคราะห์หาค่ากระแสอิ่มตัว ด้วยสมการ (2.6) หาแรงดันขีดเริ่ม ด้วยวิธีการวัดจากรูปที่ 2.27 หาค่าซับเทรชโฮลด์สวิง ด้วยวิธีในรูปที่ 2.8 แสดงในตารางที่ 4.8

ตารางที่ 4.8 คุณลักษณะทางไฟฟ้าของฟินเฟทกับรูปทรงของชั้นซิลิคอน

คุณลักษณะทางไฟฟ้า รูปทรงของชั้นซิลิคอน	กระแสเดรนอิ่มตัว (A)	แรงดันขีดเริ่ม (V)	Subthreshold Swing (mV/dec)
สี่เหลี่ยมผืนผ้า	279	0.340	63
สี่เหลี่ยมหัวโค้ง	264	0.344	101
สี่เหลี่ยมคางหมู	245	0.359	92
สามเหลี่ยม	191	0.377	81

จากตารางที่ 4.8 การศึกษาการเปลี่ยนรูปทรงชั้นซิลิคอน เป็นการเปลี่ยนแปลงความกว้างชั้นซิลิคอนของโครงสร้างฟินเฟท การเปลี่ยนแปลงของค่า w_{si} มีผลกับตัวแปร W_g โดยวิเคราะห์จากสมการ (2.6) เมื่อมีค่าลดลงตาม w_{si} ทำให้กระแสเดรนช่วงอิ่มตัว ซับเทรชโฮลด์สวิงลดลง และทำให้ฟินเฟทมีความต้องการแรงดันขีดเริ่มมากขึ้น ในปัจจุบันโครงสร้างที่ใช้งานอยู่ในลักษณะสี่เหลี่ยมคางหมู และทรงสี่เหลี่ยมหัวโค้ง เนื่องจากมีความเข้ากันได้กับเทคโนโลยีการผลิต เนื่องจากฟินเฟทรูปทรงสี่เหลี่ยมมีปัญหาของเหลี่ยมมุมส่วนบนของชั้นซิลิคอน ซึ่งทำให้ค่าซับเทรชโฮลด์สวิงมีค่าสูง

4.7 การศึกษาความสัมพันธ์ระหว่างอุณหภูมิกับความคล่องตัวพาหะ [26]

ในการทดลองนี้เป็นการปรับอุณหภูมิ เพื่อทำการทดสอบคุณลักษณะทางกระแส-แรงดัน และวิเคราะห์ผลกระทบของอุณหภูมิที่มีต่อความคล่องตัวพาหะบนพื้นที่ได้ชั้นฉนวนขั้วเกต โดยใช้งานโครงสร้างฟินเฟทจากหัวข้อ 4.4 และให้อุณหภูมิกับโครงสร้าง 300K 330K 360K 390K และ 420K ตามลำดับ

การวัดหาค่าความคล่องตัวพาหะต้องทำการทดสอบคุณลักษณะกระแส-แรงดัน [27] แล้วทำตามวิธีการแสดงค่าทางฟิสิกส์บนโครงสร้างฟินเฟทด้วยเครื่องมือ Minimos-NT ในหัวข้อที่ 3.7 และการวิเคราะห์ความคล่องตัวพาหะ สามารถใช้สมการ (3.9) ในกรณีมีค่าสนามไฟฟ้าต่ำ และ สมการ (3.10) ในกรณีสนามไฟฟ้าสูง หรือสมการ (4.1) เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

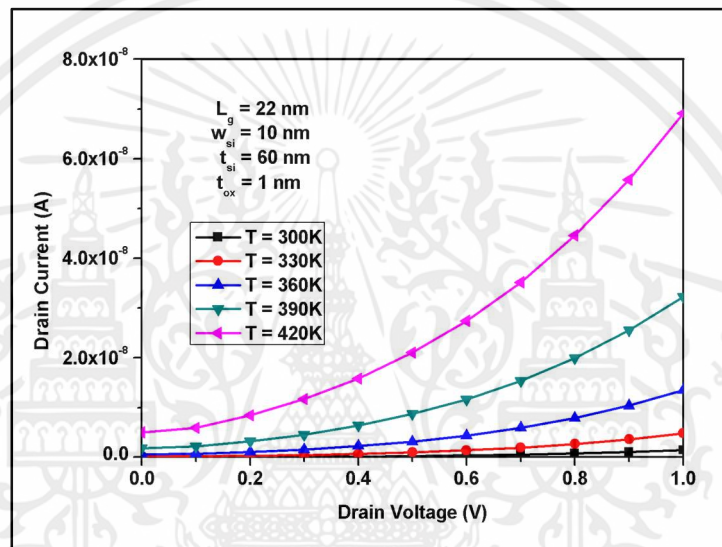
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mu_n = \frac{V}{\epsilon} \quad (4.1)$$

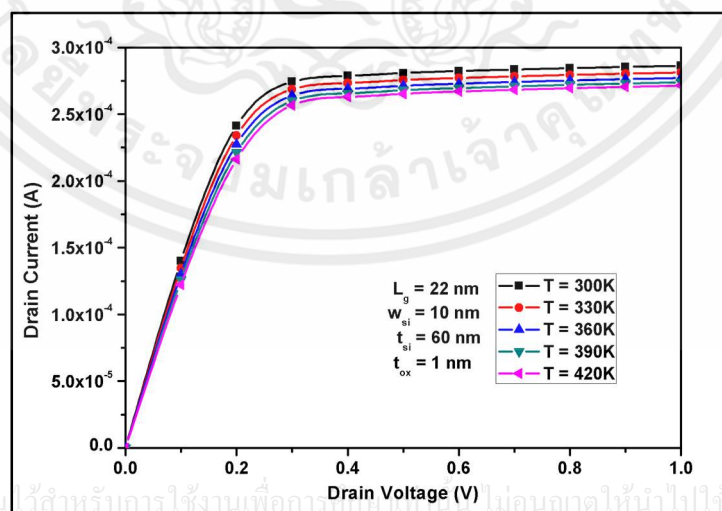
ซึ่ง μ_n คือสภาพคล่องของอิเล็กตรอน
 V คือ ความเร็วของอิเล็กตรอน
 \mathcal{E} คือ สนามไฟฟ้า

4.7.1 คุณลักษณะกระแส - แรงดัน

ในการวัดทดสอบคุณลักษณะกระแสและแรงดัน ด้วยไฟฟ้ากระแสตรง โดยให้แรงดันเกต 0 และ 1 โวลต์ และทำการปรับแรงดันเดรน 0 ถึง 1 โวลต์ ครึ่งละ 0.1 โวลต์ พร้อมทำการเพิ่มอุณหภูมิให้กับทุกส่วนของโครงสร้างเท่ากัน ดังแสดงในรูปที่ 4.27 และรูปที่ 4.28 ตามลำดับ



รูปที่ 4.27 คุณลักษณะกระแส-แรงดันของฟินเฟทที่ได้รับอุณหภูมิแตกต่างกัน ในกรณี $V_g = 0$ V



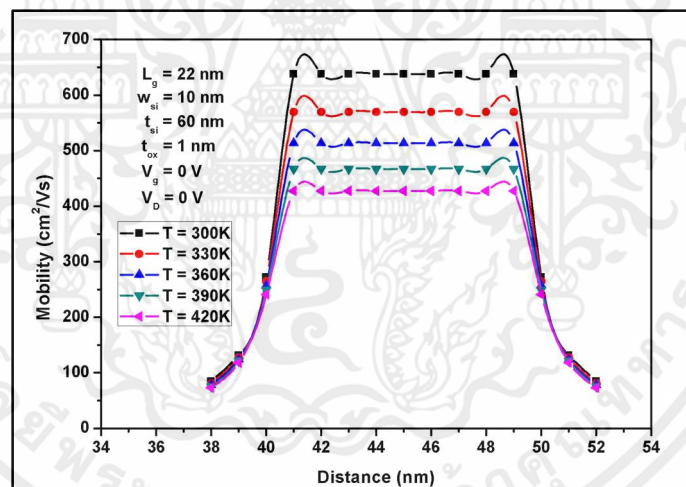
รูปที่ 4.28 คุณลักษณะกระแส-แรงดันของฟินเฟทที่ได้รับอุณหภูมิแตกต่างกัน ในกรณี $V_g = 1$ V

จากรูปที่ 4.27 การเพิ่มขึ้นของอุณหภูมิบนโครงสร้างฟินเฟท ทำให้เกิดกระแสรั่วไหลขึ้น ขณะไม่ได้ทำการไบอัสขั้วเกต เนื่องจากอุณหภูมิสูงทำให้เกิดอิเล็กตรอนซึ่งเป็นพาหะส่วนมาก (Majority Carrier) ของฟินเฟทชนิดเอ็นจึงเปรียบเสมือนการเกิดช่องทางเดินกระแส ซึ่งไม่ได้เกิดจากการเหนี่ยวนำโดยประจุบวกจากการไบอัสขั้วเกต ทำให้ค่ากระแสรั่วไหลเพิ่มขึ้นตามอุณหภูมิ โดยการวิเคราะห์จากสมการที่ (2.7)

หลังจากทำการเพิ่มแรงดันเกตเป็น 1 โวลต์ในรูปที่ 4.28 พบว่า กระแสเดรนในช่วงอิมิตัวของฟินเฟทมีค่าลดลง ซึ่งผกผันกับการเพิ่มขึ้นของอุณหภูมิ จากการวิเคราะห์ด้วยสมการ (2.10) พบว่า อิทธิพลของสนามไฟฟ้า และความหนาแน่นของอิเล็กตรอน ซึ่งทำให้ความคล่องตัวพาหะลดลง เป็นผลให้กระแสในช่วงอิมิตัวลดลง

4.7.2 ความคล่องตัวพาหะ

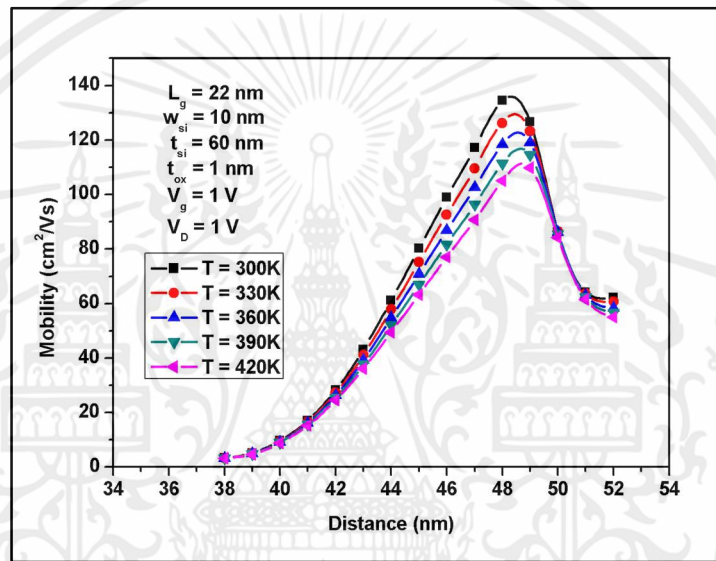
การวิเคราะห์ความคล่องตัวพาหะบริเวณขั้วเกต ทำได้โดยวิธีในหัวข้อ 3.7 โดยแบ่งออกเป็น 2 ช่วงคือ ช่วงที่ไม่มีกระแสไบอัสขั้วเกต และช่วงที่มีการไบอัสขั้วเกตด้วยแรงดัน 1 โวลต์ ดังแสดงในรูปที่ 4.29 และ รูปที่ 4.30 ตามลำดับ



รูปที่ 4.29 ความคล่องตัวพาหะบริเวณช่องทางเดินกระแสของฟินเฟทที่ได้รับอุณหภูมิแตกต่างกัน ในกรณี $V_g = 0 \text{ V}$ และ $V_D = 0 \text{ V}$

จากรูปที่ 4.29 พบว่าค่าความคล่องตัวพาหะบนผิวใต้ขั้วเกตขณะไม่ได้รับการไบอัส มีค่าต่ำในช่วงรอยต่อซอส และรอยต่อเดรนกับส่วนใต้ขั้วเกต เนื่องจากความเข้มข้นสารเจือของส่วนซอส และส่วนของเดรนมีค่าสูง ความหนาแน่นอิเล็กตรอนจึงสูงตาม ทำให้ค่าความคล่องตัวบริเวณรอยต่อมีค่าน้อย แต่บริเวณผิวใต้ขั้วเกตมีค่าความคล่องตัวพาหะสูงเนื่องจากมีค่าความเข้มข้นสารเจือต่ำ อยู่ในช่วงรอยสัมผัสที่ตำแหน่ง 40 ถึง 42 nm และ 48 ถึง 50 nm

ในช่วงกึ่งกลางของบริเวณผิวใต้ขั้วเกต (ตำแหน่ง 42 ถึง 48 นาโนเมตร) ความคล่องตัวมีค่าลดลงเล็กน้อยเนื่องจากเป็นบริเวณที่สัมผัสกับชั้นออกไซด์ขั้วเกต เนื่องจากการที่สารกึ่งตัวนำชนิดเอ็นสัมผัสกับวัสดุฉนวนหรือออกไซด์ ขณะไม่ได้รับการไบอัสที่ขั้วเกตจะทำให้เกิดการสะสมของอิเล็กตรอนบริเวณรอยต่อ จึงทำให้มีความหนาแน่นอิเล็กตรอนมากขึ้น ส่งผลให้บริเวณนั้นมีความคล่องตัวพาหะน้อยลง เมื่อเทียบกับบริเวณที่มีการเชื่อมต่อของซอส และเดรน และหลังจากทำการเพิ่มอุณหภูมิให้กับโครงสร้างฟินเฟท ค่าความคล่องตัวพาหะลดลงประมาณ $200 \text{ cm}^2/\text{Vs}$ เนื่องจากการเพิ่มขึ้นของอิเล็กตรอนจากอุณหภูมิที่สูงขึ้น ทำให้ความหนาแน่นอิเล็กตรอนบริเวณผิวใต้ขั้วเกตมีค่าสูงขึ้น ซึ่งการหาค่าความคล่องตัวพาหะสามารถคำนวณได้จากสมการ (3.9)



รูปที่ 4.30 ความคล่องตัวพาหะบริเวณช่องทางเดินกระแสของฟินเฟทที่ได้รับอุณหภูมิแตกต่างกัน ในกรณี $V_g = 1 \text{ V}$ และ $V_D = 1 \text{ V}$

จากรูปที่ 4.30 หลังจากทำการไบอัสโครงสร้างฟินเฟทด้วยแรงดันเกต 1 V และแรงดันเดรน 1 V พบว่า พฤติกรรมของความคล่องตัวของอิเล็กตรอนในช่วงตำแหน่ง 38 ถึง 42 nm มีค่าน้อยมาก เมื่อเปรียบเทียบกับรูปที่ 4.29 เนื่องจากเมื่อเกิดช่องทางเดินกระแสบริเวณใต้ขั้วเกตในภาวะชั้นกลับความหนาแน่นของอิเล็กตรอนสูงมาก เนื่องจากกลุ่มอิเล็กตรอนในบริเวณรอยต่อระหว่างซอสกับพื้นที่ใต้ขั้วเกต ได้รับการเหนี่ยวนำจากประจุบวกที่ได้จากการไบอัสขั้วเกต และในขณะที่ฟินเฟททำงานจะเกิดกระแสอิเล็กตรอนไหลจากส่วนของซอสไปสู่เดรน ซึ่งลักษณะของความคล่องตัวพาหะในช่วงตำแหน่ง 40 ถึง 48 nm มีลักษณะเหมือนกับชั้นกลับ ในส่วนของรอยสัมผัสระหว่างช่องทางเดินกระแสกับส่วนเดรนมีความคล่องตัวพาหะสูงที่สุดเนื่องจากในบริเวณนี้มีค่าสนามไฟฟ้าสูง ดึงอิเล็กตรอนในช่องทางเดินกระแสข้ามบริเวณปลอดพาหะไปสู่ส่วนของเดรน และค่าความคล่องตัวลดลงในบริเวณตำแหน่ง 49 ถึง 52 nm เนื่องจากความหนาแน่นของอิเล็กตรอนภายในส่วนของเดรน

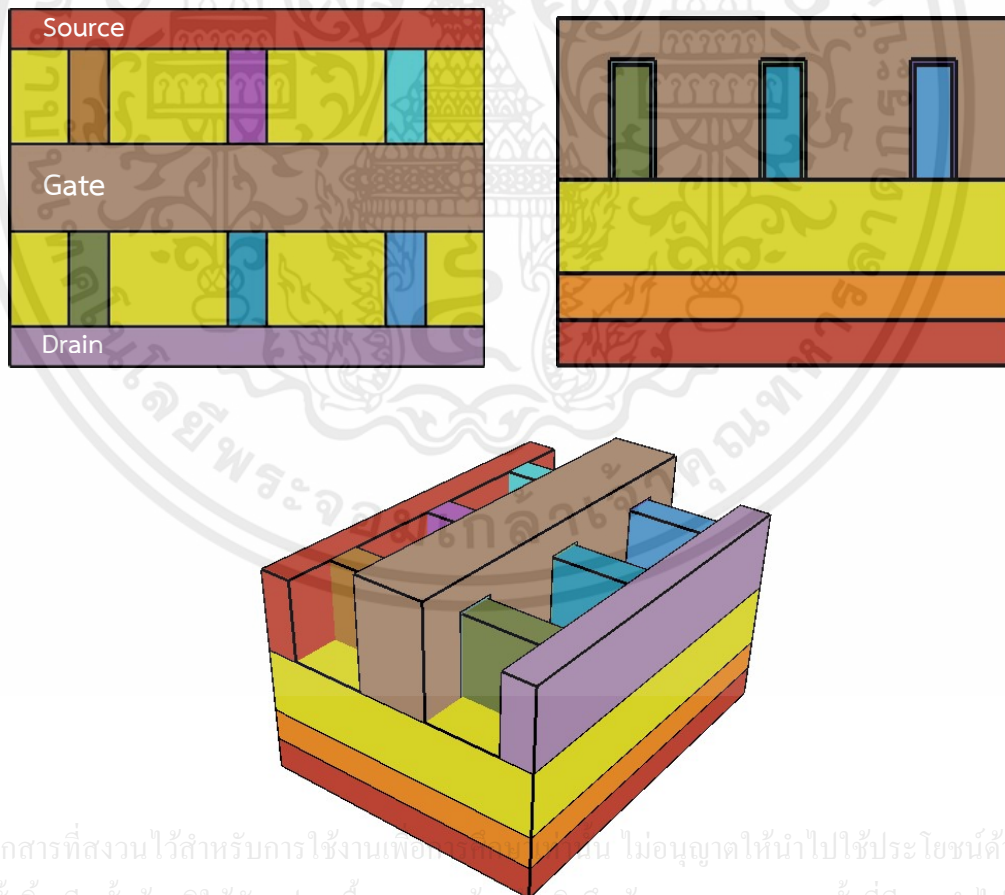
บทที่ 5

การประยุกต์ใช้งานพินเฟท

ในบทนี้เป็นการนำเสนอการประยุกต์ใช้งานโครงสร้างพินเฟท โดยการนำมาจำลองเป็นวงจรรีเลย์ทรอนิกส์พื้นฐานประกอบด้วย วงจรขับกระแส (Current Drive) และวงจรรรกะ (Logic) ซึ่งได้รับการใช้งานบนอุปกรณ์มอสเฟท โดยการนำพินเฟทชนิดเอ็นขนาด 22 นาโนเมตร จากบทที่ 4 และนำมาใช้งานร่วมกับโครงสร้างพินเฟทชนิดพี โดยได้ทำการจำลองวงจรด้วยเครื่องมือ Minimos-NT และใช้งานมิกซ์โหมด (Mixed Mode) หรือการจำลองวงจรแบบ Spice

5.1 การทดลองวงจรขยายกระแส

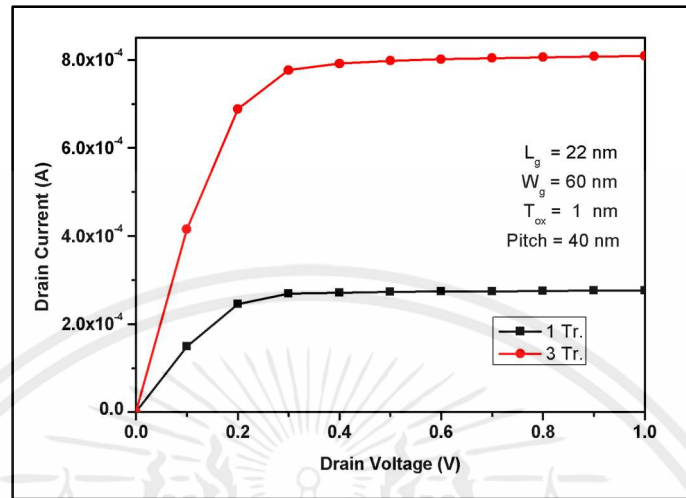
ในการทดลองสร้างพินเฟทชนิดเอ็นในรูปแบบของวงจรรขยายกระแส ทำโดยการสร้างพินเฟทให้มีโครงสร้างเหมือนกัน 3 ชุดแล้วใช้งานซอส เกท และเดรน ร่วมกัน โดยมีขนาดความยาวของขั้วเกต 22 นาโนเมตร ดังแสดงในรูปที่ 5.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.1 โครงสร้างพินเฟทแบบวงจรรขยายกระแส

หลังจากสร้างโครงสร้างด้วยเครื่องมือ Structure และทำการวัดคุณลักษณะกระแส-แรงดันของโครงสร้างด้วยเครื่องมือ Minimos-NT ดังแสดงในรูปที่ 5.2

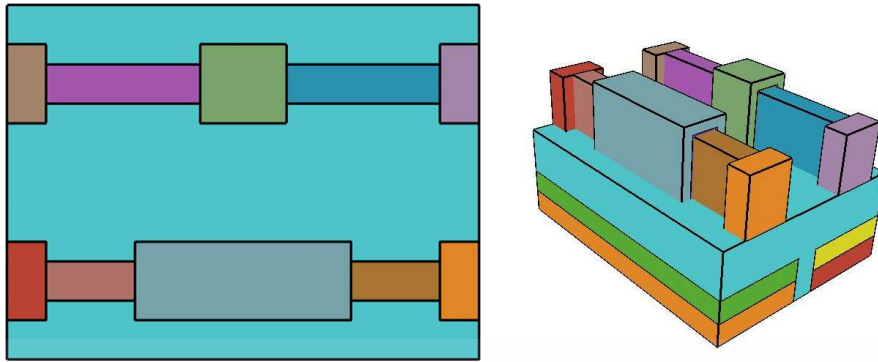


รูปที่ 5.2 คุณลักษณะกระแส - แรงดันของฟินเฟทแบบวงจรรขยายกระแส

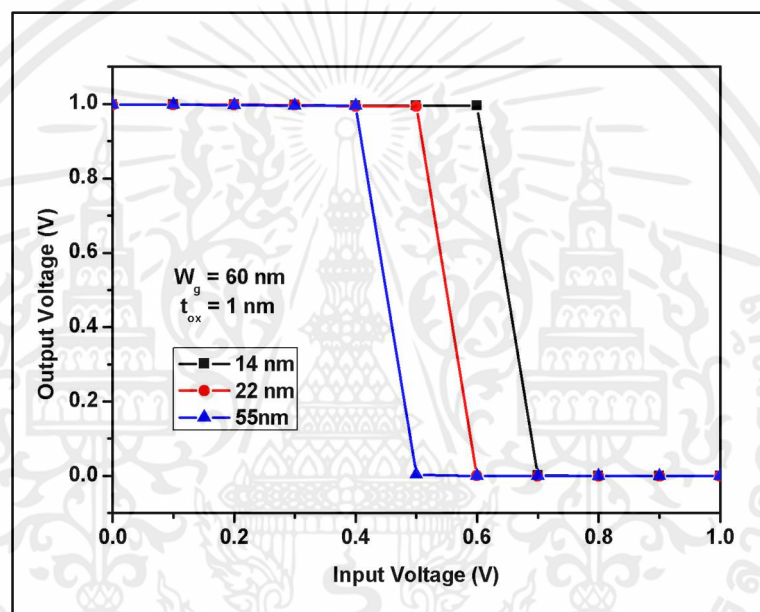
จากรูปที่ 5.2 พบว่าเมื่อทำการไบอัสวงจรรขยายกระแสฟินเฟท 1 ตัว วงจรให้กระแสประมาณ 269 ไมโครแอมแปร์ และเมื่อทำการเพิ่มจำนวนทรานซิสเตอร์เป็น 3 ตัว ได้กระแสเอาต์พุตของวงจรรประมาณ 800 ไมโครแอมแปร์ จากการเปรียบเทียบพบว่ากระแสเอาต์พุตของวงจรรประมาณ 3 เท่า จากการวิเคราะห์ด้วยสมการ (2.) เมื่อฟินเฟทต่อร่วมกันค่าความจุไฟฟ้าเกทของโครงสร้างทุกตัวจะมีผลกระทบต่อกระแสเอาต์พุต และการเชื่อมต่อกันระหว่างเกททำให้เกิดค่าความจุแฝง และค่าความต้านทานแฝงบนโครงสร้าง สามารถทำได้โดยการปรับปรุงค่า Pitch (P) และเสริมวัสดุฉนวนกั้นระหว่างโครงสร้างฟินเฟททุกตัวในวงจรร

5.2 โครงสร้างฟินเฟทชนิดพีสำหรับการจำลองแบบวงจรรทรกระ

ในหัวข้อนี้กล่าวถึงการออกแบบโครงสร้างฟินเฟทชนิดพี เพื่อใช้ร่วมกับฟินเฟทชนิดเอ็น สำหรับการจำลองวงจรรทรกระ ในการออกแบบฟินเฟทชนิดพีโดยปกติแล้วสามารถทำตามกฎการออกแบบฟินเฟทอินเวอร์เตอร์ในหัวข้อที่ 3.2 ได้ โดยให้ค่า $W_p/W_n = 1$ สำหรับโครงสร้างฟินเฟทหลังจากทำการออกแบบ จำลองแบบ และวัดทดสอบคุณลักษณะแรงดันเอาต์พุต-แรงดันอินพุต ให้มีการเปลี่ยนแปลงของแรงดันเอาต์พุตจาก 1 โวลต์ ไปสู่ 0 โวลต์ มีค่าครึ่งหนึ่งของแรงดันอินพุต ซึ่งในการวัดทดสอบทำโดยการไบอัส V_{DD} ที่ 1 โวลต์ และไบอัสอินพุตของวงจรรตั้งแต่ 0 ถึง 1 โวลต์ ชั้นละ 0.1 โวลต์ โดยที่เอาต์พุตเชื่อมต่อด้านทาน 1 MΩ ไว้เพื่อทำหน้าที่เป็นโหลด โดยวงจรรวัดทดสอบใช้งานวงจรรอินเวอร์เตอร์ดังแสดงในรูปที่ 5.3 และผลการวัดทดสอบแสดงในรูปที่ 5.4 ตามลำดับ



รูปที่ 5.3 วงจรอินเวอร์เตอร์สำหรับวัดทดสอบความสัมพันธ์ระหว่างแรงดันเอาต์พุต-แรงดันอินพุต



รูปที่ 5.4 คุณสมบัติแรงดันเอาต์พุต-แรงดันอินพุตของฟินเฟตอินเวอร์เตอร์

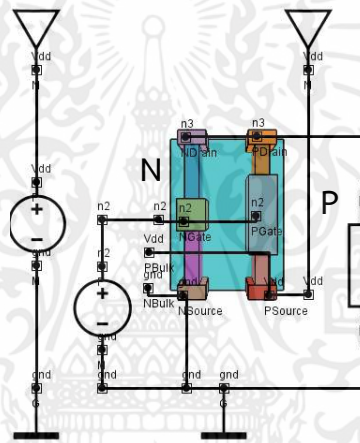
จากรูปที่ 5.4 จากการวัดทดสอบพบว่าวงจรที่ประกอบด้วยฟินเฟตชนิดพีขนาด 55 nm เกิดการเปลี่ยนแปลงของแรงดันเอาต์พุตที่แรงดันอินพุตเท่ากับ 0.425 V ซึ่งทำให้แรงดันเอาต์พุตลดลงเป็น 0 V ที่แรงดันอินพุต 0.5 V วงจรที่ประกอบด้วยฟินเฟตชนิดพีขนาด 22 nm เกิดการเปลี่ยนแปลงของแรงดันเอาต์พุตขณะที่แรงดันอินพุตเท่ากับ 0.55 V ซึ่งทำให้แรงดันเอาต์พุตลดลงเป็น 0 V ที่แรงดันอินพุต 0.6 V และวงจรที่ประกอบด้วยฟินเฟตชนิดพีขนาด 14 nm เกิดการเปลี่ยนแปลงของแรงดันเอาต์พุตขณะที่แรงดันอินพุตเท่ากับ 0.65 โวลต์ ซึ่งทำให้แรงดันเอาต์พุตลดลงเป็น 0 V ที่แรงดันอินพุต 0.7 V จากการทดลองพบว่า ควรเลือกใช้ฟินเฟตชนิดพีที่มีขนาดใหญ่กว่าฟินเฟตชนิดเอ็น เนื่องจากสามารถให้อัตราส่วนแรงดันเอาต์พุตต่อแรงดันอินพุต ประมาณ 1:1 เนื่องจากเมื่อทำใช้งานเป็นวงจรอินเวอร์เตอร์แล้ว จะสามารถตอบสนองอินพุตของวงจรได้เร็ว

5.3 การทดลองวงจรรรณะ

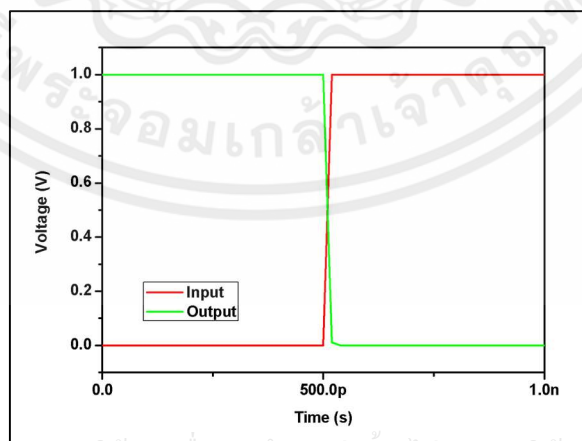
ในการทดลองนี้ทำการจำลองแบบวงจรรรณะด้วยโครงสร้างพินเฟทชนิดเอ็นที่มีขนาดความยาวเกต 22 nm โดยอ้างอิงจากเทคโนโลยีทรานซิสเตอร์สามเกตของบริษัทอินเทล และใช้งานโครงสร้างพินเฟทชนิดพี ที่มีขนาดความยาวเกต 55 nm โดยอ้างอิงจากผลการทดลองในหัวข้อที่ 5.2 เพื่อให้วงจรมีการตอบสนองที่ดีกับความถี่สูง

5.3.1 วงจรอินเวอร์เตอร์

วงจรอินเวอร์เตอร์ในงานวิจัยนี้ใช้พินเฟทชนิดเอ็น และชนิดพีเป็นส่วนประกอบโดยทำการเชื่อมต่อขั้วเดรนร่วมกันเป็นเอาต์พุต และขาเกตร่วมกันเป็นอินพุต โดยให้ขาซอสของพินเฟทชนิดพีเป็น V_{DD} และขาซอสของพินเฟทชนิดเอ็นเป็น V_{SS} และทำการป้อนอินพุตของวงจรด้วยแหล่งจ่ายไฟฟ้าแบบสัญญาณพัลส์ขนาด 1 โวลต์ ด้วยความถี่ 1 GHz และให้แรงดันเลี้ยงวงจร 1 โวลต์ ดังแสดงในรูปที่ 5.3



รูปที่ 5.5 วงจรอินเวอร์เตอร์บนโปรแกรม GTS Framework



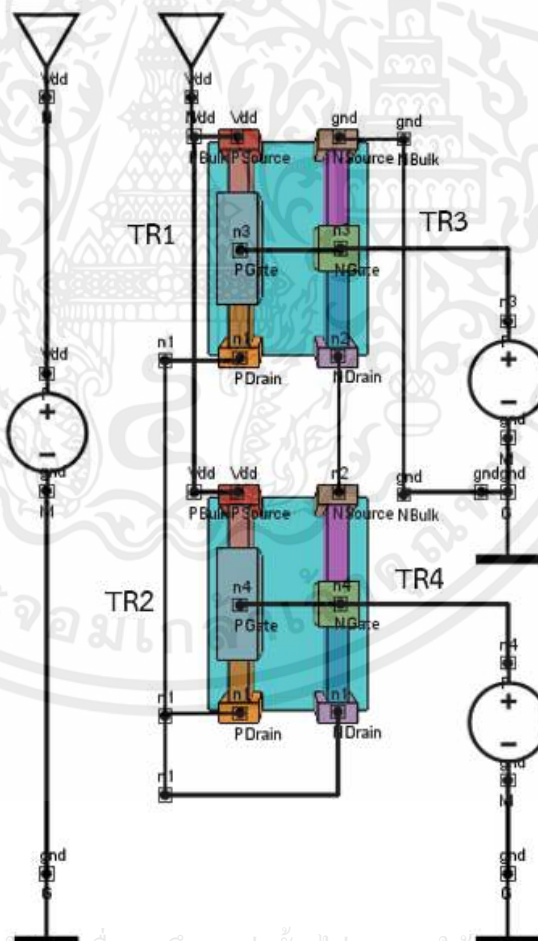
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเผยแพร่ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.6 ไดอะแกรมเวลาของวงจรอินเวอร์เตอร์

จากรูปที่ 5.6 เมื่อสัญญาณอินพุตเปลี่ยนแปลง จากลอจิก 0 และปรับค่าไปสู่ ลอจิก 1 ช่วงเวลาเอาต์พุตของวงจรถูกเกิดการเปลี่ยนแปลงจาก High เป็น Low เกิดจากพินเฟทชนิดพีได้รับแรงดันไบอัสเกต 1 โวลต์ เปลี่ยนจากการทำงานจากย่านอิมิตัวสู่อันคัตออฟ ทำให้ส่วนของพินเฟทชนิดพีซึ่งมีหน้าที่เป็นโหลดไม่นำกระแส และพินเฟทชนิดเอ็นได้รับแรงดันไบอัสขั้วเกต ทำให้เกิดการเปลี่ยนแปลงการทำงานเข้าสู่สภาวะอิมิตัว จึงได้เอาต์พุตเท่ากับ 0 โดยในการเปลี่ยนแปลง T_{fall} เท่ากับ 40 ps

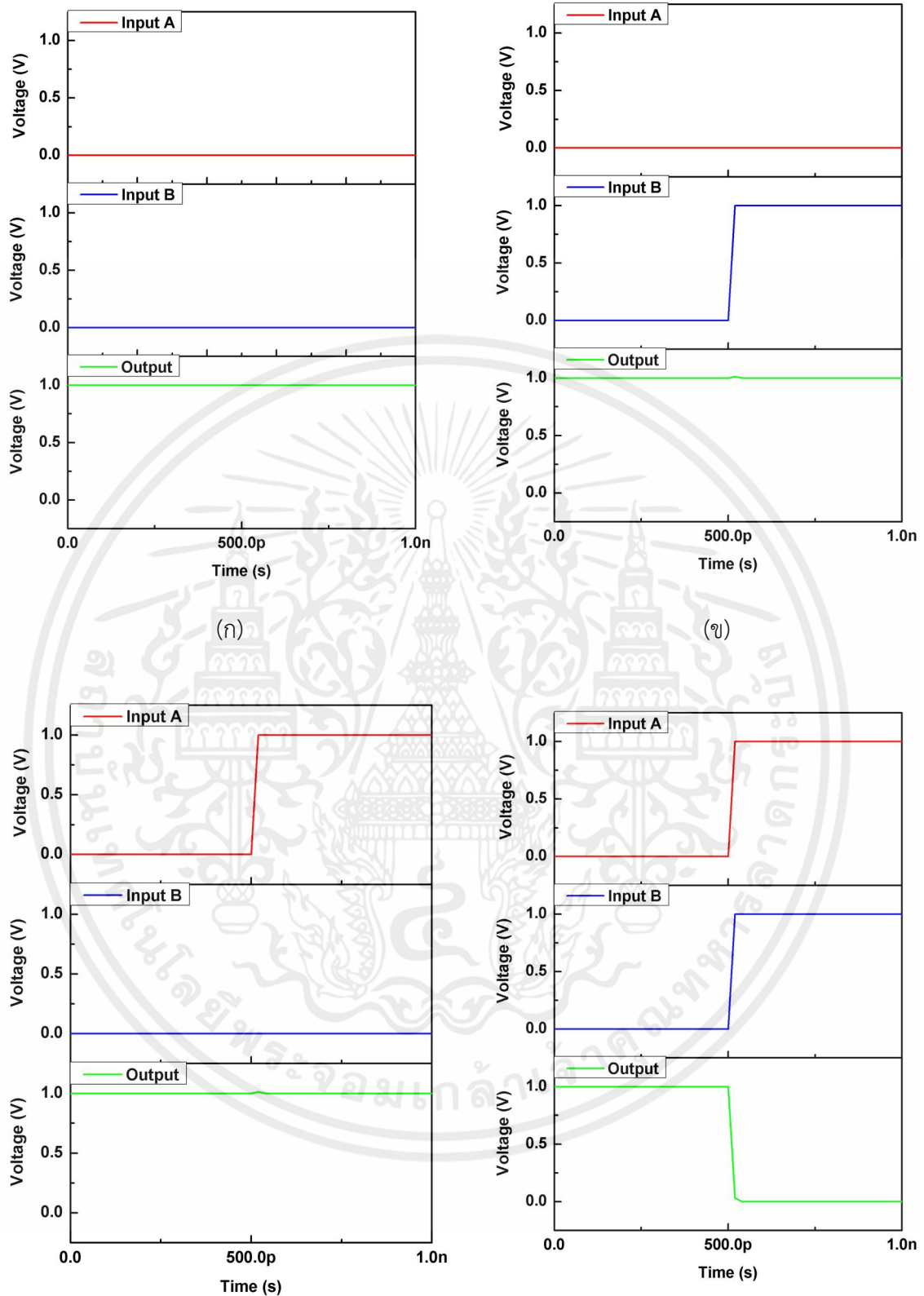
5.3.2 วงจรแนนด์เกต

วงจรแนนด์เกตประกอบด้วยพินเฟทชนิดเอ็นสองตัว และชนิดพีสองตัว โดยให้พินเฟทชนิดพีเป็นชุดโหลดแบบต่อขนานกัน หรือเรียกว่าวงจรแคสเคด และใช้พินเฟทชนิดเอ็นเป็นอินพุตซึ่งต่ออนุกรมกัน ดังแสดงในรูปที่ 5.7 โดยทำการบ่อนอินพุต 00 01 10 และ 11 ด้วยสัญญาณพัลส์ ความถี่ 1 GHz ขนาด 1 โวลต์ วงจรแสดงดังรูป 5.7 และไดอะแกรมเวลาของวงจรแสดงดังรูปที่ 5.8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.7 วงจรแนนด์เกตบนโปรแกรม GTS Framework



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ(ค)ับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้(ง)ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.8 ไดอะแกรมเวลาของวงจรแนนด์เกตฟิสิกส์

จากรูปที่ 5.8 ผลการวัดทดสอบวงจรแอนด์เกต หลังจากทำการป้อนสัญญาณพัลส์ 1 GHz อินพุต A = 0, B = 0 สัญญาณเอาต์พุตเท่ากับ 1 เนื่องจาก TR1 และ TR2 ทำหน้าที่เป็นตัวต้านทาน पुलदारन ดังแสดงในรูปที่ 5.8 (ก)

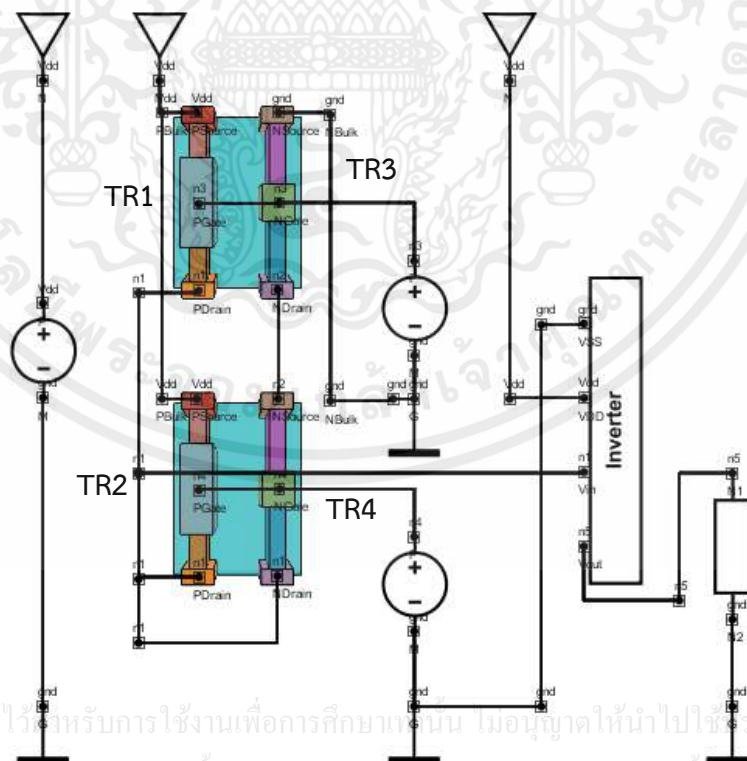
อินพุต A = 0, B = 1 เอาต์พุตเท่ากับ 1 เมื่อช่วงเวลาที่อินพุตเปลี่ยนแปลงจาก 0 ไปสู่ 1 TR1 และ TR3 ได้รับการไบอัสแรงดันเกตเท่ากับ 0 เอาต์พุตของวงจรจึงเท่ากับ 1 ดังแสดงในรูปที่ 5.8 (ข)

อินพุต A = 1, B = 0 เอาต์พุตของวงจรเท่ากับ 1 เมื่อช่วงเวลาที่อินพุตเปลี่ยนแปลงจาก 0 ไปสู่ TR2 และ TR4 ได้รับแรงดันเกตเป็น 0 เท่ากับ 1 ดังแสดงในรูปที่ 5.7 (ค)

ขณะทำการป้อนอินพุต A = 1, B = 1 เอาต์พุตของวงจรเท่ากับ 0 เมื่อช่วงเวลาที่อินพุตเปลี่ยนแปลงจาก 0 ไปสู่ 1 ฟิสิกส์ของทรานซิสเตอร์ทั้งสองได้รับการไบอัสแรงดันเกตเท่ากับ 1 จึงทำงานในย่านคัตออฟ เอาต์พุตของวงจรจึงเท่ากับ 0 ดังแสดงในรูปที่ 5.8 (ง)

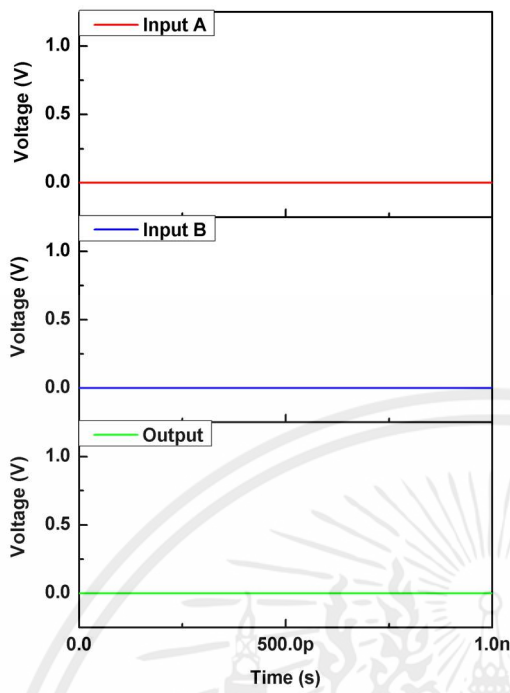
5.3.2 วงจรแอนด์เกต

วงจรแอนด์เกตประกอบด้วยฟิสิกส์ทรานซิสเตอร์เอ็นและซีดีพี โดยให้ฟิสิกส์ทรานซิสเตอร์เป็นชุดโหนดสองตัวต่อขนานกัน และใช้ฟิสิกส์ทรานซิสเตอร์เอ็นเป็นอินพุตต่ออนุกรมกัน โดยทำการนำเอาต์พุตของวงจรเชื่อมต่อกับวงจรอินเวอร์เตอร์เพื่อกลับค่า และวัดเอาต์พุตคัลล่อมตัวต้านทาน ดังแสดงในรูปที่ 5.9 โดยทำการป้อนอินพุต 00 01 10 และ 11 ตามลำดับ ด้วยความถี่ 1 GHz ขนาด 1 โวลต์

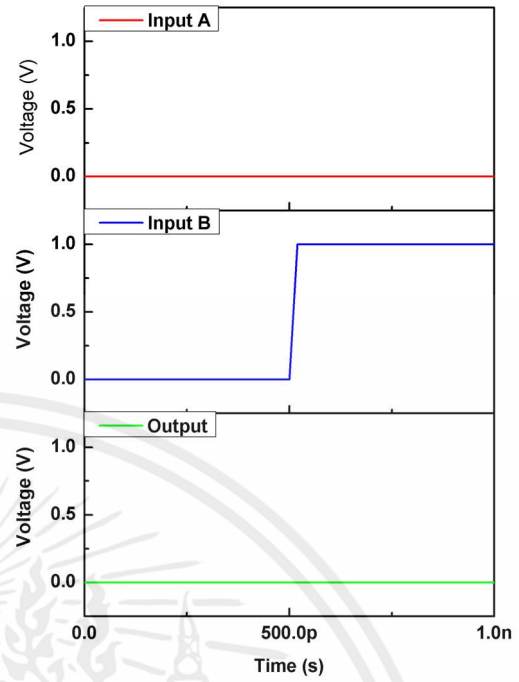


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

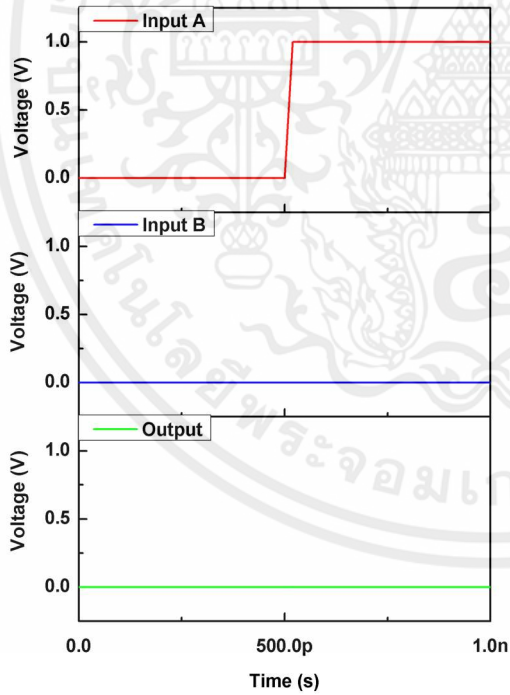
รูปที่ 5.9 วงจรแอนด์เกตบนโปรแกรม GTS Framework



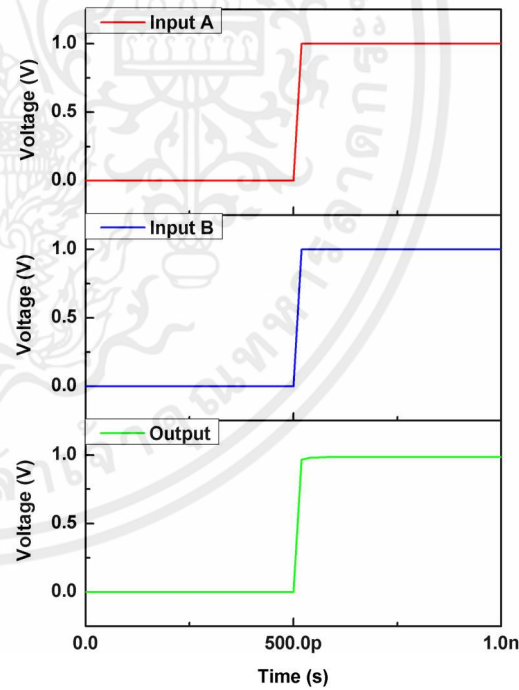
(ก)



(ข)



(ค)

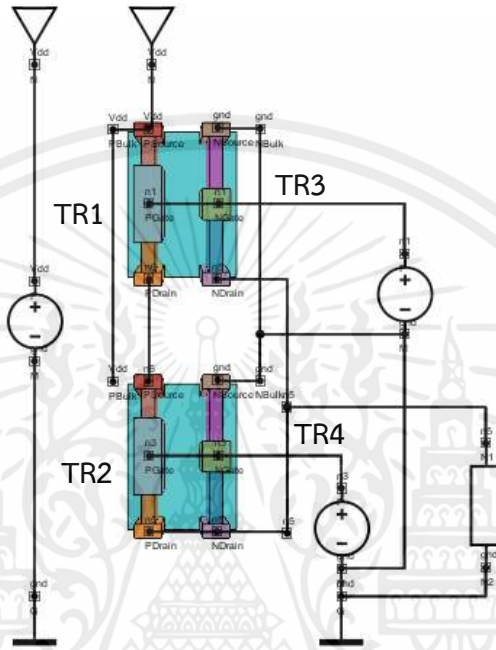


(ง)

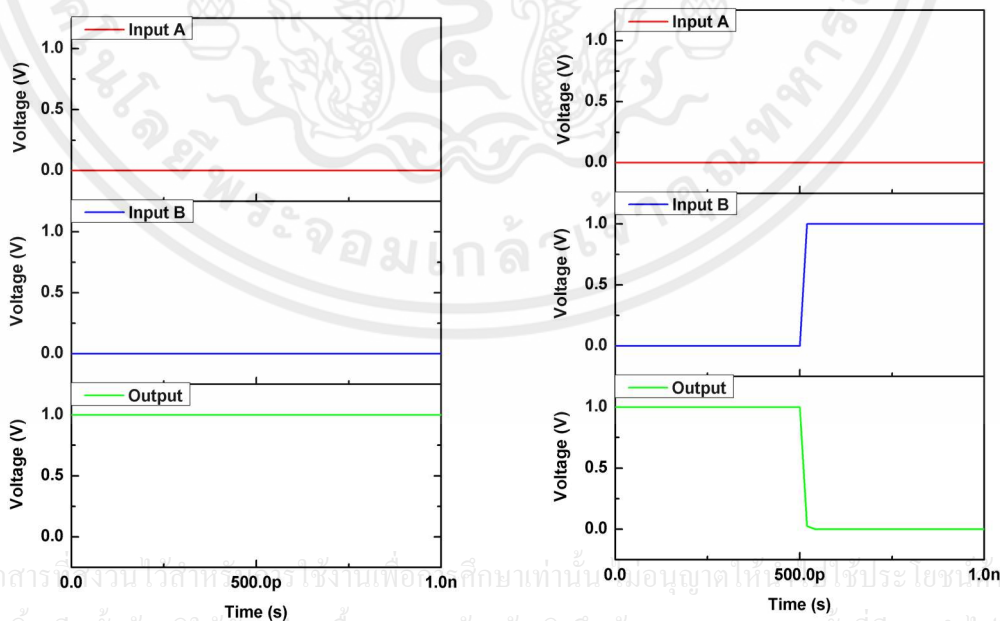
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 5.10 ไตอะแกรมเวลาของวงจรมัลติเพลกซ์
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.3 วงจรนอร์เกท

วงจรนอร์เกทประกอบด้วยพินเฟทชนิดเอ็นและชนิดพี โดยให้พินเฟทชนิดพี เป็นชุดโหลดสองตัว ต่ออนุกรมกัน และใช้พินเฟทชนิดเอ็นเป็นอินพุตต่อขนานกันในลักษณะของวงจรแคสเคด และวัตเอาต์พุตตกคล่อมตัวต้านทานค่า 1 MΩ ดังแสดงในรูปที่ 5.11 โดยทำการป้อนอินพุต 00 01 10 และ 11 ตามลำดับ ด้วยสัญญาณพัลส์ ความถี่ 1 GHz ขนาด 1 โวลต์



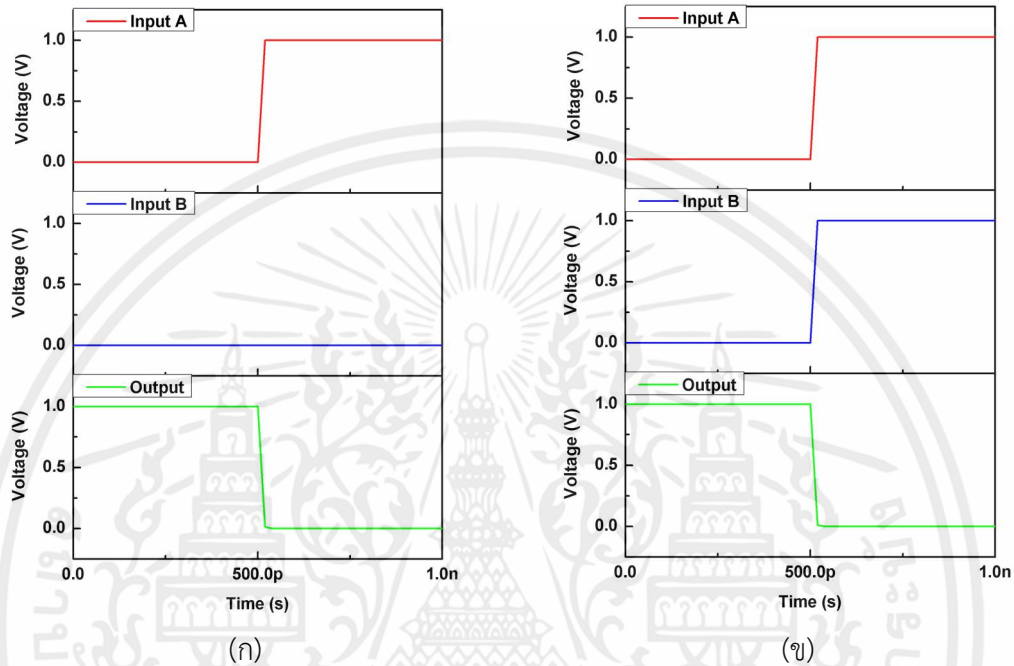
รูปที่ 5.11 วงจรนอร์เกทบนโปรแกรม GTS Framework



รูปที่ 5.12 ไดอะแกรมเวลาของวงจรนอร์เกท

จากรูปที่ 5.12 อินพุต A = 0, B = 0 สัญญาณเอาต์พุตของวงจรเท่ากับ 1 เนื่องจาก ทั้ง TR3 และ TR4 ทำหน้าที่เสมือนตัวต้านทานพูลดาวน์ ดังแสดงในรูปที่ 5.12 (ก)

อินพุต A = 0, B = 1 เอาต์พุตเท่ากับ 0 เนื่องจาก TR2 ได้รับอินพุต 1 จึงทำหน้าที่เสมือนตัวต้านทานพูลอัพ ทำให้เอาต์พุตของวงจรแอนด์เกตจึงเท่ากับ 0 ดังแสดงในรูปที่ 5.12 (ข)



รูปที่ 5.13 ไตอะแกรมเวลาของวงจรรนอร์เกต (ต่อ)

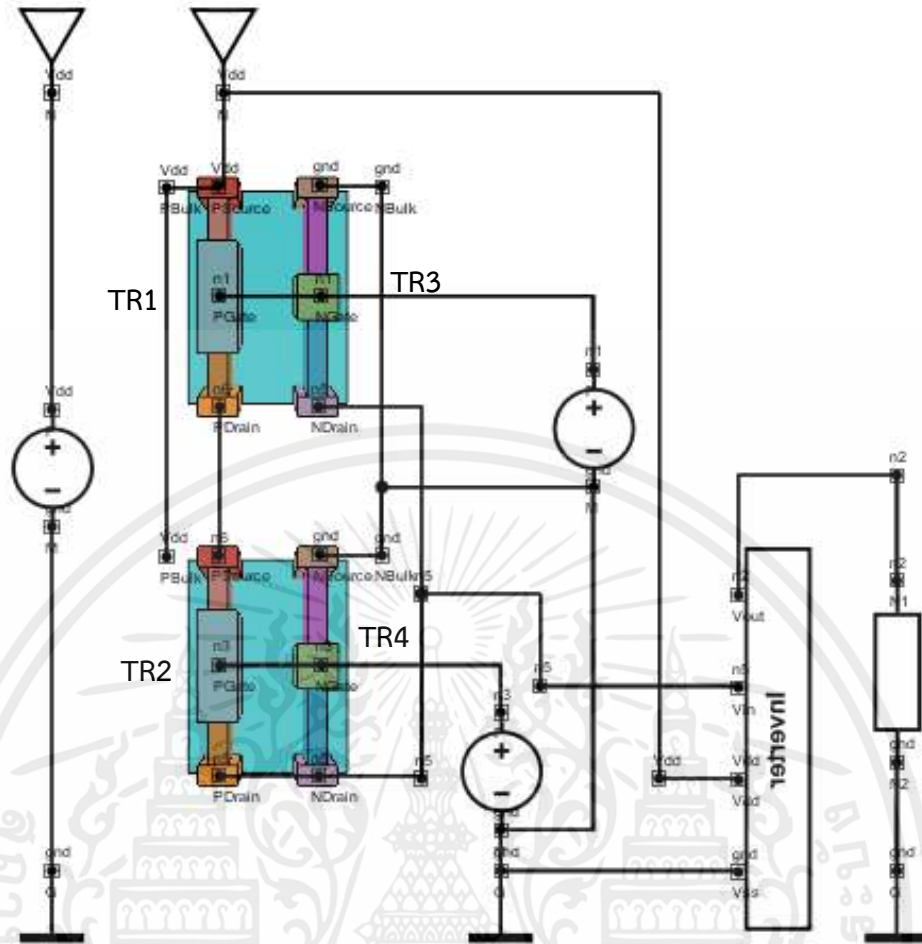
อินพุต A = 1, B = 0 เอาต์พุตของวงจรเท่ากับ 0 เนื่องจากทั้ง TR2 และ TR4 ทำหน้าที่เป็นตัวต้านทานพูลดาวน์ เอาต์พุตของวงจรแอนด์เกตจึงเท่ากับ 0 ดังแสดงในรูปที่ 5.13 (ก)

อินพุต A = 1, B = 1 เอาต์พุตของวงจรเท่ากับ 0 เนื่องจากสถานะของ TR1 และ TR 3 ทำหน้าที่เสมือนตัวต้านทานพูลอัพ ดังแสดงในรูปที่ 5.13 (ข)

5.3.5 วงจรรนอร์เกต

วงจรรนอร์เกตประกอบด้วยพินเฟทชนิดเอ็นและชนิดพี โดยให้พินเฟทชนิดพี เป็นชุดโหลดสองตัว และใช้พินเฟทชนิดเอ็นเป็นอินพุต และทำการเชื่อมต่อเอาต์พุตเข้ากับวงจรรนอร์เกตเพื่อทำการกลับค่า และวัดเอาต์พุตคร่อมตัวต้านทาน ดังแสดงในรูปที่ 5.14 โดยทำการป้อนอินพุต 00 01 10 และ 11 ด้วยสัญญาณพัลส์ ความถี่ 1 GHz ขนาด 1 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



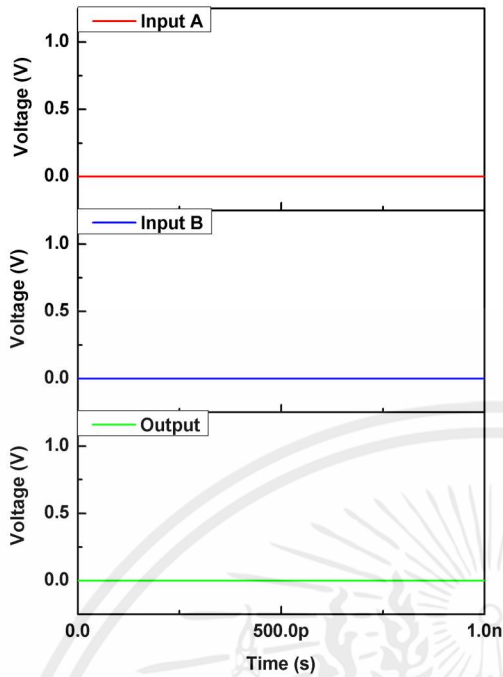
รูปที่ 5.14 วงจรออร์เกตพินโปรแกรม GTS Framework

ผลการวัดทดสอบวงจรออร์เกตพินเฟต หลังจากทำการป้อนสัญญาณอินพุต $A = 0, B = 0$ สัญญาณเอาต์พุตของวงจรเท่ากับ 0 เนื่องจาก TR3 และ TR4 ได้รับอินพุต 0 ทำหน้าที่เสมือนตัวต้านทานพูลดาวน์ เอาต์พุตของวงจรรอเกตจึงเท่ากับ 1 และทำการกลับด้วยอินเวอร์เตอร์ ดังแสดงในรูปที่ 5.14 (ก)

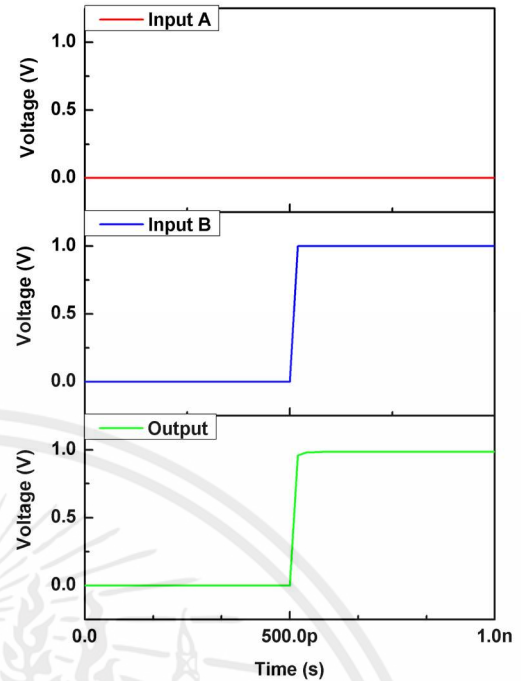
เมื่อทำการป้อนอินพุต $A = 0, B = 1$ เอาต์พุตเท่ากับ 1 เนื่องจาก TR1 ทำหน้าที่เสมือนตัวต้านทานพูลอัพ ทำให้เอาต์พุตของวงจรรอเกตจึงเท่ากับ 0 และทำการกลับด้วยอินเวอร์เตอร์ ดังแสดงในรูปที่ 5.14 (ข)

เมื่อทำการป้อนอินพุต $A = 0, B = 1$ เอาต์พุตเท่ากับ 1 เนื่องจาก TR2 ทำหน้าที่เสมือนตัวต้านทานพูลอัพ ทำให้เอาต์พุตของวงจรรอเกตจึงเท่ากับ 0 และทำการกลับด้วยอินเวอร์เตอร์ ดังแสดงในรูปที่ 5.14 (ค)

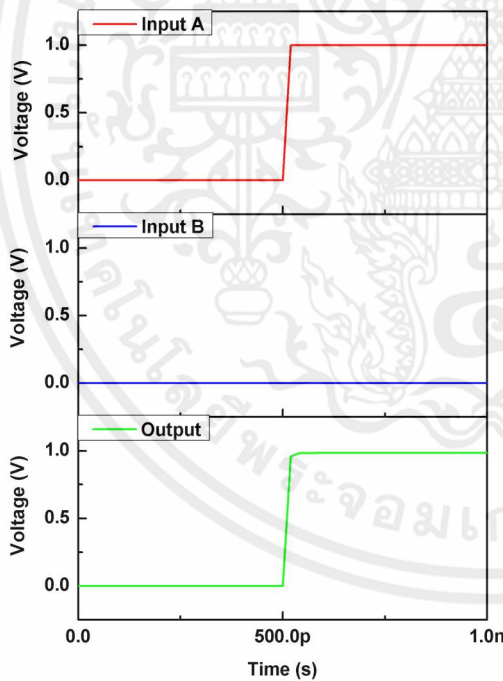
และเมื่อทำการป้อนอินพุต $A = 1, B = 1$ เอาต์พุตของวงจรเท่ากับ 1 ทั้ง TR1 และ TR3 ทำงานเสมือนตัวต้านทานพูลอัพเนื่องจากได้รับอินพุต 1 โวลต์ ทำให้เอาต์พุตของวงจรรอเกตจึงเท่ากับ 0 และทำการกลับด้วยอินเวอร์เตอร์ ดังแสดงในรูปที่ 5.14 (ง)



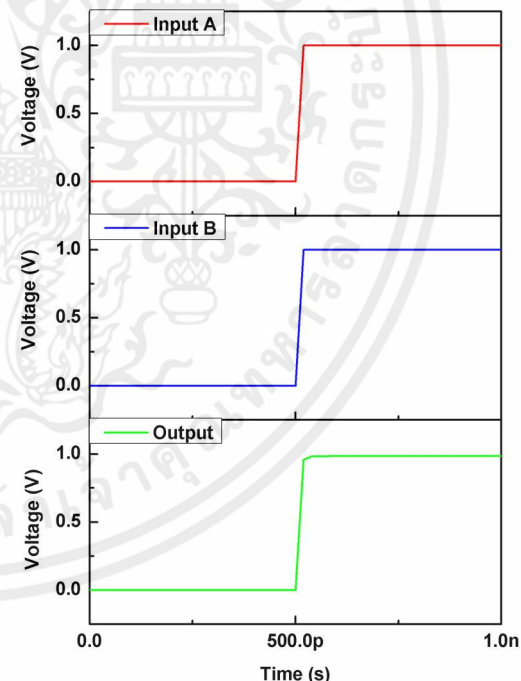
(ก)



(ข)



(ค)



(ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 5.14 ไดอะแกรมเวลาของวงจรรอเกท นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการทดลองและข้อเสนอแนะ

6.1 สรุปผลการทดลอง

วิทยานิพนธ์เล่มนี้นำเสนอการศึกษาหลักการออกแบบฟินเฟท วิธีการจำลองแบบ และวิเคราะห์คุณลักษณะทางไฟฟ้าของฟินเฟท โดยใช้งานโครงสร้างฟินเฟทแบบเอสโอไอ

การวัดทดสอบคุณลักษณะทางไฟฟ้าจากการศึกษาการปรับเปลี่ยน ขนาด รูปร่าง วัสดุ และอุณหภูมิพบว่า โครงสร้างฟินเฟทที่ดี ควรออกแบบความยาวช่องทางเดินกระแส (L_g) ความกว้างชั้นซิลิคอน (W_g) ให้มีค่าน้อย ซึ่งทำให้ฟินเฟทมีแรงดันขีดเริ่มต่ำ และให้กระแสเดรนช่วงอิมิต์สูง สำหรับความหนาชั้นเกตออกไซด์ ควรให้ชั้นเกตออกไซด์มีความบางมากที่สุด และควรใช้งานวัสดุ High- κ แทนการใช้งาน SiO_2 เพื่อลดการเกิด Short Channel Effect สำหรับความหนาชั้นซิลิคอน ในกรณีมีความหนามากจะทำให้ได้กระแสเดรนที่สูงขึ้น แต่การออกแบบควรอ้างอิงเทคโนโลยีการผลิต

การปรับเปลี่ยนรูปร่างมีผลกับการเปลี่ยนแปลงของค่าความกว้างช่องทางเดินกระแส (W_g) จึงให้กระแสเดรนแตกต่างกัน แต่ไม่มีความเป็นไปได้ในการนำมาประยุกต์ใช้

การเปลี่ยนแปลงของอุณหภูมิที่กระทำต่อโครงสร้างของฟินเฟทพบว่าขณะที่ไม่ได้ทำการไบอัสโครงสร้างฟินเฟท และให้อุณหภูมิสูง มีผลให้ให้เกิดกระแสรั่วสูงขึ้น และทำให้กระแสช่วงอิมิต์ลดลง รวมถึงทำให้ความคล่องตัวของพาหะบริเวณพื้นที่ใต้ขั้วเกต หรือช่องทางเดินกระแสมีค่าลดลง เป็นผลให้ประสิทธิภาพของโครงสร้างฟินเฟทที่ได้รับอุณหภูมิสูงลดลง

นอกจากการออกแบบโครงสร้างฟินเฟท ในวิทยานิพนธ์นี้นำเสนอการประยุกต์ใช้งานโครงสร้างฟินเฟท โดยทำการจำลองแบบโครงสร้างฟินเฟทแบบวงจรรขยายกระแส โดยการนำฟินเฟทชนิดเอ็นขนาด 22 นาโนเมตร มาต่อขนานร่วมกัน 3 ตัว ซึ่งวงจรรขยายกระแสนี้ให้กระแสประมาณ 3 เท่า เมื่อทำการเปรียบเทียบกับฟินเฟทขนาด 22 นาโนเมตรตัวเดียว

ในส่วนของการทดสอบวงจรรอินเวอร์เตอร์ โดยใช้งานฟินเฟทชนิดเอ็นขนาด 22 nm ร่วมกับฟินเฟทชนิดพีขนาด 14 nm 22 nm และ 55 nm พบว่าวงจรรอินเวอร์เตอร์ที่ใช้ฟินเฟทชนิดพีขนาด 55 นาโนเมตร ให้อัตราส่วนระหว่างแรงดันเอาต์พุตกับแรงดันอินพุต 1:1 ซึ่งเหมาะกับการนำไปประยุกต์ทำเป็นวงจรรรกระแส

สำหรับการประยุกต์ใช้งานฟินเฟทกับวงจรรรกระแส ประกอบด้วย วงจรรอินเวอร์เตอร์ วงจรรแนนด์เกต วงจรรแอนด์เกต วงจรรนอร์เกต และวงจรรออร์เกต พบว่าวงจรรรกระแส สามารถทำงานกับสัญญาณพัลส์ ความถี่ 1 GHz โดย ขนาด 1 โวลต์ ให้เอาต์พุตเป็นไปตามทฤษฎี และในช่วงการเปลี่ยนแปลงของแรงดันเอาต์พุตพบว่าช่วงเวลาเพิ่มขึ้นจากอินพุต 1 เท่า

6.2 ข้อเสนอแนะ

ในการพัฒนาต่อยอดงานวิจัยนี้ ผู้วิจัยมีข้อเสนอแนะให้ทำการจำลองโครงสร้างฟินเฟทแบบ Bulk เนื่องจากมีข้อดีเรื่องของอุณหภูมิ และความซับซ้อนในการออกแบบน้อยกว่า เมื่อเทียบกับ SOI รวมถึง สามารถนำเสนอผลในเชิงการเปรียบเทียบ กับโครงสร้างแบบ SOI ได้

ในด้านข้อจำกัดของซอฟต์แวร์ซึ่งใช้ในการจำลองแบบโครงสร้างฟินเฟท สำหรับงานวิจัยนี้ใช้โปรแกรม GTS Framework แบบออนไลน์ซึ่งเป็นลิขสิทธิ์ฟรีจากบริษัท Global TCAD Solution เนื่องด้วยการเปิดเป็นโปรแกรมใช้งานแบบไม่เสียค่าใช้จ่าย ซึ่งผู้พัฒนาทำการปิดฟังก์ชันการทำงานของโปรแกรมส่วนสำคัญหลายส่วน เป็นผลให้ผู้วิจัยไม่สามารถทำการทดลอง และทำการศึกษาในส่วนสำคัญของโครงสร้างฟินเฟทในทางฟิสิกส์บางประการได้ ควรใช้งานโปรแกรมด้วยลิขสิทธิ์แบบเสียค่าใช้จ่าย เพื่อทำการใช้งานฟังก์ชันวิเคราะห์โครงสร้างฟินเฟทในเชิงลึก และทำให้องค์ความรู้เกี่ยวกับทรานซิสเตอร์ชนิดใหม่นี้ มีความถูกต้องชัดเจนมากขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] C.-H. Jan. and et al. 2012. "A 22nm SoC Platform Technology Featuring 3-D Tri-Gate and High-k/Metal Gate, Optimized for **Ultra Low Power, High Performance and High Density SoC Applications.**" IEDM. 12.
- [2] Zen (microarchitecture). **Wikipedia** [Online].
Available: [https://en.wikipedia.org/wiki/Zen_\(microarchitecture\)](https://en.wikipedia.org/wiki/Zen_(microarchitecture))
- [3] Yixiao Ding. and et al. 2017. "Self-Aligned Double Patterning Lithography Aware Detailed Routing With Color Preassignment," **IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS.** 36.
- [4] Huayong Hu, Peng Wang and Jianyou Liu. 2016. "Self-aligned double patterning (SADP) process even-odd uniformity improvement." **CSTIC.**
- [5] สมเกียรติ ศุภเดช 2559. "เซมิคอนดักเตอร์ดีไวซ์" พิมพ์ครั้งที่ 6. **สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.**
- [6] Silicon on insulator. **Wikipedia** [Online].
Available: https://en.wikipedia.org/wiki/Silicon_on_insulator
- [7] สุรศักดิ์ เนียมเจริญ และ สมเกียรติ ศุภเดช. 2560. "เทคโนโลยีวงจรรวม." **สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.**
- [8] Digh Hisamoto. 1990. "A Fully Depleted Lean-Channel Transistor (DELTA)-A Novel Vertical Ultrathin SOI MOSFET." **IEEE Electron Device Letters.** 11.
- [9] Digh Hismoto. and et al. 1998. "A Folded-channel MOSFET for Deep-sub-tenth Micron Era". **IEEE Trans. Electron Devices.** 45.
- [10] Xuejue Huang. and et al. 1999. "Sub 20-nm FinFET:PMOS" IEDM. 99.
- [11] Amir Rahin and Vahid Rahin. 2016. "A Low-Voltage and Low-Power Two-Stage Operational Amplifier Using FinFET Transistors." **IAJSE.** 3.
- [12] Amidad Conley. 2014. "**FinFET vs. FD-SOI Key Advantages & Disadvantages.**" [Online] Available: http://www.chipex.co.il/_Uploads/dbsAttachedFiles/ChipExAMAT.pdf
- [13] M. Zakir Hossain et al. 2011. "Electrical Characteristics of Trigate FinFET." **Global Journal of Reseaches in Engineering.** Vol. 11.
- [14] Subthreshold Slope. **Wikipedia** [Online].
Available: https://en.wikipedia.org/wiki/Subthreshold_slope

เอกสารอ้างอิง (ต่อ)

- [15] Drain-induced barrier lowering. **Wikipedia** [Online].
Available: https://en.wikipedia.org/wiki/Drain-induced_barrier_lowering
- [16] MOSFET short channel effects. **Onmyphd** [Online]
Available: <http://www.onmyphd.com/?p=mosfet.short.channel.effects>
- [17] J.-P. Colinge. 2008. "FinFETs and Other Multi-Gate Transistors." Springer.
- [18] มงคล ทองสงคราม 2551. "ทฤษฎีดีจิตอล". ห้างหุ้นส่วนจำกัด วี.เจ. พรินต์ติ้ง.
- [19] BSIM. **Wikipedia** [Online].
Available: <https://en.wikipedia.org/wiki/BSIM>
- [20] Global TCAD Solution. 2017 "Minimos-NT User Manual."
- [21] Xinfei Guo. and et al. 2017." Back to the Future: Digital Circuit Design in the FinFET Era." **Low Power Electron**. Vol. 13. No. 3.
- [22] Global TCAD Solution. 2017 "GTS Framework User Manual."
- [23] ณัฐพงษ์ พัชรศาสตร์ และ วีระ เพ็งจันทร์. 2559 "การศึกษาวัสดุฉนวนชั้นเกตของฟินเฟทชนิดเอ็นขนาด 28 นาโนเมตร ด้วยวิธีการจำลองแบบ." การประชุมวิชาการเครื่องข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 9.
- [24] J. Robertson. 2004. "High dielectric constant oxides." **The European physical journal applied physics**. Vol. 20.
- [25] Nuttapon Patcharasardtra and Weera Pengchan. 2016. "Electrical Characteristics of Different Gate Geometry of FinFET." 6th International Conference on Key Engineering Materials. **Key Engineering Materials**. Vol. 705.
- [26] Nuttapon Patcharasardtra and Weera Pengchan. 2017. "Influence of Temperature to Electron Mobility on Top of Channel in 14 nm n-FinFET." 26th International MultiConference and Computer Science 2017. Vol. 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพรวมของกระบวนการผลิตฟิเนลแบบ SOI

ในหัวข้อนี้กล่าวถึงภาพรวมของกระบวนการสร้างฟิเนลแบบ SOI ซึ่งประกอบด้วย ขั้นตอนในสองเทคนิค Self-aligned double patterning และ เทคนิค litho-etch-litho-etch ทั้งหมด 20 ขั้นตอน โดยสังเขปดังนี้

- 1) เตรียมฐานรองซิลิคอน



- 2) ทำการยิงฝังประจุออกซิเจนด้วยกระบวนการ Ion implantation



- 3) อบแผ่นด้วยอุณหภูมิ 1,300°C เพื่อสร้างชั้นออกไซด์ฝัง

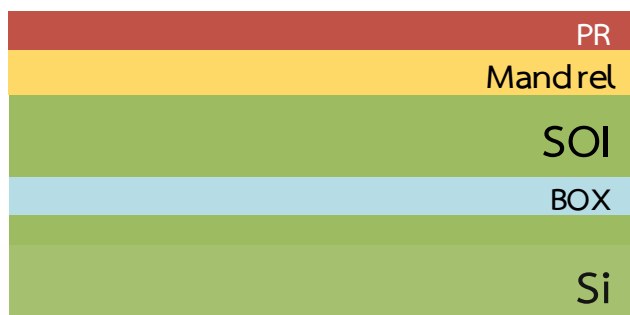


- 4) ทำการกัดชั้นฟิล์มบาง SiO₂ ออกจากผิวของแผ่นเวเฟอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) สร้างชั้น Mandrel ด้วยกระบวนการ CVD และเคลือบด้วยน้ำยาไวแสง



6) ฉายลวดลายด้วยกระบวนการโฟโตลิโธกราฟี ลอกน้ำยาไวแสง และกัดชั้นแม่แบบ



7) สร้างชั้นซิลิคอนไนไตรด์บนชั้น mandrel



8) ฉายลวดลาย และกัดชั้นซิลิคอนไนไตรด์แบบแห้ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9) ทำการกัดชั้น mandrel เพื่อสร้างแม่แบบ



10) กัดผิวซิลิคอนเพื่อสร้างโครงสร้างซิลิคอนฟินตามความหนาชั้นซิลิคอน (T_{Si}) ที่ออกแบบไว้



11) กัดชั้น hard mask ออก



12) สร้างชั้นออกไซด์ด้วยกระบวนการ CVD

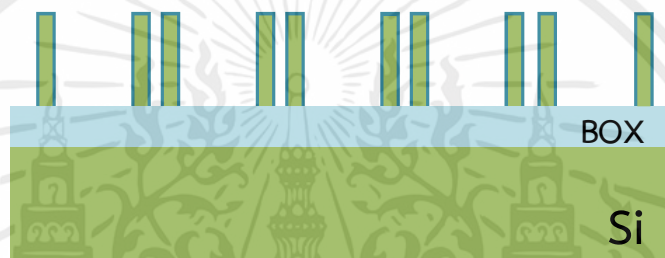


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ Si ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13) เคลือบน้ำยาไวแสง ฉายแม่แบบและกัดชั้นออกไซด์



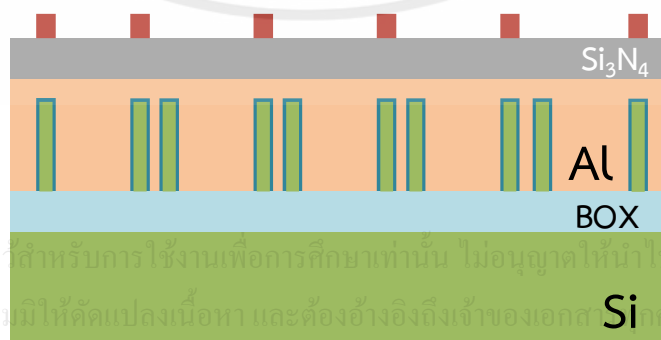
14) กัดชั้นออกไซด์เพื่อสร้างชั้นเกตออกไซด์



15) สร้างชั้นโลหะขั้วเกต สร้างชั้นซิลิคอนไนไตรด์ และเคลือบด้วยน้ำยาไวแสง

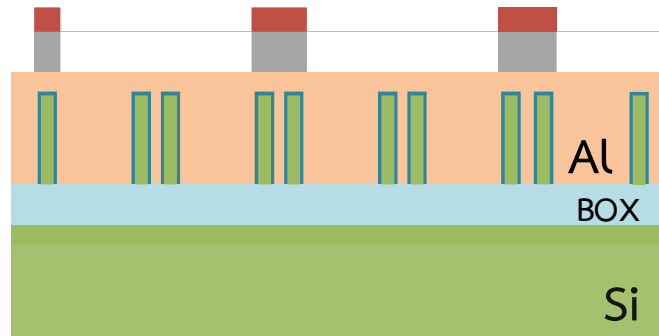


16) ฉายลวดลายแม่แบบ และลอกน้ำยาไวแสง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

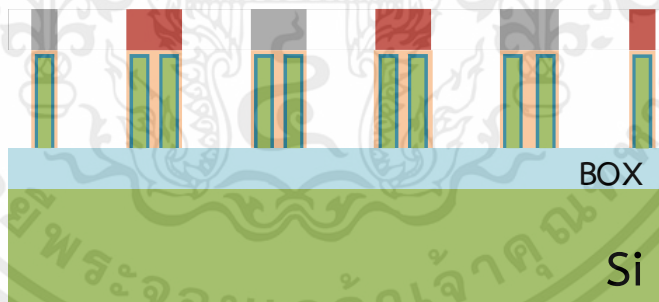
17) กัดชั้นซิลิคอนไนไตร



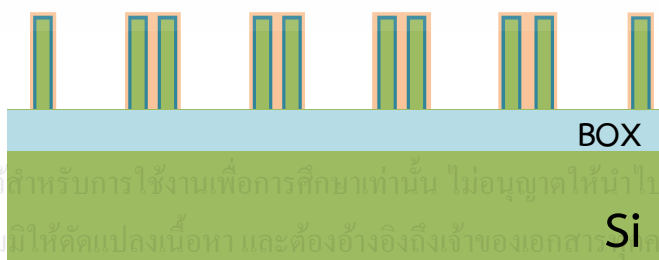
18) ลอกน้ำยาไวแสง เคลือบน้ำยาไวแสง ฉายแม่แบบ และทำการเดวีลอปน้ำยาไวแสงออก



19) กัดชั้นโลหะขั้วเกต



20) กัดซิลิคอนไนไตร และลอกน้ำยาไวแสงออก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

- [1] อนุรักษ์ พืชศาสตร์, วีระ เพ็งจันทร์, “การศึกษาวัสดุฉนวนขั้วเกิดของพินเฟทขนาด 28 นาโนเมตรด้วยวิธีจำลองแบบ”, การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 9, หน้า 524 – 527.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้






The 9th Conference of Electrical Engineering Network
of Rajamangala University of Technology

งานประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้า
มหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 9

EENET 2017

"การพัฒนานวัตกรรมเพื่ออุตสาหกรรมและการเกษตรอย่างยั่งยืน"
Sustainable Development of Innovation for Industry and Agriculture

2-4 May 2017, K.P. Grand Hotel Chanthaburi

Conference Topics

- Electrical Power (PW)
- Power Electronics (PE)
- Energy and Energy Saving (ES)
- Control Systems and Instrumentation (CT)
- Computer and Information Technology (CP)
- Electric Communication (CM)
- Electronics (EL)
- Digital Signal Processing (DS)
- Innovation and Invention (IN)
- General Electrical Engineering (GN)







เอกสารนี้เป็นเอกสารของบริษัทฯ ซึ่งขอสงวนสิทธิ์ในเนื้อหาและข้อมูลทั้งหมดไว้เป็นของตนเอง ไม่สามารถนำออกเผยแพร่โดยไม่ได้รับอนุญาตจากบริษัทฯ

ไม่ว่ากรณีใดๆ ทั้งสิ้น บริษัทฯ ขอสงวนสิทธิ์ในเนื้อหาและข้อมูลทั้งหมดไว้เป็นของตนเอง และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรณีนำไปใช้

บทความวิจัย

การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 9

Proceedings of the 9th Conference of Electrical Engineering Network of Rajamangala University of Technology (EENET 2017)

การศึกษาวัสดุฉนวนขั้วเกตของฟินเฟตชนิดเอ็นขนาด 28 นาโนเมตร ด้วยวิธีการจำลองแบบ Study of Gate Insulator Materials on 28 nm n-channel FinFET Device by Simulation Method

ณัฐพงษ์ พัชรศาสตร์ และ วีระ เห่งจันทร์

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

1 ถนนฉลองกรุง แขวงลำปลาตี เขตลาดกระบัง กรุงเทพมหานคร โทรศัพท์ 08-7800-4164 E-mail: nuttapong_paj@hotmail.com

บทคัดย่อ

บทความนี้นำเสนอการจำลองแบบโครงสร้างฟินเฟตชนิดเอ็นขนาด 28 นาโนเมตร ที่ประกอบด้วยวัสดุฉนวนขั้วเกตต่างกัน 4 ชนิด ประกอบด้วยแฮฟเนียมไดออกไซด์ (HfO₂) เซอร์โคเนียมไดออกไซด์ (ZrO₂) ซิลิคอนไนไตรด์ (Si₃N₄) และซิลิคอนไดออกไซด์ (SiO₂) ในการทดลองเริ่มจากการจำลองแบบโครงสร้างฟินเฟตชนิดเอ็น จากนั้นทำการไบอัสโครงสร้างเพื่อทดสอบคุณลักษณะทางไฟฟ้า 3 คุณลักษณะ ประกอบด้วยคุณลักษณะทางกระแสและแรงดัน (I-V) แรงดันขีดเริ่ม (V_{th}) และคุณลักษณะความจุไฟฟ้าและแรงดัน (C-V) จากการทดลองพบว่าวัสดุฉนวนขั้วเกต HfO₂ ให้กระแสทรานส์คอนดักชันสูงสุดที่ 203 μ A SiO₂ ให้ค่าขีดเริ่มที่ 54.20 μ A และวัสดุ High-K ให้ค่าความจุไฟฟ้าสูงกว่า SiO₂ ผลการศึกษาวัสดุฉนวนขั้วเกตสามารถนำไปต่อยอดในการวิจัย เพื่อทำการปรับปรุงโครงสร้างของฟินเฟตชนิดเอ็นได้

คำสำคัญ: ฟินเฟต, ค่าคงที่ไดอิเล็กตริกสูง, วัสดุฉนวน, คุณลักษณะทางไฟฟ้า

Abstract

This paper presents the 28 nm n-FinFET structure simulation with four gate insulator materials consist of hafnium dioxide (HfO₂) Zirconium dioxide (ZrO₂) Silicon nitride (Si₃N₄) and Silicon dioxide (SiO₂). The experiment simulation the n-FinFET structure and biasing to the structure to obtain three electrical characteristics include current-voltage characteristics (I-V), threshold voltage (V_{th}) and capacitance-voltage characteristics (C-V). The result found that the HfO₂ provide the higher saturation drain currents at 203 μ A and the SiO₂ giving the lower at 54.20 μ A. The High-K material provide the gate oxide capacitance more than SiO₂. The study found that the gate insulator materials useful on research to improving the n-FinFET structure.

Keywords: FinFET, High Dielectric Constant, Insulator Materials, Electrical Characteristics

1. บทนำ

ปัจจุบันฟินเฟต (FinFET) หรือทรานซิสเตอร์สามเฟตแบบฟินได้รับการนำเสนอในรูปแบบของธุรกิจ เพื่อเป็นการเพิ่มประสิทธิภาพผลิตภัณฑ์ เช่น หน่วยประมวลผลบนอุปกรณ์คอมพิวเตอร์ ไมโครคอนโทรลเลอร์ รวมไปถึงโทรศัพท์เคลื่อนที่ เนื่องจากโครงสร้างของฟินเฟต มีความยืดหยุ่นในการลดขนาดตัวโครงสร้างของทรานซิสเตอร์ ซึ่งตอบสนองการคาดการณ์ด้วยกฎของมัวร์ ในปี 2012 บริษัทอินเทลได้นำเสนอโครงสร้างทรานซิสเตอร์แบบสามเกต (Tri-Gate Transistor) บนเทคโนโลยีขนาด 22 นาโนเมตรในชื่อ Haswell โดยมีลักษณะโครงสร้างทรานซิสเตอร์แบบสามมิติ (3D) [1] จากการปรับลดขนาดของทรานซิสเตอร์ที่เกิดขึ้น จึงได้มีการให้ความสำคัญกับวัสดุฉนวนขั้วเกต (Gate Insulator Materials) โดยเลือกใช้วัสดุที่ต่างไปจากซิลิคอนไดออกไซด์ (SiO₂) ในโครงสร้างแบบเดิม ซึ่งมีการนำวัสดุที่มีค่าคงที่ไดอิเล็กตริกสูง (High-K) มาใช้งานแทน เช่น ซิลิคอนไนไตรด์ (Si₃N₄) แฮฟเนียมไดออกไซด์ (HfO₂) เซอร์โคเนียมไดออกไซด์ (ZrO₂) [2] ซึ่งสามวัสดุที่กล่าวถึง มีค่าคงที่ไดอิเล็กตริกสูงกว่า SiO₂ และพบว่ายังให้คุณลักษณะทางไฟฟ้าที่ดีกว่า ทั้งการลดกระแสรั่วไหล และเพิ่มกระแสเอาต์พุต ขณะที่โครงสร้างอยู่ในสถานะทำงาน แต่เมื่อเปรียบเทียบกับแล้ววัสดุที่มีค่าคงที่ไดอิเล็กตริกสูงขึ้น จึงทำให้ค่าความจุไฟฟ้าที่ขั้วเกตเพิ่มขึ้นตาม [3-4] ในงานวิจัยนี้ได้ทำการจำลองโครงสร้างฟินเฟตชนิดเอ็นแบบดับเบิลเกต (Double Gate) และเปลี่ยนวัสดุฉนวนขั้วเกตจาก SiO₂ เป็นวัสดุ High-K เพื่อศึกษาผลกระทบของวัสดุที่มีอิทธิพลต่อคุณลักษณะทางไฟฟ้า เพื่อเป็นประโยชน์ในการปรับปรุงโครงสร้างฟินเฟตและสนับสนุนงานวิจัยต่อไป

2. โครงสร้างของฟินเฟตและการจำลองแบบ

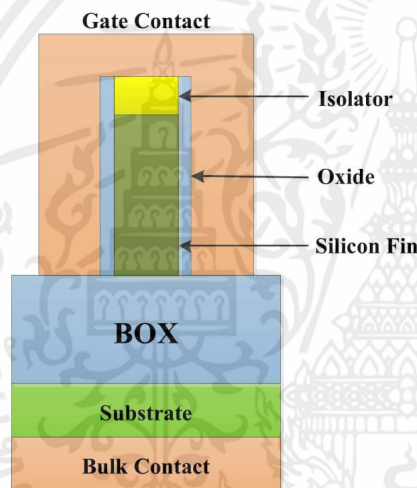
บทความงานวิจัยนี้ทำการจำลองโครงสร้างอุปกรณ์ดับเบิลเกตฟินเฟตชนิดเอ็น ด้วยซอฟต์แวร์ GTS Framework online [5] ซึ่งเป็นลิขสิทธิ์ของบริษัท Global TCAD Solution โดยซอฟต์แวร์นี้ได้พัฒนาขึ้นให้เข้ากันได้กับการจำลองแบบโครงสร้างระดับนาโนเมตร โดยทำการ

บทความวิจัย

การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 9

Proceedings of the 9th Conference of Electrical Engineering Network of Rajamangala University of Technology 2017 (EENET 2017)

สร้างโครงสร้างด้วยเครื่องมือ Structure tool โดยสร้างโครงสร้างในเฟรมแบบซิลิคอนบนฉนวน (Silicon on insulator - SOI) ประกอบด้วยหน้าสัมผัสฐานรอง (Bulk Contact) ฐานรองซิลิคอน ชั้นฉนวน ชั้นซิลิคอนพิน ชั้นไอโซเลเตอร์ (Isolator) เกตออกไซด์ และหน้าสัมผัสที่ขั้วเกต (Gate Contact) ดังแสดงในรูปที่ 1 โครงสร้างพินเฟรมในงานวิจัยนี้ใช้วัสดุฉนวนที่ขั้วเกต 4 ชนิด ประกอบด้วย ซิลิคอนไดออกไซด์ (SiO₂) แอสเฟเนียมไดออกไซด์ (HfO₂) เซอร์โคเนียมไดออกไซด์ (ZrO₂) และซิลิคอนไนไตรด์ (Si₃N₄)



รูปที่ 1 โครงสร้างพินเฟรมชนิดอินแบบซิลิคอนบนฉนวน

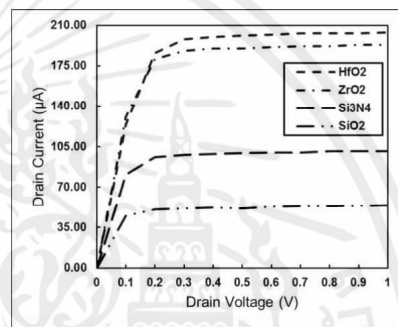
3. วิธีการทดลอง

หลังจากทำการสร้างโครงสร้างพินเฟรมชนิดอิน ที่มีขนาดช่องทางเดินกระแส 28 นาโนเมตรสร้างโครงสร้าง ที่ประกอบด้วยวัสดุฉนวนที่ขั้วเกตต่างกัน จากนั้นทำการไบอัสโครงสร้างเพื่อทำการวัดคุณลักษณะทางไฟฟ้า ด้วยเครื่องมือ Minimos-NT ประกอบด้วยคุณลักษณะทางกระแสและแรงดัน (I-V) แรงดันขีดเริ่ม (Threshold Voltage - V_{th}) และคุณลักษณะความจุไฟฟ้าและแรงดัน (C-V) โดยให้อุณหภูมิที่ 300K เพื่อทดสอบคุณสมบัติของโครงสร้างพินเฟรม

4.ผลการทดลองและวิเคราะห์

4.1 คุณลักษณะทางกระแสและแรงดัน

หลังจากทำการไบอัสพินเฟรมชนิดอินทั้ง 4 โครงสร้างที่มีวัสดุฉนวนที่ขั้วเกต โดยทำการป้อนแรงดันเกต 1 โวลต์ และปรับแรงดันเดรน ตั้งแต่ 0 ถึง 1 โวลต์ ได้คุณลักษณะทางกระแสและแรงดันของโครงสร้าง ดังแสดงในรูปที่ 2



รูปที่ 2 กราฟคุณลักษณะทางกระแสและแรงดัน

จากผลการทดสอบคุณลักษณะทางกระแสและแรงดันพบว่า แอสเฟเนียมไดออกไซด์ และเซอร์โคเนียมไดออกไซด์ให้กระแสเดรนใกล้เคียงกัน ซิลิคอนไนไตรด์ และซิลิคอนไดออกไซด์ให้กระแสเดรนต่ำที่สุดประมาณ 50 µA ซึ่งจากผลที่ได้ทำให้ทราบว่า วัสดุ High-K มีความเหมาะสมกับโครงสร้างทรานซิสเตอร์ที่มีขนาดเล็กกว่า เนื่องจากคุณสมบัติความเป็นฉนวนไฟฟ้าที่สามารถช่วยป้องกันการทะลุของชั้นฉนวนที่ขั้วเกต ซึ่งสร้างจากซิลิคอนไดออกไซด์ได้ และยังให้กระแสที่สูงกว่า แม้ว่าจะมีค่าคงที่ไดอิเล็กตริกสูง

4.2 กระแสเดรนอิ่มตัว

จากผลคุณลักษณะทางกระแสและแรงดันในรูปที่ 2 สามารถนำมาคำนวณหาค่ากระแสเดรนอิ่มตัวได้จากสมการ (1)

$$I_{ds}(Sat) = \mu C_{ox} \frac{W}{L} \frac{(V_g - V_t)^2}{2m} \quad (1)$$

จากสมการที่ 1 I_d(sat) คือค่ากระแสเดรนอิ่มตัว μ คือความคล่องตัวพาหะ C_{ox} คือค่าความจุไฟฟ้าเกตออกไซด์ W คือความกว้างของช่องทางเดินกระแส L เป็นความยาวของช่องทางเดินกระแส V_g คือแรงดันเกต และ V_t คือแรงดันขีดเริ่ม ค่า m สามารถหาได้จากสมการ (2)



บทความวิจัย

การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 9

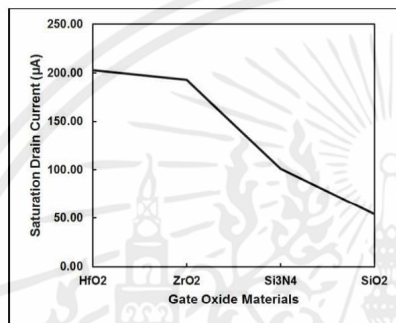
Proceedings of the 9th Conference of Electrical Engineering Network of Rajamangala University of Technology (EENET 2017)

$$m = 1 + \frac{3t_{ox}}{X_d} \quad (2)$$

ในสมการ (3) ตัวแปร t_{ox} แทนความหนาชั้นไดออกไซด์ และตัวแปร X_d คือความหนาของบริเวณเปลือยโลหะ

C_{ox} คือค่าความจุไฟฟ้าที่ขั้วเกต n_i คือปริมาณอะตอมของซิลิคอนบริสุทธิ์ t_{th} คือความหนาชั้นซิลิคอน h คือค่าคงที่แพลงก์

ในการทดลองนี้ค่าที่เปลี่ยนแปลงคือค่าความจุไฟฟ้าที่ขั้วเกต เนื่องจากชนิดของวัสดุฉนวนที่ขั้วเกตมีค่าความเป็นฉนวนต่างกัน ซึ่งเมื่อคำนวณตามสมการแล้วจะได้ค่าแรงดันขีดเริ่มแสดงในรูปที่ 5



รูปที่ 3 ความสัมพันธ์กระแสแอสแตรอนอิมตัวและวัสดุฉนวนที่ขั้วเกต

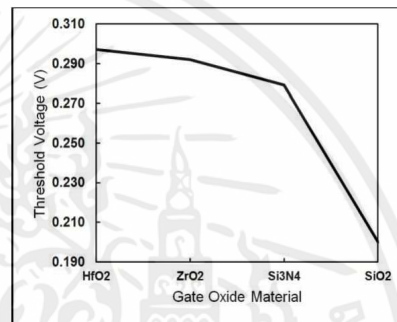
จากการคำนวณตามสมการที่ 1 และ 2 จะได้ค่ากระแสแอสแตรอนอิมตัวของโครงสร้างทั้ง 4 โครงสร้าง ดังแสดงในรูปที่ 3 กระแสแอสแตรอนอิมตัวของโครงสร้างทั้งหมดที่ได้จากการทดลอง มีค่าลดลงตามชนิดของวัสดุฉนวนที่ขั้วเกต เมื่อทำการคำนวณแล้วพบว่า ค่าความจุไฟฟ้าที่ขั้วเกตมีอิทธิพลกับค่ากระแสแอสแตรอนอิมตัว ซึ่งแอสเฟเนียมไดออกไซด์ที่มีค่าคงที่ไดอิเล็กตริกสูง ให้กระแสแอสแตรอนอิมตัวสูงที่สุดที่ 203 µA ถัดมาคือ เซอร์โคเนียมไดออกไซด์ ซิลิคอนไนไตรด์ และซิลิคอนไดออกไซด์ ให้กระแสแอสแตรอนอิมตัวน้อยที่สุดที่ 53.6 µA

4.3 แรงดันขีดเริ่ม

แรงดันขีดเริ่มสามารถหาได้จากผลการวัดความสัมพันธ์ระหว่างกระแสแอสแตรอนและแรงดันเกต (I_D/V_{gs}) ของพินเฟท โดยทำการป้อนแรงดันเกต 1 โวลต์ และปรับแรงดันเกต ตั้งแต่ 0 ถึง 1 โวลต์ จากนั้นทำการคำนวณด้วยสมการแรงดันขีดเริ่มของพินเฟท

$$V_{th} = \phi_{ms} + n \frac{kT}{q} \ln \left(\frac{2C_{ox} kT}{q^2 n_i t_{si}} \right) + \frac{h^2 \pi^2}{2m^* t_{si}^2} \quad (3)$$

จากสมการที่ (3) ϕ_{ms} คือเวิร์คฟังก์ชันของวัสดุหน้าสัมผัสขั้วเกต k คือค่าคงที่โบลทซ์มันน์ T คืออุณหภูมิ (K) q คือค่าคงที่ประจุไฟฟ้า



รูปที่ 4 ความสัมพันธ์ระหว่างแรงดันขีดเริ่มและวัสดุฉนวนที่ขั้วเกต

จากรูปที่ 4 เป็นการเปรียบเทียบแรงดันขีดเริ่มของวัสดุฉนวนที่ขั้วเกตที่แตกต่างกัน 4 ชนิด โดยที่แอสเฟเนียมไดออกไซด์ และเซอร์โคเนียมไดออกไซด์ มีค่าแรงดันขีดเริ่มใกล้เคียงกัน แต่ซิลิคอนไดออกไซด์มีค่าแรงดันขีดเริ่มน้อยที่สุด เนื่องจากเมื่อคำนวณค่า C_{ox} ของวัสดุกลุ่ม High-K ได้ค่าสูง เป็นผลให้ เมื่อนำมาวิเคราะห์ในสมการแล้วได้ค่าแรงดันขีดเริ่มสูงตาม โดยค่าแรงดันขีดเริ่มของ HfO₂ เท่ากับ 0.297 โวลต์, ZrO₂ เท่ากับ 0.292 โวลต์, Si₃N₄ เท่ากับ 0.279 โวลต์ และ SiO₂ เท่ากับ 0.200 โวลต์

4.4 คุณลักษณะความจุไฟฟ้าและแรงดัน

คุณลักษณะที่บ่งบอกค่าความจุไฟฟ้าที่เกิดของทรานซิสเตอร์เมื่อเทียบกับแรงดันเกต จากการทดลองด้วยการป้อนความถี่ 1 GHz และทำการปรับแรงดันเกตตั้งแต่ 0 ถึง 1 โวลต์

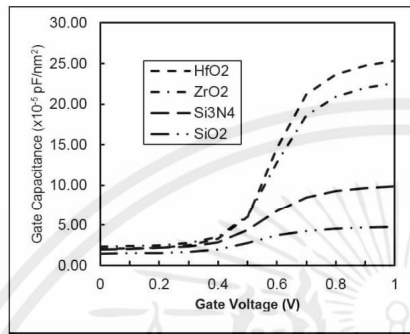
จากการวัดทดสอบพบว่า โครงสร้างที่มีฉนวนเกตเป็นแอสเฟเนียมไดออกไซด์มีค่าความจุไฟฟ้าสูงสุดที่ 25.30×10^{-15} pF/mm² และซิลิคอนไดออกไซด์ให้ค่าต่ำสุดที่ 4.79×10^{-15} pF/mm² และจากผลที่ได้พบว่าวัสดุ High-K ให้ค่าความจุไฟฟ้าสูงกว่า SiO₂ เนื่องจากเมื่อให้แรงดันเกตสูงกว่าระดับแรงดันขีดเริ่มมากเกินไปทำให้ค่าความจุไฟฟ้าสูงขึ้นมาตามดังแสดงในรูปที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความวิจัย

การประชุมวิชาการเครือข่ายวิศวกรรมไฟฟ้ามหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 9

Proceedings of the 9th Conference of Electrical Engineering Network of Rajamangala University of Technology (EENET 2017)



รูปที่ 5 คุณสมบัติความจุไฟฟ้าและแรงดัน

5.สรุปผลการทดลอง

จากการจำลองแบบโครงสร้างดัดแปลงเฟสอินทรีย์ที่ประกอบด้วยวัสดุฉนวนที่ขั้วเกตที่แตกต่างกันดีโครงสร้าง และทำการไบอัสเพื่อทดสอบคุณลักษณะทางไฟฟ้าพบว่า วัสดุฉนวนประเภท HfO₂ ให้กระแสเดรนเริ่มต้น 203 μ A และให้ค่าความจุไฟฟ้าสูงสุด ในส่วนของโครงสร้างที่ใช้ ZrO₂ ถึงแม้ว่าจะมีค่าความเป็นฉนวนไฟฟ้าเท่ากันแต่ได้กระแสเดรนน้อยกว่า และสุดท้าย SiO₂ เป็นวัสดุที่ให้ค่ากระแสเดรนเริ่มต้นต่ำที่สุด และให้ค่าความจุไฟฟ้าเกตต่ำที่สุด จากผลการทดลองจึงสรุปได้ว่า คุณสมบัติทางไฟฟ้าของเฟสอินทรีย์ ควรใช้วัสดุฉนวน HfO₂ ซึ่งมีความเหมาะสมในการนำมาใช้งานบนโครงสร้างดัดแปลงเฟสอินทรีย์ที่ต้องการกระแสเอาต์พุตมาก

กิตติกรรมประกาศ

ผู้เขียนขอขอบคุณบริษัท Global TCAD Solution ที่ให้การสนับสนุนซอฟต์แวร์และคำปรึกษาทางเทคนิค และ Nano and Microelectronics Device Simulation Laboratory ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ ที่เอื้อเฟื้อสถานที่ในการทำวิจัย

อ้างอิง

[1] C.-H. Jan, "A 22nm SoC Platform Technology Featuring 3-D Tri-Gate and High-k/Metal Gate, Optimized for Ultra Low Power, High Performance and High Density SoC Applications, ", *IEDM*, vol. 12, pp. 44-47, 2012.

[2] S. L. Tripathi, Ramanuj Mishra, R A Mishra, "Multi-Gate MOSFET Structures with High-K Dielectric Materials," *Journal of Electron Devices*, Vol. 16, pp. 1388-1394, 2012.

[3] Subha Subramaniam, Sangeeta M.Joshi, and R.N. Awale, "Suitability of HIGH-k Gate Dielectrics on the Device Performance and Scalability of Nanoscale Double Gate Finfets with Quantum Modeling: a Simulation Study," *Journal of Electron Devices*, Vol. 18, pp. 1582-1586, 2013.

[4] Saeed Mohsenifar and M.H. Shahrokhbadi, "Gate Stack High-K Materials for Si-Based MOSFETs Past, Present, and Futures," *Microelectronics and Solid State Electronics*, vol. 4(1), pp. 12-24, April 2015.

[5] Nuttapon Patcharasardtra and Weera Pengchan, "Electrical Characteristics of Different Gate Geometry of FinFET," *Key Engineering Materials*, Vol. 705, pp. 174-178, August 2016.

ประวัติผู้เขียน



นาย ณิชพงษ์ พิชรศาสตร์
สำเร็จการศึกษาในระดับวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์ มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี กำลังศึกษาในระดับวิศวกรรมศาสตรมหาบัณฑิต สาขาไมโครอิเล็กทรอนิกส์ ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



ดร.วีระ เพ็งจันทร์
ปัจจุบันเป็นอาจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ผลงานวิจัยที่เกี่ยวข้องทางด้านเทคโนโลยีกระบวนการสร้างวงจรรวมแบบซีมอส อุปกรณ์เซ็นเซอร์ และการจำลองแบบอุปกรณ์อิเล็กทรอนิกส์สารกึ่งตัวนำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

