

การสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล และการประยุกต์ใช้งาน
ในระบบสื่อสาร

DIGITAL PLL FREQUENCY SYNTHESIZER AND ITS APPLICATIONS
IN COMMUNICATION SYSTEMS



ศิริพงษ์ ฉายสินธุ์
SIRIPONG CHAYSIN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2542

ISBN 974-622-411-5

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล และการประยุกต์ใช้งาน
ในระบบสื่อสาร

DIGITAL PLL FREQUENCY SYNTHESIZER AND ITS APPLICATIONS
IN COMMUNICATION SYSTEMS



ศิริพงษ์ ฉายสินธ์
SIRIPONG CHAYSIN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย

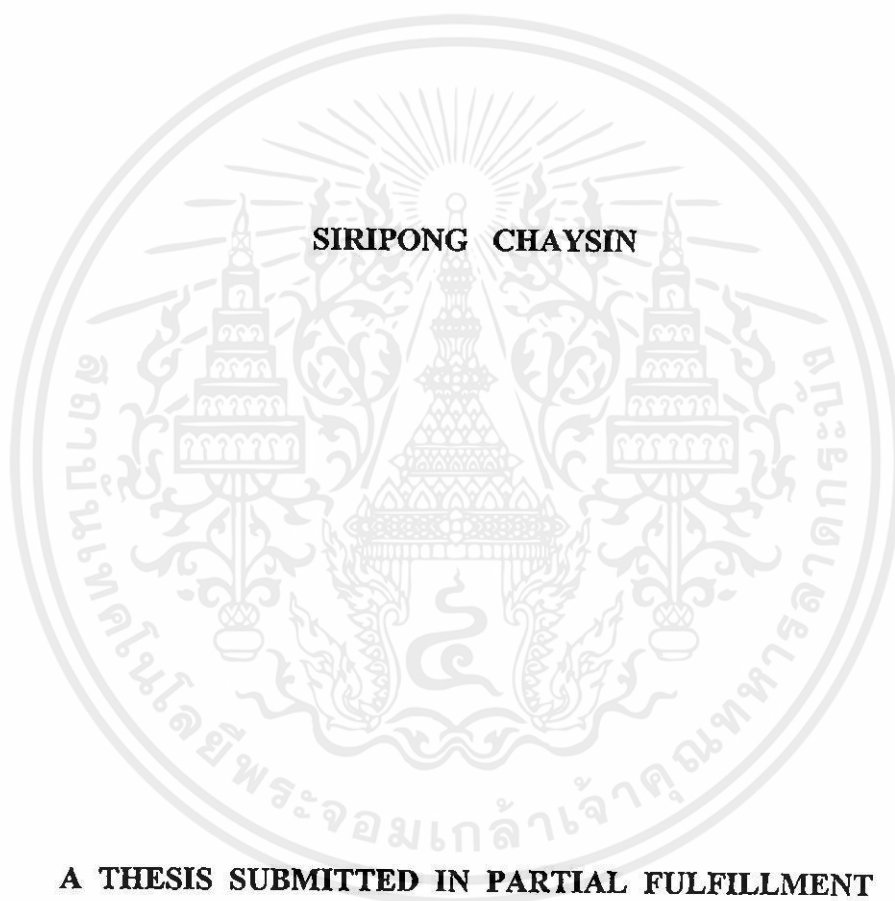
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในห้องสมุดเท่านั้น ไม่สามารถนำออกนอกห้องสมุดได้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน..... 32894
วัน, เดือน, ปี..... 14 ส.ย. 2542

พ.ศ. 2542
ISBN 974-622-411-5

**DIGITAL PLL FREQUENCY SYNTHESIZER AND ITS APPLICATIONS
IN COMMUNICATION SYSTEMS**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES**

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อทศวรรษที่ 1999 มาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงหรือทำซ้ำโดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISBN 974-622-411-5



เอกสารนี้ **COPYRIGHT 1999** ห้ารับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ **SCHOOL OF GRADUATE STUDIES** ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

หัวข้อวิทยานิพนธ์	การสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล และการประยุกต์ใช้งานในระบบสื่อสาร
นักศึกษา	นายศิริพงษ์ ฉายสินธ์
รหัสประจำตัว	36061039
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2542
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เศษหาญ

บทคัดย่อ

เฟสล็อกถูกนำมาประยุกต์ใช้งานอย่างมาก โดยเฉพาะในงานควบคุม และได้นำไปประยุกต์กับระบบสื่อสารโดยการสังเคราะห์ความถี่ในย่านต่าง ๆ วิทยานิพนธ์นี้เสนอการนำเฟสล็อกแบบดิจิทัล เพื่อนำมาใช้ในระบบสื่อสาร โดยเฉพาะในด้านการสื่อสารเชิงเลข หรือแบบดิจิทัล พร้อมเสนอการประยุกต์ใช้งานหลายกรณี แต่ก็เน้นไปที่การสังเคราะห์ความถี่ไว้ด้วย พร้อมทั้งเสนอผลการทดลอง และการเลียนแบบด้วยโปรแกรม ประกอบทั้งเสนอผลการเปรียบเทียบผลลัพธ์ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title Digital PLL Frequency Synthesizer and Its Applications in
Communicatoin Systems

Student Mr. Siripong Chaysin

Student ID. 36061039

Degree Master of Engineering

Programme Electrical Engineering

Year 1999

Thesis Advisor Assoc.Prof. Dr. Kobchai Dejhan

ABSTRACT

Phase locked loops are widely used in control system and communication system, expecially for frequency synthesizer in various frequency ranges. This thesis proposes the uses of digital phase-locked loop to apply in digital communication systems, the proposed applications have many types but also to apply with frequency synthesizer. The experimental results and simulation results are proposed with the comparison to all of the results.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น "ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้วิจัยขอกราบขอบพระคุณ รศ. ดร. กอบชัย เดชหาญ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ เป็นอย่างสูงที่ได้ให้คำแนะนำ และคำปรึกษา ตลอดจนตรวจสอบแก้ไขวิทยานิพนธ์ฉบับนี้จนสำเร็จ ลุล่วงได้ ขอขอบคุณคณาจารย์ทุกท่าน โดยเฉพาะรองศาสตราจารย์ ณรงค์ อาจฤทธิ์ ที่ได้ให้ความรู้ และอบรมสั่งสอนมาตั้งแต่ต้น จนทำให้ผู้วิจัยมีโอกาสเขียนวิทยานิพนธ์ฉบับนี้ได้สำเร็จ สุดท้ายนี้ขอขอบคุณบัณฑิตวิทยาลัย ที่ได้ให้ทุนสนับสนุนการทำวิทยานิพนธ์ในครั้งนี้

ศิริพงษ์ ฉายสินธ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 แนวความคิดของวิทยานิพนธ์.....	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์.....	1
1.3 รายละเอียดในวิทยานิพนธ์.....	1
บทที่ 2 เฟสลิ้อคูลูปแบบคิจิตอล.....	2
2.1 หลักการเฟสลิ้อคูลูปแบบคิจิตอล.....	2
2.2 ตัวคักจับเฟส.....	3
2.3 วงจรกรองของลูป.....	10
2.4 การทำงานของเฟสลิ้อคูลูปแบบคิจิตอล.....	12
2.5 การออกแบบเฟสลิ้อคูลูปแบบคิจิตอล.....	19
บทที่ 3 เฟสลิ้อคูลูปแบบคิจิตอลทั้งหมด.....	20
3.1 ตัวคักจับเฟส.....	20
3.2 วงจรกรองของลูป.....	21
3.3 วงจรควบคุมการเกิดสัญญาณ โดยคิจิตอล.....	24
3.4 การวิเคราะห์เฟสลิ้อคูลูปแบบคิจิตอลทั้งหมดในเชิงความถี่.....	26
3.5 การออกแบบเฟสลิ้อคูลูปแบบคิจิตอลทั้งหมด.....	29

เอกสารฉบับที่ 4 การสังเคราะห์ความถี่ การใช้งานเพื่อการศึกษาเท่านั้น "ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า" 31

ไม่ว่ากรณีใด 4.1 วิธีการสังเคราะห์ความถี่ ลงมือคำนวณและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ 31

สารบัญ (ต่อ)

หน้า

4.2 รูปแบบการสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิทัล.....	32
4.3 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิทัล	36
4.4 การประยุกต์ใช้งานด้วยเฟสล็อคลูปแบบดิจิทัลทั้งหมด.....	40
บทที่ 5 การทดลองและผลการทดลอง.....	43
5.1 วงจรที่ทำการทดลอง	43
5.2 ผลการทดลองที่ได้จากวงจรจริง	46
5.3 ผลการทดลองที่ได้จากการเลียนแบบการทำงานโดยใช้โปรแกรม MATLAB	79
บทที่ 6 สรุปผลการทดลองและวิจารณ์.....	85
6.1 วงจรเฟสล็อคลูปแบบดิจิทัล	85
6.2 วงจรเฟสล็อคลูปแบบดิจิทัลทั้งหมด.....	86
เอกสารอ้างอิง.....	89
ภาคผนวก	90
ภาคผนวก ก ผลงานวิจัยที่ได้รับการตีพิมพ์	91
ภาคผนวก ข โปรแกรมควบคุมการทำงานวงจรขับสัญญาณพิก้า	92
ภาคผนวก ค โปรแกรมควบคุมการทำงานวงจร FSK Decoder 4 ระดับ	94
ประวัติผู้เขียน	96

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
6.1 แสดงการเปรียบเทียบค่าช่วงขีด ที่ค่า $N = 8$	87
6.2 แสดงการเปรียบเทียบค่าช่วงขีด ที่ค่า $N = 16$	87



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 แสดงบล็อกไดอะแกรมของดิจิตอลเฟสล็อคลูป	2
2.2 แสดงตัวคักจับเฟสแบบเอ็กซ์คลูซีฟอ	3
2.3 แสดงรูปสัญญาณของตัวคักจับเฟสแบบเอ็กซ์คลูซีฟอ	4
2.4 แสดงกราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คลูซีฟอ	5
2.5 แสดงตัวคักจับเฟสแบบ J-K ฟลิปฟลอป	5
2.6 แสดงรูปสัญญาณของตัวคักจับเฟสแบบ J-K ฟลิปฟลอป	5
2.7 แสดงกราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิปฟลอป	6
2.8 แสดงตัวคักจับเฟสแบบเฟส-ความถี่	7
2.9 แสดงสภาวะของตัวคักจับเฟสแบบเฟส-ความถี่	7
2.10 แสดงกราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของคักจับเฟสแบบเฟส-ความถี่	9
2.11 แสดงรูปสัญญาณของตัวคักจับเฟสแบบเฟส-ความถี่	9
2.12 แสดงวงจรกรองของลูบ	11
2.13 แสดงการตอบสนองของวงจรกรองสัญญาณความถี่ต่ำผ่าน	11
2.14 แสดงเฟสล็อคลูปแบบดิจิตอลในรูปแบบคณิตศาสตร์	12
2.15 แสดงสัญญาณช่วงลือคของเฟสล็อคลูปแบบดิจิตอล	18
2.16 แสดงขั้นตอนการออกแบบเฟสล็อคลูปแบบดิจิตอล.....	19
3.1 แสดงบล็อก ไดอะแกรมตัวคักจับเฟสแบบ ฟลิปฟลอป-เคาน์เตอร์	20
3.2 แสดงรูปสัญญาณของตัวคักจับเฟสแบบฟลิปฟลอป-เคาน์เตอร์	20
3.3 แสดงบล็อก ไดอะแกรมวงจรกรองของลูบแบบนับขึ้น-ลง	21
3.4 แสดงสัญญาณของวงจรกรองของลูบแบบนับขึ้น-ลง	22
3.5 แสดงบล็อก ไดอะแกรมวงจรกรองของลูบแบบนับ K	22
3.6 แสดงสัญญาณของวงจรกรองของลูบแบบนับ K	23
3.7 แสดงบล็อก ไดอะแกรมวงจรควบคุมการกำเนิดสัญญาณ โดยดิจิตอลแบบ หาร N	24
3.8 แสดงบล็อก ไดอะแกรมวงจรควบคุมการกำเนิดสัญญาณ โดยดิจิตอลแบบ วงจรมับขึ้น-ลง	24
3.9 แสดงสัญญาณของวงจรควบคุมการกำเนิดสัญญาณ โดยดิจิตอลแบบวงจรมับขึ้น-ลง	26
3.10 แสดงรูปแบบคณิตศาสตร์ของเฟสล็อคลูปแบบดิจิตอลทั้งหมด	27

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.11 แสดงเฟสล็อคลูปแบบดิจิตอลทั้งหมด.....	29
3.12 แสดงขั้นตอนการออกแบบเฟสล็อคลูปแบบดิจิตอลทั้งหมด	30
4.1 แสดงการสังเคราะห์ความถี่โดยตรง	31
4.2 แสดงการสังเคราะห์ความถี่โดยอ้อม.....	32
4.3 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบ โดยตรง	33
4.4 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบพริสเกลเลอร์.....	33
4.5 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบพริสเกลเลอร์ สอง โมดูลัส.....	33
4.6 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบ โดยตรง	37
4.7 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบพริสเกลเลอร์	38
4.8 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบพริสเกลเลอร์ สอง โมดูลัส	40
4.9 แสดงวงจรขับสัญญาณนาฬิกาด้วยเฟสล็อคลูปแบบดิจิตอลทั้งหมด	41
4.10 แสดงวงจร FSK decoder 4 ระดับ ด้วยเฟสล็อคลูปแบบดิจิตอลทั้งหมด	42
5.1 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบ โดยตรง	43
5.2 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบ โดยตรง ที่ใช้ทคลอง	43
5.3 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบพริสเกลเลอร์	44
5.4 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบพริสเกลเลอร์ ที่ใช้ทคลอง.....	44
5.5 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบพริสเกลเลอร์ สอง โมดูลัส.....	44
5.6 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูปแบบดิจิตอล แบบพริสเกลเลอร์ สอง โมดูลัส ที่ใช้ทคลอง	45
5.7 แสดงวงจรขับสัญญาณนาฬิกาด้วยเฟสล็อคลูปแบบดิจิตอลทั้งหมด.....	45
5.8 แสดงวงจรขับสัญญาณนาฬิกาด้วยเฟสล็อคลูปแบบดิจิตอลทั้งหมด ที่ใช้ทคลอง	45
5.9 แสดงวงจร FSK decoder 4 ระดับด้วยเฟสล็อคลูปแบบดิจิตอลทั้งหมด	46
5.10 แสดงวงจร FSK decoder 4 ระดับด้วยเฟสล็อคลูปแบบดิจิตอลทั้งหมด ที่ใช้ทคลอง	46

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.11 แสดงสัญญาณอินพุตมีความถี่เป็น 10 kHz	47
5.12 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 100	47
5.13 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 101	48
5.14 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 102	48
5.15 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 150	49
5.16 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 200	49
5.17 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 100	50
5.18 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 150	50
5.19 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 200	51
5.20 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 50	51
5.21 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 51	52
5.22 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 52	52
5.23 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 60	53
5.24 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 70	53
5.25 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 80	54
5.26 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 90	54
5.27 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 100	55
5.28 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 50	55
5.29 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 75	56
5.30 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 100	56
5.31 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 500	57
5.32 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 501	57
5.33 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 502	58
5.34 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 600	58
5.35 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 700	59
5.36 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 800	59
5.37 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 900	60

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.38 แสดงสัญญาณเออร์พุดเมื่อตัวหาร N_T มีค่าเท่ากับ 1000	60
5.39 แสดงสเปกตรัมสัญญาณเออร์พุดเมื่อตัวหาร N_T มีค่าเท่ากับ 500	61
5.40 แสดงสเปกตรัมสัญญาณเออร์พุดเมื่อตัวหาร N_T มีค่าเท่ากับ 750	61
5.41 แสดงสเปกตรัมสัญญาณเออร์พุดเมื่อตัวหาร N_T มีค่าเท่ากับ 1000	62
5.42 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ 50 kHz	62
5.43 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $50 \text{ kHz} + \Delta f_H$	63
5.44 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $50 \text{ kHz} - \Delta f_H$	63
5.45 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ 25 kHz	64
5.46 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $25 \text{ kHz} + \Delta f_H$	64
5.47 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $25 \text{ kHz} - \Delta f_H$	65
5.48 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ 12.5 kHz	65
5.49 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $12.5 \text{ kHz} + \Delta f_H$	66
5.50 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $12.5 \text{ kHz} - \Delta f_H$	66
5.51 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ 6.25 kHz	67
5.52 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $6.25 \text{ kHz} + \Delta f_H$	67
5.53 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $6.25 \text{ kHz} - \Delta f_H$	68
5.54 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ 3.125 kHz	68
5.55 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $3.125 \text{ kHz} + \Delta f_H$	69
5.56 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $3.125 \text{ kHz} - \Delta f_H$	69
5.57 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ 1.5625 kHz	70
5.58 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $1.5625 \text{ kHz} + \Delta f_H$	70
5.59 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $1.5625 \text{ kHz} - \Delta f_H$	71
5.60 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ 25 kHz	71
5.61 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $25 \text{ kHz} + \Delta f_H$	72
5.62 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $25 \text{ kHz} - \Delta f_H$	72
5.63 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ 12.5 kHz	73
5.64 แสดงการทำงานของวงจรถัดที่ความถี่กลางเท่ากับ $12.5 \text{ kHz} + \Delta f_H$	73

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.65 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ $12.5 \text{ kHz} - \Delta f_H$	74
5.66 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ 6.25 kHz	74
5.67 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ $6.25 \text{ kHz} + \Delta f_H$	75
5.68 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ $6.25 \text{ kHz} - \Delta f_H$	75
5.69 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ 3.125 kHz	76
5.70 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ $3.125 \text{ kHz} + \Delta f_H$	76
5.71 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ $3.125 \text{ kHz} - \Delta f_H$	77
5.72 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ 25 kHz แสดงด้วยรหัส 11	77
5.73 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ 12.5 kHz แสดงด้วยรหัส 01	78
5.74 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ 6.25 kHz แสดงด้วยรหัส 10	78
5.75 แสดงการทำงานของวงจรถูกความถี่กลางเท่ากับ 3.125 kHz แสดงด้วยรหัส 00	79
5.76 แสดงโบดไดอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรถูกความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบ โดยตรง	79
5.77 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรถูกความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบ โดยตรง	80
5.78 แสดงโบดไดอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรถูกความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบ ฟริสเคลเลอร์	80
5.79 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรถูกความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบ ฟริสเคลเลอร์	81
5.80 แสดงโบดไดอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรถูกความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบ ฟริสเคลเลอร์สอง โมดูลัส	81
5.81 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรถูกความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบ ฟริสเคลเลอร์สอง โมดูลัส	82
5.82 แสดงโบดไดอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรถูกความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด เมื่อ $N = 8$	82
5.83 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรถูกความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด เมื่อ $N = 8$	83

สารบัญญรูป (ต่อ)

รูปที่	หน้า
5.84 แสดง โบท ไดอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรขับสัญญาณนาฬิกา ด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด เมื่อ $N = 16$	83
5.85 แสดง การตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรขับสัญญาณนาฬิกา ด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด เมื่อ $N = 16$	84
6.1 แสดงกราฟการเปรียบเทียบค่าช่วงยี่ด ที่ค่า $N = 8$	87
6.1 แสดงกราฟการเปรียบเทียบค่าช่วงยี่ด ที่ค่า $N = 16$	88



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 แนวความคิดของวิทยานิพนธ์

เฟสโค้ดถูกนำมาประยุกต์ใช้งานอย่างกว้างขวางโดยในงานควบคุม ซึ่งในปัจจุบันได้มีการนำมาประยุกต์ใช้งานกับระบบสื่อสาร โดยการสังเคราะห์ความถี่, รักษาค่าความถี่ให้คงที่ โดยประเด็นที่จะศึกษา จะเป็นการนำเฟสโค้ดรูปแบบดิจิทัลมาใช้ในระบบสื่อสาร โดยเฉพาะในด้านการสื่อสารเชิงเลขหรือแบบดิจิทัล โดยจะศึกษาไปที่การสังเคราะห์ความถี่ด้วยเฟสโค้ดรูปแบบดิจิทัล ซึ่งเป็นวิธีหนึ่งที่ใช้ในการสังเคราะห์ความถี่ โดยการสังเคราะห์ความถี่ด้วยวิธีนี้จะให้ประสิทธิภาพที่ดี วงจรมีความยุ่งยากและซับซ้อนน้อยและง่ายต่อการปรับแต่ง และยังสามารถที่เชื่อมต่อการทำงานกับไมโครคอนโทรลเลอร์ได้ด้วย

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

- เพื่อศึกษาหลักการของเฟสโค้ดรูปแบบดิจิทัล
- เพื่อศึกษารูปแบบของเฟสโค้ดรูปแบบดิจิทัล
- เพื่อศึกษารูปแบบการสังเคราะห์ความถี่ด้วยเฟสโค้ดรูปแบบดิจิทัล
- เพื่อศึกษาการนำเฟสโค้ดรูปแบบดิจิทัล มาประยุกต์ใช้งานด้านการสื่อสาร

1.3 รายละเอียดในวิทยานิพนธ์

ในวิทยานิพนธ์นี้ ได้แบ่งเนื้อหาออกเป็นบทได้ทั้งหมด 6 บท โดยบทที่ 1 จะเป็นการกล่าวนำถึง แนวความคิดและวัตถุประสงค์ในการทำวิทยานิพนธ์ โดยในบทอื่น ๆ จะมีเนื้อหาดังนี้

- บทที่ 2 กล่าวถึงทฤษฎี หลักการของเฟสโค้ดรูปแบบดิจิทัล
- บทที่ 3 กล่าวถึงทฤษฎี หลักการของเฟสโค้ดรูปแบบดิจิทัลทั้งหมด
- บทที่ 4 กล่าวถึงวิธีการสังเคราะห์ความถี่ รูปแบบการสังเคราะห์ความถี่ด้วยเฟสโค้ดรูปแบบดิจิทัล การออกแบบวงจรที่ใช้ทดลอง และการประยุกต์ใช้งาน
- บทที่ 5 กล่าวถึงผลการทดลองของวงจรที่ได้ออกแบบ
- บทที่ 6 กล่าวสรุปรายละเอียดต่าง ๆ ของวิทยานิพนธ์ และแนวทางแก้ไข

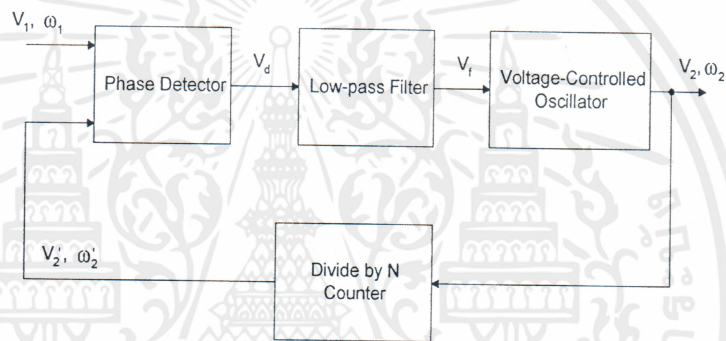
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

เฟสล็อกคูลูปแบบดิจิทัล

เฟสล็อกคูลูปเป็นระบบป้อนกลับที่ใช้การป้อนกลับของสัญญาณเพื่อที่จะล็อกความถี่เอาท์พุท โดยการเปรียบเทียบเฟสของสัญญาณอินพุท กับสัญญาณเอาท์พุท เฟสล็อกคูลูปมักถูกใช้สำหรับกรองสัญญาณ การสังเคราะห์ความถี่ การควบคุมความเร็วมอเตอร์ การแยกความถี่ เป็นต้น เฟสล็อกคูลูปสามารถใช้อุปกรณ์ได้ทั้งแบบอนาลอกและดิจิทัล [1]

2.1 หลักการเฟสล็อกคูลูปแบบดิจิทัล



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของดิจิทัลเฟสล็อกคูลูป

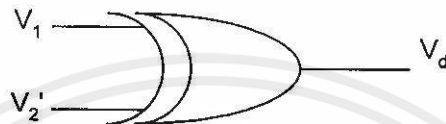
จากบล็อกไดอะแกรมรูปที่ 2.1 [2] ตัวตรวจจับเฟส ทำหน้าที่เปรียบเทียบความแตกต่างระหว่างเฟส ของสัญญาณอินพุท V_1 กับสัญญาณ V_2' ซึ่งเป็นสัญญาณป้อนกลับจากวงจรความถี่ ซึ่งถ้าเกิดความแตกต่างทางเฟสของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกัน จะทำให้เกิดสัญญาณแรงดันผิดพลาดออกมาป้อนเข้าวงจรกรองสัญญาณความถี่ต่ำผ่าน เพื่อส่งไปยังวงจรปรับแรงดันเป็นความถี่ ทำให้ได้ สัญญาณเอาท์พุท V_2 ออกมาซึ่งหลักการดังกล่าวนี้เป็นวิธีการของการสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล สัญญาณแรงดันจากวงจรกรองสัญญาณความถี่ต่ำผ่านจะเป็นสัญญาณควบคุมวงจรปรับแรงดันเป็นความถี่ เพื่อควบคุมการเปลี่ยนแปลงของสัญญาณเอาท์พุท V_2' ให้มีค่าเท่ากับสัญญาณอินพุท V_1 ส่งผลทำให้วงจรปรับแรงดันเป็นความถี่ถูกล็อกสัญญาณเอาท์พุทให้มีค่าสอดคล้องกับสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ตัวดักจับเฟส

วงจรดิจิทัลถูกนำมาใช้ในตัวดักจับเฟส ซึ่งเอาต์พุตของตัวดักจับเฟสจะประกอบด้วย ขนาดของพัลส์ที่มีความกว้างที่เปลี่ยนแปลงตามความแตกต่างของเฟสของสัญญาณอินพุตทั้งสอง สำหรับตัวดักจับเฟสที่นิยม [2] ก็คือ แบบเอ็กซ์คลูซีฟออร์ แบบ J-K ฟลิปฟลอป และแบบเฟส-ความถี่

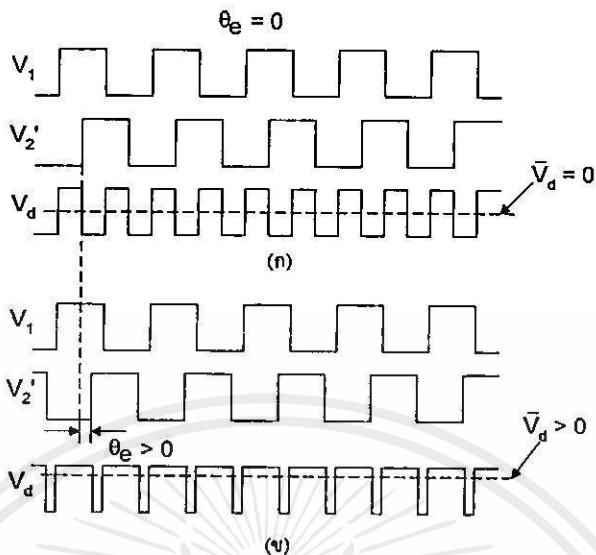
2.2.1 ตัวดักจับเฟสแบบเอ็กซ์คลูซีฟออร์



รูปที่ 2.2 แสดงตัวดักจับเฟสแบบเอ็กซ์คลูซีฟออร์

สัญญาณในวงจรเฟสล็อกแบบดิจิทัลจะเป็นสัญญาณดิจิทัล ซึ่งกำหนดให้เป็นสัญญาณอินพุตทั้ง 2 คือ V_1 และ V_2' เป็นสัญญาณคลื่นสี่เหลี่ยมที่สมมาตรจากรูปที่ 2.3 แสดงความแตกต่างของค่าเฟสผิดพลาด เมื่อค่าเฟสผิดพลาดเท่ากับศูนย์ สัญญาณ V_1 และ V_2' จะต่างเฟสกัน 90 องศา ดังรูปที่ 2.3 (ก) ดังนั้นสัญญาณเอาต์พุต V_d ซึ่งเป็นสัญญาณคลื่นสี่เหลี่ยมจะมีค่าเป็น 2 เท่าของสัญญาณอินพุตค่าวัฏจักรหน้าที่ (Duty cycle) ของสัญญาณ V_d จะเท่ากับ 50 เปอร์เซ็นต์ เมื่อถูกกรองด้วยวงจรกรอง จะพิจารณาเพียงค่าเฉลี่ยของ V_d ซึ่งแสดงโดยเส้นประดังรูปที่ 2.3 (ก) ค่าเฉลี่ยของ V_d คือ \bar{V}_d จะติดตามหลักของค่าระดับลอจิกทั้ง 2 ถ้าเอ็กซ์คลูซีฟออร์ถูกจ่ายกำลังโดยแหล่งจ่ายไฟ 5 โวลต์ V_d จะมีค่าประมาณ 2.5 V ซึ่งค่าแรงดัน ณ จุดนั้น จะเป็นจุดสงบของเอ็กซ์คลูซีฟออร์ และกำหนดให้ $\bar{V}_d = 0$ เมื่อสัญญาณเอาต์พุต V_2' มีค่ามากกว่าสัญญาณอ้างอิง V_1 ค่าเฟสผิดพลาด θ_e จะมีค่าเป็นไปในทางบวก ซึ่งแสดงดังรูปที่ 2.3 (ข) โดยวัฏจักรหน้าที่ของ V_d จะมีค่ามากกว่า 50 เปอร์เซ็นต์ค่า V_d เฉลี่ยก็จะมีค่าเป็นบวก ซึ่งแสดงดังเส้นประในสัญญาณ V_d สรุปได้ว่าค่าเฉลี่ยของ V_d จะมีค่ามากที่สุด เมื่อค่าเฟสผิดพลาด $\theta_e = 90$ องศาและมีค่าน้อยสุดเมื่อค่าเฟสผิดพลาด $\theta_e = -90$ องศา ซึ่งจะได้กราฟคุณสมบัติดังรูปที่ 2.4 ค่าเอาต์พุต V_d เฉลี่ยของเอ็กซ์คลูซีฟออร์จะอยู่ในรูปฟังก์ชันสามเหลี่ยมของค่าเฟสผิดพลาด โดยช่วงค่าเฟสผิดพลาดคือ $-\frac{\pi}{2} < \theta_e < \frac{\pi}{2}$ จะเป็นตัวบังคับ ดังนั้นจึงสามารถกำหนดค่า V_d เฉลี่ยได้เป็นสมการ (2.1)

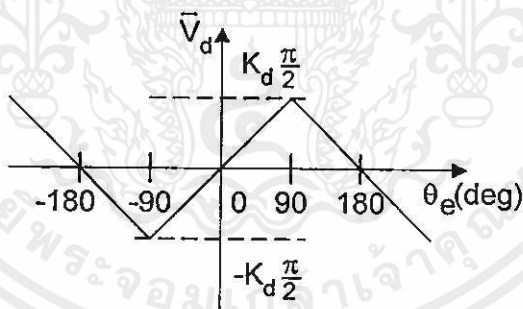
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงรูปสัญญาณของตัวคักจับเฟสแบบเอ็กซ์คลูซีฟออร์

- (ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์
- (ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

$$\bar{V}_d = K_d \theta_e \tag{2.1}$$



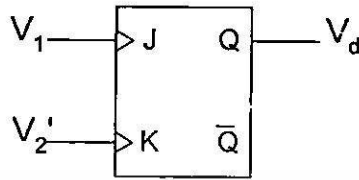
รูปที่ 2.4 แสดงกราฟคุณสมบัติค่าเอาต์พุต V_d เฉลี่ยของเอ็กซ์คลูซีฟออร์

ในกรณีของชุดเปรียบเทียบแบบเอ็กซ์คลูซีฟออร์ ค่าเกณฑ์ของตัวคักจับเฟส K_d จะเป็นค่าคงที่เมื่อกำหนดให้แรงดันของแหล่งจ่ายไฟที่จ่ายให้กับเอ็กซ์คลูซีฟออร์คือ V_B และศูนย์โดยกำหนดระดับลอจิกคือ V_B และศูนย์ ดังนั้น K_d จะมีค่าคงที่สมการ (2.2)

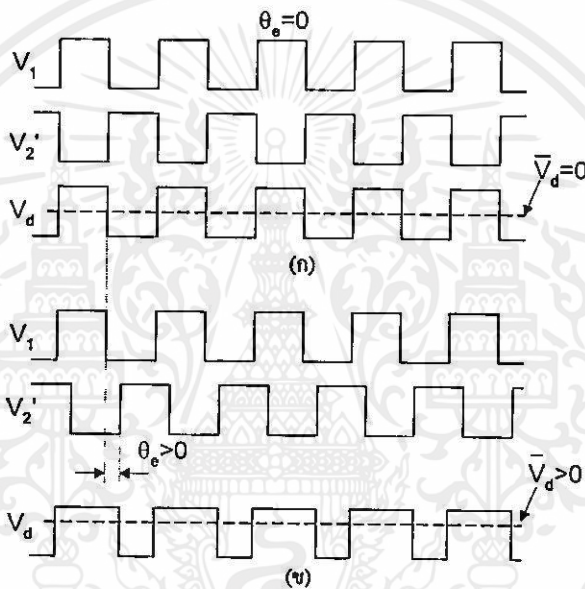
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d = \frac{V_B}{\pi} \quad (2.2)$$

2.2.2 ตัวดักจับเฟสแบบ J-K ฟลิปฟลอป



รูปที่ 2.5 แสดงตัวดักจับเฟสแบบ J-K ฟลิปฟลอป



รูปที่ 2.6 แสดงรูปสัญญาณของตัวดักจับเฟสแบบ J-K ฟลิปฟลอป

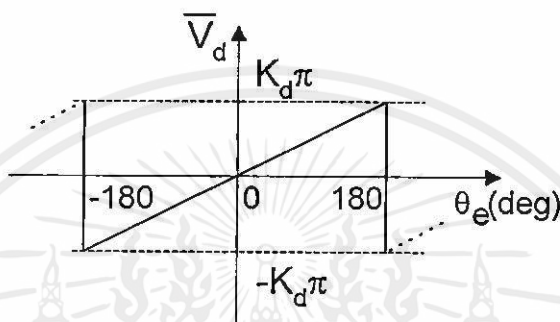
(ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

(ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

J-K ฟลิปฟลอป จะทำงานโดยเมื่อขา J อินพุต ถูกกระตุ้นทำให้สถานะของฟลิปฟลอปเป็นสถานะ 1 ($Q = 1$) และที่ขา K อินพุตถูกกระตุ้นทำให้สถานะของฟลิปฟลอปเป็นสถานะ 0 ($Q = 0$) ดังรูปที่ 2.6 (ก) ซึ่งแสดงรูปสัญญาณของ JK-ฟลิปฟลอปในกรณี $\theta_e = 0$ เมื่อไม่มีค่าเฟสผิดพลาด V_1 และ V_2' จะมีเฟสตรงข้ามกัน ค่าเอาต์พุต V_d จะมีค่าเป็นค่าสัญญาณที่เหลี่ยมสมมาตร โดยมีคาบเหมือนกับความถี่อ้างอิง ซึ่งในสภาวะนี้ค่า \bar{V}_d จะเท่ากับศูนย์ ถ้าค่าเฟสผิดพลาดมีค่าไปในทางบวก ดังรูปที่ 2.6 (ข) ค่าวัฏจักรการทำงานของ V_d จะมีค่ามากกว่า 50% และ \bar{V}_d จะมีค่าเป็นบวก และ \bar{V}_d จะมีค่าสูงสุดเมื่อค่า

เฟสผิดพลาดมีค่าเท่ากับ 180 องศา และค่าสุดเมื่อค่าเฟสผิดพลาดมีค่า -180 องศา ถ้ารูปกราฟของ V_d ต่อ θ_e ซึ่งแสดงดังรูปที่ 2.7 โดยมีคุณลักษณะเป็นฟันเลื่อย และมีช่วงผิดพลาดเฟสเท่ากับ $-\pi < \theta_e < \pi$ ค่าเฉลี่ยสัญญาณ V_d ที่มีผลต่อ θ_e สามารถกำหนดได้จาก

$$\bar{V}_d = K_d \theta_e \quad (2.3)$$



รูปที่ 2.7 แสดงกราฟคุณสมบัติค่าเอาต์พุต V_d เฉลี่ยของ J-K ฟลิปฟลอป

ค่าเกณฑ์ของตัวดักจับเฟส K_d จะมีค่าดังสมการ (2.4)

$$K_d = \frac{V_B}{2\pi} \quad (2.4)$$

2.2.3 ตัวดักจับเฟสแบบเฟส-ความถี่

ตัวดักจับเฟสแบบนี้ เอาต์พุตของสัญญาณไม่ได้ขึ้นอยู่กับค่าเฟสผิดพลาด θ_e เท่านั้น แต่ยังขึ้นกับค่าความถี่ผิดพลาด $\Delta\omega = \omega_1 - \omega_2$ ซึ่งรูปแบบของวงจรจะแสดงดังรูปที่ 2.8 โดยวงจรประกอบด้วย D-ฟลิปฟลอป มีเอาต์พุตคือ UP และ DN ซึ่งตัวดักจับเฟสสามารถกำหนดสภาวะได้ 4 แบบคือ

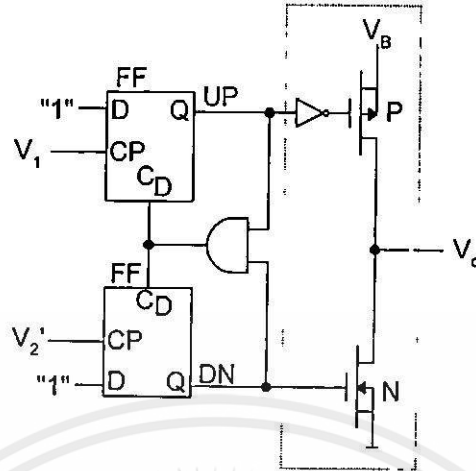
$$UP = 0, DN = 0$$

$$UP = 1, DN = 0$$

$$UP = 0, DN = 1$$

$$UP = 1, DN = 1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

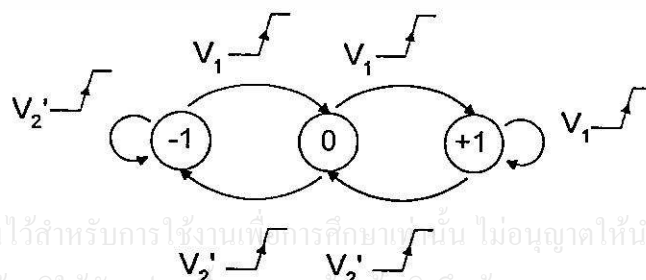


รูปที่ 2.8 แสดงตัวดักจับเฟสแบบเฟส-ความถี่

เมื่อใส่ AND เกทเข้าไปจะทำให้สถานะ $UP=1, DN=1$ หายไป เพราะเอาที่หุดของ AND เกท จะไปรีเซตฟลิปฟลอปทั้ง 2 ดังนั้น สถานะของวงจรจะเหลือเท่ากับ 3 โดยกำหนดมีสัญลักษณ์คือ -1, 0 และ +1 คือ

- $DN = 1, UP = 0$; state = -1
- $UP = 0, DN = 0$; state = 0
- $UP = 1, DN = 0$; state = +1

การแสดงสถานะของตัวดักจับเฟสจะกำหนดได้จากสถานะชั่วขณะของสัญญาณ V_1 และ V_2' ซึ่งแสดงดังรูปที่ 2.9 สถานะบวกของ V_1 จะมีผลให้ตัวดักจับเฟสเปลี่ยนสถานะไปเป็นสถานะที่สูงกว่า เว้นเสียแต่ว่าได้อยู่ในสถานะ +1 แล้ว ในทำนองเดียวกัน สถานะบวกของ V_2' จะมีผลให้ตัวดักจับเฟสเปลี่ยนสถานะไปเป็นสถานะที่ต่ำกว่า เว้นเสียแต่ว่าได้อยู่ในสถานะ -1 แล้ว เมื่อตัวดักจับเฟสมีสถานะ +1 V_d จะมีค่าบวก และเมื่อมีสถานะ -1 V_d จะมีค่าเป็นลบ และเมื่ออยู่ในสถานะศูนย์ V_d ก็จะเท่ากับศูนย์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และดัดแปลงอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 แสดงสภาวะของตัวคักจับแบบเฟส-ความถี่

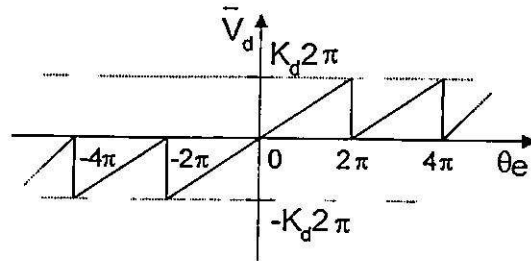
แต่ในความเป็นจริงสัญญาณที่ใช้เป็นแบบไบนารี ดังนั้นสภาวะ $V_d = 0$ จะกำหนดให้เป็นค่าความต้านทานสูง ซึ่งจริงในเส้นปะของรูปที่ 2.8 แสดงการกำเนิดสัญญาณ V_d เมื่อสัญญาณ UP เป็นค่าสูง P แชนแนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับแหล่งจ่ายแรงดัน V_B เมื่อ DN เป็นค่าสูง N แชนแนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับคราวด์ แต่ถ้าสัญญาณทั้งสองเป็นค่าสูงมอสทั้งสองก็จะไม่นำกระแส ค่าสัญญาณ V_d จะเสมือนกับว่าไม่มี คือเป็นค่าความต้านทานสูง โดยถ้าตัวคักจับแบบเฟส-ความถี่ทำงานจะได้รูปสัญญาณดังรูปที่ 2.11 ซึ่งในรูปที่ 2.11(ก) แสดงในกรณีค่าเฟสผิดพลาดเท่ากับศูนย์ ซึ่งจะถูกกำหนดให้อยู่ในสภาวะศูนย์ สัญญาณ V_1 และ V_2' จะมีค่าเฟสเท่ากัน สัญญาณขอบขาขึ้นของ V_1 และ V_2' มีช่วงเวลาเท่ากัน ดังนั้น จึงไม่มีสัญญาณด้านเอาร์ทพุต ในรูปที่ 2.11 (ข) เมื่อ V_1 นำหน้า V_2' ตัวคักจับแบบเฟส-ความถี่ จะเปลี่ยนสภาวะระหว่างศูนย์กับ +1 โดยถ้า V_1 ล้าหลัง V_2' ดังรูปที่ 2.11 (ค) ตัวคักจับแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่าง -1 กับศูนย์ ถ้าพิจารณาจากรูปที่ 2.11 (ข) และ (ค) ค่า V_2' จะมีค่ามากที่สุดเมื่อค่าเฟสผิดพลาดมีค่าบวกและเข้าใกล้มุม 360 องศา และ V_2' จะมีค่าน้อยสุดเมื่อค่าเฟสผิดพลาดมีค่าลบและเข้าใกล้มุม -360 องศา ถ้าพล็อตกราฟค่าเฉลี่ยของความสัมพันธ์ระหว่างสัญญาณ V_2' กับค่าเฟสผิดพลาด θ_e จะได้ฟังก์ชันพื้นเฉลี่ย ดังรูปที่ 2.10 ซึ่งจากรูปจะแสดงค่าเฉลี่ยของสัญญาณเอาร์ทพุตที่ได้จากค่าเฟสผิดพลาดมากกว่า 2π และน้อยกว่า -2π เมื่อค่าเฟสผิดพลาดมีค่าถึง 2π สัญญาณเอาร์ทพุตจากค่าสูงสุดก็จะมีค่าเริ่มที่ศูนย์ใหม่ ซึ่งจะเห็นได้ว่าคุณสมบัติของรูปสัญญาณเป็นลักษณะคาบเวลา โดยมีคาบเวลาเท่ากับ 2π ในทางกลับกันค่าสัญญาณเอาร์ทพุตจะมีค่าน้อยสุด เมื่อค่าเฟสผิดพลาดมีค่าถึง -2π โดยเมื่อค่าเฟสผิดพลาดมีค่าอยู่ในช่วง $-2\pi < \theta_e < 2\pi$ ค่าเฉลี่ยของสัญญาณเอาร์ทพุต V_d คือ

$$\bar{V}_d = K_d \theta_e \quad (2.5)$$

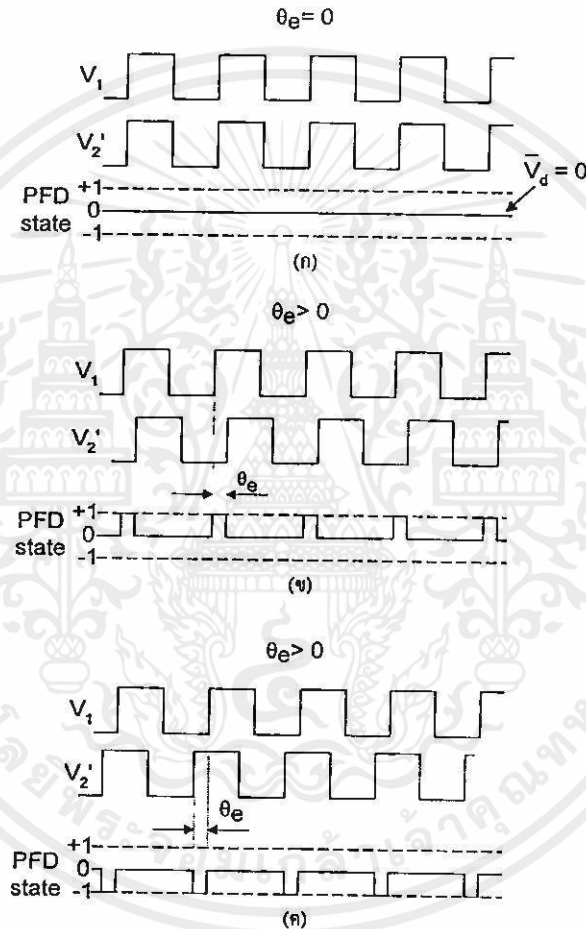
ค่าเกณฑ์ของตัวคักจับเฟส K_d จะมีค่าดังสมการ (2.6)

$$K_d = \frac{V_B}{4\pi} \quad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงกราฟคุณสมบัติค่าเอาร์ทูต V_d เฉลี่ยของตัวคักจับเฟสแบบเฟส-ความถี่



รูปที่ 2.11 แสดงรูปสัญญาณของตัวคักจับเฟสแบบ เฟส-ความถี่

- (ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์
- (ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก
- (ค) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรกรองของรูป

โดยทั่วไปเฟสลึกลับแบบคิติดอล จะใช้วงจรกรองของรูปเช่นเดียวกับเฟสลึกลับแบบอนาลอก [2] ซึ่งวงจรกรองของรูป ที่นิยมใช้กับเฟสลึกลับแบบคิติดอลแสดงดังรูปที่ 2.12 โดยที่รูปที่ 2.12 (ก) เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ ซึ่งมี 1 โพลและ 1 ซีโร ซึ่งมีฟังก์ชันถ่ายโอนคือ

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \quad (2.7)$$

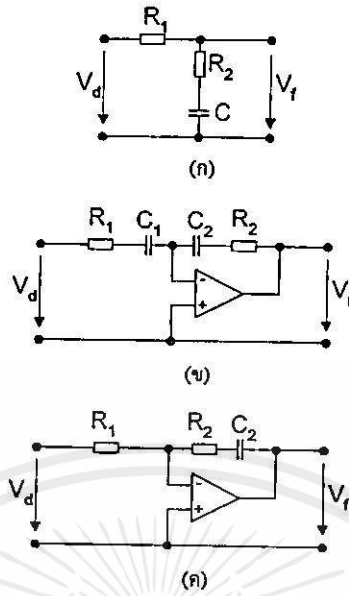
เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_1$ โดยมีค่าการตอบสนองของวงจрдังรูปที่ 2.13 (ก) ส่วนวงจรกรองดังรูปที่ 2.12 (ข) เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ ซึ่งมีการตอบสนองของวงจรเหมือนกับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ แต่วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟจะให้ค่าอัตราขยาย K_a ที่สามารถมีค่าได้มากกว่า 1 และมีฟังก์ชันถ่ายโอนคือ

$$F(s) = K_a \frac{1 + s\tau_2}{1 + s\tau_1} \quad (2.8)$$

เมื่อ $\tau_1 = R_1C_1$, $\tau_2 = R_2C_2$ และ $K_a = -C_1/C_2$ โดยมีค่าการตอบสนองของวงจрдังรูปที่ 2.13 (ข) และวงจрдังรูปที่ 2.12 (ค) เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านอีกแบบคือ วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ ซึ่งวงจรกรองสัญญาณความถี่ต่ำผ่านแบบนี้จะมีค่าฟังก์ชันถ่ายโอนคือ

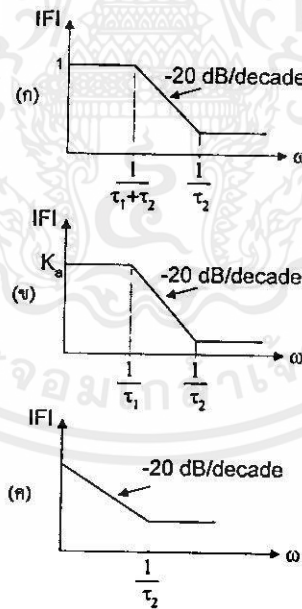
$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \quad (2.9)$$

เมื่อ $\tau_1 = R_1C_2$ และ $\tau_2 = R_2C_2$ วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ จะมีค่าการตอบสนองของวงจрдังรูปที่ 2.13 (ค)



รูปที่ 2.12 แสดงวงจรของรูป

- (ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ
- (ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอคทีฟ
- (ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีฟ



รูปที่ 2.13 แสดงการตอบสนองของวงจรกรองสัญญาณความถี่ต่ำผ่าน

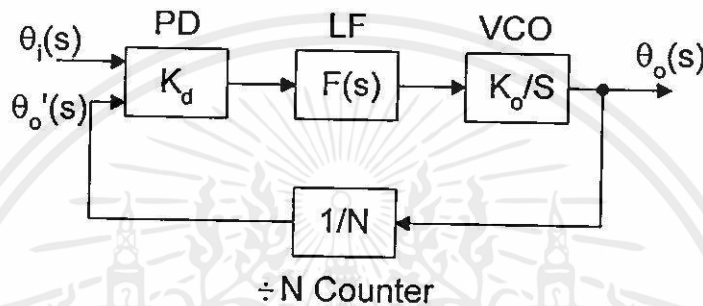
- (ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ
- (ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอคทีฟ
- (ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการเรียนการสอน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งนี้ ขอสงวนสิทธิ์ในสิ่งที่ปรากฏและขอสงวนสิทธิ์เจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การทำงานของเฟสล็อกคูลูปแบบดิจิทัล

การทำงานของเฟสล็อกคูลูปแบบดิจิทัลสามารถวิเคราะห์ได้โดยใช้รูปแบบเชิงเส้นดังรูปที่ 2.14 [2] ซึ่งเป็นเฟสล็อกคูลูปแบบดิจิทัลในรูปแบบคณิตศาสตร์ โดยกำหนดให้อยู่ในสภาวะล็อกและสามารถวิเคราะห์การทำงานของวงจรในรูปฟังก์ชันถ่ายโอนซึ่งมีรูปแบบคือ

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_d F(s)}{Ns + K_o K_d F(s)} \quad (2.10)$$



รูปที่ 2.14 แสดงเฟสล็อกคูลูปแบบดิจิทัลในรูปแบบคณิตศาสตร์

ถ้าแทนฟังก์ชันถ่ายโอนของวงจรกรองของรูป $F(s)$ ดังสมการ (2.7) ถึง (2.9) ลงในสมการ (2.10) จะได้สมการฟังก์ชันถ่ายโอนตามชนิดของวงจรกรองสัญญาณความถี่ต่ำผ่านคือ

สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ วงจรรูปที่ 2.12 ก.

$$H(s) = \frac{K_o K_d \frac{1+s\tau_2}{N(\tau_1+\tau_2)}}{s^2 + s \frac{1+K_o K_d \tau_2}{N(\tau_1+\tau_2)} + \frac{K_o K_d}{N(\tau_1+\tau_2)}} \quad (2.11ก)$$

สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ วงจรรูปที่ 2.12 ข.

$$H(s) = \frac{K_o K_d K_a \frac{1+s\tau_2}{N\tau_1}}{s^2 + s \frac{1+K_o K_d K_a \tau_2}{N\tau_1} + \frac{K_o K_d K_a}{N\tau_1}} \quad (2.11ข)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับคน สำนวนนี้ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบ PI แยกที่ฟ วงจรรูปที่ 2.12 ค.

$$H(s) = \frac{K_o K_d \frac{1+s\tau_2}{N\tau_1}}{s^2 + s \frac{K_o K_d \tau_2}{N\tau_1} + \frac{K_o K_d}{N\tau_1}} \quad (2.11ค)$$

จากทฤษฎีระบบควบคุม [3] สามารถที่จะเขียนสมการฟังก์ชันถ่ายโอนของเฟสล็อกคูลูปแบบคิจิตอลให้อยู่ในรูปแบบบรรทัดฐานคือ

$$s^2 + 2\zeta\omega_n s + \omega_n^2$$

เมื่อ ω_n คือความถี่ธรรมชาติ (Natural frequency) และ ζ คือตัวประกอบการหน่วง (Damping factor) ซึ่งจากสมการ (2.11) ถ้าจัดให้อยู่ในรูปแบบบรรทัดฐานจะได้ค่าความถี่ธรรมชาติและค่าตัวประกอบการหน่วง ตามชนิดของวงจรรองสัญญาณความถี่ต่ำผ่านคือ

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ

$$\omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1 + \tau_2)}} \quad \text{และ} \quad \zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K_o K_d} \right) \quad (2.12 ก)$$

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ

$$\omega_n = \sqrt{\frac{K_o K_d K_a}{N\tau_1}} \quad \text{และ} \quad \zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K_o K_d K_a} \right) \quad (2.12 ข)$$

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบ PI แยกที่ฟ

$$\omega_n = \sqrt{\frac{K_o K_d}{N\tau_1}} \quad \text{และ} \quad \zeta = \frac{\omega_n \tau_2}{2} \quad (2.12 ค)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดรูปแบบสมการ (2.11) ให้ง่าย จะได้สมการฟังก์ชันถ่ายโอนตามชนิดของวงจรกรองสัญญาณความถี่ต่ำผ่านคือ

สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ

$$H(s) = \frac{\omega_n s \left(2\zeta - \frac{\omega_n}{K_o K_d} \right) + \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2} \quad (2.13 ก)$$

สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ

$$H(s) = \frac{\omega_n s \left(2\zeta - \frac{\omega_n}{K_o K_d K_a} \right) + \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2} \quad (2.13 ข)$$

สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ

$$H(s) = \frac{2\zeta \omega_n s + \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2} \quad (2.13 ค)$$

2.4.1 ช่วงยึดเหนี่ยว (Hold range)

ช่วงยึดเหนี่ยว $\Delta\omega_H$ คือช่วงความถี่ที่เฟสล็คคูปแบบดิจิตอลสามารถที่จะคงไว้ซึ่งเสถียรภาพของวงจรได้ แต่ภายใต้สภาวะการทำงานปกติเฟสล็คคูปแบบดิจิตอลจะไม่ทำงานในขอบเขตของช่วงยึดเหนี่ยว ดังนั้นเพื่อการเข้าถึงขอบเขตของความเสถียรภาพของวงจร เฟสล็คคูปแบบดิจิตอลจึงจำเป็นต้องกวาดความถี่ไปอย่างช้า ๆ โดยไปในทางเพิ่มความถี่ขึ้น หรือลดความถี่ลง ถ้าความถี่อ้างอิงมีค่าเพิ่มขึ้นและอัตราขยายทางแรงดันกระแสตรงของวงจรกรองของลูบมีค่าจำกัด ค่าผิดพลาดทางเฟสจะเพิ่มขึ้นตามสัดส่วนจนเมื่อถึงค่าสูงสุดของค่าที่ตัวคักจับเฟสทำงานได้อย่างเป็นเชิงเส้น ช่วงยึดเหนี่ยวก็จะครอบคลุมถึง ถ้าเลือกใช้ตัวคักจับเฟสแบบเอ็ทซ์ลูตซีฟออร์ ค่าผิดพลาดทางเฟสสูงสุดคือ $\pi/2$ จะได้ช่วงยึดเหนี่ยวคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกหรือเผยแพร่ข้อมูลใดๆของเอกสารทุกครั้งที่มีการนำ (2.14)

$$\Delta\omega_H = \frac{K_o K_d F(0)(\pi/2)}{N} \quad (2.14)$$

เมื่อ $F(0)$ คืออัตราขยายทางแรงดันกระแสตรงของวงจรรองของลูป ซึ่งมีค่าเท่ากับ 1 เมื่อเป็นวงจรรองความถี่ต่ำแบบพาสซีฟ, มีค่าเท่ากับ K_d เมื่อเป็นวงจรรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ และมีค่าเท่ากับ ∞ เมื่อเป็นวงจรรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ ดังนั้นจะได้ช่วงยึดเหนี่ยวสำหรับตัวคักจับเฟสแบบเอ็กซ์คลูซีฟออร์ ตามชนิดของวงจรรองสัญญาณความถี่ต่ำผ่านคือ

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ

$$\Delta\omega_H = \frac{K_o K_d F(\pi/2)}{N} \quad (2.15 ก)$$

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ

$$\Delta\omega_H = \frac{K_o K_d K_a(\pi/2)}{N} \quad (2.15 ข)$$

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ

$$\Delta\omega_H = \infty \quad (2.15 ค)$$

ถ้าเลือกใช้ JK ฟลิปฟลอปเป็นตัวคักจับเฟส ค่าผิดพลาดทางเฟสสูงสุดจะเท่ากับ π จะได้ช่วงยึดเหนี่ยว ตามชนิดของวงจรรองสัญญาณความถี่ต่ำผ่านคือ

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ

$$\Delta\omega_H = \frac{K_o K_d F\pi}{N} \quad (2.16 ก)$$

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ

$$\Delta\omega_H = \frac{K_o K_d K_a \pi}{N} \quad (2.16 ข)$$

สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำเอกสารไปใช้

$$\Delta\omega_H = \infty \quad (2.16 ค)$$

การเปลี่ยนแปลงอาจจะรุนแรง ถ้าตัวดักจับเฟสแบบเฟส-ความถี่ถูกนำมาใช้ เพราะเอาท์พุทของตัวดักจับเฟสแบบเฟส-ความถี่จะมีสถานะเป็นค่าความดันทานสูง เมื่อไม่มีสัญญาณเอาท์พุทของ UP หรือ DN การประจุของตัวเก็บประจุของวงจรกรองของลูปจะไม่มีการประจุเมื่อตัวดักจับเฟสแบบเฟส-ความถี่อยู่ในสถานะศูนย์ ในที่สุดสัญญาณเอาท์พุท V_f ของวงจรกรองของลูปจะมีค่าไม่เท่ากับศูนย์ แม้ว่าถ้าค่าเฉลี่ยของสัญญาณ V_d จะเท่ากับศูนย์ ดังนั้นถ้าแหล่งจ่ายสัญญาณเป็นแบบ 3 สถานะ วงจรกรองของลูปจะมีสถานะเป็นตัวอินทิเกรต ช่วงยึกเหนี่ยวของเฟสล็อกลูปแบบดิจิตอลที่เลือกใช้ตัวดักจับเฟสแบบเฟส-ความถี่ จะมีค่าไม่จำกัด นั่นคือ

$$\Delta\omega_H = \infty \quad (2.16 \text{ ง})$$

2.4.2 ช่วงล็อก (Lock range)

คำจำกัดความของช่วงล็อกคือ ช่วงของการชดเชยระหว่างความถี่อ้างอิงกับความถี่เอาท์พุทของวงจรปรับแรงดันเป็นความถี่ ซึ่งในกรณีของเฟสล็อกลูปแบบดิจิตอลการเข้าสู่ช่วงล็อกจะเกิดขึ้นระหว่างความถี่อ้างอิงกับความถี่เอาท์พุทของวงจรปรับแรงดันเป็นความถี่ที่ถูกปรับลดลงจากวงจรหาร N แล้ว ช่วงล็อกของเฟสล็อกลูปแบบดิจิตอลสามารถหาได้จากการกำหนดให้ เฟสล็อกลูปแบบดิจิตอลเริ่มต้นอยู่ในสถานะไม่ล็อก และวงจรปรับแรงดันเป็นความถี่กำเนิดสัญญาณอยู่ที่ความถี่กลาง $N\omega_0$ ความถี่อ้างอิงจะถูกชดเชยโดย $\Delta\omega$ จากค่าความถี่กลางของวงจรปรับแรงดันเป็นความถี่ ω_0 ซึ่งค่าความถี่อ้างอิง $\omega_1 = \omega_0 + \Delta\omega$ การหาช่วงล็อกของเฟสล็อกลูปแบบดิจิตอล เริ่มจากถ้าใช้ชุดตัวดักจับเฟสแบบเอ็กซ์คลูซีฟเฟส ค่าสัญญาณเอาท์พุทเฉลี่ย $\bar{V}_d(t)$ ของเอ็กซ์คลูซีฟเฟสจะเป็นฟังก์ชันสามเหลี่ยมดังรูปที่ 2.15ก โดยค่าสัญญาณเอาท์พุทเฉลี่ย $\bar{V}_d(t)$ ของเอ็กซ์คลูซีฟเฟสในรูปแบบฟังก์ชันสามเหลี่ยมเชิงเวลาดังรูปกราฟบนของรูปที่ 2.15ก เมื่อค่าความถี่ชดเชย $\Delta\omega$ มีค่ามากกว่าความถี่ที่ $1/\tau_2$ ของวงจรกรองของลูปดังรูปที่ 2.12 สัญญาณเอาท์พุท V_f ของวงจรกรองของลูปจะกำหนดได้จาก

$$V_f = V_d F_H \quad (2.17)$$

เมื่อ F_H คืออัตราขยายของวงจรกรองของลูปที่ความถี่สูง รูปสัญญาณของสัญญาณเอาท์พุท V_f จะมีลักษณะเป็นสามเหลี่ยม ดังนั้นความถี่ของวงจรปรับเป็นความถี่จะถูกมอดูเลตโดยสัญญาณสามเหลี่ยมดังรูปกราฟด้านล่างของรูปที่ 2.15ก เมื่อความถี่ชดเชย $\Delta\omega$ ถูกเลือกจนถึงค่าสูงสุดที่ความถี่ ω_2' ซึ่งมี

ค่าเท่ากับความถี่อ้างอิง ω_1 ความถี่ชดเชย $\Delta\omega$ จะเท่ากับช่วงลีด $\Delta\omega_L$ ดังนั้นค่าของช่วงลีดจะมีค่าประมาณได้ดังสมการ (2.18 ก) เมื่อใช้ตัวคักจับเฟสแบบเอ็กซ์คูลชีเฟอร์

$$\Delta\omega_L \approx \pi\zeta\omega_n \tag{2.18 ก}$$

สำหรับช่วงลีดของเฟสล็อครูปแบบคิจิตอลเมื่อเลือกใช้ชุดเปรียบเทียบแบบ JK ฟลิปฟลอป โดยกำหนดให้เฟสล็อครูปแบบคิจิตอลอยู่ในสภาวะไม่ลีด และความถี่ชดเชยระหว่างความถี่อ้างอิง ω_1 และความถี่กลาง ω_0 คือ $\Delta\omega$ ค่าเอาท์พุตเฉลี่ย \bar{V}_d ของตัวคักจับเฟสแบบ JK ฟลิปฟลอปจะมีลักษณะเป็นรูปคลื่นฟันเลื่อยดังรูปที่ 2.7 ค่าเอาท์พุตเฉลี่ย $\bar{V}_d(t)$ ซึ่งอยู่ในรูปของฟังก์ชันรูปคลื่นฟันเลื่อย ดังรูปกราฟบนของรูปที่ 2.15 ซึ่งความถี่ของวงจรรีบเร่งคั้นเป็นความถี่จะถูกมอดูเลตโดยสัญญาณฟันเลื่อยดังรูปกราฟล่างของรูปที่ 2.15x ถ้าความถี่ชดเชย $\Delta\omega$ เลือกใช้ค่าเท่ากับความถี่ ω_2' ในช่วงที่กราฟความถี่ ω_2' สัมผัสกับกราฟความถี่ ω_1 ความถี่ชดเชย $\Delta\omega$ จะเท่ากับช่วงลีด $\Delta\omega_L$ ดังนั้นค่าของช่วงลีดจะมีค่าประมาณได้ดังสมการ (2.18 ข) เมื่อใช้ตัวคักจับเฟสแบบ JK ฟลิปฟลอป

$$\Delta\omega_L \approx 2\pi\zeta\omega_n \tag{2.18 ข}$$

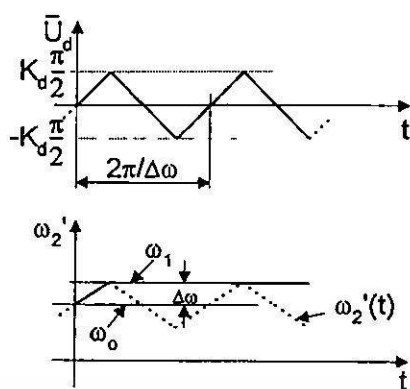
ในลักษณะการวิเคราะห์ของตัวคักจับเฟสแบบ JK ฟลิปฟลอปสามารถนำมาใช้กับตัวคักจับเฟสแบบเฟส-ความถี่ได้ ดังนั้นถ้าเฟสล็อครูปแบบคิจิตอลเลือกใช้ตัวคักจับเฟสแบบเฟส-ความถี่ จะได้ค่าของช่วงลีดซึ่งมีค่าประมาณได้ดังสมการ (2.18 ค) เมื่อใช้ตัวคักจับเฟสแบบ JK ฟลิปฟลอป

$$\Delta\omega_L \approx 4\pi\zeta\omega_n \tag{2.18 ค}$$

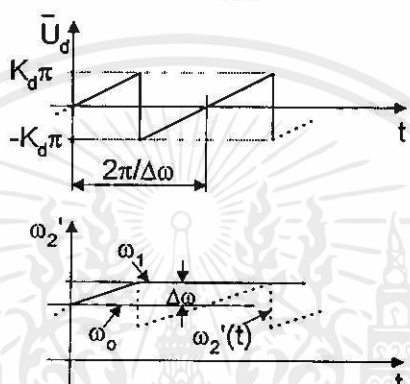
เมื่อเฟสล็อครูปแบบคิจิตอลเข้าสู่ช่วงลีด จะหาค่าช่วงเวลาการเข้าสู่ช่วงลีด T_L ได้ ซึ่งมีค่าประมาณเท่ากับ

$$T_L = \frac{2\pi}{\omega_n} \tag{2.19}$$

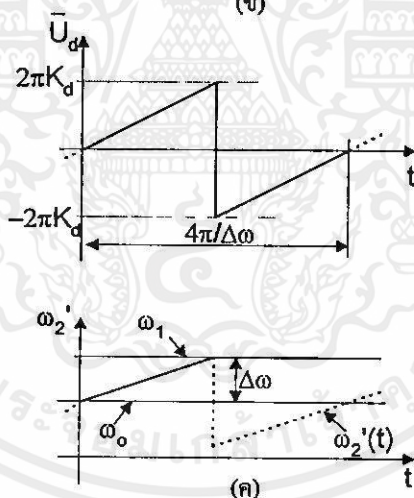
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 2.15 แสดงสัญญาณช่วงถือของเฟสล็อคคูลูปแบบดิจิทัล

(ก) ขณะใช้ตัวคักจับเฟสแบบเอ็กซ์คูซิฟออร์

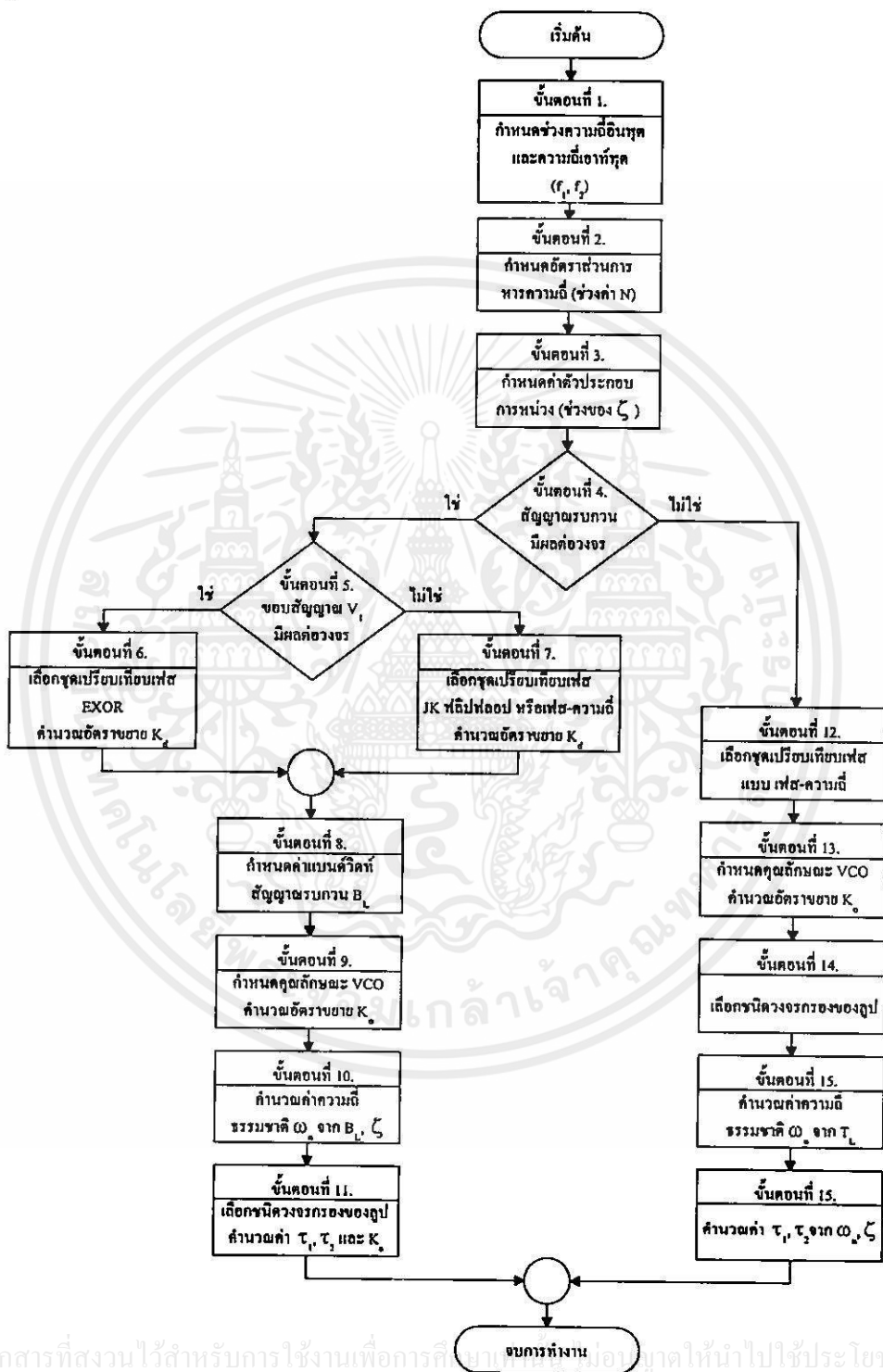
(ข) ขณะใช้ตัวคักจับเฟสแบบ JK ฟลิปฟลอป

(ค) ขณะใช้ตัวคักจับเฟสแบบเฟส-ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การออกแบบเฟสล็อกคูลูปแบบดิจิทัล

จากหลักการที่กล่าวมานั้น สามารถออกแบบเฟสล็อกคูลูปแบบดิจิทัลได้โดยกำหนดเป็นขั้นตอนดังรูปที่ 2.16



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่ควรนำออกเผยแพร่โดยไม่ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.16 แสดงขั้นตอนการออกแบบเฟสล็อกคูลูปแบบดิจิทัล

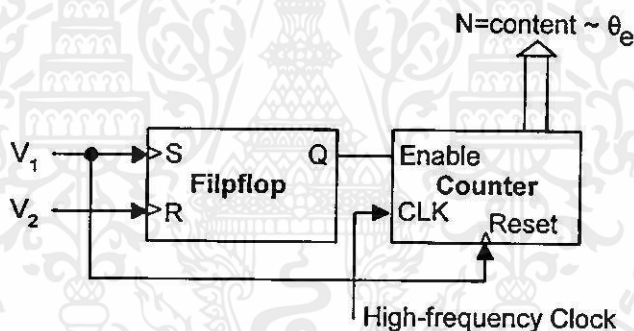
บทที่ 3

เฟสล็อคลูปแบบดิจิทัลทั้งหมด

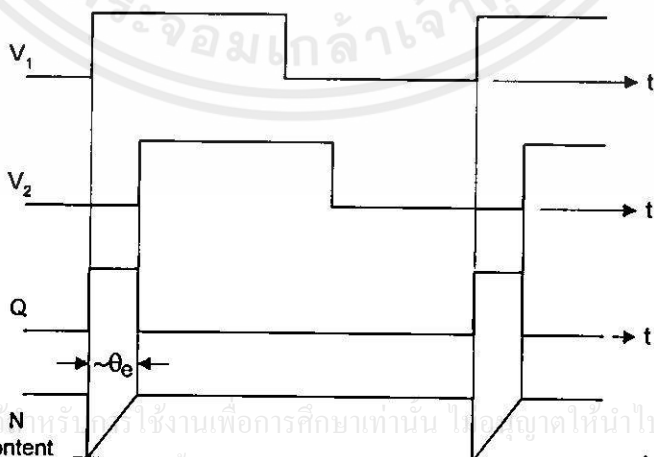
เฟสล็อคลูปแบบดิจิทัลทั้งหมด เป็นเฟสล็อคลูปที่ทุกส่วนของระบบเป็นวงจรดิจิทัล ซึ่งแตกต่างจากเฟสล็อคลูปแบบดิจิทัลเดิม ที่มีวงจรบางส่วนยังคงเป็นวงจรอนาล็อก

3.1 ตัวดักจับเฟส

ตัวดักจับเฟส 3 แบบหลักที่ใช้ได้แสดงรายละเอียดไว้ดังบทที่ 2. แล้ว ซึ่งถ้าสัญญาณดิจิทัลที่มีลักษณะเป็นเว็รค ถูกนำมาใช้แทนสัญญาณดิจิทัลที่มีลักษณะสัญญาณแบบบิท ตัวดักจับเฟสก็จะต้องมีส่วนประกอบเพิ่มเติมซึ่งแสดงดังรูปที่ 3.1 โดยนำตัวดักจับเฟสต่อกับบวกรนับ ซึ่งเรียกว่า ตัวดักจับเฟสแบบ ฟลิปฟลอป-เคาน์เตอร์



รูปที่ 3.1 แสดงบล็อกไดอะแกรมตัวดักจับเฟสแบบ ฟลิปฟลอป-เคาน์เตอร์



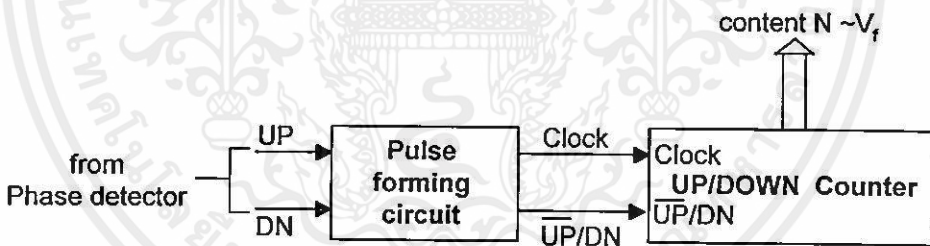
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในงานเพื่อการศึกษาเท่านั้น โปรดอย่าให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2 แสดงรูปสัญญาณของตัวดักจับเฟสแบบ ฟลิปฟลอป-เคาน์เตอร์

จากรูปที่ 3.2 สัญญาณอินพุต V_1 และสัญญาณเอาต์พุต V_2 จากชุดกำเนิดสัญญาณด้วยแรงดัน ซึ่งสัญญาณทั้งสองนี้มีลักษณะเป็นสัญญาณไบนารี โดยที่สัญญาณนี้จะเป็นตัวเซ็ท หรือรีเซ็ตวงจรฟลิปฟล็อป คาบเวลาเอาต์พุต Q ของฟลิปฟล็อปในช่วงที่มีค่าเป็นลอจิก 1 จะเป็นตัวกำหนดค่าเฟสผิดพลาด θ_e สัญญาณจากเอาต์พุต Q ใช้ควบคุมสัญญาณนาฬิกาความถี่สูงซึ่งใช้เป็นตัวสั่งการให้วงจรมับขึ้น โดยที่วงจรมับรีเซ็ตค่าตัวเองทุก ๆ ขอบขาขึ้นของสัญญาณ V_1 รายละเอียดของค่าเอาต์พุต N จะเปลี่ยนแปลงตามค่าเฟสผิดพลาด θ_e โดยที่เอาต์พุต N จะมีขนาดเท่ากับ n บิต ค่าความถี่ของสัญญาณนาฬิกาความถี่สูงจะมีค่าเท่ากับ Mf_0 เมื่อ f_0 คือ ความถี่ของสัญญาณอ้างอิงและ M คือ จำนวนเต็มบวก

3.2 วงจรกรองของรูป

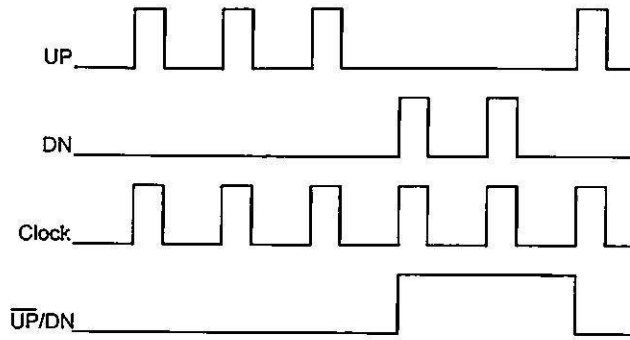
จากบทที่แล้วจะเห็นได้ว่าตัวตรวจจับเฟสแต่ละแบบ จะให้สัญญาณเอาต์พุตที่ไม่เหมือนกัน ตัวตรวจจับเฟสจากหัวข้อที่แล้วจะให้สัญญาณเอาต์พุตเป็นแบบคิจิตอล n บิต ตัวตรวจจับเฟสแบบพื้นฐานเช่น เอ็กซ์คลูซีฟออร์ หรือ เฟส-ความถี่ จะให้สัญญาณเอาต์พุตเป็นค่าไบนารี 1 หรือ 2 ค่า ซึ่งตัวตรวจจับเฟสเหล่านี้ไม่สามารถใช้วงจรกรองของรูปได้ทุกแบบ มีเพียงบางแบบเท่านั้นที่สามารถใช้ได้



รูปที่ 3.3 แสดงบล็อกไดอะแกรมวงจรกรองของรูปแบบนับขึ้น-ลง

วงจรกรองของรูปพื้นฐานดังรูปที่ 3.3 ที่สร้างมาจากวงจรมับขึ้น-ลง พื้นฐานโดยวงจรกรองของรูปแบบนับขึ้น-ลง นี้จะใช้ร่วมได้ดีกับตัวตรวจจับเฟสแบบเฟสความถี่ แต่ในแบบอื่นก็ยังสามารถใช้งานร่วมกันได้แต่ต้องมีการประยุกต์วงจรเพิ่มเติม [2] จากรูปที่ 3.3 จะเห็นได้ว่าจะต้องมีชุดกำหนดรูปแบบสัญญาณขึ้นมาใหม่โดยเปลี่ยนให้สัญญาณอินพุต UP และสัญญาณอินพุต DN กลายเป็นสัญญาณนาฬิกาและสัญญาณกำหนดทิศทางในการนับ ดังสัญญาณในรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงสัญญาณของวงจรของรูปแบบนับขึ้น-ลง

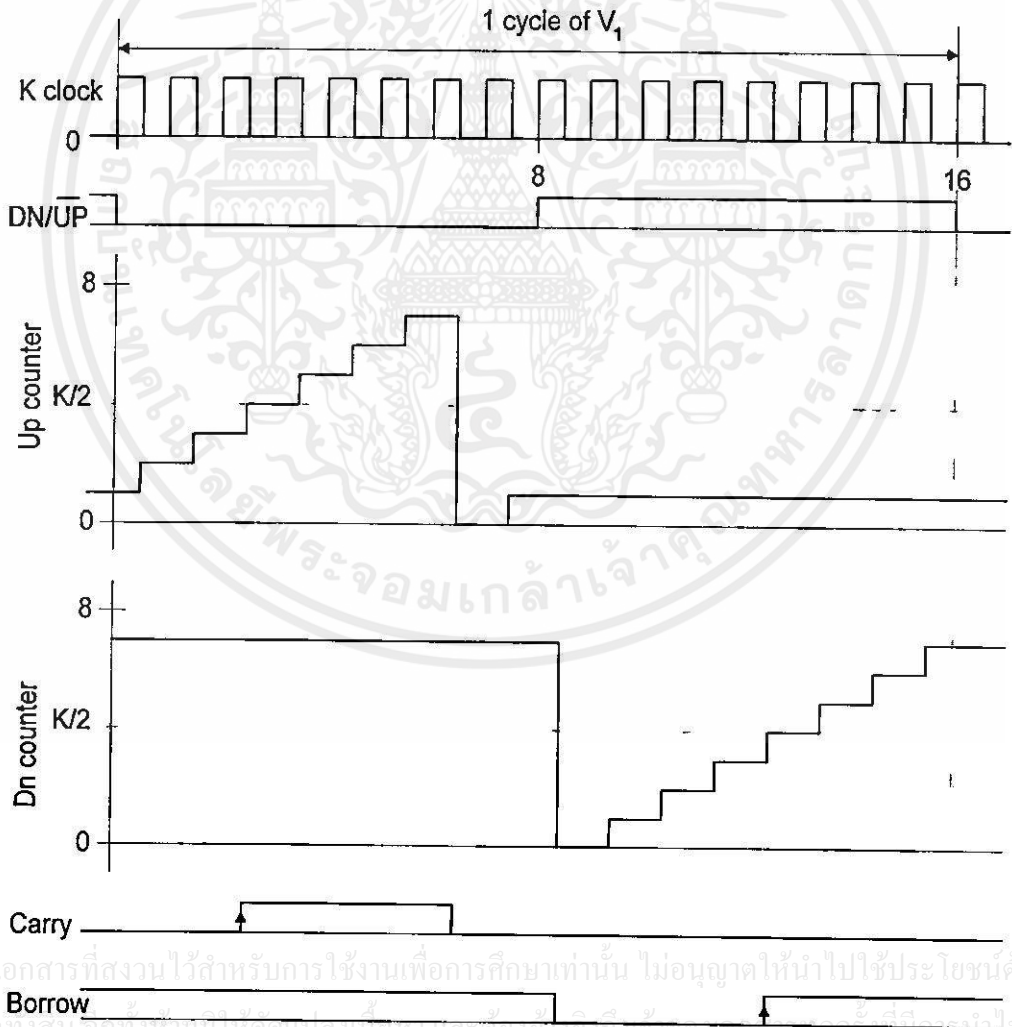
วงจรของรูปที่ 3.4 อีกแบบหนึ่งคือ วงจรนับ K ดังรูปที่ 3.5 ซึ่งวงจรของรูปชนิดนี้สามารถใช้ได้กับตัวคักจับเฟสแบบเอ็ชคู่ลชีเฟอร์ หรือแบบ J-K ฟลิปฟลอปซึ่งจากรูปที่ 3.5 วงจรนับ K จะประกอบด้วยวงจรนับ 2 วงจรที่เป็นอิสระต่อกัน โดยจะกำหนดให้เป็น วงจรนับขึ้นและวงจรนับลง K จะเป็นค่าโมดูลัสของวงจรนับทั้งสอง จำนวนการนับของวงจรนับทั้งสองจะอยู่ในช่วงระหว่าง 0 ถึง $K-1$ ซึ่งค่า K สามารถควบคุมได้โดย กำหนดค่า K โมดูลัสที่อินพุต K โมดูลัสคอนโทรล และอยู่ในรูปของเลข 2 ยกกำลังด้วยเลขจำนวนเต็ม ความถี่ของสัญญาณนาฬิกา K Clock ถูกกำหนดด้วยค่าเวลา M ของความถี่กลาง f_0 ของวงจรเฟสล็อกรูปแบบดิจิทัลทั้งหมดเมื่อค่า M โดยทั่วไปคือ 8, 16, 32, ... การทำงานของวงจรนับ K จะถูกควบคุมโดยสัญญาณนับขึ้น-ลง คือ ถ้าสัญญาณมีสถานะเป็นลอจิก 1 วงจรนับลงก็จะทำงานโดยวงจรนับขึ้นจะคงสถานะไว้ไม่ทำงาน ในทางกลับกันถ้าวงจรนับขึ้นทำงาน วงจรนับลงก็จะคงสถานะไว้ไม่ทำงานเช่นกัน



รูปที่ 3.5 แสดงบล็อกไดอะแกรมวงจรของรูปแบบนับ K

วงจรนับทั้ง 2 จะเริ่มนับที่ศูนย์ใหม่เมื่อข้อมูลของการนับสิ้นสุดที่ $K-1$ ค่าบิตนัยสำคัญของวงจรนับขึ้นจะใช้บิตทศเป็นเอาต์พุต และค่าบิตนัยสำคัญของวงจรนับลงจะใช้บิตยืมเป็นเอาต์พุต ดังนั้นบิตทศมีค่าเป็นลอจิก 1 เมื่อข้อมูลของวงจรนับขึ้นมีค่ามากกว่าหรือเท่ากับ $K/2$ ในทางกลับกันบิตยืมมีค่าเป็นลอจิก 1 เมื่อข้อมูลของวงจรนับลงมีค่ามากกว่าหรือเท่ากับ $K/2$ สัญญาณขอขาขึ้นของบิตทศ และบิตยืมจะใช้เป็นตัวควบคุมความถี่ของวงจรถัดไปเกิดความถี่ด้วยสัญญาณดิจิทัล

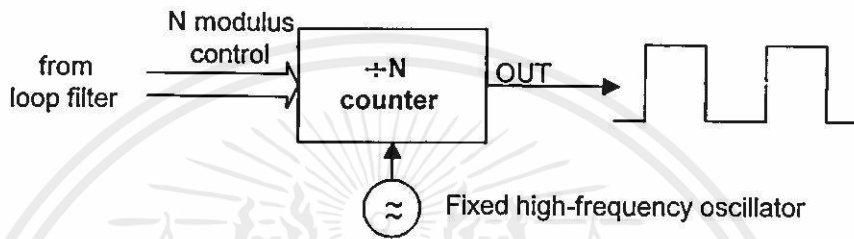
จากรูปที่ 3.6 อินพุต DN/\overline{UP} ถูกควบคุมโดยเอาต์พุตของตัวนับจับเฟส ดังตัวอย่างที่กำหนดให้ใช้ JK ฟลิปฟลอป และเฟสล็อกรูปแบบดิจิทัลทั้งหมดทำงานที่ความถี่กลาง ดังรูปที่ 3.6 สัญญาณอินพุต V_1 และสัญญาณเอาต์พุต V_2 ของเฟสล็อกอยู่ในสภาวะต่างเฟสกัน และสัญญาณเอาต์พุต P_d ของตัวนับจับเฟสเป็นสัญญาณสี่เหลี่ยมมีค่าวัฏจักรหน้าที่เท่ากับ 50 เปอร์เซ็นต์ ดังนั้นสัญญาณ DN/\overline{UP} จะเป็นลอจิก 1 ในครึ่งวัฏจักรของสัญญาณ V_1 และเป็นลอจิก 0 ในช่วงอื่น ค่าความถี่ของสัญญาณนาฬิกา K จะถูกกำหนดให้มีค่าเท่ากับ 16 เวลาของความถี่กลาง ($M=16$) วงจรนับโมดูลัส K จะถูกบังคับให้มีค่าเท่ากับ 8 ดังรูปที่ 3.6 จะเห็นได้ว่าวงจรนับขึ้นจะเริ่มนับไปจนถึงสัญญาณนาฬิกา K เท่ากับ 8 วงจรนับลงจะนับต่อไปอีก 8 พัลส์ ภายใต้สภาวะแบบนี้วงจรนับขึ้นจะสร้างพัลส์ของบิตทดในแต่ละวัฏจักรของสัญญาณ V_1 และวงจรนับลงจะสร้างพัลส์ของบิตยืมในสภาวะที่ตรงข้ามกัน



รูปที่ 3.6 แสดงสัญญาณของวงจรของรูปแบบนับ K

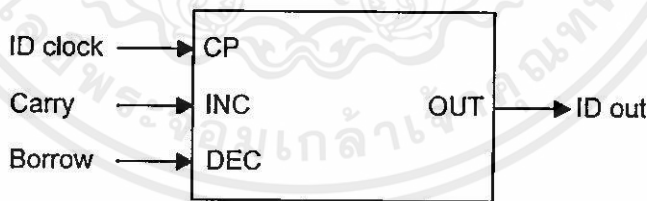
3.3 วงจรควบคุมการกำเนิดสัญญาณโดยดิจิทัล

วงจรควบคุมการกำเนิดสัญญาณโดยดิจิทัล สามารถออกแบบได้ทั้งเป็นวงจรที่เป็นอุปกรณ์และเป็นโปรแกรม ซึ่งถ้าเป็นวงจรที่เป็นอุปกรณ์พื้นฐานของวงจรควบคุมการกำเนิดสัญญาณ โดยดิจิทัลก็คือวงจรหาร N ดังรูปที่ 3.7 วงจรหาร N จะใช้ลดค่าความถี่ของสัญญาณที่สร้างขึ้นจากวงจรกำเนิดสัญญาณความถี่สูงซึ่งเป็นความถี่คงที่ ค่าเอาต์พุต N บีทแบบขนานของวงจรกรองของลูไปใช้ควบคุมขนาดของค่า N ในวงจรหาร N



รูปที่ 3.7 แสดงบล็อกไดอะแกรมวงจรควบคุมการกำเนิดสัญญาณโดยดิจิทัลแบบ หาร N

วงจรวงจรควบคุมการกำเนิดสัญญาณโดยดิจิทัลอีกแบบหนึ่งก็คือ วงจรนับขึ้น-ลงดังรูปที่ 3.8 ซึ่งวงจรวงจรควบคุมการกำเนิดสัญญาณ โดยดิจิทัลแบบนี้จะต้องทำงานร่วมกับวงจรกรองของลูที่ผลิตพัลส์ทศ และพัลส์ยืมดังเช่นวงจรมับ K ดังหัวข้อที่แล้ว การทำงานของวงจรมับขึ้น-ลงดังรูปที่ 3.8 ก็คือวงจรมับขึ้น-ลง จะมี 3 อินพุตคือ สัญญาณนาฬิกาอินพุต, สัญญาณอินพุตนับขึ้น และสัญญาณอินพุตนับลง



รูปที่ 3.8 แสดงบล็อกไดอะแกรมวงจรวงจรควบคุมการกำเนิดสัญญาณ โดยดิจิทัล แบบวงจรมับขึ้น-ลง

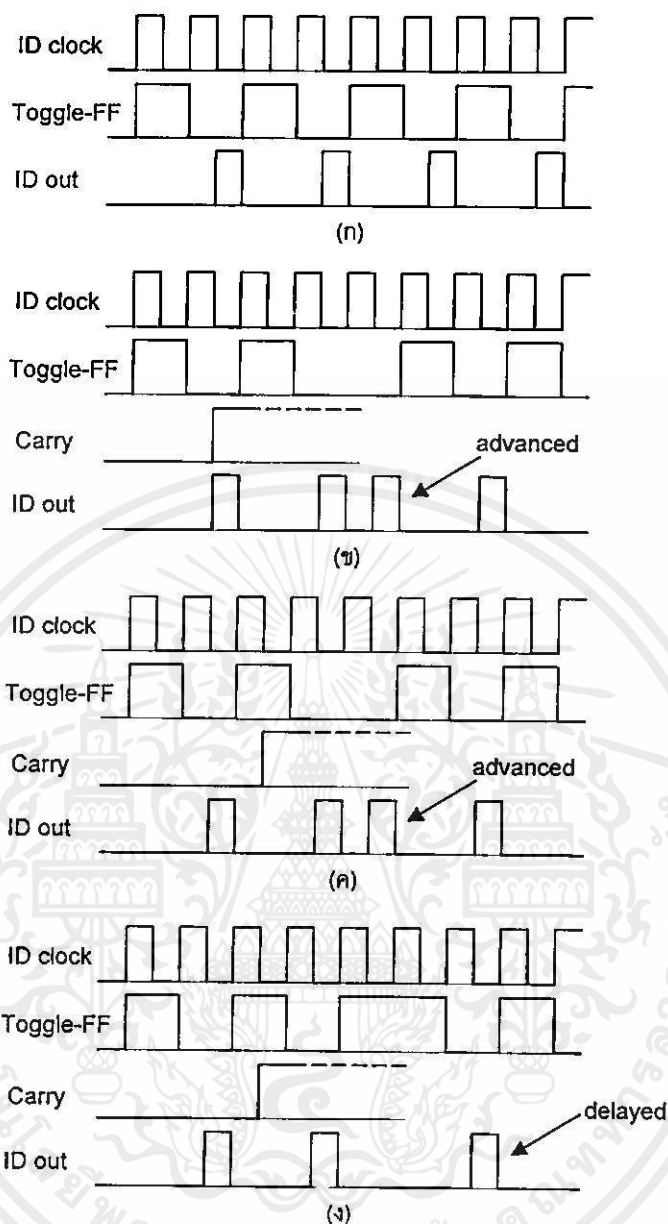
พัลส์ทศจากวงมับ K จะถูกต่อเข้ากับอินพุตนับขึ้น และพัลส์ยืมจากวงมับ K จะถูกต่อเข้ากับอินพุตนับลง วงจรมับขึ้น-ลง จะตอบสนองที่ขอบขาขึ้นของพัลส์ทศและพัลส์ยืมของวงมับ K ซึ่งในระหว่างที่มีพัลส์ทศหรือพัลส์ยืมของวงมับ K เข้ามา วงจรมับขึ้น-ลง จะไม่สนใจการตอบสนองอย่างอื่น แต่ถ้าในกรณีที่ไม่มีพัลส์ทศหรือพัลส์ยืมของวงมับ K เข้ามา วงจรมับขึ้น-ลง จะทำการหารความถี่ของสัญญาณนาฬิกาอินพุตด้วย 2 ส่งผลให้พัลส์เอาต์พุตจะมีสัญญาณออกมาทุก ๆ สัญญาณนาฬิกา 2 วัฏจักรทำงาน ดังรูปที่ 3.9 (ก) เพื่อง่ายต่อการทำความเข้าใจใบบการทำงาน

ของวงจรมีขึ้น-ลง จึงกำหนดให้วงจรมีทอกเกิลฟลิปฟลอป ซึ่งมีรูปสัญญาณดังรูปที่ 3.9 (ก) โดยทอกเกิลฟลิปฟลอปจะเปลี่ยนสถานะตัวเองทุก ๆ ขอบขาขึ้นของสัญญาณนาฬิกาอินพุต โดยที่ไม่มีพัลส์ทดหรือพัลส์ซึ่มของวงจรมี K เข้ามาในขณะนั้น เอาท์พุตของวงจรมีขึ้น-ลง จะแสดงได้ดังฟังก์ชันลอจิก

$$IDout = \overline{IDclock} \bullet \overline{Toggle} - FF \quad (3.1)$$

ตอนนี้ถ้ากำหนดให้มีพัลส์ทดของวงจรมี K เข้ามาที่อินพุตนับขึ้นของวงจรมีขึ้น-ลง พัลส์ทดของวงจรมี K จะมีผลต่อวงจรมีขึ้น-ลงก็ต่อเมื่อ สถานะการทำงานของทอกเกิลฟลิปฟลอปอยู่ในจังหวะมีสถานะเป็นลอจิก 1 ถ้ามีพัลส์ทดของวงจรมี K เกิดขึ้นขณะที่ทอกเกิลฟลิปฟลอปอยู่ในจังหวะมีสถานะเป็นลอจิก 0 ดังรูปที่ 3.9 (ข) ทอกเกิลฟลิปฟลอปจะคงค่าสถานะลอจิก 0 จนเมื่อพบขอบขาขึ้นของสัญญาณนาฬิกาอินพุต ทอกเกิลฟลิปฟลอปจึงจะเปลี่ยนสถานะเป็นลอจิก 1 และเปลี่ยนสถานะเป็นลอจิก 0 เมื่อพบขอบขาขึ้นของสัญญาณนาฬิกาอินพุตอีกครั้ง และจะคงค่าลอจิก 0 นี้ไปจนสัญญาณนาฬิกาอินพุตผ่านไป 2 ลูกคลื่นซึ่งจะทำให้มีพัลส์เอาท์พุตเพิ่มขึ้นมาอีก 1 ลูกคลื่นในช่วงคาบเวลานี้ แต่ถ้าหากมีพัลส์ทดของวงจรมี K เกิดขึ้นขณะที่ทอกเกิลฟลิปฟลอปมีสถานะเป็นลอจิก 1 ทอกเกิลฟลิปฟลอปก็จะเปลี่ยนสถานะเป็นลอจิกต่ำจนสัญญาณนาฬิกาอินพุตผ่านไป 2 ลูกคลื่นดังรูปที่ 3.9 (ค) เพราะว่าพัลส์ทดของวงจรมี K จะมีผลต่อวงจรมีขึ้น-ลงก็ต่อเมื่อทอกเกิลฟลิปฟลอปอยู่ในสถานะลอจิก 1 ค่าความถี่สูงสุดของสัญญาณพัลส์เอาท์พุตจะเกิดขึ้นเมื่อทอกเกิลฟลิปฟลอปมีรูปแบบ " 1 0 0 1 0 0 ... " ซึ่งในที่สุดค่าความถี่เอาท์พุตของวงจรมีขึ้น-ลง ก็จะมีค่าสูงสุดไม่เกิน 2 ใน 3 ของความถี่สัญญาณนาฬิกาอินพุต เมื่อพัลส์ซึ่มของวงจรมี K เกิดขึ้นดังรูปที่ 3.9 (ง) ซึ่งสัญญาณพัลส์ซึ่มของวงจรมี K จะมีผลต่อวงจรมีขึ้น-ลงก็ต่อเมื่อทอกเกิลฟลิปฟลอปอยู่ในสถานะลอจิก 0 เมื่อสัญญาณพัลส์ซึ่มของวงจรมี K มีผลต่อวงจรมีขึ้น-ลง ทำให้ทอกเกิลฟลิปฟลอปเปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ในช่วงขอบขาขึ้นของสัญญาณนาฬิกาอินพุตถัดไป และจะคงสถานะลอจิก 1 ต่อไปอีกเท่ากับสัญญาณนาฬิกาอินพุต 2 ลูกคลื่น ซึ่งมีผลทำให้พัลส์เอาท์พุตเกิดขึ้นซ้ำไป 1 ลูกคลื่น ค่าความถี่ต่ำสุดของสัญญาณพัลส์เอาท์พุตจะเกิดขึ้นเมื่อทอกเกิลฟลิปฟลอปมีรูปแบบ " 0 1 1 0 1 1 ... " ดังนั้นค่าความถี่ต่ำสุดของวงจรมีขึ้น-ลง จะมีค่าเท่ากับ 1 ใน 3 ของค่าความถี่สัญญาณนาฬิกาอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงสัญญาณของวงจรควบคุมการกำเนิดสัญญาณ โดยดิจิทัล แบบวงจรรนับขึ้น-ลง

(ก) ขณะไม่มีพัลส์ทศหรือพัลส์ยิมของวงจรรนับ K เข้ามา

(ข) ขณะมีพัลส์ทศของวงจรรนับ K เข้ามาในจังหวะที่ทอกเกิลฟลิปฟลอปเป็นลอจิก 0

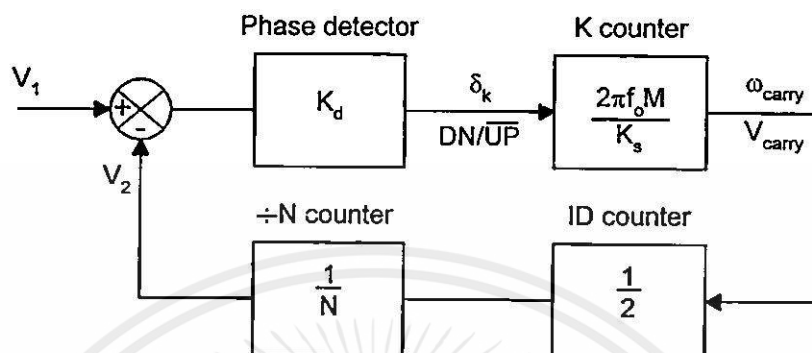
(ค) ขณะมีพัลส์ทศของวงจรรนับ K เข้ามาในจังหวะที่ทอกเกิลฟลิปฟลอปเป็นลอจิก 1

(ง) ขณะมีพัลส์ยิมของวงจรรนับ K เข้ามาในจังหวะที่ทอกเกิลฟลิปฟลอปเป็นลอจิก 0

3.4 การวิเคราะห์เฟสลือคูลูปแบบดิจิทัลทั้งหมดในเชิงความถี่

เฟสลือคูลูปแบบดิจิทัลทั้งหมดสามารถที่จะแสดงในรูปของทรานเฟอร์ฟังก์ชัน รูปแบบทางคณิตศาสตร์ของเฟสลือคูลูปแบบดิจิทัลทั้งหมดดังแสดงดังรูปที่ 3.10 ซึ่งตัวดักจับเฟสแสดงดังบล็อกแรกโดยมีอัตราขยายเท่ากับ K_d สัญญาณเอาต์พุตของตัวดักจับเฟสที่ใช้ควบคุมตัวประกอบ

หน้าที่ δ_K ของวงจรรีบ K ซึ่งค่าตัวประกอบหน้าที่ได้จากการกำหนดจากค่าเฉลี่ยส่วนหนึ่งของเวลาที่วงจรรีบขึ้นทำงาน ดังนั้นตัวประกอบหน้าที่ $\delta_K = 1$ วงจรรีบขึ้นจะคงสถานะทำงานอยู่ แต่



รูปที่ 3.10 แสดงรูปแบบทางคณิตศาสตร์ของเฟสล็อกแบบดิจิทัลทั้งหมด

ถ้าตัวประกอบหน้าที่ $\delta_K = -1$ วงจรนับลงจะคงสถานะทำงานอยู่ ถ้าใช้ตัวคักจับเฟสแบบเอ็กซ์คูลูซีฟเฟอ ตัวประกอบหน้าที่ δ_K จะมีค่าเท่ากับ 1 โดยค่าผิดพลาดทางเฟส $\theta_e = \pi/2$ และตัวประกอบหน้าที่ δ_K มีค่าเท่ากับ -1 โดยค่าผิดพลาดทางเฟส $\theta_e = -\pi/2$ ดังนั้นถ้าเป็นตัวคักจับเฟสแบบเอ็กซ์คูลูซีฟเฟอทำให้ได้ค่าอัตราขยายของชุดเปรียบเทียบคือ

$$K_d = \frac{2}{\pi} \quad (3.2 \text{ ก})$$

สำหรับตัวคักจับเฟสแบบ JK ฟลิปฟลอป ค่าอัตราขยายของตัวคักจับเฟสคือ

$$K_d = \frac{1}{\pi} \quad (3.2 \text{ ข})$$

ค่าความถี่ของพัลส์ทคคือ

$$f_{\text{carry}} = \delta_K \frac{Mf_o}{K} \quad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้วงนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าจากสมการ (3.2) จัดให้อยู่ในรูปความถี่เชิงมุม

$$\omega_{\text{carry}} = \delta_K 2\pi \frac{Mf_o}{K} \quad (3.4)$$

เพราะว่าพิจารณาค่าทรานเฟอร์ฟังก์ชัน ดังนั้นจึงต้องทราบค่าเฟสพัลซ์ทอด Θ_{carry} ของเอาต์พุตของวงจรนับ K เพราะค่าเฟสนี้เป็นส่วนประกอบความถี่เชิงมุมต่อเวลา ดังนั้นค่าฟังก์ชันถ่ายโอนของวงจรนับ K คือ

$$K_K(s) = \frac{\Theta_{carry}(s)}{\Delta_K(s)} = \frac{2\pi Mf_o}{Ks} \quad (3.5)$$

เมื่อ $\Delta_K(s)$ และ $\Theta_{carry}(s)$ คือค่าตัวประกอบหน้าที่ δ_K และเฟสพัลซ์ทอด Θ_{carry} ในรูปแบบลาปลาซทรานฟอร์มเพราะแต่ละพัลซ์ทอดที่ป้อนไปยังอินพุตด้านเพิ่มของวงจรนับ ID ส่งผลให้สัญญาณเอาต์พุตของวงจรนับ ID ถูกเพิ่มขึ้น $1/2$ ของวัฏจักรทำงาน วงจรนับ ID ดังบล็อกโคอะแกรมดังรูปที่ 3.10 จะมีค่าอัตราขยายเท่ากับ $1/2$ วงจรหาร N จะมีค่าอัตราขยายเท่ากับ $1/N$ ดังนั้นค่าทรานเฟอร์ฟังก์ชันของเฟสล็อกแบบดิจิทัลทั้งหมดก็คือ

$$H(s) = \frac{\omega_o}{s + \omega_o} \quad (3.6)$$

เมื่อ ω_o กำหนดได้โดย

$$\omega_o = \frac{K_d \pi M f_o}{KN} \quad (3.7)$$

ดังนั้นเฟสล็อกแบบดิจิทัลทั้งหมดอันดับ 1 จะมีค่าคงตัวทางเวลาคือ

$$\tau = \frac{1}{\omega_o} = \frac{KN}{K_d \pi M f_o} \quad (3.8)$$

โดยที่ตัวคักจับเฟสแบบเอ็กซ์คลูซีฟออร์ จะมีค่าคงตัวทางเวลาสำหรับเฟสล็อกแบบดิจิทัลทั้งหมดคือ

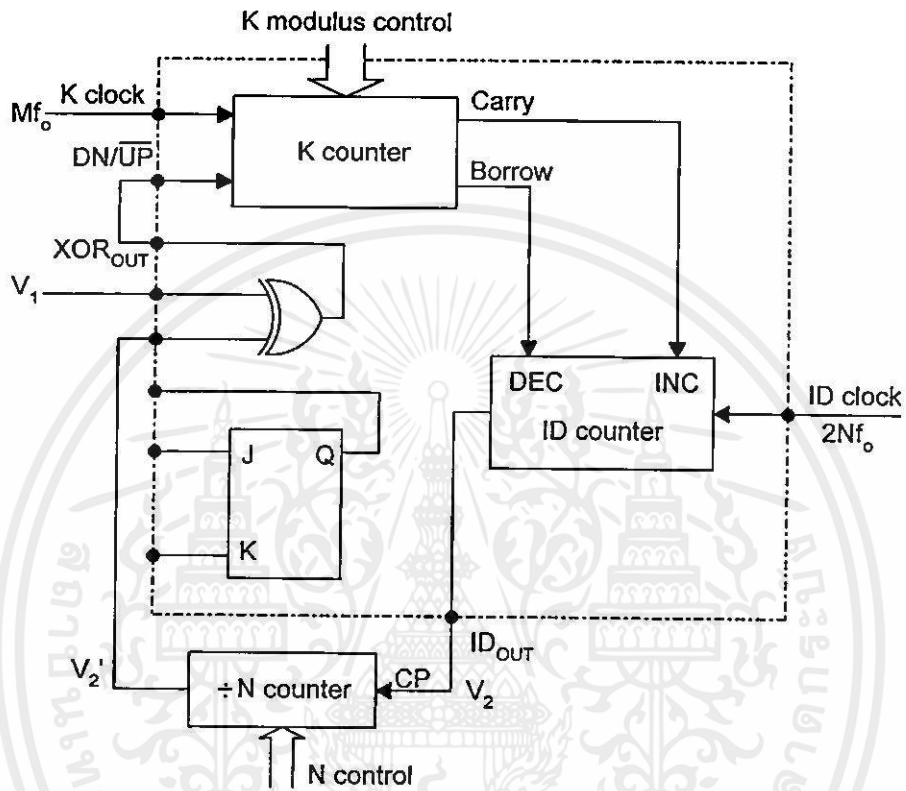
$$\tau(EXOR) = \frac{KN}{2Mf_o} \quad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรำใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า และตัวคักจับเฟสแบบ JK ฟลิปฟลอปคือ

$$\tau(JK) = \frac{KN}{Mf_o} \quad (3.10)$$

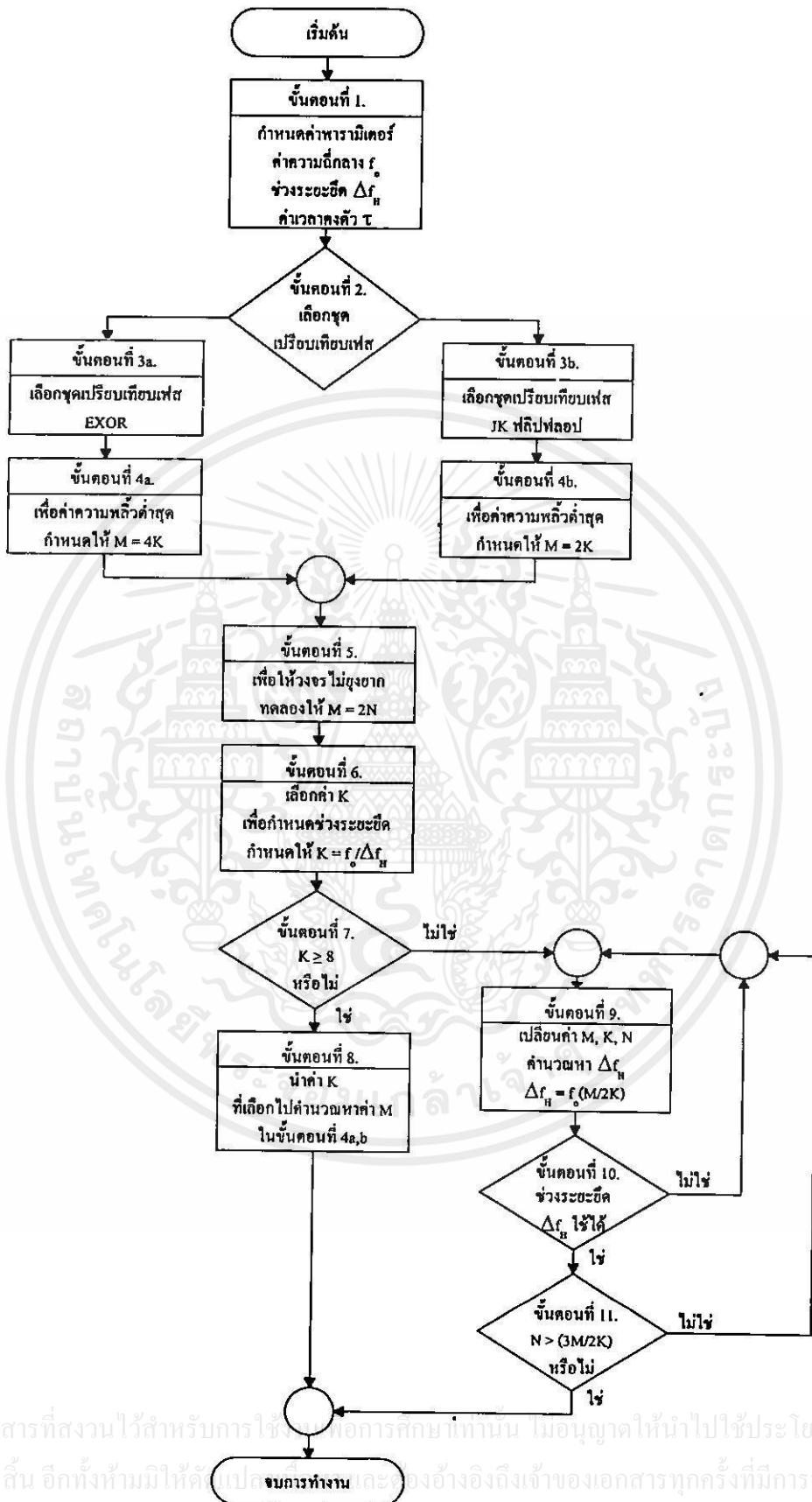
3.5 การออกแบบเฟสล็อคลูปแบบดิจิทัลทั้งหมด

การออกแบบเฟสล็อคลูปแบบดิจิทัลทั้งหมดจะมีความง่ายกว่าการออกแบบเฟสล็อคลูปแบบดิจิทัลเพราะมีเพียงค่าพารามิเตอร์ M , K และ N ดังรูปที่ 3.11



รูปที่ 3.11 แสดงเฟสล็อคลูปแบบดิจิทัลทั้งหมด

ค่า K เป็นเลขจำนวนเต็มของเลขยกกำลังของ 2 โดยสามารถกำหนดให้อยู่ในช่วง 2^3 ถึง 2^{17} สำหรับวงจรนับหาร N ค่า N จะเป็นเลขจำนวนเต็มของเลขยกกำลังของ 2 เช่นกัน และโดยทั่วไปจะใช้แหล่งกำเนิดสัญญาณสำหรับสัญญาณนาฬิกา K และสัญญาณนาฬิกา ID ร่วมกันดังนั้นจึงกำหนดให้ $M = 2N$ ซึ่งจะเห็นได้ว่าเฟสล็อคลูปแบบดิจิทัลทั้งหมดจะมีค่าพารามิเตอร์เป็นเลขจำนวนเต็มของเลขยกกำลังของ 2 ค่าจำนวนเต็มของ M , K และ N ที่มีผลให้ความพลัวของสัญญาณต่ำจะต้องเลือกให้ M มีค่าเท่ากับ $4K$ เมื่อใช้ตัวคักจับเฟสแบบเอ็กซ์คลูซีฟออร์ และให้ M มีค่าเท่ากับ $2K$ เมื่อใช้ตัวคักจับเฟสแบบ JK ฟลิปฟลอป การกำหนดอัตราส่วนของ M/K ทำได้ด้วยการเลือกค่า N เท่านั้น โดยที่ค่า N จะต้องมีค่าไม่น้อยกว่า $3M/2K$ [2] ซึ่งจากข้อมูลพื้นฐานดังกล่าวสามารถที่จะแสดงเป็นขั้นตอนการออกแบบเฟสล็อคลูปแบบดิจิทัลทั้งหมดดังรูปที่ 3.12



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ของนักศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตีพิมพ์และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.12 แสดงขั้นตอนการออกแบบเฟสลิคัลูปแบบดิจิทัลทั้งหมด

บทที่ 4

การสังเคราะห์ความถี่

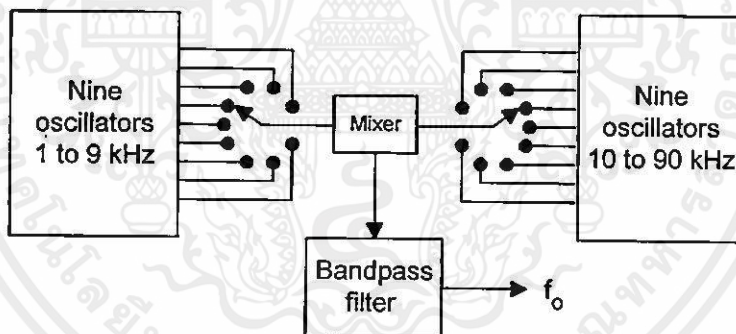
การสังเคราะห์ความถี่คือการผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนด โดยช่วงความถี่ที่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน และมีความละเอียดของความถี่ที่เปลี่ยนได้ที่ละขั้น

4.1 วิธีการสังเคราะห์ความถี่

วิธีการสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ การสังเคราะห์ความถี่โดยตรงกับการสังเคราะห์ความถี่โดยอ้อม

4.1.1 การสังเคราะห์ความถี่โดยตรง

การสังเคราะห์ความถี่วิธีนี้เป็นวิธีเก่าในการสังเคราะห์ความถี่ โดยการสังเคราะห์ความถี่ขึ้นมาจากความถี่อ้างอิง 1 ชุดหรือมากกว่าดังรูปที่ 4.1



รูปที่ 4.1 แสดงการสังเคราะห์ความถี่โดยตรง

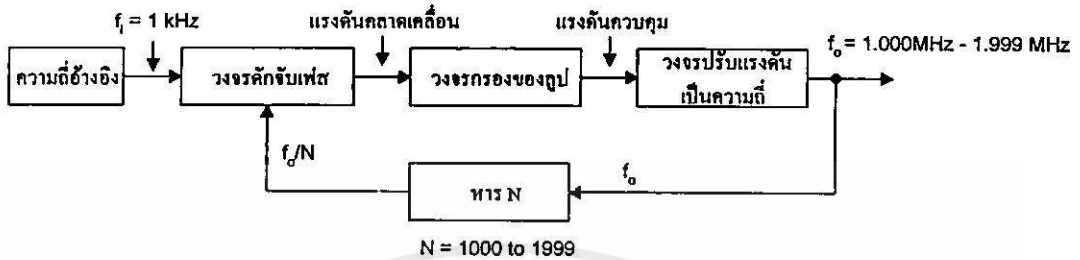
จากรูปที่ 4.1 เป็นการสังเคราะห์ความถี่ 99 ค่า จากวงจรกำเนิดสัญญาณ 18 ชุด โดยสวิทช์เลือกชุดแรกเป็นการเลือกความถี่ 9 ค่า ซึ่งมีช่วงความถี่คือ 1 kHz ถึง 9 kHz มีค่าความถี่ต่อขั้นเท่ากับ 1 kHz และสวิทช์เลือกชุดที่ 2. เป็นการเลือกความถี่ 9 ค่า ซึ่งมีช่วงความถี่คือ 10 kHz ถึง 90 kHz มีค่าความถี่ต่อขั้นเท่ากับ 10 kHz ค่าความถี่ทั้งสองนี้จะรวมกันที่ชุดผสมความถี่ ส่งผ่านค่าความถี่มายังวงจรกรองความถี่เฉพาะย่านผ่าน ซึ่งจะเลือกค่าความถี่สูงสุดจากการรวมค่าของความถี่อ้างอิงทั้งสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใด 4.1.2 การสังเคราะห์ความถี่โดยอ้อม และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเคราะห์ความถี่วิธีนี้เป็นการนำหลักการของเฟสล็อกคัลปมาใช้ โดยอาศัยการกำเนิดความถี่จากวงจรปรับแรงดันเป็นความถี่ ซึ่งควบคุมความถี่ได้โดยการปรับแรงดัน และควมถี่ที่

วงจรปรับแรงดันเป็นความถี่จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิง แล้วนำผลลัพธ์ที่ได้ซึ่งคือความถี่คลาดเคลื่อนมาแปลงเป็นแรงดันไปควบคุมการกำเนิดความถี่ของวงจรปรับแรงดันเป็นความถี่อีกครั้งหนึ่งดังรูปที่ 4.2



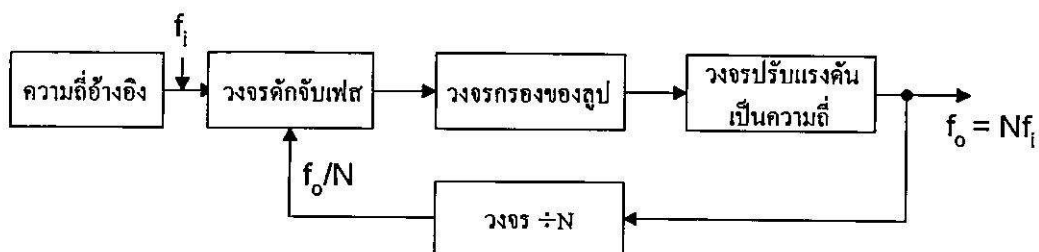
รูปที่ 4.2 แสดงการสังเคราะห์ความถี่โดยอ้อม

จากรูปที่ 4.2 เป็นการสังเคราะห์ความถี่โดยอ้อม ซึ่งใช้หลักการของเฟสล็อกคัลคูล ซึ่งประกอบไปด้วย 5 ส่วนคือ ส่วนวงจรปรับแรงดันเป็นความถี่ เป็นตัวกำเนิดความถี่เอาท์พุทของระบบสังเคราะห์ความถี่ ส่วนหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ ส่วนกำเนิดความถี่อ้างอิง ส่วนคักจับเฟส และส่วนวงจรกรองของรูป โดยที่สัญญาณอินพุทจากส่วนคักจับเฟสมาจาก 2 แหล่งคือ จากวงจรปรับแรงดันเป็นความถี่มีความถี่เท่ากับ f_o/N และจากส่วนกำเนิดความถี่อ้างอิงซึ่งมีความถี่เท่ากับ f_i เอาท์พุทจากการคักจับเฟสก็คือผลต่างระหว่างความถี่ f_o/N กับ f_i ส่งต่อไปยังส่วนวงจรกรองของรูป ซึ่งจะกรองเอาเฉพาะความถี่ที่ต้องการไปใช้งานโดยอยู่ในรูปของแรงดัน เพื่อไปควบคุมการกำเนิดความถี่ของวงจรปรับแรงดันเป็นความถี่ ให้ทำการปรับแก้ความถี่หรือเฟสให้ตรง ซึ่งจะปรับแก้ไปจนกว่าความถี่ของสัญญาณทั้งสองจะมีค่าเท่ากัน โดยในสภาวะล็อก ความถี่ของวงจรปรับแรงดันเป็นความถี่เมื่อผ่านวงจรหาร N จะมีค่าเท่ากับความถี่อ้างอิงนั่นคือ f_o เท่ากับ Nf_i หรือกล่าวอีกนัยหนึ่งว่า ความถี่เอาท์พุทจะมีค่าเป็น N เท่าของความถี่อ้างอิง ตัวอย่างเช่น $f_i = 1$ kHz เมื่อ $N = 1000$ จะได้ $f_o = 1$ MHz ถ้าเพิ่มค่า N ครั้งละ 1 เป็น 1001, 1002, 1003, ... ตามลำดับ ค่า f_o จะเพิ่มทีละ 1 kHz เป็น 1.001 MHz, 1.002 MHz, 1.003 MHz, ... ตามลำดับ ซึ่งจะเห็นได้ว่าเฟสล็อกคัลคูลดังกล่าวสามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจรปรับแรงดันเป็นความถี่ และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหารซึ่งก็คือค่า N จะต้องเป็นเลขจำนวนเต็มเสมอ

4.2 รูปแบบการสังเคราะห์ความถี่ด้วยเฟสล็อกคัลคูลแบบดิจิทัล

4.2.1 การสังเคราะห์ความถี่ด้วยเฟสล็อกคัลคูลแบบดิจิทัล แบบโดยตรง

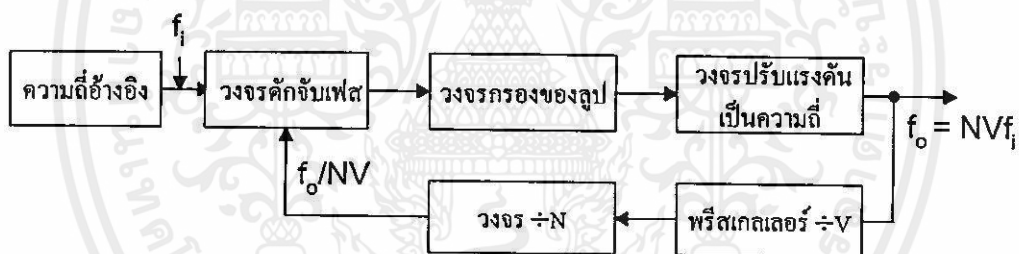
รูปแบบการสังเคราะห์ความถี่แบบนี้ เป็นแบบที่ง่ายดังรูปที่ 4.3 ความถี่เอาท์พุทจะมีค่าเป็น N เท่าของความถี่อ้างอิง โดยที่วงจรปรับแรงดันเป็นความถี่ต้องสามารถทำงานได้ตลอดย่านความถี่เอาท์พุท



รูปที่ 4.3 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูบแบบดิจิทัล แบบ โดยตรง

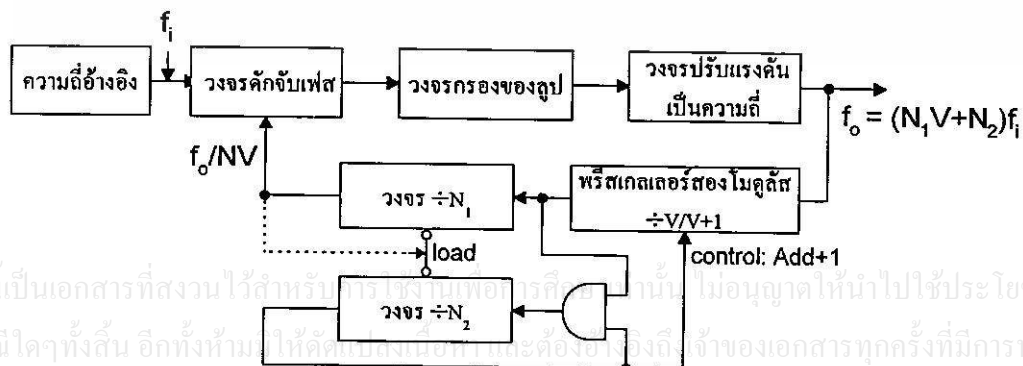
4.2.2 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูบแบบดิจิทัล แบบพรีสเกลเลอร์ (Prescaler)

การสังเคราะห์ความถี่ด้วยรูปแบบนี้จะเพิ่มวงจรหาร V เข้าไปในลูบดังรูปที่ 4.4 โดยที่วงจรหาร V จะเป็นวงจรที่กำหนดค่าตายตัวต่างจากวงจรหาร N ซึ่งสามารถเปลี่ยนแปลงค่าตัวหารได้ และค่าตัวประกอบสเกล V (Scaling factor V) ของวงจรพรีสเกลเลอร์ส่วนใหญ่จะมีค่ามากกว่า 1 ดังนั้นจะเห็นได้ว่า จะไม่สามารถสังเคราะห์ความถี่ที่เป็นจำนวนเต็มเท่าของความถี่ได้ทุก ๆ ความถี่ เช่นถ้าตัวประกอบสเกล V มีค่าเท่ากับ 10 ความถี่เอาต์พุตที่ได้จะมีค่าเป็น $10f_i, 20f_i, 30f_i, \dots$ ที่ถูกสังเคราะห์ขึ้นได้ ซึ่งข้อเสียนี้อาจแก้ไขได้โดยการใช้พรีสเกลเลอร์สองโมดูลัส



รูปที่ 4.4 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูบแบบดิจิทัล แบบพรีสเกลเลอร์

4.3 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูบแบบดิจิทัล แบบพรีสเกลเลอร์สองโมดูลัส (Dual-modulus prescaler)



รูปที่ 4.5 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูบแบบดิจิทัล แบบพรีสเกลเลอร์สอง โมดูลัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามให้คัดลอกเผยแพร่และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเคราะห์ความถี่แบบนี้จะมีความถี่เหมือนเดียวกับหัวข้อ 2.2 เว้นแต่วงจรพรีสเกลเลอร์นี้มิใช่เป็นวงจรมีค่าตัวประกอบสเกลเปลี่ยนค่าได้ระหว่าง V กับ $(V+1)$ ซึ่งพรีสเกลเลอร์แบบนี้จะเรียกว่าพรีสเกลเลอร์สองโมดูลัส (เลือกตัวประกอบสเกล V ก็ได้หรือจะเลือก $(V+1)$ ก็ได้โดยใช้สัญญาณควบคุมจากภายนอก) ดังรูปที่ 4.5 ถ้าพรีสเกลเลอร์สามารถมีค่าเปลี่ยนแปลงได้ระหว่าง 10 กับ 11 ค่าตัวประกอบสเกลเป็น 11 ได้ก็เมื่อสัญญาณควบคุมที่ใช้มีสถานะสูง หรือค่าตัวประกอบสเกลเป็น 10 เมื่อสัญญาณควบคุมมีสถานะต่ำ แสดงให้เห็นว่าวงจรพรีสเกลเลอร์สองโมดูลัส สามารถให้สัญญาณความถี่เอาต์พุตซึ่งมีช่วงห่างของความถี่เพียง f_1 ได้ เมื่อเป็นไปตามเงื่อนไข

- วงจรหาร N_1 และวงจรหาร N_2 เป็นวงจรมีค่าลง (Down counters)
- สัญญาณเอาต์พุตของวงจรมีค่าขึ้นทั้งสองตัวนี้จะมีสถานะสูง ถ้าวงจรมีค่าอื่นที่เกี่ยวข้องยังไม่นับลงถึงศูนย์
- เมื่อวงจรหาร N_1 นับลงถึงศูนย์แล้ว เอาต์พุตของวงจรหาร N_1 จะมีสถานะต่ำ ซึ่งจะทำให้มีการโหลดค่าเริ่มต้นให้กับวงจรมีค่าขึ้นทั้งสองตัวคือวงจรหาร N_1 และ N_2 ตามลำดับ
- ค่า N_1 จะต้องมากกว่า หรือเท่ากับค่า N_2 เสมอ
- AND เกท จะแสดงให้เห็นว่าถ้าวงจร N_2 นับลงถึงศูนย์ สัญญาณพัลส์ในการนับต่อไปจะถูกยับยั้ง

และการสังเคราะห์ความถี่แบบนี้สามารถอธิบายได้มากขึ้น ถ้าเราสมมติให้วงจรหาร N_1 เพิ่งจะนับลงถึงศูนย์ และวงจรมีค่าขึ้นทั้งสองถูกโหลดค่าเริ่มต้นของวงจรมีค่าขึ้นทั้งสองคือ N_1 และ N_2 ตามลำดับ ต่อไปต้องหาจำนวนรอบที่ วงจรปรับแรงดันเป็นความถี่ต้องผลิตจนกว่าจะเข้าสู่สถานะเดิมอีกครั้ง ค่านี้คือค่าของตัวประกอบสเกลทั้งหมดนั่นเอง คราวใดที่วงจรหาร N_2 ยังนับลงไม่ถึงศูนย์ วงจรพรีสเกลเลอร์จะหารด้วย $(V+1)$ ดังนั้นทั้งวงจรหาร N_1 และ N_2 จะนับลดเหลือลง 1 ค่า เมื่อวงจรปรับแรงดันเป็นความถี่กำเนิดพัลส์ $(V+1)$ พัลส์ ดังนั้นวงจรหาร N_2 จะนับลงถึงศูนย์ เมื่อวงจรปรับแรงดันเป็นความถี่กำเนิดพัลส์ $N_2(V+1)$ พัลส์ ซึ่งในเวลาเดียวกันนั้น วงจรหาร N_1 ก็จะนับลดเหลือไปเป็นค่า N_2 ครั้งแล้ว นั่นคือตอนนี้จะเหลือค่าที่จะต้องนับอีก N_1-N_2 ค่า จึงจะนับลงถึงศูนย์ เมื่อถึงตอนนี้ค่าตัวประกอบสเกลของวงจรพรีสเกลเลอร์สองโมดูลัสจะเปลี่ยนเป็น V ดังนั้นวงจรปรับแรงดันเป็นความถี่จะต้องกำเนิดพัลส์อีก $(N_1-N_2)V$ พัลส์ วงจรหาร N_1 จึงจะนับลงถึงศูนย์

เมื่อค่า N_1 เป็นศูนย์ ทั้งวงจรหาร N_1 และ N_2 จะถูกโหลดค่าเริ่มต้นอีกครั้งหนึ่งและจะดำเนินตามกระบวนการเดิมซ้ำอีก จำนวนพัลส์ทั้งหมดที่วงจรปรับแรงดันเป็นความถี่ผลิตใน 1 รอบการทำงานคือ

$$N_{\text{tot}} = N_2(V+1) + (N_1 - N_2)V \quad (4.1)$$

ซึ่งก็คือ

$$N_{\text{tot}} = N_1V + N_2 \quad (4.2)$$

จากที่กล่าวมาข้างต้นค่า N_1 จะต้องมากกว่าหรือเท่ากับค่า N_2 เสมอ ถ้าไม่เป็นเช่นนั้นวงจร N_1 จะนับลงถึงศูนย์ก่อนวงจร N_2 และวงจรนับทั้งสองจะไหลค้ำเริ่มต้นของวงจรถับทั้งสองเข้าไปอีกครั้ง วงจรพริสเคลเลอร์สองโมดูลัสก็จะไม่เปลี่ยนค่าจาก $(V+1)$ ไปเป็น V ได้ ดังนั้นระบบก็จะไม่ทำงานเป็นไปตามที่เราต้องการ ถ้ากำหนดให้ V เท่ากับ 10 สมการ(4.1) จะมีค่าดังสมการ (4.3)

$$N_{\text{tot}} = 10N_1 + N_2 \quad (4.3)$$

จากสมการ(4.3) N_2 จะเป็นหลักหน่วยและ N_1 จะเป็นหลักสิบของอัตราส่วนตัวหารทั้งหมด N_{tot} เมื่อค่าของ N_2 ต้องอยู่ในช่วง 0-9 และ N_1 จะสมมติให้มีค่ามากกว่าหรือเท่ากับ 9 นั่นคือ N_{Imin} เท่ากับ 9 ดังนั้นค่าอัตราส่วนตัวหารที่น้อยที่สุดจะมีค่าดังสมการ (4.4)

$$N_{\text{tot min}} = N_{\text{Imin}} V = 9 \times 10 = 90 \quad (4.4)$$

วงจรสังเคราะห์ความถี่ดังรูปที่ 4.5 จึงสามารถที่จะสังเคราะห์ความถี่ที่มีความถี่เป็นจำนวนเต็มเท่าของความถี่อ้างอิง f_i เริ่มจาก N_{tot} เท่ากับ 90 เราสามารถเลือกค่า V ค่าอื่น ๆ ได้ เช่นถ้า V มีค่าเท่ากับ 16 วงจรพริสเคลเลอร์สองโมดูลัส ก็จะหารด้วย 16 หรือ 17 ค่าอัตราส่วนตัวหารทั้งหมดจะมีค่าดังสมการ (4.5)

$$N_{\text{tot}} = 16N_1 + N_2 \quad (4.5)$$

ตอนนี้ N_2 จะต้องอยู่ในช่วง 0-15 และค่า N_1 ค่าสุดจะมีค่าเป็น $N_{\text{Imin}} = 5$ ในกรณีนี้ค่าอัตราส่วนตัวหารต่ำสุด $N_{\text{tot min}}$ จะมีค่าเท่ากับ 240 สมมติว่า V มีค่าเท่ากับ 10 อีกครั้ง และค่าความถี่อ้างอิงเท่ากับ 10 kHz ค่าความถี่เอาต์พุตต่ำสุดจะเป็น $90f_i$ ซึ่งมีค่าเท่ากับ 900 kHz แต่ถ้า V มีค่าเท่ากับ 100 โดยค่า

ความถี่อ้างอิงยังคงเดิมคือ 10 kHz จะได้ N_{tot} มีค่าดังสมการ (4.6)

$$N_{\text{tot}} = 100N_1 + N_2 \quad (4.6)$$

N_2 จะอยู่ในช่วง 0-99 และ N_1 จะต้องมีค่าน้อยที่สุดเป็น 99 แสดงให้เห็นว่าขณะนี้ค่าอัตราส่วนตัวหารต่ำสุด $N_{\text{tot min}}$ ไม่ใช่มีค่าเพียง 90 แต่จะเพิ่มขึ้นเป็น

$$N_{\text{tot min}} = 100N_{1\text{min}} = 100 \times 99 = 9900 \quad (4.7)$$

ดังนั้นถ้าความถี่อ้างอิง f_i ยังคงมีค่าเป็น 10 kHz ค่าความถี่ต่ำสุดที่วงจรสังเคราะห์ความถี่จะสังเคราะห์ได้คือ 99 MHz

4.3 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล

4.3.1 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัลที่กำหนดความถี่ได้ในช่วง 1 MHz ถึง 2 MHz

จากหลักการการออกแบบเฟสล็อกคูลูปแบบดิจิทัลในบทที่ 2 และรูปแบบการสังเคราะห์ความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัลดังหัวข้อที่ 4.2 สามารถออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบโดยตรงที่กำหนดความถี่ได้ในช่วง 1 MHz ถึง 2 MHz โดยมีระยะห่างของช่องความถี่เท่ากับ 10 kHz ดังรูปที่ 4.6 โดยใช้ตัวคักจับเฟสแบบเฟส-ความถี่ และวงจรกรองของรูปเป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟซึ่งการออกแบบสามารถแสดงได้ดังนี้

- กำหนดความถี่อินพุต $f_i = 10 \text{ kHz}$
- กำหนดความถี่เอาต์พุต $f_o = 1 \text{ MHz}$ ถึง $2 \text{ MHz} \rightarrow f_{\text{omin}} = 1 \text{ MHz}$ และ $f_{\text{omax}} = 2 \text{ MHz}$
- ระยะห่างระหว่างช่องความถี่มีค่าเท่ากับ 10 kHz
- ตัวหาร N มีค่าเท่ากับ 100 ถึง 200 $\rightarrow N_{\text{min}} = 100$ และ $N_{\text{max}} = 200$
- ตัวหาร N เฉลี่ย $N_{\text{mean}} = \sqrt{N_{\text{min}} \times N_{\text{max}}} = 141$
- กำหนดตัวประกอบกรหน่วง ζ มีค่าเท่ากับ 0.7 [2]

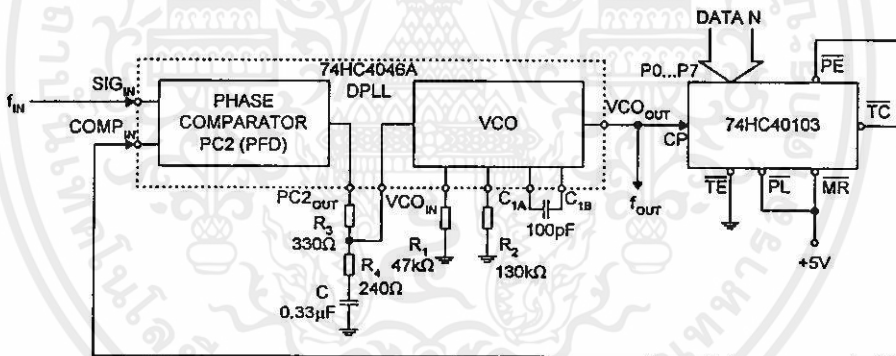
- คำนวณค่า ζ_{min} และ ζ_{max} จาก $\frac{\zeta_{\text{max}}}{\zeta_{\text{min}}} = \sqrt{\frac{N_{\text{max}}}{N_{\text{min}}}}$ และ $\sqrt{\zeta_{\text{max}} \times \zeta_{\text{min}}} = \zeta_{\text{mean}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น

- ค่าตัวประกอบกรหน่วง ζ_{min} ที่คำนวณได้เท่ากับ 0.59 ที่ค่าตัวหาร $N = 200$ ที่การนำไปใช้

- ค่าตัวประกอบกรหน่วง ζ_{max} ที่คำนวณได้เท่ากับ 0.83 ที่ค่าตัวหาร $N = 100$

- เมื่อใช้ตัวคักจับเฟสแบบเฟส-ความถี่ ค่าเกณฑ์ K_d มีค่าเท่ากับ $V_B/4\pi = 0.4 \text{ V/rad}$
- เมื่อใช้ VCO ของ 74HC4046 ซึ่งมีค่า V_{VCOIN} อยู่ในช่วง 0.1 V ถึง 2.5 V
- ค่าเกณฑ์ K_o มีค่าเท่ากับ $\frac{2\text{MHz} - 1\text{MHz}}{2.5\text{V} - 0.1\text{V}} \times 2\pi = 2.6 \times 10^6 \text{ rad/S/V}$
- เมื่อใช้วงจรกรองของลูปเป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ
- กำหนดให้วงจรเข้าสู่สภาวะถาวรในเวลา $T_L = 1 \text{ ms}$
- ค่าความถี่ธรรมชาติ ω_n มีค่าเท่ากับ $2\pi/T_L \approx 6300 \text{ S}^{-1}$
- กำหนดค่าเวลาคงตัว τ_1 และ τ_2 จาก $\omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1 + \tau_2)}}$ และ $\zeta = \omega_n(\tau_2 + \frac{N}{K_o K_d})$
- ค่าเวลาคงตัว τ_1 ที่คำนวณได้ $\approx 100 \mu\text{s}$
- ค่าเวลาคงตัว τ_2 ที่คำนวณได้ $\approx 86 \mu\text{s}$
- เมื่อทราบค่าเวลาคงตัว τ_1 และ τ_2 คำนวณค่า C , R_3 และ R_4
- ค่า C , R_3 และ R_4 ที่คำนวณได้ $C \approx 0.33 \mu\text{F}$, $R_3 \approx 330 \Omega$ และ $R_4 \approx 240 \Omega$



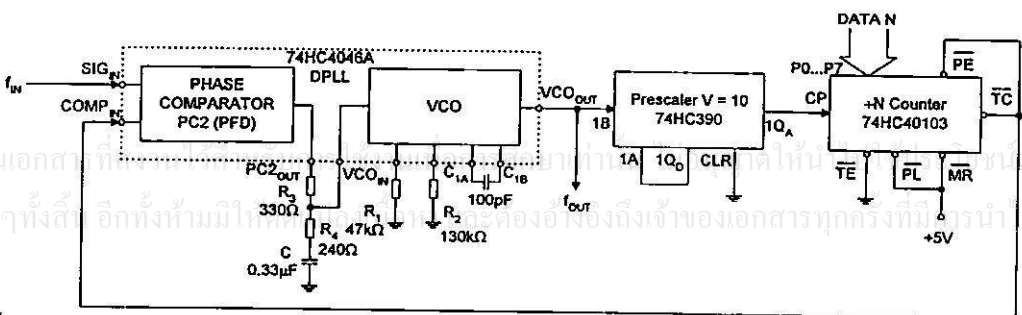
รูปที่ 4.6 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบ โดยตรง

4.3.2 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัลที่กำเนิดความถี่ได้ในช่วง 5 MHz ถึง 10 MHz แบบที่ 1.

จากหลักการการออกแบบเฟสล็อกแบบดิจิทัลในบทที่ 2 และรูปแบบการสังเคราะห์ความถี่ ด้วยเฟสล็อกแบบดิจิทัลดังหัวข้อที่ 4.2 สามารถออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพรีสเกลเลอร์ ที่กำเนิดความถี่ได้ในช่วง 5 MHz ถึง 10 MHz โดยมีระยะห่างของช่องความถี่เท่ากับ 100 kHz ดังรูปที่ 4.7 โดยใช้ตัวคักจับเฟสแบบเฟส-ความถี่ , วงจรกรองของลูปเป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ และพรีสเกลเลอร์มีค่าเท่ากับ 10 ซึ่งการออกแบบสามารถแสดงได้ดังนี้

- กำหนดความถี่อินพุต $f_i = 10 \text{ kHz}$

- กำหนดความถี่เอาต์พุต $f_o = 5 \text{ MHz}$ ถึง $10 \text{ MHz} \rightarrow f_{\text{omin}} = 5 \text{ MHz}$ และ $f_{\text{omax}} = 10 \text{ MHz}$
- ระยะห่างระหว่างช่องความถี่มีค่าเท่ากับ 100 kHz และใช้พรีสเกลเลอร์ $V = 10$
- ตัวหาร N มีค่าเท่ากับ 50 ถึง 100
- ตัวหารรวม N_T จึงมีค่าเท่ากับ $V \times N \rightarrow N_{T\text{min}} = 500$ และ $N_{T\text{max}} = 1000$
- ตัวหารรวม N_T เฉลี่ย $N_{T\text{mean}} = \sqrt{N_{T\text{min}} \times N_{T\text{max}}} = 707$
- กำหนดตัวประกอบการหน่วง ζ มีค่าเท่ากับ 0.7 [2]
- คำนวณค่า ζ_{min} และ ζ_{max} จาก $\frac{\zeta_{\text{max}}}{\zeta_{\text{min}}} = \sqrt{\frac{N_{T\text{max}}}{N_{T\text{min}}}}$ และ $\sqrt{\zeta_{\text{max}} \times \zeta_{\text{min}}} = \zeta_{\text{mean}}$
- ค่าตัวประกอบการหน่วง ζ_{min} ที่คำนวณได้เท่ากับ 0.59 ที่ค่าตัวหาร $N = 1000$
- ค่าตัวประกอบการหน่วง ζ_{max} ที่คำนวณได้เท่ากับ 0.83 ที่ค่าตัวหาร $N = 500$
- เมื่อใช้ตัวคักจับเฟสแบบเฟส-ความถี่ ค่าเกณฑ์ K_d มีค่าเท่ากับ $V_B/4\pi = 0.4 \text{ V/rad}$
- เมื่อใช้ VCO ของ 74HC4046 ซึ่งมีค่า V_{VCON} อยู่ในช่วง 0.1 V ถึง 2.5 V
- ค่าเกณฑ์ K_o มีค่าเท่ากับ $\frac{10\text{MHz} - 5\text{MHz}}{2.5\text{V} - 0.1\text{V}} \times 2\pi = 13 \times 10^6 \text{ rad/S/V}$
- เมื่อใช้วงจรกรองของรูปเป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ
- กำหนดให้วงจรเข้าสู่สภาวะลือกในระยะเวลา $T_L = 1 \text{ ms}$
- ค่าความถี่ธรรมชาติ ω_n มีค่าเท่ากับ $2\pi/T_L \approx 6300 \text{ S}^{-1}$
- คำนวณค่าเวลาคงตัว τ_1 และ τ_2 จาก $\omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1 + \tau_2)}}$ และ $\zeta = \omega_n(\tau_2 + \frac{N}{K_o K_d})$
- ค่าเวลาคงตัว τ_1 ที่คำนวณได้ $\approx 98 \mu\text{s}$
- ค่าเวลาคงตัว τ_2 ที่คำนวณได้ $\approx 87 \mu\text{s}$
- เมื่อทราบค่าเวลาคงตัว τ_1 และ τ_2 คำนวณค่า C, R_3 และ R_4
- ค่า C, R_3 และ R_4 ที่คำนวณได้ $C \approx 0.33 \mu\text{F}, R_3 \approx 300 \Omega$ และ $R_4 \approx 270 \Omega$



รูปที่ 4.7 แสดงวงจรสังเคราะห์ ความถี่ด้วยเฟสล็อกแบบคิซัลด์แบบพรีสเกลเลอร์

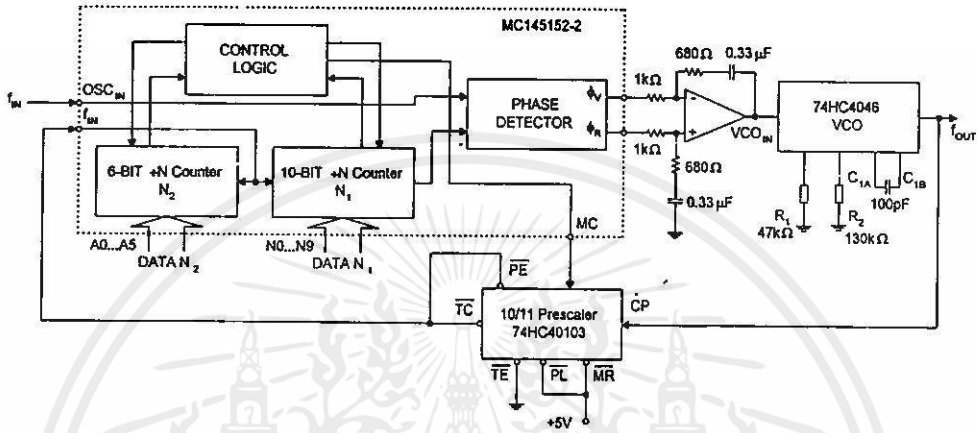
4.3.3 การออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัลที่กำเนิดความถี่ได้ใน ช่วง 5 MHz ถึง 10 MHz แบบที่ 2.

จากหลักการการออกแบบเฟสล็อกคูลูปแบบดิจิทัลในบทที่ 2 และรูปแบบการสังเคราะห์ ความถี่ ด้วยเฟสล็อกคูลูปแบบดิจิทัลคั้งหัวข้อที่ 4.2 สามารถออกแบบวงจรสังเคราะห์ความถี่ด้วย เฟสล็อกคูลูปแบบดิจิทัล แบบพริสเกลเลอร์สองโมดูลัส ที่กำเนิดความถี่ได้ในช่วง 5 MHz ถึง 10 MHz โดยมีระยะห่างของช่องความถี่เท่ากับ 10 kHz ดังรูปที่ 4.8 โดยใช้ตัวคักจับเฟสแบบกระตุ้น โดยขบสัจญญาน วงจรกรองของรูปเป็นวงจรกรองสัจญญานความถี่ต่ำผ่านแบบแอกทิฟ และพริ สเกลเลอร์สอง โมดูลัส ซึ่งการออกแบบสามารถแสดงได้ดังนี้

- กำหนดความถี่อินพุต $f_i = 10 \text{ kHz}$
- กำหนดความถี่เอาท์พุต $f_o = 5 \text{ MHz}$ ถึง $10 \text{ MHz} \rightarrow f_{o\min} = 5 \text{ MHz}$ และ $f_{o\max} = 10 \text{ MHz}$
- ระยะห่างระหว่างช่องความถี่มีค่าเท่ากับ 100 kHz และใช้พริสเกลเลอร์ $V = 10$
- ตัวหารรวม N มีค่าเท่ากับ 500 ถึง 1000
- ตัวหารรวม N_T จะมีค่าเท่ากับ $V \times N_1 + N_2 \rightarrow N_{T\min} = 500$ และ $N_{T\max} = 1000$
- เมื่อใช้พริสเกลเลอร์สองโมดูลัส $V = 10 \rightarrow N_T = 10N_1 + N_2 ; N_1 \geq N_2$
- ค่าตัวหาร N_2 มีค่าระหว่าง 0 ถึง 9 โดยที่ค่าตัวหาร N_1 จะต้องมียค่ามากกว่า หรือเท่ากับ 9
- ตัวหารรวม N_T เฉลี่ย $N_{T\text{mean}} = \sqrt{N_{T\min} \times N_{T\max}} = 707$
- กำหนดตัวประกอบการหน่วง ζ มีค่าเท่ากับ 0.7 [2]
- คำนวณค่า ζ_{\min} และ ζ_{\max} จาก $\frac{\zeta_{\max}}{\zeta_{\min}} = \sqrt{\frac{N_{T\max}}{N_{T\min}}}$ และ $\sqrt{\zeta_{\max} \times \zeta_{\min}} = \zeta_{\text{mean}}$
- ค่าตัวประกอบการหน่วง ζ_{\min} ที่คำนวณได้เท่ากับ 0.59 ที่ค่าตัวหาร $N = 1000$
- ค่าตัวประกอบการหน่วง ζ_{\max} ที่คำนวณได้เท่ากับ 0.83 ที่ค่าตัวหาร $N = 500$
- เมื่อใช้ตัวคักจับเฟสแบบเฟส-ความถี่ ค่าเกณฑ์ K_d มีค่าเท่ากับ $V_B/2\pi = 0.8 \text{ V/rad}$
- เมื่อใช้ VCO ของ 74HC4046 ซึ่งมีค่า V_{VCOIN} อยู่ในช่วง 0.1 V ถึง 2.5 V
- ค่าเกณฑ์ K_o มีค่าเท่ากับ $\frac{10\text{MHz} - 5\text{MHz}}{2.5\text{V} - 0.1\text{V}} \times 2\pi = 13 \times 10^6 \text{ rad/S/V}$
- เมื่อใช้วงจรกรองของรูปเป็นวงจรกรองสัจญญานความถี่ต่ำผ่านแบบแอกทิฟ
- กำหนดให้วงจรเข้าสู่สภาวะลือกในระยะเวลา $T_L = 1 \text{ ms}$
- กำหนดค่าเวลาลงตัว τ_1 และ τ_2 จาก $\omega_n = \sqrt{\frac{K_o K_d}{N T_1}}$ และ $\zeta = \frac{\omega_n \tau_2}{2}$

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอนของนักศึกษาให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งนี้ค่าความถี่ธรรมชาติ ω_n มีค่าเท่ากับ $2\pi/T_L \approx 6300 \text{ S}^{-1}$ ของเอกสารทุกครั้งที่มีการนำไปใช้

- ค่าเวลาคงตัว τ_1 ที่คำนวณได้ $\approx 0.37 \text{ mS}$
- ค่าเวลาคงตัว τ_2 ที่คำนวณได้ $\approx 0.22 \text{ mS}$
- เมื่อทราบค่าเวลาคงตัว τ_1 และ τ_2 คำนวณค่า C, R_3 และ R_4
- ค่า C, R_3 และ R_4 ที่คำนวณได้ $C \approx 0.33 \mu\text{F}, R_3 \approx 1 \text{ k}\Omega$ และ $R_4 \approx 680 \Omega$



รูปที่ 4.8 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพริสเกลเลอร์สอง โมดูลัส

4.4 การประยุกต์ใช้งานด้วยเฟสล็อกแบบดิจิทัลทั้งหมด

4.4.1 การออกแบบวงจรเลือกขั้วสัญญาณนาฬิกาด้วยเฟสล็อกแบบดิจิทัลทั้งหมด ควบคุมค่าสัญญาณความถี่กลางด้วยไมโครคอนโทรลเลอร์

จากหลักการของเฟสล็อกแบบดิจิทัลทั้งหมดในบทที่ 3 สามารถนำเอาหลักการดังกล่าวมาออกแบบวงจรเลือกขั้วสัญญาณนาฬิกา โดยกำหนดเป็นขั้นตอนคือ

- กำหนดค่าความถี่กลาง f_0
- กำหนดค่า K ของวงจรมับ K โดยให้มีค่าอยู่ในช่วง $2^3 - 2^{17}$
- กำหนดค่าความถี่สัญญาณนาฬิกา K ที่ใช้ป้อนให้กับวงจรมับ K โดยคำนวณจากสมการ

(4.8)

$$K_{\text{clock}} = Mf_0 \tag{4.8}$$

โดยที่ $M = 4K$ เมื่อใช้ตัวดักจับเฟสแบบเฮกซ์ทรีฟออร์

$M = 2K$ เมื่อใช้ตัวดักจับเฟสแบบ JK ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น ผู้ใช้จำเป็นต้องแจ้งผู้ดูแลระบบเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กำหนดค่าช่วงฮีด Δf_H

- คำนวณหาค่า N สำหรับวงจรมับ N โดยคำนวณจากสมการ (4.9)

$$\Delta f_H = \frac{Mf_O}{2KN} \tag{4.9}$$

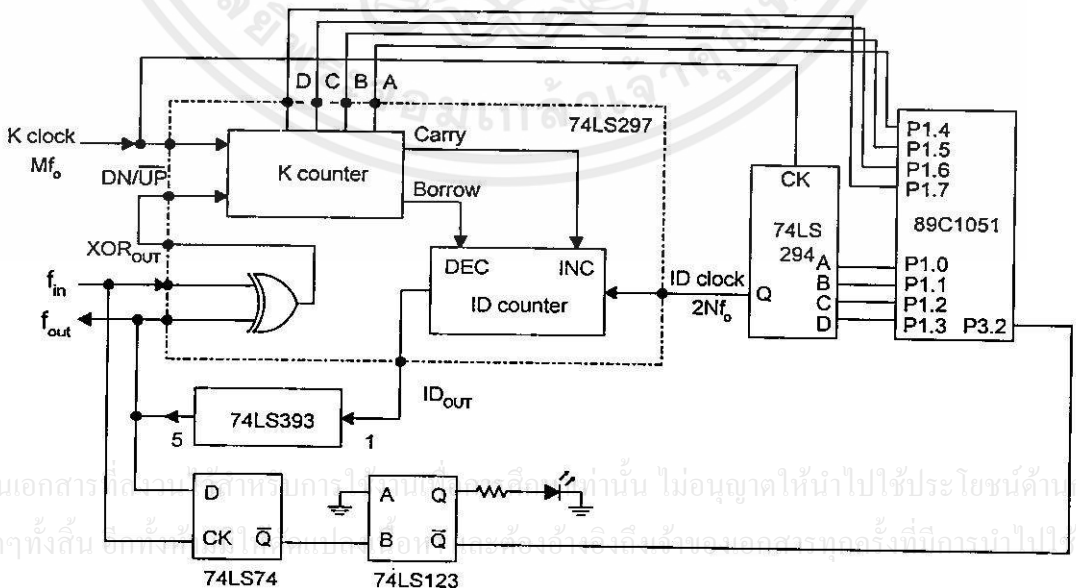
โดยที่ $\Delta f_H = \frac{2f_O}{N}$ เมื่อใช้ตัวคักจับเฟสแบบเอ็กกุลซีฟออร์

$\Delta f_H = \frac{f_O}{N}$ เมื่อใช้ตัวคักจับเฟสแบบ JK ฟลิปฟลอป

- กำหนดค่าความถี่สัญญาณนาฬิกา ID ที่ป้อนให้กับวงจรนับ ID โดยคำนวณจาก

$$Id_{clock} = 2Nf_O \tag{4.10}$$

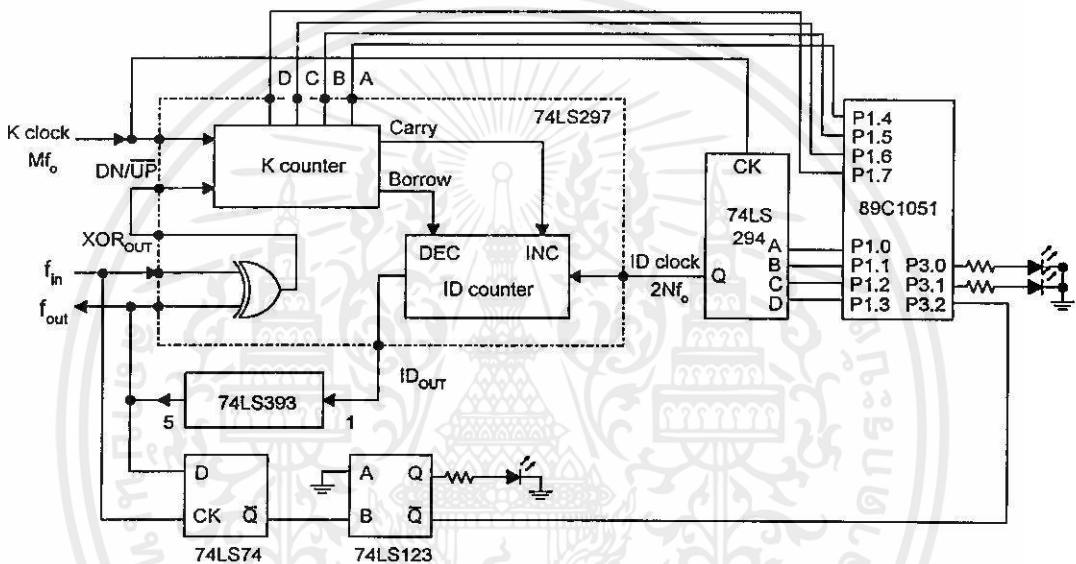
จากขั้นตอนการออกแบบข้างต้นจะเห็นได้ว่า ถ้ากำหนดให้ค่า N ของวงจรหาร N มีค่าคงที่ และกำหนดให้ค่าความถี่สัญญาณนาฬิกา K มีค่าคงที่เช่นกัน ก็จะสามารถเลื่อนค่าความถี่กลางของวงจรได้โดยง่าย โดยการเปลี่ยนค่า K ของวงจรนับ K และเปลี่ยนค่าความถี่ของสัญญาณนาฬิกา ID ซึ่งวงจรที่ได้ออกแบบกำหนดให้ค่าช่วงขีดเท่ากับ $\frac{f_O}{4}$ เมื่อ $N = 8$ และกำหนดให้สัญญาณนาฬิกา K มีค่าความถี่คงที่เท่ากับ 3.2 MHz โดยในช่วงเริ่มต้นการทำงานของวงจร จะเริ่มทำงานที่ค่าความถี่กลาง เท่ากับ 50 kHz กำหนดค่า K เริ่มต้นเท่ากับ 16 และค่า M จะเท่ากับ 64 ดังนั้นสัญญาณนาฬิกา ID จะมีค่าความถี่เท่ากับ $2Nf_O = 2 \times 8 \times 50 \text{ kHz} = 800 \text{ kHz}$ ซึ่งได้จากการนำค่าความถี่สัญญาณนาฬิกา K ไปผ่าน IC 74LS294 ซึ่งเป็นวงจรหาร ที่สามารถโปรแกรมค่าได้ตั้งแต่ $2^2 - 2^{15}$



รูปที่ 4.9 แสดงวงจรเลือกขั้วสัญญาณนาฬิกาด้วยเฟสล็อกูปแบบดิจิทัลทั้งหมด

4.4.2 การออกแบบวงจร FSK decoder 4 ระดับ ด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด ควบคุมค่าสัญญาณความถี่ด้วยไมโครคอนโทรลเลอร์

จากวงจรในหัวข้อที่ 4.4.1 สามารถดัดแปลงโปรแกรมควบคุมการทำงานให้กลายเป็นวงจร FSK decoder ที่กำหนดรหัสสัญญาณดิจิทัลหลายบิตแทนค่าความถี่ในช่วงในช่วงใด ๆ ที่วงจรสามารถล็อกได้ โดยวงจรที่ได้ออกแบบนั้นได้กำหนด ช่วงค่าความถี่หนึ่งที่สามารถล็อกได้แทนด้วยข้อมูล 2 บิต ใช้ช่วงความถี่ 4 ช่วง ซึ่งวงจรที่ได้ออกแบบแสดงดังรูปที่ 4.10



รูปที่ 4.10 แสดงวงจร FSK decoder 4 ระดับ ด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

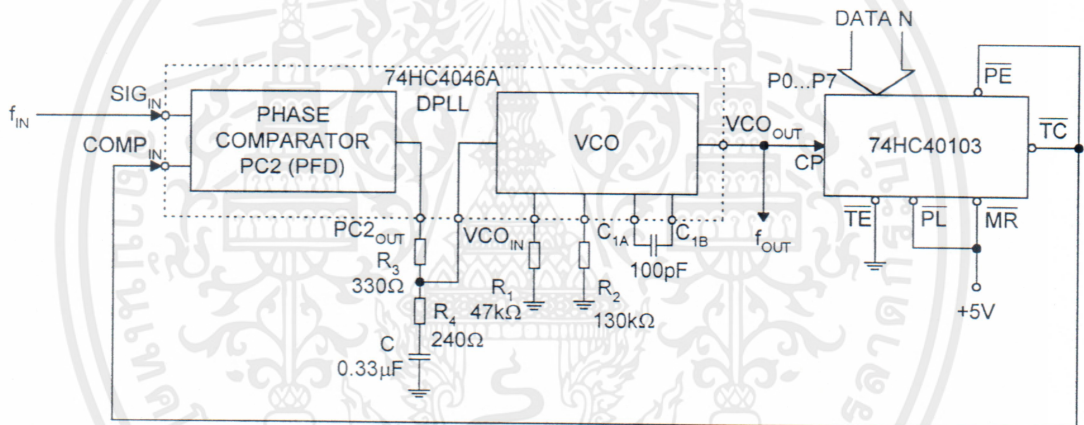
บทที่ 5

การทดลองและผลการทดลอง

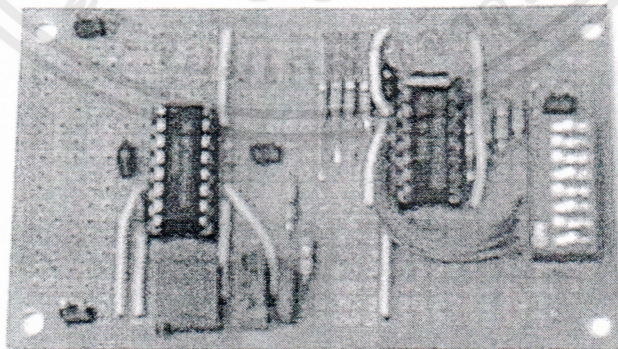
จากการออกแบบวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล และการออกแบบการประยุกต์ใช้งานในบทที่ 4 จะทำการศึกษาและเปรียบเทียบผลการทดลองที่ได้จากวงจรจริงและผลการทดลองจากโปรแกรมเลียนแบบการทำงาน MATLAB

5.1 วงจรที่ทำการทดลอง

5.1.1 วงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบโดยตรง



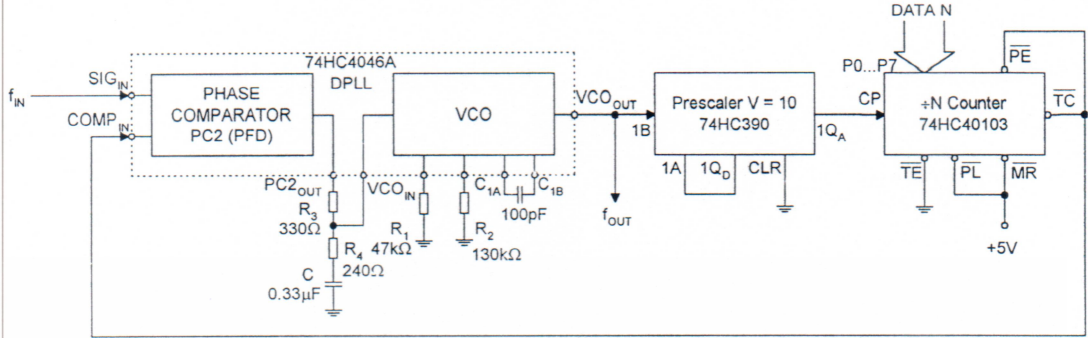
รูปที่ 5.1 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบโดยตรง



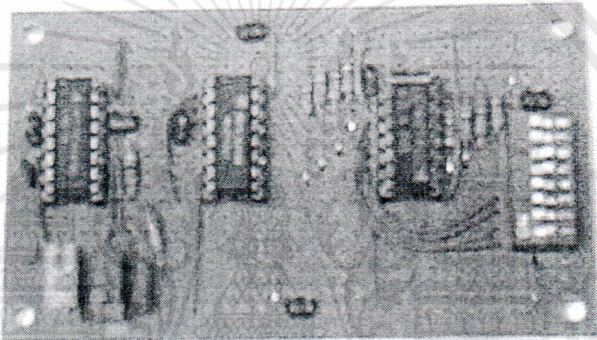
รูปที่ 5.2 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบโดยตรง ที่ใช้ทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.2 วงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพรีสเกลเลอร์

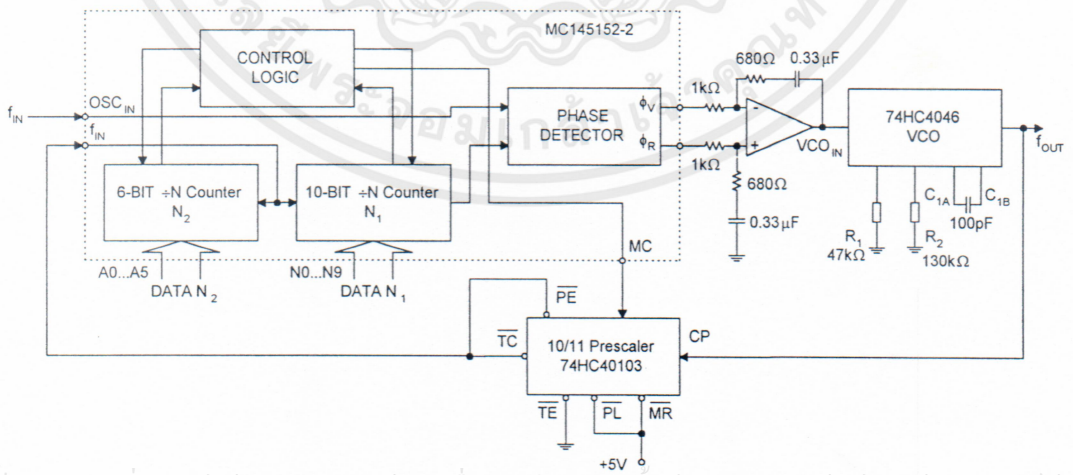


รูปที่ 5.3 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพรีสเกลเลอร์



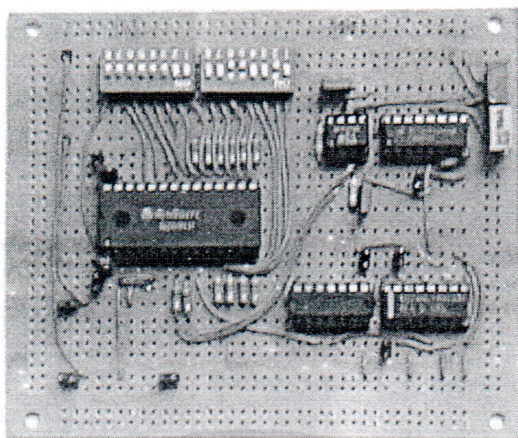
รูปที่ 5.4 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพรีสเกลเลอร์ ที่ใช้ทดลอง

5.1.3 วงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพรีสเกลเลอร์สองโมดูลัส



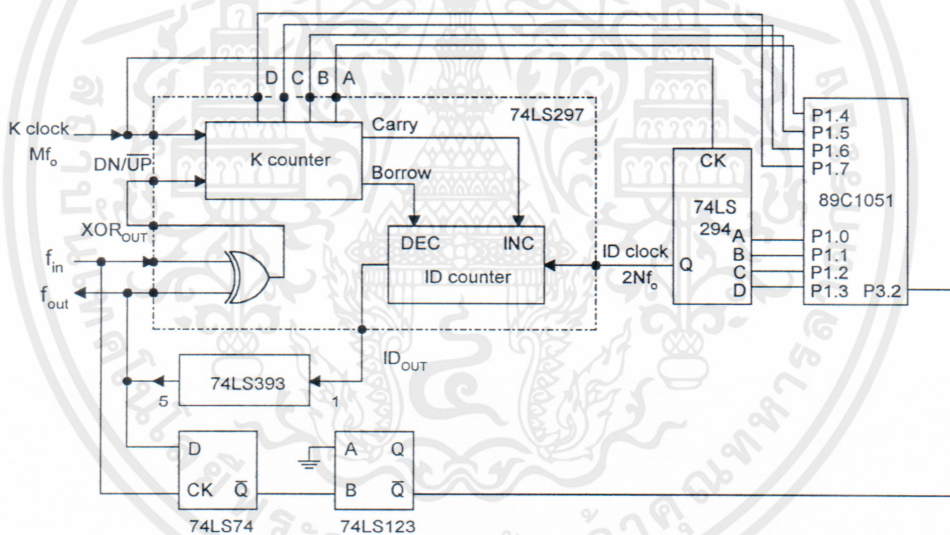
รูปที่ 5.5 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพรีสเกลเลอร์สองโมดูลัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับเผยแพร่ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปขึ้นประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

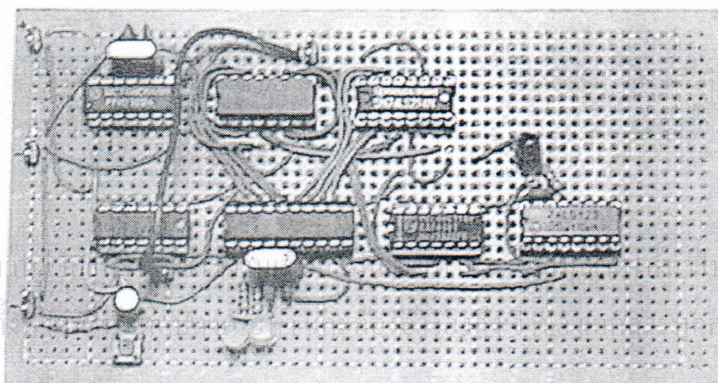


รูปที่ 5.6 แสดงวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบพริสเกลเดอร์สองโมดูลัสที่ใช้ทดลอง

5.1.4 วงจรจับสัญญาณนาฬิกาด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด



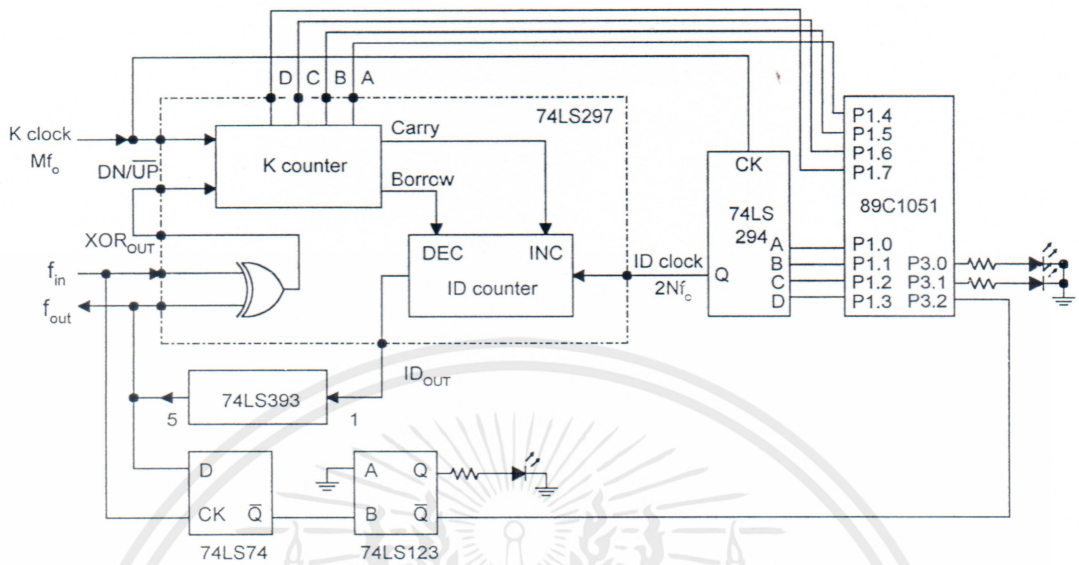
รูปที่ 5.7 แสดงวงจรจับสัญญาณนาฬิกาด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด



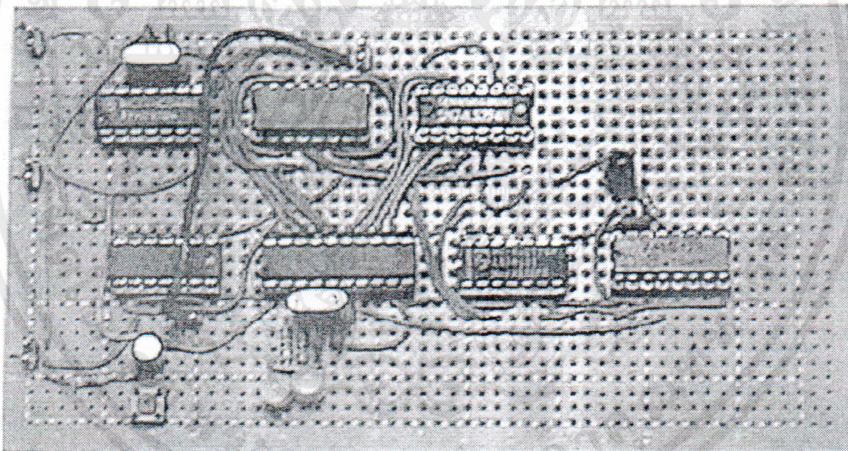
รูปที่ 5.8 แสดงวงจรจับสัญญาณนาฬิกาด้วยเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีการนำใบไปใช้ประโยชน์ด้านการค้า

5.1.5 วงจร FSK decoder 4 ระดับด้วยเฟสล็อกแบบดิจิทัลทั้งหมด



รูปที่ 5.9 แสดงวงจร FSK decoder 4 ระดับด้วยเฟสล็อกแบบดิจิทัลทั้งหมด

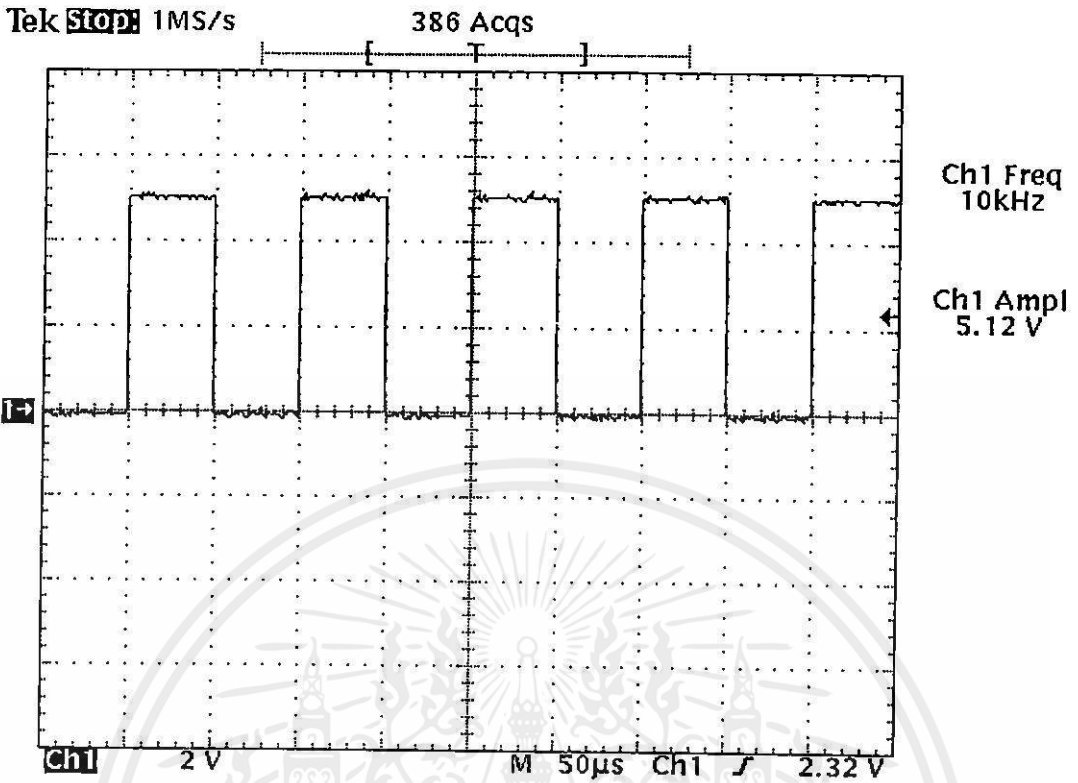


รูปที่ 5.10 แสดงวงจร FSK decoder 4 ระดับด้วยเฟสล็อกแบบดิจิทัลทั้งหมดที่ใช้ในการทดลอง

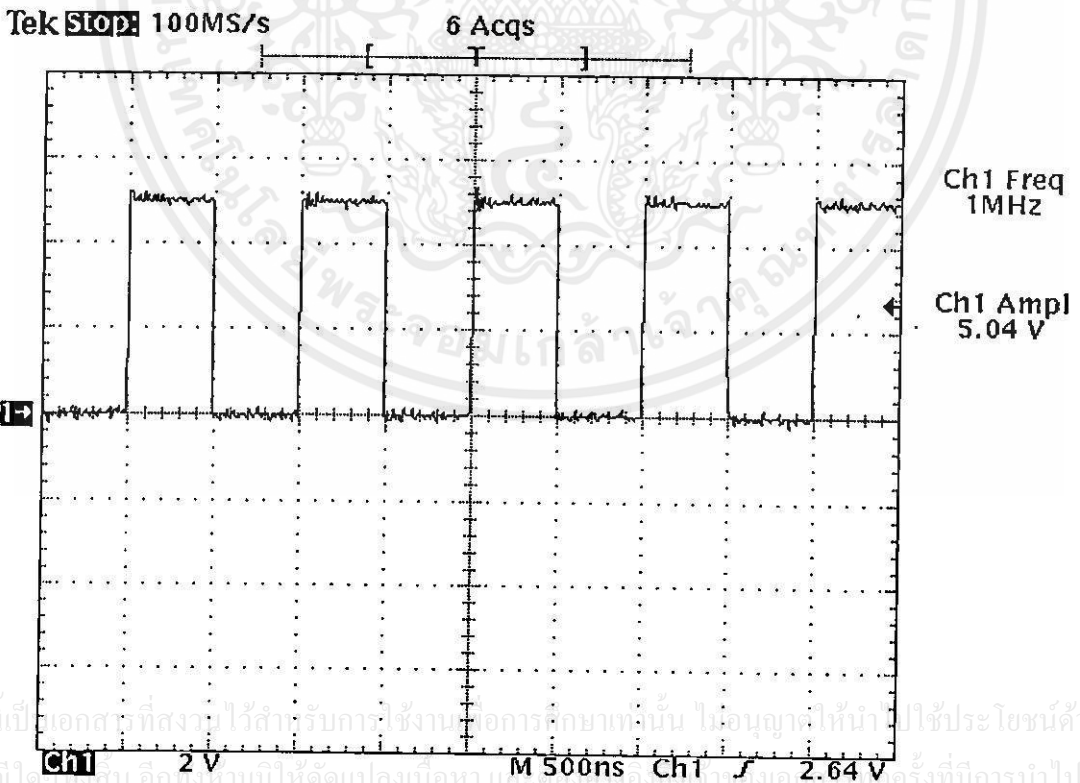
5.2 ผลการทดลองที่ได้จากวงจรจริง

5.2.1 ผลที่ได้จากวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบโดยตรง

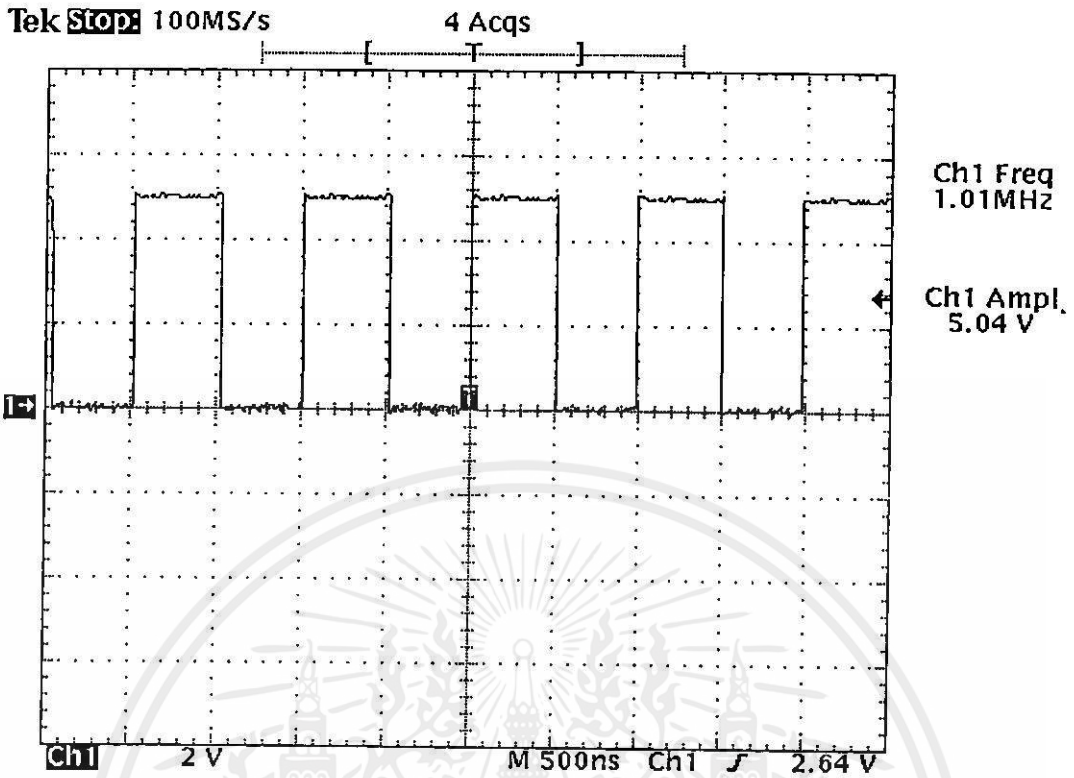
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



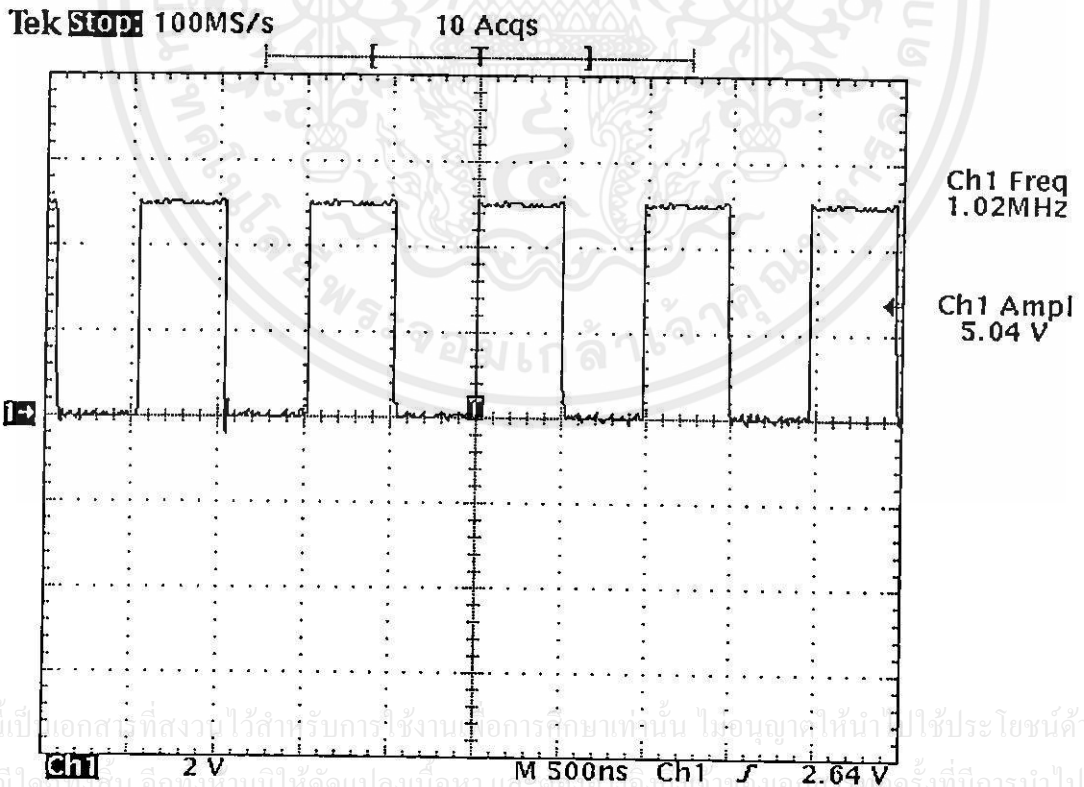
รูปที่ 5.11 แสดงสัญญาณอินพุตมีความถี่เท่ากับ 10 kHz



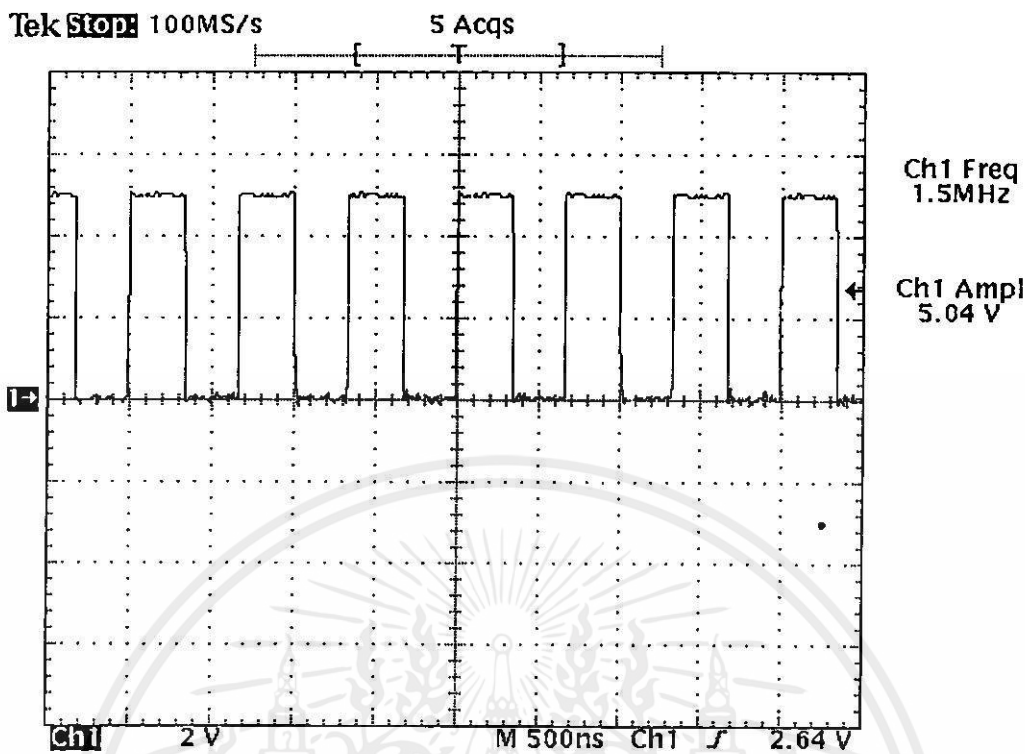
รูปที่ 5.12 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 100



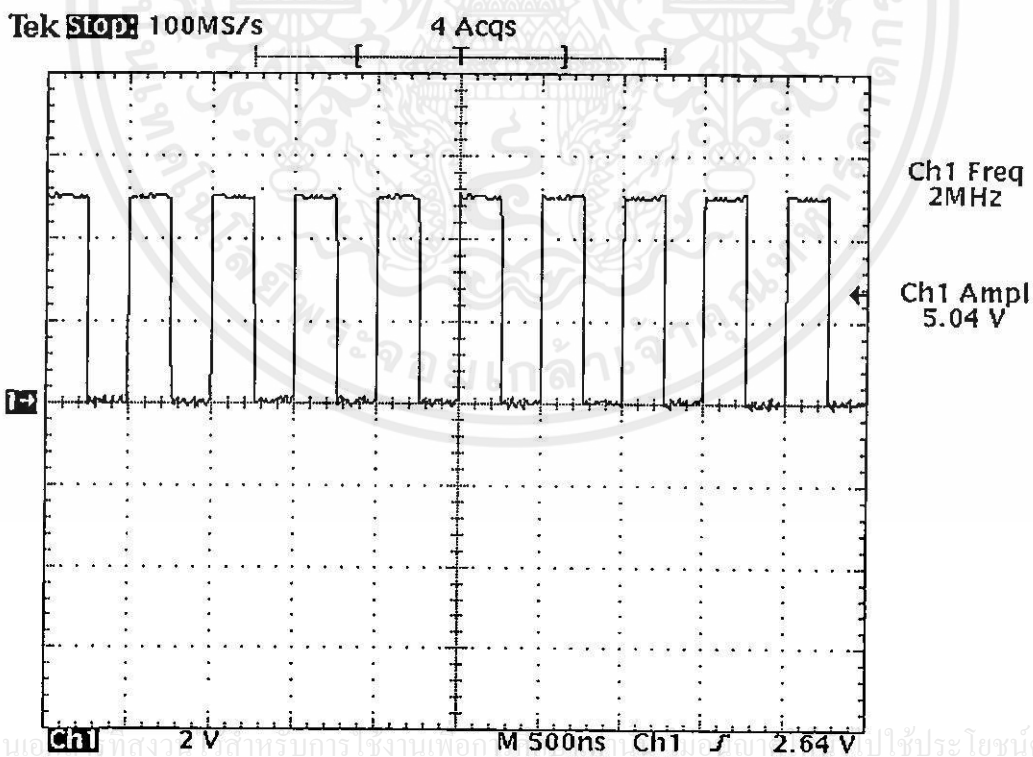
รูปที่ 5.13 แสดงสัญญาณเอาร์ทพุตเมื่อตัวหาร N มีค่าเท่ากับ 101



รูปที่ 5.14 แสดงสัญญาณเอาร์ทพุตเมื่อตัวหาร N มีค่าเท่ากับ 102



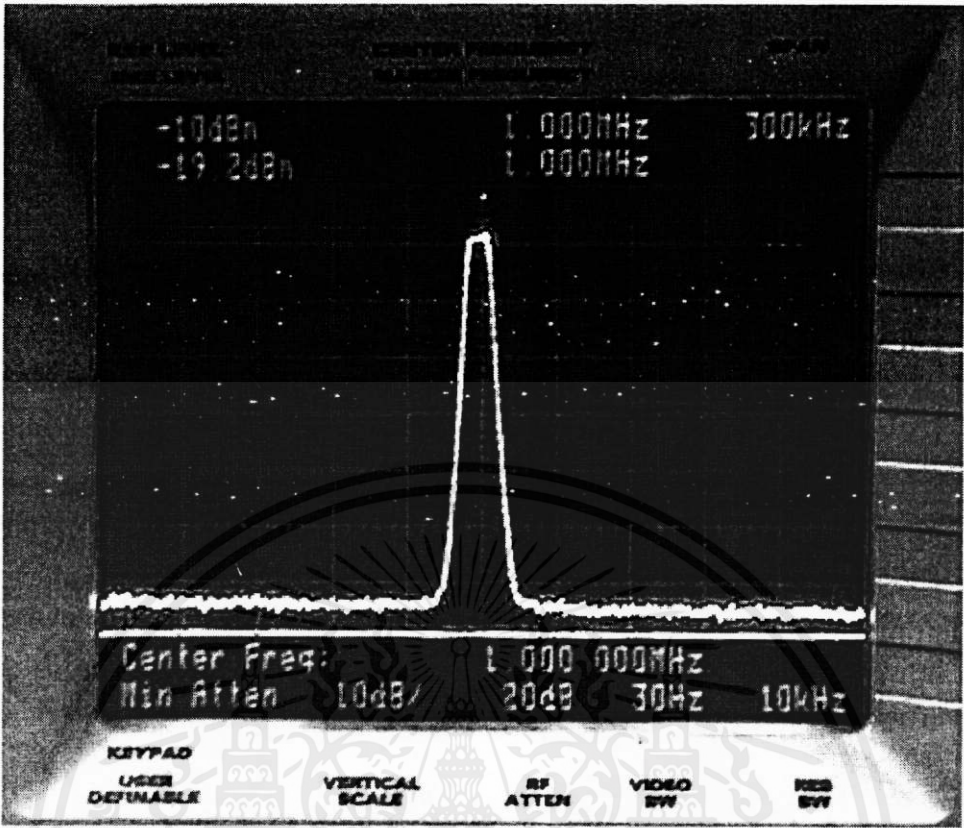
รูปที่ 5.15 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 150



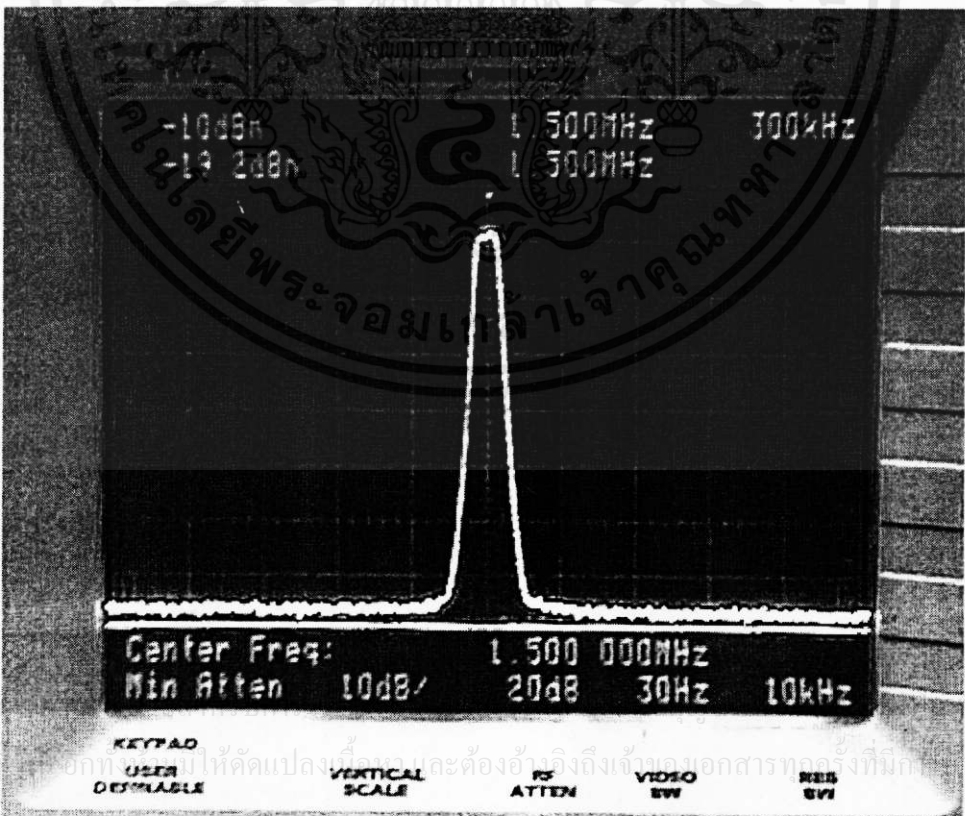
รูปที่ 5.16 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 200

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ห้ามเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกไปจำหน่าย และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.17 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 100

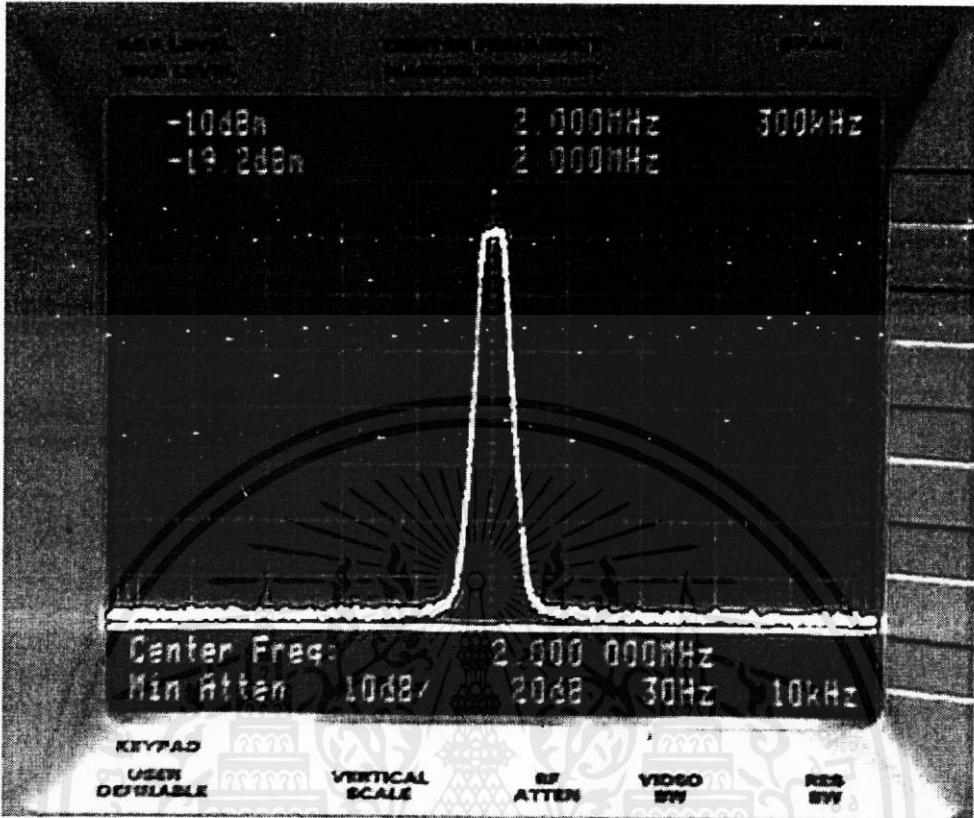


รูปที่ 5.18 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 150

เอกสารนี้เป็นเอกสาร
ไม่ว่ากรณีใดๆ

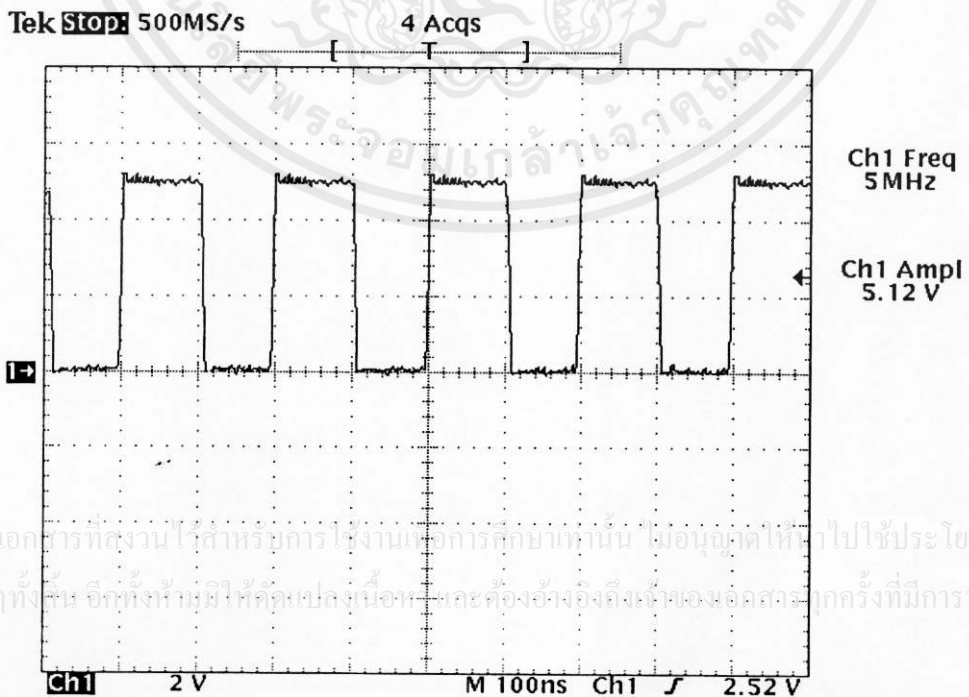
ห้ามคัดลอกหรือเผยแพร่โดยไม่ได้รับอนุญาต
หากต้องการข้อมูลเพิ่มเติม กรุณาติดต่อ
กองบริการลูกค้า โทร. 02-2564000

มีด้านการค้า
ไปใช้



รูปที่ 5.19 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 200

5.2.2 ผลที่ได้จากวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพริสเกลเลอร์

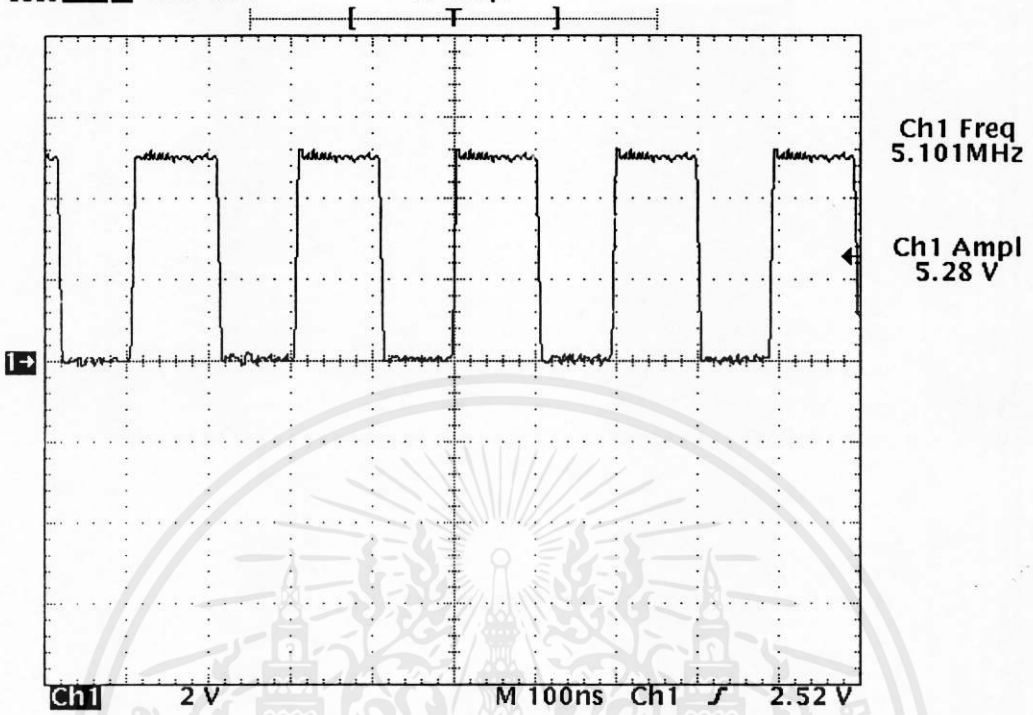


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ขออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเผยแพร่และต้องอ้างอิงถึงที่มาของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.20 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 50

Tek **Stop**: 500MS/s

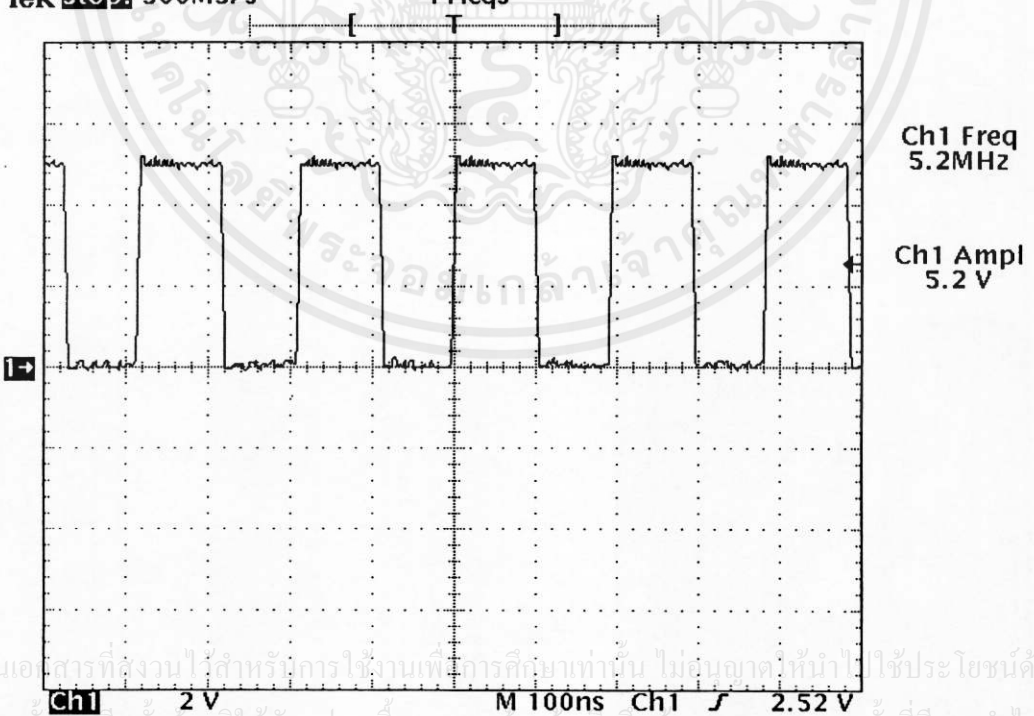
47 Acqs



รูปที่ 5.21 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 51

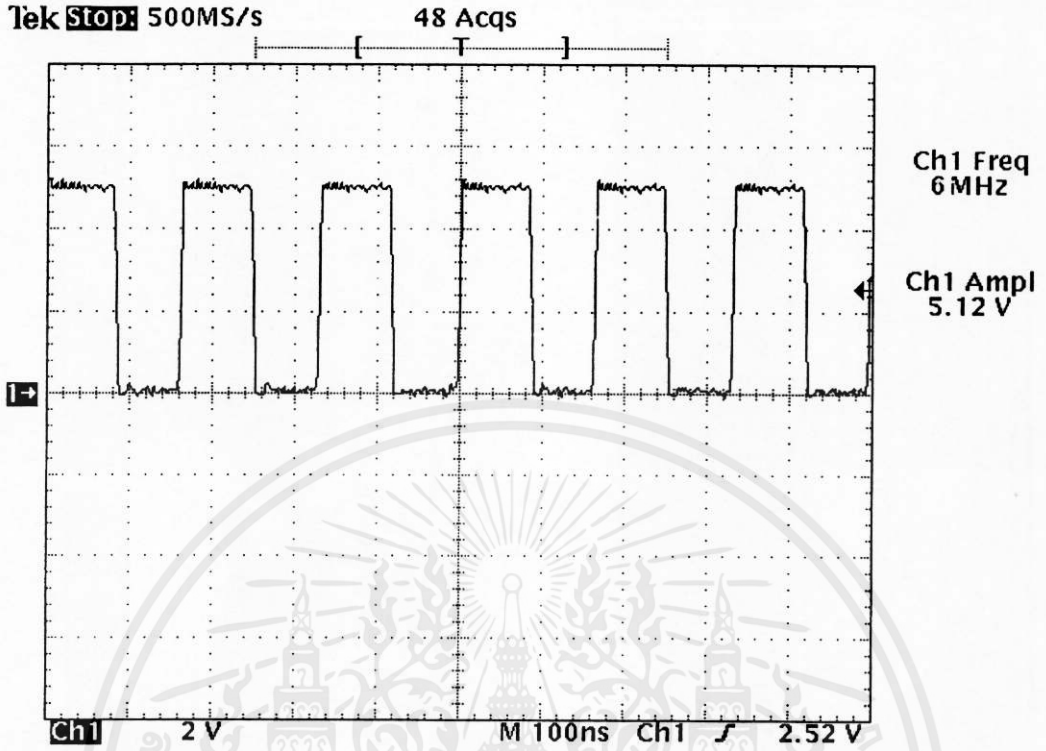
Tek **Stop**: 500MS/s

4 Acqs

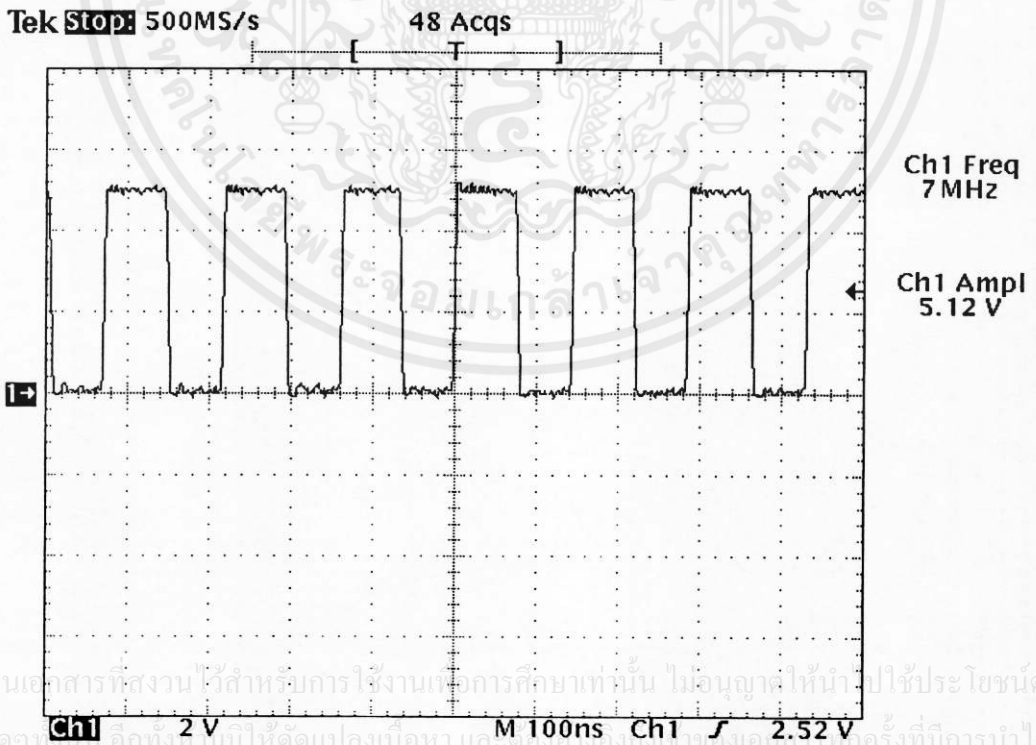


รูปที่ 5.22 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

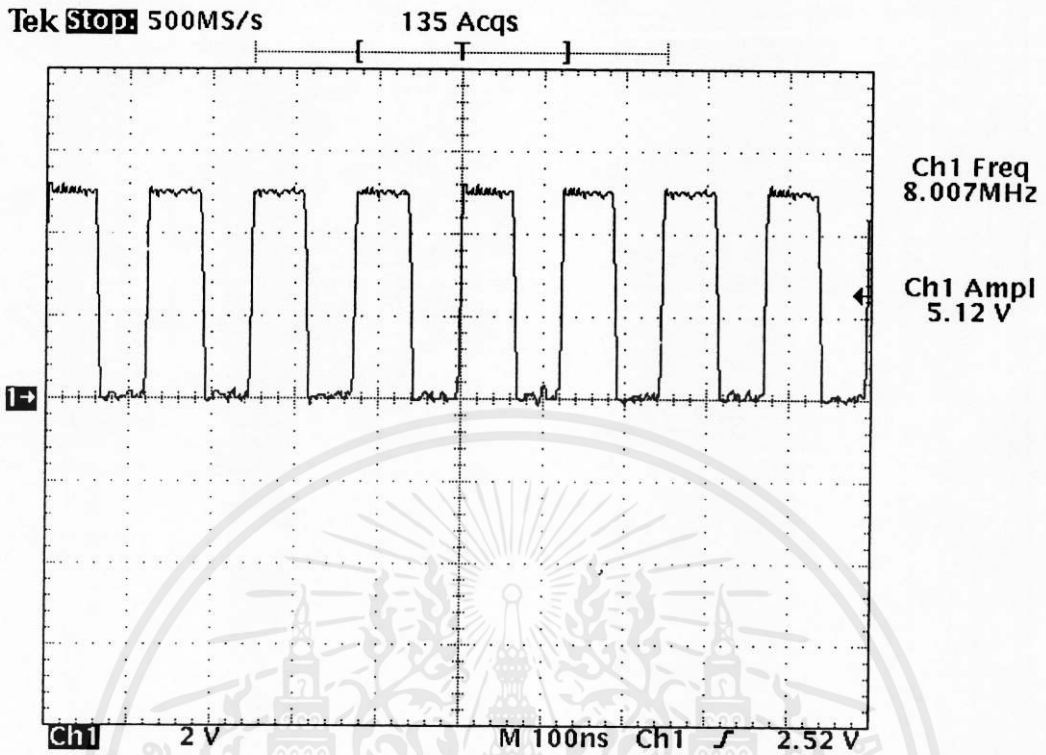


รูปที่ 5.23 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 60

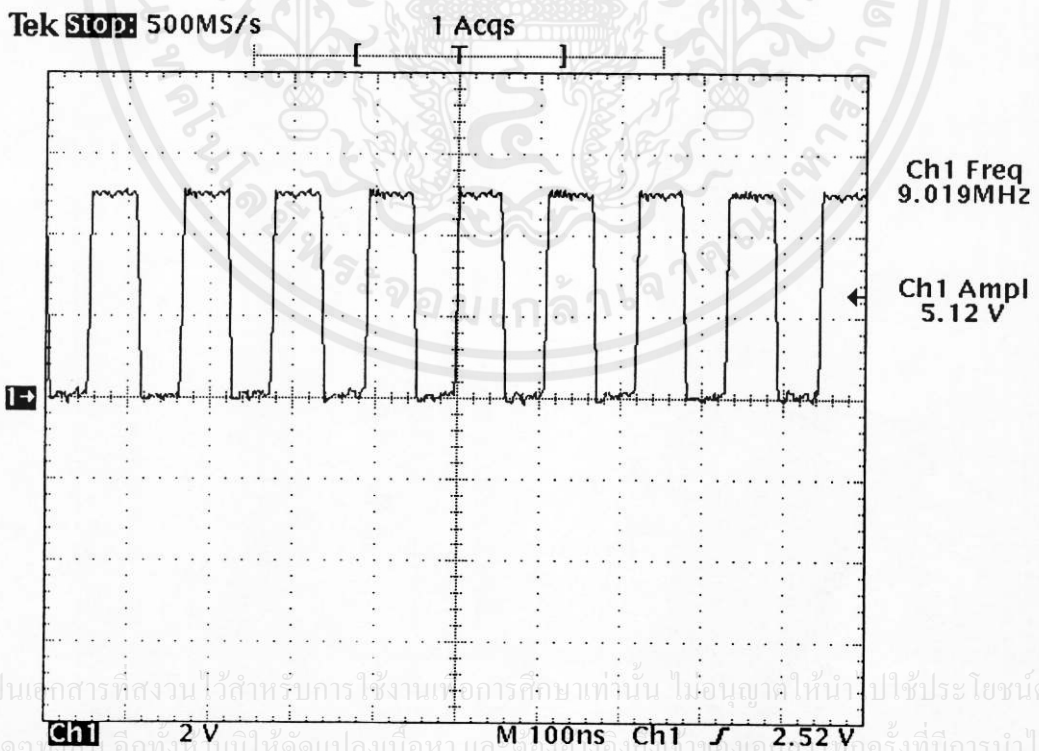


รูปที่ 5.24 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 70

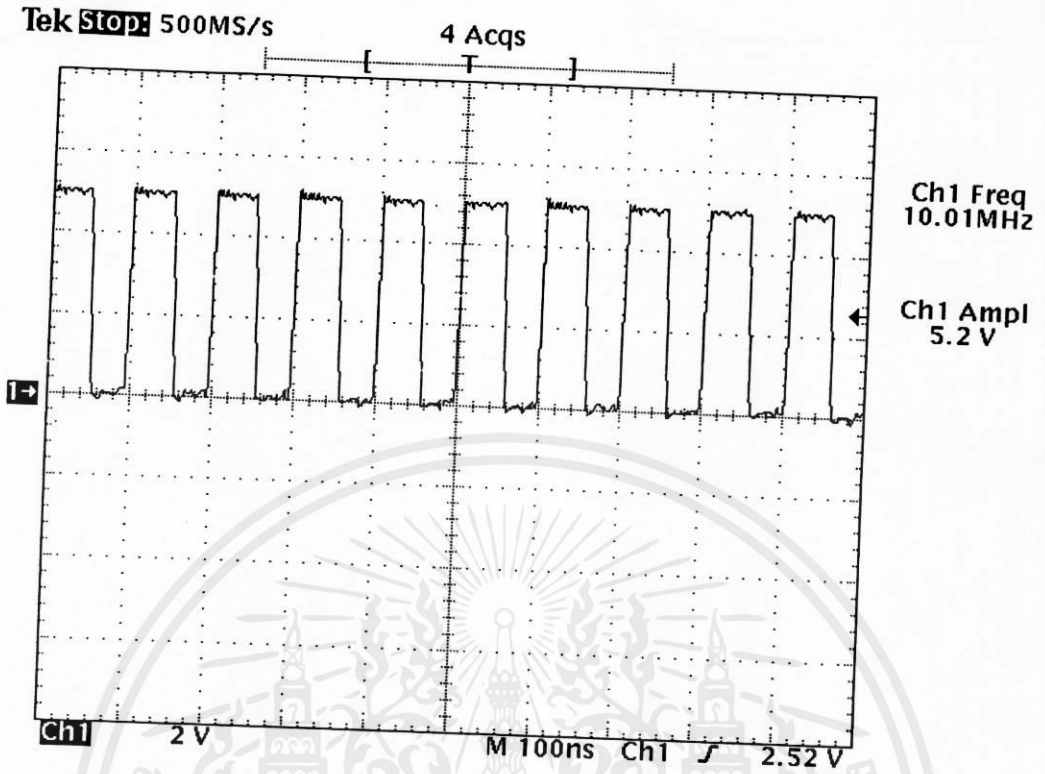
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และทำซ้ำหรือดัดแปลงเชิงพาณิชย์ในครั้งที่มีการนำไปใช้



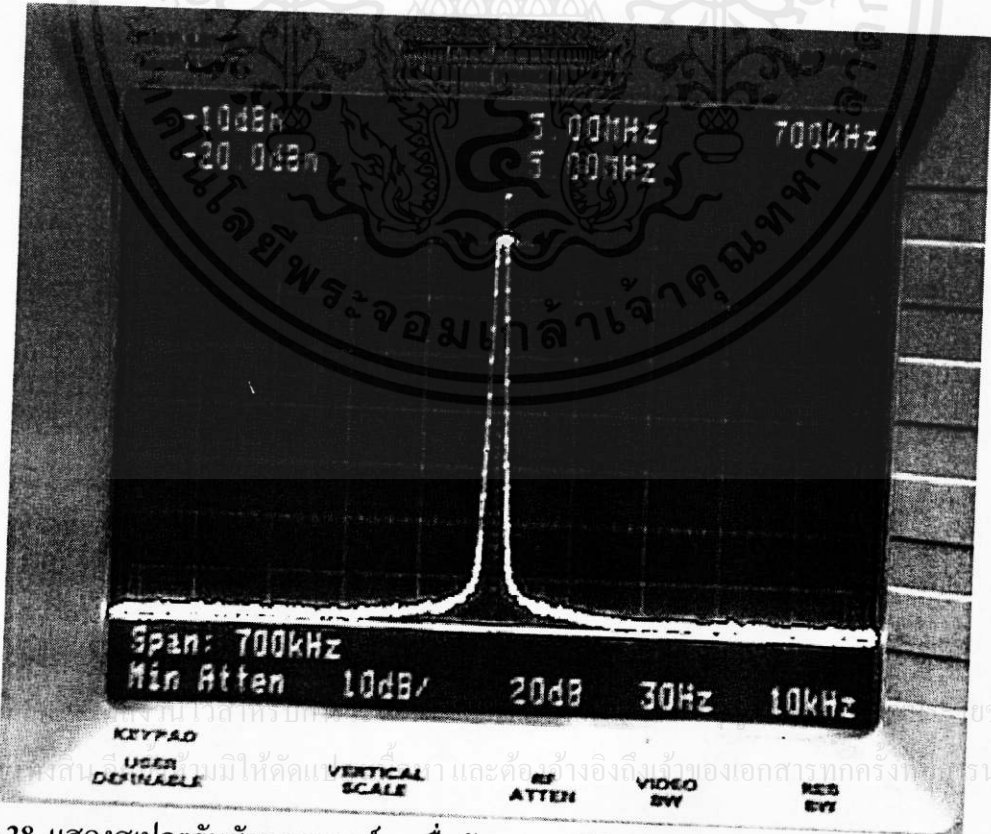
รูปที่ 5.25 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 80



รูปที่ 5.26 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 90



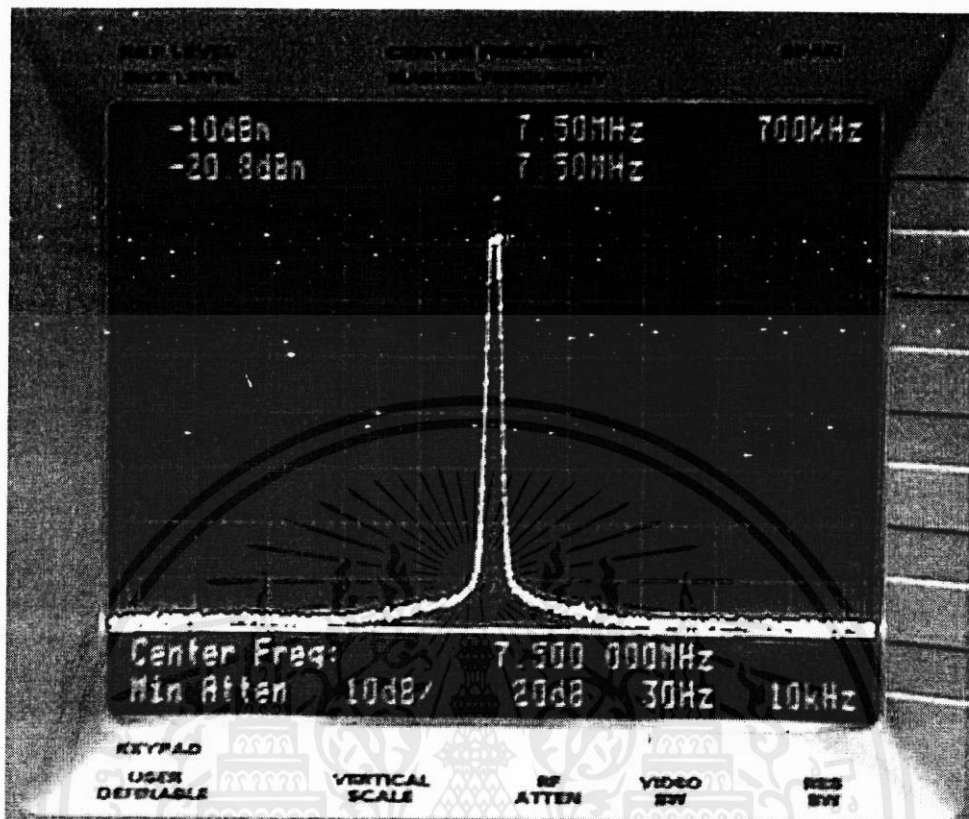
รูปที่ 5.27 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 100



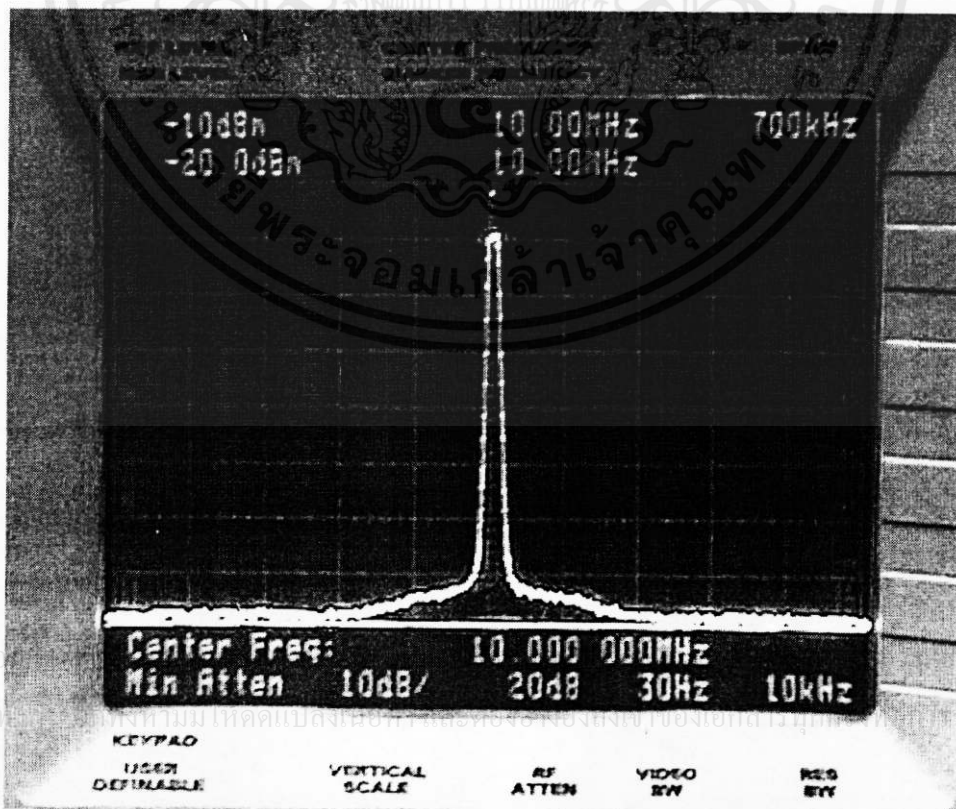
รูปที่ 5.28 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 50

เอกสารนี้เป็น
ไม่ว่ากรณีใด

สงวนลิขสิทธิ์ไว้เพื่อใช้ในการเรียนการสอนเท่านั้น การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมายและต้องแจ้งถึงเจ้าของเอกสารทุกครั้ง การนำออกไปใช้
ขงหน้ด้านการค้า



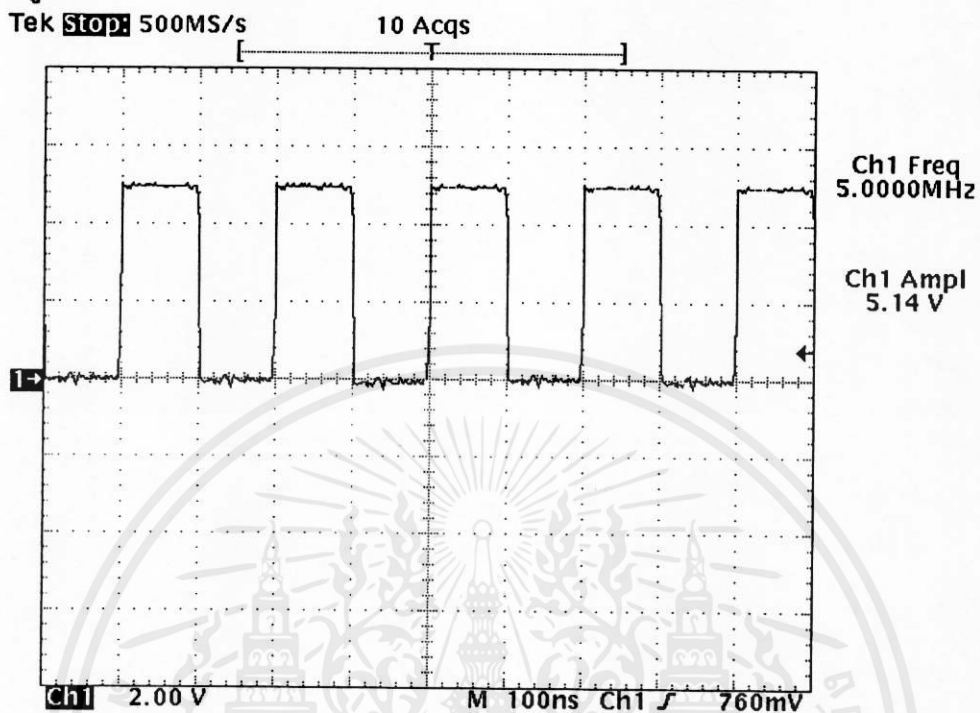
รูปที่ 5.29 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 75



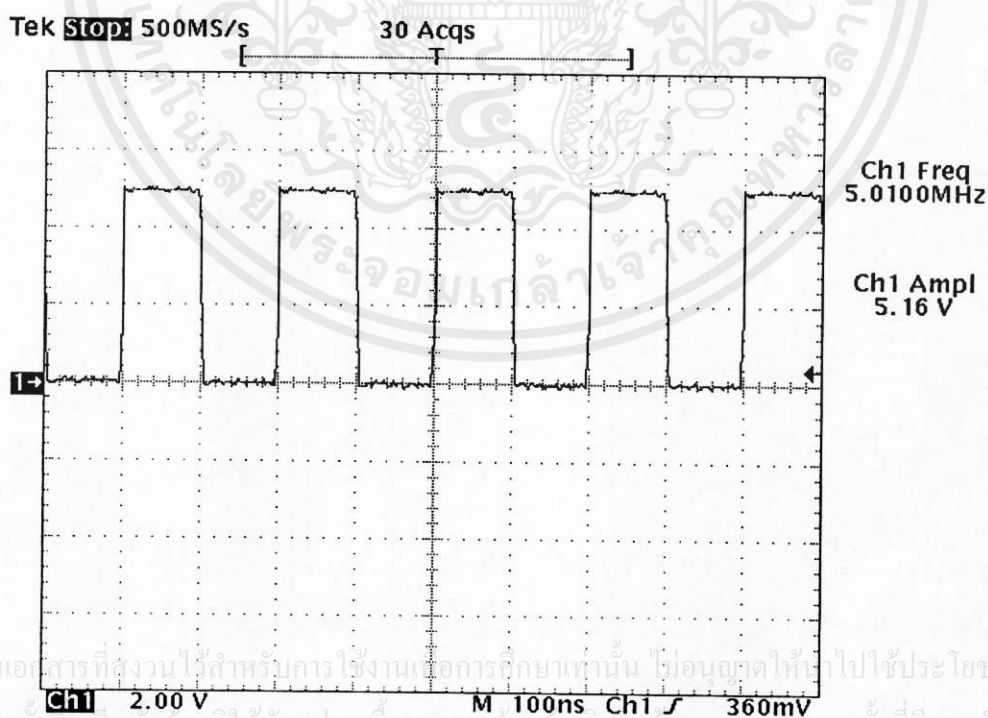
รูปที่ 5.30 แสดงสเปกตรัมสัญญาณเอาต์พุตเมื่อตัวหาร N มีค่าเท่ากับ 100

5.2.3 ผลที่ได้จากวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบพรีสเกลเลอร์

สองโมดูลัส

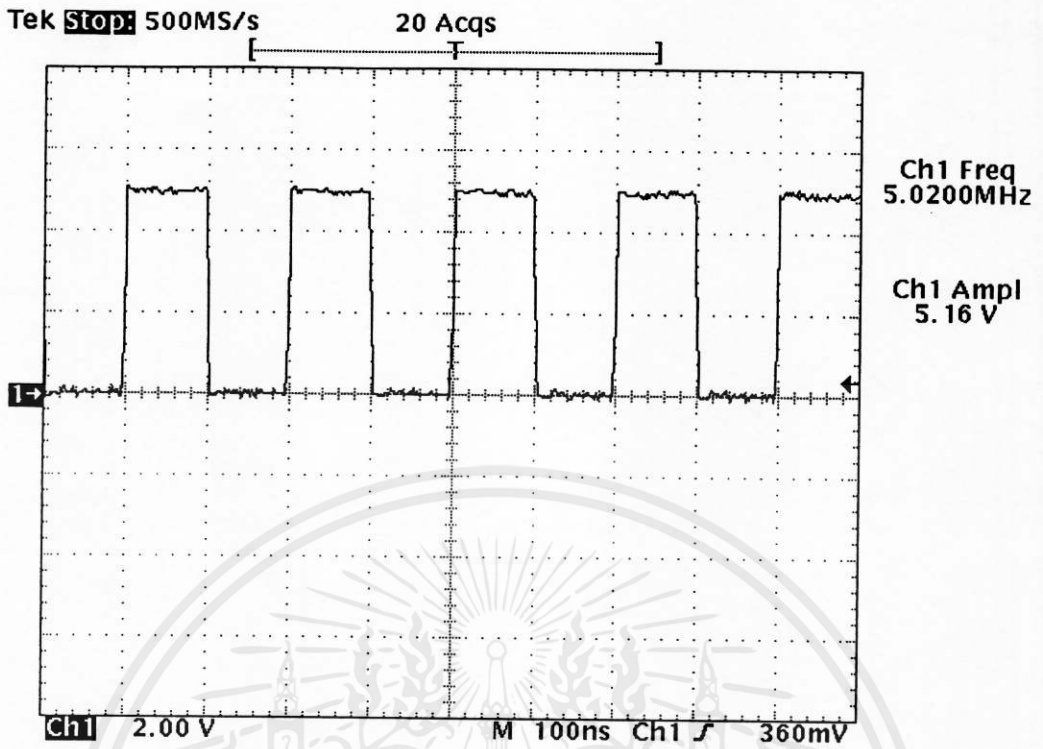


รูปที่ 5.31 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 500

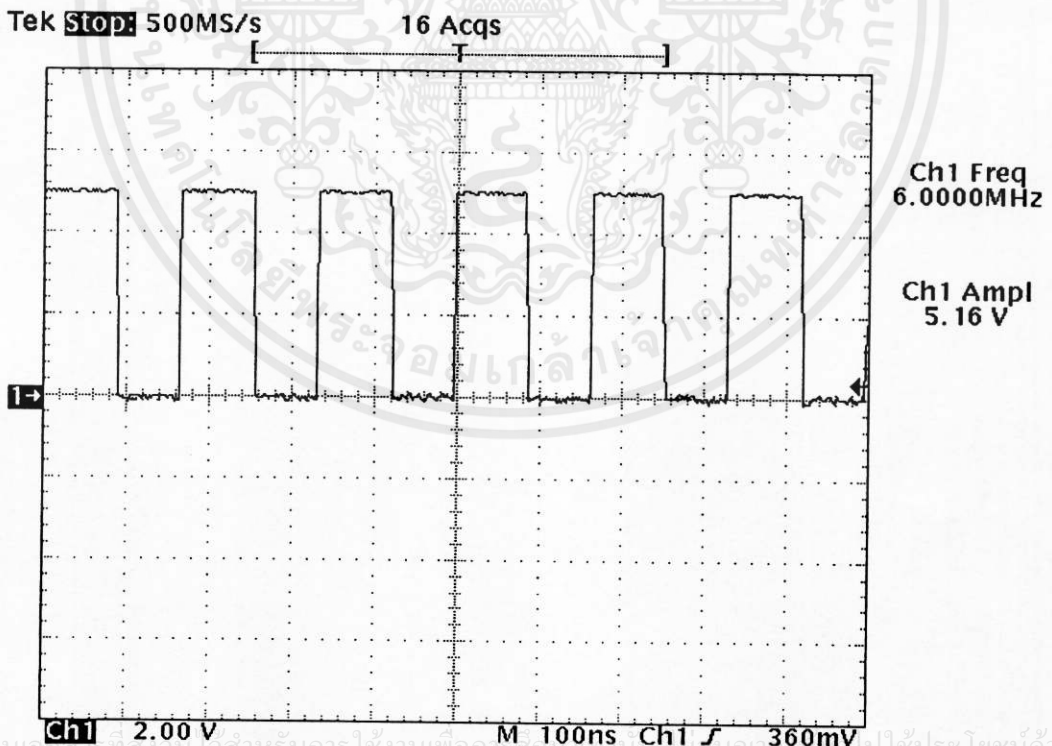


รูปที่ 5.32 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 501

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



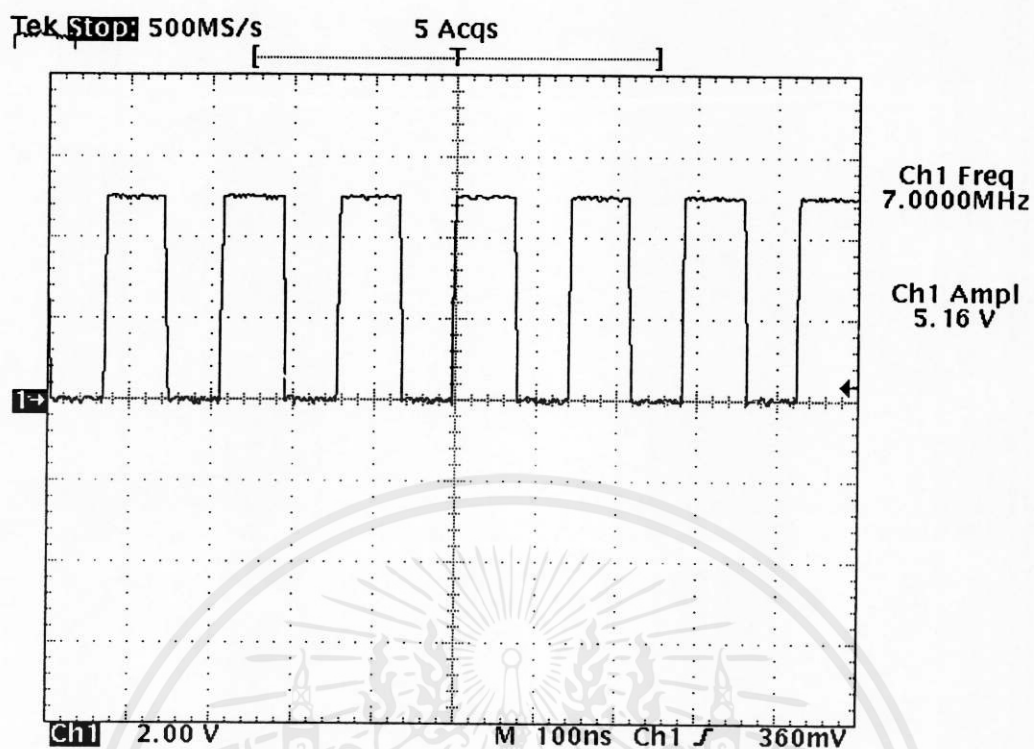
รูปที่ 5.33 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 502



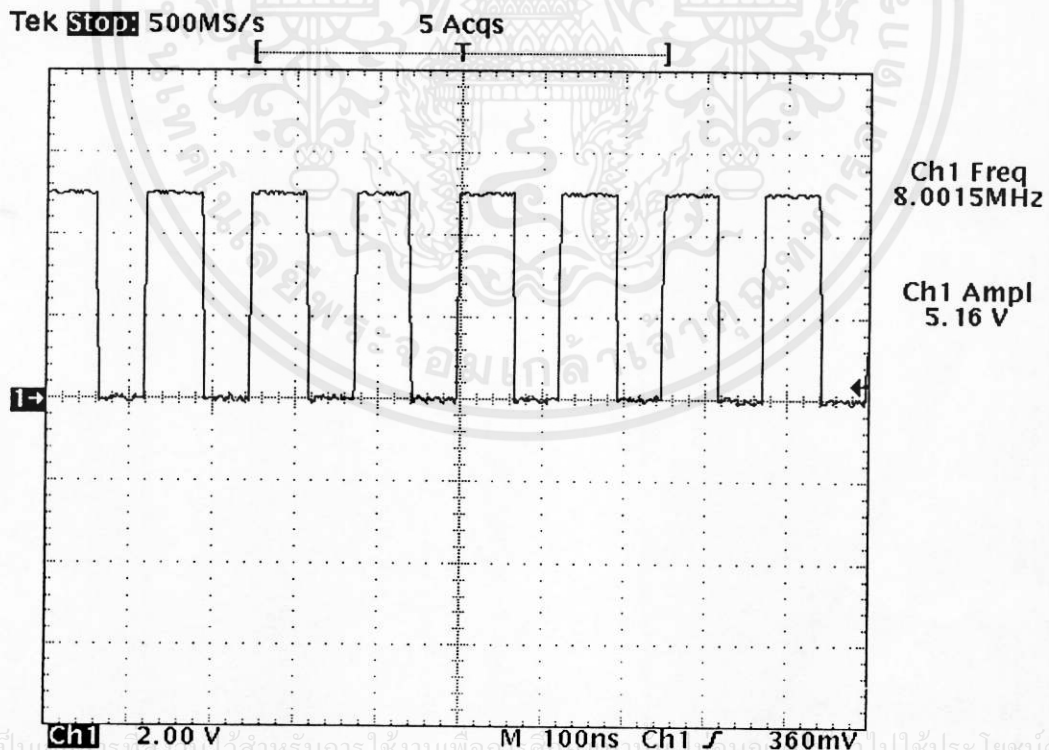
รูปที่ 5.34 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 600

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาด้านนี้ มิใช่เพื่อใช้ในการค้า

ไม่ว่ากรณีใด ทั้งสิ้น ลึกที่ขานมิให้ดัดแปลงเนื้อหา และต้องอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



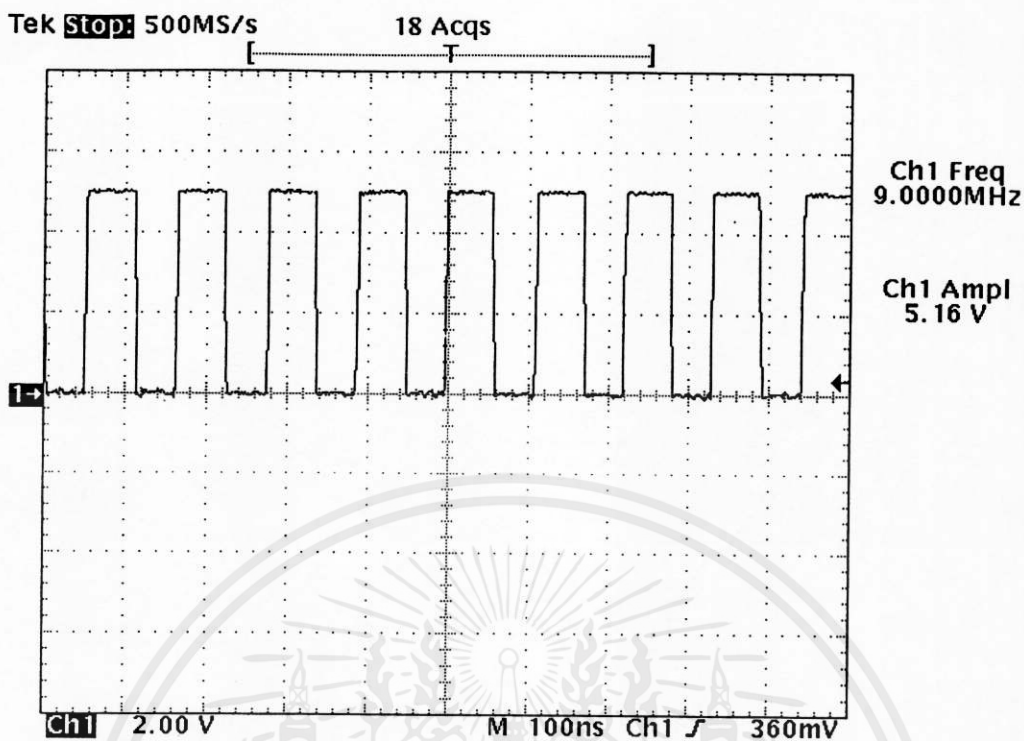
รูปที่ 5.35 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 700



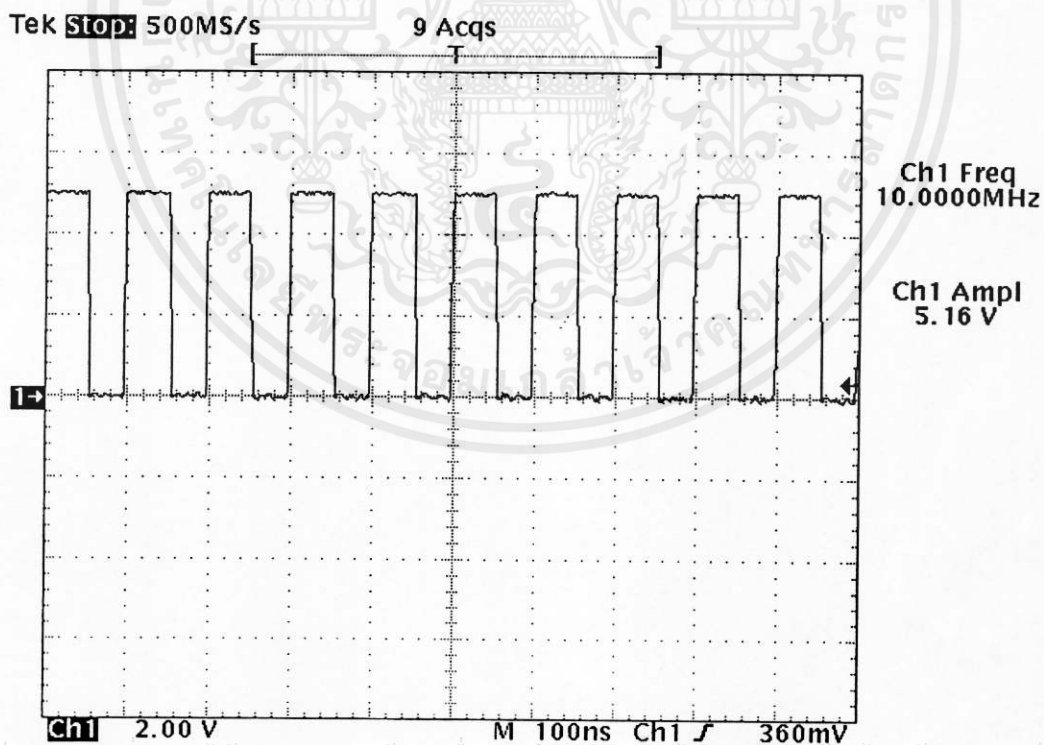
รูปที่ 5.36 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

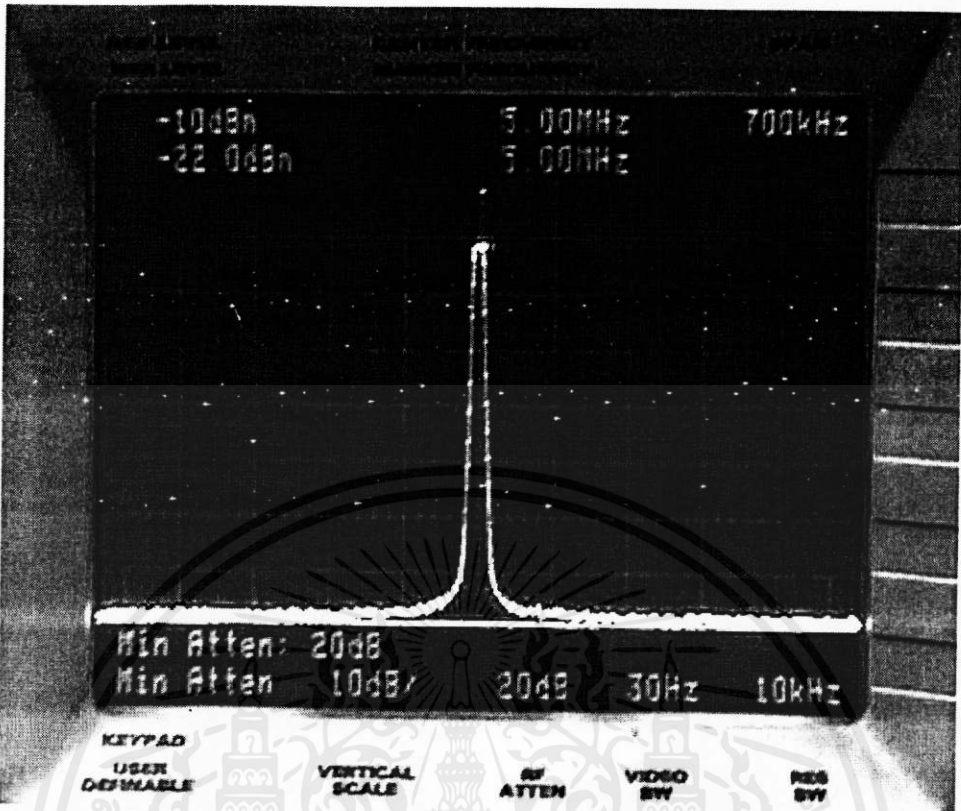
ไม่ว่ากรณีใดๆ ทั้งสิ้น ลีทิ่งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



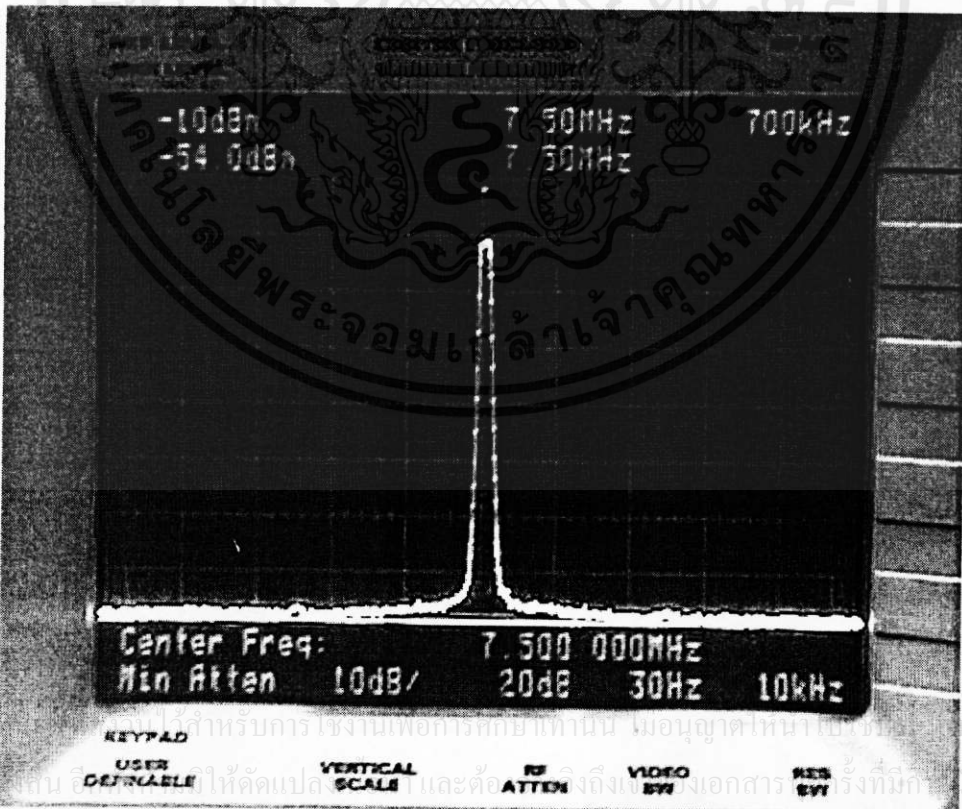
รูปที่ 5.37 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 900



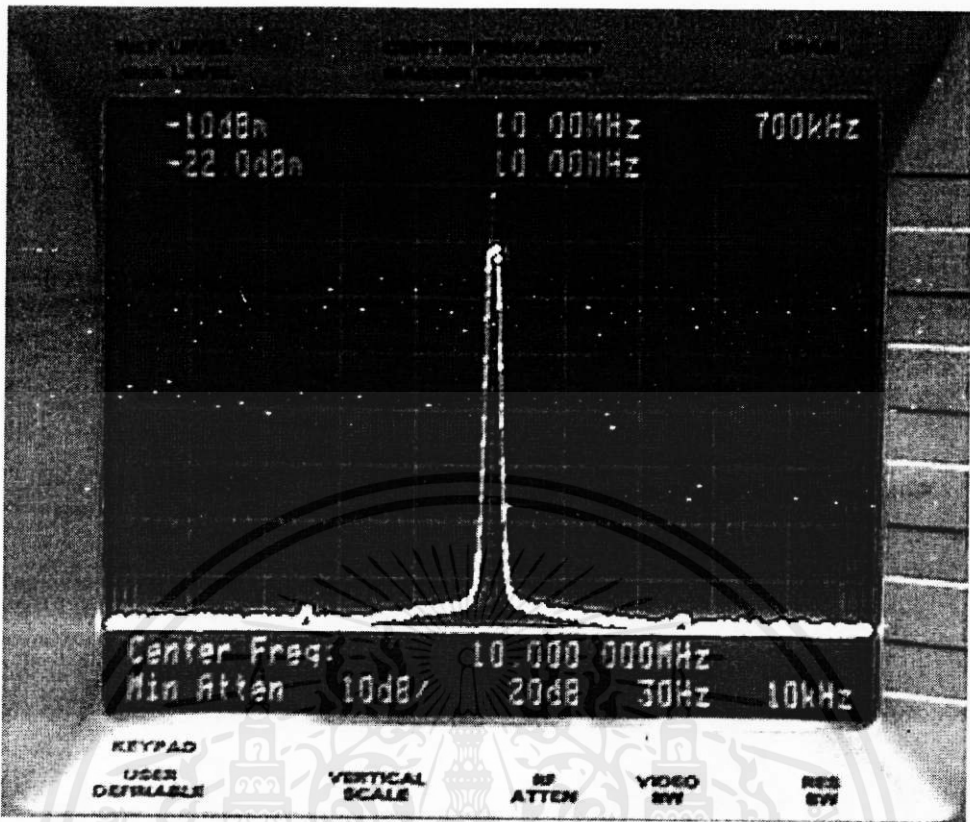
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรรูปที่ 5.38 แสดงสัญญาณเอาต์พุตเมื่อตัวหาร N_T มีค่าเท่ากับ 1000 ของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.39 แสดงสเปกตรัมสัญญาณเอทพุตเมื่อตัวหาร N_T มีค่าเท่ากับ 500



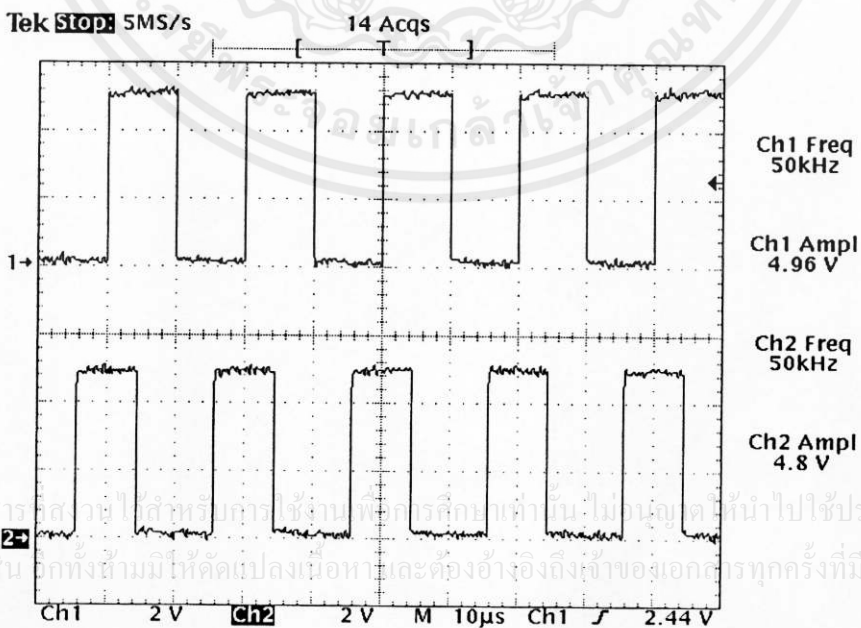
รูปที่ 5.40 แสดงสเปกตรัมสัญญาณเอทพุตเมื่อตัวหาร N_T มีค่าเท่ากับ 750



รูปที่ 5.41 แสดงสเปกตรัมสัญญาณเอ๊าท์พุทเมื่อตัวหาร N_T มีค่าเท่ากับ 1000

5.2.4 ผลที่ได้จากวงจรจับสัญญาณนาฬิกาด้วยเฟสล็อกรูปแบบดิจิตอลทั้งหมดเมื่อ $N = 8$

- โดยกำหนดให้ช่องสัญญาณที่ 1. แทนสัญญาณความถี่อินพุทของวงจร และช่องสัญญาณที่ 2. แทนสัญญาณความถี่เอ๊าท์พุทของวงจร

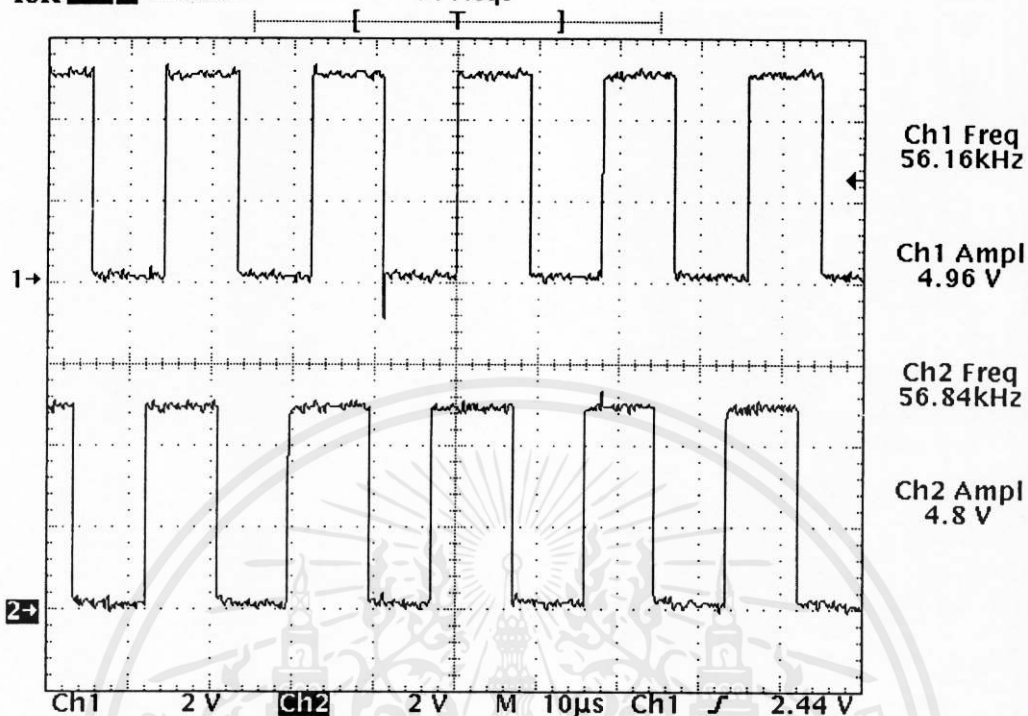


เอกสารนี้เป็นเอกสารที่เผยแพร่ภายใต้ลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น หากทั้งนี้ไม่มีให้คำเปลี่ยนแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

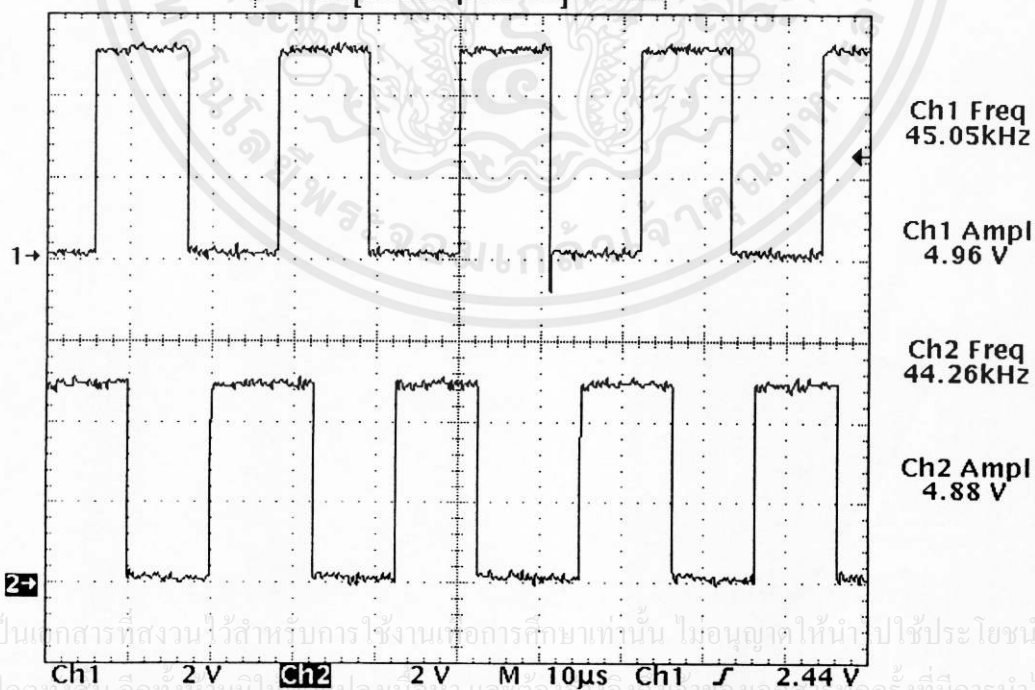
รูปที่ 5.42 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 50 kHz

Tek **Stop:** 5MS/s

14 Acqs

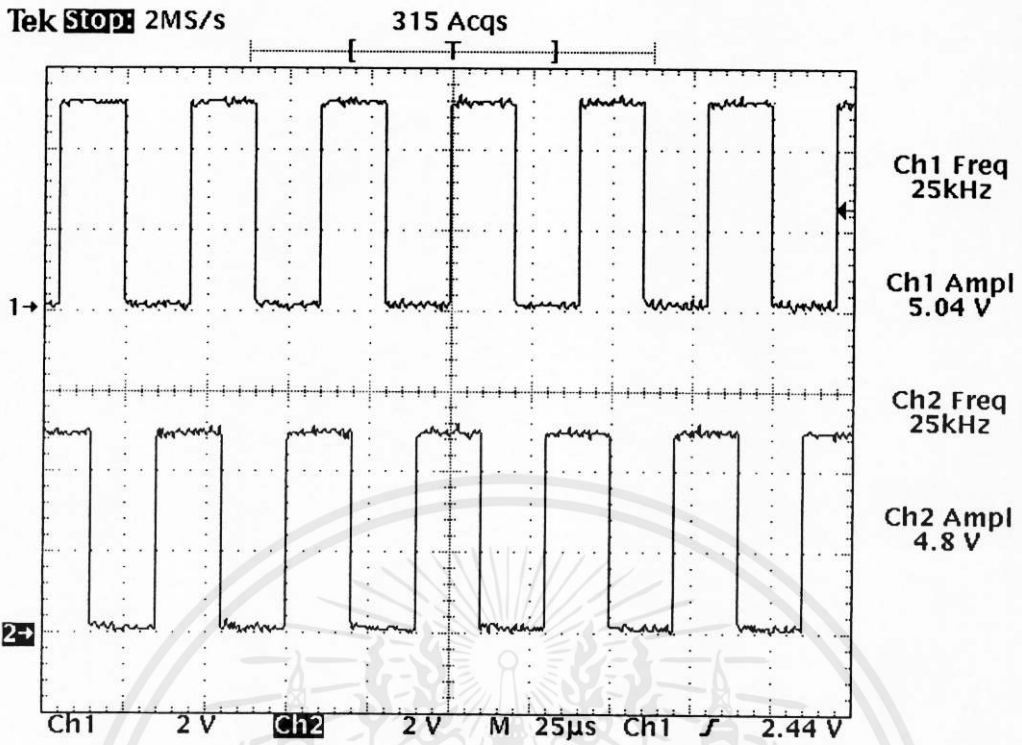
รูปที่ 5.43 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $50 \text{ kHz} + \Delta f_H$ Tek **Stop:** 5MS/s

200 Acqs

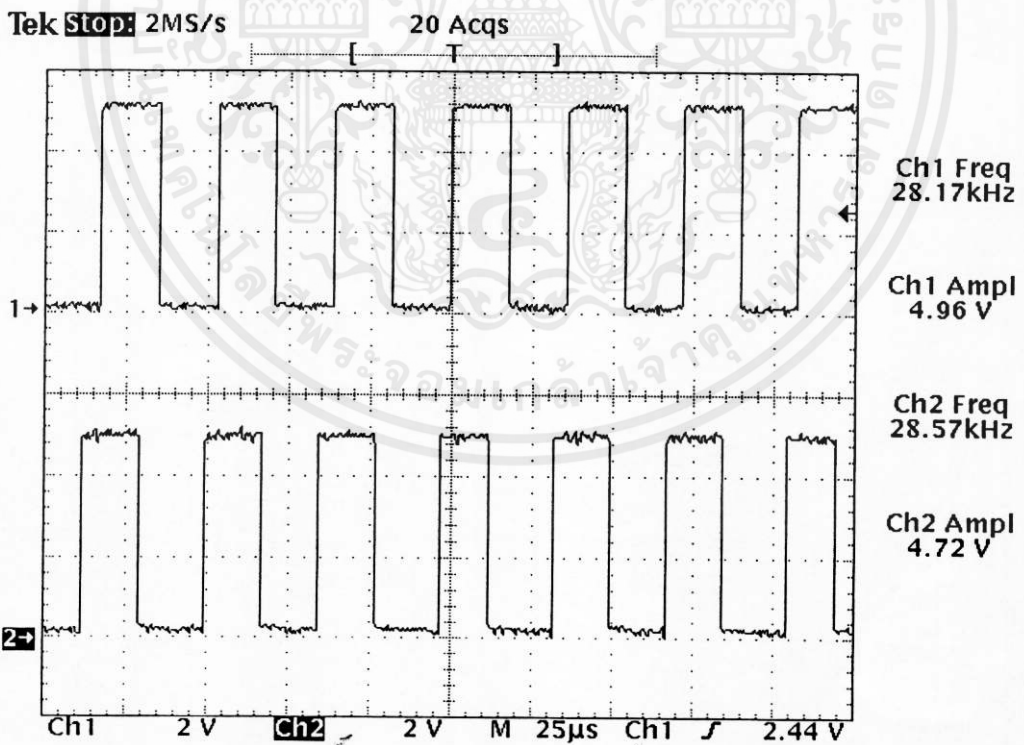


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีโทษทางปกครองเมื่อทำ และต้องรับผิดชอบต่อการใช้งานของเอกสารทุกครั้งที่มีการนำไปใช้

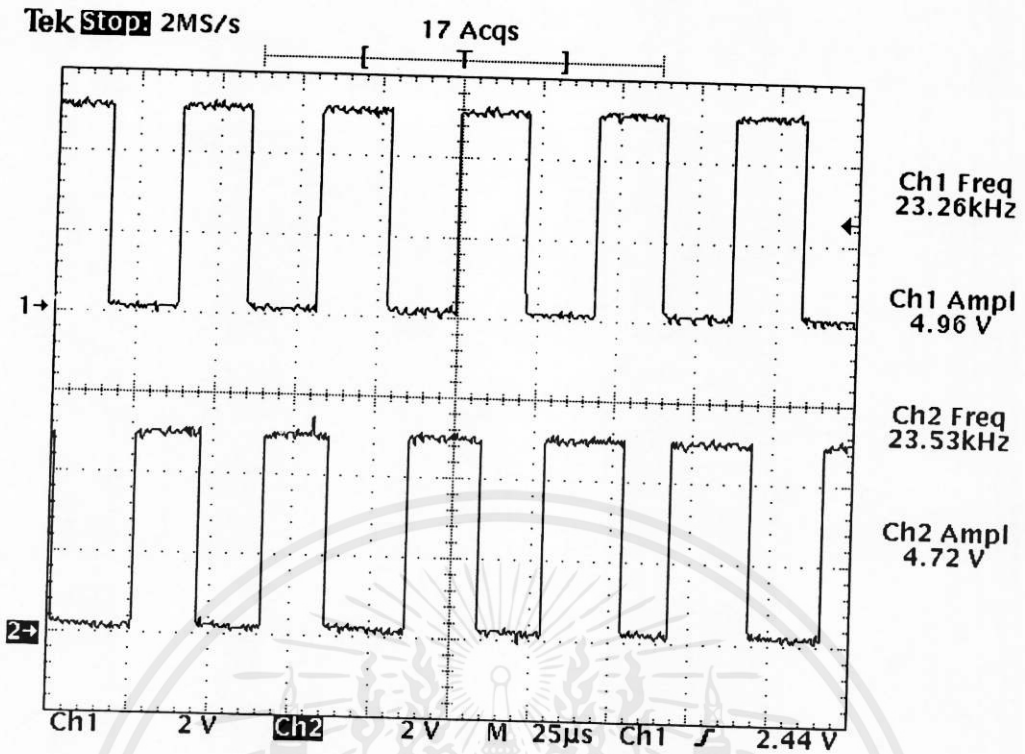
รูปที่ 5.44 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $50 \text{ kHz} - \Delta f_H$



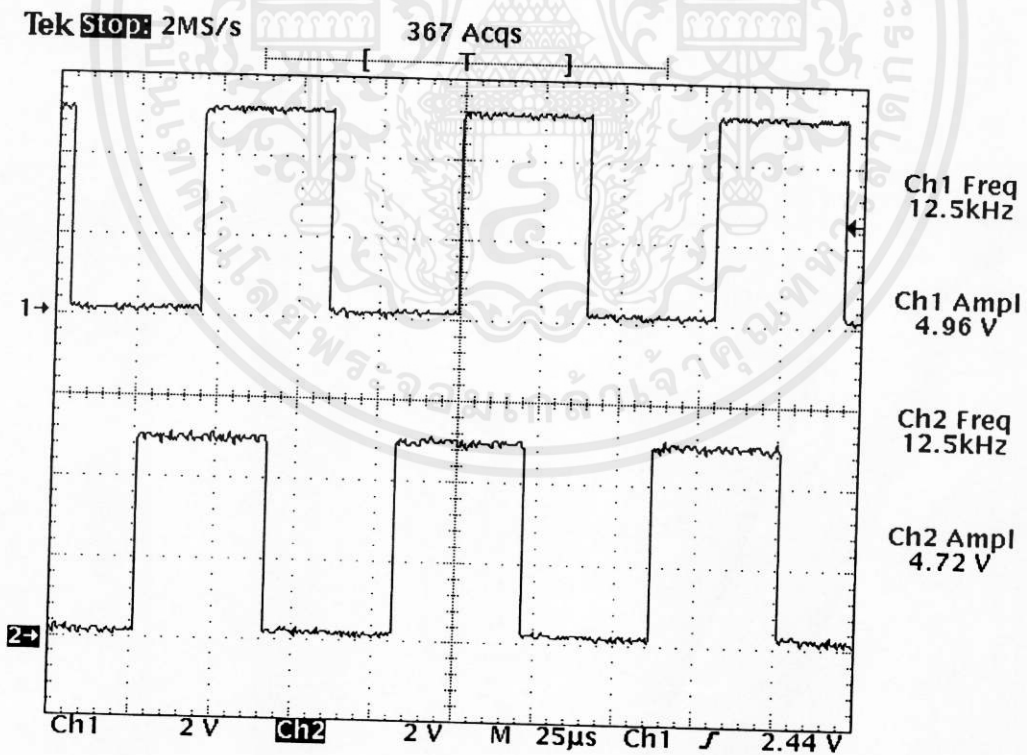
รูปที่ 5.45 แสดงการทำงานของวงจรถ่ายความถี่กลางเท่ากับ 25 kHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าการรูปที่ 5.46 แสดงการทำงานของวงจรถ่ายความถี่กลางเท่ากับ $25 \text{ kHz} + \Delta f_H$ สารทุกครั้งที่มีการนำไปใช้

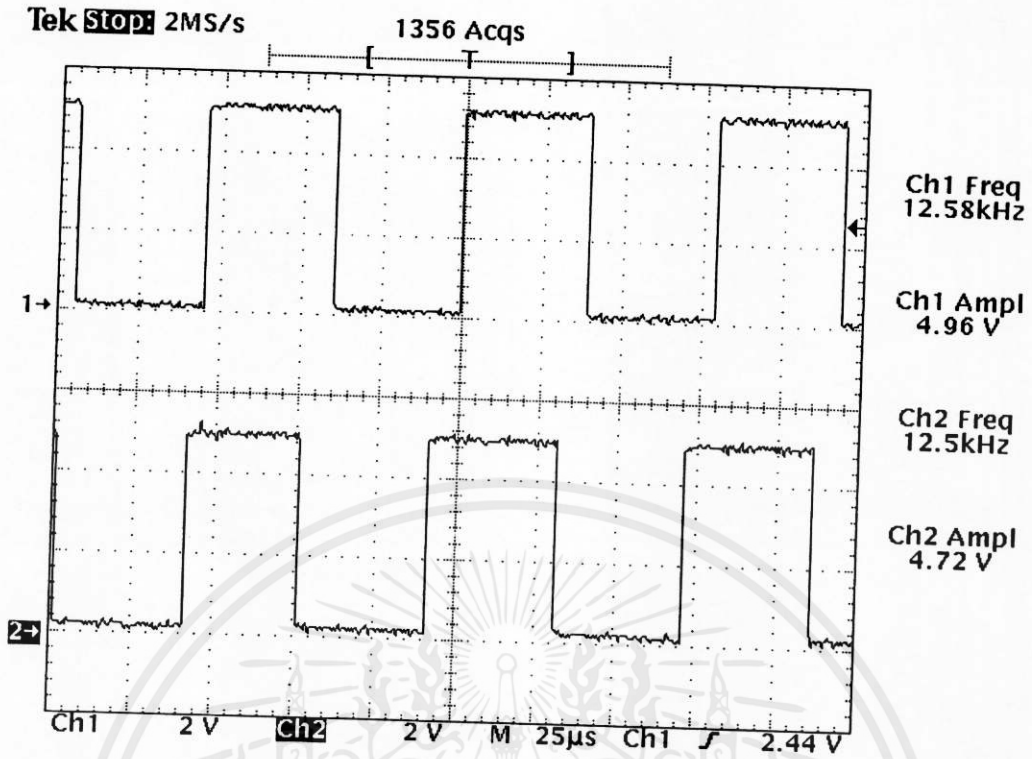


รูปที่ 5.47 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $25 \text{ kHz} - \Delta f_H$

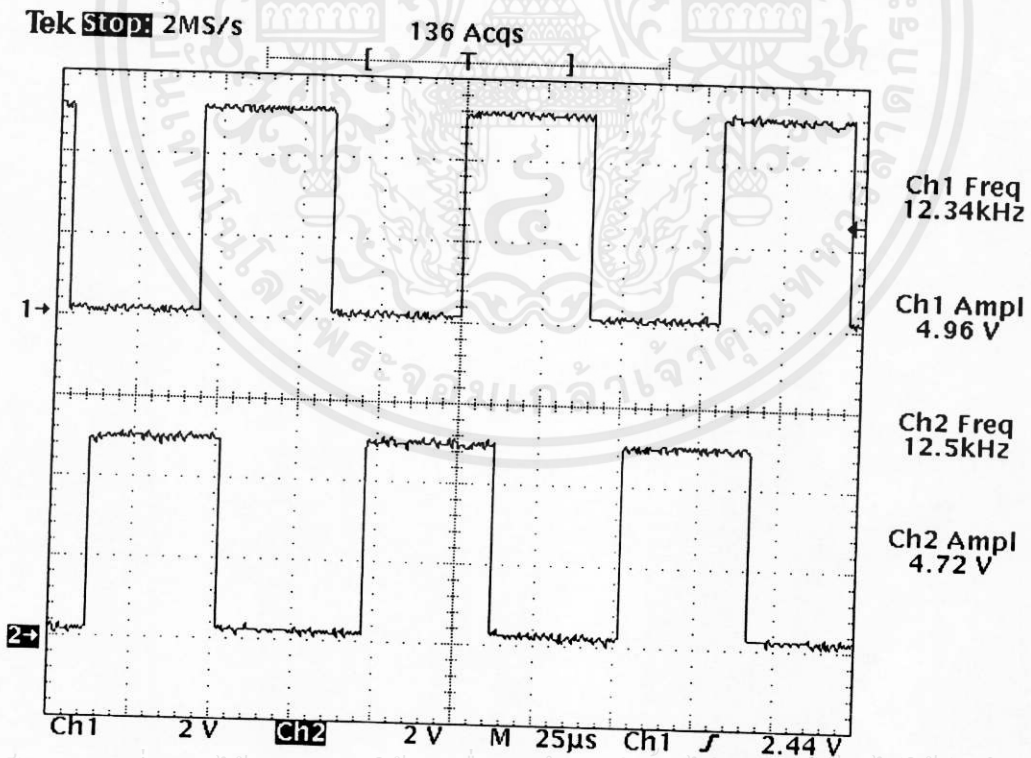


รูปที่ 5.48 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 12.5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามเผยแพร่แบบลงเนื้อหา และต้องขออนุญาตนำเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.49 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $12.5 \text{ kHz} + \Delta f_H$

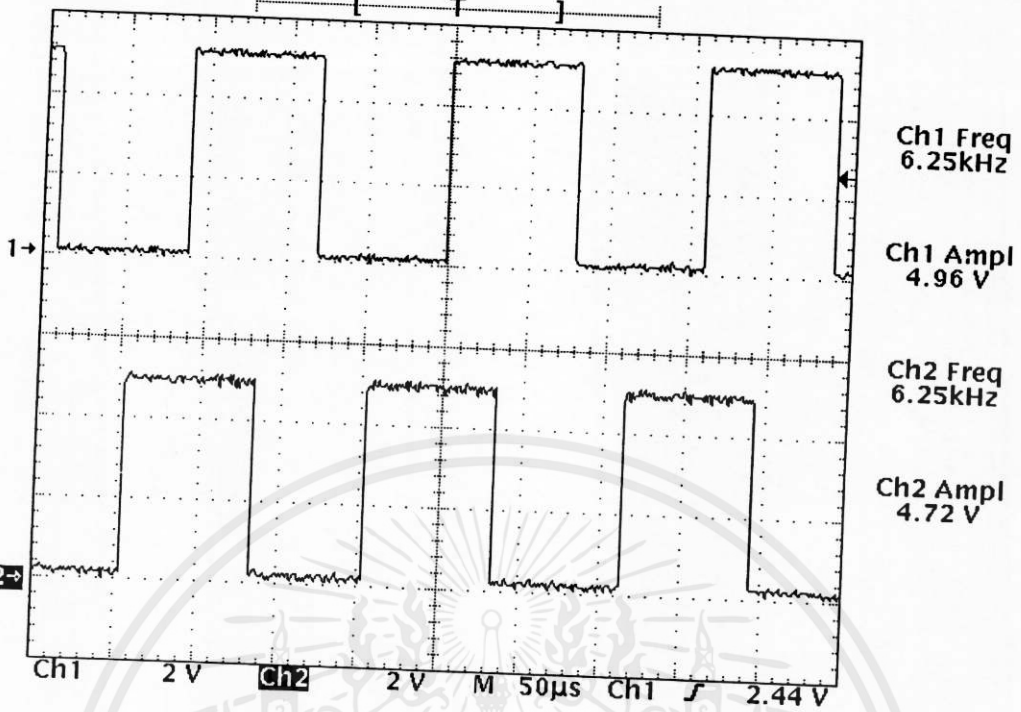


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 5.50 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $12.5 \text{ kHz} - \Delta f_H$ เอกสารทุกครั้งที่มีการนำไปใช้

Tek Stop: 1MS/s

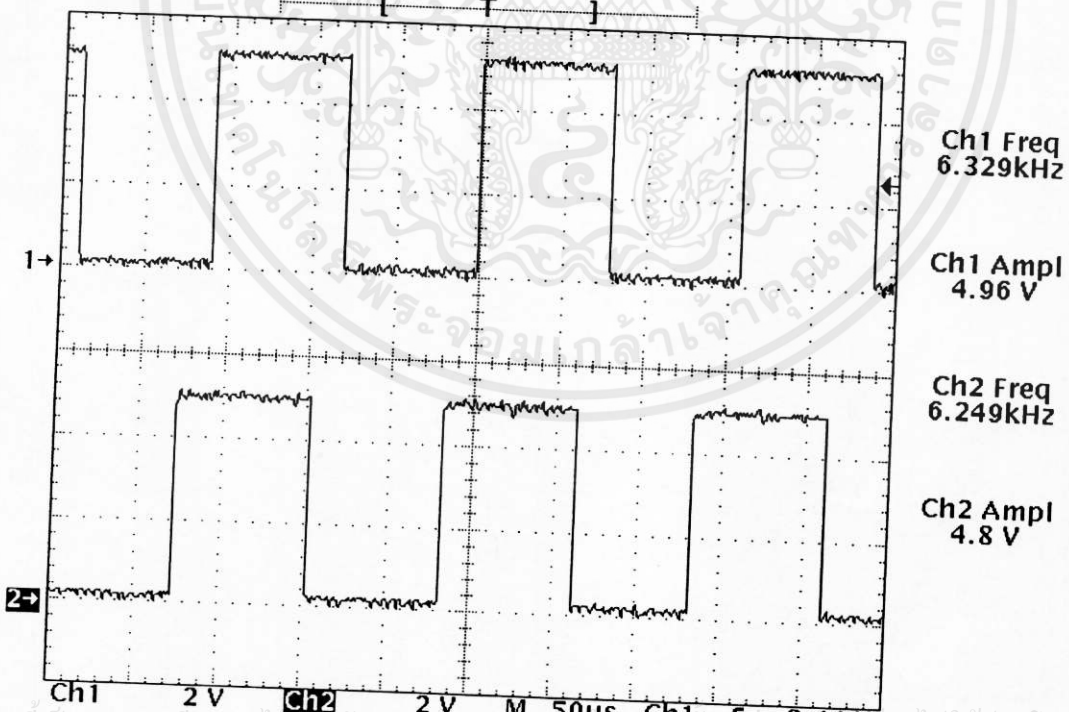
77 Acqs



รูปที่ 5.51 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 6.25 kHz

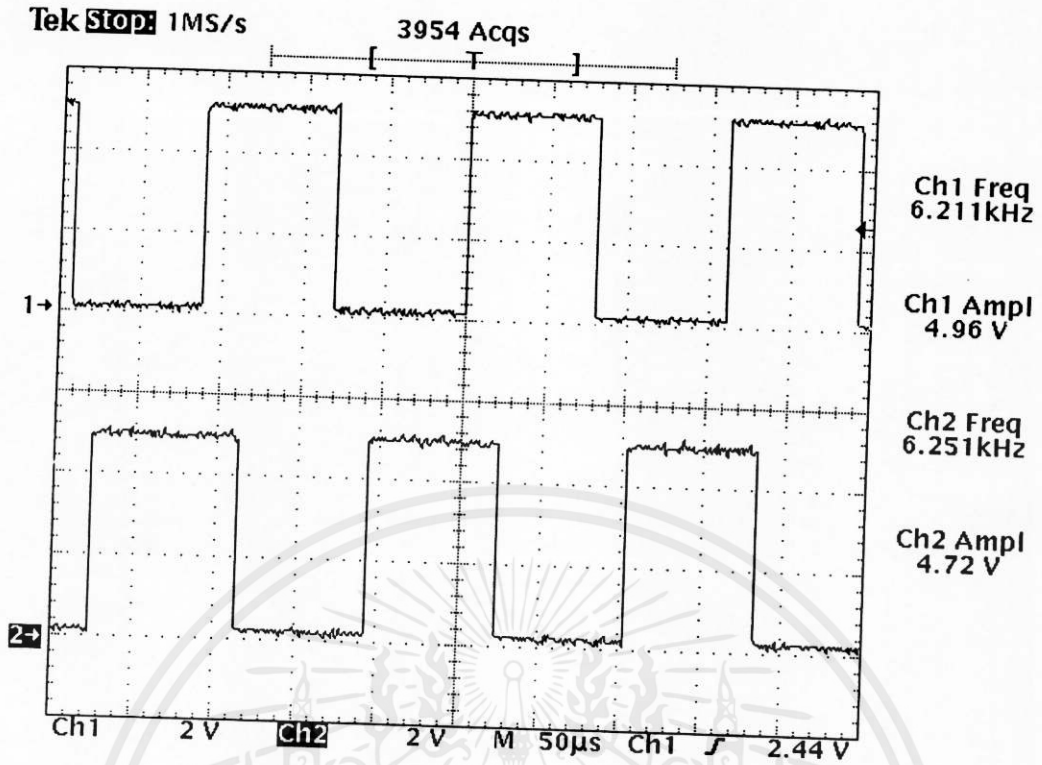
Tek Stop: 1MS/s

1586 Acqs

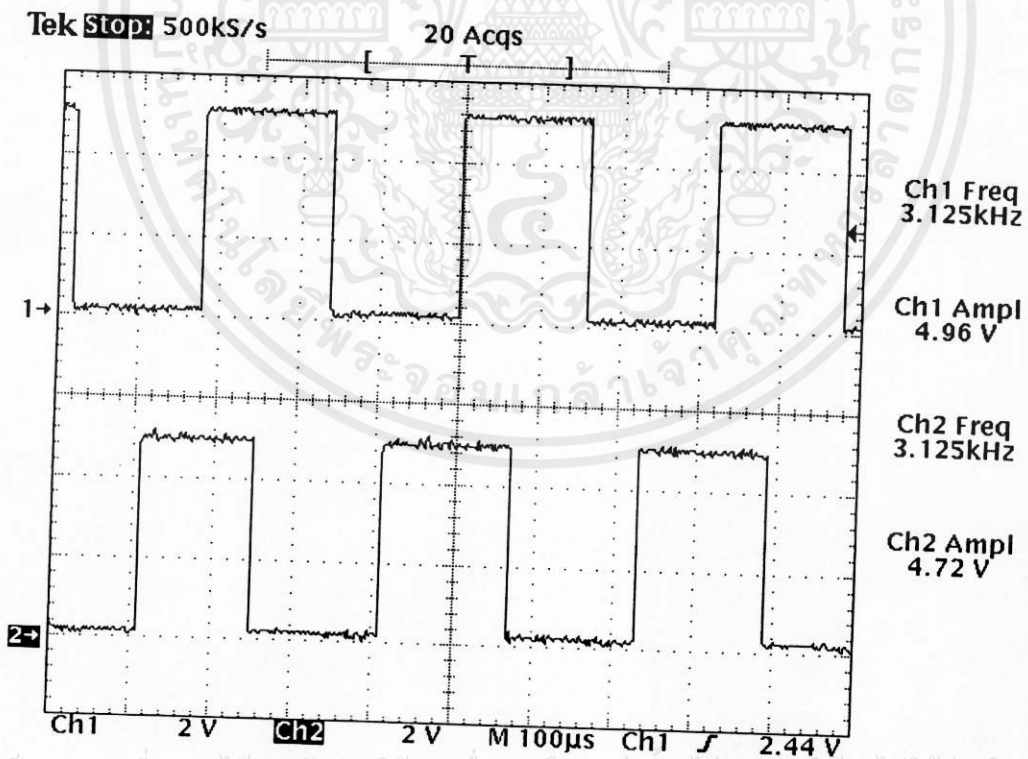


เอกสารนี้เป็นเอกสารที่ สงวนลิขสิทธิ์ การใช้งานเพื่อการศึกษาก็ได้เช่นกัน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

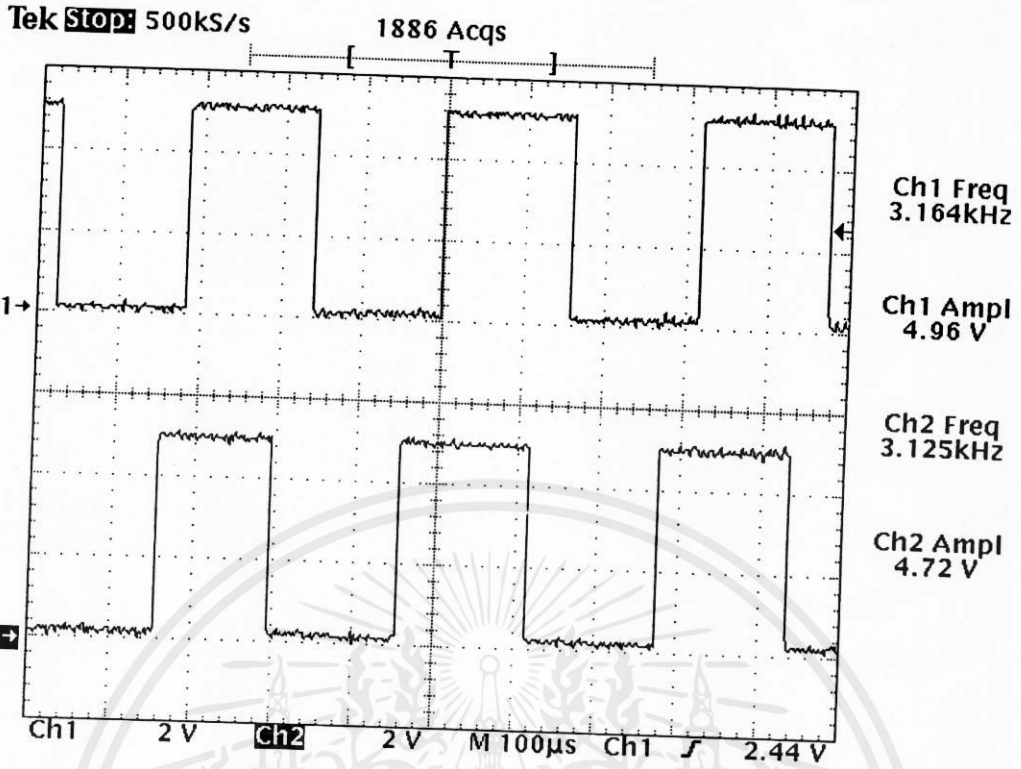
ไม่ว่ารูปที่ 5.52 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $6.25 \text{ kHz} + \Delta f_H$



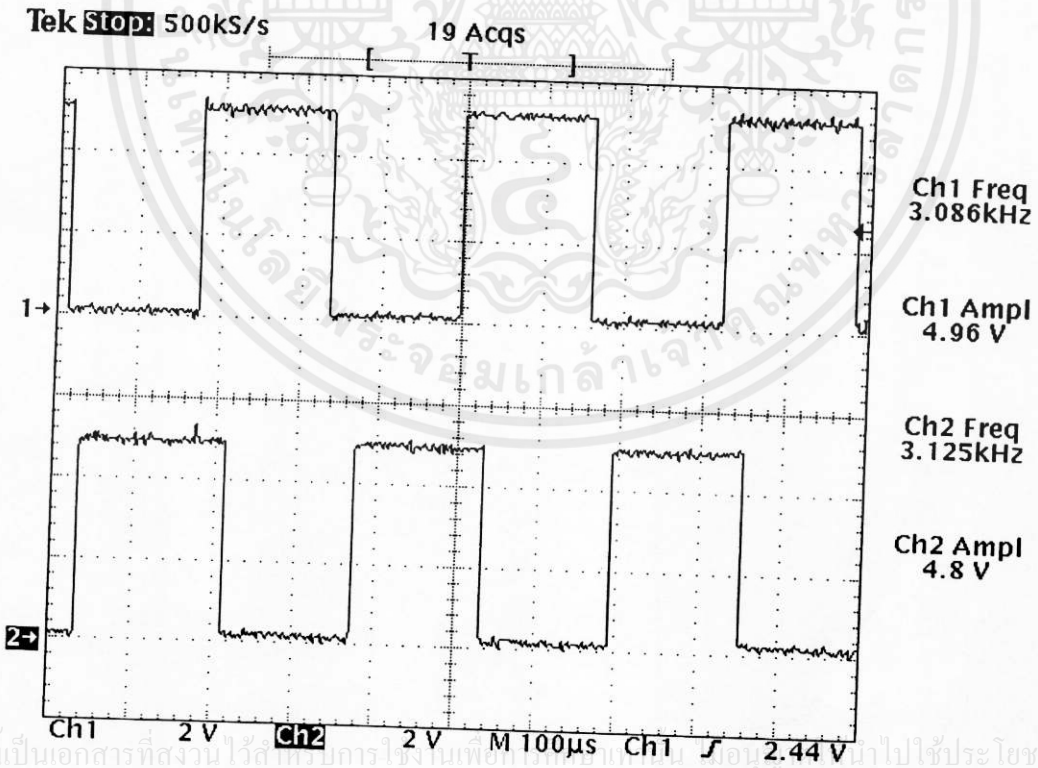
รูปที่ 5.53 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 6.25 kHz - Δf_H



รูปที่ 5.54 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 3.125 kHz วงจรเอกสารทุกครั้งที่มีการนำไปใช้



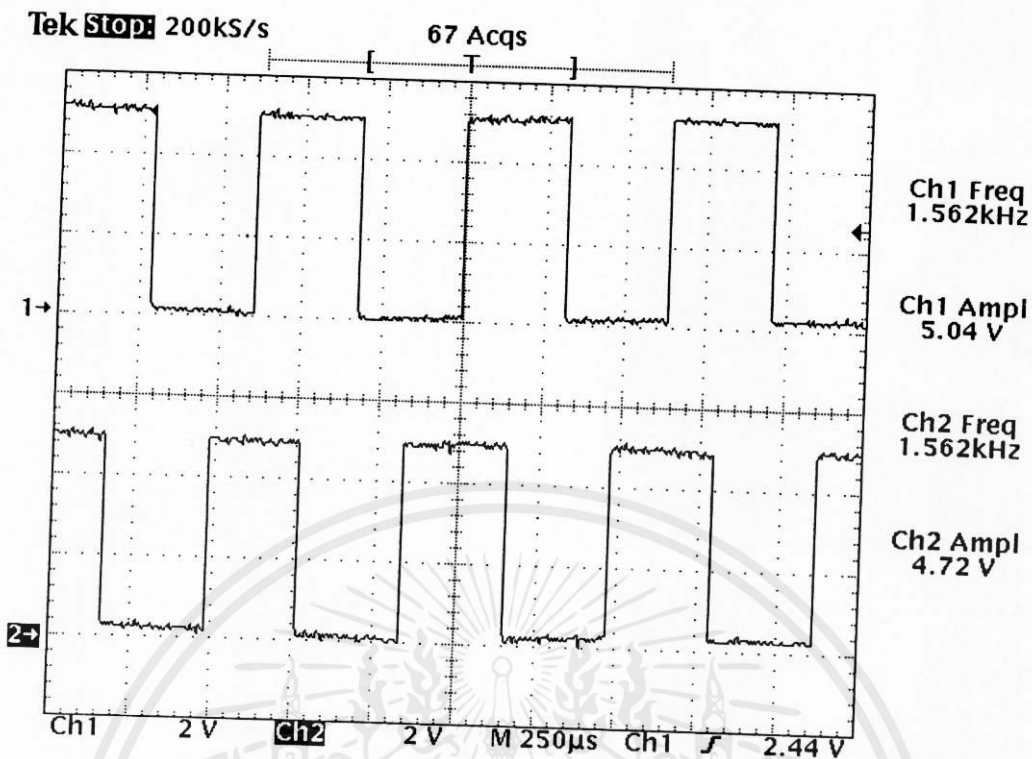
รูปที่ 5.55 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $3.125 \text{ kHz} + \Delta f_H$



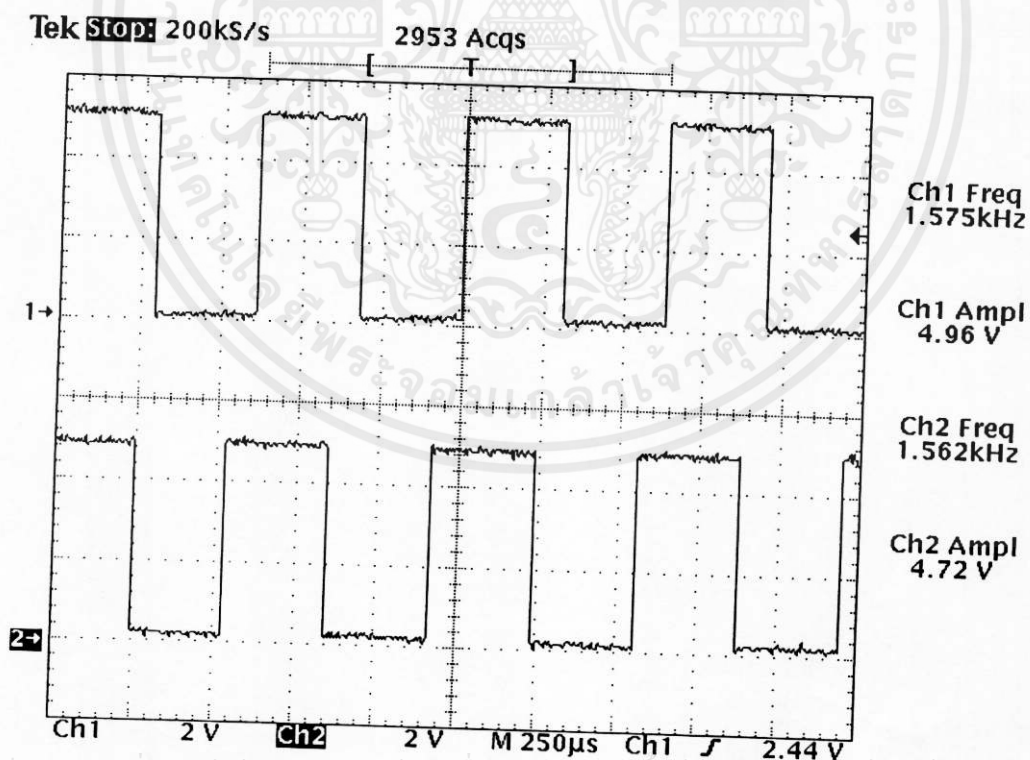
รูปที่ 5.56 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $3.125 \text{ kHz} - \Delta f_H$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการใช้งานเพื่อการศึกษาเท่านั้น กรุณาอย่าไปใช้ประโยชน์ด้านการค้า

ไม่ว่าในรูปแบบใดก็ตาม กรุณาแจ้งให้ชัดเจนแก่ผู้เป็นเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

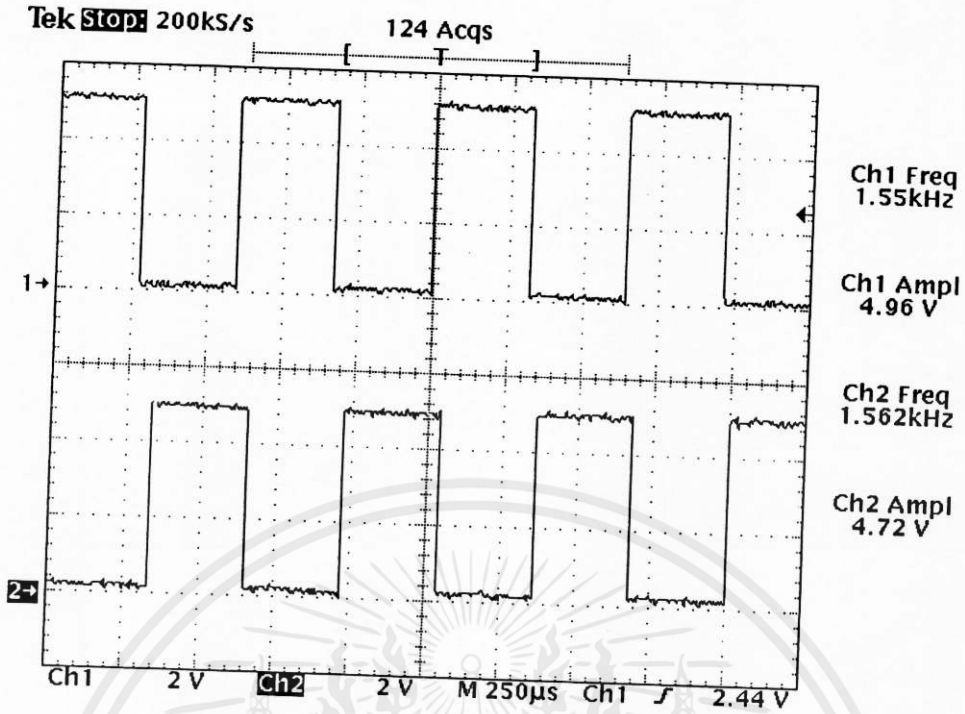


รูปที่ 5.57 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 1.5625 kHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

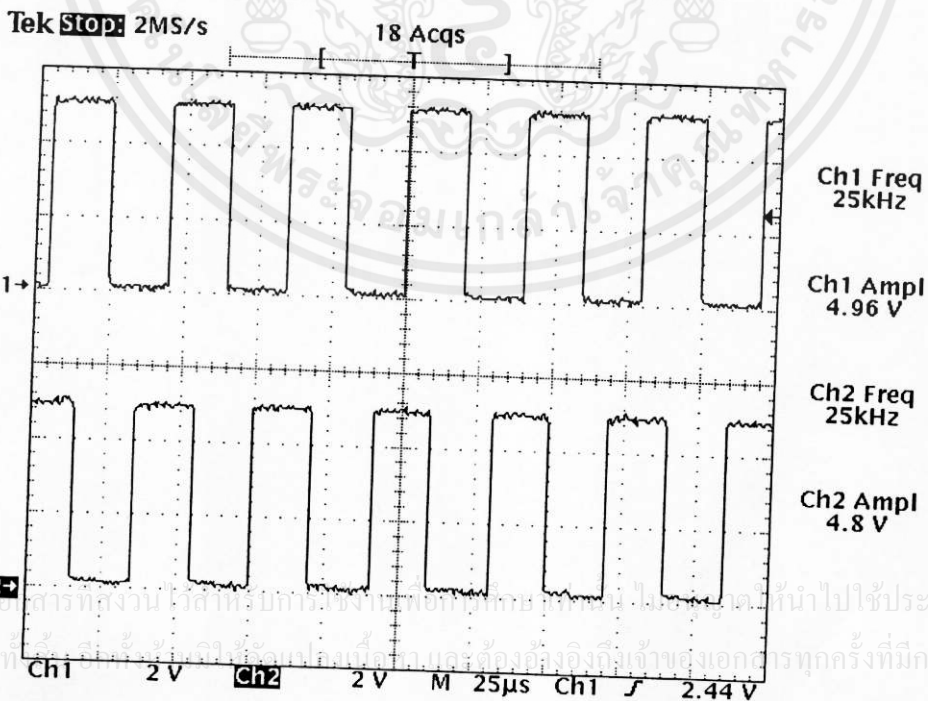
รูปที่ 5.58 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $1.5625 \text{ kHz} + \Delta f_H$ ทุกครั้งที่มีการนำไปใช้



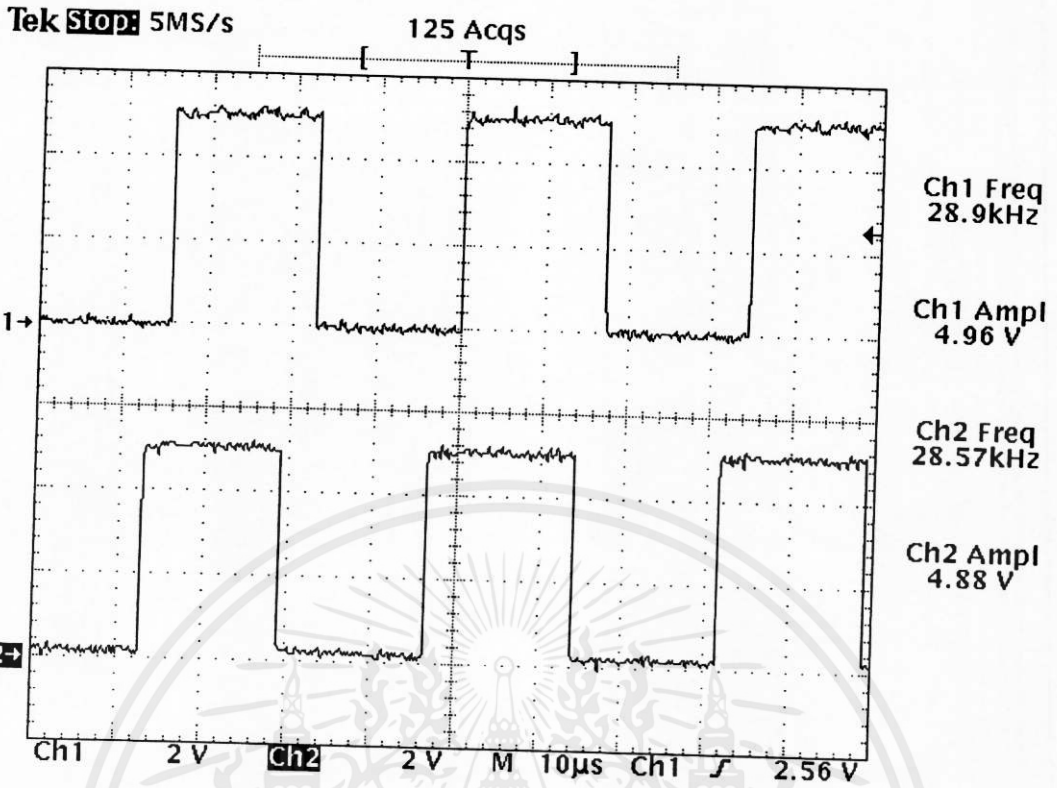
รูปที่ 5.59 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $1.5625 \text{ kHz} - \Delta f_H$

5.2.5 ผลที่ได้จากวงจรจับสัญญาณนาฬิกาด้วยเฟลต็อคูลูปแบบดิจิทัลทั้งหมดเมื่อ $N = 16$

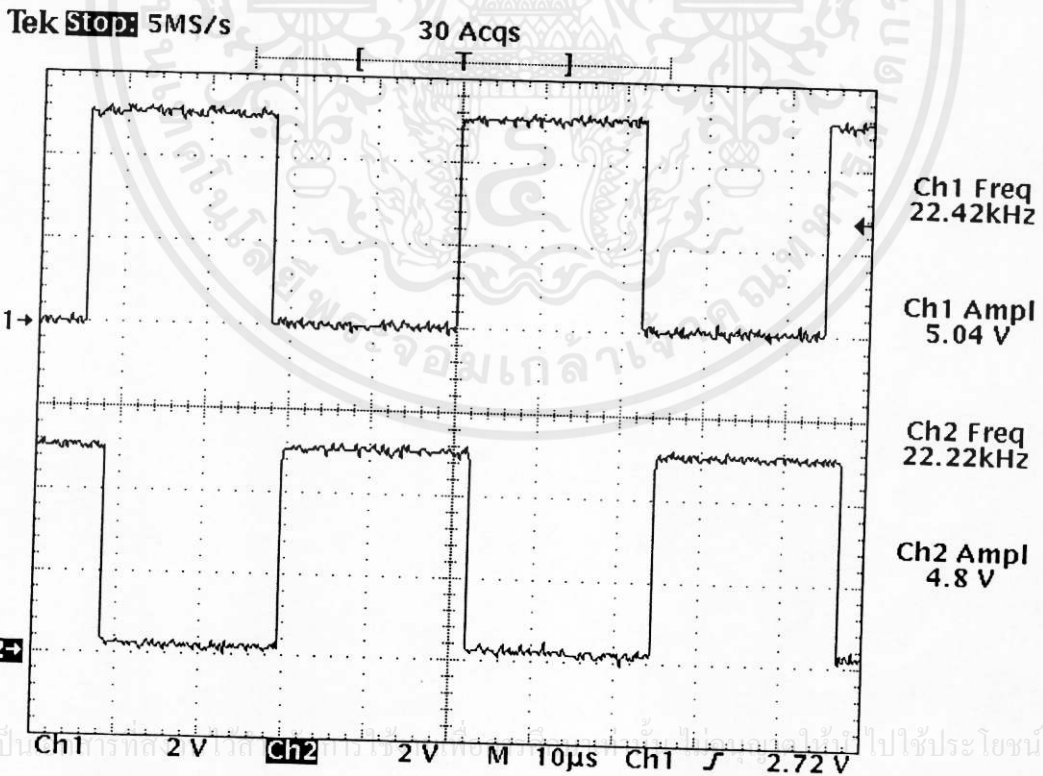
- โดยกำหนดให้ช่องสัญญาณที่ 1. แทนสัญญาณความถี่อินพุตของวงจร และช่องสัญญาณที่ 2. แทนสัญญาณความถี่เอาต์พุตของวงจร



รูปที่ 5.60 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 25 kHz



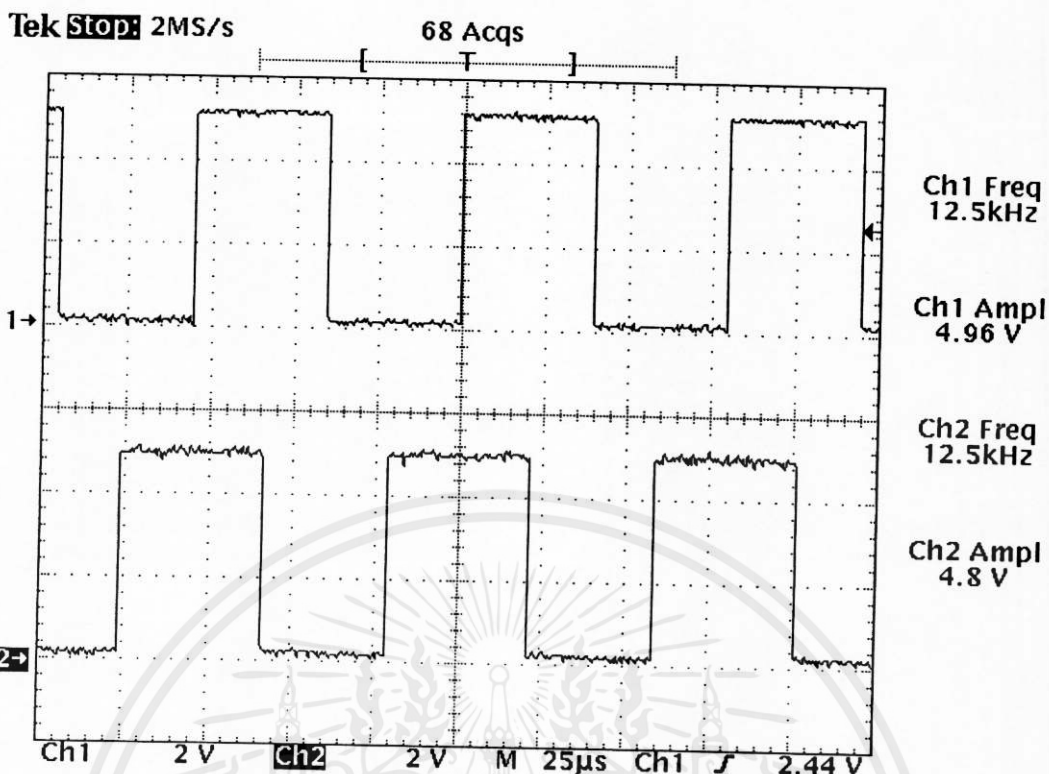
รูปที่ 5.61 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $25 \text{ kHz} + \Delta f_H$



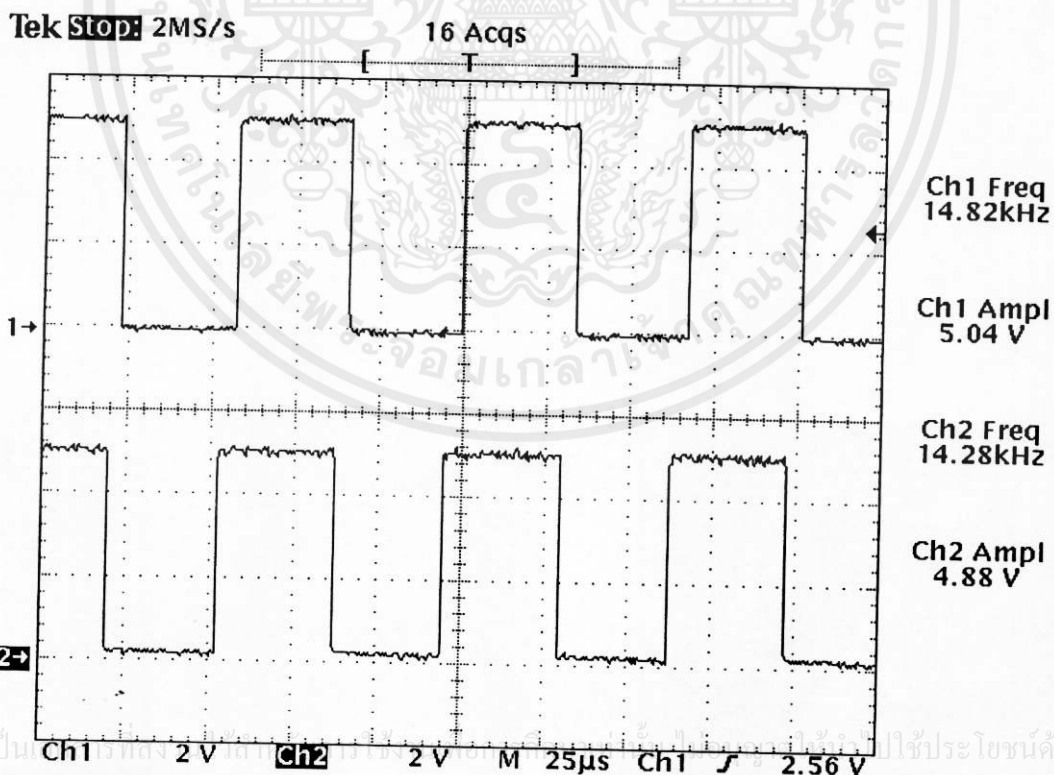
รูปที่ 5.62 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $25 \text{ kHz} - \Delta f_H$

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.63 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 12.5 kHz

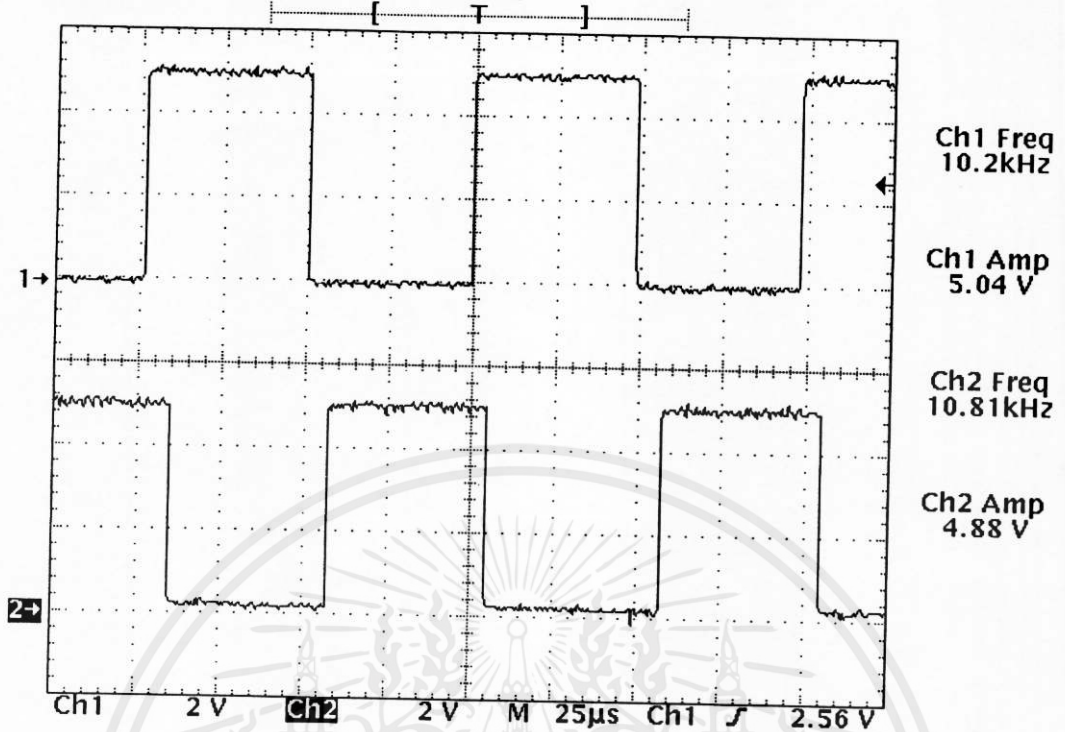


รูปที่ 5.64 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $12.5 \text{ kHz} + \Delta f_H$

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ห้ามเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

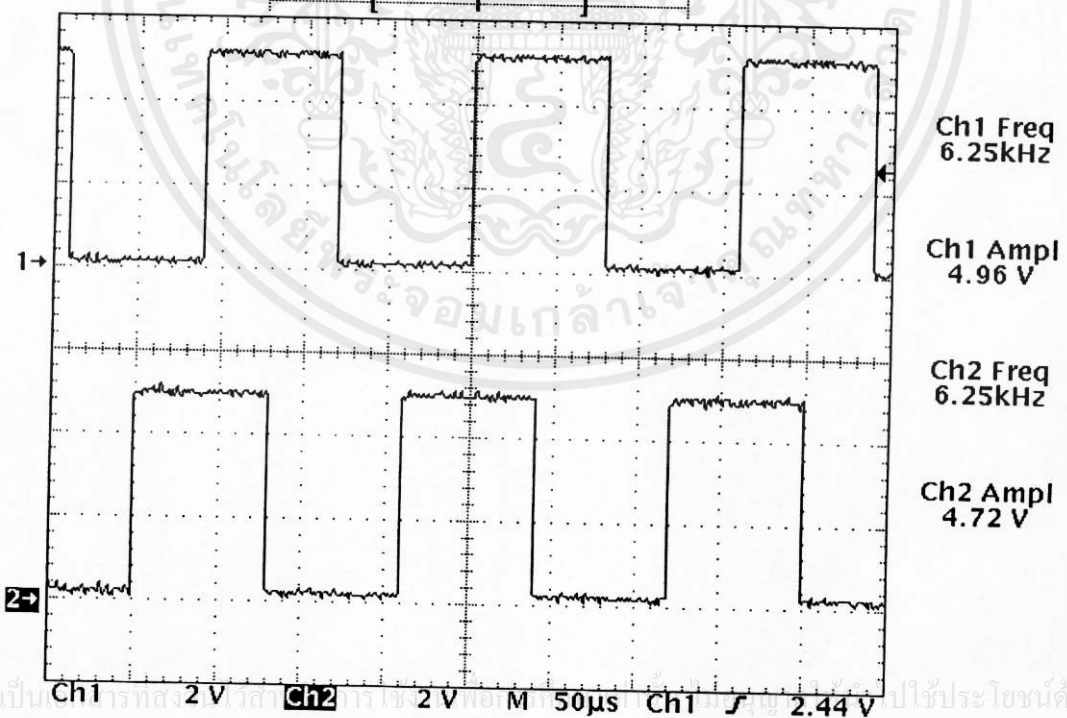
Tek Stop: 2MS/s

20 Acqs

รูปที่ 5.65 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $12.5 \text{ kHz} - \Delta f_H$

Tek Stop: 1MS/s

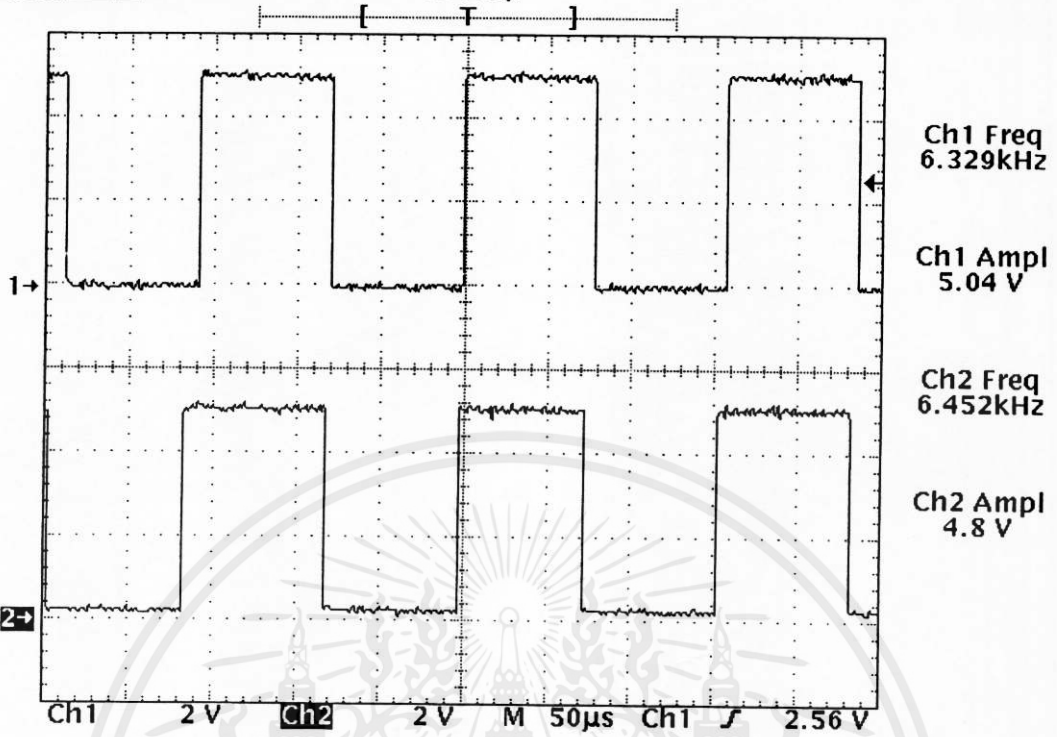
21 Acqs



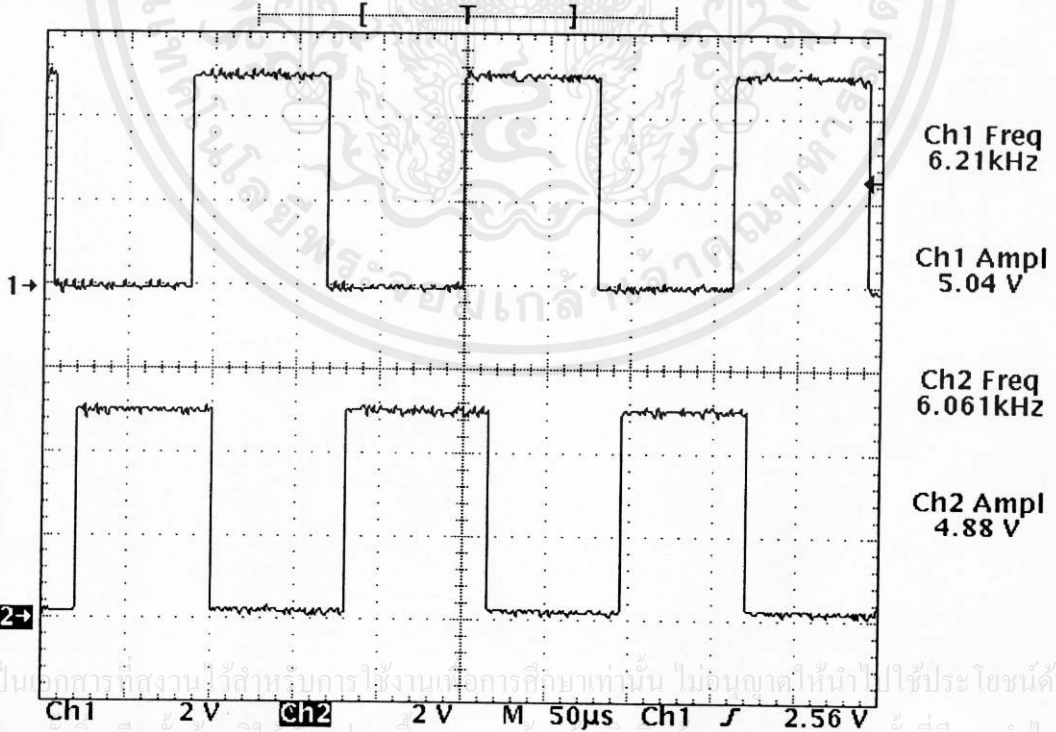
รูปที่ 5.66 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 6.25 kHz

Tek **Stop** 1MS/s

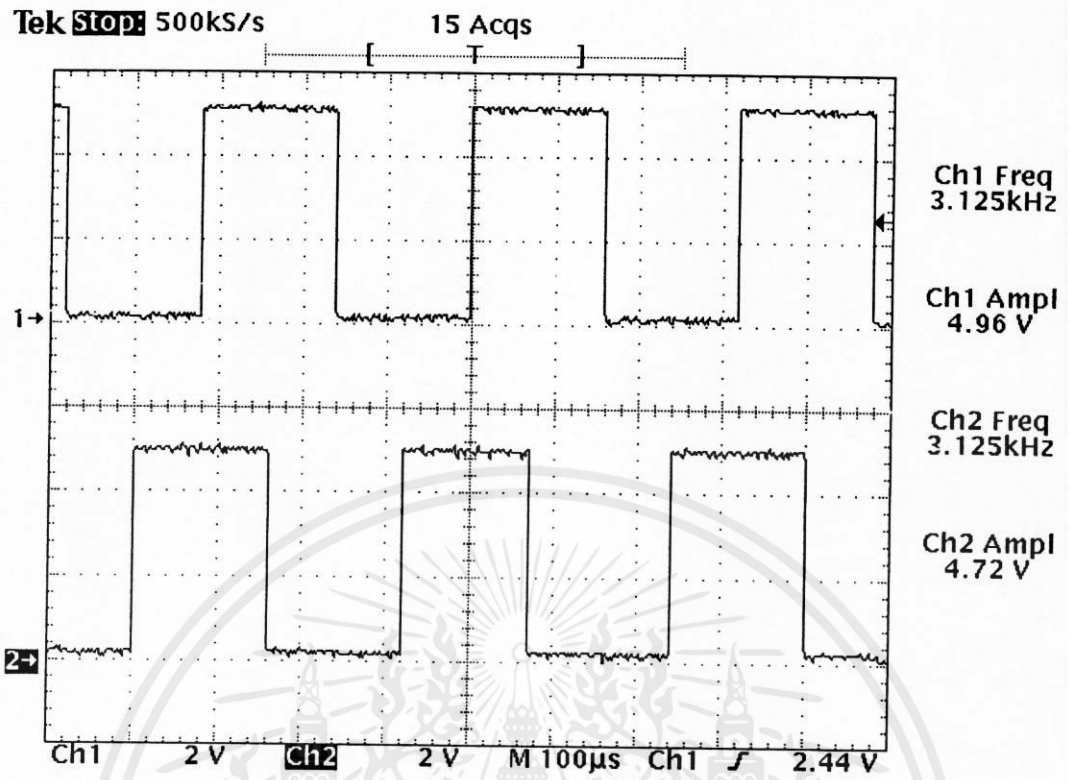
15 Acqs

รูปที่ 5.67 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $6.25 \text{ kHz} + \Delta f_H$ Tek **Stop** 1MS/s

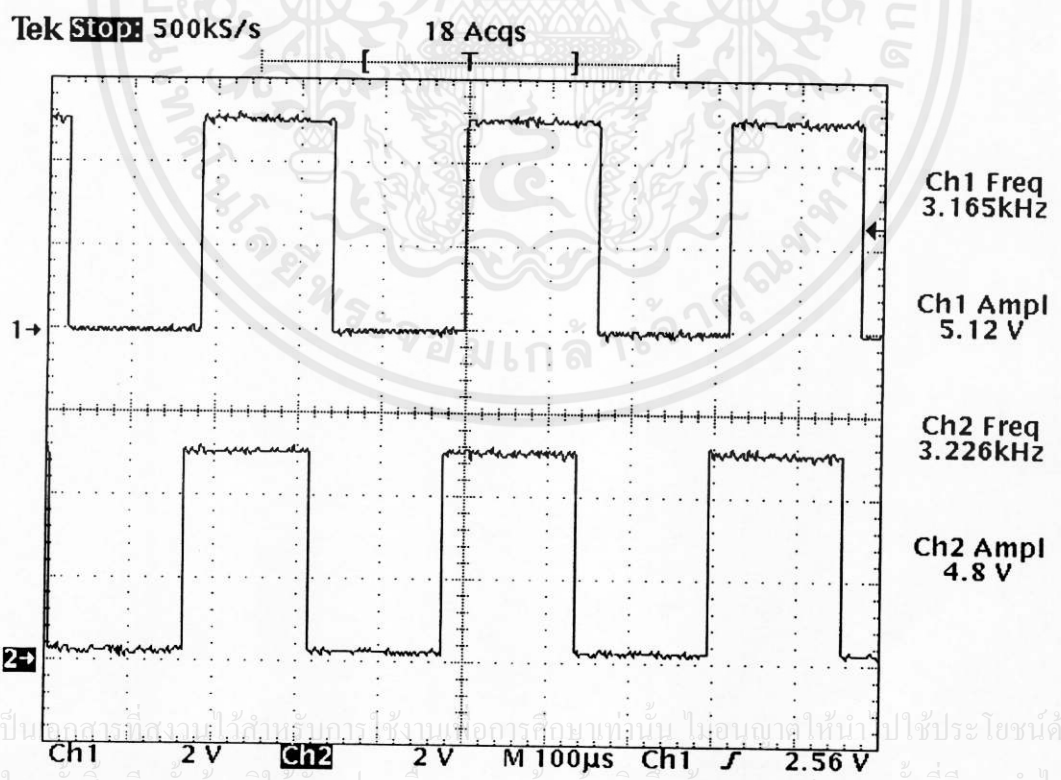
21 Acqs

รูปที่ 5.68 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $6.25 \text{ kHz} - \Delta f_H$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

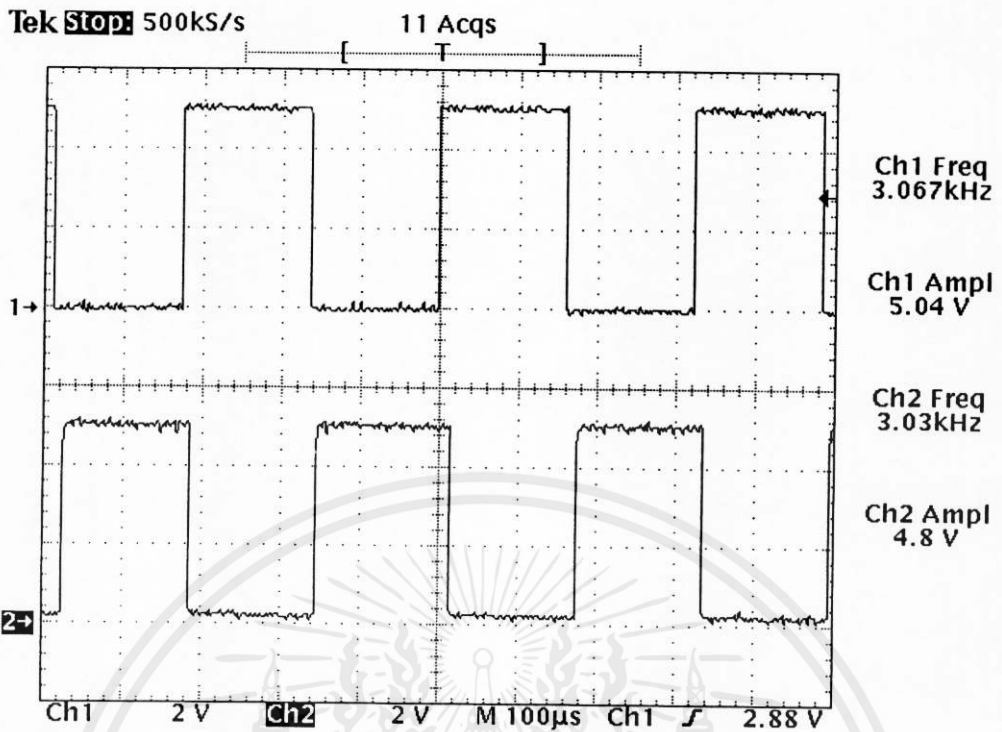


รูปที่ 5.69 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 3.125 kHz



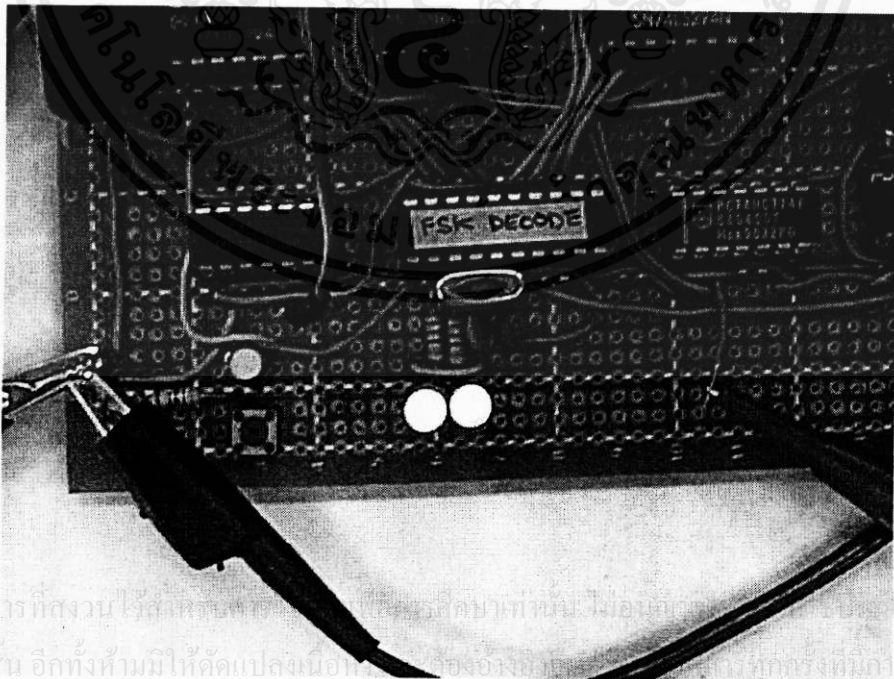
รูปที่ 5.70 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $3.125 \text{ kHz} + \Delta f_H$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาดูเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



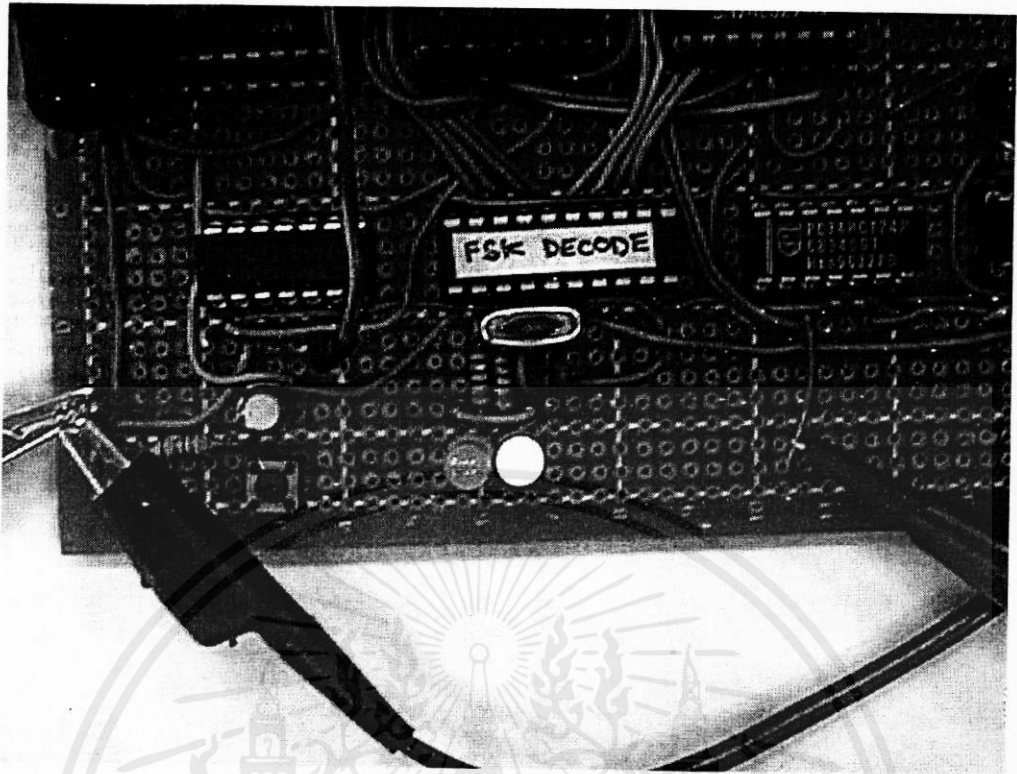
รูปที่ 5.71 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ $3.125 \text{ kHz} - \Delta f_H$

5.2.6 ผลที่ได้จากวงจร FSK decoder 4 ระดับด้วยเฟสล็อกแบบดิจิทัลทั้งหมด โดยกำหนดให้ LED สว่างแทนด้วยรหัส 1 และ LED ดับแทนด้วยรหัส 0

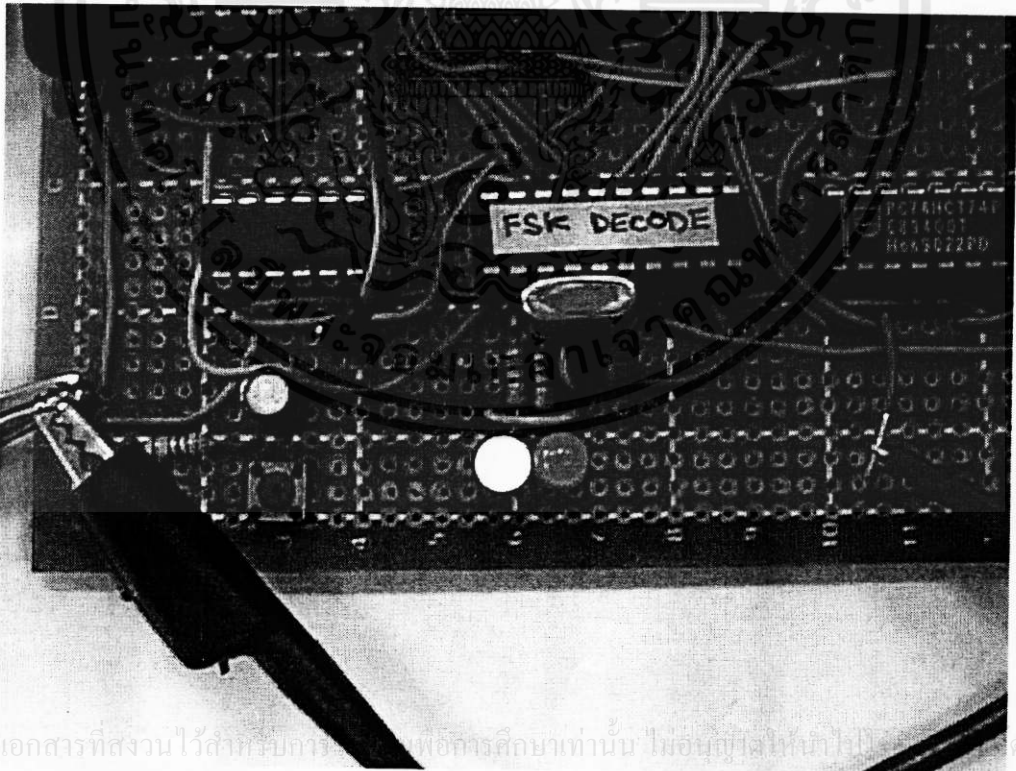


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับพิจารณาเท่านั้น ไม่อนุญาตให้มีการเผยแพร่หรือใช้ซ้ำโดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกหรือทำซ้ำโดยไม่ได้รับอนุญาต หากฝ่าฝืนจะดำเนินการดำเนินต่อไป

รูปที่ 5.72 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 25 kHz แสดงด้วยรหัส 11



รูปที่ 5.73 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 12.5 kHz แสดงด้วยรหัส 01



รูปที่ 5.74 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 6.25 kHz แสดงด้วยรหัส 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการ... เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไป... ด้านการค้า

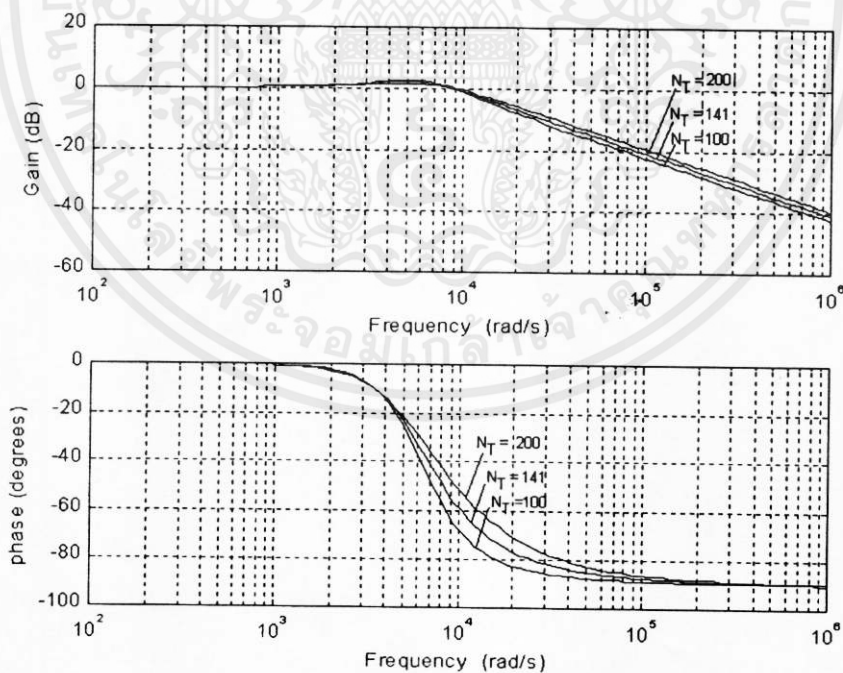
ไม่ว่ากรณีใดๆ ทั้งสิ้น ถือทั้งห้าเป็นให้ตัดแปลงเนื้อหา และต้องอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.75 แสดงการทำงานของวงจรที่ความถี่กลางเท่ากับ 3.125 kHz แสดงด้วยรหัส 00

5.3 ผลการทดลองที่ได้จากการเลียนแบบการทำงานโดยใช้โปรแกรม MATLAB

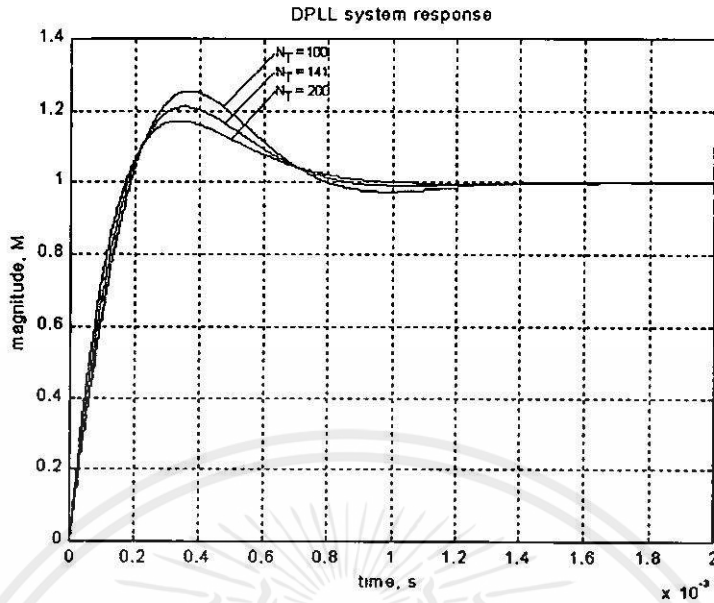
5.3.1 ผลที่ได้จากการเลียนแบบการทำงานจากสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกแบบดิจิทัล แบบโดยตรง



รูปที่ 5.76 แสดงโบคโคแอมพลิจูดของสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วย

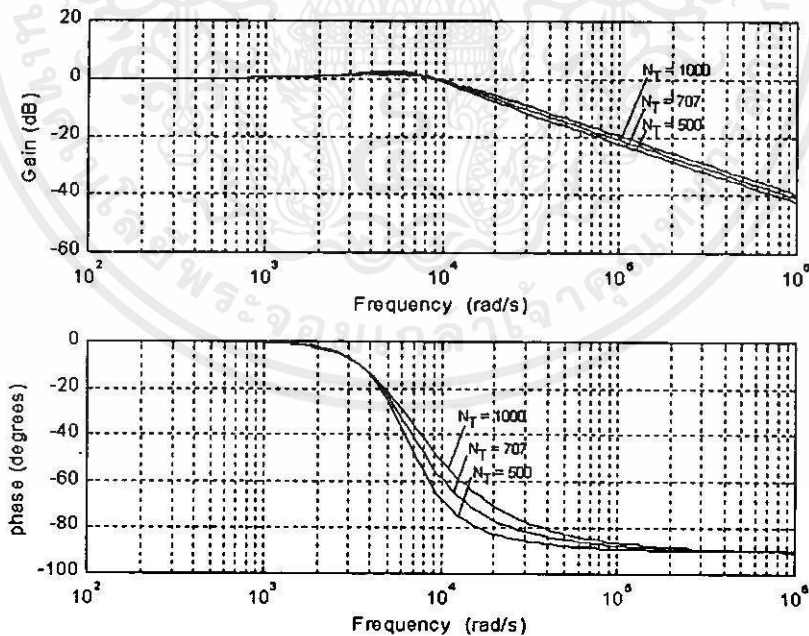
เฟสล็อกแบบดิจิทัล แบบโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น มิใช่เพื่อการค้า หรือบริการเชิงพาณิชย์ การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



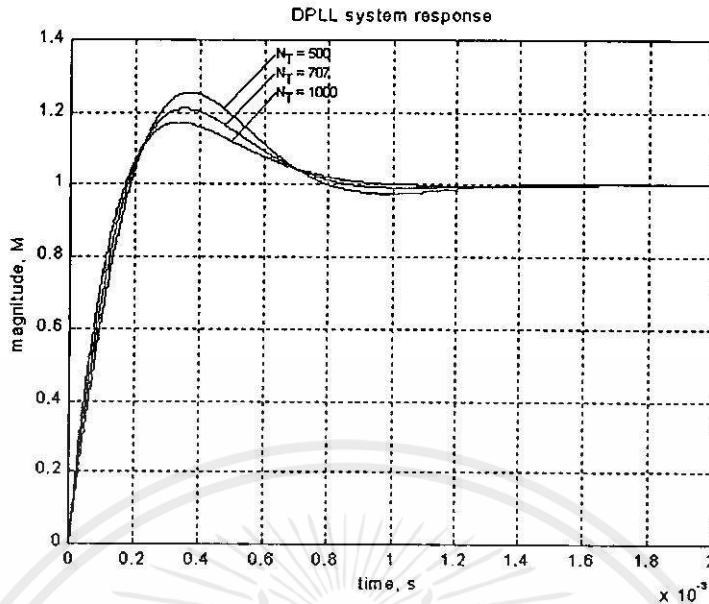
รูปที่ 5.77 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกคัลป์แบบดิจิทัล แบบโดยตรง

5.3.2 ผลที่ได้จากการเขียนแบบการทำงานจากสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกคัลป์แบบดิจิทัล แบบพริสเกลเลอร์



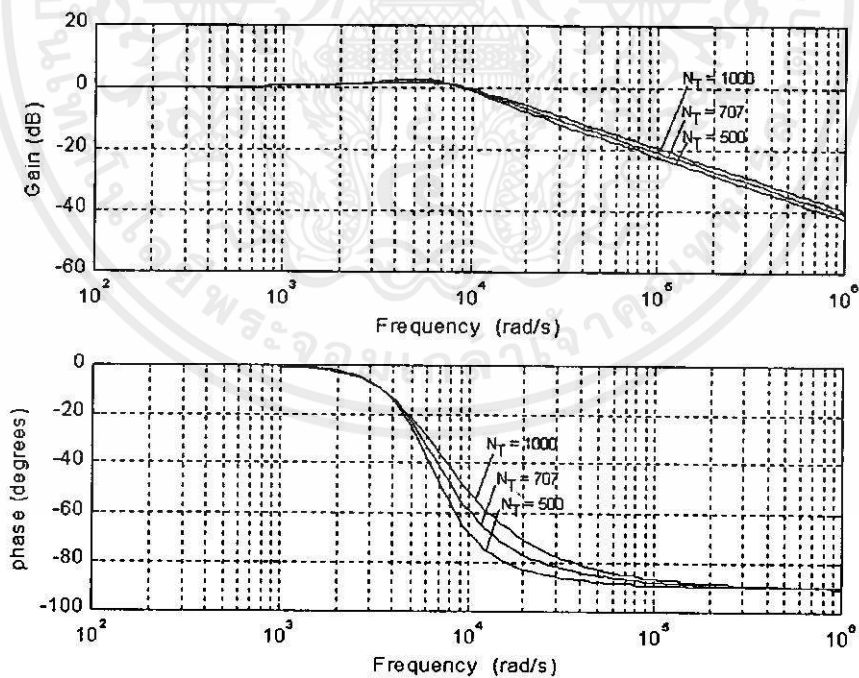
รูปที่ 5.78 แสดงโบดไดอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกคัลป์แบบดิจิทัล แบบพริสเกลเลอร์

เอกสารนี้เป็นเอกสารที่มอบไว้สำหรับการใช้งานเพื่อการศึกษานานับ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

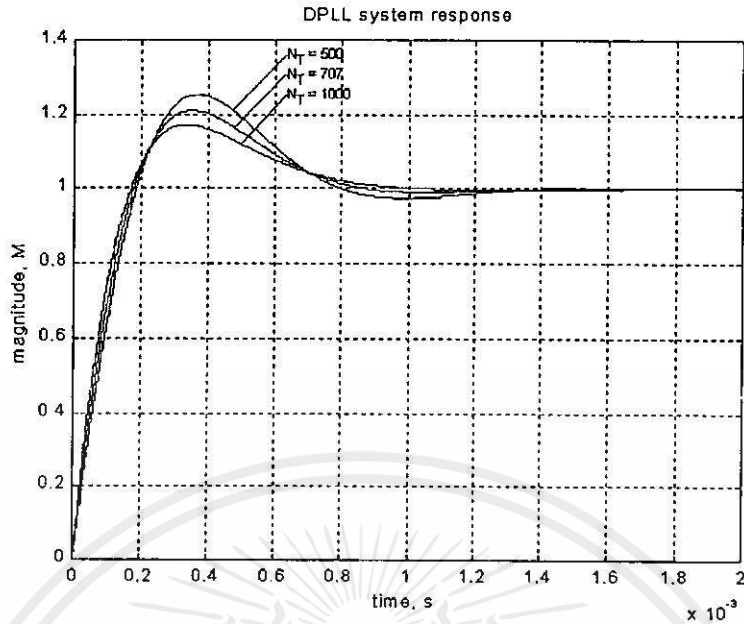


รูปที่ 5.79 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบพริสเกลเลอร์

5.3.3 ผลที่ได้จากการเลียนแบบการทำงานจากสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบพริสเกลเลอร์สองโมดูลัส

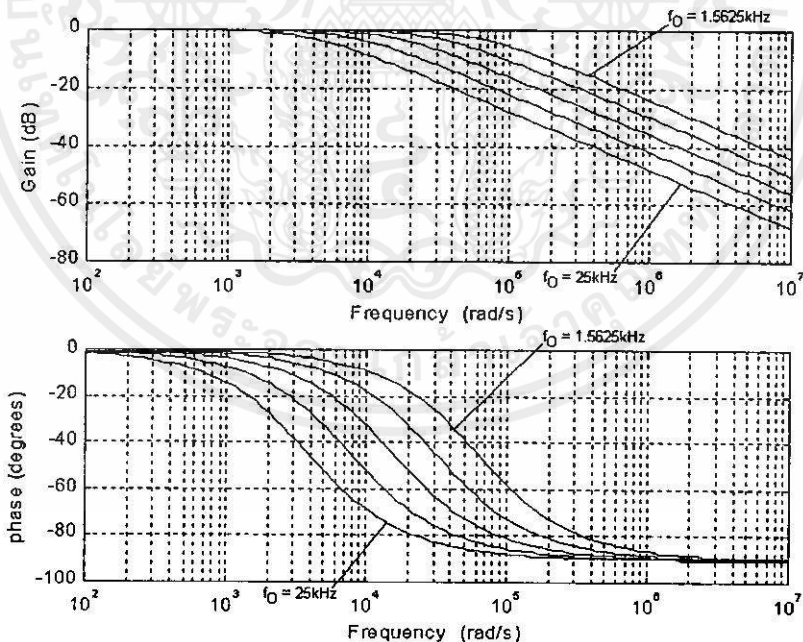


รูปที่ 5.80 แสดงโบดไคอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบดิจิทัล แบบพริสเกลเลอร์สอง โมดูลัส



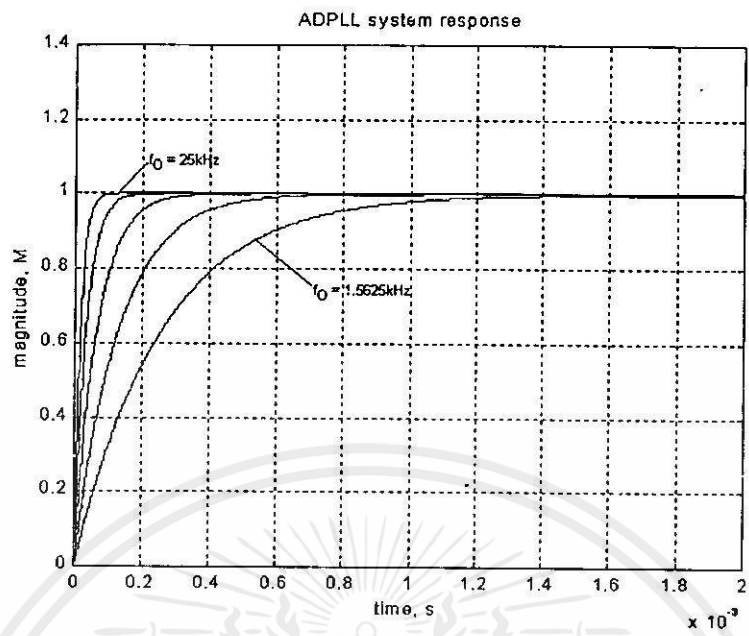
รูปที่ 5.81 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรการสังเคราะห์ความถี่ด้วยเฟสล็อกคัลรูปแบบดิจิทัล แบบพริสเกลเลอร์สองโมดูลัส

5.3.3 ผลที่ได้จากการเลียนแบบการทำงานจากสมการฟังก์ชันถ่ายโอนของวงจรจับสัญญาณนาฬิกาด้วยเฟสล็อกคัลรูปแบบดิจิทัลทั้งหมด เมื่อ $N = 8$



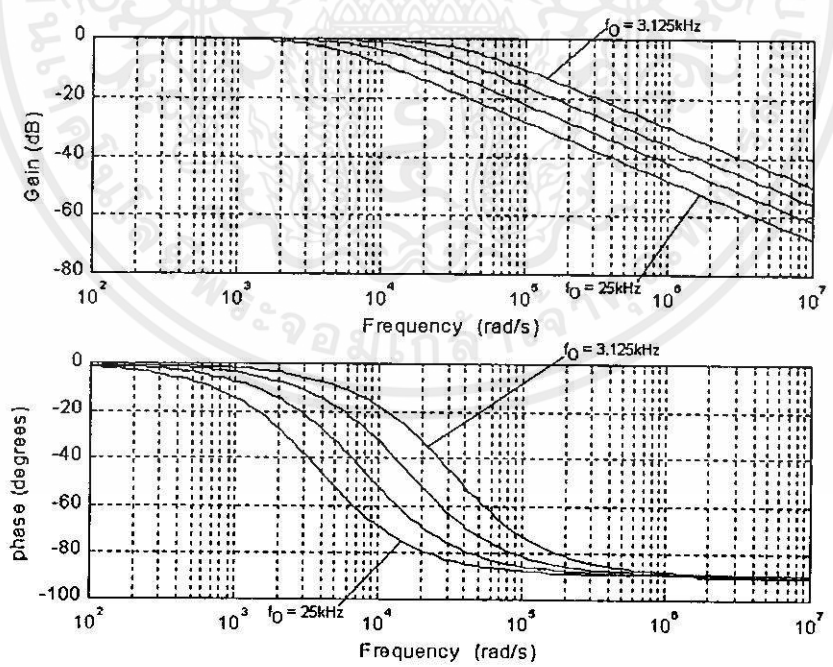
รูปที่ 5.82 แสดงโบดไดอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรจับสัญญาณนาฬิกาด้วย

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



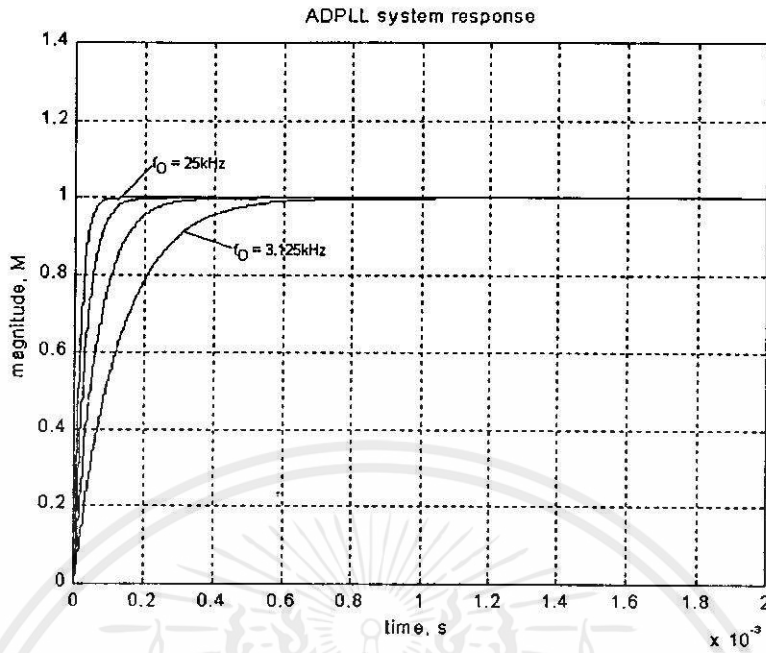
รูปที่ 5.83 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรจับสัญญาณนาฬิกาด้วยเฟสล็อกแบบดิจิทัลทั้งหมด เมื่อ $N = 8$

5.3.4 ผลที่ได้จากการเลียนแบบการทำงานจากสมการฟังก์ชันถ่ายโอนของวงจรจับสัญญาณนาฬิกาด้วยเฟสล็อกแบบดิจิทัลทั้งหมด เมื่อ $N = 16$



รูปที่ 5.84 แสดงโบดไดอะแกรมของสมการฟังก์ชันถ่ายโอนของวงจรจับสัญญาณนาฬิกาด้วยเฟสล็อกแบบดิจิทัลทั้งหมด เมื่อ $N = 16$

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตเป็นการฝ่าฝืนกฎหมายและต้องแจ้งเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.85 แสดงการตอบสนองของสมการฟังก์ชันถ่ายโอนของวงจรถับสัญญาณนาฬิกาด้วยเฟสล็อกคัลรูปแบบดิจิทัลทั้งหมด เมื่อ $N = 16$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการทดลองและวิจารณ์

6.1 วงจรเฟสล็อกคูลูปแบบคิจิตอล

จากการทดลองที่ได้จากวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบคิจิตอลนั้น ในส่วนของวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบคิจิตอล แบบโดยตรง ซึ่งได้ออกแบบให้สังเคราะห์ความถี่อยู่ในช่วง 1 MHz - 2 MHz วงจรสามารถปรับค่าสัญญาณความถี่เอาต์พุตได้ตามที่ได้ออกแบบไว้ โดยสัญญาณความถี่เอาต์พุตที่ได้จะมีค่าความถี่เป็น N เท่า ของสัญญาณความถี่อ้างอิง (10 kHz) และมีช่วงห่างของสัญญาณความถี่เท่ากับสัญญาณความถี่อ้างอิง สำหรับวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบคิจิตอล แบบพริสเกลเลอร์ ได้ออกแบบให้สังเคราะห์ความถี่อยู่ในช่วง 5 MHz - 10 MHz ซึ่งเป็นการสังเคราะห์ความถี่ที่สูงขึ้น โดยใช้สัญญาณความถี่อ้างอิงที่ค่าต่ำโดยถ้าหากใช้วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบคิจิตอล แบบโดยตรง ทำการสังเคราะห์ความถี่จะต้องทำการเพิ่มสัญญาณความถี่อ้างอิงให้มีค่าสูงขึ้น ซึ่งในการทดลองใช้สัญญาณความถี่อ้างอิงมีค่าเท่ากับ 10 kHz และวงจรในส่วนที่เพิ่มขึ้นมานอกเหนือจากวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบคิจิตอล แบบโดยตรง คือวงจรหารค่าสัญญาณความถี่ ซึ่งก็คือวงจรพริสเกลเลอร์ ($V = 10$) โดยการทดสอบวงจรมัน วงจรสามารถสังเคราะห์ความถี่ได้ตามต้องการ โดยการปรับค่า N ซึ่งอยู่ในช่วง 50 - 100 สัญญาณความถี่เอาต์พุตที่ได้จะมีค่าความถี่เป็น $N \times V$ เท่าของค่าสัญญาณความถี่อ้างอิง ซึ่งมีช่วงห่างของค่าความถี่เท่ากับ 100 kHz โดยจะเห็นได้ว่าการสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบคิจิตอล แบบพริสเกลเลอร์นี้จะมีข้อเสียคือช่วงห่างของสัญญาณความถี่เอาต์พุตจะมีค่าเพิ่มมากขึ้น นั่นคือไม่สามารถทำให้ช่วงห่างของสัญญาณความถี่เอาต์พุตมีค่าเท่ากับค่าสัญญาณความถี่อ้างอิง เพื่อแก้ปัญหาดังกล่าวทำได้โดยการใช้วงจรพริสเกลเลอร์สองโมดูลัสแทนวงจรพริสเกลเลอร์เดิม ซึ่งจะเรียกวงจรนี้ว่าวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบคิจิตอล แบบพริสเกลเลอร์สองโมดูลัส สำหรับวงจรที่ใช้ในการทดลองนั้น ได้ออกแบบวงจร โดยใช้ค่าพารามิเตอร์เช่นเดียวกับวงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูลูปแบบคิจิตอล แบบพริสเกลเลอร์ คือ สังเคราะห์ความถี่อยู่ในช่วง 5 MHz - 10 MHz เช่นเดียวกัน โดยวงจรพริสเกลเลอร์สองโมดูลัส ($V/V+1$) มีค่า V เท่ากับ 10 จากผลการทดลองที่ได้ช่วงห่างของสัญญาณความถี่เอาต์พุตจะลดลงมามีค่าเท่ากับ 10 kHz ซึ่งมีค่าเท่ากับสัญญาณความถี่อ้างอิง ในส่วนของช่วงล็อก และช่วงยึกของวงจรทั้ง 3 แบบ

จะมีค่าเหมือนกันเพราะใช้สมการฟังก์ชันถ่ายโอนอันเดียวกัน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งนี้ สำหรับการเขียนแบบการทำงาน โดยใช้โปรแกรม MATLAB เมื่อทำการพล็อตโบดไคอะแกรมของสมการฟังก์ชันถ่ายโอน และการตอบสนองของสมการฟังก์ชันถ่ายโอน จะได้ผลเป็นไปตามที่ได้ออกแบบไว้ ซึ่งจะเห็นได้ว่าค่าเวลาการเข้าสู่สภาวะล็อก (T_L) มีค่าเท่ากับ 1 ms ตาม

ที่ได้ออกแบบ

6.2 วงจรเฟสล็อกูปแบบดิจิทัลทั้งหมด

จากผลการทดลองที่ได้ วงจรสามารถล็อกสัญญาณความถี่ตามสัญญาณความถี่อ้างอิงได้ โคนเมื่อป้อนสัญญาณความถี่อ้างอิงเท่ากับค่าสัญญาณความถี่กลางที่ได้ออกแบบไว้ ลักษณะสัญญาณความถี่ที่ได้ระหว่างสัญญาณความถี่อ้างอิง กับสัญญาณความถี่เอาต์พุตจะมีเฟสต่างกัน 90 องศา และเมื่อป้อนสัญญาณความถี่อ้างอิงที่มีความถี่เข้าใกล้ $f_0 + \Delta f_H$ สัญญาณความถี่เอาต์พุตที่ได้จะมีค่าเฟสเข้าใกล้กับสัญญาณความถี่อ้างอิง และเมื่อป้อนสัญญาณความถี่อ้างอิงที่มีความถี่เข้าใกล้ $f_0 - \Delta f_H$ สัญญาณความถี่เอาต์พุตที่ได้จะมีค่าต่างเฟสกับสัญญาณความถี่อ้างอิงเข้าใกล้ 180 องศา และจากการทดลองพบว่า ที่ค่า N เท่ากับ 8 จะเกิดริบเปิ้ลในวงจรขึ้นมากซึ่งเป็นผลมาจากค่า N ที่ใช้มีค่าเข้าใกล้ค่า N ต่ำสุด โดยค่า N ต่ำสุดมีค่าเท่ากับ $3M/2K$ [2] จึงส่งผลให้ค่าระยะยิดในทางปฏิบัติมีค่าน้อยกว่าค่าที่คำนวณได้ เมื่อทดลองลดค่าสัญญาณความถี่ลงค่าระยะยิดก็จะมีค่าลดลง วงจรจะสามารถล็อกสัญญาณความถี่ได้ในช่วงแคบ ๆ แต่ที่ค่า N เท่ากับ 16 จะเกิดริบเปิ้ลน้อยลงทำให้ค่าระยะยิดในทางปฏิบัติมีค่าใกล้เคียงกับค่าที่คำนวณได้ ซึ่งค่าการเปรียบเทียบค่าระยะยิดที่ N เท่ากับ 8 กับค่าที่คำนวณได้แสดงไว้ดังตารางที่ 6.1 และค่าการเปรียบเทียบค่าระยะยิดที่ N เท่ากับ 16 กับค่าที่คำนวณได้แสดงไว้ดังตารางที่ 6.2 กราฟแสดงการเปรียบเทียบค่าระยะยิดที่ N เท่ากับ 8 กับค่าที่คำนวณได้แสดงไว้ดังรูปที่ 6.1 และกราฟแสดงการเปรียบเทียบค่าระยะยิดที่ N เท่ากับ 16 กับค่าที่คำนวณได้แสดงไว้ดังรูปที่ 6.2 ในส่วนของสัญญาณนาฬิกาเอาต์พุต (f_0) ที่ได้คาบเวลาของสัญญาณจะอยู่ในช่วงระยะยิดของ ADPLL ซึ่งหากเฟสของสัญญาณนาฬิกาอินพุต (f) มีการเลื่อนไปจนทำให้สัญญาณนาฬิกาอินพุตมีความต่างเฟสกับสัญญาณนาฬิกาเอาต์พุตเข้าใกล้ 180 องศา ADPLL จะพ้นสภาวะการล็อกนั่นคือเลขช่วงระยะยิดของ ADPLL ดังนั้นแนวทางแก้ไขคือกำหนดให้ค่าระยะยิดของ ADPLL ให้มีค่าน้อยก็จะทำให้คาบเวลาของสัญญาณเอาต์พุตมีความคงที่มากขึ้น ในส่วนของการควบคุมการทำงานด้วยไมโครคอนโทรลเลอร์ซึ่งใช้ในการควบคุมสัญญาณความถี่กลางอัตโนมัติ นั้น จะมีข้อจำกัดเนื่องจากการกำหนดค่า K , N และ M ได้เพียง 2^n เท่านั้น ทำให้สามารถเลื่อนค่าสัญญาณความถี่กลางได้เพียงจำนวนเท่าของความถี่กลางที่ใช้ในการเริ่มต้นหารด้วย 2^n เท่านั้น

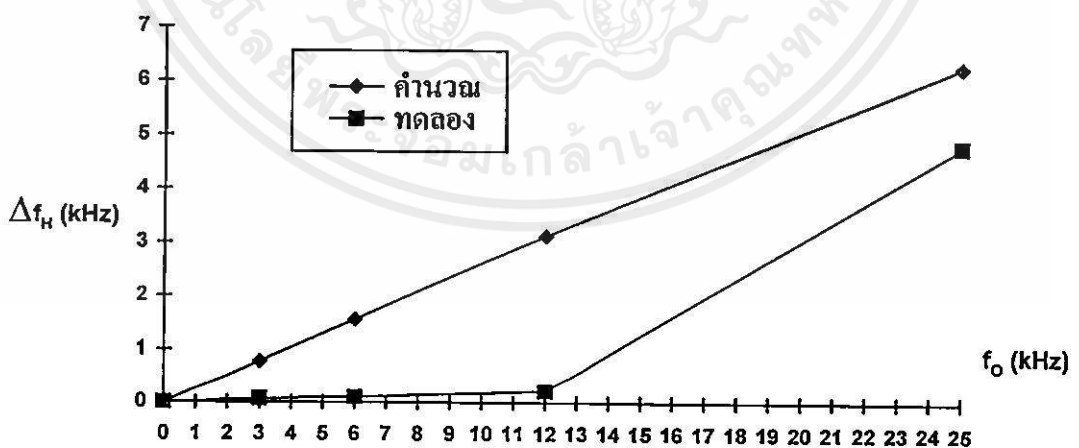
สำหรับวงจร FSK decoder นั้น สามารถทำการตีเทคสัญญาณได้ตามที่ได้ออกแบบไว้ แต่จะมีข้อเสียคือ ความเร็วในการตีเทคสัญญาณจะขึ้นอยู่กับเวลาที่ใช้ในการเข้าสู่สภาวะล็อกความถี่ของวงจร, ความเร็วในการทำงานของไมโครคอนโทรลเลอร์ และความเร็วในการตรวจสอบสภาวะล็อกของวงจรถูกตีเทค

ตารางที่ 6.1 แสดงการเปรียบเทียบค่าช่วงยืด ที่ค่า $N = 8$

ค่าความถี่กลาง (kHz)	ค่าช่วงยืดจากการคำนวณ (kHz)	ค่าช่วงยืดจากการทดลอง (kHz)
50	12.5	5.56
25	6.25	2.46
12.5	3.125	0.12
6.25	1.5625	0.06
3.125	0.78	0.04
1.5625	0.39	0.01

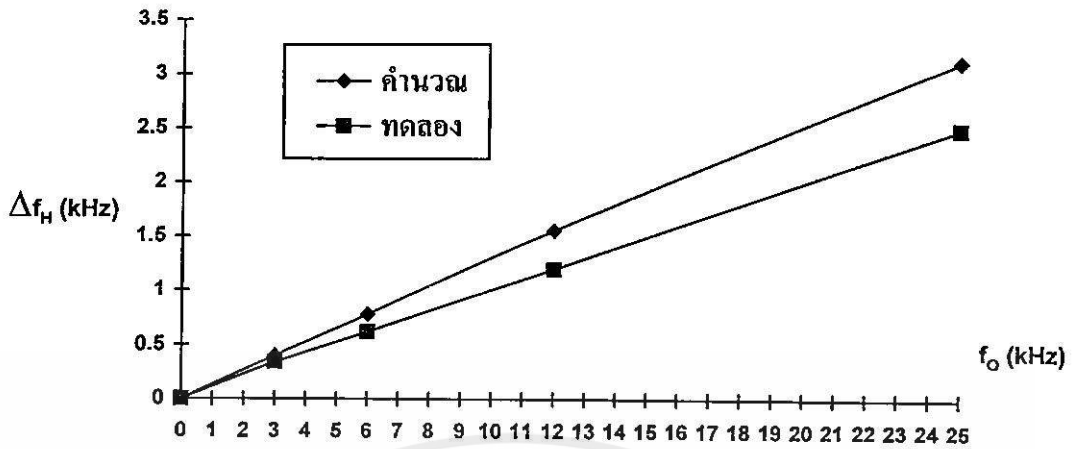
ตารางที่ 6.2 แสดงการเปรียบเทียบค่าช่วงยืด ที่ค่า $N = 16$

ค่าความถี่กลาง (kHz)	ค่าช่วงยืดจากการคำนวณ (kHz)	ค่าช่วงยืดจากการทดลอง (kHz)
25	3.125	3.24
12.5	1.5625	2.31
6.25	0.78	0.2
3.125	0.4	0.1



รูปที่ 6.1 แสดงกราฟการเปรียบเทียบค่าช่วงยืด ที่ค่า $N = 8$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



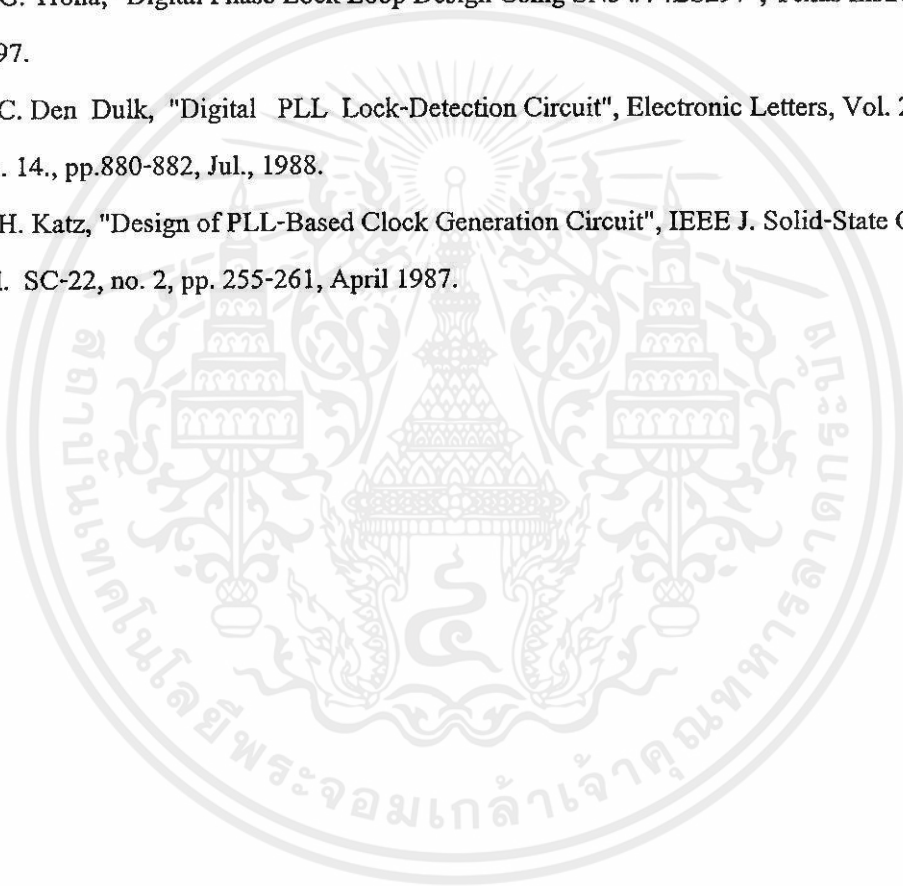
รูปที่ 6.2 แสดงกราฟการเปรียบเทียบค่าช่วงยัด ที่ค่า $N = 16$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] J. Smith, *Modern Communication Circuits*, 2nd ed, McGraw-Hill, Inc., 1997
- [2] R. E. Best, *Phase-Locked Loops*, 3rd ed, McGraw-Hill, Inc., 1997.
- [3] R. H. Bishop, *Modern Control Systems*, 8th ed, Addison-Wesley, Inc., 1998
- [4] B. Goldberg, *Digital Techniques in Frequency Synthesis*, McGraw-Hill, Inc., 1996
- [5] D. G. Troha, "Digital Phase Lock Loop Design Using SN54/74LS297", Texas Instruments, 1997.
- [6] R. C. Den Dulk, "Digital PLL Lock-Detection Circuit", *Electronic Letters*, Vol. 24, No. 14., pp.880-882, Jul., 1988.
- [7] R. H. Katz, "Design of PLL-Based Clock Generation Circuit", *IEEE J. Solid-State Circuits*, vol. SC-22, no. 2, pp. 255-261, April 1987.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



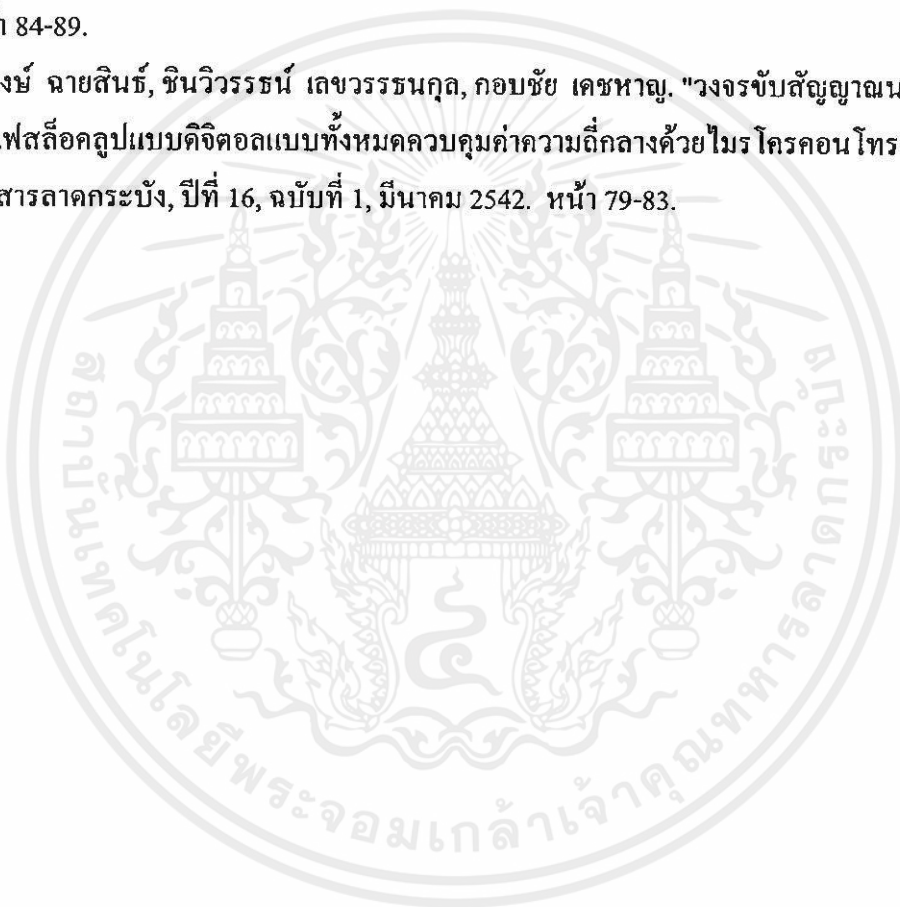
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

ผลงานวิจัยที่ได้รับการตีพิมพ์

1. ศิริพงษ์ ฉายสินธุ์, กอบชัย เศรษฐาญ. "เทคนิคการลดการกระเพื่อมของสัญญาณดิจิทัลโดยใช้วงจรเฟสล็อคลูปแบบดิจิทัลทั้งหมด." วิศวกรรมลาดกระบัง, ปีที่ 16, ฉบับที่ 1, มีนาคม 2542. หน้า 84-89.
2. ศิริพงษ์ ฉายสินธุ์, ชินวิวรรณ์ เลขวรรณกุล, กอบชัย เศรษฐาญ. "วงจรขับสัญญาณนาฬิกาด้วยเฟสล็อคลูปแบบดิจิทัลแบบทั้งหมดควบคุมค่าความถี่กลางด้วยไมโครคอนโทรลเลอร์." วิศวกรรมลาดกระบัง, ปีที่ 16, ฉบับที่ 1, มีนาคม 2542. หน้า 79-83.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

โปรแกรมควบคุมการทำงานวงจรขับสัญญาณพิก้า

```

CPU "8051.TBL"
HOF "INT8"
P1: EQU 90H ;PORT 1
IEC: EQU 0A8H ;INTERRUPT ENABLE
ORG 0000H
AJMP MAIN
ORG 0003H
SJMP INT0
;
ORG 0030H
MAIN: MOV A,#22H ;PARAMETER PRESET
MOV P1,A
ACALL DELAY
MOV IEC,#81H ;SET ENABLE INTERRUPT
WAIT: NOP
SJMP WAIT
;
INT0: CJNE A,#0FFH,SHIFT
MOV A,#22H ;PARAMETER PRESET
MOV P1,A
ACALL DELAY
RETI
;
SHIFT: ADD A,#11H ;SHIFT CENTER FREQUENCY
MOV P1,A
ACALL DELAY
RETI

```

```
;  
DELAY:    MOV    R1,#20H  
DELAY1:   MOV    R0,#0FFH  
DELAY2:   DJNZ   R0,DELAY2  
          DJNZ   R1,DELAY1  
          RET  
          END
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

โปรแกรมควบคุมการทำงานวงจร FSK Decoder 4 ระดับ

```

CPU "8051.TBL"
HOF "INT8"
P1: EQU 90H ;PORT 1
P3: EQU 0B0H ;PORT 3
IEC: EQU 0A8H ;INTERRUPT ENABLE
ORG 0000H
AJMP MAIN
ORG 0003H
SJMP INT0
;
ORG 0030H
MAIN: MOV A,#32H ;PARAMETER PRESET
MOV P1,A
ACALL DELAY
MOV IEC,#81H ;SET ENABLE INTERRUPT
WAIT: NOP
ACALL DECODE
SJMP WAIT
;
INT0: CJNE A,#65H,TUNE
MOV A,#32H
MOV P1,A
ACALL DELAY
RETI
TUNE: ADD A,#11H ;SHIFT CENTER FREQUENCY
MOV P1,A

```

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ACALL DELAY
RETI
;
DECODE: CJNE A,#32H,CODE01 ;OUT CODE 11
SETB P3.0
SETB P3.1
RET
;
CODE01: CJNE A,#43H,CODE10 ;OUT CODE 01
CLR P3.0
SETB P3.1
RET
;
CODE10: CJNE A,#54H,CODE00 ;OUT CODE 10
SETB P3.0
CLR P3.1
RET
;
CODE00: CLR P3.0 ;OUT CODE 00
CLR P3.0
RET
;
DELAY: MOV R1,#20H
DELAY1: MOV R0,#0FFH
DELAY2: DJNZ R0,DELAY2
DJNZ R1,DELAY1
RET
END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายศิริพงษ์ ฉายสินธ์ เกิดเมื่อวันที่ 13 สิงหาคม 2513 ที่จังหวัดนนทบุรี สำเร็จการศึกษา
วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากสถาบันเทคโนโลยีราชมงคล ปีการ
ศึกษา 2535 ปี พ.ศ. 2539 อาจารย์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยศรีนครินทรวิโรฒ ปัจจุบัน
ดำรงตำแหน่งอาจารย์ ระดับ 5 สังกัดคณะวิศวกรรมศาสตร์ มหาวิทยาลัยศรีนครินทรวิโรฒ องค์กร
จังหวัด นครนายก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้