

การศึกษาผลกระทบและการวัดค่าจitter บนระบบสื่อสารดิจิทัล

แบบ SYNCHRONOUS DIGITAL HIERARCHY

THE STUDY OF JITTER EFFECTS AND ITS VALUE MEASUREMENT
ON SYNCHRONOUS DIGITAL HIERARCHY
TRANSMISSION SYSTEM



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิตที่ค

สาขานิติวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2542

ISBN 974-622-383-6

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การศึกษาผลกระทบและการวัดค่าจิตเตอร์
บนระบบสื่อสารสัญญาณแบบ SYNCHRONOUS DIGITAL HIERARCHY

THE STUDY OF JITTER EFFECTS AND ITS VALUE MEASUREMENT ON
SYNCHRONOUS DIGITAL HIERARCHY TRANSMISSION SYSTEM



วิชัย มานะอวยชัย

WICHAI MANA-OUYCHAI

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2542

ISBN 974-622-383-6

เลขหม.....

เลขทะเบียน.....

วัน, เดือน, ปี 14 ส.ย. 2542

**THE STUDY OF JITTER EFFECTS AND ITS VALUE MEASUREMENT ON
SYNCHRONOUS DIGITAL HIERARCHY TRANSMISSION SYSTEM**



WICHAI MANA-OUYCHAI

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES**

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABAND

1999

ISBN 974-622-383-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น มิใช่เพื่อเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และห้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 1999

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSITUTE OF TECHNLOGYLADKABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับเอาไว้ใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น ถือทั้งห้าเป็นให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การศึกษาผลกระทบและการวัดค่าจัตเตอร์บนระบบสื่อสารสัญญาณแบบ Synchronous Digital Hierarchy
นักศึกษา	นายวิชัย มานะอวยชัย
รหัสนักศึกษา	35620022
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2542
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ. อธิชัย อรุณศรีแสงไชย

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวิธีการคำนวณหาค่าจัตเตอร์จากค่าสัญญาณความถี่ในการเขียนและในการอ่านที่เกิดขึ้นกับระบบสื่อสารดิจิทัลแบบ SDH ซึ่งตามปกติการได้มาของค่าจัตเตอร์ จะต้องทำการวัดจากโครงข่ายโดยตรงด้วยเครื่องมือราคาแพง และทำการวัดในขณะที่โครงข่ายไม่มีการให้บริการใด ๆ และซึ่งเป็นเรื่องยุ่งยากและไม่สะดวก ค่าจัตเตอร์ที่คำนวณได้ดังกล่าวจะบ่งบอกถึงประสิทธิภาพของระบบดังกล่าวดีหรือเลวเพียงใด กล่าวคือ หากมีค่ามากกว่าค่ามาตรฐานที่ระบบยอมรับได้ การสื่อสารสัญญาณก็ไม่สามารถกระทำได้ ดังนั้นถ้าสามารถส่งค่าจัตเตอร์ไปยังอุปกรณ์บริหารโครงข่ายที่ส่วนกลางโดยใช้ตำแหน่งของโอเวอร์เฮด (Overhead) ตรงไปทันที X ของ MSOH (Multiplex Section Overhead) ที่วางอยู่ก็จะทำให้การบริหารโครงข่ายมีประสิทธิภาพสูงขึ้นอีกทั้งเป็นการประหยัดที่ไม่ต้องซื้อเครื่องมือวัดจัตเตอร์ราคาแพงด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	The Study of Jitter Effect and Its Value Measurement on Synchronous Digital Hierarchy Transmission System
Student	Mr. Wichai Mana-ouychai
Stident ID	35620022
Degree	Master of Engineering
Programme	Electrical Engineering
Year	1999
Thesis Advisor	Assist. Prof. Itthichai Arungsrisangchai

ABSTRACT

This thesis presents the Jitter values calculation from the write and read signal frequencies that occurred in the SDH digital transmission system. Normally, Jitter values are always obtained direct from the measuring of the network with the expensive measurement equipment while there are no any services, which was very complicated and nonconvenient. Such calculating Jitter values will indicate the performance of the system whether good or bad by compare to the standard values that can be accepted by such system. Anyhow, the performance of the system can justification by the unuse byte at X position of overhead and pass its through the network management equipment at the center for higher efficiency of network management and also saving for do not have to buy the expensive jitter measurement equipment.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ ฉบับนี้สำเร็จลุล่วงลงได้ด้วยความช่วยเหลือของ ผศ. อธิชัย อรุณศรีแสงไชย อาจารย์ที่ปรึกษาที่ได้ช่วยให้โอกาส, คำแนะนำ, กำลังใจ และรวมไปถึงการแก้ปัญหาในการดำเนินการทำวิทยานิพนธ์ฉบับนี้เป็นอย่างดี

ขอกราบขอบพระคุณ มารดา ที่คอยให้กำลังใจและไต่ถามตลอดระยะเวลาทำวิทยานิพนธ์จนสำเร็จลงด้วยดี

ขอขอบคุณ ภรรยา ที่คอยให้กำลังใจและเข้าใจตลอดระยะเวลาทำวิทยานิพนธ์

ขอขอบคุณ คุณปรีชา ลิ้มสุขนิรันดร ที่ให้การสนับสนุนในการทำวิทยานิพนธ์ฉบับนี้ด้วยดี

ขอขอบคุณเพื่อน ๆ และน้อง ๆ ที่คอยช่วยเหลือจัดหาโปรแกรมและคำแนะนำที่เป็นประโยชน์ในการทำวิทยานิพนธ์นี้เป็นอย่างดี



วิชัย มานะอวยชัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญภาพ.....	VIII
บทที่ 1 บทนำ.....	1
1.1 แนวโน้มการใช้ระบบ SDH ในประเทศไทย.....	1
1.2 ผลกระทบจากจิดเตอร์.....	1
1.3 ปัญหาของการวัดจิดเตอร์.....	1
1.4 การศึกษาการวัดค่าจิดเตอร์ในระบบ SDH.....	2
1.5 การจัดเนื้อเรื่องของวิทยานิพนธ์.....	2
บทที่ 2 โครงสร้างการมัลติเพล็กซ์ของระบบ SDH.....	4
2.1 องค์ประกอบของระบบ SDH.....	4
2.2 รายละเอียดโครงสร้างของ STM-n เฟรม.....	5
2.2.1 โครงสร้างของ STM-1 เฟรม.....	7
2.2.2 STM-1 payload.....	7
2.2.3 AU พ้อยเตอร์.....	8
2.2.4 SOH (Section Overhead).....	9
2.2.5 การรับ-ส่ง สัญญาณของ STM-n.....	9
2.3 โครงสร้างมัลติเพล็กซ์แบบซิงโครไนซ์.....	9
2.3.1 องค์ประกอบสัญญาณต่าง ๆ ของ SM Structure.....	10
2.3.1.1 C (Container)	10
2.3.1.2 VC (Virtual Container)	11
2.3.1.3 TU (Tributary Unit).....	11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

2.3.1.4	Tributary Unit Group (TUG).....	12
2.3.1.5	Administrative Unit.....	12
2.3.1.6	Administrative Unit Group.....	12
2.3.1.7	Synchronous Transport Modle.....	12
2.3.2	ขั้นตอนปฏิบัติของ Synchronous Multiplexing.....	12
2.3.2.1	การจัดวางไบนท์ (Map).....	13
2.3.2.2	การปรับค่าให้ตรง (Alignment).....	13
2.3.2.3	ขบวนการทำพ้อยเตอร์ (Poiner process).....	13
2.3.2.4	การมัลติเพล็กซ์ (Multiplex).....	13
2.3.3	โครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์.....	13
2.4	ขั้นตอนการทำมัลติเพล็กซ์แบบซิงโครไนซ์.....	15
2.4.1	การมัลติเพล็กซ์ ของ การมัลติเพล็กซ์ที่ระดับต่ำ VCs ไปยัง TUG-2.....	15
2.4.2	การจัดวางไบนท์ ไปยัง VC-3.....	18
2.4.3	การมัลติเพล็กซ์ไปยัง TUG-3.....	19
2.4.4	การจัดวางไบนท์ เข้าไปใน VC-4.....	21
2.4.5	การมัลติเพล็กซ์ไปยัง AUG.....	22
2.5	โอเวอร์เฮด (Overhead).....	23
2.5.1	องค์ประกอบของ SOH.....	23
2.5.2	RSOH (Regenerator Section Overhead).....	24
2.5.3	MSOH (Multiplexer Section Overhead).....	25
2.5.4	POH ที่การมัลติเพล็กซ์ที่ระดับสูง.....	26
2.5.5	โอเวอร์เฮด ของการมัลติเพล็กซ์ที่ระดับต่ำ	28
2.6	พ้อยเตอร์.....	30
2.6.1	องค์ประกอบของ พ้อยเตอร์.....	30
2.6.2	ฟังก์ชันต่าง ๆ ของ พ้อยเตอร์.....	30
2.6.3	ขบวนการทำจัดติพิเคชัน (Justification).....	33

สารบัญ (ต่อ)

หน้า

บทที่ 3 จิตเตอร์ บนระบบสื่อสารสัญญาณแบบ SDH.....	36
3.1 นิยามของจิตเตอร์.....	36
3.2 ของกำหนดของค่าจิตเตอร์บนอุปกรณ์สื่อสารสัญญาณแบบ SDH.....	37
3.2.1 การเชื่อมต่อตาม STM-n Interface.....	37
3.2.2 การเชื่อมต่อตาม G.703.....	40
3.3 การเปรียบเทียบในเรื่องจัสติฟิเคชันที่ใช้ระดับฟังก์ กับ เทคนิคการใช้พ้อยเตอร์.....	43
3.4 จัสติฟิเคชันแบบ P/Z/N	43
3.5 การวิเคราะห์จิตเตอร์ ในเรื่องจัสติฟิเคชันแบบ P/Z/N.....	45
3.5.1 การวิเคราะห์เพื่อหาค่าอัตราส่วนของการทำจัสติฟิเคชัน.....	45
3.5.2 การคำนวณค่าจิตเตอร์ที่ผ่านการทำจัสติฟิเคชัน.....	46
บทที่ 4 ข้อเสนอการวัดค่าจิตเตอร์เพื่อส่งให้อุปกรณ์บริหาร โครงข่าย.....	48
4.1 การคำนวณหาค่าจิตเตอร์.....	48
4.2 การกำหนดตำแหน่งไบท์สำหรับส่งค่าจิตเตอร์ไปยังอุปกรณ์บริหาร โครงข่าย.....	48
4.3 ข้อเสนอการวัดค่าและส่งค่าจิตเตอร์เพื่อส่งให้อุปกรณ์บริหาร โครงข่าย.....	49
4.4 ผลการทดลอง.....	56
บทที่ 5 สรุปและข้อเสนอแนะ.....	60
5.1 สรุปผลการทดลอง.....	60
5.2 ข้อเสนอแนะ.....	61
หนังสืออ้างอิง.....	62
ภาคผนวก.....	64
ผลงานวิจัยที่ได้ตีพิมพ์แล้ว.....	65
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ประวัติผู้เขียน.....	71

สารบัญตาราง

ตารางที่	หน้า
2.1	รายละเอียดของ C-2 ไบท์.....28
2.2	หน้าที่ของ SOH และ POH (ก) หน้าที่ของ SOH.....28 (ข) หน้าที่ของ POH.....29
2.3	ขอบเขตของพ้อยเตอร์แอดเดรส.....31
3.1	การส่งค่าคุณสมบัติของจิตเตอร์ในระบบ SDH.....39
3.2	ตัวแปรการสั้นของจิตเตอร์ในระบบ SDH.....39
3.3	ตัวแปรการสั้นของจิตเตอร์ตามข้อกำหนดของ G.703..... 40
3.4	ตัวแปรส่งค่าคุณสมบัติของจิตเตอร์สำหรับการมัลติเพล็กซ์ ตามมาตรฐานของกลุ่มอเมริกาเหนือ.....41
3.5	ตัวแปรของการส่งค่าจิตเตอร์สำหรับการมัลติเพล็กซ์ ตามมาตรฐานของกลุ่มยุโรป.....42
3.6	ข้อกำหนดโดยทั่วไปของจิตเตอร์ทั้งสองมาตรฐาน.....42
4.1	หาค่าจิตเตอร์โดยกำหนดให้สัญญาณความถี่ในการอ่านคงที่ และ สัญญาณความถี่เข้าเปลี่ยนแปลง..... 57
4.2	หาค่าจิตเตอร์โดยกำหนดให้สัญญาณความถี่เข้าคงที่ และ สัญญาณความถี่ในการอ่านเปลี่ยนแปลง.....58
4.3	หาค่าจิตเตอร์โดยกำหนดให้สัญญาณความถี่เข้า และ สัญญาณความถี่ในการอ่านเปลี่ยนแปลง..... 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่	หน้า
2.1	โครงสร้างการมัลติเพล็กซ์ของระบบ SDH.....4
2.2	การมัลติเพล็กซ์ของ AU-n ใดๆ บนโครงสร้าง STM-1.....6
2.3	การมัลติเพล็กซ์ของ AU-3 ใดๆ ใน AUG บนโครงสร้าง STM-1.....7
2.4	ตำแหน่งของ AU พ้อยเตอร์..... 8
2.5	การสแกรบบลิงของเฟรมซิงโครไนซ์.....9
2.6	การแบ่งประเภทของโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์..... 11
2.7	โครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์ (ก) การมัลติเพล็กซ์ระดับต่ำ (ข) การมัลติเพล็กซ์ระดับสูง.....15
2.8	ส่วนประกอบของการมัลติเพล็กซ์ที่ระดับต่ำของ VC และ TU.....16
2.9	โครงสร้าง TU-11, TU-12 และ TU-2.....17
2.10	แสดงการปรับค่า VC-11 ใน TU-12 (ก) การปรับค่า VC-11 (ข) การปรับค่า TU-12.....18
2.11	การวางไบท์ไว้ใน VC-3 (ก) โครงสร้าง C-3 ใน VC-3 (ข) การวาง ไบท์ TUG-2 ลงใน VC-3.....19
2.12	การวางไบท์ของ TUG-2 ไปยัง TUG-3 (ก) โครงสร้าง TUG-3 และ TU-3 (ข) โครงสร้าง TUG-2, TUG-3 และการวางไบท์.....20
2.13	การวางไบท์เข้าไปใน VC-4 (ก) โครงสร้างของ C-4 (ข) โครงสร้าง TUG-3..... 21
2.14	การวางบิทไปยัง AUG (ก) การปรับ C-3 (ข) การมัลติเพล็กซ์ AU-3.....22
2.15	การแสดงโครงสร้างของ SOH ต่าง ๆ (ก) SOH ที่ STM-1..... 23 (ข) SOH ที่ STM-4 (ค) SOH ที่ STM-16.....24
2.16	การแสดงโครงสร้างของ POH ต่าง ๆ (ก) POH ที่ระดับสูง (ข) แสดงข้อมูลสถานะภาพของ VC-3/VC-4 (G1) (ค) การแสดงข้อมูลของไบท์ ที่มัลติเฟรมของ TU (H4) (ง) POH ที่ระดับต่ำ (V5).....27
2.17	แสดงฟังก์ชันของพ้อยเตอร์ต่าง ๆ..... 31
2.18	วิธีการกำหนดแอดเดรสต่าง ๆ (ก) กำหนดแอดเดรสของ AU-4/AU-3 (ข) กำหนดแอดเดรสของ TU-3 (ค) กำหนดแอดเดรสของ TU-12 (ง) กำหนดแอดเดรสของ TU-12 (จ) กำหนดแอดเดรสของ TU-11.....32
2.19	โครงสร้างการทำพ้อยเตอร์บน AU และ TU..... 33

สารบัญญภาพ (ต่อ)

ภาพที่	หน้า	
2.20	การแสดงส่วนประกอบของจัสติฟิเคชันบวก (ก) ก่อนทำจัสติฟิเคชัน (ข) ระหว่างทำจัสติฟิเคชัน (ค) หลังทำจัสติฟิเคชัน.....	34
2.21	การแสดงส่วนประกอบของจัสติฟิเคชันลบ (ก) ก่อนทำจัสติฟิเคชัน (ข) ระหว่างทำจัสติฟิเคชัน (ค) หลังทำจัสติฟิเคชัน.....	35
3.1	แสดงลักษณะการเกิดจิตเตอร์.....	36
3.2	มาตรฐานความเที่ยงตรงของ Short-term stability.....	38
3.3	การส่งค่าคุณสมบัติของจิตเตอร์ในระบบ SDH.....	38
3.4	การแสดงการสั้นของจิตเตอร์ในระบบ SDH.....	39
3.5	การแสดงการสั้นของจิตเตอร์ตามข้อกำหนดของ G.703.....	40
3.6	การส่งค่าคุณสมบัติของจิตเตอร์ของกลุ่มอเมริกาเหนือ.....	41
3.7	การส่งค่าคุณสมบัติของจิตเตอร์ของกลุ่มยุโรป.....	41
3.8	แสดงการชิงโครไนซ์โดยใช้ Elastic Store.....	44
3.9	การเปรียบเทียบวิธีการทำจัสติฟิเคชัน (ก) จัสติฟิเคชันลบ (ข) จัสติฟิเคชันแบบ P/Z/N (ค) จัสติฟิเคชันบวก.....	46
3.10	ช่วงเวลารอจิตเตอร์ของการทำจัสติฟิเคชันบวก.....	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 แนวโน้มการใช้ระบบ SDH ในประเทศไทย

จุดประสงค์ในการพัฒนาระบบสื่อสารสัญญาณแบบ SDH (Synchronous Digital Hierarchy) ขึ้นมาก็เพื่อรองรับความต้องการในการรับ-ส่งข้อมูลที่มีความเร็วสูง และสามารถเชื่อมต่อกับระบบสื่อสารสัญญาณแบบ PDH (Plesiochronous Digital Hierarchy) ที่มีอยู่เดิมเข้าสู่ระบบ SDH ได้ทั้งหมดโดยมีเป้าหมายให้มีระบบสื่อสารสัญญาณระบบเดียวทั่วโลก

ในส่วนของประเทศไทยทั้งองค์การโทรศัพท์ฯ และการสื่อสารแห่งประเทศไทย เพื่อให้สามารถรองรับการขยายบริการใหม่ ๆ และมีความเร็วสูง เช่นการบริการมัลติมีเดีย การบริการประชุมทางไกล เป็นต้น ก็มีแผนการขยายโครงข่ายของระบบสื่อสารสัญญาณโดยใช้ระบบ SDH

1.2 ผลกระทบจากจิดเตอร์

การเกิดจิดเตอร์ในระบบสื่อสารสัญญาณ (Transmission System) ถือเป็นเรื่องปกติเพราะการเกิดจิดเตอร์จะเกิดจากการเอาสัญญาณที่ต่าง ๆ มารวมกัน (Multiplexing) เป็นผลทำให้เกิดการสั่นของเฟส (phase) และขนาดของสัญญาณเพิ่มขึ้นไป แต่การสั่นนี้จะยอมรับได้ก็ต่อเมื่ออยู่ในขอบเขตของค่ามาตรฐานที่กำหนดไว้ (มาตรฐานที่นิยมใช้เป็นข้อกำหนดของจิดเตอร์จะใช้ข้อกำหนดจาก CCITT G.823 ที่ความเร็วในการส่ง 2048 Kb/s และ G.824 ที่ความเร็วในการส่ง 1544 Kb/s) ผลกระทบที่เกิดขึ้นในกรณีที่มีจิดเตอร์ที่เกินมาตรฐานจะทำให้ระบบเกิดความผิดพลาดในการถอดรหัสสัญญาณ (detection) ซึ่งค่าความผิดพลาดนี้สามารถวัดออกมาอยู่ในรูปแบบของ Bit error ของสัญญาณก็ได้ และถ้ามีจิดเตอร์ในระบบมากอาจจะทำให้ระบบไม่สามารถทำงานได้ ดังนั้น จะเห็นว่าค่าจิดเตอร์นี้จำเป็นจะต้องถูกควบคุมและดูแลให้อยู่ในค่าที่กำหนดเพื่อเป็นเครื่องยืนยันถึงคุณภาพและประสิทธิภาพ (performance) ของระบบในการรับ-ส่งข้อมูล

1.3 ปัญหาของการวัดจิดเตอร์

ปกติแล้วการวัดค่าจิดเตอร์ในระบบสื่อสารสัญญาณนั้นจะต้องกระทำในขณะที่ระบบไม่ได้นำพาสัญญาณข้อมูลหรือไม่สามารถให้บริการต่าง ๆ บนระบบ กล่าวคือไม่มีทราฟฟิก (Traffic) อยู่เลย และจะต้องใช้เครื่องมือวัดจิดเตอร์แยกต่างหากซึ่งมีราคาค่อนข้างแพงมาก ดังนั้นจากลักษณะการวัดจิดเตอร์นี้มีความเป็นไปได้ยากมากเพราะจะต้องหยุดให้บริการของโครงข่ายก่อนถึงจะทำการวัดได้ ซึ่งการหยุดให้บริการทำให้สูญเสียรายได้

1.4 การศึกษาการวัดค่าจิตเตอร์ในระบบ SDH

แนวโน้มที่จะใช้ระบบสื่อสารสัญญาณแบบ SDH ในประเทศไทยมีเพิ่มมากขึ้น ดังนั้นจึงจำเป็นต้องซื้ออุปกรณ์เครื่องมือต่าง ๆ รวมทั้งเครื่องมือวัดจิตเตอร์จำนวนมากด้วย เพื่อให้สอดคล้องกับจำนวนอุปกรณ์ SDH ที่มีอยู่

จากปัญหาของการวัดจิตเตอร์ที่กล่าวมาแล้วข้างต้นรวมไปถึงเครื่องมือวัดจิตเตอร์ที่มีราคาแพงนั้นซึ่งมีผลกระทบต่อบริการที่อยู่บน โครงข่ายและการดำเนินการวัดจิตเตอร์นั้น จะต้องเดินทางไปยังสถานที่ตั้งอุปกรณ์ และต้องเสียเวลาเดินทาง

สิ่งสำคัญสำหรับโครงข่าย SDH ที่จะขาดเสียไม่ได้คืออุปกรณ์บริหารโครงข่าย (Network management) ทำหน้าที่คอยควบคุมและดูแลอุปกรณ์ SDH ต่าง ๆ ในโครงข่ายทั้งหมด เมื่ออุปกรณ์เกิดเหตุขัดข้องขึ้น อุปกรณ์จะส่งสัญญาณข้อมูลรายละเอียดของเหตุขัดข้องนั้นมายังอุปกรณ์บริหารโครงข่ายโดยผ่าน โอเวอร์เฮดร์ เพื่อให้เจ้าหน้าที่ควบคุมดูแลโครงข่ายทราบแล้วดำเนินการซ่อมแซมตามข้อมูลที่ได้รับ ซึ่งปกติแล้วจะติดตั้งอุปกรณ์บริหารโครงข่ายไว้ที่เดียวที่เรียกว่าศูนย์กลางบริหารโครงข่าย (Network Management Center)

ในวิทยานิพนธ์นี้จึงได้ศึกษาค่าจิตเตอร์ที่จะเกิดขึ้นในระบบ SDH รวมไปถึงเสนอแนวทางการกำหนดตำแหน่งโอเวอร์เฮดร์ไบท์ที่ใช้สำหรับส่งเป็นเส้นทางค่าจิตเตอร์ไปยังอุปกรณ์บริหารโครงข่ายเพื่อประโยชน์ในการใช้ทรัพยากรต่าง ๆ ที่มีอยู่แล้วให้มีคุณค่ามากขึ้นกล่าวคือไม่จำเป็นต้องซื้อเครื่องมือวัดจิตเตอร์จำนวนมากและลดปัญหาในการเดินทางรวมไปถึงค่าใช้จ่ายต่าง ๆ ในการดำเนินการ ซึ่งจะใช้อุปกรณ์บริหารโครงข่ายที่อยู่ในศูนย์การบริหารโครงข่ายเพียงตัวเดียวทำการวัดจิตเตอร์บนอุปกรณ์ SDH ที่ต้องการโดยเนื้อหาในวิทยานิพนธ์นี้ได้แสดงรายละเอียดเป็นหัวข้อต่าง ๆ ดังแสดงในหัวข้อถัดไป

1.5 เนื้อเรื่องของวิทยานิพนธ์

วิทยานิพนธ์แบ่งออกเป็น 5 บท ซึ่งจะมีรายละเอียดดังนี้คือ

- บทที่ 1 บทนำ จะกล่าวถึงแนวทางการใช้ประโยชน์จากการศึกษาในวิทยานิพนธ์ฉบับนี้
- บทที่ 2 จะกล่าวถึงเทคโนโลยีของอุปกรณ์ SDH รวมทั้ง โครงสร้างการมัลติเพล็กซ์ เป็นมาตรฐาน และข้อกำหนดในส่วนต่าง ๆ ของโครงสร้างของระบบ
- บทที่ 3 เป็นการบรรยายค่าจิตเตอร์ที่จะเกิดขึ้นในระบบสื่อสารสัญญาณ ซึ่งจะอ้างอิงค่าจิตเตอร์ที่อุปกรณ์ยอมรับได้ตามค่ามาตรฐานของการวัดค่าจิตเตอร์ในระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- บทที่ 4 ข้อเสนอการวัดค่าจิตเตอร์เพื่อส่งให้อุปกรณ์บริหาร โครงข่ายเพื่อเป็นแนวทางให้สามารถปฏิบัติได้ในอนาคตและสุดท้าย
- บทที่ 5 จะแสดงถึงบทสรุปและข้อคิดเห็นข้อเสนอแนะในการนำแนวความคิดนี้ไปใช้งาน

ซึ่งรายละเอียดต่าง ๆ ข้างต้นจะได้แสดงให้เห็นในบทต่าง ๆ ดังต่อไปนี้



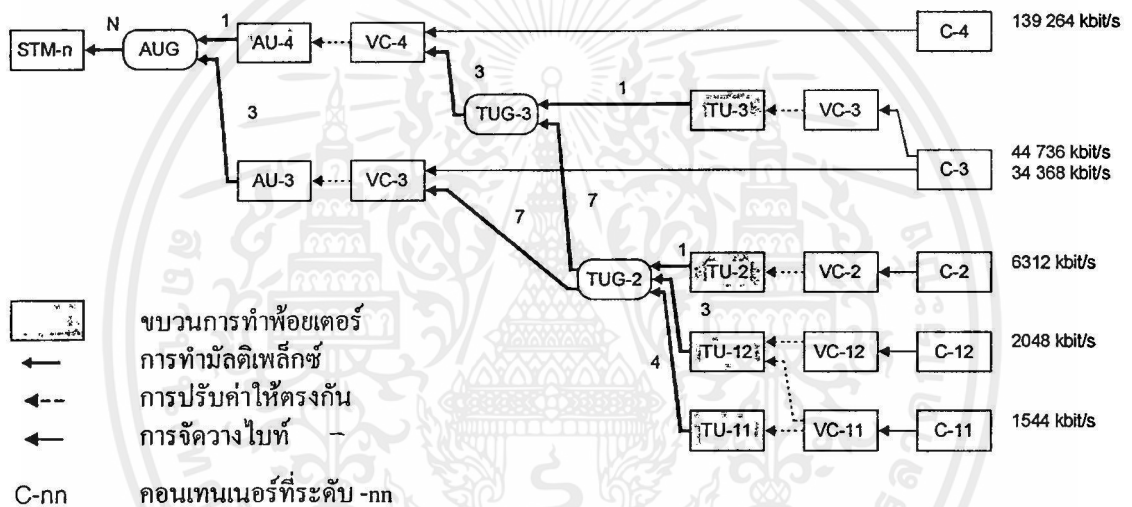
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

โครงสร้างการมัลติเพล็กซ์ของระบบ SDH

2.1 องค์ประกอบของระบบ SDH

องค์ประกอบโครงสร้างของระบบ SDH ตามข้อกำหนดของ CCITT Rec. G.709 [1-8] ซึ่งใช้เป็นข้อกำหนดหลักเพื่อการอ้างอิง การมัลติเพล็กซ์และการเชื่อมต่อกับระบบมัลติเพล็กซ์แบบ PDH และยังรวมไปถึงการกำหนดหน้าที่ต่าง ๆ ของไบต์ในส่วนโอเวอร์เฮด (Overhead) ซึ่งรายละเอียดดังกล่าวแสดงในรูปที่ 2.1



รูปที่ 2.1 โครงสร้างการมัลติเพล็กซ์ของระบบ SDH

โดยที่ C-*nn* คือ Container ที่ระดับ-*nn* มีไว้สำหรับรับข้อมูลและเชื่อมโยงกับระบบ PDH

VC-*nn* คือ Virtual Container ทำหน้าที่รับสัญญาณจาก Container ที่ระดับ-*nn* มาใส่โอเวอร์เฮด จากนั้นกำหนดตำแหน่งการวางไบต์ต่าง ๆ ให้เป็นไปตามมาตรฐาน

TU-*nn* คือ Tributary Unit ทำหน้าที่รับข้อมูลมาจาก VC ที่ระดับ -*nn* จากนั้นนำมาใส่พ้อยเตอร์ เพื่อชี้ค่าของตำแหน่งต่าง ๆ ในส่วนของการมัลติเพล็กซ์ระดับต่ำ (Lower order)

TUG-*n* คือ Tributary Unit Group ที่ระดับ-*n* ทำหน้าที่รวมหรือมัลติเพล็กซ์สัญญาณ TU หลาย ๆ จุดเข้าด้วยกันตามจำนวนที่กำหนดในรูปแบบข้างต้น

AU-*n* คือ Administrative Unit ที่ระดับ-*n* ทำหน้าที่เพิ่มพ้อยเตอร์ สำหรับชี้ค่าของตำแหน่งต่าง ๆ ในส่วนของการมัลติเพล็กซ์ระดับสูง (higher order)

AUG คือ Administrative Unit Group ทำหน้าที่รวมหรือมัลติเพล็กซ์ AU ที่ระดับต่าง ๆ เข้าด้วยกัน

STM-n คือ STM (Synchronous Transport Module) ที่ระดับ-n และเป็น โครงสร้างทางด้านขาออกของอุปกรณ์ SDH

โครงสร้างการมัลติเพล็กซ์ของระบบ SDH ซึ่งตามมาตรฐานแล้วอุปกรณ์ SDH จะแบ่งระดับได้เป็น 3 ระดับคือ

- ระดับที่ 1 กำหนดให้เป็น STM-1 จะมีโครงสร้างที่มีความเร็วในการรับ-ส่งประมาณ 155 Mbps
- ระดับที่ 2 กำหนดให้เป็น STM-4 จะมีโครงสร้างที่มีความเร็วในการรับ-ส่งประมาณ 622 Mbps
- ระดับที่ 3 กำหนดให้เป็น STM-16 จะมีโครงสร้างที่มีความเร็วในการรับ-ส่งประมาณ 2.5 Gbps

ดังนั้น ในรูปที่ 2.1 ค่าที่ระดับต่าง ๆ จะถูกเขียนแทนด้วย STM-n โดยจะกำหนดให้การทำงานในแต่ละบล็อกมีหน้าที่เหมือนในแต่ละระดับตามที่กล่าวข้างต้นเช่น TU-12 ของระดับ STM-1 ก็จะทำหน้าที่เหมือนกับ TU-12 ของระดับ STM-4 จะต่างกันที่ค่าของ n เป็นต้น

2.2 รายละเอียดโครงสร้างของ STM-n เฟรม

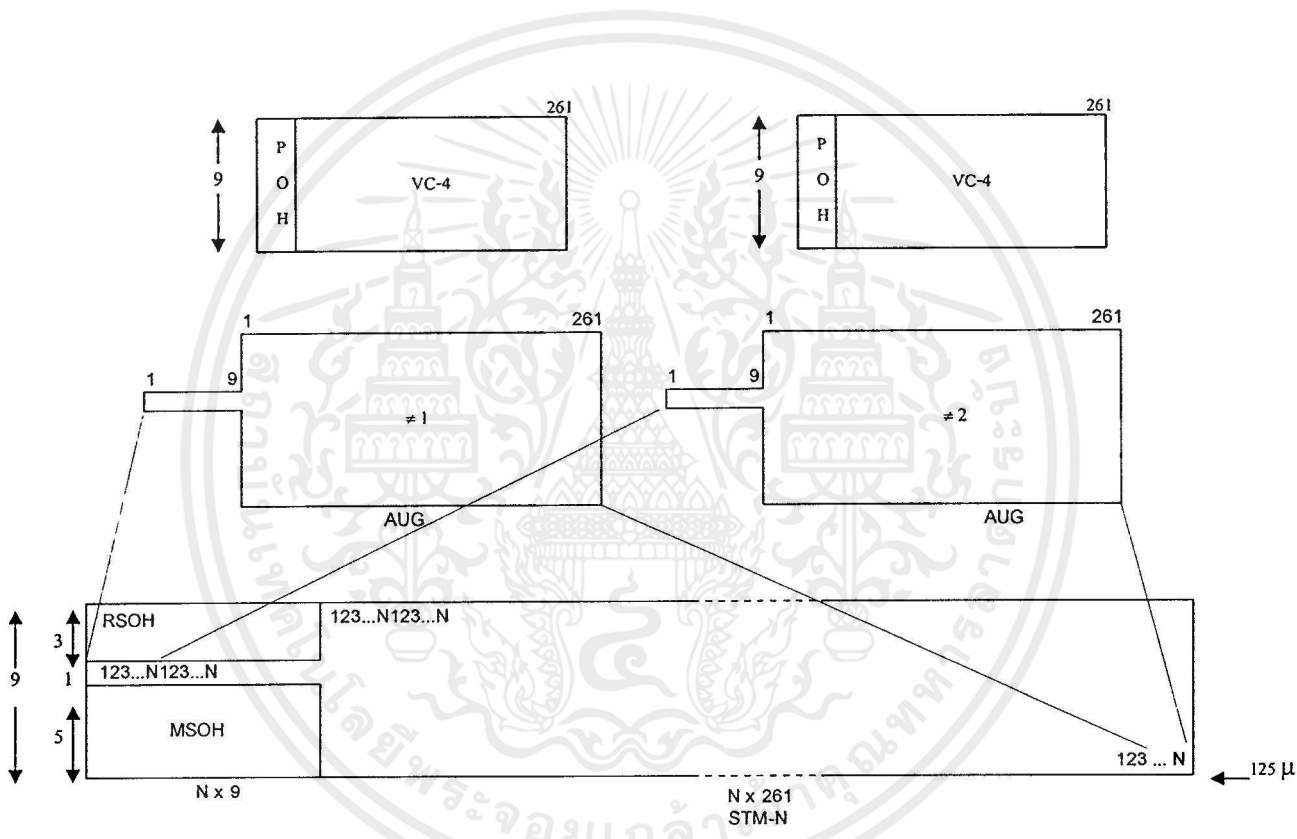
โครงสร้างของ STM-n เฟรม จะครอบคลุมพื้นที่จำนวน $n \times 9$ แถวกับ $n \times 270$ คอลัมน์ โดย n คือ STM ที่ค่า n ตัวอย่างเช่นถ้าต้องการ โครงสร้างที่ STM ที่ $n=1$ (STM-1) จะต้องใช้พื้นที่จำนวน 1×9 แถวและ 1×270 คอลัมน์รวมเป็น 2,430 ตำแหน่ง (9×270) [5,7] ซึ่งแต่ละตำแหน่งในโครงสร้างจะเท่ากับ 1 ไบต์ [4-5] และตามมาตรฐานกำหนดให้จำนวนไบต์ทั้งหมดอยู่ในช่วงเวลา $125 \mu s$ ถ้าต่อไปจะกล่าวถึง STM-n ที่ระดับ-n ใด ๆ จะเขียนแทนด้วย $(9 \times 270)n$ เป็นต้น ดังนั้นถ้าต้องการคำนวณหาความเร็วในการรับ-ส่งที่ STM-n ใด ๆ สามารถหาได้โดยเอาจำนวนไบต์ทั้งหมดที่ประกอบด้วย $(9 \times 270)n$ ที่กระทำซ้ำ ๆ กันจำนวน 8,000 ครั้งใน 1 วินาที ซึ่งจะได้ความเร็วในการรับ-ส่งที่ STM-n ใด ๆ คือ $155.520 \times n$ Mbps $(9 \times 270 \times 8 \times n \text{ Kbps})$ [5,7] กล่าวคือถ้าต้องการหาความเร็วในการรับ-ส่ง STM-4 จะคำนวณได้ดังนี้ 155.520×4 Mbps [1-8] เท่ากับ 622 Mbps

จากรูปที่ 2.2 เป็นการแสดงโครงสร้างของ STM-n และการมัลติเพล็กซ์ AUG-n ใด ๆ บนโครงสร้างของ STM-n ซึ่งถ้ามาพิจารณาโครงสร้างของ STM-n จะประกอบด้วยส่วนที่เป็นโอเวอร์เฮด ที่เรียกว่า SOH (Section Overhead) และส่วนที่ใช้ส่งข้อมูลที่เรียกว่า payload โดยส่วนของการคำนวณโอเวอร์เฮดจะประกอบด้วย 3 ส่วนคือ

- ส่วนที่ 1 คือ AU พ้อยเตอร์ (Administration Unit Pointer)
- ส่วนที่ 2 RSOH (Regeneration Selection Overhead) ที่มีขนาด $(3 \times 9)n$ ไบต์

- ส่วนที่ 3 MSOH (Multiplex Section Overhead) ที่มีขนาด $(5 \times 9)_n$ ไบท์

ซึ่งรายละเอียดการทำงานจะได้กล่าวในหัวข้อ 2.2.3 และ 2.2.4 ตามลำดับ เช่นกันในรูปที่ 2.2 ขนาดของ payload ที่ STM-n ใด ๆ จะประกอบด้วย $(9 \times 261)_n$ ซึ่งจะใช้เป็นส่วนที่จะนำข้อมูลที่ต้องการรับ-ส่งมาใส่ ในการสร้างโครงสร้างของ STM-n ใด ๆ นั้นจะต้องเกิดจากการมัลติเพล็กซ์ AUG-n เข้าด้วยกัน ซึ่งการมัลติเพล็กซ์ AUG ต่าง ๆ จะกระทำในลักษณะวางไบท์ต่าง ๆ เรียงกัน (ที่เรียกว่า Byte Interleaved Multiplex) [5,6,8] ทั้งในส่วนของโอเวอร์เฮดและ payload ดังแสดงในรูป 2.2 เช่นกัน



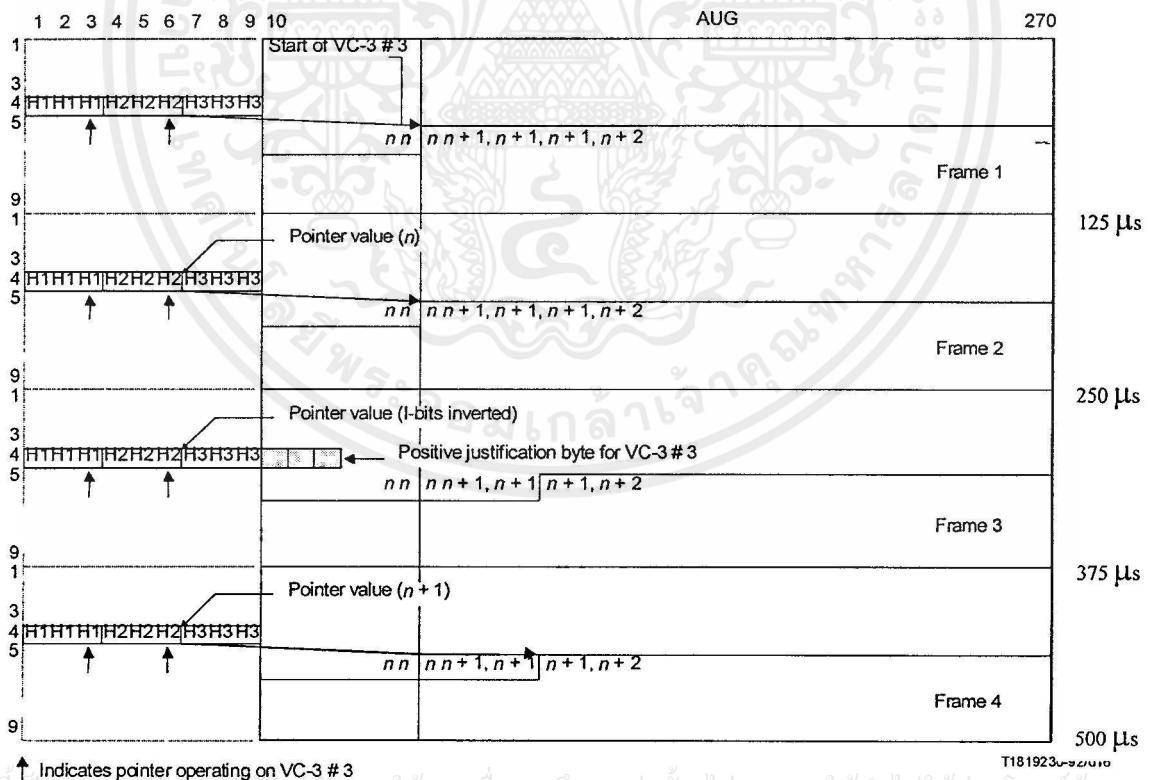
รูปที่ 2.2 การมัลติเพล็กซ์ AUG-n ใด ๆ บนโครงสร้าง STM-n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลัง AU พ้อยเตอร์ทิศทางในแถวจะเริ่มจาก 0 ถึง 782 ดังนั้นวิธีการกำหนดแอดเดรสจึงเป็นประโยชน์ไม่เพียงเฉพาะกับ AU-4 เท่านั้น แต่ยังเป็นประโยชน์กับ AU-3 อีกด้วย ในกรณีของ AU-3 ต้องการแอดเดรส 783 แอดเดรสสามชุด (=3x783 แอดเดรส) เพื่อกำหนดแอดเดรสให้กับ AU-3 ทั้งสามชุด

2.2.3 AU พ้อยเตอร์

จากแถวที่สี่ของ STM-1 ในส่วนของโอเวอร์เฮดร์ได้กำหนดให้เป็น AU พ้อยเตอร์ซึ่งมีทั้งหมด 9 ไบท์ ซึ่งประกอบด้วยกลุ่มสามของ H1, H2, และ H3 ดังที่ได้แสดงไว้ในรูปที่ 2.3 โดยที่ AU พ้อยเตอร์ถูกนำมาใช้เพื่อติดตามข้อมูลของการเลื่อนแอดเดรสของไบท์ที่หนึ่งของ VC-4 หรือ VC-3 เรียกว่า จัสติฟิเคชัน ถ้า payload ของ STM-1 ขนส่ง VC-4 (คือในกรณีของ AU-4) จะใช้เพียงไบท์ที่หนึ่งของกลุ่มสามของ H1, H2 และ H3 เท่านั้น หรือในกรณีของ AU-3 แต่ละกลุ่มสามของ H1, H2 และ H3 จะแยกจากกันติดตามข้อมูลแอดเดรสของ AU-3 แต่ละชุดจาก 24 บิท ซึ่งตรงกับสามไบท์ของ H1, H2 และ H3 ขณะเดียวกันจะใช้เพียง 10 บิท [4,9] เท่านั้น เพื่อแสดงแอดเดรสตั้งแต่ 0 ถึง 782 และที่ยังเหลืออยู่อีก 14 บิทนั้น จะได้นำไปใช้สำหรับวัตถุประสงค์อย่างอื่น รายละเอียดที่มากกว่านี้ได้กล่าวถึงในหัวข้อที่ 2.6



↑ Indicates pointer operating on VC-3 #3

T181923-2/010

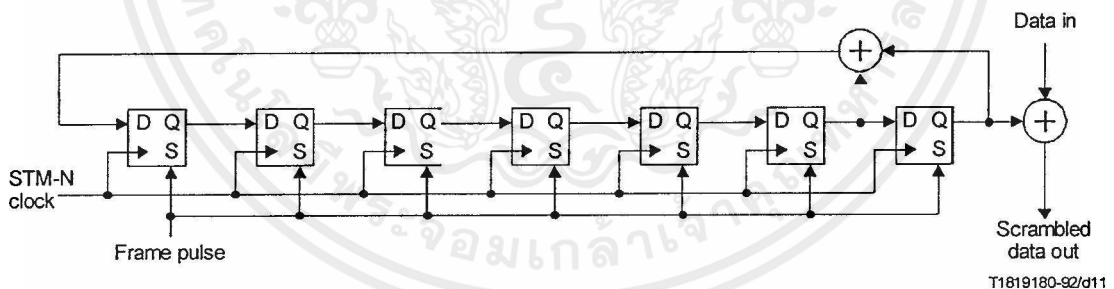
เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
รูปที่ 2.4 ตำแหน่งของ AU พ้อยเตอร์

2.2.4 SOH (Section Overhead)

SOH ได้กระจายอยู่ทั้งในส่วนบนและส่วนล่างของ AU พ้อยเตอร์ ซึ่งอยู่ตรงกลาง ส่วนบนคือ RSOH ได้นำมาใช้เพื่อจะทำให้การรับ-ส่งระหว่างอุปกรณ์รีเจนเนอเรเตอร์ต่าง ๆ มีความเชื่อถือเพิ่มมากขึ้น แต่ละอุปกรณ์รีเจนเนอเรเตอร์จะดูที่ส่วนนี้ของโอเวอร์เฮดเท่านั้นและไม่สนใจข้อมูลที่บรรจุอยู่ในส่วนที่เหลือของเฟรม ส่วนล่างจะตรงกับ MSOH และบรรจุข้อมูลที่จำเป็นที่ใช้ดำเนินการเรื่องมัลติเพล็กซ์และดีมัลติเพล็กซ์ เมื่อ STM-1 เคลื่อนที่เข้าไปในอุปกรณ์มัลติเพล็กซ์ผ่านอุปกรณ์รีเจนเนอเรเตอร์ก็จะตรวจสอบและพิจารณาเฉพาะส่วนนี้ของโอเวอร์เฮดเท่านั้น รายละเอียดมากกว่านี้จะได้กล่าวในหัวข้อที่ 2.5

2.2.5 การรับ-ส่ง สัญญาณของ STM-n

การรับ-ส่งสัญญาณของ STM-n รูปแบบของมันอาจจะมี 0 หรือ 1 ต่อเนื่องกันเป็นเวลานาน ๆ เพื่อป้องกันเหตุการณ์ที่จะเกิดขึ้นในลักษณะอย่างนี้ จึงได้นำเอาวิธีการสแกนบดิง (scrambling) มาใช้โดย FSS (Frame Synchronous Scrambler) ทำให้เกิดโพลีโนเมียล (Polynomial) คือ $1+x^6+x^7$ การสแกนบดิง นี้จะทำงานที่อัตราส่งและใช้กับ STM-n เฟรมทั้งหมด ยกเว้นแถวที่หนึ่งของ SOH ซึ่งไม่ต้องสแกนบดิง (scrambler) และสามารถแสดงการเชื่อมต่อได้ในรูปที่ 2.5 ข้อมูลที่ผ่านตัวการสแกนบดิงจะถูกบรรจุในเฟรม alignment words A1, A2 (ดูหัวข้อที่ 6.2) และตัวสแกนเบอจรีเซต (reset) ที่ 11111111 ตามหลังไบต์สุดท้ายของแถวที่หนึ่งของ SOH ต่อจากนั้นถึงจะเริ่มต้นเฟรมของฟังก์ชันการสแกนบดิง



รูปที่ 2.5 การสแกนบดิงของเฟรมซิงโครไนซ์

2.3 โครงสร้างในส่วนของมัลติเพล็กซ์แบบซิงโครไนซ์

โครงสร้างการมัลติเพล็กซ์ ในส่วนของการมัลติเพล็กซ์แบบซิงโครไนซ์นั้นจะแบ่งออกเป็น 2 ส่วน คือ ส่วนของการมัลติเพล็กซ์แบบอะซิงโครไนซ์ และส่วนของการมัลติเพล็กซ์แบบซิงโครไนซ์ ดังแสดงในรูปที่ 2.6 และถ้าจะกล่าวถึงรูปแบบการมัลติเพล็กซ์แบบซิงโครไนซ์ต่าง ๆ (รายละเอียดการมัลติเพล็กซ์จะกล่าวละเอียดในหัวข้อ 2.4) โดยเริ่มจากการมัลติเพล็กซ์ของ TU (Tributary Unit) หลายหน่วยเข้าไปในรูปแบบของสัญญาณ STM-n มักจะเกี่ยวข้องกับการจัด

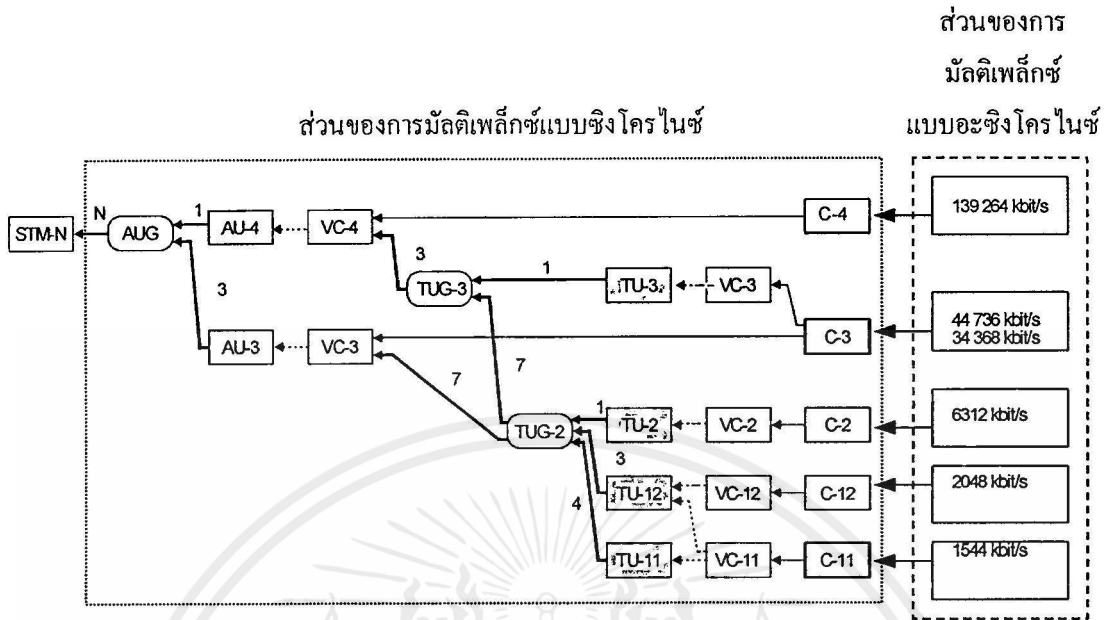
วางไว้ของ container ที่ TU ผ่านแต่ละ VC (Virtual Container) ต่าง ๆ โดยการปรับสัญญาณเหล่านั้นให้ตรงกับข้อกำหนดของ TU จากนั้นต้องทำการมัลติเพล็กซ์สัญญาณของ TU เหล่านั้นเข้าด้วยกันให้รวมเป็นกลุ่มที่เรียกว่า TUG (Tributary Unit Group) และต่อไปเป็นการปรับให้ตรงกับข้อกำหนดของ AU และเช่นกันจะต้องทำการมัลติเพล็กซ์ของ AU ต่าง ๆ ให้รวมกันเป็นกลุ่มเรียกว่า AUG ก็จะได้โครงสร้างในส่วนของ การมัลติเพล็กซ์แบบซิงโครไนซ์ ซึ่งค่ากล่าวข้างต้นเป็นเพียงแนวความคิดเบื้องต้น ดังนั้น ในหัวข้อนี้จึงต้องพิจารณาส่วนต่าง ๆ เหล่านี้ เพื่อเพิ่มความเข้าใจในการมัลติเพล็กซ์แบบซิงโครไนซ์ประกอบด้วย 1.องค์ประกอบสัญญาณต่าง ๆ ของโครงสร้างมัลติเพล็กซ์แบบซิงโครไนซ์ตามรูปที่ 2.6 2.การเชื่อมต่อองค์ประกอบต่าง ๆ เข้าด้วยกัน กล่าวคือในแต่ละบล็อกขององค์ประกอบต่าง ๆ จะสามารถเชื่อมต่อกันได้อย่างไรและมีขบวนการจัดทำอย่างไร เป็นต้น 3.จะอธิบายโครงสร้างของการมัลติเพล็กซ์แบบซิงโครไนซ์โดยรายละเอียดต่าง ๆ จะได้กล่าวดังต่อไปนี้

2.3.1 องค์ประกอบสัญญาณต่าง ๆ ของโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์

องค์ประกอบสัญญาณต่าง ๆ ได้วางรูปเป็นโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์ (Synchronous Multiplex) ประกอบด้วย container, VC, TU, TUG, AU, AUG, และ STM-n ดังแสดงในรูป 2.6

2.3.1.1 C (Container)

Container เป็นหน่วยที่สำคัญมากที่สุดของโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์ ด้วยเหตุผลที่ว่าระบบสื่อสารสัญญาณแบบ PDH ที่ใช้มาตรฐานในกลุ่มอเมริกาเหนือและกลุ่มยุโรปทั้งหมดสามารถที่จะวางไว้เข้าไปในแต่ละ container ก่อนที่จะไปถึง TU ต่าง ๆ ซึ่งจะดำเนินการเกี่ยวกับขบวนการทำโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์และพัฒนาเป็นส่วนหนึ่งของ STM-n ดังนั้น โครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์ จะประกอบด้วย Container ต่าง ๆ และสามารถแบ่งออกได้เป็นประเภทต่าง ๆ ดังนี้ C-1, C-2, C-3 และ C-4 โดยมีหมายเลขกำกับแสดงให้ทราบว่าตรงกับระดับของดิจิตอลมัลติเพล็กซ์แบบ PDH ระดับใด กล่าวคือกำหนดให้ C-1 สามารถแบ่งต่อไปได้อีกเป็น C-11, และ C-12 โดยที่ C-11 ได้จัดให้ใช้สำหรับมาตรฐานในกลุ่มอเมริกาเหนือ DS-1 ส่วน C-12 ได้จัดให้ใช้สำหรับมาตรฐานในกลุ่มยุโรป E-1 ส่วน C-4 สามารถขนส่งได้ทั้ง E-4 จาก PDH หรือ ATM cell จาก B-ISDN โดยเฉพาะเกี่ยวกับการจัดวางไว้ของแต่ละ TU



รูปที่ 2.6 การแบ่งประเภทโครงสร้างของการมัลติเพล็กซ์แบบซิงโครไนซ์

2.3.1.2 VC (Virtual Container)

หน้าที่ของ VC คือช่วยในเรื่องการเชื่อมต่อระหว่างส่วนของปรับวางไบท์ให้ตรงตามมาตรฐาน ในระบบสื่อสารสัญญาณแบบซิงโครไนซ์ ซึ่ง VC ประกอบด้วย payload ใช้ขนส่งข้อมูล และ POH (Path Overhead) ในส่วนของ Payload เหมือนกันกับ container และ VC เฟรมทั้งหมดจะเกิดขึ้นซ้ำ ๆ กันทุก ๆ 125 μ s หรือ 500- μ s. โดย VC แบ่งออกเป็น 4 ประเภท คือ VC-1, VC-2, VC-3, และ VC-4 เพื่อรองรับ C-1, C-2, C-3, และ C-4 ตามลำดับ ในทำนองเดียวกันกับ VC-1 ยังแบ่งต่อไปได้อีกเป็น VC-11, และ VC-12, VC-1 และ VC-2 เรียกว่าการมัลติเพล็กซ์ที่ระดับต่ำ (Lower Order) ส่วน VC-3 และ VC-4 เรียกว่าการมัลติเพล็กซ์ที่ระดับสูง (Higher Order) ส่วน VC ใด ๆ ของ POH สำหรับการมัลติเพล็กซ์ที่ระดับสูงจะเรียกว่า VC-3 POH หรือ VC-4 POH

2.3.1.3 TU (Tributary Unit)

TU ได้ออกแบบมาให้สามารถดัดแปลงได้ระหว่างการมัลติเพล็กซ์ที่ระดับสูงกับการมัลติเพล็กซ์ที่ระดับต่ำต่าง ๆ (เช่น การมัลติเพล็กซ์ที่ระดับต่ำจะมี VC ต่าง ๆ สามารถวางไบท์เข้าไปในการทำมัลติเพล็กซ์ที่ระดับสูง ซึ่ง VC ต่าง ๆ เหล่านี้ได้ส่งผ่านทาง TU และ TUG ตามลำดับ) โดยการใช้ TU พ้อยเตอร์เข้ากับการมัลติเพล็กซ์ที่ระดับต่ำของ VC ซึ่งการได้นำเอาพ้อยเตอร์มาใช้เพื่อให้แสดงองศาของการชดเชยของการมัลติเพล็กซ์ที่ระดับต่ำของ VC ให้สัมพันธ์กับตำแหน่งเริ่มต้นของเฟรมของการมัลติเพล็กซ์ที่ระดับสูงของ VC และเช่นกัน TU สามารถแบ่งออก

เป็นประเภท TU-1, TU-2, และ TU-3 ได้ ซึ่ง TU-1 ยังแบ่งต่อไปได้อีกเป็น TU-11 และ TU-12 ขึ้นอยู่กับชนิดของ VC ที่มันต่ออยู่

2.3.1.4 TUG (Tributary Unit Group)

หน้าที่ของ TUG คือ รวบรวมหนึ่งหรือหลาย TU และวาง TU ต่าง ๆ เหล่านั้นไปยังตำแหน่งที่ได้กำหนดไว้แล้วที่ payload ของการมัลติเพล็กซ์ที่ระดับสูง ซึ่งไม่ต้องเพิ่มโอเวอร์เฮดเมื่อ TUG ได้ก่อรูปขึ้นมาจาก TU ต่าง ๆ ดังนั้น TUG มีอยู่สองประเภท TUG-2 และ TUG-3 โดย TUG-2 ได้ก่อรูปขึ้นจากการรวมกลุ่มของ TU-1 ต่าง ๆ ที่เป็นประเภทเดียวกัน หรือจากการวางไบท์โดยตรงจาก TU-2 อย่างเดียว และในทำนองเดียวกัน TUG-3 ได้รวบรวม TU-2 หลายหน่วยหรือ TU-3 หน่วยเดียว

2.3.1.5 AU (Administrative Unit)

ฟังก์ชันต่าง ๆ ของ AU ทำหน้าที่เป็นตัวเชื่อมต่อระหว่างการมัลติเพล็กซ์ที่ระดับสูงกับการมัลติเพล็กซ์ของ TUG ดังที่ได้กล่าวมาก่อนแล้ว AU ประกอบด้วย payload และ AU พ้อยเตอร์ ซึ่ง payload ทำหน้าที่ขนส่งการมัลติเพล็กซ์ที่ระดับสูงของ VC และ AU พ้อยเตอร์ จะแสดงการซัดเซยสัมพันธ์ระหว่างตำแหน่งเริ่มต้นของ AU กับเฟรมของการมัลติเพล็กซ์ หรือจะพูดอีกอย่างหนึ่ง AU มีสองชนิด คือ AU-3 และ AU-4 ใช้ขนส่ง VC-3 และ VC-4 ตามลำดับ ส่วน AU พ้อยเตอร์เพื่อจะแสดงองศาการซัดเซยในเรื่องของ VC-3 หรือ VC-4 ของ STM-n เฟรมใด ๆ

2.3.1.6 AUG (Administrative Unit Group)

AU หนึ่งหรือหลาย ๆ หน่วยได้กำหนดตำแหน่งไว้แน่นอนที่ STM-n payload ที่เรียกว่า AUG โดย AUG ประกอบด้วย AU-3 สามหน่วย หรือ AU-4 หนึ่งหน่วย

2.3.1.7 STM (Synchronous Transport Module)

STM คือขั้นตอนสุดท้ายของโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์ และเป็นสัญญาณที่ได้ส่งผ่านระบบสื่อสารแบบซิงโครไนซ์ของโครงข่ายต่าง ๆ โดย STM-n ที่ได้ก่อขึ้นด้วย byte-interleaving ของ AUG-n (จำนวนหลาย ๆ หน่วย) และเพิ่ม SOH เข้ากับตำแหน่งเริ่มต้นของเฟรมของมันซึ่งในที่นี้ n ใช้แทนด้วยของหมายเลข 1, 4 และ 16 ที่ได้กล่าวไว้แล้วข้างต้น

2.3.2 การเชื่อมต่อองค์ประกอบต่าง ๆ เข้าด้วยกัน

รูปที่ 2.6 แสดงให้เห็นถึงขบวนการจัดทำมัลติเพล็กซ์แบบซิงโครไนซ์ ในทอมขององค์ประกอบสัญญาณต่าง ๆ โดยจะแสดงให้เห็นภาพขั้นตอนปฏิบัติของโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์ที่ได้กำหนดไว้ ซึ่งมีหลายขั้นตอนคือ การจัดวางไบท์ การปรับค่าให้ตรง ขบวนการทำพ้อยเตอร์และอื่น ๆ จากรูปที่ 2.1 คือคำตอบในรูปเส้นลูกศรที่บแสดงให้เห็นการจัดวางไบท์ ส่วนเส้นลูกศรประแสดงให้เห็นการปรับค่าให้ตรงตามมาตรฐาน และเส้นลูกศรหนาแสดงให้เห็นการมัลติเพล็กซ์

2.3.2.1 การจัดวางไบท์ (Mapping)

การวางไบท์ คือการแปรรูปแบบของ Container ต่าง ๆ ให้สอดคล้องกับโครงสร้างมาตรฐานของ VC ที่กำหนด กล่าวคือเมื่อรับข้อมูลจากอุปกรณ์อะซิงโครไนซ์ (เช่น PDH) เข้ามาถือของ Container จะทำการแบ่งข้อมูลต่าง ๆ ออกเป็นไบท์ ๆ แล้วทำการวางไบท์เหล่านั้นในพื้นที่ payload ที่ VC จัดเตรียมไว้ให้

2.3.2.2 การปรับค่าให้ตรง (Alignment)

การปรับค่าให้ตรงจะกล่าวถึงขั้นตอนการวางไบท์ของ VC ไปยัง AU พร้อมกับข้อมูล เฟรมออฟเซต (frame offset) ในที่นี้เฟรมออฟเซตเกิดขึ้นเนื่องจากสัญญาณพิกะหว่าง VC กับ TU หรือ AU ที่ได้กำหนดให้ไม่ตรงกันซึ่ง VC จะถูกปรับให้ตรงกันที่ 1 ไบท์ หรือ 3 ไบท์ และจะแสดงให้ทราบถึงสถานะของการปรับค่าให้ตรงตามมาตรฐานโดย TU หรือ AU พ้อยเตอร์

2.3.2.3 ขบวนการทำพ้อยเตอร์ (Pointer process)

ขบวนการทำพ้อยเตอร์จะถูกนำมาใช้เมื่อมีเฟรมออฟเซตเกิดขึ้น เนื่องจากมีความถี่สัญญาณพิกะแตกต่างกันระหว่าง VC กับ TU หรือ AU ทำให้ต้องใช้ขบวนการทำพ้อยเตอร์แสดงตำแหน่งค่าเริ่มต้นของ VC ที่พื้นที่ payload ของ TU

2.3.2.4 การมัลติเพล็กซ์ (Multiplex)

การดำเนินการ โดยการนำเอาสัญญาณที่ระดับการมัลติเพล็กซ์ที่ระดับต่ำหลายระดับมาดัดแปลงให้เหมาะสมก่อนที่จะส่งเข้าไปในการมัลติเพล็กซ์ที่ระดับสูง รูปที่ 2.6 แสดงลักษณะพิเศษของขบวนการมัลติเพล็กซ์ เช่น การปรับ TU ต่าง ๆ ให้เหมาะสม เพื่อจะส่งผ่านเข้าไปใน TUG ให้สามารถบรรจุลงใน VC ของการมัลติเพล็กซ์ที่ระดับสูงได้ หรือการปรับ AU ต่าง ๆ ให้เหมาะสมที่จะส่งเข้าไปใน AUG เพื่อจะโหลดไปยัง STM-n ได้ ในที่นี้เมื่อ TU หรือ AU ได้มัลติเพล็กซ์ไปยัง TUG หรือ AUG โดยไม่ต้องเพิ่มโอเวอร์เฮด และในระหว่างที่ TUG ได้มัลติเพล็กซ์ไปยังการมัลติเพล็กซ์ที่ระดับสูงที่ VC นั้นจะต้องเพิ่ม POH เข้าไปด้วย

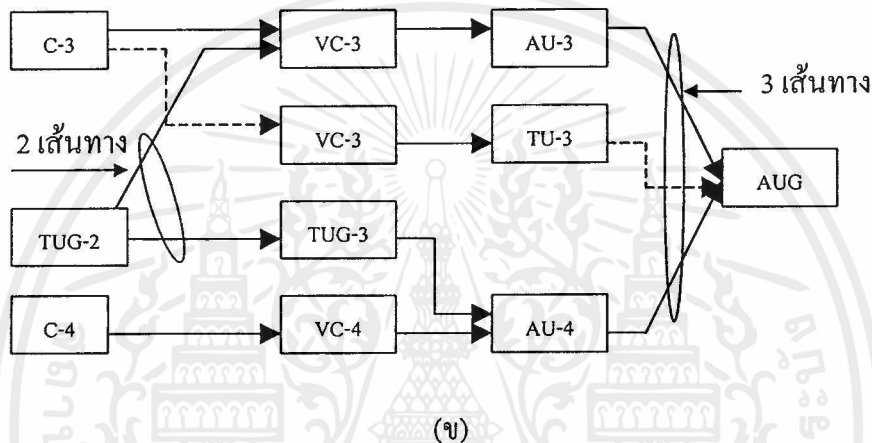
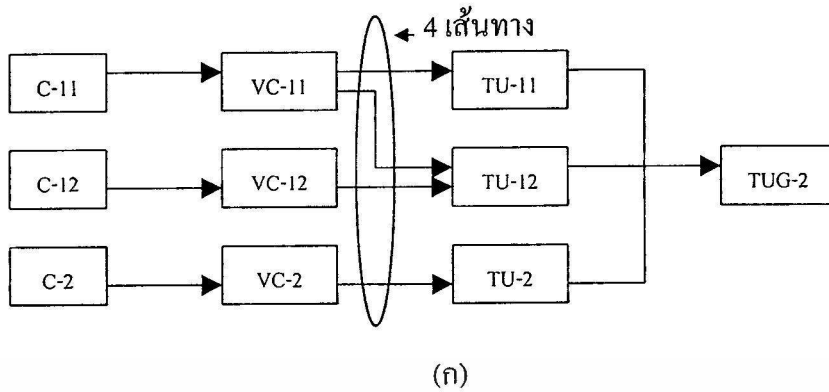
2.3.3 โครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์

ถ้าได้พิจารณาจากรูปที่ 2.6 จะเห็นว่าโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์แบ่งออกเป็นประเภทกว้าง ๆ ได้ดังนี้ การมัลติเพล็กซ์ที่ระดับต่ำ ซึ่งจะเกี่ยวข้องกับ C-1 และ C-2 และการมัลติเพล็กซ์ที่ระดับสูง ซึ่งจะเกี่ยวข้องกับ C-3 และ C-4 ในรูปที่ 2.7 ได้แยกเขียนให้เห็นทั้งสองระดับเมื่อพิจารณาโครงสร้างการมัลติเพล็กซ์ที่ระดับต่ำจะเห็นว่ามีความจำเป็นที่ต้องแปลง TU ที่ระดับต่าง ๆ ของ DS-1, 1E, และ DS-2 ให้กลายเป็น TUG-2 หลังจากที่ได้ส่งผ่านภาคต่าง ๆ หลาย ๆ ภาค โดยการจัดวางไบท์และ การมัลติเพล็กซ์ผ่าน container ต่าง ๆ ที่กำหนดให้ VC ใด ๆ ตัวอย่างเช่น DS-1 จะสามารถวางไบท์เข้าไปใน C-11 และ VC-11 ได้เลย และจากนั้นได้มัลติเพล็กซ์ไปยัง TUG-2 ผ่านทาง TU-11 หรือ TU-12 ซึ่งการเกิดขึ้นของ TUG-2 แสดงการสิ้นสุดของการมัลติเพล็กซ์ที่ระดับต่ำ และอาจจะกล่าวได้ว่า TUG-2 เท่ากับระดับ C-3 และ C-4 การพิจารณา

โครงสร้างการมัลติเพล็กซ์ที่ระดับสูง การมัลติเพล็กซ์ที่ระดับสูงเกี่ยวกับการมัลติเพล็กซ์ของข้อมูลที่จะเข้ามาที่ระดับสูง ต่าง ๆ (ดังแสดงในรูป 2.7 (ข)) ให้กลายเป็น AUG และ STM-n ผ่านทาง VC-3 หรือ VC-4 นั้นจะต้องส่งผ่านทาง AU-3 หรือ AU-4 โดยในข้อมูลต่าง ๆ ข้างต้นจะประกอบไปด้วย DS-3, E-3, E-4, และ TUG-2 ตัวอย่างเช่น ข้อมูลจาก PDH ที่ระดับ DS3 หรือ E3 เข้ามาในโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์ จะถูกแบ่งออกเป็นไบนารี ๆ ตามข้อกำหนดของ C-3 จากนั้นก็ส่งต่อไปยัง VC-3 ซึ่งที่จุดนี้เอง VC-3 สามารถเลือกเส้นทางการวางไบนารีไปยัง AU-3 หรือ TU-3 ก็ได้ (ปัจจุบันผู้ผลิตมักจะเลือกเส้นทางจาก VC-3 ไปยัง AU-3 เพราะเป็นเส้นทางที่สั้น) แล้วส่งให้ AUG เพื่อรวม AU ต่าง ๆ ให้เป็น STM-n

ดังนั้น มัลติเพล็กซ์ทุก ๆ เส้นทางจะต้องผ่านการมัลติเพล็กซ์ที่ระดับสูงและ TU ที่ระดับต่ำต่าง ๆ รวมไปถึงจะต้องดำเนินการมัลติเพล็กซ์ที่ระดับต่ำ ดังที่แสดงในรูปที่ 2.7 เส้นทางจากการมัลติเพล็กซ์ที่ระดับต่ำของ TU ต่าง ๆ ไปยัง TUG-2 มีอยู่ 4 เส้นทาง โดยเฉพาะเส้นทางจาก TUG-2 ไปยัง AUG มี 2 เส้นทาง ดังนั้น การมัลติเพล็กซ์ที่ระดับต่ำของ TU ต่าง ๆ สามารถมัลติเพล็กซ์ไปยัง AUG ได้ถึง 8 เส้นทางและถ้าพิจารณาการมัลติเพล็กซ์ที่ระดับสูง เส้นทาง ต่าง ๆ มีจำนวน 3 เส้นทาง ดังนั้น ผลรวมเส้นทางจากการมัลติเพล็กซ์ที่มีอยู่ภายในโครงสร้างการมัลติเพล็กซ์แบบซิงโครไนซ์จะมีถึง 11 เส้นทาง

ในจำนวนทั้ง 11 เส้นทาง มีเส้นทางที่ปรากฏว่าเป็นเส้นทางที่ใช้ประโยชน์มากที่สุด คือ C-1\VC-1\TU1-TUG-2\TUG-3\VC-4\AU-4\AUG ซึ่งได้เน้นให้เห็นในรูปที่ 2.7 (ก) อีกเส้นทางหนึ่งที่ได้พิจารณาแล้วเห็นว่าเป็นเส้นทางที่ไม่บังเกิดผลที่น่าพอใจคือ C-3\VC-3\TU3-TUG-3\VC-4\AU-4\AUG ซึ่งได้แสดงให้เห็นโดยใช้เส้นปะดังในรูปที่ 2.7 (ข) ในเส้นทางนี้ AU-3 ไม่มีความสำคัญ แต่อย่างไรก็ตามเส้นทาง C-3\VC-3\AU-3\AUG สิ่งที่เพิ่มเข้ามาจากข้อกำหนดในเรื่อง C-11 หรือ C-12 สองภาคของการมัลติเพล็กซ์ได้กำหนดไว้สำหรับสัญญาณที่จะส่งให้กับ DS-3 (DS-3 คือระบบ 44.736 Mbps ของ PDH ที่เป็นมาตรฐานของอเมริกาเหนือ) ดังนั้นเส้นทางที่ใช้เส้นประเป็นเส้นทางที่ยาวที่สุดจึงเป็นเส้นทางที่ให้ผลตามต้องการน้อยที่สุดในจำนวน 11 เส้นทางของ STM-n



รูปที่ 2.7 โครงสร้างการมัลติเพล็กซ์แบบชิงโครไนซ์ (ก) โครงสร้างการมัลติเพล็กซ์ที่ระดับต่ำ (ข) โครงสร้างการมัลติเพล็กซ์ที่ระดับสูง

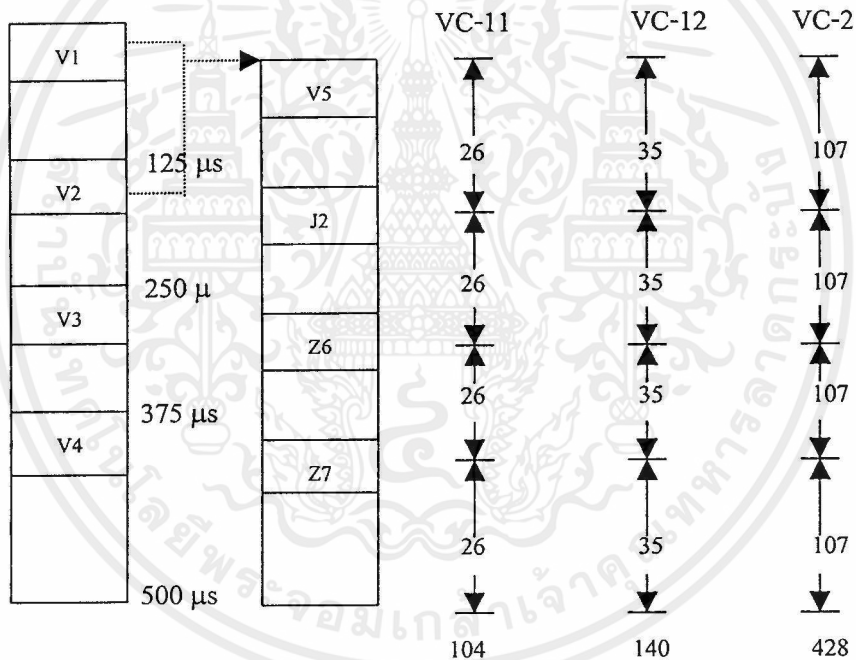
2.4 ขั้นตอนการทำมัลติเพล็กซ์แบบชิงโครไนซ์

ในหัวข้อที่แล้วลักษณะทั่วไปของการมัลติเพล็กซ์แบบชิงโครไนซ์ที่ได้กล่าวไว้ในเทอมขององค์ประกอบสัญญาณต่าง ๆ มีวิธีการต่าง ๆ มากมาย และคุณลักษณะส่วนของมัลติเพล็กซ์บางอย่าง ในหัวข้อนี้จะได้อธิบายเกี่ยวกับขบวนการทำมัลติเพล็กซ์แบบชิงโครไนซ์อย่างละเอียด อันดับแรกจะได้ศึกษาเกี่ยวกับการมัลติเพล็กซ์ที่ระดับต่ำที่ VC ต่าง ๆ ที่จะต้องส่งข้อมูลไปยัง TUG-2 ต่อจากนั้นจะเป็นศึกษาเกี่ยวกับการมัลติเพล็กซ์ที่ระดับสูงที่ VC ต่าง ๆ หรือ TUG-2 ใด ๆ ที่จะต้องส่งข้อมูลไปยัง AUG โดยเฉพาะการจัดวางไบต์ของแต่ละข้อมูลที่จะไปยัง container และ VC จะทำหน้าที่ปรับสัญญาณให้ตรงกัน ซึ่งจะได้พิจารณาในหัวข้อต่อไปตามลำดับ

2.4.1 การมัลติเพล็กซ์ที่ระดับต่ำที่ VC ใด ๆ ไปยัง TUG-2

ดังแสดงในรูปที่ 2.8 การมัลติเพล็กซ์ที่ระดับต่ำสำหรับ VC-11, VC-12, และ VC-2 ได้ประกอบขึ้นจาก 104 ไบต์, 140 ไบต์, และ 428 ไบต์ [4] ตามลำดับไบต์ที่หนึ่งจำนวนไบต์

ต่าง ๆ ได้ตั้งชื่อเป็น V5 ทำหน้าที่เป็น POH สำหรับแต่ละ VC และไบต์ต่าง ๆ ที่เหลือได้กำหนดไว้สำหรับขนส่ง container ต่าง ๆ เช่น C-11, C-12, และ C-2 ซึ่งที่ VC ใดจะสามารถรวม Container ใด ๆ ได้ 4 ชุด (ตามที่แสดงในรูปที่ 2.8) การมัลติเพล็กซ์ที่ระดับต่ำ VC จะเชื่อม Container เฟรมที่เฟรมเข้าด้วยกันแบบลูกโซ่ แต่ละ container เฟรม มี 26ไบต์ 35ไบต์หรือ 107ไบต์ ในช่วงเวลา 125 μ s รวมกันสี่เฟรมจะใช้เวลาทั้งสิ้น 500- μ s และในการมัลติเพล็กซ์จะรวมกันหลายเฟรมดังแสดงในรูปที่ 2.8 ซึ่งจะมีสี่พ้อยเตอร์ไบต์ ประกอบไปด้วย V1, V2, V3 และ V4 นำไปบรรจุเข้ากับตำแหน่งเริ่มต้นของแต่ละเฟรมของ VC จะทำให้กลายเป็น TU ดังนั้น มัลติเฟรมของ TU จะครอบครองพื้นที่ 27x4, 36x4 หรือ 108x4 ในช่วงเวลา 500- μ s ซึ่งมีสัดส่วนของ 26x4, 35x4, หรือ 107x4 ซึ่งตรงกับ payload สี่ชุดกับสี่ไบต์ของพ้อยเตอร์ดังกล่าวจะสะท้อนให้เห็นตำแหน่งที่สัมพันธ์กันของ payload ต่าง ๆ ที่อยู่ภายใน TU หลายเฟรม



- V1 คือ VC พ้อยเตอร์ตัวที่ 1
- V2 คือ VC พ้อยเตอร์ตัวที่ 2
- V3 คือ VC พ้อยเตอร์ตัวที่ 3
- V4 คือ ไบต์ที่ว่าง

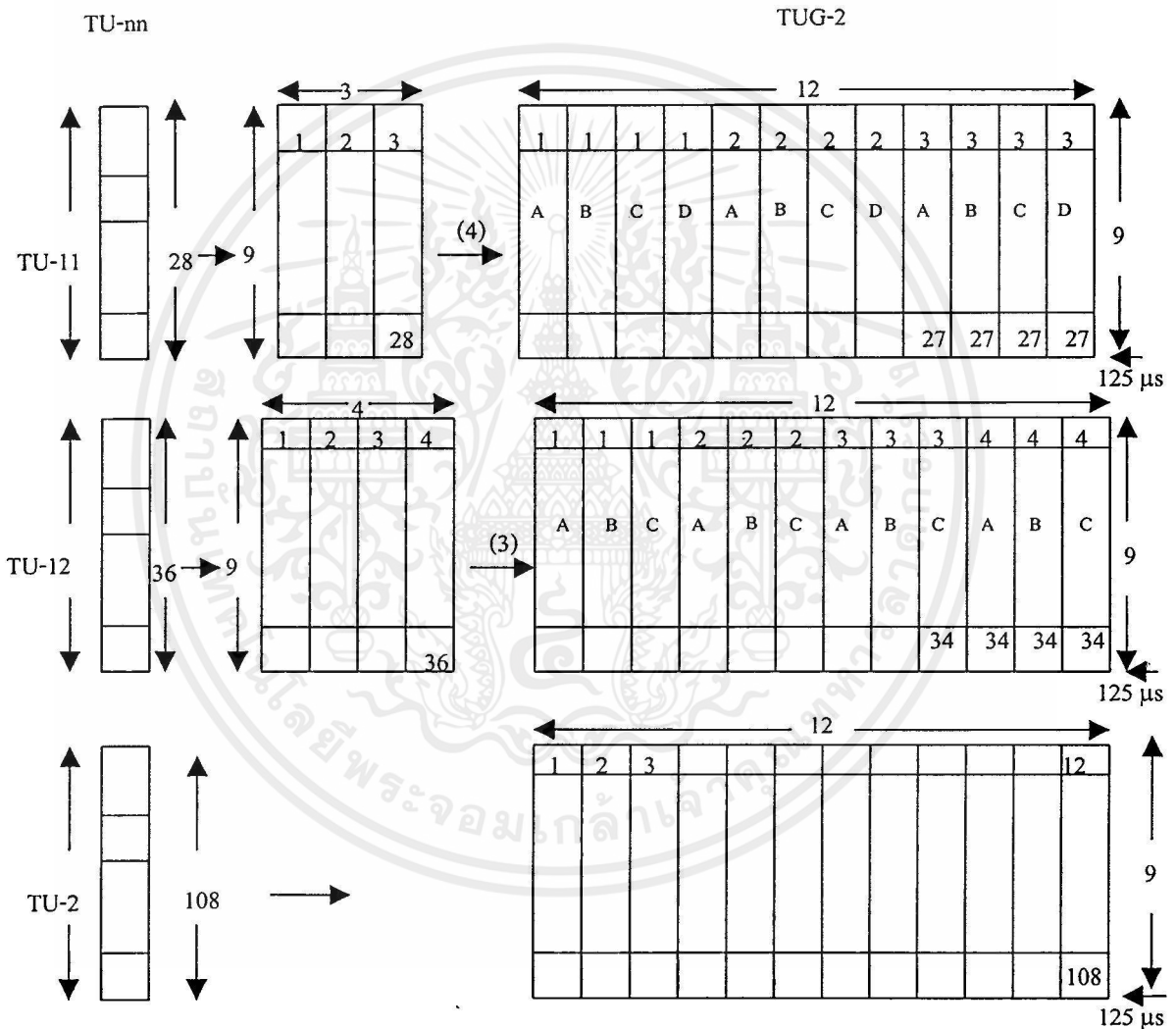
รูปที่ 2.8 ส่วนประกอบการมัลติเพล็กซ์ที่ระดับต่ำของ VC และ TU

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการค้าเท่านั้น มิใช่เอกสารให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.9 จะแสดงทราบถึงส่วนประกอบของ TU-11, TU-12 และ TU-2 ซึ่งประกอบไปด้วย

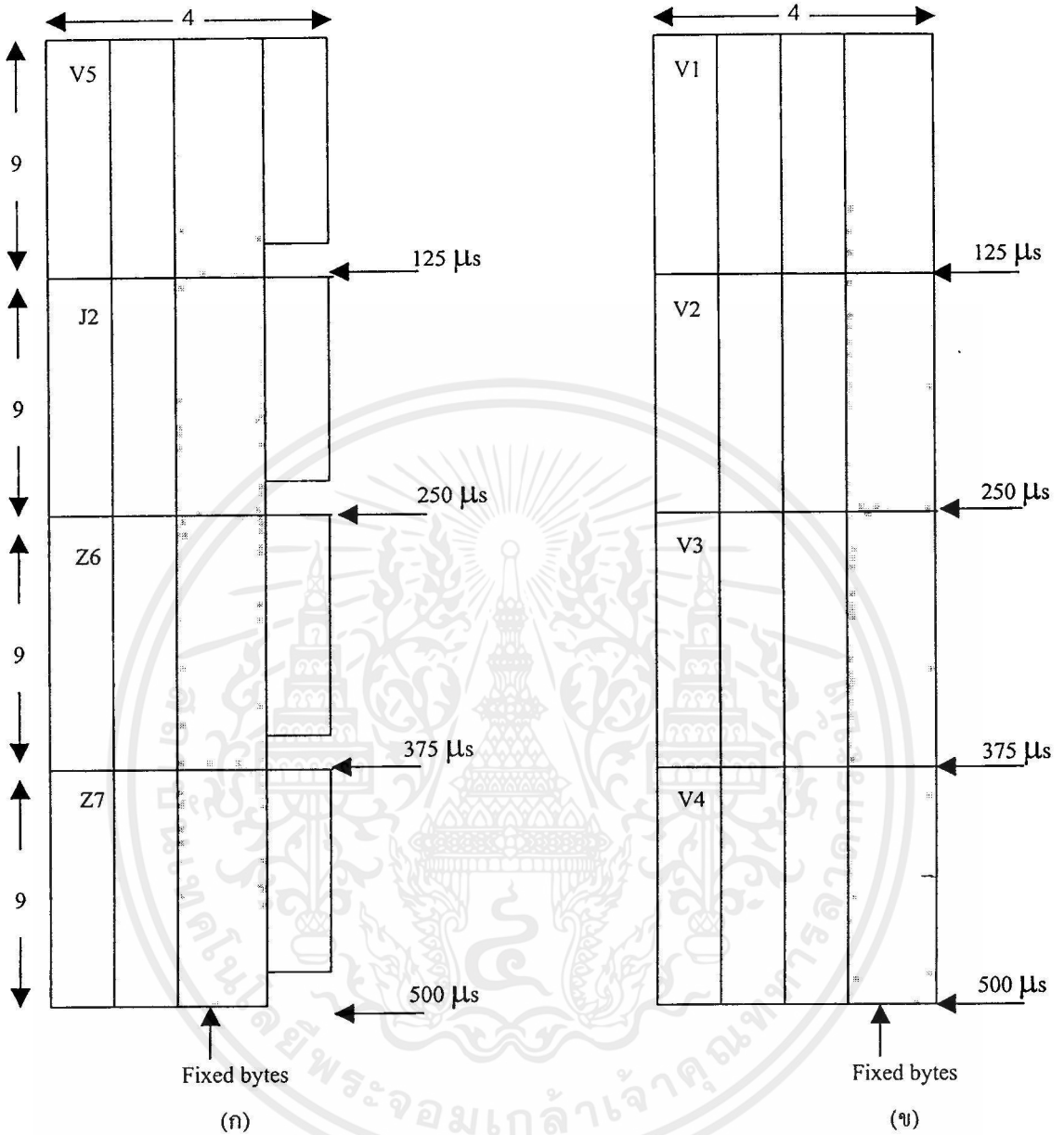
- 4 หน่วยของ VC-11 สำหรับ TU-11
- 3 หน่วยของ VC-12 สำหรับ TU-12
- 1 หน่วยของ VC-2 สำหรับ TU-2

แล้วรวมเข้าด้วยกัน โดยวิธี BIM จะได้จำนวน 9 แถว x 12 คอลัมน์ ซึ่งก็คือขนาดของ TUG-2



รูปที่ 2.9 โครงสร้างของ TUG-2 ที่ได้มาจากการมัดติเพิล็กซ์ TU-11, TU-12 และ TU-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงการปรับค่า VC-11 ใน TU-12 (ก) การปรับค่า VC-11 (ข) การปรับค่า TU-12

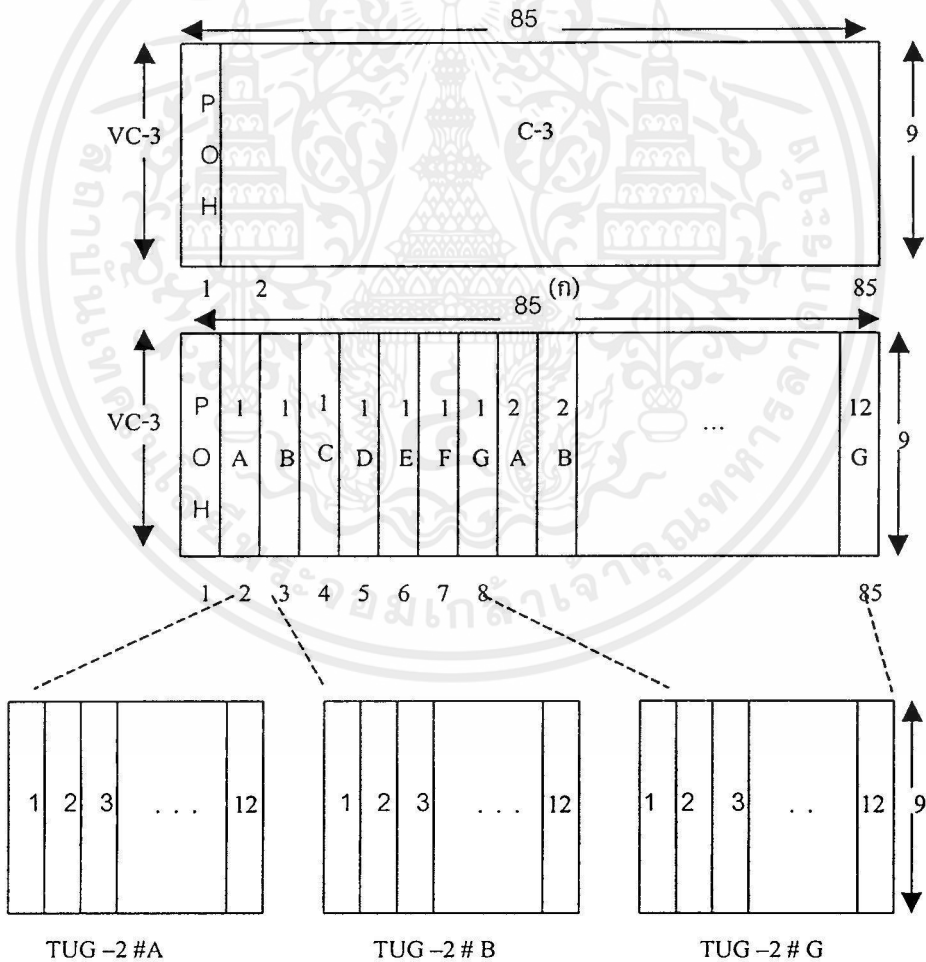
2.4.2 การจัดวางไบท์ไปยัง VC-3

VC-3 ประกอบด้วย 9×85 คอลัมน์ โดยคอลัมน์แรกใช้สำหรับ POH และที่เหลืออีก 84 คอลัมน์เป็นส่วนของ payload ซึ่งสามารถขนส่ง C-3 หรือ TUG-2 ได้ ในกรณีของ C-3 จะถูกการวางไบท์เข้าไปใน VC-3 ดังแสดงในรูปที่ 2.11 สำหรับ TUG-2 สามารถจะวางไบท์ไปยัง VC-3 ก่อนเป็นจำนวน 7 ชุดของ TUG ดังแสดงในรูปที่ 2.11 เนื่องจากแต่ละ TUG-2 มี 9×12 คอลัมน์ที่ payload ของ VC จะสามารถบรรจุได้จำนวนสูงสุด 84 คอลัมน์ ในที่นี้ TUG ต่าง ๆ ทั้งหมดที่อยู่

ภายใน VC-3 จะมีเฟสอย่างเดียวกัน และ H4 byte ใน POH ของ VC-3 ใช้สำหรับขนส่งข้อมูลทางเฟส (phase information)

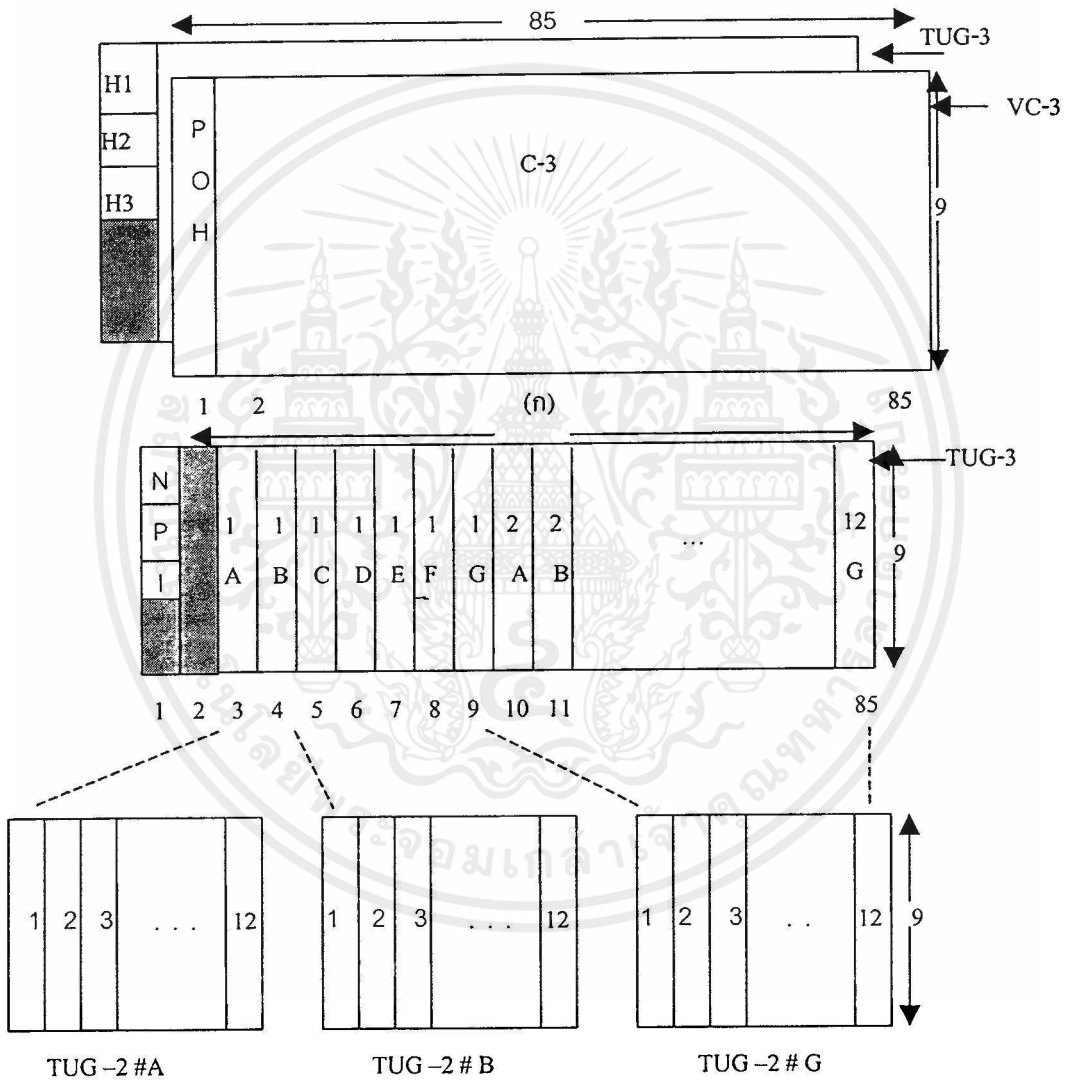
2.4.3 การมัลติเพล็กซ์ไปยัง TUG-3

TUG-3 ประกอบด้วย 9x86 คอลัมน์ ขอมให้การวางไบต์ VC-3 หรือ TU-3 หนึ่งหน่วยหรือ TUG-2 เจ็ดหน่วยเข้าไปใน payload ของ TUG-3 ดังแสดงในรูปที่ 2.12 (ก) การเพิ่มพ้อยเตอร์ไบต์ H1, H2 และ H3 สามไบต์ให้กับ VC-3 ผลที่ได้คือ TU-3 จะต้องเพิ่มไบต์ที่กำหนดตายตัวสำหรับทำสตັปปิ้ง (Stuffing) อีกหกไบต์ในคอลัมน์เดียวกัน ทำให้ได้ค่า TUG-3 ในที่นี้ตำแหน่งเริ่มต้นของ VC ที่อยู่ภายใน TU-3 (เช่นเดียวกับที่อยู่ภายใน TUG-3) สามารถเปลี่ยนแปลงได้และข้อมูลนี้ได้แสดงให้ทราบตรงตามพ้อยเตอร์ไบต์ และสิ่งหนึ่งซึ่งควรจะได้กล่าวถึงเกี่ยวกับการจัดวางไบต์ของ VC ต่าง ๆ เข้าไปใน TUG-3 ก็คือจะยอมให้เฉพาะ VC ที่ได้มีการวางไบต์มาจาก C-3 เท่านั้น (ไม่ใช่การวางไบต์ มาจาก TUG-2)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ (จ) ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีรูปที่ 2.11 การวางไบต์ไว้ใน VC-3 (ก) โครงสร้าง C-3 ใน VC-3 (ข) การวางไบต์ TUG-2 ลงใน VC-3

ส่วน TUG-2 ที่ได้จากการวางไบท์เข้าไปใน TUG-3 มีรูปแบบอย่างเดียวกัน แต่ในกรณีนี้ ไม่จำเป็นต้องใช้ POH เพราะ TUG-3 ที่ได้จะมีลิตเติลเฟล็กซ์ไปยัง VC-4 เป็นหน่วยเดียวกันและ สามารถจะเพิ่ม POH เข้าไปได้ทันที ตามรูปที่ 2.12 (ข) แสดงให้เห็นการลิตเติลเฟล็กซ์จาก TUG-2 ไปยัง TUG-3 และยังสามารถแสดงให้เห็นว่าไม่มีพ้อยเตอร์ไบท์ เช่น H1, H2 และ H3 การที่ไม่มีพ้อยเตอร์ ได้แสดงให้ทราบโดยค่า NPI (Null Pointer Indication) และค่านี้แสดงให้ทราบโดยการบรรจุสอง ไบท์ ที่ตรงกับ H1, H2 ซึ่งมีค่าเป็น 1001ss1111100000 G.707 [4,8]

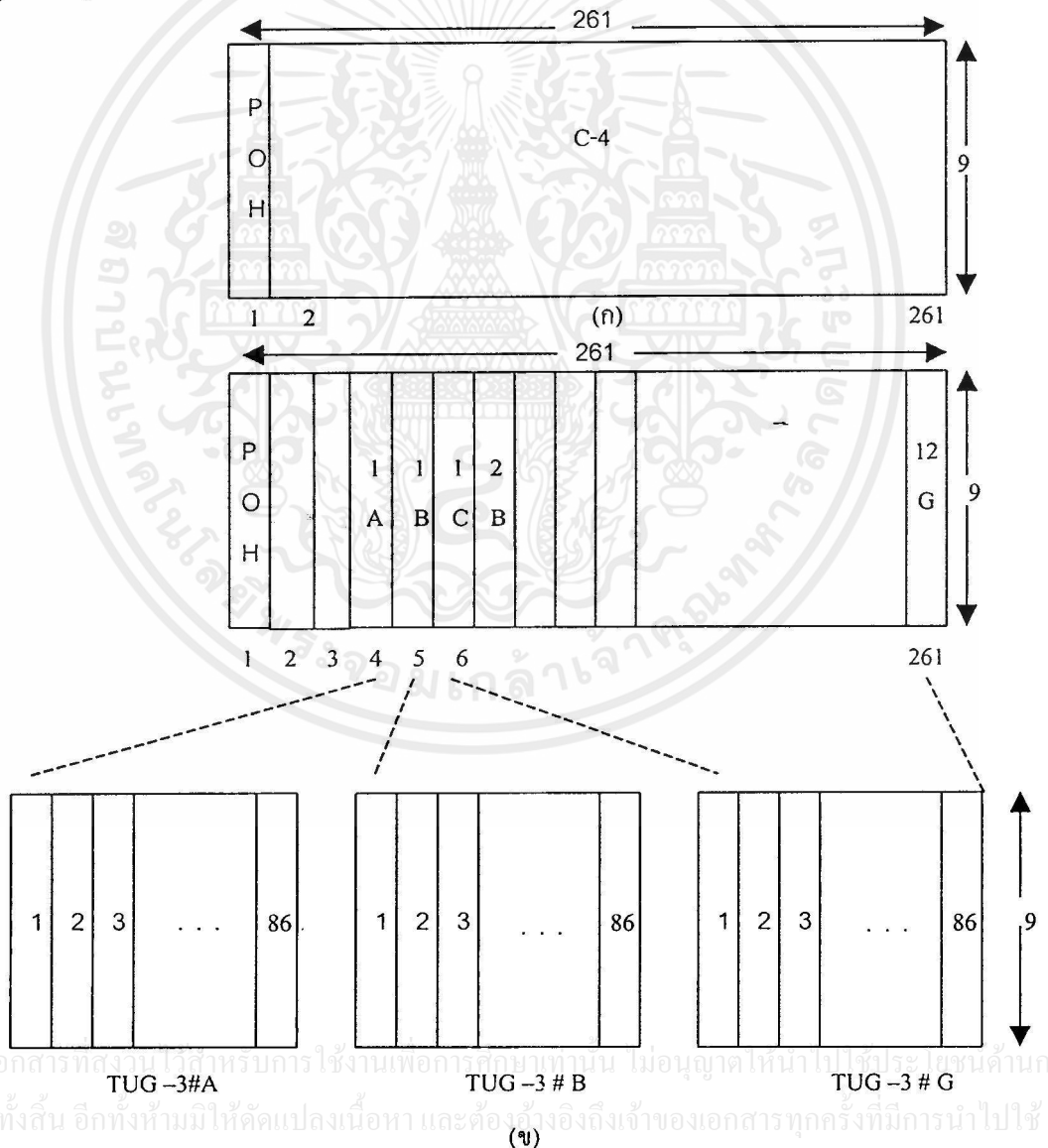


(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.12 การวางไบท์ของ TUG-2 ไปยัง TUG-3 (ก) โครงสร้าง TUG-3 และ TU-3
ไม่ว่ากรณีใดๆ ทั้งสิ้น ยกเว้นที่ผลิตและจำหน่ายโดย และห้องวิจัยของเอกสารทุกครั้งที่มีการนำไปใช้
(ข) โครงสร้าง TUG-2, TUG-3 และการวางไบท์

2.4.4 การจัดวางไบต์ เข้าไปใน VC-4

VC-4 ประกอบขึ้นจาก 261 คอลัมน์ แต่ละคอลัมน์มีขนาด 9 ไบต์ คอลัมน์ที่หนึ่งใช้สำหรับ POH และที่เหลืออยู่อีก 260 คอลัมน์ ได้นำมาใช้เพื่อขนส่งข้อมูลซึ่งได้มีการวางไบต์มาจาก C-4 หรือ TUG-3 การมัลติเพล็กซ์ C-4 ไปยัง VC-4 ได้แสดงให้เห็นในรูปที่ 2.13 (ก) ส่วนที่ได้มาจาก TUG-3 จะมีโครงสร้างภายในของ C-4 ที่เกิดจากการรวม TUG-3 สามหน่วยเข้าด้วยกันโดยวิธี byte-interleaved และการวางไบต์เข้าไปใน payload ของ VC-4 ดังแสดงไว้ในรูปที่ 2.13 (ข) เนื่องจาก TUG-3 แต่ละหน่วยมีขนาด 9x86 คอลัมน์ การโหลด TUG-3 สามหน่วยไปยัง VC-4 จะมีการสำรองไว้สองคอลัมน์เพื่อให้ประโยชน์อย่างอื่น ซึ่งจะบรรจุด้วย fixed stuff bytes และ TUG ต่าง ๆ ทั้งหมดที่อยู่ภายใน VC-4 ได้ถูกจัดลำดับใหม่เพื่อให้มีเฟสตรงกันโดยใช้ H4 byte จะทำหน้าที่ส่งข้อมูลเฟส (phase information) ซึ่งเป็นส่วนหนึ่งของ POH ของ VC-4

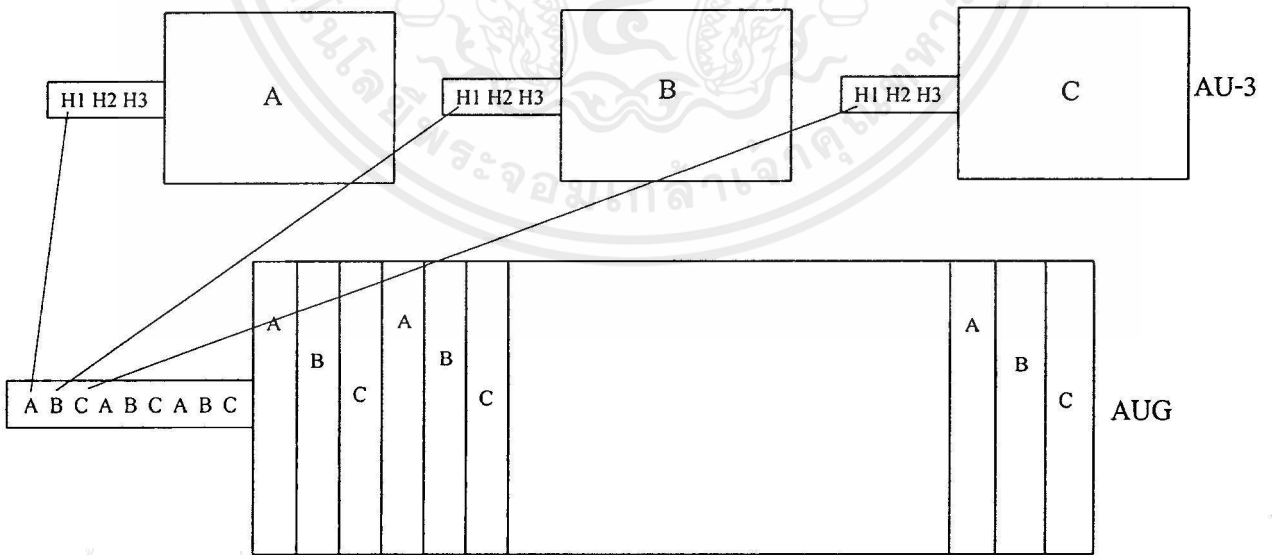
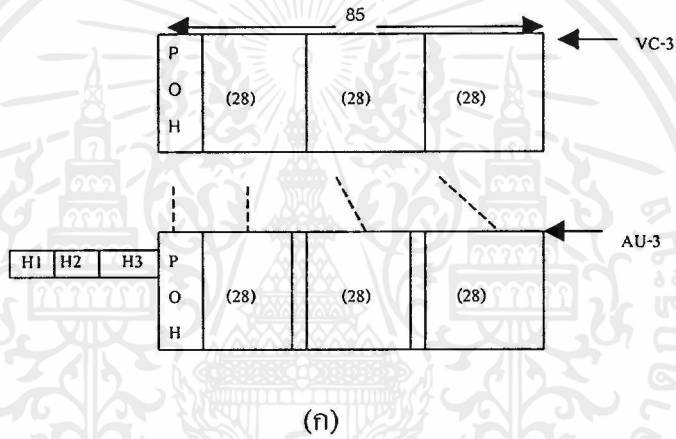


รูปที่ 2.13 การวางไบต์เข้าไปใน VC-4 (ก) โครงสร้างของ C-4 (ข) โครงสร้าง TUG-3

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการใช้งานเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ (ข)

2.4.5 การมัลติเพล็กซ์ไปยัง AUG

AUG ประกอบขึ้นด้วย 9x261 คอลัมน์นับวก 1 คอลัมน์ซึ่งได้บรรจุไว้ที่ตำแหน่งเริ่มต้นของแถวที่สี่ (ตรง AU พ้อยเตอร์ที่ได้กล่าวมาแล้วในหัวข้อที่ 2.2.3) ดังแสดงในรูปที่ 2.2 การเพิ่ม SOH ซึ่งมีขนาด 3x9 และ 5x9 เพื่อแปลง AUG ให้กลายเป็น STM-1 โดยเฉพาะการทำ Byte-interleaving ของจำนวน n ของ AUG และการเพิ่ม SOH ให้สอดคล้องกันที่จะทำให้เกิดผล STM-n ดังที่เคยได้กล่าวไปแล้วข้างต้น AUG สามารถจะสร้างมาจาก AU-3 สามหน่วยหรือจาก AU-4 หนึ่งหน่วยอย่างหนึ่งอย่างใดก็ได้ ส่วนประกอบพ้อยเตอร์ที่ AU-4 สร้างขึ้นมาจากไบนารีจำนวน 9 ไบนารี คือ H1, Y, Y, H2, 1*, 1*, H3, H3, และ H3 โดยที่ค่า Y และ 1* แทนด้วย 1001ss11 และ 11111111 ตามลำดับ[4] ในกรณีของ VC-4 จะใช้การทำจัดตีพีเคชันแบบ P/Z/N (Positive/Zero/Negative) จำนวนสามไบต์ ใน จัดตีพีเคชัน ดังนั้นต้องใช้ H3 สามไบต์ ที่แสดงไว้ข้างต้นเป็นตัวทำจัดตีพีเคชัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.14 การวางบิทไปยัง AUG (ก) การปรับ C-3 (ข) การมัลติเพล็กซ์ AU-3

จากรูปที่ 2.14 (ข) AU-3 ได้สร้างขึ้นมาโดยการเพิ่มไปทีที่กำหนดตายตัวสำหรับทำสลับฟังก์ชันจำนวน 2 คอลัมน์เข้ากับ VC-3 ดังนั้นจึงต้องการพื้นที่ทั้งหมด 87 คอลัมน์ ต่อจากนั้นเพิ่ม 3 พ้อยเตอร์ซึ่ง VC-3 จะลอยตัวอยู่ภายใน AU-3

2.5 โอเวอร์เฮดร์ (Overhead)

โอเวอร์เฮดร์ (Overhead) ประกอบด้วย SOH ที่แบ่งออกเป็นส่วนของ MSOH (Multiplexer Section Overhead) และ RSOH (Regenerator Section Overhead) ส่วนใน POH ใช้กับส่วนของระบบสื่อสารต่าง ๆ ที่มีสำหรับ VC ที่ระดับต่าง ๆ และ POH ก็ยังแบ่งออกไปได้อีกเป็นการมัลติเพล็กซ์ที่ระดับสูงและการมัลติเพล็กซ์ที่ระดับต่ำ ซึ่งจะใช้เฉพาะการมัลติเพล็กซ์ที่ระดับต่ำของ VC ในหัวข้อนี้จะได้ศึกษารายละเอียดเกี่ยวกับฟังก์ชันและส่วนประกอบของโอเวอร์เฮดร์ ชนิดต่าง ๆ อันดับแรกจะได้พิจารณาเกี่ยวกับองค์ประกอบทั้งหมดของ SOH ตามด้วยการศึกษาเกี่ยวกับ RSOH และ MSOH ต่อจากนั้นจะได้อธิบาย POH ในเทอมของการมัลติเพล็กซ์ที่ระดับต่ำและการมัลติเพล็กซ์ที่ระดับสูง

2.5.1 องค์ประกอบของ SOH

SOH ถูกสร้างขึ้นมาเพื่อประโยชน์ในการตรวจสอบและควบคุมคุณภาพของโครงข่ายโดยจะกำหนดฟังก์ชันต่าง ๆ ขึ้นมารองรับ (ดังแสดงในรูปที่ 2.15) ซึ่งแต่ละฟังก์ชันจะมีหน้าที่แตกต่างกัน เช่น B จะถูกกำหนดให้ใช้สำหรับการตรวจสอบบิตภาวะเสมอมูล (bit parity) และ D ถูกกำหนดให้เป็นช่องสัญญาณสำหรับส่งข้อมูลต่าง ๆ ให้ผู้บริหารโครงข่ายเป็นต้น จากที่กล่าวมาแล้วข้างต้น SOH จะสามารถแบ่งได้ออกสองส่วนคือ RSOH และ MSOH โดยที่ RSOH จะถูกใช้กับอุปกรณ์ประเภทรีเจเนอเรเตอร์ ส่วน MSOH จะถูกใช้กับอุปกรณ์มัลติเพล็กซ์ ซึ่งมีรายละเอียดดังนี้

	1	2	3	4	5	6	7	8	
1	A1	A1	A1	A2	A2	A2	C1	X	X
2	B1			E1			F1	X	X
3	D1			D2			D3		
4	AU Pointer								
5	B2	B2	B2	K1			K2		
6	D4			D5			D6		
7	D7			D8			D9		
8	D10			D11			D12		
9	Z1	Z1	Z1	Z2	Z2	Z2	E2	X	X

	1			12	13			24	25			28	29
1	A1	A1		A1	A	A2	A2	C1	C1	C1	C1	X	X
2	B1			E1				F1	X	X		X	X
3	D1			D2				D3					
4	AU Pointer												
5	B2	B2		B2	K1			K2					
6	D4			D5				D6					
7	D7			D8				D9					
8	D10			D11				D12					
9	Z1	Z1		Z1	Z2	Z2	Z2	E2	X				X

(ข)

	1			48	49			96	97			112	113
1	A1	A1		A1	A	A2	A2	C1	C1	C1	C1	X	X
2	B1			E1				F1	X	X		X	X
3	D1			D2				D3					
4	AU Pointer												
5	B2	B2		B2	K1			K2					
6	D4			D5				D6					
7	D7			D8				D9					
8	D10			D11				D12					
9	Z1	Z1		Z1	Z2	Z2	Z2	E2	X				X

(ค)

รูปที่ 2.15 การแสดงโครงสร้างของ SOH ต่าง ๆ (ก) SOH ที่ STM-1 (ข) SOH ที่ STM-4
(ค) SOH ที่ STM-16

เอกสารนี้เป็นเอกสาร 2.5.2 RSOH (Regenerator Section Overhead) ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น RSOH คือ โอเวอร์เฮดซึ่งจะได้พิจารณาเฉพาะในส่วนของอุปกรณ์รีเจนเนอเรเตอร์ต่าง ๆ เท่านั้น ประกอบด้วย A1, A2, C1, D1, D2, D3, E1 และ F1 ดังที่ได้แสดงให้เห็นในรูปที่ 2.15 ซึ่งจะอธิบายรายละเอียดฟังก์ชันและหน้าที่ของตำแหน่งต่าง ๆ ข้างต้นดังนี้

- A1 และ A2 ทำหน้าที่เหมือนกับการปรับเส้นแสดงตำแหน่งที่แยกเส้นแบ่งเขตของ STM-n ให้ออกจากกัน และได้กำหนด $A_1 = 11110110$, และ $A_2 = 00100000$ [4,8]
- B₁ คือ BIP (Bit Interleaved Parity) ประกอบด้วย 8 บิตเป็นฟังก์ชันที่ทำหน้าที่ตรวจสอบความคลาดเคลื่อนบิตลำดับที่ *i*th ($I = 1, 2, \dots, 8$) กล่าวคือ B1 ทำหน้าที่ตรวจสอบภาวะเสมอมูลคู่ (even parity) บิตลำดับที่ *i*th ของ STM-n ไบท์ เท่านั้น BIP -8 จะคำนวณหลังจาก STM-n เฟรม ทั้งหมดได้ผ่านสแกรมเบิล (scramble) แล้วเท่านั้น และได้บันทึกไว้ที่ B1 ของ STM-n เฟรม
- C1 ทำหน้าที่เป็น กำหนดให้มีเลขหมายประจำตัวของ STM ที่ *n* ใด ๆ นั่นก็คือภายใน STM-n จะมี STM-1 หลาย ๆ ชุดซึ่ง C1 จะกำหนดให้มีเลขหมายประจำตัว (Identification Number) เฉพาะของ STM-1 นั้น และเลขหมายนี้ได้นำมาใช้เพื่อทำการปรับ STM-n เฟรม
- D1, D2 และ D3 ใช้เป็นช่องสัญญาณสำหรับส่งข้อมูลต่าง ๆ ที่เรียกว่า DDC (Data Communication Channels) [10] โดยใช้สำหรับอุปกรณ์รีเจเนอเรเตอร์และเนื่องจากแต่ละช่องมีความจุเท่ากับ 64 Kbps ดังนั้นความจุรวมทั้งหมดของ DCCs จึงเท่ากับ 192 Kbps
- E1 ทำหน้าที่เป็นช่องสัญญาณสำหรับสื่อสารทางเสียง ที่เรียกว่า ออเดอร์ไวร์ (order wire) ที่ใช้เฉพาะระหว่างอุปกรณ์รีเจเนอเรเตอร์
- F1 เป็นไบท์ที่ถูกจองไว้สำหรับจุดมุ่งหมายอื่น ๆ ของผู้ใช้ เช่น ใช้ไบท์นี้สำหรับเป็นช่องสัญญาณรับ-ส่งข้อมูลหรือเสียงในการติดต่อของการซ่อมบำรุง เป็นต้น
- X ได้กำหนดไว้สำหรับใช้ภายในประเทศ [2,5,9] ซึ่งเป็นจุดมุ่งหมายของวิทยานิพนธ์นี้ ได้เสนอให้ใช้สำหรับเป็นช่องทางส่งค่าจิตเตอร์ไปยังอุปกรณ์บริหาร โครงข่ายในส่วน of อุปกรณ์รีเจเนอเรเตอร์

2.5.3 MSOH (Multiplexer Section Overhead)

MSOH ทำหน้าที่ตรวจสอบเฉพาะอุปกรณ์มัลติเพล็กซ์เท่านั้นและสามารถส่งผ่านอุปกรณ์รีเจเนอเรเตอร์ต่าง ๆ ได้ ซึ่ง MSOH จะถูกกำหนดให้อยู่ด้านล่างของ AU พ้อยเตอร์ในส่วน SOH ของ STM-n เฟรม และประกอบด้วยไบท์ B2, D4 ถึง D12, E2, K1, K2, Z1 และ Z2 ที่ทำหน้าที่ต่าง ๆ กันดังนี้

- B2 คือ BIP (Bit Interleaved Parity) ซึ่งทำหน้าที่มอดิเตอร์ในเรื่องการผิดพลาดของการมัลติเพล็กซ์ โดย B2 ของ STM เฟรมจะมี 30 ไบท์ ดังนั้น การตรวจสอบภาวะเสมอมูล (parity check) จะกระทำผ่านทางรูปแบบของ BIP-2n นั่นคือ บิตลำดับที่ *i*th ($I = 1, 2, \dots, 24$) กล่าวคือ B2 จะดำเนินการตรวจสอบบิตภาวะเสมอมูลทุก ๆ 24 บิต เริ่มต้นด้วยบิตลำดับที่ *i*th และเปลี่ยนตัวของมันเองเป็น 1 หรือ 0 เพื่อจะให้จำนวนรวมทั้ง

หมดของ “1” เป็นจำนวนคู่ในที่นี้ BIP-24n จะดำเนินการบน STM-n เฟรม ทั้งสิ้น (ยกเว้นเฉพาะ RSOH) และจะถูกบันทึกไว้บน B2 ก่อนที่จะทำการสแกนบิต (Scrambling)

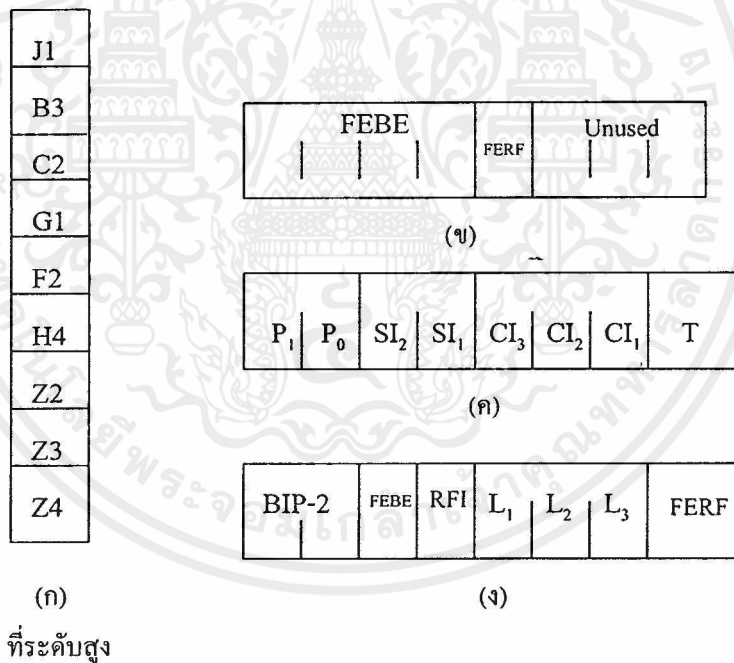
- D4 ถึง D12 เป็นช่องสัญญาณที่ใช้ในการสื่อสารของ MSOH ซึ่งมีความจุรวมทั้งหมด 576 kbps ซึ่งอาจจะนำไปใช้กับ TMN (Telecommunication Management Network)
- E2 ทำหน้าที่เป็นช่องสัญญาณสำหรับสื่อสารทางเสียง ที่เรียกว่า ออเดอร์ไวร์ (order wire) ระหว่างอุปกรณ์มัลติเพล็กซ์
- K1 และ K2 ทำหน้าที่เป็นช่องสัญญาณสำหรับส่งสัญญาณการสวิตช์อัตโนมัติ ที่เรียกว่า APS (Automatic Protection Switch) [10]
- Z1 และ Z2 ได้สงวนเอาไว้สำหรับใช้ประโยชน์ในอนาคต
- X ได้กำหนดไว้สำหรับใช้ภายในประเทศ [2,5,9] ซึ่งเป็นจุดมุ่งหมายของวิทยานิพนธ์นี้ที่ได้เสนอให้ใช้สำหรับเป็นช่องทางส่งค่าจิตเตอร์ไปยังอุปกรณ์บริหารโครงข่ายในส่วนของอุปกรณ์มัลติเพล็กซ์

2.5.4 POH ที่การมัลติเพล็กซ์ที่ระดับสูง

POH ที่การมัลติเพล็กซ์ที่ระดับสูงคือ POH ที่ได้ผูกติดอยู่กับ VC เช่น VC-3 และ VC-4 การมัลติเพล็กซ์ที่ระดับสูงของ POH อยู่ในคอลัมน์ที่หนึ่งของ VC-3/VC-4 และทำหน้าที่ต่าง ๆ ตามที่ได้กำหนดเพื่อจะทำให้การขนส่ง payload ของ VC เชื่อถือได้ซึ่ง POH ที่การมัลติเพล็กซ์ที่ระดับสูงประกอบด้วย J1, B3, C2, F2, G1, H4 และ Z3 ถึง Z5 ดังแสดงในรูปที่ 2.16 (ก) ซึ่งจะอธิบายรายละเอียดได้ดังนี้

- J1 คือ path trace ทำหน้าที่ให้อุปกรณ์รับทำการตรวจสอบความต่อเนื่องของการเชื่อมต่อจากอุปกรณ์ส่ง ซึ่งอุปกรณ์ส่งอาจจะอยู่ในโครงข่ายเดียวกันหรืออยู่คนละโครงข่ายของผู้ให้บริการ (Network Provider) ก็ได้ โดยจะต้องมีการตกลงกันสำหรับรูปแบบและจะต้องเป็นไปตามข้อกำหนดของ G.831
- B3 คือ BIP ที่ใช้ให้ทำหน้าที่มอดิเตอร์ความผิดพลาด และตรวจสอบภาวะเสมอมูล โดยวิธีที่มีรูปแบบ BIP-8 ซึ่งจะนำมาคำนวณก่อนที่จะสแกนบิตให้ตรงกับ B3 และ VC-3/ VC-4
- C2 คือ signal label byte ที่ใช้แสดงให้เห็นทราบส่วนประกอบของ VC-3/VC-4 ค่าไบนารีที่เป็นไปได้ของมัน 256 ค่า ถ้าเป็นค่า 00000000 แสดงให้เห็นว่าไม่มีการใช้งานใน payload ของ VC-3/VC-4 [4,8,9] เป็นต้น ค่าของไบนารี ต่าง ๆ ได้แสดงรายการไว้ในตารางที่ 2.1 ได้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
- G1 คือช่องสัญญาณที่เครื่องรับใช้ส่งข้อมูลกลับไปยังเครื่องส่ง VC-3/VC-4 เพื่อรายงานสภาพและสมรรถนะของเส้นทาง ดังที่แสดงไว้ในรูปที่ 2.16 (ข) 4 บิตแรกของ

- G1 แสดงจำนวนของ FEBE (Far-End Block Error) หรือจะพูดอีกอย่างหนึ่งก็คือหลังได้ตรวจสอบ BIP code ของ B3 นับจำนวน ข้อมูลที่ผิดพลาดที่ตรวจพบที่และได้เขียนไว้ใน 4 บิตของ FEBE บิตที่ 5 ของ G1 ใช้แสดงสถานะของ FERF ถ้าค่าของมันเป็น 1 แสดงว่ามีสถานะผิดปกติซึ่ง FEBE บิต ที่ยังเหลืออยู่อีก 3 บิต ยังไม่ได้นำมาใช้
- F2 ได้กำหนดไว้สำหรับความมุ่งหมายในเรื่องเส้นทางการสื่อสารของผู้ใช้ (path user communication) ระหว่างอุปกรณ์
 - H4 เป็นเครื่องชี้บอกตำแหน่งสำหรับ payload ตัวอย่างเช่นกรณีที่ใช้บรรทุก ATM cell จะไม่ต้องแสดงการมัลติเฟรม ดังนั้นในกรณีนี้ H4 ที่ได้นำมาใช้เพื่อแสดงตำแหน่งเริ่มต้นของ ATM cell
 - Z2 และ Z3 ที่ได้กำหนดให้กับส่วนของผู้ใช้หรือการเชื่อมต่อกับ โครงข่ายของผู้ควบคุมเครื่องตามลำดับเพื่อให้ใช้งาน ได้อย่างเหมาะสม
 - Z4 เป็น ไบท์สำรองสำหรับใช้ในอนาคต



BIP = Bit Interleaved Parity FEBE = Far-End Block Error
 FERF = Far-End Receive Failure RFI = Remote Failure Indication

รูปที่ 2.16 การแสดงโครงสร้างของ POH (ก) POH ที่ระดับสูง (ข) แสดงข้อมูลสถานะภาพของ VC-3/VC-4 (G1) (ค) แสดงข้อมูลไบท์ที่มัลติเฟรมของ TU (H4) (ง) POH ที่ระดับต่ำ (V5)

ตารางที่ 2.1 รายละเอียดของ C2 ไบท์

Binary	Hex	Mapping Code
00000000	00	VC-3, 4 part unequipped
00000001	01	Equipped conspeeds
00000010	02	TUG structure
00000011	03	Locked TU
00000100	04	Asynchronous mapping of DS-3 or DS-3E into C-3
00010010	12	Asynchronous mapping of DS-4 into C-4
00010011	13	ATM
00010100	14	MAN (DQDB)
00010101	15	FDDI

2.5.5 โอเวอร์เฮดของการมัลติเพล็กซ์ที่ระดับต่ำ

โอเวอร์เฮดของการมัลติเพล็กซ์ที่ระดับต่ำได้ถูกคิดอยู่กับการมัลติเพล็กซ์ที่ระดับต่ำของ VC ซึ่งก็คือ VC-1 และ VC-2 โดยจะกำหนดให้ใช้ V5 และวางอยู่ในตำแหน่งไบท์ที่หนึ่งของ VC-11, VC-12, หรือ VC-2 และมันยังทำหน้าที่ต่าง ๆ ที่จำเป็นอีกหลายอย่างเพื่อจะทำการขนส่ง payload ของ VC ที่มัลติเพล็กซ์ระดับต่ำเป็นที่เชื่อถือได้ซึ่งฟังก์ชันต่าง ๆ ได้แสดงในตารางที่ 2.2

ตารางที่ 2.2 หน้าที่ของ SOH และ POH

(ก) หน้าที่ของ SOH

Overhead	Function	Note
A1.A2	Frame alignment	11110110, 00101000
B1	Regenerator section	BIP-8
	Error monitoring	BIP-24
B2	Multiplexer section	
C1	STM-1 identifier	
D1-D3	Regenerator section	
	Data communication	
D4-D12	Multiplexer section	
	Data communication	
E1,E2	Order wire	
F1	User channel	Network manager

ตารางที่ 2.2 (ต่อ)

Overhead	Function	Note
H1,H2	AU-4 PTR, path AIS	
H3	Pointer action	Negative justification
K1,K2	Automatic protection switching	
K2 (bits 6-8)	Section AIS section FERF	111110
Z1,Z2	Reserved byte	
Z2 (bit 18-24)	Section error reporting (FEBE)	B2 error count

(ข) หน้าที่ของ POH

Overhead	Function	Note
B3	Path error monitoring	BIP-8
C2	Path signal label	ATM cell mapping indication
F2	User channed	Path equipment user
G1 (bits 1-4)	Path error reporting (FEBE)	B3 error count
G1 (bit 5)	Path FERF	1
H4	Multiframe iodination	ATM cell offset (bits 3-8)
J1	Path trace	
Z3-Z5	Reserved byte	
V5	Lower-order POH	B3.G1,J1,C2 functions

ดังแสดงในรูปที่ 2.16 (ง) ฟังก์ชันต่าง ๆ บางอย่างของ V5 คือ ตรวจสอบ BIP (BIP-2, FEBE indication, path trace (PT), signaling representation (I₁,L₂L₃) และ FERF indication I₁, L₂ และ L₃ ได้นำมาใช้แทนข้อมูลที่เกี่ยวข้องที่ได้มีการวางไว้ที่เข้าไปใน VC ที่ตรงกันใน asynchronous mode, bit-synchronous mode, bit-synchronous mode, หรือ byte synchronous mode

ฟังก์ชันต่าง ๆ หลายประเภทของ SOH ได้สรุปไว้ในตารางที่ 2.2

เอกสารนี้เป็นเอกสารต้นฉบับที่จัดทำขึ้นโดยศูนย์วิจัยและพัฒนาเทคโนโลยีสารสนเทศและการสื่อสาร มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุณาอย่าให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 พ้อยเตอร์

ในระบบสื่อสารสัญญาณแบบซิงโครไนซ์แบบ SDH ได้กำหนดให้ใช้การทำพ้อยเตอร์สำหรับเป็นขบวนการจัดทำมัลติเพล็กซ์แบบซิงโครไนซ์ ดังนั้นการซิงโครไนซ์จึงเป็นสิ่งจำเป็น เพราะปกติ VC ที่สร้างขึ้นมานั้นใช้สัญญาณนาฬิกาต่างไปจากสัญญาณนาฬิกาที่มีอยู่ใน AU หรือ TU เมื่อแอดเดรสเปลี่ยนไป พ้อยเตอร์จะต้องเปลี่ยนตามไปด้วยเพื่อรักษาตำแหน่งที่เลื่อนไปให้ตรงกัน

2.6.1 องค์ประกอบของ พ้อยเตอร์

พ้อยเตอร์สามารถแบ่งเป็นกลุ่มได้ 2 กลุ่ม คือ กลุ่มที่ 1 พ้อยเตอร์ของการมัลติเพล็กซ์ที่ระดับสูง เช่น AU-4 พ้อยเตอร์ และ TU-3 พ้อยเตอร์ และ กลุ่มที่ 2 พ้อยเตอร์ที่มัลติเพล็กซ์ระดับต่ำ เช่น TU-11 พ้อยเตอร์ TU-12 พ้อยเตอร์ และ TU-2 พ้อยเตอร์

พ้อยเตอร์การมัลติเพล็กซ์ระดับสูงประกอบด้วย H1, H2, และ H3 ในกรณีของ AU-4/ AU-3 การมัลติเพล็กซ์ที่ระดับสูง พ้อยเตอร์จะถูกกำหนดให้อยู่ทางด้านซ้ายของแถวที่สี่ของ AU-4/ AU-3 เฟรม ดังแสดงในรูปที่ 2.3 และรูปที่ 2.14 สำหรับ TU-3 พ้อยเตอร์จะถูกบรรจุให้อยู่ที่ส่วนบนของคอลัมน์ที่หนึ่งของเฟรมดังที่ได้แสดงให้เห็นในรูปที่ 2.12 (ก) H1, H2 ทำหน้าที่เป็นตัวแสดงค่าสำหรับการกำหนดตำแหน่งเริ่มต้น ของ VC ที่ตรงกัน และ H3 เป็นจำนวนที่จะนำมาใช้สำหรับดำเนินการในเรื่องจัสติฟิเคชันลบซึ่ง H3 ที่จะกำหนดให้กับ AU-4 ใช้ H3 สามไบต์ และในกรณีของ AU-3 หรือ TU-3 จะใช้ H3 เพียงไบต์เดียวเท่านั้น ส่วนการมัลติเพล็กซ์ที่ระดับต่ำพ้อยเตอร์ประกอบด้วย V1, V2 และ V3 ดังแสดงไว้ในรูปที่ 2.8 ไบต์ต่าง ๆ เหล่านี้จะตรงกับไบต์ที่หนึ่งของช่วง $125\mu\text{s}$ ทั้งสี่เฟรม ในช่วงเวลา $500\text{-}\mu\text{s}$ ที่ TU เฟรม ดังนั้น V1, V2 และ V3 แต่ละไบต์จะเกิดขึ้นครั้งเดียวทุก ๆ $500\text{-}\mu\text{s}$ ที่ TU เฟรม ถ้าการมัลติเพล็กซ์ที่ระดับต่ำของ TU ได้ถูกสร้างขึ้นตามจำนวนการมัลติเพล็กซ์มาตรฐานดังที่ได้แสดงให้เห็นในรูปที่ 2.9 ค่า V1, V2 และ V3 จะถูกบรรจุอยู่ในแถวที่หนึ่งและคอลัมน์ที่หนึ่งเสมอ ฟังก์ชันต่าง ๆ ของ V1, V2 และ V3 เหมือนกันกับ H1, H2 และ H3 ทุกอย่าง

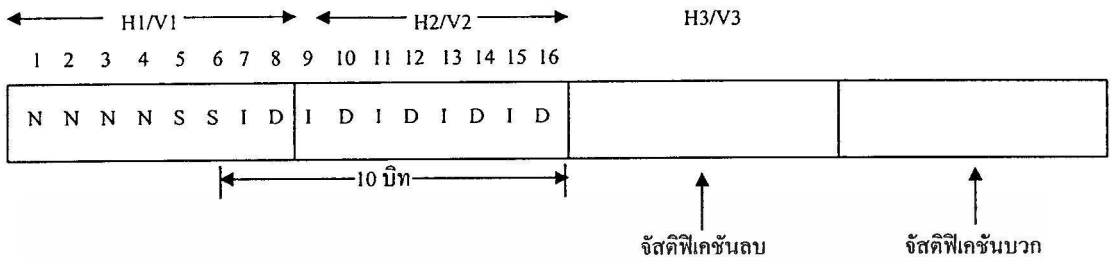
2.6.2 ฟังก์ชันต่าง ๆ ของพ้อยเตอร์

จากรูปที่ 2.17 โครงสร้างของพ้อยเตอร์การมัลติเพล็กซ์ระดับสูง (H1 และ H2) และพ้อยเตอร์การมัลติเพล็กซ์ระดับต่ำ (V1 และ V2) ซึ่งมีส่วนประกอบ [4] ดังนี้

ส่วนที่ 1 N คือค่า NDF (New Data Flag) ประกอบด้วย 4 บิต ทำหน้าที่เป็นตัวแสดงให้ระบบทราบว่ามีการปรับค่า VC ให้ตรงกัน (VC alignment) ซึ่งสถานะปกติค่า NDF จะมีค่าเป็น 0110 และถ้ามีการปรับค่า VC ให้ตรงกันค่าของ NDF จะถูกเปลี่ยนมาเป็น 1001

ส่วนที่ 2 คือ SS ทำหน้าที่เป็นตัวแสดงค่าพ้อยเตอร์การมัลติเพล็กซ์กล่าวคือ ถ้าค่า SS มีค่าเป็น 10 จะใช้แสดงค่าพ้อยเตอร์การมัลติเพล็กซ์ระดับสูง ซึ่งประกอบด้วย AU-4, AU-3 และ TU-3

ส่วนถ้า SS มีค่าเป็น 00 จะใช้แสดงค่าพ้อยเตอร์การมัลติเพิล็กซ์ระดับต่ำ ที่ประกอบไปด้วย TU-11, TU-12 และ TU-2 เป็นต้น

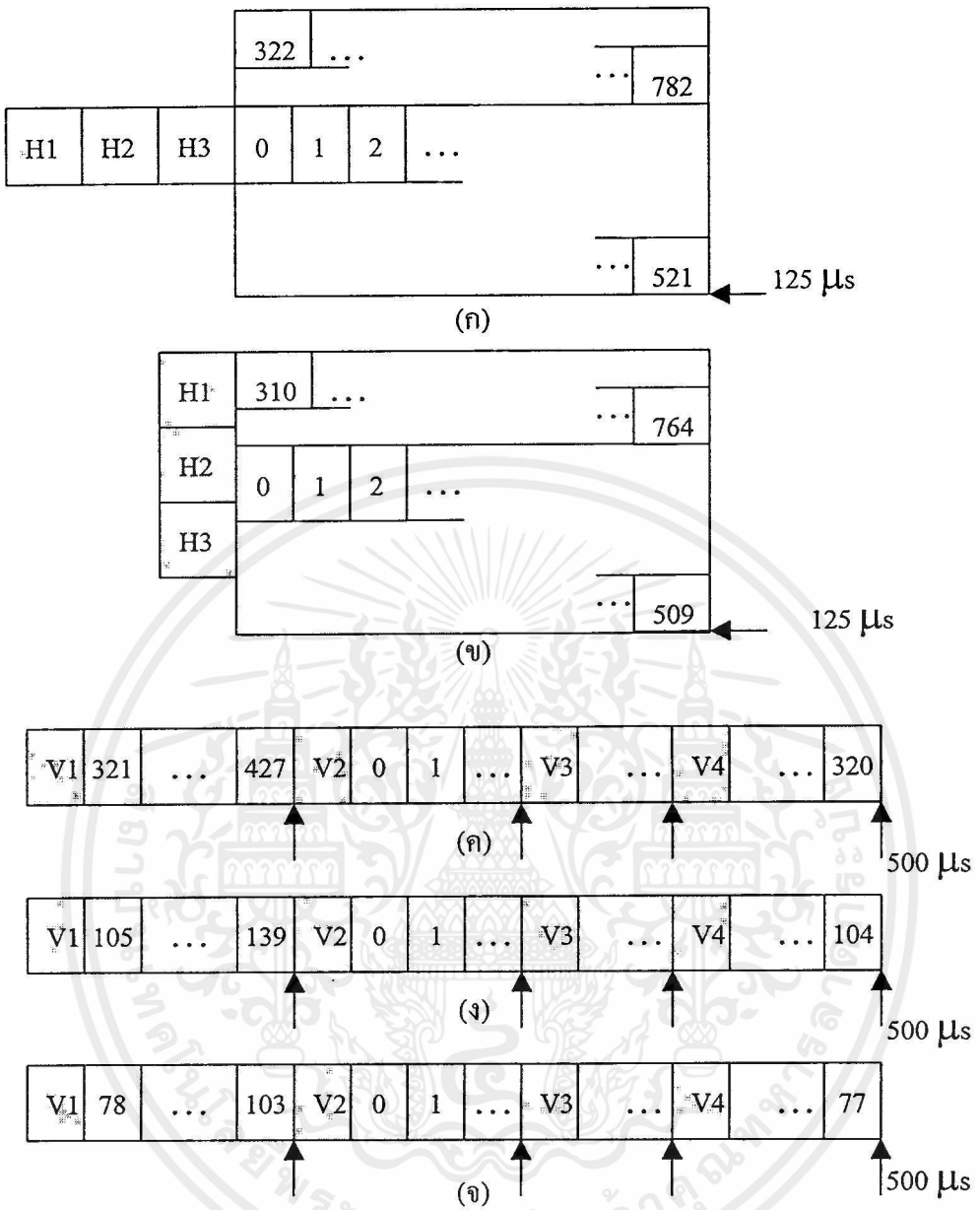


รูปที่ 2.17 แสดงฟังก์ชันของพ้อยเตอร์ต่าง ๆ

ตารางที่ 2.3 ขอบเขตของพ้อยเตอร์แอดเดรส

Pointer	Signal Type (ss)	Range of Address
AU-4	10	0-782
AU-3	10	0-782
TU-3	10	0-764
TU-2	00	0-427
TU-12	10	0-139
TU-11	11	0-103

ในการทำงานปกติแบบชี้ตำแหน่ง บิตแอดเดรสจะชี้บอกตำแหน่งเริ่มต้นของ VC แต่เมื่อต้องการเปลี่ยนค่าของพ้อยเตอร์เกิดขึ้น การเปลี่ยนจะสะท้อนให้เห็น โดยการกลับภาวะของ I หรือ D บิต ถ้าหาก VC ได้เลื่อนขึ้น (ห่างจากจุดเริ่มต้นของเฟรม) จะมีเพียง I บิต เท่านั้นที่ถูกกลับภาวะ ในสถานการณ์ตรงกันข้ามจะมีเพียง D บิตเท่านั้นที่ถูกกลับภาวะดังแสดงในรูปที่ 2.18 (ก) แอดเดรสสำหรับ AU-4/AU-3 พ้อยเตอร์ที่แสดงให้ทราบตำแหน่งเริ่มต้นจะเกิดขึ้นหลัง H3 ไบท์ สภาพการณ์อย่างเดียวกันนี้สามารถนำมาประยุกต์ใช้กับ TU-3 ดังแสดงในรูป 2.17 (ข) แต่ในกรณีของ TU-2, TU-12 และ TU-11 การกำหนดแอดเดรสจะเริ่มทางขวาหลังบิตสุดท้ายของ V2 ไบท์ ซึ่งแสดงในรูปที่ 2.18 (ค-จ) ดังนั้น ทุกตัวแสดงค่าแอดเดรสจะแสดงองศาของการออฟเซตจากพ้อยเตอร์ H3 เช่นในกรณีของพ้อยเตอร์การมัลติเพิล็กซ์ที่ระดับสูงที่ได้จาก V2 ค่าพ้อยเตอร์การมัลติเพิล็กซ์ที่ระดับต่ำ ลำดับของแอดเดรสต่าง ๆ จะแสดงให้ทราบโดยพ้อยเตอร์ของการชี้ตำแหน่งบิตแอดเดรส ซึ่งแตกต่างกันไปสำหรับแต่ละชนิดของ Container ที่เข้ามา ตัวอย่างเช่น ในกรณีของ AU-4 หรือ AU-3 ลำดับแอดเดรสจะเริ่มจาก 0 ถึง 782 สำหรับ TU-3 จะเริ่มจาก 0 ถึง 764 ในตารางที่ 2.3 ได้สรุปลำดับของแอดเดรสสำหรับชนิดของ Container ที่เข้ามาใน TU-m และ AU-n ประเภทต่าง ๆ

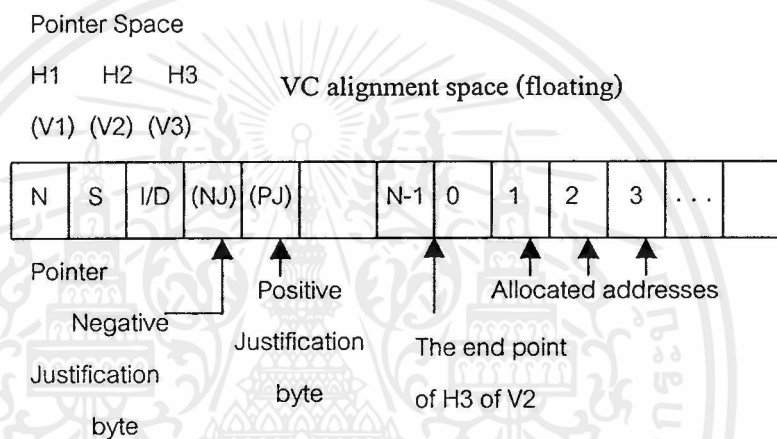


รูปที่ 2.18 วิธีการกำหนดแอดเดรสต่าง ๆ (ก) กำหนดแอดเดรสของ AU-4/AU-3 (ข) กำหนดแอดเดรสของ TU-3 (ค) กำหนดแอดเดรส TU-2 (ง) กำหนดแอดเดรส TU-12 (จ) กำหนดแอดเดรส TU-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3 ขบวนการทำจัดטיפิเคชัน (Justification)

ตอนนี้มาพิจารณาขบวนการกระทำของการทำจัดטיפิเคชันโดยการใช้ภาพประกอบ ซึ่งไม่สามารถแยกขั้นตอนปฏิบัติการซึ่งโครโนซ์ที่อยู่บนฐานของพ้อยเตอร์ออกมาได้ ดังนั้นเมื่อพิจารณาจากรูปที่ 2.18 ได้มีความคิดที่จะรวม AU และ TU เข้าด้วยกันและสร้างขึ้นใหม่ดังที่ได้แสดงในรูปที่ 2.19 โดยลำดับแอดเดรสเริ่มจาก 0 ถึง N-1 ซึ่งมี N-1 เป็น 782, 764, 427, 139 และ 103 ซึ่งตรงกับสัญญาณ AU-4/AU-3, TU-3, TU-2, TU-12 และ TU-11 ตามลำดับ จากรูปตำแหน่งแอดเดรส 0 ได้กำหนดให้อยู่ตรงกลางของเฟรม และในกรณีของ AU-4/AU-3 อันนี้จะตรงกับตำแหน่งทางขวาหลัง H3 ไบท์ หรือหลัง V2 ไบท์เช่นในกรณีของ TU-2 TU-12 และ TU-11



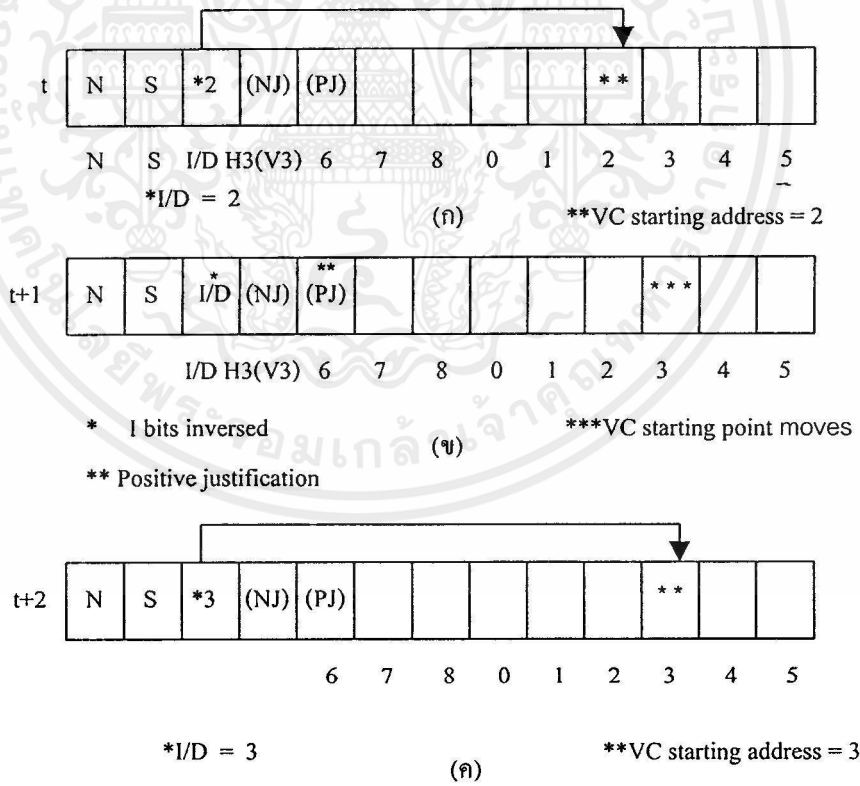
รูปที่ 2.19 โครงสร้างการทำพ้อยเตอร์บน AU และ TU

NJ และ PJ ใช้แทนโอกาสการทำจัดטיפิเคชันลบและบวกตามลำดับ ตำแหน่งจริงของ PJ ซึ่งจะตามหลัง H3 (หรือ V3) โดยตรงและค่า N, S และ I/D จะใช้สำหรับ NDF ตัวแสดงการเพิ่มขึ้นและการลดลงที่ได้อธิบายมาแล้วในหัวข้อ 2.6.2 ในระหว่างที่จัดטיפิเคชันดำเนินการตามขั้นตอนอยู่นั้น N ได้ถูกกำหนดที่ 0110 ตลอดเวลาและ S ได้มาจากค่าใดค่าหนึ่งดังที่ได้แสดงในตารางที่ 2.3 ขึ้นอยู่กับสัญญาณที่เกี่ยวข้องคือ AU หรือ TU ต่อไปจะได้ศึกษาขั้นตอนดำเนินการของจัดטיפิเคชันบวกโดยใช้รูปที่ 2.20 เป็นตัวอ้างอิง ซึ่งในรูปจำนวน N-1 จากรูปที่ 2.19 กำหนดได้ถึง 8 และ t ใช้แทน เฟรมที่เวลาใด ๆ และ t+1 แทนเฟรมถัดไป ดังนั้นก่อนที่พิจารณาขั้นตอนการทำจัดטיפิเคชันบวกกำหนดให้ตำแหน่งเริ่มต้นแอดเดรสของ VC อยู่ที่ 2 โดย I/D บิต และพื้นที่ว่างของ VC alignment ทั้งหมดจะถูกบรรจุด้วยข้อมูล VC ดังแสดงในรูป 2.20 (ก) ทันทีที่จัดטיפิเคชันบวก

เอกสารนี้เริ่มต้น I บิต จาก I/D ทั้งหมดห้าบิตถูกกลับค่าและ PJ ไบท์ จะถูกโหลดด้วย null byte หนึ่งไบท์ ไม่ว่ากรณีและข้อมูลของ VC จะถูกโหลดลงบนพื้นที่ว่างของการปรับค่า VC ให้ตรงกัน ครั้งที่เหลืออยู่เท่านั้น ในกรณีนั้นแอดเดรสเริ่มต้นของ VC จะเพิ่มขึ้นหนึ่ง และในรูปที่ 2.20 (ข) หลังจากขั้นตอนการ

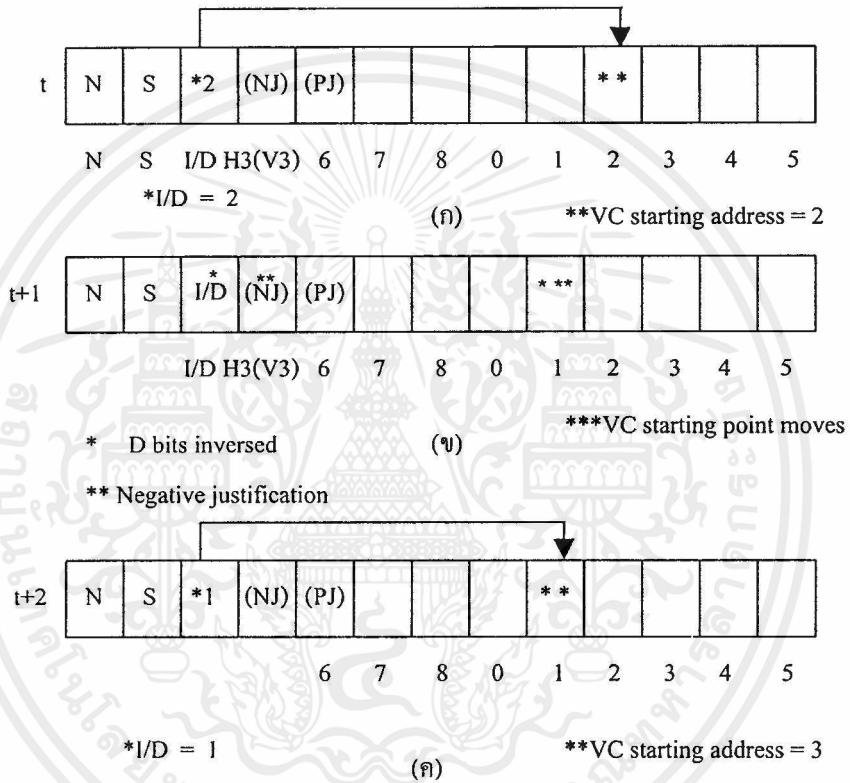
ทำ PJ ยุติลงตำแหน่งเริ่มต้นใหม่จะอยู่ที่ 3 ของ VC จะถูกบันทึกบน I/D บิต และพื้นที่สำหรับ VC จะถูกบรรจุด้วยข้อมูลที่ใช้งานบน VC ดังแสดงในรูปที่ 2.20 (ก)

วิธีการเบื้องต้นของขบวนการทำจัสติฟิเคชันลบเหมือนกันกับของจัสติฟิเคชันบวกนอกจากวิธีการดำเนินการเราจะพิจารณาการทำงานโดยการใช้รูปที่ 2.21 ซึ่งมีภาวะก่อนการดำเนินการเหมือนกันกับกรณีจัสติฟิเคชันบวก รูปที่ 2.21 (ก) จะอยู่ในขณะที่จัสติฟิเคชันลบดำเนินการอยู่ และ D บิต ทั้ง 5 บิตจะถูกกลับภาวะข้อมูลที่ใช้งานซึ่งบน VC จะเข้าครอบครองพื้นที่ของ NJ ไบท์ และพื้นที่ว่างของ VC ทั้งหมดจะถูกบรรจุด้วยข้อมูล VC ในกรณีนั้นแอดเดรสซึ่งเป็นจุดเริ่มต้นของ VC จะถูกลดไปหนึ่ง ดังแสดงในรูปที่ 2.21 (ข) ทันทีที่การดำเนินการของจัสติฟิเคชันลบยุติลงแอดเดรสซึ่งเป็นจุดเริ่มต้นใหม่ของ VC คือ 1 จะถูกบันทึกไว้บน I/D บิต และพื้นที่ของ VC ทั้งหมดตอนนี้จะบรรจุด้วยข้อมูลที่ใช้งานบน VC ดังแสดงในรูป 2.21 (ค) พ้อยเตอร์ I/D แอดเดรสหรือ AU/TU และขนาดของไบท์ที่เป็นตัวแสดงสามารถสับเปลี่ยนกันได้โดยไม่ต้องผ่านขบวนการทำจัสติฟิเคชัน โดยปกติแล้วพ้อยเตอร์แอดเดรสใหม่สามารถส่งออกได้ในขณะที่ NDF ถูกกลับภาวะเป็น 1001 (ในที่นี้พูดได้ว่า NDF กระทำหน้าที่เป็นคำสั่งของการขัดจังหวะ (interrupt))



รูปที่ 2.20 การแสดงส่วนประกอบการทำจัสติฟิเคชันบวก (ก) ก่อนทำจัสติฟิเคชัน (ข) ระหว่างทำจัสติฟิเคชัน (ค) หลังทำจัสติฟิเคชัน

ในกรณีที่มีความผิดพลาดเกิดขึ้นขณะที่กำลังส่งทำให้ I/D หรือ บิตเสียหายจะนำเอาทำได้พิจารณาว่าเกิดค่าใดบ่อยที่สุดระหว่าง I/D กับ N กล่าวคือถ้ามี I/D บิต 3 หรือมากกว่าใน 5 บิตถูกกลับภาวะนี้เป็นการตีความที่ใช้แทนการกระทำของจัสติไฟเคชันและถ้ามี 3 ใน 4 หรือ มากกว่าของ N บิตจะถูกกลับค่าและพิจารณาได้ว่าเป็น NDF



รูปที่ 2.21 การแสดงส่วนประกอบการทำจัสติไฟเคชันลบ (ก) ก่อนทำจัสติไฟเคชัน (ข) ระหว่างทำจัสติไฟเคชัน (ค) หลังทำจัสติไฟเคชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

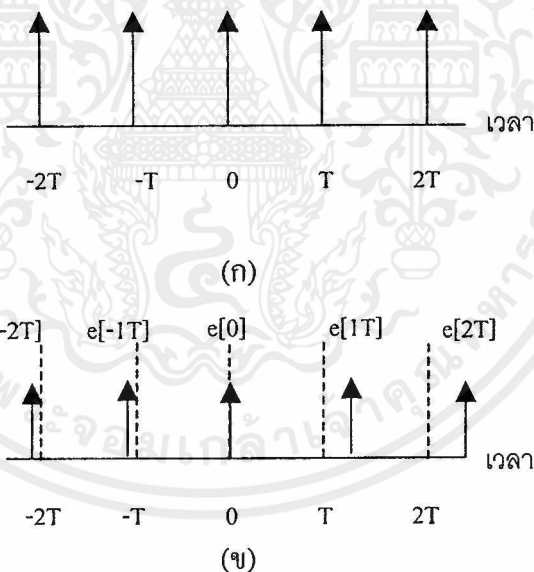
บทที่ 3

จิตเตอร์ในระบบสื่อสารสัญญาณแบบ SDH

3.1 นิยามของจิตเตอร์

ในระบบดิจิทัลมัลติเพล็กซ์ (ซึ่งอาจจะเป็นได้ทั้งระบบ PDH หรือ SDH) นั้น จะเป็นการนำสัญญาณแต่ละช่องมารวมกันโดยการแบ่งเวลา ทำให้สัญญาณขาออกมีความเร็วสูงกว่าสัญญาณขาเข้าเรียกว่า มัลติเพล็กซ์ ซึ่งการเอาสัญญาณมารวมกันจะทำให้เกิดจิตเตอร์ในระบบได้ เนื่องจากคุณภาพของสัญญาณที่เข้ามามีการสั้นและช่วงเวลาของสัญญาณที่มัลติเพล็กซ์เข้ามาคนละเวลาจึงทำให้เกิดจิตเตอร์ขึ้น [11-15]

ในรูปที่ 3.1 จะเป็นการแสดงการเปรียบเทียบสัญญาณที่ต้องการทางทฤษฎี (สัญญาณที่ไม่มีจิตเตอร์) กับสัญญาณที่เกิดจิตเตอร์ โดยรูปที่ 3.1 (ก) คือ สัญญาณที่ไม่มีจิตเตอร์ ส่วน (ข) จะแสดงสัญญาณที่เกิดจิตเตอร์



รูปที่ 3.1 แสดงลักษณะการเกิดจิตเตอร์

โดยทั่วไปจะวัดค่าจิตเตอร์ให้มีหน่วยเป็น UI (Unit Interval) กล่าวคือจะเกิดจากการเปลี่ยนจากค่า $e[nT]$ ให้อยู่ในรูปขององศา โดยที่ $e[nT]$ คือ ค่าจิตเตอร์ในช่วงเวลาใดๆ และกำหนดให้ T เท่ากับ 360 องศา [11] ดังนั้นขนาดของจิตเตอร์ที่ 360 องศาจะมีค่าเท่ากับ 1 UI

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

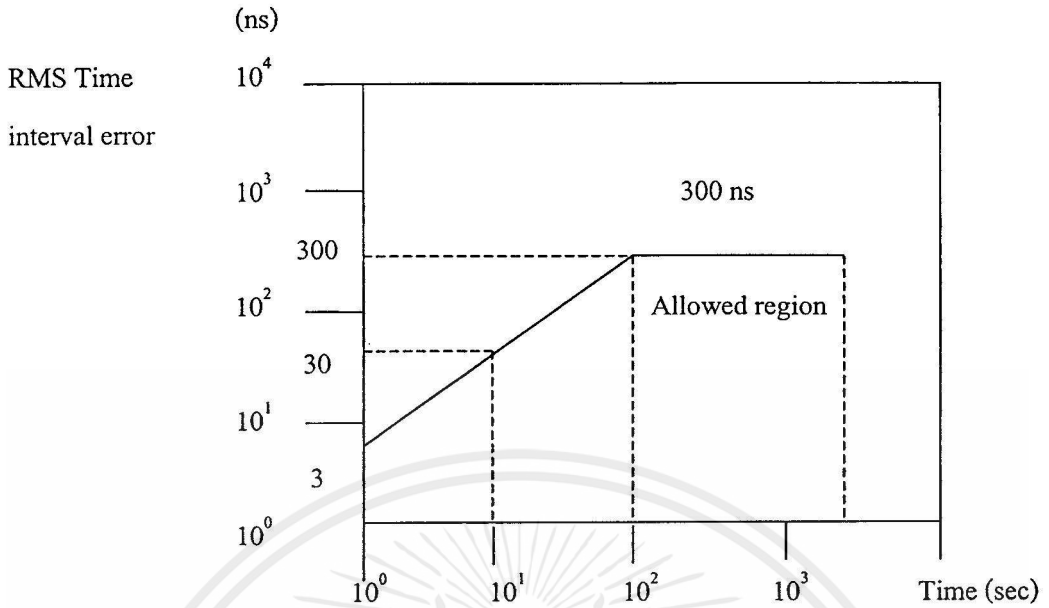
3.2 ข้อกำหนดของค่าจิตเตอร์บนอุปกรณ์สื่อสัญญาณแบบ SDH

จากที่กล่าวมาแล้วข้างต้น ระบบสื่อสัญญาณทุกระบบจะต้องเกิดจิตเตอร์ ดังนั้นในระบบสื่อสัญญาณแบบ SDH จึงได้กำหนดขอบเขตของสัญญาณต่าง ๆ โดยเฉพาะสัญญาณนาฬิกาเพื่อควบคุมค่าจิตเตอร์ให้อยู่ในค่ามาตรฐานที่อุปกรณ์ยอมรับไป ซึ่งในที่นี้จะพิจารณาสัญญาณขอบเขตของขาเข้ามอุปกรณ์ SDH โดยจะแบ่งแยกตามลักษณะการเชื่อมต่อของสัญญาณที่จะต่อเข้าอุปกรณ์ได้ 2 ชนิดคือ

1. การเชื่อมต่อตามมาตรฐาน STM-n เพื่อใช้เป็นข้อกำหนดสำหรับการเชื่อมต่ออุปกรณ์ SDH ที่ระดับ STM ต่ำเข้ากับอุปกรณ์ SDH ที่ระดับ STM สูง หรืออุปกรณ์ SDH ต่อกับอุปกรณ์ SDH
2. การเชื่อมต่อตามมาตรฐาน G.703 เพื่อใช้เป็นข้อกำหนดสำหรับการเชื่อมต่ออุปกรณ์ PDH ที่ระดับต่าง ๆ เข้ากับอุปกรณ์ SDH

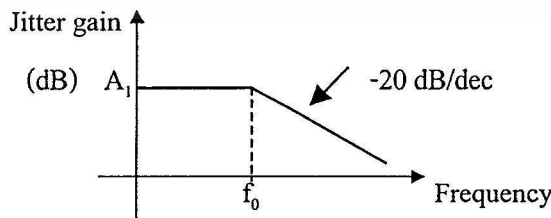
3.2.1 การเชื่อมต่อตามมาตรฐาน STM-n

ในระบบมัลติเพล็กซ์แบบ SDH ได้กำหนดการควบคุมสัญญาณนาฬิกาเพื่อใช้ในขบวนการทำซิงโครไนซ์ที่เรียกว่า MTS (Multiplex Time Source) โดยได้กำหนดให้ใช้ค่าความเที่ยงตรงของสัญญาณนาฬิกาในรูปแบบ Short-Term Stability [16] ดังแสดงในรูปที่ 3.2 จากรูปแสดงให้เห็นถึงความสัมพันธ์ระหว่างค่ารากของกำลังสองเฉลี่ย (rms) ของ TIE (Time Interval Error) กับค่าเวลาซึ่งค่ารากของกำลังสองเฉลี่ยของ TIE จะเกิดจากการวัดค่าสัญญาณนาฬิกาที่ถูกรบกวนด้วยสัญญาณรบกวนขาว (White noise) ที่เวลานั้น ๆ และค่า TIE ดังกล่าวจะถูกกำหนดขึ้นเพื่อให้การมัลติเพล็กซ์ มีประสิทธิภาพแล้วยังเป็นการควบคุมการเกิดจิตเตอร์ขาออกของอุปกรณ์มัลติเพล็กซ์ตามข้อกำหนดใน G.783 ได้กำหนดการเชื่อมต่อตามมาตรฐาน STM-n ที่มีความสัมพันธ์กับค่าจิตเตอร์ดังนี้ ค่าจิตเตอร์ที่ขาออกจะถูกควบคุมโดยคุณสมบัติของ MTS โดยเฉพาะในกรณีของการทำซิงโครไนซ์ที่นำเอาสัญญาณมาจากสัญญาณที่รับเข้ามาแล้วนำมาใช้เป็นสัญญาณนาฬิกา คุณสมบัติการถ่ายโอนค่าจิตเตอร์จะขึ้นอยู่กับค่าจิตเตอร์ของสัญญาณขาเข้าและการวัดจะกระทำหลังจากที่ผ่าน 12 kHz โดยใช้วงจรกรองผ่านความถี่สูง (high pass filter) แล้วจิตเตอร์ที่ขาออกต้องมีค่าต่ำกว่า 0.01 UI rms. [17]



รูปที่ 3.2 มาตรฐานความเที่ยงตรงของ Short-term stability [16]

คุณสมบัติการถ่ายโอนค่าจิตเตอร์อาจจะแตกต่างกันขึ้นอยู่กับอุปกรณ์ที่ทำการซิงโครไนซ์กับเทคนิคเฉพาะของการซิงโครไนซ์ที่นำมาใช้ ถ้าไม่มีการซิงโครไนซ์ค่าจิตเตอร์จะถูกกำหนดโดยออสซิลเลเตอร์ภายใน ดังนั้น คุณสมบัติการถ่ายโอนจะไม่มีคามหมายใด ๆ ทั้งสิ้น แต่ถ้าระบบเป็นการซิงโครไนซ์ที่ไม่ใช่ใช้ออสซิลเลเตอร์ภายใน คุณสมบัติการถ่ายโอนค่าจะถูกกำหนดโดยคุณสมบัติของฟิวเจอร์ของ MTG (Multiplexer timing generator) และคุณสมบัติของวงจรกรองจะขึ้นอยู่กับ loop timing หรือ MTS ที่นำมาใช้ ตัวแปรคุณสมบัติการถ่ายโอนสำหรับรีเจนเนอเรเตอร์ได้แสดงในรูปที่ 3.3 และตารางที่ 3.1 ในตารางรีเจนเนอเรเตอร์ที่ทำตาม type A [17] เรียกว่า type A รีเจนเนอเรเตอร์ และรีเจนเนอเรเตอร์ที่ทำตาม type B [17] เรียกว่า type B รีเจนเนอเรเตอร์

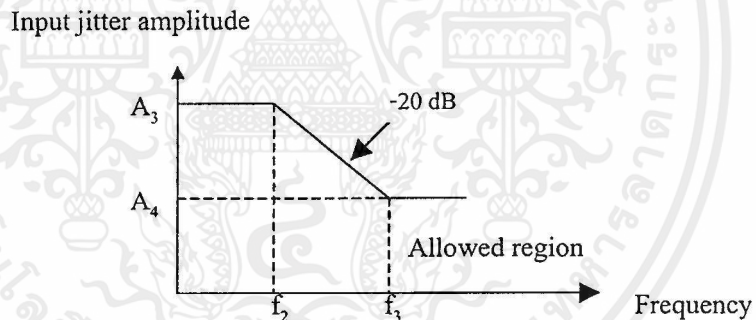


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 3.3 คุณสมบัติการถ่ายโอนค่าจิตเตอร์ในระบบ SDH [17] (ดูตารางที่3.1) ครั้งที่มีการนำไปใช้

ตารางที่ 3.1 คุณสมบัติการถ่ายโอนค่า jitter ในระบบ SDH [17] (อ้างถึงรูปที่ 3.3)

STM-1 Level type	A1 (UI)	f_0 (Hz)
STM-1(A)	0.1	30
STM-1(B)	0.1	30
STM-4(A)	0.1	500
STM-4(B)	0.1	30
STM-16(A)	0.1	2000
STM-16(B)	0.1	30

ค่า jitter ที่จะต้องควบคุมระดับ jitter ข้างของอุปกรณ์ SDH ได้โดยแสดงในรูปที่ 3.4 และ ตารางที่ 3.2 ซึ่งถ้านำเอารีเจนเนอเรเตอร์แบบ A มาใช้กับอุปกรณ์ SDH จะต้องปฏิบัติให้สอดคล้องกับข้อกำหนดที่ยอมรับได้ของแบบ A และในทำนองเดียวกันรีเจนเนอเรเตอร์แบบ B ก็จะต้องทำตามข้อกำหนดของแบบ B



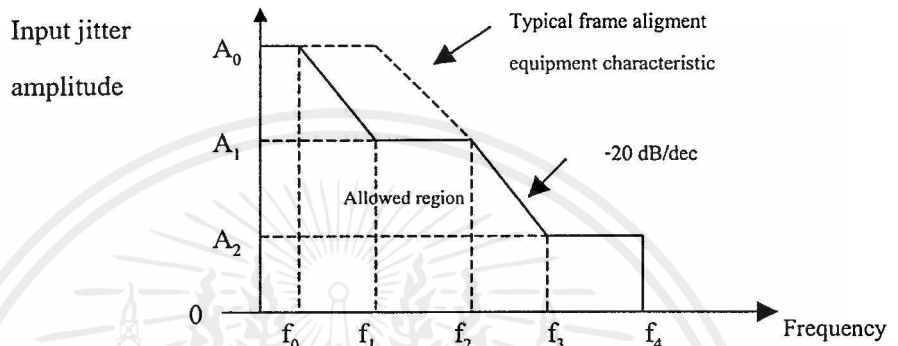
รูปที่ 3.4 การแสดงการสั้นของ jitter ในระบบ SDH [17] (ดูตารางที่ 3.2)

ตารางที่ 3.2 ตัวแปรการสั้นของ jitter ในระบบ SDH [17] (อ้างถึงรูปที่ 3.4)

STM-n (type)	A_4 (UI p-p)	A_3 (UI p-p)	f_2 (kHz)	f_3 (kHz)
STM-1(A)	0.15	1.5	6.5	65
STM-1(B)	0.15	1.5	1.2	12
STM-4(A)	0.15	1.5	25	250
STM-4(B)	0.15	1.5	1.2	12
STM-16(A)	0.15	1.5	100	1000
STM-16(B)	0.15	1.5	1.2	12

3.2.2 การเชื่อมต่อตามมาตรฐาน G.703

การสั้นของจิตเตอร์สำหรับเชื่อมต่อตามมาตรฐาน G.703 [16,18-20] จะต้องปฏิบัติตามข้อกำหนดที่อ้างอิงจากกลุ่มประเทศอเมริกาเหนือและกลุ่มประเทศยุโรป ดังนั้นลำดับชั้นการเชื่อมต่อสัญญาณดิจิทัลที่มีอยู่และข้อกำหนดของการสั้นของจิตเตอร์สำหรับการเชื่อมต่อตามมาตรฐาน G.703 ได้แสดงไว้ในรูปที่ 3.5 และตารางที่ 3.3

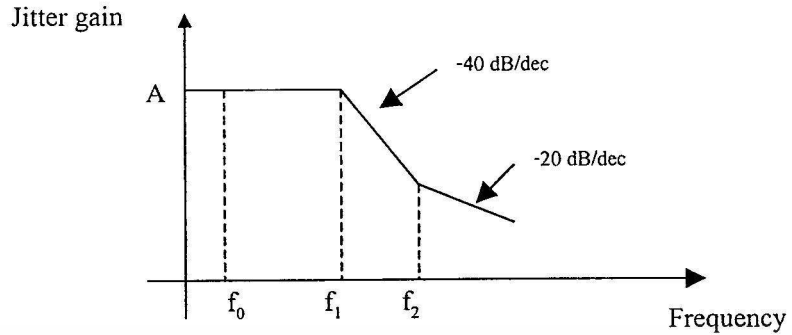


รูปที่ 3.5 การแสดงการสั้นของจิตเตอร์ตามข้อกำหนดของ G.703 [21,22] (ดูตารางที่ 3.3)

ตารางที่ 3.3 ตัวแปรการสั้นของจิตเตอร์ตามข้อกำหนดของ G.703 [21,22] (อ้างถึงรูปที่ 3.5)

G 703 Interface (Mbps)	Peak-to-Peak Jitter(UI_{pp})			Frequency				
	A_0	A_1	A_2	f_0 (Hz)	f_1 (Hz)	f_2 (Hz)	f_3 (Hz)	f_4 (Hz)
1.544		2.0	0.05	--	10	200	8	40
2.048	36.9	1.5	0.2	--	20	2400	18	100
6.312		2.0	0.05	--	10	200	32	160
8.448	152	1.5	0.2	--	20	400	3	400
34.368		1.5	0.2	--	100	1000	10	800
44.736		14	0.05	--	100	3200	900	4500
139.264		1.5	0.075	--	200	500	10	3500

คุณสมบัติการถ่ายโอนก็เช่นกันจะต้องปฏิบัติตามข้อกำหนดที่อ้างอิงจาก G.703 ลำดับชั้นการเชื่อมต่อสัญญาณดิจิทัลที่มีอยู่ด้วยคุณสมบัติการถ่ายโอนของการมัลติเพล็กซ์ตามมาตรฐานของกรุปอเมริกาเหนือจะต้องปฏิบัติตามข้อกำหนดที่ได้แสดงไว้ดังรูปที่ 3.6 และตารางที่ 3.4 สำหรับการมัลติเพล็กซ์ตามมาตรฐานของกรุปยุโรปจะต้องปฏิบัติตามข้อกำหนดที่ได้ให้ไว้ในรูปที่ 3.7 และ ตารางที่ 3.5

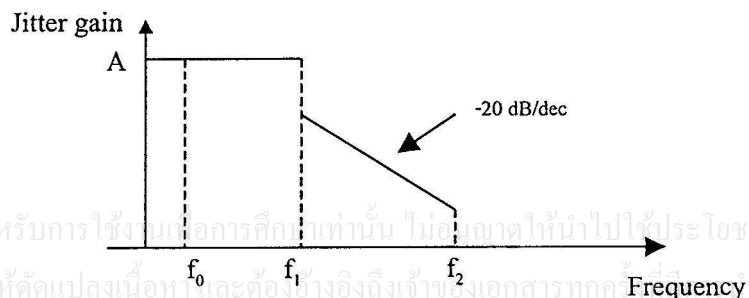


รูปที่ 3.6 คุณสมบัติการถ่ายโอนค่า jitter ของกลุ่มอเมริกาเหนือ [23] (ดูตารางที่ 3.4)

ตารางที่ 3.4 ตัวแปรของคุณสมบัติการถ่ายโอนค่า jitter สำหรับ การมัลติเพล็กซ์ตามมาตรฐานของกลุ่มอเมริกาเหนือ (อ้างถึงรูปที่ 3.6)

G.703 Multiplexer	A(dB)	f_0 (Hz)	f_1 (Hz)	f_2 (Hz)	f_3 (Hz)
M12 (1.544 to 6.312)	0.5	10	350	25	15
M13 (6.312 to 44.736)	0.1	10	500	25	15

จitter ขาออกของมัลติเพล็กซ์สำหรับกลุ่มอเมริกาเหนือที่ประกอบด้วย 6.312 Mbps หรือ 44.736 Mbps จะต้องมีค่าไม่เกิน 0.01 UI rms. และถ้าไม่มีจitter ขาเข้า โดยเฉพาะจitter ของคีมัลติเพล็กซ์ก็จะต้องไม่เกิน 1/3 UI p-p และ 1/5 UI p-p [24] ตามลำดับ ส่วนจitter ขาออกสำหรับกลุ่มยุโรปที่ประกอบด้วย 8,448 Mbps, 34.368 Mbps, 139.264 Mbps จะต้องมีค่าไม่เกิน 0.25 UI p-p, 0.25 UI p-p, และ 0.3 UI p-p [25] ตามลำดับ ค่าจitter ขาออกของแต่ละสัญญาณหลังจากส่งผ่านฟิวเตอร์ผ่านแถบความถี่ (band pass filter) จะต้องมีค่าไม่เกิน 0.05 UI p-p



รูปที่ 3.7 คุณสมบัติการถ่ายโอนค่า jitter สำหรับกลุ่มยุโรป (ดูตารางที่ 3.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

ตารางที่ 3.5 ตัวแปรของการส่งค่าจิตเตอร์ สำหรับ การมัลติเพล็กซ์ตามมาตรฐานของกลุ่มยุโรป
(อ้างรูปที่ 3.7)

G.703 Multiplexer	A(dB)	f_0 (Hz)	f_1 (Hz)	f_2 (Hz)
M12E (2.048 to 8.448)	0.5	----	100	10
M23E (8.448 to 34.368)	0.5	----	100	1
M34E (34.368 to 139.264)	0.5	----	300	3

จิตเตอร์รวมทั้งหมดของสัญญาณตามมาตรฐาน G.703 ที่เกิดจากการวางไบท์เข้าไปยัง TU และการปรับพ้อยเตอร์ทั้งสองจะต้องไม่เกินค่าจากที่ได้กำหนดไว้ในตารางที่ 3.6 และจากตารางค่าความถี่จาก f_1 ถึง f_4 จะแสดงค่าจิตเตอร์ในกรณีต่าง ๆ เมื่อส่งแถบความถี่นี้เข้าผ่านวงจรกรองผ่านแถบความถี่แล้วจะได้ค่าดังที่แสดงในตารางที่ 3.6

ตารางที่ 3.6 ข้อกำหนดโดยทั่วไปของจิตเตอร์ทั้งสองมาตรฐาน [16]

G.703 Interface (Mbps)	Filtering Characteristics			Maximum peak to peak Jitter (UI p-p)	
	f_1 (Hz) Highpass (20dB/dec)	f_3 (Hz) Highpass (20dB/dec)	f_4 (Hz) lowpass (-20dB/dec)	f_1 to f_4 Bandpass Filtering	f_1 to f_4 Bandpass Filtering
1.544	10	---	40	1.5 0.4	--- 0.075
2.048	20	18	100	0.75	---
5.312	---	---	60	1.5 0.4	--- 0.075
8.448	20	3	400	0.75	---
34.368	100	10	800	0.75	---
44.736	---	---	400	1.5	---
139.264	200	10	3500	---	---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้
0.4 ใช้ประโยชน์อื่นใด

ไม่ว่ากรณีใดๆ 34.368 อีกทั้งห้ามมิให้ 100 คัดแปลงเนื้อหา 10 และต้องอ้างถึง 800 จำนวนของเอกสาร 0.75 ซึ่งที่มีการนำ 0.075

3.3 การเปรียบเทียบในเรื่องจัสติฟิเคชันที่ใช้สตัปฟิง กับ เทคนิคการใช้พ้อยเตอร์

จัสติฟิเคชันที่ใช้สตัปฟิงจะช่วยแก้ปัญหาในเรื่องสัญญาณนาฬิกาออฟเซต (clock offset) รวมทั้งการจัดพื้นที่สำหรับทำสตัปฟิงให้เหมาะสม ซึ่งเป็นวิธีการจัสติฟิเคชันที่ใช้กับระบบสื่อสารสัญญาณแบบ PDH ที่ใช้กันอยู่ในปัจจุบันนี้ ส่วนในกรณีจัสติฟิเคชันแบบ P/Z/N (Positive/Zero/Negative) ผ่านทางสตัปฟิงเป็นส่วนหนึ่งของรูปแบบของเฟรมที่กำหนดไว้ล่วงหน้าสำหรับการจัดเตรียมบิตบนจัสติฟิเคชันบวก จัสติฟิเคชันลบ และการควบคุมบิตสำหรับแสดงสถานะของจัสติฟิเคชันในกรณีสัญญาณขาเข้ามีความเร็วต่ำกว่าความเร็วในระบบสื่อสารสัญญาณ ซึ่งบิตที่เตรียมไว้สำหรับจัสติฟิเคชันบวกจะบรรจุให้เต็มด้วย null bit และในกรณีตรงกันข้ามจัสติฟิเคชันลบจะบรรจุข้อมูลที่ใช้งานให้เต็ม และถ้าอัตราข้อมูลเท่ากันจะไม่มีทั้ง จัสติฟิเคชันบวก หรือจัสติฟิเคชันลบ ที่เรียกว่าจัสติฟิเคชันศูนย์ เกิดขึ้นการทำจัสติฟิเคชันที่อยู่บนพื้นฐานของเทคนิคการใช้พ้อยเตอร์ ดังที่ได้อธิบายมาแล้วในหัวข้อที่ 2.6 จะทำงานโดยการใช้วิธีการกำหนดบิตต่าง ๆ ที่อยู่ภายในรูปแบบของเฟรมไว้ล่วงหน้า เพื่อจะบันทึกตำแหน่งเริ่มต้นของ VC ถ้าอัตราสัญญาณของ VC เบี่ยงเบนไปจากอัตราการส่งของระบบ จุดเริ่มต้นของ VC จะเปลี่ยนไปด้วยเหมือนกัน ดังนั้นแอดเดรสจะต้องเปลี่ยนให้สอดคล้องกันอีกด้วย นั่นคือแอดเดรสของจุดเริ่มต้นของ VC จะเลื่อนขึ้นไปตามค่าที่เบี่ยงเบน และถ้าอัตราทั้งสองแหล่งที่ดำเนินการอยู่ตรงกัน จะไม่ทำให้ H1, H2, และ H3 เปลี่ยนไป

ถ้านำเอาจัสติฟิเคชันทั้งสองวิธีมาเปรียบเทียบกันจะเห็นได้ว่าเทคนิคการใช้จัสติฟิเคชันแบบพ้อยเตอร์และแบบสตัปฟิงที่ใช้จัสติฟิเคชันแบบ P/Z/N จะตรงกัน ทำให้เกิดผลเหมือนกันทุกอย่าง นั่นคือจัสติฟิเคชันแบบ P/Z/N ที่ผ่านทางพ้อยเตอร์ที่อยู่บนพื้นฐานของไบท์จะมีผลอย่างเดียวกันกับจัสติฟิเคชันแบบ P/Z/N ที่อยู่บนพื้นฐานของการทำสตัปฟิง แต่ความแตกต่างส่วนใหญ่ระหว่างสองวิธีคือไม่คำนึงถึงข้อมูลในเรื่องจุดเริ่มต้นของ payload หรืออาจจะพูดอีกอย่างหนึ่งได้ว่าในกรณีของจัสติฟิเคชันแบบสตัปฟิงจะพบจุดเริ่มต้นของ payload ได้หลังจากที่เครื่องรับได้แยกเอา payload ต่าง ๆ ออกมา และค้นหาเฉพาะ frame alignment word ได้แล้วเท่านั้น แต่ในกรณีของจัสติฟิเคชันแบบใช้พ้อยเตอร์จะชี้จุดเริ่มต้นของ payload ได้ในเวลาเดียวกันกับที่ได้แยกเอา payload ออกมา .

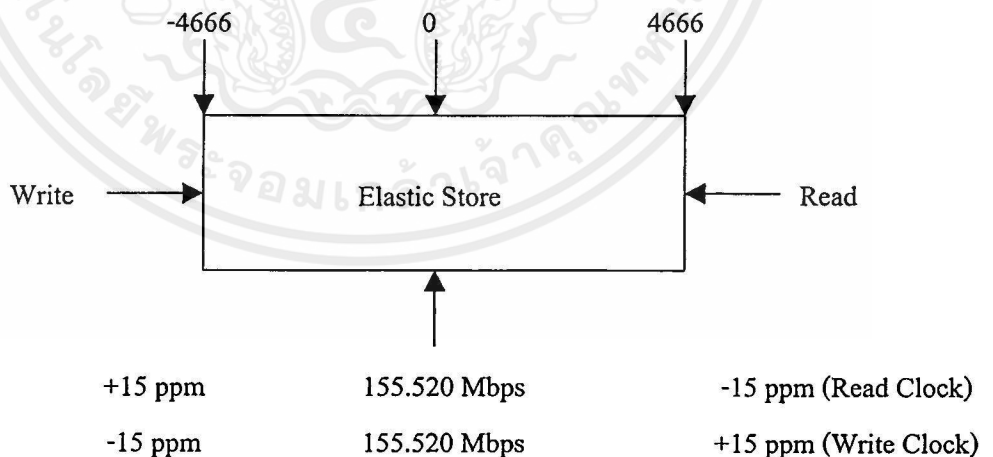
3.4 จัสติฟิเคชันแบบ P/Z/N

ในระบบสื่อสารสัญญาณแบบ SDH นั้น สิ่งสำคัญในการทำซิงโครไนซ์คือสัญญาณนาฬิกาที่สามารถรับมาจากสัญญาณนาฬิกาที่ส่งมาจากแหล่งกำเนิดสัญญาณนาฬิกากลางหรือจะใช้สัญญาณจากอุปกรณ์ก็ได้ โดยสัญญาณนาฬิกาจะมีความเที่ยงตรงที่แตกต่างกัน เมื่อสัญญาณนาฬิกามีความเที่ยงตรงที่แตกต่าง ๆ กันและรวมไปถึงสัญญาณที่ต่อเชื่อมเข้าระบบ SDH ตามมาตรฐาน

STM-n และ G.703 ที่มีความเบี่ยงเบนต่าง ๆ ดังได้กล่าวไว้ในหัวข้อ 3.2.1 และ 3.2.2 ตามลำดับนั้น ระบบ SDH กำหนดให้ใช้จัสติไฟเคชัน แบบ P/Z/N เพื่อลดค่าจัตเตอร์ที่จะเกิดขึ้นในระบบซึ่งการทำจัสติไฟเคชันจะต้องจัดเตรียม elastic store เพื่อรองรับสัญญาณการอ่านและเขียน [12,26] ที่จะเกิดขึ้นดังนั้น ในหัวข้อนี้จะแยกการพิจารณาออกเป็น 2 ส่วน คือ

1. การคำนวณเบื้องต้นสำหรับการจัดเตรียม elastic store
2. ลักษณะการทำงานเบื้องต้นของการทำจัสติไฟเคชันแบบ P/Z/N บนระบบ SDH

การคำนวณเบื้องต้นสำหรับการจัดเตรียม elastic store เพื่อรองรับสัญญาณการอ่านและเขียนในระบบ SDH ซึ่งจะใช้รูปแบบโครงสร้างของสัญญาณ STM-1 เป็นตัวอย่างโดยกำหนดให้อัตราการส่งมาตรฐานของ STM-1 เท่ากับ 155.520 Mbps และจะต้องมีความคลาดเคลื่อนที่ยอมรับได้สูงสุดที่ 15 ppm ดังนั้นอัตราความเร็วของ STM-1 จะอยู่ระหว่าง 155.517667 Mbps ถึง 155.522333 Mbps ถ้าหากมีความเร็วของ STM-1 ที่เป็น 155.522333 Mbps และสมมติให้สัญญาณนาฬิกาของระบบชุมสายคือ 155.517667 Mbps จะได้ว่าจำนวนบิตที่ใช้ในการชดเชยให้กับสัญญาณนาฬิกาสองชุดจะเท่ากับ 4666 บิต (155,522,333-155,517,667) เพื่อการชดเชยนี้เหมาะสมกับความคลาดเคลื่อนข้างต้น จะต้องเตรียมขนาดของ elastic store อย่างน้อยที่สุด 4666 บิต ตรงกันข้ามถ้าหากมีความเร็ว STM-1 ที่เป็น 155.517667 Mbps และสัญญาณนาฬิกาของระบบคือ 155.522333 Mbps ความคลาดเคลื่อนระหว่างสัญญาณนาฬิกาทั้งสองจะกลายเป็น -4666 บิต (155,517,667 - 155,522,333) (ความสัมพันธ์จริง ๆ ได้แสดงไว้ในรูปที่ 3.8)



รูปที่ 3.8 แสดงการชั่งโครไนซ์โดยการใช้ Elastic store

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น ในกรณีของระบบ SDH ที่โครงสร้างของ STM-1 จะทำการชั่งโครไนซ์ผ่านทางจัสติไฟเคชันแบบ P/Z/N [4] โดยใช้ตำแหน่ง H3 จำนวน 3 ไบต์ และไบต์ถัดไปอีก 3 ไบต์ รวมเป็น 6 ไบต์ที่ใช้ทำจัสติไฟเคชันแบบ P/Z/N

พิจารณาการทำจัดตีฟิเคชันบวก จะกำหนดให้สัญญาณขาเข้าต่ำกว่าของสัญญาณนาฬิกาของระบบและมีความต่างเฟสเพิ่มขึ้นมากกว่าสามไบต์ การซิงโครไนซ์เกิดขึ้นโดยการเติมสามไบต์และตามหลัง H3 ด้วย null byte

พิจารณาการทำจัดตีฟิเคชันลบ จะกำหนดให้สัญญาณขาเข้าสูงกว่าสัญญาณนาฬิกาของระบบ ทำให้เฟดออฟเซต (phase offset) มีความยาวเกิดขึ้นมากกว่าสามไบต์ H3 ระบบจะเอาข้อมูลจำนวนสามไบต์ใส่ไว้ใน H3

พิจารณาการทำจัดตีฟิเคชันศูนย์ (Zero Justification) จะกำหนดให้สัญญาณขาเข้าและสัญญาณนาฬิกาทั้งสองสัญญาณมีค่าเท่ากันระบบจะไม่มีการจัดตีฟิเคชันก็คือจัดตีฟิเคชันศูนย์ ดังนั้น จึงมีสามไบต์สำหรับจัดตีฟิเคชันบวกและสามไบต์สำหรับจัดตีฟิเคชันลบ

3.5 การวิเคราะห์จัตเตอร์ ในเรื่องจัดตีฟิเคชันแบบ P/Z/N

3.5.1 การวิเคราะห์เพื่อหาอัตราส่วนของการทำจัดตีฟิเคชัน

การวิเคราะห์การทำจัดตีฟิเคชันในระบบ SDH นั้นจะพิจารณาค่าความถี่ที่เปลี่ยนแปลงของสัญญาณขาเข้าหรือความถี่ในการเขียน ซึ่งถูกกำหนดตามข้อกำหนดใน G.703 และความถี่ในการอ่านเพื่อคำนวณหาอัตราส่วนของการทำจัดตีฟิเคชันซึ่งสามารถเขียนเป็นสมการ [11,12,15,27] ได้ดังนี้

$$\rho = (f_r - f_m) \times t_j \quad (3.1)$$

โดยที่ ρ คือ ค่าอัตราส่วนการทำจัดตีฟิเคชัน

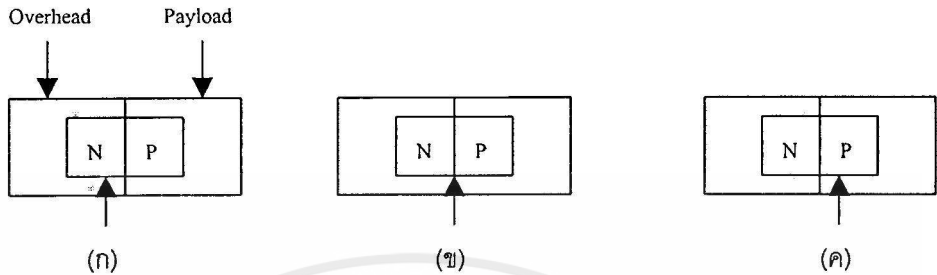
f_r คือ ความถี่ในการอ่าน

f_m คือ ความถี่ขาเข้าหรือความถี่ในการเขียน

t_j คือ ช่วงเวลาที่มีโอกาสทำจัดตีฟิเคชัน

จากการทำจัดตีฟิเคชันแบบ P/Z/N สามารถพูดได้ว่าจัดตีฟิเคชันบวก และจัดตีฟิเคชันลบ เป็นกรณีพิเศษของจัดตีฟิเคชันแบบ P/Z/N ความสัมพันธ์อันนี้ชี้ให้เห็นได้ จากรูปแบบของ เฟรมที่แสดงให้เห็นในรูปที่ 3.9 ถ้ากำหนดบิต P และ N ให้เป็นการทำจัดตีฟิเคชันบวกและลบ ตามลำดับ ดังนั้นในกรณีของจัดตีฟิเคชันแบบ P/Z/N บิตทั้งสองจะถูกนำมาใช้ในเรื่องจัดตีฟิเคชัน แต่ในกรณีของจัดตีฟิเคชันลบ (N bit) จะบรรจุอยู่ในโอเวอร์เฮดร์ตตลอดไป และในกรณีของจัดตีฟิเคชันบวก (P-bit) จะบรรจุอยู่ใน payload ถึงแม้ว่าจะเป็นในกรณีของจัดตีฟิเคชันแบบ P/Z/N (P-bit) และ (N-bit) ทั้งสองจะถูกกำหนดตำแหน่งให้เช่นเดียวกันในการดำเนินการทำจัดตีฟิเคชันบวกจัดตีฟิเคชันจะใช้ P-bit เท่านั้น และจัดตีฟิเคชันลบจะใช้แค่ N-bit เท่านั้น ¹ ถ้าหากพิจารณาจากความสัมพันธ์อันนี้จากหลักของอัตราส่วนการทำจัดตีฟิเคชันแล้ว จะเห็นความแตกต่างในระหว่างจัดตีฟิเคชันทั้งสามแบบเพียงอย่างเดียวเท่านั้น คือการวัดในเรื่องอัตราส่วนการทำจัดตีฟิเคชัน (ρ)

ตามที่กำหนดให้ ดังนั้นในกรณีของจัสติฟิเคชันบวก ค่าของอัตราส่วนการทำจัสติฟิเคชัน (ρ) จะมีเครื่องหมายเป็นบวกและในจัสติฟิเคชันลบค่าของอัตราส่วนการทำจัสติฟิเคชัน (ρ) จะมีเครื่องหมายเป็นลบ



รูปที่ 3.9 การเปรียบเทียบวิธีการทำจัสติฟิเคชัน (ก) จัสติฟิเคชันลบ (ข) จัสติฟิเคชันแบบ P/Z/N (ค) จัสติฟิเคชันบวก

3.5.2 การคำนวณค่าจัตเตอร์ ที่ผ่านการทำจัสติฟิเคชัน

ถ้าช่วงเวลารอจัตเตอร์ (Waiting time jitter) เกิดจากการทำจัสติฟิเคชันบวกได้แสดงให้เห็นในรูปที่ 3.9 (ก) การทำจัสติฟิเคชัน เกิดขึ้นในขณะที่เฟสออฟเซต (phase offset) ได้เพิ่มขึ้น ซึ่งความสัมพันธ์อันนี้ได้แสดงให้เห็นทางคำนวณ [11,12] ดังนี้คือ

$$\phi(t) = (\lambda - 1) + \rho(t) - [\rho(t)] \tag{3.2}$$

โดยการกำหนดให้ค่า t คือช่วงเวลาที่มมีโอกาสทำจัสติฟิเคชัน และ $(\lambda - 1)$ คือขนาดของจัตเตอร์ต่ำสุดหน่วยเป็น UI ส่วนค่า ρ คือค่าของอัตราส่วนของการทำจัสติฟิเคชันซึ่งค่า ρ จะอยู่ระหว่าง 0 ถึง 1

จากสมการที่ 3.2 จะเห็นว่ามีส่วนประกอบอยู่ 3 ส่วนคือค่าคงที่ $(\lambda - 1)$ ที่เกิดขึ้นในช่วง $\phi(t) = \phi(0)$ และในส่วนที่ 2 คือค่า ρt ที่เพิ่มขึ้นในเชิงเส้นตรงที่เป็นสัดส่วนกับ $\phi(t)$ ส่วนที่ 3 คือ

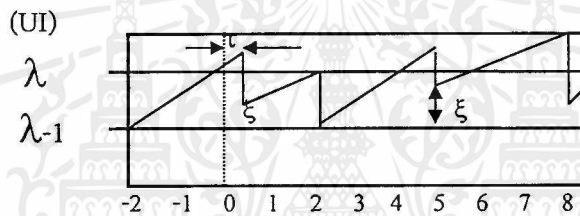
$[\rho(t)]$ แทนฟังก์ชันเกิดจากการทำจัสติฟิเคชันที่เกิดจาก $[\rho f_{\max}(t)]$ ถ้าวิเคราะห์ตามฟังก์ชันนี้ค่าของ t จะผันแปรตามจังหวะของการทำจัสติฟิเคชัน ดังนั้นค่า $[\rho(t)]$ จะถูกกำหนดให้เป็นจำนวนเท่าของ $\rho, 2\rho, 3\rho$ เป็นต้น จึงกล่าวได้ว่าค่า $[\rho(t)]$ จะเป็นฟังก์ชันจำนวนเต็ม (Integer function) หรือสมการที่มีรูปแบบขั้นบันได [11]

สมการที่ (3.2) เป็นสมการพื้นฐานในการคำนวณหาค่าจัตเตอร์แต่ในทางปฏิบัติแล้วจะมีตัวแปรที่เกิดขึ้นอิสระอีก 2 ตัว ที่ใช้อธิบายการเกิดช่วงเวลารอจัตเตอร์คือค่า τ และ ξ (ดังแสดง

ในรูปที่ 3.10) โดยที่ค่า τ เป็นค่าตัวแปรเร้นดัม (Random variable) ที่มีความยาวจาก $t = 0$ ถึงค่าโอกาสที่จะทำจัสติฟิเคชัน (Justification Opportunity) ส่วนค่า ξ เป็นตัวแปรเร้นดัมที่มีมากกว่า $(\lambda - 1)$ ที่ช่วงเวลาใด ๆ โดยค่าตัวแปรเร้นดัมเป็นตัวแปรแบบ Uniform distributed [11] ที่อยู่ในช่วงมากกว่า 0 ถึง 1 โดยตัวแปรทั้งสองจะอิสระต่อกัน ดังนั้น สามารถเขียนสมการจิตเตอร์ ใหม่ได้ดังนี้

$$\phi(t) = (\lambda - 1) + \xi + \rho(t + \tau) - [\xi + \rho(t + \tau)] \quad (3.3)$$

ค่า $[\xi + \rho(t + \tau)]$ คือค่าที่เกิดจากการทำจัสติฟิเคชันของอุปกรณ์เพื่อนำมาชดเชยค่าจิตเตอร์ที่เกิดขึ้นขึ้นทำให้ค่าจิตเตอร์อยู่ในค่าที่อุปกรณ์สามารถทำงานได้หรือกล่าวได้ ควบคุมให้ค่าจิตเตอร์อยู่ในค่ามาตรฐาน



รูปที่ 3.10 ช่วงเวลารอจิตเตอร์ ของการทำจัสติฟิเคชันบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ข้อเสนอการวัดค่าจัตเตอร์เพื่อส่งให้อุปกรณ์บริหารโครงข่าย

4.1 การคำนวณหาค่าจัตเตอร์

ในการวิเคราะห์หาค่าจัตเตอร์ในระบบสามารถคำนวณได้ตามขั้นตอนต่อไปนี้

1. คำนวณหาค่ามัลติเพิล็กซ์จัตเตอร์

$$\phi(t) = (\lambda - 1) + \xi + \rho(t - \tau)$$

2. ตรวจสอบค่าจัตเตอร์มีขนาดเกินกว่าค่าที่กำหนดหรือไม่กล่าวคือค่าจัตเตอร์ที่เกิดขึ้นเกินจากค่าการตัดสินใจในการทำจัสติฟิเคชันหรือไม่
3. ถ้าเกินให้ทำจัสติฟิเคชัน
4. ถ้าไม่เกินให้ทำการตรวจสอบช่วงเวลาที่เกิดคลาดเคลื่อนไปจากโดยพิจารณาจากค่าโอกาสที่จะทำจัสติฟิเคชัน
5. ถ้าต้องทำการจัสติฟิเคชันเพื่อชดเชยช่วงเวลาที่คลาดเคลื่อนไปนั้นจะต้องคำนวณหาค่า $\phi(t)$ ใหม่อีกโดยใช้สูตร

$$\phi(t) = ((\lambda - 1) + \xi + \rho(t - \tau) - [\xi + \rho(t - \tau)])$$

รายละเอียดของขั้นตอนการหาค่าจะได้แสดงในหัวข้อ 4.3

4.2 การกำหนดตำแหน่งไบท์สำหรับส่งค่าจัตเตอร์ไปยังอุปกรณ์บริหารโครงข่าย

ในหัวข้อ 2.5 เป็นการแสดงโครงสร้างของโอเวอร์เฮดร์ต่าง ๆ บนระบบ SDH ซึ่งตำแหน่งและฟังก์ชันต่าง ๆ ของโอเวอร์เฮดร์นั้นได้ถูกกำหนด [2,5,9] ไว้เป็นที่แน่นอนและเปลี่ยนแปลงไม่ได้แต่จะมีโอเวอร์เฮดร์ไบท์จำนวนหนึ่งจะถูกกำหนดให้ประเทศนั้น ๆ ที่ต้องการใช้โอเวอร์เฮดร์ทำกิจกรรมอย่างอื่นตามที่ประเทศนั้นต้องการ โดยไม่มีผลกระทบต่อการทำงานของระบบ โดยไบท์ดังกล่าวจะถูกแทนด้วย "X" และตำแหน่งของไบท์ X นี้ได้แสดงให้เห็นในรูปที่ 2.15 จากรูปตำแหน่งไบท์ X จะมีอยู่ทั้งในส่วนของ RSOH และ MSOH ซึ่งในที่นี้ได้ทำการศึกษาการเกิดจัตเตอร์ในอุปกรณ์มัลติเพิล็กซ์ ดังนั้นจึงเสนอให้ใช้ตำแหน่งไบท์ X ในส่วนของ MSOH และสาเหตุที่ไม่ใช้ตำแหน่งไบท์ X ของ RSOH เพราะโอเวอร์เฮดร์ในส่วนนี้จะใช้ในกิจกรรมที่เกิดกับบริเวน

เอกสารเตอร์เท่านั้นที่ส่งวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ในการวัดจัตเตอร์ที่เกิดขึ้นกับอุปกรณ์มัลติเพิล็กซ์แบบ SDH นั้นจะทำการเอาค่าความถี่ในการเขียนและอ่านจาก elastic store ที่อยู่ภายในอุปกรณ์แล้วนำมาคำนวณตามขบวนการหาค่าจัต

เตอร์และส่งค่าดังกล่าวไปยังอุปกรณ์บริหารโครงข่าย เพื่อให้ผู้ดูแลโครงข่ายทำการตรวจสอบโดยค่าจิตเตอร์จะถูกส่งผ่านไบนารี X

ความเร็วในการรับ-ส่งข้อมูลในไบนารีดังกล่าวประมาณ 64 Kbps ซึ่งเกิดจากความเร็วในการรับ-ส่งข้อมูลทั้งหมด (155 Mbps) หารด้วย จำนวนไบนารีทั้งหมดในโครงสร้างของระบบ SDH ที่ระดับนั้น ๆ (2430 ไบนารี) ดังนั้นที่ความเร็ว 1 ไบนารี จะมีความเร็วเท่ากับ 64 Kbps

ดังนั้น จากข้อกำหนดข้างต้นสามารถใช้ตำแหน่งไบนารี X ให้เป็นมาตรฐานของประเทศไทยสำหรับส่งค่าจิตเตอร์ที่เกิดจากระบบ SDH ซึ่งกำหนดให้ใช้ไบนารีเดียวเพียงพอเนื่องจากการส่งค่าตัวเลขของจิตเตอร์ที่คำนวณได้

4.3 ข้อเสนอการวัดค่าและส่งค่าจิตเตอร์ไปยังอุปกรณ์บริหารโครงข่าย

จากโครงสร้างของระบบมัลติเพล็กซ์แบบ SDH และจิตเตอร์ ดังที่ได้กล่าวมาแล้วข้างต้นนั้นในหัวข้อนี้จึงขอเสนอแนวทางการวัดค่าจิตเตอร์ที่เกิดจากอุปกรณ์มัลติเพล็กซ์แบบ SDH โดยจะมุ่งเน้นการพิจารณาการคลาดเคลื่อนของสัญญาณขาเข้าเป็นหลัก ซึ่งรายละเอียดของขั้นตอนต่าง ๆ จะได้อธิบายดังต่อไปนี้

1. ทำการรับสัญญาณขาเข้าของอุปกรณ์

ในโครงสร้างของมัลติเพล็กซ์แบบ SDH ที่กล่าวมาแล้วในบทที่ 2 ซึ่งเมื่อพิจารณารูปที่ 2.1 อุปกรณ์มัลติเพล็กซ์จะต้องสามารถรองรับสัญญาณขาเข้าได้ดังนี้คือ C-11, C-12, C-2, C-3 และ C-4 เป็นต้น

2. ตรวจสอบความถี่ในการเขียน

เมื่อรับสัญญาณขาเข้าเข้ามาเก็บยัง elastic store ของระบบเรียบร้อยแล้ว ซึ่งลักษณะการเอาสัญญาณไว้ใน elastic store ได้กล่าวไปแล้วในหัวข้อ 3.4 โดยการเก็บดังกล่าวก็อาจจะกล่าวได้ว่าเป็นการเขียนข้อมูลลงบน elastic store จึงเรียกว่าสัญญาณการเขียนและจะแทนด้วยสัญลักษณ์ (f_{in})

ดังนั้น เมื่อเก็บอยู่บน elastic store ที่สามารถตรวจสอบความถี่ที่คลาดเคลื่อนจากสัญญาณการเขียนได้โดยพิจารณาความถี่ขาเข้าทั้งหมดควรมีความถี่เท่าไร

3. คำนวณหาความถี่ในการอ่าน

เมื่อทราบความถี่ในการเขียน ได้แล้วก็สามารถนำมาคำนวณหาความถี่ในการอ่าน (f_{out}) โดยจะใช้ผลที่ได้จากการคูณกันของความถี่ในการเขียนกับอัตราส่วนระหว่างความถี่ของข้อมูลที่อยู่ในแต่ละซัพเฟรมและความถี่ทั้งหมดของซัพเฟรม [5,6,11,12] ซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$f_r = f_{out} \times (f_d/f_r) \quad (4.1)$$

โดยที่ f_r คือ ความถี่ในการอ่าน

f_{out} คือ ความถี่ที่ใช้อ่านข้อมูลออกจาก Elastic store หรือ ความถี่ขาออก

f_d คือ ความถี่ของข้อมูลที่อยู่ในแต่ละชั้นเฟรม

f_r คือ ความถี่ทั้งหมดของชั้นเฟรม

ในการมัลติเพล็กซ์จะทำการรวมสัญญาณของหลาย ๆ ชั้นเฟรมเข้าด้วยกันเป็น 1 เฟรมใหญ่ หรือเรียกว่ามัลติเพล็กซ์

4. คำนวณหาค่าจัตเตอร์

ในการคำนวณหาค่าจัตเตอร์ที่เกิดจากอุปกรณ์มัลติเพล็กซ์ [11,12] นั้นสามารถหาได้โดยสมการ ต่อไปนี้

$$\phi(t) = (\lambda - 1) + \rho(t) \quad (4.2)$$

โดยที่ $\phi(t)$ คือ ค่าจัตเตอร์ที่เกิดจากอุปกรณ์มัลติเพล็กซ์

$(\lambda - 1)$ คือ ขนาดของจัตเตอร์ต่ำสุด

ρ คือ อัตราส่วนของการทำจัสติฟิเคชัน

ซึ่งการหาค่าตัวแปรทั้งสามจะหาได้ดังนี้

ในการคำนวณหาค่าขนาดของจัตเตอร์ต่ำสุดสามารถคำนวณได้จากผลต่างของความถี่ในการอ่านกับความถี่ในการเขียนแล้วคูณด้วยช่วงเวลาในการทำจัสติฟิเคชัน [11,12] เขียนเป็นสมการได้ดังนี้

$$(\lambda - 1) = (f_r - f_{in+}) \times t_{j+} \quad (4.3)$$

โดยที่ $(\lambda - 1)$ คือ ขนาดของช่วงเวลารอจัตเตอร์

f_r คือ ความถี่ในการอ่านต่ำสุดที่ระบบยอมรับได้

f_{in+} คือ ความถี่ในการเขียนสูงสุดที่ระบบยอมรับได้

t_{j+} คือ ช่วงเวลาที่มีโอกาสทำจัสติฟิเคชัน

$$t_{j+} = t_{out+} / t_i \quad (4.4)$$

โดยที่ t_{out} คือ ช่วงเวลาทั้งหมดของสัญญาณขาออก

t_i คือ ช่วงเวลาของสัญญาณทั้งหมดของซัฟเฟรม

และตัวแปร t_i เกิดจาก

$$t_i = 1 / f_i \quad (4.5)$$

ส่วนการคำนวณหาค่าอัตราส่วนของการทำจัสติฟิเคชันจะสามารถหาได้จากอัตราส่วนระหว่างความถี่ปกติในการทำจัสติฟิเคชันกับความถี่สูงสุดในการทำจัสติฟิเคชัน [5,11] ซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$\rho = f_j / f_{j+} \quad (4.6)$$

โดยที่ ρ คือ อัตราส่วนของการทำจัสติฟิเคชัน

f_j คือ ความถี่ปกติในการทำจัสติฟิเคชัน

f_{j+} คือ ความถี่สูงสุดในการทำจัสติฟิเคชัน

ความถี่ปกติในการทำจัสติฟิเคชันจะเกิดจากผลต่างของความถี่ในการอ่านและความถี่ในการเขียน [11,12,15] สามารถเขียนเป็นสมการได้คือ

$$f_j = f_r - f_{in} \quad (4.7)$$

จากสมการที่ 4.3 สามารถเขียนใหม่ได้เป็น

$$\rho = (f_r - f_{in}) / f_{j+} \quad (4.8)$$

แทนค่าสมการ (4.3) และ (4.7) ในสมการที่ (4.2) จะได้

$$\phi(t) = (\lambda - 1) + \{ (f_r - f_{in}) / f_{j+} \times t_j \} \quad (4.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. พิจารณาค่าเวลาการตัดสินใจในการทำสถิติพิเศษ

ค่าการตัดสินใจในการทำสถิติพิเศษ นั้นจะพิจารณาจากค่าของขนาดจืดเตอร์ที่เกิดขึ้นในระบบว่าเกินค่าจืดเตอร์สูงสุดที่ระบบยอมรับได้หรือไม่ ถ้าระบบจืดเตอร์เกินค่าสูงสุดที่ยอมรับได้ ระบบจะทำการตัดสินใจทำสถิติพิเศษ โดยการเพิ่มบิต ตามที่ได้กล่าวมาแล้วในบทที่ 3 และถ้าระบบมีจืดเตอร์ไม่เกินค่าสูงสุดจะต้องทำการพิจารณาค่าของช่วงเวลาที่มีโอกาสทำสถิติพิเศษว่าเป็นที่ยอมรับได้หรือไม่ซึ่งกล่าวในหัวข้อถัดไป ดังนั้น จึงกล่าวได้ว่าค่าการตัดสินใจในการทำสถิติพิเศษนั้นก็คือ ค่าของขนาดจืดเตอร์สูงสุดที่ระบบยอมรับได้ ซึ่งค่าจืดเตอร์สูงสุดนี้จะเกิดจากผลต่างของความถี่ในการอ่านสูงสุดและความถี่ในการเขียนต่ำสุดของช่วงเวลาที่มีโอกาสทำสถิติพิเศษซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$\lambda = (f_{r+} - f_{in-}) \times t_{j+} \quad (4.10)$$

โดยที่ λ คือ ค่าของขนาดจืดเตอร์สูงสุดที่ระบบมัลติเพล็กซ์แบบ SDH ยอมรับได้

f_{r+} คือ ความถี่ในการอ่านสูงสุดที่ระบบมัลติเพล็กซ์แบบ SDH ยอมรับได้

f_{in-} คือ ความถี่ในการเขียนต่ำสุดที่ระบบมัลติเพล็กซ์แบบ SDH ยอมรับได้

t_{j+} คือ ช่วงเวลาสูงสุดที่ทำสถิติพิเศษ

6. พิจารณาระยะเวลาที่มีโอกาสทำสถิติพิเศษ

ตัวแปรของการเกิดจืดเตอร์ในระบบนั้น นอกจากจะพิจารณาที่ขนาดและยังต้องพิจารณาที่ช่วงเวลาที่มีโอกาสทำสถิติพิเศษด้วย กล่าวคือ จะเป็นการเปรียบเทียบช่วงเวลาของซับเฟรมกับช่วงเวลาสูงสุดของการมัลติเพล็กซ์ขาออก เพื่อหาอัตราส่วนของช่วงเวลาสูงสุดที่ซับเฟรมต่าง ๆ จะรวมกันเป็นเฟรมใหญ่ของสัญญาณขาออก ซึ่งช่วงเวลาดังกล่าวนี้นี้ก็คือช่วงเวลาสูงสุดที่มีโอกาสทำสถิติพิเศษและสามารถเขียนสมการได้ดังนี้

$$t_{j+} = t_{out+} / t_t \quad (4.11)$$

โดยที่ t_{j+} คือ ค่าเวลาสูงสุดที่มีโอกาสทำสถิติพิเศษ

t_t คือ ช่วงเวลาที่ใช้ในแต่ละซับเฟรม

เอกสารนี้เป็นเอกสารที่ t_{out+} ใจคือ ช่วงเวลาทั้งหมดของสัญญาณขาออกอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. คำนวณหาจืดเตอร์ใหม่โดยอ้างอิงการตัดสินใจในการทำสถิติพิเศษ

เมื่อผ่านการพิจารณาช่วงเวลาที่มีโอกาสทำจัสติฟิเคชัน โดยถ้าค่าช่วงเวลาดังกล่าวเกินค่าสูงสุดที่ระบบรับได้ตามสมการที่ (4.11) และต้องทำจัสติฟิเคชันแล้ว จะต้องคำนวณหาค่าจัตเตอร์ใหม่ตามสมการที่ (4.9)

8. ทำจัสติฟิเคชัน

เป็นการพิจารณาเพิ่มหรือลดจำนวนบิต เพื่อให้สอดคล้องกับค่าจัตเตอร์ที่เกิดขึ้นก่อนทำจัสติฟิเคชัน ซึ่งในการคำนวณค่าจัสติฟิเคชันสามารถคำนวณได้ดังนี้

$$j(t) = [p[t]] \quad (4.12)$$

โดยที่ $j(t)$ คือ ค่าการทำจัสติฟิเคชัน

9. คำนวณค่าจัตเตอร์เมื่อผ่านการทำจัสติฟิเคชัน

เมื่อผ่านขบวนการตรวจสอบและการทำจัสติฟิเคชันแล้ว ก็สามารถคำนวณหาค่าจัตเตอร์อีกครั้งว่าเกินค่ามาตรฐานหรือไม่ โดยสามารถคำนวณจากสมการ (3.2) ดังนี้

$$\phi(t) = (\lambda - 1) + \rho(t) - [p[t]]$$

แต่อย่างไรก็ตามในทางปฏิบัติแล้วค่าตัวแปรของช่วงเวลา t_j และขนาดของจัตเตอร์ที่เวลาใด ๆ จะสามารถเปลี่ยนแปลงได้อย่างอิสระในช่วงตั้งแต่ 0 ถึง 1 เนื่องจากค่าของจัตเตอร์จะมีค่าไม่เกินหนึ่ง ดังนั้น จึงต้องใช้ตัวแปรอิสระที่เรียกว่า ยูนิฟอร์มแรนดัม (Uniform Random) มาใช้แทน [11,28] การเปลี่ยนแปลงอย่างอิสระข้างต้น และสามารถเขียนสมการได้ตามสมการ (3.3)

$$\phi(t) = (\lambda - 1) + \xi + \rho(t+\tau) - [\xi + \rho[t+\tau]]$$

10. ส่งข้อมูลในตำแหน่งไบท์ x

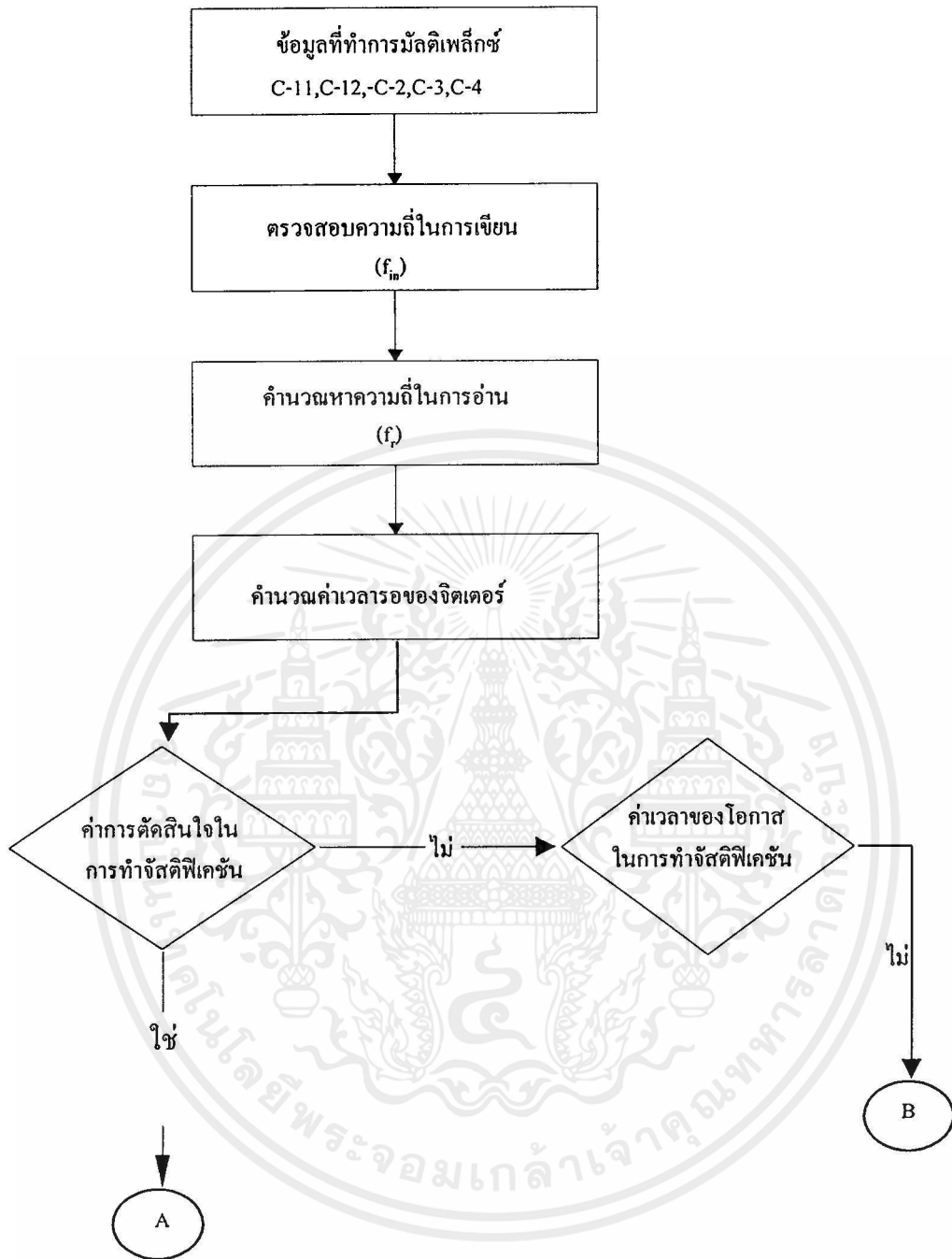
เมื่อได้ค่าจัตเตอร์ที่ผ่านการทำจัสติฟิเคชันแล้ว ทำการส่งข้อมูลของค่าจัตเตอร์ลงในตำแหน่ง x ในส่วนของ MSOH เพื่อส่งไปยังอุปกรณ์บริหารโครงข่าย

11. อุปกรณ์บริหารโครงข่ายรับค่าจัตเตอร์มาแสดงผล

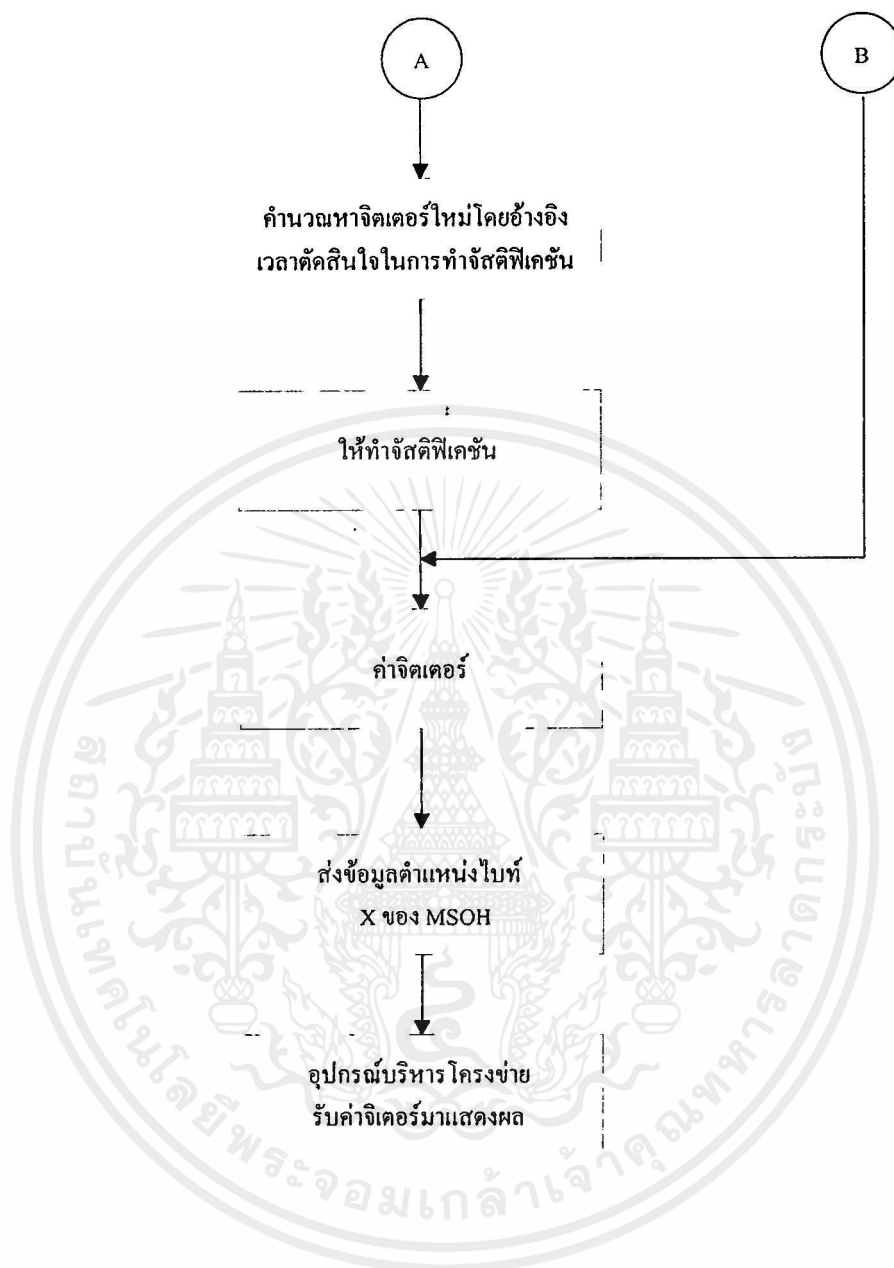
อุปกรณ์บริหารโครงข่ายจะรับค่าจัตเตอร์มาแสดงผลให้เจ้าหน้าที่ซ่อมบำรุงทราบว่ามีจัตเตอร์ที่เกิดจากอุปกรณ์มัลติเพล็กซ์มีค่าเกินค่ามาตรฐานหรือไม่

เอกสารนี้เป็นทรัพย์สินทางปัญญาของสำนักงานคณะกรรมการการกระจายเสียงและแพร่ภาพสาธารณะแห่งประเทศไทย (ส.ส.ท.) ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรายละเอียดข้างต้นสามารถเขียนเป็นขั้นตอนการวัดค่าจัตเตอร์ที่เกิดจากอุปกรณ์มัลติเพล็กซ์ได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลอง

ในวิทยานิพนธ์ฉบับนี้ได้ทำการศึกษาค่าจัตเตอร์ที่เกิดขึ้นในระบบสื่อสารสัญญาณแบบ SDH โดยการเปลี่ยนแปลงสัญญาณความถี่ขาเข้าและความถี่ในการอ่านของอุปกรณ์มัลติเพล็กซ์และดูผลกระทบที่เกิดขึ้นกับปัจจัยต่าง ๆ ดังนี้คือ

1. พิจารณาค่าจัตเตอร์ที่เกิดขึ้นก่อนทำจัสติฟิเคชัน
2. ค่าจัสติฟิเคชันที่เกิดขึ้นเพื่อลดค่าจัตเตอร์ที่เกิดขึ้น
3. พิจารณาค่าจัตเตอร์หลังจากผ่านการทำจัสติฟิเคชัน ซึ่งก็คือค่าจัตเตอร์จริงในระบบ
4. แสดงค่าจัตเตอร์สูงสุดที่ระบบยอมรับได้

จากปัจจัยที่พิจารณาข้างต้นจะเป็นหัวใจในการพิจารณาการเกิดจัตเตอร์รวมไปถึงแนวทางการลดค่าจัตเตอร์ โดยใช้การทำจัสติฟิเคชันรวมไปถึงค่าจัตเตอร์ที่ผ่านการทำจัสติฟิเคชัน ซึ่งเป็นค่าที่ต้องการวัดในระบบจริงว่าเกินขอบเขตที่อุปกรณ์ยอมรับได้ และในการทดลองนี้ได้ทำการทดลองกับค่าของ Container ที่ใช้ตามมาตรฐานในกลุ่มยุโรป เช่น C-12, C-3 และ C-4 ซึ่งเป็นมาตรฐานที่ประเทศไทยใช้อยู่

จากที่กล่าวข้างต้นจะทำการเปลี่ยนแปลงความถี่ขาเข้าและความถี่ในการอ่านของมัลติเพล็กซ์นั้น ในที่นี้ได้แยกการพิจารณาออกเป็น 3 ส่วนคือ

ส่วนที่ 1 กำหนดให้ความถี่ในการอ่านคงที่และความถี่ขาเข้าเปลี่ยนแปลง โดยในการเปลี่ยนแปลงความถี่นั้นจะใช้วิธีการแรนดัมแบบ Uniform distribute จำนวน 10 ค่า แล้วพิจารณาผลกระทบในปัจจัยต่าง ๆ ข้างต้นซึ่งรายละเอียดของผลลัพธ์ที่ได้แสดงในตารางที่ 4.1

ส่วนที่ 2 กำหนดให้ความถี่ขาเข้าคงที่และความถี่ในการอ่านเปลี่ยนแปลง โดยในการเปลี่ยนแปลงความถี่นั้นจะใช้วิธีการแรนดัมแบบ Uniform distribute จำนวน 10 ค่า แล้วพิจารณาผลกระทบในปัจจัยต่าง ๆ ข้างต้นซึ่งรายละเอียดของผลลัพธ์ที่ได้แสดงในตารางที่ 4.2

ส่วนที่ 3 กำหนดให้ความถี่ขาเข้าและความถี่ในการอ่านเปลี่ยนแปลง โดยในการเปลี่ยนแปลงความถี่นั้นจะใช้วิธีการแรนดัมแบบ Uniform distribute จำนวน 10 ค่า แล้วพิจารณาผลกระทบในปัจจัยต่าง ๆ ข้างต้นซึ่งรายละเอียดของผลลัพธ์ที่ได้แสดงในตารางที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 หน้าที่เจ็ดโดยกำหนดให้สัญญาณความถี่ในการอ่านคงที่ และ สัญญาณความถี่ขาเข้าเปลี่ยนแปลง

คอนเทนเนอร์	การทดลองครั้งที่ 1	การทดลองครั้งที่ 2	การทดลองครั้งที่ 3	การทดลองครั้งที่ 4	การทดลองครั้งที่ 5	การทดลองครั้งที่ 6	การทดลองครั้งที่ 7	การทดลองครั้งที่ 8	การทดลองครั้งที่ 9	การทดลองครั้งที่ 10
C-12	ความถี่ขาเข้า (f _m / Kbps)	63,995	63,991	63,992	63,994	63,992	63,993	63,997	63,997	63,995
	ค่าความถี่กลางเคลื่อนขาเข้า	4.97	9.00	8.22	6.45	8.18	6.60	3.42	2.90	3.41
	ค่าความถี่กลางเคลื่อนขาเข้าสูงสุด	6.00	6.00	6.00	6.00	6.00	6.00	6.00	6.00	6.00
	ความถี่ในการอ่าน (f _r / Kbps)	64,000	64,000,0000	64,000,0000	64,000,0000	64,000,0000	64,000,0000	64,000,0000	64,000,0000	64,000,0000
	ค่าขีดเคอร์ที่เคอร์ขึ้นก่อนที่กำจัดที่เคอร์	0.0082	0.0122	0.0114	0.0096	0.0114	0.0098	0.0066	0.0061	0.0066
	ค่าขีดเคอร์ที่เคอร์	0.0010	-0.0030	-0.0022	-0.0004	-0.0022	-0.0006	0.0026	0.0031	0.0026
	ค่าขีดเคอร์ที่เคอร์ขึ้นหลังกำจัดที่เคอร์	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092
	ค่าขีดเคอร์สูงสุด	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092
	ค่าขีดเคอร์ต่ำสุด	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092
	ความถี่ขาเข้า (f _m / Kbps)	8,447,668	8,447,919	8,447,788	8,447,830	8,447,688	8,447,733	8,447,840	8,447,994	8,447,713
C-3	ค่าความถี่กลางเคลื่อนขาเข้า	332.55	80.90	212.39	170.09	311.95	266.73	159.76	6.48	287.49
	ค่าความถี่กลางเคลื่อนขาเข้าสูงสุด	254.00	254.00	254.00	254.00	254.00	254.00	254.00	254.00	
	ความถี่ในการอ่าน (f _r / Kbps)	8,457,750	8,457,750	8,457,750	8,457,750	8,457,750	8,457,750	8,457,750	8,457,750	
	ค่าขีดเคอร์ที่เคอร์ขึ้นก่อนกำจัดที่เคอร์	0.4582	0.4469	0.4528	0.4509	0.4573	0.4552	0.4505	0.4436	
	ค่าขีดเคอร์ที่เคอร์	-0.0035	0.0077	0.0019	0.0037	-0.0026	-0.0006	0.0042	0.0111	
	ค่าขีดเคอร์ที่เคอร์ขึ้นหลังกำจัดที่เคอร์	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	
	ค่าขีดเคอร์สูงสุด	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	
	ค่าขีดเคอร์ต่ำสุด	0.4168	0.4168	0.4168	0.4168	0.4168	0.4168	0.4168	0.4168	
	ความถี่ขาเข้า (f _m / Kbps)	34,367,998	34,367,331	34,367,288	34,367,984	34,367,921	34,367,701	34,367,226	34,367,504	
	C-4	ค่าความถี่กลางเคลื่อนขาเข้า	1.64	669.28	711.54	15.80	78.74	299.32	773.98	495.67
ค่าความถี่กลางเคลื่อนขาเข้าสูงสุด		687.00	687.00	687.00	687.00	687.00	687.00	687.00	687.00	
ความถี่ในการอ่าน (f _r / Kbps)		34,387,934	34,387,934	34,387,934	34,387,934	34,387,934	34,387,934	34,387,934	34,387,934	
ค่าขีดเคอร์ที่เคอร์ขึ้นก่อนกำจัดที่เคอร์		0.4300	0.4440	0.4449	0.4303	0.4316	0.4363	0.4462	0.4404	
ค่าขีดเคอร์ที่เคอร์		0.0144	0.0004	-0.0005	0.0141	0.0128	0.0082	-0.0018	0.0040	
ค่าขีดเคอร์ที่เคอร์ขึ้นหลังกำจัดที่เคอร์		0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	
ค่าขีดเคอร์สูงสุด		0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	
ค่าขีดเคอร์ต่ำสุด		0.3938	0.3938	0.3938	0.3938	0.3938	0.3938	0.3938	0.3938	

≡ แสดงค่าความถี่กลางเคลื่อนขาเข้าที่เกินค่ามาตรฐานที่อุปกรณ์ผลิตเพียงยอมรับได้

ตารางที่ 4.2 หากจัดเตรียมโดยกำหนดให้สัญญาณความถี่ขาเข้า และ สัญญาณความถี่ขาออกเป็นการปรับเปลี่ยน

คอนเทนเนอร์	ตัวแปรที่พิจารณา	การทดลองครั้งที่ 1	การทดลองครั้งที่ 2	การทดลองครั้งที่ 3	การทดลองครั้งที่ 4	การทดลองครั้งที่ 5	การทดลองครั้งที่ 6	การทดลองครั้งที่ 7	การทดลองครั้งที่ 8	การทดลองครั้งที่ 9	การทดลองครั้งที่ 10
C-12	ความถี่ขาเข้า (f _{in} / Kbps)	64,000	64,000	64,000	64,000	64,000	64,000	64,000	64,000	64,000	64,000
	ความถี่ขาออก (f _o / Kbps)	64,003.50	64,000.99	64,000.60	64,003.27	64,000.89	64,002.42	64,003.63	64,002.49	64,003.26	64,000.04
	ค่าคลาดเคลื่อนของความเร็วในการอ่าน	112.11	31.73	19.24	104.74	28.55	77.50	116.03	79.79	104.45	1.19
	ค่าคลาดเคลื่อนของความเร็วในการอ่านสูงสุด	102	102	102	102	102	102	102	102	102	102
	ค่าจัดเตรียมที่เกิดขึ้นก่อนทำจัดเตรียม	0.0095	0.0070	0.0066	0.0093	0.0069	0.0084	0.0096	0.0085	0.0093	0.0060
	ค่าจัดเตรียม	-0.0003	0.0022	0.0026	-0.0001	0.0023	0.0008	-0.0004	0.0007	-0.0001	0.0032
	ค่าจัดเตรียมที่เกิดขึ้นหลังทำจัดเตรียม	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092
	ค่าจัดเตรียมสูงสุด	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092	0.0092
	ค่าจัดเตรียมต่ำสุด	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092
	ความถี่ขาเข้า (f _{in} / Kbps)	8,448,000	8,448,000	8,448,000	8,448,000	8,448,000	8,448,000	8,448,000	8,448,000	8,448,000	8,448,000
C-3	ความถี่ขาออก (f _o / Kbps)	8,457,774	8,457,839	8,457,891	8,457,926	8,457,804	8,457,800	8,457,920	8,457,796	8,457,909	8,457,929
	ค่าคลาดเคลื่อนของความเร็วในการอ่าน	97	361	573	714	218	204	692	186	644	727
	ค่าคลาดเคลื่อนของความเร็วในการอ่านสูงสุด	687	687	687	687	687	687	687	687	687	687
	ค่าจัดเตรียมที่เกิดขึ้นก่อนทำจัดเตรียม	0.4482	0.4511	0.4534	0.4550	0.4495	0.4493	0.4547	0.4492	0.4542	0.4551
	ค่าจัดเตรียม	0.0065	0.0036	0.0013	-0.0003	0.0052	0.0053	-0.0001	0.0055	0.0005	-0.0004
	ค่าจัดเตรียมที่เกิดขึ้นหลังทำจัดเตรียม	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547
	ค่าจัดเตรียมสูงสุด	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547
	ค่าจัดเตรียมต่ำสุด	0.4168	0.4168	0.4168	0.4168	0.4168	0.4168	0.4168	0.4168	0.4168	0.4168
	ความถี่ขาเข้า (f _{in} / Kbps)	34,368,000	34,368,000	34,368,000	34,368,000	34,368,000	34,368,000	34,368,000	34,368,000	34,368,000	34,368,000
	C-4	ความถี่ขาออก (f _o / Kbps)	34,388,191	34,388,123	34,388,474	34,387,944	34,388,408	34,388,534	34,388,546	34,388,421	34,388,205
ค่าคลาดเคลื่อนของความเร็วในการอ่าน		1,038	762	2,186	38	1,920	2,427	2,475	1,972	1,097	1,246
ค่าคลาดเคลื่อนของความเร็วในการอ่านสูงสุด		2,089	2,089	2,089	2,089	2,089	2,089	2,089	2,089	2,089	2,089
ค่าจัดเตรียมที่เกิดขึ้นก่อนทำจัดเตรียม		0.4390	0.4375	0.4449	0.4338	0.4435	0.4462	0.4464	0.4438	0.4393	0.4400
ค่าจัดเตรียม		0.0055	0.0069	-0.0005	0.0107	0.0009	-0.0018	-0.0020	0.0006	0.0052	0.0044
ค่าจัดเตรียมที่เกิดขึ้นหลังทำจัดเตรียม		0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444
ค่าจัดเตรียมสูงสุด		0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444
ค่าจัดเตรียมต่ำสุด		0.3938	0.3938	0.3938	0.3938	0.3938	0.3938	0.3938	0.3938	0.3938	0.3938

= แสดงค่าความถี่คลาดเคลื่อนจากที่เกินค่ามาตรฐานที่อุปกรณ์ผลิตให้พร้อมมาให้

ตารางที่ 4.3 หากจัดเตรียมโดยกำหนดให้สัญญาณความถี่ขาเข้า และ สัญญาณความถี่ขาออกเปลี่ยนแปลง

คอนเทนเนอร์	การทดลองครั้งที่ 1	การทดลองครั้งที่ 2	การทดลองครั้งที่ 3	การทดลองครั้งที่ 4	การทดลองครั้งที่ 5	การทดลองครั้งที่ 6	การทดลองครั้งที่ 7	การทดลองครั้งที่ 8	การทดลองครั้งที่ 9	การทดลองครั้งที่ 10
C-12	ความถี่ขาเข้า (f _m / Kbps)	63999	63996	63991	63992	64000	63998	63995	63993	63996
	ค่าความผิดพลาดต่อช่องขาเข้า	0.88	3.66	8.52	9.50	0.14	2.22	5.22	7.13	4.50
	ค่าความผิดพลาดต่อช่องขาเข้าสูงสุด	6	6	6	6	6	6	6	6	6
	ความถี่ในการอ่าน (f _r / Kbps)	64003	64002	64005	64003	64004	64004	64006	64001	64001
	ค่าความถี่ของความเร็วในการอ่าน	88.70	60.51	151.90	111.59	119.24	140.74	186.58	45.61	34.44
	ค่าความถี่ของความเร็วในการอ่านสูงสุด	102	102	102	102	102	102	102	102	102
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.0088	0.0079	0.0117	0.0127	0.0097	0.0104	0.0118	0.0103	0.0071
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.0004	0.0013	-0.0025	-0.0035	-0.0005	-0.0022	-0.0012	-0.0011	0.0021
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.0092	0.0092	0.0092	0.0092	0.0092	0.0091	0.0092	0.0092	0.0092
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092	-0.0092
C-3	ความถี่ขาเข้า (f _m / Kbps)	8447900	8447800	8448000	8447700	8447900	8447800	8447800	8447700	8447900
	ค่าความผิดพลาดต่อช่องขาเข้า	107.17	155.15	5.13	253.42	91.64	165.67	157.87	290.10	137.87
	ค่าความผิดพลาดต่อช่องขาเข้าสูงสุด	254	254	254	254	254	254	254	254	254
	ความถี่ในการอ่าน (f _r / Kbps)	8457800	8457800	8457900	8457800	8457900	8457900	8457900	8457800	8457900
	ค่าความถี่ของความเร็วในการอ่าน	89.73	373.41	531.24	225.31	566.78	788.93	722.26	643.61	416.01
	ค่าความถี่ของความเร็วในการอ่านสูงสุด	687	687	687	687	687	687	687	687	687
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.4481	0.4512	0.4529	0.4496	0.4533	0.4556	0.4542	0.4563	0.4517
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.0066	0.0035	0.0018	0.0051	0.0014	-0.0009	-0.0003	0.0005	0.0030
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547	0.4547
C-4	ความถี่ขาเข้า (f _m / Kbps)	34,367,000	34,368,000	34,368,000	34,367,000	34,367,000	34,368,000	34,367,000	34,368,000	34,368,000
	ค่าความผิดพลาดต่อช่องขาเข้า	701.49	424.89	166.15	838.64	956.60	869.93	444.16	951.69	187.86
	ค่าความผิดพลาดต่อช่องขาเข้าสูงสุด	687	687	687	687	687	687	687	687	687
	ความถี่ในการอ่าน (f _r / Kbps)	34,388,000	34,388,000	34,389,000	34,388,000	34,388,000	34,388,000	34,388,000	34,388,000	34,388,000
	ค่าความถี่ของความเร็วในการอ่าน	258.15	1,051.60	2,132.80	1,264.50	412.03	2,154.40	1,737.70	1,792.00	1,373.80
	ค่าความถี่ของความเร็วในการอ่านสูงสุด	2089	2089	2089	2089	2089	2089	2089	2089	2089
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.4447	0.439	0.4457	0.4476	0.4501	0.4483	0.4426	0.4387	0.4407
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	-0.0003	0.0054	-0.0013	-0.0032	-0.0007	-0.0039	0.0018	-0.0056	0.0037
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444
	ค่าอัตราที่ผิดพลาดต่อช่องขาเข้าที่ผิดพลาด	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444	0.4444

= แสดงค่าความผิดพลาดต่อช่องขาเข้าที่เกินค่ามาตรฐานที่อุปกรณ์ผลิตจะยอมรับได้

บทที่ 5

สรุปและข้อเสนอแนะ

5.1 สรุปผลการทดลอง

จากผลการทดลองในบทที่ 4 ได้แยกการพิจารณาออกเป็น 3 ส่วน เพื่อศึกษาผลกระทบของค่าจัตเตอร์ในอุปกรณ์ SDH โดยกำหนดให้ความถี่ในการอ่านและการเขียนมีการเปลี่ยนแปลงและคงที่ ซึ่งได้ผลของค่าจัตเตอร์ที่แตกต่างกัน ดังนั้นในบทนี้จะกล่าวถึงข้อสรุปของผลการทดลอง โดยแยกการอธิบายออกเป็น 3 ส่วน ตามการทดลองดังนี้

ส่วนที่ 1 กำหนดให้ความถี่ในการอ่านคงที่และความถี่เข้าเปลี่ยนแปลง

จากข้อมูลผลการทดลองจะทำการทดสอบ โดยกำหนดให้ความถี่เข้ามีการเปลี่ยนแปลงแบบอิสระและกำหนดให้ความถี่ในการอ่านมีค่าคงที่ดังแสดงในตารางที่ 4.1 แล้วพิจารณาผลของค่าจัตเตอร์ว่ามีผลกระทบต่ออุปกรณ์ SDH หรือไม่ กล่าวคือจะพิจารณาผลของค่าจัตเตอร์เทียบกับค่าจัตเตอร์ที่เกิดจากสัญญาณที่เปลี่ยนแปลงตามค่ามาตรฐาน ซึ่งจะเห็นว่าบางโอกาสมีสัญญาณความถี่เข้ามีการเปลี่ยนแปลงมาก ก็จะมีผลกระทบต่อค่าจัตเตอร์ที่เกิดขึ้นในระบบ ถึงแม้ว่าจะกำหนดให้ความถี่ในการอ่านคงที่ก็ตาม นั่นก็หมายถึงการกำหนดคุณภาพของสัญญาณนาฬิกาหรือการจัดทำจัตติเฟสชันในตัวอุปกรณ์ที่คิด แต่ ถ้าสัญญาณเข้ามีการเปลี่ยนแปลงมากก็สามารถเกิดจัตเตอร์ที่เกินค่ามาตรฐานที่อุปกรณ์ยอมรับได้ทำให้เกิดความผิดพลาดในการอ่านข้อมูล

ส่วนที่ 2 กำหนดให้ความถี่เข้าคงที่และความถี่ในการอ่านเปลี่ยนแปลง

จากตารางที่ 4.2 เป็นการกำหนดให้ค่าความถี่ในการอ่านมีการเปลี่ยนแปลงแบบอิสระ โดยให้ความถี่เข้ามีค่าคงที่ ซึ่งจะเห็นว่าจะมีบางค่าของความถี่ในการอ่านมีค่ามากเกินค่าสูงสุดที่อุปกรณ์ยอมรับได้ จะทำให้เกิดค่าจัตเตอร์ที่เกินค่ามาตรฐาน การกำหนดให้ค่าความถี่ในการอ่านเปลี่ยนแปลงหมายถึงการกำหนดคุณภาพของสัญญาณความถี่ขาออกจาก Elastic store หรือคุณภาพของสัญญาณนาฬิกาที่ผลิตออกจากตัวอุปกรณ์เอง ซึ่งอาจจะรวมไปถึงการจัดเตรียม elastic store ไม่เหมาะสมก็จะมีผลต่อค่าความถี่ในการอ่าน ตามที่ได้อธิบายในสมการ (4.1) เป็นสมการของการคำนวณหาความถี่ในการอ่านและรูปที่ 3.8 เป็นการจัดเตรียม elastic store ซึ่งทั้งสองตัวแปรจะมีผลกระทบต่อเกิดการเกิดจัตเตอร์

ส่วนที่ 3 กำหนดให้ความถี่เข้าและความถี่ในการอ่านเปลี่ยนแปลง

ส่วนการทดลองสุดท้ายกำหนดให้ค่าสัญญาณความถี่เข้าและความถี่ในการอ่าน มีการเปลี่ยนแปลงแบบอิสระแล้วพิจารณาผลของจัตเตอร์ที่เกิดขึ้นเทียบกับค่าจัตเตอร์ที่เกิดจากสัญญาณที่เปลี่ยนแปลงตามค่ามาตรฐาน โดยแสดงใน ตาราง 4.3 ซึ่งการทดลองในส่วนนี้เองจะสามารถกล่าวได้ว่าเหมือนกับสภาพความเป็นจริงของโครงข่ายปัจจุบัน เนื่องจากปัจจุบันจะไม่สามารถควบคุม

การเปลี่ยนแปลงสัญญาณทั้งความถี่ขาเข้าและความถี่ในการอ่านได้เป็นผลทำให้เกิดจิดเตอร์ จึงกล่าวได้ว่าการทดลองในส่วนนี้จะเสมือนโครงข่ายจริง

ดังนั้น ถ้าต้องการนำไปปฏิบัติจริง ๆ จะต้องทำการดึงหรือเก็บสัญญาณจริงจากความถี่ขาเข้าและมาเปรียบเทียบกับสัญญาณความถี่ในการอ่าน (ตามที่ได้อธิบายในรูป (3.8)) แล้วคำนวณผลของค่าจิดเตอร์ที่เกิดขึ้นส่งผ่านไบท์ที่ X ของ MSOH (ตามที่ได้แสดงในหัวข้อ 2) ไปยังอุปกรณ์บริหาร โครงข่ายที่ติดตั้งอยู่ที่ศูนย์กลางของการควบคุมเพื่อให้เจ้าหน้าที่ซ่อมบำรุงตรวจสอบค่าจิดเตอร์ เทียบกับค่ามาตรฐานก็จะสามารถตรวจสอบคุณภาพของโครงข่ายได้

ในกรณีค่าจิดเตอร์เกินค่ามาตรฐานที่อุปกรณ์ SDH จะรับได้ทำให้ข้อมูลที่ได้มีความผิดพลาดมากและสะสมจนทำให้อุปกรณ์ในโครงข่ายใช้งานไม่ได้ ซึ่งเป็นผลทำให้บริการต่าง ๆ ที่อยู่บนโครงข่ายนี้ก็จะหยุดให้บริการ ถ้าโครงข่ายมีความจุกมานั้น หมายถึงปริมาณข้อมูลที่รับ-ส่งของบริการต่าง ๆ ที่ใช้งานอยู่บนโครงข่ายก็มีจำนวนมากและอุปกรณ์ไม่ทำงานจะทำให้สูญเสียรายได้จำนวนมาก ดังนั้น จึงจำเป็นจะต้องมีการตรวจสอบค่าจิดเตอร์ในระบบ SDH อยู่เป็นประจำเพื่อเพิ่มประสิทธิภาพในการให้บริการบนโครงข่าย

5.2 ข้อเสนอแนะ

จากการศึกษาที่ผ่านมาสามารถที่นำค่าจิดเตอร์ที่วัดได้นำไปมัลติเพล็กซ์ใน โครงสร้างของ SDH ได้โดยการใช้โอเวอร์เฮดไบท์ตำแหน่ง X ของ MSOH สำหรับอุปกรณ์มัลติเพล็กซ์ ซึ่งเป็นไบท์ที่ถูกจัดเตรียมให้เป็นมาตรฐานของประเทศนั้น [2,5,9] ดังนั้น เราสามารถที่จะกำหนดไบท์ดังกล่าวเป็นไบท์มาตรฐานของประเทศไทยสำหรับตรวจสอบค่าจิดเตอร์ของอุปกรณ์ SDH ซึ่งประโยชน์ที่ได้จากการกำหนดก็คือสามารถทดสอบคุณภาพของอุปกรณ์ทุกอุปกรณ์ใน โครงข่าย และการตรวจสอบคุณภาพของโครงข่าย SDH อื่น ๆ ที่มาต่อเชื่อมเพื่อขจัดปัญหาของความขัดแย้งและลดระยะเวลาในการหาสาเหตุว่าเกิดจากโครงข่ายของใคร โดยไม่ต้องหยุดให้บริการรวมไปถึงการลดจำนวนเครื่องมือวัดจิดเตอร์ที่มีราคาแพง

สำหรับการพัฒนาในอนาคตควรมีอุปกรณ์ SDH จริงในห้องทดลองเพื่อหาฟังก์ชันอื่น ๆ ที่ควบคุมคุณภาพของโครงข่ายและเป็นการใช้โอเวอร์เฮดไบท์ที่กำหนดข้างต้นอย่างคุ้มค่า (เนื่องจากความเร็วในการรับ-ส่งข้อมูลของแต่ละไบท์มีค่าเท่ากับ 64 Kbps) เช่น การวัดค่าบิตที่ผิดพลาดในระบบ SDH การวิเคราะห์พ้อยเตอร์ฟังก์ชันด้วยการวัดความผิดพลาดหรือการวิเคราะห์ payload ให้สอดคล้องกับโครงสร้างของการมัลติเพล็กซ์ เป็นต้น

สาเหตุที่ไม่วัดค่าจิดเตอร์ในอยู่ในรูปของเพาเวอร์สเปกตรัมก็เพราะค่าที่ได้มาจะพิจารณายากเกินต่อการเปรียบเทียบกับค่ามาตรฐานว่าค่ามาตรฐานหรือไม่ และอีกปัจจัยหนึ่งคือ ค่าจิดเตอร์ที่แสดงตามความเห็นของ CCITT นั้นจะอยู่ในรูปของ UI (คือสิ่งที่ทำในวิทยานิพนธ์ฉบับนี้) ซึ่งไม่ได้แสดงอยู่ในรูปของ dB ของเพาเวอร์สเปกตรัม

หนังสืออ้างอิง

- [1] D.Finke and N. Hahn, "A New Generation Take Shape", **Global Telephony**, June 1993,pp. 42-47
- [2] M.J. Klein, "The Synchronous Digital Hierarchy a Flexible Concept for The Nineties", **IEEE International**, Melbourne, 1989, pp. 1-3
- [3] R. Wenzel, "Synchronous Optical Network a Flexible Network Concept for the 90's", **Technische Mitteilungen**, 1989, pp. 7-16
- [4] ITU-T Recommendation G.709, "Synchronous Multiplexing Structure", 1993
- [5] J.E. Flood and P. Cochrane, "Transmission System", IEE Telecommunication Series27, 1991, pp. 210-241.
- [6] R.G. Winch, "Telecommunication transmission System", McGraw-hill, 1993, pp. 47-80
- [7] Siemens Training Center, "SDH Equipment", Siemens AG, 1995
- [8] ITU-T Recommendation G.707, "Digital Transmission-Terminal Equipment", 1996
- [9] ITU-T Recommendation G.708, "Network Node Interface for the Synchronous Digital Hierarchy", 1993
- [10] ITU-T Recommendation G.780, "Vocebulary of Terms for Synchronous Digital Hierarchy (SDH) Network and Equipment", 1993
- [11] P.R. Trischitta and E. L. Varma, "Jitter in digital transmission systems", Artech house, 1989, pp. 103-154
- [12] วิจัย มานะอวยชัย อิศริชัย อรุณแสงศรีไชย "การศึกษาการเชื่อมต่อ PDH ที่ 8.448 Mbps กับ SDH และการปรับลด Jitter" วารสารวิศวกรรมลาดกระบัง, ปีที่ 16, ฉบับที่ 1 เดือนมีนาคม 2542
- [13] C.C. Cock, "Assessment of Timing Jitter in Digital Telecommunication Transmission System", IEE proceeding, Vol. 134, August 1987, pp. 464-473
- [14] B.N. Kearsy and R.W. McLintock, "Jitter in Digital Telecommunication Network", British Telecommunication Engineering, Vol.3, July 1984 , pp. 108-116
- [15] P. Bylanski and D.G.W. Ingram, "Digital Transmission System", Peter Peregrinus, 1988, pp. 245-269
- [16] ITU-T Recommendation G.783, "Characteristic of Synchronous Digital Hierarchy (SDH) Equipment Function Block", 1994

- [17] ITU-T Recommendation G.958, **“Digital Line System Base on The Synchronous Digital Hierarchy (SDH) for use on Optical Fiber Cables”**, 1995
- [18] ITU-T Recommendation G.825, **“The Control of Jitter and Wander with Digital Network which are Base on The Synchronous Digital Hierarchy”**, 1993
- [19] ITU-T Recommendation G.703, **“Physical/Electrical Characteristics of hierarchical digital interfaces”**, Blue book, Geneva, 1972
- [20] ITU-T Recommendation G.704, **“Synchronous Frame Structure used at Primary and Secondary Hierarchy Levels”**, 1991
- [21] ITU-T Recommendation G.823, **“The Control of Jitter and Wander within Digital Networks Which are Based on The 2,048 KbPS Hierarchy”**, 1993
- [22] ITU-T Recommendation G.824, **“The Control of Jitter and Wander within Digital Networks Which are Based on The 1,544 KbPS Hierarchy”**, 1993
- [23] ITU-T Recommendation G.743, **“Secondary Order Digital Multiplex Equipment Operating at 6,312 Kbps and using Positive Justification”**, 1993
- [24] ITU-T Recommendation G.752, **“Characteristics of Digital Multiplex Equipment Base on a Second Order Bit Rate of 6,312 Kbps and using Positive Justification”**, 1993
- [25] ITU-T Recommendation G.751, **“Digital Multiplex Equipment Operating at The Third Order Bit Rate of 34,638 Kbps and The Fourth Order Bit Rate of 139,264 Kbps and using Positive Justification”**, 1993
- [26] J.C. Bellamy, **“Digital Network Synchronous”** IEEE Communication Magazine, April 1995, pp. 70-83
- [27] K. Feher, **“Telecommunication measurements analysis and instrumentation”**, Prentice-hall, 1987, pp. 153-179
- [28] M.S. Roden, **“Digital Communication System Design”**, Prentice Hill, 1998, pp. 15-40

ภาคผนวก

ผลงานวิจัยที่ได้รับการตีพิมพ์แล้ว

1. ผลงานวิจัยเรื่อง “ การศึกษาการต่อเชื่อม PDH ที่ 8.448 Mbps กับ SDH และ การปรับลด Jitter” ได้นำเสนอและตีพิมพ์ในวารสารวิศวกรรมลาดกระบัง ปีที่ 16 ฉบับที่ 1 เดือนมีนาคม 2542



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การศึกษาการต่อเชื่อม PDH ที่ 8.448 Mbps กับ SDH

และการปรับลด Jitter

A Study on Interfacing of PDH 8.448 Mbps to SDH and the Jitter Justification

วิชัย มานะอวยชัย

อิทธิชัย อรุณศรีแสงไชย

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้แสดงถึงความเป็นไปได้ของการเชื่อมต่อระบบสื่อสารสัญญาณ PDH (Plesiochronous Digital Hierarchy) ที่ความเร็ว 8.448 Mbps เข้ากับระบบ SDH (Synchronous Digital Hierarchy) โดยใช้วิธีการคำนวณทางคณิตศาสตร์ นอกจากนี้ยังได้แสดงวิธีการ justification เพื่อลดผลของ jitter ที่เกิดขึ้นในระบบเมื่อมีการเชื่อมต่อดังกล่าว

Abstract

This paper presents the possibility of the interfacing of PDH (Plesiochronous Digital Hierarchy) at the speed of 8.448 Mbps to the SDH (Synchronous Digital Hierarchy) by a mathematical model and a justification that the jitter effects generated on the system while interconnects are being reduced is also presented.

1. บทนำ

การพัฒนาาระบบสื่อสารสัญญาณแบบ SDH ก็เพื่อรองรับความต้องการบริการที่ความเร็วสูงๆ นอกจากนั้นยังต้องการให้สามารถเชื่อมต่อระบบสื่อสารสัญญาณแบบ PDH ที่มีใช้อยู่เดิมได้ด้วย [1] ทั้งนี้เพื่อเป้าหมายให้มีระบบสื่อสารสัญญาณระบบเดียวทั่วโลก แต่อย่างไรก็ตามได้ศึกษาพบว่าไม่มีข้อกำหนดหรือคำแนะนำ (Recommendation) ที่เป็นมาตรฐานใดๆ กำหนดการเชื่อมต่อระบบ PDH ที่ระดับ 8.448 Mbps เข้าสู่โครงสร้างการมัลติเพล็กซ์ (Multiplex) ของ SDH ในบทความนี้จึงได้เสนอแนวทางการจัดโครงสร้าง 8.448 Mbps เข้าสู่โครงสร้างมาตรฐานของระบบ SDH ซึ่งการกำหนดโครงสร้างจะต้องสอดคล้องและให้เปลี่ยนแปลงโครงสร้างเดิมน้อยที่สุด เมื่อมี

การเพิ่มการเชื่อมต่อก็ต้องพิจารณาค่า jitter ที่เกิดขึ้นและมีผลกระทบต่อระบบอย่างไร จากนั้นทำการลดค่า jitter โดยการทำให้ justification ให้สอดคล้องกับค่า jitter ดังกล่าว ทั้งนี้เพื่อให้โครงข่ายมีประสิทธิภาพการสื่อสารสัญญาณที่ดีที่สุด

2. โครงสร้างการวางตำแหน่งบิทของ 8.448 Mbps

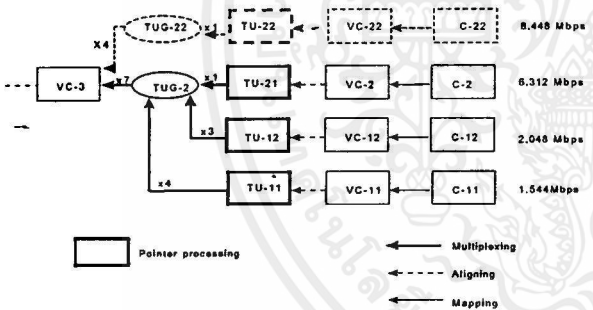
ข้อกำหนดใน Rec.G709 [2] เป็นข้อเสนอแนะที่เป็นมาตรฐานในการผลิตอุปกรณ์ SDH โดยข้อเสนอดังกล่าวส่วนหนึ่งจะกล่าวถึงการวางตำแหน่งบิทบนระบบ SDH ซึ่งจะแบ่งได้ 2 ส่วนคือ กำหนดการวางตำแหน่งบิทที่ระดับความเร็วสูงตั้งแต่ 34 Mbps ขึ้นไป และที่ระดับ

ความเร็วค่าดังกล่าวแสดงในรูปที่ 1. (ในมาตรฐานที่มีอยู่ไม่มีการเชื่อมต่อที่ระดับ 8.448 Mbps)

จากรูปที่ 1. การวางตำแหน่งบิตของ 8.448 Mbps ซึ่งแสดงในบล็อกเส้นปะเป็นงานวิจัยของบทความนี้เพื่อให้ระบบ SDH สามารถเชื่อมต่อกับระดับดังกล่าวได้ซึ่งประกอบด้วย Container ที่ระดับ C-22 และการจัดวางบิตในส่วนต่างๆ ทั้ง VC-22, TU-22, และ TUG-22 ดังรายละเอียดจะได้แสดงในหัวข้อถัดไป

3. การกำหนดขนาด Container ของ C-22

ในการวางบิตของ C-22 ลงในโครงสร้างของ SDH นั้นจำเป็นจะต้องคำนวณหาจำนวนบิตที่เป็นพื้นที่ที่จะต้องเตรียมไว้หรือคำนวณหาขนาดของ Container ว่าควรจะมีขนาดเท่าไรจึงจะเหมาะสมและสามารถรองรับจำนวนบิตทั้งหมดของ C-22 ได้ ซึ่งรายละเอียดในการคำนวณและเงื่อนไขต่าง ๆ แสดงดังต่อไปนี้



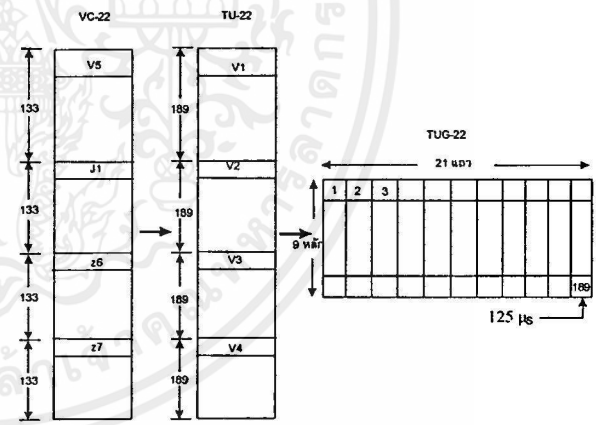
รูปที่ 1. โครงสร้างการมัลติเพล็กซ์ของระบบ PDH ที่ความเร็วค่า

จำนวนบิตของการมัลติเพล็กซ์ (B) = 8.448 Mbps ซึ่งจะต้องให้อยู่ภายในคาบเวลาของการมัลติเพล็กซ์ (T) 125 μs ตามมาตรฐานของ SDH และโครงสร้างของ SDH เป็นการมัลติเพล็กซ์แบบ byte interleavel (I) คือจะต้องกระทำที่ละ 8 บิต ดังนั้นสามารถเขียนเป็นสูตรการคำนวณหา C-22 ได้ดังนี้

$$\begin{aligned}
 C-22 &= (B \times T) / I \\
 &= (8.448 \times 10^6 \times 125 \times 10^{-6}) / 8 \\
 &= 132 \text{ ตำแหน่ง หรือ Byte}
 \end{aligned}$$

4. การกำหนดขนาดของ VC-22, TU-22 และ TUG-22

ในระบบ SDH นี้จะมีการจัดทำ pointer เพื่อบอกตำแหน่งของสัญญาณที่เข้ามารวม ไปถึงการจัดทำ justification เพื่อลดค่า jitter ซึ่งเป็นปัญหาของระบบ ดังนั้น เมื่อสามารถกำหนดขนาด C-22 ได้แล้วจากการคำนวณข้างต้น จะเห็นว่าจะต้องจัดเตรียม Container ขนาด 132 byte เพื่อรองรับการเชื่อมต่อที่ระดับ 8.448 Mbps และสิ่งที่ต้องกำหนดต่อไปคือ VC-22, TU-22 และ TUG-22 (ดังรูปที่ 1.) โดยจะต้องเพิ่มค่าเพื่อตรวจสอบความผิดพลาดหรือค่า overhead ขึ้นอีก 1 byte ที่ VC-22 ตามมาตรฐานที่กำหนดไว้ ดังนั้นทำให้ได้ค่าเป็น 133 byte (132+1) และที่ TU-22 กับ TUG-22 กำหนดให้มีค่า 189 Bytes เพื่อที่จะสามารถใส่ค่าต่างๆที่ VC-3 ได้ตามมาตรฐานเช่นกัน ดังแสดงในรูปที่ 2. และสาเหตุที่จะต้องกำหนดค่าดังกล่าวในระดับต่างๆ ให้เหมือนกันและเป็นมาตรฐานเดียวกันกับระบบ SDH ก็

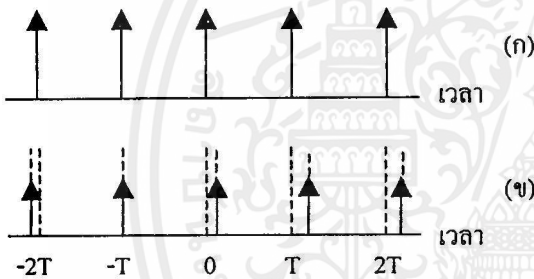


รูปที่ 2. โครงสร้าง VC-22, TU-22 และ TUG-22

เพื่อให้การทำงานของระบบทำงานได้อย่างมีประสิทธิภาพ การกำหนดค่าที่ระดับความเร็ว 8.448 Mbps ก็ต้องเหมือนกับระดับอื่นๆ ได้ด้วย แต่ก็มีค่าที่ไม่เหมือนกันอยู่ค่าหนึ่งที่ต้องกำหนดให้แตกต่างคือจำนวนบิตที่จัดเตรียมไว้สำหรับทำ justification เพื่อรองรับ jitter [3] ที่เกิดขึ้น ในบทความนี้จะต้องหาว่า jitter ที่เกิดขึ้นก่อนเพื่อกำหนดจำนวนบิตสำหรับการทำ justification ในขั้นต่อไป

5. องค์ประกอบการเกิด Jitter

การเกิด jitter ในระบบมัลติเพล็กซ์มีองค์ประกอบหลายอย่างด้วยกันคือ สัญญาณที่เข้ามาทำการมัลติเพล็กซ์ที่เวลาต่างกันทำให้เกิดค่าเวลารอสูงสุด (peak waiting time) ของ jitter ขึ้น นอกจากนี้ค่า input sinusoidal jitter ที่มีค่าน้อยกว่าค่าเวลาและค่าความถี่คลาดเคลื่อน (time deviation, frequency deviation) อีกปัจจัยหนึ่งของการเกิด jitter ก็คือค่า overhead ที่ต้องเพิ่มขึ้นเพื่อฟังก์ชันต่างๆ ในอุปกรณ์มัลติเพล็กซ์ดังกล่าว ในรูปที่ 3(ก) เป็นการแสดงสัญญาณที่ไม่มี jitter จะเห็นว่าช่วงห่างของเวลาแต่ละสัญญาณจะเท่ากันหมด และเมื่อผ่านการมัลติเพล็กซ์แล้วสัญญาณที่ได้ออกมาจะมีความคลาดเคลื่อนจากเดิมดังแสดงในรูปที่ 3(ข) ซึ่งการเคลื่อนเวลาดังกล่าวจะทำให้เกิด jitter ขึ้น



รูปที่ 3. อธิบายลักษณะการเกิด jitter

(ก) สัญญาณที่ไม่มี jitter (ข) สัญญาณที่มี jitter

เป็นที่ทราบกันอยู่แล้วว่า jitter ทำให้ประสิทธิภาพการสื่อสารสัญญาณในระบบต่ำลง จึงต้องมีการทำ justification เพื่อลด jitter ในระบบจะต้องพิจารณาผลคลาดเคลื่อนที่ได้จากการผ่านมัลติเพล็กซ์แล้ว จากนั้นทำการปรับสัญญาณก่อนที่จะเข้าอุปกรณ์มัลติเพล็กซ์เพื่อชดเชยให้ค่าคลาดเคลื่อนลดลง ซึ่งหลักการนี้ได้ถูกนำมาใช้กับระบบสื่อสารสัญญาณ (transmission) ไม่ว่าจะเป็นแบบ PDH หรือ SDH การทำ justification ก็คือการคำนวณหาขนาดของ elastic store (buffer) ที่สามารถรองรับค่าตัวแปรต่างๆ ที่เป็นองค์ประกอบของการเกิด jitter ทั้งนี้ก็เพื่อครอบคลุมไม่ให้เกิดการคลาดเคลื่อนหรือการผิดพลาดของการส่งข้อมูล โดยตัวแปรที่มีผลต่อการ

คำนวณหาขนาดของ elastic store ประกอบด้วยค่าองค์ประกอบต่างๆ ที่ได้กล่าวไว้แล้วข้างต้น

การคำนวณหาค่าเวลารอสูงสุดของ jitter (peak waiting time) จะพิจารณาจากผลต่างของความถี่สูงสุดในการอ่าน (f_{r+}) และความถี่ต่ำสุดในการเขียน (f_{in-}) ในช่วงเวลาสูงสุดที่จะเกิดการทำให้ justification (t_{j+}) ซึ่งสามารถเขียนเป็นสมการดังนี้

$$\begin{aligned} \text{ค่าเวลารอสูงสุดของ jitter} &= (f_{r+} - f_{in-}) \times (t_{j+}) \\ &= M_p \end{aligned} \quad (1)$$

การคำนวณหาความถี่ที่คลาดเคลื่อนที่เกิดจากสาเหตุของ input sinusoidal jitter จะแบบออกเป็น 2 ส่วน คือความถี่ที่คลาดเคลื่อนทางบวก (f_p) และความถี่คลาดเคลื่อนทางลบ (f_n) ซึ่งจะสามารถเขียนเป็นสมการได้ดังนี้

$$f_p = f_r - f_{in+} \quad (2)$$

$$f_n = f_{j+} - (f_{r+} - f_{in+}) \quad (3)$$

โดยที่ f_r คือค่าความถี่ต่ำสุดในการอ่านและ f_{in+} คือค่าความถี่สูงสุดที่เข้ามามัลติเพล็กซ์ จากค่าคลาดเคลื่อนทางด้านความถี่ทั้งช่วงบวกและช่วงลบสามารถนำไปคำนวณหาค่า elastic store เพื่อรองรับในส่วนนี้ได้เป็น 2 ส่วนเช่นกันคือการคำนวณหา elastic store สำหรับค่าความคลาดเคลื่อนทางด้านบวก (M_{s+}) และ elastic store สำหรับค่าความคลาดเคลื่อนทางด้านลบ (M_{s-}) ซึ่งมีรายละเอียดดังนี้

$$\begin{aligned} M_{s+} &= 2A_1 \sqrt{1 - (f_p / 2\pi A_1 f_1)^2} - (1/\pi) (f_p / f_1) \\ &\quad \cos^{-1} (f_p / 2\pi A_1 f_1) \end{aligned} \quad (4)$$

$$\begin{aligned} M_{s-} &= -2A_1 \sqrt{1 - (f_n / 2\pi A_1 f_1)^2} + 1/\pi (f_n / f_1) \\ &\quad \cos^{-1} (f_n / 2\pi A_1 f_1) \end{aligned} \quad (5)$$

โดยที่ A_1 คือค่าขนาดของ jitter มีหน่วยเป็น UI (Unit Interval) และค่า f_1 คือค่าความถี่ตำแหน่งที่พิจารณาการเกิด jitter [3] ส่วนการคำนวณหาค่า elastic store เพื่อรองรับการเพิ่ม overhead ทางด้านขาออกของอุปกรณ์มัลติเพล็กซ์สามารถคำนวณได้จากอัตราส่วน

ความถี่ที่เข้ามามัลติเพล็กซ์กับความถี่ขาออกจากอุปกรณ์มัลติเพล็กซ์สามารถเขียนเป็นสมการได้ดังนี้

$$M_o = f_{in}/f_{out} \quad (6)$$

ส่วนการคำนวณค่า elastic store เพื่อรองรับการทำ justification ที่ระดับมัลติเพล็กซ์ที่ความถี่ใดๆ จะเกิดจากอัตราส่วนระหว่างความถี่ที่เข้ามามัลติเพล็กซ์กับความถี่ในการอ่านข้อมูลซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$M_j = f_{in}/f_r \quad (7)$$

ดังนั้น สามารถคำนวณค่า elastic store ทั้งหมดในระบบคือการรวมค่า elastic store สำหรับรองรับค่าตัวแปรต่าง ๆ เข้าด้วยกันโดยการบวกเฉพาะค่าสมบูรณ์ (absolute) ซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$M_T = M_p + M_{s+} + M_{s-} + M_o + M_j \quad (8)$$

เนื่องจากค่า elastic store ที่คำนวณได้เป็นค่าสูงสุดที่จะเกิดขึ้นในระบบ ดังนั้นในการเตรียม elastic store จะต้องเตรียมให้มากกว่าที่คำนวณได้จึงจะอยู่ในขั้นปลอดภัย

6. ผลการคำนวณและวิเคราะห์หาค่า Jitter ที่เกิดจาก 8.448 Mbps

จากข้อมูลข้างต้นจะต้องคำนวณค่า elastic store เพื่อรองรับค่าต่างๆ ดังได้กล่าวมาแล้วข้างต้น ในที่นี้จะเริ่มคำนวณ elastic store ที่เกิดจากการเชื่อมต่อกับโครงสร้าง 8.448 Mbps [4] ซึ่งประกอบด้วย 4 ชุดของการมัลติเพล็กซ์ 2.048 Mbps โดยแต่ละชุดจะมีจำนวน 212 บิต และจำนวนข้อมูลที่สามารถรับ-ส่ง ในแต่ละชุดจะมีจำนวน 206 บิต (f_d) เท่านั้น จึงกล่าวได้ว่าใน 1 Frame ของ 8.448 Mbps จะมีจำนวนบิตทั้งหมด 848 บิต ซึ่งเกิดจาก 212 บิต x 4 (f_d) และตัวแปรที่สำคัญอีกตัวหนึ่งคือ ค่าความคลาดเคลื่อนที่ยินยอมได้ตามข้อกำหนดมาตรฐาน ซึ่งกำหนดให้มีค่า ± 50 ppm (part per million) [5] สำหรับข้อมูลที่เข้ามามัลติเพล็กซ์ (Input signal) และ ± 30 ppm สำหรับที่ 8.448 Mbps ดังนั้นสามารถคำนวณจำนวนบิตที่เข้ามาทำการมัลติเพล็กซ์ตามค่าคลาดเคลื่อนที่ยินยอมได้ดังนี้คือ

$$\begin{aligned} \text{เมื่อ } f_{in} &= \text{จำนวนบิตที่เข้ามาทำการมัลติเพล็กซ์} \\ &= 2,048,000 \text{ bps} \end{aligned}$$

$$\text{ดังนั้น } f_{in+} = 2,048,102 \text{ bps}$$

$$\text{และ } f_{in-} = 2,047,898 \text{ bps}$$

โดยที่ f_{in+} คือค่าคลาดเคลื่อนไปทาง +50 ppm

และ f_{in-} คือค่าคลาดเคลื่อนไปทาง -50 ppm

$$\begin{aligned} \text{เมื่อ } f_{out} &= \text{จำนวนบิตที่เข้ามาทำการมัลติเพล็กซ์} \\ &= 8,448,000 \text{ bps} \end{aligned}$$

$$\text{ดังนั้น } f_{out+} = 8,448,253 \text{ bps}$$

$$\text{และ } f_{out-} = 8,447,747 \text{ bps}$$

โดยที่ f_{out+} คือค่าคลาดเคลื่อนไปทาง +30 ppm

และ f_{out-} คือค่าคลาดเคลื่อนไปทาง -30 ppm

จากนั้นพิจารณาความถี่สัญญาณนาฬิกาของการอ่านข้อมูล [6,7,8] ซึ่งกำหนดได้โดย

$$f_r = \text{ความถี่สัญญาณนาฬิกาของการอ่าน}$$

$$= (f_{out} \times f_d) / f_i$$

ซึ่งเมื่อแทนค่า f_d , f_i และ f_{out+} และ f_{out-} ตามค่าต่างๆ

ข้างต้นแล้วจะได้

$$f_r = 2,052,226 \text{ bps}$$

$$f_{r+} = 2,052,288 \text{ bps}$$

$$f_{r-} = 2,052,165 \text{ bps}$$

ช่วงเวลาสูงสุดของ justification ที่ระดับ 8.448 Mbps สามารถเขียนเป็นสูตรโดยมีตัวแปรเป็น t_{j+} และมีความสัมพันธ์ดังนี้คือ

$$\begin{aligned} t_{j+} &= f_i / f_{out+} = 848 / 8,448,253 \\ &= 100.4 \text{ } \mu\text{S} \end{aligned}$$

ช่วงความถี่สูงสุดของ justification ที่ระดับ 8.448 Mbps สามารถเขียนเป็นสูตรโดยมีตัวแปรเป็น f_{j+} และมีความสัมพันธ์ดังนี้คือ

$$\begin{aligned} f_{j+} &= 1/t_{j+} = 1/100.4 \text{ } \mu\text{S} \\ &= 9,962.56 \text{ Hz} \end{aligned}$$

ดังนั้นสามารถคำนวณค่าเวลารอสูงสุด (peak waiting time) ของ jitter ได้โดยใช้สมการที่ (1) จะได้ว่า

$$M_p = (f_{r+} - f_{in-}) \times (t_{j+})$$

$$= 2,052,288 - 2,047,898) \times 100.4 \times 10^{-6}$$

$$M_p = 0.44 \text{ บิท}$$

พิจารณาค่าความถี่คลาดเคลื่อน(frequency deviation) ทั้งช่วงบวกและลบที่เกิดจากสาเหตุของ Input Sinusoidal jitter เพื่อนำมากำหนดขนาดของ elastic store หาได้โดยใช้สมการที่ (2) และ (3) ดังนี้

ความถี่ที่คลาดเคลื่อนทางบวก (f_p)

$$f_p = f_r - f_{in+} = 2,052,165 - 2,048,102$$

$$f_p = 4,063 \text{ Hz}$$

ความถี่ที่คลาดเคลื่อนทางลบ (f_n)

$$f_n = f_{j+} - (f_{r+} - f_{in+})$$

$$= 9,963 - (2,052,288 - 2,048,102)$$

$$= 5,777 \text{ Hz}$$

ดังนั้น สามารถหาค่า elastic store ที่รองรับค่าความคลาดเคลื่อนทางด้านบวกได้โดยใช้สมการที่ (4) คือ

$$M_{s+} = 2A_1 \sqrt{1 - (f_p / 2\pi A_1 f_1)^2} - (1/\pi) (f_p / f_1) \text{Cos}^{-1} (f_p / 2\pi A_1 f_1)$$

แต่ตามค่ามาตรฐานใน [3] สามารถกำหนดขนาดและความถี่สูงสุดที่ทำให้เกิดความถี่คลาดเคลื่อนทางบวกและลบได้ดังนี้คือ

$$\text{ขนาดสูงสุด} = 2A_1 = 1.5 \text{ UI}$$

$$\text{ความถี่สูงสุด} = f_1 = 2.4 \text{ KHz}$$

$$\therefore M_{s+} = 1.5 \times \sqrt{1 - 0.129} + (1.69 / \pi) \times 0.38 \times \pi$$

$$= 0.75 \text{ บิท}$$

เช่นกันสามารถหาค่า elastic store ที่สามารถรองรับค่าความคลาดเคลื่อนทางด้านลบได้โดยใช้สมการที่ (5) ดังนี้คือ

$$M_{s-} = -2A_1 \sqrt{1 - (f_n / 2\pi A_1 f_1)^2} + 1/\pi (f_n / f_1) \text{Cos}^{-1} (f_n / 2\pi A_1 f_1)$$

ด้วยค่าขนาดและความถี่สูงสุดเช่นเดียวกับข้างต้น

$$\therefore M_{s-} = -1.5 \times \sqrt{1 - 0.26} + (2.41 / \pi) \times 0.33 \times \pi$$

$$= -0.49 \text{ บิท}$$

คำนวณหาค่า elastic store สำหรับ Overhead ที่ต้องเพิ่มที่ทางด้านขาออกของอุปกรณ์มัลติเพล็กซ์ได้โดยใช้สมการที่ (6)

$$M_o = -f_{in}/f_{out}$$

$$= -2,048,000 / 8,448,000$$

$$M_o = -0.24 \text{ บิท}$$

จากสมการที่ (7) สามารถหาค่า Justification ที่ 2.048 Mbps ดังนี้

$$M_j = -f_{in}/f_r$$

$$= -2,048,000 / 2,052,226$$

$$M_j = -1.0 \text{ บิท}$$

ดังนั้นสามารถหาค่า elastic store ทั้งหมดได้โดยใช้สมการที่ (8) ดังนี้

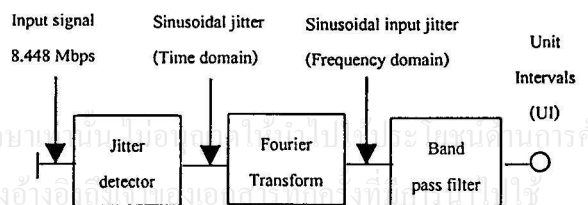
$$M_T = M_p + M_{s+} + M_{s-} + M_o + M_j$$

$$= 0.44 + 0.75 + 0.49 + 1.0 + 0.24$$

$$= 2.93 \text{ บิท}$$

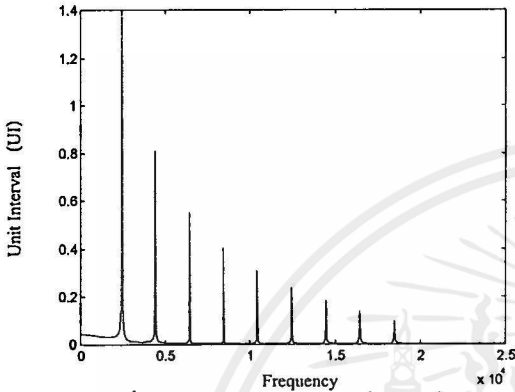
ดังนั้นค่า elastic store ที่ระบบ SDH จะต้องจัดเตรียมต้องไม่น้อยกว่า 2.93 บิท ถึงจะรองรับค่า jitter ในระบบได้

จากข้อมูลข้างต้นแสดงเฉพาะค่า jitter ที่ความถี่เดียวและเป็นค่าสูงสุด แต่ในทางปฏิบัติแล้วค่า jitter ที่เกิดจากค่าคลาดเคลื่อนทางด้านความถี่นั้นไม่ได้มีค่าเดียว ซึ่งค่า jitter ดังกล่าวจะพิจารณาเป็นย่านความถี่ [9] ดังนั้นในการวัดสัญญาณ jitter ในย่านความถี่ที่ต้องการสามารถทำได้โดยใช้วงจร filter [10] โดยกำหนดค่าของย่านความถี่ตั้งแต่ 2.4 KHz ถึง 18 KHz ซึ่งเป็นย่านความถี่ที่ต้องการพิจารณาค่า jitter ดังรายละเอียดได้แสดงในรูปที่ 4. และผลของการทำ justification ที่ไม่เกินมาตรฐานจะต้องให้ได้ตามรูปที่ 3 (ก).



รูปที่ 4. แสดงการวิเคราะห์ jitter

ผลจากการวิเคราะห์สามารถทราบถึงผลตอบสนองทางด้านความถี่และเมื่อเทียบกับค่ามาตรฐานใน [3] แล้วจะเห็นว่าค่าที่คำนวณได้อยู่ในขอบเขตของค่ามาตรฐานโดยในบทความนี้ได้กำหนดให้วิเคราะห์ค่า input jitter ที่ 2.4 KHz และเพิ่มขึ้นทีละ 2 KHz จนถึง 18 KHz คิดเป็นจำนวน 9 ความถี่ ดังจะเห็นได้จากรูปที่ 5.



รูปที่ 5. ค่า Jitter ในระบบที่ความถี่ต่างๆ

7. สรุป

ในการกำหนดโครงสร้าง 8.448 Mbps เข้าต่อเชื่อมกับระบบ SDH นั้นจะมีถึงสำคัญที่จะต้องพิจารณาอยู่ 2 ประการคือ โครงสร้าง Container (C-22) ที่จะรองรับ 8.448 Mbps และการทำ justification เพื่อลด jitter ในระบบที่เกิดจาก input jitter ส่วนค่าตัวแปรอื่นๆ นั้นสามารถใช้ตัวแปรเดียวกันกับตัวแปรที่ใช้ในมาตรฐานได้ ในการกำหนดโครงสร้าง C-22 นั้นสามารถต่อเข้าสู่ระบบ SDH ได้ 4 ชุด ของ 8.448 Mbps โดยไม่ต้องเปลี่ยนแปลงโครงสร้างที่ higher order เดิม เพียงแต่เพิ่มในส่วนของการรับสัญญาณเข้ามา (C-22, VC-22, TU-22 และ TUG-22) เท่านั้น นอกนั้นก็ใช้ตามเดิม ส่วนการทำ justification ในที่นี้ได้วิเคราะห์และจัดเตรียมค่า elastic store เพื่อรองรับ input jitter ที่จะเกิดขึ้นในระบบโดยในระบบ SDH เดิมได้เตรียมไว้แล้ว 24 บิต สำหรับการมัลติเพล็กซ์ ดังนั้นที่ 8.448 Mbps สามารถมัลติเพล็กซ์ได้ 4 ชุดที่ VC-3 (ดูรายละเอียดในรูปที่ 1.) ได้คิดเป็น 6 บิตต่อ 1 ชุดของ 8.448 Mbps ซึ่งใน 1 ชุดได้ทำการคำนวณดังข้างต้นแล้ว จะใช้สูงสุดเพียง 2.93 บิต จึงสรุปได้ว่าการทำ justification นั้น ในระบบ SDH เดิมซึ่งมีอยู่ถึง 6

บิตแล้วสามารถครอบคลุม jitter ได้โดยไม่จำเป็นต้องทำ Justification อีกเลย ส่วนในอนาคตจะทำการทดลองการเขียนแบบเพื่อพิสูจน์ผลที่ได้เมื่อเทียบกับการศึกษา

8. เอกสารอ้างอิง

- [1] R. Wenzel, "Synchronous optical network a flexible network concept for the 90's", Technische Mitteilungen, 1989, PP7-16
- [2] ITU-T Recommendation G.709, "Synchronous Multiplexing Structure", 1993
- [3] CCITT Recommendation G.823, "The Control of jitter and wander within digital networks which are based on the 2048 KbPS hierarchy", Bule book, Geneva, 1972
- [4] J.E. Flood and P. Cochrane, "Transmission System", IEE Telecommunication Series27, 1991, PP. 210-241.
- [5] CCITT Recommendation G.703, "Physical/Electrical Characteristics of hierarchical digital interfaces", Blue book, Geneva, 1972
- [6] P.R. Trischitta and E. L. Varma, "Jitter in digital transmission systems", Artech house, 1989, PP 103-154
- [7] R.G. Winch, "Telecommunication transmission System", McGraw-hill, 1993, PP 47-80
- [8] K. Feher, "Telecommunication measurements analysis and instrumentation", Prentice-hall, 1987, PP 153-179
- [9] C.C. Cock, "Assessment of Timing Jitter in Digital Telecommunication Transmission System", IEE proceeding, Vol. 134, August 1987, PP. 464-473
- [10] B.N. Kearsy and R.W. McLintock, "Jitter in Digital Telecommunication Network", British Telecommunication Engineering, Vol.3, July 1984, PP.108-116

ประวัติผู้เขียน

นายวิชัย มานะอวยชัย เกิดเมื่อวันที่ 4 กรกฎาคม 2511 สำเร็จการศึกษาอุตสาหกรรมศาสตรบัณฑิตจากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2534 สาขาโทรคมนาคม

เริ่มต้นทำงานที่ บริษัท เทเลคอมเอเชีย คอร์ปอเรชั่น จำกัด (มหาชน) ในปี 2534 ฝ่ายวิศวกรรมโครงข่ายได้เข้าร่วมออกแบบโครงข่ายระบบสื่อสารสัญญาณแบบ SDH และคัดเลือกอุปกรณ์ SDH จากผู้ผลิตต่าง ๆ ในปี 2538

ปัจจุบันทำงานบริษัท เอเชียมัลติมีเดีย จำกัด (มหาชน) ฝ่ายวิศวกรรมโครงข่ายและพัฒนาตำแหน่งหัวหน้าแผนกเทคโนโลยีโครงข่าย ซึ่งเน้นในเรื่องเทคโนโลยีใหม่ ๆ ที่สามารถประยุกต์ใช้กับโครงข่าย

ผลงานวิจัยที่ได้รับการตีพิมพ์

1. วิชัย มานะอวยชัย ถวิล พึ่งมา อธิธิชัย อรุณแสงศรีไชย “การวิเคราะห์จุดคุ้มทุนเมื่อนำอุปกรณ์ DCME มาใช้กับโครงข่ายทางไกลของประเทศไทย” การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 16, กรุงเทพฯ, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2536
2. I. Arungsrisangchai, T. Paungma, I. Shirakawa, W. Mana-ouychai “Toll Network Management with DCME” Asia-Pacific Symposium on Information and Telecommunication Technology, Bangkok, Thailand, 1993
3. วิชัย มานะอวยชัย อธิธิชัย อรุณแสงศรีไชย “การศึกษาการเชื่อมต่อ PDH ที่ 8.448 Mbps กับ SDH และการปรับลด Jitter” วารสารวิศวกรรมลาดกระบัง, ปีที่ 16, ฉบับที่ 1 เดือนมีนาคม 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้