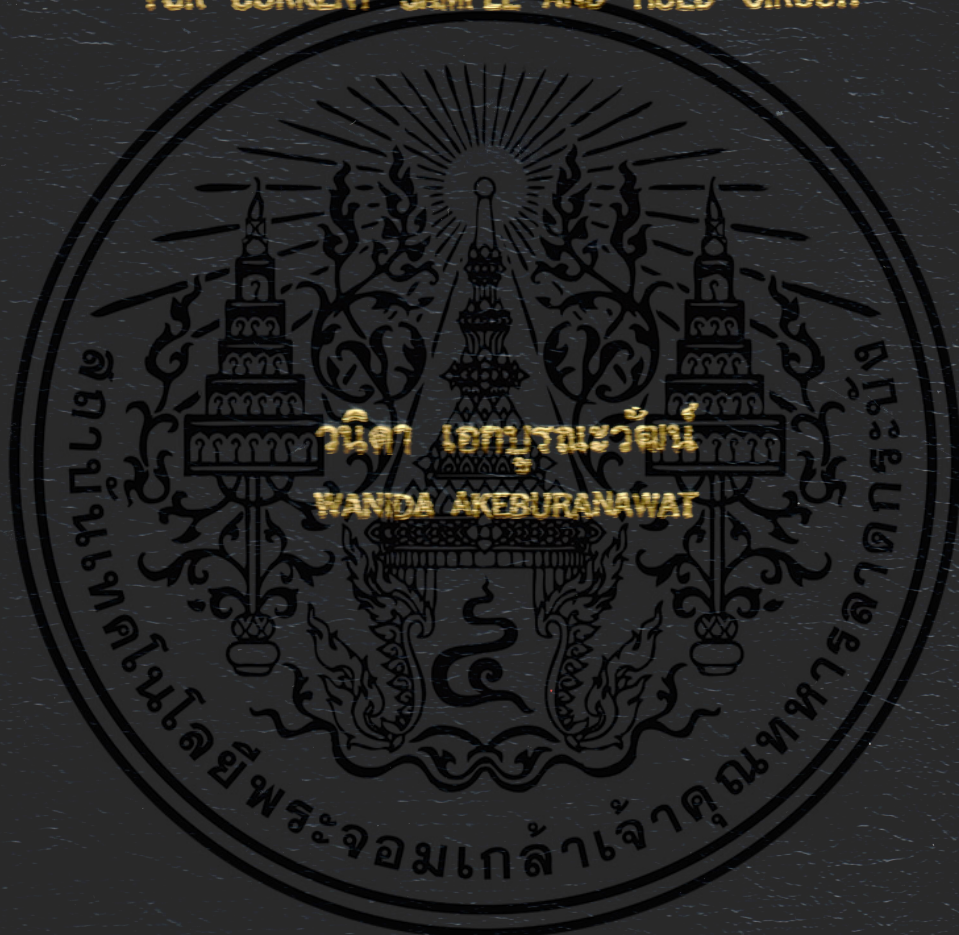


วงจรต่อและคงค่ากระแสที่สามารถกำจัดความผิดพลาด  
ที่เกิดจากสัญญาณนาฬิกา

CLOCK FEEDTHROUGH CANCELLATION  
FOR CURRENT SAMPLE AND HOLD CIRCUIT



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

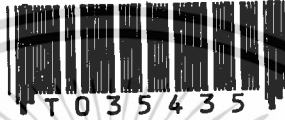
พ.ศ. 2543

ISBN 974-622-687-8

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาด  
ที่เกิดจากสัญญาณนาฬิกา

CLOCK FEEDTHROUGH CANCELLATION  
FOR CURRENT SAMPLE AND HOLD CIRCUIT



วนิดา เอกบูรณะวัฒน์

WANIDA AKEBURANAWAT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ พ.ศ. 2543 นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เลขหมู่.....  
เลขทะเบียน..... 35435

วัน, เดือน, ปี 25 12.5 2543

ไม่มีให้ดัดแปลงเนื้อ ISBN 974-622-687-8

เจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CLOCK FEEDTHROUGH CANCELLATION  
FOR CURRENT SAMPLE AND HOLD CIRCUIT**



**A THESIS SUBMITTED IN A PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING  
SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2000**

**ISBN 974-622-687-8**








**COPYRIGHT 2000**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
**SCHOOL OF GRADUATE STUDIES**  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเพิ่มเติม และต้องอ้างถึงถึงเจ้าของเอกสารทอครั้งที่มีการนำไปใช้  
**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

บัณฑิตวิทยาลัย  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์


หัวข้อวิทยานิพนธ์      วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณ  
นาฬิกา  
CLOCK FEEDTHROUGH CANCELLATION FOR CURRENT  
SAMPLE AND HOLD CIRCUIT  
ชื่อนักศึกษา      นางสาวนิศกุล เอ็กบูรณะวัฒน์  
รหัสประจำตัว      40061030  
ปริญญา      วิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชา      วิศวกรรมไฟฟ้า  
อาจารย์ผู้ควบคุมวิทยานิพนธ์      รศ.ดร.กอบชัย      เดชหาญ

คณะกรรมการสอบวิทยานิพนธ์	ลายมือชื่อ
รศ.ดร.วันชัย      ธีรวิภา	
รศ.อิทธิชัย      อรุณศรีแสงไชย	
ผศ.ดร.เกียรติศักดิ์      คมวิษระ	
รศ.ดร.ฟูศักดิ์      ชีววิทย์	
รศ.ดร.กอบชัย      เดชหาญ	

วัน/เดือน/ปี ที่สอบ 7 มีนาคม 2543 เวลา 12.00-13.00 น.

สถานที่สอบ ณ. ห้องสอบวิทยานิพนธ์ คณะวิศวกรรมศาสตร์ ตึก 12 ชั้น 4 ห้อง (E12-403)

บัณฑิตวิทยาลัยรับรองแล้ว

  
(รศ.ดร.มนตรี ตั้งวรศิลป์)  
คณบดีบัณฑิตวิทยาลัย  
วันที่...๒๙...เดือน...๕...พ.ศ.๒๕๔๓...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่สามารถนำออกจำหน่ายหรือเผยแพร่ในที่สาธารณะได้  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

หัวข้อวิทยานิพนธ์	วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกา
นักศึกษา	นางสาว วนิดา เอกบูรณะวัฒน์
รหัสประจำตัว	40061030
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2543
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. กอบชัย เดชหาญ

### บทคัดย่อ

วงจรสุ่มและคงค่ากระแสถูกนำมาใช้งานมากในการประมวลผลสัญญาณอนาลอกในโหมดกระแส เช่น ในวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลในโหมดกระแส และวงจรกรองแบบสุ่มค่าข้อมูลในโหมดกระแส สาเหตุหลักของความผิดพลาดในวงจรสุ่มและคงค่ากระแสคือผลกระทบจากสัญญาณนาฬิกา ซึ่งทำให้เกิดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาขึ้น วิทยานิพนธ์นี้จึงได้เสนอการออกแบบวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณ โดยนำหลักการของการหักล้างกระแสมาใช้เพื่อกำจัดกระแสผิดพลาดทั้งส่วนที่ขึ้นอยู่กับสัญญาณอินพุต และส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต วงจรที่เสนอนี้สามารถต่อเป็นวงจรสุ่มและคงค่ากระแสได้ทั้งแบบกลับเฟสและแบบไม่กลับเฟส ในวิทยานิพนธ์นี้ได้ทำการจำลองการทำงานของวงจรที่เสนอด้วยโปรแกรม PSPICE และทำการต่อวงจรขึ้นจริง และจากผลการจำลองการทำงานของวงจรแสดงให้เห็นว่า วงจรที่เสนอมีความถูกต้องสูง, ใช้กำลังงานต่ำ และทำงานที่ระดับแรงดัน 3.3 โวลต์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<b>Thesis Title</b>	Clock Feedthrough Cancellation for Current Sample and Hold Circuit
<b>Student</b>	Miss Wanida Akeburanawat
<b>Student ID.</b>	40061030
<b>Degree</b>	Master of Engineering in Electrical Engineering
<b>Programme</b>	Electrical Engineering
<b>Year</b>	2000
<b>Thesis Advisor</b>	Assoc. Prof. Dr. Kobchai Dejhan

### ABSTRACT

The current sample and hold circuit is widely used in current-mode analog signal processing such as in current-mode analog to digital converters or current-mode sampled data filters. The major source of error in current sample and hold circuit is clock feedthrough effect, which causes clock feedthrough error current. This thesis presents clock feedthrough cancellation for current sample and hold circuit. The current cancellation technique is used to cancel both signal dependent and signal independent clock feedthrough current. The proposed circuit can be connected as inverting and non-inverting current sample and hold circuit. In this thesis the proposed circuit is simulated by PSPICE and implemented. The simulation results show that the proposed circuit offers high accuracy, low power consumption and uses only 3.3 volts supply voltages

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

การจัดทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี ด้วยคำแนะนำและการให้ความช่วยเหลือจาก รองศาสตราจารย์ ดร.กอบชัย เดชหาญ ผู้วิจัยรัฐศึกษาซึ่งในความกรุณาและขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณพี่ ๆ น้อง และเพื่อนๆ ที่สนับสนุนและให้ความช่วยเหลือให้วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้

วนิดา เอกบูรณะวัฒน์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

หน้า

บทคัดย่อภาษาไทย .....	I
บทคัดย่อภาษาอังกฤษ .....	II
กิตติกรรมประกาศ .....	III
สารบัญ .....	IV
สารบัญตาราง .....	VI
สารบัญรูป .....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์.....	2
1.3 ขอบเขตของวิทยานิพนธ์.....	2
บทที่ 2 การประมวลผลสัญญาณในโหมดกระแส.....	3
2.1 การประมวลผลสัญญาณแบบต่อเนื่องทางเวลา.....	3
2.2 การประมวลผลสัญญาณแบบสุ่มค่าข้อมูล.....	5
2.3 ความผิดพลาดที่เกิดขึ้นในวงจรสวิตช์กระแส.....	7
2.3.1 การไม่สมพงษ์กันของอุปกรณ์ในวงจร.....	7
2.3.2 ผลกระทบจากสัญญาณนาฬิกา.....	9
2.3.3 วิธีลดผลกระทบที่เกิดจากสัญญาณนาฬิกา.....	10
2.4 สรุป.....	11
บทที่ 3 วงจรสุ่มและคงค่ากระแส.....	12
3.1 หลักการทำงานของวงจรสุ่มและคงค่าสัญญาณ.....	12
3.2 วงจรสุ่มและคงค่ากระแสแบบธรรมดา.....	14
3.3 วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจาก สัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต.....	17
3.4 วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจาก สัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต.....	21
3.5 วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจาก สัญญาณนาฬิกาทั้งสองส่วน.....	24
3.6 สรุป.....	29

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น หากมีข้อผิดพลาดประการใดขออภัยและต้องขออภัยถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

หน้า

บทที่ 4 วงจรสุ่มและคงค่ากระแสที่เสนอ.....	30
4.1 วงจรสุ่มและคงค่ากระแสที่เสนอ .....	30
4.2 สรุป .....	34
บทที่ 5 ผลการจำลองการทำงานและผลการทดลอง.....	35
5.1 ผลการจำลองการทำงาน.....	35
5.1.1 ผลการจำลองการทำงานของวงจรสุ่มและคงค่ากระแส แบบกลับเฟสที่เสนอ.....	35
5.1.2 ผลการจำลองการทำงานของวงจรสุ่มและคงค่ากระแส แบบไม่กลับเฟสที่เสนอ.....	49
5.2 ผลการทดลอง.....	66
5.3 สรุป .....	72
บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ.....	73
เอกสารอ้างอิง.....	75
ภาคผนวก.....	76
ผลงานที่ได้รับการตีพิมพ์.....	77
ประวัติผู้เขียน.....	88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น "ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้"

# สารบัญตาราง

ตารางที่	หน้า
2.1 ค่าผิดพลาดของกระแสเข้าพุตที่เกิดจาก $W, L$ และ $k$ ไม่สมพงษ์กัน.....	9
5.1 ค่าคุณลักษณะของวงจรสุ่มและคงค่ากระแสแบบต่างๆ .....	65



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป

รูปที่	หน้า
2.1 วงจรสะท้อนกระแสที่สร้างจากทรานซิสเตอร์แบบมอส.....	3
2.2 การรวมสัญญาณอินพุตของวงจรสะท้อนกระแส.....	5
2.3 วงจรสุ่มและคงค่ากระแส.....	6
2.4 กระแสอินพุตและกระแสเอาพุตของวงจรสุ่มและคงค่ากระแส.....	6
2.5 วงจรสุ่มและคงค่ากระแสที่แสดงตัวเก็บประจุแฝงของ M2 และสวิตช์ MS .....	9
2.6 กระแสอินพุตและกระแสเอาพุตของวงจรสุ่มและคงค่ากระแส.....	10
3.1 วงจรสุ่มและคงค่าสัญญาณ.....	12
3.2 สัญญาณต่างๆในวงจรสุ่มและคงค่าสัญญาณ.....	13
3.3 วงจรสุ่มและคงค่ากระแสแบบธรรมดา.....	14
3.4 วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต.....	18
3.5 รูปคลื่นของกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต โดยสัญญาณอินพุตมีความถี่เท่ากับ 1 kHz สัญญาณ นาฬิกา มีความถี่เท่ากับ 10 kHz.....	26
3.6 แสดงค่ากระแสผิดพลาดที่อินพุตค่าต่างๆ ของวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับกระแสอินพุตและวงจรสุ่มและคงค่ากระแสแบบธรรมดา โดยสัญญาณนาฬิกา มีความถี่เท่ากับ 10kHz.....	20
3.7 วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต.....	21
3.8 รูปคลื่นของกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต โดยสัญญาณอินพุตมีความถี่เท่ากับ 1 kHz และสัญญาณนาฬิกา มีความถี่เท่ากับ 10 kHz.....	23
3.9 แสดงค่ากระแสผิดพลาดที่อินพุตค่าต่างๆ ของวงจรสุ่มและคงค่ากระแสแบบธรรมดา และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต โดยสัญญาณนาฬิกา มีความถี่ 10 kHz.....	24
3.10 วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกา.....	25
3.11 กระแสผิดพลาด (%) ของวงจรสะท้อนกระแสที่อัตราขยายค่าต่างๆ.....	25

# สารบัญรูป (ต่อ)

รูปที่	หน้า
3.12 แสดงรูปคลื่นของกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสที่สามารถ กำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ทั้งสองส่วน โดยสัญญาณอินพุต มีความถี่เท่ากับ 1kHz สัญญาณนาฬิกามีความถี่เท่ากับ 10kHz .....	27
3.13 แสดงค่ากระแสผิดพลาดที่อินพุตค่าต่างๆ ของวงจรถ่อมและคงค่ากระแสแบบ ธรรมดาและวงจรถ่อมและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจาก สัญญาณนาฬิกาได้ทั้งสองส่วน.....	28
4.1 วงจรถ่อมและคงค่ากระแสที่นำเสนอ.....	30
4.2 วงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟสที่เสนอ .....	33
5.1 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟสเมื่อ กระแสอินพุตเป็นคลื่นไซน์ความถี่ 1 kHz แอมพลิจูด 50 $\mu$ A .....	36
5.2 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10 kHz แอมพลิจูด 50 $\mu$ A .....	36
5.3 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 100 kHz แอมพลิจูด 50 $\mu$ A .....	37
5.4 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1 MHz แอมพลิจูด 50 $\mu$ A .....	37
5.5 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1 kHz แอมพลิจูด 50 $\mu$ A .....	38
5.6 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 10kHz แอมพลิจูด 50 $\mu$ A .....	38
5.7 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมพลิจูด 50 $\mu$ A .....	39
5.8 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1MHz แอมพลิจูด 50 $\mu$ A .....	39
5.9 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1 kHz แอมพลิจูด 10 $\mu$ A .....	40
5.10 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10 kHz แอมพลิจูด 10 $\mu$ A.....	41





## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.39 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมป์ลิจูด 10 $\mu$ A .....	57
5.40 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1MHz แอมป์ลิจูด 10 $\mu$ A .....	57
5.41 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1 kHz แอมป์ลิจูด 1 $\mu$ A .....	57
5.42 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10 kHz แอมป์ลิจูด 1 $\mu$ A .....	59
5.43 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 100 kHz แอมป์ลิจูด 1 $\mu$ A .....	59
5.44 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1 MHz แอมป์ลิจูด 1 $\mu$ A .....	60
5.45 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1 kHz แอมป์ลิจูด 1 $\mu$ A .....	60
5.46 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 10kHz แอมป์ลิจูด 1 $\mu$ A .....	61
5.47 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมป์ลิจูด 1 $\mu$ A .....	61
5.48 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรถ่อมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1MHz แอมป์ลิจูด 1 $\mu$ A .....	62
5.49 แสดงกระแสผิดพลาดของวงจรถ่อมและคงค่ากระแสที่เสนอกับวงจรที่สามารถ กำจัดความผิดพลาดจากความพลาดจากสัญญาณได้สองส่วน และวงจรแบบธรรมดา .....	63
5.50 แสดงกระแสผิดพลาดของวงจรถ่อมและคงค่ากระแสที่เสนอกับวงจร ถ่อมและคงค่ากระแสแบบธรรมดา .....	63
5.51 กราฟของขนาดและมุมเฟสของกระแสเอาพุตที่ความถี่ต่างๆ ของวงจรถ่อม และคงค่ากระแสแบบกลับเฟสที่เสนอ .....	64
5.52 กราฟของขนาดและมุมเฟสของกระแสเอาพุตที่ความถี่ต่างๆ ของวงจรถ่อม และคงค่ากระแสแบบไม่กลับเฟสที่เสนอ .....	65

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ใช้ซ้ำหรือจำหน่าย การค้า  
ไม่ว่ากรณีใดๆ กรุณาแจ้งชื่อเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.53 รูปวงจรสุ่มและคงค่ากระแสที่เสนอที่ใช้ในการต่อวงจรจริง .....	66
5.54 ค่าแรงดันอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส สัญญาณอินพุตเป็นคลื่นไซน์แอมพลิจูด 75 mV ความถี่ 1kHz.....	68
5.55 ค่าแรงดันอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส สัญญาณอินพุตเป็นคลื่นสามเหลี่ยมแอมพลิจูด 75 mV ความถี่ 1kHz.....	69
5.56 ค่าแรงดันอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส สัญญาณอินพุตเป็นคลื่นไซน์แอมพลิจูด 75 mV ความถี่ 1kHz.....	70
5.57 ค่าแรงดันอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส สัญญาณอินพุตเป็นคลื่นสามเหลี่ยมแอมพลิจูด 75 mV ความถี่ 1kHz.....	71



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ในช่วงกลางปี ค.ศ. 1980 บทบาทของการประมวลผลสัญญาณอนาลอกถูกแทนที่ด้วยการประมวลผลสัญญาณดิจิทัล เนื่องจากมีการพัฒนากระบวนการผลิตวงจรรวมดิจิทัล VLSI (Very-Large Scale Integrated Circuit) เกิดขึ้น ซึ่งทำให้สามารถสร้างระบบประมวลผลสัญญาณแบบดิจิทัลที่มีความซับซ้อนเป็นวงจรรวมบนชิปตัวเดียวได้ และมีต้นทุนการผลิตต่ำ ระบบดิจิทัลนั้นมีข้อดีกว่าระบบอนาลอกเนื่องจากมีความยืดหยุ่นมากกว่า ออกแบบและทดสอบง่ายกว่า และไม่ได้รับผลกระทบจากสัญญาณรบกวน แต่อย่างไรก็ตามสัญญาณที่ระบบประมวลผลสัญญาณต้องเชื่อมต่อด้วยมักจะเป็นสัญญาณอนาลอก ระบบประมวลผลสัญญาณดิจิทัลจึงต้องใช้วงจรที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิทัล และวงจรที่ใช้จำกัดค่าสัญญาณอนาลอก เช่น วงจรกรองต่อไว้ภายนอก ระบบ เพื่อให้เชื่อมต่อกับสัญญาณจากภายนอก [1]

เพื่อที่จะรวมระบบประมวลผลสัญญาณดิจิทัลและวงจรมอนาลอกที่ใช้เชื่อมต่อกับภายนอกให้รวมอยู่บนชิปเดียวกัน ได้มีการพัฒนาการผลิตชิปวงจรรวมที่เป็นโหมดผสมสัญญาณอนาลอกกับดิจิทัล (mixed-mode signal processing chip) โดยใช้เทคโนโลยี CMOS ซึ่งในส่วนอนาลอกจะใช้วงจรประมวลผลสัญญาณอนาลอกแบบสุ่มค่าข้อมูลในโหมดกระแส คือ วงจรสวิตซ์กระแส (switched current) เนื่องจากการผลิตวงจรสวิตซ์กระแสจะใช้เพียงกระบวนการผลิตซีมอสพื้นฐานแบบเดียวกับที่ใช้ผลิตวงจรรวมดิจิทัลเท่านั้น ไม่จำเป็นต้องเพิ่มกระบวนการในการผลิตคาปาซิเตอร์ที่มีความเป็นเชิงเส้นเหมือนวงจรสวิตซ์คาปาซิเตอร์ซึ่งเป็นวงจรประมวลผลสัญญาณอนาลอกในโหมดแรงดัน จึงทำให้การผลิตวงจรรวมโหมดผสมสัญญาณอนาลอกและดิจิทัลนั้นสามารถทำได้ง่าย และมีค่าใช้จ่ายต่ำ [2]

วงจรสุ่มและคงค่ากระแส (Current Sample and Hold Circuit) นั้น เป็นวงจรซึ่งถูกนำมาใช้งานในการประมวลผลสัญญาณอนาลอกแบบสุ่มค่าข้อมูลในโหมดกระแส เช่น ใช้ในวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล หรือวงจรกรองแบบสุ่มค่ากระแส เป็นต้น สำหรับวงจรสุ่มและคงค่ากระแสที่สร้างจากทรานซิสเตอร์แบบมอสโดยใช้เทคนิคสวิตซ์กระแส นั้น ปัญหาหลักที่ทำให้ความถูกต้องของวงจรถดลงก็คือ ความผิดพลาดที่เกิดจากสัญญาณนาฬิกา (Clock Feedthrough Error) ซึ่งแบ่งได้เป็น 2 ส่วน คือ ส่วนที่ขึ้นอยู่กับสัญญาณอินพุต และส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต เพื่อที่จะแก้ไขปัญหานี้ ได้มีการออกแบบวงจรที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาขึ้น โดยบางวงจรสามารถกำจัดความผิดพลาดได้เพียงบางส่วน [3,4] และบางวงจร

สามารถกำจัดความผิดพลาดได้ทั้งสองส่วน [5] แต่ต้องใช้แหล่งจ่ายแรงดันที่มีค่าสูง และใช้กำลังงานมาก

## 1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์ที่จะเสนอวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ วงจรจะใช้แหล่งจ่ายแรงดันที่มีค่าต่ำลง และใช้กำลังงานน้อยกว่าวงจรที่มีอยู่ [5] โดยวงจรที่เสนอนี้จะสร้างขึ้นจากทรานซิสเตอร์แบบมอส จึงสามารถนำไปสร้างเป็นวงจรรวมโดยใช้กระบวนการผลิตชิมอสแบบพื้นฐานได้ และสามารถนำไปใช้งานร่วมกับวงจรประมวลผลสัญญาณอนาล็อกที่สร้างจากชิมอส เพื่อใช้ในวงจรรวมโหมคผสมสัญญาณอนาล็อกกับดิจิทัลได้

## 1.3 ขอบเขตของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้เสนอวงจรสุ่มและคงค่ากระแสที่ออกแบบขึ้นมา และทำการจำลองการทำงานของวงจรสุ่มและคงค่ากระแสที่เสนอนี้ ด้วยโปรแกรม PSPICE เพื่อวิเคราะห์การทำงานของวงจร โดยโมเดลของทรานซิสเตอร์ที่ใช้ในการวิเคราะห์ คือ  $1.2\ \mu\text{m}$  Standard-CMOS Process พร้อมทั้งใช้ไอซีต่อวงจรขึ้นจริงเพื่อพิจารณาผลการทำงานของวงจรด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

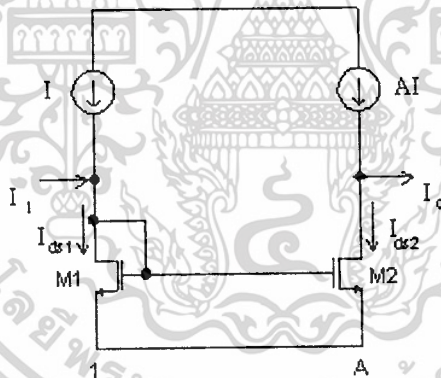
## บทที่ 2

### การประมวลผลสัญญาณในโหมดกระแส

การประมวลผลสัญญาณในโหมดกระแสนั้นสามารถจะทำโอเปอเรชั่นต่างๆ เช่น การกลับค่าสัญญาณ (Inversion), การคูณด้วยค่าคงที่ (Scaling), การรวมสัญญาณ (Summation), และการคูณสัญญาณ (Multiplication) ได้ง่าย และสามารถออกแบบให้ทำงานที่แรงดันต่ำได้ง่ายกว่าวงจรในโหมดแรงดันด้วย การประมวลผลสัญญาณในโหมดกระแสนั้น สามารถแบ่งประเภทของวงจรได้สองประเภท คือ วงจรที่ทำงานต่อเนื่องทางเวลา และวงจรที่ทำงานโดยใช้การสุ่มค่าข้อมูล [6]

#### 2.1 การประมวลผลสัญญาณแบบต่อเนื่องทางเวลา

วงจรพื้นฐานที่ใช้ในการประมวลผลสัญญาณในโหมดกระแสคือวงจรสะท้อนกระแส (current mirror) ที่สร้างจากทรานซิสเตอร์แบบมอส ดังรูปที่ 2.1



รูปที่ 2.1 วงจรสะท้อนกระแสที่สร้างจากทรานซิสเตอร์แบบมอส

วงจรประกอบด้วยแหล่งจ่ายกระแสไบอัส 2 ตัว ทรานซิสเตอร์แบบมอส 2 ตัว คือ M1 และ M2 โดยขาเกตและขาเดรนของ M1 จะต่อถึงกันหรือต่อในลักษณะไดโอดนั่นเอง และขาเกตของ M1 และ M2 จะต่อกันอยู่ สมมติ M1 และ M2 ถูกไบอัสให้ทำงานในย่านอิ่มตัว และไม่คิดผลจาก Channel Length Modulation กำหนดให้กระแสอินพุต  $I_i = 0$  จะได้กระแสเดรนของ M1 เท่ากับ

$$I_{ds1} = \frac{1}{2} k(W/L)(V_{gs1} - V_T)^2 \quad (2.1)$$

โดย  $k$  คือค่าทรานสคอนดักแตนซ์พารามิเตอร์,  $V_T$  คือค่าแรงดันขีดเริ่มของทรานซิสเตอร์ M1 และ M2 ซึ่งเท่ากัน,  $(W/L)$  คือค่าอัตราส่วนแอสเปคต์ (Aspect Ratio) ของ M1, และ  $V_{gs1}$  คือค่าแรงดันระหว่างขาเกตกับขาซอสของ M1

ค่ากระแสสามารถแปลงให้อยู่ในรูปของค่าแรงดันระหว่างขาเกตและขาซอสของ M1 ได้โดยจัดรูปสมการ (2.1) ได้ดังนี้

$$V_{gs1} = \sqrt{\frac{2I_{ds1}}{k(W/L)}} + V_T \quad (2.2)$$

เนื่องจากขาเกตของ M1 และ M2 ต่อกันอยู่ ดังนั้นจะได้  $V_{gs1} = V_{gs2}$  ทำให้กระแสเดรนของ M2 มีค่าเป็นอัตราส่วนกับ  $I_{ds1}$  โดยขึ้นอยู่กับค่าอัตราส่วนแอสเปคต์  $(W/L)$  ในกรณีที่ค่าอัตราส่วนแอสเปคต์ของ M1 และ M2 เท่ากัน จะได้  $I_{ds1} = I_{ds2}$  และในกรณีที่อัตราส่วนแอสเปคต์ของ M2 เป็น A เท่าของ M1 คือ  $(W/L)_2 = A(W/L)_1$  จะได้

$$I_{ds2} = AI_{ds1} \quad (2.3)$$

ถ้าใส่กระแสอินพุต  $I_i$  ที่อินพุตของวงจร กระแส  $I_{ds1}$  จะเท่ากับผลรวมของกระแสไบอัสกับกระแสอินพุต

$$I_{ds1} = I + I_i \quad (2.4)$$

และกระแสเดรนของ M2 จะเท่ากับ

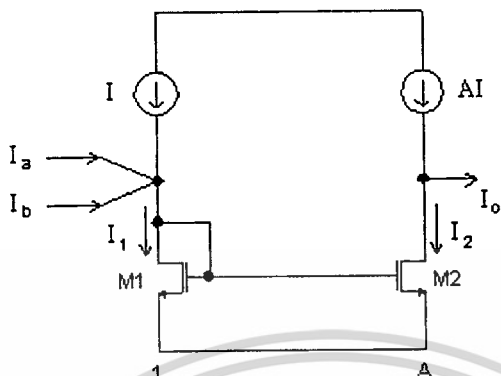
$$I_{ds2} = A(I + I_i) \quad (2.5)$$

ใช้กฎการรวมกระแสของเคอร์ชอฟ (Kirchoff's Current Law) ที่ขาเดรนของ M2 จะได้

$$I_o = -AI_i \quad (2.6)$$

กระแสเข้าพุตที่ได้จะมีเครื่องหมายตรงข้ามและมีค่าเป็น A เท่าของกระแสอินพุต นั่นก็คือกระแสอินพุตถูกนำมาทำการกลับค่าและคูณด้วยค่าคงที่ สำหรับการรวมสัญญาณอินพุตหลายๆสัญญาณแต่ละสัญญาณสามารถต่อเข้าที่อินพุตของวงจรได้โดยตรงดังรูปที่ 2.2 ดังนั้นวงจรสะท้อนกระแสจึงสามารถนำสัญญาณมาทำโอเปอเรชันการรวมสัญญาณ, การกลับค่าสัญญาณ, และการคูณด้วยค่าคงที่ได้ง่าย ซึ่งโอเปอเรชันต่างๆ เหล่านี้ สามารถนำมารวมกันให้เกิดเป็นโอเปอเรชันที่

ซับซ้อนขึ้น เพื่อใช้ในการประมวลผลสัญญาณได้ เช่น การอินทิเกรต การกรองความถี่ของสัญญาณ หรือการแปลงสัญญาณจากอนาลอกเป็นดิจิทัล



รูปที่ 2.2 การรวมสัญญาณอินพุตของวงจรสะท้อนกระแส

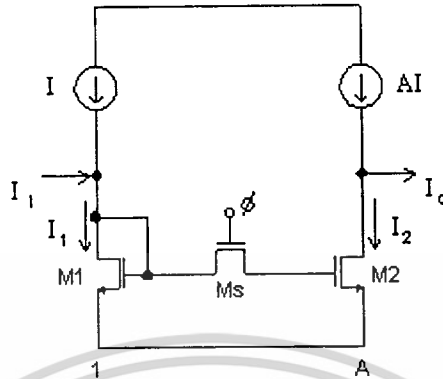
สำหรับวงจรพื้นฐานในโหมดกระแสนี้ การรวมสัญญาณอินพุตมากกว่าหนึ่งสัญญาณสามารถทำได้โดยไม่ต้องต่อวงจรเพิ่ม แต่ถ้าต้องการเข้าพุตมากกว่าหนึ่งจะต้องทำการต่อวงจรเพิ่มโดยเพิ่มส่วนวงจรที่ใช้สะท้อนกระแสอินพุตเข้าไป ซึ่งต่างกับระบบที่อยู่ในโหมดแรงดันที่ต้องต่อวงจรเพิ่มเมื่อต้องการรวมอินพุต แต่เข้าพุตเพียงเข้าพุตเดียวสามารถนำไปต่อที่หลายๆจุดได้

## 2.2 การประมวลผลสัญญาณแบบสุ่มค่าข้อมูล

การประมวลผลสัญญาณในโหมดกระแส นั้น นอกจากจะทำในแบบต่อเนื่องทางเวลาแล้ว ยังสามารถทำในแบบสุ่มค่าข้อมูลได้ด้วย จากการพัฒนาของวงจรสวิทช์คาปาซิเตอร์ทำให้เทคนิคการประมวลผลสัญญาณอนาลอกแบบใช้การสุ่มค่าข้อมูลถูกนำไปใช้อย่างกว้างขวาง โดยเมื่อเปรียบเทียบกับวงจรที่ทำงานต่อเนื่องทางเวลา วงจรสวิทช์คาปาซิเตอร์จะมีความถูกต้องสูงกว่าและประหยัดพื้นที่มากกว่า โดยเฉพาะที่ความถี่ต่ำ ๆ และเช่นเดียวกับวงจรในโหมดแรงดัน วงจรในโหมดกระแสก็มีเทคนิคสวิทช์กระแส ที่สามารถจะทำการประมวลผลสัญญาณแบบใช้การสุ่มค่าข้อมูลได้เช่นกัน โดยที่การผลิตวงจรสวิทช์กระแส นั้นใช้เพียงกระบวนการผลิตซีมอสพื้นฐานเท่านั้น เพราะวงจรสวิทช์กระแสจะใช้ตัวเก็บประจุแฝง (Parasitic Capacitance) ที่ขาเกตของทรานซิสเตอร์แบบมอสเป็นตัวเก็บค่าข้อมูล ไม่จำเป็นต้องเพิ่มกระบวนการผลิตตัวเก็บประจุที่มีความเป็นเชิงเส้นเพื่อใช้เก็บค่าข้อมูลแบบที่ใช้ในวงจรสวิทช์คาปาซิเตอร์

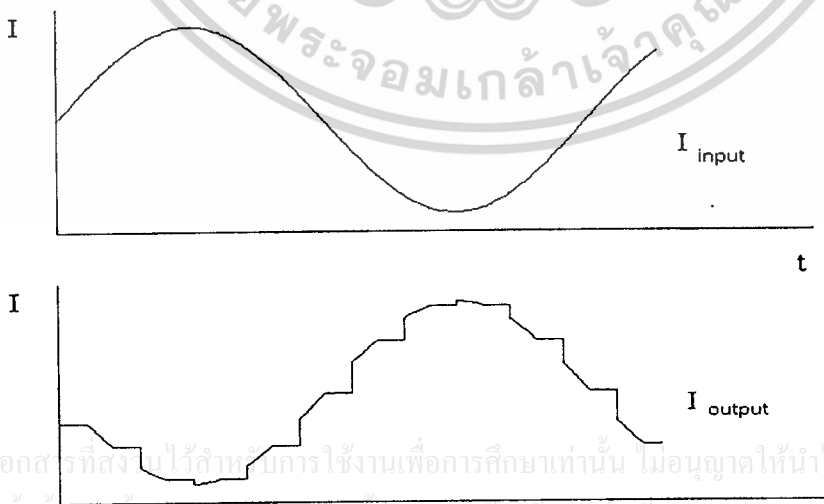
ในการทำการประมวลผลสัญญาณแบบสุ่มค่าข้อมูลในโหมดกระแสมีโอเปอเรชันพื้นฐานที่ต้องใช้อยู่ 4 ชนิดคือ กลับค่าสัญญาณ, การคูณด้วยค่าคงที่, การรวมสัญญาณ และการดีเลย์สัญญาณ ในหัวข้อก่อนได้ทำการอธิบายถึงการทำโอเปอเรชัน 3 อย่างแรกด้วยวงจรสะท้อนกระแสไปแล้ว

และในหัวข้อนี้กล่าวถึงวงจรที่ใช้ในการดีเลย์สัญญาณคือ วงจรสุ่มและคงค่ากระแส (Current Sample and Hold Circuit)



รูปที่ 2.3 วงจรสุ่มและคงค่ากระแส

วงจรสุ่มและคงค่ากระแสสามารถสร้างได้จากวงจรสะท้อนกระแสในรูปที่ 2.1 โดยการใส่สวิทช์เข้าไปที่ระหว่างขาเกตของทรานซิสเตอร์ M1 และ M2 ดังแสดงในรูปที่ 2.3 สวิทช์ที่ใส่เพิ่มเข้าไปจะถูกควบคุมการปิดและเปิดด้วยสัญญาณนาฬิกา เมื่อสวิทช์ Ms ปิดขาเกตของทรานซิสเตอร์ M1 และ M2 จะต่อถึงกัน วงจรจะเป็นเหมือนวงจรสะท้อนกระแสธรรมดา กระแสเข้าพุทจะมีเครื่องหมายตรงข้ามและมีค่าเป็น A เท่าของกระแสอินพุต และเมื่อสวิทช์เปิดออกขาเกตของทรานซิสเตอร์ทั้งสองตัวก็จะแยกออกจากกัน แรงดันที่ขาเกตของ M1 ซึ่งขึ้นอยู่กับการค่าของกระแสอินพุตในช่วงเวลาที่สวิทช์เปิดออกจะถูกเก็บไว้โดยตัวเก็บประจุแผ่นที่ขาเกตของทรานซิสเตอร์ M2 แรงดัน  $V_{gs2}$  จึงยังคงที่ ทำให้ค่ากระแสเข้าพุทยังคงเท่ากับค่าในช่วงเวลาที่สวิทช์เปิดออก รูปคลื่นของกระแสอินพุตและเข้าพุทของวงจรสุ่มและคงค่ากระแสแสดงในรูปที่ 2.4



รูปที่ 2.4 กระแสอินพุตและกระแสเข้าพุทของวงจรสุ่มและคงค่ากระแส

## 2.3 ความผิดพลาดที่เกิดขึ้นในวงจรสวิตช์กระแส

ในหัวข้อก่อนไม่ได้พิจารณาความผิดพลาดที่เกิดขึ้นในวงจรสวิตช์กระแส ความผิดพลาดที่เกิดขึ้นแบ่งเป็นประเภทต่างๆ ได้ดังนี้ ความผิดพลาดจากค่าออฟเซ็ทกระแสตรง (DC-Offset Error), ความผิดพลาดของอัตราขยายกระแสสลับ (AC-Gain Error) , และการเกิดฮาร์โมนิกคิสทอชัน (Harmonic - Distortion) ความผิดพลาดจากค่าออฟเซ็ทกระแสตรงจะบวกกระแสเพิ่มหรือลบกระแสออกจากกระแสอินพุต ความผิดพลาดของอัตราขยายกระแสสลับจะเปลี่ยนค่าอัตราขยายของสัญญาณ และฮาร์โมนิกคิสทอชันจะลดช่วงการทำงานของวงจร สาเหตุที่สำคัญของความผิดพลาดเหล่านี้เกิดจาก การไม่สมพจน์ (Mismatch) ของอุปกรณ์ในวงจร และผลกระทบจากสัญญาณนาฬิกา (Clock Feedthrough Effect)

### 2.3.1 การไม่สมพจน์กันของอุปกรณ์ในวงจร

ความถูกต้องแม่นยำในการทำงานของระบบประมวลผลสัญญาณแบบใช้การสุ่มค่าตัวอย่างในโหมดกระแสขึ้นขึ้นอยู่กับ การสมพจน์ (Match) กันของทรานซิสเตอร์ ในวงจรสุ่มและคงค่า กระแสขึ้นอุปกรณ์ที่ไม่สมพจน์กันจะทำให้เกิดความผิดพลาดขึ้นกับกระแสเอาพุต

การไม่สมพจน์กันของค่าพารามิเตอร์ของทรานซิสเตอร์นั้นเป็นผลมาจากกระบวนการผลิต ค่าพารามิเตอร์ที่ไม่สมพจน์กันแล้วทำให้เอาพุตเกิดความผิดพลาดมาก ได้แก่ แรงดันขีดเริ่ม  $V_T$  , ทรานสคอนดัคแตนซ์พารามิเตอร์  $k$  , และอัตราส่วนแอสเปค  $(W/L)$  โดยทั่วไปค่าแรงดันขีดเริ่มจะเป็นสาเหตุสำคัญที่สุดของการเกิดความผิดพลาด

ในวงจร โหมดกระแสจะสนใจผลกระทบของไม่สมพจน์ต่อความถูกต้องของสัญญาณกระแส ใช้วงจรสะท้อนกระแสในรูปที่ 2.1 เพื่อแสดงค่าความผิดพลาดที่เกิดในกระแสเอาพุตในรูปของพารามิเตอร์ที่ไม่สมพจน์กันตามที่อธิบายไว้ได้ โดยพิจารณาวงจรสะท้อนกระแสในรูปที่ 2.1 ที่มีสัญญาณกระแสอินพุต  $I_i = \hat{I}_i \sin \omega t$  ถ้าทรานซิสเตอร์ M1 และ M2 ไม่สมพจน์กันจะเกิดความผิดพลาดในกระแสเอาพุต

การไม่สมพจน์ของแรงดันขีดเริ่มคือสาเหตุหลักของความผิดพลาดที่เกิดจากการไม่สมพจน์ทั้งหมด พิจารณาความผิดพลาดที่เกิดจากการไม่สมพจน์ของแรงดันขีดเริ่มนี้ โดยสมมติ M1 และ M2 ของรูปที่ 2.1 ให้มีค่าพารามิเตอร์เหมือนกันหมดยกเว้นแรงดันขีดเริ่ม และสมมติให้แหล่งจ่ายกระแสไบอัสที่จ่ายให้แก่ M1 และ M2 นั้นเท่ากัน ค่ากระแสเดรนของทรานซิสเตอร์ M2 จะมีค่าดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้  $I_{d2} = (k'_2/2)(V_{gs2} - V_{T2})^2$  จึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำ (2.7)

โดย  $k' = k(W/L)$  เนื่องจากขาเกทของ M1 และ M2 ต่อกันอยู่จึงทำให้  $V_{gs1} = V_{gs2}$  และกำหนดให้

$$V_{gs1} = V_{T1} + \sqrt{\frac{2(I + I_i)}{k'}} \quad (2.8)$$

แทนค่าสมการ (2.7) ลงในสมการ (2.8) และใช้การกระจายแบบไบนอมิเยล จะได้

$$I_{ds2} = I \left[ 1 + 2 \frac{\Delta V_T}{(V_{gs} - V_{T1})} + \left( \frac{\Delta V_T}{V_{gs} - V_{T1}} \right)^2 \right] + I \left\{ (I_i/I) + \frac{2\Delta V_T}{V_{gs} - V_{T1}} \left[ \frac{(\hat{I}_i/I)}{2} - \frac{(\hat{I}_i/I)^2}{8} + \frac{(\hat{I}_i/I)^3}{16} - \dots \right] \right\} \quad (2.9)$$

โดย  $I_{ds2} = I + I_i$  ในทางอุดมคติ แต่ค่ากระแส  $I_{ds2}$  ที่ได้จากสมการ (2.9) จะมีค่าออฟเซ็ทกระแสตรงเกิดขึ้นเป็นเทอมที่สองและสามในบรรทัดแรก ซึ่งค่าออฟเซ็ทกระแสตรงจะขึ้นอยู่กับกระแสไบอัส  $I$  และในทางอุดมคติบรรทัดที่สองของสมการ (2.9) ควรจะเท่ากับกระแสอินพุต  $I_i$  แต่เนื่องจากแรงดันขั้วเริ่มไม่สมพจน์กัน จึงเกิดความผิดพลาดของอัตราขยายกระแสกลับ และเกิดฮาร์โมนิกคิสทอซันขึ้นดังสมการ ค่าความผิดพลาดของอัตราขยายกระแสกลับ ( $\Delta G$ ) ของกระแสเข้าพุตมีค่าประมาณนี้

$$\Delta G \approx \frac{2\Delta V_T}{V_{gs} - V_T} \hat{I}_i \quad (2.10)$$

และค่าฮาร์โมนิกคิสทอซันรวมมีค่าประมาณ

$$THD \approx \frac{\Delta V_T}{I(V_{gs} - V_T)} \hat{I}_i \quad (2.11)$$

จากสมการ (2.10) และ (2.11) จะเห็นว่าค่าฮาร์โมนิกคิสทอซันและค่าความผิดพลาดของอัตราขยายกระแสกลับ จะมีค่าน้อยลงในกรณีที่กระแสอินพุตมีค่าน้อยเมื่อเปรียบเทียบกับกระแสไบอัส และในกรณีที่แรงดันระหว่างขาเกทกับขาซอสมีค่ามาก ส่วนความผิดพลาดที่เกิดจากความกว้าง, ความยาว และค่าทรานสคอนดักแตนซ์พารามิเตอร์ของทรานซิสเตอร์ที่ไม่สมพจน์กันนั้น [7] เป็นดังตาราง 2.1 ซึ่งต่างจากค่าความผิดพลาดที่เกิดจากแรงดันขั้วเริ่มตรงที่ไม่ทำให้เกิดฮาร์โมนิกคิสทอซันเนื่องจากมีความสัมพันธ์กับกระแสเดรนและซอสของทรานซิสเตอร์อย่างเป็นเชิงเส้น



มีค่าประมาณนี้

$$V_c = \frac{C_c}{C_g}(V_H - V_L) \quad (2.12)$$

โดย  $C_c$  เป็นค่าความจุประจุแฝงของสวิตช์  $M_s$

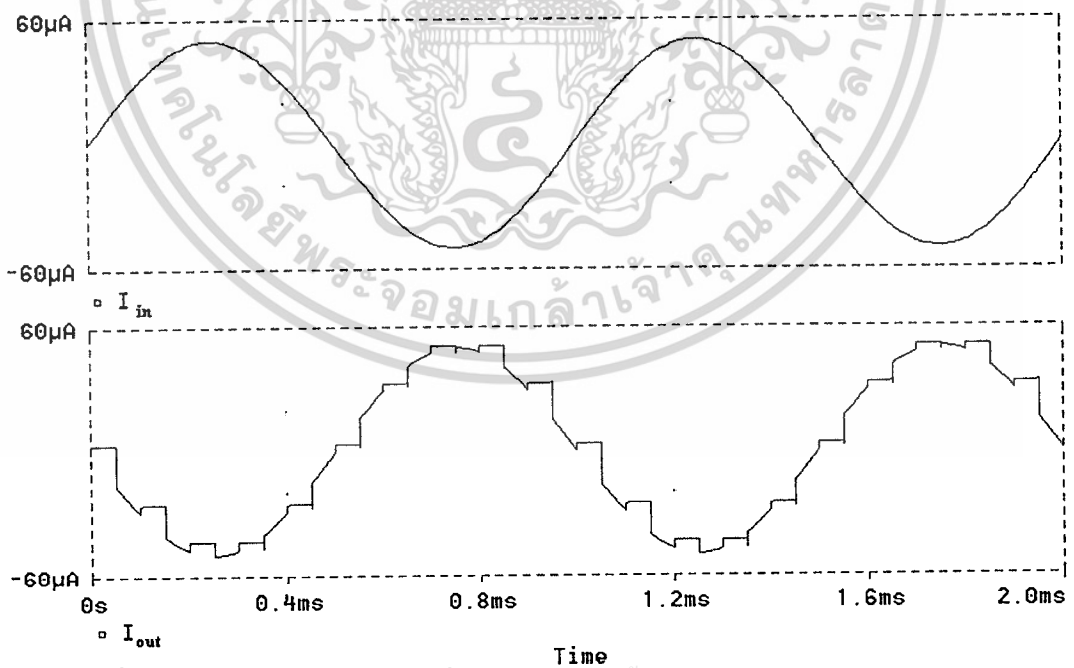
$C_g$  เป็นค่าความจุประจุแฝงของทรานซิสเตอร์  $M_2$

$V_H$  คือค่าแรงดันระดับสูงของสัญญาณนาฬิกา

$V_L$  คือค่าแรงดันระดับต่ำของสัญญาณนาฬิกา

เพื่อแสดงผลกระทบของสัญญาณนาฬิกา ที่มีต่อกระแสเข้าพุด พิจารณาวงจรสุ่มและคงค่ากระแสในรูปที่ 2.5 ใส่กระแสอินพุตเป็นขายนีให้กับวงจร และทำการจำลองการทำงานของวงจร จะได้ผลการจำลองการทำงานดังรูปที่ 2.6

กระแสเข้าพุดตามทฤษฎีควรจะคงค่าไว้ที่ค่าขณะช่วงเวลาสวิตช์เปิด แต่สัญญาณเข้าพุดที่ได้จริงๆ จะมีค่ากระแสออฟเซ็ทซึ่งเกิดจากผลกระทบจากสัญญาณนาฬิกากรวมเข้าไป ทำให้เกิดความผิดเพี้ยนของสัญญาณในรูปของความผิดพลาดของอัตราขยายกระแสสลับ, ค่าออฟเซ็ทกระแสตรง, และฮาร์โมนิคคิสทอซัน ความผิดพลาดที่เกิดจากสัญญาณนาฬิกานี้จะคล้ายกับความผิดพลาดที่เกิดจากการไม่สมพงษ์กันของแรงดันจิดเริ่มแต่จะเปลี่ยนตามการเปลี่ยนแปลงของสัญญาณอินพุต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.6 กระแสอินพุตและกระแสเข้าพุดของวงจรสุ่มและคงค่ากระแส

### 2.3.3 วิธีลดผลกระทบที่เกิดจากสัญญาณนาฬิกา

1. เลือกใช้คาปาซิเตอร์ที่ใช้คงค่าสัญญาณให้มีค่ามากเมื่อเทียบกับค่าคาปาซิแตนซ์ของสวิตช์จะสามารถลดการคับเปิดของสัญญาณนาฬิกาเข้าสู่โหนดที่เก็บค่าสัญญาณไว้ได้มาก ค่าของคาปาซิเตอร์ที่ใช้คงค่าสัญญาณนั้นสามารถทำให้มีค่ามากได้โดยใช้ทรานซิสเตอร์ M2 ซึ่งมีขนาดใหญ่ หรือใช้การเพิ่มตัวเก็บประจุไปที่ขาเกตของ M2 แต่การใช้คาปาซิเตอร์ที่คงค่าสัญญาณที่มีขนาดใหญ่ขึ้นนี้จะทำให้วงจรทำงานได้ที่ความถี่ต่ำลง

2. ใช้  $V_{gs}$  มีค่ามาก โดยออกแบบให้  $V_{gs}$  มีค่ามากที่สุดเท่าที่จะเป็นไปได้ ซึ่งจะทำให้แรงดัน คลอกพีคทรูมีค่าสูงขึ้น แต่จะมีค่าน้อยลงเมื่อเทียบเป็นเปอร์เซ็นต์กับค่าแรงดัน  $V_{gs}$  ซึ่งทำให้ความผิดพลาดที่เกิดขึ้นมีน้อยลง การออกแบบให้  $V_{gs}$  มีค่าสูงทำได้โดยใช้กระแสไบอัสให้สูงขึ้น หรือใช้ทรานซิสเตอร์ที่มีขนาดค่อนข้างเป็นสี่เหลี่ยมจัตุรัส ( ค่า  $(W/L)$  น้อย ) ประโยชน์อีกข้อของการเพิ่มค่า  $V_{gs}$  คือ ผลกระทบจากการไม่สมพงษ์กันของแรงดันขีดเริ่มจะลดลง

3. ใช้สัญญาณนาฬิกาปิดสวิตช์ช้าๆ ประจุที่จะไหลไปยังตัวเก็บประจุที่เก็บค่าข้อมูลไว้จะจจะรั่วไหลไปด้านซอสเป็นบางส่วน ซึ่งจะก่อให้เกิดความผิดพลาดน้อยลง

4. ใช้สัญญาณนาฬิกาที่มีระดับแรงดันต่ำ ถ้าค่าแรงดันสัญญาณนาฬิกามีค่าสูงก็จะทำให้แรงดันคลอกพีคทรูที่เกิดขึ้นมีค่าสูงตามไปด้วย ดังนั้นเพื่อที่จะลดค่าความผิดพลาดที่เกิดขึ้นจึงควรใช้สัญญาณนาฬิกาที่มีระดับแรงดันสูงแก่พอที่จะเปิดปิดสวิตช์ในวงจรได้

5. ลดอัตราส่วนสัญญาณต่อกระแสไบอัส สำหรับสัญญาณอินพุตที่มีค่ามากกว่าแรงดันคลอกพีคทรู ก็จะมีค่ามากตามไปด้วย ซึ่งเป็นผลทำให้เกิดฮาร์โมนิกคิสทอชันมากขึ้นด้วย โดยทั่วไปจึงควรใช้ค่าของสัญญาณประมาณ 50 เปอร์เซ็นต์ของกระแสไบอัส

นอกจากวิธีที่กล่าวมาแล้ว สามารถใช้การออกแบบโครงสร้างของวงจรให้สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ โดยใช้การหักล้างกันของกระแสผิดพลาดที่เกิดขึ้น

## 2.4 สรุป

การประมวลผลสัญญาณในโหมดกระแสสามารถแบ่งได้เป็น 2 แบบ คือ การประมวลผลสัญญาณแบบต่อเนื่องทางเวลา และการประมวลผลสัญญาณแบบสุ่มค่าข้อมูล ในการประมวลผลสัญญาณแบบสุ่มค่าข้อมูลในโหมดกระแสจะใช้วงจรสวิตช์กระแส ซึ่งมีวงจรสุ่มและคงค่ากระแสเป็นวงจรพื้นฐาน ในการทำงานของวงจรสวิตช์กระแสนั้น ความผิดพลาดของวงจรมีสาเหตุสำคัญมาจากการไม่สมพงษ์กันของอุปกรณ์ในวงจร และผลกระทบจากสัญญาณนาฬิกา สำหรับการลดผลกระทบที่เกิดจากสัญญาณนาฬิกาสามารถทำได้ตามวิธีในหัวข้อ 2.3.3 หรืออาจใช้การออกแบบโครงสร้างของวงจรให้สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ ซึ่งจะกล่าวถึงรายละเอียดในบทต่อไป

## บทที่ 3

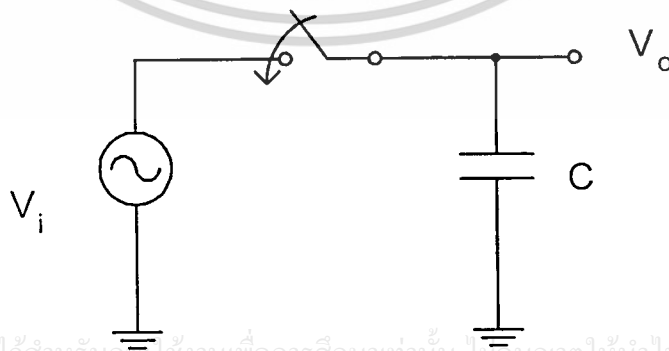
### วงจรสุ่มและคงค่ากระแส

ในบทนี้จะเป็นการกล่าวถึงหลักการทำงานของวงจรสุ่มและคงค่าสัญญาณ และการทำงานของวงจรสุ่มและคงค่ากระแสแบบต่าง ๆ โดยจะเริ่มจากวงจรสุ่มและคงค่ากระแสแบบธรรมดา วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาทั้งสองส่วน พร้อมทั้งพิจารณาความผิดพลาดที่เกิดจากสัญญาณนาฬิกาที่เกิดขึ้นในแต่ละวงจรเพื่อเปรียบเทียบกันด้วย

#### 3.1 หลักการทำงานของวงจรสุ่มและคงค่าสัญญาณ

วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold Circuit) จะถูกนำมาใช้ในระบบประมวลผลสัญญาณที่ต้องการคงค่าสัญญาณที่มีการเปลี่ยนแปลงอย่างรวดเร็วไว้ช่วงเวลาหนึ่ง เพื่อให้ระบบสามารถทำการประมวลผลสัญญาณได้ การทำงานของวงจรจะแบ่งเป็น 2 ช่วง คือช่วงการสุ่มค่าเอาพุตของวงจรจะมีค่าตามค่าอินพุตของวงจรตลอด จนถึงการดำเนินงานช่วงที่สอง คือ ช่วงการคงค่าเอาพุตของวงจรจะคงที่ อยู่ที่ค่าที่สุ่มมาในเวลาสุดท้ายก่อนเข้าสู่ช่วงการคงค่า

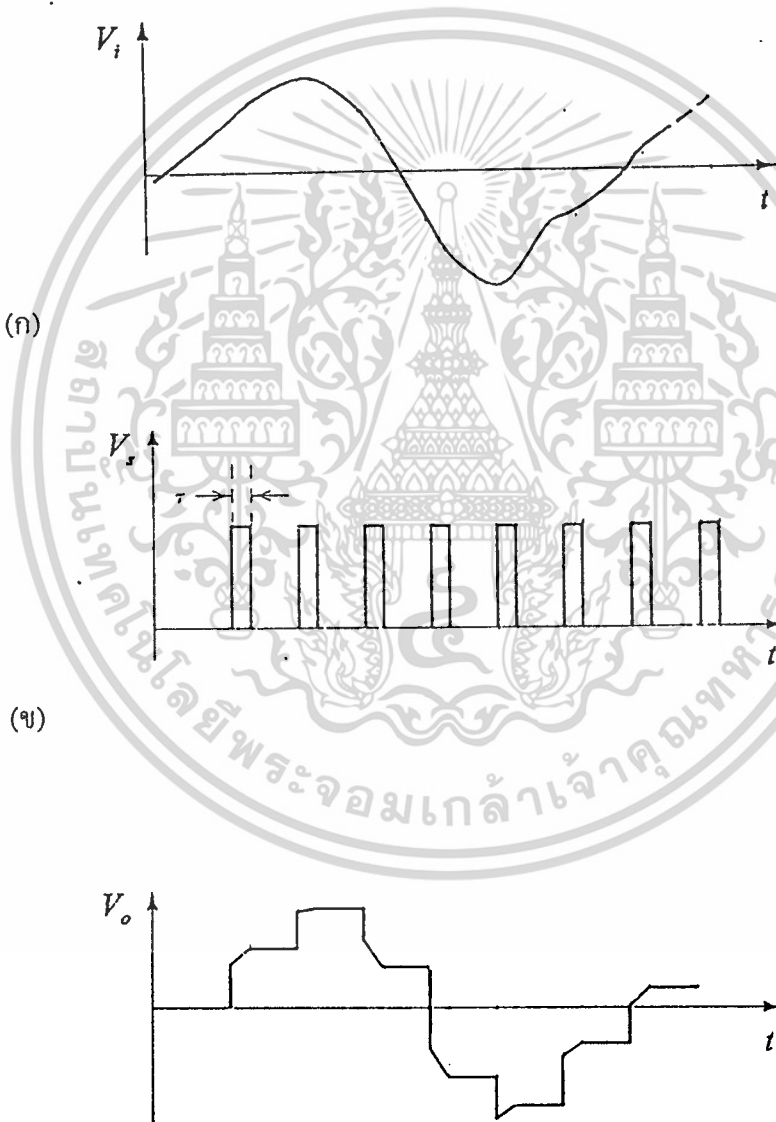
วงจรสุ่มและคงค่าสัญญาณ [8] แสดงในรูปที่ 3.1 ประกอบด้วยตัวเก็บประจุที่ใช้คงค่าสัญญาณ และสวิตช์ซึ่งถูกควบคุมการปิดเปิดด้วยสัญญาณนาฬิกาซึ่งเป็นการควบคุมช่วงการสุ่มและการคงค่าของวงจร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรณีใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 วงจรสุ่มและคงค่าสัญญาณ

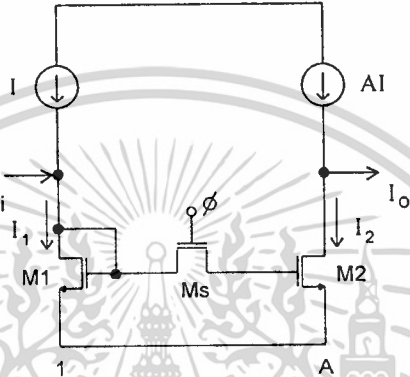
จากวงจรในรูปที่ 3.1 ถ้าป้อนอินพุตตามรูปที่ 3.2 (ก) และใช้สัญญาณนาฬิกาตามรูปที่ 3.2 (ข) จะได้เอาพุตตามรูปที่ 3.2 (ค) ซึ่งอธิบายการทำงานได้ว่า ในช่วงเวลาที่สัญญาณนาฬิกามีค่าสูง สวิตช์จะปิด ด้านอินพุตและเอาพุตของวงจรจะต่อถึงกัน เอาพุตจึงมีค่าเท่ากับอินพุตและค่าแรงดันเอาพุตนี้จะตกคร่อมตัวเก็บประจุ  $C$  ที่ทำหน้าที่คงค่าสัญญาณด้วย เมื่อสัญญาณนาฬิกามีค่าต่ำลง สวิตช์จะเปิดออก เอาพุตของวงจรจะแยกออกจากอินพุตและมีค่าเท่ากับค่าแรงดันที่เก็บไว้บนตัวเก็บประจุ  $C$  ซึ่งเท่ากับค่าเอาพุตค่าสุดท้ายในช่วงเวลาสุ่มค่านั่นเอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
รูปที่ 3.2 สัญญาณต่างๆในวงจรสุ่มและคงค่าสัญญาณ (ก) สัญญาณอินพุตที่ป้อนให้วงจร  
(ข) สัญญาณนาฬิกา (ค) สัญญาณเอาพุตที่ได้จากวงจร

### 3.2 วงจรสุ่มและคงค่ากระแสแบบธรรมดา

วงจรสุ่มและคงค่ากระแสแบบธรรมดาแสดงในรูปที่ 3.3 ประกอบด้วยทรานซิสเตอร์แบบ NMOS M1 และ M2 ซึ่งมีค่าอัตราส่วนแอสเพลเป็น 1 และ A ตามลำดับ ทำงานอยู่ในสภาวะอิ่มตัว และถูกไบอัสด้วยแหล่งจ่ายกระแสตรง  $I$  และ  $AI$  มีสวิตช์ MS ต่ออยู่ระหว่างขาเกตของ ทรานซิสเตอร์ M1 และ M2 สวิตช์ MS จะถูกควบคุมการปิดเปิดด้วยสัญญาณนาฬิกา  $\phi$  ซึ่งเป็นการควบคุมการสุ่มและคงค่ากระแสของวงจร



รูปที่ 3.3 วงจรสุ่มและคงค่ากระแสแบบธรรมดา

โดยเมื่อสัญญาณนาฬิกามีระดับสูง สวิตช์ MS จะปิด กำหนดให้ช่วงเวลานี้เป็นช่วงเวลา  $n$  ขาเกตของ M1 และ M2 จะต่อถึงกัน วงจรจะเป็นเหมือนวงจรขยายแบบสะท้อนกระแส (Current Mirror Amplifier) กระแสเดรนของ M1 มีค่าเป็น

$$I_1(n) = I + I_i(n) \quad (3.1)$$

เนื่องจากขาเกตของทรานซิสเตอร์ M1 และ M2 ต่อถึงกัน ค่าแรงดันระหว่างขาเกตกับซอสของทรานซิสเตอร์ทั้งสองตัวจะมีค่าเท่ากัน

$$V_{gs1}(n) = V_{gs2}(n) \quad (3.2)$$

ทรานซิสเตอร์ M2 มีอัตราส่วนแอสเพลเป็น A เท่าของ M1 จึงทำให้กระแสเดรนของ M2 มีค่าเป็น  $A$  เท่าของกระแสเดรนของ M1

$$I_2(n) = AI + AI_i(n) \quad (3.3)$$

เอกสารนี้เป็นเอกสารที่เผยแพร่ฟรีเพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และกระแสเข้าพุดมีค่าเป็น

$$\begin{aligned} I_o(n) &= AI - I_2(n) \\ &= -AI_i(n) \end{aligned} \quad (3.4)$$

ที่ช่วงเวลานี้ค่ากระแสเข้าพุดจะมีค่าเป็น  $-A$  เท่าของกระแสอินพุต นั่นก็คือเป็นช่วงเวลา ที่วงจรทำการสลับค่ากระแสอยู่ และเมื่อสัญญาณนาฬิกาเปลี่ยนเป็นระดับต่ำ สวิตช์ MS จะเปิด ทำให้ ขาเกทของทรานซิสเตอร์ M1 และ M2 แยกออกจากกัน ค่าแรงดันที่ขาเกทเมื่อช่วงเวลาที่วงจรทำ การสลับค่ากระแสนั้นยังคงเก็บอยู่บนตัวเก็บประจุแฝงที่ขาเกทของทรานซิสเตอร์ M2 ถ้ากำหนดให้ ช่วงเวลานี้เป็นช่วงเวลา  $(n+1/2)$  จะได้

$$V_{gs2}(n+1/2) = V_{gs2}(n) \quad (3.5)$$

ซึ่งทำให้ค่ากระแสเข้าพุดของวงจรในเวลานี้ยังคงมีค่าเท่ากับค่ากระแสเข้าพุดที่ช่วงเวลาที่สลับค่า

$$I_o(n+1/2) = -AI_i(n) \quad (3.6)$$

นั่นก็คือในช่วงเวลานี้วงจรทำการคงค่ากระแสไว้ เป็นอันครบกระบวนการสลับและคงค่ากระแส

จากที่กล่าวไปในบทที่แล้วว่า ในการทำงานจริงนั้น สวิตช์ MS ไม่ได้ทำงานเป็นอุดมคติ จึง ไม่สามารถหลีกเลี่ยงความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ โดยเมื่อสวิตช์ MS เปิด หรืออยู่ใน สภาวะคัตออฟ ประจุที่อยู่ในชาแนลของ MS จะถูกปล่อยออกมาและไหลไปยังตัวเก็บประจุแฝงที่ ขาเกทของ M2 ทำให้ค่าแรงดัน  $V_{gs2}$  ที่เก็บค่าข้อมูลไว้เปลี่ยนไป เป็นเหตุให้ค่ากระแสเดรนของ ทรานซิสเตอร์ M2 เปลี่ยนไปด้วย จึงทำให้เกิดความผิดพลาดของกระแสเข้าพุดขึ้น ค่าแรงดันที่ ทำให้  $V_{gs2}$  เปลี่ยนไปนี้ก็คือ ค่าแรงดันคลอกฟีดทอร์,  $V_c$  จากสมการ (2.12) ซึ่งจะยกมาเขียนใหม่ ในที่นี้เพื่อง่ายต่อการพิจารณา มีค่าดังนี้

$$V_c = \frac{C_c}{C_g}(V_H - V_L) \quad (3.7)$$

โดย  $C_c$  เป็นค่าความจุประจุแฝงของสวิตช์  $M_s$

$C_g$  เป็นค่าความจุประจุแฝงของทรานซิสเตอร์  $M_2$

$V_H$  คือค่าแรงดันระดับสูงของสัญญาณนาฬิกา

$V_L$  คือค่าแรงดันระดับต่ำของสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่ควรนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ จากสมการ (3.7) พบว่า ค่าแรงดันคลอกฟีดทอร์จะขึ้นอยู่กับ ค่าความจุประจุแฝงของสวิตช์, ความจุประจุแฝงของทรานซิสเตอร์ที่ใช้เก็บค่าข้อมูล, และระดับแรงดันของสัญญาณนาฬิกาด้วย

พิจารณาวงจรคู่และคงค่ากระแสในกรณีที่คิดผลของความผิดพลาดที่เกิดจากสัญญาณนาฬิกา

เมื่อสวิตช์ MS ปิดในช่วงเวลา  $n$  ที่ทำการสุ่มค่า กระแสเดรนของ M1 มีค่าเท่ากับ

$$I_1(n) = I + I_i(n) = \frac{1}{2} k(W/L)(V_{gs1}(n) - V_T)^2 \quad (3.8)$$

กระแสอินพุตมีค่าเท่ากับ

$$I_i(n) = -I + \frac{1}{2} k(W/L)(V_{gs1}(n) - V_T)^2 \quad (3.9)$$

และกระแสเดรนของ M2 มีค่าเท่ากับ

$$I_2(n) = AI - I_o(n) = \frac{1}{2} Ak(W/L)(V_{gs2}(n) - V_T)^2 \quad (3.10)$$

โดย  $k$  และ  $V_T$  คือค่าทรานสคอนดักแตนซ์พารามิเตอร์และแรงดันเทรชโฮลของทรานซิสเตอร์ M1 และ M2 ส่วน  $(W/L)$  คืออัตราส่วนแอสเปคของทรานซิสเตอร์ M1 เนื่องจากช่วงเวลาคู่ค่านี้นี้ สวิตช์ MS ปิด ทำให้  $V_{gs1}(n) = V_{gs2}(n)$  จึงได้กระแสเข้าพุต  $I_o(n) = -AI_i(n)$  เมื่อสวิตช์ MS เปิด ที่ช่วงเวลา  $(n+1/2)$  จะได้

$$I_2(n+1/2) = AI - I_o(n+1/2) = \frac{1}{2} Ak(W/L)(V_{gs2}(n+1/2) - V_T)^2 \quad (3.11)$$

เนื่องจากมีค่าแรงดัน  $V_c$  ซึ่งเป็นผลกระทบจากการเปลี่ยนสัญญาณนาฬิกาจากระดับสูงเป็นระดับต่ำ จึงทำให้ค่าแรงดันที่ขาเกตของ M2 ในช่วงเวลานี้เปลี่ยนไปจากค่าที่ช่วงเวลาคู่ค่านี้นี้

$$\begin{aligned} V_{gs2}(n+1/2) &= V_{gs2}(n) - V_c \\ &= V_{gs1}(n) - V_c \end{aligned} \quad (3.12)$$

แทนค่า  $V_{gs2}(n+1/2)$  ลงในสมการ (3.11) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับนักเรียนที่สอบโดยมีค่า  $I_2(n+1/2) = AI - I_o(n+1/2) = \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_c - V_T)^2$  ขงนด้านกรค่า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
หรือ

$$I_o(n+1/2) = AI - \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_T)^2 - 2(V_{gs1}(n) - V_T) V_c + V_c^2)^2$$

จากค่า  $I_i(n)$  ในสมการ (3.9) จะได้

$$I_o(n+1/2) = -AI_i(n) + Ak(W/L)(V_{gs1}(n) - V_T) V_c - \frac{1}{2} Ak(W/L) V_c^2 \quad (3.12)$$

จากค่ากระแสเข้าพุด  $I_o(n+1/2)$  ในสมการ (3.12) จะเห็นว่ากระแสส่วนที่เกิดจากผลของการเปลี่ยนแปลงระดับสัญญาณนาฬิกาเกิดขึ้น ซึ่งทำให้ค่ากระแสเข้าพุดที่ได้ผิดพลาดไป กระแสส่วนนี้เป็นกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกา (Clock Feedthrough Current),  $I_{cft}$  มีค่าดังนี้

$$I_{cft}(n+1/2) = -\frac{1}{2} Ak(W/L) V_c^2 + Ak(W/L)(V_{gs1}(n) - V_T) V_c \quad (3.13)$$

โดยส่วนแรกของ  $I_{cft}$  จะขึ้นอยู่กับค่า  $V_c$  เรียกส่วนนี้ว่าค่ากระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต (Signal Independent Clock Feedthrough Current) ส่วนที่สองของ  $I_{cft}$  จะขึ้นอยู่กับค่า  $V_c$  และค่า  $V_{gs1}(n)$  และเนื่องจากค่า  $V_{gs1}(n)$  นั้นขึ้นอยู่กับค่ากระแสอินพุต โดย  $V_{gs1}(n) = \sqrt{(2/k)(L/W)(I + I_i(n))} + V_T$  จึงเรียกส่วนที่สองของ  $I_{cft}$  นี้ว่าค่ากระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต (Signal Dependent Clock Feedthrough Current)

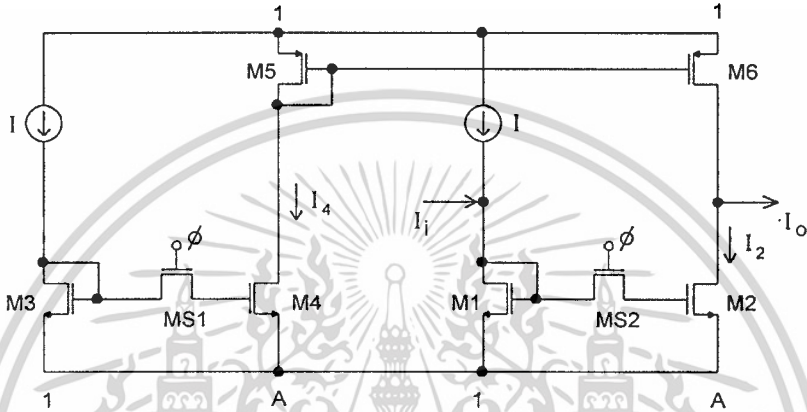
เพื่อที่จะกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกานั้นสามารถทำได้โดยวิธีที่เสนอในหัวข้อ 2.3.3 เช่น การเพิ่มค่าของตัวเก็บประจุแผ่นที่ขาเกตของทรานซิสเตอร์  $C_g$  ซึ่งจะทำให้ค่าแรงดัน  $V_c$  ลดลง แต่วิธีนี้จะต้องใช้กระบวนการผลิตเพิ่มเติมในการสร้างตัวเก็บประจุที่มีค่ามากที่ขาเกตของทรานซิสเตอร์หรือใช้การเพิ่มขนาดทรานซิสเตอร์เพื่อให้มีค่าเก็บประจุแผ่นที่ขาเกตสูงขึ้น แต่จะทำให้วงจรทำงานได้ที่ความถี่ต่ำลง เพื่อหลีกเลี่ยงวิธีการต่างๆนี้ ได้มีการคิดเทคนิคซึ่งใช้โครงสร้างของวงจร มาช่วยในการกำจัดความผิดพลาดจากสัญญาณนาฬิกาขึ้น หลายวงจรด้วยกัน ดังจะกล่าวถึงในหัวข้อต่อจากนี้

### 3.3 วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต

วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต [3] แสดงในรูปที่ 3.4 ทรานซิสเตอร์ M1, M3, M5 และ M6 มีค่าอัตราส่วนแอสเปคเท่ากับ 1 ทรานซิสเตอร์ M2 และ M4 มีขนาดเท่ากัน และมีค่าอัตราส่วนแอสเปค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ  $A$  สวิตช์ MS1 และ MS2 มีขนาดเท่ากันและถูกควบคุมด้วยสัญญาณนาฬิกาเดียวกัน เมื่อสวิตช์ในวงจรเปิดออกในช่วงเวลาค่ากระแส จะเกิดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาขึ้นกับกระแส  $I_2$  และ  $I_4$  ของวงจร โดยมีส่วนที่ไม่ขึ้นอยู่กับการสัญญาณอินพุตเท่ากัน และทรานซิสเตอร์ M5 และ M6 จะสะท้อนกระแส  $I_4$  ไปลบกับกระแส  $I_2$  ที่โหนดเข้าพุทของวงจร ทำให้วงจรสามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับการสัญญาณอินพุตออกจากกระแสเข้าพุทได้



รูปที่ 3.4 วงจรคู่และคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับการสัญญาณอินพุต

ในช่วงเวลาสุ่มค่า  $n$  สวิตช์ MS1 และ MS2 ปิด กระแสเดรนของ M2 มีค่าเท่ากับ

$$I_2(n) = AI + AI_i(n) = \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_T)^2 \quad (3.14)$$

กระแสเดรนของ M5 มีค่าเท่ากับกระแสเดรนของ M4 และเนื่องจากขาเกทของ M5 ต่ออยู่กับขาเกทของ M6 กระแสเดรนของ M6 จึงมีค่าเท่ากับกระแสเดรนของ M4 ซึ่งมีค่าเท่ากับ

$$I_4(n) = AI = \frac{1}{2} Ak(W/L)(V_{gs3}(n) - V_T)^2 \quad (3.15)$$

ทำให้ค่ากระแสเข้าพุทมีค่าดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$$\begin{aligned} \text{ไม่ว่ากรณีใดๆที่ } I_o'(n) &= I_4(n) - I_2(n) \text{ แปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้} \\ &= -AI_i(n) = \frac{1}{2} Ak(W/L)((V_{gs3}(n) - V_T)^2 - (V_{gs1}(n) - V_T)^2) \end{aligned} \quad (3.16)$$

ที่ช่วงเวลาคงค่ากระแส เมื่อสวิตช์ MS1 และ MS2 เปิดออก จะเกิดแรงดันคลอกพีคที่ขาเกตของ M2 และ M4 ทำให้กระแสเดรนของ M2 มีค่าดังนี้

$$\begin{aligned} I_2(n+1/2) &= \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_c - V_T)^2 \\ &= \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_T)^2 - 2(V_{gs1}(n) - V_T)V_c + V_c^2 \end{aligned} \quad (3.17)$$

และกระแสเดรนของ M<sub>4</sub> มีค่าดังนี้

$$\begin{aligned} I_4(n+1/2) &= \frac{1}{2} Ak(W/L)(V_{gs3}(n) - V_c - V_T)^2 \\ &= \frac{1}{2} Ak(W/L)(V_{gs3}(n) - V_T)^2 - 2(V_{gs3}(n) - V_T)V_c + V_c^2 \end{aligned} \quad (3.18)$$

และได้กระแสเข้าพุดมีค่าเท่ากับ

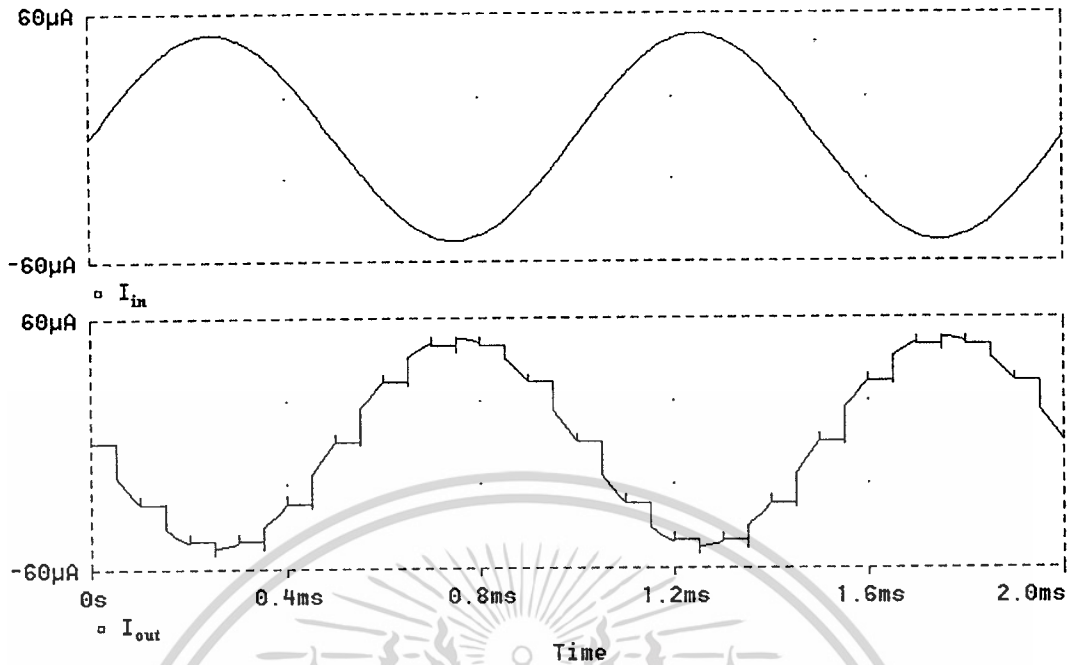
$$\begin{aligned} I_o(n+1/2) &= I_4(n+1/2) - I_2(n+1/2) \\ &= \frac{1}{2} Ak(W/L)(V_{gs3}(n) - V_T)^2 - (V_{gs1}(n) - V_T)^2 - Ak(W/L)(V_{gs3}(n) - V_{gs1}(n)) V_c \end{aligned}$$

จากค่า  $-AI_i(n)$  ในสมการ (3.16) จะได้

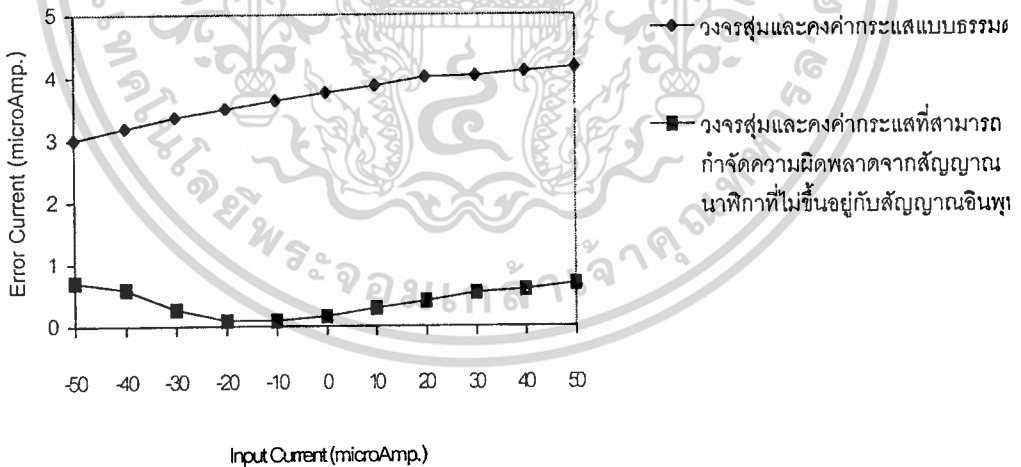
$$I_o(n+1/2) = -AI_i(n) - Ak(W/L)(V_{gs3}(n) - V_{gs1}(n)) V_c \quad (3.19)$$

จากค่ากระแสเข้าพุดที่ช่วงเวลาคงค่าในสมการ (3.19) จะเห็นว่าวงจรนี้สามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กัสัญญาณอินพุตได้ทั้งหมด เหลือเพียงเทอม  $-Ak(W/L)(V_{gs3}(n) - V_{gs1}(n)) V_c$  ซึ่งเป็นกระแสผิดพลาดที่ขึ้นอยู่กัสัญญาณอินพุต เพื่อพิจารณาผลการทำงานของวงจร ได้ใช้โปรแกรม PSPICE จำลองการทำงานของวงจร โดยกำหนดให้ใช้ทรานซิสเตอร์ที่มีขนาด  $(W/L)$  เท่ากับ  $40\mu\text{m}/8\mu\text{m}$  สวิตช์มีขนาด  $(W/L)$  เท่ากับ  $2\mu\text{m}/1.2\mu\text{m}$  และใช้ค่า A เป็น 1 ผลการทำงานของวงจรเป็นดังรูปที่ 3.3 ซึ่งแสดงรูปคลื่นของกระแสอินพุตและกระแสเข้าพุดของวงจร และรูปที่ 3.4 แสดงค่ากระแสผิดพลาดที่เกิดขึ้นที่กระแสอินพุตค่าต่างๆ

เอกสารนี้เป็นของวงจรมอนิเตอร์ที่ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 รูปคลื่นของกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต โดยสัญญาณอินพุตมีความถี่เท่ากับ 1 kHz สัญญาณ นาฬิกามีความถี่เท่ากับ 10 kHz



รูปที่ 3.6 แสดงค่ากระแสผิดพลาดที่อินพุตค่าต่างๆ ของวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับกระแสอินพุตและวงจรสุ่มแบบธรรมดาเป็นการคำนวณการนำเอาค่ากระแสผิดพลาดที่อินพุตค่าต่างๆ มาคูณด้วยค่าคงที่และนำค่าที่ได้มาลบกับค่ากระแสอินพุตที่อินพุตค่าต่างๆ ไม่ว่ากรณีใดๆ ทั้งสิ้นและคงค่ากระแสแบบธรรมดา โดยสัญญาณนาฬิกามีความถี่เท่ากับ 10 kHz มีการนำไปใช้



ในช่วงเวลาสุ่มค่า  $n$  จากวงจรกระแสเดรนของ  $M_4$ ,  $M_5$  และ  $M_2$  จะมีค่าเท่ากับ ซึ่งเท่ากับ

$$I_2(n) = AI + AI_1(n) = \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_T)^2 \quad (3.20)$$

กระแสเดรนของ  $M_3$  มีค่าดังนี้

$$I_3(n) = 2AI + 2AI_1(n) = Ak(W/L)(V_{gs1}(n) - V_T)^2 \quad (3.21)$$

และกระแสเข้าพุดมีค่าเท่ากับ

$$\begin{aligned} I_o(n) &= I_2(n) + AI - I_3(n) \\ &= -AI_1(n) = AI - \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_T)^2 \end{aligned} \quad (3.22)$$

ในช่วงเวลาคางค่ากระแส  $(n + 1/2)$  สวิตช์  $MS_1$  และ  $MS_2$  จะเปิดออกทำให้เกิดแรงดันคลอกฟีดทรูขึ้นที่ขาเกตของทรานซิสเตอร์  $M_2$  และ  $M_3$  เนื่องจากค่าความจุประจุแฝงที่ขาเกตของทรานซิสเตอร์จะเป็นสัดส่วนกับค่าพื้นที่เกตดิฟฟิวชัน (Gate Diffusion Area) ซึ่งมีค่าประมาณ  $WL$  ค่าความจุประจุแฝงที่ขาเกตของทรานซิสเตอร์  $M_3$  จึงมีค่าเป็น 2 เท่าของค่าความจุประจุแฝงที่ขาเกตของทรานซิสเตอร์  $M_2$  คือ  $C_{g3} = 2C_{g2}$  และจากสมการ (3.7) ค่าแรงดันคลอกฟีดทรูจะเป็นส่วนกลับกับค่า  $C_g$  ทำให้ค่าแรงดันคลอกฟีดทรูที่ขาเกตของ  $M_3$  มีค่าเป็นครึ่งหนึ่งของที่ขาเกตของ  $M_2$  ถ้ากำหนดให้แรงดันคลอกฟีดทรูที่ขาเกตของ  $M_2$  เป็น  $V_c$  จะได้แรงดันคลอกฟีดทรูที่ขาเกตของ  $M_3$  เป็น  $\frac{V_c}{2}$  จึงได้กระแสเดรนของ  $M_2$  เท่ากับ

$$\begin{aligned} I_2(n + 1/2) &= \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_T - V_c)^2 \\ &= \frac{1}{2} Ak(W/L)((V_{gs1}(n) - V_T)^2 - 2(V_{gs1}(n) - V_T)V_c + V_c^2) \end{aligned} \quad (3.23)$$

กระแสเดรนของ  $M_3$  เท่ากับ

$$\begin{aligned} I_3(n + 1/2) &= Ak(W/L)(V_{gs1}(n) - V_T - \frac{V_c}{2})^2 \\ &= Ak(W/L)\left((V_{gs1}(n) - V_T)^2 - 2(V_{gs1}(n) - V_T)\frac{V_c}{2} + \frac{V_c^2}{4}\right) \end{aligned} \quad (3.24)$$

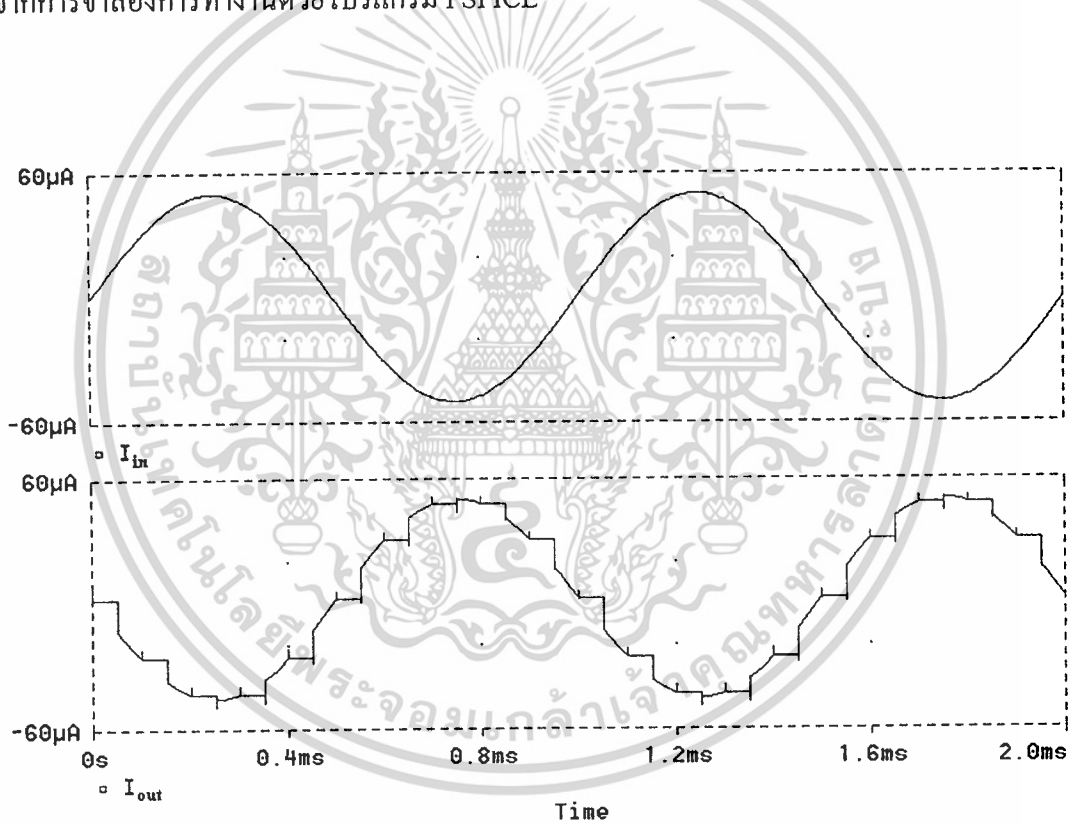
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า และได้กระแสเข้าพุดเท่ากับ

$$\begin{aligned} I_o(n + 1/2) &= I_2(n + 1/2) + AI - I_3(n + 1/2) \\ &= AI - \frac{1}{2} Ak(W/L)(V_{gs1}(n) - V_T)^2 + \frac{1}{4} Ak(W/L)V_c^2 \end{aligned}$$

จากค่า  $-AI_i(n)$  ในสมการ (3.22) จะได้

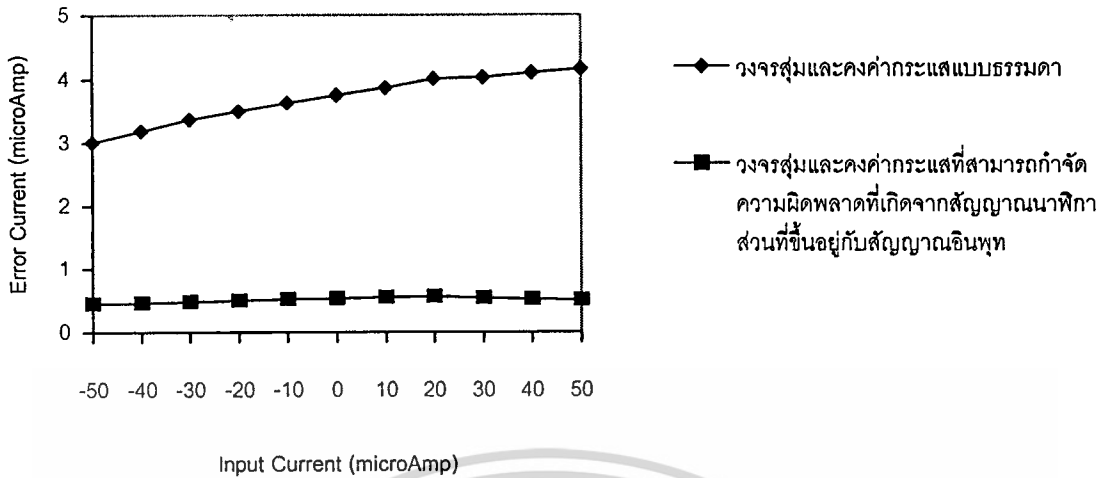
$$I_o(n+1/2) = -AI_i(n) + \frac{1}{4} Ak(W/L)V_c^2 \quad (3.25)$$

จากค่ากระแสเข้าพุดในสมการ (3.25) จะเห็นว่าวงจรนี้สามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุตได้หมด เหลือเพียงเทอม  $\frac{1}{4} Ak(W/L)V_c^2$  ซึ่งเป็นกระแสผิดพลาดที่ไม่ขึ้นอยู่กับสัญญาณอินพุต รูปที่ 3.8 แสดงรูปคลื่นของกระแสอินพุตและเข้าพุดของวงจร โดยสัญญาณอินพุตมีความถี่เท่ากับ 1kHz สัญญาณนาฬิกามีความถี่เท่ากับ 10kHz รูปที่ 3.9 แสดงค่ากระแสผิดพลาดเทียบกับวงจรสุ่มและคงค่ากระแสแบบพื้นฐาน ซึ่งเป็นผลจากการจำลองการทำงานด้วยโปรแกรม PSPICE



รูปที่ 3.8 รูปคลื่นของกระแสอินพุตและเข้าพุดของวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต โดยสัญญาณอินพุตมีความถี่เท่ากับ 1 kHz และสัญญาณนาฬิกามีความถี่เท่ากับ 10 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

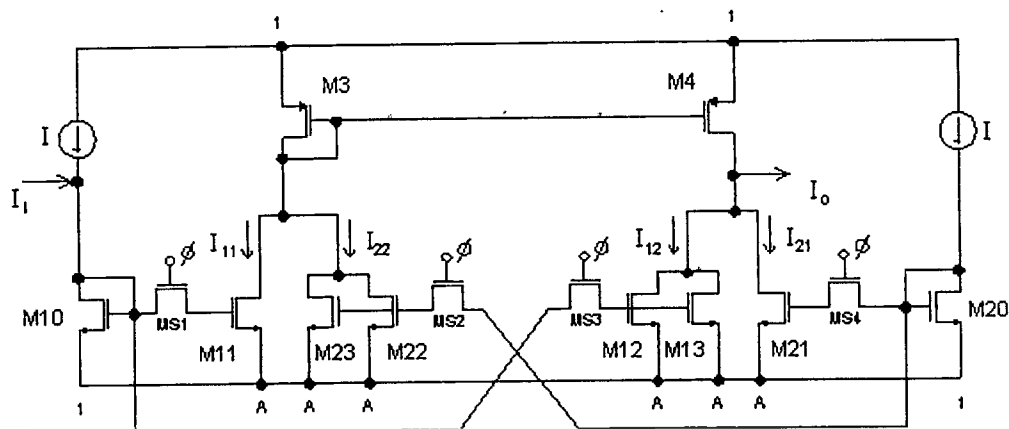


รูปที่ 3.9 แสดงค่ากระแสผิดพลาดที่อินพุตค่าต่างๆ ของวงจรสุ่มและคงค่ากระแสแบบธรรมดาและวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต โดยสัญญาณนาฬิกามีความถี่ 10 kHz

จากผลการจำลองการทำงานพบว่า ค่ากระแสผิดพลาดที่เกิดขึ้นนั้นมีค่าน้อยลงเมื่อเปรียบเทียบกับวงจรแบบธรรมดา และเนื่องจากวงจรสามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุตได้ ค่ากระแสผิดพลาดที่เหลืออยู่จึงเป็นส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุตซึ่งจะมีค่าค่อนข้างเท่าๆ กันที่ทุกๆ ค่าของกระแสอินพุต ดังแสดงในกราฟรูปที่ 3.9

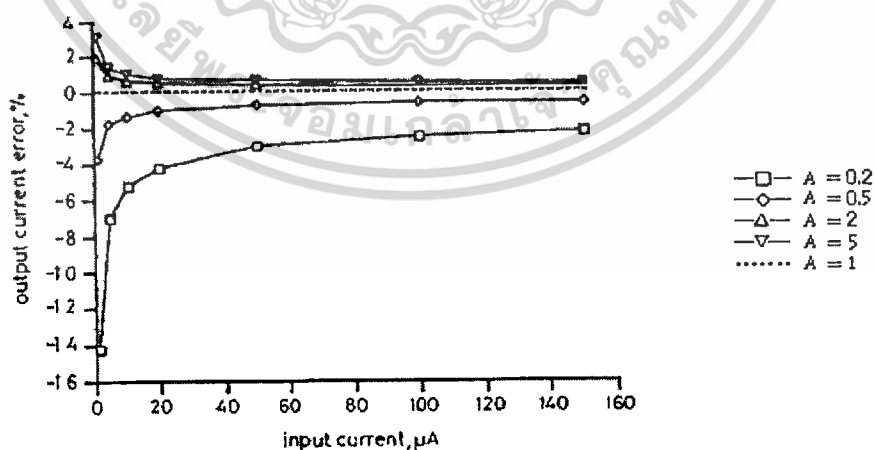
### 3.5 วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาทั้งสองส่วน

วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาทั้งสองส่วน [4] แสดงในรูปที่ 3.10 ทรานซิสเตอร์ M11, M12, M13, M21, M22 และ M23 จะมีขนาดเท่ากันและมีค่าอัตราส่วนแอสเพลคเป็น A สวิตช์ทุกตัวในวงจรมีขนาดเท่ากัน โดยเมื่อวงจรทำงานในช่วงเวลาคงค่า จะเกิดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาขึ้นในกระแส  $I_{11}$  รวมกับ  $I_{22}$  เท่ากับกระแสผิดพลาดที่เกิดขึ้นในกระแส  $I_{12}$  รวมกับ  $I_{21}$  ทั้งส่วนที่ขึ้นอยู่กับสัญญาณอินพุตและส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต ทรานซิสเตอร์ M3 จะรวมกระแส  $I_{11}$  กับ  $I_{22}$  และทรานซิสเตอร์ M4 จะสะท้อนกระแสจาก M3 มาลบออกจากกระแส  $I_{12}$  และ  $I_{21}$  ที่เข้าพุต เพื่อกำจัดกระแสผิดพลาดที่เกิดขึ้นทั้งหมด



รูปที่ 3.10 วงจรคู่และคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณพิก้า

อัตราขยายของวงจรสะท้อนกระแสและวงจรคู่และคงค่ากระแสจะขึ้นอยู่กับความกว้างขานแนลหรืออัตราส่วนแอสเปคของทรานซิสเตอร์ทางด้านเข้าพุต ถ้าใช้อัตราขยายเท่ากับหนึ่ง วงจรจะมีความถูกต้องสูง ถ้าใช้อัตราขยายมากกว่าหนึ่งมากหรือต่ำกว่าหนึ่งมากวงจรจะมีความผิดพลาดมากขึ้นตามไปด้วย เรียกว่าเป็นผลกระทบจากความกว้างขานแนล จากบทความของ H. K. Yang [5] ได้จำลองการทำงานของวงจรสะท้อนกระแสด้วยโปรแกรม SPICE เพื่อพิจารณากระแสผิดพลาดในวงจรที่เป็นผลมาจากความกว้างขานแนลของเข้าพุตทรานซิสเตอร์ โดยใช้ทรานซิสเตอร์ด้านอินพุตมีขนาด ( $W/L$ ) เท่ากับ  $10\mu\text{m}/10\mu\text{m}$  ให้ขนาดของทรานซิสเตอร์ด้านอินพุตคงที่ และเปลี่ยนอัตราขยายของวงจร โดยเปลี่ยนอัตราส่วนแอสเปคของทรานซิสเตอร์ด้านเข้าพุตเป็น A เท่ากับ 0.2, 0.5, 1, 2, และ 5 ได้ผลดังรูปที่ 3.11



รูปที่ 3.11 กระแสผิดพลาด (%) ของวงจรสะท้อนกระแสที่อัตราขยายค่าต่างๆ ไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ จากรูปที่ 3.11 วงจรสะท้อนกระแสที่มีอัตราขยายเท่ากับหนึ่งจะมีความถูกต้องสูงสุด และ วงจรจะมีความผิดพลาดมากขึ้นเมื่อมีอัตราขยายต่ำกว่าหรือสูงกว่าหนึ่งมากขึ้น ดังนั้นในวงจรคู่

และคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณพิกาทังสองส่วนนี้จึงใช้ทรานซิสเตอร์ M12 กับ M13 และ M22 กับ M23 ที่มีอัตราส่วนแอสเพลเท่ากับ A ต่อขนานกัน แทนการใช้ทรานซิสเตอร์ที่มีอัตราส่วนแอสเพลเท่ากับ 2A เพราะทรานซิสเตอร์ที่มีอัตราส่วนแอสเพลเท่ากับ A จะให้กระแสที่มีความถูกต้องสูงกว่าทรานซิสเตอร์ที่มีอัตราส่วนแอสเพลเท่ากับ 2A

พิจารณาการทำงานของวงจร ที่ช่วงเวลาสุ่มค่า สวิตช์ทุกตัวปิดจะได้

$$\begin{aligned} I_{11} &= \frac{1}{2} I_{12}(n) = AI + AI_i(n) \\ &= \frac{1}{2} Ak(W/L)(V_{gs10}(n) - V_T)^2 \end{aligned} \quad (3.26)$$

และ

$$\begin{aligned} I_{21} &= \frac{1}{2} I_{22}(n) = AI \\ &= \frac{1}{2} Ak(W/L)(V_{gs20}(n) - V_T)^2 \end{aligned} \quad (3.27)$$

กระแสเอาต์พุต

$$\begin{aligned} I_o(n) &= (I_{11} + I_{22}) - (I_{12} + I_{21}) \\ &= -\frac{1}{2} Ak(W/L)(V_{gs10}(n) - V_T)^2 + \frac{1}{2} Ak(W/L)(V_{gs20}(n) - V_T)^2 \\ &= -AI_i(n) \end{aligned}$$

ที่ช่วงเวลาคงค่า  $(n+1/2)$  เมื่อสวิตช์ทุกตัวในวงจรเปิด จะเกิดค่าแรงดันคลอกผิดพลาด กำหนดให้ค่าแรงดันคลอกผิดพลาดที่ขาเกทของ M11 และ M21 มีค่าเป็น  $V_c$  เนื่องจาก M12 ต่อขนานกับ M13 และ M22 ต่อขนานกับ M23 จึงมีขนาดเป็น 2 เท่าของ M11 และ M21 ทำให้ค่าแรงดันคลอกผิดพลาดที่ขาเกทของ M12 กับ M13 และ M22 กับ M23 เป็น  $\frac{V_c}{2}$  ที่ช่วงเวลานี้จึงได้ค่ากระแสในวงจรเป็นดังนี้

$$\begin{aligned} I_{11}(n+1/2) &= \frac{1}{2} Ak(W/L)(V_{gs10}(n) - V_c - V_T)^2 \\ &= \frac{1}{2} Ak(W/L)((V_{gs10}(n) - V_T)^2 - 2(V_{gs10}(n) - V_T)V_c + V_c^2) \end{aligned} \quad (3.28)$$

$$\begin{aligned} I_{12}(n+1/2) &= Ak(W/L)\left(V_{gs10}(n) - \frac{V_c}{2} - V_T\right)^2 \\ &= Ak(W/L)\left((V_{gs10}(n) - V_T)^2 - 2(V_{gs10}(n) - V_T)\frac{V_c}{2} + \frac{V_c^2}{4}\right) \end{aligned} \quad (3.29)$$

$$\begin{aligned} I_{21}(n+1/2) &= \frac{1}{2} Ak(W/L)(V_{gs20}(n) - V_c - V_T)^2 \\ &= \frac{1}{2} Ak(W/L)((V_{gs20}(n) - V_T)^2 - 2(V_{gs20}(n) - V_T)V_c + V_c^2) \end{aligned} \quad (3.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

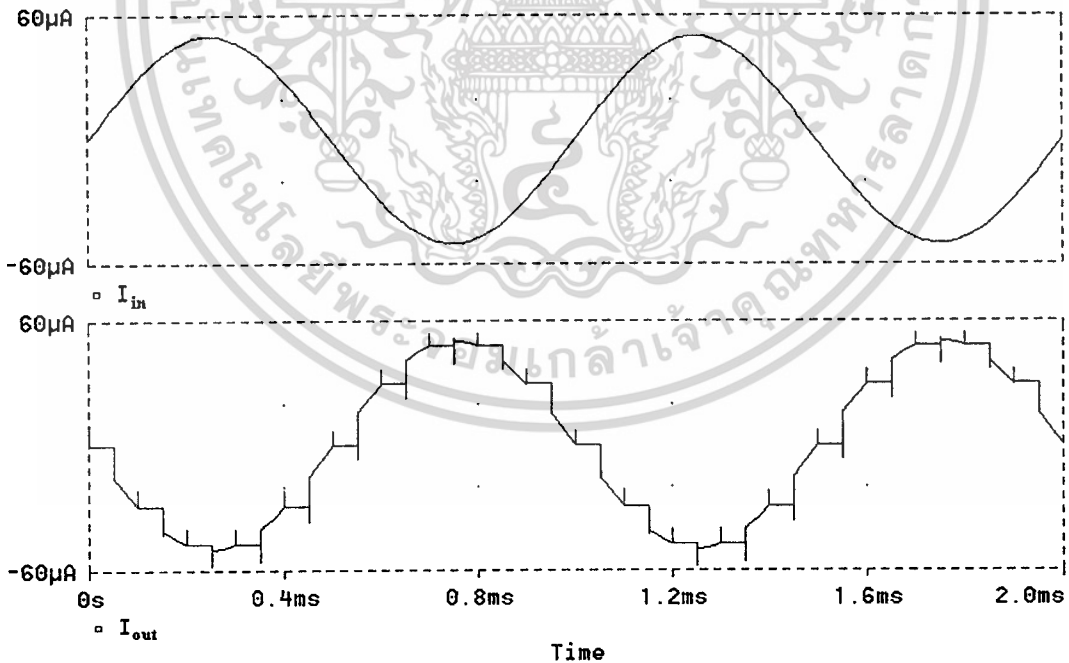
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 I_{22}(n+1/2) &= Ak(W/L) \left( V_{gs20}(n) - \frac{V_c}{2} - V_T \right)^2 \\
 &= Ak(W/L) \left( (V_{gs20}(n) - V_T)^2 - 2(V_{gs20}(n) - V_T) \frac{V_c}{2} + \frac{V_c^2}{4} \right) \quad (3.31)
 \end{aligned}$$

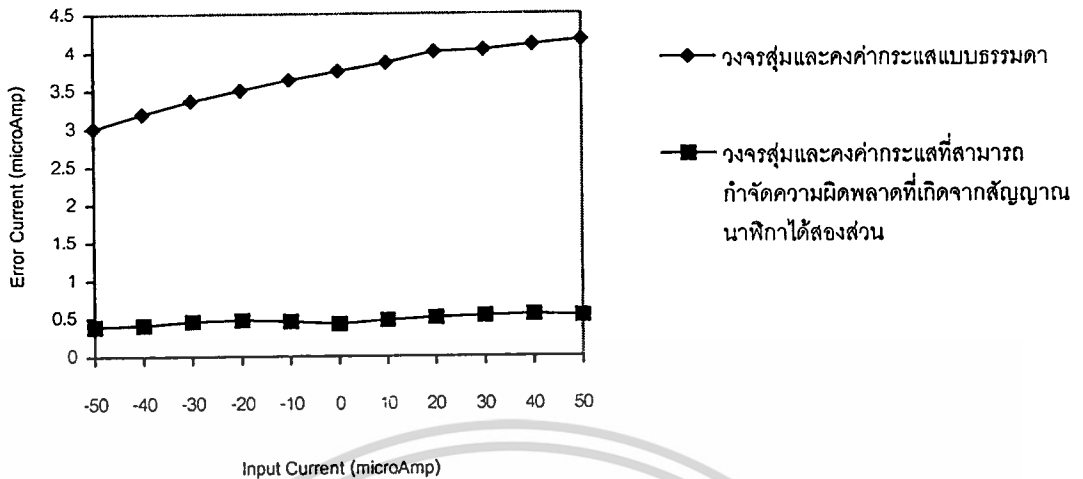
ซึ่งจะได้กระแสเข้าพุดเท่ากับ

$$\begin{aligned}
 I_o(n+1/2) &= (I_{11}(n+1/2) + I_{22}(n+1/2)) - (I_{12}(n+1/2) + I_{21}(n+1/2)) \\
 &= -\frac{1}{2} Ak(W/L)(V_{gs10}(n) - V_T)^2 + \frac{1}{2} Ak(W/L)(V_{gs20}(n) - V_T)^2 \\
 &= -AI_i(n) \quad (3.32)
 \end{aligned}$$

จากค่ากระแสเข้าพุดในสมการ (3.32) จะเห็นว่าวงจรนี้สามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ทั้งหมด เพื่อพิจารณาการทำงานของวงจร ได้ทำการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE ได้ผลดังรูปที่ 3.11 ซึ่งแสดงรูปคลื่นของกระแสอินพุตและเข้าพุดของวงจร โดยสัญญาณอินพุตมีความถี่เท่ากับ 1 kHz สัญญาณนาฬิกามีความถี่เท่ากับ 10 kHz และรูปที่ 3.12 แสดงค่ากระแสผิดพลาดเทียบกับวงจรสุ่มและคงค่ากระแสแบบธรรมดา



รูปที่ 3.12 แสดงรูปคลื่นของกระแสอินพุตและเข้าพุดของวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ทั้งสองส่วน โดยสัญญาณอินพุตมีความถี่เท่ากับ 1kHz สัญญาณนาฬิกามีความถี่เท่ากับ 10kHz



รูปที่ 3.13 แสดงค่ากระแสผิดพลาดที่อินพุตค่าต่างๆ ของวงจรสุ่มและคงค่ากระแสแบบธรรมดา และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ทั้งสองส่วน

จากผลการจำลองการทำงานของวงจรพบว่าวงจรมีค่ากระแสผิดพลาดน้อยกว่าวงจรสุ่มและคงค่ากระแสทั้งสามแบบที่กล่าวถึงก่อนหน้านี้นี้ เนื่องจากวงจรสามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ทั้งสองส่วน แต่ก็ไม่สามารถกำจัดความผิดพลาดได้ทั้งหมดตามสมการ (3.32) สังเกตได้จากกราฟในรูปที่ 3.12 ว่าวงจรมีค่ากระแสผิดพลาดเกิดขึ้นอยู่ วงจรมีค่ากระแสผิดพลาดเกิดขึ้นค่อนข้างมาก เนื่องจากที่ทรานซิสเตอร์ M3 และ M4 ในวงจรมีกระแสไหลผ่านมากถึง 3AI รวมกับกระแส A เท่าของกระแสอินพุต จึงต้องใช้แหล่งจ่ายแรงดันสูงถึง 5 โวลต์เพื่อไบอัสให้ทรานซิสเตอร์สามารถจ่ายกระแสได้สูง และการที่ทรานซิสเตอร์ M3 และ M4 สะท้อนกระแสที่มีค่าสูง กระแสผิดพลาดที่เกิดขึ้นจากการสะท้อนกระแสที่ไม่เป็นไปตามอุดมคติก็จะมีค่าสูงตามไปด้วย และจากการที่วงจรมีแหล่งจ่ายแรงดันสูงถึง 5 โวลต์ ทำให้ต้องใช้สัญญาณนาฬิกาที่มีระดับสูง 0-5 โวลต์ ค่าแรงดันคลอกรูปสี่เหลี่ยมที่เกิดขึ้นจึงมีค่าสูงตามไปด้วย และเนื่องจากลักษณะการทำงานของวงจรจะเป็นการรวมกระแสผิดพลาดทั้งส่วนที่ขึ้นอยู่กับสัญญาณอินพุตและส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุตของทางด้านอินพุตไว้โดยทรานซิสเตอร์ M3 และ M4 ของวงจร เพื่อนำมาหักล้างกับกระแสผิดพลาดทั้งสองส่วนของด้านขวของวงจรเพื่อให้เหลือแต่กระแสเข้าพุตที่ต้องการ ทำให้เกิดการเปลี่ยนแปลงกระแสและแรงดันที่โหนดเข้าพุตอย่างรวดเร็ว ในช่วงที่วงจรมีการเปลี่ยนจากช่วงสุ่มค่าเป็นคงค่ากระแส สังเกตได้จากรูปที่ 3.11 การเปลี่ยนแปลงของแรงดันที่โหนดนี้จะทำให้เกิดประจุคัปเปิลผ่านตัวเก็บประจุแฝงระหว่างขาเกตกับขาเดรนมายังขา

เกทของทรานซิสเตอร์ซึ่งคงค่าสัญญาณอยู่ จึงทำให้เกิดความผิดพลาดกับแรงดันที่คงค่าสัญญาณ และเป็นผลให้เกิดกระแสผิดพลาดขึ้น [9]

### 3.6 สรุป

ในวงจรสุ่มและคงค่ากระแสแบบธรรมดา กระแสเข้าพุตจะมีความผิดพลาดที่เกิดจากสัญญาณนาฬิกา โดยกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาแบ่งได้เป็น 2 ส่วน คือ ส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต และส่วนที่ขึ้นอยู่กับสัญญาณอินพุต และเพื่อให้วงจรมีความถูกต้องสูงขึ้น ได้มีการออกแบบวงจรให้มีโครงสร้างที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ คือ วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต [3] และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต [4] ซึ่งสามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้บางส่วน และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ทั้งสองส่วน [5] ซึ่งมีความถูกต้องมากกว่าสองวงจรแรก แต่ใช้กำลังงานมากและยังคงมีค่ากระแสผิดพลาดอยู่ ในบทความต่อไปจะกล่าวถึงวงจรสุ่มและคงค่ากระแสที่เสนอ ซึ่งมีความถูกต้องสูงขึ้น สามารถทำงานได้ที่ระดับแรงดัน 3.3 โวลต์ และใช้กำลังงานน้อย



ที่ช่วงเวลาสุ่มค่า  $n$

$$\begin{aligned} I_1(n) &= \frac{1}{2} I_2(n) = AI + AI_i(n) \\ &= \frac{1}{2} Ak_n (W/L) (V_{gs1}(n) - V_{Tn})^2 \end{aligned} \quad (4.1)$$

$$\begin{aligned} I_3(n) &= \frac{1}{2} I_4(n) = AI \\ &= \frac{1}{2} Ak_p (W/L) (V_{gs2}(n) - V_{Tp})^2 \end{aligned} \quad (4.2)$$

โดย  $k_n$  และ  $k_p$  คือค่าทรานสคอนดักแตนซ์พารามิเตอร์ของ NMOS และ PMOS ตามลำดับ และ  $V_{Tn}$  และ  $V_{Tp}$  คือค่าแรงดันเทรชโวลของ NMOS และ PMOS ตามลำดับ ที่ช่วงเวลาสุ่มค่ากระแสเข้าชุดเท่ากับ

$$\begin{aligned} I_o(n) &= (I_4(n) - I_2(n)) - (I_3(n) - I_1(n)) \\ &= -AI_i(n) \end{aligned} \quad (4.3)$$

ที่ช่วงเวลาคงค่ากระแสสวิตช์ทุกตัวจะเปิดออก กำหนดให้ค่าแรงดันคลอกฟีดทริกที่เกิดขึ้นที่ขาเกตของ M5 เป็น  $V_{cn}$  จะได้ค่าแรงดันคลอกฟีดทริกที่ขาเกตของ M7 และ M8 เป็น  $\frac{V_{cn}}{2}$  เนื่องจาก M7 ต่อขนานกับ M8 มีค่า  $C_g$  เป็น 2 เท่าของ M5 ทำให้มีค่าแรงดันคลอกฟีดทริกเป็นครึ่งหนึ่งของ M5 และกำหนดให้ค่าแรงดันคลอกฟีดทริกที่ขาเกตของ M6 เป็น  $V_{cp}$  ก็จะได้ค่าแรงดันคลอกฟีดทริกที่ขาเกตของ M9 และ M10 เป็น  $\frac{V_{cp}}{2}$  เช่นกัน ที่ช่วงเวลาคงค่ากระแสจะได้อัตรากระแสในวงจรเป็นดังนี้

$$\begin{aligned} I_1(n+1/2) &= \frac{1}{2} Ak_n (W/L) (V_{gs1}(n) - V_{cn} - V_{Tn})^2 \\ &= \frac{1}{2} Ak_n (W/L) \left( (V_{gs1}(n) - V_{Tn})^2 - 2(V_{gs1}(n) - V_{Tn}) V_{cn} + V_{cn}^2 \right) \end{aligned} \quad (4.4)$$

$$\begin{aligned} I_2(n+1/2) &= Ak_n (W/L) \left( V_{gs1}(n) - \frac{V_{cn}}{2} - V_{Tn} \right)^2 \\ &= Ak_n (W/L) \left( (V_{gs1}(n) - V_{Tn})^2 - 2(V_{gs1}(n) - V_{Tn}) \frac{V_{cn}}{2} + \frac{V_{cn}^2}{4} \right) \end{aligned} \quad (4.5)$$

$$\begin{aligned} I_3(n+1/2) &= \frac{1}{2} Ak_p (W/L) (V_{gs2}(n) - V_{cp} - V_{Tp})^2 \\ &= \frac{1}{2} Ak_p (W/L) \left( (V_{gs2}(n) - V_{Tp})^2 - 2(V_{gs2}(n) - V_{Tp}) V_{cp} + V_{cp}^2 \right) \end{aligned} \quad (4.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 I_4(n+1/2) &= Ak_p (W/L) \left( V_{gs2}(n) - \frac{V_{cp}}{2} - V_{Tp} \right)^2 \\
 &= Ak_p (W/L) \left( (V_{gs2}(n) - V_{Tp})^2 - 2(V_{gs2}(n) - V_{Tp}) \frac{V_{cp}}{2} + \frac{V_{cp}^2}{4} \right) \quad (4.7)
 \end{aligned}$$

และค่ากระแสเข้าพุดเท่ากับ

$$\begin{aligned}
 I_o(n+1/2) &= (I_4(n+1/2) - I_2(n+1/2)) - (I_3(n+1/2) - I_1(n+1/2)) \\
 &= \frac{1}{2} Ak_p (W/L) (V_{gs2}(n) - V_{Tp})^2 - \frac{1}{2} Ak_n (W/L) (V_{gs1}(n) - V_{Tn})^2 \\
 &\quad - \frac{1}{4} Ak_p (W/L) V_{cp}^2 + \frac{1}{4} Ak_n (W/L) V_{cn}^2 \\
 &= -AI_i(n) + \frac{1}{4} A(W/L) (k_n V_{cn}^2 - k_p V_{cp}^2) \quad (4.8)
 \end{aligned}$$

จากสมการ (4.8) จะเห็นว่าวงจรที่นำเสนอสามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุตได้ทั้งหมด สำหรับส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุตวงจรสามารถกำจัดได้เกือบทั้งหมด เหลืออยู่เพียงค่าคงที่  $\frac{1}{4} A(W/L) (k_n V_{cn}^2 - k_p V_{cp}^2)$  ที่เกิดจากผลต่างของค่าทรานสคอนดักแตนซ์พารามิเตอร์และค่าแรงดันคลอกพีคทรูของทรานซิสเตอร์แบบ NMOS และ PMOS

ค่าทรานสคอนดักแตนซ์พารามิเตอร์ของ NMOS คือ  $k_n$  มีค่าดังนี้

$$k_n = \mu_n C_{ox} \quad (4.9)$$

และค่าทรานสคอนดักแตนซ์พารามิเตอร์ของ PMOS คือ  $k_p$  มีค่าดังนี้

$$k_p = \mu_p C_{ox} \quad (4.10)$$

โดย  $\mu_n$  คือค่า อิเล็กตรอน โมบิลิตี (Electron Mobility),  $\mu_p$  คือค่า โมบิลิตีของโฮล (Mobility of Holes) และ  $C_{ox}$  คือค่า ออกไซด์คาปาซิแตนซ์ (Oxide Capacitance) ค่า  $\mu_n$  และ  $\mu_p$  ขึ้นอยู่กับความเร็วในการเคลื่อนที่ของอิเล็กตรอนและโฮลซึ่งไม่เท่ากันนั้น เป็นสาเหตุให้ค่าทรานสคอนดักแตนซ์ของ NMOS และ PMOS ไม่เท่ากัน ส่วนค่า  $C_{ox}$  นั้นจะขึ้นอยู่กับกระบวนการผลิตทรานซิสเตอร์

ส่วนค่าแรงดันคลอกพีคทรูที่เกิดขึ้นที่ขาเกตของ NMOS และ PMOS คือ  $V_{cn}$  และ  $V_{cp}$  จะมีค่าขึ้นอยู่กับค่าความจุประจุแฝงของสวิตช์, ระดับแรงดันของสัญญาณนาฬิกา, และความจุประจุแฝงของ NMOS หรือ PMOS เอง ตามสมการ (3.7) คือ  $V_c = \frac{C_c}{C_g} (V_H - V_L)$



สามารถกำจัดได้เกือบทั้งหมด เหลืออยู่เพียงค่าคงที่  $-\frac{1}{4}A(W/L)(k_n V_{cn}^2 - k_p V_{cp}^2)$  ที่เกิดจากผลต่างของค่าทรานสคอนดักแตนซ์พารามิเตอร์และค่าแรงดันคลอกฟีดทรูที่ขาเกทของทรานซิสเตอร์ NMOS และ PMOS ซึ่งเท่ากับกระแสเข้าพุดจากวงจรสุ่มและคงค่ากระแสแบบกลับเฟสที่เสนอ แต่มีเครื่องหมายตรงข้ามกันนั่นเอง

ข้อดีของวงจรที่เสนอนี้คือ สามารถทำงานโดยใช้แหล่งจ่ายแรงดัน 3.3 โวลต์ได้ จึงใช้สัญญาณนาฬิกาที่มีระดับแรงดัน 0-3.3 โวลต์ ซึ่งต่ำกว่าในวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ทั้งสองส่วนในบทที่แล้ว ค่าแรงดันคลอกฟีดทรูที่เกิดขึ้นจึงมีค่าน้อยลง เมื่อพิจารณาที่เข้าพุดของวงจร เนื่องจากการเปลี่ยนแปลงของแรงดันอย่างรวดเร็วที่โหนดเข้าพุดจะทำให้เกิดประจุที่เปิดผ่านตัวเก็บประจุแฝงระหว่างขาเกทกับขาเดรนมายังขาเกทของทรานซิสเตอร์ซึ่งคงค่าสัญญาณอยู่ ทำให้เกิดความผิดพลาดกับแรงดันที่คงค่าสัญญาณและเป็นผลให้เกิดกระแสผิดพลาดขึ้น แต่จากลักษณะการทำงานของวงจรนั้น กระแส  $I_4$  กับ  $I_2$  และ  $I_3$  กับ  $I_1$  จะลบกันก่อนเพื่อกำจัดกระแสผิดพลาดส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต แล้วจึงนำกระแสที่เหลือมาลบกันที่โหนดเข้าพุดของวงจรเพื่อกำจัดกระแสผิดพลาดส่วนที่ขึ้นอยู่กับสัญญาณอินพุต ทำให้ค่ากระแสและแรงดันที่โหนดเข้าพุดมีการเปลี่ยนแปลงไม่มาก กระแสผิดพลาดที่เกิดขึ้นจึงมีค่าน้อยกว่าวงจรอื่นๆ

## 4.2 สรุป

วงจรสุ่มและคงค่ากระแสแบบกลับเฟสและไม่กลับเฟสที่เสนอ ใช้หลักการหักล้างกระแสผิดพลาดที่เกิดขึ้น ทำให้สามารถกำจัดกระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุตได้ทั้งหมด สำหรับส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุตวงจรสามารถกำจัดได้เกือบทั้งหมด เหลือเพียงค่าคงที่ที่เกิดจากผลต่างของค่าทรานสคอนดักแตนซ์และค่าแรงดันคลอกฟีดทรูที่ขาเกทของทรานซิสเตอร์แบบ PMOS และ NMOS ซึ่งมีค่าน้อยมาก ทำให้กระแสเข้าพุดของวงจรมีความถูกต้องสูง ในบทต่อไปจะเป็นการพิจารณาการทำงานของวงจรที่เสนอด้วยผลการจำลองการทำงานของวงจรจากโปรแกรม PSPICE และผลจากการต่อวงจรจากไอซีสำเร็จรูป

## บทที่ 5

### ผลการจำลองการทำงานและผลการทดลอง

จากการพิจารณาการทำงานของวงจรร่วมและคงค่ากระแสที่เสนอในบทก่อนหน้า ด้วยสมการคณิตศาสตร์ว่าสามารถกำจัดค่ากระแสผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้นั้น ในบทนี้จะเป็นการวิเคราะห์ผลการทำงานของวงจรร่วมและคงค่ากระแสที่เสนอ โดยจะใช้โปรแกรม PSPICE จำลองการทำงานของวงจร โดยเพื่อดูค่ากระแสเข้าพุดที่ได้จากวงจร และพิจารณาค่ากระแสผิดพลาดที่เกิดขึ้น โดยโมเดลของทรานซิสเตอร์ที่ใช้ในการวิเคราะห์ คือ 1.2  $\mu\text{m}$  Standard CMOS Process และจะทำการทดลองโดยใช้ไอซีต่อวงจรขึ้นจริง เพื่อพิจารณาผลการทำงานของวงจรร่วม

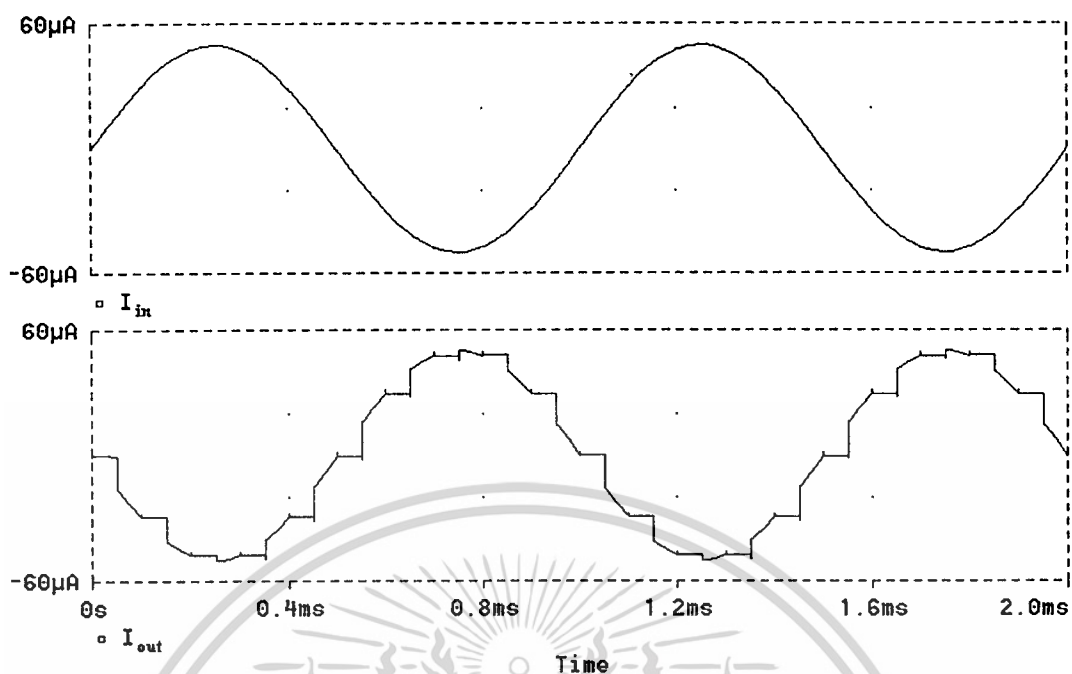
#### 5.1 ผลการจำลองการทำงาน

การจำลองการทำงานจะสร้างวงจรร่วมและคงค่ากระแสที่เสนอ โดยใช้ทรานซิสเตอร์แบบมอส ที่มีขนาด ( $W/L$ ) เท่ากับ  $40\mu\text{m}/8\mu\text{m}$  สวิตช์มีขนาด ( $W/L$ ) เท่ากับ  $2\mu\text{m}/1.2\mu\text{m}$  ค่า A เป็น 1 และแหล่งจ่ายแรงดัน 3.3 โวลท์ โดยทำการจำลองการทำงานของวงจรร่วมและคงค่ากระแสที่เสนอทั้งแบบกลับเฟสและแบบไม่กลับเฟส

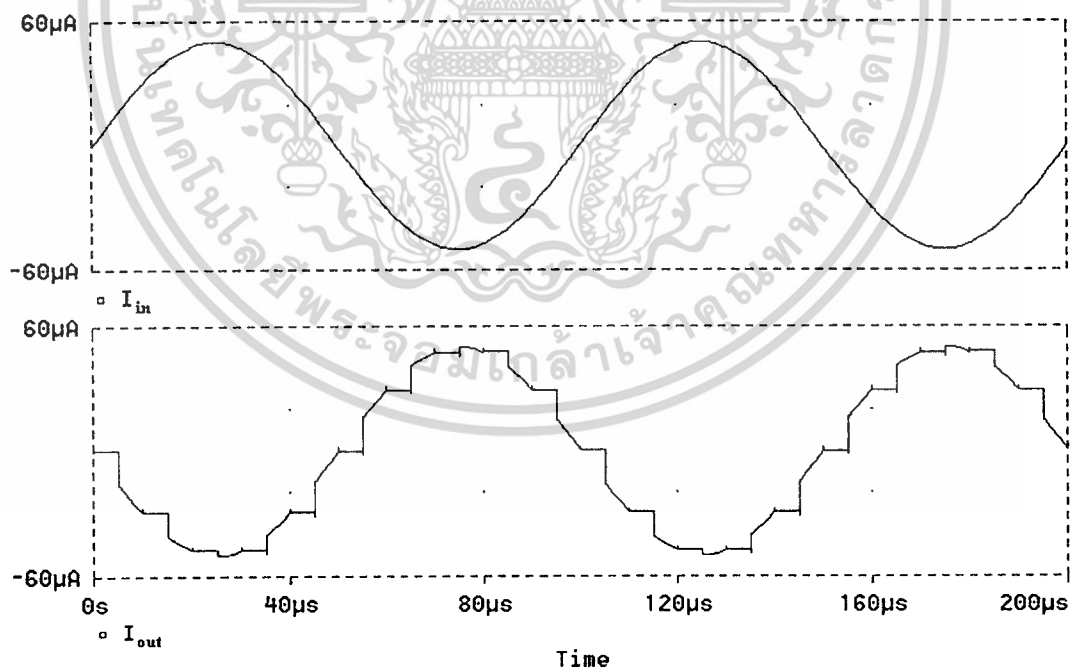
##### 5.1.2 ผลการจำลองการทำงานของวงจรร่วมและคงค่ากระแสแบบกลับเฟสที่เสนอ

จำลองการทำงานของวงจรร่วมและคงค่ากระแสแบบกลับเฟส โดยป้อนอินพุตเป็นคลื่นซายน์และคลื่นสามเหลี่ยมที่มีค่าแอมพลิจูด  $50\mu\text{A}$  ที่ความถี่ 1kHz, 10kHz, 100kHz และ 1MHz ใช้สัญญาณนาฬิกาที่มีความถี่เป็น 10 เท่าของสัญญาณอินพุต ได้ผลดังรูปที่ 5.1 , 5.2 , 5.3 , 5.4 , 5.5 , 5.6 , 5.7 และ 5.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

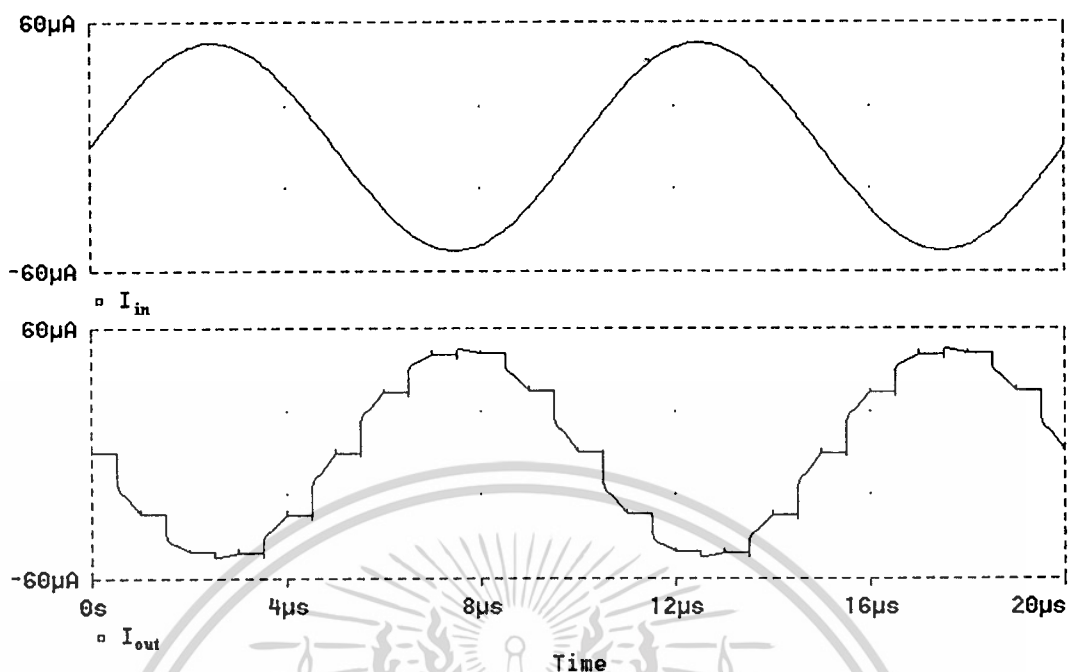


รูปที่ 5.1 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1 kHz แอมพลิจูด 50  $\mu\text{A}$

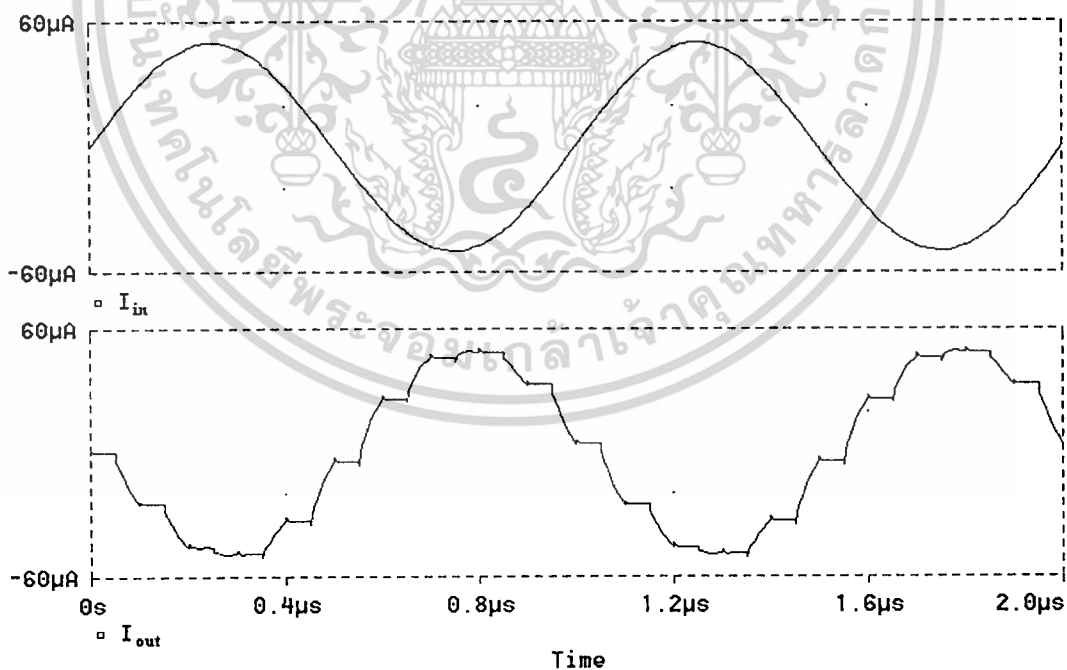


รูปที่ 5.2 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10 kHz แอมพลิจูด 50  $\mu\text{A}$

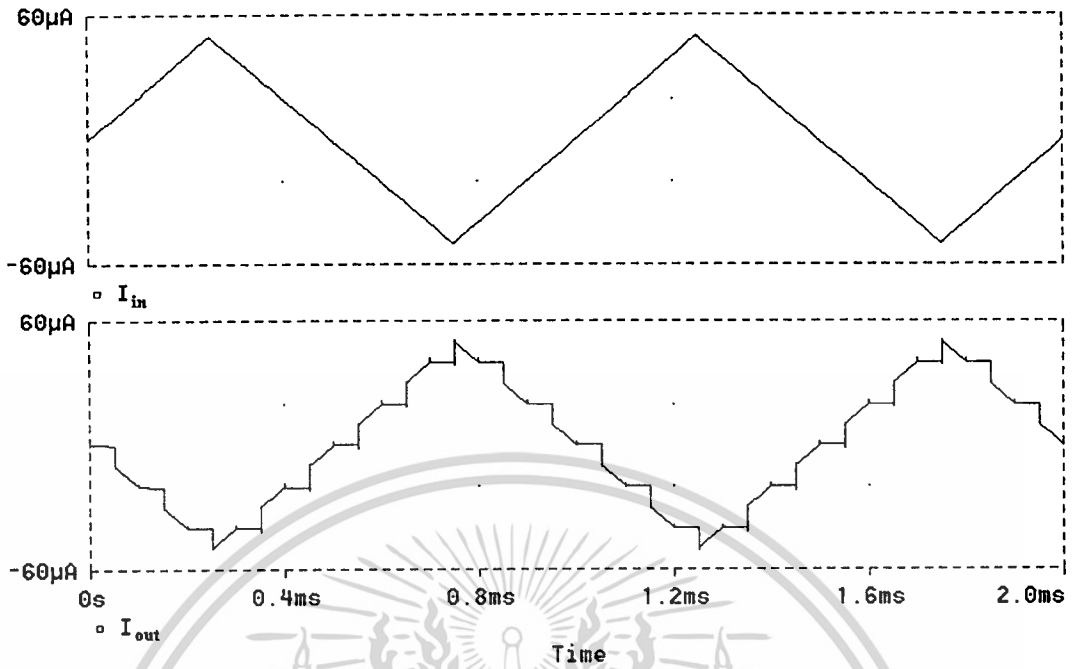
เอกสารนี้เป็นเอกสารต้นฉบับที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอน ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจากทางสถาบัน  
ไม่ว่ากรณีใดๆ ทั้งสิ้น หากมีข้อผิดพลาดประการใด ทางสถาบันขออภัยเป็นอย่างสูง และขอเชิญแจ้งข้อผิดพลาดทุกครั้งที่มีการนำไปใช้



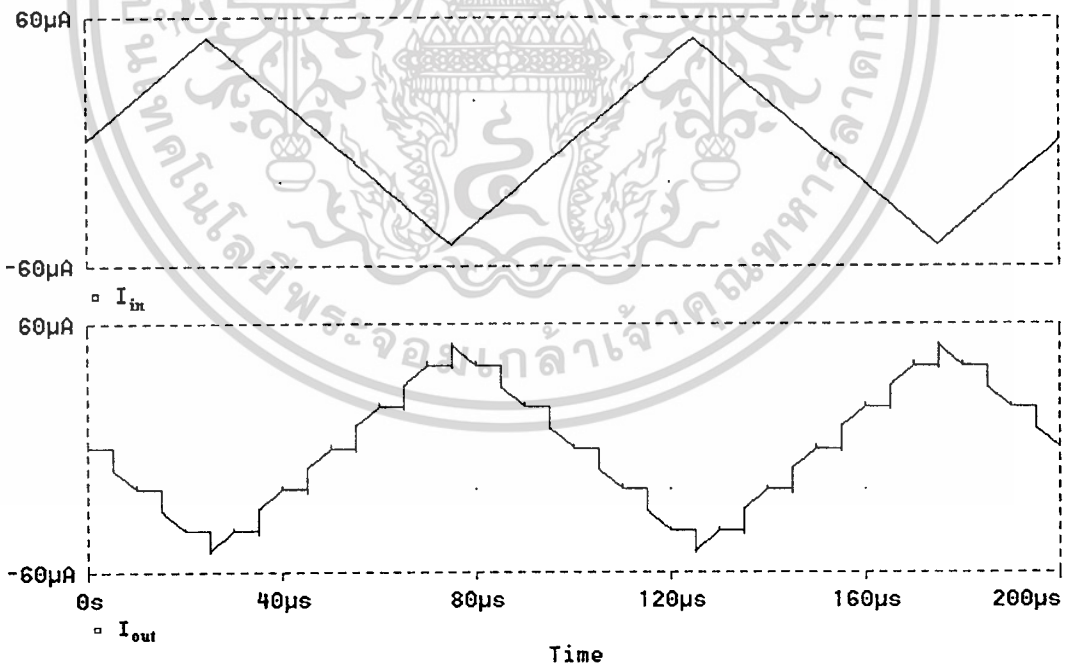
รูปที่ 5.3 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสลับและคงค่ากระแสแบบกัลป์เฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 100 kHz แอมพลิจูด 50  $\mu\text{A}$



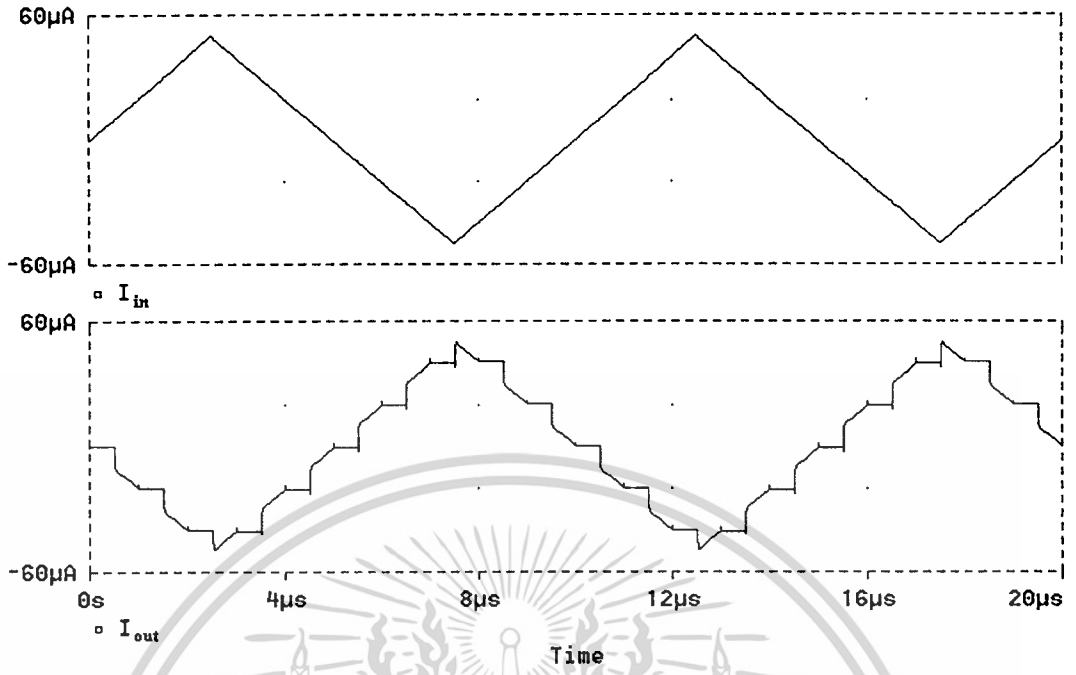
เอกสารรูปที่ 5.4 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสลับและคงค่ากระแสแบบกัลป์เฟส ระยะเวลาการนำเอาไปใช้ไม่ว่ากรณีใดๆทั้งสิ้น เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1MHz แอมพลิจูด 50  $\mu\text{A}$  ครั้งที่มีการนำไปใช้



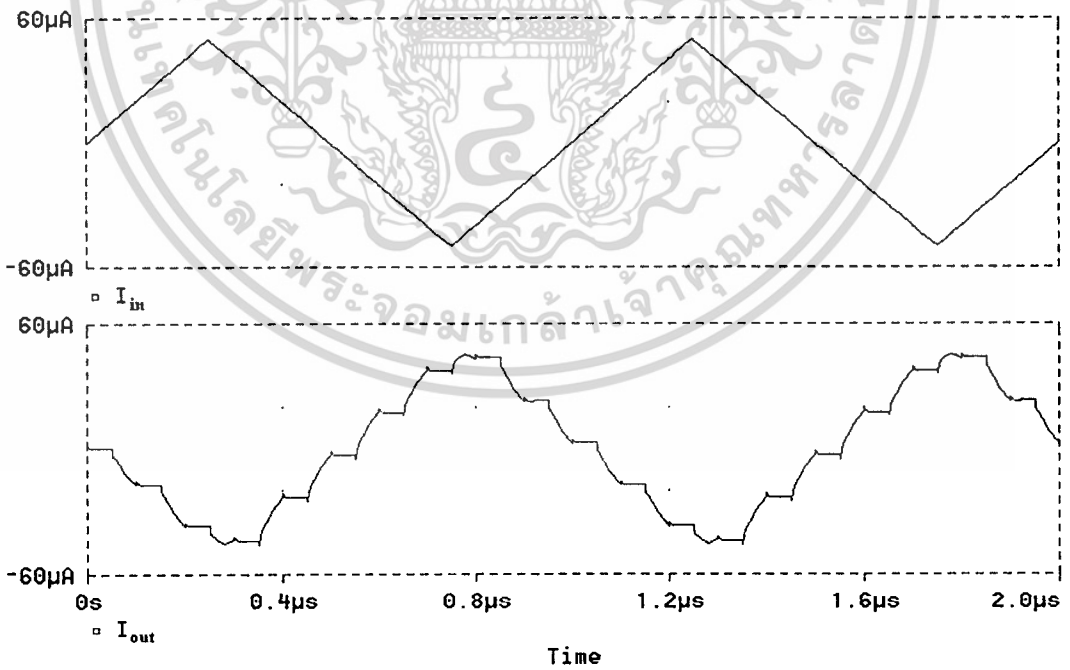
รูปที่ 5.5 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรคู่และคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1 kHz แอมพลิจูด 50  $\mu\text{A}$



รูปที่ 5.6 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรคู่และคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 10 kHz แอมพลิจูด 50  $\mu\text{A}$



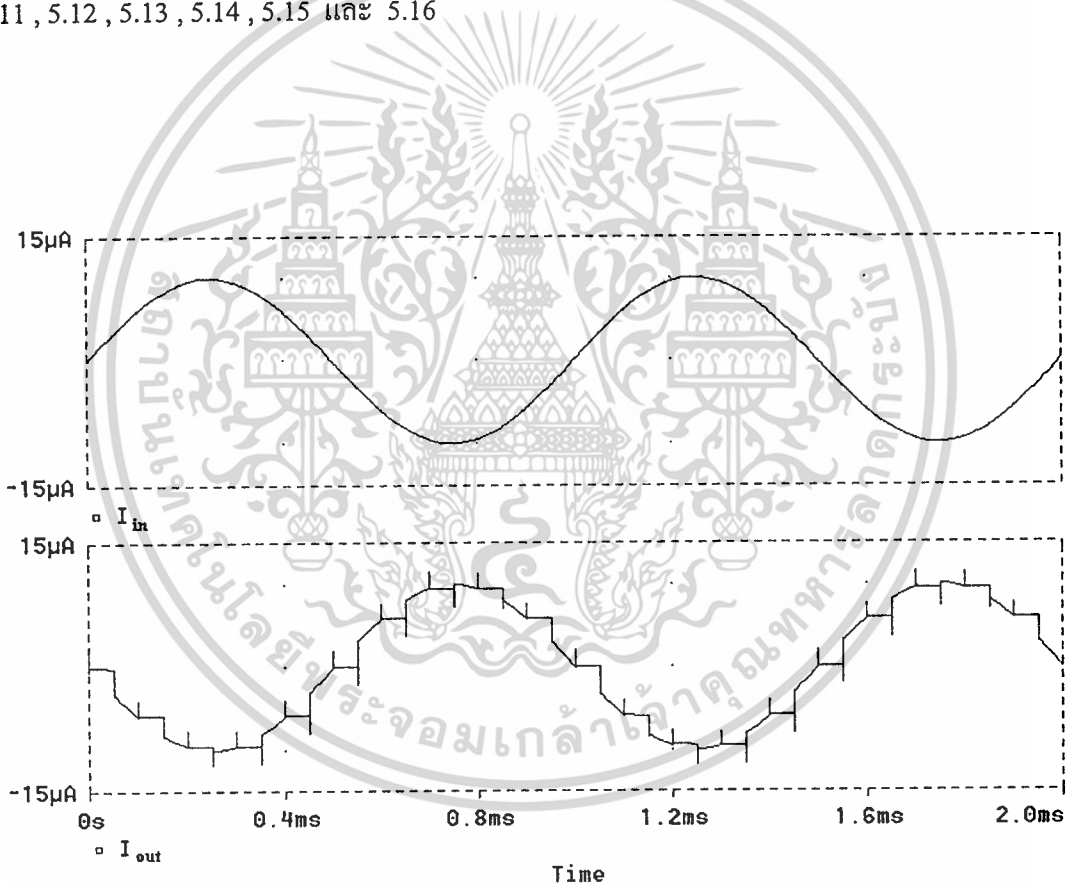
รูปที่ 5.7 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมพลิจูด 50 $\mu$ A



รูปที่ 5.8 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1MHz แอมพลิจูด 50 $\mu$ A

จากผลการจำลองการทำงานของวงจรสุ่มและคงค่ากระแสแบบกลับเฟสที่เสนอ เมื่อใส่สัญญาณอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมพลิจูด  $50\mu\text{A}$  ที่ความถี่ต่างๆ พบว่าที่ความถี่  $1\text{kHz}$ ,  $10\text{kHz}$  และ  $100\text{kHz}$  กระแสเข้าพุตที่ได้จะใกล้เคียงกับเข้าพุตตามทฤษฎี คือมีค่าเท่ากับกระแสอินพุตในช่วงเวลาสุดท้ายของการสุ่มค่า และมีเครื่องหมายตรงข้ามหรือกลับเฟสกับกระแสอินพุตนั่นเอง ส่วนที่ความถี่  $1\text{MHz}$  นั้น ขนาดของเข้าพุตจะถูกลดทอนลงและเกิดเฟสดีเลย์ เนื่องจากอินพุตมีความถี่สูงเกินช่วงการทำงานของวงจร

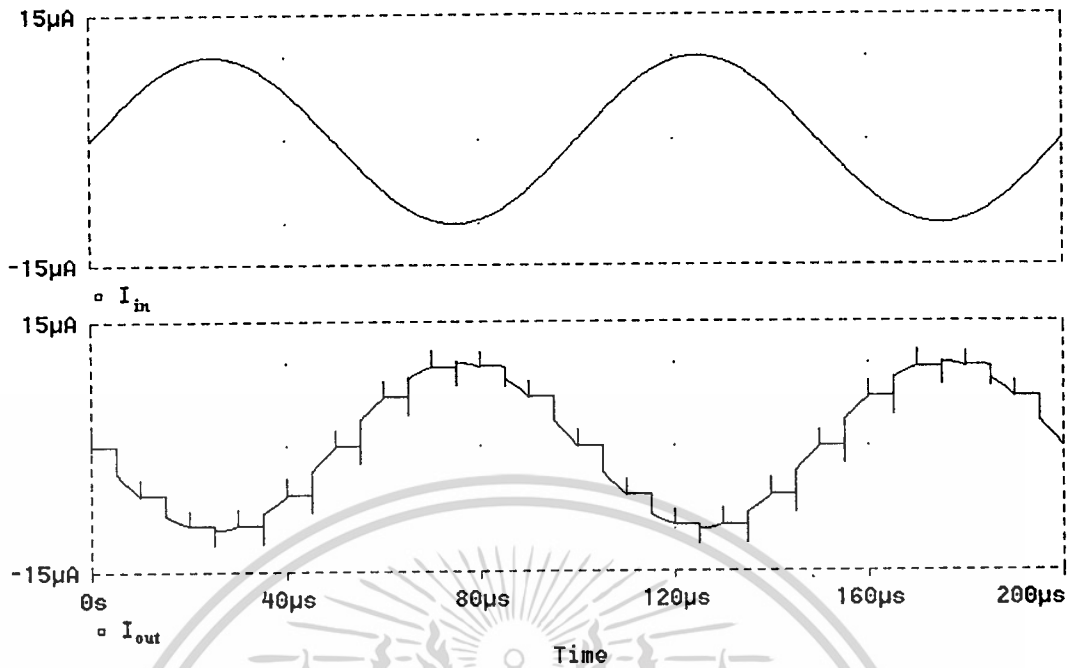
และเมื่อทำการจำลองการทำงานของวงจรอีก โดยเปลี่ยนกระแสอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมพลิจูดลดลงเป็น  $10\mu\text{A}$  ที่ความถี่  $1\text{kHz}$ ,  $10\text{kHz}$ ,  $100\text{kHz}$  และ  $1\text{MHz}$  ใช้สัญญาณนาฬิกาที่มีความถี่เป็น 10 เท่าของสัญญาณอินพุต ได้ผลการทำงานดังรูปที่ 5.9 , 5.10 , 5.11 , 5.12 , 5.13 , 5.14 , 5.15 และ 5.16



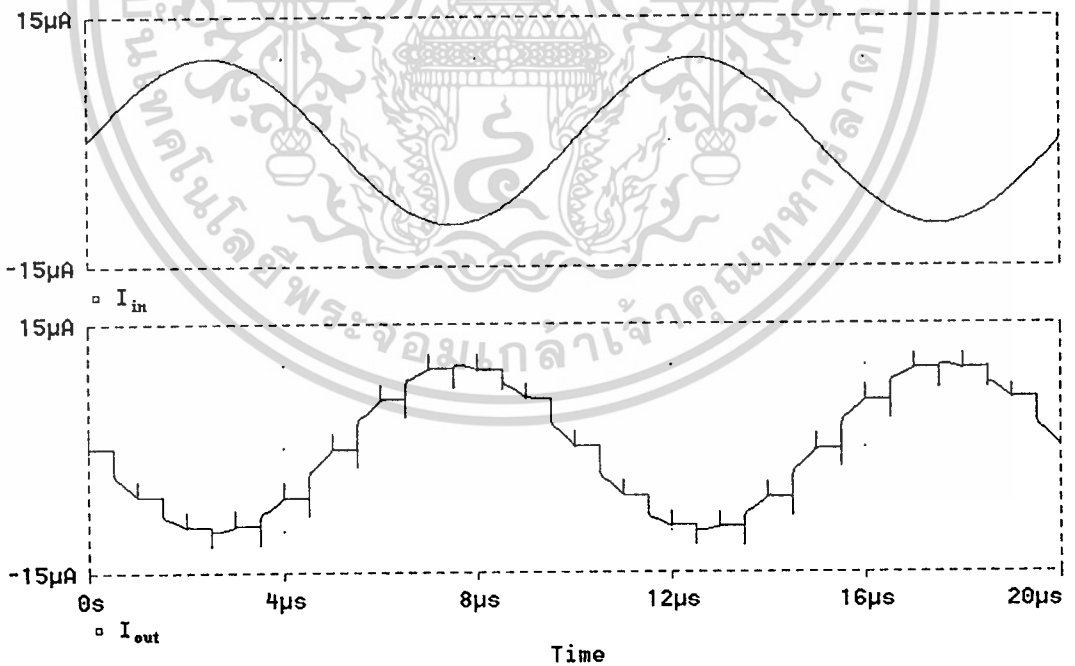
รูปที่ 5.9 รูปคลื่นกระแสอินพุตและเข้าพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส

เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่  $1\text{kHz}$  แอมพลิจูด  $10\mu\text{A}$

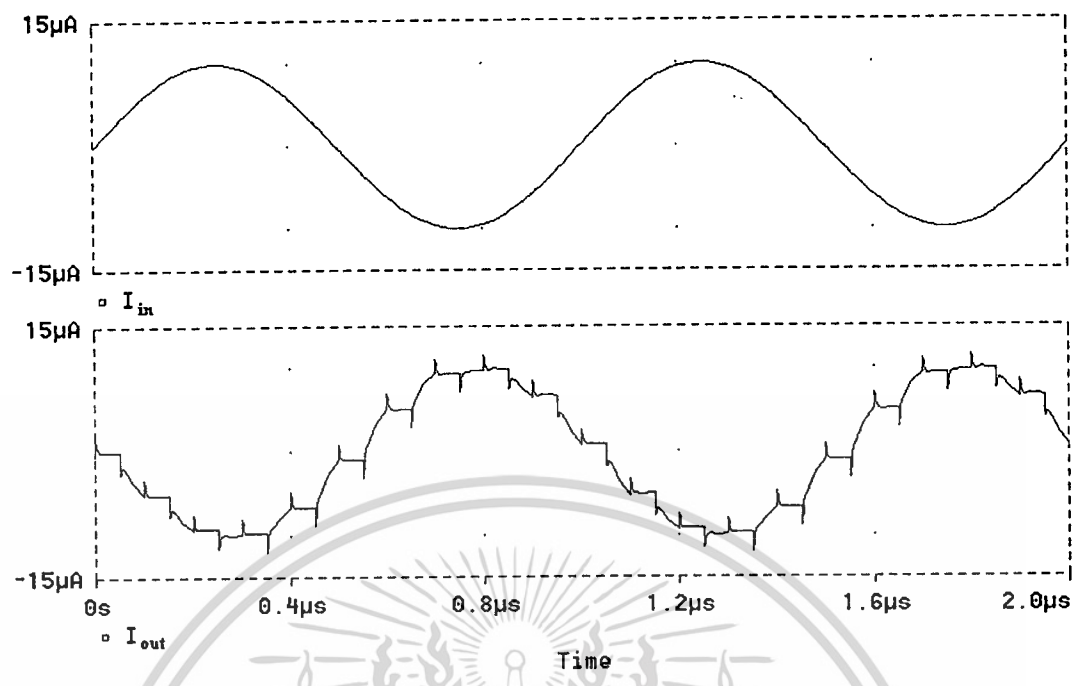
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



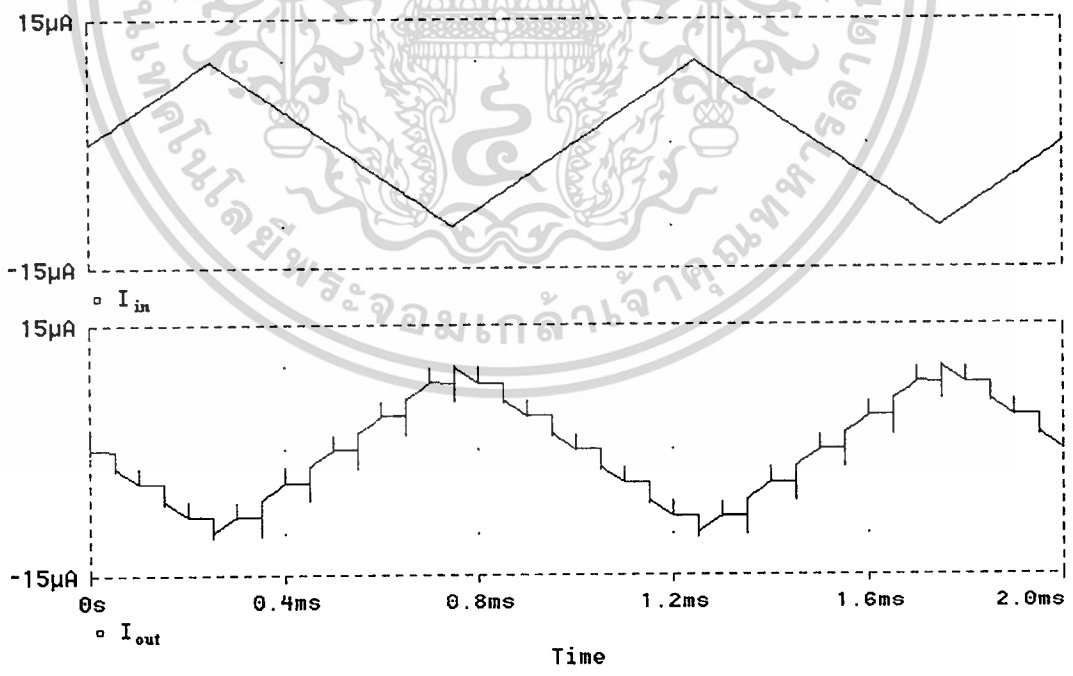
รูปที่ 5.10 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรส้อมและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่  $10\text{kHz}$  แอมพลิจูด  $10\ \mu\text{A}$



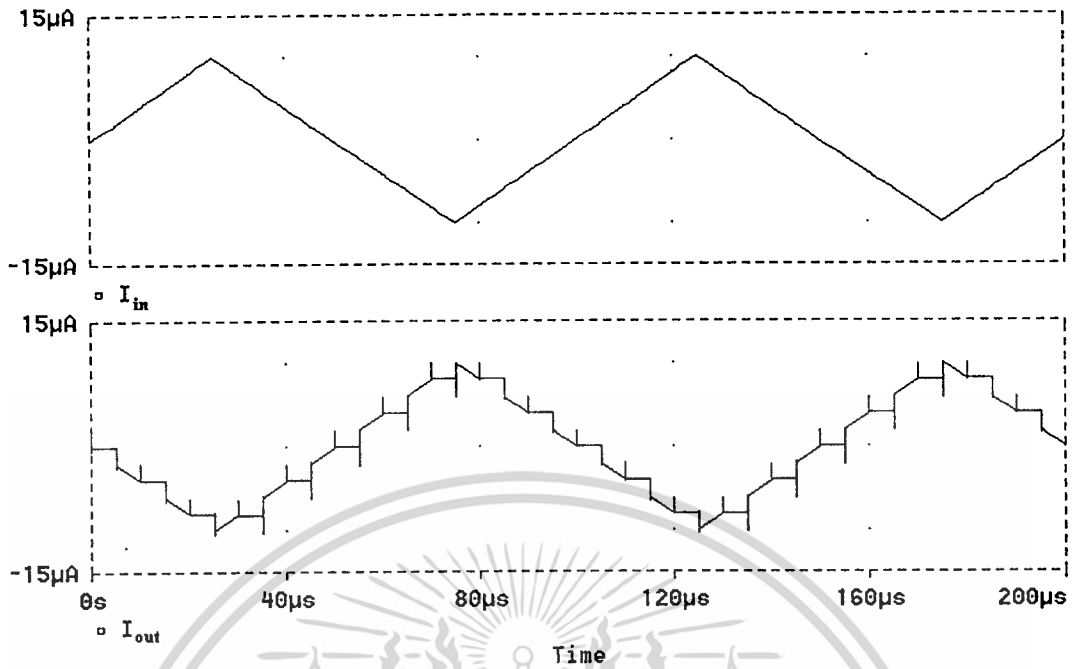
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปแจ้งประโยชน์ด้านการค้า  
รูปที่ 5.11 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรส้อมและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่  $100\text{kHz}$  แอมพลิจูด  $10\ \mu\text{A}$



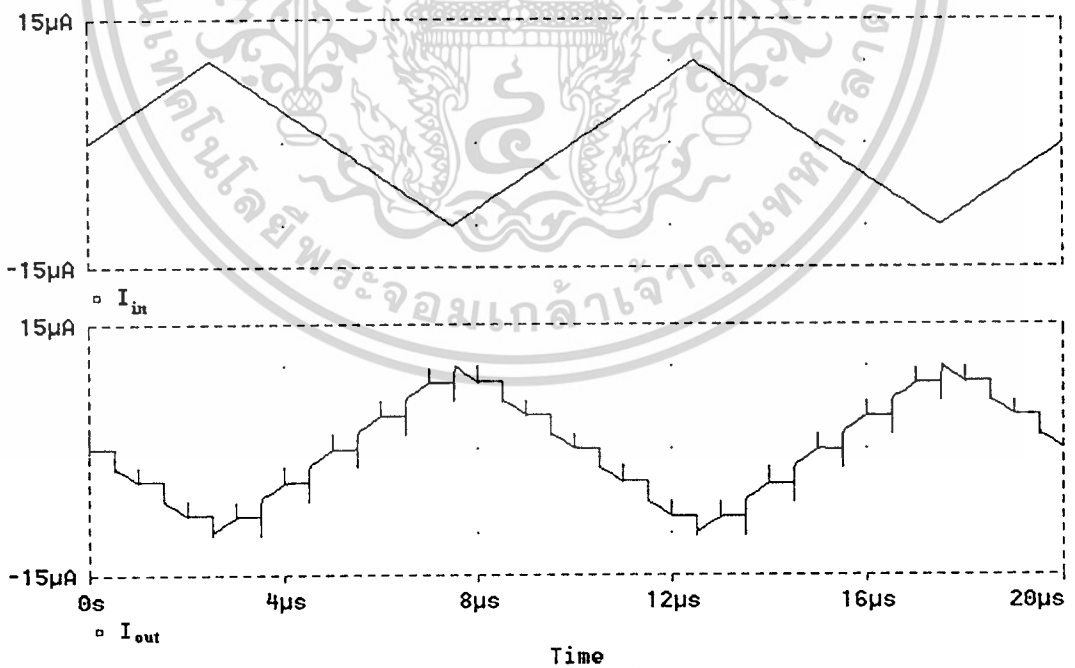
รูปที่ 5.12 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1MHz แอมพลิจูด 10µA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีรูปที่ 5.13 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1kHz แอมพลิจูด 10µA



รูปที่ 5.14 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสั้มและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 10kHz แอมพลิจูด 10 $\mu$ A

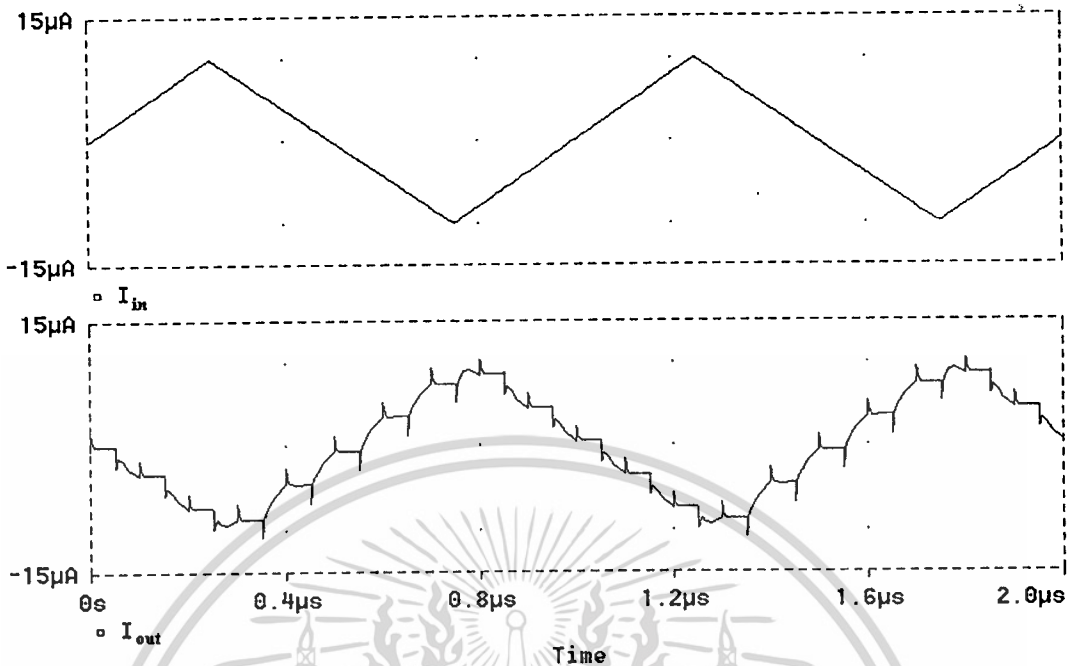


รูปที่ 5.15 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสั้มและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมพลิจูด 10 $\mu$ A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น ผู้จัดทำมีเหตุผลเป็นรองหาก และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมพลิจูด 10 $\mu$ A



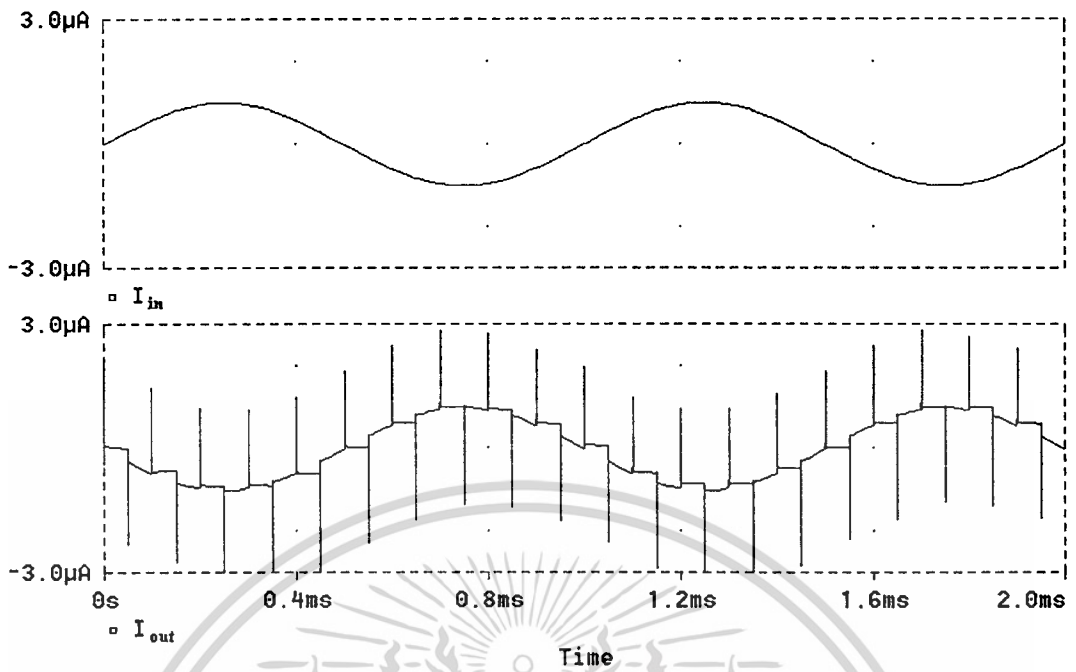
รูปที่ 5.16 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรคู่และคางค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1MHz แอมป์ลิจูด 10 $\mu$ A

จากผลการจำลองการทำงานของวงจรคู่และคางค่ากระแสแบบกลับเฟสที่เสนอ เมื่อใส่สัญญาณอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมป์ลิจูด 10 $\mu$ A ที่ความถี่ต่างๆ พบว่ารูปคลื่นของกระแสเอาพุตที่ความถี่ 1kHz, 10kHz และ 100kHz มีลักษณะใกล้เคียงกัน และเนื่องจากลดกระแสอินพุตลงจึงสังเกตเห็นจากรูปคลื่นของกระแสเอาพุตได้ชัดเจนว่า ที่ช่วงเวลาที่วงจรจะเปลี่ยนจากช่วงสุมค่าเป็นช่วงคางค่า และจากช่วงคางค่าเป็นสุมค่านั้น จะเกิดการเปลี่ยนแปลงของกระแสอย่างรวดเร็วขึ้น ซึ่งเป็นผลมาจากการลบกัของกระแสที่โหนดเอาพุตของวงจร โดยเฉพาะที่ความถี่ 1MHz นั้น จะเห็นได้อย่างชัดเจน

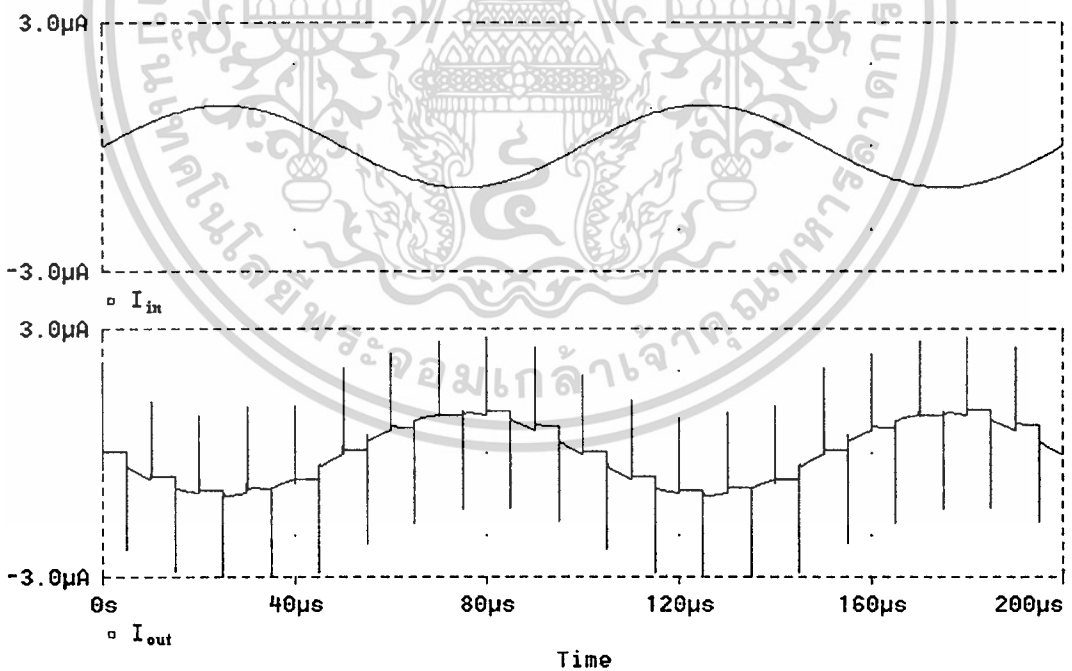
และเมื่อทำการจำลองการทำงานของวงจรอีก โดยเปลี่ยนกระแสอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมป์ลิจูดลดลงเป็น 1 $\mu$ A ที่ความถี่ 1kHz, 10kHz, 100kHz และ 1MHz ใช้สัญญาณนาฬิกาที่มีความถี่เป็น 10 เท่าของสัญญาณอินพุต ได้ผลการทำงานดังรูปที่ 5.17 , 5.18 ,

5.19 , 5.20 , 5.21 , 5.22 , 5.23 และ 5.24

เอกสารนี้เป็นลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

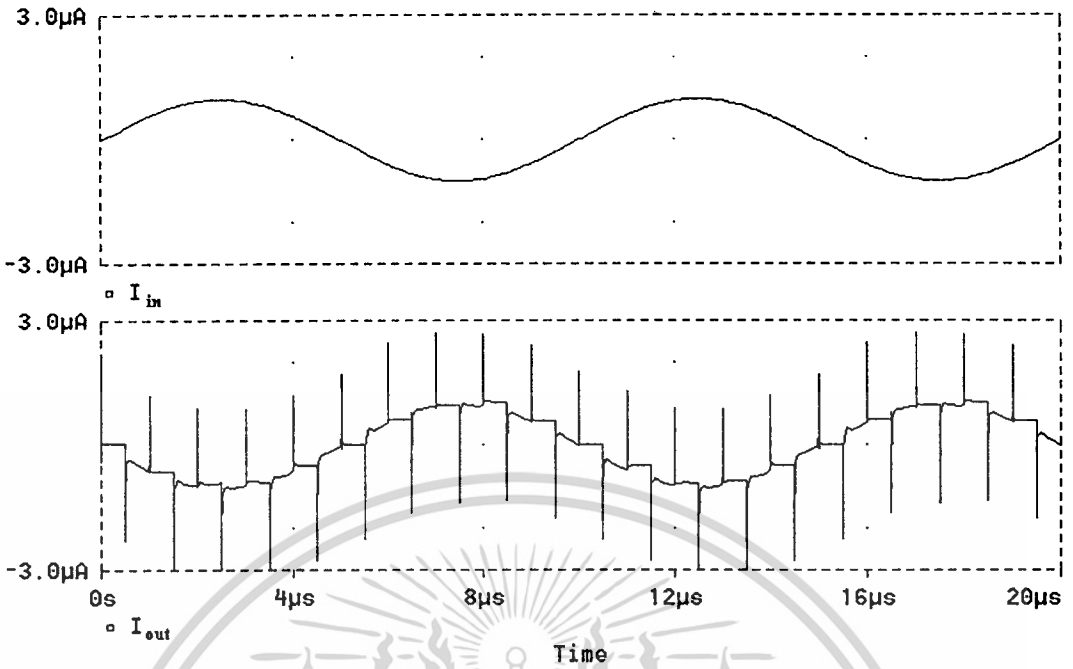


รูปที่ 5.17 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1kHz แอมพลิจูด 1 $\mu$ A

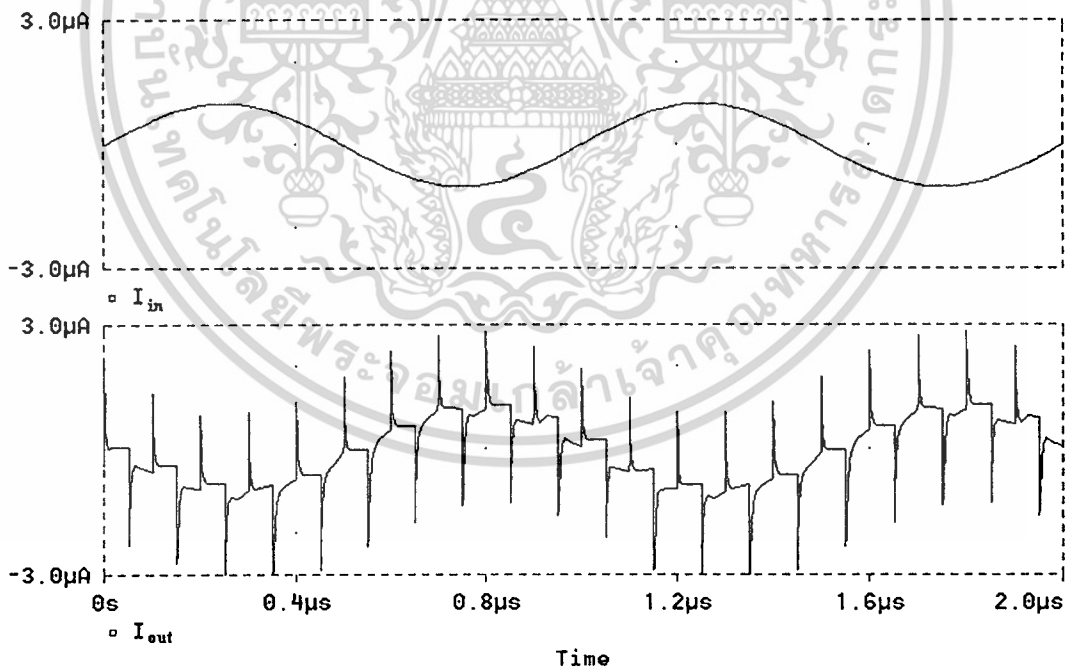


รูปที่ 5.18 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10kHz แอมพลิจูด 1 $\mu$ A

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.19 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรคู่และคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 100kHz แอมพลิจูด 1 $\mu$ A

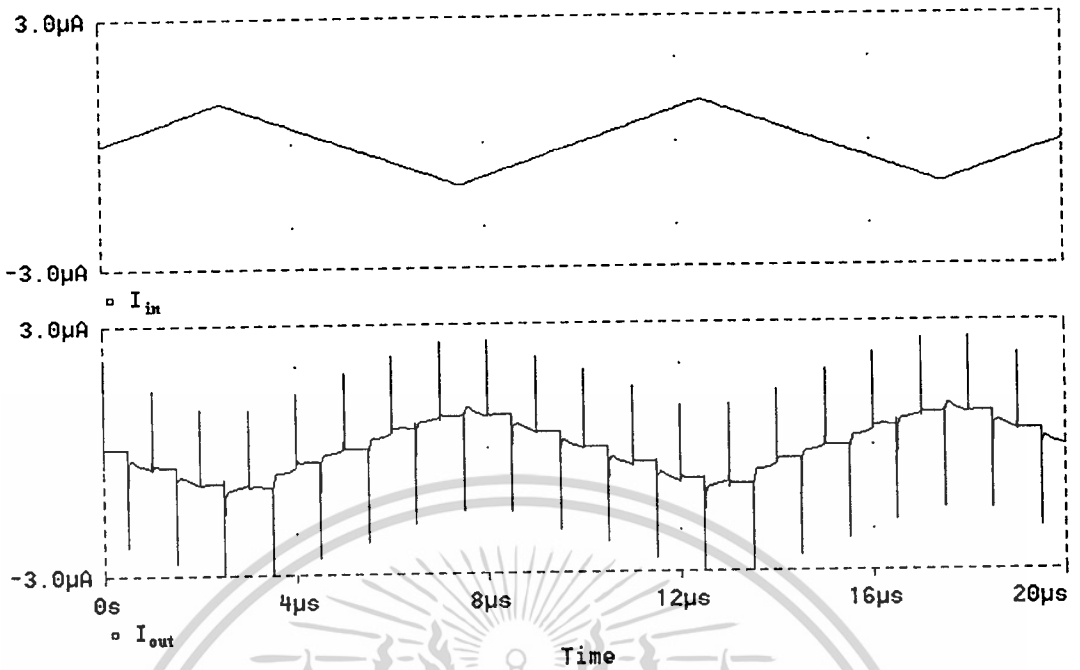


รูปที่ 5.20 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรคู่และคงค่ากระแสแบบกลับเฟส

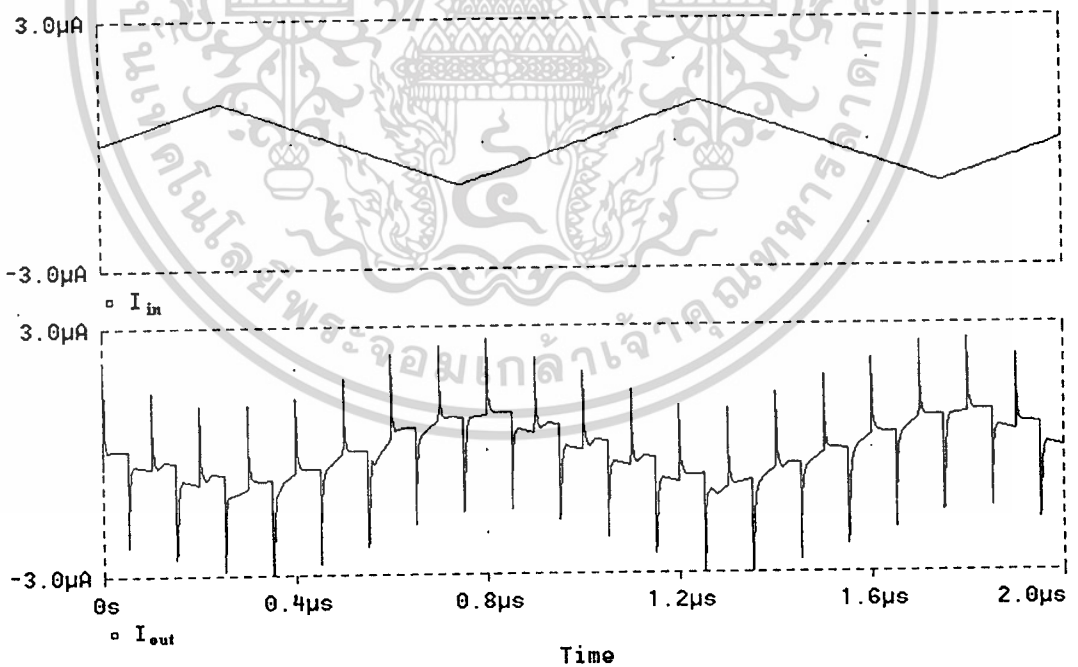
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1MHz แอมพลิจูด 1 $\mu$ A

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และสงวนไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 5.23 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรคู่และคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมพลิจูด 1  $\mu\text{A}$

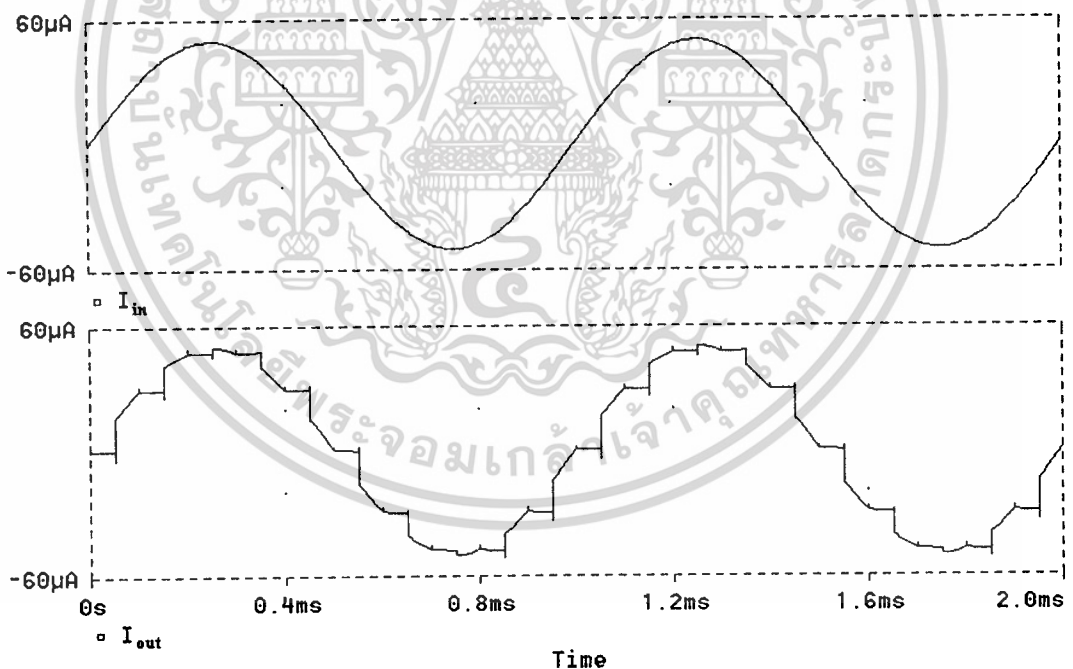


รูปที่ 5.24 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรคู่และคงค่ากระแสแบบกลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1MHz แอมพลิจูด 1  $\mu\text{A}$

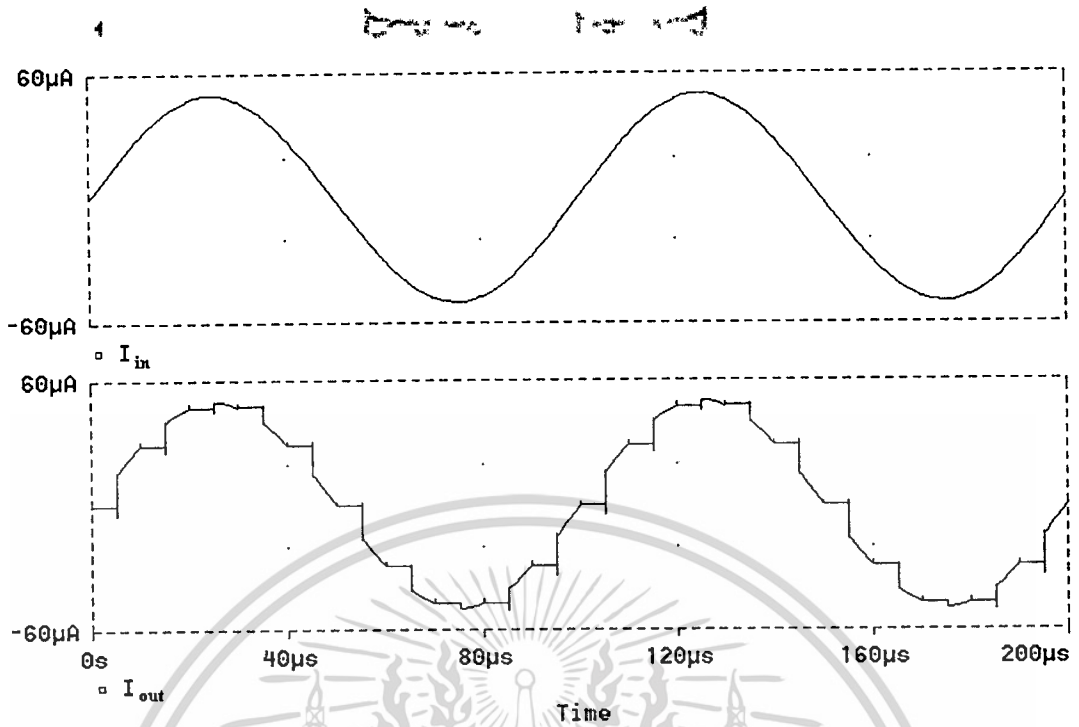
จากผลการจำลองการทำงานของวงจรมุมและคงค่ากระแสแบบกลับเฟสที่เสนอ เมื่อใส่สัญญาณอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมพลิจูดลดลงเหลือเพียง  $1\mu\text{A}$  ที่ความถี่ต่างๆ จะสามารถสังเกตเห็นค่ากระแสผิดพลาดที่เกิดขึ้นในช่วงคงค่าของกระแสเข้าพุทได้ โดยกระแสเข้าพุทที่ความถี่  $1\text{kHz}$ ,  $10\text{kHz}$  และ  $100\text{kHz}$  จะมีกระแสผิดพลาดเกิดขึ้นใกล้เคียงกัน ส่วนที่ความถี่  $1\text{MHz}$  ซึ่งเป็นความถี่ที่สูงกว่าช่วงทำงานของวงจรแล้วนั้น กระแสเข้าพุทจะมีความผิดพลาดสูงจนสังเกตเห็นได้อย่างชัดเจน

### 5.1.2 ผลการจำลองการทำงานของวงจรมุมและคงค่ากระแสแบบไม่กลับเฟสที่เสนอ

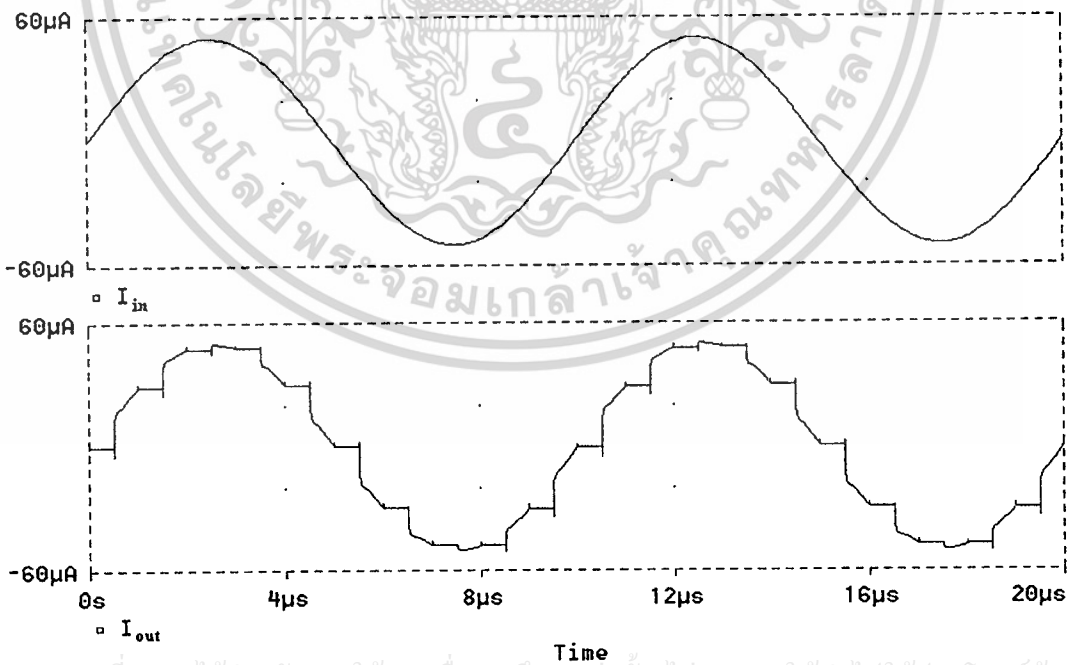
ในหัวข้อนี้จะเสนอผลจำลองการทำงานของวงจรมุมและคงค่ากระแสแบบไม่กลับเฟส โดยป้อนอินพุตเหมือนกับที่ใช้กับวงจรแบบกลับเฟส โดยเริ่มจากคลื่นไซน์และคลื่นสามเหลี่ยมที่มีค่าแอมพลิจูด  $50\mu\text{A}$  ที่ความถี่  $1\text{kHz}$ ,  $10\text{kHz}$ ,  $100\text{kHz}$  และ  $1\text{MHz}$  ใช้สัญญาณนาฬิกาที่มีความถี่เป็น 10 เท่าของสัญญาณอินพุต ได้ผลดังรูปที่ 5.25, 5.26, 5.27, 5.28, 5.29, 5.30, 5.31 และ 5.32



รูปที่ 5.25 รูปคลื่นกระแสอินพุตและเอาพุทของวงจรมุมและคงค่ากระแสแบบไม่กลับค่าเฟส ด้านการคำนวณ  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่  $1\text{kHz}$  แอมพลิจูด  $50\mu\text{A}$  กรณีที่มีการนำไปใช้

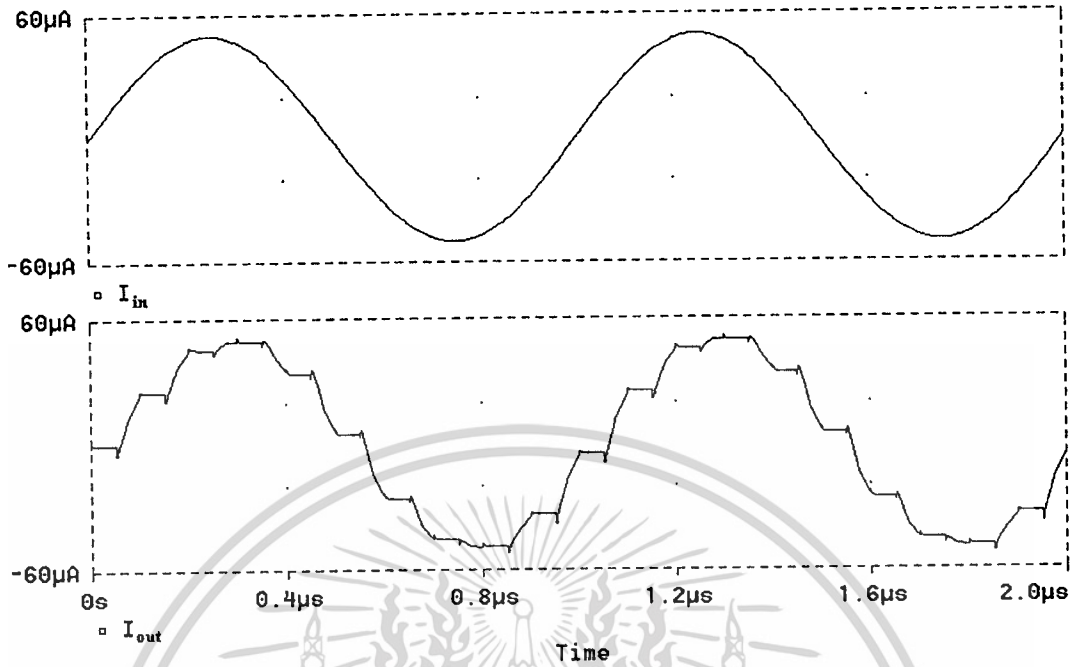


รูปที่ 5.26 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่  $10kHz$  แอมพลิจูด  $50\mu A$

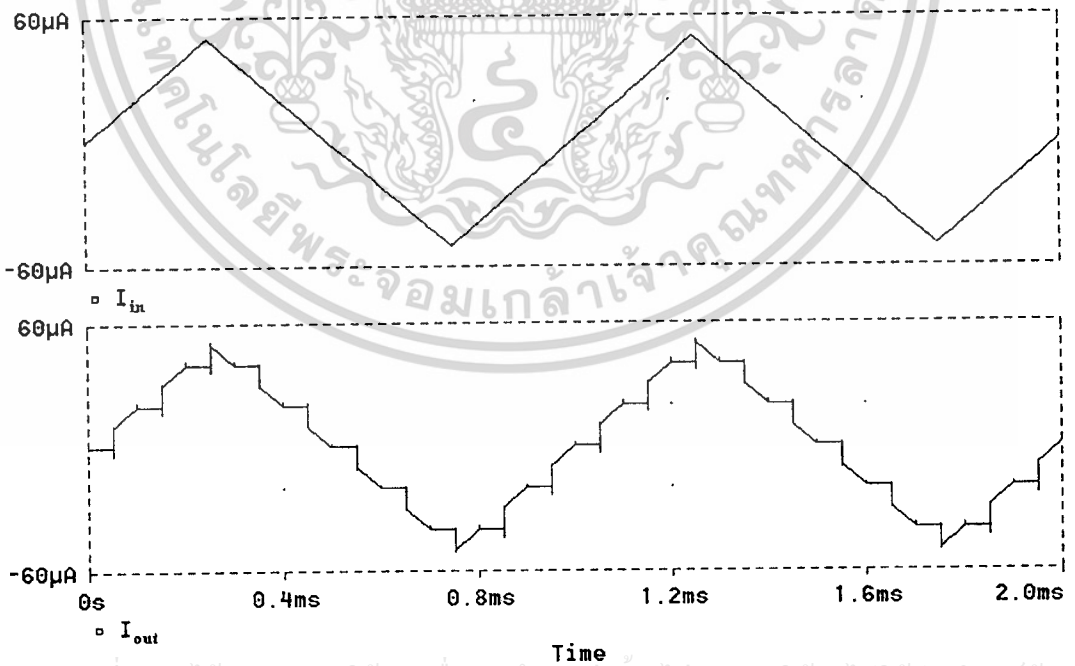


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 5.27 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่  $100kHz$  แอมพลิจูด  $50\mu A$

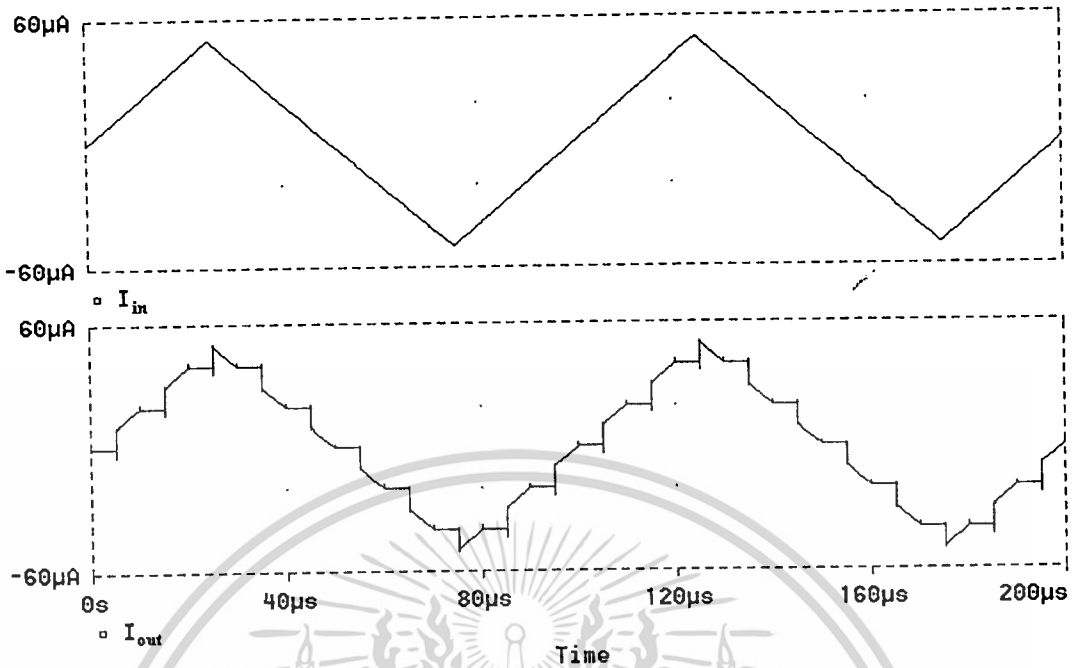


รูปที่ 5.28 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสั้มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1MHz แอมพลิจูด  $50\mu A$

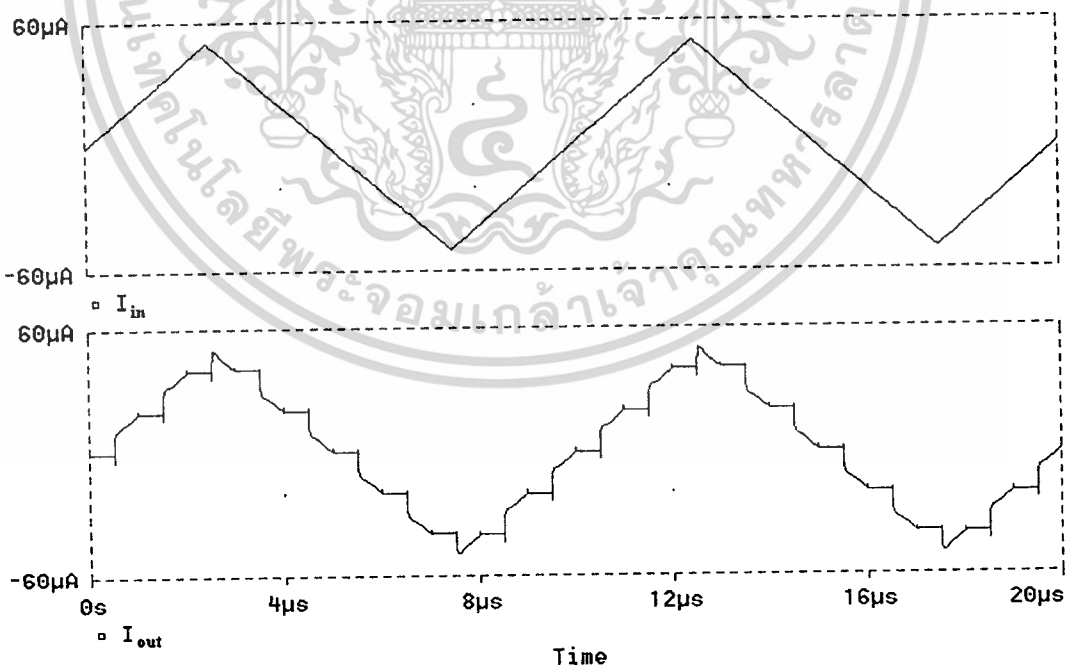


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 5.29 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสั้มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1kHz แอมพลิจูด  $50\mu A$

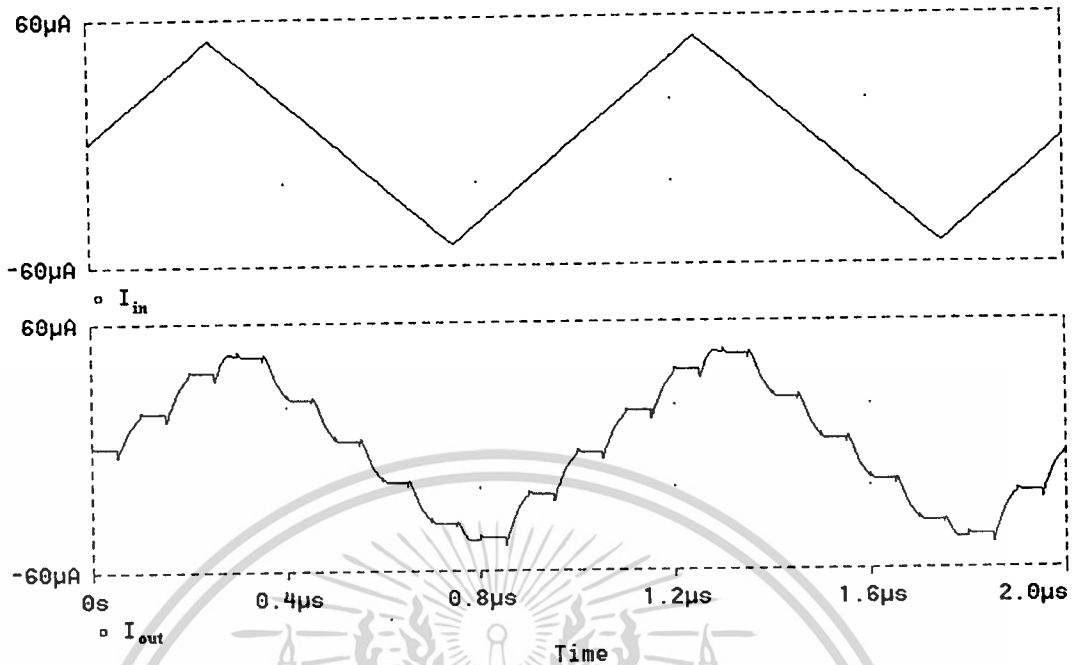


รูปที่ 5.30 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุมและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่  $10kHz$  แอมพลิจูด  $50\mu A$



รูปที่ 5.31 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุมและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่  $100kHz$  แอมพลิจูด  $50\mu A$

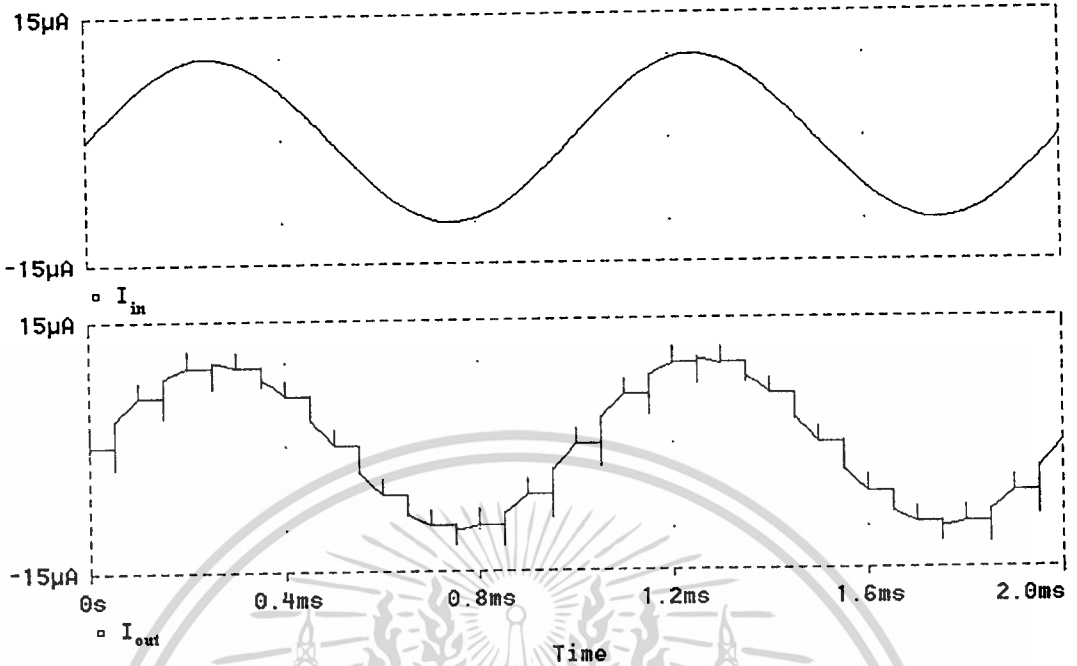
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น ผู้ทรงห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหากมีการนำไปใช้



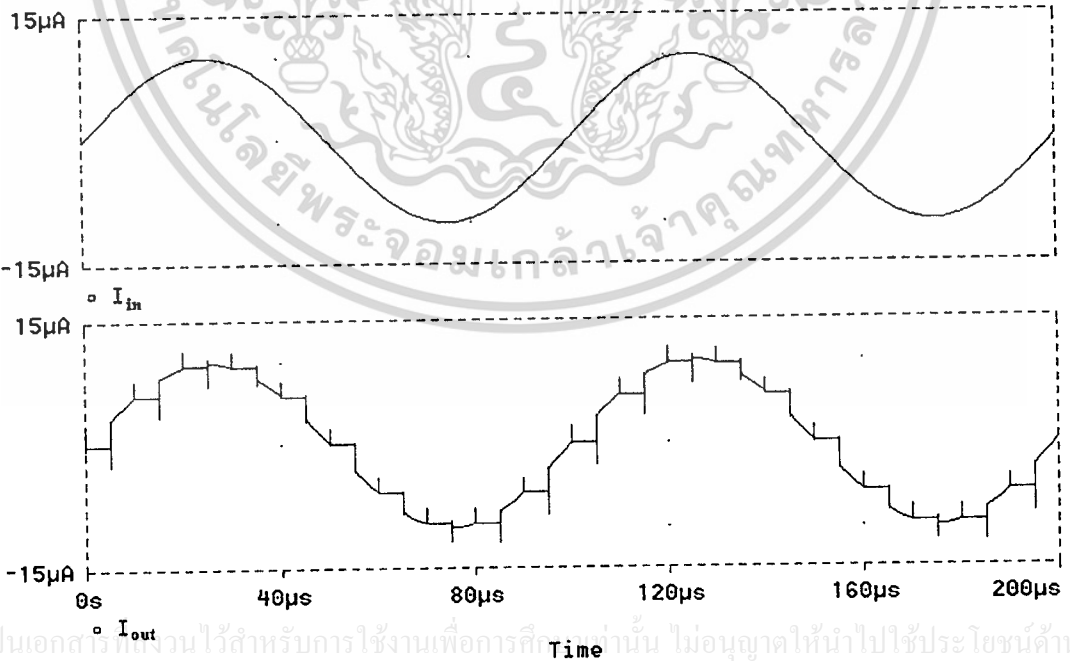
รูปที่ 5.32 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1MHz แอมพลิจูด 50 $\mu$ A

จากผลการจำลองการทำงานของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟสที่เสนอ เมื่อใส่สัญญาณอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมพลิจูด 50 $\mu$ A ที่ความถี่ต่างๆ นั้น ผลการทำงานจะใกล้เคียงกับวงจรแบบกลับเฟสในหัวข้อก่อน คือที่ความถี่ 1kHz, 10kHz และ 100kHz กระแสเอาพุตที่ได้จะใกล้เคียงกับเอาพุตตามทฤษฎี ส่วนที่ความถี่ 1MHz นั้น ขนาดของเอาพุตจะถูกลดทอนลงและเกิดการดีเลย์ เนื่องจากอินพุตมีความถี่สูงเกินช่วงการทำงานของวงจร

และเมื่อทำการจำลองการทำงานของวงจรอีก โดยเปลี่ยนกระแสอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมพลิจูดลดลงเป็น 10 $\mu$ A ที่ความถี่ 1kHz, 10kHz, 100kHz และ 1MHz ใช้สัญญาณนาฬิกาที่มีความถี่เป็น 10 เท่าของสัญญาณอินพุต ได้ผลการทำงานดังรูปที่ 5.33 , 5.34 , 5.35 , 5.36 , 5.37 , 5.38 , 5.39 และ 5.40



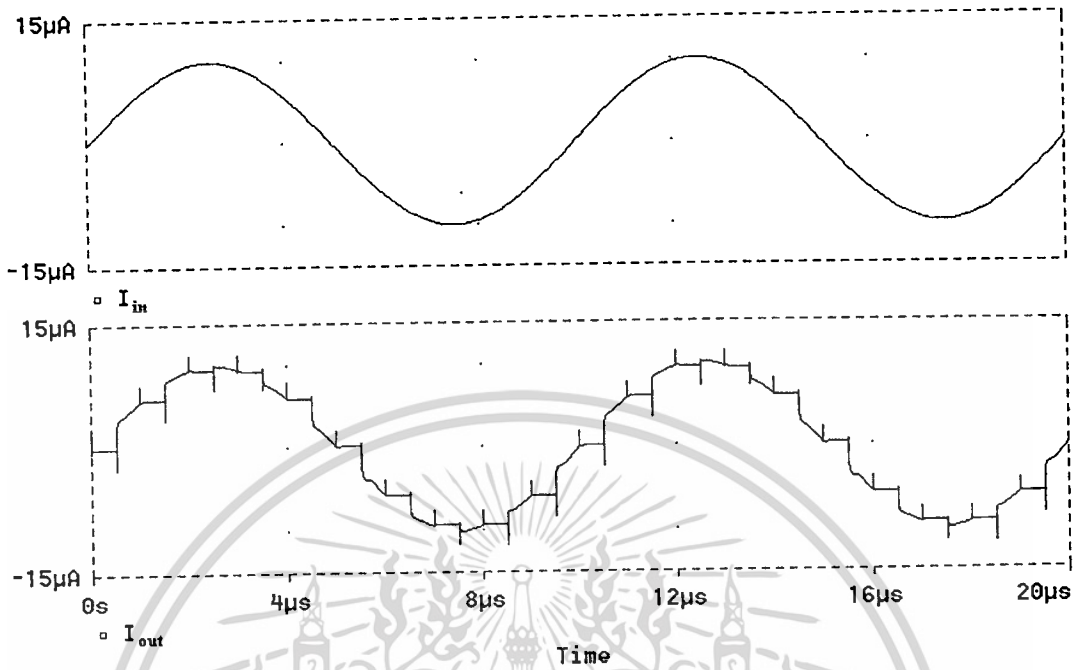
รูปที่ 5.33 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1kHz แอมพลิจูด 10 $\mu$ A



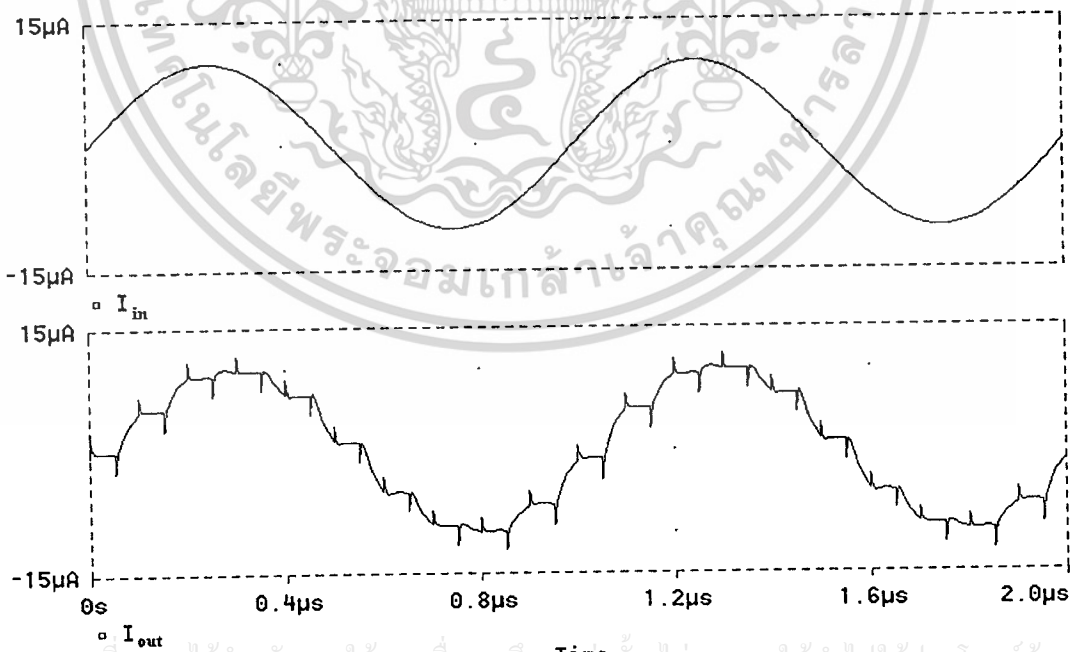
รูปที่ 5.34 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10kHz แอมพลิจูด 10 $\mu$ A

เอกสารนี้เป็นเอกสารที่ใช้งานไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น ถือว่าท่านมิให้อัดแปลงเนื้อหา และต้องอ้างถึงถึงเจ้าของเอกสารเท่านั้น มิฉะนั้นจะถือว่าผิดกฎหมาย



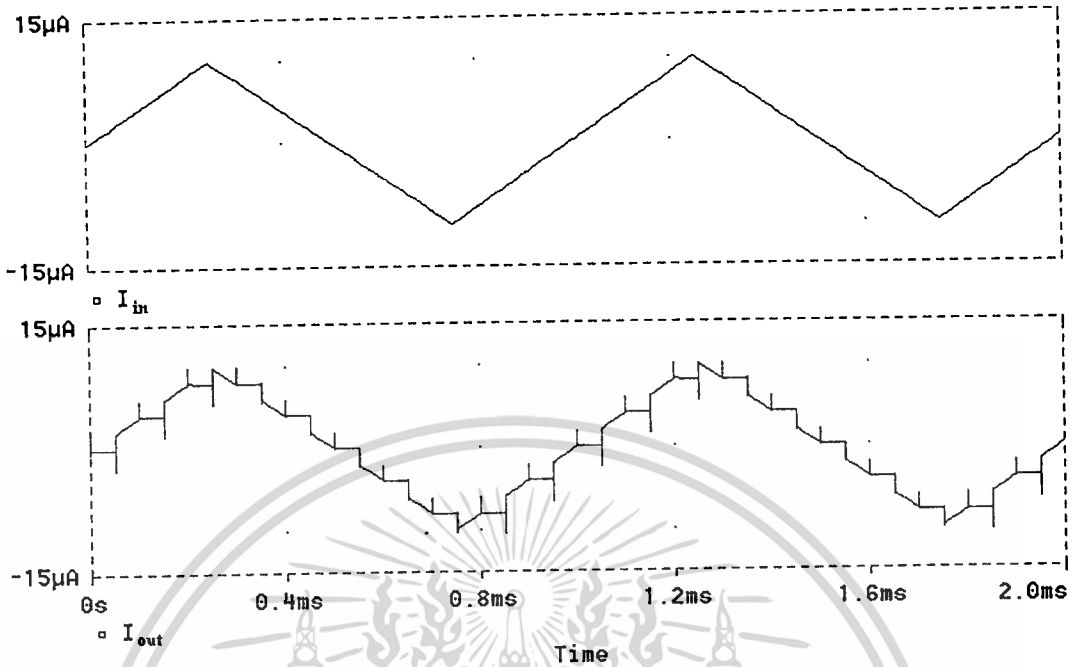
รูปที่ 5.35 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 100kHz แอมพลิจูด 10 $\mu$ A



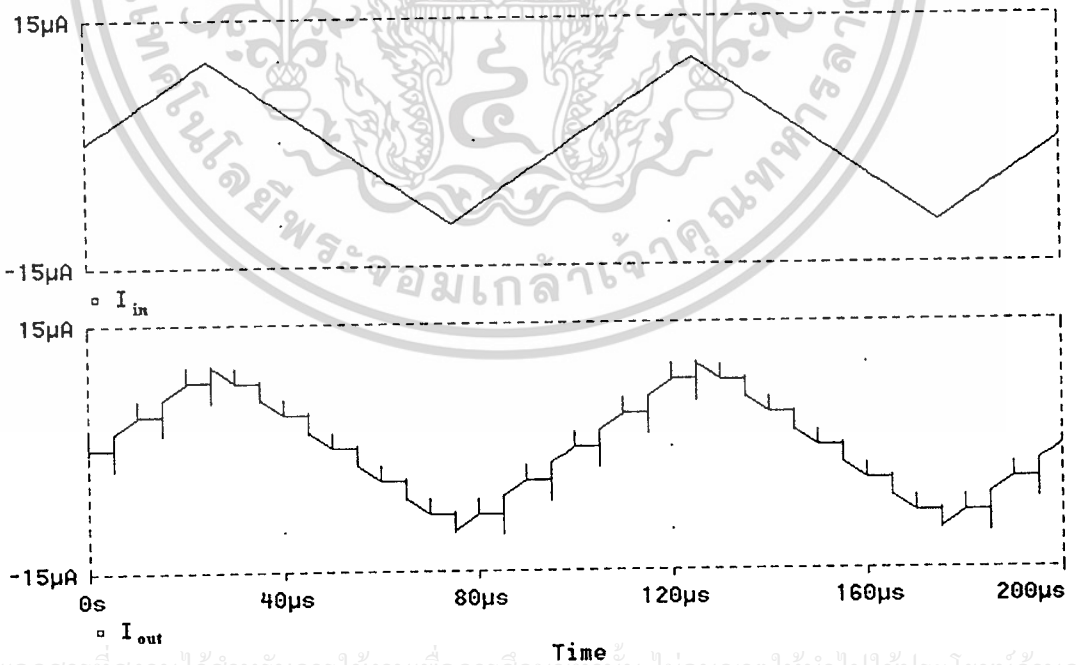
รูปที่ 5.36 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1MHz แอมพลิจูด 10 $\mu$ A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น ผู้ใช้นับถือพระรัตนตรัย ขออภัยและขอขมาโทษไว้ ณ ที่นี้

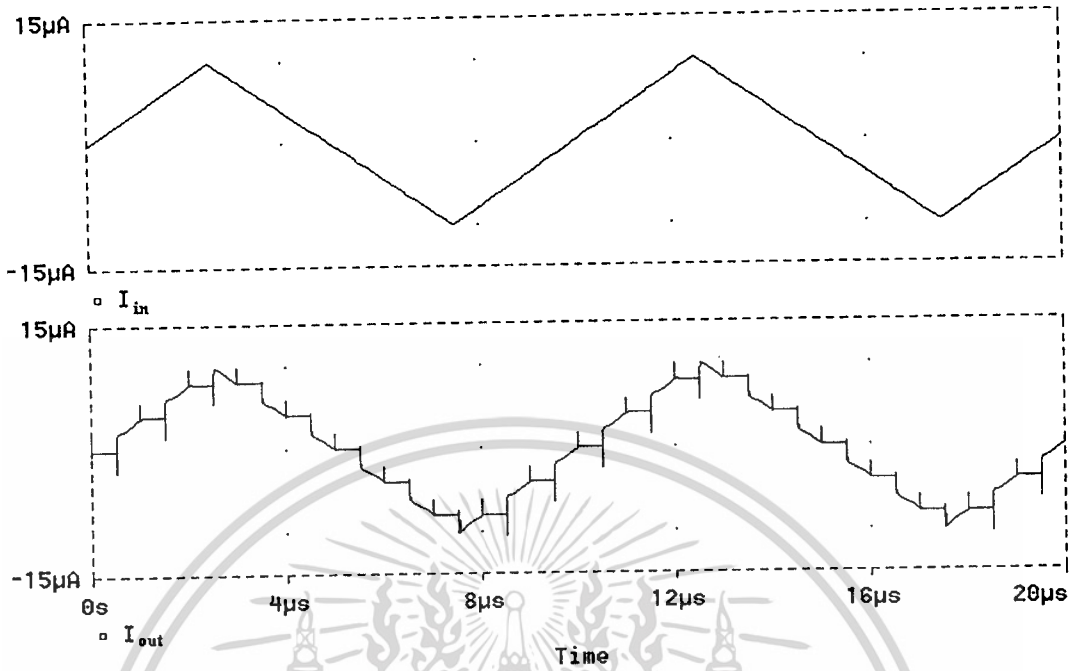


รูปที่ 5.37 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1kHz แอมพลิจูด 10 $\mu$ A

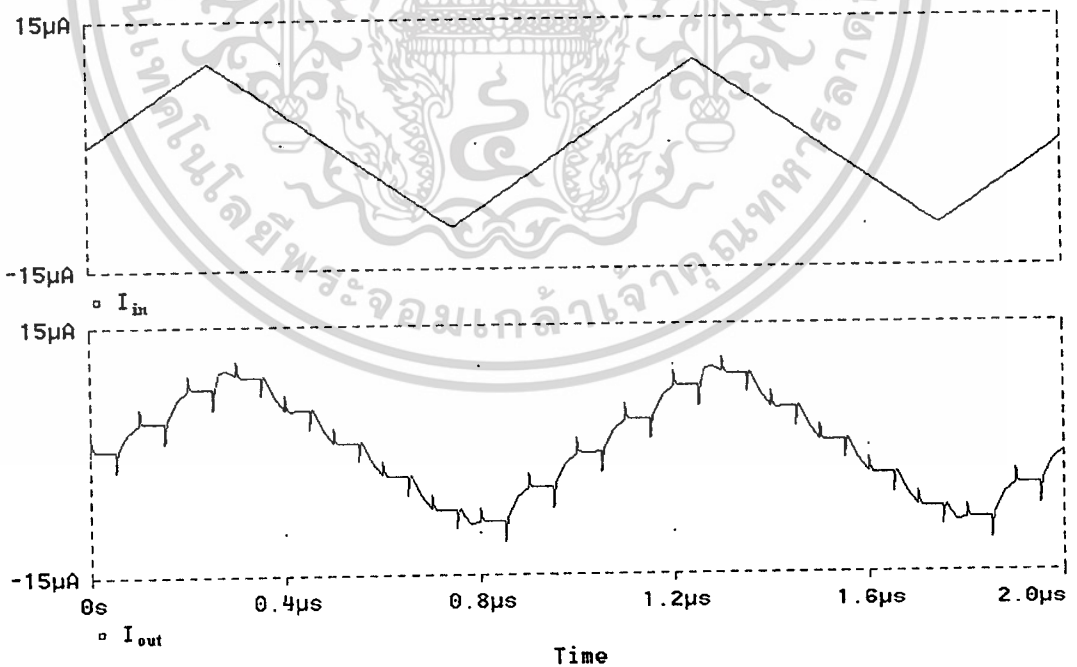


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 5.38 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยม ความถี่ 10kHz แอมพลิจูด 10 $\mu$ A



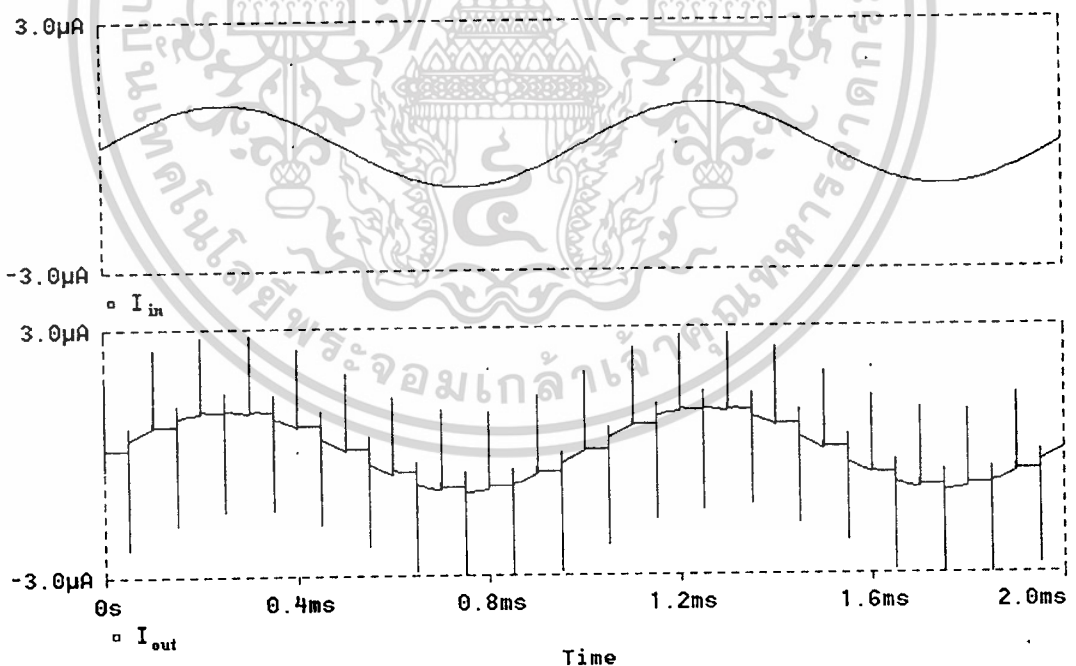
รูปที่ 5.39 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมป์ลิจูด 10 $\mu$ A



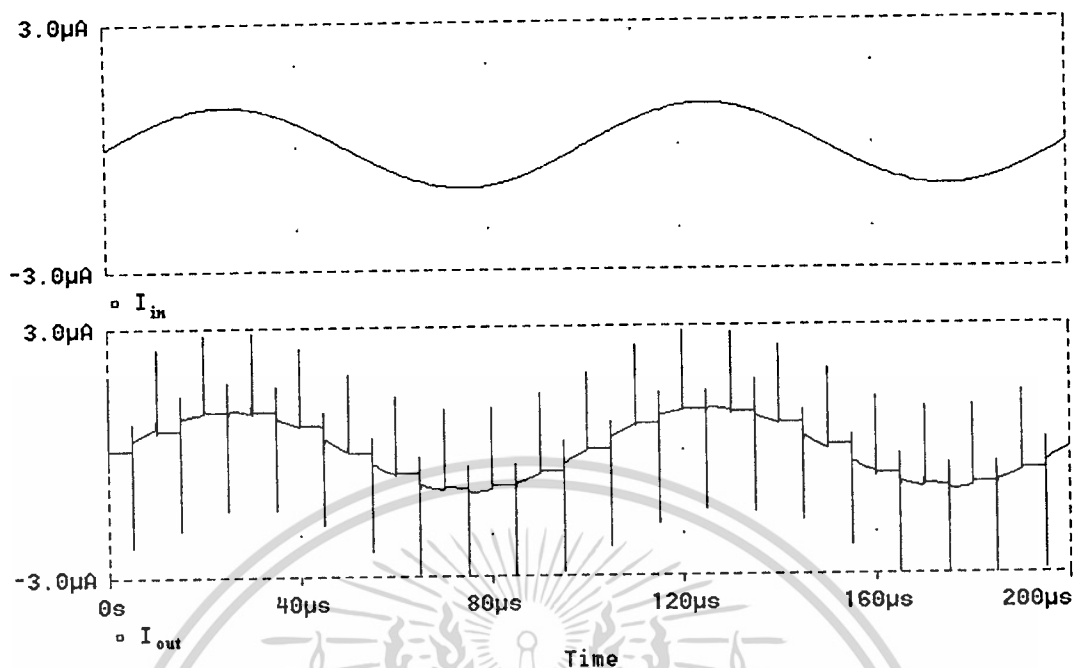
รูปที่ 5.40 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุมและคงค่ากระแสแบบไม่กลับเฟส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยม ความถี่ 1MHz แอมป์ลิจูด 10 $\mu$ A

การจำลองการทำงานของวงจรมุมและคงค่ากระแสแบบไม่กลับเฟสที่เสนอ เมื่อใส่สัญญาณอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมพลิจูดลดลงเป็น  $10\mu\text{A}$  ที่ความถี่ต่างๆ นั้น ได้ผลในลักษณะเดียวกับวงจรแบบกลับเฟสที่เสนอ คือรูปคลื่นของกระแสเอาพุตที่ความถี่ 1kHz, 10kHz และ 100kHz จะมีลักษณะใกล้เคียงกัน และเนื่องจากลดกระแสอินพุตลงจึงสังเกตเห็นจากรูปคลื่นของกระแสเอาพุตได้ชัดเจนว่า ที่ช่วงเวลาที่วงจรมุมจะเปลี่ยนจากช่วงมุมค่าเป็นช่วงคงค่า และจากช่วงคงค่าเป็นช่วงมุมค่า นั้น จะเกิดการเปลี่ยนแปลงของกระแสอย่างรวดเร็วขึ้น ซึ่งเป็นผลมาจากการลบกัณของกระแสที่โหนดเอาพุตของวงจรมุม โดยเฉพาะที่ความถี่ 1MHz นั้น จะเห็นได้อย่างชัดเจนเช่นกัน

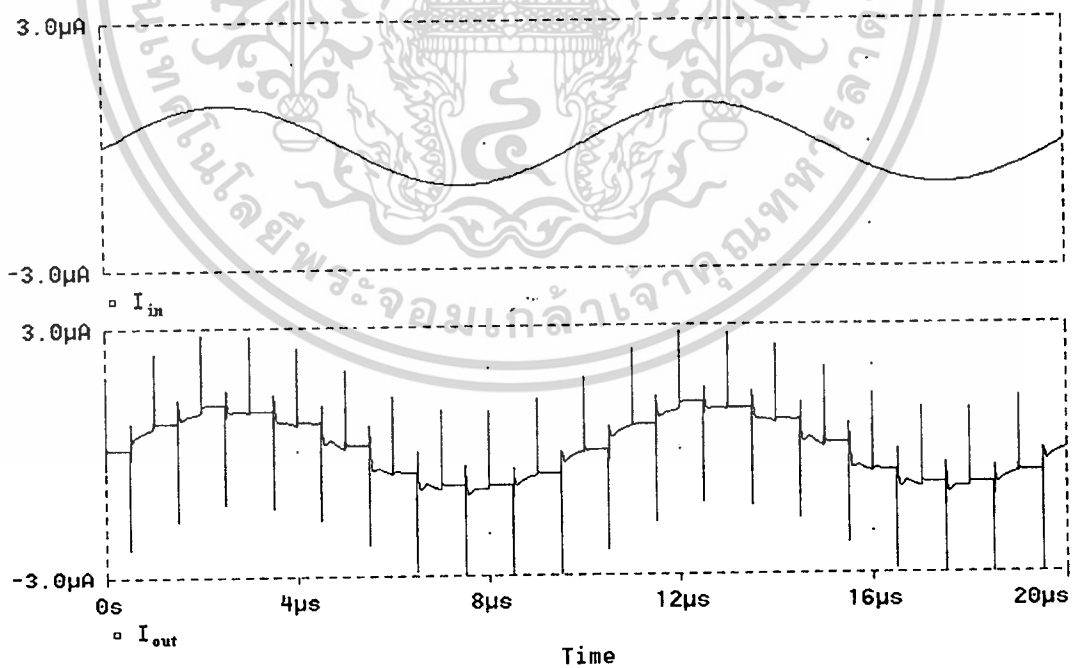
และเมื่อทำการจำลองการทำงานของวงจรมุมอีก โดยเปลี่ยนกระแสอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมพลิจูดลดลงเป็น  $1\mu\text{A}$  ที่ความถี่ 1kHz, 10kHz, 100kHz และ 1MHz ใช้สัญญาณนาฬิกาที่มีความถี่เป็น 10 เท่าของสัญญาณอินพุต ได้ผลการทำงานดังรูปที่ 5.41, 5.42, 5.43, 5.44, 5.45, 5.46, 5.47 และ 5.48



เอกสารนี้ รูปที่ 5.41 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรมุมและคงค่ากระแสแบบไม่กลับเฟส  
ไม่ว่ากรณีใดๆทั้งสิ้น เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1kHz แอมพลิจูด  $1\mu\text{A}$  ทุกครั้งที่มีการนำไปใช้

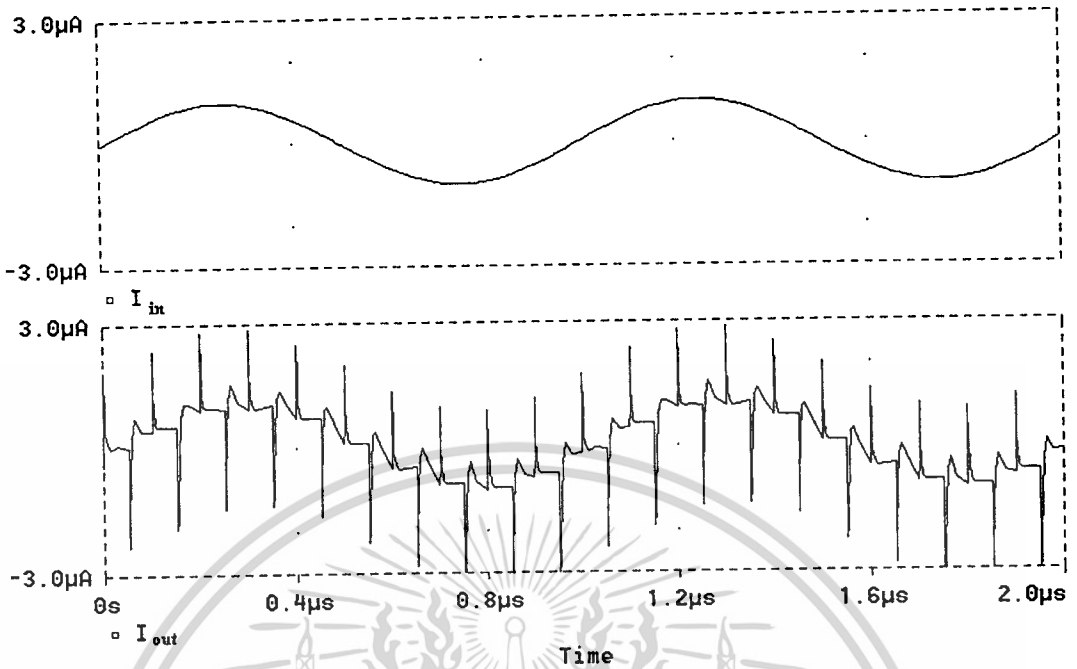


รูปที่ 5.42 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10kHz แอมป์ลิจูด 1μA

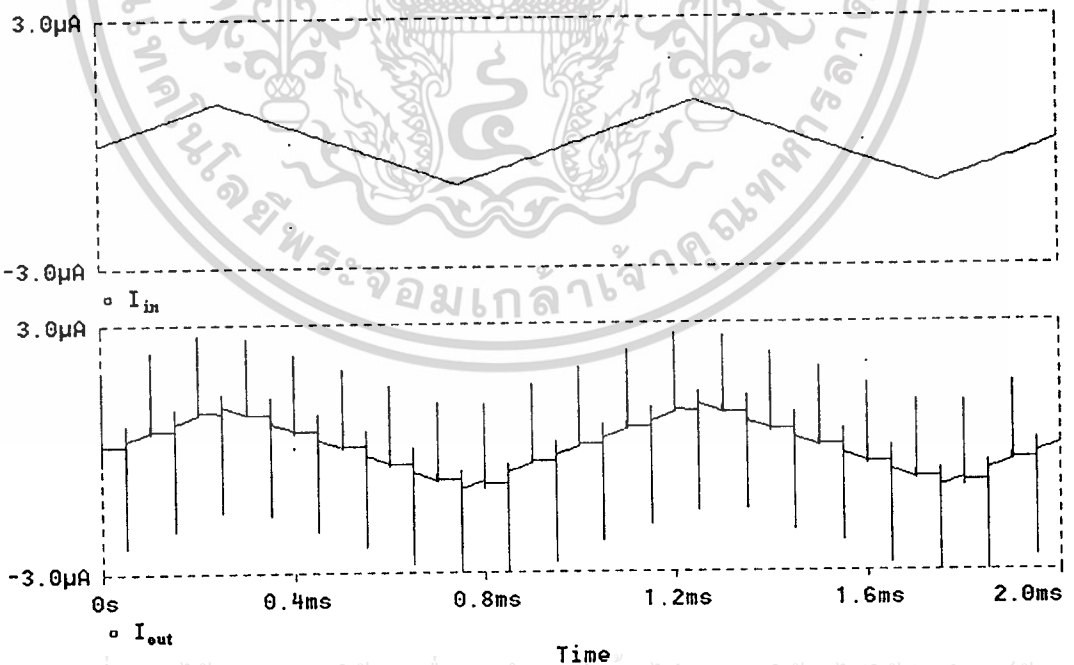


รูปที่ 5.43 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 100kHz แอมป์ลิจูด 1μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทางสนธิสัญญาห้ามมิให้คัดลอกหรือทำซ้ำโดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

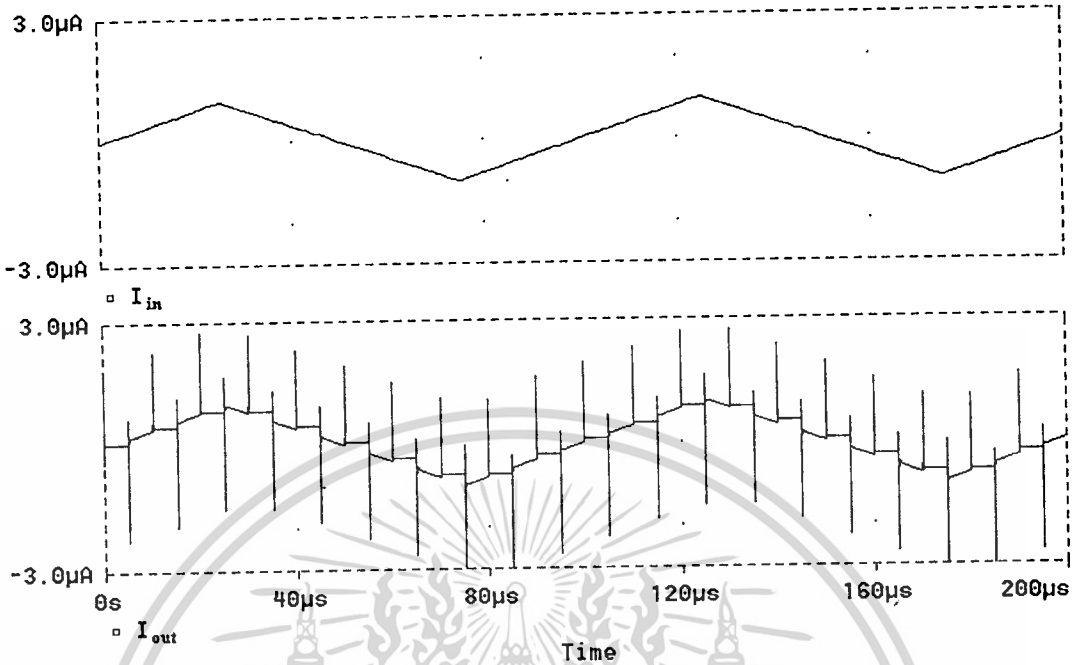


รูปที่ 5.44 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1MHz แอมพลิจูด 1 $\mu$ A

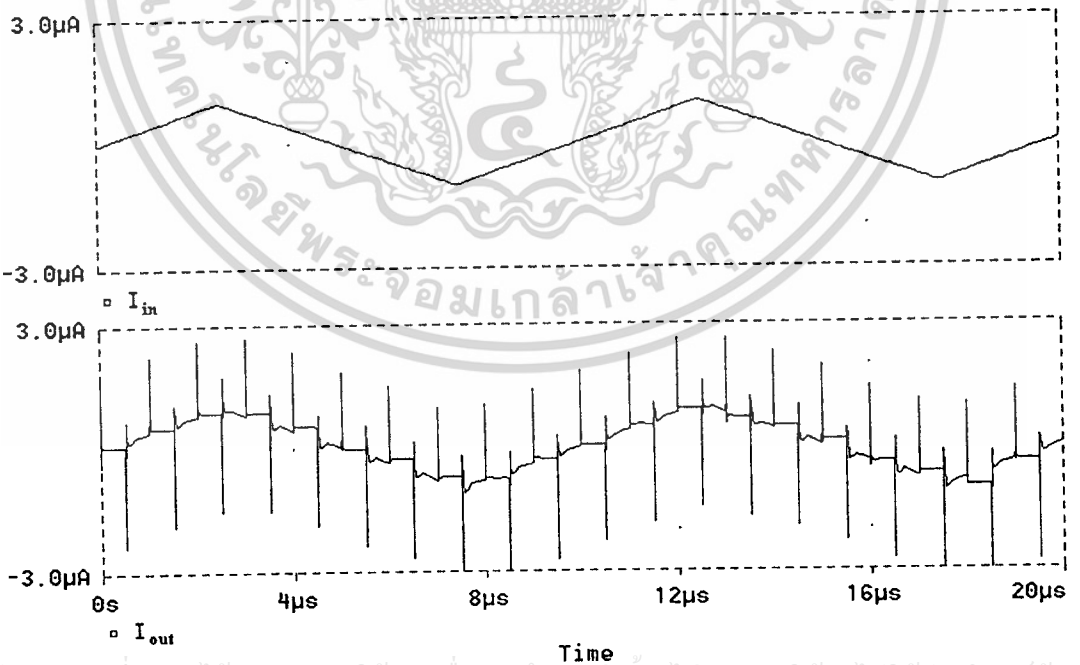


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

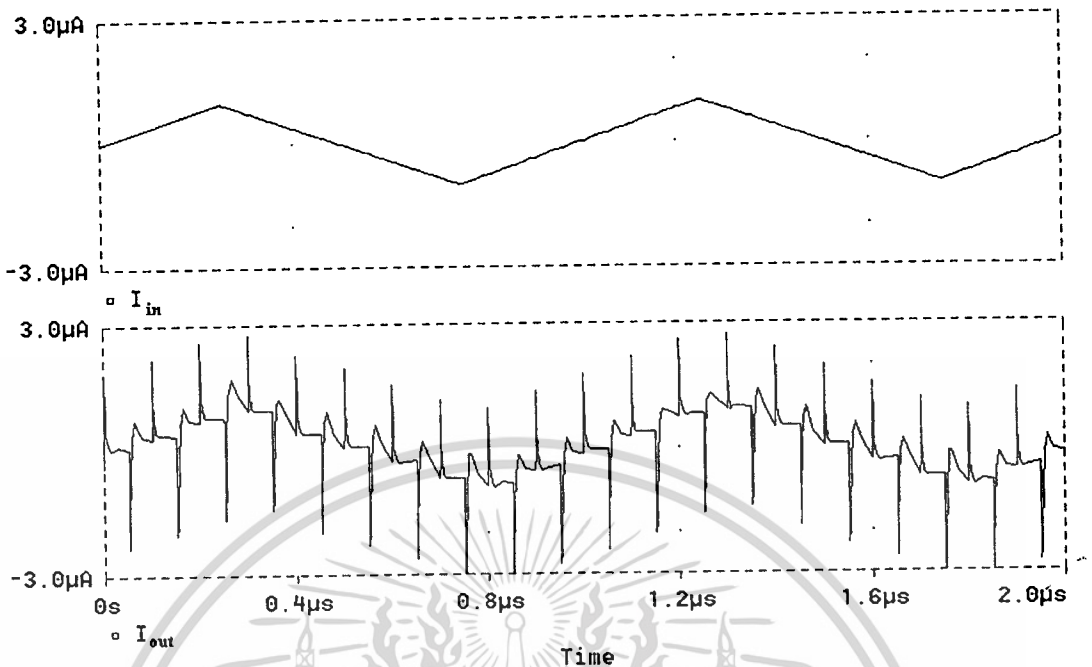
รูปที่ 5.45 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1kHz แอมพลิจูด 1 $\mu$ A



รูปที่ 5.46 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 10kHz แอมพลิจูด 1μA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ รูปที่ 5.47 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 100kHz แอมพลิจูด 1μA

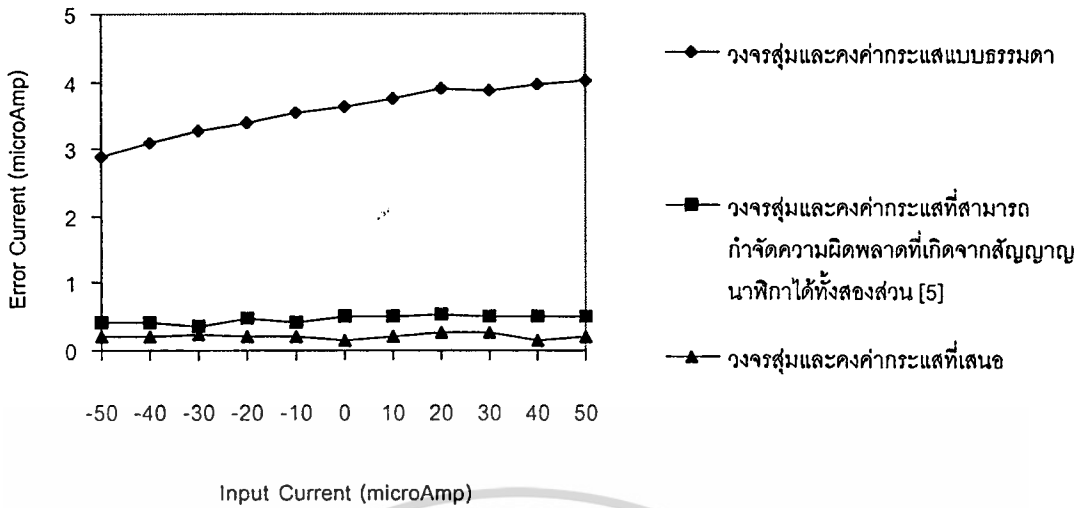


รูปที่ 5.48 รูปคลื่นกระแสอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส  
เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1MHz แอมพลิจูด 1 $\mu$ A

เมื่อใส่สัญญาณอินพุตเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีแอมพลิจูดลดลงเหลือเพียง 1 $\mu$ A ที่ความถี่ต่างๆ จะสามารถสังเกตเห็นค่ากระแสผิดพลาดที่เกิดขึ้นในช่วงคงค่าของกระแสเอาพุตได้ โดยกระแสเอาพุตที่ความถี่ 1kHz, 10kHz และ 100kHz จะมีกระแสผิดพลาดเกิดขึ้นใกล้เคียงกัน ส่วนที่ความถี่ 1MHz ซึ่งเป็นความถี่ที่สูงกว่าช่วงทำงานของวงจรแล้วนั้น กระแสเอาพุตจะมีความผิดพลาดสูงจนสังเกตเห็นได้อย่างชัดเจน แสดงว่ากระแสผิดพลาดที่เกิดขึ้นนั้นไม่ขึ้นอยู่กับความถี่ของสัญญาณอินพุตและสัญญาณนาฬิกา ถ้าความถี่นั้นยังอยู่ในช่วงการทำงาน ของวงจร

เพื่อเปรียบเทียบการทำงานของวงจรสุ่มและคงค่ากระแสที่เสนอกับวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาได้ทั้งสองส่วน และวงจรสุ่มและคงค่ากระแสแบบธรรมดา จึงได้ทำการจำลองการทำงานของวงจรทั้งหมด และหาค่ากระแสผิดพลาดที่เกิดขึ้นที่กระแสอินพุตค่าต่างๆ โดยใช้แหล่งจ่ายแรงดันเท่ากับ 5 โวลต์ ระดับสัญญาณนาฬิกา 0-5 โวลต์ ผลของการจำลองการทำงานแสดงในรูปที่ 5.49

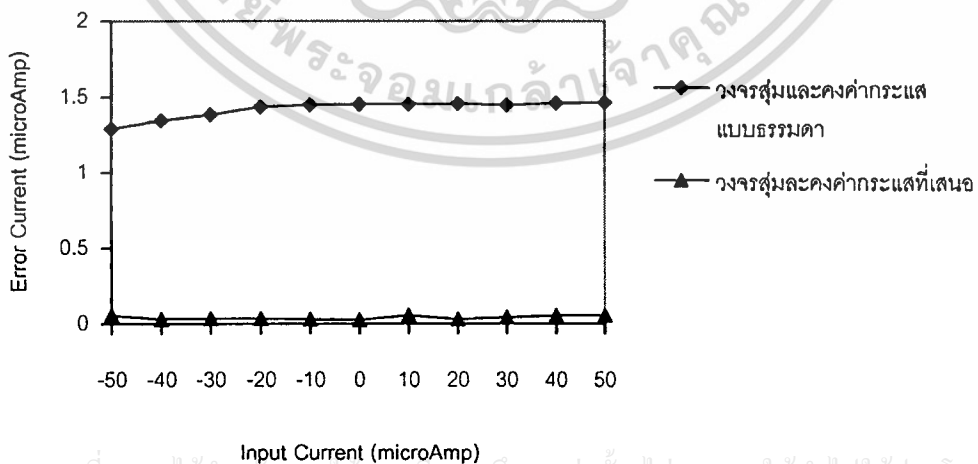
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.49 แสดงกระแสผิดพลาดของวงจรรุ่นสุ่มและคงค่ากระแสที่เสนอกับวงจรรุ่นสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาได้ทั้งสองส่วน และวงจรรุ่นสุ่มและคงค่ากระแสแบบธรรมดา

จากกราฟในรูปที่ 5.49 จะเห็นว่าค่ากระแสผิดพลาดของวงจรรุ่นสุ่มและคงค่ากระแสที่เสนอนั้นมีค่าน้อยที่สุดเมื่อเทียบกับอีกสองวงจร ที่ทุกๆ ค่ากระแสอินพุต

เนื่องจากวงจรที่เสนอและวงจรรุ่นสุ่มและคงค่ากระแสแบบธรรมดานั้น สามารถทำงานโดยใช้แหล่งจ่ายแรงดัน 3.3 โวลต์ได้ จึงจำลองการทำงานของวงจรทั้งสองเพื่อหาค่ากระแสผิดพลาดที่เกิดขึ้นเมื่อวงจรใช้ไฟ 3.3 โวลต์ ได้ผลดังกราฟรูปที่ 5.50

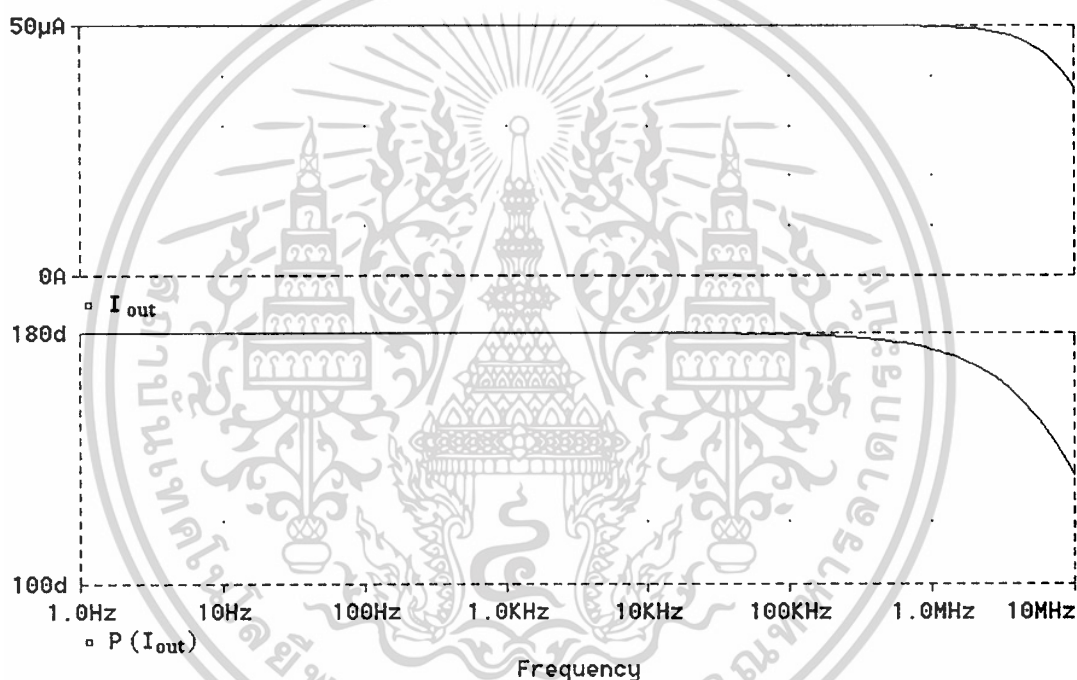


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงชื่อของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.50 แสดงกระแสผิดพลาดของวงจรรุ่นสุ่มและคงค่ากระแสที่เสนอกับวงจรรุ่นสุ่มและคงค่ากระแสแบบธรรมดา

จากกราฟในรูปที่ 5.50 พบว่าค่ากระแสผิดพลาดของทั้งสองวงจรลดลงเมื่อใช้แหล่งจ่ายแรงดัน 3.3 โวลต์ และสัญญาณนาฬิกา 0-3.3 โวลต์ ซึ่งเป็นผลมาจากการลดระดับแรงดันของสัญญาณนาฬิกาทำให้แรงดันคลอกรูปที่ทรูที่เกิดขึ้นมีค่าน้อยลง กระแสผิดพลาดของวงจรทั้งสองจึงน้อยลง

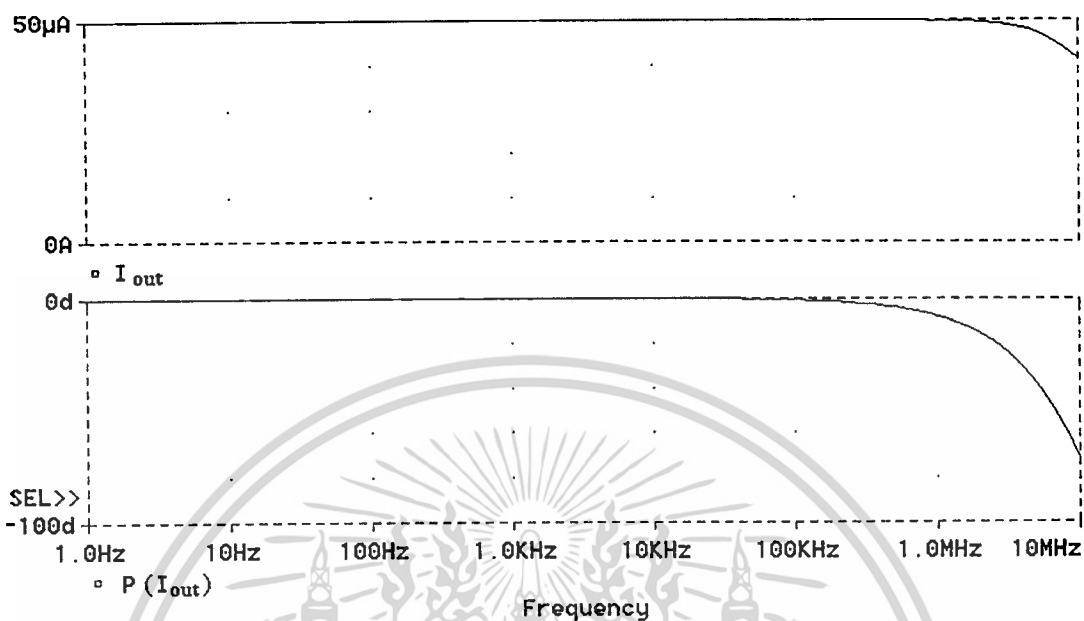
เมื่อทำการจำลองการทำงานของวงจรเพื่อวิเคราะห์ผลตอบสนองทางความถี่ของวงจรที่เสนอ โดยหาค่าของขนาดและมุมเฟสของกระแสเข้าพุดที่ความถี่ต่างๆ สำหรับวงจรสุ่มและคงค่ากระแสแบบกลับเฟสที่เสนองจะ ได้ผลดังรูปที่ 5.51 และสำหรับวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟสที่เสนองจะ ได้ผลดังรูปที่ 5.52



รูปที่ 5.51 กราฟของขนาดและมุมเฟสของกระแสเข้าพุดที่ความถี่ต่างๆ ของวงจรสุ่มและคงค่ากระแสแบบกลับเฟสที่เสนอ

จากกราฟในรูปที่ 5.51 จะพบว่าวงจรจะทำงานตามปกติ คือให้กระแสเข้าพุดที่มีขนาดเท่ากับกระแสอินพุตและมีมุมเฟสต่างกับอินพุต 180 องศา ในความถี่ช่วงหนึ่ง และเมื่อให้ความถี่สูงขึ้นขนาดและมุมเฟสของกระแสเข้าพุดจะเริ่มลดลง

สำหรับกราฟในรูปที่ 5.52 กระแสเข้าพุดของวงจรจะมีขนาดเท่ากับกระแสอินพุตและมีมุมเฟสตรงกับกระแสอินพุต คือ 0 องศา ในความถี่ช่วงหนึ่ง และเมื่อให้ความถี่สูงขึ้นขนาดและมุมเฟสของกระแสเข้าพุดจะเริ่มลดลง



รูปที่ 5.52 กราฟของขนาดและมุมเฟสของกระแสเข้าพุตที่ความถี่ต่างๆ ของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟสที่เสนอ

ตารางที่ 5.1 แสดงค่าคุณลักษณะต่างๆ ของวงจร ที่ได้จากการจำลองการทำงานของวงจรสุ่มและคงค่ากระแสแบบธรรมดา แบบที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาได้ทั้งสองส่วน และแบบที่เสนอ

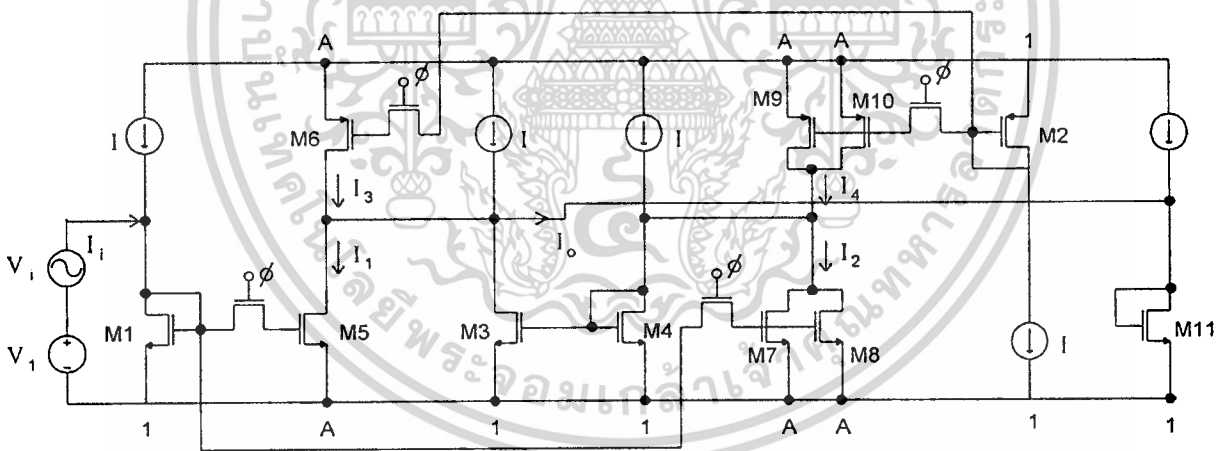
ตารางที่ 5.1 ค่าคุณลักษณะของวงจรสุ่มและคงค่ากระแสแบบต่างๆ

คุณลักษณะของวงจร	วงจรสุ่มและคงค่ากระแสแบบธรรมดา	วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาได้ทั้งสองส่วน	วงจรสุ่มและคงค่ากระแสที่เสนอ
Input Swing	$\pm 50\mu\text{A}$	$\pm 50\mu\text{A}$	$\pm 50\mu\text{A}$
Error current	1.463 $\mu\text{A}$	0.522 $\mu\text{A}$	0.117 $\mu\text{A}$
Max. Input Frequency	416kHz	188kHz	190kHz
Power dissipation	0.63 mW	4 mW	2.97 mW
Power supply voltage	3.3 V	5 V	3.3 V

จากตารางที่ 5.1 เมื่อออกแบบให้ทุกวงจรมีช่วงของกระแสอินพุตเท่ากัน วงจรที่เสนอมจะมีค่ากระแสผิดพลาดน้อยกว่า และสามารถทำงานโดยใช้แหล่งจ่ายแรงดันต่ำกว่าและใช้กำลังงานน้อยกว่าวงจรสุ่มและคงค่ากระแสแบบที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนพิก้าได้ทั้งสองส่วน แต่จะทำงานได้ที่ความถี่ต่ำกว่าวงจบบรรณดา และใช้กำลังงานมากกว่า แต่ก็มีความถูกต้องสูงกว่ามาก

## 5.1 ผลการทดลอง

ในการทดลองได้ทำการต่อวงจรสุ่มและคงค่ากระแสที่เสนอทั้งแบบกลับเฟส และไม่กลับเฟส โดยใช้ไอซีเบอร์ 4007 ซึ่งเป็นทรานซิสเตอร์แบบ NMOS และ PMOS สวิตช์ใช้ไอซีเบอร์ 4066 และแหล่งจ่ายกระแสใช้ไอซีเบอร์ LM334 ให้วงจรทำงานที่ระดับแรงดัน 3.3 โวลต์ และใช้กระแสไบอัส  $100 \mu\text{A}$  เนื่องจากวงจรที่เสนอเป็นวงจรในโหมดกระแส ในการจำลองการทำงานนั้นเราสามารถใส่อินพุตเป็นกระแสและวัดเอาพุตที่เป็นกระแสได้ แต่ในการต่อวงจรจริงนั้นเครื่องมือวัดที่ใช้คือออสซิลโลสโคปซึ่งใช้วัดค่าแรงดัน เราจึงทำให้อินพุตและเอาพุตของวงจรอยู่ในรูปแรงดันเพื่อที่จะสามารถวัดค่าได้ ซึ่งสามารถทำได้โดยต่อวงจรดังรูปที่ 5.53



รูปที่ 5.53 รูปวงจรสุ่มและคงค่ากระแสที่เสนอที่ใช้ในการต่อวงจรจริง

โดยใช้แหล่งกำเนิดสัญญาณ  $V_i$  เป็นแหล่งจ่ายสัญญาณอินพุตต่ออนุกรมอยู่กับแหล่งจ่ายไฟตรง  $V_1$  ซึ่งมีค่าเท่ากับแรงดัน  $V_{DS}$  ของทรานซิสเตอร์ M1 เมื่อยังไม่ได้ต่อกับอินพุตให้กับวงจร เมื่อใส่ค่าแรงดัน  $V_i$  ค่ากระแสเดรนของ M1 จะเปลี่ยนแปลงตามค่าแรงดันระหว่างขาเกตกับขาซอสของ M1 ซึ่งเปลี่ยนแปลงไป โดยค่ากระแสเดรนของ M1 จะมีค่าเท่ากับกระแสอินพุต  $I_i$  บวกกับกระแสไบอัส  $I$  วงจรจะทำการสุ่มและคงค่ากระแส  $I_i$  ที่เปลี่ยนแปลงไปตามค่าแรงดัน  $V_i$  นี้

ส่วนกระแสเข้าพุดที่ได้จะต่อไปยังขาเดรนของทรานซิสเตอร์ M11 ซึ่งต่ออยู่ในลักษณะไดโอด แรงดันที่ขาเกตของ M11 จึงเกิดการเปลี่ยนแปลงตามค่ากระแสเข้าพุดของวงจร เราจึงสามารถวัด อินพุตและเข้าพุดในรูปแรงดันได้โดยวัดค่าแรงดันระหว่างขาเกตกับขาซอสของทรานซิสเตอร์ M1 และ M11 นั้นเอง

พิจารณาความสัมพันธ์ระหว่างแรงดันอินพุต  $V_i$  กับกระแสอินพุต  $I_i$  กรณีที่ไม่ใส่อินพุตให้แก่วงจร กระแสเดรนของทรานซิสเตอร์ M1 จะเท่ากับกระแสไบอัส จากแหล่งจ่ายกระแส

$$\begin{aligned} I_1 = I &= \frac{1}{2} K(W/L)(V_{GS1} - V_T)^2 \\ &= \frac{1}{2} K(W/L)(V_{DS1} - V_T)^2 \end{aligned} \quad (5.1)$$

โดย  $V_{DS1}$  คือค่าแรงดันระหว่างขาเดรนกับขาซอสของทรานซิสเตอร์ M1 เมื่อไม่ได้ใส่ อินพุตให้แก่วงจร และ  $V_{DS1} = V_{GS1}$  เมื่อต่อแหล่งจ่ายแรงดัน  $V_1$  และแหล่งจ่ายแรงดันอินพุต  $V_i$  กระแสเดรนของ M1 จะมีค่า ดังนี้

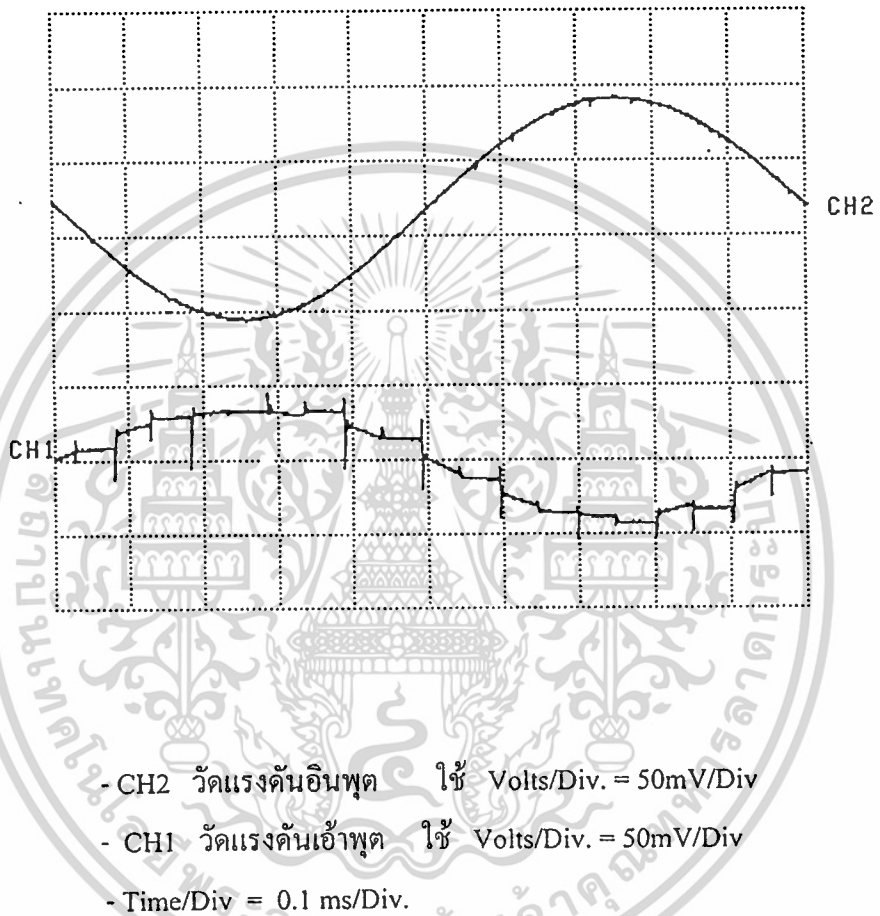
$$\begin{aligned} I_1 = I + I_i &= \frac{1}{2} K(W/L)(V_{DS1} + V_i - V_T)^2 \\ &= \frac{1}{2} K(W/L)(V_{DS1} - V_T)^2 + K(W/L)(V_{DS1} - V_T)V_i \\ &\quad + \frac{1}{2} K(W/L)V_i^2 \end{aligned} \quad (5.2)$$

แทนค่า  $I$  จากสมการ (5.1) จะได้

$$I_i = K(W/L)(V_{DS1} - V_T)V_i + \frac{1}{2} K(W/L)V_i^2 \quad (5.3)$$

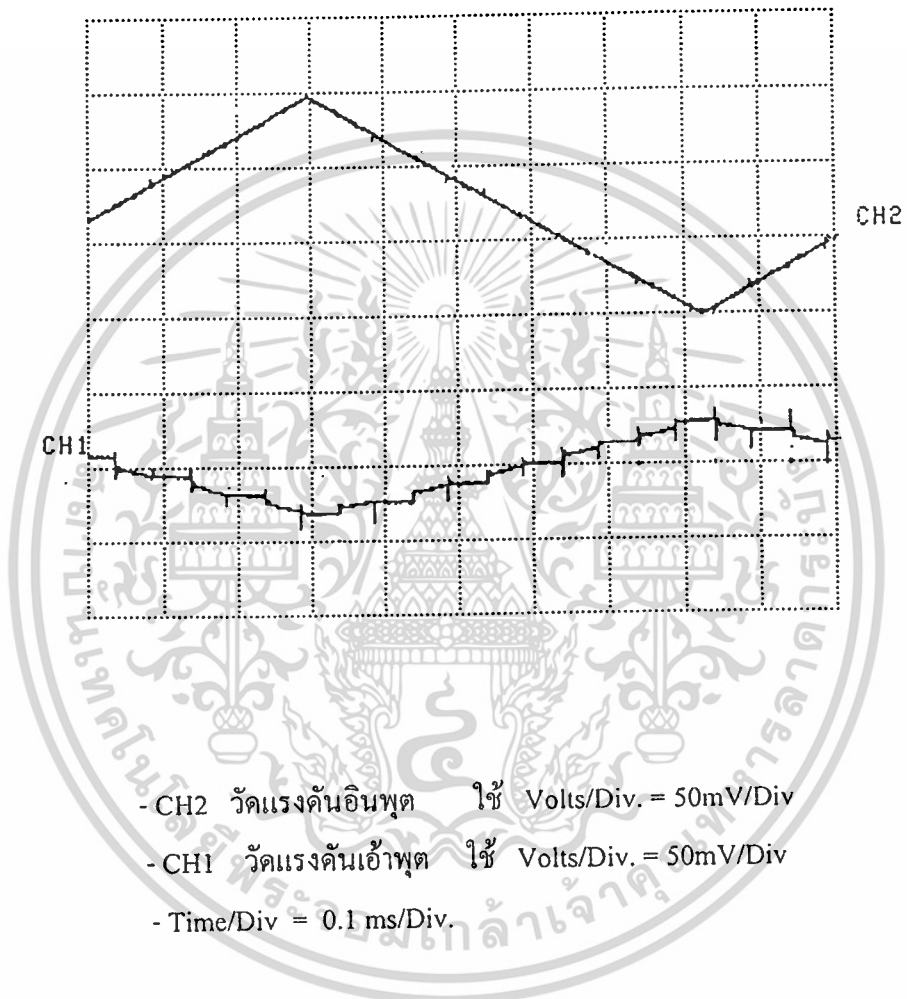
จากสมการ (5.3) พบว่ากระแสอินพุต  $I_i$  จะมีค่าเปลี่ยนแปลงตามแรงดันอินพุต  $V_i$  และมีค่าขึ้นอยู่กับแรงดัน  $V_{DS1}$ ,  $V_T$ , ค่าทรานสคอนดักแตนซ์พารามิเตอร์ ( $K$ ) และค่าอัตราส่วน แอสเปค ( $W/L$ ) ของทรานซิสเตอร์ โดยในการทดลองวัดค่า  $V_{DS1}$  ได้เท่ากับ 1.88 โวลต์ จึงใช้ แหล่งจ่ายแรงดัน  $V_1$  ที่มีค่าเท่ากับ 1.88 โวลต์ ใช้แรงดันอินพุต  $V_i$  เป็นคลื่นไซน์และคลื่น สามเหลี่ยมที่มีแอมพลิจูดเป็น 75 mV แต่เนื่องจากไม่ทราบค่าทรานสคอนดักแตนซ์พารามิเตอร์ และค่าอัตราส่วนแอสเปคของทรานซิสเตอร์ จึงไม่สามารถหาค่าที่แน่นอนของกระแสอินพุต  $I_i$  ได้ ทราบเพียงแต่ว่าค่าของกระแสอินพุต  $I_i$  จะเปลี่ยนแปลงตามค่าแรงดันอินพุต  $V_i$  ตามสมการ (5.3)

จากการต่อวงจรสุ่มและคงค่ากระแสแบบกลับเฟส ใช้อินพุตเป็นคลื่นไซน์และคลื่น สามเหลี่ยมความถี่ 1kHz แอมพลิจูด 75 mV ใช้สัญญาณนาฬิกาความถี่ 10kHz ได้รูปคลื่นของแรงดันอินพุตและเข้าพุดของวงจรวงจรดังรูปที่ 5.53 และ 5.54



รูปที่ 5.54 ค่าแรงดันอินพุตและเข้าพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส  
สัญญาณอินพุตเป็นคลื่นไซน์แอมพลิจูด 75 mV ความถี่ 1kHz

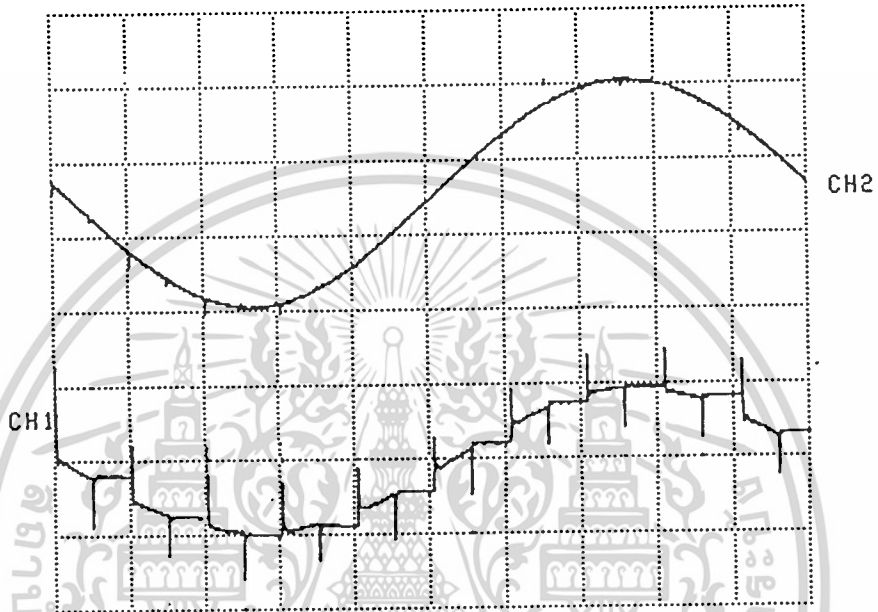
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.55 ค่าแรงดันอินพุตและเข้าพุตของวงจรสุ่มและคงค่ากระแสแบบกลับเฟส  
สัญญาณอินพุตเป็นคลื่นสามเหลี่ยมแอมพลิจูด 75 mV ความถี่ 1kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

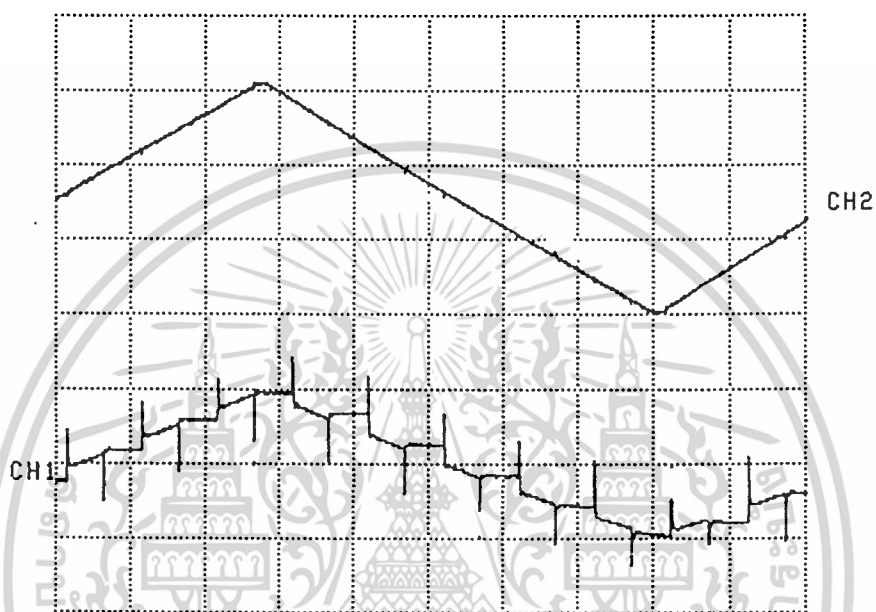
และจากการต่อวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส ใช้อินพุตเป็นคลื่นซายน์และคลื่นสามเหลี่ยมความถี่ 1kHz แอมพลิจูด 75 mV ใช้สัญญาณนาฬิกาความถี่ 10kHz ได้รูปคลื่นของแรงดันอินพุตและเข้าพุตของวงจรดังรูป 5.55 และ 5.56



- CH2 วัดแรงดันอินพุต ใช้ Volts/Div. = 50mV/Div
- CH1 วัดแรงดันเข้าพุต ใช้ Volts/Div. = 50mV/Div
- Time/Div = 0.1 ms/Div.

รูปที่ 5.56 ค่าแรงดันอินพุตและเข้าพุตของวงจรสุ่มและคงค่ากระแสแบบไม่กลับเฟส สัญญาณอินพุตเป็นคลื่นซายน์แอมพลิจูด 75 mV ความถี่ 1kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



- CH2 วัดแรงดันอินพุต ใช้ Volts/Div. = 50mV/Div
- CH1 วัดแรงดันเอาพุต ใช้ Volts/Div. = 50mV/Div
- Time/Div = 0.1 ms/Div.

รูปที่ 5.57 ค่าแรงดันอินพุตและเอาพุตของวงจรสุ่มและคงค่ากระแสแบบไมกัลป์เฟส  
สัญญาณอินพุตเป็นคลื่นสามเหลี่ยมแอมพลิจูด 75 mV ความถี่ 1kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองพบว่า รูปคลื่นเข้าพุทที่ได้ นั้น ใกล้เคียงกับผลจากการจำลองการทำงาน ของวงจรด้วยโปรแกรม PSPICE แต่จะมีความผิดพลาดเกิดขึ้นมากกว่า และช่วงที่วงจรเปลี่ยนจาก ช่วงการสุ่มค่าเป็นคงค่ากระแส และจากช่วงคงค่าเป็นสุ่มค่ากระแส จะเกิดการเปลี่ยนแปลงแรงดัน อย่างรวดเร็วที่โหนดเข้าพุทของวงจร โดยระดับแรงดันที่เปลี่ยนแปลงนี้มีค่าสูงกว่าผลที่ได้จากการ จำลองการทำงาน การที่เข้าพุทของวงจรที่ต่อจริงนี้มีความผิดพลาดมากกว่านั้นอาจเป็นผลมาจาก การที่ใช้ไอซีสำเร็จรูปในการต่อจึง ไม่สามารถกำหนดขนาดของทรานซิสเตอร์ และสวิทช์ในวงจร ให้เหมือนกับที่ใช้ในการจำลองการทำงานได้ และยังมีผลจากสัญญาณรบกวนที่เกิดขึ้นตาม ธรรมชาติอีกด้วย

### 5.3 สรุป

จากการจำลองการทำงานของวงจรสุ่มและคงค่ากระแสที่เสนอทั้งแบบกลับเฟสและไม่ กลับเฟส โดยการใส่อินพุทเป็นคลื่นไซน์และคลื่นสามเหลี่ยมที่มีขนาดเป็น  $50\mu\text{A}$ ,  $10\mu\text{A}$  และ  $1\mu\text{A}$  ที่ความถี่ต่างๆ คือ 1kHz, 10kHz, 100kHz และ 1MHz พบว่ากระแสเข้าพุทของวงจรที่เสนอ มีลักษณะใกล้เคียงกับกระแสเข้าพุทตามทฤษฎี มีกระแสเข้าพุทผิดพลาดเกิดขึ้นเล็กน้อย ยกเว้นที่ สัญญาณอินพุทมีความถี่เป็น 1 MHz ซึ่งเป็นความถี่สูงกว่าช่วงการทำงานของวงจร กระแสเข้าพุท จะมีความผิดพลาดสูง โดยมีขนาดลดลงและเกิดเฟสดีเลย์ และเมื่อทำการจำลองการทำงานเพื่อหา คุณลักษณะต่างๆ ของวงจรสุ่มและคงค่ากระแส 3 แบบ ได้ผลดังตารางที่ 5.1 จากผลที่ได้พบว่า วงจรที่เสนอมีค่ากระแสผิดพลาดน้อยที่สุด และสามารถทำงานโดยใช้แหล่งจ่ายแรงดันต่ำกว่า และใช้กำลังงานน้อยกว่าวงจรสุ่มและคงค่ากระแสแบบที่สามารถกำจัดความผิดพลาดที่เกิดจาก สัญญาณนาฬิกาได้ทั้งสองส่วน แต่จะทำงานได้ที่ความถี่ต่ำกว่าวงจรแบบธรรมดา และใช้กำลังงาน มากกว่า แต่ก็มีความถูกต้องสูงกว่ามาก ในหัวข้อ 5.2 จะเป็นผลการทดลองที่ได้จากการต่อ วงจรจริง พบว่ารูปคลื่นของวงจรใกล้เคียงกับผลจากการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE แต่จะมีความผิดพลาดเกิดขึ้นมากกว่าซึ่งอาจเป็นผลมาจากขนาดของทรานซิสเตอร์ และ สวิทช์ในวงจร ที่ไม่เท่ากับที่ใช้ในการจำลองการทำงาน และยังมีผลจากสัญญาณรบกวนที่เกิดขึ้น ตามธรรมชาติอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### สรุปผลและข้อเสนอแนะ

สำหรับวงจรสุ่มและคงค่ากระแสที่สร้างจากทรานซิสเตอร์แบบมอสโดยใช้เทคนิคสวิตช์กระแสในรูปที่ 2.3 นั้น ปัญหาหลักที่ทำให้ความถูกต้องของวงจรลดลงก็คือ ความผิดพลาดที่เกิดจากสัญญาณนาฬิกา โดยเมื่อสัญญาณนาฬิกาในวงจรเปลี่ยนจากระดับสูงเป็นระดับต่ำ เพื่อเปิดสวิตช์ในวงจรในช่วงคงค่ากระแส สวิตช์จะคัตออฟ ทำให้ประจุที่อยู่ในชานาผลของสวิตช์ถูกปล่อยออกมาและไหลไปยังตัวเก็บประจุแผ่นที่ขาเกตของ M2 ทำให้ค่าแรงดัน  $V_{gs2}$  ซึ่งเก็บค่าข้อมูลที่ทำให้การสุ่มไว้เปลี่ยนไป กระแสเข้าพุดจึงผิดพลาด ความผิดพลาดที่เกิดจากสัญญาณนาฬิกานี้ แบ่งได้เป็น 2 ส่วน คือ ส่วนที่ขึ้นอยู่กับสัญญาณอินพุต และส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต เพื่อที่จะแก้ไขปัญหานี้ ได้มีการออกแบบวงจรที่สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้บางส่วนขึ้น คือ วงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาส่วนที่ไม่ขึ้นอยู่กับสัญญาณอินพุต [3] และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาส่วนที่ขึ้นอยู่กับสัญญาณอินพุต [4] และต่อมาได้มีการออกแบบวงจรสามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ทั้งสองส่วน [5] ขึ้น ซึ่งให้กระแสเข้าพุดที่มีความถูกต้องมากกว่าสองวงจรแรก แต่ใช้ระดับแรงดันสูง และใช้กำลังงานมาก

สำหรับวงจรสุ่มและคงค่ากระแสที่เสนอ สามารถกำจัดความผิดพลาดที่เกิดจากสัญญาณนาฬิกาได้ ให้กระแสเข้าพุดที่มีความถูกต้องมากกว่าวงจรที่มีอยู่ และใช้กำลังงานน้อยกว่า เมื่อให้วงจรที่เสนอทำงานที่แรงดัน 5 V และใช้ระดับสัญญาณนาฬิกา 0-5 โวลต์ และทำการเปรียบเทียบค่ากระแสผิดพลาดที่เกิดขึ้นในวงจรที่เสนอ กับวงจรสุ่มและคงค่ากระแสแบบธรรมดา และวงจรสุ่มและคงค่ากระแสที่สามารถกำจัดความผิดพลาดจากสัญญาณนาฬิกาได้ทั้งสองส่วน ผลแสดงในรูปที่ 5.49 จากผลที่ได้พบว่าวงจรที่เสนอจะให้ค่ากระแสผิดพลาดน้อยที่สุด และเนื่องจากวงจรที่เสนอสามารถทำงานโดยใช้แหล่งจ่ายแรงดันที่มีค่าต่ำลงได้ คือที่ระดับแรงดัน 3.3 โวลต์ เมื่อให้วงจรทำงาน ค่ากระแสผิดพลาดที่เกิดขึ้นแสดงในรูปที่ 5.50 จะมีค่าน้อยลงกว่าเดิมทั้งนี้เนื่องจากที่แรงดัน 3.3 โวลต์นี้ จะใช้ระดับแรงดันของสัญญาณนาฬิกาต่ำลงเป็น 0-3.3 โวลต์ ตามสมการ (3.7) เมื่อระดับแรงดันของสัญญาณนาฬิกาตกลงจะทำให้ค่าแรงดันคลอกริพเพิลที่เกิดขึ้นมีค่าลดลงไปด้วย ค่ากระแสผิดพลาดจึงลดลงนั่นเอง

เนื่องจากวงจรที่เสนอจะสร้างขึ้นจากทรานซิสเตอร์แบบมอส จึงสามารถนำไปสร้างเป็นวงจรรวม โดยใช้กระบวนการผลิตชิปมอสแบบพื้นฐานได้ และอาจนำไปใช้งานร่วมกับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลซึ่งสร้างขึ้นจากชิปมอสเช่นกัน เพื่อนำไปใช้ในส่วนที่ทำการแปลง

สัญญาอนุญาตออกเป็นดิจิทัลของระบบประมวลผลสัญญาอนุญาตดิจิทัล ซึ่งทำให้สามารถสร้างวงจรรวม โหมคผสมสัญญาอนุญาตกับดิจิทัลได้ โดยใช้กระบวนการผลิตซีมอสแบบพื้นฐานเท่านั้น ทำให้เกิดความสะดวกในการผลิต และประหยัดค่าใช้จ่ายได้ด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

- [1] C. Tomazou, F.J. Lidgey, and D.G. Haigh, Analogue IC design : the current – mode approach. London : Peter Peregrinus, 1990.
- [2] C. Tomazou, J.B. Hughes, and N.C. Battersby, Switched-current : An analogue technique for digital technology. London : Peter Peregrinus, 1993.
- [3] H.C. Yang, T.S. Fiez, and D.J. Allstot, “Current feedthrough effects and cancellation technique in switched-current circuits,” Proc. IEEE Int. Symposium on Circuits and Systems, pp. 3186-3188, 1990.
- [4] M. Song, Y. Lee, and W. Kim, “A clock feedthrough reduction circuit for switched current systems,” IEEE J. Solid State Circuit, SC-38, (2), pp. 133-137, 1993.
- [5] H.K. Yang, and E.I. El-Masry, “Clock feedthrough analysis and cancellation in current sample/hold circuit,” IEE Proc. Circuit Device System, 141 (6), pp. 510-516, 1994.
- [6] M. Ismail, and T.S. Fiez, Analog VLSI signal and information processing. McGraw-Hill Inc, 1994.
- [7] T.S. Fiez, G. Liang, and D.J. Allstot, “Switched-Current Circuit Design Issues,” IEEE J. Solid State, Vol. 26, No. 3, pp. 192-202, March 1991.
- [8] A. Sedra and K. Smith, Microelectronic circuit. 4<sup>th</sup> ed. New York : Oxford University Press, 1998.
- [9] P.M. Sinn and G.W. Roberts, “A comparison of first and second generation switched-current cells,” Proc. IEEE Int. Symposium on Circuit and Systems, pp. 301-304, 1994

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ผลงานวิจัยที่ได้รับการตีพิมพ์

1. Kobchai Dejhan, Wanida Akeburanawat, Somsak Mitatha, Fusak Cheevasuvit, and Chatcharin Soonyeean , “ A clock feedthrough cancellation technique for CMOS current sample and hold circuit,” 8<sup>th</sup> International Symposium on Integrated Circuits, Devices & Systems, pp. 521-524, September 1999.
2. Kobchai Dejhan, Wanida Akeburanawat, Somsak Mitatha, Fusak Cheevasuvit, and Chatcharin Soonyeean , “ Clock feedthrough cancellation current sample and hold circuit based on CMOS technology,” IEEE. ISPACS’99, pp. 395-398, December 1999.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# ISIC-99

8th International Symposium on  
Integrated Circuits, Devices & Systems

8-10 September 1999  
Grand Hyatt, Singapore



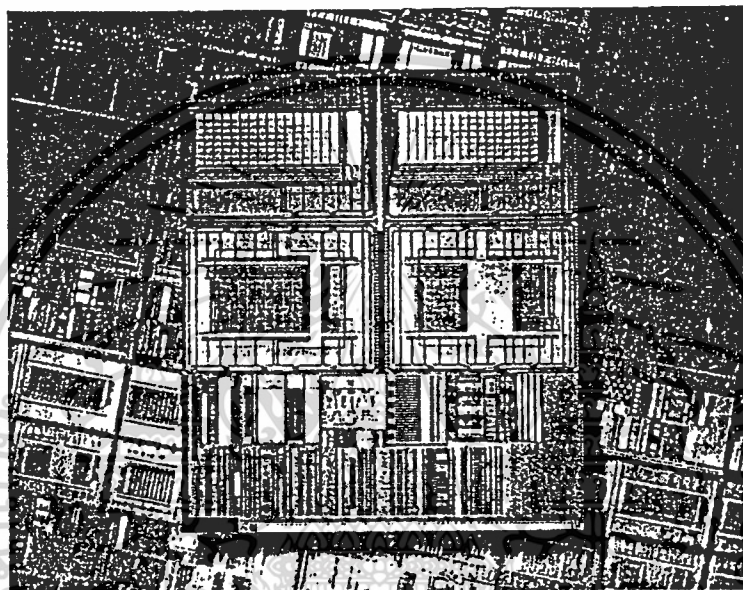
78

**IEEE**

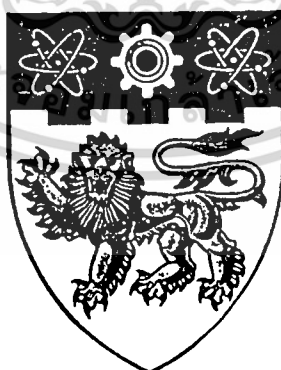
*Networking  
the World™*

*IEEE Singapore Section*

## PROCEEDINGS



Organised by:  
Nanyang Technological University  
School of Electrical and Electronic Engineering



And  
IEEE Singapore Section

Sponsored by:  
Cadence Design Systems

Supported by:  
IEEE Singapore Centre



IEEE Singapore Centre

# A CLOCK FEEDTHROUGH CANCELLATION TECHNIQUE FOR CMOS CURRENT SAMPLE AND HOLD CIRCUIT

Kobchai Dejhan, Wanida Akeburanawat, Somsak Mitatha, Fusak Cheevasuvit

Faculty of Engineering and Research Center for Communications and Information Technology  
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand.

Tel : 66-2-3269967, 66-2-3269081, Fax : 66-2-3269086

E-mail : kobchai@telelan.telecom.eng.kmitl.ac.th

Chatcharin Soonyeeakan

Faculty of Engineering, Kasem Bundit University, Patanakarn Road, Bangkok 10250, Thailand.

**Abstract :** This paper proposes a circuit technique for clock feedthrough cancellation for current sample and hold circuit by using BiCMOS technology. All results have been carried out by simulation based on PSpice using the ES2 transistor model. The results of proposed circuit compared with the previous result.

## 1. INTRODUCTION

This paper proposes a design of current sample and hold circuit using the current cancellation in order to eliminate the clock feedthrough for both signal dependent and signal independent. The current mode circuits are widely used in many applications because of the advantages. The sample-data techniques use the switch-current based on the gate capacitance of MOS transistor, it is unnecessary to implement the capacitor as the switch-capacitor technique. The current sample and hold is basic circuit of switch-current and widely used to convert analog signal to digital signal. The main error of sample and hold circuit occurs to the clock feedthrough for both signal dependent and signal independent. The previous papers [1-2] proposed to reduce some error from clock feedthrough. This paper proposes a new technique to eliminate all errors with 3.3 volts, lower voltage supply than the previous paper [2].

## 2. THEORY

Fig.1 shows the conventional current sample and hold circuit using the current mirror technique. M1, M2, MS are sampling transistor, holding transistor and switching transistor, respectively. The sampling period for and sample (n), the current relations are obtained.

$$I + I_i(n) = \frac{1}{2} k(W/L)_1 [V_{g1}(n) - V_T]^2 \quad (1)$$

$$AI - I_o(n) = \frac{1}{2} Ak(W/L)_1 [V_{g2}(n) - V_T]^2 \quad (2)$$

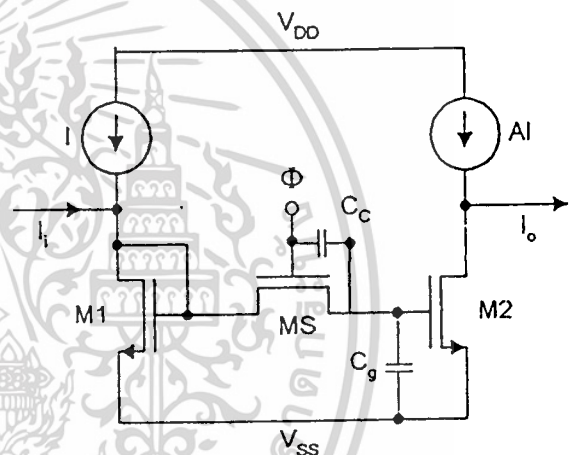


Fig.1 Current sample and hold circuit

$k$  : transconductance parameter

$V_T$  : threshold voltage

$V_g(n)$  : gate voltage at sampling period of sample  $n$

$(W/L)_1$ : gate width to gate length ratio of transistor M1

$A$  : gain

As MS turns on, thus  $V_{g1}(n) = V_{g2}(n)$ .

Therefore, the output current  $I_o(n) = -AI_i(n)$ . In the holding time;  $(n + 1/2)$  the relation can be obtained

$$AI - I_o(n + \frac{1}{2}) = \frac{1}{2} Ak(W/L)_1 [V_{g2}(n + \frac{1}{2}) - V_T]^2 \quad (3)$$

At the starting of holding time, the clock changes from high ( $V_H$ ) to low ( $V_L$ ) in order to turn off the transistor MS, the clock feedthrough voltage ( $V_C$ ) is occurred and changes the gate voltage of transistor M2. The equation of clock feedthrough voltage depends on  $C_c$  and  $C_g$ .

$$V_C = \frac{C_C}{C_g} (V_H - V_L) \quad (4)$$

$C_C$  : parasitic capacitance of transistor M5  
 $C_g$  : gate capacitance of transistor M2

The clock feedthrough effects with the gate voltage, then

$$V_{gs2}(n + \frac{1}{2}) = V_{gs}(n) - V_C = V_{gs1}(n) - V_C \quad (5)$$

The output current with clock feedthrough effect can be obtained.

$$I_o(n + \frac{1}{2}) = -AI_i(n) + I_{cf}(n + \frac{1}{2}) \quad (6)$$

The clock feedthrough current ( $I_{cf}$ ) is expressed as in equation.

$$I_{cf} = \frac{1}{2} Ak(W/L)V_C^2 - Ak(W/L)[V_{gs1}(n) - V_T]V_C \quad (7)$$

The equation (7) shows that the clock feedthrough current can be divided into two parts. The first part depends on  $V_C$  and the second part depends on  $V_C$  and  $V_{gs1}(n)$ . The first and second part are called signal independent and signal dependent, respectively.

The previous paper [2] proposed a circuit to cancel the clock feedthrough current for both parts. The proposed method [2] is to use the output current to have the opposite sign with the input current, so called inverting current sample and hold. As the output current has the same sign with the input current, so called noninverting current sample and hold. The other previous paper proposed a compensation technique of clock feedthrough for switch-current circuit [4], the results are carried out for 10 kHz. Another previous paper [3] proposed to change the internal structure of the circuit without increasing the transistor and can obtain the noninverting current sample and hold.

The proposed clock feedthrough cancellation circuit sample and hold circuit is shown in Fig.2, this proposed circuit can be both noninverting and inverting current sample and hold.

The sampling time at  $n$ , the equation can be obtained

$$I_1(n) = AI + AI_i(n) = \frac{1}{2} AK_n \left(\frac{W}{L}\right) [V_{gs1}(n) - V_{tn}]^2$$

$$I_3(n) = AI = \frac{1}{2} AK_p \left(\frac{W}{L}\right) [V_{gs2}(n) - V_{tp}]^2 \quad (8)$$

The holding time at  $(n+1/2)$ , the equations are as followed.

$$I_1(n + \frac{1}{2}) = \frac{1}{2} AK_n \left(\frac{W}{L}\right) [V_{gs1}(n) - V_{cn} - V_{tn}]^2$$

$$I_2(n + \frac{1}{2}) = AK_n \left(\frac{W}{L}\right) [V_{gs1}(n) - \frac{V_{cn}}{2} - V_{tn}]^2$$

$$I_3(n + \frac{1}{2}) = \frac{1}{2} AK_p \left(\frac{W}{L}\right) [V_{gs2}(n) - V_{cp} - V_{tp}]^2$$

$$I_4(n + \frac{1}{2}) = AK_p \left(\frac{W}{L}\right) [V_{gs2}(n) - \frac{V_{cp}}{2} - V_{tp}]^2 \quad (9)$$

where,  $k_n, k_p$  are transconductance parameters of NMOS and PMOS, respectively.

$V_{tn}, V_{tp}$  are threshold voltage of NMOS and PMOS, respectively.

$$I_1(n + \frac{1}{2}) = \frac{1}{2} AK_n \left(\frac{W}{L}\right) \{ [V_{gs1}(n) - V_{tn}]^2 - 2[V_{gs1}(n) - V_{tn}]V_{cn} + V_{cn}^2 \} \quad (10)$$

$$I_2(n + \frac{1}{2}) = AK_n \left(\frac{W}{L}\right) \{ [V_{gs1}(n) - V_{tn}]^2 - 2[V_{gs1}(n) - V_{tn}] \frac{V_{cn}}{2} + \frac{V_{cn}^2}{4} \} \quad (11)$$

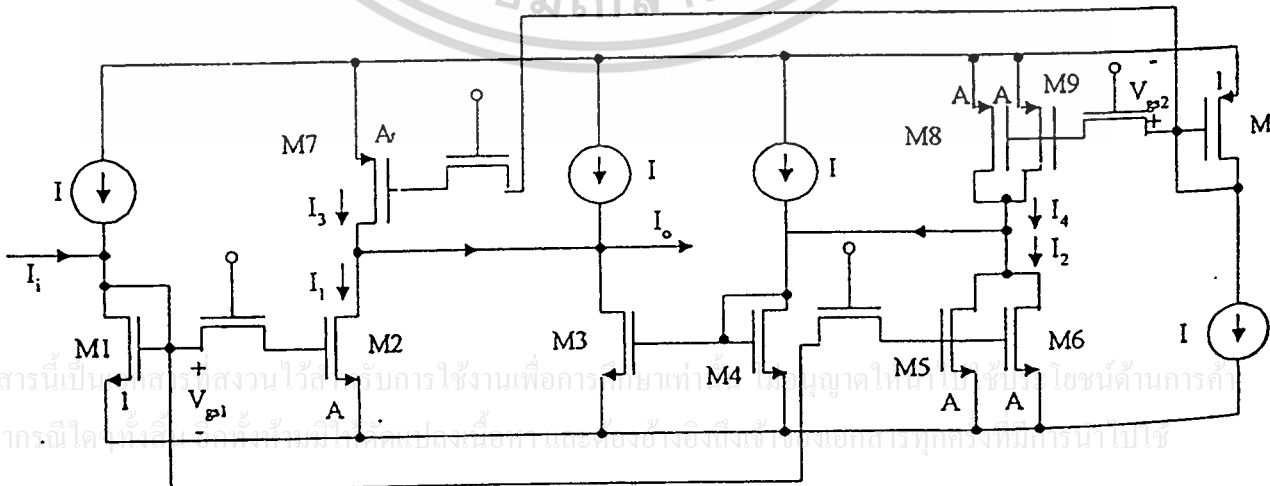


Fig.2 Proposed clock feedthrough cancellation current sample and hold circuit

paper [2] is the same biasing current equal to AI. The biasing current in reference [2] is 3AI, three times higher.

### 3. RESULTS

All results have been carried out by simulation based on PSpice with worst case transistor model of European Silicon Structure (ES2), 2 μm, level 2, 85°C. Table 1 shows the comparison of proposed circuit when compared with the circuit of reference [2]. The output signal waveforms are obtained at various current magnitude and various frequencies, the phase shifts of the circuit are also carried out when compared with the frequency.

$$I_3(n + \frac{1}{2}) = \frac{1}{2} AK_p \left(\frac{W}{L}\right) (V_{gs2}(n) - V_{tp})^2 - 2(V_{gs2}(n) - V_{tp})V_{cp} + V_{cp}^2 \quad (12)$$

$$I_4(n + \frac{1}{2}) = AK_p \left(\frac{W}{L}\right) (V_{gs2}(n) - V_{tp})^2 - 2(V_{gs2}(n) - V_{tp})\frac{V_{cp}}{2} + \frac{V_{cp}^2}{4} \quad (13)$$

where,  $V_{cn}$  and  $V_{cp}$  are clock feedthrough voltage to be occurred at gate of NOMS and PMOS transistors, respectively.

The output current can be rewritten as;

$$I_o = I_3 - I_1 - I_4 + I_2 \quad (14)$$

$$I_o = AI_i(n) + A\left(\frac{W}{L}\right) \frac{K_p V_{cp}^2 - K_n V_{cn}^2}{4} \quad (15)$$

The equation (15) points out that the proposed circuit can quite cancel the errors of clock feedthrough current. Consider the term

$A\left(\frac{W}{L}\right) \frac{K_p V_{cp}^2 - K_n V_{cn}^2}{4}$  is quite small about 200 pA and can be neglected. Thus, the proposed circuit can cancel all error. The advantages of the proposed circuit when compared with the circuit of previous

Characteristics	proposed circuit	circuit of ref. [2]
Output swing	± 50 μA	± 50 μA
Power supply	3.3 V	5 V
Power dissipation	1.49 mW	2 mW
Phase-shift at frequency		
- 0.5 degree (delay)	54 kHz	47 kHz
- 1.0 degree (delay)	108 kHz	94 kHz
output error	-0.147 μA	-0.359 μA

Table 1 Compared results.

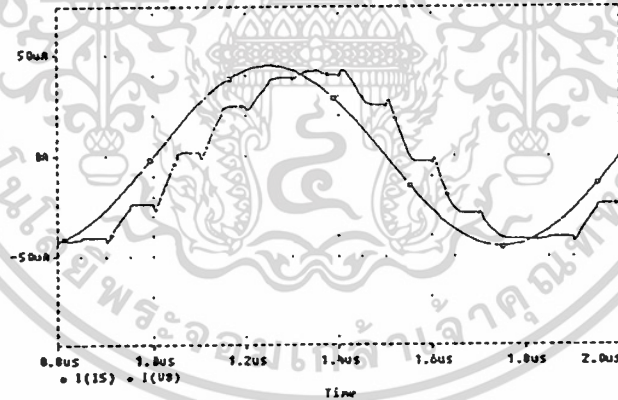


Fig.3 Output signal and input signal (50 μA, 1 MHz) for 10 MHz clock.

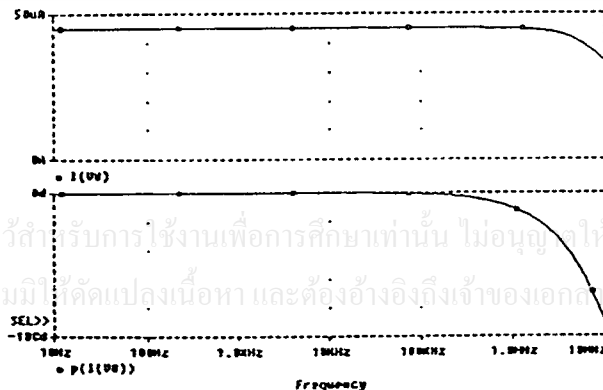


Fig.4 Delay phase-shift

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

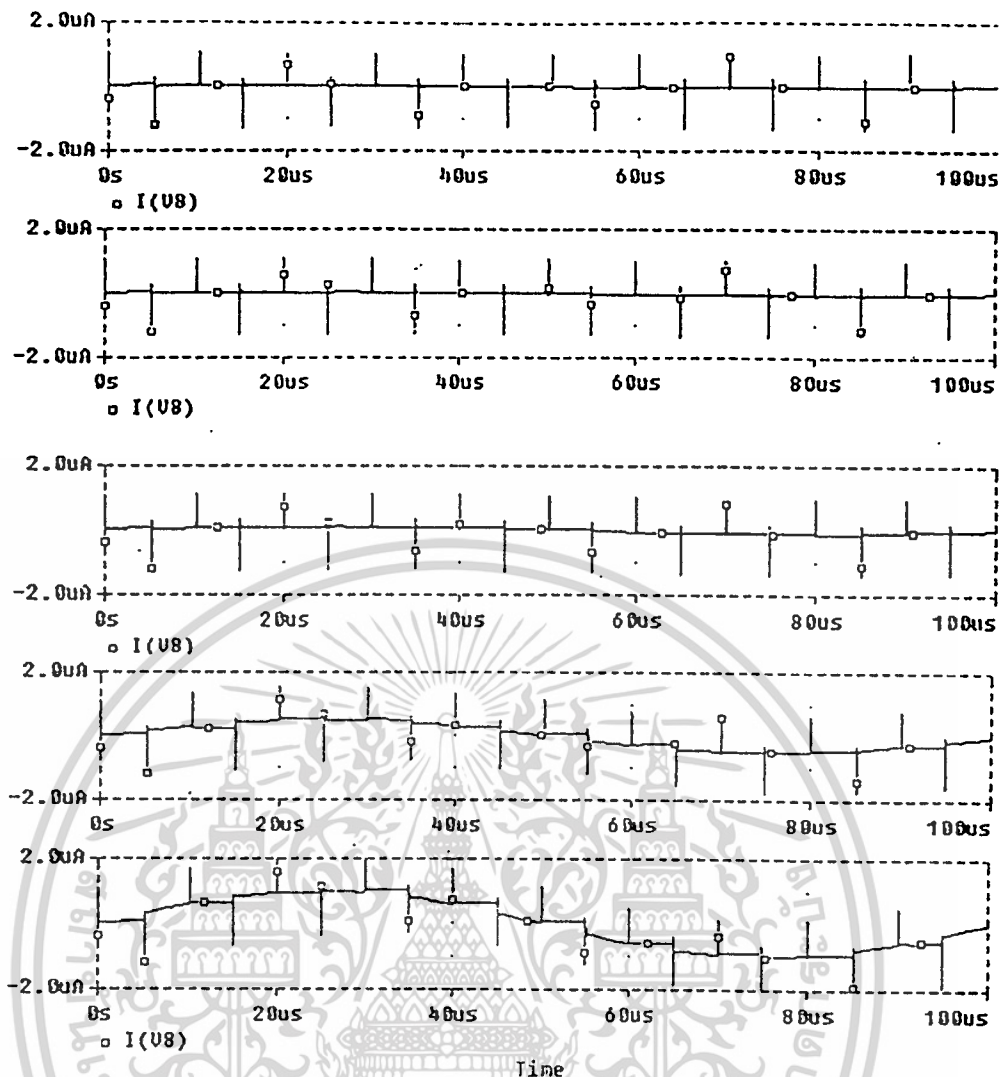


Fig. 5 Simulated output signal for 0.2 MHz clock with input signal 10 kHz (10nA, 50nA, 100nA, 500nA and 1µA, respectively).

Fig.3 shows the 50 µA, 1 MHz input signal with 10 MHz clock and the output signal. The output signal is delayed. Thus, Fig.4 shows the delay (in degree) versus frequency for the lower trace and the upper trace shows the relation of the current versus frequency for consideration, the limitation. This paper would compare the results with the previous paper [4], thus the simulated output signal can be carried out with 10 kHz input signal with 0.2 MHz at various current 10 nA, 50 nA, 100 nA, 500 nA and 1 µA, respectively, as shown in Fig.5.

4. CONCLUSION

This paper presents a clock feed through cancellation technique for BiCMOS current sample and hold circuit. The results is satisfactory when compared with the previous paper. The proposed circuit will be useful for applying with the other circuits.

REFERENCES

- [1]. M. Song, Y. Lee and W. Kim, "A clock feedthrough reduction circuit for switched-current systems," *IEEE J. Solid-State circuit*, Vol.SC-38, no.2, pp.133-137, 1993
- [2]. H.K. Yang and E.I. El-Masry, "Clock feedthrough analysis and cancellation in current sample/hold circuits," *Proc. IEE Circuit Devices Syst.* Vol.141, no.6, pp.510-516, 1994.
- [3]. C. Psychalinos, "Noninverting switched-current sample/hold circuit with compensation of the clock-feedthrough effect," *Proc. IEE Circuit Devices Syst.*, Vol. 144, no.4, pp.247-248, 1997.
- [4]. S.-C. Huang, "A clock feedthrough compensation technique for switched-current circuits," *Proc. 1999 Int. Analog VLSI Workshop*, pp.173-176. May 5-7, 1999.



# PROCEEDINGS



## 1999 IEEE International Symposium on Intelligent Signal Processing and Communication Systems

ISPACS'99



*Signal Processing and  
Communications Beyond 2000*

December 8-10, 1999



# Clock Feedthrough Cancellation Current Sample and Hold Circuit Based on CMOS Technology

**Kobchai Dejhan, Somsak Mitatha, Wanida Akeburanawat, Fusak Cheevasuvit**

Faculty of Engineering and Research Center for Communications and Information Technology,  
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang District, Bangkok 10520, Thailand  
Phone : 66-2-3269967, 66-2-3269081, Fax : 66-2-3269086, E-mail : kobchai@telelan.telecom.eng.kmitl.ac.th

**Chatcharin Soonyeeekan**

Faculty of Engineering, Kasem Bundit University  
Pattanakarn Road, Khlongtan, Bangkok 10250, Thailand

**Abstract**

This paper presents a new design of current cancellation technique for current sample and hold circuit. This proposed technique can eliminate the error from clock feedthrough for both signal dependent and signal independent. The circuit operates in current mode with 3.3 volts supply voltage lower than the previous paper. All circuits are designed based on 2 μm CMOS technology, the performances of the proposed circuit have been carried out and compared with the previous.

**1. Introduction**

This paper proposes a design of current sample and hold circuit using the current cancellation in order to eliminate the clock feedthrough for both signal dependent and signal independent. The current mode circuits are widely used in many applications because of the advantages. The sample-data techniques use the switch-current based on the gate capacitance of MOS transistor, it is unnecessary to implement the capacitor as the switch-capacitor technique. The current sample and hold is basic circuit of switch-current and widely used to convert analog signal to digital signal. The main error of sample and hold circuit occurs from the clock feedthrough for both signal dependent and signal independent. The previous papers [1-2] proposed to reduce some error from clock feedthrough. This paper proposes a new technique to eliminate all errors with 3.3 volts, lower voltage supply than the previous paper [2].

**2. Theory**

Fig.1 shows the conventional current sample and hold circuit using the current mirror technique. M1, M2, MS are sampling transistors, holding transistor and switching transistor, respectively. The sampling period for and sample (n), the current relations are obtained.

$$I + I_i(n) = \frac{1}{2} k(W/L)_1 [V_{g1}(n) - V_T]^2 \tag{1}$$

$$AI - I_o(n) = \frac{1}{2} Ak(W/L)_1 [V_{g2}(n) - V_T]^2 \tag{2}$$

- k : transconductance parameter
- $V_T$  : threshold voltage
- $V_g(n)$  : gate voltage at sampling period of sample n
- (W/L)<sub>1</sub>: gate width to gate length ratio of transistor M1

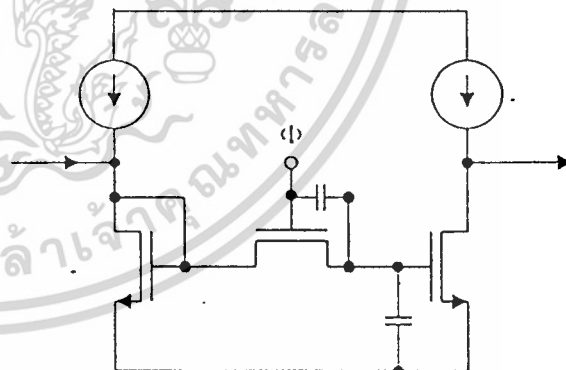


Fig.1 Current sample and hold circuit

As MS turns on thus  $V_{g1}(n) = V_{g2}(n)$ . Therefore, the output current  $I_o(n) = -AI_i(n)$ . In the holding time;  $(n + 1/2)$ , the relation can be obtained as follows;

$$AI - I_o(n + \frac{1}{2}) = \frac{1}{2} Ak(W/L)_1 [V_{g2}(n + \frac{1}{2}) - V_T]^2 \tag{3}$$

At the starting of holding time, the clock changes from high ( $V_H$ ) to low ( $V_L$ ) in order to turn off the transistor MS, the clock feedthrough voltage ( $V_C$ ) is occurred and changes the gate voltage of transistor M2. The equation of clock feedthrough voltage depends on  $C_C$  and  $C_g$ .

$$V_C = \frac{C_C}{C_g} (V_H - V_L) \quad (4)$$

$C_c$ : parasitic capacitance of transistor MS  
 $C_g$ : gate capacitance of transistor M2

The clock feedthrough effects with the gate voltage, then

$$V_{g2}(n + \frac{1}{2}) = V_{gs}(n) - V_C = V_{g1}(n) - V_C \quad (5)$$

The output current with clock feedthrough effect can be obtained.

$$I_o(n + \frac{1}{2}) = -AI_i(n) + I_{cf}(n + \frac{1}{2}) \quad (6)$$

The clock feedthrough current ( $I_{cf}$ ) is expressed as in equation.

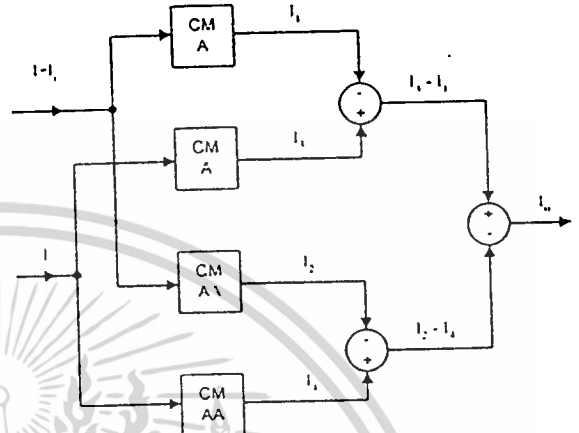
$$I_{cf} = \frac{1}{2} Ak(W/L)V_C^2 - Ak(W/L)[V_{g1}(n) - V_T]V_C \quad (7)$$

The equation (7) shows that the clock feedthrough current can be divided into two parts. The first part depends on  $V_C$  and the second part depends on  $V_C$  and  $V_{g1}(n)$ . The first and second part are called signal independent and signal dependent, respectively.

The previous paper [2] proposed a circuit to cancel the clock feedthrough current for both parts. The proposed method [2] is to use the output current to have the opposite sign with the input current, so called inverting current sample and hold. As the output current has the same sign with the input current, so called noninverting current sample and hold. Another previous paper [3] proposed to change the

internal structure of the circuit without increasing the transistor and can obtain the noninverting current sample and hold.

This paper proposes a current cancellation technique as shown in Fig.2.



CM : current mirror

Fig.2 Proposed cancellation technique.

The proposed clock feedthrough cancellation circuit is shown in Fig.3, this complete proposed circuit can be both noninverting and inverting current sample and hold.

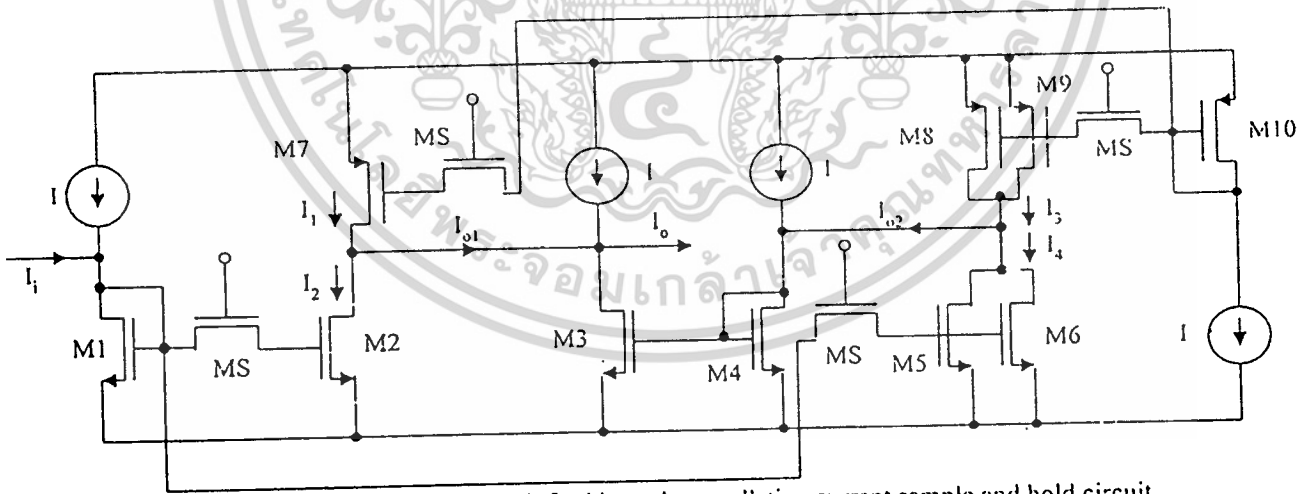


Fig.3 Complete proposed clock feedthrough cancellation current sample and hold circuit

The sampling time at n, the equation can be obtained

$$I_1(n) = \frac{1}{2} I_3(n) = AI \quad (8)$$

$$I_2(n) = \frac{1}{2} I_4(n) = AI + AI_i(n)$$

$$I_1(n + \frac{1}{2}) = AI + \frac{1}{2} Ak(W/L)V_C^2$$

$$I_2(n + \frac{1}{2}) = AI + AI_i(n) + \frac{1}{2} Ak(W/L)V_C^2 - Ak(W/L)[V_{g2}(n) - V_T]V_C$$

$$I_3(n + \frac{1}{2}) = 2AI + Ak(W/L)V_C / 2$$

The holding time at  $(n + 1/2)$ , the equation are as followed.

$$I_4(n + \frac{1}{2}) = 2AI + 2AI_1(n) + Ak(W/L)(V_C/2)^2 - Ak(W/L)[V_{g5}(n) - V_T]V_C \quad (9)$$

$$I_{01}(n + \frac{1}{2}) = I_1(n + \frac{1}{2}) - I_2(n + \frac{1}{2}) = -AI_1(n) + Ak(W/L)[V_{g2}(n) - V_T]V_C \quad (10)$$

$$I_{02}(n + \frac{1}{2}) = I_3(n + \frac{1}{2}) - I_4(n + \frac{1}{2}) = -2AI_1(n) + Ak(W/L)[V_{g5}(n) - V_T]V_C \quad (11)$$

$$V_{g2}(n) = V_{g5}(n);$$

The output current can be rewritten as;

$$I_1(n + \frac{1}{2}) = I_{01}(n + \frac{1}{2}) - I_{02}(n + \frac{1}{2}) = -AI_1(n) \quad (12)$$

The equation (11) points out that the proposed circuit can cancel all errors of clock feedthrough current. The advantages of the proposed circuit when compared with the circuit of previous paper [2] is the same biasing current equal to AI. The biasing current in reference [2] is 3AI, three times higher.

### 3. Results

All results have been carried out by simulation based on PSpice with worst case transistor model of European Silicon Structure (ES2), 2 μm, level 2, 27°C. All transistors use the same W/L = 40μm/10μm, except the transistors-switches use W/L = 4μm/4μm. Table 1 shows the comparison of proposed circuit when compared with the circuit of reference [2]. The output signal waveforms are obtained at various current magnitude and various frequencies, the phase shifts of the circuit are also carried out when compared with the frequency. The proposed circuit operates with the 2μm worst case transistor model, the better performances should be obtained for the other model and other design rule of transistor.

Characteristics	proposed circuit	circuit of ref. [2]
Output swing	± 50 μA	± 50 μA
Power supply	3.3 V	5 V
Power dissipation	1.49 mW	2 mW
Phase-shift at frequency		
- 0.5 degree (delay)	54 kHz	47 kHz
- 1.0 degree (delay)	108 kHz	94 kHz
output error	-0.147 μA	-0.359 μA

Table 1 Comparison results.

Fig.3 shows the output signal and input signal at 50μA, 1 MHz clock from the proposed circuit as shown in Fig.3, as A=1. Fig.4 shows the response and delay phase-shift of the proposed circuit. Fig.5 shows the comparison results, (a) input current, (b), (c), (d), (e), (f) output current from Fig.1, ref. [4], ref. [1], ref. [2], and proposed circuit in Fig.2, respectively,

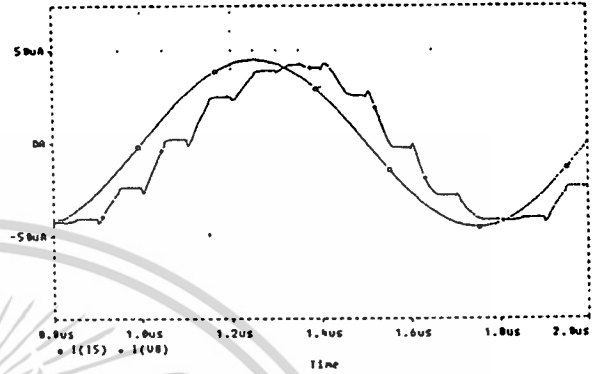


Fig.3 Output signal and input signal (50 μA, 1 MHz) for 10 MHz clock.

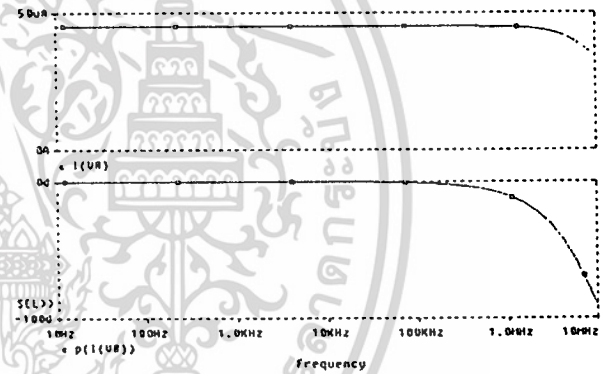
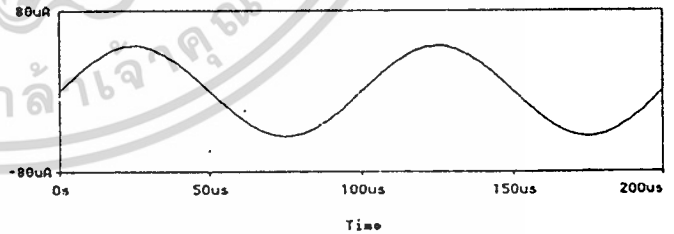
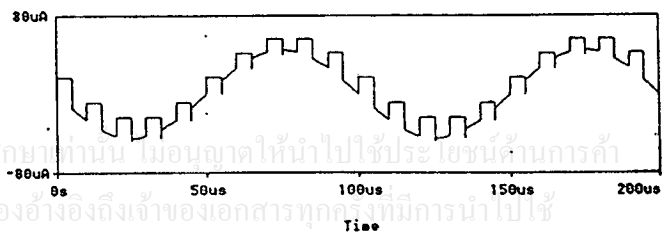


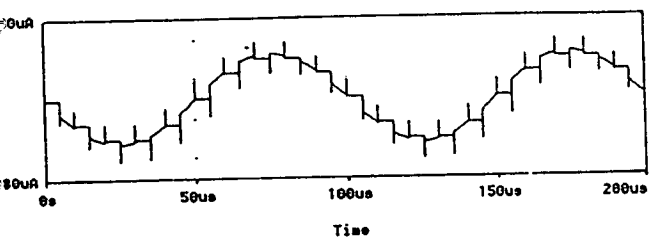
Fig.4 Frequency response (upper trace) and delay phase-shift (lower trace)



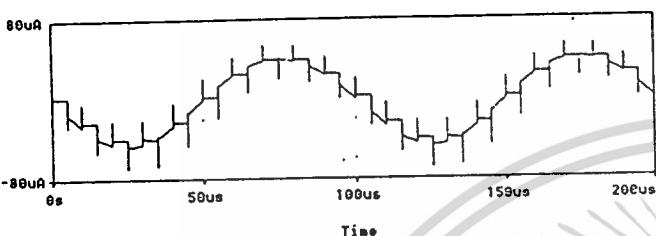
(a)



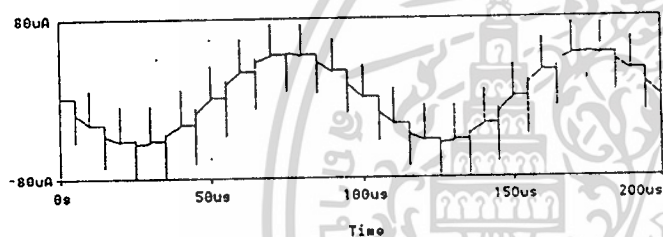
(b)



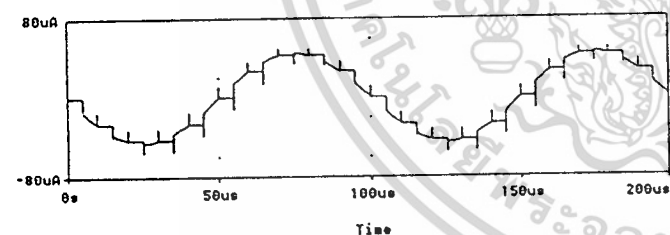
(c)



(d)



(e)



(f)

proposed circuit operates with 3.3 volts supply voltage with 2.31 mW power dissipation.

#### References

- [1] M. Song, Y. Lee and W. Kim, "A clock feedthrough reduction circuit for switched-current systems," *IEEE J. Solid-State circuit*, Vol.SC-38, no.2, pp.133-137, 1993
- [2] H.K. Yang and E.I. El-Masry, "Clock feedthrough analysis and cancellation in current sample/hold circuits," *Proc. IEE Circuit Devices Syst.*, Vol.141, no.6, pp.510-516, 1994.
- [3] C. Psychalinos, "Noninverting switched-current sample/hold circuit with compensation of the clock-feedthrough effect," *Proc. IEE Circuit Devices Syst.*, Vol. 144, no.4, pp.247-248, 1997.
- [4] H.C. Yang, T.S. Fiez and D.J. Allstot, "Current feedthrough effects and cancellation technique in switched-current circuits," *Proc. 1990 IEEE Int. Sym. Circuits and Systems*, pp.3186-3188, 1990.

Fig. 5 The comparison of results, (a) input current, (b) output current from Fig. 1, (c) output current from ref. [4], (d) output current from ref. [1], (e) output current from ref. [2] and (f) output current from proposed circuit in Fig. 2.

#### 4. Conclusion

The proposed circuit in this paper is able to cancel the current error from the clock feedthrough and not up to the input signal. Most of errors can cancel except the constant values depending on the transconductance parameters and the clock feedthrough voltage difference of n and p channel transistors which is very small and can be neglected. The

## ประวัติผู้เขียน

นางสาววนิดา เอกบูรณะวัฒน์ เกิดเมื่อวันที่ 29 ตุลาคม 2518 ที่จังหวัดนครปฐม จบการศึกษาระดับปริญญาโท สาขาวิศวกรรมศาสตรบัณฑิต (วิศวกรรมไฟฟ้า) จากสถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ ปีการศึกษา 2539

เข้าทำงานในตำแหน่งอาจารย์ประจำมหาวิทยาลัยสยาม ตั้งแต่ พ.ศ. 2540 จนถึงปัจจุบัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้