

การออกแบบวงจรเทอร์นาเรีชมิทท์ทริกเกอร์

A DESIGN OF TERNARY SCHMITT TRIGGER



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2543

ISBN 974-622-921-4

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรเทอร์นารีชมิทท์ทริกเกอร์

A DESIGN OF TERNARY SCHMITT TRIGGER



กฤษณ์ อ่างแก้ว  
KRIT ANGKAEW

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2543

ISBN 974-622-921-4

เลขที่.....  
เลขทะเบียน... 37663

วัน, เดือน, ปี 19 ก.ย. 2543

# A DESIGN OF TERNARY SCHMITT TRIGGER

KRIT ANGKAEW

A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MATER OF ENGINEERING IN ELECTRICAL ENGINEERING  
SCHOOL OF GRADUATE STUDIES

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
2000  
ISBN 974-622-921-4  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหากับและต้องขอ อนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2000**

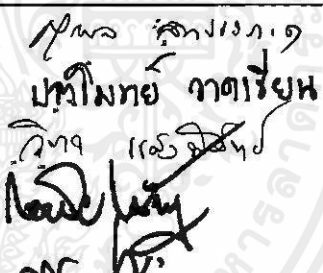
**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับเอาไว้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น ถือว่าผิดกฎหมายที่นำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตจากสถาบันฯ

บัณฑิตวิทยาลัย  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรหมิทท์ทริกเกอร์แบบหลายระดับสัญญาณ  
A DESIGN OF TERNARY SCHMITT TRIGGER CIRCUIT  
ชื่อนักศึกษา นายกฤษณ์ อ่างแก้ว  
รหัสประจำตัว 41061150  
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชา วิศวกรรมไฟฟ้า  
อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.สมยศ จุณณะปิยะ  
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม รศ.ดร.กอบชัย เดชหาญ

คณะกรรมการสอบวิทยานิพนธ์	ลายมือชื่อ
รศ.ดร.สุวิพล สิริชิวภาภัก	
รศ.ดร.ปราโมทย์ วาดเขียน	
ผศ.วิภา แสงพิสิทธ์	
รศ.ดร.กอบชัย เดชหาญ	
รศ.สมยศ จุณณะปิยะ	

วัน/เดือน/ปี ที่สอบ : 7 สิงหาคม 2543 เวลา 12.00-13.00 น.  
สถานที่สอบ ณ ตึก 12 ชั้น ชั้น 4 (ห้อง E12-404)

บัณฑิตวิทยาลัยรับรองแล้ว



วันที่ ๑๕ เดือน สิงหาคม พ.ศ. ๒๕๔๓

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรเทอร์นาเรียมิททริกเกอร์
นักศึกษา	นายกฤษณ์ อ่างแก้ว
รหัสประจำตัว	41061150
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2543
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.สมยศ จุณณะปิยะ
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	รศ.ดร.กอบชัย เศษหาญ

### บทคัดย่อ

บทความนี้นำเสนอวิธีการออกแบบวงจรหมิททริกเกอร์แบบหลายระดับสัญญาณหรือเรียกว่า วงจรเทอร์นาเรียมิททริกเกอร์โดยอาศัยหลักการเปรียบเทียบกระแส วงจรป้อนกลับแบบบวกและ วงจรเปลี่ยนจากแรงดันเป็นกระแส ผลการทดสอบได้กระทำโดยใช้โปรแกรมเลียนแบบการทำงาน PSPICE โดยใช้เทคโนโลยี  $1\mu\text{m}$  เพื่อยืนยันประสิทธิภาพของวงจรซึ่งสอดคล้องกับทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น "ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้"

<b>Thesis Title</b>	A Design of Ternary Schmitt trigger
<b>Student</b>	Mr.Krit Angkeaw
<b>Student ID.</b>	41061150
<b>Degree</b>	Master of Engineering
<b>Programme</b>	Electrical Engineering
<b>Year</b>	2000
<b>Thesis Advisor</b>	Assoc.Prof.Somyot Junnapiya
<b>Thesis Co-advisor</b>	Assoc.Prof.Dr.Kobchai Dejhan

### ABSTRACT

This paper proposes a design of Schmitt trigger circuit with multi-level signal or ternary Schmitt trigger. The circuit operates on current mode with two-current comparator circuits by using positive feedback technique, the threshold current can be generated. The last stage is V-I converter, to produce and combine each hysteresis loop as the ternary Schmitt trigger operation. All results have been verified by simulating on PSPICE based on 1  $\mu$ m technology.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น "ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

ผู้วิจัยขอกราบขอบพระคุณ รศ.ดร.กอบชัย เศรษฐาญ รศ.สมยศ จุณณะปิยะ ซึ่งเป็นอาจารย์ควบคุมการวิจัยที่กรุณาให้แนวความคิดและคำปรึกษาตลอดจนการแก้ปัญหาต่าง ๆ อันเป็นประโยชน์ต่องานวิจัย

ผู้วิจัยขอขอบคุณบิดา มารดา คุณสมปอง วิเศษพานิชกิจ คุณไพบูรณ์ ผู้ประภาย อ.นภัทร สระเอี่ยม ที่กรุณาให้คำปรึกษาและคำแนะนำการทำวิทยานิพนธ์ พี่ๆ น้องๆ ภาควิชาโทรคมนาคม ทุกท่านที่ให้ความช่วยเหลือในด้านต่างๆ ประโยชน์อันใดที่เกิดจากงานวิจัยนี้ย่อมเป็นผลมาจากความกรุณาของท่านดังกล่าวข้างต้น ผู้วิจัยรู้สึกซาบซึ้งเป็นอย่างยิ่งจึงใคร่ขอขอบพระคุณเป็นอย่างสูงไว้ ณ โอกาสนี้

กฤษณ์ อ่างแก้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	VI
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 วงจรหมิตท์ทริกเกอร์.....	1
1.2 ที่มาของงานวิจัย.....	2
1.3 วัตถุประสงค์ของงานวิจัย.....	2
บทที่ 2 ทฤษฎีการทำงานของมอส.....	3
2.1 บทนำ.....	3
2.2 ทฤษฎีการทำงานของมอส.....	3
บทที่ 3 วงจรหมิตท์ทริกเกอร์แบบคิจิตอล.....	10
3.1 วงจรหมิตท์ทริกเกอร์แบบไบโพลาร์.....	10
3.2 ซีมอสหมิตท์ทริกเกอร์.....	12
3.2.1 หลักการทำงาน.....	13
3.3 การวิเคราะห์ซีมอสหมิตท์.....	16
3.3.1 ฮิสเตอร์รีซิส.....	17
3.3.2 การประยุกต์ใช้งานของซีมอสหมิตท์.....	18
3.3.3 วิธีการของหมิตท์.....	23
3.3.4 ข้อดีซีมอสหมิตท์ทริกเกอร์.....	24
3.4 การออกแบบซีมอสหมิตท์ทริกเกอร์.....	24
3.4.1 หลักการออกแบบ และการคำนวณ.....	25
3.5 โดยใช้กระแสซีมอสหมิตท์ทริกเกอร์.....	28
3.5.1 การอธิบายวงจร และการทำงาน.....	28

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาสาระดังกล่าวอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ(ต่อ)

หน้า

3.5.2 ตัวอย่างการออกแบบ และการจำลอง.....	31
<b>บทที่ 4 ทฤษฎีของลอจิกหลายระดับสัญญาณ.....</b>	<b>34</b>
4.1 นิยามและคำจำกัดความ.....	34
4.2 พีชคณิตของ โพลต์และวงจร m ค่า.....	37
4.3 วงจร m-valued.....	38
4.4 เทรตโฮลด์ฟังก์ชัน.....	39
4.5 การแทนค่าของสัญญาณในวงจรมหลายระดับสัญญาณ.....	40
4.6 การควอนไทซ์ค่า.....	41
4.7 โหมดในการทำงานของวงจร.....	42
4.7.1 โหมดประจุ.....	42
4.7.2 โหมดกระแส.....	42
4.7.3 โหมดแรงดัน.....	43
4.8 วงจร m-valued ทำงานในโหมดแรงดัน.....	45
4.9 วงจร m-valued ที่ใช้ในเทคโนโลยี NMOS.....	45
4.9.1 วงจรถอครหัส.....	45
4.9.2 วงจรเข้ารหัส.....	46
4.10 วงจร m-valued โดยใช้เทคโนโลยีของ CMOS.....	47
4.10.1 วงจรเข้ารหัส.....	48
4.10.2 วงจรถอครหัส.....	48
4.11 เทคโนโลยีไบโพลาร์.....	49
4.12 วงจรเทอร์นารีซิมิททริกเกอร์ทำงานในโหมดแรงดัน.....	51
4.13 การทำงานของวงจร.....	52
4.14 พิจารณาการออกแบบ.....	57
4.15 วงจร m-valued ทำงานในโหมดกระแส.....	58
4.15.1 เทคโนโลยีไบโพลาร์.....	58
4.15.1.1 วงจร FL ที่ทำงานในโหมดกระแส.....	58

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ(ต่อ)

หน้า

บทที่ 5 การออกแบบวงจรเทอร์นารีชมิทท์ทริกเกอร์.....	61
5.1 หลักการและการทำงาน.....	62
5.1.1 วงจร CMOS Current threshold comparator.....	62
5.1.2 วงจร CMOS Current Ternary Schmitt Trigger.....	63
บทที่ 6 ผลการทดสอบคุณสมบัติวงจรเทอร์นารีชมิทท์ทริกเกอร์.....	66
6.1 การทดสอบวงจรเทอร์นารีชมิทท์ทริกเกอร์.....	67
6.1.1 การทดสอบ โดยใช้สัญญาณอินพุตรูปสามเหลี่ยม.....	67
6.1.2 การทดสอบ โดยใช้สัญญาณอินพุตรูปไซน์.....	72
6.1.3 การทดสอบสัญญาณเอาต์พุตที่ความถี่ต่างๆ เมื่อ โหลดคาปาซิแตนซ์ 0.1-1pF.....	77
6.1.4 ค่าหน่วงเวลาของวงจรเทอร์นารีชมิทท์ทริกเกอร์.....	79
6.1.5 การทดสอบการทำงานของวงจรเมื่อใช้ แรงดันแหล่งจ่ายต่ำกว่า 2.5 โวลต์.....	84
6.1.6 ผลการทดสอบการทำงานของวงจร เพื่อหาค่าอัตราการเหวี่ยง (Slew rate).....	86
บทที่ 7 สรุปผลการทดลอง.....	88
บรรณานุกรม.....	89
ภาคผนวก .....	92
ภาคผนวก ก ผลงานที่ได้รับการตีพิมพ์.....	93
ภาคผนวก ข ค่าพารามิเตอร์ที่ใช้ในการจำลองผล การทำงานด้วย PSPICE .....	99
ภาคผนวก ค ค่ากระแสสูงสุด $I_p$ และแรงดันสูงสุด $V_p$ ของ Lambda ไดโอด.....	99
ประวัติผู้เขียน.....	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น "ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ" หากท่านมีข้อสงสัยหรือต้องการข้อมูลเพิ่มเติม กรุณาติดต่อผู้จัดทำเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่	หน้า
3.1 แสดงค่าการจำลองที่ใช้ Pspice พารามิเตอร์ .....	31
4.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ.....	36
4.2 เป็นตารางแสดงความสัมพันธ์ของวงจรเข้ารหัส.....	50
4.3 แสดงเอาต์พุตของการรวมกระแส X, CX, Y และ CY.....	51



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป

รูปที่	หน้า
1.1 แสดงสัญลักษณ์ของวงจรมิทท์ทริกเกอร์.....	1
1.2 แสดงคุณสมบัติในการ โอนถ่ายสัญญาณของวงจรมิทท์ทริกเกอร์.....	1
1.3 แสดงคุณลักษณะการส่งผ่านของวงจรถอร์นาเรียมิทท์ทริกเกอร์.....	2
2.1 แสดงการไบอัสมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel.....	3
2.2 แสดงความสัมพันธ์ระหว่าง $I_d$ กับ $V_{ds}$ เมื่อเปลี่ยนค่า $V_{gs}$ ของมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel .....	4
2.3 แสดงการไบอัสมอสเฟตแบบดีพลีชันชนิด N-Channel.....	5
2.4 แสดงความสัมพันธ์ระหว่าง $I_d$ กับ $V_{ds}$ เมื่อเปลี่ยนค่า $V_{gs}$ ของมอสเฟตแบบดีพลีชันชนิด N-Channel.....	6
2.5 คุณสมบัติการถ่ายโอน.....	8
3.1 แสดงวงจรมิทท์ทริกเกอร์พื้นฐานแบบไบโพลาร์.....	9
3.2 แสดงคุณสมบัติการ โอนถ่ายสัญญาณวงจรมิทท์ทริกเกอร์พื้นฐานแบบไบโพลาร์.....	9
3.3 แสดงความสัมพันธ์ของแรงดันอินพุตกับแรงดันเอาต์พุตเปลี่ยนแปลงที่จุด $V_{T+}$ และ $V_{T-}$ ...	12
3.4 แสดง 74HC14 HCMOS inverting Schmitt trigger circuit.....	12
3.5 แสดงแรงดันเทรตโฮลด์ $V_{T+}$ และ $V_{T-}$ กับ $V_{CC}$ ของ 74HC14.....	15
3.6 แสดงวงจรมิทท์ทริกเกอร์.....	16
3.7 แสดงคุณสมบัติการ โอนถ่ายสำหรับแหล่งจ่ายแรงดัน 3 ค่า.....	17
3.8 แสดงช่วง Guaranteed Trip Point.....	17
3.9 แสดงวงจรมอสที่ไม่มีสัญญาณรบกวน.....	18
3.10 แสดงการแปลง Sine เป็น Square ด้วย การตัดระดับที่สมมาตร.....	19
3.11 แสดงการใช้ไดโอดรักษาระดับรูปคลื่นอินพุต.....	19
3.12 แสดงสวิทช์แสงที่แรงดันอินพุตเพิ่มความเข้มแสงก็เพิ่ม.....	20
3.13 แสดงวงจรร C Oscillator ทำเป็นซิมอสมิทท์ทริกเกอร์.....	20
3.14 แสดงการป้องกันสัญญาณรบกวนโดยใช้ซิมอสมิทท์ทริกเกอร์.....	21
3.15 แสดงการใช้ไดโอดโปรเทคชันอินพุต.....	22
3.16 แสดงซิมอสทำงานแบบเชิงเส้น (Voltage Controlled Oscillator).....	22
3.17 แสดงซิมอสอินเวอร์เตอร์การคายประจุคาปาซิเตอร์.....	23
3.18 แสดงวงจรมิทท์ทริกเกอร์และ กราฟคุณสมบัติการ โอนถ่ายแรงดัน.....	24
3.19 แสดงการจำลองด้วยโปรแกรม PSpice สำหรับแรงดันที่เพิ่มขึ้นและลดลง.....	28

## สารบัญญรูป (ต่อ)

รูปที่	หน้า
3.20 แสดงวงจรซีมอสซิมิทริกทรานซิสเตอร์ที่ทำงานในโหมดกระแส.....	29
3.21 แสดงการจำลองคุณสมบัติการ โอนถ่าย คีชีและเอซี.....	32
3.22 แสดงวงจรซิมิทริกทรานซิสเตอร์เมื่อเปลี่ยน $M_2$ เป็น NMOS.....	33
4.1 แสดงตารางความจริงคุณลักษณะการส่งผ่านและสัญลักษณ์ของเกต MT(4).....	35
4.2 แสดงวงจรอินเวอร์เตอร์พื้นฐาน.....	38
4.3 แสดงบล็อกไดอะแกรมของวงจร $m$ ค่า.....	39
4.4 แสดงคุณลักษณะการส่งผ่านของวงจรอินเวอร์เตอร์แบบ 4 ค่า.....	39
4.5 แสดงบล็อกไดอะแกรมของทรานซิสเตอร์ฟังกชัน.....	40
4.6 แสดงคุณลักษณะทางไฟตรงของวงจรมัลติอินเวอร์เตอร์แบบ 4 ค่า.....	40
4.7 แสดงวงจรสะท้อนกระแสที่ใช้เทคโนโลยี TTL.....	42
4.8 แสดงเกตพื้นฐานที่ใช้เทคโนโลยี $I^2L$ .....	43
4.9 แสดงวงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง.....	44
4.10 แสดงวงจรตรวจจับทรานซิสเตอร์โดยใช่วงจรเลื่อนแรงดัน.....	46
4.11 แสดงวงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี NMOS.....	46
4.12 แสดงวงจรเข้ารหัสแบบ 4 ค่า.....	47
4.13 แสดงวงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS.....	48
4.14 แสดงวงจรตรวจจับทรานซิสเตอร์โดยใช้เทคโนโลยี CMOS.....	49
4.15 แสดงวงจรเข้ารหัสโดยใช้เทคโนโลยีไบโพลาร์.....	50
4.16 แสดงวงจรถอดรหัสโดยใช้เทคโนโลยีไบโพลาร์.....	51
4.17 แสดงคุณลักษณะการส่งผ่านทางด้านแรงดันของวงจรเทอร์นารีซิมิทริกทรานซิสเตอร์.....	52
4.18 แสดงวงจรภายในตัว Lambda ไดโอดและ Lambda ทรานซิสเตอร์.....	52
4.19 แสดงผลการจำลองการทำงานของ Lambda ทรานซิสเตอร์.....	53
4.20 แสดงวงจรเทอร์นารีซิมิทริกทรานซิสเตอร์ที่ทำงานในโหมดแรงดัน.....	54
4.21 แสดงคุณลักษณะของ $D_1$ และ $D_2$ เมื่ออินพุตเปลี่ยนไปดังนี้.....	55
4.22 แสดงผลการทำงานของวงจรเทอร์นารีซิมิทริกทรานซิสเตอร์.....	56
4.23 แสดงค่าแรงดันทรานซิสเตอร์ของ $\beta_3$ และ $\beta_4$ .....	57
4.24 แสดงเกตพื้นฐานของลอจิก 2 ระดับโดยใช้เทคโนโลยี $I^2L$ .....	58
4.25 แสดงวงจรสะท้อนกระแสโดยใช้เทคโนโลยี $I^2L$ .....	59
4.26 แสดงวงจรผลรวมเชิงเส้นโดยใช้เทคโนโลยี $I^2L$ .....	59

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.27 แสดงวงจรเทรคโสลค์โดยใช้เทคโนโลยี I <sup>2</sup> L.....	60
4.28 แสดงการไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I <sup>2</sup> L.....	60
5.1 แสดงคุณลักษณะการส่งผ่านของวงจร Ternary Schmitt trigger.....	61
5.2 แสดงวงจรเปรียบเทียบกระแส.....	62
5.3 แสดงวงจร CMOS Current Ternary Schmitt Trigger.....	63
5.4 แสดงแรงดันเอาต์พุตเทียบกับเวลาของวงจร Current Comparator ทั้ง 2 วงจร.....	63
6.1 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปสามเหลี่ยมที่ความถี่ 200 kHz.....	67
6.2 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 200 kHz ของสัญญาณอินพุตรูปสามเหลี่ยม...67	67
6.3 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปสามเหลี่ยมที่ความถี่ 400 kHz.....	68
6.4 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 400 kHz ของสัญญาณอินพุตรูปสามเหลี่ยม.....	68
6.5 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปสามเหลี่ยมที่ความถี่ 600 kHz.....	69
6.6 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 600 kHz ของสัญญาณอินพุตรูปสามเหลี่ยม....	69
6.7 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปสามเหลี่ยมที่ความถี่ 800 kHz.....	70
6.8 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 800 kHz ของสัญญาณอินพุตรูปสามเหลี่ยม....	70
6.9 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปสามเหลี่ยมที่ความถี่ 1 MHz.....	71
6.10 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 1 MHz ของสัญญาณอินพุตรูปสามเหลี่ยม.....	71
6.11 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปไซน์ที่ความถี่ 200 kHz.....	72
6.12 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 200 kHz ของสัญญาณอินพุตรูปไซน์.....	72
6.13 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปไซน์ที่ความถี่ 400 kHz.....	73
6.14 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 400 kHz ของสัญญาณอินพุตรูปไซน์.....	73
6.15 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปไซน์ที่ความถี่ 600 kHz.....	74
6.16 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 600 kHz ของสัญญาณอินพุตรูปไซน์.....	74
6.17 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปไซน์ที่ความถี่ 800 kHz.....	75
6.18 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 800 kHz ของสัญญาณอินพุตรูปไซน์.....	75
6.19 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตรูปไซน์ที่ความถี่ 1MHz.....	76
6.20 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 1MHz ของสัญญาณอินพุตรูปไซน์.....	76
6.21 แสดงสัญญาณเอาต์พุตที่ความถี่ 200 kHz เมื่อโหลดคาปาซิแตนซ์ 0.1-1pF.....	77
6.22 แสดงสัญญาณเอาต์พุตที่ความถี่ 400 kHz เมื่อโหลดคาปาซิแตนซ์ 0.1-1pF.....	77
6.23 แสดงสัญญาณเอาต์พุตที่ความถี่ 600 kHz เมื่อโหลดคาปาซิแตนซ์ 0.1-1pF.....	78

## สารบัญรูป (ต่อ)

รูปที่	หน้า
6.24 แสดงสัญญาณเอาต์พุตที่ความถี่ 800 kHz เมื่อโหลดคาปาซิแตนซ์ 0.1-1pF.....	78
6.25 แสดงสัญญาณเอาต์พุตที่ความถี่ 1 MHz เมื่อโหลดคาปาซิแตนซ์ 0.1-1pF.....	79
6.26 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 0 เป็น โลจิก 1 ที่ความถี่ 200 kHz.....	79
6.27 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 1 เป็น โลจิก 2 ที่ความถี่ 200 kHz.....	80
6.28 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 0 เป็น โลจิก 1 ที่ความถี่ 400 kHz.....	80
6.29 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 1 เป็น โลจิก 2 ที่ความถี่ 400 kHz.....	81
6.30 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 0 เป็น โลจิก 1 ที่ความถี่ 600 kHz.....	81
6.31 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 1 เป็น โลจิก 2 ที่ความถี่ 600 kHz.....	82
6.32 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 0 เป็น โลจิก 1 ที่ความถี่ 800 kHz.....	82
6.33 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 1 เป็น โลจิก 2 ที่ความถี่ 800 kHz.....	83
6.34 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 0 เป็น โลจิก 1 ที่ความถี่ 1MHz.....	83
6.35 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจาก โลจิก 1 เป็น โลจิก 2 ที่ความถี่ 1 MHz.....	84
6.36 แสดงเอาต์พุตของวงจรมือใช้แรงดันแหล่งจ่ายต่ำกว่า 2.5 โวลท์ที่ความถี่ 200 kHz.....	84
6.37 แสดงเอาต์พุตของวงจรมือใช้แรงดันแหล่งจ่ายต่ำกว่า 2.5 โวลท์ที่ความถี่ 600 kHz.....	85
6.38 แสดงเอาต์พุตของวงจรมือใช้แรงดันแหล่งจ่ายต่ำกว่า 2.5 โวลท์ที่ความถี่ 1MHz.....	85
6.39 แสดงอัตราการเหวี่ยง (Slew rate) ของวงจรมือใช้ความถี่ 200 kHz.....	86
6.40 แสดงอัตราการเหวี่ยง (Slew rate) ของวงจรมือใช้ความถี่ 600 kHz.....	86
6.41 แสดงอัตราการเหวี่ยง (Slew rate) ของวงจรมือใช้ความถี่ 1MHz.....	87

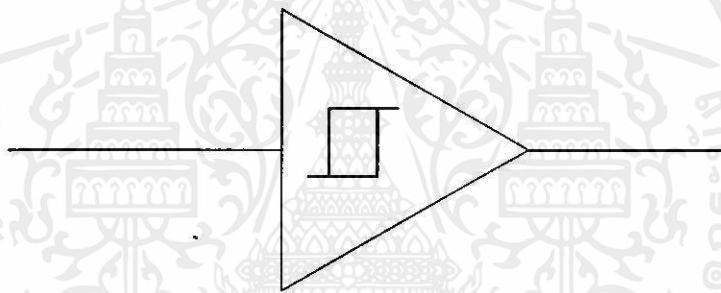
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

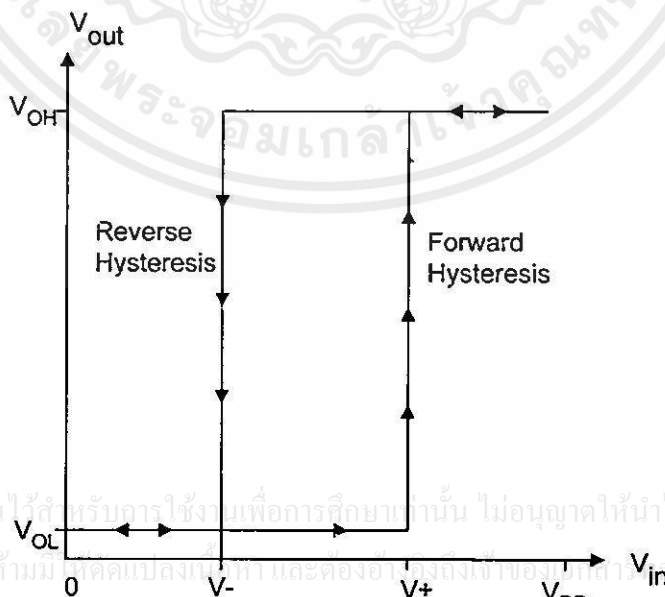
## บทนำ

### 1.1 วงจรขมิตท์ทริกเกอร์

วงจรขมิตท์ทริกเกอร์เป็นวงจรไบสเตเบิลชนิดหนึ่งมีใช้ทั้งทางวงจรรอนาลอกและดิจิทัลในการจัดรูปสัญญาณเพื่อแก้ปัญหาการลatchingของสัญญาณและป้องกันสัญญาณรบกวน โดยให้แรงดันเอาต์พุตมีสถานะเป็น "0" ตามค่าแรงดันวิกฤติของวงจร หลักการทำงานคล้ายกับวงจรเปรียบเทียบสัญญาณ (Comparator Circuit) แต่มีคุณสมบัติพิเศษ คือมีค่าแรงดันวิกฤติอยู่สองค่าซึ่งขึ้นอยู่กับสถานะของแรงดันอินพุตและเอาต์พุตเรียกคุณสมบัติพิเศษนี้ว่า ฮิสเทอรีซิส (Hysteresis) สัญลักษณ์ของวงจรขมิตท์ทริกเกอร์จะแสดงดังรูปที่ 1.1 ส่วนคุณสมบัติในการโอนถ่ายสัญญาณ (Transfer Characteristic curve) จะแสดงดังรูปที่ 1.2



รูปที่ 1.1 แสดงสัญลักษณ์ของวงจรขมิตท์ทริกเกอร์

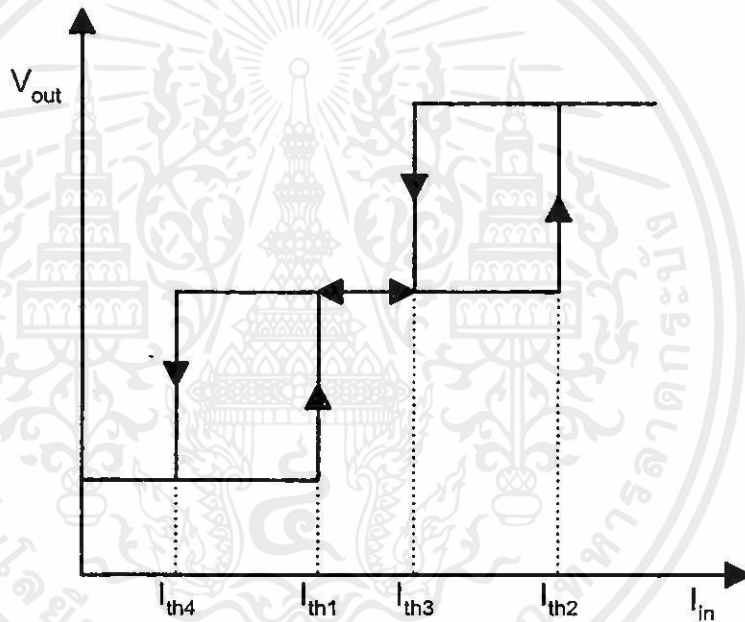


รูปที่ 1.2 แสดงคุณสมบัติในการโอนถ่ายสัญญาณของวงจรขมิตท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกแบบลงเว็บไซต์ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.2 ที่มาของงานวิจัย

ในปัจจุบันมีการวิจัยและพัฒนาวงจรลอจิกสำหรับการประมวลผลเชิงเลข (Digital Signal Processing) กันอย่างกว้างขวางเพื่อให้วงจรมีความเร็วในการทำงานสูง แต่ด้วยข้อจำกัดของระบบเลขฐานสองทำให้ไม่สามารถตอบสนองความต้องการในการประมวลผลข้อมูลที่มีปริมาณมากอย่างรวดเร็ว แนวทางหนึ่งที่ถูกนำมาใช้คือการเพิ่มระดับของสัญญาณในวงจร เช่น วงจร Ternary และ Quaternary ดังนั้นเมื่อสัญญาณมีหลายระดับมากขึ้นอาจจะมีปัญหาการลatchของสัญญาณหรือมีอาจจะมีสัญญาณรบกวน ทำให้วงจรสมิททริกเกอร์ที่ใช้กันอยู่ทั่วไปไม่สามารถใช้ได้ ที่ผ่านมามีการนำเสนอวงจรเทอร์นารีสมิททริกเกอร์ที่ทำงานในโหมดแรงดัน[33]ซึ่งมีคุณลักษณะการส่งผ่านดังรูปที่ 1.3



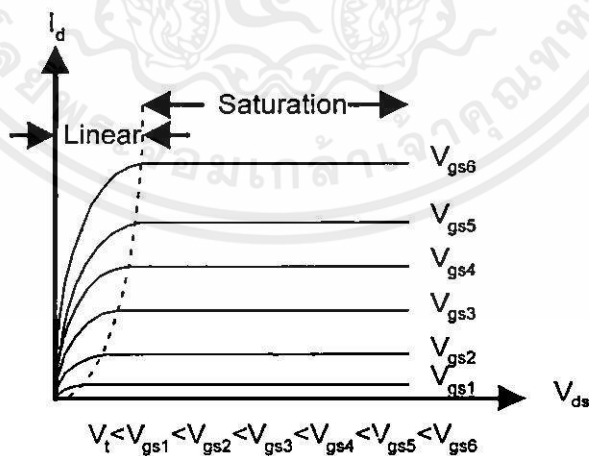
รูปที่ 1.3 แสดงคุณลักษณะการส่งผ่านของวงจร เทอร์นารีสมิททริกเกอร์

## 1.3 วัตถุประสงค์ของงานวิจัย

ที่ผ่านมามีการนำเสนอวงจร เทอร์นารีสมิททริกเกอร์ที่ทำงานในโหมดคัทคาทำให้ วงจรทำงานในช่วงความเร็วที่จำกัด อีกทั้งลักษณะที่ซับซ้อนทำให้ยากต่อการกำหนดสัปดาห์เทรคโวลต์ โดยเฉพาะเมื่อถูกนำมาใช้ในการขับโหลดต่างๆ ดังนั้นในวิทยานิพนธ์ฉบับนี้ได้นำเสนอ วงจรเทอร์นารีสมิททริกเกอร์ที่ทำงานในโหมดกระแสด้วยเทคโนโลยีของ CMOS ทำให้วงจรมีความเร็วสูงและกำหนดค่าเทรคโวลต์ได้อย่างอิสระ อีกทั้งยังสามารถนำไปประยุกต์ใช้ในงานที่ต้องการอินพุตที่เป็นกระแสเช่น Photo-Detector, Optical Remote Control, Medical instruments และสามารถนำมาใช้งานกับวงจรหลายระดับสัญญาณ (Multiple Valued Logic) แบบต่าง ๆ

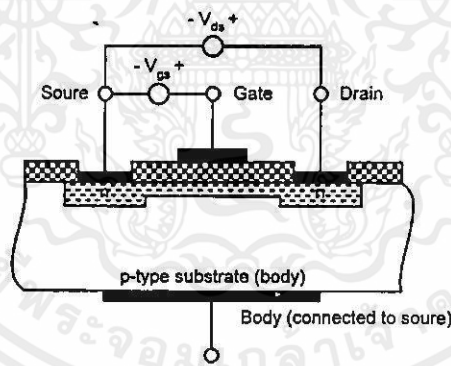


จากรูปที่ 2.1 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิด N-Channel จากโครงสร้างภายในจะเห็นว่ารอบ ๆ ส่วนของซอสและเดรนมีลักษณะเป็นรอยต่อพีเอ็น (P-N Junction) เกิดขั้วนปลอดพาหะ (Depletion Region) ขึ้น ถ้าเกตได้รับแรงดันค่าลบในขณะที่  $V_{ds} = 0$  จะเกิดสนามไฟฟ้า Oxide มีทิศทางไปยัง Gate Electrode จะทำให้ Holes ใน P-Type Substrate ผ่านมายังบริเวณใกล้ผิวทำให้ Majority Carrier Concentration (Hole) บริเวณใกล้ผิวเพิ่มขึ้นกว่าใน Substrate ขณะเดียวกัน Majority Carrier Concentration (Electron) บริเวณใกล้ผิวจะลดลง เนื่องจากอิเล็กตรอนจะถูกผลักลงไป Substrate ต่อไปถ้าเกตได้รับแรงดันค่าบวกน้อย ( $V_{gs} > 0$ ) ในขณะที่  $V_{ds} = 0$  จะเกิดสนามไฟฟ้าในอีกทิศทางไปยัง Substrate ทำให้โฮลบริเวณใกล้ผิวของ Substrate ภายใต้ Gate Oxide จะถูกผลักออกมา Fixed Ionized Acceptor ของมันกลับไป Substrate ดังนั้นจะเกิด Depletion Region บริเวณใกล้ผิวขึ้น ต่อมาเมื่อเกตได้รับแรงดันค่าบวกมากขึ้น จนกระทั่งมากกว่าแรงดันค่าบวกหนึ่งเรียกว่า Threshold Voltage ( $V_{to}$ ) นั่นคือ  $V_{gs} > V_{to}$  จะทำให้ศักย์บวกที่เกตที่มากขึ้นจะดึงอิเล็กตรอนจำนวนมากจาก P-Type Substrate มาใกล้ผิวสร้างเป็น N-Type Region ใกล้ผิวเรียกว่า Inversion Layer และสภาวะนี้เรียกว่า Surface Inversion โดย Inversion Layer หรือ N-Type Conduction Channel จะเกิดขึ้นระหว่าง Source Region และ Drain Region ทำหน้าที่เป็นช่องทาง (Channel) เดินกระแสระหว่างซอส ดังนั้นทำให้แรงดันเดรนซอสเป็นบวกเล็กน้อย ( $V_{ds} > 0$ ) จะเกิดกระแสไหลจากเดรนไปยังซอสได้ ถ้าเพิ่ม  $V_{ds} = (V_{gs} - V_{to})$  กระแสเดรนจะไหลสูงสุดและจะคงที่ตลอดแม้มีการเพิ่ม  $V_{ds}$  มาขึ้นอีกก็ตาม ดังแสดงความสัมพันธ์ระหว่าง  $I_d$  และ  $V_{ds}$  เมื่อเปลี่ยนค่า  $V_{gs}$  ในรูปที่ 2.2



รูปที่ 2.2 แสดงความสัมพันธ์ระหว่าง  $I_d$  กับ  $V_{ds}$  เมื่อเปลี่ยนค่า  $V_{gs}$  ของมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิด N-Channel

จากรูปที่ 2.3 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบดีพลีชันชนิด N-Channel จะเห็นว่าเมื่อไบอัสแรงดันเกตเป็นศูนย์เมื่อเทียบกับซอสและให้แรงดันเดรนเทียบกับซอสเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลค่าหนึ่งเนื่องจากแชนแนลได้ถูกสร้างไว้แล้วเมื่อไบอัสแรงดันเกตเป็นค่าลบค่าน้อยเทียบกับซอสจะเกิดสนามไฟฟ้าในอ็อกไซด์มีทิศทางไปยัง Gate Electrode ผลจะผลักอิเล็กตรอนบริเวณใกล้ผิวในแชนแนลให้ออกจาก Fixed Ionized Donor (ประจุบวกอยู่กับที่) ลงมาแชนแนลส่วนล่าง ผลทำให้เกิด Depletion Region ใกล้ผิวภายในแชนแนลขึ้น ทำให้สภาพความนำไฟฟ้าของแชนแนลลดลง ผลกระแสเดรนไหลน้อยลงและถ้าเกตเป็นค่าลบมากขึ้นทำให้ Depletion Region แผ่กว้างเพิ่มขึ้นในแชนแนล จะทำให้สภาพความนำไฟฟ้าของแชนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีกและถ้าเกตเป็นลบมาก ๆ ทำให้ Depletion Region แผ่กว้างเต็มแชนแนล แชนแนลจะไม่นำกระแส กระแสเดรนจะมีค่าเป็นศูนย์ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชันโหมด (Depletion Mode) ต่อมาเมื่อไบอัสแรงดันเกตเป็นบวกเมื่อเทียบกับซอสจะเกิดสนามไฟฟ้าในอ็อกไซด์ไปยังแชนแนลจะดึงดูดอิเล็กตรอนจาก P-Substrate มายังบริเวณแชนแนลมากขึ้น ทำให้สภาพความนำไฟฟ้าของแชนแนลเพิ่มขึ้น กระแสเดรนไหลเพิ่มขึ้นมีค่ามากกว่ากระแสเดรนขณะ  $V_{gs} = 0$  ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบเอ็นฮานเมนต์โหมด (Enhancement Mode) ดังแสดงความสัมพันธ์ของ  $I_d$  และ  $V_{ds}$  เมื่อเปลี่ยนค่า  $V_{gs}$  ในรูปที่ 2.4



รูปที่ 2.3 แสดงการไบอัสมอสเฟตแบบดีพลีชันชนิด N-Channel

จากการทำงานของมอสเฟตจะเห็นว่าเป็นการใช้แรงดันควบคุมปริมาณกระแสไฟฟ้าจะมีสมการความสัมพันธ์ของกระแสเดรน ( $I_d$ ) กับแรงดันเกตซอส ( $V_{gs}$ ) และค่าพารามิเตอร์ต่าง ๆ มอสเฟตดังแสดงได้ในสมการที่ (2.1) โดยการอ้างอิงการไบอัสของมอสเฟตแบบเอ็นฮานเมนต์ชนิด N-Channel ดังนี้

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_d = \beta \left[ (V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (2.1)$$

โดยที่  $\beta$  = ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ  $\mu C_{ox} \left[ \frac{W}{L} \right]$

$\mu$  = ค่าสภาพความคล่องตัวของโฮลล์หรืออิเล็กตรอน (Surface Mobility of Carrier)

$C_{ox}$  = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตอ็อกไซด์ (Capacitance Per Unit Area of the Gate Oxide)

$W$  = ความกว้างของแชนเนล (Channel Width)

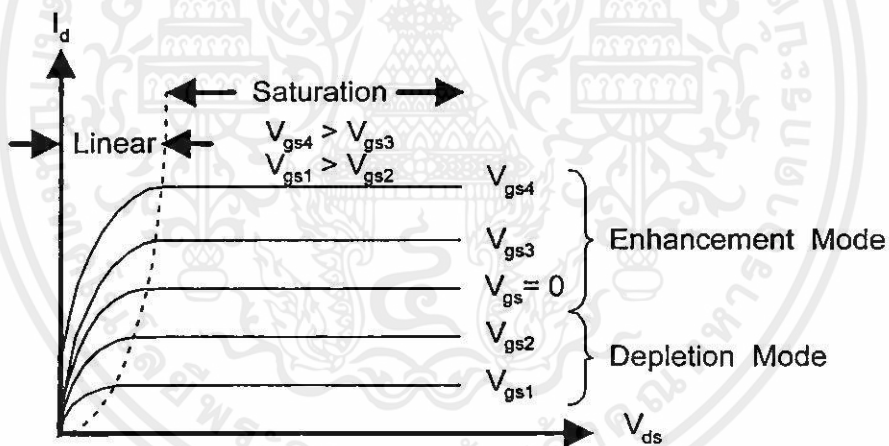
$L$  = ความยาวของแชนเนล (Channel Length)

$V_{gs}$  = แรงดันไฟฟ้าระหว่างเกตกับซอส (Gate-Source Voltage)

$V_{ds}$  = แรงดันไฟฟ้าระหว่างเดรนกับซอส (Drain-Source Voltage)

$V_t$  = แรงดันขีดเริ่ม (Threshold Voltage)

$I_d$  = กระแสเดรน



รูปที่ 2.4 แสดงความสัมพันธ์ระหว่าง  $I_d$  กับ  $V_{ds}$  เมื่อเปลี่ยนค่า  $V_{gs}$  ของมอสเฟตแบบดีพีทีชั้นชนิด N-Channel

การจัดไบอัสการทำงานของมอสเฟตสามารถแบ่งออกได้เป็น 3 ช่วง ขึ้นกับการพิจารณาค่า  $(V_{gs} - V_t)$  โดยสมการทั้งหมดจะอ้างอิงการไบอัสมอสเฟตชนิด N-Channel แบบเอ็นฮานเมนท์

1. ทำงานในช่วงคัทออฟ (Cutoff Region) คือ ทำการไบอัสให้แรงดันไฟฟ้าที่เกตกับซอส ( $V_{gs}$ ) มีค่าน้อยกว่า  $V_t$  ผลทำให้ไม่มีกระแสเดรนไหลดังสมการที่ (2.2)

$$I_d = 0, V_{gs} < V_t \quad (2.2)$$

2. ทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region) คือเพื่อให้มอสเฟตทำงานในช่วงนี้ต้องการทำไบอัสให้แรงดันไฟฟ้าที่เกตกับซอส  $[V_{gs}]$  มากกว่า  $V_t$  ขณะเดียวกันให้ค่าแรงดันไฟฟ้าที่เดรนกับซอส ( $V_{ds}$ ) มีค่าน้อยกว่า  $(V_{gs} - V_t)$  ดังนั้น

$$I_d = \beta \left[ (V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2} \right], V_{gs} > V_t; 0 < V_{ds} < (V_{gs} - V_t) \quad (2.3)$$

ถ้ามี  $V_{ds}$  มีค่าน้อย ๆ หรือไบอัสให้  $0 < V_{ds} \leq (V_{gs} - V_t)$  จะสามารถตัดเทอม  $\frac{V_{ds}^2}{2}$  ในสมการที่ (2.3) ได้และสามารถประมาณสมการได้เป็น

$$I_d \cong \beta (V_{gs} - V_t)V_{ds}, V_{gs} > V_t; 0 < V_{ds} \leq (V_{gs} - V_t) \quad (2.4)$$

จากความสัมพันธ์อย่างเชิงเส้นในสมการที่ (2.4) จะแสดงการทำงานของมอสเฟตเป็นค่าความต้านทานที่มีความเป็นเชิงเส้น ( $R_{ds}$ ) ถูกควบคุมด้วยค่าแรงดันไฟฟ้าของ  $V_{gs}$

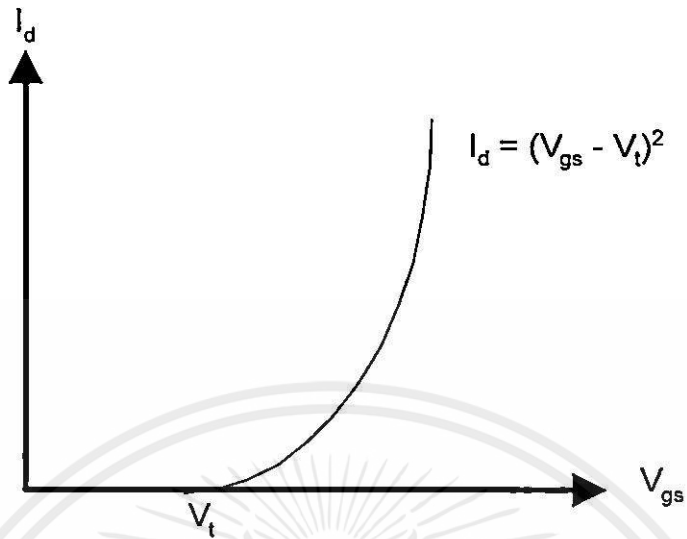
$$R_{ds} = \frac{V_{ds}}{I_d} = [\beta(V_{gs} - V_t)]^{-1} \quad (2.5)$$

3. ทำงานในช่วงอิ่มตัว (Saturation Region) คือช่วงนี้จะไบอัสให้แรงดันที่เดรนกับซอส ( $V_{ds}$ ) มากกว่าหรือเท่ากับ  $(V_{gs} - V_t)$  ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็น

$$I_d = \beta (V_{gs} - V_t)^2, V_{gs} > V_t; 0 < (V_{gs} - V_t) \leq V_{ds} \quad (2.6)$$

จะเห็นว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับแรงดันไฟฟ้าที่เดรนกับซอส ( $V_{ds}$ ) แต่จะขึ้นกับค่าแรงดัน  $(V_{gs} - V_t)$  ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง โดยสามารถแสดงกราฟคุณสมบัติการถ่ายโอน (Transfer Characteristic) ในรูปที่ (2.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 คุณสมบัติการถ่ายโอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

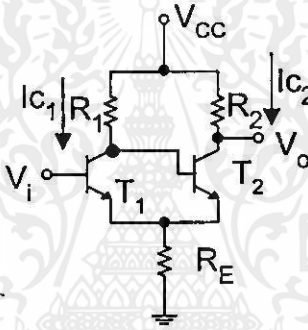
### บทที่ 3

## วงจรมิทท์ทริกเกอร์แบบดิจิตอล

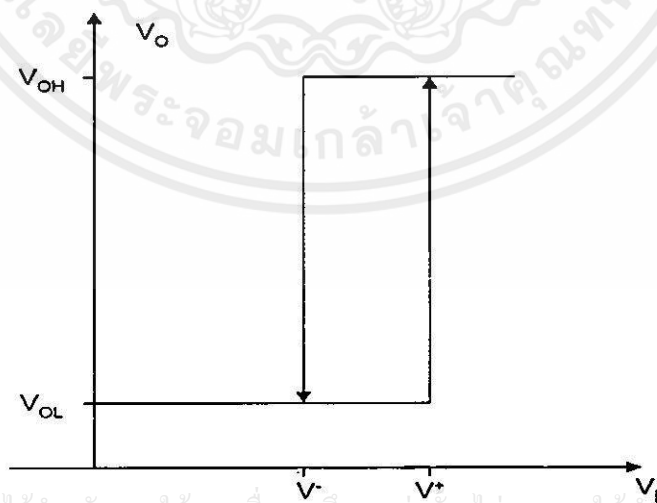
### 3.1 วงจรมิทท์ทริกเกอร์แบบไบโพลาร์

วงจรมิทท์ทริกเกอร์พื้นฐานแบบไบโพลาร์ มีปัญหาเรื่องความเร็วในการสวิตช์ และไม่สามารถสวิงได้เต็มช่วงสัญญาณ ดังแสดงรูปวงจรในรูปที่ 3.1 และแสดงคุณสมบัติในการโอนถ่ายสัญญาณดังรูปที่ 3.2

ถ้าเป็นวงจรมิทท์ทริกเกอร์แบบซีมอสสามารถแก้ปัญหาในเรื่องความเร็วในการสวิตช์ช้า แต่เมื่อใช้กับโหลดคาปาซิแตนซ์สูง ๆ ก็จะมีปัญหา และก็ยังไม่สามารถสร้างได้ตลอดช่วงสัญญาณคล้ายกับแบบไบโพลาร์ ดังแสดงตามรูปที่ 3.2



รูปที่ 3.1 แสดงวงจรมิทท์ทริกเกอร์พื้นฐานแบบไบโพลาร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องแจ้งเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
รูปที่ 3.2 แสดงคุณสมบัติการ โอนถ่ายสัญญาณวงจรมิทท์ทริกเกอร์พื้นฐานแบบไบโพลาร์

วงจรพื้นฐานขมิตท์ทริกเกอร์แบบไบโพลาร์ และกราฟแสดงคุณสมบัติการโอนถ่ายแรงดัน แสดงไปตามรูปที่ 3.1 และ 3.2 ตามลำดับสำหรับหลักการทำงาน คือ ทรานซิสเตอร์  $T_1$  และ  $T_2$  มีส่วนทำงานในจุดอิมิต์วที่แตกต่างกัน เพราะ  $R_1 > R_2$  ให้  $V_i$  ในสภาวะเริ่มต้นมีค่าต่ำทำให้  $T_1$  ไม่ทำงาน กระแสไหลผ่าน  $R_1$  ไปยังเบสของ  $T_2$  ทำให้เกิดการอิมิต์ว ได้ว่า

$$V_O = V_{OL} = V_E + V_{CE2(sat)} \quad (3.1)$$

ขณะที่แรงดันอินพุตเพิ่มขึ้น กระแสไหลผ่าน  $R_1$  กลับจากเบส  $T_2$  ไปยัง  $T_1$  เมื่ออินพุตมีค่า

$$V_i = V_{T+} = V_E + V_{BE1(on)} \quad (3.2)$$

ทำให้กระแสเบสเพียงพอ เป็นเหตุให้  $T_2$  ลดจากการอิมิต์วลง ทรานซิสเตอร์  $T_1$  จะนำกระแส  $V_{C1} = V_{B2}$  ลดลง ดังนั้น  $T_1$  จะยังอิมิต์ว และ  $T_2$  จะไม่ทำงาน และ

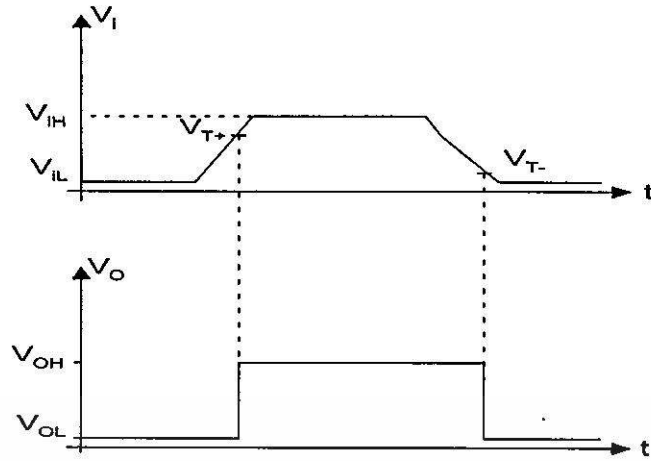
$$V_O = V_{OH} = V_{CC} \quad (3.3)$$

แล้วเมื่อกระแสคอลเลคเตอร์และอิมิต์วของ  $T_2$  ลดลง เป็นเหตุให้กระแสอิมิต์วไหลผ่าน  $T_1$  มากขึ้น เพราะ  $V_E$  ยังคงที่อยู่กับ  $V_{BE1(on)}$  ของแรงดันอินพุต เหตุนี้ทำให้กระแสคอลเลคเตอร์  $T_1$  เพิ่มขึ้น และกระแสเบสของ  $T_2$  เพิ่มขึ้น เป็นเหตุผลทำให้กลับสภาวะเดิมอีก เมื่อ  $T_2$  ไม่ทำงาน และ  $T_1$  อิมิต์ว ถ้าอินพุตเป็นแรงดันลบแรงดันเอาต์พุตจะอยู่ในสภาวะ High ดังรูปที่ 3.1 จนกระทั่ง  $V_i$  เป็นแรงดันทรศโฮลด์ลลบ

$$V_i = V_{T-} = V_E + V_{BE1(on)} \quad (3.4)$$

$$V_E \approx R_E I_{C1} \approx \frac{R_E}{R_1 + R_E} V_{CC} \quad (3.5)$$

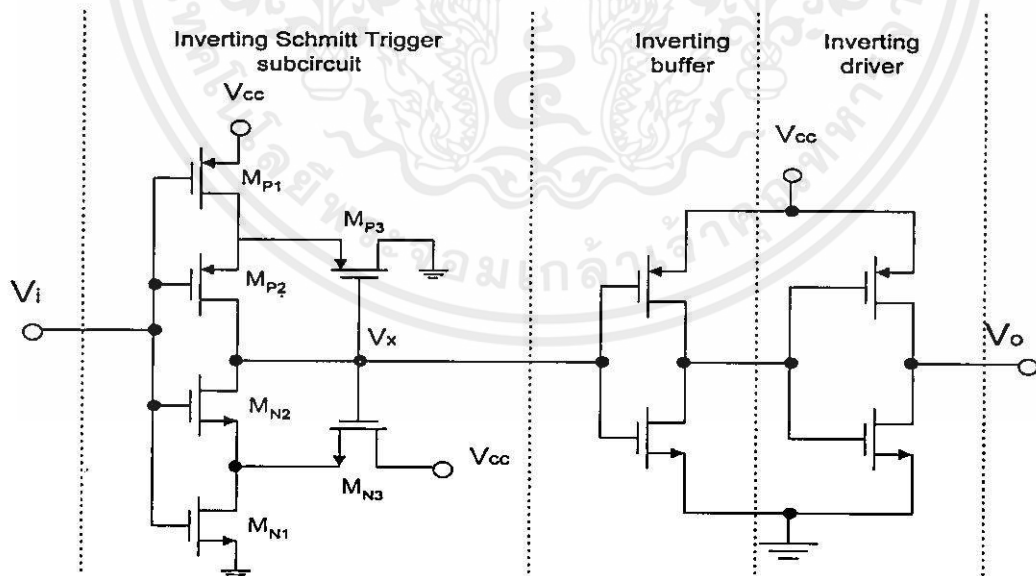
จากตัวอย่างของ IC7414 ขมิตท์ทริกเกอร์แบบ TTL และ ณ. อุณหภูมิปกติ  $25^\circ\text{C}$ ,  $V_{CC} = 5\text{V}$ ,  $V_{T+} = 1.7\text{V}$  และ  $V_{T-} = 0.9\text{V}$  และจากกราฟคุณสมบัติการโอนถ่ายแรงดันจะไม่สามารถสวิงได้เต็มช่วง



รูปที่ 3.3 แสดงความสัมพันธ์ของแรงดันอินพุตกับแรงดันเอาต์พุตเปลี่ยนแปลงที่จุด  $V_{T+}$  และ  $V_{T-}$ .

### 3.2 ชีโมสซีมิทท์ทริกเกอร์

ตัวอย่างของซีมิสซีมิทท์ทริกเกอร์ 74HC14 เป็นวงจรมอสความเร็วสูงมีเกทอยู่ 6 เกท เป็นแบบอินเวอร์เตอร์ซีมิทท์ทริกเกอร์ ตามแสดงให้ดูตามรูปที่ 3.4 เป็นซีมิสทั้งหมด ส่วนด้านบนเป็น P-Channel และด้านล่างเป็น N-Channel MOS  $M_{P3}$  และ  $M_{N3}$  ทำงานในลักษณะ Source follower และทำให้เกิดฮิสเทอรีซิส โดยการป้อนแรงดันเอาต์พุตของซีมิทท์ทริกเกอร์กลับมา ส่วนเอาต์พุตเป็นส่วนของไครฟ์เวอร์ 2 ตัวต่อกันอยู่



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 3.4 แสดงวงจรของ 74HC14 HCMOS inverting Schmitt trigger  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คิดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.1 หลักการทำงาน

เมื่อ  $V_i = 0V$  โดย  $M_{p1}$  และ  $M_{p2}$  จะนำกระแสเดรนเล็กน้อย แต่  $M_{n1}$  และ  $M_{n2}$  จะไม่นำกระแส  $V_x = V_{CC}$  ส่วน  $M_{p3}$  ยังคง OFF และ  $M_{n3}$  ON และทำงานในลักษณะ Source follower หลังจากอินเวอร์เตอร์ 2 ชุด เอาท์พุท  $V_o = V_{OH} = V_{CC}$  เดรนของ  $M_{n1}$  มีค่าเป็น  $V_{CC} - V_{Tn}$  เมื่อ  $V_{Tn}$  คือแรงดันเทรชโฮลด์ของ N-Channel

เมื่อแรงดันอินพุทเพิ่มขึ้นถึง  $V_{Tn}$  โดย  $M_{n1}$  ON และแรงดันเดรนตกลง ที่  $V_i$  เพิ่มขึ้นแรงดันทริกเกอร์

$$V_{T+} = V_{GS2} + V_{DS1} = V_{Tn} + V_{DS1} \quad (3.5)$$

$M_{n2}$  จะ ON และกลับคืนอย่างรวดเร็ว ทั้ง  $M_{n1}$  และ  $M_{n2}$  จะนำกระแส  $V_x$  ลดลงเป็น 0  $M_{n3}$  จะ OFF และ  $M_{p3}$  จะ ON การนำกระแสของ  $M_{p3}$  ทำให้กระแสเดรนของ  $M_{p2}$  ต่ำลงและอยู่ในสถานะ OFF ตามอินเวอร์เตอร์ทั้ง 2 ชุด  $V_o = V_{OL} = 0V$

$V_{T+}$  อาจจะสามารถคำนวณโดยการประมาณค่ากระแสของทรานซิสเตอร์ ขณะที่  $M_{n2}$  ON

$$V_{DS1} = V_{GS1} - V_{Tn} \quad (3.6)$$

ดังนั้น  $M_{n1}$  ยังใกล้ ๆ จุดอิ่มตัว

$$I_{D1} \approx \frac{1}{2} k_{n1} (V_{T+} - V_{Tn})^2 \quad (3.7)$$

$M_{n3}$  ยังคงอิ่มตัวด้วย

$$\begin{aligned} I_{S3} &\approx \frac{1}{2} k_{n3} (V_{CC} - V_{Tn} - V_{DS1})^2 \\ &= \frac{1}{2} k_{n3} (V_{CC} - V_{T+})^2 \end{aligned} \quad (3.8)$$

แรงดันทริกเกอร์แบบ forward

$$V_{T+} \approx \frac{V_{CC} + \sqrt{k_{n1} / k_{n3}} V_{Tn}}{1 + \sqrt{k_{n1} / k_{n3}}} \quad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราส่วนของโพลดอร์อบเป็นพารามิเตอร์ที่สำคัญในการออกแบบ

$$\frac{k_{n1}}{k_{n3}} = \frac{(W/L)_{n1}}{(W/L)_{n3}} \approx \left[ \frac{V_{CC} - V_{T+}}{V_{T+} - V_{Tn}} \right]^2 \quad (3.10)$$

กำลังลดลงด้วยอัตราเพิ่มขิ้น  $V_{T+}$

เมื่อ  $V_i$  ลดจาก  $V_{CC}$  ไป 0 V คล้ายกับวิธีการเดิม และการกลับคืนอย่างรวดเร็วของแรงดันเทรตโสดต่ำ  $V_{T-}$  มาถึง เมื่อ  $V_i = V_{CC}$   $M_{p1}$  และ  $M_{p2}$  OFF แต่  $M_{n1}$  และ  $M_{n2}$  ON  $V_X = 0V$  ดังนั้น  $M_{n3}$  OFF และ  $M_{p3}$  ON ทำงานในสภาวะ Source follower เอาท์พุทของวงจร

$V_O = V_X = V_{OL} = 0V$  ดังนั้น Source ของ  $M_{p1}$  คือ  $V_{CC}$

เมื่อแรงดันอินพุทลดลง  $V_{CC} - |V_{Tp}|$  ที่  $|V_{Tp}|$  คือ แรงดันทริกเกอร์กลับ  $V_{T-} = |V_{DS1}| - |V_{Tp}|$  โดย  $M_{p2}$  เริ่มนำกระแส กับ  $M_{p1}$  และ  $M_{p2}$  ON  $V_X$  เพิ่มขึ้นเร็วจนถึง  $V_{CC}$  โดย  $M_{n3}$  ON และ  $M_{p3}$  OFF ที่เอาท์พุท  $V_O = V_X = V_{OH} = V_{CC}$

$M_{p1}$  และ  $M_{p3}$  อิ่มตัว

$$I_{D1} \approx \frac{1}{2} K_{p1} (V_{CC} - V_{T-} - |V_{Tp}|)^2 \quad (3.11)$$

และ 
$$I_{S3} \approx \frac{1}{2} k_{p3} (|V_{DS1}| - |V_{Tp}|)^2 = \frac{1}{2} k_{p3} (V_{T-})^2 \quad (3.12)$$

ให้  $I_{D1} = I_{S3}$

$$V_{T-} \approx \frac{\sqrt{k_{p1} / k_{p3}} (V_{CC} - |V_{Tp}|)}{1 + \sqrt{k_{p1} / k_{p3}}} \quad (3.13)$$

แรงดันทริกเกอร์แบบกลับเฟส ออกแบบจากสมการ

$$\frac{k_{p1}}{k_{p3}} = \frac{(W/L)_{p1}}{(W/L)_{p3}} \approx \left[ \frac{V_{T-}}{V_{CC} - V_{T-} - |V_{Tp}|} \right]^2 \quad (3.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะเพื่อการออกแบบ CMOS ให้สมมาตร ต้องให้ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$k_r = \frac{k_{n1}}{k_{n3}} = \frac{k_{p1}}{k_{p3}} \quad (3.15)$$

และ 
$$V_{Tn} = |V_{Tp}| = V_T \quad (3.16)$$

ดังนั้นแรงดันฮิสเทอรีซิส

$$V_H = V_{T+} - V_{T-}$$

สมการ (3.9) และ (3.13) จะได้

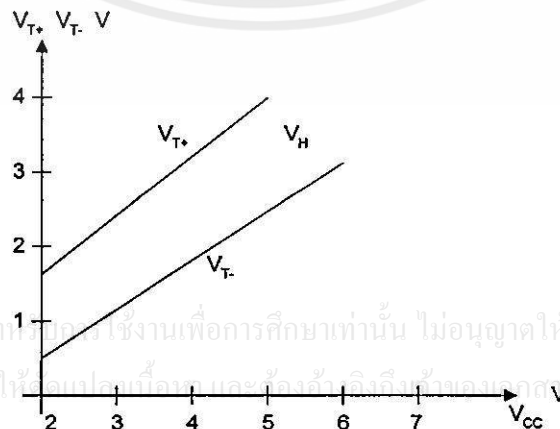
$$V_H \approx \frac{(1 - \sqrt{k_r})V_{CC} + 2\sqrt{k_r}V_T}{1 + \sqrt{k_r}} > 0 \quad (3.17)$$

การออกแบบสมการใหม่

$$\sqrt{k_r} \approx \frac{V_{CC} - 2\Delta V}{V_{CC} + 2\Delta V - 2V_T} \quad (3.18)$$

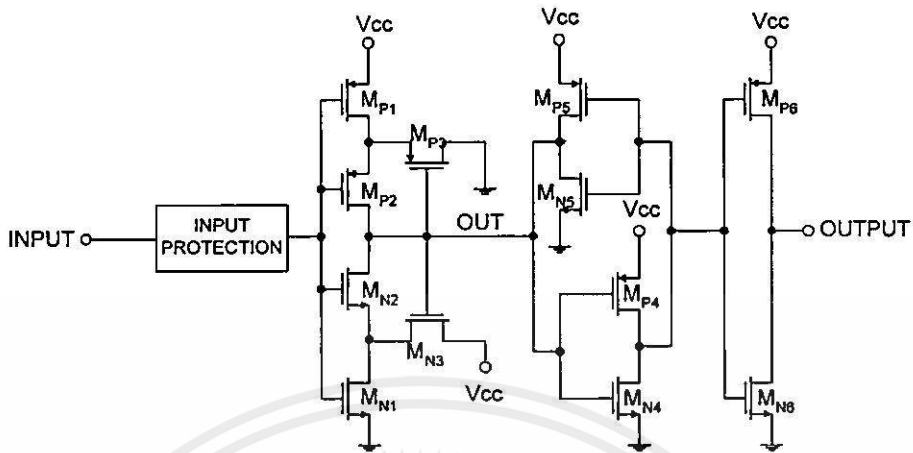
สามารถใช้เป็นฮิสเทอรีซิสรูปได้แบบสมมาตร

ค่าแรงดันเทรคโฮลด์ที่  $V_{CC} = 4.5V$  และอุณหภูมิปกติ  $25^\circ C$   $V_{T+} = 2.7V$ ,  $V_{T-} = 1.8V$  ดังนั้นแรงดันฮิสเทอรีซิส =  $0.9V$  และเอาท์พุทลดลงเมื่อ  $V_{CC}$  ลดลง HCMOS ขมิทที่ทริกเกอร์มีสัญญาณรบกวนต่ำ



รูปที่ 3.5 แสดงแรงดันเทรคโฮลด์  $V_{T+}$  และ  $V_{T-}$  กับ  $V_{CC}$  ของ 74HC1

### 3.3 การวิเคราะห์ซีมอสมิทท์

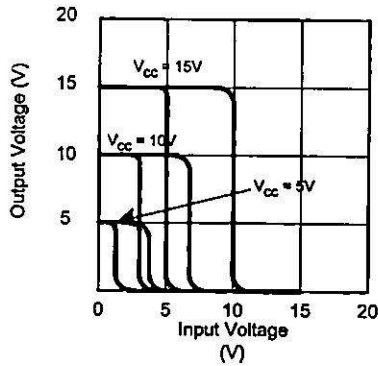


รูปที่ 3.6 แสดงวงจรซีมอสมิทท์ทริกเกอร์

จากรูปที่ 3.6 อินพุทของซีมอสมิทท์ทริกเกอร์เป็นแบบอินพุทโปรเทคชั่นส่วนบนประกอบด้วย P-MOS 2 ตัว และส่วนล่างมี N-MOS 2 ตัวทรานซิสเตอร์  $M_{P3}$  และ  $M_{N3}$  ทำงานแบบ Source Follower และนำฮิสเตอร์รีซิสกัลบมายังแรงดันเอาต์พุททำให้เกิดผลต่าง 2 จุด

เมื่ออินพุทเป็น 0 โวลต์ ทรานซิสเตอร์  $M_{P1}$  และ  $M_{P2}$  จะ ON ส่วน  $M_{N1}$ ,  $M_{N2}$  และ  $M_{P3}$  OFF ดังนั้นเอาต์พุทเป็น High  $M_{N3}$  จะ ON และแสดงเป็น Source Follower เครื่องของ  $M_{N1}$  คือ ซอร์สของ  $M_{N2}$  มีค่า  $V_{CC} - V_{TH}$  แรงดันอินพุทลาดขึ้น 1 เทรตโฮลด์เทียบกราวด์ ทรานซิสเตอร์  $M_{N1}$  เริ่มที่จะ ON ทั้ง  $M_{N1}$  และ  $M_{N3}$  เริ่ม ON ในลักษณะแบบแบ่งแรงดัน ของ  $M_{N2}$  ที่ครึ่งหนึ่งของแหล่งจ่าย เมื่อแรงดันอินพุทเทรตโฮลด์มากกว่าครึ่งหนึ่งของ  $V_{CC}$   $M_{N2}$  เริ่ม ON และกลับมา สวิตช์มากกว่า แรงดันที่มากกว่าเป็นเหตุให้อาต์พุทลดลง เมื่อเอาต์พุทลดลง ซอร์สของ  $M_{N3}$  ลดลงด้วย ซึ่งก็คือเอาต์พุทมีผลต่อ  $M_{N3}$  ในการแบ่งแรงดันกับ  $M_{N1}$  อย่างรวดเร็ว ขณะที่  $M_{P3}$  เริ่ม ON เกทเริ่มจะต่ำลง โดยการลดลงของเอาต์พุทอย่างรวดเร็ว  $M_{P3}$  เริ่ม ON ทำให้ซอร์สของ  $M_{N2}$  ต่ำและทำให้  $M_{P2}$  OFF เอาต์พุทจะลดลงอย่างมาก การกระทำอย่างรวดเร็วขึ้นกับ Unity gain loop อย่างมาก จะเกิดการป้อนกลับแบบบวกสู่ Source follower เมื่ออินพุทต่ำลงอีกครั้งหนึ่ง ก็จะมีการกระทำอย่างรวดเร็วอีกครั้ง เมื่อแรงดัน เทรตโฮลด์ต่ำลง เอาต์พุทจะเป็นลักษณะอินเวอร์เตอร์โดย  $M_{N4}$  และ  $M_{N4}$ ,  $M_{P5}$  และ  $M_{N5}$  มีการแลทช์ และเอาต์พุทมีเสถียรภาพมาก เอาต์พุทของอินเวอร์เตอร์บัพเฟอร์มีกระแสซิงค์ 360  $\mu\text{A}$  กราฟคุณสมบัติการ โอนถ่ายแสดงดังรูปที่ 3.7 และ guaranteed trip point แสดงดังรูปที่ 3.8 [30]

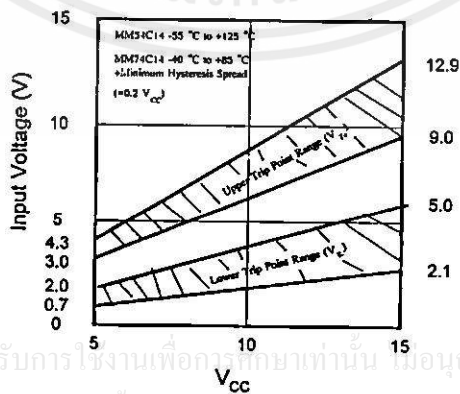
เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์การใช้งานเพื่อการศึกษายเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



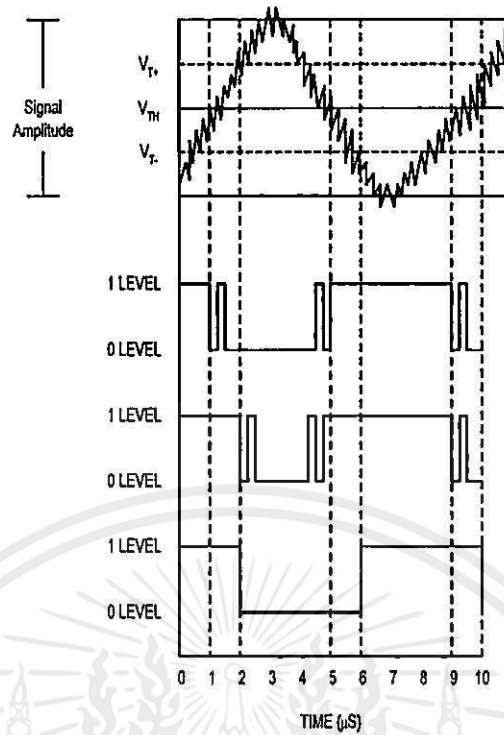
รูปที่ 3.7 แสดงคุณสมบัติการโอนถ่ายสำหรับแหล่งจ่ายแรงดัน 3 ค่า

### 3.3.1 ฮิสเตอร์รีซิส

คือผลต่างของผลตอบสนองที่ขึ้นอยู่กับ การเปลี่ยนแปลงของอินพุตโดยตรง เทรตโฮลด์จะกัน สัญญาณรบกวนของวงจรเปรียบเทียบ สามารถเพิ่มการส่งผ่านแบบทวีคูณของเอาต์พุตได้ ผลตอบสนองของแรงดันต่อเวลาเปรียบเทียบ มีค่าน้อยกว่าเวลาสมิทท์ทริกเกอร์มีค่า 2 เทรตโฮลด์ ซิมอส สมิทท์ทริกเกอร์ ที่  $V_{CC} = 10\text{ V}$  มีค่าผลต่างของเทรตโฮลด์ 3-6 V วงจรเปรียบเทียบใช้ในการแก้คือ ข่าวดสารที่มีการส่งลดลงอันเนื่องมาจากสายส่งที่ไม่สมบูรณ์ เทรตโฮลด์ของวงจรเปรียบเทียบเป็น ครั้งหนึ่งของขนาดสัญญาณป้องกันระดับสัญญาณที่เกิดรบกวน (noise) ถ้าความกว้างของสัญญาณ 4  $\mu\text{s}$  ถูกส่งไปในสายส่ง 4  $\mu\text{s}$  จะเกิดการรับสัญญาณที่มี distortion ขึ้น ถ้าวงจรเปรียบเทียบมีเทรตโฮลด์มากกว่าครั้งหนึ่งของขนาดสัญญาณพัลส์บวกถูกส่งแบบสั้นกว่า และพัลส์ลบมีความยาว สิ่งนี้ เรียกว่าระดับการ distortion ต่ำ สมิทท์ทริกเกอร์มี Offset บวก  $V_{T+}$  แต่ก็มี offset ลบ  $V_{T-}$  ในซิมอส offset เหล่านี้ประมาณค่า สมมาตรครึ่งหนึ่งของ สัญญาณพัลส์ 4  $\mu\text{s}$  ที่ส่งไป และแก้คืนมาได้ การแก้พัลส์คืนมาถูกตีเลยเวลา แต่ความยาวไม่เปลี่ยนการป้องกัน noise และ distortion ได้เพราะเทรตโฮลด์ออฟเซ็ท ดังแสดงรูปที่ 3.9



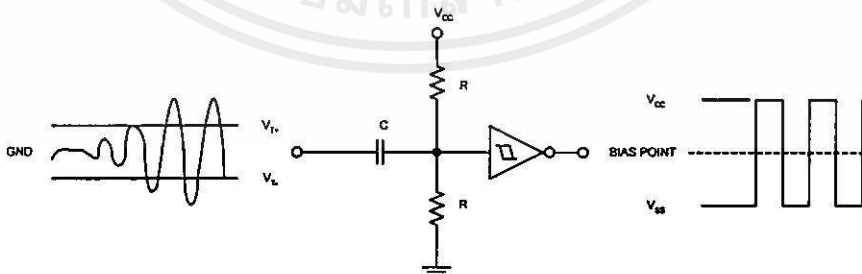
รูปที่ 3.8 แสดงช่วง Guaranteed Trip Point



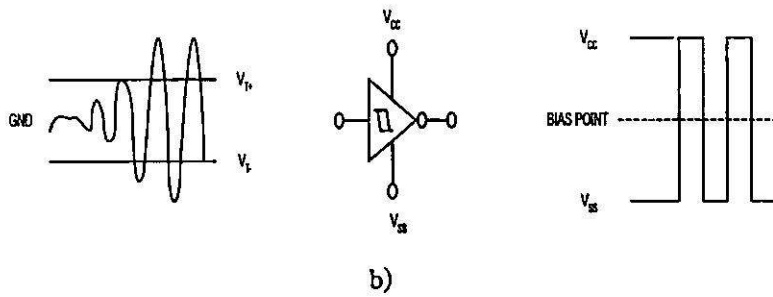
รูปที่ 3.9 แสดงวงจรซิมอสที่มีสัญญาณรบกวน

### 3.3.2 การประยุกต์ใช้งานของซิมอสสมิทท์

จากรูปที่ 3.10a จาก Sine เป็น Square wave เพราะอินพุตของซิมิทท์ทริกเกอร์จะสมมาตรและไบอัสได้ง่าย สามารถปรับ 50 % duty cycle ได้ อินพุตอิมพีแดนซ์สูงง่ายต่อการเลือก R ไบอัส และ C คับปลิ่ง เพราะซิมอสมีช่วงแหล่งจ่ายที่กว้าง ซิมิทท์ทริกเกอร์มีกำลังจากการแยกแหล่งจ่าย การไบอัสนี้หมายถึงค่าเทรตโฮลด์เป็น “0” และทำให้มีการคับปลิ่งโดยตรงจากเอาต์พุตของออปแอมป์



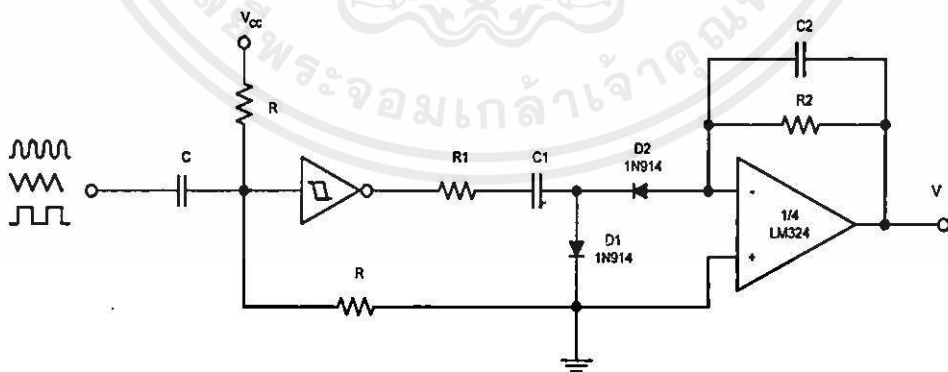
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
a)  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงการแปลง Sine เป็น Square ด้วยการตัดระดับที่สมมาตร

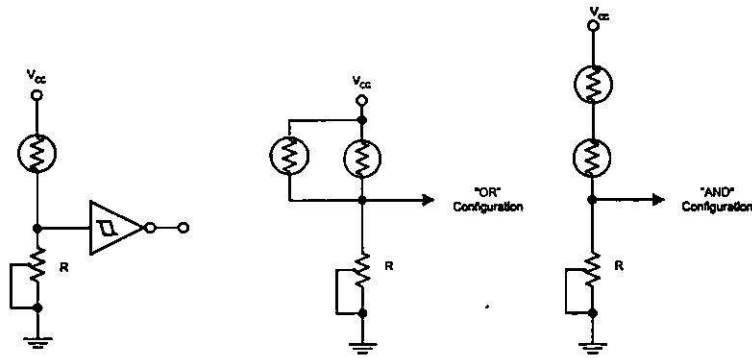
จากรูปที่ 3.11 การเปลี่ยนแปลงความถี่เป็นแรงดันที่ยอมรับรูปคลื่นมากมายกับไม่มีการเปลี่ยนแรงดันเอาต์พุต แม้ว่าพลังงานในรูปคลื่นมีค่าความแตกต่างน้อย ผลก็คือความถี่ที่หาได้จากแรงดันเอาต์พุต เพราะเอาต์พุตของซิมอสวิทท์ทริกเกอร์ที่สมบรูณ์ แหล่งจ่ายจะลดลง ค่าแรงดันสวิงคงที่ตกคร่อม  $C_1$  ทำให้กระแสไหลผ่านคาปาซิเตอร์ขึ้นกับค่าความถี่เท่านั้น เอาต์พุตบวกสวิงกระแสไหลผ่านกราวด์ไป  $D_1$  เอาต์พุตลบสวิงกระแสตกลงจากซัวอินเวอร์ตติ้งออปแอมป์ผ่าน  $D_2$  และอยู่ในรูปแรงดันเฉลี่ยโดย  $R_2$  และ  $C_2$  ซิมอสวิทท์ทริกเกอร์จึงแหล่งจ่ายลดลงอย่างสมบรูณ์ และการเปลี่ยนแปลงแรงดันตกคร่อมคาปาซิเตอร์คือแรงดันแหล่งจ่าย

ซิมิทท์ทริกเกอร์ใช้ผลัดการส่งผ่านให้เร็ว เมื่อฟังก์ชันที่มีการเปลี่ยนแปลงช้าเกินกว่าที่กำหนดรูปที่ 3.12 สวิทช์แสง อินพุตอิมพีแดนซ์ของซิมอสวิทท์ทริกเกอร์สูง ทำให้ไบอัสง่ายมาก โฟโต้เซลล์ส่วนมากมีค่าหลายกิโลโอห์ม ไม่มีผลต่ออินพุตเมื่อเอาต์พุตเปลี่ยนแปลง การเลือก R ไบอัสใช้สมการการแบ่งแรงดัน



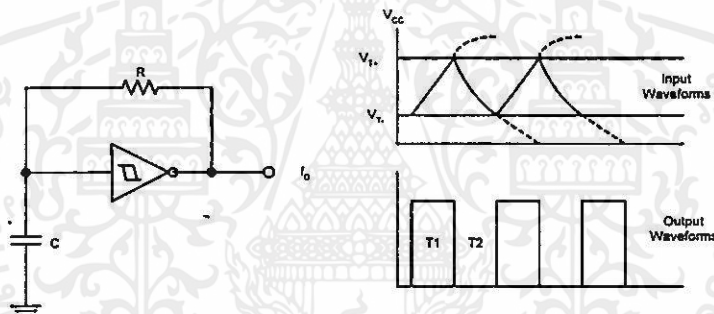
รูปที่ 3.11 แสดงการใช้ไดโอดกริขาระดับรูปคลื่นอินพุต

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



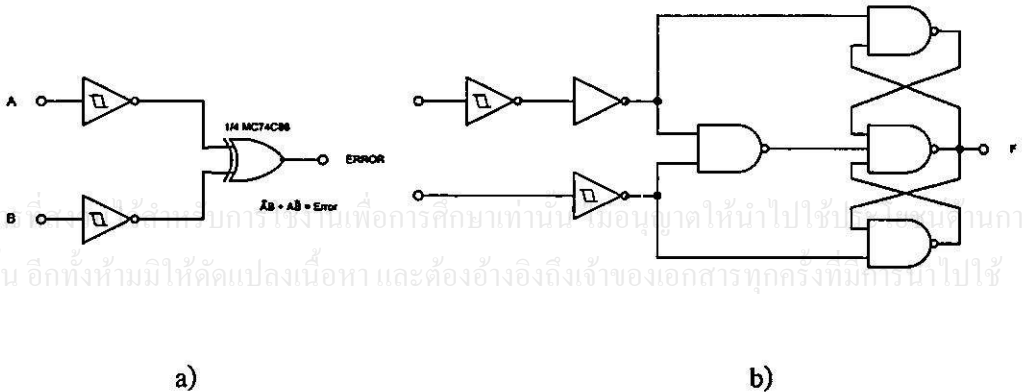
รูปที่ 3.12 แสดงสวิตช์แสงที่แรงดันอินพุตเพิ่มความเข้มแสงก็เพิ่ม

การประยุกต์ซีมอสจะสมบูรณ์ต้องใช้กำลังงานต่ำ ตามรูปที่ 3.13 แสดง RC ออสซิลเลเตอร์อย่างง่ายกับ 6R และ C และ Hex ซีมอส 6 low power ออสซิลเลเตอร์ที่สามารถทำได้ Square wave เอาท์พุทจะได้ประมาณ 50 % duty cycle เพราะคุณสมบัติของอินพุทเอาท์พุทซีมอสสมมูลย์ สมการความถี่เอาท์พุท  $f_1 = f_2 \geq [ t_{pd0} + t_{pd1} ]$



รูปที่ 3.13 แสดงวงจร RC Oscillator ทำเป็นซีมอสมีททริกเกอร์

จะเห็นว่าวิธีการซีมอสมีททริกเกอร์ ในการป้องกันสัญญาณรบกวนที่เพิ่มขึ้นบนสายส่งที่ไม่สมมูลย์ตามรูปที่ 3.14 แสดงการประยุกต์สำหรับการสมมูลย์หรือสายส่งที่มีค่าความแตกต่าง ระหว่างรูปที่ 3.14a คือ CMOS EX-OR MC74C86 ซึ่งจะสร้างจากอินเวอร์เตอร์และแนนด์เกต ถ้าข่าวสารไม่สมมูลย์ ถูกผลิตในสายโดยสัญญาณสนทนาหรือจาก noise ภายนอก จะมีการผิดพลาด (error)



a)

b)

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการเรียนการสอนในวิชาอิเล็กทรอนิกส์พื้นฐานและการนำไมโครคอนโทรลเลอร์ไปใช้  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรณีนำไปใช้

Truth Table

A	B	F
0	0	NC
0	1	0
1	0	1
1	1	NC

NC = No Change

C).

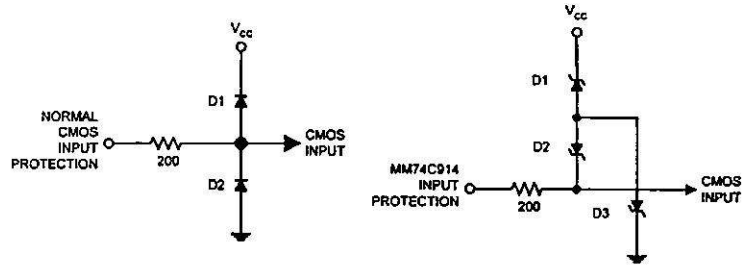
## รูปที่ 3.14 แสดงการป้องกันสัญญาณรบกวนโดยใช้ซีมอสชนิดทรานซิสเตอร์

จากรูปที่ 3.14b เป็นสายเคเบิลที่แตกต่างที่กระตุ้นการส่งข้อมูลที่สมดุล แต่ไม่สนใจสัญญาณที่ไม่สมดุล โดย latching up ถ้าวจรทั้งสองของรูป 3.14 ถูกใช้เข้าด้วยกัน การตัดการผิดพลาดควรจะตัดสัญญาณส่งเพื่อหยุดการส่งและสายเคเบิลจะจำค่าข่าวสารบิตสุดท้ายเมื่อสัญญาณที่สมดุลถูกเก็บเครื่องรับจะนำออกมาใช้ได้

ช่วงแรงดันมาตรฐานของซีมอสอินพุท  $V_{CC} = +0.8 \rightarrow -0.3V$  เพราะอินพุทได้โปรเทคชั่น (protection) ด้วยวงจรถอดโอดเคลมปีแหล่งจ่ายอินพุทอื่น ได้รับแหล่งจ่ายจากซอร์ส (Source) และซิงค์ (Sink) จำนวนบวกของกระแสที่ไหลผ่านไดโอด ช่วงแรงดันอินพุทจะใช้เวลามาก เช่น สายส่งทำงานที่  $\pm 12$  และออปแอมป์  $\pm 15 V$  วิธีการของโจทน์นี้ใช้ MC74C914 เป็นอุปกรณ์ใหม่มีอินพุทโปรเทคชั่นไปเป็นแบบคอมมอนที่สัญญาณอินพุทถึง 25 V เทียบกราวด์ และ 25 V ต่ำกว่า  $V_{CC}$  นี้คือที่ซีมอสทรานซิสเตอร์เป็นการแปลง Square wave ตามรูปที่ 3.10b มีกำลังงาน  $\pm 1.5 V$  และยังคงใช้กำลังของออปแอมป์  $\pm 15 V$

วงจรมารฐานของอินพุทโปรเทคชั่น และวงจรถองกันใหม่และอินพุทแสดงรูปที่ 3.15 ไดโอดมีจุดเบรคดาวน์ 35 V แรงดันอินพุทเป็นบวกจนกระทั่งไบอัสกลับ  $D_2$  เบรคดาวน์ผ่านไบอัสตรง  $D_3$  ซึ่งจะมีแรงดัน 35 V เทียบกราวด์ แรงดันอินพุทสามารถเป็นลบจนกระทั่งไบอัส กลับ  $D_1$  เบรคดาวน์ผ่านไบอัสตรง  $D_2$  ซึ่งมีค่า 35 V ต่ำกว่า  $V_{CC}$  อินพุทโปรเทคชั่นก็ยังคงที่รักษาไว้ได้อย่างเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



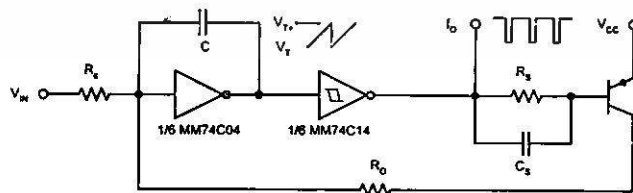
รูปที่ 3.15 แสดงการใช้ไดโอดโปรเทคชันอินพุท

ซิมอสสามารถใช้เป็นเชิงเส้นได้ซึ่งแรงดันที่กว้าง ถ้าพิจารณาที่ไบอัสของอินพุท รูปที่3.16 แสดงการทำ VCO ถึงซิมอสอินเวอร์เตอร์ แสดงอินทิเกรเตอร์ และซิมอสซมิทท์ แสดงคอมพาราเตอร์ด้วยซิสเทอร์รี่ซิมอสอินเวอร์เตอร์อินทิเกรทบวก แตกต่างระหว่างเทรคโฮลด์และแรงดันอินพุท  $V_{in}$  เอาท์พุทอินเวอร์เตอร์ลาดขึ้นจนกระทั่งถึงเทรคโฮลด์บวกของซมิทท์ทริกเกอร์ ที่เวลานั้น เอาท์พุท ซมิทท์ทริกเกอร์จะต่ำลงทำให้ทรานซิสเตอร์ ON ผ่าน  $R_S$  และ  $C_S$  ซิสเทอร์รี่ซิมอสสวิงทำให้อาท์พุทเป็นค่าต่ำ จนกระทั่งค่า C คายประจุผ่าน  $R_D$  โดย  $R_D$  จะทำให้มีค่าน้อยมากกว่า  $R_C$  จะ Reset เวลาเร็วขึ้น ความถี่เอาท์พุท

$$f_o = \frac{V_{TH} - V_{in}}{(V_{T+} - V_{T-})R_C C} \tag{3.19}$$

ความถี่ขึ้นอยู่กับค่าแรงดันควบคุมโดย

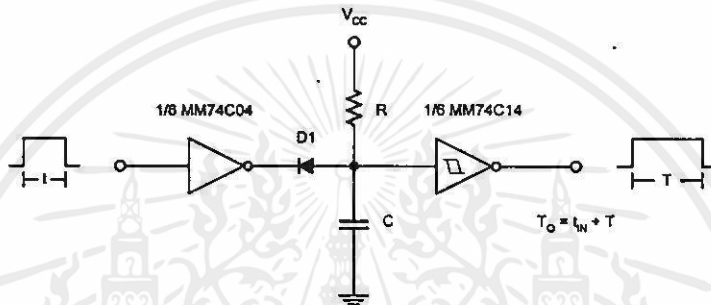
$$\frac{df_o}{dV_{IN}} = \frac{-1}{(V_{T+} - V_{T-})R_C C} \tag{3.20}$$



รูปที่ 3.16 แสดง ซิมอสทำงานแบบเชิงเส้น (Voltage Controlled Oscillator)

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี หากท่านนำออกไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องหมายลบชี้ให้เห็นว่าความถี่เอาต์พุตเพิ่มขึ้นมีอินพุตต่ำลง กว่าอินเวอร์เตอร์เทรคโฮลด์ ความถี่สูงสุดเกิดขึ้นเมื่อ  $V_{in}$  เป็นกราวด์และความถี่จะลดลงที่  $V_{in}$  เพิ่มขึ้น และจะหยุดสุดท้ายที่ อินเวอร์เตอร์เทรคโฮลด์ประมาณ  $0.55 V_{CC}$  พัลส์จากเอาต์พุต VCO มีค่าแอมพลิจูดมาก เพราะรีเซ็ตเวลามีค่าน้อยมากน้อยกว่าอินทิเกรชัน พัลส์ซึ่คออกตามธรรมชาติที่ขมิตท์ทริกเกอร์ One - shot หรือพัลส์ที่ซึ่คออกทำด้วยอินเวอร์เตอร์และขมิตท์ทริกเกอร์ที่แสดงรูปที่ 3.17 พัลส์บวกเป็นอินเวอร์เตอร์เป็นเหตุให้อาท์พุตลดค่า การคายประจุของคาปาซิเตอร์ผ่านไดโอด D<sub>1</sub> คาปาซิเตอร์จะคายประจุอย่างรวดเร็ว ดังนั้นอินพุตขมิตท์ทริกเกอร์จะต่ำและเอาท์พุตจะเป็นบวก เช็คขนาดของ คาปาซิเตอร์ให้แน่ใจที่จะทำอินเวอร์เตอร์สามารถคายประจุได้เต็มและคาปาซิเตอร์ในเวลาอินพุตพัลส์



รูปที่ 3.17 แสดงซิมอสอินเวอร์เตอร์การคายประจุคาปาซิเตอร์

$$I_{\text{sink อินเวอร์เตอร์}} > \frac{c\Delta V}{\Delta T} + \frac{\Delta V}{R} \tag{3.21}$$

เมื่อ  $\Delta V = V_{CC}$  สำหรับซิมอส

$\Delta T =$  ความกว้างอินพุตพัลส์

สำหรับพัลส์แคบมากน้อยกว่า 100 ns คาปาซิเตอร์ไม่ต้องใช้ และตัวต้านทานจะประจุเพิ่มขึ้นที่ซิมอส เกทคาปาซิเตอร์เหมือนค่าคาปาซิเตอร์

เมื่ออินพุตของอินเวอร์เตอร์กลับเป็น “0” บล็อกไดโอดที่ป้องกันอินเวอร์เตอร์จากการประจุคาปาซิเตอร์มีค่า  $V_{T+}$  เอาท์พุตของขมิตท์ทริกเกอร์จะมีค่าต่ำในเวลาหลังจากพัลส์อินพุตมีค่าต่ำ

### 3.3.3 วิธีการของขมิตท์ (Schmitt Solution)

ขมิตท์ทริกเกอร์ สร้างจากหลายส่วนต้องระวังในการออกแบบรวมทั้งเวลาคุณสมบัติของอินพุต TTL ทำการไปอัสอินพุตทริกเกอร์ยาก เอาท์พุต ซอร์ส มีค่ามากไม่เท่ากับซิงค์ ดังนั้น มัลติไวเบรเตอร์จะไม่ได้คิวที่ไซเคิล 50% และจำกัดช่วงแหล่งจ่ายให้กับส่วนที่ไม่ใช่ 5V ซิมอส

ซิมิทท์ทริกเกอร์มีอินพุตอิมพีแดนซ์สูงกับค่าเทรคโฮลด์ที่จะมีสมมาตรประมาณครึ่งของแหล่งจ่าย มีแรงดันอินพุตสูง กระแสเอาต์พุตซอร์สและซิงค์มีค่าเท่ากัน และดึงโดยตรงจากแหล่งจ่าย ช่วงเทรคโฮลด์กว้างช่วงแหล่งจ่ายกว้าง การป้องกันสัญญาณรบกวนสูง กันกำลังงานต่ำ และช่องว่างของบอร์คต่ำทำให้ซิมอสซิมิทท์ทริกเกอร์มีลักษณะเฉพาะที่เป็นประโยชน์

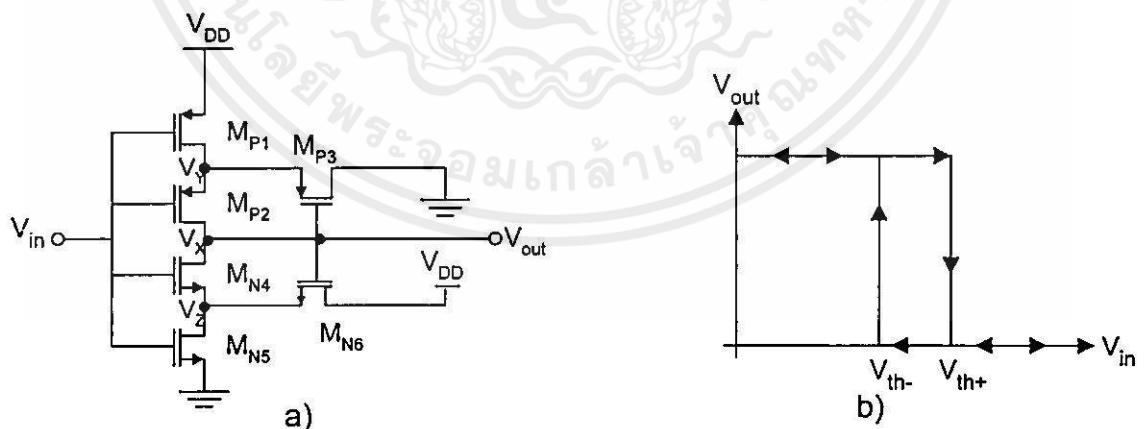
ซิมิทท์ทริกเกอร์ถูกใช้สำหรับเงื่อนไขสัญญาณ รักษาระดับสัญญาณป้องกันสัญญาณที่เข้ามา รบกวน ตัดระดับด้วยฮิสเตอร์ริซิส เปลี่ยนระดับระหว่างลอจิก และใช้กับฟังก์ชันอื่นมากมาย

### 3.3.4 ข้อดีซิมอสซิมิทท์ทริกเกอร์

1. อินพุตอิมพีแดนซ์สูง ( $10^{12} \Omega$ )
2. คุณสมบัติของอินพุตและเอาต์พุตสมดุลย์
3. เทรคโฮลด์สมมาตร เท่ากับครึ่งหนึ่งของแหล่งจ่าย
4. กระแสเอาต์พุตซอร์สและซิงค์เท่ากัน
5. แรงดันเทรคโฮลด์บวกและลบมีการเปลี่ยนแปลงต่ำเมื่อเทียบกับอุณหภูมิ
6. ช่วงแหล่งจ่ายคักดากกว้าง 3 - 15 V
7. ใช้กำลังงานต่ำ
8. มีการป้องกันสัญญาณรบกวนสูง

### 3.4 การออกแบบซิมอสซิมิทท์ทริกเกอร์

ตามวงจรรูปที่ 3.18 เป็นวงจรซิมิทท์ทริกเกอร์ และกราฟคุณสมบัติการ โอนถ่ายแรงดัน



รูปที่ 3.18 แสดงวงจรซิมิทท์ทริกเกอร์ และ กราฟคุณสมบัติการ โอนถ่ายแรงดัน

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาด้านนี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 a) แสดงวงจรซิมิทท์ทริกเกอร์ b) กราฟคุณสมบัติการ โอนถ่ายแรงดัน

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามนำเทคนิคเบื้องนี้ไป และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหากนำไปใช้

### 3.4.1 หลักการออกแบบ และการคำนวณ

พิจารณาอินพุตเป็นบวก โดยให้แรงดันอินพุตเพิ่มขึ้นจาก 0 ถึง  $V_{DD}$

1. ที่  $V_{in} = 0 \text{ V}$

$M_{P1}$  และ  $M_{P2}$  ON แล้ว

$$V_X = V_Y = V_{DD} = 5 \text{ V}$$

ในเวลาเดียวกัน  $M_{N4}$  และ  $M_{N5}$  จะ OFF,  $M_{P3}$  OFF,  $M_{N6}$  ON และทำงานในสภาวะอิ่มตัว การคำนวณแรงดันเทรตโฮลต์ของ  $M_{N6}$  ด้วย  $2\phi_F = -0.6 \text{ V}$

$$V_Z = V_{DD} - V_{T,6} = 3.5 \text{ V} \quad (3.22)$$

2. ที่  $V_{in} = V_{TO,n} = 1.0 \text{ V}$

$M_{N5}$  เริ่ม ON  $M_{N4}$  ยังคง OFF

$$V_X = 5 \text{ V}$$

3. ที่  $V_{in} = 2.0 \text{ V}$

สมมติให้  $M_{N4}$  OFF ขณะที่  $M_{N5}$  และ  $M_{N6}$  ทำงานในสภาวะอิ่มตัว

$$\frac{1}{2} K'_5 \left( \frac{W}{L} \right)_5 (V_{in} - V_{TO,n})^2 = \frac{1}{2} K'_6 \left( \frac{W}{L} \right)_6 (V_{DD} - V_Z - V_{T,6})^2 \quad (3.23)$$

$$(2 - 1)^2 = 3 \left( 5 - V_Z - \left[ 1 - 0.4(\sqrt{0.6 + V_Z} - \sqrt{0.6}) \right] \right)^2 \quad (3.24)$$

แก้สมการนี้สำหรับ  $V_Z$  จะได้ว่า

$$V_Z = 2.976 \text{ V}$$

จากการสมมติให้  $M_{N4}$  อยู่ในสภาวะ OFF

$$V_{GS,4} = 2 - 2.976 = -0.976 < V_{TO,n} = 1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ที่  $V_{in} = 3.5 \text{ V}$

$V_Z$  จะลดลงอย่างต่อเนื่อง สมมติ ให้  $M_{N5}$  อยู่ในเชิงเส้น และ  $M_{N6}$  อิ่มตัวจะได้สมการกระแสไหล

$$\frac{1}{2} K' \left( \frac{W}{L} \right)_5 [2(V_{in} - V_{TO,n})V_Z - V_Z^2] = \frac{1}{2} K' \left( \frac{W}{L} \right)_6 (V_{DD} - V_Z - V_{T,p})^2$$

$$[2(3.5 - 1.0)V_Z - V_Z^2] = 3 \left( 5 - V_Z [1 + 0.4(\sqrt{0.6 + V_Z} - \sqrt{0.6})] \right)^2$$

แก้สมการนี้ หา  $V_Z$  ให้  $V_Z = 2.2 \text{ V}$  หาแรงดันเกตซอร์สของ  $M_{N4}$

$$V_{GS,4} = 3.5 - 2.2 = 1.3 > V_{TO,n} = 1$$

ณ จุดนี้  $M_{N4}$  ON อยู่ การวิเคราะห์ซึ่งจะสมมติให้  $M_{N4}$  ไม่นำกระแสผ่าน ที่แรงดันอินพุตนี้ โหมด X เริ่มกำลังลดลงเข้าใกล้ "0" ดูได้จากผลการจำลอง สามารถสรุปได้ว่า แรงดันทรานซิสต์ระดับบนมีค่าประมาณ 3.5 V

ต่อไปจะพิจารณาอินพุตเป็นลบ สมมติให้แรงดันอินพุตลดลงจาก  $V_{DD}$  ไปยัง 0

1. ที่  $V_{in} = 5.0 \text{ V}$

$M_{N4}$  และ  $M_{N5}$  จะ ON ดังนั้นแรงดันเอาต์พุต  $V_x = 0 \text{ V}$  โดย PMOS ทรานซิสเตอร์  $M_{P1}$  และ  $M_{P2}$  OFF และ  $M_{P3}$  อยู่ในสภาวะอิ่มตัว

$$\frac{1}{2} K' \left( \frac{W}{L} \right)_3 (0 - V_Y - V_{T,p})^2 = 0 \quad (3.25)$$

$$V_Y = -V_{T,p} = -[V_{T,o,p} - 0.4\sqrt{0.6 + V_{DD} - V_Y} - \sqrt{0.6}] \quad (3.26)$$

$$V_Y = 1.5[V]$$

2. ที่  $V_{in} = 4.0 \text{ V}$

$M_{P1}$  เข้าใกล้จะเริ่ม ON โดย  $M_{P2}$  จะ OFF และ  $M_{P3}$  อิ่มตัว แรงดันเอาต์พุตยังคงไม่เปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น 3. ที่  $V_{in} = 3.0 \text{ V}$  หักแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$M_{P1}$  จะ ON และอยู่ในสภาวะอิ่มตัว  $M_{P3}$  ก็อิ่มตัวด้วย ดังนั้น

$$\frac{1}{2}K' \left(\frac{W}{L}\right)_1 (V_{in} - V_{DD} - V_{TO,p})^2 = \frac{1}{2}K' \left(\frac{W}{L}\right)_3 (0 - V_Y - V_{T,3})^2 \quad (3.27)$$

$$[3 - 5 - (-1)]^2 = 3(0 - V_Y - [-1 - 0.4(\sqrt{0.6 + 5 - V_Y} - \sqrt{0.6})])^2 \quad (3.28)$$

วิธีการหาสมการ

$$V_{in} = 2.02 \text{ V}$$

หาแรงดันเกตของ  $M_{p2}$

$$V_{GS,2} = 3.0 - 2.02 = 0.98 > V_{TO,p} = -1$$

แสดงว่า  $M_{p2}$  ยังคง OFF ณ จุดนี้

4. ที่  $V_{in} = 1.5 \text{ V}$

ถ้า  $M_{p2}$  ยังคง OFF  $M_{p1}$  จะอยู่ในสถานะเชิงเส้น และ  $M_{p3}$  อยู่ในสถานะอิ่มตัว

$$\begin{aligned} \frac{1}{2}K' \left(\frac{W}{L}\right)_1 [2(V_{in} - V_{DD} - V_{TO,p})(V_Y - V_{DD}) - (V_Y - V_{DD})^2] \\ = \frac{1}{2}K' \left(\frac{W}{L}\right)_3 (0 - V_Y - V_{T,3})^2 \end{aligned} \quad (3.29)$$

$$\begin{aligned} 2(1.5 - 5 + 1)(V_Y - 5) - (V_Y - 5)^2 \\ = 3(-V_Y - [-1 - 0.4(\sqrt{0.6 + 5 - V_Y} - \sqrt{0.6})])^2 \end{aligned} \quad (3.30)$$

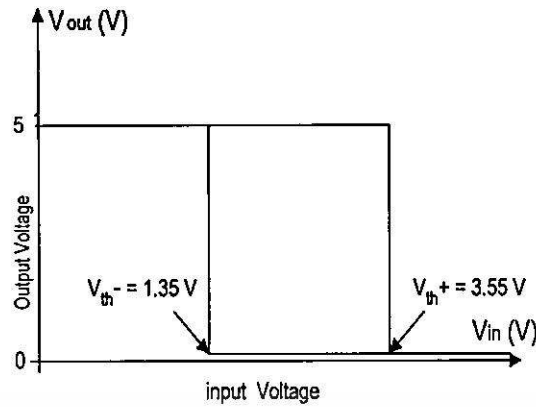
แก้สมการกำลังสองจะได้

$$V_Y = 2.79 \text{ V}$$

สามารถแสดง ณ จุดนี้ PMOS ทรานซิสเตอร์  $M_{p2}$  ยังคง ON อยู่แรงดันเอาต์พุตจะเริ่มเพิ่มขึ้น

ไป  $V_{DD}$  สรุปได้ว่า แรงดันเทรคโวลต์ด้านล่าง  $V_{th}$  มีค่าประมาณเท่ากับ 1.5 V

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 แสดงการจำลองด้วยโปรแกรม PSpice สำหรับแรงดันที่เพิ่มขึ้นและลดลง

### 3.5 โดยใช้กระแสซิมอสซิมิทท์ทริกเกอร์

ในวงจรใช้ MOS 7 ตัว การควบคุมกระแสเทรคโสลด์โดยกระแสไบอัสและใช้ MOS อื่น ขึ้นอยู่กับวงจร ตัวอย่างการออกแบบและการจำลองผลนี้ได้

ซิมิทท์ทริกเกอร์เป็นวงจรใช้ทั้งอนาล็อกและดิจิทัล ซิมิทท์ทริกเกอร์เป็นหลักในการประยุกต์กำจัดการสั่นวงจรเปรียบเทียบในรูปร่างของสัญญาณรบกวนและการรบกวน ซิมิทท์ทริกเกอร์ในความเป็นจริง คือวงจรเปรียบเทียบที่มีฮิสเทอรีซิส การแสดงค่าความแตกต่างการสวิตช์ระดับแรงดันอินพุทของคุณสมบัติการโอนถ่ายสำหรับกระแสซิมิทท์ทริกเกอร์ของอินพุทคือกระแสแทนแรงดัน ซึ่งแรงดันเอาต์พุทมีการเปลี่ยนแปลงลอจิกสัญญาณอย่างรวดเร็วในสองสถานะ (ต่ำและสูง) ขึ้นอยู่กับค่าความต่างระหว่างอินพุทและกระแสเทรคโสลด์ 2 ตัว กระแสซิมิทท์ทริกเกอร์โดยเฉพาะอย่างยิ่งโฟโต้ดีเทคเตอร์ ออปติคัลรีโมทคอนโทรล และ เครื่องมือแพทย์ มีความพิเศษที่น่าสนใจในเทคโนโลยีซิมอส ระหว่างอนาล็อกและดิจิทัลบนชิพ (chip)

#### 3.5.1 การอธิบายวงจร และการทำงาน

เริ่มต้นซิมิทท์ทริกเกอร์ถูกสร้างขึ้นจากออปแอมป์ด้วยความต้านทานป้อนกลับแบบบวกที่แสดงฮิสเทอรีซิสในส่วนของวงจร ซิมอส (แรงดัน) ซิมิทท์ทริกเกอร์มอส 2-3 ตัว ที่ใช้ และสร้างการป้อนกลับใหม่โดยมอสทรานซิสเตอร์เพิ่มเติมด้วย ไม่ต้องใช้ค่าความต้านทาน แรงดันเทรคโสลด์ถูกกำหนดโดยลักษณะทางเรขาคณิตของทรานซิสเตอร์และขบวนการของพารามิเตอร์ และแรงดันแหล่งจ่ายปกติ ดังนั้น ฮิสเทอรีซิสของซิมิทท์ทริกเกอร์หลังจากรวมกันแล้ว จะยังมีค่าคงที่อยู่นอกจากกำลังงานแหล่งจ่าย, อุณหภูมิ และการเปลี่ยนแปลงทางกายภาพของพารามิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เมื่อการเพิ่มของ  $I_{in}$  กระแสเทรตไฮลด์ทางสูง  $I_{th}$  มีค่ามาถึง เมื่อ  $I_{d2} = I_o$  ที่จุดนี้  $M_2$  มีค่ากระแสสูงสุดไปยัง Node A และถ้าแสดงเป็นกระแสสะท้อนเทียบกับ  $M_1$  และคั้งนี้อยู่ในสภาวะอิมิตัวตามสมการที่ 1 และเกิดกระแส

$$I_{d2} = I_o - I_{ds} \quad (3.32)$$

การเพิ่ม  $I_{in}$  มากกว่าที่จุดนี้ เพิ่ม  $V_{ds2}$  ที่อัตราสูง แล้วลด  $I_{ds}$  และสวิทซ์  $V_A$  ไปเป็น High เลือกขนาดของ  $M_4$  และ  $M_5$  พอประมาณ ทรานซิสเตอร์  $M_5$  ป้อนกลับจะยังไม่ทำงาน ( $I_{ds} = 0$ ) ขณะที่  $V_A$  เป็น High เจ็อนใจนี้จะสมบูรณ์เมื่อ  $\sqrt{(2I_o / K_4)} < |V_{TP}|$  คือค่าสัมบูรณ์ของพิมอสแรงดันเทรตไฮลด์และ  $K_2 = \mu C_{ox} (W / L)^2$  เมื่อ  $\mu_0$  = ความสามารถในการนำ ส่วน  $L$  = ความยาวของ Channel โดย  $C_{ox}$  = Oxide Capacitance ต่อหน่วยพื้นที่ และ  $W$  = ความกว้างของ Channel

หลังจากลด  $I_{in}$  สวิทซ์  $V_A$  กลับไปเป็น Low ที่ระดับเทรตไฮลด์  $I_{th}$  เหมือนกับกระแสเปรียบเทียบกับคั้งนี้

$$I_{d1} = I_o \quad (3.33)$$

กระแสเทรตไฮลด์ด้านบน  $I_{th}$  มีการคำนวณ ตามที่กำหนดไว้มากกว่า  $V_A$  สวิทซ์จาก Low และ High ขณะที่  $I_{in}$  เพิ่ม เมื่อ  $I_{d4} = I_o$  และ  $M_2$  อิมิตัว ใช้รูปแบบ Quadratic ของ MOS  $V_{ds2} = \sqrt{(2I_o / K_2)}$

แรงดันเกต  $M_5$

$$-V_{gs5} = V_{dd} - V_{ss} - V_{ds2} \quad (3.34)$$

แรงดันเดรน

$$-V_{ds5} = -V_{gs5} = \sqrt{\frac{2I_o}{K_3}} - V_{TP} = \sqrt{\left(\frac{2I_o}{K_3}\right) + |V_{TP}|} \quad (3.35)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ห้ามเผยแพร่หรือทำซ้ำโดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสเดรน  $I_{ds}$  สามารถคำนวณจากสมการกระแสในสภาวะ triode

$$I_{ds} = K_5 \left[ (V_{gs5} - V_{Tp})V_{ds5} - \frac{1}{2}V_{ds5}^2 \right] \quad (3.36)$$

ใช้สมการ (3.32), (3.34), (3.35), (3.36)

$$I_{th} = I_o + K_5 \left[ \left( V_{dd} - V_{ss} - \sqrt{\frac{2I_o}{K_2}} - |V_{Tp}| \right) \times \left( \sqrt{\frac{2I_o}{K_3}} + |V_{Tp}| - \frac{1}{2} \left( \sqrt{\frac{2I_o}{K_3}} + |V_{Tp}| \right)^2 \right) \right] \quad (3.37)$$

ความกว้างขั้วเทอร์ริชิสให้จาก  $\Delta I = I_{th} - I_{il} = I_{ds}$  ตามสมการ (3.37) หาได้ โดยขนาดของ  $M_5, I_o$  และค่าพารามิเตอร์ ดังนั้น ความกว้างขั้วเทอร์ริชิสสามารถเลือกได้โดยรูปร่างของ  $M_5$

### 3.5.2 ตัวอย่างการออกแบบ และการจำลอง

วงจรตามรูปที่ 3.20 สามารถจำลองได้กับ 3  $\mu\text{m}$  CMOS ใช้ PSpice พารามิเตอร์ และ ขนาดตามตารางที่ 3.1 [38]

ตารางที่ 3.1 แสดงค่าการจำลองที่ใช้ PSpice พารามิเตอร์

Transistor	W	L
	$\mu\text{m}$	$\mu\text{m}$
$M_1, M_2$	18	12
$M_3, M_4$	18	9
$M_5$	3	18
$M_6$	9	6
$M_7$	9	4
$V_{DD}$	5 V	
$V_{SS}$	0 V	
$I_o$	2 $\mu\text{A}$	

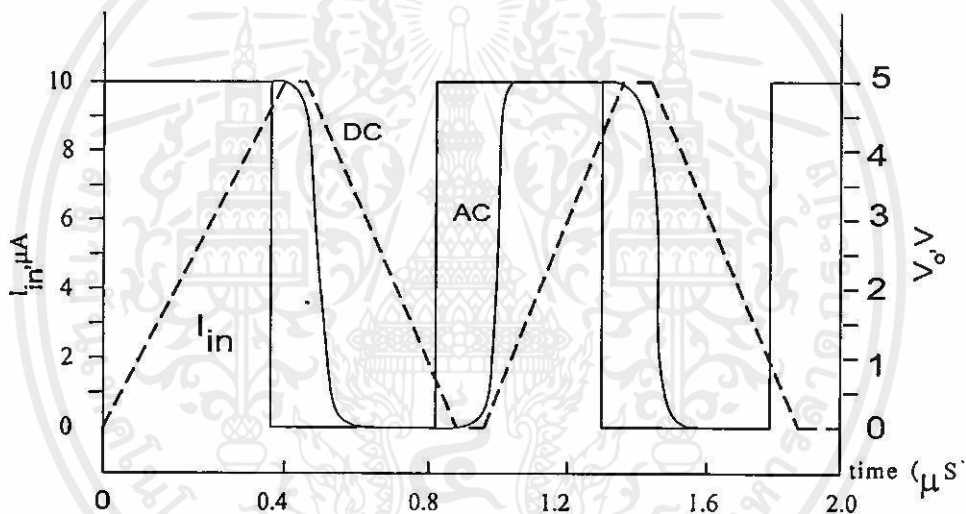
การออกแบบกระแสขั้วเทอร์ริชิส คือ 6  $\mu\text{A}$  รูปที่ 3.21 แสดงคุณสมบัติการ โอนถ่ายของกระแส เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  $I_{in}$  ถึง  $V_o$  ทาง DC และ AC ตำแหน่งเวลา ของ load 1 pF คือประมาณ 280 ns สำหรับการสวิงของ  $I_{in}$  จาก 0  $\rightarrow$  10  $\mu\text{A}$

ตามที่กล่าวถึงก่อน  $M_5$  สามารถใช้ NMOS ดังแสดงรูปที่ 3.23 การจำลองสามารถหากระแสเทรตโฮลต์ได้

$$I_{it} = I_O \quad (3.38)$$

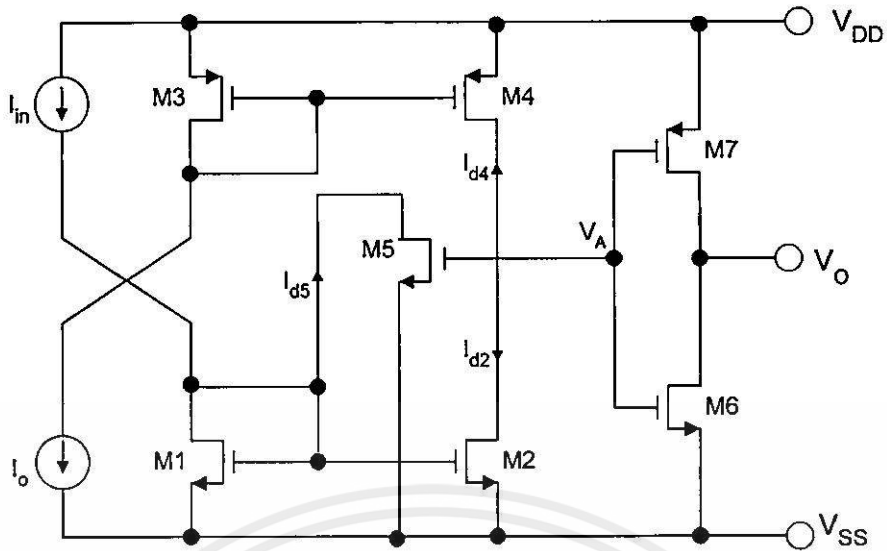
$$I_{it} = I_O + K_s \left[ \left( V_{dd} - V_{ss} - \sqrt{\left( \frac{2I_O}{K_4} \right)} - V_{Tn} \right) \times \left( \sqrt{\left( \frac{2I_O}{K_1} \right)} + V_{Tn} \right) - \frac{1}{2} \left( \sqrt{\left( \frac{2I_O}{K_1} \right)} + V_{Tn} \right)^2 \right] \quad (3.39)$$

ที่  $V_{Tn}$  คือ แรงดันเทรตโฮลต์ของ NMOS คุณสมบัติการ โอนถ่ายทาง DC จะตรงข้ามดังรูปที่ 3.21



รูปที่ 3.21 แสดงการจำลองคุณสมบัติการ โอนถ่าย ดีซีและเอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 แสดงวงจรสมิทท์ทริกเกอร์เมื่อเปลี่ยน  $M_5$  เป็น NMOS

วงจรโดยใช้กระแสสมิทท์ทริกเกอร์เป็นพื้นฐานกระแสสะท้อนในการอธิบายโครงสร้างง่ายซึ่งมีการควบคุมกระแสเทรคโวลต์ 2 ระดับ การปรับโดยกระแสไบอัส และโดยขนาดของ MOS การออกแบบสมการของความกว้างฮิสเทอรีซิส การจำลองมีการพิสูจน์ที่วงจรที่เหมาะสมสำหรับการประยุกต์ความเร็วสูง ๆ ต่อไป

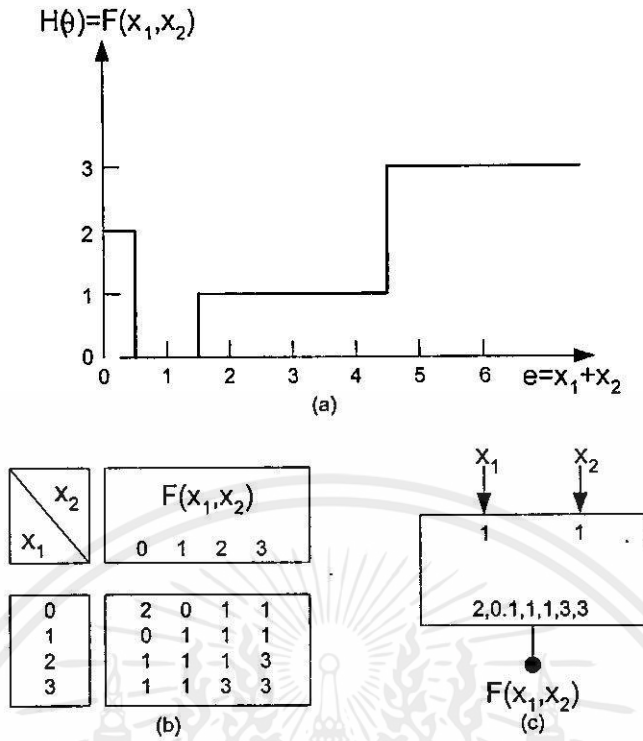
## บทที่ 4

# ทฤษฎีของลอจิกหลายระดับสัญญาณ

### 4.1 นิยามและคำจำกัดความ

สัญญาณหลายระดับในเลขฐาน  $R$  ถูกสร้างขึ้นเพื่อกำหนดเขตค่าของสัญญาณที่มีการเปลี่ยนแปลงซึ่งอาจจะอยู่ในรูปของแรงดัน กระแสหรือการอัดประจุ (Charge) โดยสัญญาณจะต้องมีลักษณะสำคัญ 2 ประการคือ 1. เขตโดยทั่วไปทั้งหมดจะขยายออกไปในทิศทางเดียวเท่านั้น ประกอบด้วย  $0, 1, 2, 3, \dots, (R-2), (R-1)$  ซึ่งเป็นเซตของ  $R$  อย่างที่สองเรียก Balance ซึ่งจะต้องอยู่ภายใต้เลขฐานที่เป็นค่าคู่ โดยที่  $R = 2k+1$  และค่า  $(-k), (1-k), \dots, -2, -1, 0, 1, 2, \dots, (k-1), (k)$  [1,2] ได้ให้คำจำกัดความและอ้างอิงถึงค่ามาตรฐานของลอจิกและความสัมพันธ์ของแต่ละช่วง ระหว่างค่าลอจิกและ Physical Variable โดยปกติ ค่าลอจิกบวกจะถูกกำหนดให้เป็น High คือ  $(0, 1, 2, 3, \dots, R-1)$  เมื่อมีการใช้คำจำกัดความอื่นๆแทนอินพุทของสัญญาณอินพุทของอุปกรณ์ เช่นการใช้ label แสดงรายชื่อของค่าต่างๆที่สัมพันธ์กัน ยกตัวอย่างเช่นในวงจรเลขฐาน 4 ซึ่งสมมุติอินพุทให้เป็น  $(0, 1, 2, 3)$  และมีค่า Label  $(1, 2, 3, 0)$  ซึ่งแสดงว่าค่า Label จะมีค่ามากกว่าอินพุทอยู่ค่าหนึ่งเสมอ ในระบบที่มีการเชื่อมต่อแบบวงกลมที่ซึ่ง 0 จะมีค่า  $(R-1)$  เช่นวงจร Successor,  $Suc(x) = (x+1) \bmod R$  ซึ่งจะเรียกเกท ประเภทนี้ว่า (Clockwise) Cycle ได้แก่  $\bar{X}^y = (x+y) \bmod R$  สำหรับตัวแปร  $(Y, R) = (1, 4)$  หรือ Counter clockwise cycle  $\bar{X}^y = (x+y) \bmod R$  สำหรับตัวแปร  $(Y, R) = (3, 4)$

ในกรณีที่วงจรมี 2 อินพุทหรือมากกว่าคำจำกัดความข้างต้นยังสามารถใช้งานได้ ถ้าอินพุททั้งหมดอยู่ในรูปของ Label ซึ่งในกรณีนี้ การรวมกันทั้งหมดของ  $R$  ของ  $R^n$  ในกรณีที่ที่มี  $n$  อินพุท  $R$  ค่า วงจรจะสามารถจำกัดความได้หรือสามารถใช้ตารางที่แสดงในรูปที่ 4.1 ได้



รูปที่ 4.1 แสดงตารางความจริง คุณลักษณะการส่งผ่านและสัญลักษณ์ของเกท MT(4)

จากตารางที่ 4.1 จะแสดงถึงการรวมกันของฟังก์ชันสัญญาณหลายระดับจำนวนมารวมไปถึง ตัวอย่างของคำจำกัดความทางบวกที่กล่าวไปแล้วฟังก์ชันนี้จะมีอยู่ 2 เซตซึ่งง่ายต่อการสร้าง วิเคราะห์และสังเคราะห์ แต่อย่างไรก็ตามทั้ง 2 เซตนี้ก็ยังไม่สามารถแยกความสัมพันธ์กันได้อย่าง สมบูรณ์ สิ่งหนึ่งที่เราสามารถสังเกตได้ในเซตทั้งสองคือความสัมพันธ์ระหว่างฟังก์ชันดังแสดงใน ตารางที่ 4.1 ตัวอย่างของเกท Cycling อยู่จะมี 2 ชนิดโดยจะพิจารณาแต่ละตัวเป็นฟังก์ชัน 2 ตัวแปร ซึ่งมีความสัมพันธ์ ดังนี้

$$\bar{X}^y = \bar{X}^z \text{ เมื่อ } z = R - y \tag{4.1}$$

เช่นเดียวกับ interval และ Literal เกทจะถูกสร้างให้มีความสัมพันธ์ดังนี้

$${}^a X^b = (R-1) / {}^a X^b \tag{4.2}$$

และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้เผยแพร่ซ้ำอย่างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำ (4.3)

โดย(R-1)หมายถึงการคูณ

ตารางที่ 4.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

No.	Common Name	Symbolic Notation			Value Condition
		Primary	Secondary	Positional Base 4 Example $a = \overline{1}$ , $b = \overline{2}$ , $y = \overline{x}$	
1	Restoring Identity	$X$		$\langle 0\ 1\ 2\ 3 \rangle$	X standardized
2	(Diametrical) Inverse or Complement	$\overline{X}$		$\langle 3\ 2\ 1\ 0 \rangle$	$(R-1) - x$
3	Maximum	$\max(xy)$	$X + y$ $X \vee y$	$\langle 3\ 2\ 2\ 3 \rangle$	X if $x \geq y$ , else y
4	Minimum	$\min(xy)$	$x \cdot y$ $x \wedge y$	$\langle 0\ 1\ 1\ 0 \rangle$	X if $x \leq y$ , else y
5	Successor	$\overline{x}$	Suc(x)	$\langle 1\ 2\ 3\ 0 \rangle$	$(x+1) \bmod R$
6	Cycle, (Clockwise Cycle)	$\overline{x}^b$	$\overline{x}^1 = \overline{x}$	$\langle 2\ 3\ 0\ 1 \rangle$	$(x+b) \bmod R$
7	Counter Cycle	$\overline{x}^b$	$x^1 = \overline{x}$	$\langle 2\ 3\ 0\ 1 \rangle$	$(x-b) \bmod R$
8	Literal Function	${}^a X^b$	$X(a,b)$	$\langle 0\ 3\ 3\ 0 \rangle$	$(R-1)$ if $a \leq x \leq b$ , else 0
9	Delta Literal J Function	${}^a X$	$J(x) a$	$\langle 0\ 3\ 0\ 0 \rangle$	$(R-1)$ if $x = a$ , else 0
10	Closed Interval	$[{}^a X^b]$		$\langle 0\ 1\ 1\ 0 \rangle$	1 if $a \leq x \leq b$ , else 0
11	Open Interval	$]{}^a X^b[$		$\langle 0\ 0\ 0\ 0 \rangle$	1 if $a < x < b$ , else 0
12	Delta Interval	${}^a X$	$[{}^a X^a]$	$\langle 0\ 1\ 0\ 0 \rangle$	1 if $a = x$ , else 0
13	Upper Closed Semi-Interval	$\cdot [{}^a X$		$\langle 0\ 1\ 1\ 1 \rangle$	1 if $a \leq x$ , else 0
14	Lower Closed Semi-Interval	$X^a ]$		$\langle 1\ 1\ 0\ 0 \rangle$	1 if $a \leq x$ , else 0
15	Lower Open Semi-Interval	$[{}^a X$		$\langle 1\ 0\ 0\ 0 \rangle$	1 if $x < a$ , else 0
16	Upper Open Semi-Interval	$X^a ]$		$\langle 0\ 0\ 1\ 1 \rangle$	1 if $a < x$ , else 0
17	Threshold Literal (Up)	$U_a(x)$		$\langle 0\ 1\ 1\ 1 \rangle$	1 if $x \geq a$ , else 0
18	Step Literal (Down)	$D_a(x)$		$\langle 1\ 1\ 0\ 0 \rangle$	1 if $x \leq a$ , else 0
19	Truncated Difference	$X \boxminus a$		$\langle 0\ 0\ 1\ 2 \rangle$	$X-a$ if $x \geq a$ , else 0
20	Limited Sum Truncated Sum	$X \boxplus a$		$\langle 1\ 2\ 3\ 3 \rangle$	$X+a$ if $< R-1$ , else $R-1$
21	Multiplex, Selection, Transmission (T), Tree	$T(x,y,q)$		$\langle 0\ 1\ 2\ 3 \rangle$ $\langle 3\ 2\ 1\ 0 \rangle$	X if $q = 0$ Y if $q = 1$
22	Multithreshold MT(R)			$\langle p\ q\ r\ s \rangle$	Use a thresholded Sum to look up a Table of values
23	MV NOR	$\overline{\min(xy)}$	$\text{Min}(\overline{x}\ \overline{y})$	$\langle 0\ 1\ 1\ 0 \rangle$	$\overline{x}$ if $x \geq y$ , else $\overline{y}$
24	MVNAND	$\overline{\max(xy)}$	$\text{Max}(\overline{x}\ \overline{y})$	$\langle 3\ 2\ 2\ 3 \rangle$	$\overline{x}$ if $x \leq y$ , else $\overline{y}$

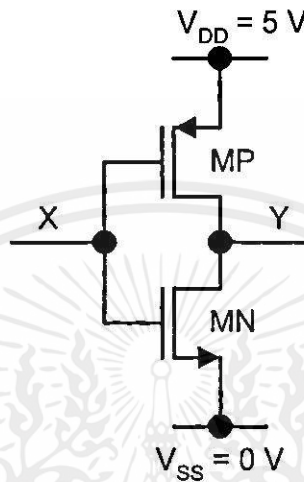
ในส่วนหลังของสมการแรกที่แสดงการวนรอบอย่างง่าย  $\bar{X}^1$  ถึง  $\bar{X}$  จะมีความสอดคล้องกับฟังก์ชัน Successor ส่วนสมการที่ 2 สามารถสังเกตได้เป็นเซลล์ค่าของตัวอักษรและเซลล์ค่าของช่องว่างเมื่อ  $^a X^a$  และ  $^b X^b$  จะถูกลดให้อยู่ในรูป  $X^a$  ซึ่งในบางกรณีนั้นอาจมีค่าไม่เท่ากันก็ได้แต่ในสถานการณ์ที่แสดงนี้โดยปกติใช้ได้ มีฟังก์ชันลอจิก 2 อย่างที่จะกล่าวถึงคือ  $T(x_0, x_1, \dots, x_{r-1}, q)$  [21] ซึ่งเป็นฟังก์ชันที่มีแนวคิดอย่างง่ายที่นิยามวงจรมัลติเพิลหรือหรือฟังก์ชันตัวเลือกภายใต้การควบคุมของตัวแปรหลายระดับ ( $q$ ) โดยทุกๆ ไปค่า  $q$  มีค่า  $k$  ทำให้สัญญาณ  $x_k$  จำนวน  $k$  ตัวถูกเลือกสำหรับการเชื่อมต่อไปยังเอาต์พุต [3] แม้ว่าแนวคิดนี้จะเป็นแนวคิดแบบตรงและมีการให้คำจำกัดความเมื่อไม่นานนี้แต่ในบางเทคโนโลยีเราอาจก็ไม่สามารถสร้าง  $T$  เกทได้ง่ายนัก [4] ในอีกกรณีหนึ่งเกทแบบมัลติเทรคโพลีฐาน  $R$  แทนด้วย  $MT(R)$  เกท [5] ซึ่งเป็นเกทที่ทำงานได้หลายหน้าที่สามารถดำเนินการได้มากกว่าเกทตัวอื่นๆ ด้วย ฟังก์ชันลอจิกแบบที่ 2 จะได้จาก ECL ซึ่งเป็นฟังก์ชันที่มีความสัมพันธ์อย่างง่ายและสามารถสร้างได้โดยตรง จากรูปที่ 4.1 จะแสดงเกทแบบ  $MT(R)$  ซึ่งอินพุตแต่ละตัวจะถูกถ่วงน้ำหนัก (weight) และถูกรวมและถูกเปรียบเทียบกับค่าสัญญาณหลายระดับอ้างอิงสำหรับแต่ละค่าของอินพุต ผลรวมถ่วงน้ำหนักจะกำหนดเอาต์พุตโดยเฉพาะลักษณะของกระบวนการคล้ายกับตาราง ROM ที่ค้นหาแอดเดรสของสัญญาณหลายระดับและเอาต์พุต ตารางที่เอาต์พุตประกอบด้วยค่า  $H1-Hm$  เมื่อ  $m$  คือจำนวนที่หาค่าได้จากการนำสัญญาณอินพุตมาถ่วงน้ำหนักรวมวิธีการนี้จะใช้ในส่วนของชื่อ หรือ ลาเบล บน  $MT(R)$  เกทหรืออาจเขียนเป็นกราฟได้ น้ำหนักของอินพุตจะถูกกำหนดในรายการลำดับที่สอง ซึ่งแต่ละเทอมจะมีความสัมพันธ์กับอินพุตโดยเงื่อนไขบางอย่างหรือการคิดลาเบลไปกับอินพุตแต่ละตัวบนสัญลักษณ์ของลอจิก ซึ่งแสดงให้เห็นว่า  $MT(R)$  เกทจะมีความเหมาะสมกับการดำเนินการทางคณิตศาสตร์ (บวก, ลบ) แต่ถ้าไม่เหมาะสมกับการดำเนินการที่เป็นช่วงหรือมีระยะ [MAX, MIN] [6] ในการสร้างวงจรถลอจิกฟังก์ชันของระบบไบนารีที่มีเลขฐานต่ำอาจจะใช้รีเลย์ Vacuum tube หรือ ทรานซิสเตอร์ซึ่งง่ายต่อการกำหนดให้มันทำงานหรือไม่ทำงาน ในปัจจุบันการพัฒนาเลขฐาน 3 จะต้องประกอบด้วยค่ากลาง (middle) ซึ่งจะอยู่ระหว่างค่า 2 ค่า [7,8] โดยการกำหนดให้ตัวอุปกรณ์ให้ทำงานทั้งคู่หรือไม่ก็ไมทำงานทั้งคู่ [9] สำหรับเลขฐานสี่ขอกตัวอย่างเช่นการเข้ารหัสของเลขไบนารี ซึ่งอยู่ในรูปของ  $R = 2^n$  ถ้าเลขฐานสูงขึ้น วงจรก็ต้องการเทคนิคที่สูงขึ้น

#### 4.2 พืชคณิตของโพสต์และวงจรมค่า

ในการออกแบบวงจรรวมของทางไบนารีจะประกอบด้วยตัวโอเปอร์เรเตอร์ที่ใช้พื้นฐานของพืชคณิตบูลีน นั่นคือระดับของค่าลอจิกจะประกอบด้วย 0 และ 1 แต่ในลักษณะของ  $m$ -valued ในการออกแบบโดยทั่วไปจะใช้พืชคณิตโพสต์ในการกำหนดค่า  $m$  ให้มีค่าตั้งแต่ 0 ถึง  $m-1$  แต่ ถ้าวางจรที่ทำงานในโหมดกระแสจะใช้เทรคโพลีฟังก์ชันแทน

### 4.3 วงจร m-valued

จากที่กล่าวไว้ข้างต้นแล้วว่า ในการออกแบบวงจร m-valued สามารถใช้เทคโนโลยีได้ 3 อย่าง คือ การอัดประจุ (Charge) แรงดันและกระแส แต่โดยทั่วไปแล้วนิยมใช้แรงดันหรือกระแสมากกว่า ในวงจรประเภท CCD ซึ่งเป็นการอัดประจุจะแสดงดังรูปที่ 4.2 เป็นวงจรอินเวอร์เตอร์พื้นฐาน

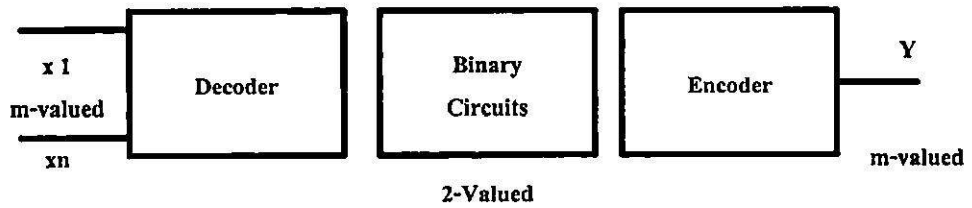


รูปที่ 4.2 แสดงวงจรอินเวอร์เตอร์พื้นฐาน

โดยใช้แหล่งจ่ายไฟ 5 โวลต์ และภายในวงจรจะประกอบด้วยทรานซิสเตอร์ PMOS และ NMOS ถ้าค่า  $X < V_{TN}$  เมื่อ  $V_{TN}$  ถูกแทนด้วยแรงดันเทรชโฮลด์ของ NMOS MN จะไม่ทำงาน MP จะทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 5 โวลต์ เมื่อ  $X > 5V - V_{TP}$  โดย  $V_{TP}$  จะถูกแทนด้วยแรงดันเทรชโฮลด์ของ PMOS MP จะไม่ทำงานและ MN จะทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 0 โวลต์ เอาต์พุตของค่า Y จะมีอยู่ 2 ค่าคือ (0V และ 5 V) นั่นคือค่าของลอจิก 0 และ 1 ตามลำดับ ในกรณีของวงจร m-valued จะมีค่าของระดับลอจิกมากกว่า 2 ระดับและใช้พีชคณิตของโพสต์เมื่อ m มีกำลังเป็น 2 สามารถใช้พีชคณิตบูลีนได้ แต่ถ้า m มีกำลังมากขึ้นคือ  $m = 4$  และ  $m = 8$  พีชคณิตของโพสต์จะถูกกำหนดโอเปอร์เรเตอร์พื้นฐานในการสร้างวงจรรบบ Monotonic ไว้ดังนี้

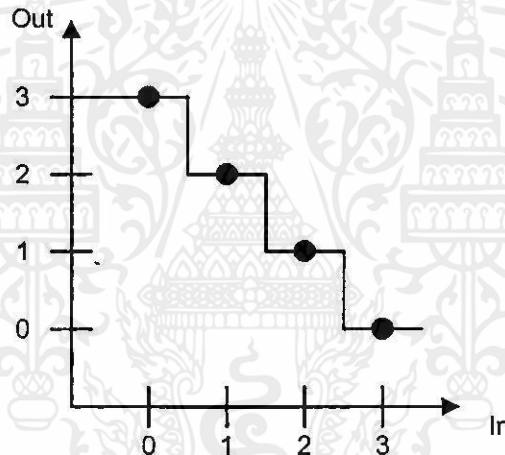
- 1) ค่า m จะถูกแทนให้อยู่ในรูปของระดับแรงดัน กระแสหรือจำนวนของประจุก็ได้ วงจรเข้ารหัส (Encoder) คือวงจรที่มีอินพุตเป็นค่าไบนารีแต่ได้เอาต์พุตเป็น m-valued
- 2) ในการสร้างวงจรของระบบ Monotonic จะมีฟังก์ชันสำคัญคือ  $D_i(x)$  และ  $U_i(x)$  ซึ่งจะนำไปใช้เป็นวงจรถอดรหัส (Decoder) นั่นคือ อินพุตเป็น m-valued แต่จะได้เอาต์พุตเป็นค่าไบนารี (Two-valued) รูปแบบโดยทั่วไปจะแสดงดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการเรียนการสอนของภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงบล็อกไดอะแกรมของวงจร m ค่า

วงจรถอดรหัสที่ทำขึ้นมาใหม่นี้ คือการสังเคราะห์เลขไบนารีของฟังก์ชันย่อย ส่วนวงจรเข้ารหัสคือผลจากการใช้พีชคณิตของโพสท์ซึ่งทั้ง2อย่างนี้จะไม่รวมอยู่กับระบบ Monotonic ในบางกรณีจะไม่แสดงออกมาให้เห็นได้ชัด เช่นวงจร m-valued อินเวอร์เตอร์ ฟังก์ชันย่อยของไบนารี (Two-valued) จะเป็น Identity ฟังก์ชัน ซึ่งในแต่ละระดับจะมีค่า Noise Margin อยู่



รูปที่ 4.4 แสดงคุณลักษณะการส่งผ่านของวงจรอินเวอร์เตอร์แบบ 4 ค่า

การเปรียบเทียบระหว่าง m-valued และ Two-valued จะมีความยุ่งยากและซับซ้อนในการเข้ารหัสหรือถอดรหัส การสร้างวงจร m-valued จะมีฟังก์ชันที่เหมือนวงจร Two-valued แต่ในการเปรียบเทียบนี้จะต้องคำนึงถึง ค่าหน่วงเวลา (Delay Time) และพื้นที่ของชิป

#### 4.4 เทรตโฮลด์ฟังก์ชัน

เทรตโฮลด์ฟังก์ชันเป็นสับเซตของไบนารีฟังก์ชัน ซึ่งเทรตโฮลด์ฟังก์ชันนี้ได้มีการศึกษากันมาเป็นเวลานานแล้ว โดยฟังก์ชันนี้สามารถเขียนเป็นสมการได้ดังนี้

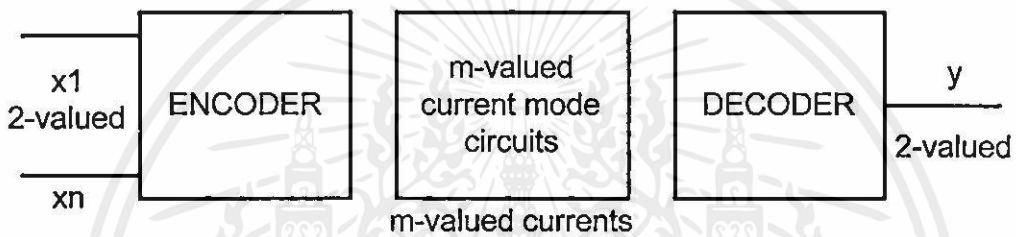
$$Y = 1 \text{ ถ้า } \sum_{i=1}^n a_i x_i \geq T \text{ โดย } i = 1 \text{ ถึง } n \quad (4.4)$$

0 เป็นกรณีอื่น ๆ

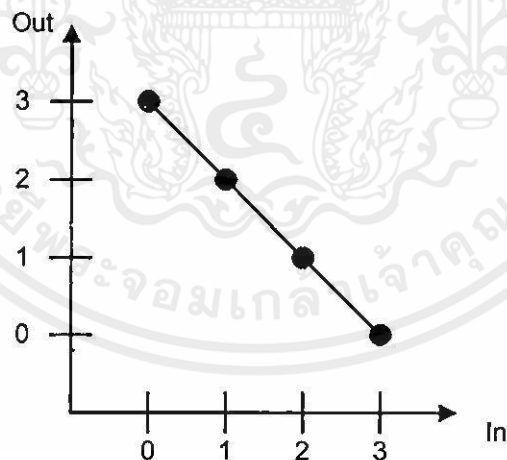
- $x_i$  คือ การเปลี่ยนแปลงของอินพุต  
 $a_i$  คือ น้ำหนักของค่าสัมประสิทธิ์  
 $T$  คือ ค่าเทรคโพลด์

ดังนั้น  $a_i, T \in \mathbb{N}$

เทรคโพลด์ฟังก์ชันจะเป็นผลรวมกันทางอนาลอก ( $\epsilon$ ) ซึ่งคูณด้วยค่าคงที่ ( $a_i x_i$ ) และทำการเปรียบเทียบกับค่าเทรคโพลด์ ( $T$ ) ผลรวมกันทางอนาลอกถ้าจะให้ช่วยต่อการคิดควรจะอยู่ในรูปของกระแส (ตามกฎของเคอร์ชอฟฟ์) ดังแสดงในรูปที่ 4.5 วงจร  $m$ -valued จะได้จากฟังก์ชันเทรคโพลด์ของไบนารี



รูปที่ 4.5 แสดงบล็อกไดอะแกรมของเทรคโพลด์ฟังก์ชัน



รูปที่ 4.6 แสดงคุณลักษณะทางไฟตรงของวงจรมัลติอินเวอร์เตอร์แบบ 4 ค่า

#### 4.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ

วิธีการออกแบบวงจรหลายระดับสัญญาณแบ่งได้เป็น 3 วิธี คือ โดยการอัดประจุ (Charge) โดยกระแส และโดยแรงดัน การอัดประจุสามารถนำมาออกแบบโดยใช้เทคโนโลยี Charge Coupled Devices (CCD) ซึ่งวิธีนี้ส่วนมากใช้ออกแบบ Memory [10,11] การออกแบบวงจรลอจิกโดยใช้

กฎของเคอร์ชอฟฟ์ [12] ในวงจร Memory และการออกแบบวงจรลจิกแบบ Clocked Sequential จะทำให้สัญญาณมีการประมวลผลอย่างต่อเนื่องและช่วยกรองความถี่ [13] ในการออกแบบโดยใช้วิธีการอัดประจุซึ่งเป็นเทคโนโลยีของ CCD แรงดันที่อยู่ภายในจะเป็นตัวขับปลิงและเชื่อมต่อระหว่างอินพุตกับเอาต์พุตโดยปกติแล้วในการอินเตอร์เฟสจะใช้การเข้ารหัสแบบไบนารี ดังนั้นการเชื่อมต่อภายในยังคงใช้เลขฐานสองอยู่นอกจากนี้เทคโนโลยี CCD สามารถนำไปออกแบบวงจรเลขฐาน 4 และ 32 [11,10] การออกแบบวงจรหลายระดับสัญญาณที่อยู่ในรูปของกระแสจะใช้เทคโนโลยี  $I^2L$  (MVI<sup>2</sup>L)[14-16] แต่ส่วนใหญ่แล้วจะใช้เทคโนโลยี ECL (Emitter Coupled Logic) [17,6] ในการออกแบบซึ่งมีลักษณะเหมือนกับ MVI<sup>2</sup>L การบวกหรือการลบของกระแสจะขึ้นอยู่กับค่าเทรคโวลต์ของตัวอุปกรณ์ เช่นการเปลี่ยนกระแสให้อยู่ในรูปของแรงดันจะใช้วงจรเปรียบเทียบกระแสโดยกำหนดค่าเทรคโวลต์ให้ต่างกัน ในการออกแบบวงจรที่มีค่าเลขฐานสูง ๆ คือ ( $R \geq 4$ ) ควรออกแบบโดยใช้ประจุและกระแสแต่ถ้าเป็นเลขฐาน 3 มักจะออกแบบให้อยู่ในโหมดแรงดัน [8,18] อุปกรณ์พวก MOS จะถูกนำมาใช้งานมากเพราะมีค่าความต้านทานต่ำและมีค่าออฟเซ็ทเป็นศูนย์ [19,20] แต่ถ้าต้องการความเร็วในการทำงานต้องใช้เทคโนโลยีของ GaAs [21]

#### 4.6 การควอนไทซ์ค่า

ในระบบทั้งหมดของวงจรลจิกไม่ว่าจะเป็นวงจรแบบไบนารีหรือวงจรหลายระดับสัญญาณจะมีคุณสมบัติอยู่ 3 ประการคือ Generation, Transmission และ Detection

Generation จะอ้างถึงค่า Standard Logic ที่สร้างมาจาก Logic Network

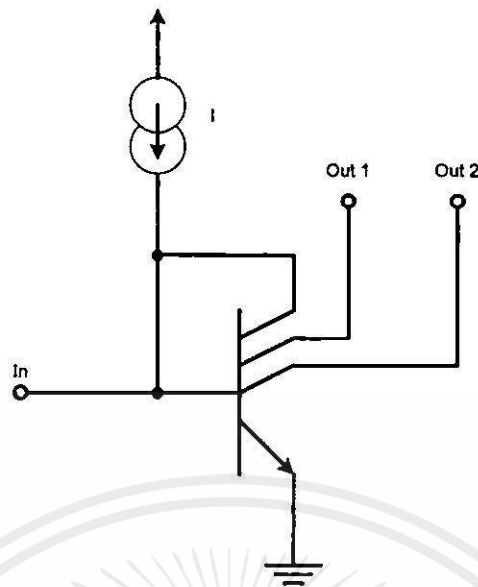
Transmission จะอ้างถึงคุณสมบัติทาง Media ซึ่งสัญญาณลจิกจะถูกกระจายไปตามสายและชนิดของลจิกซึ่งเราเรียกว่า Nonrestoringing หรือ Nonstandardizing ยกตัวอย่างเช่นไดโอดลจิกและบางส่วนของ MVI<sup>2</sup>L [28]

Detection จะอ้างถึงสัญญาณลจิกที่ตรวจสอบความถูกต้องของจำนวน Information

Range Over คือ การตรวจสอบลจิกไม่ให้มากกว่าขอบเขตที่กำหนด โดยจะขอเรียกขอบเขตนี้ว่า "Noise Margin" โดยค่า Noise จะหมายถึงสัญญาณรบกวนหรือ Crosstalk จากตัวอุปกรณ์ตัวอื่นและแหล่งจ่ายไม่คงที่ เป็นต้น อย่างไรก็ตาม ในระบบลจิกความเร็วเป็นสิ่งจำเป็น ดังนั้นวงจรจำพวกความเร็วสูง (High Speed) จะไม่ใช่ Nonrestoringing เป็นส่วนประกอบแต่จะใช้พวก Identified เกทมากกว่า เช่น T<sup>2</sup>L โดยจะมีขาอินพุตหลายขาเป็นอินพุตและพวก ECL จะมีขาอินพุตหลายขาเป็นเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





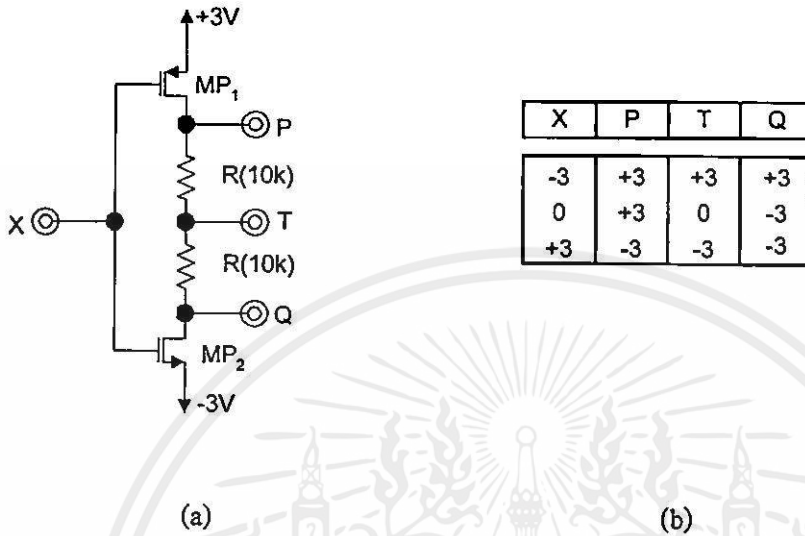
รูปที่ 4.8 แสดงเกทพื้นฐานที่ใช้สำหรับเทคโนโลยี  $I^L$

ในรูปที่ 4.8 จะแสดงตัวอุปกรณ์ที่ใช้เทคโนโลยีของ  $MVI^L$  จะสังเกตเห็นว่าอุปกรณ์ตัวหนึ่งจะมีขาคอลเลกเตอร์หลายขา จากคุณสมบัติข้างต้นสามารถนำไปใช้ในวงจรดังรูปที่ 4.7 ซึ่งกระแสที่ขาคอลเลกเตอร์แต่ละขาจะไม่มีผลต่อโหลดหรืออุปกรณ์ตัวอื่น พิจารณาที่ตัวอุปกรณ์จะเห็นว่าจะมีการป้อนกลับที่ขาเบส ถ้าลองเปิดวงจรพิจารณาที่อินพุตค่า  $\beta$  ของตัวอุปกรณ์จะมีค่าสูง ค่ากระแส  $I$  (โดยปกติจะใช้ทรานซิสเตอร์แบบ PNP) จะไหลผ่านไปที่ขาคอลเลกเตอร์เพราะผลรวมของกระแสเอาท์พุทจะมีค่าเป็น  $I$  (หรือต่ำกว่าขึ้นอยู่กับโหลด) ค่าอินพุทของกระแส  $X$  สามารถคิดได้ดังนี้ จะมีกระแส  $(I-X)$  ไหลที่ขาคอลเลกเตอร์แล้วทำการสะท้อนกระแสไปที่ขาคอลเลกเตอร์ให้มีค่าเท่ากับ  $(I-X)$  เมื่อ  $X$  มากกว่า  $I$  ที่ตัวอุปกรณ์กระแสเบสจะไหลน้อย จนหยุดทำงานแรงดันที่ขาเบสจะเปลี่ยนเป็นศูนย์และกระแสที่ขาคอลเลกเตอร์จะมีค่าเป็นศูนย์ด้วย ในโหมดกระแสนี้จะเห็นว่าเอาท์พุทจะมีการสวิตช์ซึ่งแบบไบนารี ซึ่งกระแส  $I$  จะเป็นอินพุทของ 0 และกระแส 0 จะเป็นอินพุทที่มากกว่า  $I$  ดังนั้นจากพื้นฐานของ  $I^L$  จะมีข้อกำหนดดังนี้ การบวก(จะเกิดจากการต่อร่วมกันของขาคอลเลกเตอร์) การลบ(เกิดจากผลรวมกระแสอินพุท  $< I$ ) ซึ่งจะเป็นค่าเทรคโฮลด์และการสวิตช์ซึ่งแบบไบนารี (สำหรับผลรวมของกระแสอินพุท  $> I$ )

#### 4.7.3 โหมดแรงดัน

คุณสมบัติของวงจรคงค่าสัญญาณ MVL ที่ทำงานในโหมดกระแสมี 2 อย่างคืออินพุทเทรคโฮลด์และกำหนดระดับเอาท์พุท ข้อจำกัดในโหมดแรงดันคือตัวอุปกรณ์จะมีความแม่นยำต่อค่าเทรคโฮลด์น้อยและมีการจำกัดค่าเทรคโฮลด์ไว้เพียงค่าเดียว ตัวอุปกรณ์ที่มีความยืดหยุ่นสูง (Flexible) คือ ECL เพราะง่ายต่อการเปรียบเทียบ ในการออกแบบวงจร MVL ส่วนมากมักจะใช้

เทคโนโลยีของ CMOS ซึ่งจะแสดงดังรูปที่ 4.9 จะเห็นว่า CMOS จะเป็นชนิดเอ็นเอานท์เมนท์และมีลักษณะของการสวิตช์ซึ่งแบบไบนารี



รูปที่ 4.9 แสดงวงจรเทอร์มินารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง

ซึ่งค่าทรานซิสต์ของ X ถ้าเป็นค่า High จะเท่ากับ (+3) โดยที่ MP<sub>1</sub> จะไม่ทำงานแต่ MP<sub>2</sub> จะทำงานแต่ถ้าค่า X เป็น Low จะมีค่าแรงดันเท่ากับ (-3) โดยที่ MP<sub>1</sub> จะทำงานแต่ MP<sub>2</sub> จะไม่ทำงาน และเมื่อค่า X เป็นค่ากลางก็จะทำงานทั้งคู่ ถ้ามีอุปกรณ์ตัวใดตัวหนึ่งทำงานเอาท์พุทจะอยู่ในสภาวะตรงกันข้ามกับอินพุท แต่ถ้าตัวอุปกรณ์ทำงานทั้งคู่เอาท์พุทจะได้ค่ากลาง (ซึ่งเป็นค่ากลางของอินพุท) ดังนั้นค่า T จะเป็นอินเวอร์ตของอินพุท

$$T = X \quad (4.6)$$

ค่า P และ Q จะเป็น Literal ฟังก์ชัน

$$P = X = X \text{ และ } Q = X = X \quad (4.7)$$

ดังแสดงในรูปที่ 4.9(b) จากผลรวมของค่า Standard ทั้ง 2 ค่า จะได้เอาท์พุทออกมา 3 ระดับ สถานะนอกสุดจะทำการเชื่อมต่อกับแหล่งจ่ายภายนอกแต่สถานะภายในจะอยู่ในรูปของ Linear

Sum ซึ่งใช้ความต้านทานเป็นตัวแบ่งแรงดัน การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.8 วงจร m-valued ทำงานในโหมดแรงดัน

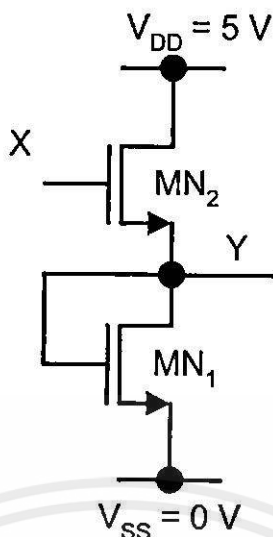
ในส่วนนี้จะพูดถึงถึงวงจร m-valued ที่ทำงานในโหมดแรงดัน ซึ่งจะใช้เทคโนโลยีของมอส และไบโพลาร์ เพราะเป็นที่นิยมในการออกแบบเทคโนโลยีวงจรรวม VLSI เทคโนโลยีที่ใช้ในตอนแรกคือ PMOS จากนั้นก็เป็น NMOS แต่ในปัจจุบันจะนิยมใช้ CMOS มากกว่าซึ่งใน CMOS จะประกอบไปด้วย NMOS และ PMOS ทรานซิสเตอร์ที่ CMOS ถูกนำมาใช้แทน NMOS เพราะว่ามีกำลังงานสูญเสียทางด้าน Static ในการออกแบบโดยใช้เทคโนโลยีของ NMOS จะใช้ทั้ง 2 ชนิดคือเอ็นฮานซ์โหมดและดีพลีทชัน แต่ CMOS จะนิยมใช้เฉพาะเอ็นฮานซ์โหมด ทรานซิสเตอร์แต่ละชนิดจะมีค่าเทรคโฮลด์เฉพาะตัวเองขึ้นอยู่กับารปลูกผลึก

#### 4.9 วงจร m-valued ที่ใช้ในเทคโนโลยี NMOS

ค่าแรงดันและระดับเทรคโฮลด์ที่ใช้ในวงจร NMOS m-valued จะใช้เหมือนกับทางไบนารี ในวงจรเข้ารหัสหรือถอดรหัสจะต้องปรับค่าแรงดันเทรคโฮลด์หรือค่าทางเรขาคณิตของทรานซิสเตอร์

##### 4.9.1 วงจรถอดรหัส

วงจรมีจะเป็นวงจรที่คอยตรวจจับค่าเทรคโฮลด์ โดยที่อินพุตจะได้ค่า m-valued ส่วนเอาต์พุตจะได้ค่าเป็นไบนารี แนวทางหนึ่งที่จะทำให้แรงดันเกิดผลต่างของการสวิทซ์ซึ่ง คือการกำหนดแรงดันเทรคโฮลด์ของทรานซิสเตอร์ชนิดเอ็นฮานซ์โหมดและดีพลีทชันให้มีค่าคงที่ค่าหนึ่ง การกำหนดนี้ขึ้นอยู่กับอัตราส่วนทางเรขาคณิต เช่นในวงจร Two-valued อินเวอร์เตอร์ พื้นที่ของชิปจะสามารถกำหนดได้จากค่าทางเรขาคณิตของทรานซิสเตอร์ให้ค่าเทรคโฮลด์  $V_{TS}$  และ  $V_{TL}$  มีค่าคงที่ค่าหนึ่ง และผลต่างของแรงดันในการสวิทซ์ซึ่งจะต้องอยู่ระหว่างผลต่างของเอาต์พุต อีกทางหนึ่งคือใช้วงจรเปลี่ยนแรงดันเพื่อเลื่อนการสวิทซ์ซึ่งของแรงดันออกไป รูปที่ 4.10 แสดงตัวอย่างของวงจร Threshold Detector โดยที่  $MN_2$  จะทำงานตัวเดียว ถ้า  $MN_1$  ทำงานอยู่ ( $X \geq 2V_T$ )

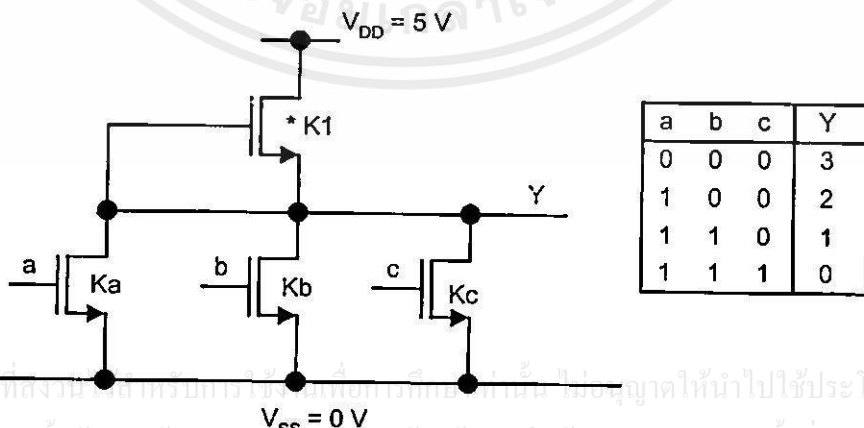


รูปที่ 4.10 แสดงวงจรตรวจจับเทรคโฮลต์โดยใช้วงจรเลื่อนแรงดัน

อย่างไรก็ตามในการกำหนดค่าแรงดันเทรคโฮลต์ให้ประมาณขนาดของตัวทรานซิสเตอร์ให้มีขนาดค่า ๆ ไว้ก่อน

#### 4.9.2 วงจรเข้ารหัส

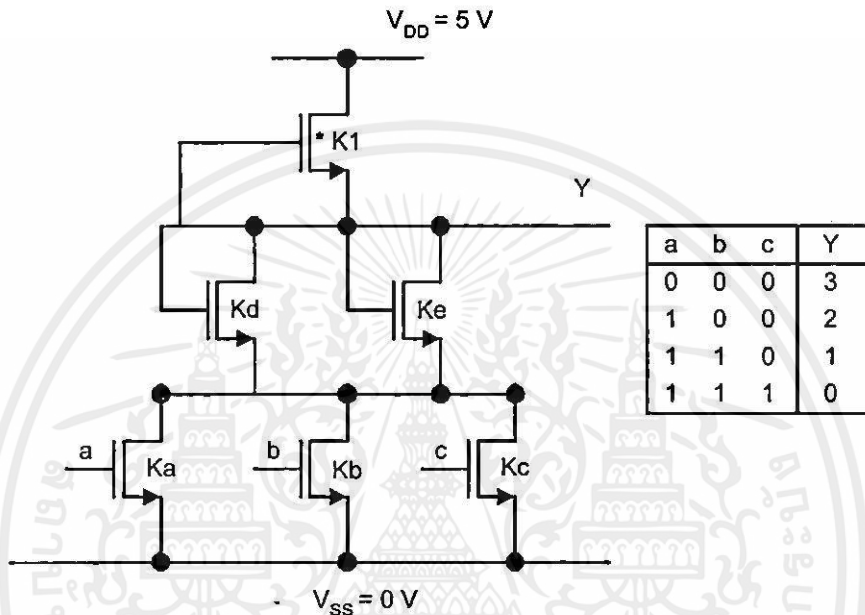
ในวงจรเข้ารหัสค่าอินพุทของวงจรจะเป็นไบนารี แต่เอาต์พุทของวงจรจะเป็น m-valued ที่ทำเช่นนี้เพราะต้องการให้ได้ค่า m ที่มีความต่างกัน ในตอนแรกจะใช้แรงดันแหล่งจ่ายต่างกันเพื่อให้ได้ค่า (m-1) ซึ่งค่านั้นคือ  $V_{SS}$  อย่างที่ 2 ก็จะใช้แหล่งจ่ายเพียงตัวเดียว ซึ่งโดยทั่วไปจะอ้างอิงค่า (m-1) ไว้ที่ระดับแรงดันบวก (High) คือ  $V_{DD}$  แต่ในระดับอื่น ๆ สามารถกำหนดได้จากขนาดของทรานซิสเตอร์หรือผลต่างของแรงดันเทรคโฮลต์



รูปที่ 4.11 แสดงวงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี NMOS

รูปที่ 4.11 จะแสดงตัวอย่างของวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 จะเป็นตัวกำหนดค่า แฟลคเตอร์  $K_a$ ,  $K_b$  และ  $K_c$  เมื่อ  $a = 1$  และ  $b = c = 0$  ค่า  $y$  จะถูกกำหนดโดยอัตราส่วน  $\frac{K_1}{K_a}$  เมื่อ  $a = b = c = 1$  ค่า  $y$  จะถูกกำหนดโดยอัตราส่วน

$$\frac{K_1}{(K_a + K_b + K_c)} \quad (4.8)$$



รูปที่ 4.12 แสดงวงจรเข้ารหัสแบบ 4 ค่า

ในรูปที่ 4.12 จะแสดงการเข้ารหัสแบบ 4 ค่า ซึ่งจะใช้ค่าแรงดันเทรคโวลต์เพียงค่าเดียวส่วน Voltage Shift จะขึ้นอยู่กับกำหนัดค่าทางเรขาคณิตของทรานซิสเตอร์ (W/L) วงจรเหล่านี้เป็นเทคโนโลยีของ NMOS จะมีการสูญเสียกำลังงานทาง Static สูงมาก นั่นคือต้องการกระแสในการขับโหลดสูงมาก

#### 4.10 วงจร m-valued โดยใช้เทคโนโลยีของ CMOS

วงจร CMOS Two-valued อินเวอร์เตอร์จะมีระดับของเอาต์พุต  $V_{OH} = V_{DD}$  เมื่อ MP ทำงาน และ  $V_{OL} = V_{SS}$  เมื่อ MN ทำงาน ดังนั้น ระดับของเอาต์พุตจะมีลักษณะเหมือนกับแรงดันของแหล่ง

จ่าย ในวงจร NMOS การสวิทช์ซึ่งของแรงดันจะขึ้นอยู่กับอัตราส่วน  $\frac{K_n}{K_p}$  เมื่อ

$$K_n = \mu_n C_{ox} W_n / L_n \text{ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำ} \quad (4.9)$$

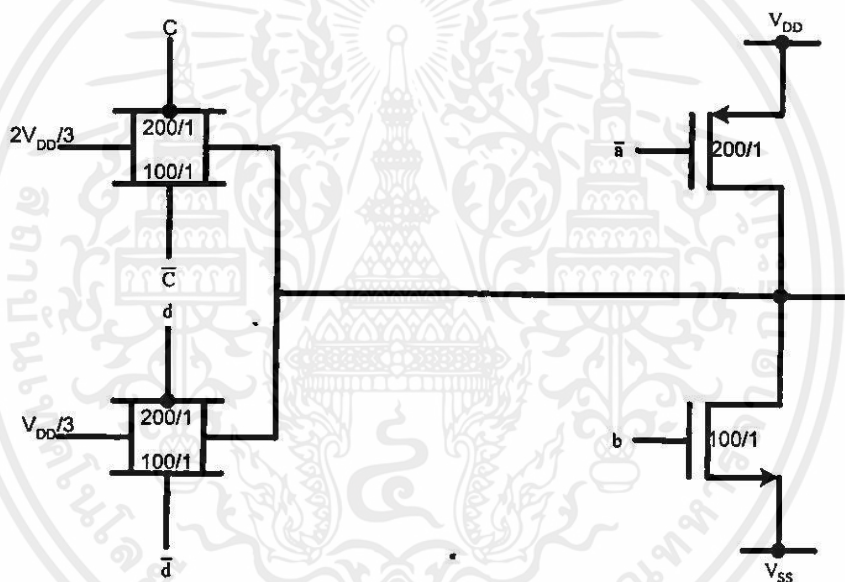
$$K_p = \mu_p C_{ox} W_p / L_p \quad (4.10)$$

$$V_{sw} = \frac{V_{dd} - V_{TP} + \alpha V_{TN}}{1 + \alpha} \quad (4.11)$$

เมื่อ  $\alpha = \sqrt{\frac{K_n}{K_p}} \quad (4.12)$

#### 4.10.1 วงจรเข้ารหัส

เอาท์พุทจะสวิตช์ระหว่างเอาท์พุทของการเข้ารหัสและค่า  $m$  ที่ต่างกัน ซึ่งทั้งหมดนี้จะมีทางเลือกคือไม่ใช่แหล่งจ่ายต่างหากก็วงจรอ้างอิงแรงดัน โดยทั่วไปจะใช้ Transmission Gate ซึ่งจะประกอบด้วย P และ N ดังนั้นถ้าทำงานก็จะทำทั้งคู่แต่ถ้าไม่ทำก็ไม่ทำทั้งคู่

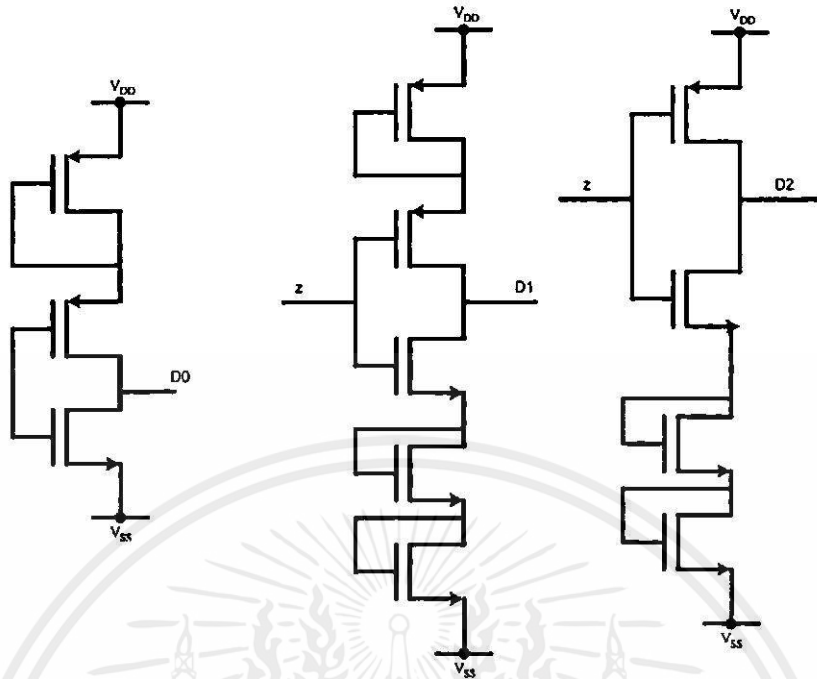


รูปที่ 4.13 แสดงวงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS

รูปที่ 4.13 แสดงวงจรเข้ารหัสแบบ 4 ค่าระดับ 3 และ 0 จะเหมือนกันกับ Two-valued แต่ระดับ 1 และ 2 จะมีค่าแรงดันเท่ากับ  $\frac{2V_{DD}}{3}$  และ  $\frac{V_{DD}}{3}$  ในรูปที่ 4.13 จะเห็นว่ามีความใหญ่เพราะนำไปประยุกต์ใช้งานนอกชิป

#### 4.10.2 วงจรถอดรหัส

วงจรที่ใช้ในการถอดรหัสจะขึ้นอยู่กับขนาดที่ต่างกันของทรานซิสเตอร์ชนิด N และ P หรือวงจรเลื่อนแรงดัน รูปที่ 4.14 จะแสดงวงจรตรวจจับเทรคโฮลต์โดยใช้วงจรอินเวอร์เตอร์เพื่อเลื่อนแรงดัน



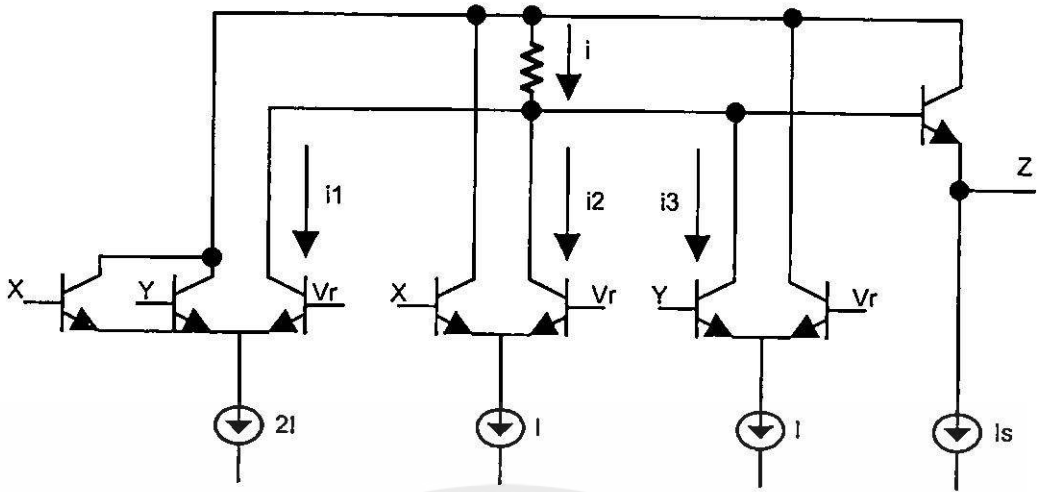
รูปที่ 4.14 แสดงวงจรตรวจจับเทรคโฮลต์โดยใช้เทคโนโลยี CMOS

โดยทั่วไป ในการสร้างฟังก์ชัน  $D_i(x)$  และ  $U_i(x)$  จะเป็นวงจรเปรียบเทียบแรงดันซึ่งจะประกอบด้วย NMOS ที่เป็น Differential Threshold โดยใช้ทรานซิสเตอร์ที่เป็นชนิด P หรือ N ก็ได้

#### 4.11 เทคโนโลยีไบโพลาร์

กว่า 20 ปีที่ผ่านมา Emitter Coupled Logic (ECL) เป็นที่รู้จักกันว่าทำงานได้เร็วสำหรับ วงจร m-valued จะสามารถใช้ได้ทั้งโหมดแรงดันและโหมดกระแส สัญญาณอินพุตของวงจร ECL จะเป็น แรงดันและถูกเปลี่ยนเป็นกระแสภายในวงจรโดย Differential Pair กระแสจะถูกรวมกันแบบเชิงเส้นและผลจะถูกเปลี่ยนกลับไปอยู่ในรูปของแรงดันก่อนจะถูกส่งต่อไปยัง Threshold Detection ซึ่งวงจร Differential Pair จะทำงานคล้ายวงจรเปรียบเทียบแรงดันที่จุดนี้จะพิจารณาข้อแตกต่างระหว่างโหมดแรงดันและโหมดกระแสของวงจร ECL ในการประยุกต์ใช้งานบางอย่างต้องการ m-Different Voltage ภายในชิป วงจร m-valued ที่ทำงานในโหมดแรงดันมีการประยุกต์ใช้งานที่เหมือนกับเทรคโฮลต์ฟังก์ชันที่ใช้งานในโหมดกระแส ในส่วนนี้จะพูดถึงวงจรเข้ารหัสและถอดรหัสแบบ 4 คำที่ใช้เทคโนโลยี ECL จุดประสงค์เพื่อลดจำนวนของสายที่ต่อภายใน รูปที่ 4.15 แสดงวงจรเข้ารหัส

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 แสดงวงจรเข้ารหัสโดยใช้เทคโนโลยีไบโพลาร์

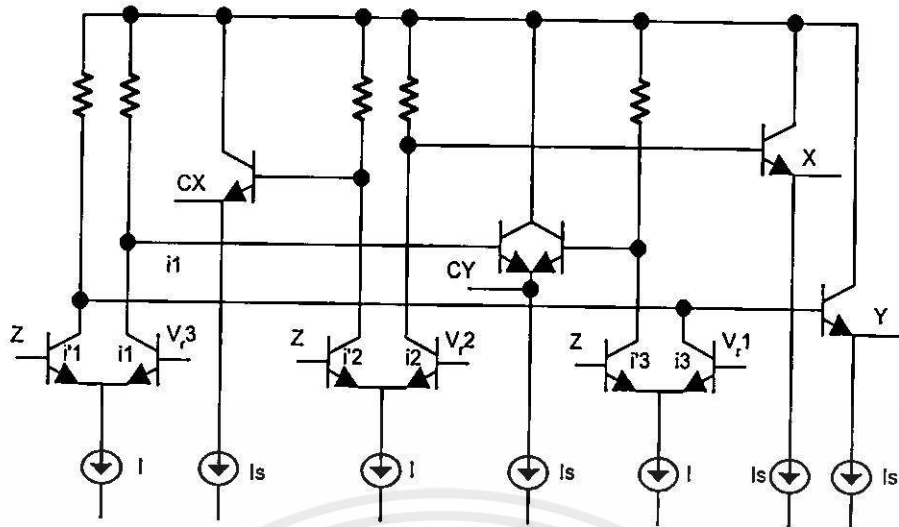
ในรูปนี้แรงดัน Two-valued อินพุต X และ Y จะได้เอาท์พุทเป็นกระแส (I) โดยกระแสจะรวมกันโดยวงจร Differential Pair ทั้ง 3 วงจร วงจร Differential ทั้ง 3 วงจรจะแทนด้วยสอง (เป็นอย่างต่ำ) ซึ่งจะได้ Gray Code และง่ายต่อวงจรถอดรหัส กระแสทั้ง 4 ค่าจะถูกเปลี่ยนให้อยู่ในรูปแบบแรงดัน Z โดยค่าความต้านทาน

ตารางที่ 4.2 จะเป็นตารางแสดงความสัมพันธ์ของวงจรเข้ารหัส

X	Y	$i_1$	$i_2$	$i_3$	I	z
0	0	2	1	0	3	0
0	1	0	1	1	2	1
1	1	0	0	1	1	2
1	0	0	0	0	0	3

รูปที่ 4.16 จะแสดงเอาท์พุทของวงจรถอดรหัส วงจร Differential ทั้ง 3 วงจรจะทำการเปรียบเทียบกับอินพุต (Z) ทั้ง 4 ค่า ซึ่งจะได้ค่าเทรคโฮลด์ออกมา 3 ระดับ  $V_{r1}$ ,  $V_{r2}$  และ  $V_{r3}$  เพื่อให้ได้กระแส  $i_1$ ,  $i_2$  และ  $i_3$  ซึ่งมีลักษณะตรงกับฟังก์ชัน  $D_0(Z)$ ,  $D_1(Z)$  และ  $D_2(Z)$  ซึ่งเป็นด้านหนึ่งของ Differential Pair และกระแส  $i_1$ ,  $i_2$  และ  $i_3$  จะมีลักษณะเหมือนกับฟังก์ชัน  $U_1(Z)$ ,  $U_2(Z)$  และ  $U_3(Z)$  ซึ่งตรงกันข้ามกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 แสดงวงจรถอดรหัสโดยใช้เทคโนโลยีไบโพลาร์

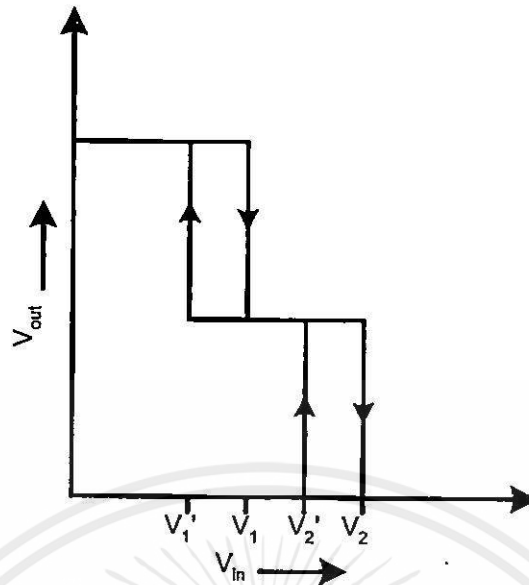
ตารางที่ 4.3 แสดงเอาต์พุตของการรวมกระแส X, CX, Y และ CY ในรูปที่ 4.16

z	i1	i'1	i2	i'2	i3	i'3	CX	CY	X	Y
0	0	1	0	1	0	1	1	1	0	1
1	1	0	0	1	0	1	1	0	0	1
2	1	0	1	0	0	1	0	0	1	0
3	1	0	1	0	1	0	0	1	1	0

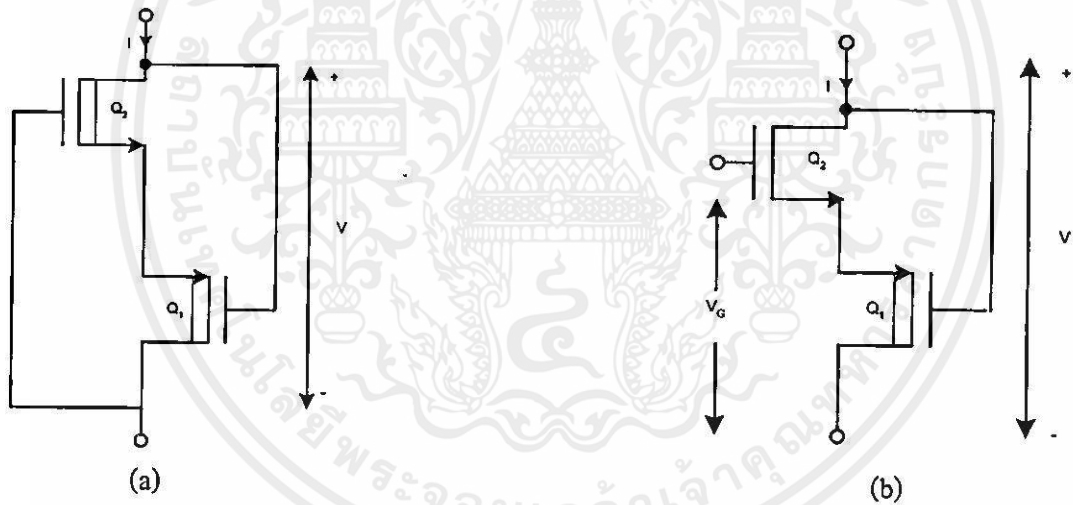
#### 4.12 วงจรเทอร์นารีชมิทท์ทริกเกอร์ทำงานในโหมดแรงดัน

Multiple Valued Logic เป็นแนวทางหนึ่งที่เกิดขึ้นมาจากไบนารีลอจิก ในการเพิ่มระดับสัญญาณในวงจรเพื่อตอบสนองความต้องการในการประมวลผลข้อมูลที่มีปริมาณมากอย่างรวดเร็ว [23-26] ในที่นี้จะทำการศึกษาเกี่ยวกับวงจรเทอร์นารีชมิทท์ทริกเกอร์ โดยส่วนมากแล้วจะเป็นฟังก์ชันบล็อกในการประมวลผลสัญญาณ 3 ระดับคุณลักษณะการส่งผ่านของวงจรเทอร์นารีชมิทท์ทริกเกอร์ (แบบอินเวอร์ตคิง) จะแสดงในรูปที่ 4.17 จะประกอบด้วยฮิสเทอรีซิสลูป 2 ลูป โดยลูปแรกจะประกอบด้วยค่าแรงดันเทรคโฮลด์  $V_1$  และ  $V_1'$  และลูปที่ 2 จะประกอบด้วยค่าแรงดันเทรคโฮลด์  $V_2$  และ  $V_2'$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงคุณลักษณะการส่งผ่านทางด้านแรงดันของวงจรเทอร์มินัลทรานซิสเตอร์

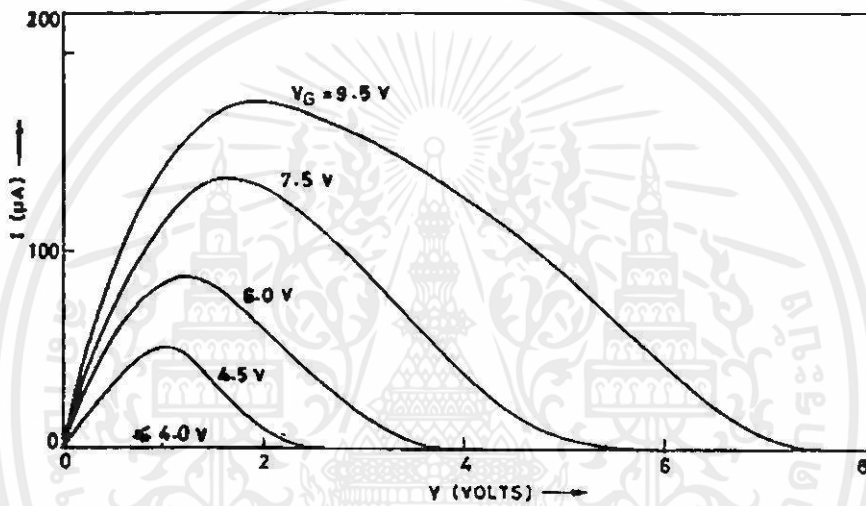


รูปที่ 4.18 แสดงวงจรภายในตัว Lambda ไดโอดและ Lambda ทรานซิสเตอร์

#### 4.13 การทำงานของวงจร

วงจรทรานซิสเตอร์ที่ออกแบบนี้จะใช้ตัวอุปกรณ์ที่เรียกว่า Lambda ไดโอดซึ่งที่ขั้วทั้ง 2 ของตัวอุปกรณ์จะถูกควบคุมด้วยแรงดันและมีกราฟคุณลักษณะการส่งผ่านที่มีความต้านทานเป็นลบ (Negative Resistance) โดยที่ Lambda ไดโอดนี้จะใช้ JFET ชนิด ศีพลีทชั้น ในรูปที่ 4.18(a) จะแสดงวงจรภายใน MOS Lambda ไดโอดซึ่งมีการทำงานดังนี้ เมื่อแรงดัน  $V$  ตกดคร่อมไดโอดกระแสจะไหลผ่านตัวอุปกรณ์เพิ่มขึ้นจนกระทั่งแรงดัน  $V$  มีค่าเท่ากับแรงดันคัทออฟของตัวเฟท ค่ากระแส

สูงสุดจะถูกแทนด้วย  $V_p$  ถ้าระดับแรงดัน  $V$  มีค่าเพิ่มมากขึ้นค่ากระแสจะลดลงจนกระทั่งแรงดัน  $V$  มีค่าเท่ากับผลรวมของแรงดันที่คัทออฟของเฟท ทั้ง 2 ตัว นอกเหนือจากนี้ค่าแรงดัน Valley ( $V_C$ ) จะทำให้ทรานซิสเตอร์ทั้ง 2 ตัวหยุดทำงาน และกระแสที่ไหลผ่านตัวไดโอดที่มีกระแสรั่วไหลจากลักษณะที่ได้กล่าวมานี้จากการศึกษา [27-29] ในการประยุกต์ใช้งาน Lambda ไดโอดในปัจจุบัน เมื่อดูจากโครงสร้างจะทำการแยกขาเกตออกมาเพื่อใช้ในการควบคุม ดังแสดงในรูปที่ 4.18(b) จากโครงสร้างที่ได้รับการพัฒนาขึ้นนี้เราจะเรียกตัวอุปกรณ์นี้ว่า Lambda ทรานซิสเตอร์ จากโครงสร้างของตัวอุปกรณ์ในรูปที่ 4.18(b) นี้ Lambda ทรานซิสเตอร์ชนิด N แต่ถ้าเป็นชนิด P จะใช้เกทของ  $Q_1$  เป็นตัวควบคุมแทนในรูปที่ 4.19

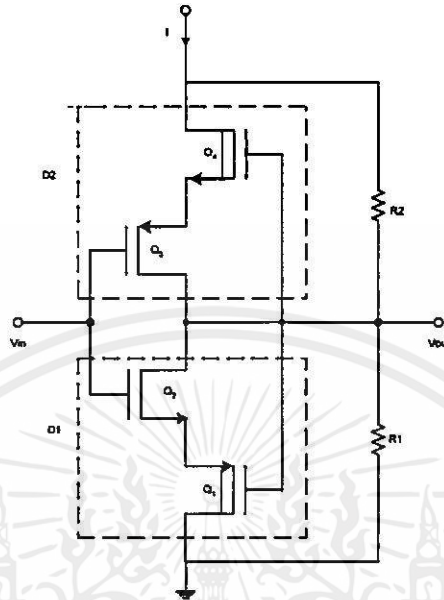


รูปที่ 4.19 แสดงผลการจำลองการทำงานของ Lambda ทรานซิสเตอร์

จะเป็นการจำลองการทำงานของตัว Lambda ทรานซิสเตอร์ด้วยโปรแกรม PSpice และกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแส จะได้จากการเปลี่ยนค่า  $V_G$  ไปเรื่อยๆ ในการจำลองการทำงานครั้งนี้จะกำหนดค่าแรงดันเทรตโฮลด์ของ  $Q_1$  และ  $Q_2$  ไว้ที่ 2 และ 4 V ตามลำดับ ส่วนค่าพารามิเตอร์ตัวอื่นจะได้มาจากภาคผนวก ข จากรูปที่ 4.19 จะเห็นว่าเมื่อทำการเปลี่ยนค่า  $V_G$  ไปให้สังเกตว่ากราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสก็มีการเปลี่ยนแปลงตามด้วย  $I_p$ ,  $V_p$  และ  $V_C$  จะเป็นฟังก์ชันของ  $V_G$  สังเกตให้ดีเมื่อค่า  $V_G$  ลดลงค่า  $V_p$ ,  $I_p$  และ  $V_C$  ก็ลดลงตามด้วย ในความเป็นจริงถ้าค่าที่ต่ำกว่า  $V_G$  ทรานซิสเตอร์  $Q_2$  ที่เป็นเอ็นซานเมนท์จะคัทออฟและผลที่เกิดขึ้นคือจะไม่มียะไรปรากฏที่กราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสเลย ค่า  $V_p$  และ  $I_p$  จะเขียนอยู่ในรูปของสมการซึ่งได้มาจากภาคผนวก ค  $V_C$  จะสามารถเขียนเป็นสมการได้ดังนี้ [35]

$$V_C \cong V_G - V_{T2} + V_{T1} \quad (4.13)$$

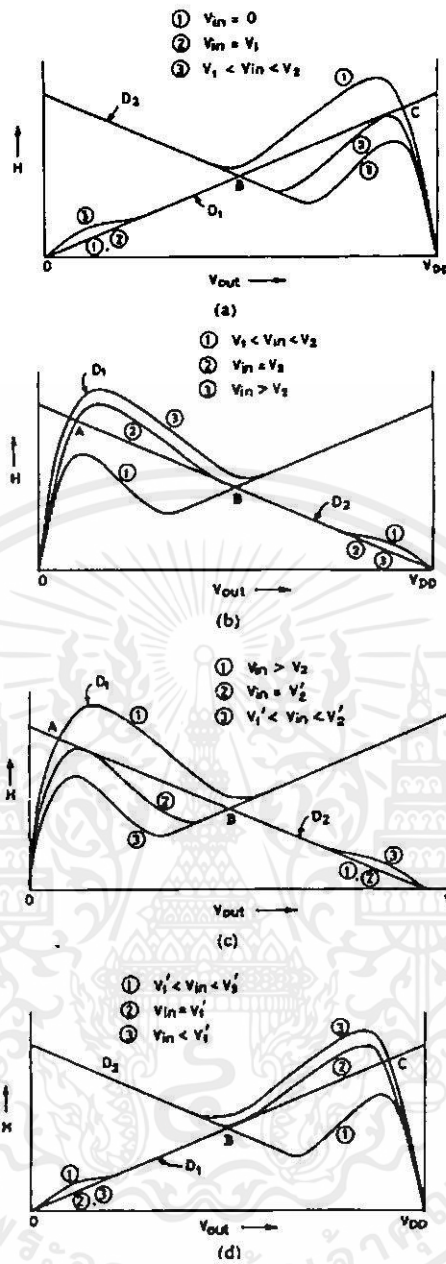
ลักษณะของกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสที่เปลี่ยนค่า  $V_G$  ไปเรื่อย ๆ ของ Lambda ทรานซิสเตอร์ ซึ่งจะนำไปสร้างเป็นวงจรเทอร์นาธิมัททริกเกอร์ดังจะอธิบายต่อไปนี้



รูปที่ 4.20 แสดงวงจรเทอร์นาธิมัททริกเกอร์ที่ทำงานในโหมดแรงดัน

วงจรชมิทท์ทริกเกอร์ที่ออกแบบนี้เป็นจะแสดงดังรูปที่ 4.20 ในวงจรจะประกอบด้วย Lambda ทรานซิสเตอร์ชนิด  $N(Q_1-Q_2)$  และ Lambda ทรานซิสเตอร์ชนิด  $P(Q_3-Q_4)$  และความต้านทานที่มีค่าเท่ากันคือ  $R_1$  และ  $R_2$  ในการออกแบบนี้ Lambda ทรานซิสเตอร์  $Q_1-Q_2$  ที่ค่อนข้างกับความต้านทาน จะถูกรวมเป็นอุปกรณ์ตัวหนึ่ง คือ  $D_1$  ด้วยเหตุนี้ Lambda ทรานซิสเตอร์อีกตัวหนึ่งจะถูกแทนด้วย  $D_2$  จากโครงสร้างนี้เราสามารถวิเคราะห์ได้โดยพิจารณาให้  $D_1$  อยู่ในช่วงแอกทีฟและ  $D_2$  เป็นโหลด ถ้าแรงดันอินพุต  $V_{in}$  มีการเปลี่ยนแปลงจะมีผลต่อกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสของ  $D_1$  และ  $D_2$  ซึ่งจะทำให้เกิดจุดทำงาน โดยปกติแล้วโครงสร้างที่ต่างกันนี้จะทำให้เกิดช่วงการทำงาน 3 สภาวะ ในการเปลี่ยนสภาวะจะขึ้นอยู่กับเปลี่ยนแปลงของ  $V_{in}$  ในการทำงาน ของวงจรในสภาวะเริ่มแรกจะขอสมมุติให้  $V_{in}$  มีค่าเท่ากับศูนย์ ผลก็คือ Lambda ทรานซิสเตอร์จะ อยู่ในสภาวะคัทออฟและกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสรวมค่าความต้านทาน  $R_1$  ดังแสดงในรูปที่ 4.21(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 แสดงคุณลักษณะของ  $D_1$  และ  $D_2$  เมื่ออินพุตเปลี่ยนไปดังนี้

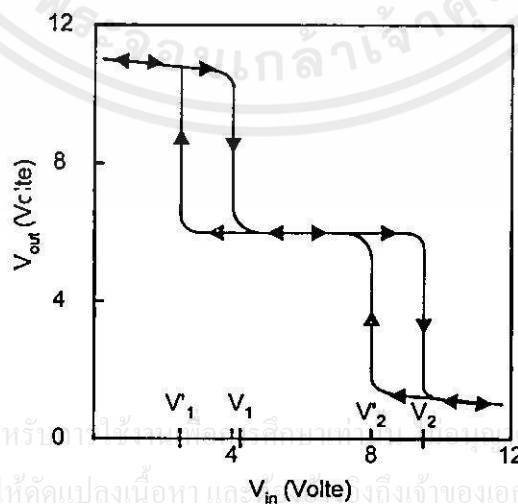
- (a)  $V_{in}$  เพิ่มมากขึ้นจนมีค่าใกล้  $V_1$  (b) เมื่อ  $V_{in}$  เพิ่มมากขึ้นจนมีค่าใกล้  $V_2$
- (c) เมื่อ  $V_{in}$  มีค่าลดลงจนมีค่าใกล้  $V_2'$  (d) เมื่อ  $V_{in}$  มีค่าลดลงจนมีค่าใกล้  $V_1'$

ที่จุด C ถ้าสังเกตจากกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสของ  $D_1$  และ  $D_2$  จะตัดกันที่จุดนี้แรงดันเอาต์พุต  $V_{out}$  ในสภาวะนี้จะเข้าใกล้  $V_{DD}$  ซึ่งมีค่าเท่ากับลอจิก "2" ถ้า  $V_{in}$  มีค่าเพิ่มขึ้นกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสของ  $D_2$  จะเปลี่ยนลงข้างล่างในขณะที่กราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสของ  $D_1$  จะค่อย ๆ เริ่มต้นจนถึงค่าของ  $R_1$  จะตัดที่จุด C ซึ่งไม่ปรากฏเมื่อ  $V_{in}$  มีค่าถึง  $V_1$  (ในรูปที่ 4.21(a)) วงจรก็จะเปลี่ยนไปทำงานที่จุด B

แทนแรงดันเอาต์พุต  $V_{out}$  ที่จุดนี้จะมีค่าเท่ากับ  $\frac{V_{DD}}{2}$  และตรงกับลอจิก "1" ถ้า  $V_{in}$  เพิ่มมากขึ้นกราฟ คุณสมบัติการส่งผ่านระหว่างแรงดันและกระแสของ  $D_2$  จะค่อย ๆ ต่ำลงในขณะที่กราฟคุณสมบัติการส่งผ่านระหว่างแรงดันและกระแสของ  $D_1$  จะค่อย ๆ เพิ่มขึ้น เมื่อ  $V_{in}$  มีค่าถึง  $V_2$  จะไม่ปรากฏจุดตัดที่จุด B (ในรูปที่ 4.21(b)) ในสภาวะนี้แรงดัน Vellely ของ Lambda ทรานซิสเตอร์  $Q_1$ - $Q_2$  จะมีค่าเท่ากับ  $\frac{V_{DD}}{2}$  ตอนนี่วงจรจะทำงานเฉพาะส่วน A ซึ่งแรงดันเอาต์พุต  $V_{out}$  จะมีค่าเข้าใกล้ศูนย์และมีค่าตรงกับลอจิก "0" ในขณะนี้อ่า  $V_{in}$  จะมีค่าลดลง ซึ่งจะมีลักษณะการทำงานคล้ายกับด้านบนที่ได้อธิบายมาแล้วแต่เปลี่ยนจาก  $D_1$  เป็น  $D_2$  แทน เมื่อ  $V_{in}$  จะลดต่ำลงจนเข้าใกล้  $V_1'$  จุดตัดที่จุด A ก็จะหายไป (ดังแสดงในรูปที่ 4.21(c)) และวงจรจะเปลี่ยนไปทำงานในส่วน B เมื่อ  $V_{in}$  มีค่าต่ำจนถึงค่า  $V_1'$  จุดตัดที่จุด B ก็จะหายไปเหมือนกัน (ดังแสดงในรูปที่ 4.21(d)) ดังนั้นวงจรจะเริ่มทำงานในส่วน C จากที่ได้อธิบายในข้างต้นที่เปลี่ยนจากระยะ A ไปยังระยะ B และ B ไปยัง C จะก่อให้เกิดค่าฮิสเทอรีซิสของวงจรเทอร์นารีชมิทท์ทริกเกอร์

วงจรเทอร์นารีชมิทท์ทริกเกอร์ชนิดนี้จะทำการเลียนแบบการทำงานโดยใช้โปรแกรม PSpice จากรูปที่ 4.22 จะแสดงคุณลักษณะการส่งผ่านของวงจร ซึ่งค่าพารามิเตอร์ที่ใช้ในการเลียนแบบการทำงานจะมีดังนี้

- (1)  $V_{T1}$  (แรงดันเทรชโฮลด์ของ  $Q_1$ ) = 2 V
- (2)  $V_{T2}$  (แรงดันเทรชโฮลด์ของ  $Q_2$ ) = 5 V
- (3)  $V_{T3}$  (แรงดันเทรชโฮลด์ของ  $Q_3$ ) = -5 V
- (4)  $V_{T4}$  (แรงดันเทรชโฮลด์ของ  $Q_4$ ) = -2 V
- (5)  $R_1 = R_2 = 65 \text{ k}\Omega$
- (6)  $V_{DD} = 12 \text{ V}$  ส่วนค่าพารามิเตอร์อื่นๆของตัวมอสทรานซิสเตอร์จะแสดงในภาคผนวก ข



รูปที่ 4.22 แสดงผลการทำงานของวงจรเทอร์นารีชมิทท์ทริกเกอร์

#### 4.14 พิจารณาการออกแบบ

ในส่วนนี้จะพูดถึงค่าแรงดันเทรตโฮลด์ที่ใช้ควบคุมการทำงานของซิมิทริกเกอร์ แรงดันเทรตโฮลด์  $V_2$  จะปรากฏเมื่อแรงดัน Vellay ของ Lambda ทรานซิสเตอร์  $Q_1-Q_2$  เท่ากับ  $\frac{V_{DD}}{2}$  สามารถเขียนเป็นสมการของ  $V_2$  ได้ดังนี้

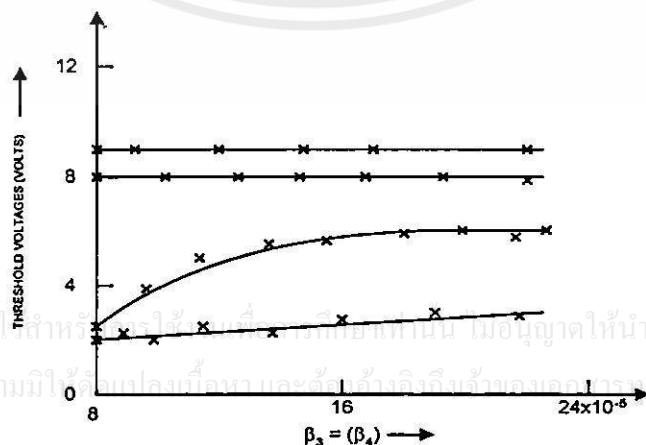
$$V_2 \cong \frac{V_{DD}}{2} + V_{T2} - V_{T1} \quad (4.14)$$

จากสมการที่ 4.14 จะเห็นว่า  $V_2$  เป็นฟังก์ชันของแรงดันเทรตโฮลด์ของ  $Q_1$  และ  $Q_2$  และไม่ขึ้นอยู่กับค่าพารามิเตอร์ของตัวอื่นของวงจร ในความคล้ายกัน สมการของ  $V_1'$  สามารถเขียนเป็นสมการได้ดังนี้

$$V_1' \cong \frac{V_{DD}}{2} + V_{T3} + |V_{T4}| \quad (4.15)$$

แรงดันเทรตโฮลด์  $V_2$  และ  $V_1'$  สามารถปรับค่าแรงดันเทรตโฮลด์ได้จากทรานซิสเตอร์ สำหรับผลที่ดีที่สุดค่า  $V_{T1}$  และ  $|V_{T4}|$  จะต้องมีค่าน้อย ๆ และแรงดันเอาท์พุทจะต้องอยู่ในระดับ A และ C ซึ่งมีค่าเข้าใกล้ 0 และ  $V_{DD}$  ตามลำดับ (ซึ่งสมการ (B-2) ในภาคผนวก ค นั้นคือแรงดันสูงสุดของตัว Lambda ทรานซิสเตอร์  $Q_1-Q_2$  ซึ่งมีค่าน้อยกว่า  $V_{T1}$  เสมอ ค่าแรงดันสูงสุดของ Lambda ทรานซิสเตอร์  $Q_3-Q_4$  จะต้องมากกว่า  $V_{DD} - |V_{T4}|$  เสมอ) ค่า  $V_{T1}$  และ  $V_{T4}$  จะถูกจำกัด  $V_1'$  และ  $V_2$  จะสามารถปรับได้จาก  $V_{T2}$  และ  $V_{T3}$  ตามลำดับ

แรงดันเทรตโฮลด์  $V_1$  จะเป็นฟังก์ชันของ  $\beta_3$  และ  $\beta_4$  ซึ่งอ้างอิงจากรูปที่ 4.21(a) ถ้า  $\beta_3$  และ  $\beta_4$  เพิ่มขึ้นกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแส (ได้จาก  $V_{in}$ ) จะเลื่อนขึ้นข้างบนเพื่อหาความสัมพันธ์กับ  $D_1$  (ขึ้นอยู่กับกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสของค่าคงที่ของสมการ (B-1) ในภาคผนวก ค) จากผลการทดลองจะเห็นได้ชัดว่า  $V_1$  มีค่าเพิ่มขึ้นและ  $V_2'$  จะมีผลต่อ  $\beta_1$  และ  $\beta_2$



รูปที่ 4.23 แสดงค่าแรงดันเทรตโฮลด์ของ  $\beta_3$  และ  $\beta_4$

ค่า  $\beta_1$  และ  $\beta_2$  จะมีผลต่อ  $V_1$  ผลการจำลองการทำงานจะถูกแสดงในรูปที่ 4.23 โดยจะมีค่า  $V_1$ ,  $V_2$  และ  $V_2'$  ค่าแรงดันเทรคโวลต์ทั้ง 4 ค่าของซิมิททริกเกอร์จะไม่ขึ้นกับค่าอื่น โดยการเลือกค่าแรงดันเทรคโวลต์และรูปทรงทางเรขาคณิตของทรานซิสเตอร์ (ซึ่งจะกำหนดโดยค่าคงที่) ดังนั้นจะง่ายต่อการออกแบบวงจร

จากการศึกษาจะพบว่าค่าแรงดันเทรคโวลต์จะขึ้นอยู่กับค่า  $R_1$  และ  $R_2$  โดยทั่วไปมักจะใช้ 65 ถึง 75 k $\Omega$  (55k $\Omega$ ) ในการเพิ่มหรือลดลง ค่า  $V_1, V_2'$  จะเพิ่มขึ้นหรือลดลงประมาณ 0.4 V เพราะค่า  $R_1$  และ  $R_2$  จะถูกเลื่อนไปตามแนวตั้งในกราฟคุณลักษณะการส่งผ่านระหว่างแรงดันและกระแสของ  $D_1$  และ  $D_2$  ในการออกแบบวงจรเทอร์นาเรียซิมิททริกเกอร์นี้อาจจะใช้เทคโนโลยี CMOS ก็ได้ เป็นเอ็นฮานซ์เมนต์หรือดีฟลิชันก็ได้

วงจรซิมิททริกเกอร์ที่ออกแบบนี้จะใช้ Lambda ทรานซิสเตอร์ ซึ่งพัฒนามาจาก Lambda ไดโอด และทำการจำลองผลการทำงานด้วยโปรแกรม PSpice ทำให้ง่ายต่อการออกแบบและสามารถใช้ในฟังก์ชันบล็อกของการประมวลผลสัญญาณ 3 ระดับ

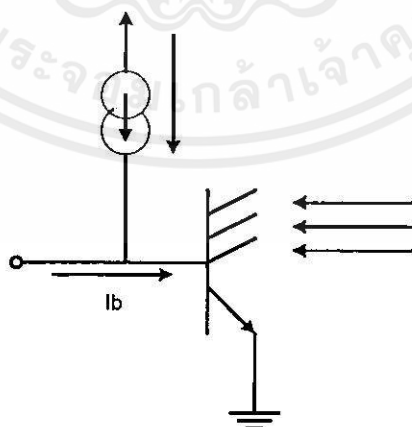
#### 4.15 วงจร m-valued ทำงานในโหมดกระแส

ในส่วนนี้จะยกตัวอย่างของเทคโนโลยีไบโพลาร์และซิมอส

##### 4.15.1 เทคโนโลยีไบโพลาร์

จะประกอบด้วยเทคโนโลยี I<sup>2</sup>L (Integrated Injection Logic) และ ECL (Emitter Coupled Logic)

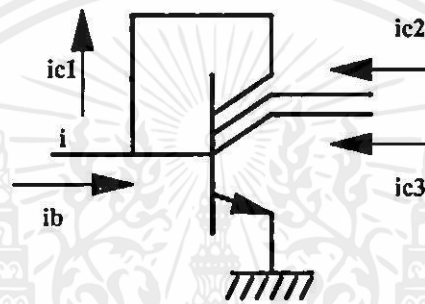
##### 4.15.1.1 วงจร I<sup>2</sup>L ที่ทำงานในโหมดกระแส



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆก็ตาม กรุณาแจ้งให้เจ้าของลิขสิทธิ์ทราบทุกครั้งที่มีการนำไปใช้  
รูปที่ 4.24 แสดงเกทพื้นฐานของลอจิก 2 ระดับโดยใช้เทคโนโลยี I<sup>2</sup>L

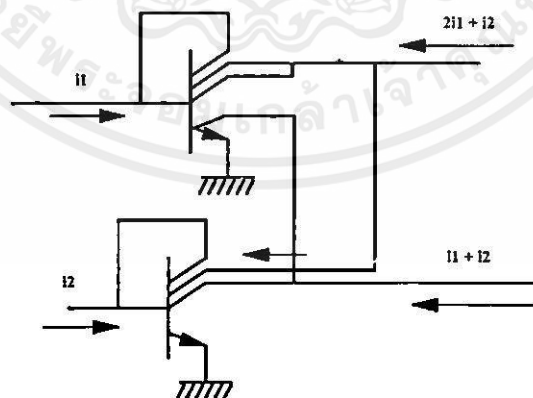
ในรูปที่ 4.24 จะแสดงเกทพื้นฐานของ  $I^L$  ในรูปนี้จะเป็นทรานซิสเตอร์แบบ NPN เอทพุทที่ ขาคอลเลคเตอร์จะเป็นอิสระต่อกัน แรงดันระดับ Low จะมีค่าเท่ากับ  $V_{cc(sat)}$  กระแสไบอัสที่ขาเบส จะถูกแทนด้วย  $I_b$  เมื่อขั้วอินพุทจะถูกต่อกับเกทตัวก่อนหน้า ซึ่งจะมีระดับแรงดันเป็น Low เทคโนโลยี  $I^L$  ที่ใช้ในโหมคกระแสจะมีดังนี้

- วงจรสะท้อนกระแส
- วงจรผลรวมเชิงเส้นของกระแส
- เทรคโฮลด์
- Sink – to – Source Conversion



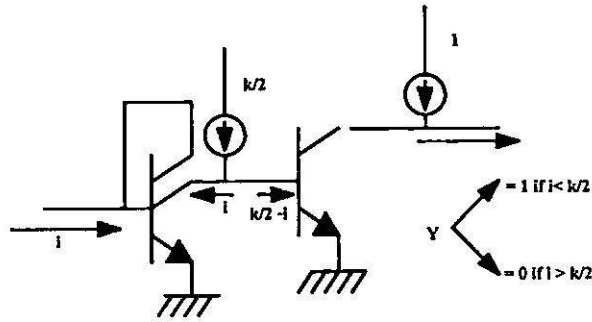
รูปที่ 4.25 แสดงวงจรสะท้อนกระแสโดยใช้เทคโนโลยี  $I^L$

วงจรสะท้อนกระแส จะมีการป้อนกลับระหว่างขาเบสและขาคอลเลคเตอร์ วงจรสะท้อน กระแสจะถูกใช้ในการคัดลอกกระแสและคูณกระแสโดยขึ้นอยู่กับค่าคงที่



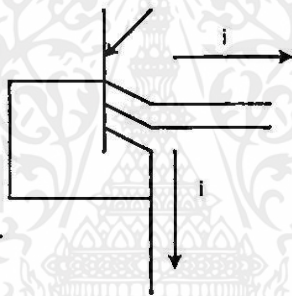
เอกสารนี้รูปที่ 4.26 แสดงวงจรผลรวมเชิงเส้นโดยใช้เทคโนโลยี  $I^L$  นั้น "ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้"

จากรูปที่ 4.27 เป็นวงจรผลรวมเชิงเส้นของกระแสมีลักษณะการทำงานตามกฎของเคอร์ชอฟฟ์



รูปที่ 4.27 แสดงวงจรเทรคโวลต์โดยใช้เทคโนโลยี  $I^2L$

ค่าเทรคโวลต์ที่กล่าวถึงนี้จะรวมถึงทรานซิสเตอร์ที่ทำหน้าที่สะท้อนกระแสและทรานซิสเตอร์ทั่วไปด้วย



รูปที่ 4.28 แสดงการไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี  $I^2L$

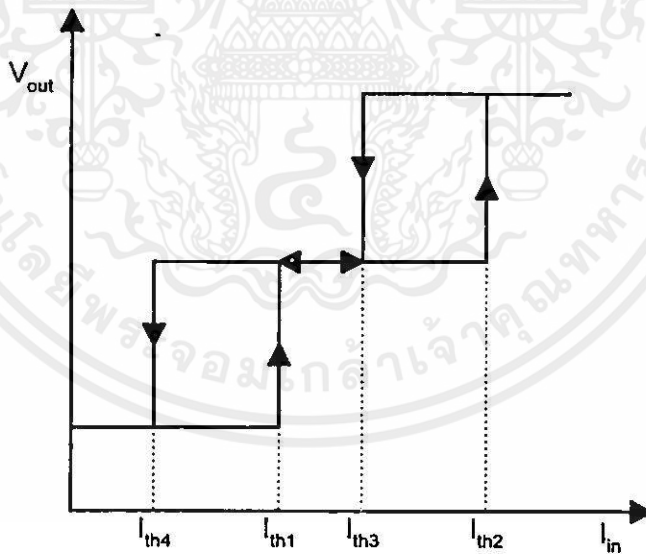
Sink – to – Source Conversion จากรูปจะเห็นว่าเป็นทรานซิสเตอร์ชนิด PNP แบบมัลติคอลเลคเตอร์ซึ่งทำหน้าที่สะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### การออกแบบวงจรเทอร์นารีชมิทท์ทริกเกอร์

วงจรมิทท์ทริกเกอร์เป็นวงจรไบสเตเบิลชนิดหนึ่งที่มีใช้กันทั้งทางวงจรรวมและดิจิทัล เพื่อแก้ปัญหาลatching ของสัญญาณและป้องกันสัญญาณรบกวน ในการออกแบบวงจรมิทท์ทริกเกอร์สามารถใช้ได้ทั้งเทคโนโลยี CMOS [31,38] และ BiCMOS [32] แต่ในปัจจุบันมีการวิจัยและพัฒนาวงจรถอดจิกสำหรับการประมวลผลเชิงเลข(Digital Processing) อย่างกว้างขวางเพื่อให้วงจรมีความเร็วในการทำงานสูง แต่ด้วยข้อจำกัดของระบบเลขฐานสองทำให้ไม่สามารถตอบสนองความต้องการในการประมวลผลข้อมูลที่มีปริมาณมากอย่างรวดเร็ว ดังนั้นแนวทางหนึ่งที่ถูกนำมาใช้ คือการเพิ่มระดับสัญญาณในวงจร เช่น วงจรTernary และ Quaternary [34] ที่ผ่านมามีการนำเสนอวงจร Ternary Schmitt Trigger ที่ทำงานในโหมดแรงดัน [33,35] ดังนั้นในบทความนี้จะนำเสนอวงจร Ternary Schmitt Trigger ที่ทำงานในโหมดกระแส เพื่อนำประยุกต์ใช้ในงานที่ต้องการอินพุตเป็นกระแสเช่น Photo-Detector, Optical Remote Control และ Medical instruments โดยมีคุณลักษณะการส่งผ่านดังรูปที่ 5.1

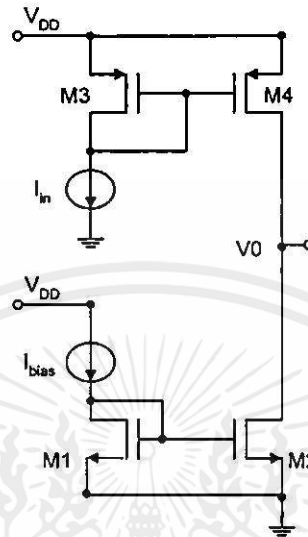


รูปที่ 5.1 แสดงคุณลักษณะการส่งผ่านของวงจร Ternary Schmitt trigger

จากรูปที่ 5.1 จะปรากฏฮิสเตอร์รีซิสขึ้นมา 2 ลูก โดยลูกแรกจะประกอบด้วยค่าเทรคโธลด์ของกระแส  $I_{th4}$  กับ  $I_{th1}$  และลูกที่สองประกอบด้วยเทรคโธลด์ของกระแส  $I_{th3}$  กับ  $I_{th2}$

## 5.1 หลักการและการทำงาน

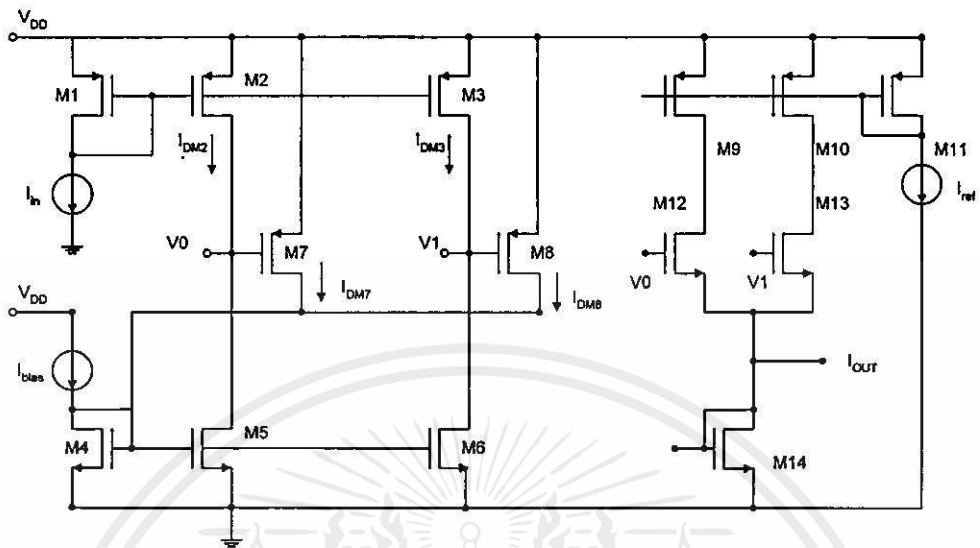
### 5.1.1 วงจร CMOS CURRENT THRESHOLD COMPARATOR



รูปที่ 5.2 แสดงวงจรเปรียบเทียบกระแส

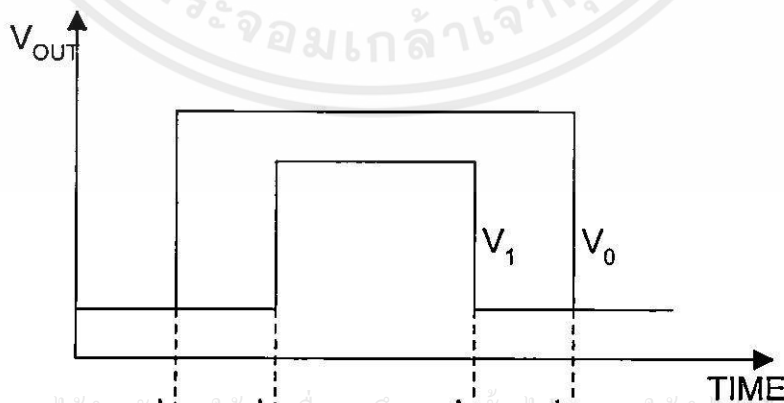
วงจรวงจรรูปที่ 5.2 เป็นวงจรถือเปรียบเทียบกระแส [36,37] โดยกระแส  $I_{bias}$  จะถูกจ่ายเข้าที่ขาเดรนของ  $M_1$  และ  $M_2$  จะทำหน้าที่จำลองกระแส  $I_{bias}$  โดยที่ค่าเทรตโฮลด์ของกระแสจะขึ้นอยู่กับกรกำหนดค่า  $W/L$  กระแสอินพุทจะถูกจ่ายให้ขาเดรนของ  $M_3$  และ  $M_4$  จะทำหน้าที่จำลองกระแส  $I_{in}$  ในสภาวะเริ่มแรกถ้ากระแส  $I_{in}$  มีค่าน้อยกว่าค่าเทรตโฮลด์ของกระแสที่กำหนดไว้ ที่โหนด  $V_0$  จะมีแรงดันเป็น LOW เมื่อกระแสอินพุท  $I_{in}$  เพิ่มขึ้นจนถึงค่าเทรตโฮลด์ของกระแสที่โหนด  $V_0$  จะมีแรงดันเป็น High

### 5.1.2 วงจร CMOS Current Ternary Schmitt Trigger



รูปที่ 5.3 แสดงวงจรเทอร์นารีชมิทท์ทริกเกอร์ที่ทำงานในโหมดกระแส

จากวงจรดังรูปที่ 5.3 เป็นวงจรเทอร์นารีชมิทท์ทริกเกอร์จะประกอบด้วยวงจร Current Comparator ซึ่งสามารถกำหนดค่ากระแสเทรคโฮลด์ของทรานซิสเตอร์ โดยขึ้นอยู่กับค่า  $W/L$  ซึ่งจะได้กระแสเทรคโฮลด์เท่ากับ  $\frac{I_{Bias}}{4}$  และ  $\frac{5I_{Bias}}{4}$  ตามลำดับ และวงจรเปลี่ยนแรงดันเป็นกระแสที่ทำหน้าที่รวมสัญญาณ การทำงานของวงจรเทอร์นารีชมิทท์ทริกเกอร์ ซึ่งขึ้นอยู่กับวงจร Current Comparator ทั้ง 2 วงจร สามารถแบ่งช่วงการทำงานออกเป็น 4 ช่วง ดังรูปที่ 5.4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.4 แสดงแรงดันเอาต์พุตเทียบกับเวลาของวงจร Current Comparator ทั้ง 2 วงจร

จากรูปที่ 5.3 จะประกอบด้วยวงจรเปรียบเทียบกระแส 2 วงจร โดยวงจรแรกประกอบด้วย  $M_2$ ,  $M_3$  และวงจรที่สองประกอบด้วย  $M_3$ ,  $M_6$  ในสถานะเริ่มแรก กำหนดให้  $I_{in}$  น้อยกว่า  $I_{Bias}$  ที่โหนด  $V_0$  และ  $V_1$  จะได้อาต์พุทเป็น Low ทั้งคู่ซึ่งเกิดจากวงจรเปรียบเทียบกระแส  $M_2$  และ  $M_3$  จะอยู่ในช่วงอิ่มตัว ขณะที่  $M_3$ ,  $M_6$  และ  $M_7$ ,  $M_8$  จะทำงานอยู่ช่วง Triode นั่นคือ  $M_7$  และ  $M_8$  จะทำงานเมื่อ  $V_{ds} > V_{gs}$  ในช่วงนี้จะเห็นว่าที่  $M_7$  และ  $M_8$  จะมีกระแส  $I_{D7}$  และ  $I_{D8}$  ไหลมารวมกับ  $I_{Bias}$  เมื่อกระแส  $I_{in}$  เพิ่มขึ้นจนถึงค่าเทรคโวลต์กระแส  $I_{D5}$  หรือ  $\frac{I_{Bias}}{4}$  ดังนั้นกระแสที่  $I_{D2}$  จะมีค่ามากกว่า  $I_{Bias} + I_{D7} + I_{D8}$  ที่โหนด  $V_0$  จะได้อาต์พุทเป็น High ในช่วงนี้จะได้สมการดังนี้

$$I_{th2} = I_{D2} > (I_{Bias} + I_{D7} + I_{D8}) \quad (5.1)$$

ในช่วงที่นี้จะเห็นว่าไม่มีกระแส  $I_{D7}$  ไหลในวงจร เพราะเอาต์พุทที่โหนด  $V_0$  มีสถานะเป็น High ทำให้  $M_7$  หยุดนำกระแส เมื่อกระแส  $I_{in}$  ไหลเพิ่มมากขึ้นจนถึงค่าเทรคโวลต์ของกระแส  $I_{D6}$  หรือ  $\frac{5I_{Bias}}{4}$  ดังนั้นกระแสที่  $I_{D3}$  จะมีค่ามากกว่า  $I_{Bias} + I_{D8}$  ที่โหนด  $V_1$  จะมีสถานะเป็น High และจะได้สมการดังนี้

$$I_{th4} = I_{D3} > (I_{Bias} + I_{D8}) \quad (5.2)$$

ในช่วงนี้จะไม่มีกระแส  $I_{D7}$  และ  $I_{D8}$  ไหลในวงจรเพราะที่ โหนด  $V_0$  และ  $V_1$  มีสถานะเป็น High ทั้งคู่ เมื่อกระแส  $I_{in}$  เพิ่มขึ้นจนถึงค่าสูงสุด กระแส  $I_{in}$  จะเริ่มลดลงจนถึงค่าเทรคโวลต์ของกระแส  $I_{D6}$  หรือ  $\frac{5I_{Bias}}{4}$  ดังนั้นกระแสที่  $I_{D3}$  จะมีค่าน้อยกว่า  $I_{Bias}$  ที่โหนด  $V_1$  ก็จะเริ่มเปลี่ยนสถานะเป็น Low อีกครั้ง ซึ่งจะได้สมการดังนี้

$$I_{th3} = I_{D3} < I_{Bias} \quad (5.3)$$

ในช่วงสุดท้ายนี้จะเห็นว่ามีกระแส  $I_{D8}$  ไหลมารวมกับ  $I_{Bias}$  ที่โหนด  $V_0$  จะมีสถานะเป็น High แต่ที่ โหนด  $V_1$  จะมีสถานะเป็น Low และเมื่อกระแส  $I_{in}$  ลดลงมากขึ้นจนถึงค่าเทรคโวลต์ของกระแส  $I_{D5}$  หรือ  $\frac{I_{Bias}}{4}$  ดังนั้นกระแสที่  $I_{D2}$  จะมีค่าน้อยกว่า  $I_{Bias} + I_{D8}$  ที่โหนด  $V_0$  ก็จะเปลี่ยนสถานะ

เอกสารนี้จาก High เป็น Low อีกครั้ง ซึ่งจะได้สมการดังนี้ ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{th1} = I_{D2} < I_{Bias} + I_{D8} \quad (5.4)$$

จากรูปที่ 5.3 PMOS ทรานซิสเตอร์  $M_9$  และ  $M_{10}$  จะทำหน้าที่สะท้อนกระแสอ้างอิง  $I_{ref}$  ซึ่งถูกจ่ายให้กับทรานซิสเตอร์  $M_{11}$  โดยถูกต่อแบบ diode connected เมื่อพิจารณา  $I_{OUT}$  ของวงจรเทอร์นารีซิมิทริกเกอร์ กระแส  $I_{OUT}$  จะเกิดจากการทำงานของ NMOS  $M_{12}$  และ  $M_{13}$  ซึ่งการทำงานนี้จะถูกควบคุมโดยสัญญาณที่ได้จากการเปรียบเทียบกระแส  $V_0$  และ  $V_1$  การกำหนดค่ากระแสเทรคโวลต์ของ  $M_{12}$  และ  $M_{13}$  จะกำหนดให้ต่างกันโดยขึ้นอยู่กับค่า  $W/L$  ซึ่งในที่นี้กำหนดให้มีค่าเท่ากับค่ากระแสเทรคโวลต์ของ  $M_5$  และ  $M_6$  ตามลำดับ ในสภาวะเริ่มแรก  $V_0$  และ  $V_1$  มีสถานะเป็น Low ทำให้ไม่มีกระแส  $I_{OUT}$  ไหล เมื่อกระแส  $I_{in}$  เพิ่มขึ้นเรื่อยๆจนถึงช่วงการทำงานตามสมการที่ (5.1) ทำให้  $V_0$  เป็น High ทรานซิสเตอร์  $M_{12}$  จะทำงาน และได้กระแส  $I_{OUT}$  มีค่าเป็น  $\frac{I_{Bias}}{4}$  เมื่อกระแส  $I_{in}$  เพิ่มขึ้นจนถึงช่วงการทำงานตามสมการที่ (5.2) จะทำให้  $V_1$  มีสถานะเป็น High ทรานซิสเตอร์  $M_{13}$  จะทำงาน และจะได้กระแส  $I_{OUT}$  เพิ่มขึ้นเป็น  $\frac{I_{Bias}}{4} + \frac{5I_{Bias}}{4}$  ในทำนองเดียวกัน สำหรับช่วงการทำงานตามสมการที่ (5.3) จะทำให้  $V_1$  เปลี่ยนสถานะเป็น Low อีกครั้งหนึ่ง ทรานซิสเตอร์  $M_{13}$  จะไม่ทำงาน  $I_{OUT}$  จะมีค่าลดลงเป็น  $\frac{I_{Bias}}{4}$  และในช่วงการทำงานตามสมการที่ (5.4) จะทำให้  $V_0$  เปลี่ยนสถานะเป็น Low อีกครั้ง ทรานซิสเตอร์  $M_{12}$  จึงไม่ทำงานทำให้ไม่มีกระแส  $I_{OUT}$  ไหลในวงจร

## บทที่ 6

### ผลการทดสอบคุณสมบัติของวงจรถอร์นารีชมิทท์ทริกเกอร์

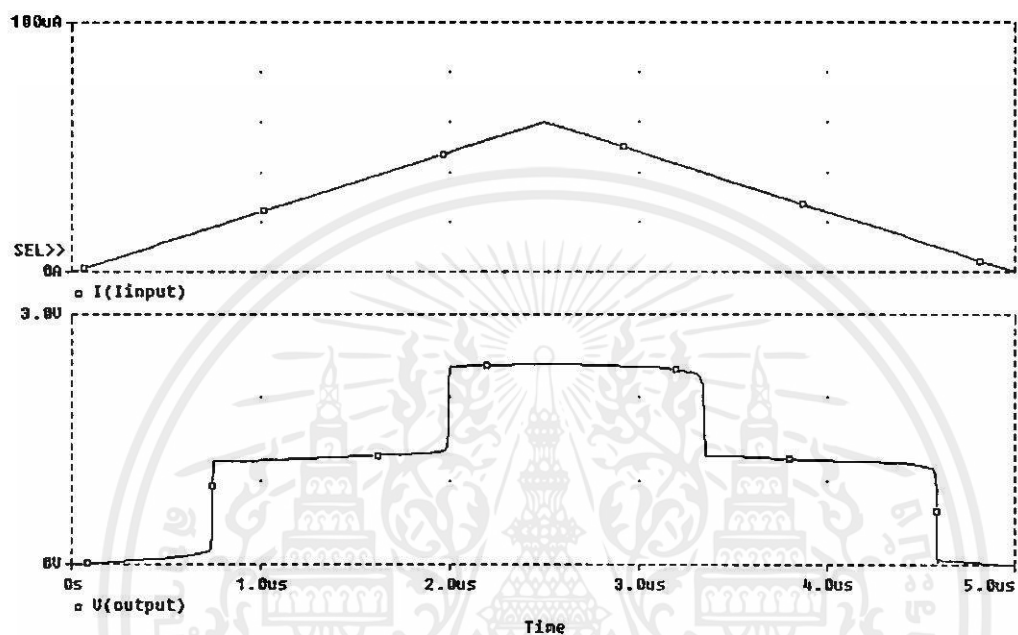
การออกแบบวงจรถอร์นารีชมิทท์ทริกเกอร์ที่ทำงานในโหมดกระแสตามที่ได้ออกมาแล้ว ในบทนี้จะเป็นการแสดงผลการทดสอบคุณสมบัติของวงจรถอร์นารีชมิทท์ทริกเกอร์ สำหรับการจำลองวงจรถอร์นารีชมิทท์ทริกเกอร์ในโปรแกรม PSpice ในการจำลองศึกษาการทำงาน การทดสอบนี้จะเป็นการทดสอบค่าฮิสเทอรีซิส Propagation delay time ที่มีค่า Load Capacitance ตั้งแต่ 0.1-1 pF และอัตราการเหวี่ยงของวงจรถอร์นารีชมิทท์ทริกเกอร์ (Slew Rate) การทดสอบจะใช้สัญญาณอินพุตที่เป็นกระแสรูปไซน์และรูปสามเหลี่ยมซึ่งมีขนาด 60  $\mu$ A โดยจะทำให้เห็นการเปลี่ยนแปลงกับเวลาและสามารถได้กราฟคุณสมบัติการโอนถ่ายของวงจรถอร์นารีชมิทท์ทริกเกอร์ และทำการทดสอบเมื่อใช้แหล่งจ่ายที่มีค่าต่ำกว่า 2.5 โวลต์



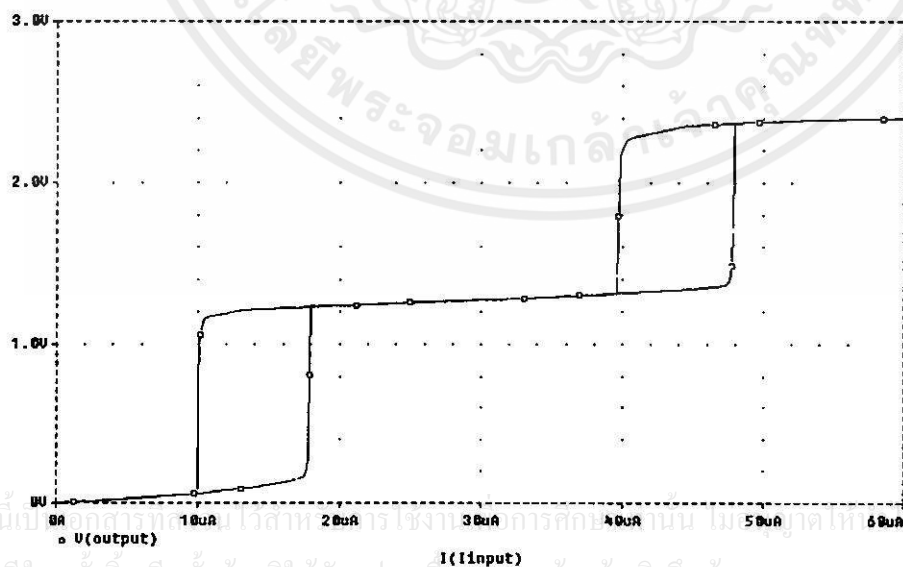
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6.1 การทดสอบวงจรเทอร์นารีชมิทท์ทริกเกอร์

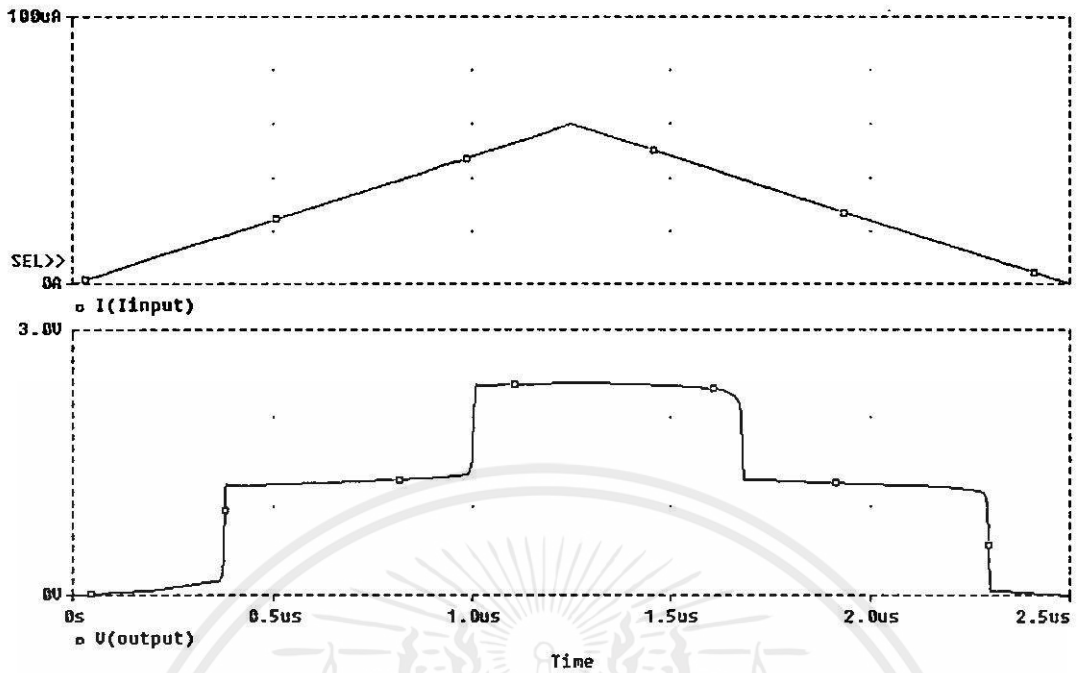
### 6.1.1 การทดสอบโดยใช้สัญญาณอินพุตรูปสามเหลี่ยม



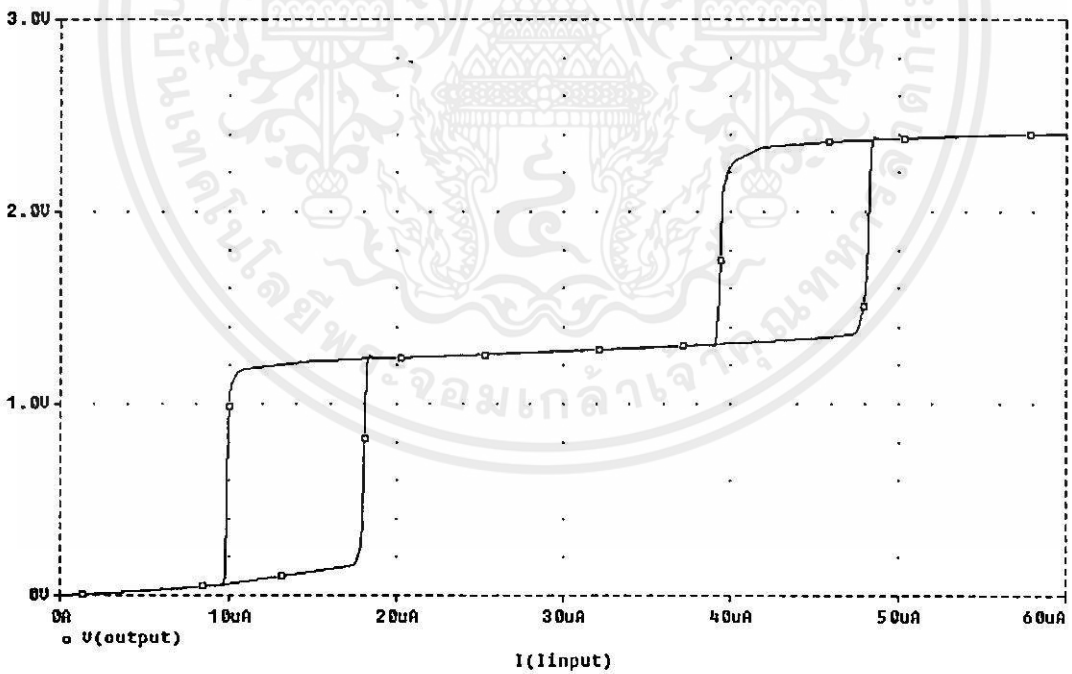
รูปที่ 6.1 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่มีความถี่ 200 kHz



รูปที่ 6.2 แสดงกราฟคุณสมบัติการ โอนถ่ายที่ความถี่ 200 kHz

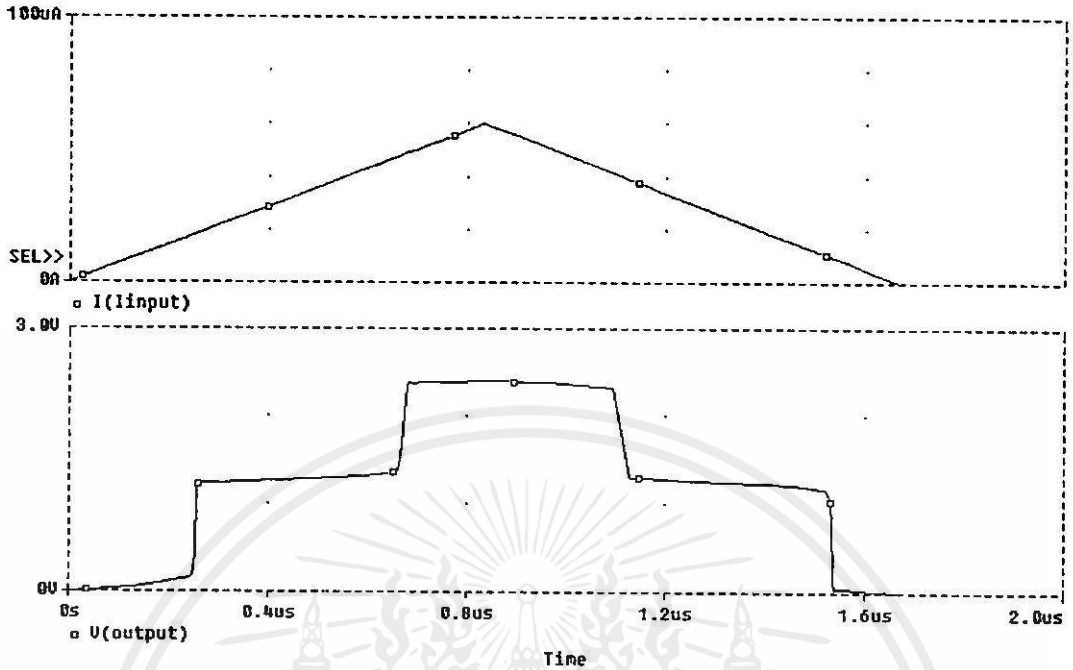


รูปที่ 6.3 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่ความถี่ 400 kHz

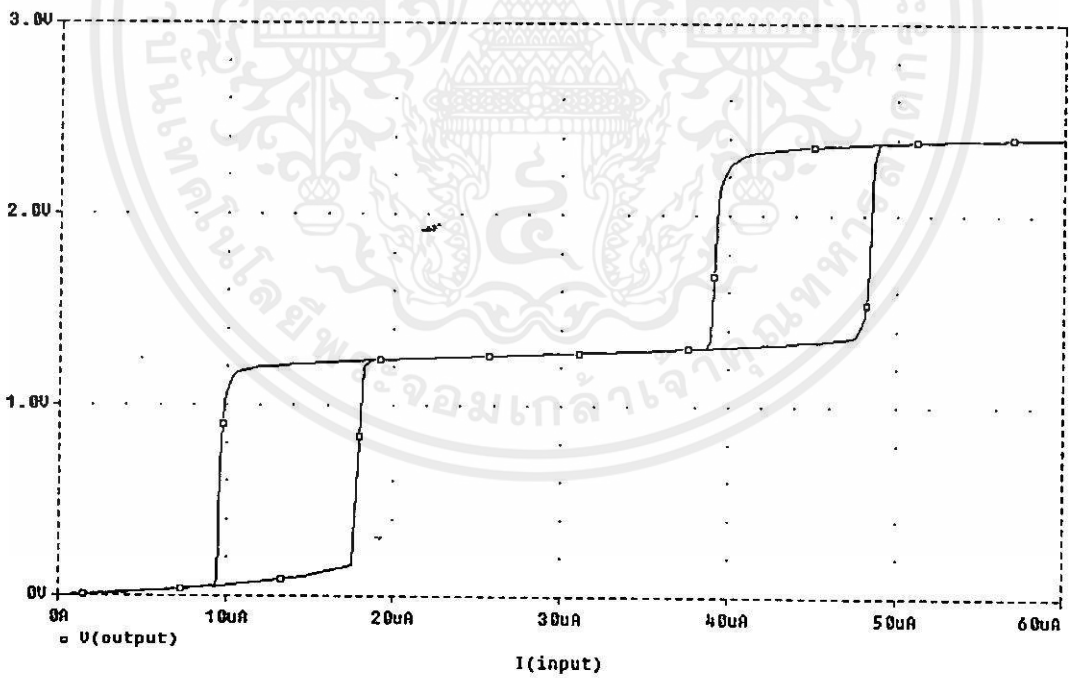


รูปที่ 6.4 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 400 kHz

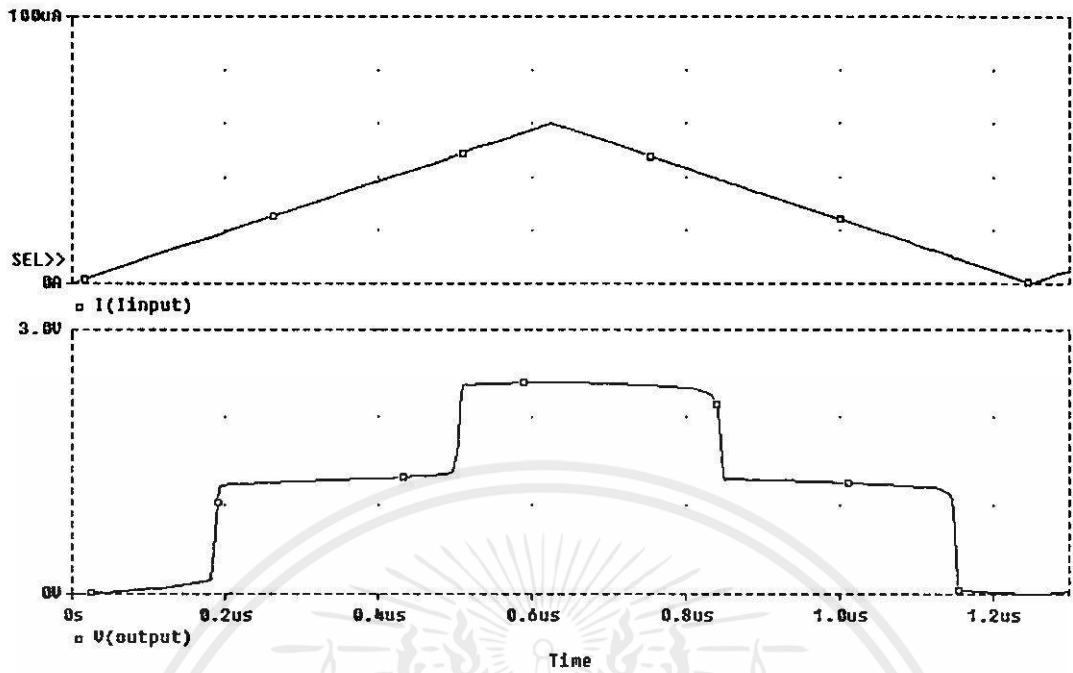
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และเผยแพร่โดยไม่牟利 "ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้"



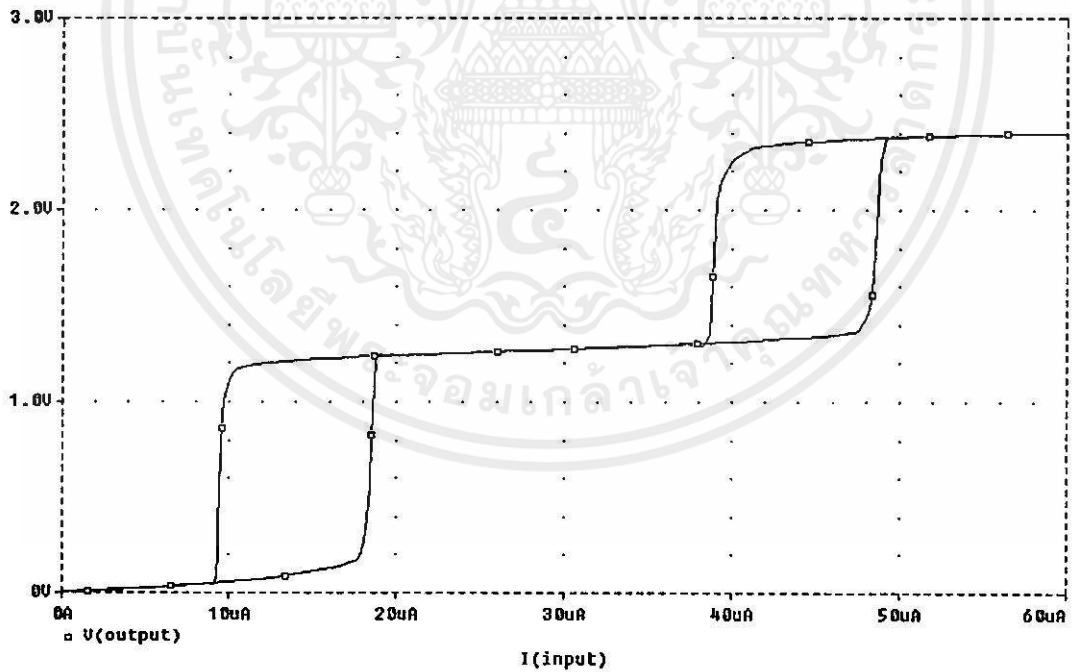
รูปที่ 6.5 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่ความถี่ 600 kHz



เอกสารรูปที่ 6.6 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 600 kHz นี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

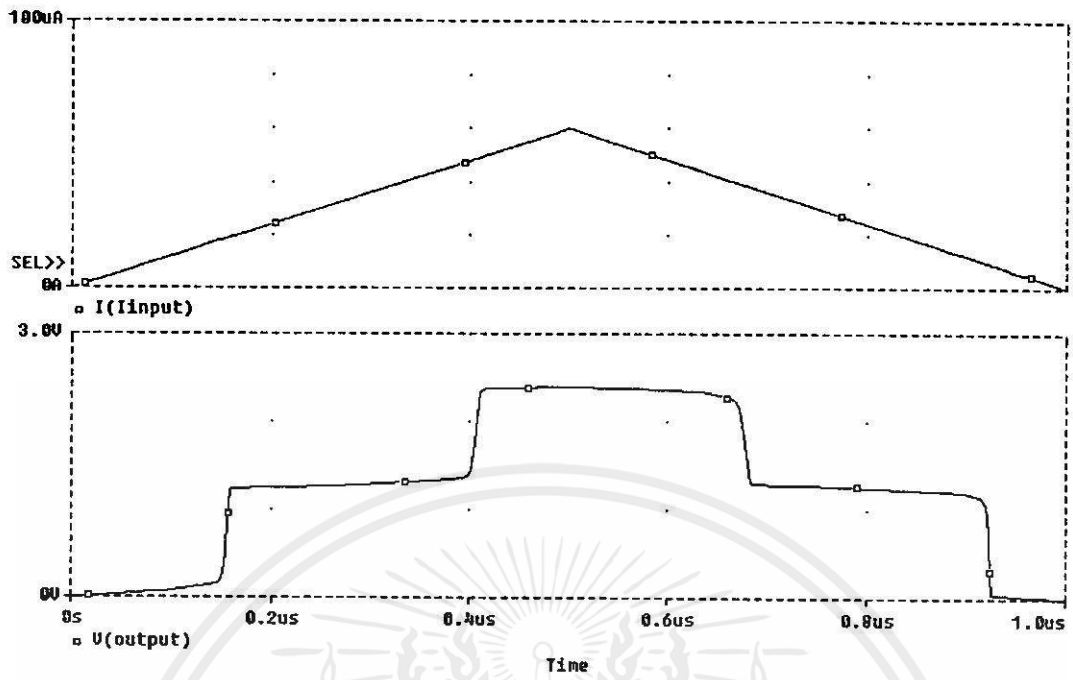


รูปที่ 6.7 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่ความถี่ 800 kHz

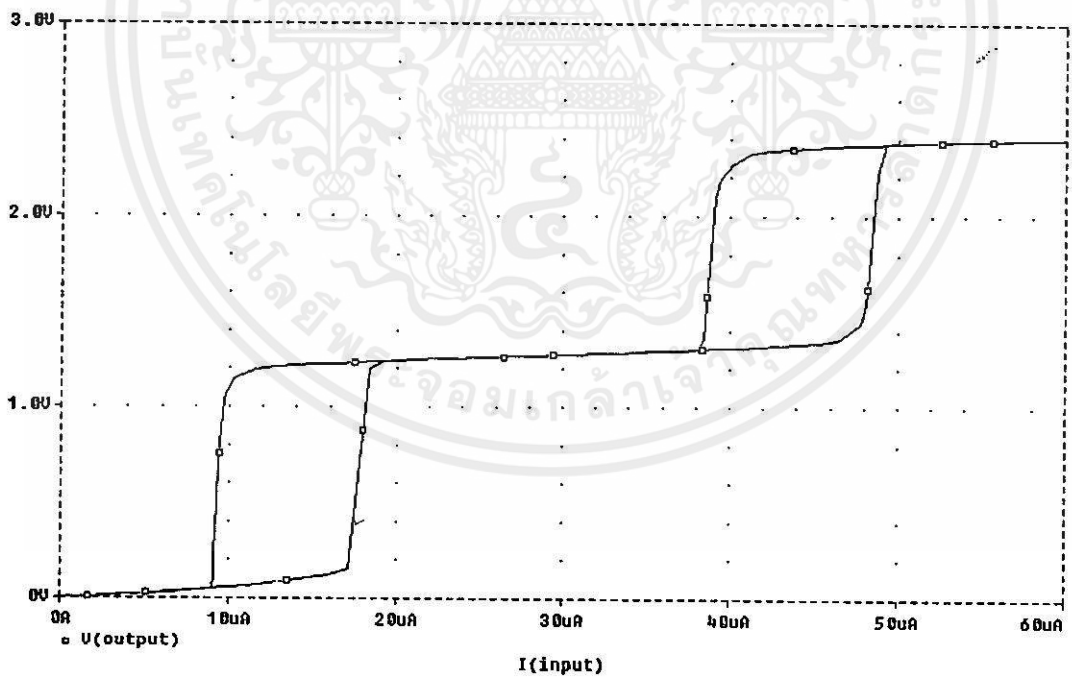


รูปที่ 6.8 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 800 kHz

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



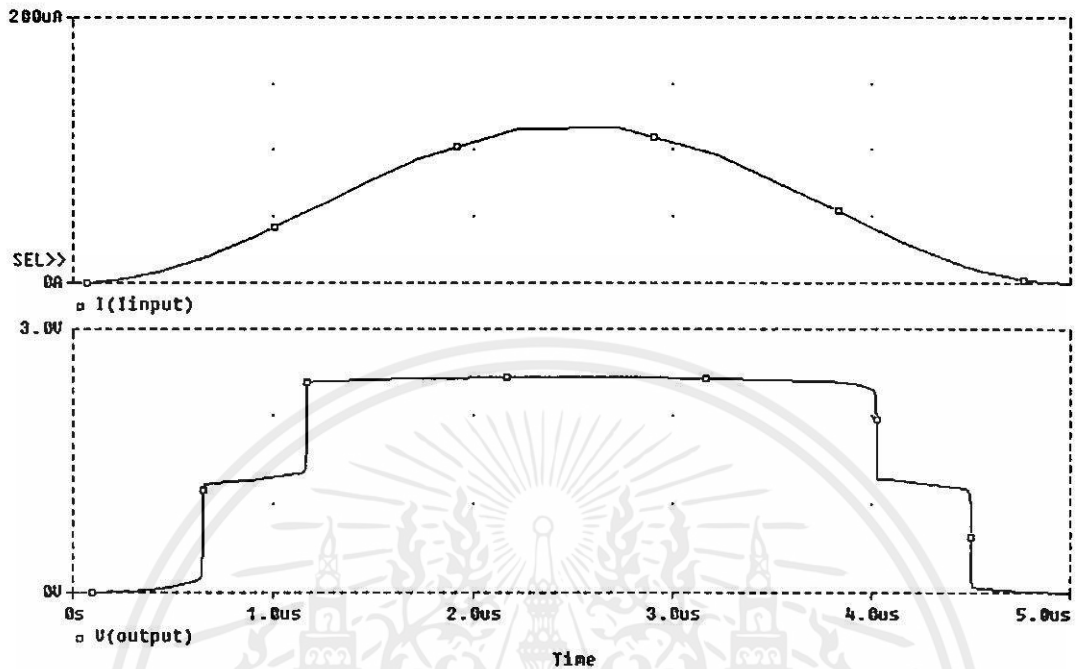
รูปที่ 6.9 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่ความถี่ 1MHz



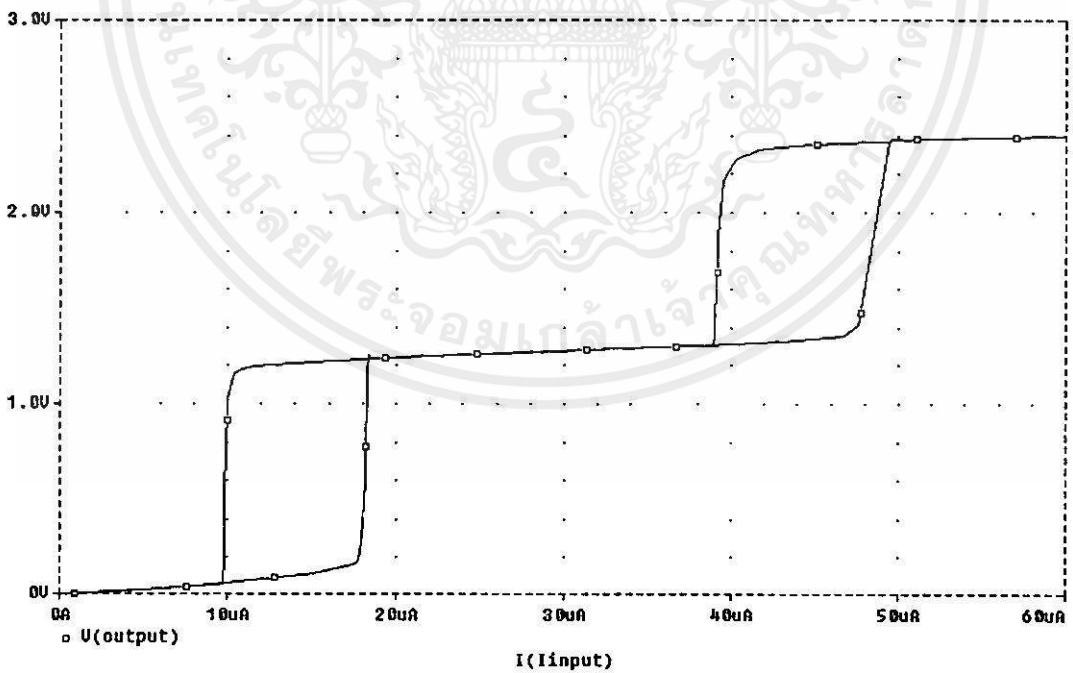
รูปที่ 6.10 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 1MHz

เอกสารนี้เป็นทรัพย์สินทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6.1.2 การทดสอบโดยใช้สัญญาณอินพุตรูปไซน์



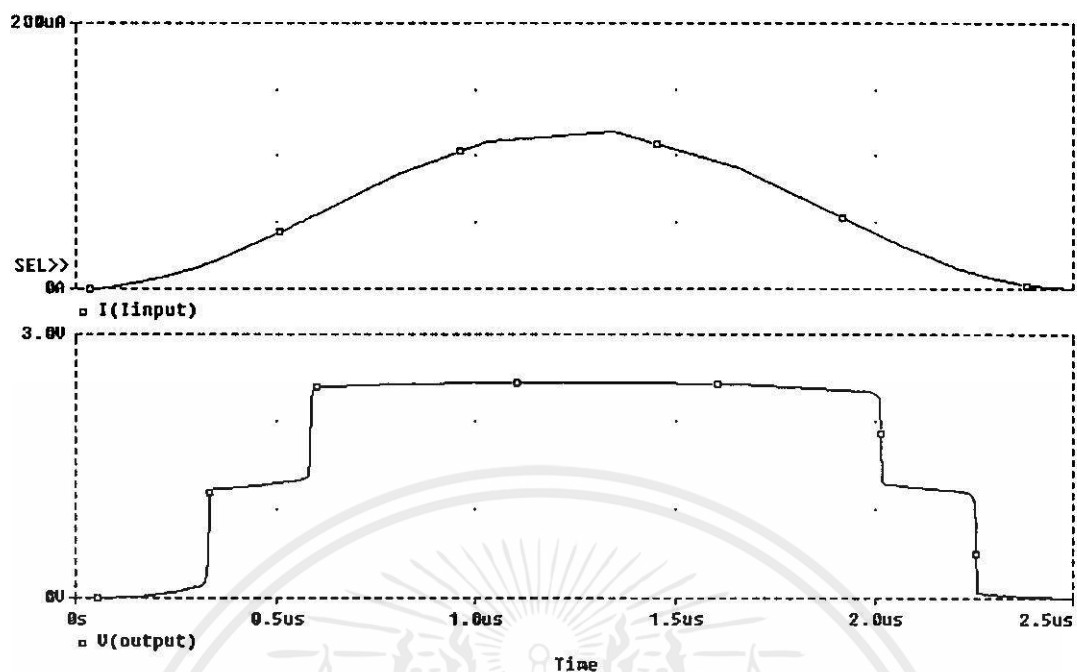
รูปที่ 6.11 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่มีความถี่ 200 kHz



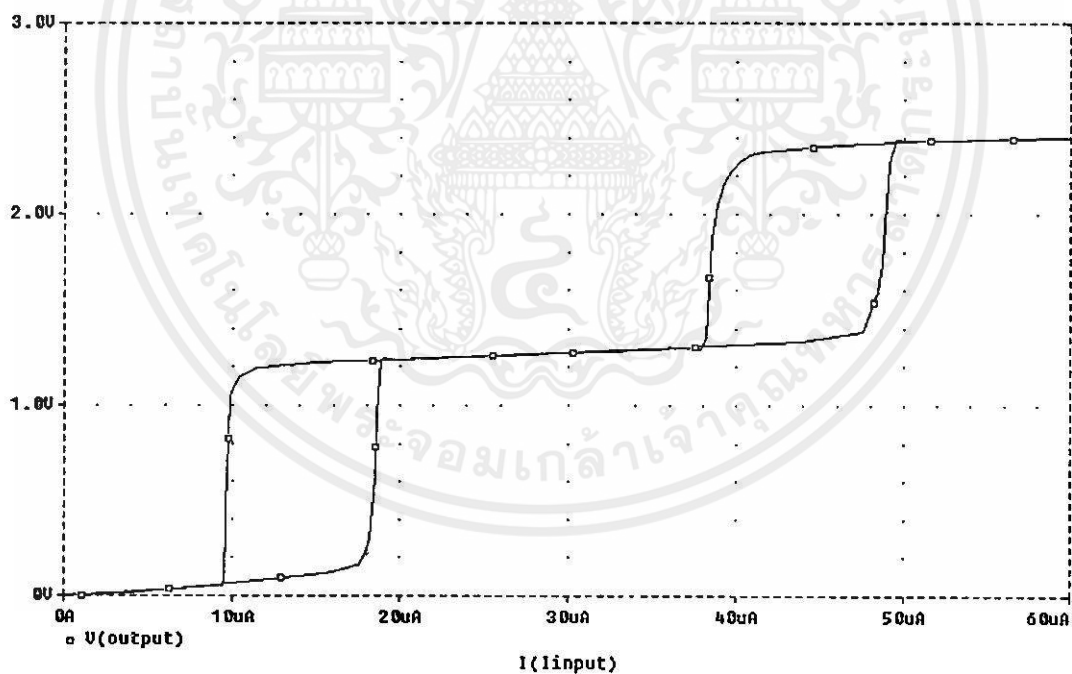
รูปที่ 6.12 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 200 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ลิขสิทธิ์นั้นเป็นของฝ่ายผู้โอนและผู้จำหน่ายจนถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

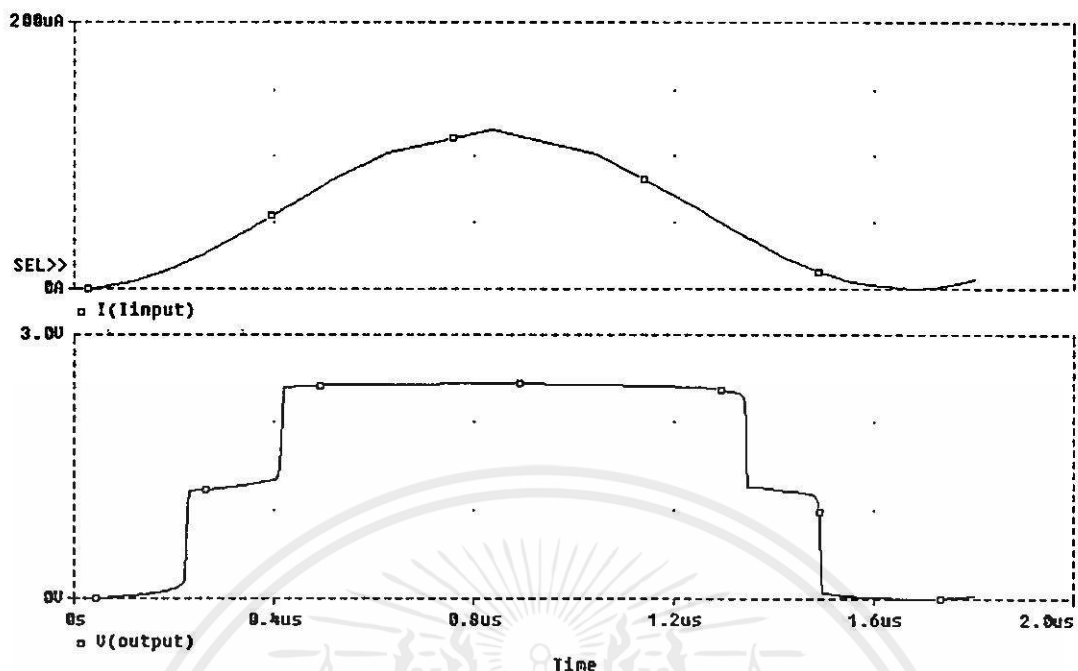


รูปที่ 6.13 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่ความถี่ 400 kHz

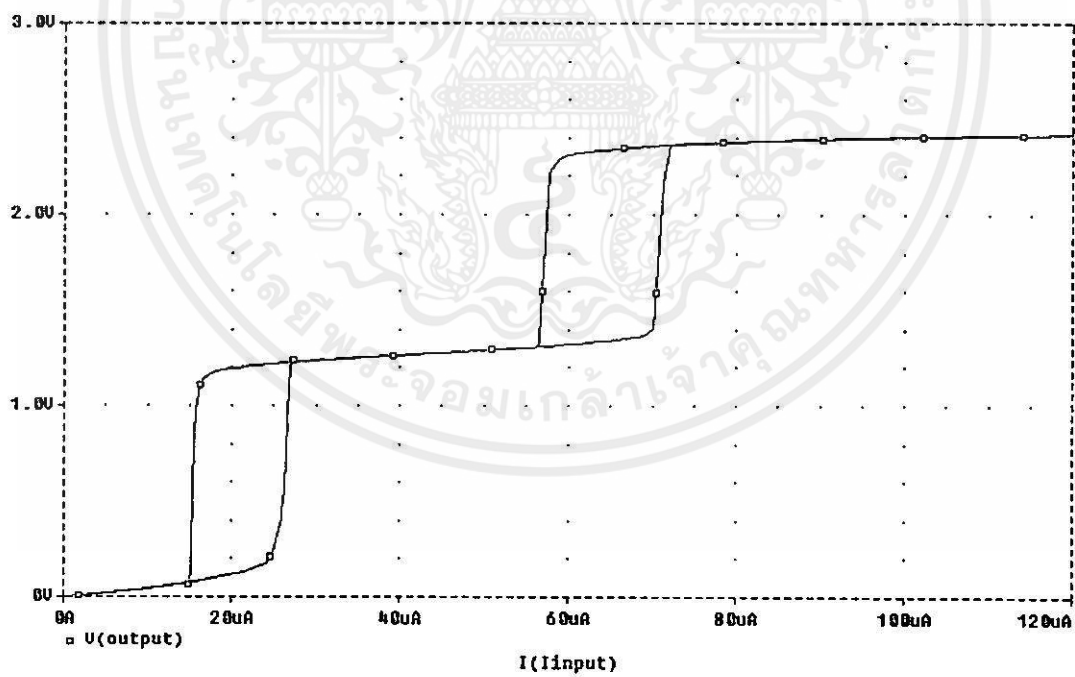


รูปที่ 6.14 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 400 kHz

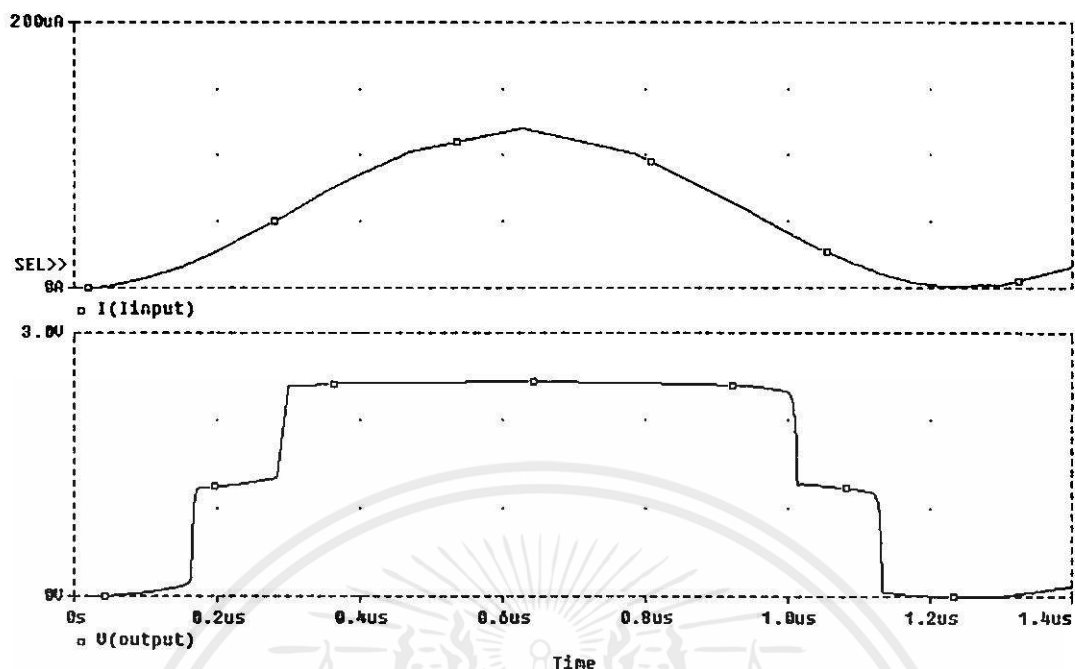
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



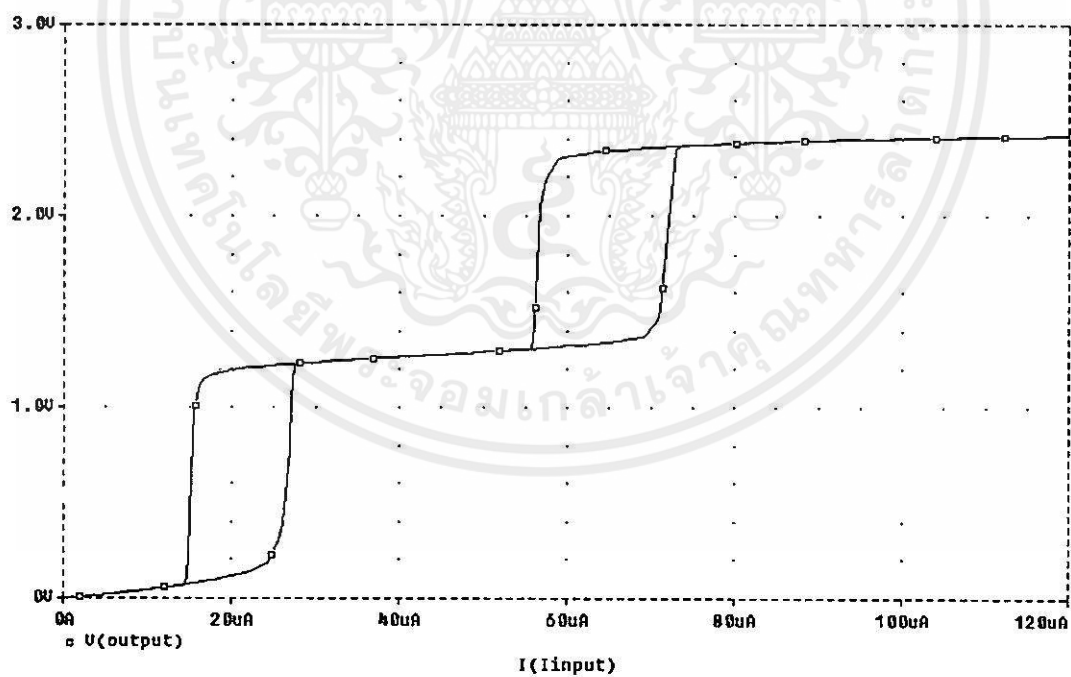
รูปที่ 6.15 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่ความถี่ 600 kHz



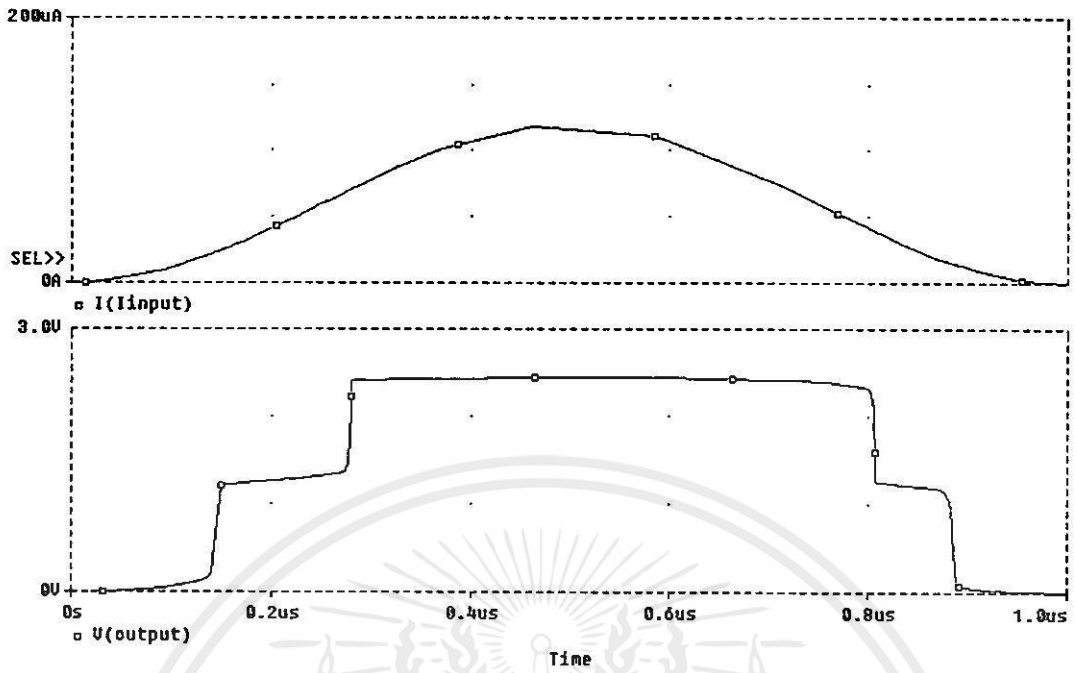
รูปที่ 6.16 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 600 kHz ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



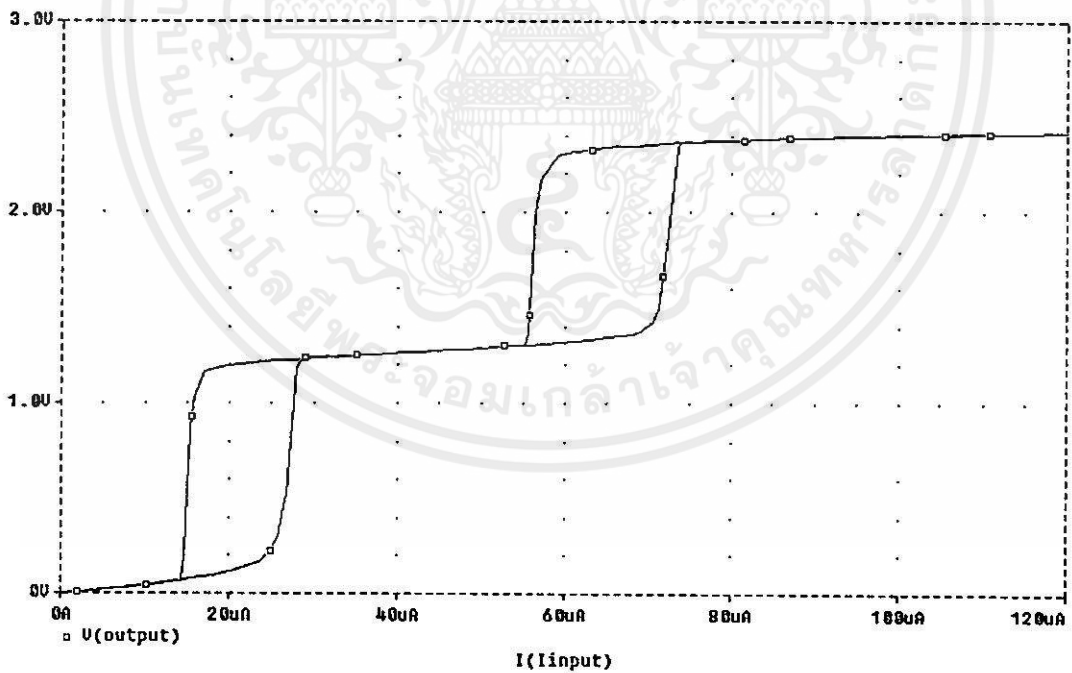
รูปที่ 6.17 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่ความถี่ 800 kHz



รูปที่ 6.18 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 800 kHz ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

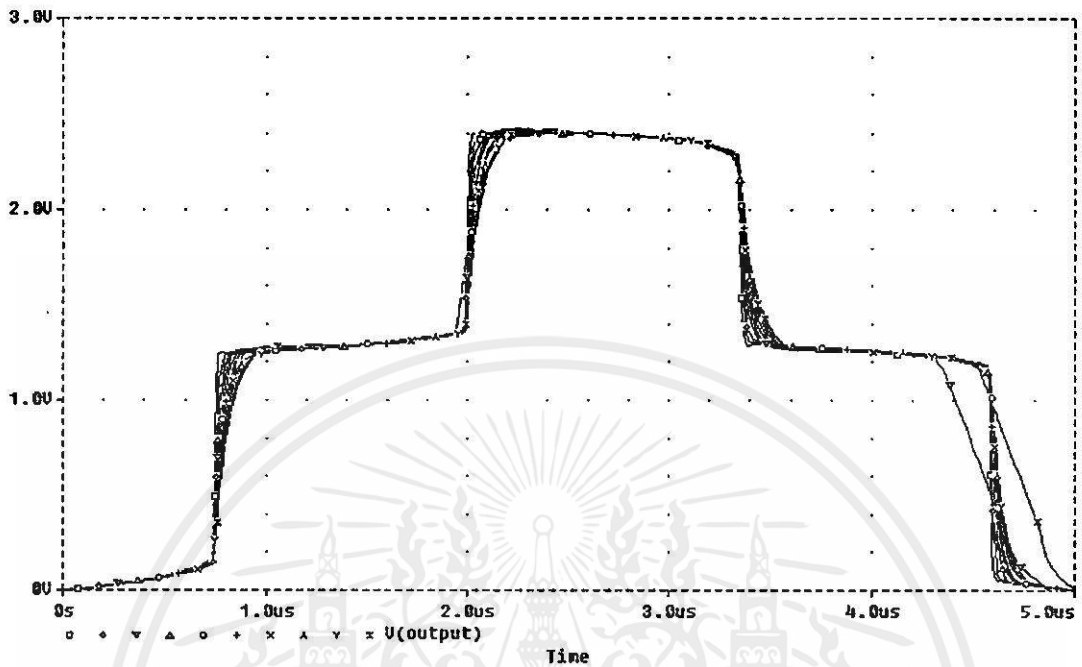


รูปที่ 6.19 แสดงรูปสัญญาณเอาต์พุตและสัญญาณอินพุตที่ความถี่ 1MHz

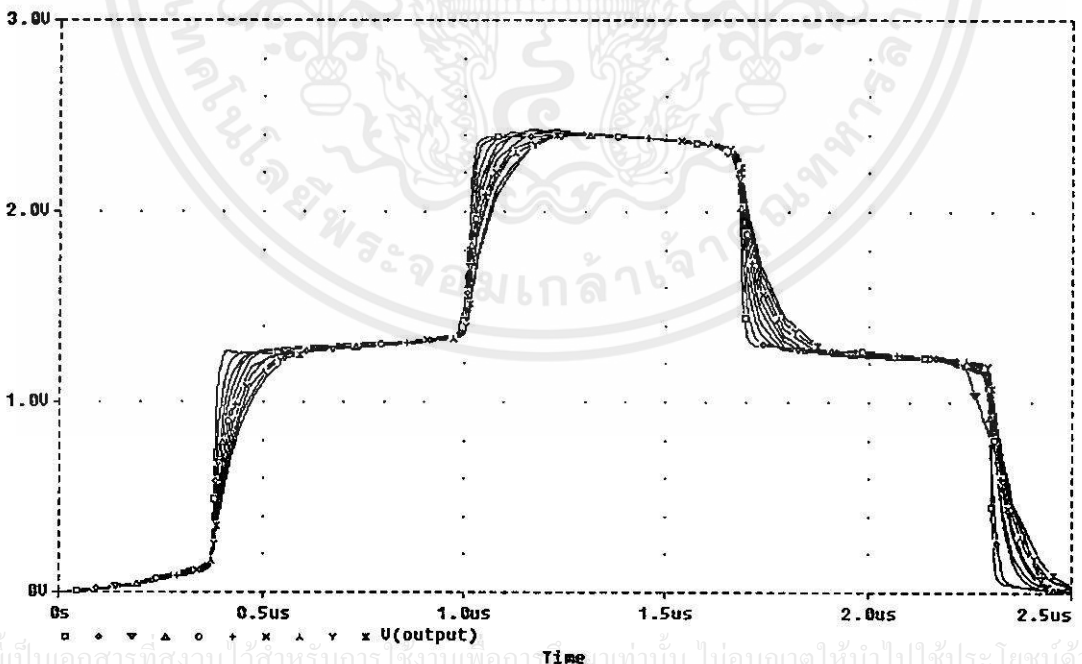


เอกสารที่ 6.20 แสดงกราฟคุณสมบัติการถ่ายโอนที่ความถี่ 1MHz นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6.1.3 การทดสอบสัญญาณเอาต์พุตที่ความถี่ต่างๆเมื่อโหลดคาปาซิแตนซ์ 0.1-1pF

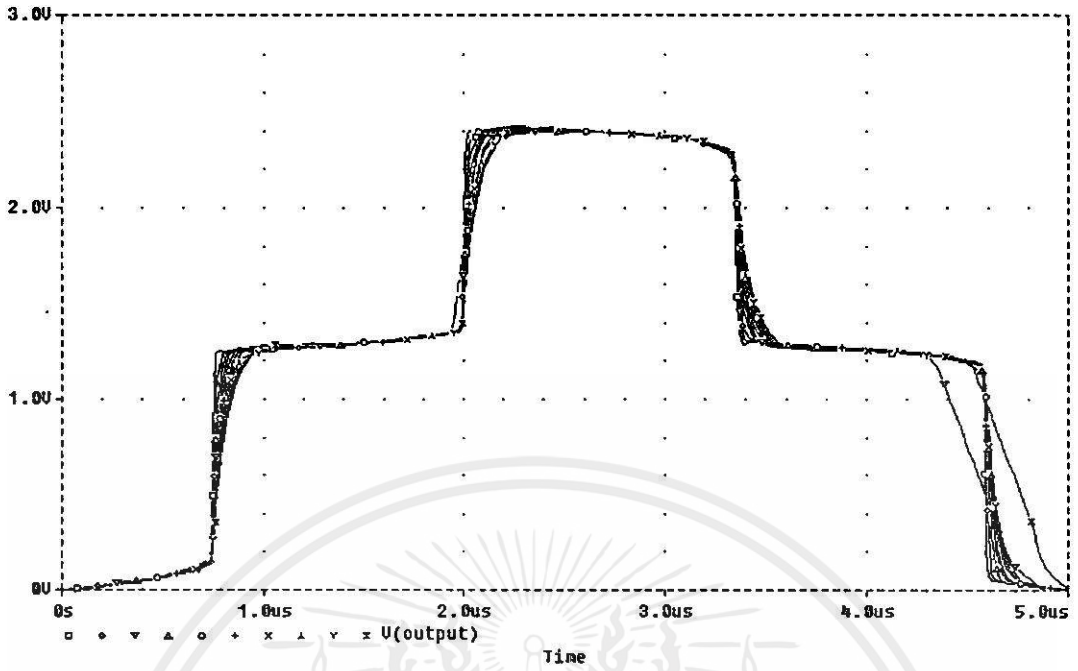


รูปที่ 6.21 แสดงสัญญาณเอาต์พุตที่ความถี่ 200 kHz เมื่อ โหลดคาปาซิแตนซ์ 0.1-1pF

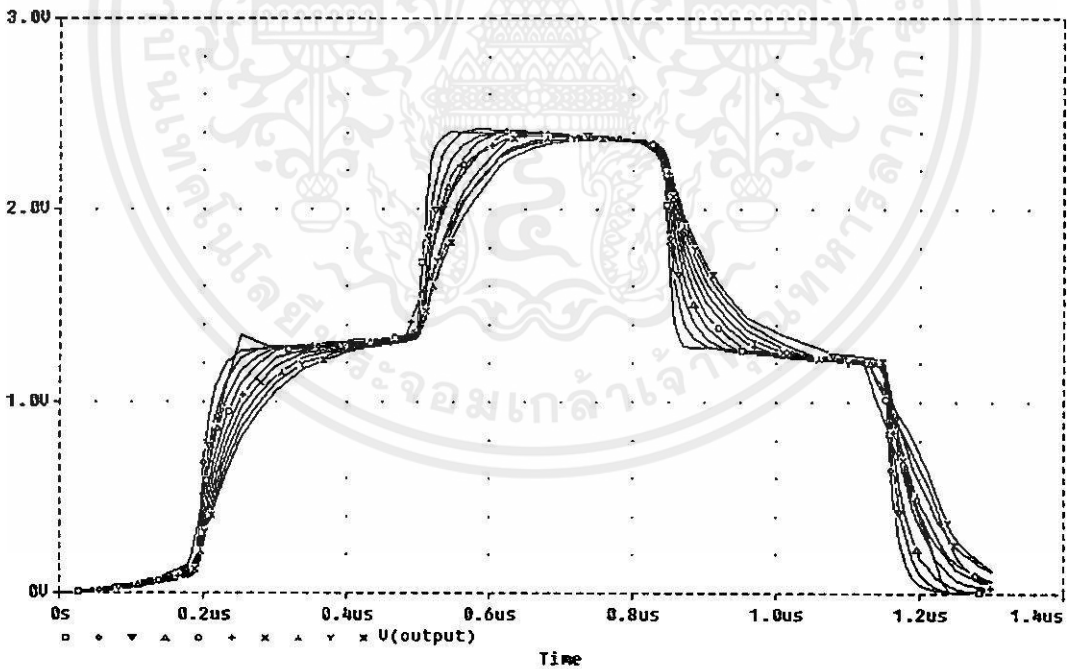


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

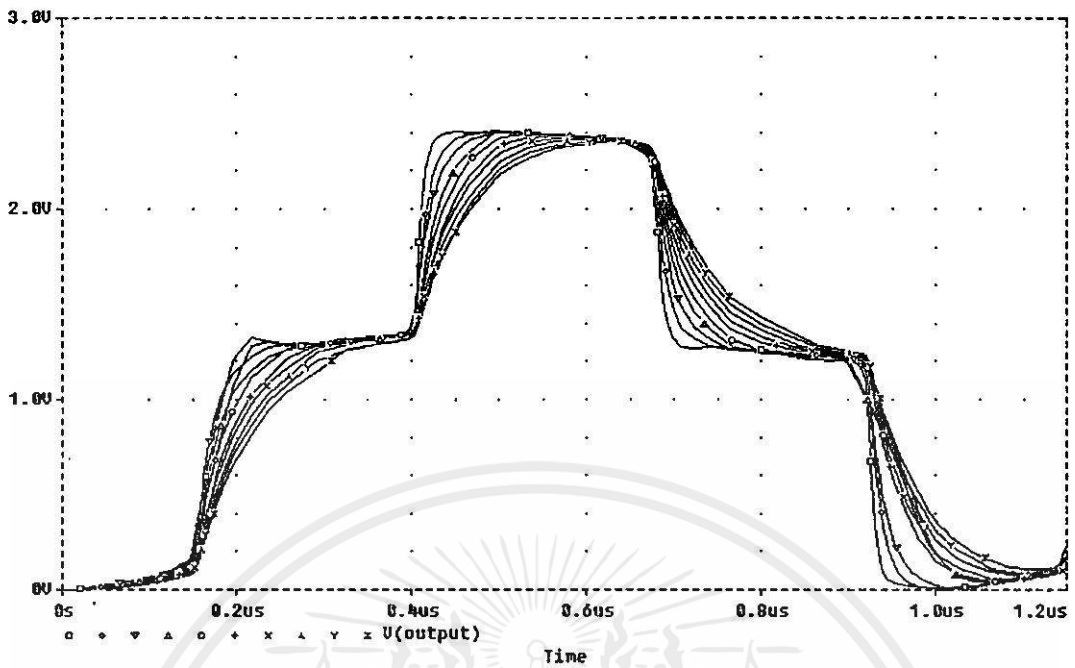
รูปที่ 6.22 แสดงสัญญาณเอาต์พุตที่ความถี่ 400 kHz เมื่อ โหลดคาปาซิแตนซ์ 0.1-1pF



รูปที่ 6.23 แสดงสัญญาณเอ๊าท์พุทที่มีความถี่ 600 kHz เมื่อโหลดคาปาซิแตนซ์ 0.1-pF

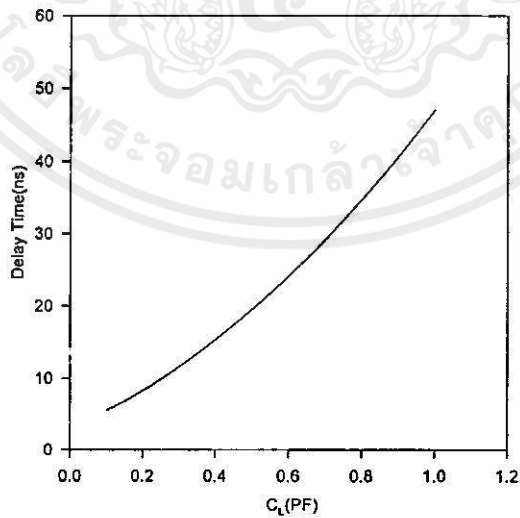


เอกสารรูปที่ 6.24 แสดงสัญญาณเอ๊าท์พุทที่มีความถี่ 800 kHz เมื่อโหลดคาปาซิแตนซ์ 0.1-pF ที่ประ โยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

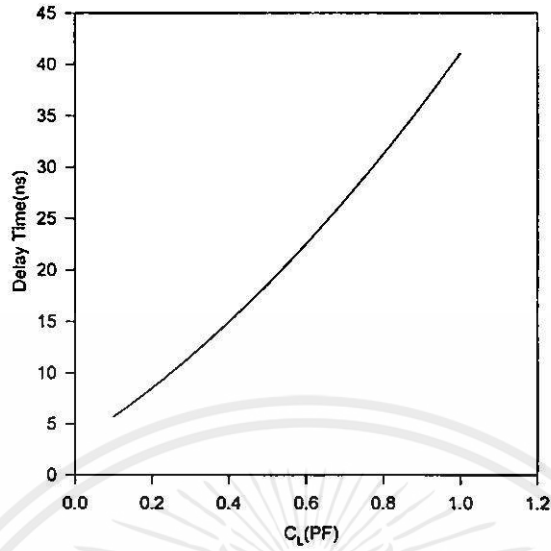


รูปที่ 6.25 แสดงสัญญาณเอาต์พุตที่มีความถี่ 1 MHz เมื่อโหลดคาปาซิแตนซ์ 0.1-1pF

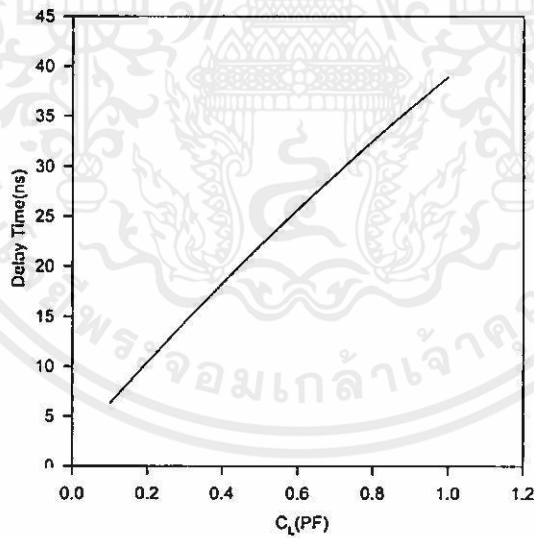
#### 6.1.4 ค่าหน่วงเวลาของวงจรถอร์นาเรียชมิทท์ทริกเกอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
รูปที่ 6.26 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ที่ความถี่ 200 kHz

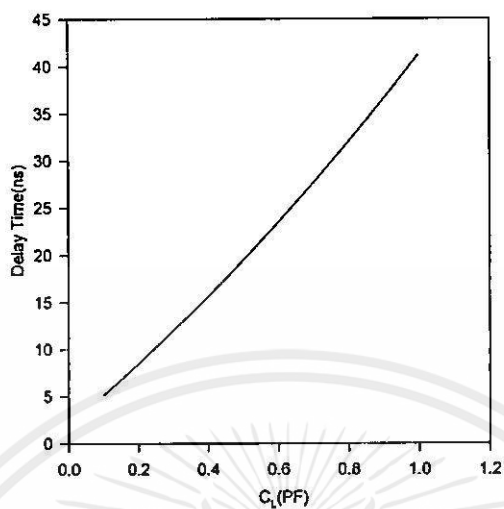


รูปที่ 6.27 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 2 ที่ความถี่ 200 kHz

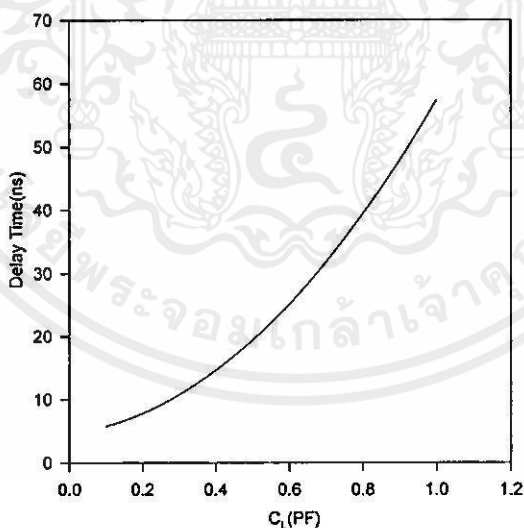


รูปที่ 6.28 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ที่ความถี่ 400 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

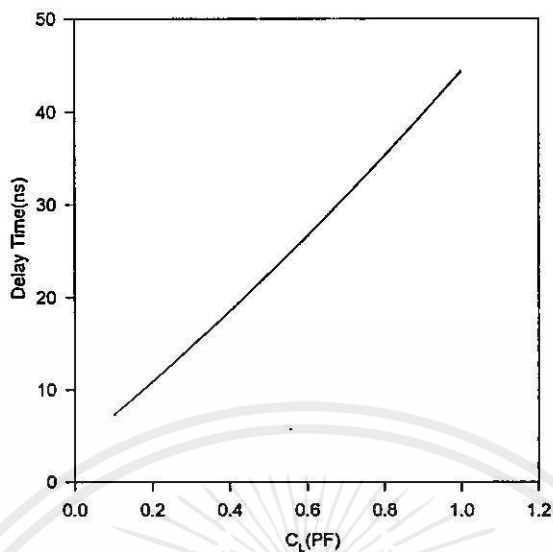


รูปที่ 6.29 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 2 ที่ความถี่ 400 kHz

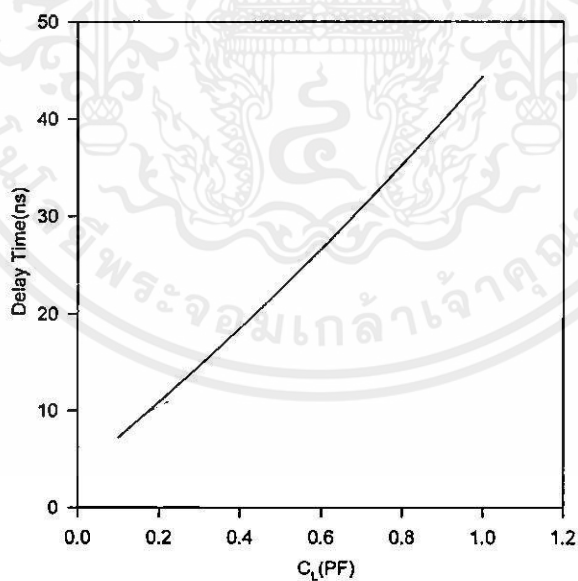


รูปที่ 6.30 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ที่ความถี่ 600 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

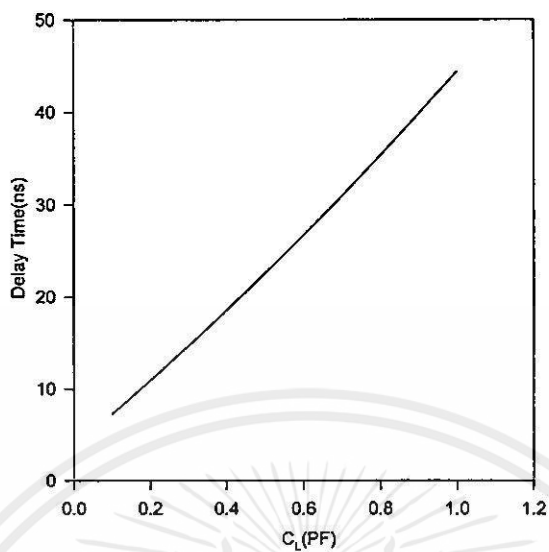


รูปที่ 6.31 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 2 ที่ความถี่ 600 kHz

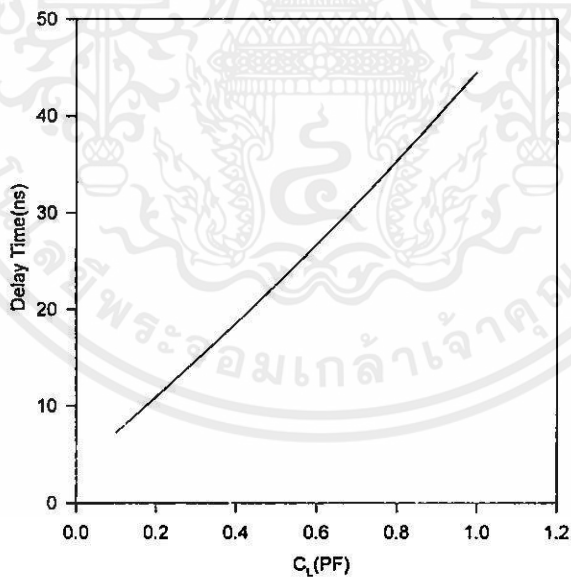


รูปที่ 6.32 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ที่ความถี่ 800 kHz

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้

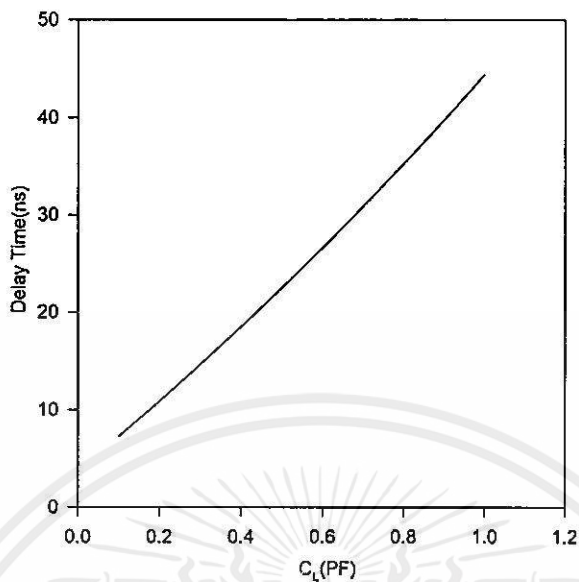


รูปที่ 6.33 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 2 ที่ความถี่ 800 kHz



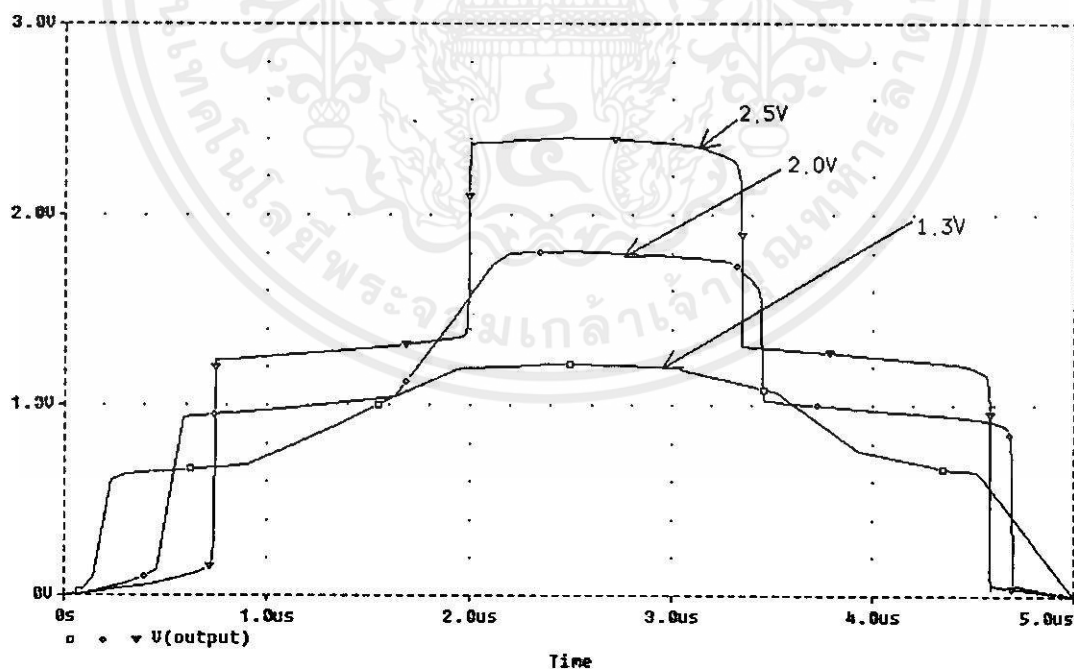
รูปที่ 6.34 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ที่ความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

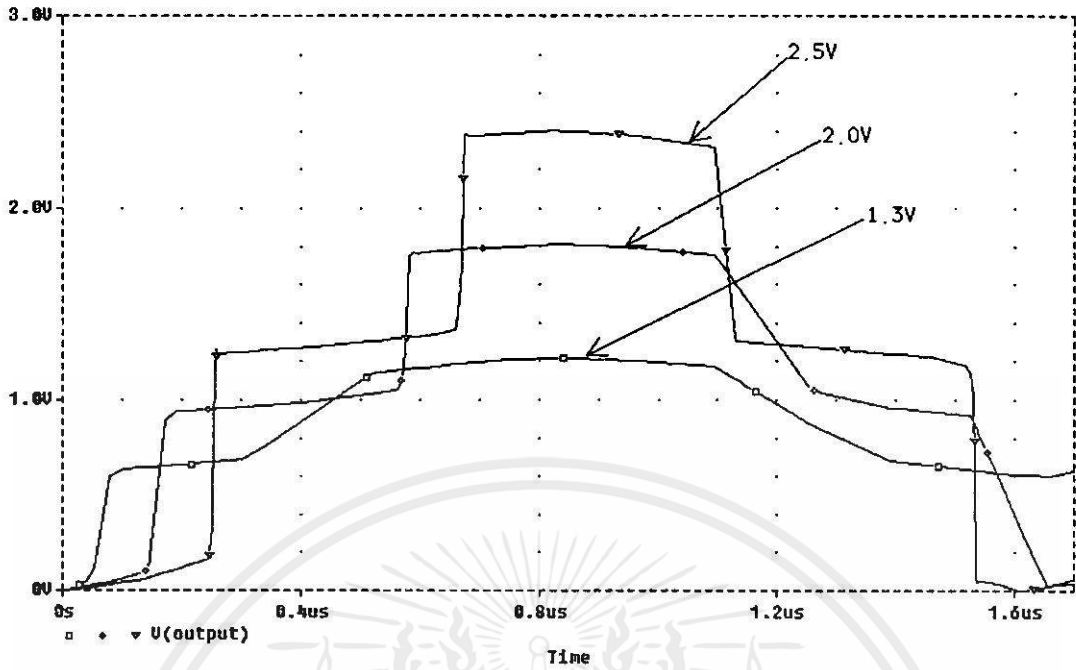


รูปที่ 6.35 แสดงการหน่วงเวลาช่วงที่เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 2 ที่ความถี่ 1 MHz

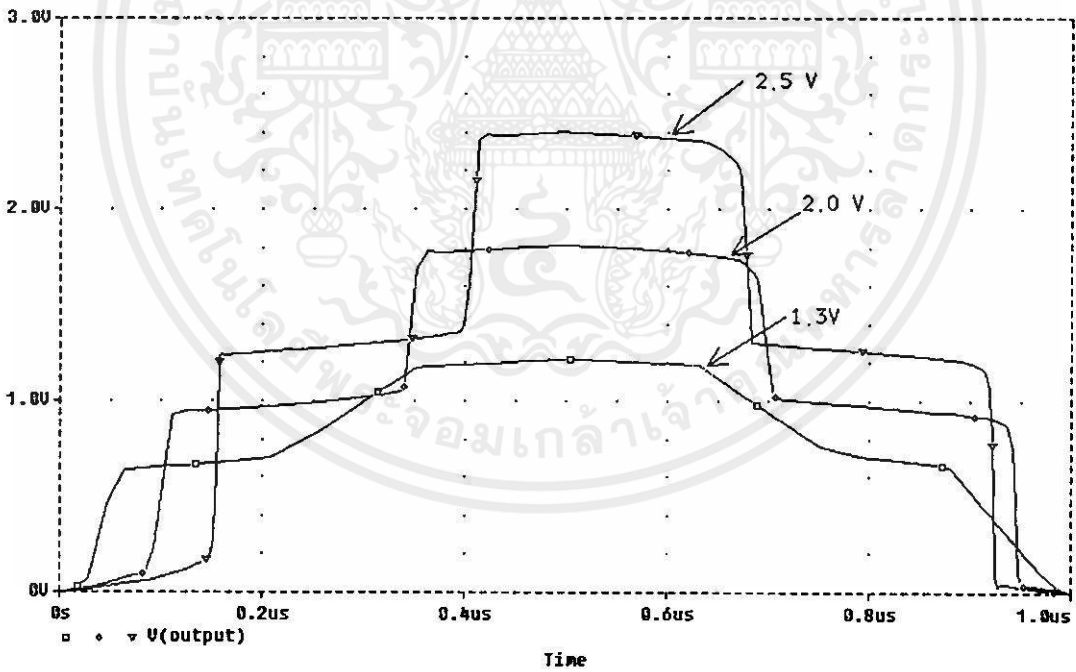
### 6.1.5 การทดสอบการทำงานของวงจรเมื่อใช้แรงดันแหล่งจ่ายต่ำกว่า 2.5 โวลต์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
รูปที่ 6.36 แสดงเอาต์พุตของวงจรเมื่อใช้แรงดันแหล่งจ่ายต่ำกว่า 2.5 โวลต์ที่ความถี่ 200 kHz



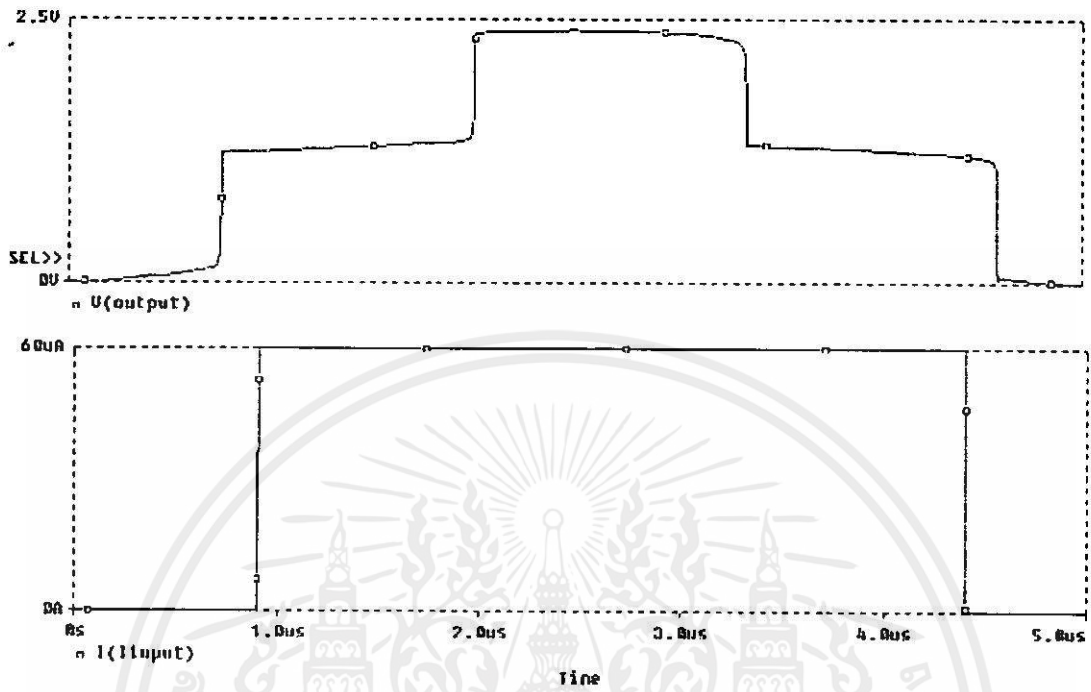
รูปที่ 6.37 แสดงเอาต์พุตของวงจรเมื่อใช้แรงดันแหล่งจ่ายต่ำกว่า 2.5 โวลต์ที่ความถี่ 600 kHz



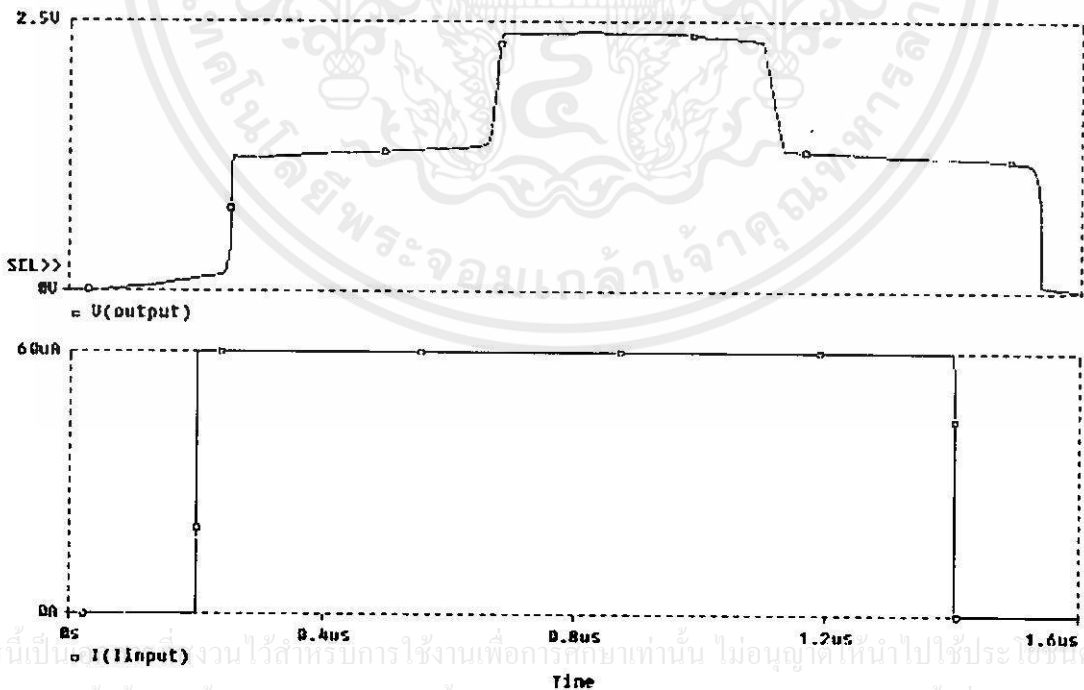
รูปที่ 6.38 แสดงเอาต์พุตของวงจรเมื่อใช้แรงดันแหล่งจ่ายต่ำกว่า 2.5 โวลต์ที่ความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6.1.6 ผลการทดสอบการทำงานของวงจรเพื่อหาค่าอัตราการเหวี่ยง (Slew rate)

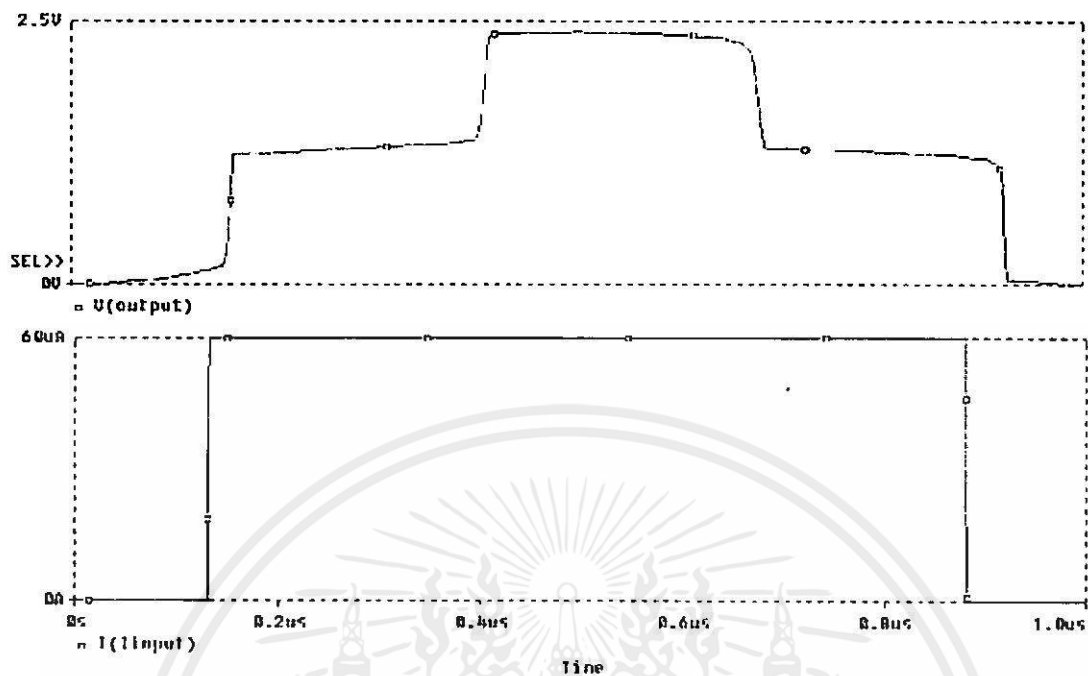


รูปที่ 6.39 แสดงอัตราการเหวี่ยง (Slew rate) ของวงจรที่มีความถี่ 200 kHz



รูปที่ 6.40 แสดงอัตราการเหวี่ยง (Slew rate) ของวงจรที่มีความถี่ 600 kHz

เอกสารนี้เป็นงานวิจัยสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.41 แสดงอัตราการเหวี่ยง (Slew rate) ของวงจรที่ความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 7

### สรุปผลการทดลอง

ในปัจจุบันเทคโนโลยีทางด้านมอสทรานซิสเตอร์ที่ใช้งานทางได้พัฒนาก้าวหน้าไปอย่างรวดเร็วมีการพัฒนาขนาดของแผ่นวงจรรวมที่มีขนาดเล็กลงและมีศักดาจุดเริ่ม ( $V_{TH}$ ) ของมอสทรานซิสเตอร์ที่ต่ำลงแนวทางในการวิจัยและพัฒนาวงจรจึงต้องมีการเปลี่ยนแปลงของวงจรซึ่งจากเดิมเป็นเป็นไบโพลาร์ทรานซิสเตอร์มาใช้มอสทรานซิสเตอร์แทนในวงจรที่ใช้ไบโพลาร์ทรานซิสเตอร์บางวงจรสามารถที่จะแทนด้วยมอสทรานซิสเตอร์ได้โดยตรงและในบางวงจรก็ไม่สามารถที่จะแทนได้ในการเปลี่ยนแปลงวงจรที่ใช้ไบโพลาร์ทรานซิสเตอร์เป็นหลักมาใช้มอสทรานซิสเตอร์แทนจึงเป็นแนวทางที่จะต้องทำการศึกษาค้นคว้าและวิจัยต่อไป

วงจรดิจิทัลที่ได้เสนอขึ้นในวิทยานิพนธ์นี้เป็นวงจรเทอร์นารีซิมิททริกเกอร์ที่ทำงานในโหมดกระแสแบบใช้มอสทรานซิสเตอร์ความแม่นยำและเที่ยงตรงของวงจรสามารถยืนยันได้ด้วยผลการวิเคราะห์ ผลการทดสอบและผลการเลียนแบบการทำงานด้วยโปรแกรมคอมพิวเตอร์ PSpice วงจรที่ออกแบบใหม่นี้ได้นำไปเปรียบเทียบกับคุณสมบัติแบบต่าง ๆ กับวงจรเทอร์นารีซิมิททริกเกอร์ที่ทำงานในโหมดแรงดัน [33] ที่ใช้อุปกรณ์ประเภท Lambda ทรานซิสเตอร์และใช้แหล่งจ่ายแรงดันถึง 12 โวลต์แต่วงจรที่ออกแบบนี้จะใช้แรงดันแหล่งจ่ายเพียง 2.5 โวลต์การทดสอบจะแสดงในรูป 6.1-6.20 จะใช้อินพุตเป็นกระแสขนาด  $60 \mu A$  เป็นรูปสัญญาณสามเหลี่ยมและรูปไซน์ซึ่งความถี่ที่ให้อยู่ในช่วง 100 kHz ถึง 1 MHz ส่วนคุณสมบัติการหน่วงเวลา ( Propagation Delay time ) จะแสดงในรูปที่ 6.21-6.35 โดยจะเห็นว่าผลจากการใช้เทคโนโลยีชิมนั้นเมื่อค่าคาปาซิแตนซ์สูงขึ้นค่าของการหน่วงเวลาก็จะมากขึ้นตามค่าของตัวเก็บประจุ ในรูปที่ 6.36-6.38 จะแสดงผลการทดสอบเมื่อใช้ศักดาของแหล่งจ่ายมีค่าต่ำกว่า 2.5 โวลต์จะเกิดปัญหาขึ้นโดยเฉพาะผลตอบสนองทางความถี่จะเลวลงอันเนื่องมาจากมอสทรานซิสเตอร์จะมีช่วงการทำงานเข้าใกล้กับสภาวะอิ่มตัว ( Saturation Region ) และช่วงปฏิบัติการจะอยู่ในช่วงที่แคบเป็นผลให้การทำงานของวงจรผิดพลาดไปบ้างทั้งนี้เนื่องจากคุณสมบัติของตัวมอสทรานซิสเตอร์จะมีค่าไม่ปฏิบัติตามอุดมคติจึงเป็นแนวทางที่จะต้องทำการศึกษาค้นคว้าต่อไป

จากการทดสอบวงจรข้างต้นจะเห็นว่ามิโครสร้างที่ง่าย สามารถกำหนดค่าเทรคโฮลด์ได้อย่างอิสระ ใช้แหล่งจ่ายแรงดันเพียง 2.5 โวลต์อีกทั้งยังสามารถนำไปประยุกต์ใช้งานที่ต้องการอินพุตเป็นกระแส เช่น Photo-dectector, Optical Remote Control, Medical instruments และสามารถนำมาใช้งานกับวงจรหลายระดับสัญญาณแบบต่าง ๆ (Multiple Valued Logic)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น มิอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บรรณานุกรม

1. T. T. Dao, "Threshold  $I^2L$  and its application in binary symmetric functions and multivalued logic." IEEE J. Solid-State circuits, pp.463-475, Oct. 1977.
2. C. R. Edwards, " $I^2L$  threshold circuits for binary-quaternary encoding and decoding," Int. J. Electron., vol.44, no.4, pp.445-448, 1978.
3. C. Y. Lee and W. H. Chen, "Several-valued combinational switching circuit," AIEE Trans., vol.75, pp.278-283, pt. I, July 1956.
4. T. Higuchi and M. Kameyama, "Ternary logic system based on T-gate," Proc.5<sup>th</sup> Int. Symp. Multiple-Valued Logic, Bloomington, IN, pp.290-304, May 1975.
5. A. Druzeta, Z. G. Vranesic, and A. S. Sedra, "Application of multi-threshold elements in the realization of many-valued logic networks," IEEE Trans. Comput., vol.C-23, pp.1194-1198, Nov 1974.
6. K. W. Current and D. A. Mow, "Four valued threshold logic full adder circuit implementation," in Proc.8<sup>th</sup> Symp. Multiple-Valued Logic, pp.95-100, May 1978.
7. H. T. Mouftah and I. B. Jordan, "Integrated circuits for ternary logic," Proc.4<sup>th</sup> Int. Symp. Multiple-Valued Logic, pp.285-302, May 1974.
8. H. T. Mouftah and I. B. Jordan, "Implementation of three-valued logic with COS/MOS integrated circuits," Electron Lett., vol.10, pp.441-442, October 1974.
9. Z. G. Vranesic, K. C. Smith and A. Druzeta, "Electronic implementation of multi-valued logic networks," Proc.4<sup>th</sup> Int. Symp. Multiple-Valued Logic, Morgantown, WV, pp.59-77, May 1974.
10. M. Yamada, K. Fujishima, K. Nagasawa and Y. Gamon, "A new multilevel storage structure for high density CCD memory," IEEE J. Solid-State Circuits, vol. SC-13, pp. 688-693, Oct 1978.
11. L. M. Termantal., "CCD memory using multilevel storage," 1981 IEEE Int. Solid-State Circuits Conf. New York, pp.175-181, Feb. 1981.
12. H. G. Kerhoff and H. Dijkstra, "The application of CCD'S in multipe-valued logic," in Proc.5<sup>th</sup> Int. Conf. Charge-Coupled Devices, Edinburgh, pp.304-309, Sept. 1979.
13. H. G. Kerkoff and M. L. Tervoert, "Multiple-valued logic charge-coupled devices," IEEE Trans. Comput., vol C-30, pp.644-652, Sept. 1981.

- 14 Electronics, "Four level logic," *Electron.*, pp.31-32, Oct. 26,1976.
- 15 M. I. Elmasry, "Folded-collector integrated injection logic," *IEEE J. Solid-State Circuits*, vol. SC-10, pp.644-647, Oct.1975.
- 16 K. C. Smith, "Circuits for multiple- valued logic-A tutorial and appreciation," *Proc.6<sup>th</sup> Int. Symp. Multiple-Valued Logic*, pp.30-43, May 1976.
- 17 A. Druzeta and A. S. Sedra, "Multithreshold circuits in the design of multistate stroage elements," *Proc.3<sup>rd</sup> Int. Symp. Multiple-Valued Logic*, Toronto, pp.49-58, May 1973.
- 18 D. Etiemble and M. Israel, "A new concept of ternary logic elements." *Proc.4<sup>th</sup> Int. Symp. Multiple-Valued Logic*, pp.437-548, May 1974.
- 19 E. J. McCluskey, "Logic design of MOS ternary logic," *Proc.10<sup>th</sup> Int. Symp. Multiple-Valued Logic*, pp. 1-5, June 1980.
- 20 H. T. Mouftah and I. B. Jordan, "Design of ternary COS/MOS memory and sequential circuits," *IEEE Trans. Comput.*, vol. C -26, pp. 281-288, Mar. 1977.
- 21 J. G.Tront and D. D. Givone, "Multiple-Valued Logic gates using MESFETS," in *Proc.9<sup>th</sup> Int. Symp. Multiple-Valued Logic*, pp. 175-181, May 1979.
- 22 T.T. Dao, "Recent multivalued circuits," *Proc. COMPCON*, San Francisco, pp.199-203, Jan. 1981.
- 23 K. C. Smith, "The prospects for multivalued logic: A technology and applications view," *IEEE Trans. Comput.*, vol. C-30, pp.619-634, Sept. 1981.
- 24 J. L. Huvertas, J. I. Acha and J. M. Carmona, "Implementation of some ternary operators with CMOS integrated circuits," *Electron. Lett.*, vol.12, no.15, pp.385-386, July 1976.
- 25 A. Heung and H. T. Mouftah, "An all CMOS ternary identity cell for VLSI implementation." *Electron Lett.*, vol.20, no.5, pp.222-223, Mar. 1984.
- 26 K. Nagaraj and K. Ramkumar, "Static RAM cell for ternary logic," *Proc. IEEE*, vol.72, pp. 227-228, Feb. 1984.
- 27 G. Kano, H. Iwasa, H. Takagi and I. Teramoto, "The lambda diode: A versatile negative resistance device," *Electronics*, vol.48, no.13, pp.105-109, June 1975.
- 28 H. Takagi and G. Kano, "Complementary JFET negative resistance devices," *IEEE J. Solid-State Circuits*, vol. SC-10, pp.509-515, Dec. 1975.
- 29 A. C. Ipri. "Lambda diodes utilizing an enhancement-depletion CMOS/SOS process," *IEEE Trans. Electron Devices*, vol. ED-24, pp.751-756, June 1977.

- 30 National Semiconductors Corporation, "CMOS Schmitt Trigger-A uniquely versatile design component," National Semiconductor Application Note 140, June 1995.
- 31 K. Dejhan, W. Korphayakkin, C. Suriyaamaranon, and F. Cheevasuvit, "A full-swing BiCMOS Schmitt trigger circuit design," Proc. of the 7<sup>th</sup> Int. Sym. on IC Technology, Systems & Applications, ISIC-97, Singapore, pp.266-269, 10-12 September, 1997.
- 32 A. Pfister, "Novel CMOS Schmitt trigger with controllable hysteresis," IEEE Electron Device Letters, pp.639-641, March 1992.
- 33 K. Ramkumar, K. Nagaraj "A Ternary Schmitt Trigger," IEEE Trans. on Circuits and Systems, vol.CAS-32, No.7. July 1985.
- 34 G. Epstein, "Multiple-valued logic design: an introduction," IOP Publishing Ltd., 1993.
- 35 M. Shoji, CMOS Digital Circuit Technology, Prentice-Hall, 1988.
- 36 K. W. Current, "CMOS Current Comparator Circuit," Electron Lett., vol.19, no.17, 1983.
- 37 K. W. Current, " A Simple high-gain CMOS Voltage Comparator Circuit," Int. J. Electronics, vol.57, no.2, 1984.
- 38 Z. Wang, W. Guggenbuhl , "Novel CMOS Current Schmitt Trigger," Electronics Letters vol.24 , no.24 , pp.1514-1516, 24 November 1988.



## ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก  
ผลงานที่ได้รับการตีพิมพ์

- [1] K. Angkeaw, S. Wisetphanichkij, K. Dejhan, F.Cheevasuvit, S. Junnapiya and C. Soonyeeakan,  
“ A Design of Ternary Schmitt Trigger Circuit,” Proc. Of the 8<sup>th</sup> ISIC'99, Singapore, pp.282-  
285, Sep. 8-10, 1999.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# ISIC-99

8th International Symposium on  
Integrated Circuits, Devices & Systems

8-10 September 1999  
Grand Hyatt, Singapore

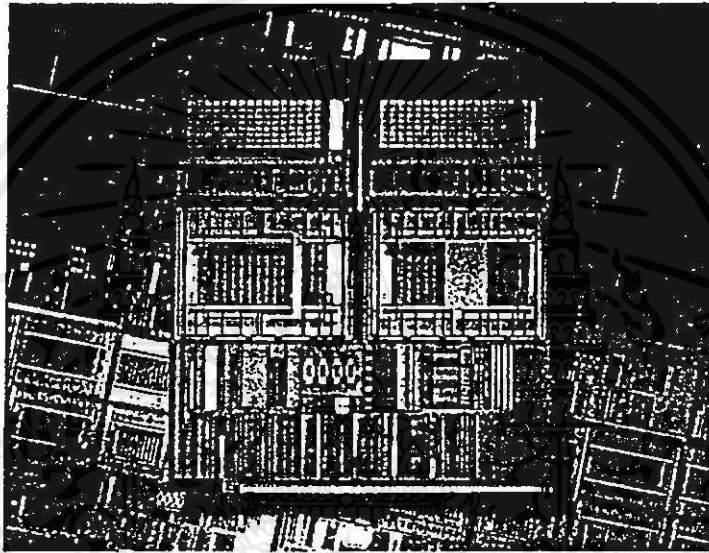


**IEEE**

*Networking  
the World™*

*IEEE Singapore Section*

## PROCEEDINGS



Organised by:  
Nanyang Technological University  
School of Electrical and Electronic Engineering



And  
**IEEE Singapore Section**

Sponsored by:  
Cadence Design Systems

Supported by:  
IEEE Singapore Centre



# A DESIGN OF TERNARY SCHMITT TRIGGER CIRCUIT

Krit Angkaew, Sompong Wisetphanichkij, Kobchai Dejhan,  
Fusak Cheevasuvit, Somyot Junnapiya

Faculty of Engineering and Research Center for Communications and Information Technology  
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand.  
Tel : 66-2-3269967, 66-2-3269081, Fax : 66-2-3269086  
E-mail : kobchai@telelan.telecom.eng.kmitl.ac.th

Chatcharin Soonyeeakan

Faculty of Engineering, Kasem Bundit University, Patanakarn Road, Bangkok 10250, Thailand.

**Abstract :** This paper proposes a design of Schmitt trigger circuit with multi-level signal or ternary Schmitt trigger. The circuit operates on current mode with two-current comparator circuits by using positive feedback technique, the threshold current can be generated. And the last stage is V-I converter uses to produce and combine each hysteresis loop as the ternary Schmitt trigger operation. All results have been verified by simulating on PSpice based on ES2 technology model.

## 1. INTRODUCTION

The Schmitt trigger circuit is a bistable circuit, it is widely used for both analog and digital circuit in order to protect against the signal attenuation and interference noise. The Schmitt trigger circuit designs are able to use both CMOS [1,8] and BiCMOS [2] technologies. The research and development of digital signal processing are widely done in order to obtain the high speed processing. The limitation of binary number is unable to response the processing need. A solution is used to increase the signal level in the circuit, such as ternary circuit and quaternary circuit [4]. A previous paper proposed a voltage-mode ternary Schmitt trigger [3,5], this paper proposes a current-mode ternary Schmitt trigger in order to have the wide range applications of current-mode advantages, such as the input current in photo-detector, optical remote control, medical instruments and etc.

## 2. THEORY

Fig.1 shows the transfer characteristic of ternary Schmitt trigger, it consists of two hysteresis loops. The first loop consists of the threshold current  $I_{tp4}$  and  $I_{tp1}$ . The second loop consists of the threshold current  $I_{tp3}$  and  $I_{tp2}$ .

The proposed CMOS current-mode ternary Schmitt trigger circuit is shown in Fig.2, this proposed circuit uses the current comparator which can assign

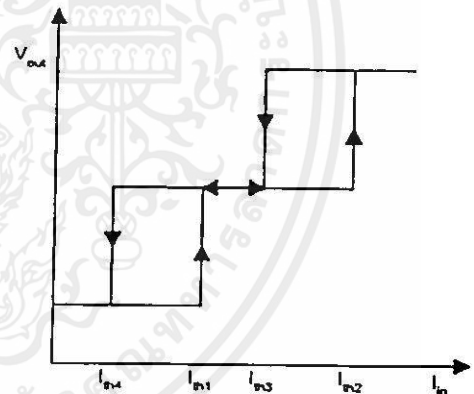


Fig.1 Transfer characteristic of ternary Schmitt trigger

the threshold current depending on the W/L ratio. The threshold currents are  $(1/4)I_{bias}$  and  $(5/4)I_{bias}$ , respectively, the output stage uses to sum the signals.

The operation of the circuit as shown in Fig.2 depends on the current comparator circuit as shown in Fig.3 [6,7]. The operation can be divided into 4 parts as shown in Fig.4.

The circuit operation depends on the controlling signal which is obtained from the current comparator from the nodes  $V_0$  and  $V_1$ . The assigned threshold currents are up to the ratio W/L, all ratios W/L are the same. The status of logical "low" or "high" at node  $V_0$  depends on the current.

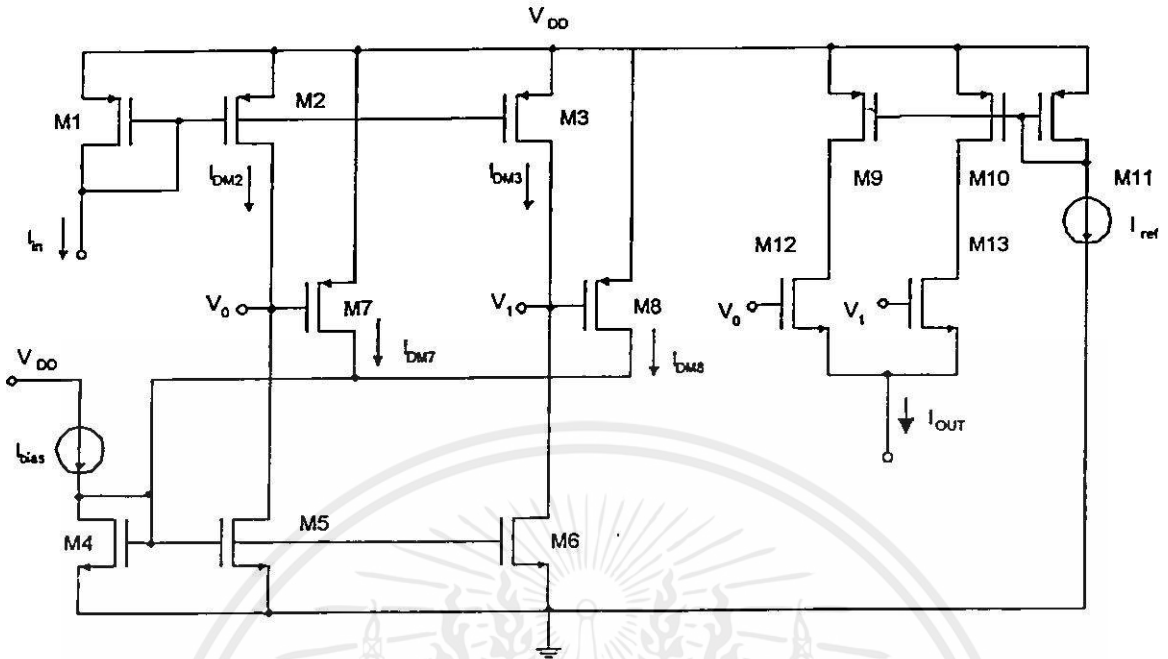


Fig.2 Proposed CMOS current-mode ternary Schmitt trigger.

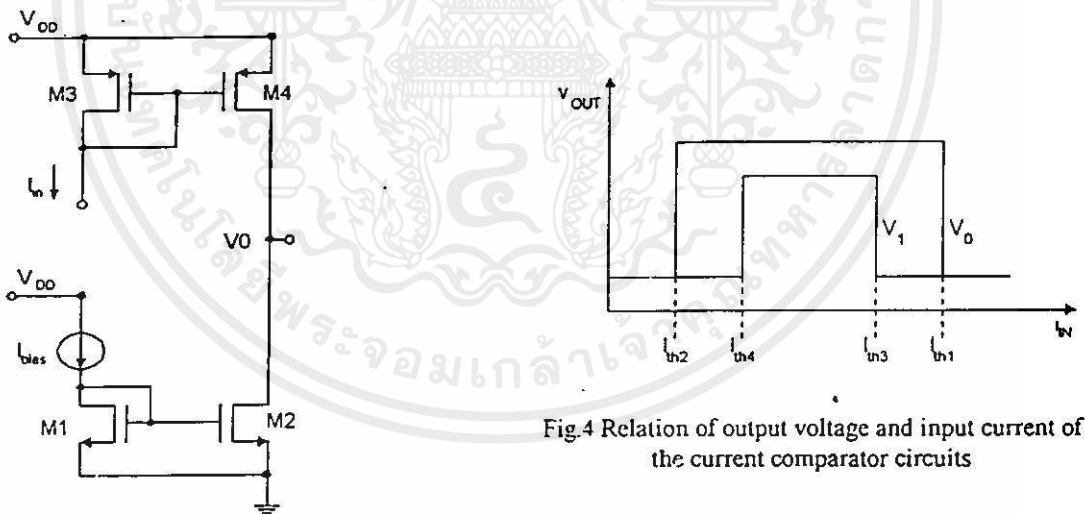


Fig.3 Current comparator circuit

Fig.4 Relation of output voltage and input current of the current comparator circuits

In initial state assumed both of  $V_0$  and  $V_1$ , where are output voltage of current comparator circuits, is 0 V. Because of  $I_{DM2} < I_{DM5}$  and  $I_{DM3} < I_{DM6}$ . So, transistor  $M_7$ ,  $M_8$  are trun on and generete feedback current signal to current comparator circuits. As the increasing of  $I_{in}$ ,  $V_0$  and  $V_1$  still hold in 0V. Until  $I_{DM2} > I_{bias} + I_{DM7} + I_{DM8}$ ,  $V_0$  changes to  $V_{DD}$  and  $M_7$  becomes to trun off. And further increasing  $I_{in}$ , then  $I_{DM3} > I_{DM8}$ ,  $V_1$  changes to  $V_{DD}$  and  $M_8$  will be turn off.

As mention above, the threshold current  $I_{th2}$  and  $I_{th4}$  can be generated. On the other hand, decreasing  $I_{in}$ , the circuit operates in the same way as shown in Fig. 4.

The output of current comparator circuit are coupled to V-I converter circuit in the latest stage. At here, two - hysteresis loop are produced and combined together to operate the ternary schmitt trigger function as shown in Fig. 1.

3. RESULTS

All results have been obtained by simulating based on PSpice, using the worst case transistor model of European Silicon structure (ES2), 2 μm, level 2, 85 °C.

Fig.5 and 6 show the characteristic of proposed ternary Schmitt trigger circuit and the current comparator circuit, by using  $I_m = 0 - 100 \mu A$ ,  $I_{bias} = I_{ref} = 20 \mu A$ . Fig.7 and 8 show the delay time for charging the status from logical "0" to "1" and "1" to "2", respectively.

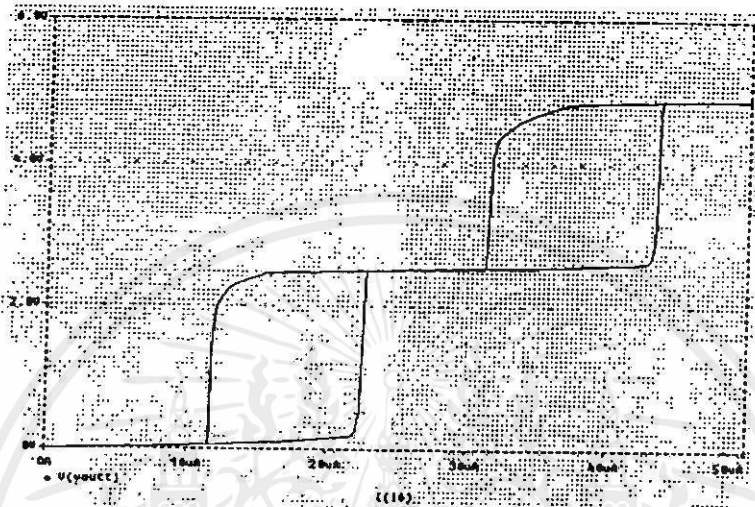


Fig.5 Transfer characteristic of proposed circuit.

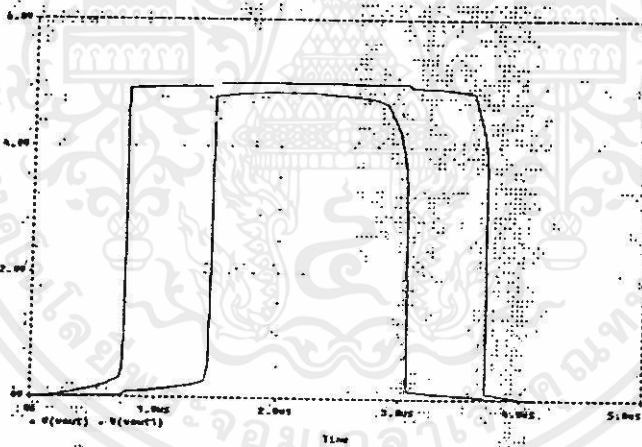


Fig.6 Characteristic of both current comparator circuits.

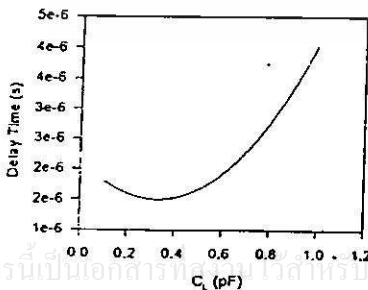


Fig.7 Delay time of status charging from "0" to "1"

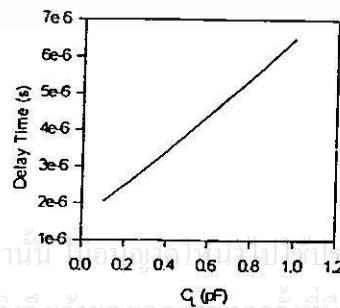


Fig.8 Delay time of status charging from "1" to "2"

#### 4. CONCLUSION

The proposed circuit in this paper shows simple structure and easy to realize. All simulation results also verified the concept, that expandable to quaternary and n-radix current mode schmitt trigger circuit.

#### REFERENCES

- [1] K. Dejhan, W. Korphayakkhin, C. Suriyaamaranon, and F. Cheevasvit, "A full-swing BiCMOS Schmitt trigger circuit design," Proc. of the 7<sup>th</sup> Int. Sym. On IC Technology, Systems & Applications, ISIC-97, Singapore, pp. 266-269, 10-12 September, 1997.
- [2] A. Pfister, "Novel CMOS Schmitt trigger with controllable hysteresis," IEEE Electron Device Letters. pp.639-641, March 1992.
- [3] K. Ramkumar, K.Nagaraj, "A ternary Schmitt trigger," IEEE Trans. Circuits and Systems, Vol.CAS-32, No.7, July 1985.
- [4] G. Epstein, "Multiple-valued logic design: an introduction," IOP Publishing Ltd., 1993.
- [5] M. Shoji, "CMOS digital circuit technology," Prentice-Hall, 1988.
- [6] K.W. Current, "CMOS current comparator Circuit." Electron. Letts., vol.19, No.17, 1983.
- [7] K.W. Current, "A simple high-gain CMOS voltage comparator circuit," Int. J. Electronics. vol.57, no.2, 1984.
- [8] Z. Wang, W. Guggenbuhl, "Novel CMOS current Schmitt trigger," Electron. Letts. Vol.24, No.24, pp.1514-1516, November 1988.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ภาคผนวก ข

ค่าพารามิเตอร์ที่ใช้ในการจำลองผลการทำงานด้วย PSpice

- 1) ค่าคงที่ของทรานซิสเตอร์ทั้ง 4 ตัว ( $\beta_1=\beta_2=\beta_3=\beta_4$ ) =  $13 \times 10^{-5} \text{ A/V}^2$  ( $\beta = \mu\text{Co} (\frac{W}{L})$ )
- 2) Channel Length Modulation Factor  $\lambda = 0.01 \text{ V}^{-1}$  สำหรับทรานซิสเตอร์ 4 ตัว
- 3) Body Effect Factor  $\gamma = 0.2 \text{ V}^{\frac{1}{2}}$  สำหรับทรานซิสเตอร์ทั้ง 4 ตัว

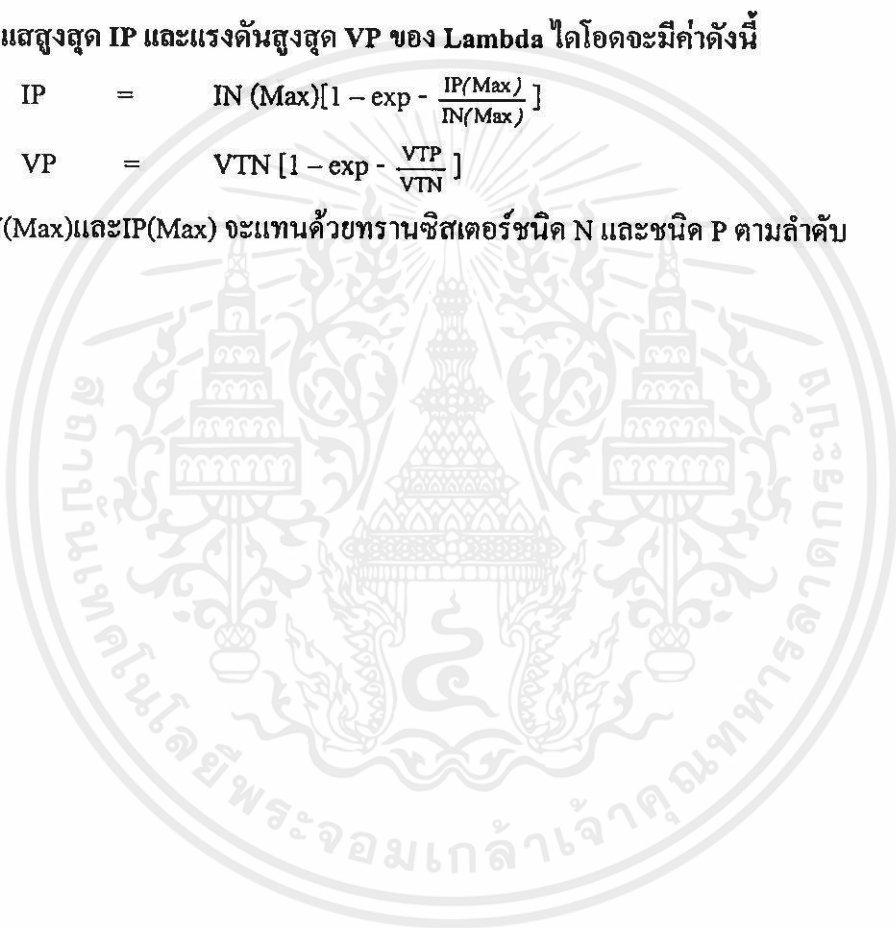
### ภาคผนวก ค

ค่ากระแสสูงสุด IP และแรงดันสูงสุด VP ของ Lambda ไดโอดจะมีค่าดังนี้

$$IP = IN(\text{Max}) \left[ 1 - \exp - \frac{IP(\text{Max})}{IN(\text{Max})} \right]$$

$$VP = VTN \left[ 1 - \exp - \frac{VTP}{VTN} \right]$$

เมื่อ  $IN(\text{Max})$  และ  $IP(\text{Max})$  จะแทนด้วยทรานซิสเตอร์ชนิด N และชนิด P ตามลำดับ



## ประวัติผู้เขียน

นายกฤษณ์ อ่างแก้ว เกิดเมื่อวันที่ 27 สิงหาคม พ.ศ. 2516 ที่อำเภอพระนครศรี จังหวัด กรุงเทพมหานคร สำเร็จการศึกษาอุตสาหกรรมศาสตรบัณฑิต (อิเล็กทรอนิกส์) จากมหาวิทยาลัยสยาม ปีการศึกษา 2539



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้