

อุปกรณ์แปลงสัญญาณเสียงเชิงเลขแบบหลายรูปแบบให้เป็น
สัญญาณเสียงเชิงอุปมาน

MULTIFORMAT DIGITAL AUDIO TO ANALOG AUDIO CONVERTER



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาค้นคว้าหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิตที่
สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตศึกษาดุษฎี

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2544

ISBN 974-648-139-8

อุปกรณ์แปลงสัญญาณเสียงเชิงเลขแบบหลายรูปแบบให้เป็น
สัญญาณเสียงเชิงอุปมาน

MULTIFORMAT DIGITAL AUDIO TO ANALOG AUDIO CONVERTER



เอกชัย พรหมมาส
EKACHAI PROMMAS

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
พ.ศ.2544

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
ISBN 974-648-139-8

เลขหมึก.....
เลขทะเบียน... 39642
วัน, เดือน, ปี 9 ส.ย. 2544

b.....
i.....

MULTIFORMAT DIGITAL AUDIO TO ANALOG AUDIO CONVERTER



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF THE
REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES**

เอกสารนี้เป็น **KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG** ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และ 2001 อ่างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISBN 974-648-139-8



เอกสาร **COPYRIGHT 2001** สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าการสิ่งใด **SCHOOL OF GRADUATE STUDIES** ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRBANG

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ อุปกรณ์แปลงสัญญาณเสียงเชิงเลขหลายรูปแบบให้เป็นสัญญาณเชิงอุปมาน
MULTIFORMAT DIGITAL AUDIO TO ANALOG AUDIO CONVERTER

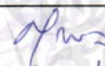


ชื่อนักศึกษา นายเอกชัย พรหมมาส

รหัสประจำตัว 37061142

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.สุวิพล	สิทธิชีวกาศ	
รศ.นิภา	ลีลารุจิ	
รศ.สมยศ	จุนณะปิยะ	
รศ.ดร.พุศศักดิ์	ชีวสุวิทย์	
รศ.ดร.กอบชัย	เดชหาญ	

วัน/เดือน/ปี ที่สอบ 10 เมษายน 2544 เวลา 12.00 – 13.00 น.

สถานที่สอบ ณ อาคาร 12 ชั้น 4 (ห้อง E12-403)

บัณฑิตวิทยาลัยรับรองแล้ว

(รศ.ดร.บุญวัฒน์ อัคร)

คณบดีบัณฑิตวิทยาลัย

วันที่ 1 เดือน พฤษภาคม พ.ศ. 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ในเชิงการศึกษาเท่านั้น เมื่อใช้เพื่ออื่นใดโดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	อุปกรณ์แปลงสัญญาณเสียงเชิงเลขแบบหลายรูปแบบให้ เป็นสัญญาณเชิงอุปมาน
นักศึกษา	นายเอกชัย พรหมมาส
รหัสประจำตัว	37061142
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2544
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์นี้เสนอการออกแบบอุปกรณ์แปลงสัญญาณเสียงเชิงเลขแบบหลายรูปแบบของสัญญาณ ให้เป็นสัญญาณเสียงเชิงอุปมาน ปกติสัญญาณเสียงที่ถูกบันทึกในรูปแบบสัญญาณเชิงเลขของเครื่องเสียงแต่ละชนิดจะมีรูปแบบแตกต่างกันไป ถ้านำมาใช้ร่วมกันต้องแยกตัวแปลงแต่ละชนิดทำให้ยุ่งยาก วิทยานิพนธ์นี้เสนอการออกแบบอุปกรณ์ที่สามารถแปลงสัญญาณเสียงเชิงเลขที่มาจากเครื่องเสียงชนิดใด ๆ ก็ได้ ให้เป็นสัญญาณเชิงอุปมาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title Multiformat Digital Audio to Analog Audio Converter
Student Mr.Ekachai Prommas
Student ID. 37061142
Degree Master of Engineering
Programme Electrical Engineering
Year 2001
Thesis Adviser Assoc.Prof.Dr.Kobchai Dejhan

ABSTRACT

This thesis proposes a design of multiformat digital audio to analog audio converter. The recorded audio signal is digital and each type of audio player has the different digital signal format. Therefore, it should have each converter for each audio player, it is rather difficult and unsuitable. This thesis proposes a design of a audio converter, it is able to convert the digital audio signal with any format to be analog audio signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงได้ด้วยดี อันเนื่องมาจากความช่วยเหลือและสนับสนุนจากบุคคลหลายฝ่าย ซึ่งผู้เขียนขอขอบพระคุณทุก ๆ ท่านดังต่อไปนี้

คุณพ่อ คุณแม่ ผู้ให้กำเนิด คอยอบรมสั่งสอน ให้การสนับสนุนในการศึกษาและเป็นกำลังใจ รศ.ดร.กอบชัย เดชหาญ อาจารย์ที่ปรึกษา ผู้คอยให้คำปรึกษาพร้อมทั้งชี้แนะแนวทางในการทำวิทยานิพนธ์ ตลอดจนให้ความรู้ ความเข้าใจ ในช่วงตลอดระยะเวลาการศึกษา ผู้เขียนรู้สึกทราบบ้างในพระคุณของท่านอย่างสูง

ครู อาจารย์ ทุก ๆ ท่านที่กรุณาให้การอบรมสั่งสอน และให้ความรู้ เพื่อน ๆ และน้อง ๆ ทุกท่านที่มีส่วนช่วยเหลือในการทำวิทยานิพนธ์ในครั้งนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และตั้งกวางอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญภาพ.....	VI
บทที่ 1 บทนำ.....	1
บทที่ 2 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล.....	2
2.1 บทนำ.....	2
2.2 อินพุตวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล.....	2
2.2.1 สัญญาณ Direct current (DC) หรือ Slowly Varying.....	2
2.2.2 สัญญาณ Continuously changing และ single event alternating current.....	3
2.2.3 สัญญาณ Pulse amplitude	4
2.3 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล.....	4
2.4 วงจร A/D ความเร็วต่ำ.....	6
2.4.1 Single slope A/D converter หรือ Pulse width modulator A/D converter ..	6
2.4.2 Dual slope A/D converter หรือ Up-down integrator A/D converter	8
2.5 วงจร A/D ความเร็วปานกลาง	11
2.5.1 Successive Approximation A/D Converter.....	11
2.5.2 Algorithmic A/D Converter.....	14
2.6 วงจร A/D ความเร็วสูง.....	16
2.6.1 Parallel A/D Converter หรือ Flash A/D Converter.....	16
บทที่ 3 การบันทึกสัญญาณเสียงระบบดิจิทัล.....	19
3.1 Compact Disc (CD).....	19
3.1.1 Compact Disc-Digital Audio (CD-DA).....	20
3.1.2 CD-ROM.....	20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

3.1.3 Mixed Mode CD.....	21
3.1.4 CD-ROM/XA.....	21
3.1.5 CD-I.....	21
3.1.6 Compact Disc-Recordable (CD-R).....	22
3.1.7 Multi-Session.....	22
3.2 เซกเตอร์ชนิดต่าง ๆ ในการบันทึกซีดี.....	23
3.3 Digital Compact Cassette	26
3.3.1 (DCC) Format.....	26
3.3.2 ระบบการบันทึกเสียงแบบ Digital (Digital Audio Recording Systems)...	27
บทที่ 4 การนำเนินการและการออกแบบ.....	36
4.1 การออกแบบ.....	36
4.2 การทำงานของวงจร input switch & buffer.....	38
4.3 การทำงานของวงจร Interface format , RAM time base correction.....	39
4.4 การทำงานของวงจร Digital filter และ Digital to Analog Converter.....	41
4.5 การทำงานของวงจร pre-amp, De-emphasis และ Lowpass filter.....	43
4.6 การทำงานของวงจร LED display.....	44
บทที่ 5 ผลการทดลอง.....	46
บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ.....	68
เอกสารอ้างอิง.....	69
ภาคผนวก รายละเอียดของวงจรทั้งหมด.....	70
ผลงานที่ได้รับการตีพิมพ์.....	78
ประวัติผู้เขียน.....	79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่	หน้า
2.1 สัญญาณ Direct current (DC) หรือ Slowly Varying.....	3
2.2 (a) สัญญาณ Continuously changing	3
2.2 (b) sing event alternating current.....	4
2.3 สัญญาณ Pulse amplitude.....	4
2.4 บล็อกไดอะแกรม A/D Converter.....	5
2.5 กราฟความสัมพันธ์ระหว่างสัญญาณอนาลอกอินพุตและสัญญาณดิจิทัลเอาต์พุต.....	6
2.6 วงจรพื้นฐานของ Single slope A/D Converter	7
2.7 วงจรพื้นฐานของ Dual slope A/D converter	9
2.8 กราฟความสัมพันธ์ระหว่างค่าศักดาจุดออกของวงจรอินทิเกรตกับเวลา.....	11
2.9 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ Successive Approximation A/D converter.....	12
2.10 วงจรพื้นฐานของ Successive Approximation A/D Converter.....	13
2.11 (a) หลักการทำงานของ Algorithmic A/D Converter	14
2.11 (b) วงจรพื้นฐานของ Algorithmic A/D Converter.....	15
2.12 หลักการทำงานของ Parallel A/D Converter.....	16
3.1 แสดงการบันทึกแบบ CD-DA หรือ Audio CD.....	22
3.2 แสดงการบันทึกแบบ CD-ROM Mode 1 และ CD-ROM Mode 2.....	22
3.3 แสดงการบันทึกสัญญาณแบบ Mixed Mode CD.....	23
3.4 แสดงการบันทึกสัญญาณแบบ CD-ROM/XA Mode 2 Form 1 และ CD-ROM /XA Mode 2 Form 2.....	23
3.5 แสดงบล็อกไดอะแกรมของ DCC recorder.....	27
3.6 แสดง DCC head layout.....	28
3.7 แสดง Main data track format.....	29
3.8 แสดง Auxiliary data track format.....	30
3.9 แสดง Absolute hearing threshold.....	31
3.10 แสดงสัญญาณเสียง(B) mask soft signals (A) by raising the hearing threshold.....	31

เอกสารนี้เป็นเอกสารที่สงวนไว้ส่วนหนึ่งเพื่อการศึกษาเท่านั้น ไม่ควรแจกจ่ายไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ(ต่อ)

ภาพที่	หน้า
3.11 แสดง difference in bit allocation between systems based on critical bandwidths and the PASC system with equal bandwidth sub-bands.....	33
3.12 แสดง Block diagram of PASC encoder.....	33
3.13 แสดงการกรองของ broad band ไปยัง sub-band signals.....	34
3.14 แสดง Block diagram of the PASC decoder.....	35
4.1 แสดง Block diagram การทำงานของเครื่อง.....	37
4.2 วงจรอินพุทบัฟเฟอร์.....	39
4.3 วงจรอินเทอร์เฟสฟอร์มเมต , RAM time base correction.....	41
4.4 วงจรดิจิตอลฟิลเตอร์ และ Digital to Analog converter.....	42
4.5 วงจรปริแอม, De-emphasis และกรองความถี่ต่ำ.....	44
4.6 วงจรแสดงผล.....	45
4.7 วงจร De-emphasis & muting driver control.....	45
5.1 แสดงสัญญาณดิจิตอลความถี่ 20 Hz ที่ป้อนเข้าเครื่อง.....	46
5.2 แสดงสัญญาณเอาต์พุทที่ได้จากการป้อนสัญญาณภาพที่ 5.1.....	46
5.3 แสดงสัญญาณดิจิตอลความถี่ 100 Hz ที่ป้อนเข้าเครื่อง.....	47
5.4 แสดงสัญญาณเอาต์พุทที่ได้จากการป้อนสัญญาณภาพที่ 5.3.....	47
5.5 แสดงสัญญาณดิจิตอลความถี่ 500 Hz ที่ป้อนเข้าเครื่อง.....	48
5.6 แสดงสัญญาณเอาต์พุทที่ได้จากการป้อนสัญญาณภาพที่ 5.5.....	48
5.7 แสดงสัญญาณดิจิตอลความถี่ 800 Hz ที่ป้อนเข้าเครื่อง.....	49
5.8 แสดงสัญญาณเอาต์พุทที่ได้จากการป้อนสัญญาณภาพที่ 5.7.....	49
5.9 แสดงสัญญาณดิจิตอลความถี่ 1 kHz ที่ป้อนเข้าเครื่อง.....	50
5.10 แสดงสัญญาณเอาต์พุทที่ได้จากการป้อนสัญญาณภาพที่ 5.9.....	50
5.11 แสดงสัญญาณดิจิตอลความถี่ 3 kHz ที่ป้อนเข้าเครื่อง.....	51
5.12 แสดงสัญญาณเอาต์พุทที่ได้จากการป้อนสัญญาณภาพที่ 5.11.....	51
5.13 แสดงสัญญาณดิจิตอลความถี่ 5 kHz ที่ป้อนเข้าเครื่อง.....	52
5.14 แสดงสัญญาณเอาต์พุทที่ได้จากการป้อนสัญญาณภาพที่ 5.13.....	52
5.15 แสดงสัญญาณดิจิตอลความถี่ 10 kHz ที่ป้อนเข้าเครื่อง.....	53
5.16 แสดงสัญญาณเอาต์พุทที่ได้จากการป้อนสัญญาณภาพที่ 5.15.....	53

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ หากมีข้อสงสัย กรุณาติดต่อฝ่ายวิชาการ โทร. 02-253-7000 หรือ 02-253-7001

สารบัญญภาพ(ต่อ)

ภาพที่	หน้า
5.17 แสดงสัญญาณดิจิทัลความถี่ 15 kHz ที่ป้อนเข้าเครื่อง.....	54
5.18 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.17.....	54
5.19 แสดงสัญญาณดิจิทัลความถี่ 20 kHz ที่ป้อนเข้าเครื่อง.....	55
5.20 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.19.....	55
5.21 แสดงสัญญาณดิจิทัลความถี่ 22 kHz ที่ป้อนเข้าเครื่อง.....	56
5.22 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.21.....	56
5.23 แสดงสัญญาณดิจิทัลความถี่ 20 Hz ที่ป้อนเข้าเครื่อง.....	57
5.24 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.23.....	57
5.25 แสดงสัญญาณดิจิทัลความถี่ 100 Hz ที่ป้อนเข้าเครื่อง.....	58
5.26 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.25.....	58
5.27 แสดงสัญญาณดิจิทัลความถี่ 500 Hz ที่ป้อนเข้าเครื่อง.....	59
5.28 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.27.....	59
5.29 แสดงสัญญาณดิจิทัลความถี่ 800 Hz ที่ป้อนเข้าเครื่อง.....	60
5.30 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.29.....	60
5.31 แสดงสัญญาณดิจิทัลความถี่ 1 kHz ที่ป้อนเข้าเครื่อง.....	61
5.32 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.31.....	61
5.33 แสดงสัญญาณดิจิทัลความถี่ 3 kHz ที่ป้อนเข้าเครื่อง.....	62
5.34 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.33.....	62
5.35 แสดงสัญญาณดิจิทัลความถี่ 5 kHz ที่ป้อนเข้าเครื่อง.....	63
5.36 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.35.....	63
5.37 แสดงสัญญาณดิจิทัลความถี่ 10 kHz ที่ป้อนเข้าเครื่อง.....	64
5.38 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.37.....	64
5.39 แสดงสัญญาณดิจิทัลความถี่ 15 kHz ที่ป้อนเข้าเครื่อง.....	65
5.40 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.39.....	65
5.41 แสดงสัญญาณดิจิทัลความถี่ 20 kHz ที่ป้อนเข้าเครื่อง.....	66
5.42 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.41.....	66
5.43 แสดงสัญญาณดิจิทัลความถี่ 22 kHz ที่ป้อนเข้าเครื่อง.....	67
5.44 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.43.....	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาดูงาน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบันเทคโนโลยีทางด้านต่าง ๆ ได้เจริญรุดหน้าไปมาก โดยเฉพาะการนำสัญญาณดิจิทัลเข้ามาเกี่ยวข้องกับระบบต่าง ๆ เพื่อให้มีการทำงานดีขึ้น และมีคุณภาพสูงขึ้น โดยเฉพาะงานด้านเสียง ได้มีการนำสัญญาณดิจิทัลเข้ามาใช้ ทำให้เกิดการเปลี่ยนแปลงมากมายในอุตสาหกรรมด้านเสียง ไม่ว่าจะเป็นการบันทึกเสียง การจัดเก็บสัญญาณเสียงที่บันทึกลงบนสื่อ การเล่นกลับ โดยยึดหลักของดิจิทัลเทคนิค ทำให้เกิดการพัฒนารูปแบบสื่อและตัวเครื่องอย่างมากมาย เช่น CD , DAT , DCC และ MINI DISK เป็นต้น

การใช้งานของอุปกรณ์เครื่องเสียงต่าง ๆ แพร่หลายอย่างมาก โดยเฉพาะการบันทึกเสียงอยู่ในลักษณะเชิงเลข หรือดิจิทัล โดยเครื่องเสียงแต่ละแบบจะมีรูปแบบการบันทึกแตกต่างกันไป ในวิทยานิพนธ์นี้เสนอการออกแบบอุปกรณ์ที่สามารถแปลงสัญญาณเสียงเชิงเลขรูปแบบใด ๆ ก็ได้ให้เป็นสัญญาณเสียงเชิงอุปมาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

2.1 บทนำ

ในปัจจุบันวิทยาการทางด้านดิจิทัลได้เข้ามามีบทบาทมากมาย เช่น ทางด้านโทรคมนาคม คอมพิวเตอร์ การควบคุมและอื่นๆ เป็นต้น ดังนั้นอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (A/D Converter) จึงเป็นสิ่งจำเป็นที่จะสามารถประยุกต์ใช้งานในด้านต่างๆ ดังนั้นคุณสมบัติของอุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิทัล (A/D Converter) ที่จะต้องทำการแปลงสัญญาณโดยให้มีความเที่ยงตรงของสัญญาณเอาต์พุต ช่วงการปฏิบัติงานย่านอินพุตและมีอัตราการแปลงสัญญาณที่สามารถตอบสนองความต้องการของวงจรได้ดี

ตัวแปลงสัญญาณอนาลอกเป็นดิจิทัล (A/D Converter) มีหลายชนิดที่นำมาใช้งานในการแปลงสัญญาณเช่น แบ่งตามความเร็วในการแปลงสัญญาณหรือแบ่งตามสมรรถนะการทำงานของวงจร เป็นต้น ซึ่งในวิทยานิพนธ์นี้จะกล่าวถึงวงจร A/D ตามความเร็วในการเปลี่ยนแปลงสัญญาณ โดยสามารถเป็นประเภทใหญ่ๆ ได้ 3 ประเภท คือ 1. วงจร A/D ความเร็วต่ำ 2. วงจร A/D ความเร็วปานกลาง 3. วงจร A/D ความเร็วสูง ซึ่งวงจร A/D แต่ละประเภทเหมาะกับลักษณะของงานที่จะนำไปประยุกต์ใช้งาน

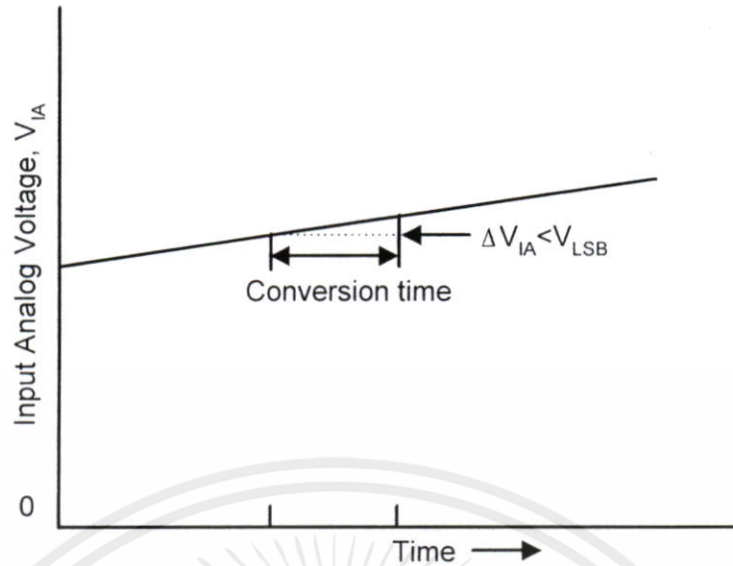
2.2 อินพุตวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล [1]

อินพุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล (A/D Converter) จะมีความสำคัญในการเลือกประเภทของ A/D converter มาใช้งานซึ่งสามารถแบ่งสัญญาณอนาลอกอินพุตได้เป็นประเภทใหญ่ๆ ได้ 3 ประเภท

2.2.1 สัญญาณ Direct current (DC) หรือ Slowly Varying

ดังแสดงในภาพที่ 1 สัญญาณประเภทนี้จะเป็นค่าคงที่หรือสัญญาณจะเกิดการเปลี่ยนแปลงเล็กน้อยในระหว่างกระบวนการการแปลงสัญญาณวงจร A/D ที่ใช้สัญญาณอินพุตประเภทนี้ได้แก่ วงจร single Slope A/D Converter และ Dual Slope A/D Converter

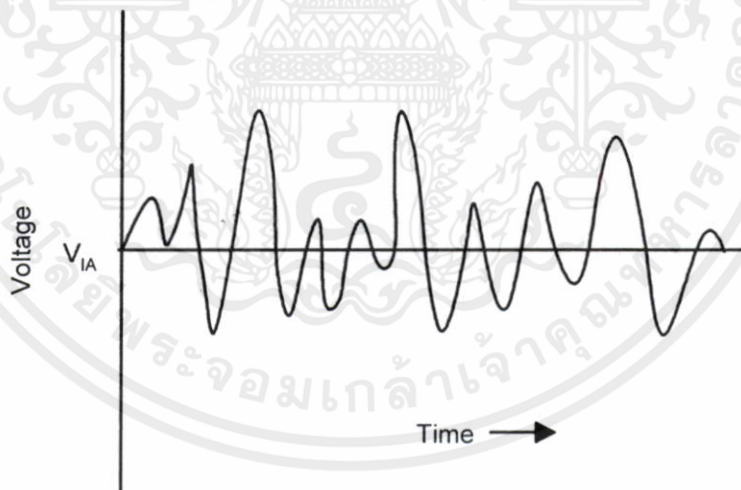
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.1 สัญญาณ Direct current (DC) หรือ Slowly Varying

2.2.2 สัญญาณ Continuously changing และ sing event alternating current (AC)

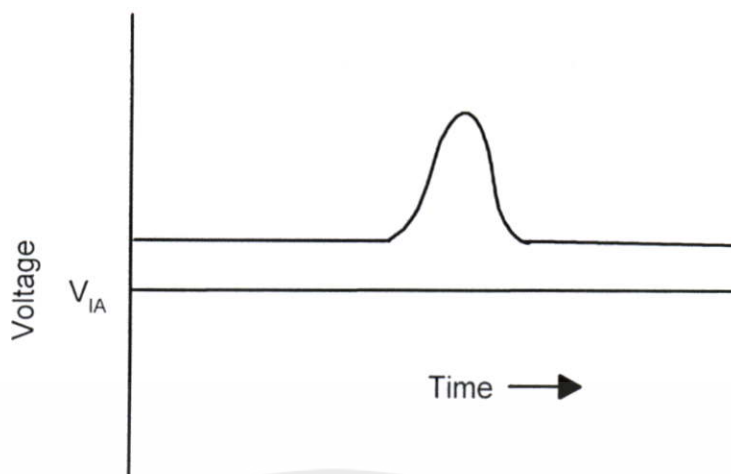
ดังแสดงในภาพที่ 2.2 สัญญาณประเภทนี้จะมีแบบวิคท์และระดับของสัญญาณจะไม่มี การเปลี่ยนแปลงเมื่อระหว่างกระบวนการแปลงสัญญาณ วงจร A/D ที่ใช้สัญญาณอินพุตประเภทนี้ได้แก่ Successive approximation และ parallel A/D converter



(a)

ภาพที่ 2.2 (a) สัญญาณ Continuously changing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

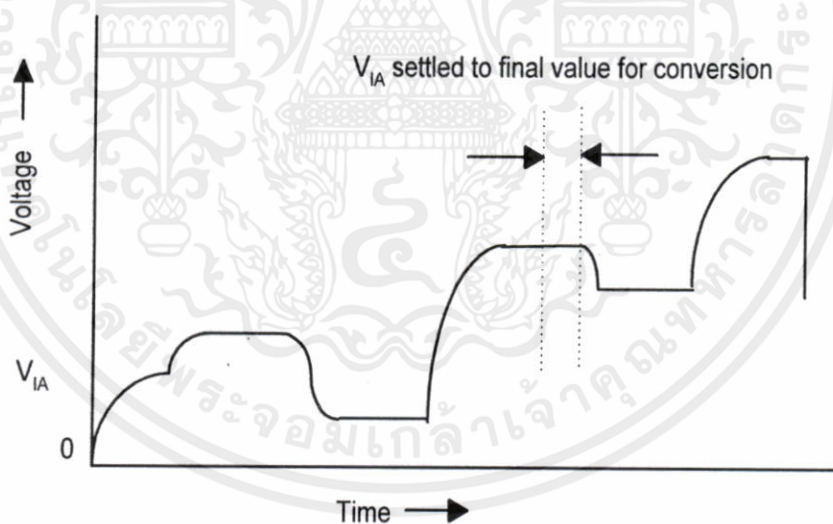


(b)

ภาพที่ 2.2 (b) sing event alternating current

2.2.3 สัญญาณ Pulse amplitude

ดังแสดงในภาพที่ 2.3 สัญญาณประเภทนี้จะมีลักษณะของสัญญาณที่ไม่มีความสัมพันธ์ที่ต่อเนื่องกัน วงจร A/D ที่ใช้สัญญาณประเภทนี้ได้แก่ Successive approximation และ Parallel A/D converter



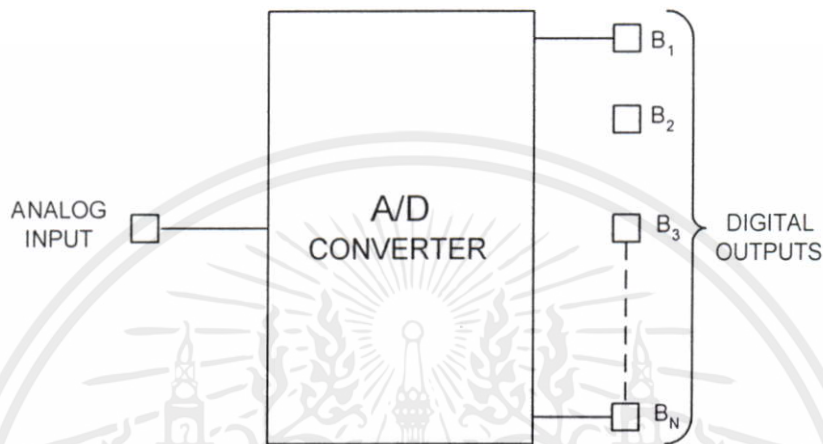
ภาพที่ 2.3 สัญญาณ Pulse amplitude

2.3 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

หลักการของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (A/D Converter) คือการเอกลสารที่เป็นเอกลสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานานาน ไม่นอนขาดไหนไป ใช้ประโยชน์ในการค้า แปลงรูปแบบของสัญญาณต่อเนื่องค่าหนึ่งๆที่เป็น โวลเตจหรือกระแสเป็นสัญญาณดิจิทัลที่มีค่าไม่ว่ากรณีใดทางอื่น ออกของทานบ ให้ลดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกลสารทุกครั้งที่มีการนำไปใช้ สอดคล้องกัน โดยบล็อกไดอะแกรมของ A/D converter แสดงดังภาพที่ 2.4 ซึ่งอินพุต โวลเตจ V_{IN}

เป็นการประมาณไบนารีส่วนโวลเตจเอาต์พุตฟูลสเกล (V_{FS}) ซึ่งเอาต์พุตของตัวแปลงดิจิทัลที่ N บิต จะได้รับรหัสดิจิทัล ดังสมการที่ 2.1

$$D = \frac{V_{IN}}{V_{FS}} = \frac{B_1}{2} + \frac{B_2}{2^2} + \dots + \frac{B_N}{2^N} \quad (2.1)$$

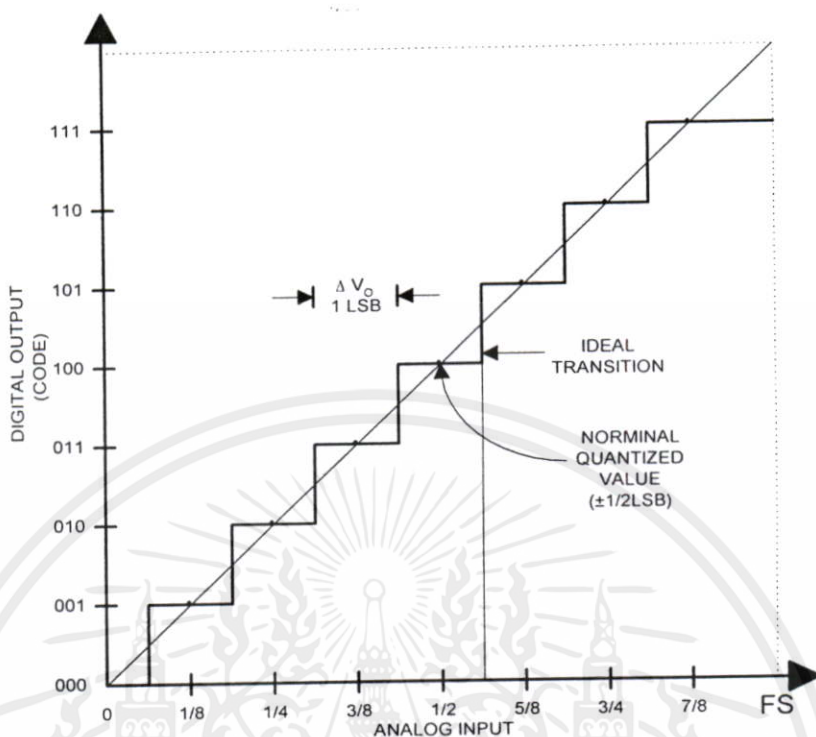


ภาพที่ 2.4 บล็อกไดอะแกรม A/D Converter

ความสัมพันธ์ระหว่างสัญญาณอนาล็อกอินพุตและสัญญาณดิจิทัลเอาต์พุตของตัวแปลงสัญญาณในอุดมคติ จากภาพกำหนดดิจิทัลเอาต์พุตมีค่า 3 บิต โดยที่ N บิตดิจิทัลเอาต์พุตมีค่า $2^N - 1$ บิต ในแนวนอนแสดงสัญญาณอนาล็อกอินพุตและในแนวตั้งแสดงสัญญาณดิจิทัลเอาต์พุต โดยย่านของอนาล็อกอินพุตจะมีความสัมพันธ์กับดิจิทัลเอาต์พุตยกตัวอย่าง เช่น ที่อนาล็อกอินพุตย่าน $1/2FS$ จะมีความสัมพันธ์กับดิจิทัลเอาต์พุต 100 เป็นต้น ซึ่งความสัมพันธ์นี้เรียกว่าความกว้างของรหัส (Code) ในอุดมคติความกว้างมีค่า 1 LSB (Least - Significant Bit) แต่ในทางปฏิบัติความกว้างที่ยอมรับได้จะมีค่า $= \pm 1/2LSB$

$$\Delta V_o = 1LSB = \frac{V_{FS}}{2^N} \quad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.5 กราฟความสัมพันธ์ระหว่างสัญญาณอนาล็อกอินพุตและสัญญาณดิจิทัลเอาต์พุต

2.4 วงจร A/D ความเร็วต่ำ

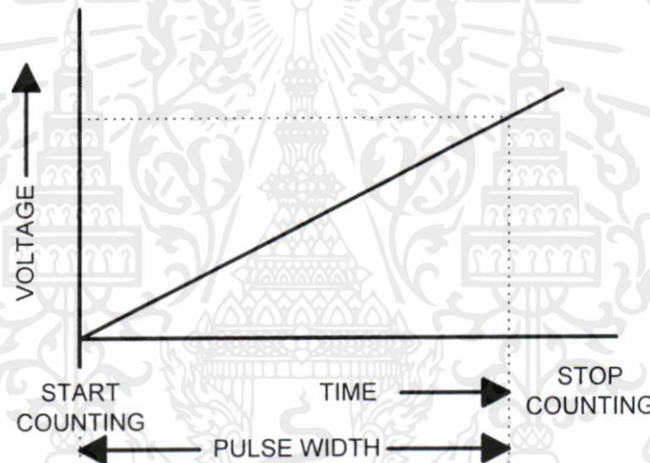
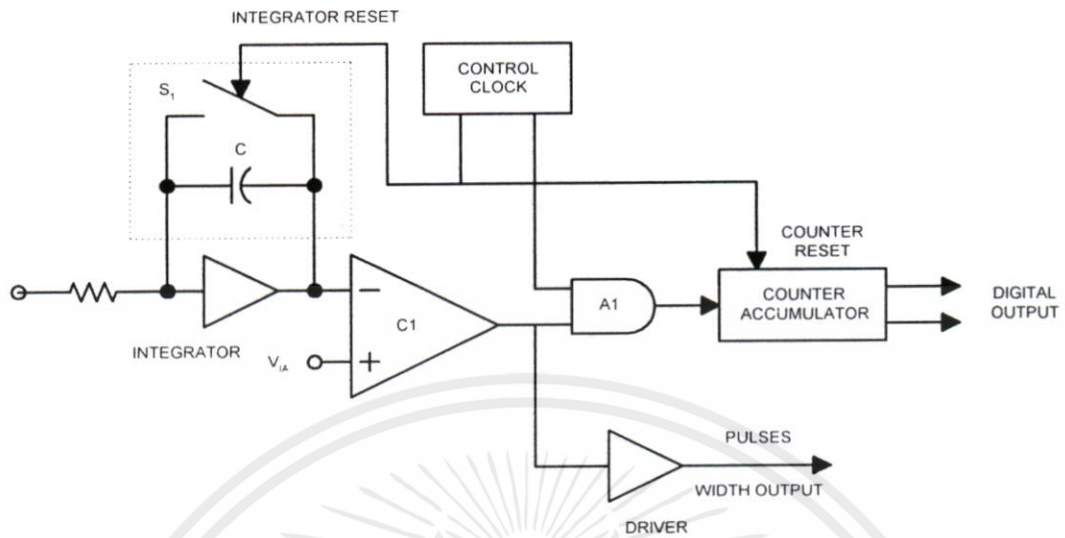
วงจร A/D ความเร็วต่ำเป็นวงจร A/D ที่มีขนาดเล็ก ลักษณะการทำงานของวงจรไม่ซับซ้อน เวลาที่ใช้ในการแปลงสัญญาณขึ้นอยู่กับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจร ขนาดของวงจรไม่ขึ้นกับจำนวนบิตที่ต้องการ สามารถแปลงสัญญาณที่ต้องการความละเอียดสูงได้ดี คือจำนวนบิตมาก วงจร A/D ที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Single slope A/D converter และวงจร Dual slope A/D Converter ซึ่งมีรายละเอียดดังต่อไปนี้

2.4.1 Single slope A/D converter หรือ Pulse width modulator A/D converter [1], [3]

วงจร A/D แบบนี้มีหลักการทำงานแปลงสัญญาณต่อเนื่องให้อยู่ในรูปของพัลส์ที่มีขนาดความกว้างแปรตามเวลาซึ่งเป็นฟังก์ชันของระดับสัญญาณต่อเนื่องที่ต้องการแปลงค่า และสัญญาณดิจิทัลจะได้จากการนับสัญญาณความถี่อ้างอิงที่เกิดขึ้นในช่วงตั้งแต่เริ่มต้นจนกระทั่งสิ้นสุด

สัญญาณพัลส์ [1] วงจรพื้นฐานแสดงได้ดังภาพที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.6 วงจรพื้นฐานของ Single slope A/D Converter หรือ Pulse width modulator A/D Converter

วงจรประกอบด้วย วงจรสร้างสัญญาณ ramp G_1 , วงจรเปรียบเทียบสัญญาณ C_1 , วงจรแอนด์เกต (AND gate) A_1 , วงจรนับแบบไบนารี CT , และวงจรควบคุมการทำงาน การทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องจุดเข้า V_{IA} ถูกป้อนเข้าสู่ขาบวก (+) ของวงจรเปรียบเทียบ C_1 วงจรควบคุมการทำงานจะทำการส่งสัญญาณรีเซ็ตไปทำการรีเซ็ตวงจรสร้างสัญญาณ G_1 เพื่อให้วงจร G_1 สร้างสัญญาณ ramp จาก 0 โวลต์ โดยการอินทิเกรตสัญญาณกระแสอ้างอิง I ได้ศักดาจุดออกของวงจร V_{GI} ซึ่งมีค่าแปรตามเวลา ตามสมการที่ 2.3

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{GI}(t) = K \int_0^{t_s} I_{REF} dt \quad (2.3)$$

โดยที่ K เป็นค่าคงที่ และ t_s เป็นเวลาที่ค่าสัญญาณจุดออก $V_{GI}(t)$ เท่ากับ V_{IA}

จุดออกของวงจรสร้างสัญญาณ G_I จะต่อกับขาลบ (-) ของวงจรเปรียบเทียบ C_I ณ เวลา t ใด ๆ ถ้าสัญญาณต่อเนื่องจุดเข้า $V_{IA} > V_{GI(t)}$ สัญญาณจุดออกของวงจรเปรียบเทียบ C_I จะเป็น “1” ซึ่งทำให้วงจรแอนด์เกต (AND gate) A_I ทำงานส่งสัญญาณนาฬิกาความถี่ F ซึ่งเท่ากับ $\frac{1}{T_{CLK}}$ เข้าสู่วงจร

นับ CTI และเมื่อ $V_{GI(t)} = V_{IA}$ ให้เวลา ณ ขณะนั้นเป็น t_s สัญญาณจุดออกจากวงจรเปรียบเทียบ C_I จะเปลี่ยนเป็น “0” ค่าดังกล่าวจะทำให้แอนด์เกต A_I ไม่สามารถส่งสัญญาณนาฬิกาไปยังวงจรมับ CT_I ได้ทำให้การนับสิ้นสุด จำนวนสัญญาณนาฬิกาที่ CT_I นับได้ในช่วงคาบเวลา T_s วงจรควบคุมการทำงานจะทำการแปลงสัญญาณดิจิตอลที่มีค่าเทียบกับสัญญาณต่อเนื่อง V_{IA}

ข้อเสียของวงจรมับคือคาบเวลาที่ใช้ในการแปลงสัญญาณ T_s แปรตามระดับของสัญญาณต่อเนื่องจุดเข้า V_{IA} ทั้งนี้เนื่องจากวงจร A/D นี้ใช้การนับจำนวนสัญญาณนาฬิกาในช่วงคาบเวลาที่ระดับสัญญาณเปรียบเทียบ $V_{GI(t)}$ มีการเปลี่ยนแปลงค่าจาก 0 โวลต์ไปจนกระทั่งมีค่าเท่ากับสัญญาณจุดเข้า V_{IA} ดังนั้นจึงจับการเปลี่ยนระดับสัญญาณได้ที่ละหนึ่งพัลส์ของสัญญาณนาฬิกาหรือที่ละหนึ่งระดับสัญญาณดิจิตอล LSB เท่านั้น นอกจากนั้นเสถียรภาพและความแม่นยำของวงจรมับขึ้นอยู่กับความผิดพลาดของวงจรสร้างสัญญาณ ramp และวงจรสร้างสัญญาณนาฬิกา

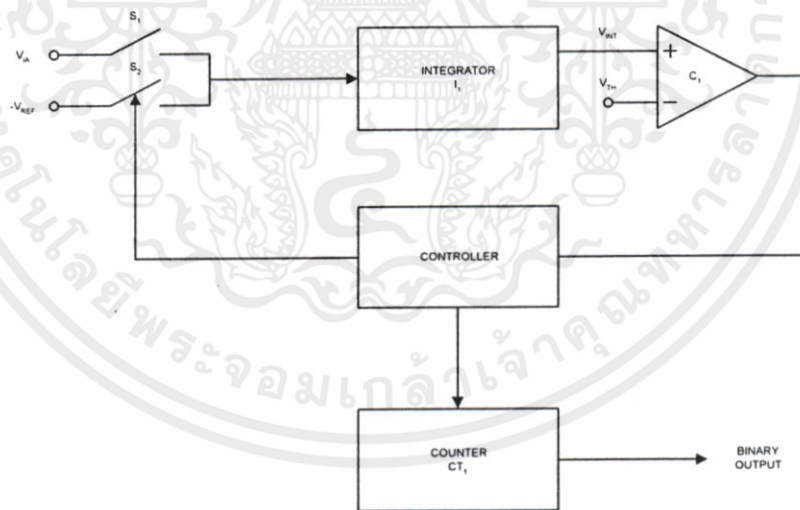
2.4.2 Dual slope A/D converter หรือ Up-down integrator A/D converter [1,3]

วงจรมับนี้เป็นวงจรรูปแบบหนึ่งของวงจร Pulse width modulator A/D Converter โดยจะมีความซับซ้อนและความเที่ยงตรงในการทำงานของวงจรมับเพิ่มขึ้น หลักการทำงานพื้นฐานของวงจรมับคือการสร้างพัลส์ขึ้นมาหนึ่งลูกในหนึ่งรอบการแปลงสัญญาณ ความกว้างของพัลส์ถูกคำนวณจากเวลาที่ใช้ในการอินทิเกรตสัญญาณที่แตกต่างกัน 2 ค่า คือสัญญาณต่อเนื่องจุดเข้าและสัญญาณอ้างอิง ซึ่งอธิบายได้ดังนี้ การอินทิเกรตครั้งแรกเป็นการอินทิเกรตสัญญาณต่อเนื่องจุดเข้าภายในระยะเวลาที่กำหนดแน่นอนค่าหนึ่งให้เป็น t_1 ซึ่งจะได้สัญญาณจุดออกของวงจรมับอินทิเกรต ณ เวลานั้นแตกต่างตามขนาดสัญญาณต่อเนื่องจุดเข้า หลังจากนั้นวงจรมับจะสร้างพัลส์เพื่อคำนวณค่าสัญญาณดิจิตอลโดยการทำการอินทิเกรตสัญญาณอ้างอิงในทิศทางลบ จนกระทั่งสัญญาณจุดออกของวงจรมับอินทิเกรตมีค่าเท่ากับระดับสัญญาณที่ถูกกำหนดแน่นอนค่าหนึ่งให้มีค่าเท่ากับ V_{TH} และระยะเวลาที่ใช้ในการอินทิเกรตครั้งที่ 2 มีค่าเท่ากับ t_2 กรณีที่สัญญาณต่อเนื่องจุดเข้าต่างกัน ค่าเวลา t_1 ของการทำงานก็จะแตกต่างกันด้วย จำนวนสัญญาณนาฬิกาที่เกิดขึ้นภายในช่วงเวลาพัลส์ t_1 วงจรควบคุมการทำงานจะแปลงค่าเป็นสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องจุดเข้า

วงจรพื้นฐานแสดงได้ดังภาพที่ 2.7 วงจรประกอบด้วยวงจรรีเซ็ตอินทิเกรต I_1 , วงจรเปรียบเทียบ สัญญาณ C_1 , วงจรควบคุมการทำงานวงจรนับแบบไบนารี CT_1 , สวิตช์ S_1 , และสวิตช์ S_2 , โดยที่สวิตช์ S_2 และสวิตช์ S_1 จะทำงานตรงข้ามกันตลอด การทำงานนี้อธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องจุดเข้า V_{IA} ป้อนสู่วงจร วงจรควบคุมการทำงานจะส่งสัญญาณรีเซ็ตไปทำการรีเซ็ตค่าศักดาจุดออก V_{INT} ของวงจรรีเซ็ตอินทิเกรต I_1 จาก 0 โวลต์ ให้มีค่าเท่ากับ V_{TH} ซึ่งเป็นระดับศักดาเทรชโฮลของ C_1 , หลังจากนั้นวงจรควบคุมการทำงานจะส่งสัญญาณไปปิดสวิตช์ S_2 , เพื่อส่งสัญญาณต่อเนื่องจุดเข้า V_{IA} ไปยังวงจรรีเซ็ตอินทิเกรต I_1 , เพื่อทำการอินทิเกรตสัญญาณเป็นระยะเวลาเท่ากับ $N_{REF}T(t_1)$ ซึ่งเป็นสัญญาณนาฬิกาอ้างอิง ได้สัญญาณจุดออกจากวงจรรีเซ็ตอินทิเกรต I_1 เป็น V_{INT} ความสัมพันธ์ระหว่าง V_{IA} กับ V_{INT} แสดงได้สมการที่ 2.4

$$\begin{aligned}
 V_{INT}(t) &= K \int_0^{N_{REF}T} V_{IA} dt + V_{INT}(0) \\
 &= KN_{REF}TV_{IA} + V_{TH}
 \end{aligned}
 \tag{2.4}$$

โดยที่ K เป็นค่าคงที่



ภาพที่ 2.7 วงจรพื้นฐานของ Dual slope A/D converter หรือ Up-down integrator A/D converter

หลังจากนั้นวงจรควบคุมจะเปิดสวิตช์ S_1 และปิดสวิตช์ S_2 เพื่อส่งผ่านค่าศักดาอ้างอิง $(-V_{REF})$ เข้าสู่วงจรรีเซ็ตอินทิเกรต I_1 ซึ่งวงจรรีเซ็ตอินทิเกรตโดยมีความชันการทำงานของวงจรเป็นลบ ในขณะเดียวกันนั้นวงจรนับ CT_1 จะเริ่มทำการนับจำนวนสัญญาณนาฬิกาไปจนกระทั่ง V_{INT} มีค่าเท่ากับ V_{TH} ซึ่งเป็นค่าระดับศักดาที่กำหนด วงจรนับ CT_1 จะหยุดทำการนับให้ระยะเวลาที่วงนับ CT_1 ทำงานเท่ากับ $N_{OUT}T(t_2)$ วงจรควบคุมการทำงานจะแปลงจำนวนสัญญาณนาฬิกา N_{OUT} ที่นับได้เป็น

สัญญาณดิจิทัลที่เทียบเท่ากับสัญญาณต่อเนื่องจุดเข้า V_{IA} สมการความสัมพันธ์ในช่วง ความชันขา
ลงระหว่าง $(-V_{REF})$ กับ V_{INT} ดังแสดงได้ดังสมการที่ 2.5

$$V_{INT}(t) = V_{INT}(0) + K \int_0^{N_{OUT}T} (-V_{REF}) dt \quad (2.5)$$

เมื่อ $t = N_{OUT}T$ จะได้ว่า

$$V_{INT}(N_{OUT}T) = V_{INT}(0) - KN_{OUT}TV_{REF} \quad (2.6)$$

จาก $V_{INT}(0) = KN_{REF}TV_{IA} - V_{TH}$ ดังนั้น

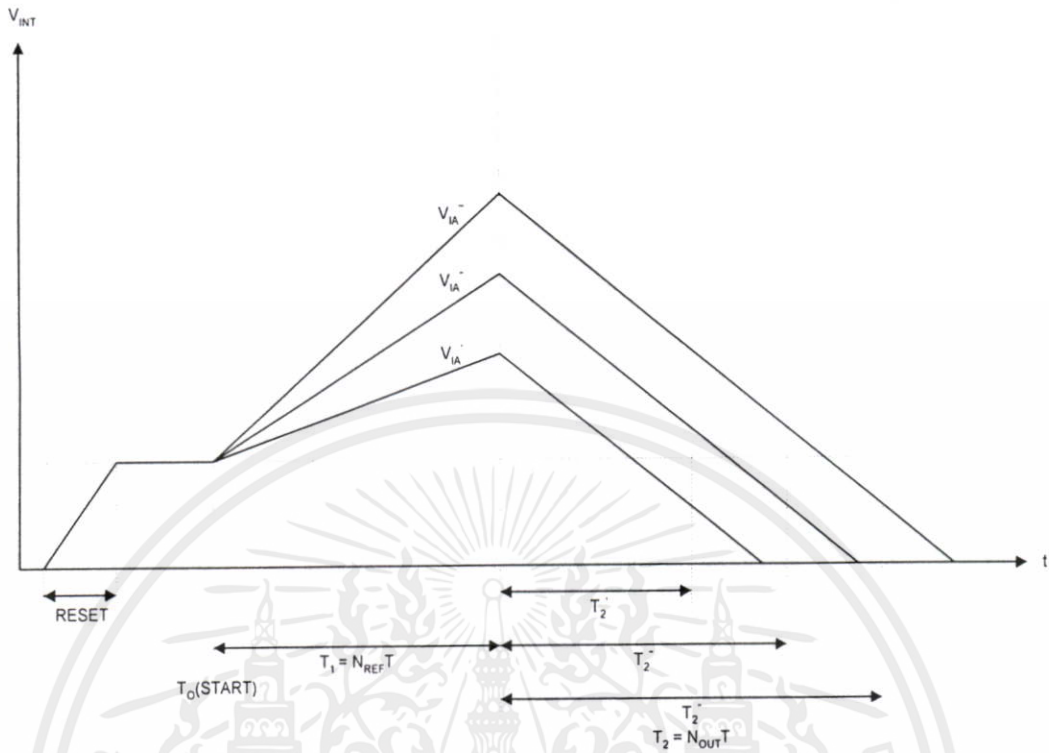
$$V_{INT}(N_{OUT}T) = [KN_{REF}TV_{IA} + V_{TH}] - KN_{OUT}TV_{REF} \quad (2.7)$$

หรือ

$$N_{OUT} = N_{REF} \left[\frac{V_{IA}}{V_{REF}} \right] \quad (2.8)$$

กราฟแสดงความสัมพันธ์ระหว่างค่าศักดาจุดออกของวงจรอินทิเกรต V_{INT} และ t เป็นดัง
ภาพที่ 2.8 และจากสมการที่ 2.8 จะเห็นได้ว่าการทำงานของวงจรไม่ขึ้นกับค่าศักดาทรซโฮลด์ของ
วงจรเปรียบเทียบกับสัญญาณ ความชันของวงจรอินทิเกรตหรือสัญญาณนาฬิกาแต่การทำงานของวง
จรจะขึ้นกับระดับของศักดาจุดเข้าเท่านั้น ทำให้การทำงานของวงจรมีความเที่ยงตรงและแม่นยำ
สำหรับในกรณีที่สัญญาณต่อเนื่องจุดเข้ามีค่าเต็มสเกล (ระดับศักดาจุดเข้าสูงสุด) เวลาที่ใช้ในการ
แปลงสัญญาณจะมีค่ามากที่สุดคือ $2^{N+1}T$ วินาที โดยที่ N เป็นจำนวนบิตที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.8 กราฟความสัมพันธ์ระหว่างค่าศักดาจุดออกของวงจรอินทิเกรตกับเวลา

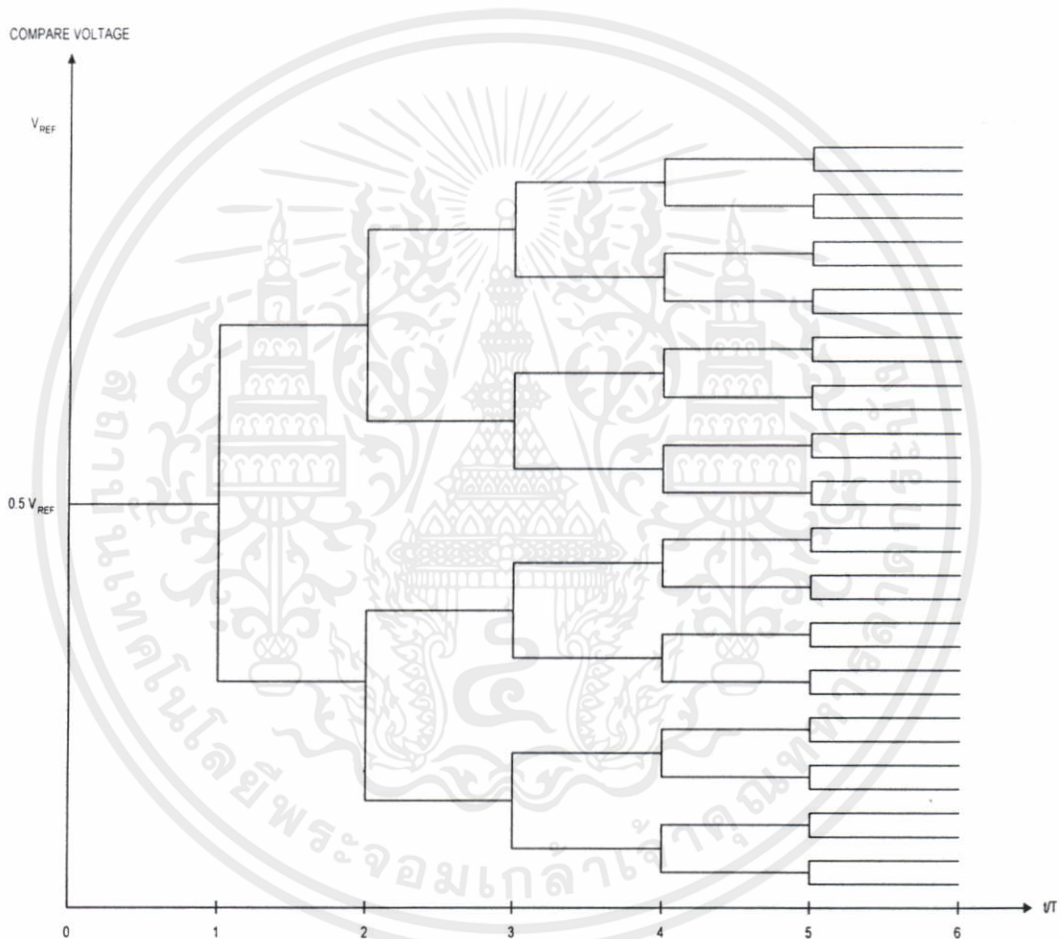
2.5 วงจร A/D ความเร็วปานกลาง [1, 3]

วงจร A/D ความเร็วปานกลาง เป็นวงจร A/D ที่มีการทำงานเป็นแบบอนุกรม คือ ในการแปลงสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิทัลหนึ่งบิต เมื่อเปรียบเทียบกับวงจร A/D ความเร็วต่ำ วงจร A/D ประเภทนี้จะมีความซับซ้อนมากขึ้น เวลาที่ใช้ในการแปลงสัญญาณไม่ขึ้นกับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจรแต่ขึ้นกับจำนวนบิตที่ต้องการ วงจร A/D ที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Successive Approximation A/D Converter และวงจร Algorithmic A/D Converter ซึ่งมีรายละเอียดดังต่อไปนี้

2.5.1 Successive Approximation A/D Converter, [1,3]

หลักการพื้นฐานคือวงจรจะทำการแปลงสัญญาณต่อเนื่องให้เป็นสัญญาณดิจิทัลทีละหนึ่งบิต เริ่มต้นจากบิตสูงสุด (MSB) ไปยังบิตต่ำสุด (LSB) นั่นคือสัญญาณต่อเนื่องจุดเข้าจะทำการเปรียบเทียบกับสัญญาณเปรียบเทียบค่าหนึ่ง ๆ โดยในแต่ละรอบการเปรียบเทียบสัญญาณที่เข้าทำการเปรียบเทียบจะมีค่าแตกต่างกัน ในรอบแรกค่าสัญญาณเปรียบเทียบจะมีค่าเท่ากับครึ่งหนึ่งของสัญญาณเต็มสเกลที่วงจรสามารถยอมรับได้ ในกรณีที่สัญญาณต่อเนื่องจุดเข้ามากกว่าสัญญาณเปรียบเทียบ

สัญญาณดิจิทัลบิตสูงสุดจะมีค่าเป็น “1” แต่ถ้าสัญญาณต่อเนื่องมีค่าน้อยกว่าสัญญาณเปรียบเทียบ สัญญาณดิจิทัลบิตสูงสุดจะมีค่าเป็น “0” หลังจากนั้นวงจรจะทำการเปรียบเทียบเพื่อหาค่าดิจิทัล บิตถัดไป โดยเพิ่มหรือลดค่าสัญญาณเปรียบเทียบจากค่าเดิมอีกครั้งหนึ่ง ซึ่งขึ้นอยู่กับสัญญาณจุด ออกของวงจรเปรียบเทียบมีค่าเป็นอะไร ถ้ามีสัญญาณเป็น “1” วงจรจะเพิ่มค่าสัญญาณเปรียบเทียบ แต่ถ้าสัญญาณนั้นมีค่าเป็น “0” วงจรจะลดค่าสัญญาณเปรียบเทียบลง การทำงานของวงจรสำหรับ บิตถัดไปก็จะปฏิบัติตามขั้นตอนเหมือนที่กล่าวมาข้างต้นจนกว่าจะครบตามจำนวนบิตที่ต้องการ รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบแสดงได้ดังภาพที่ 2.9

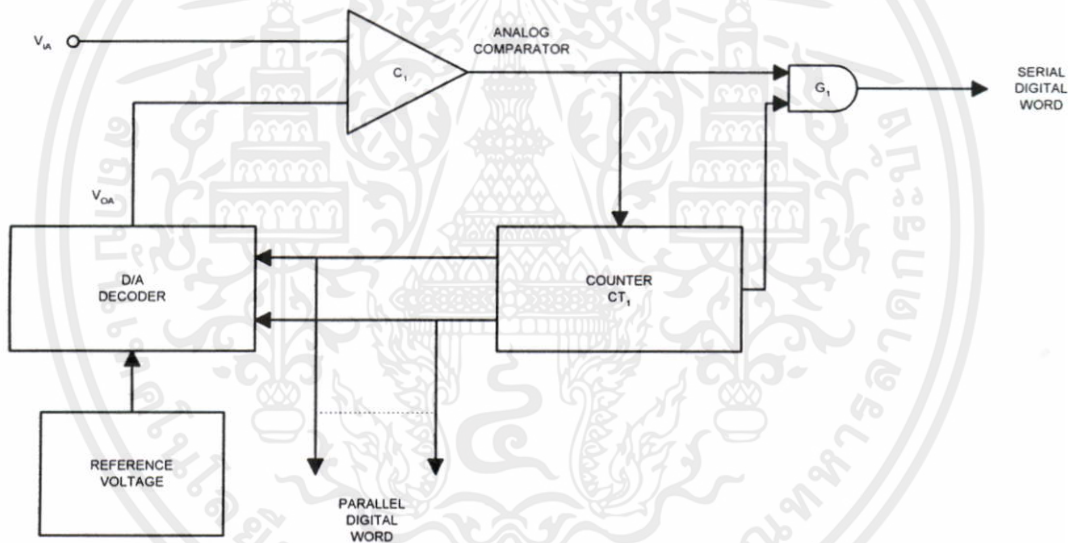


ภาพที่ 2.9 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ Successive Approximation A/D converter

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นจากข้อมูลที่ได้จากงานวิจัยที่ดำเนินการโดยคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ซึ่งอาจมีข้อผิดพลาดได้บ้าง กรุณาตรวจสอบข้อมูลก่อนนำไปใช้

จากหลักการที่กล่าวมาข้างต้นสามารถนำมาประยุกต์ในวงจรดังแสดงในภาพที่ 2.10 วงจร ประกอบไปด้วย วงจรเปรียบเทียบสัญญาณ C , วงจรเกท G , วงจรควบคุมการทำงาน วงจร D/A และแหล่งจ่ายศักดาอ้างอิง การทำงานของวงจรอธิบายได้ดังนี้เมื่อสัญญาณต่อเนื่องจุดเข้า V_{in} ป้อน

เข้าสู่วงจรเปรียบเทียบ C , วงจรควบคุมการทำงานจะกำหนดค่าเริ่มต้นของสัญญาณจุดเข้าบิตสูงสุดของวงจร D/A ให้เป็น “1” และค่าบิตอื่นๆ ให้เป็น “0” วงจร D/A จะทำการแปลงสัญญาณดังกล่าวเป็นสัญญาณจุดออก V_{OA} ซึ่งต่อเข้าไปยังวงจรเปรียบเทียบ C เพื่อเปรียบเทียบกับสัญญาณจุดเข้า V_{IA} ถ้า $V_{IA} > V_{OA}$ สัญญาณจุดออกของวงจร C , จะเป็น “1” แต่ถ้า $V_{IA} < V_{OA}$ สัญญาณขาออกของ C , จะเป็น “0” ค่าสัญญาณจุดออก C , นี้จะส่งไปยังวงจรควบคุมการทำงาน เพื่อที่จะนำไปใช้ในการกำหนดค่าสัญญาณเปรียบเทียบในครั้งต่อไปและสำหรับสัญญาณดิจิทัลของบิตนั้นจะส่งไปยังวงจรถัดไปยังวงจรเกต G , ซึ่งการทำงานของเกต G , จะถูกควบคุมโดยจังหวะสัญญาณนาฬิกา หลังจากนั้นวงจรจะเริ่มต้นการทำงานเพื่อหาบิตถัดไปตามขั้นตอนที่กล่าวมาข้างต้น โดยวงจรควบคุมการทำงานไม่เปลี่ยนแปลง บิตของวงจร D/A วงจรจะสิ้นสุดการทำงานในการแปลงสัญญาณต่อเนื่องหนึ่งค่าเมื่อวงจรได้ทำการแปลงสัญญาณจนครบตามจำนวนบิตที่ต้องการ ตัวอย่างความสัมพันธ์ของสัญญาณต่อเนื่องจุดออก V_{OA} จาก D/A กับสัญญาณต่อเนื่องขาเข้า V_{IA}



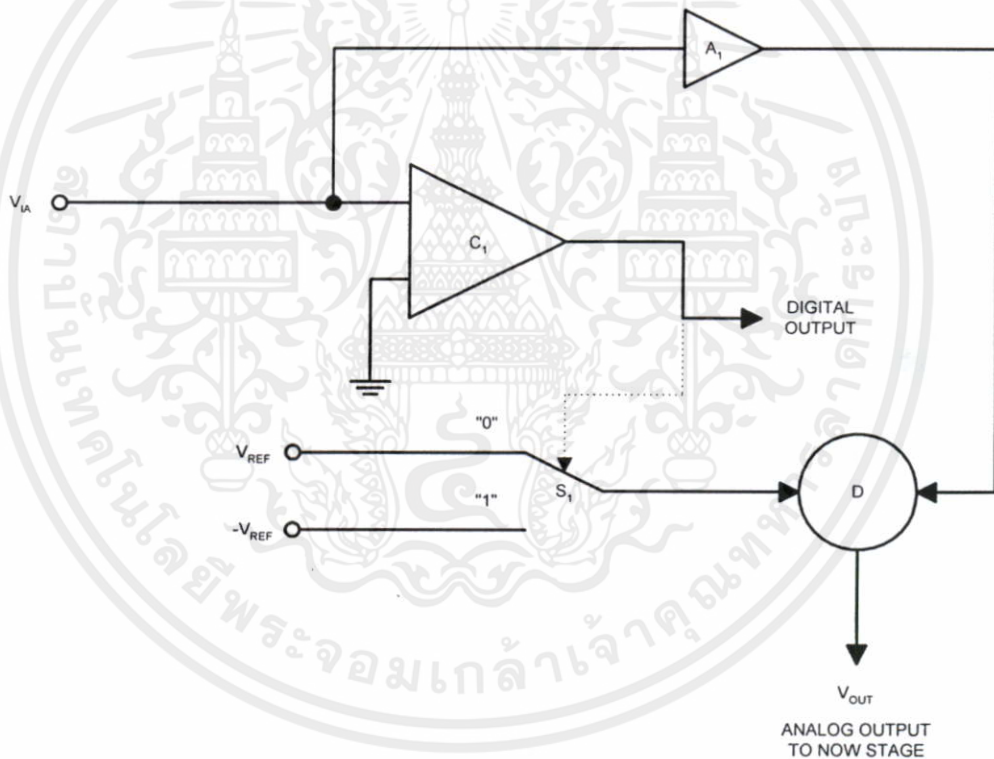
ภาพที่ 2.10 วงจรพื้นฐานของ Successive Approximation A/D Converter

ข้อดีของวงจรชนิดนี้คือใช้ขั้นตอนในการแปลงสัญญาณเพียง N ขั้นตอนเท่านั้น โดยที่ N เป็นจำนวนบิตที่ต้องการ ทำให้ความเร็วในการแปลงสัญญาณดีกว่าวงจร A/D ความเร็วต่ำ 2 แบบที่กล่าวมาข้างต้น แต่ความเที่ยงตรงและความแม่นยำของวงจรขึ้นอยู่กับวงจร D/A ที่ใช้ในวงจร ซึ่งจะต้องมีค่าความผิดพลาดในการทำงานไม่เกิน $\pm 1/2\text{LSB}$ มิฉะนั้นจะทำให้สัญญาณวงจร A/D มีความผิดพลาดมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่หรือใช้ซ้ำโดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 Algorithmic A/D Converter

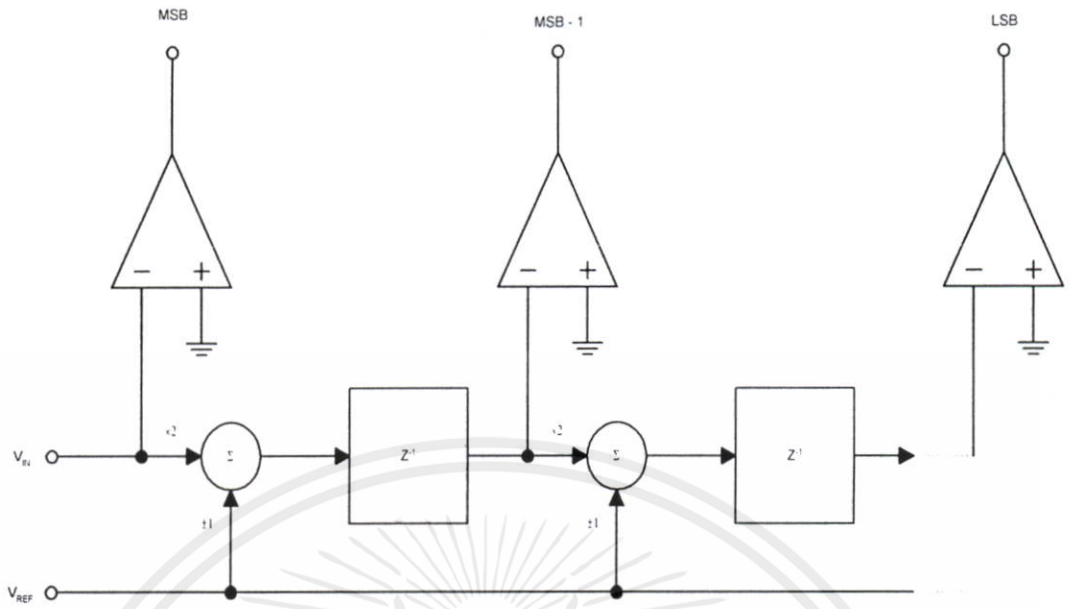
หลักการแปลงสัญญาณของวงจรเริ่มต้นที่จากบิตสูงสุด (MSB) ไปหาบิตต่ำสุด (LSB) วงจรประกอบด้วยวงจรย่อยหรือวงจร A/D ขนาดหนึ่งบิตจำนวนเท่ากับจำนวนบิตที่ต้องการต่ออนุกรมกัน โดยวงจรย่อยแต่ละวงจรมีหลักในการทำงานดังนี้คือ วงจรกระทำการขยายสัญญาณต่อเนื่อง จุดเข้าเป็นสองเท่า แล้วนำสัญญาณที่ได้ไปบวกหรือลบกับสัญญาณอ้างอิงของ วงจรผลลัพธ์ที่ได้ จะส่งผ่านเป็นสัญญาณจุดเข้าสำหรับวงจรย่อยบิตถัดไป การบวกหรือลบสัญญาณที่กล่าวข้างต้น ขึ้นอยู่กับเครื่องหมายของสัญญาณจุดเข้าของวงจรย่อยนั้น ถ้าสัญญาณจุดเข้าเป็นบวกวงจรจะลบสัญญาณอ้างอิงจากสัญญาณจุดเข้า และสัญญาณดิจิทัลสำหรับบิตนี้มีค่าเป็น "1" แต่ถ้าสัญญาณจุดเข้าเป็นลบวงจรจะสั่งให้ทำการบวกสัญญาณทั้งสองเข้าด้วยกัน สัญญาณดิจิทัลที่ได้จะมีค่าเป็น "0"



(a)

ภาพที่ 2.11 (a) หลักการทำงานของ Algorithmic A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

ภาพที่ 2.11 (b) วงจรพื้นฐานของ Algorithmic A/D Converter

รายละเอียดพื้นฐานของวงจรแสดงได้ดังภาพที่ 2.11 วงจรย่อยแต่ละวงจรจะประกอบด้วย วงจรเปรียบเทียบสัญญาณ C_i , วงจรขยายสัญญาณขนาดสองเท่า A_i , วงจรบวก D_i , วงจรควบคุมการทำงานของสวิตช์ S_i เมื่อสัญญาณต่อเนื่องจุดเข้า V_{iA} ป้อนเข้าสู่วงจรย่อยวงจรแรก สัญญาณจุดเข้า V_{iA} จะเปรียบเทียบกับระดับศักดาณ (0 โวลต์) ถ้าสัญญาณจุดเข้า $V_{iA} > 0$ สัญญาณจุดออกของวงจรเปรียบเทียบ C_i จะมีค่าเป็น "1" วงจรจะควบคุมสวิตช์ S_i ให้ส่งผ่านสัญญาณอ้างอิง ($-V_{REF}$) ไปทำการบวกกับสัญญาณจุดเข้าที่ผ่านวงจรขยายคือ $2V_{iA}$ แต่ถ้า $V_{iA} < 0$ สัญญาณจุดออกของวงจรเปรียบเทียบ C_i จะมีค่าเป็น "0" วงจรจะควบคุมสวิตช์ S_i ให้ผ่านสัญญาณอ้างอิง V_{REF} ไปบวกกับสัญญาณ $2V_{iA}$ ผลลัพธ์ของวงจรวก D_i จะเป็นสัญญาณจุดเข้าสำหรับวงจรย่อยบิตถัดไป ความสัมพันธ์ระหว่างสัญญาณต่อเนื่องจุดเข้า V_{iA} กับสัญญาณดิจิทัล D_o สามารถแสดงได้ดังสมการที่ 2.9

$$V_{iA} = V_{REF} \sum_{i=1}^N B_i 2^{-i} \tag{2.9}$$

โดยที่ $B_i = 1$: ถ้าบิตนั้นมีค่าเป็น "1"

และ $B_i = -1$: ถ้าบิตนั้นมีค่าเป็น "0"

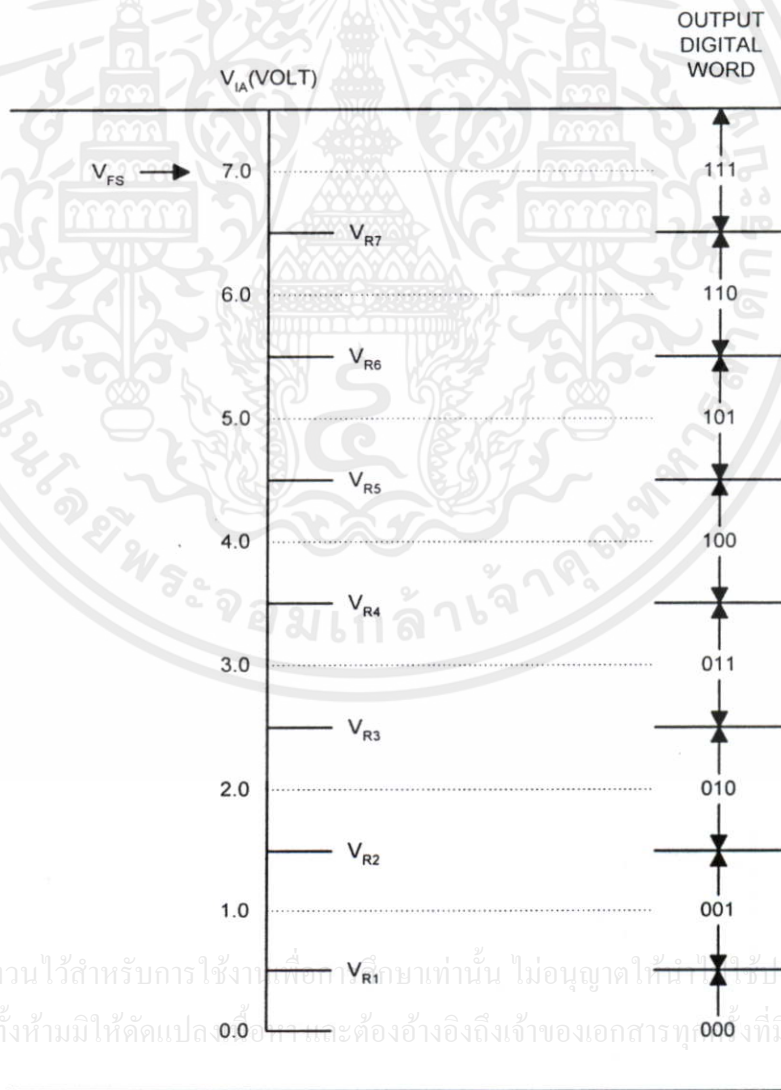
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามเผยแพร่บนสื่อออนไลน์ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมีข้อดีคือ สัญญาณต่อเนื่องจุดเข้าสามารถเป็นสัญญาณที่เป็นได้ทั้งสัญญาณบวกหรือสัญญาณลบ (Bipolar Signal) โดยบิตแรกสามารถชี้ให้เห็นทิศทางของสัญญาณ นอกจากนี้เวลาที่ใช้ในการเปลี่ยนแปลงสัญญาณใช้เพียง N รอบสัญญาณนาฬิกาเท่านั้น โดยที่ N เป็นจำนวนบิตที่ต้องการและการเพิ่มหรือลดจำนวนบิตของวงจรทำได้ง่าย

2.6 วงจร A/D ความเร็วสูง

วงจร A/D ความเร็วสูงเป็นวงจรที่ทำการแปลงสัญญาณโดยใช้เวลาน้อยกว่า N รอบสัญญาณนาฬิกาแต่วงจรจะมีความซับซ้อนมากและขนาดของวงจรจะแปรตามจำนวนบิตที่ต้องการทำให้วงจรมีขนาดใหญ่ กินพื้นที่มาก วงจรที่จะกล่าวถึงในประเภนี้คือวงจร Parallel A/D Converter

2.6.1 Parallel A/D Converter หรือ Flash A/D Converter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

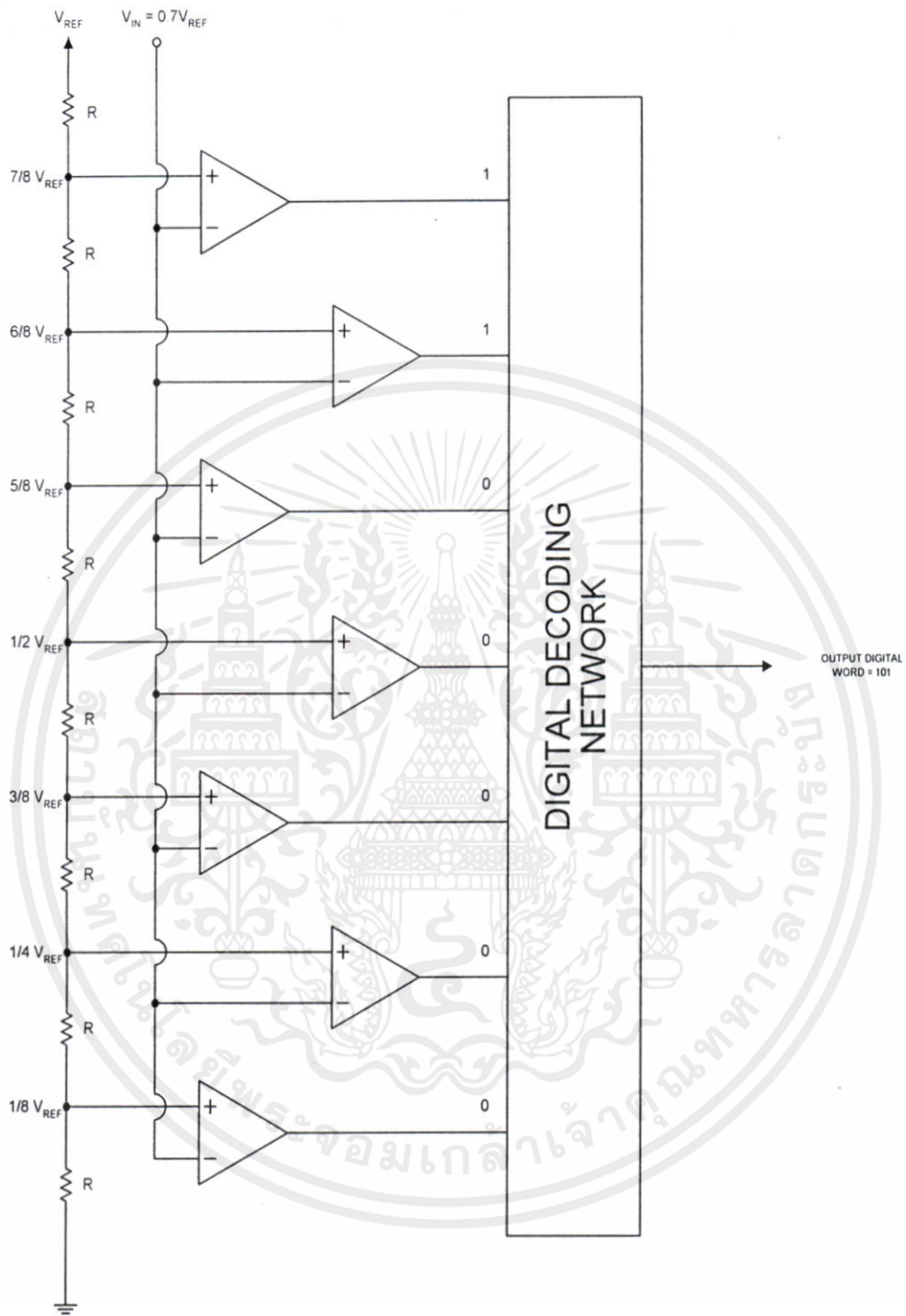
ภาพที่ 2.12 หลักการทำงานของ Parallel A/D Converter

ค่าแตกต่างกันขึ้นลงระดับสัญญาณพร้อม ๆ กัน ดังนั้นจำนวนสัญญาณเปรียบเทียบจึงมีจำนวนเท่ากับ $2^N - 1$ โดยที่ N เป็นจำนวนบิตที่ต้องการ สัญญาณจุดออกที่ได้จากการเปรียบเทียบจะนำมาทำการเข้ารหัสเพื่อให้ได้ค่าสัญญาณดิจิทัลที่เทียบเท่าสัญญาณต่อเนื่องจุดเข้า ซึ่งหลักการข้างต้นสามารถเขียนเป็นแผนผังได้ดังภาพที่ 2.12

จากหลักการสามารถนำมาพัฒนาเป็นวงจรแสดงดังภาพที่ 2.13 วงจรประกอบไปด้วยสัญญาณเปรียบเทียบจำนวน $2^N - 1$ ค่า วงจรเปรียบเทียบสัญญาณจำนวน $2^N - 1$ วงจร และวงจรถอดรหัสสัญญาณ สัญญาณต่อเนื่องจุดเข้า V_{IA} จะทำการเปรียบเทียบกับ V_{REF} ถ้า $V_{IA} > V_{REF}$ สัญญาณจุดออกจากวงจรเปรียบเทียบที่ i จะมีค่าเป็น "1" แต่ถ้า $V_{IA} < V_{REF}$ สัญญาณจุดออกจากวงจรเปรียบเทียบที่ i นั้นจะมีค่าเป็น "0" โดยที่ i เป็นวงจรใด ๆ มีค่า ตั้งแต่ 1 ถึง $2^N - 1$ ค่า จะนำมาเข้ารหัสเพื่อหาค่าสัญญาณดิจิทัล

ซึ่งจะเห็นได้ว่าการทำงานประกอบด้วยขั้นตอนเพียง 2 ขั้นตอนเท่านั้น คือ ขั้นตอนการเปรียบเทียบและขั้นตอนเข้ารหัส ทำให้การแปลงสัญญาณ N บิตสามารถทำได้ในหนึ่งสัญญาณนาฬิกาเท่านั้น แต่วงจร A/D ชนิดนี้ถ้าต้องการเพิ่มความละเอียดในการแปลงวงจร A/D ชนิดนี้เหมาะที่จะใช้กับการแปลงสัญญาณที่ไม่ต้องการความละเอียดมากนัก ซึ่งปกติจะอยู่ระหว่าง 3-6 บิต นอกจากนั้นความผิดพลาดของวงจรยังขึ้นกับวงจรเปรียบเทียบและค่าสัญญาณเปรียบเทียบอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.13 วงจรพื้นฐานของ Parallel A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การบันทึกสัญญาณเสียงระบบดิจิทัล

3.1 Compact Disc (CD)

วงการอุตสาหกรรมคอมพิวเตอร์จึงตระหนักว่าข้อมูลเสียงเชิงตัวเลขที่บันทึกไว้ในซีดีนั้น แทนได้ด้วยข้อมูลเชิงตัวเลขของคอมพิวเตอร์จึงก่อกำเนิด CD-ROM ขึ้นมาโดยสองยักษ์ใหญ่ในวงการอิเล็กทรอนิกส์ คือ Philips และ Sony ซึ่งได้ร่วมกันให้นิยามซีดีสำหรับบันทึกเสียง (Audio CD: CD-DA) ไว้ในปี 1982 ในเอกสารชื่อ Red Book และได้กำหนดคุณลักษณะจำเพาะของ CD-ROM ขึ้นไว้ในเอกสารชื่อ Yellow Book ในปี 1984 สำหรับการใส่เสียง ภาพ และภาพเคลื่อนไหวในโปรแกรมคอมพิวเตอร์ต่างๆ ที่เราเรียกกันว่าระบบหลายสื่อ Multimedia ที่จะนำมาใช้ในตลาดอิเล็กทรอนิกส์เพื่อการอุปโภคบริโภคนั้น ข้อมูลจำเพาะดังกล่าวต้องขยายขอบข่ายออกไปอีก ดังนั้นในปี 1987 Philips ร่วมกับ Sony จึงได้นิยาม Compact Disc Interactive (CD-I) ไว้ในเอกสารชื่อ Green Book ซึ่งการจะใช้โปรแกรมชนิดตอบโต้กับผู้ใช้ได้นี้จะต้องนำแผงวงจรบนคอมพิวเตอร์มาประยุกต์ให้เป็นเครื่องเล่น CD-I ซึ่งดูแล้วเหมือนกับเครื่องเล่นซีดีเสียงโดยทั่วไปแน่นอนที่สุด โปรแกรมประเภทตอบโต้กับผู้ใช้ยังคงใช้งานกับคอมพิวเตอร์ส่วนบุคคลได้

การโยงโลกของอิเล็กทรอนิกส์เพื่อการอุปโภคเข้าสู่โลกของคอมพิวเตอร์อย่างจริงจังทำกันในปี 1988 โดยที่ Philips ร่วมกับ Sony และ Microsoft ได้นิยาม CD-ROM/XA เข้าสู่วงการ คำ XA ย่อมาจากคำว่า eXtended Architecture ซึ่งก็คือนำเอา CD-ROM มาปรับปรุงโดยใช้ข้อมูลจำเพาะของ CD-I เป็นฐาน ระบบและเทคโนโลยีต่างๆ ได้รับการพัฒนาอย่างมากมายบน CD-ROM และซีดีเสียง การพัฒนาครั้งสำคัญล่าสุดซึ่งอาศัยเทคโนโลยีของ CD-I และ CD-ROM/AX เห็นจะได้แก่ Photo CD ซึ่งเป็นการร่วมพัฒนาโดย Kodak และ Philips ซึ่งสามารถอ่านได้จากเครื่องเล่นซีดีในรูปแบบของเครื่องใช้ประเภทสินค้าอุปโภค เครื่องเล่น CD-I และเครื่องเล่น CD-ROM/AX ที่ต่อพ่วงกับคอมพิวเตอร์ CD ชนิดใหม่นี้เรียกกันว่า Bridge Disc ซึ่ง Philips และ Sony ได้ร่วมกันกำหนดมาตรฐานข้อมูลจำเพาะไว้ในเดือนตุลาคม ปี 1991 ในเอกสารซึ่งบางครั้งเรียกว่า White Book แต่ Photo CD ซึ่งเป็น Bridge disc ชนิดหนึ่ง ก็ยังคงใช้เทคโนโลยีบันทึกได้เพียงครั้งเดียว (Write once) อยู่ ส่วนการนิยาม CD-R และ CD-MO (Magneto Optical) นั้น ทำไว้ในเอกสารชื่อ Orange Book ในเดือนพฤศจิกายน ปี 1990 จะเห็นได้ว่าการผลิตและกำหนดฟอร์แมตซีดีออกไปหลายรูป

เอกสารนี้ **ลักษณะ** ารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 Compact Disc-Digital Audio (CD-DA)

Philips และ Sony ได้ร่วมกันนิยาม CD-DA ไว้ในเอกสารชื่อ Red Book ในปี 1982 ซึ่ง CD-DA นี้แต่ละเซกเตอร์จะมีข้อมูลของผู้ใช้อยู่ 2,352 ไบต์ เซกเตอร์ต่างๆ จะถูกกำหนดตำแหน่ง (address) เป็นนาฬิกา วินาที และเซกเตอร์ รายละเอียดของตำแหน่งจะเก็บไว้ใน Subchannel (เรียกกันว่า Channel Q) เวลาที่จะเล่นได้นานที่สุดจะเป็น 74 นาที สำหรับแผ่นซีดีขนาด 12 ซม. และ 21 นาที สำหรับแผ่นซีดีขนาด 8 ซม. เวลาซึ่งใช้ในการกำหนดตำแหน่งบนซีดีแบบหนึ่ง และ Track Relative Time โดยวัดจากจุดเริ่มต้นของแต่ละแทร็กอีกแบบหนึ่ง แต่ละแผ่นจะมี 99 แแทร็ก ซึ่งเครื่องเล่นซีดีจะเข้าไปอ่านแทร็กดังกล่าว แต่ละ แแทร็กจะมีข้อมูลบันทึกไว้อย่างต่อเนื่อง แต่ละ แแทร็กจะต้องไม่น้อยกว่า 4 วินาที (ประมาณ 300 เซกเตอร์ เนื่องจาก 1 วินาทีจะแบ่งออกเป็น 75 เซกเตอร์) บางครั้งซีดีทั้งแผ่นอาจจะมีแทร็กเดียวเช่น การบันทึกเพลงบรรเลงที่ยาวๆ เป็นต้น

3.1.2 CD-ROM

หลังจากมีการนิยาม Audio CD ไปได้ไม่นานก็มีคนเริ่มสนใจว่าถ้าบันทึกข้อมูลคอมพิวเตอร์ลงในแผ่นซีดีได้แล้วจะเป็นแหล่งเก็บข้อมูลขนาดมหึมาทีเดียว จึงมีการคิดค้นปรับปรุงกันขึ้น ในปี 1984 Philips กับ Sony จึงได้ร่วมกันนิยามคุณลักษณะเฉพาะของ CD-ROM สำหรับเก็บบันทึกข้อมูลคอมพิวเตอร์ไว้ในเอกสารชื่อ “Yellow Book”

หลักการใหญ่มีอยู่ว่า แบ่งเซกเตอร์ออกเป็น 2 ชนิด ชนิดแรกเรียก “Mode 1” ใช้สำหรับเก็บบันทึกข้อมูลคอมพิวเตอร์ และชนิดที่สอง “Mode 2” ใช้บันทึกข้อมูลเสียงหรือภาพที่บีบ (Compressed) ให้เล็กลงแล้ว

แต่ละเซกเตอร์ใน Mode 1 จะมีข้อมูลของผู้ใช้ได้ 2,048 ไบต์ ในเซกเตอร์แบ่งออกเป็นหลายๆ บล็อก ซึ่งแต่ละบล็อกจะต้องมีการระบุ Logical Block Number (LBN) ไว้ เซกเตอร์แรกที่จะเข้าใช้งานได้คือ 00 : 02 : 00 ซึ่งจะเป็น LBN 0

ใน Mode 1 ของ CD-ROM จะมีส่วนตรวจและแก้ไขข้อผิดพลาด (CIRC) ของซีดีเสียงอยู่ แต่เนื่องจากข้อมูลคอมพิวเตอร์จะต้องมีความแม่นยำสูงกว่าซีดีเสียงหลายระดับนัก ดังนั้นจึงมีการเพิ่มการตรวจและแก้ไขข้อผิดพลาดเข้าไปใน CIRC อีกชั้นหนึ่งเรียกว่า EDC/ECC ซึ่งในส่วนดังกล่าวจำเป็นต้องใช้เซกเตอร์หลังข้อมูลของผู้ใช้ไปอีกบางไบต์ กล่าวคือใช้ในการตรวจสอบข้อผิดพลาด 4 ไบต์ และใช้ในการแก้ไขข้อผิดพลาด 276 ไบต์ ระหว่างส่วนตรวจสอบกับส่วนแก้ไขข้อผิดพลาดจะมีส่วนที่ไม่ถูกใช้งานอยู่ 8 ไบต์ ในส่วนดังกล่าวนี้ได้รับการนิยามใหม่ใน CD-ROM/XA และ CD-I ว่าจะกรณีใดๆ ทั้งสิ้น สำหรับ Mode 2 ของ CD-ROM นั้นจะไม่มีส่วนตรวจสอบและแก้ไขข้อผิดพลาดทั้ง 2,336 ไบต์ซึ่งอยู่หลังจากส่วน sync และส่วน header จะถูกนำไปใช้ทั้งหมด

3.1.3 Mixed Mode CD

หากจำเป็นจะต้องบันทึกเสียงในระดับคุณภาพสูงๆ ทั้งแทร็กของ CD-ROM และ AUDIO-CD จะต้องนำมาบันทึกไว้บนซีดีแผ่นเดียวกัน ถึงตอนนี้ ซีดีจะต้องแบ่งเป็น frame แทร็ก และเซกเตอร์ ตามสภาพความเป็นจริงแล้วแต่ละแทร็กจะมีเซกเตอร์ต่างชนิดกันไม่ได้ แต่ซีดีแผ่นหนึ่งนั้นมีแทร็กต่างชนิดกันได้

โดยปกติแล้ว แทร็กแรกของ Mixed Mode CD จะมีแทร็กแรกเป็นของ CD-ROM Mode 1 และหลังจากนั้นจะเป็นแทร็กของ CD-DA

3.1.4 CD-ROM/XA

CD-ROM/XA มาจาก คำเต็ม ๆ ว่า Compact Disc-Read Only Memory/eXtended Architecture เป็นการนิยามรูปแบบของซีดีร่วมกันระหว่าง Philips กับ Sony และ Microsoft ในเดือนกันยายน ปี 1989 ซึ่งรายละเอียดครั้งสุดท้ายเพิ่งจะมาประกาศเป็นทางการในเดือนมีนาคม 1991 ซึ่งคิดว่ายังคงไม่ใช่รายละเอียดครั้งสุดท้าย เพราะเนื่องจาก CD-ROM/XA ระดับ 3 จะต้องผนวกภาพเคลื่อนไหว MPEG และข้อมูลจำเพาะอื่นๆ ลงในระบบการจัดการ (GOE : Generic Operation Environments) อีก CD-ROM/XA ไม่ใช่มาตรฐานใหม่เลยทีเดียว หากเป็นการขยายความจาก Yellow Book มาอีกทีหนึ่ง บางครั้งก็มีคนเรียกจำกัดความในลักษณะจำเพาะของ CD-ROM ประเภทนี้ว่า Extended Yellow Book การขยายความนี้มีบางส่วนเกี่ยวเนื่องกับข้อมูลจำเพาะของ CD-I ใน Green Book ผลจากการเกี่ยวข้องกันดังกล่าวผนวกกับข้อเท็จจริงว่า CD-ROM/XA อาจเป็นตัวประสานระหว่างระบบการจัดการของคอมพิวเตอร์ผ่านทาง XA กับเครื่องเล่นซีดีซึ่งเป็นสินค้าอุปโภคผ่านทาง CD-I ทำให้มาตรฐานนี้ถูกมองไปเป็นการเชื่อมโยงที่ไม่ค่อยจะใฝ่หาเท่าใดนัก ที่บรรดาผู้ผลิตทั้งหลายจะผลิตแผ่นดิสก์ออกมาใช้งานบนแผ่นมาตรฐานที่ต่างกันในตลาดเชิงอุตสาหกรรมกับตลาดสินค้าอุปโภค

3.1.5 CD-I

มาตรฐานของ CD-I มีอธิบายไว้ใน Green Book ซึ่งตราไว้ร่วมกันระหว่าง Philips กับ Sony อีกเช่นเคย โดยประกาศออกมาในปี 1987 (หนึ่งปีก่อนจะประกาศมาตรฐาน CD-ROM/XA) เซกเตอร์ของ CD-I จะเหมือนกับ CD-ROM/XA จนบางครั้งเข้าใจกัน ไปเลยว่า CD-I ก็คือ CD-ROM/XA ชนิดพิเศษ สำหรับใช้กับอุตสาหกรรมอิเล็กทรอนิกส์เพื่อการอุปโภค ในข้อมูลลักษณะจำเพาะจึงไม่เพียงแต่ระบุฟอร์แมตของเซกเตอร์ไว้เท่านั้น หากยังระบุระบบการจัดการชื่อ CD-RTOS ที่ CD-I จะต้องใช้เอาไว้ด้วย ระบบการจัดการดังกล่าวนี้เป็นอนุพันธ์หนึ่งของ OD-9 เครื่องเล่น CD-I จะใช้ไมโครโปรเซสเซอร์ 68070 ของโมโตโรลา ซึ่งจะต่อเข้ากับเครื่องรับโทรทัศน์ และแอมพลิฟายเออร์ ใช้เล่นได้ทั้ง CD-DA ,Photo CD และแผ่น CD-I ใน CD-I จะมีโครงสร้าง

โปรแกรมที่ตอบโต้กันได้ ไม่ว่าจะเป็นตัวหนังสือ เสียง ภาพตัวการ์ตูนที่เคลื่อนไหวได้ ภาพนิ่งตลอดจนภาพวีดิโอที่เคลื่อนไหวได้

3.1.6 Compact Disc-Recordable (CD-R)

ซีดีทุกระบบที่ว่ามา ล้วนแต่อยู่ในลักษณะ “อ่านได้อย่างเดียว” ซึ่งก็หมายความว่า จะต้องอ่านผ่านทางเครื่องเล่นซีดี หรือผ่านทางเครื่องขับ CD-ROM เท่านั้น ข้อมูลต่างๆ จะบันทึกหรือเพิ่มเข้าไปบนแผ่นดิสก์ก็ไม่ได้ เว้นเสียแต่จะใช้กระบวนการผลิตพิเศษโดยเฉพาะเท่านั้น หากใช้วิธีสร้างแม่พิมพ์แล้วปั๊มออกมาในจำนวนที่มากพอแล้ว จะผลิตได้เร็วและราคาถูก CD-R จึงมีชื่อเรียกอีกชื่อหนึ่งว่า Compact Disc-Write Once : CD-WO

3.1.7 Multi-Session

เป็นมาตรฐานใหม่ของซีดี กำหนดโดย Philips และ Sony ในเอกสารชื่อ Orange Book เมื่อเดือนพฤศจิกายน 1990 ซีดีชนิดที่บันทึกในระบบ multi-session จะยังคงอ่านได้ด้วยเครื่องเล่นซีดีเสียง และเครื่องขับ CD-ROM แบบเดิม การบันทึกสามารถกระทำอย่างต่อเนื่องกันไปได้หลายครั้ง แต่เครื่องขับ CD-ROM เดิมจะอ่านได้เฉพาะ session แรกเท่านั้น จะมองไม่เห็นส่วนที่บันทึกเพิ่มเติม ต้องใช้กับเครื่องขับ CD-ROM รุ่นใหม่เท่านั้น จึงจะเรียกใช้ได้ทุก session

ในแต่ละ session ประกอบด้วยส่วน Lead-in ส่วนข้อมูล และส่วน Lead-out หลักจากบันทึก session แรกเสร็จแล้ว จะบันทึก session ต่อๆ ไปได้อีก แต่ละ session จะมีสารบัญ (Table of Content : TOC) บันทึกไว้ในส่วน Lead-in

Lead In	Track1	Track2	Track n-1	Track n	Lead out
---------	--------	--------	-------	-----------	---------	----------

ภาพที่ 3.1 แสดงการบันทึกแบบ CD-DA หรือ Audio CD

Lead In	Track 1 Data	Track 2 Data	Track n-1 Data	Track n Data	Lead Out
	S 1	S 2	S m

ภาพที่ 3.2 แสดงการบันทึกแบบ CD-ROM Mode 1 และ CD-ROM Mode 2

(Mode 1 ใช้ data sector แบบที่ 2 ส่วน Mode 2 ใช้ Data sector แบบที่ 3)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้เพื่อประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ลดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Lead In	Track 1 Data or CD-DA	Track 2 Data or CD-DA	Track n-1 Data or CD-DA	Track n Data or CD-DA	Lead Out
	S 1	S 2			S m

ภาพที่ 3.3 แสดงการบันทึกสัญญาณแบบ Mixed Mode CD

(Mode 2 Form 1 ใช้ data sector แบบที่ / ซึ่งบันทึกข้อมูลคอมพิวเตอร์ ส่วน Mode 2 Form 2 ใช้ data sector แบบที่ 5 ใช้บันทึกเสียงหรือภาพที่บีบไว้)

Lead In	Track 1 Data	Track 2 Data	Track n-1 Data	Track n Data	Lead Out
	S 1	S 2			S m

ภาพที่ 3.4 แสดงการบันทึกสัญญาณแบบ CD-ROM/XA Mode 2 Form 1 และ CD-ROM/XA Mode 2 Form 2

Sector ทั้งสอง แบบจะถูก interleaved ไว้ในแทร็คเดียวกัน โดยไม่ฝืนกฎที่ว่า ในแทร็คเดียวกันจะมี ข้อมูลต่าง mode กันไม่ได้ จึงเป็นประโยชน์อย่างยิ่งสำหรับงาน multimedia แต่จำเป็นต้องมีอินเตอร์เฟสพิเศษเพื่อแยกเซกเตอร์ที่ต่างชนิดกัน ให้เป็น real-time

3.2 เซกเตอร์ชนิดต่างๆ ในการบันทึกซีดี

แบบที่ 1 Red Book Sector หรือ Audio Sector

2352 Audio Sample Bytes

แบบที่ 2 Yellow Data-Sector Mode 1

Sync	Header	User Data	EDC	Zero	ECC
12	4	2048	4	8	276

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ขอสงวนสิทธิ์ในสิ่งที่ปรากฏและต้องอ้างอิงถึงชื่อเอกสารทุกครั้งที่มีนำไปใช้

แบบที่ 3 Yellow Book Data-Sector Mode 2

Sync	Header	User Data
12	4	2336

แบบที่ 4 CD-ROM/XA และ Green Book Data-Sector Mode 2-Form 1

Sync	Header	Sub Header	User Data	EDC	ECC
12	4	8	2048	4	276

แบบที่ 5 CD-ROM/XA และ Green Book Data-Sector Mode 2-Form 2

Sync	Header	Sub Header	User Data	EDC
12	4	8	2324	4

แบบที่ 1 เป็น Audio Sector ส่วนแบบที่ 2 ถึงแบบที่ 5 เป็น Data Sector ซึ่ง Data Sector เองจะแบ่งออกเป็นกลุ่มใหญ่ๆ คือ

- ใช้กับข้อมูลคอมพิวเตอร์
- ใช้กับข้อมูลเสียงหรือภาพที่บีบ(Compressed)ไว้

ในส่วน Head ใช้สำหรับค้นหาเซกเตอร์ต่างๆ จะมี 4 ไบต์

ไบต์ที่ 1 นาที

ไบต์ที่ 2 วินาที

ไบต์ที่ 3 บล็อกหรือเฟรม

ไบต์ที่ 4 Mode

CD Bridge Hybrid

L	Tr 1	Tr 2	Tr n	L
I	CD-1	Data	Data	O
^	Data				↓

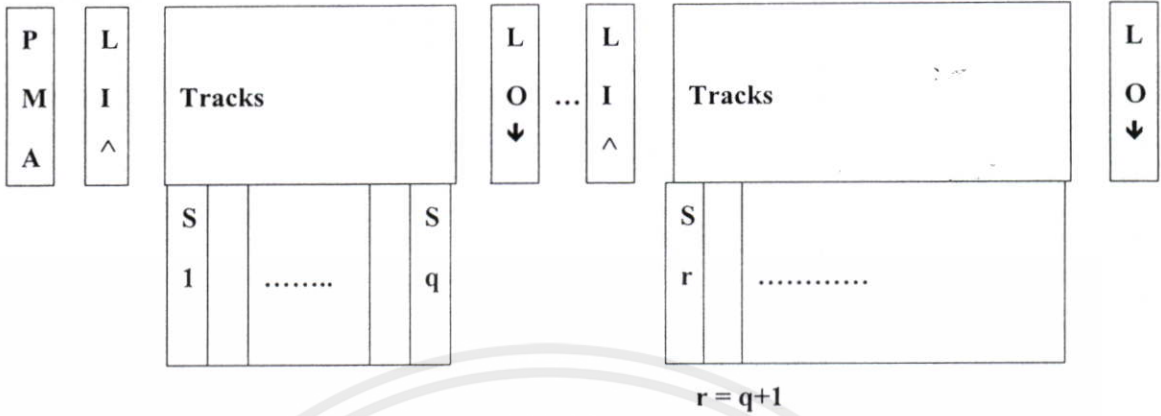
L	Tr 1	Tr 2	Tr m	L
I	CD-1	Data	Data	O
^	Data				↓

S	S
1		q

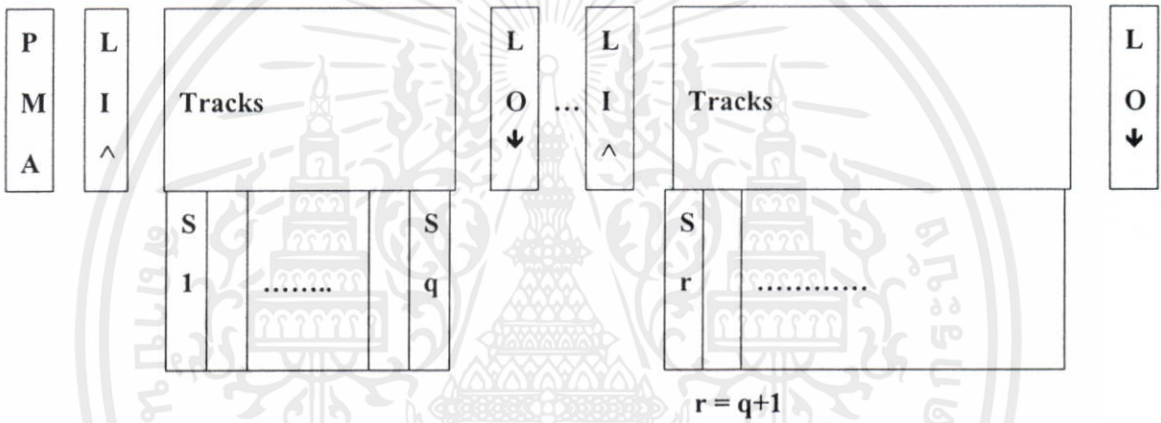
S	S
1		t

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ลดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

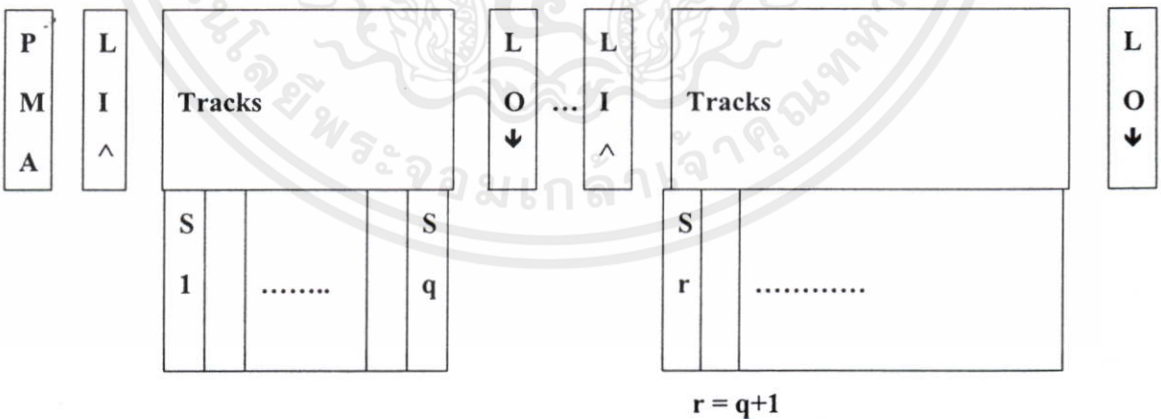
Nonfinalized Disk



Finalized Disk



Fixated Disk



➔ คือ ตัวชี้ไปยัง session ต่อไป

PMA = Program Memory Area

↓ คือ ตัวชี้ไปยัง session นี้ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 Digital Compact Cassette

3.3.1 (DCC) Format

Digital Compact Cassette (DCC) หรือแผ่น Cassette แบบดิจิตอลนั้นเป็นผลมาจากการพัฒนา Analog Compact Cassette (CC) ซึ่งเป็นที่นิยมใช้อย่างแพร่หลายให้มีความทันสมัยมากขึ้น วัตถุประสงค์ของการออกแบบ DCC ขึ้นมาเพื่อที่จะสร้าง successor สำหรับ CC ให้สามารถทำงานย้อนกลับได้อย่างสอดคล้องและต่อเนื่อง ส่งผลให้เครื่องเล่น DCC สามารถที่จะเล่นแผ่น Analog Compact Cassettes (ACC) ย้อนกลับได้ด้วย

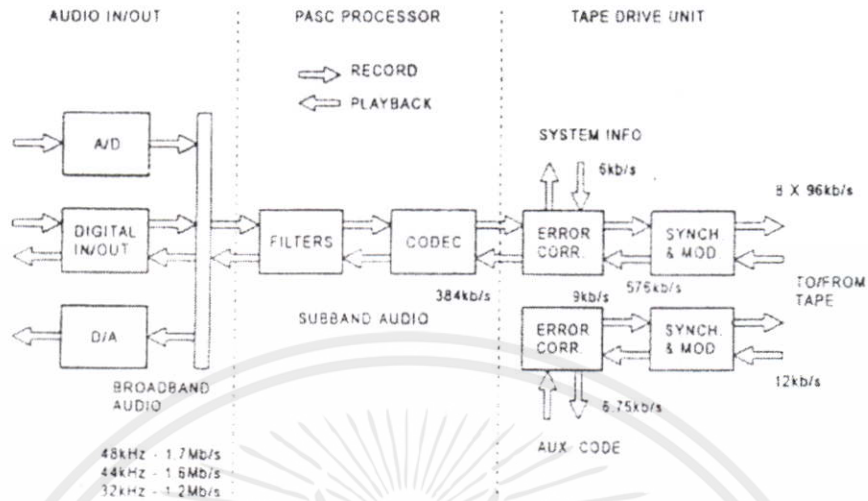
จากการทำงานย้อนกลับได้อย่างสอดคล้องกันของ DCC นี้เองทำให้สามารถเล่นเทปที่มีความกว้าง 3.8 m ด้วยความเร็ว 4.76 cm/s ประโยชน์ที่ได้รับจากการผลิตอุปกรณ์ DCC ขึ้นมาคือการที่เทปที่มีอยู่มีกลไกการขนส่งที่สามารถใช้ได้จริง ดังนั้นจึงเป็นการลดราคาลงได้อย่างมีประสิทธิภาพ

ขนาดและรูปร่างของแผ่น Cassette แบบ DCC จะมีลักษณะทั่วไป คล้ายๆกับแผ่น Cassette แบบ CC ทั่วๆไป แต่ข้อแตกต่างที่เห็นได้ชัดที่สุดก็คือการเพิ่ม slider เข้าไปเพื่อป้องกันเทปจากฝุ่นละอองและการกระทบกระเทือนที่อาจทำให้เทปเสียหายได้ คล้ายๆกับการมีแถบพุ่มของ video cassettes เมื่อปิดแผ่น slider จะเท่ากับว่าเรากำลังม้วนฟิล์มไว้ แม้ว่าเทปจะสามารถบันทึกได้ทั้ง 2 ด้าน แต่ม้วนฟิล์มจะถูกเปิดเพียงด้านเดียวเท่านั้น ส่วนการจะปิดด้านใดด้านหนึ่งของเทป Cassette สามารถจะใช้ Artwork และ หรือ list ของเพลงไตเติ้ล เป็นผลเนื่องมาจากกลไกการทำงานของ DCC ทั้งหมดต้องใช้กับระบบกลับเทปอัตโนมัติ (autoreverse)

ภาพที่ 3.5 แสดงแผนผังของแผ่นบันทึกแบบ DCC แบ่งได้เป็น 3 ส่วนหลักๆ การเชื่อมต่อของอินพุต เอ้าท์พุท ระบบการประมวลผลการตัดแปลง subband ที่ถูกต้องแม่นยำ (PASC) และระบบการบันทึกเทปและการเล่นกลับวิธีการบันทึกเทป (mode การบันทึก) สัญญาณนำเข้าแบบดิจิตอลจาก input/output interface จะถูกประมวลผลโดยการถอดรหัสแบบ PASC เพื่อลดจำนวนของแหล่งข้อมูล 4 ครั้ง การถอดรหัสข้อมูล เริ่มด้วยการ Formate ลงไปใน Frames และบันทึกลงบนแผ่นบันทึกเทป 8 Track แบบขนาน 8-10 การผสมสัญญาณจะถูกใช้ในการลดความถี่ของส่วนประกอบในการบันทึกสัญญาณให้ต่ำลงการแก้ไขข้อผิดพลาดของข้อมูลหรือรหัส และการเข้าจังหวะกันของสัญญาณจะถูกรวมอยู่ในส่วนของการบังคับบนเครื่องเล่นเทปส่วนรหัส

ช่วยต่างๆ ตัวอย่างเช่นหมายเลข track ข้อมูลเกี่ยวกับเวลาและตารางความจุของเทปจะถูกบันทึก
เอกสารนี้ให้มีค่าต่ำกว่าค่า bit ที่ตั้งไว้บน separate tape track มากขึ้น ไม่นับญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 ระบบการบันทึกเสียงแบบ Digital (Digital Audio Recording Systems)



ภาพที่ 3.5 แสดง Block diagram ของ DCC recorder

บันทึกโดยใช้ 8 track แบบขนานค่า bit ที่บันทึกได้สามารถลดให้เหลือ 96 kbit/วินาที /track ซึ่งสอดคล้องกับความยาวคลื่นต่ำสุด เขียนสมการได้เป็น

$$\text{ความยาวคลื่น} = v/f = [(4.76\text{cm/s})/(96\text{Kbit})] * 2 \text{ bit/Hz} = 0.99 \mu\text{m}$$

โดยปกติแล้ววีดิโอเทปจะสามารถบันทึกโดยใช้ความยาวคลื่นต่ำที่สุดประมาณ 1 μm จะเห็นว่าเทป Cassette แบบ DCC ซึ่งสามารถใช้ได้โดยใช้ความยาวคลื่นต่ำที่สุดได้ = 0.99 μm ไม่จำเป็นต้องอาศัยการวางระบบเทปแบบพิเศษ VDO เทปมาตรฐานที่ออกแบบมาให้มีความสูงก็สามารถใช้กับ DCC ได้

HEAD LAYOUT

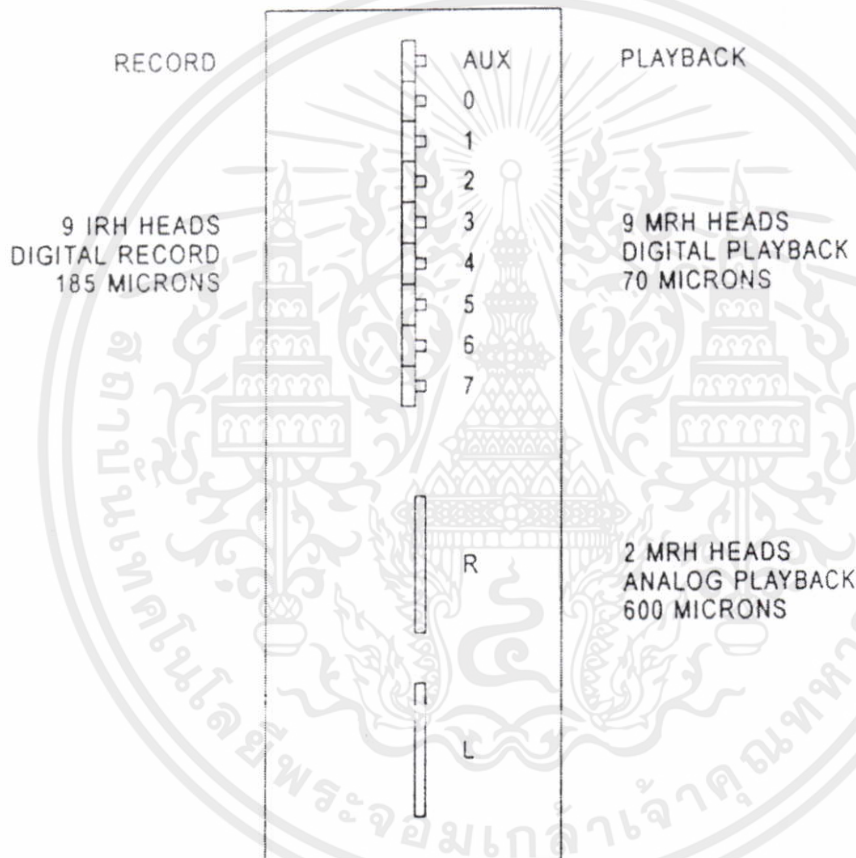
ภาพที่ 3.6 แสดงแผนผังของ head layout ของการบันทึกโดยใช้ DCC พิจารณาจากฟิล์มบางๆของหัวเทป แบ่งได้เป็น 3 ชุด ดังนี้

ชุดแรก ประกอบด้วย 9 ส่วนที่จำเป็นสำหรับหัวบันทึก (IRH) สำหรับการบันทึกในระบบ Digital

ชุดที่ 2 ประกอบด้วย 9 ตัวต้านทานเครื่องกำเนิดไฟฟ้า (MRH) สำหรับการเล่นย้อนกลับ
 ในระบบ Analog และชุดสุดท้ายประกอบด้วย 2 MRHs สำหรับการเล่นกลับในระบบ Analog
 ไม่ว่าจะกรณีใดๆทั้งสิ้น สัญญาณ Digital ถูกบันทึกลงบน 9 Track แบบขนาน แต่ละ Track จะกว้าง 185 μm และ
 ยาว 195 μm โดยหัวอ่านสำหรับเล่นกลับในระบบ Digital จะมีความกว้างเพียงแค่ 70 μm เท่า

กันจากคุณสมบัติดังกล่าวชี้ให้เห็นได้ว่าสามารถที่จะสับเปลี่ยนการเล่นเทป Cassette ระหว่างเครื่องเล่นที่ต่างกันได้และอาจกล่าวได้ว่ารูปแบบของ DCC มีความ sensitive ในการผลิตหรือมีความผิดพลาดน้อยกว่า

หมายเหตุ ในระบบ DCC มักจะมีสัญญาณคลื่นหนึ่งตรงกันข้ามกับสัญญาณปกติเสมอซึ่งเมื่อเทียบกับการบันทึกในระบบ CC นั้นจะสามารถเล่นได้ในตัวเลย



ภาพที่ 3.6 แสดง DCC head layout

รูปแบบข้อมูล (Data Format)

8 track แบบขนานจะเป็นส่วนที่เก็บข้อมูลหลัก (ซึ่งได้แก่ PASC และระบบสื่อสาร) ภาพที่ 3.7 แสดงรูปแบบ track สำหรับชื่อข้อมูลหลัก สัญญาณบนเทปจะถูกแบ่งลงไปบน tape format จากนั้นก็แยกออกโดยใช้ความยาวคลื่นที่แตกต่างกันแบ่งลงไประหว่างช่องว่างระหว่าง frame (IFG)

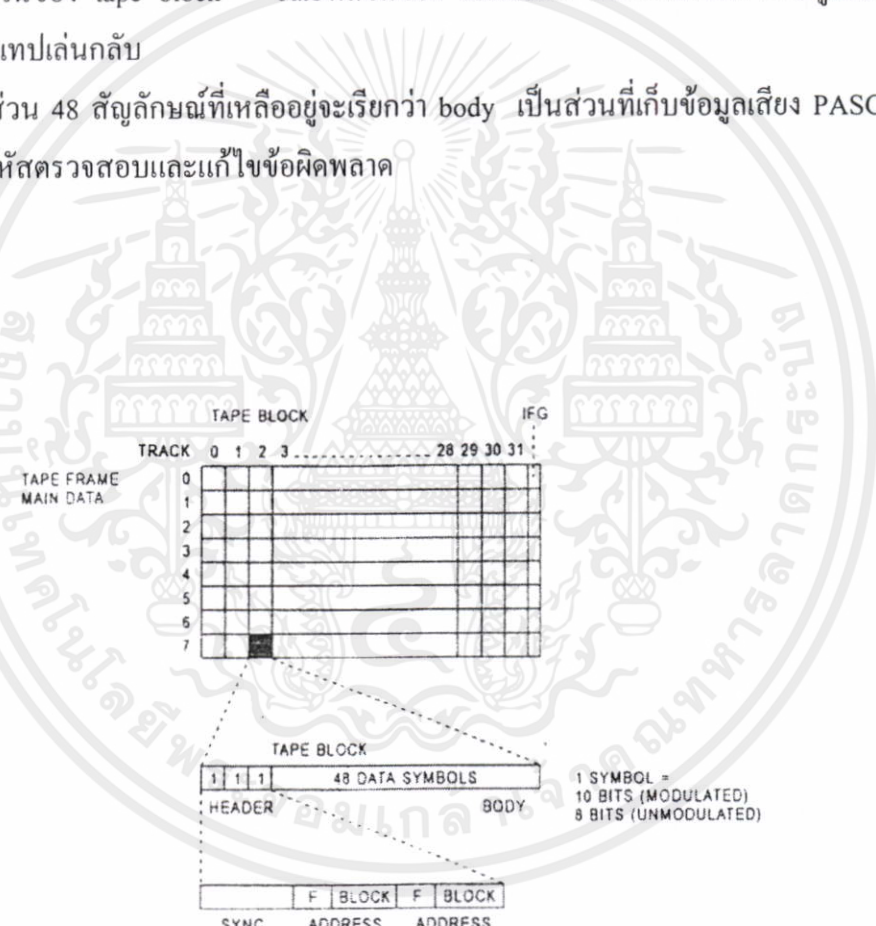
วัตถุประสงค์ของ IFG ก็เพื่อชดเชยความต้านทานที่เกิดขึ้นในกลุ่มของความถี่ (ตัวอย่างเช่น การสั้นของนาฬิกา) ในระหว่างการบันทึก

IFG ประกอบด้วยสัญญาณที่เกี่ยวกับขั้วสลับในทุกๆตำแหน่งของ bit แต่ละ frame ของ 8 เทป format จะประกอบด้วย 32 tape block และ 1 tape block จะมี 51 สัญลักษ์ณ์ข้อมูล

1 สัญลักษ์ณ์ ข้อมูลก็คือ 10 bit ซึ่งเกิดจาก 8 bit แรกของข้อมูลซึ่งไม่ได้เป็นสัญญาณผสม ส่วน 8-10 นั้นจะเป็นสัญญาณผสมใน 3 สัญลักษ์ณ์แรกของทุกๆ block ตรงส่วนของหัวเทปจะประกอบด้วยรูปแบบของจังหวะ frame และ block address

รูปแบบของจังหวะ (synchronization pattern) จะจำหน่ายหรือส่งไปเริ่มแยกแยะที่บริเวณต้นๆในส่วนของ tape block ขณะที่ส่วนของ addresses จะทำหน้าที่สร้างข้อมูลขึ้นมาใหม่ในระหว่างที่เทปเล่นกลับ

ส่วน 48 สัญลักษ์ณ์ที่เหลืออยู่จะเรียกว่า body เป็นส่วนที่เก็บข้อมูลเสียง PASCระบบ ข้อมูลและ รหัสตรวจสอบและแก้ไขข้อผิดพลาด



ภาพที่ 3.7 แสดง Main data track format

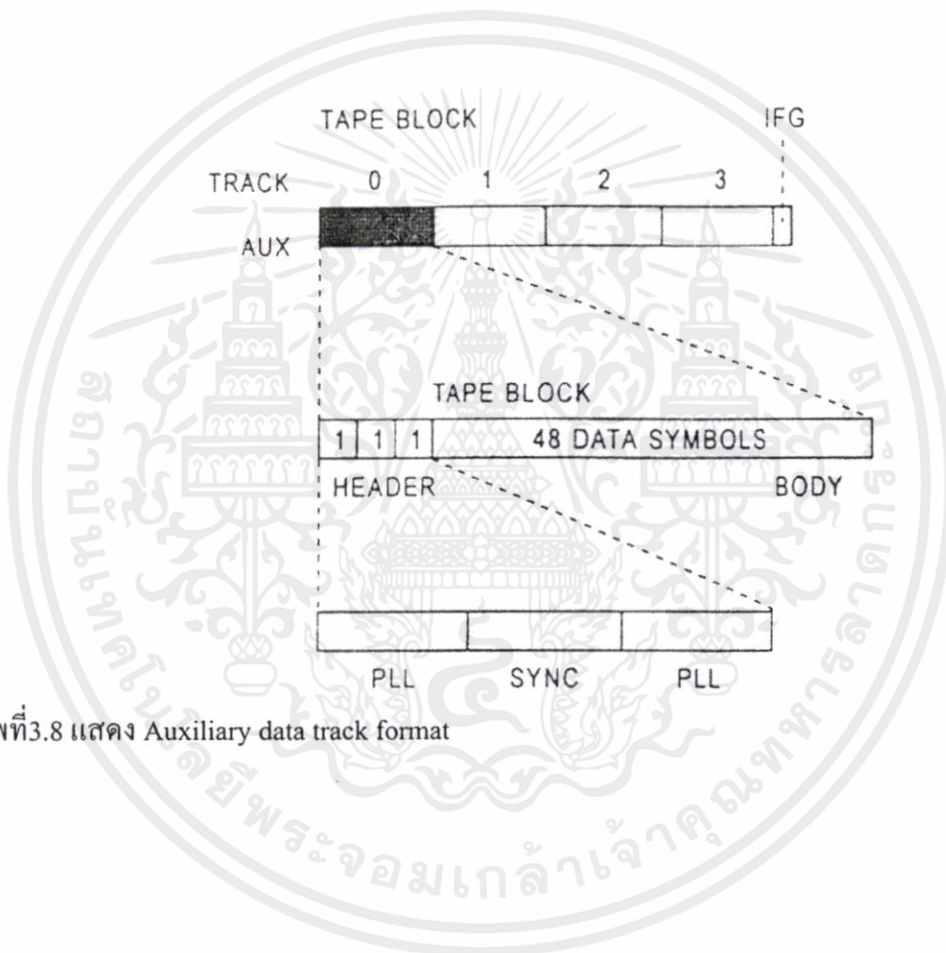
CIRC จะถูกใช้ในการป้องกันข้อมูลจากการสุมและการผิดพลาดบางประการข้อมูลหลัก

บน tape frame จะจุได้ = $48 \times 32 = 1632$ สัญลักษ์ณ์(1632 bytes) ต่อ 1 track ; tape frame ทั้งอันจะจุได้ = 13056 bytes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

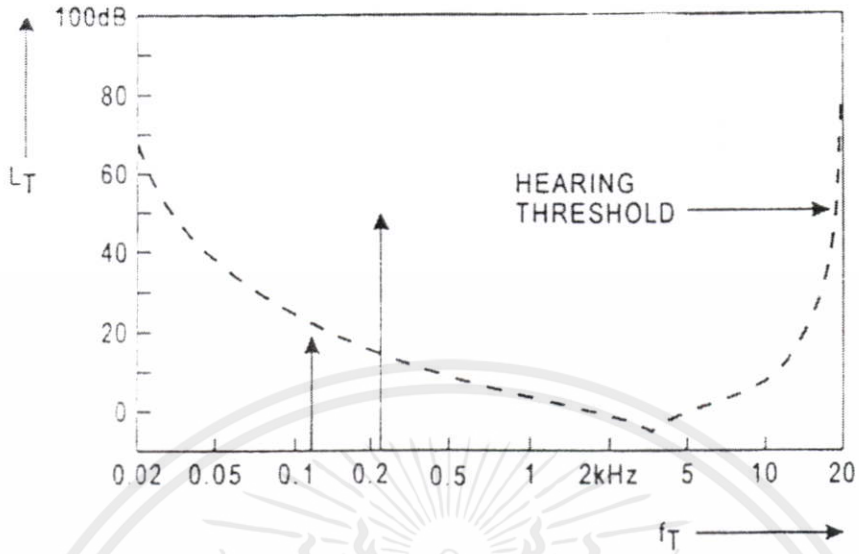
หากไม่นับส่วนที่เป็นหัวเทป (header) ก็จะเหลือเนื้อที่อยู่ 12288 bytes ซึ่งใน 12288 นี้แบ่งเป็นส่วนของ PASC audio data 8192 bytes ส่วนของการตรวจสอบและแก้ไขข้อผิดพลาด 3968 bytes และส่วนของระบบข้อมูลอีก 128 bytes

1 track คือส่วนของข้อมูลสนับสนุนที่สามารถใช้ได้ ค่า bit ของ track สนับสนุนจะถูกลดลงให้เหลือ 1 ใน 8 ของค่า bit ของ track ข้อมูลหลัก (12 kbit/s) ฉะนั้นจำนวน tape blocks จะลดลงเหลือแค่ 4

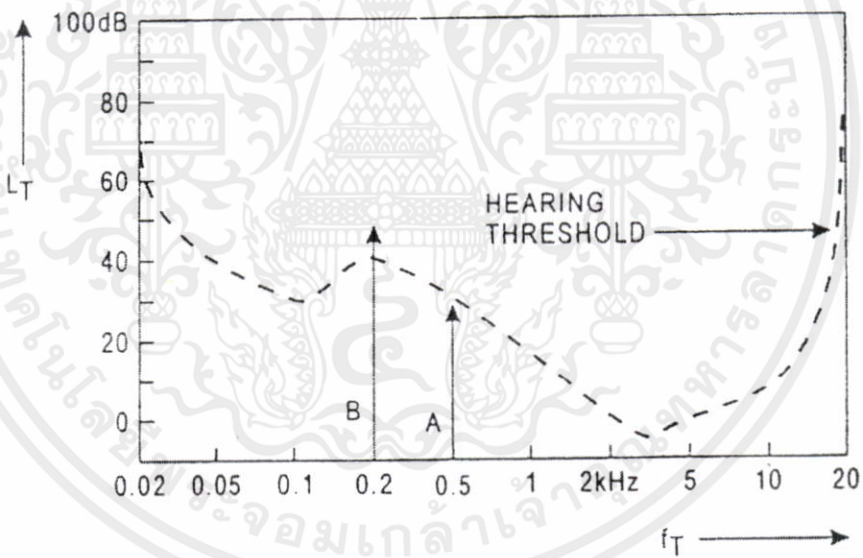


ภาพที่ 3.8 แสดง Auxiliary data track format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.9 แสดง Absolute hearing threshold



ภาพที่ 3.10 แสดง Loud signals(B) mask soft signals (A) by raising the hearing threshold

Precision adaptation sub-band coding (PASC)

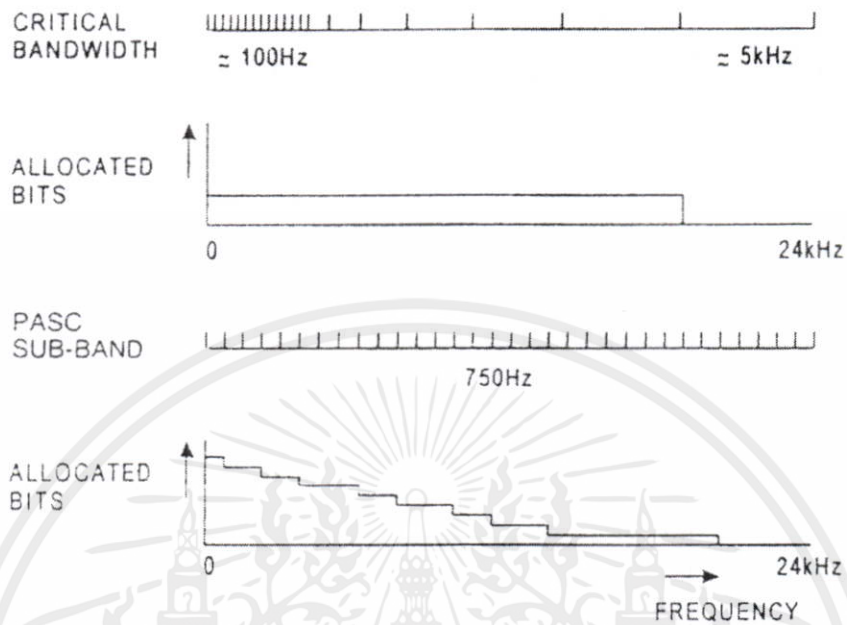
วัตถุประสงค์ของการถอดรหัส algorithm เพื่อลดค่า bit เริ่มต้นของสัญญาณเสียงดิจิตอล ประมาณ 4 ครั้ง ด้วยค่า bit สูงสุดของระบบ DCC = 384 kbit/s PASC อาศัย 2 psycho-acoustic หลักการของหูมนุษย์คล้ายคลึงกับ การทำงานของระบบ ATRAC ที่ใช้ใน MD หูของมนุษย์สามารถรับฟังเสียงโดยไม่คิดเห็นได้เพียงระดับเดียวเท่านั้นเรียกว่าเป็นจุดสุดท้ายของการได้ยิน (Hearing threshold) ซึ่งขึ้นอยู่กับความถี่ของเสียง (แสดงในภาพที่ 3.9)ในการ

เพิ่มความดังของเสียงขึ้นส่งผลให้เสียงเบาๆหรือเสียงที่มีความถี่ต่ำกว่าซึ่งอยู่ชิดกับจุดที่เพิ่มความดังขึ้นจะถูกเพิ่มความดังหรือยกระดับการได้ยินของจุดสุดท้ายของการได้ยิน (hearing threshold) (โดยแสดงอยู่ในภาพที่ 3.10) ในการคำนวณจุดสุดท้ายที่ได้ยิน สำหรับตัวอย่างที่สุ่มเข้ามาทั้งหมด และส่วนประกอบของสัญญาณอินทรีย์นั้นจะอยู่นอกเหนือ threshold นี้แต่การถอดรหัสที่มีประสิทธิภาพมากของสัญญาณเสียงทำให้สามารถคำนวณได้ส่วนกฏสถานะ psycho-acoustic อื่นๆนั้นหูของมนุษย์สามารถได้ยินเสียงได้โดยใช้การวิเคราะห์ช่วงความถี่เสียงซึ่งจะวิเคราะห์เสียงช่วงความถี่ต่ำๆ ที่ถูกกำหนดอยู่รอบๆความถี่ของเสียงความกว้างของ critical band เพิ่มขึ้นตามความถี่ที่ใช้กล่าวคือหากใช้แถบกว้างประมาณ 100 Hz จะต้องใช้ความถี่น้อยกว่า 500 Hz และหากใช้แถบกว้าง 2500 Hz จะต้องใช้ความถี่ 10 kHz จากเหตุผลดังกล่าวจะเห็นได้ว่า psycho-acoustic coding algorithm จะต้องแสดงการคำนวณโดยคำนึงถึง critical band ด้วย

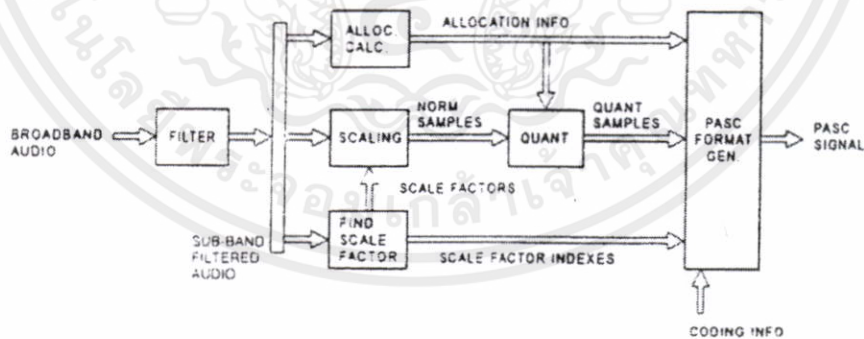
ด้วยเหตุนี้จึงนำไปสู่ตัวกรองสัญญาณย่อยที่แบ่งความถี่ของ spectrum ออกเป็นแถบกว้างของ sub-bands ต่างๆที่ไม่เท่ากัน แต่อย่างไรก็ตามในระบบ PASC ตัวกรองสัญญาณย่อย (sub-bands filters) ที่เท่ากับแถบกว้างของสัญญาณย่อยก็จะถูกใช้ด้วยการทำเช่นนี้ก่อให้เกิดข้อดีในการลดลงของตัวกรองที่ซับซ้อน ในการชดเชยให้กับแถบกว้างของสัญญาณย่อยที่เท่ากันจะมีการแบ่งจำนวน bit ให้แตกต่างกันออกไป ในการวิเคราะห์แถบกว้างระบบตัวเลข จำนวน bit ที่แบ่งไว้ในแต่ละสัญญาณย่อยย่อมจะถูกแบ่งไปให้มีจำนวนเท่ากัน แสดงในภาพที่ 10 ส่วนระบบแถบกว้างที่เท่ากันของ PASC จะใช้จำนวน bit สูงกว่าปกติเมื่อใช้กับสัญญาณย่อยที่มีความถี่ต่ำ และจะใช้จำนวน bit น้อยกว่าปกติเมื่อใช้กับสัญญาณย่อยที่มีความถี่สูง

การดำเนินการของ PASC วิเคราะห์สัญญาณเสียง broad band กับการสุ่มความถี่ F_s โดยแบ่งความถี่ออกเป็น 32 ตัวอย่างการกรองความถี่เกิดขึ้นโดยการใช้ window แทน 512 tap ของตัวกรอง FIR ซึ่งแสดงในภาพ 10 window จะ shift ผ่าน 32 ตัวอย่างสัญญาณย่อยในทุกครั้งของการคำนวณ 32 ตัวอย่างสัญญาณย่อยใหม่ (1 ตัวอย่างต่อแต่ละสัญญาณย่อย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

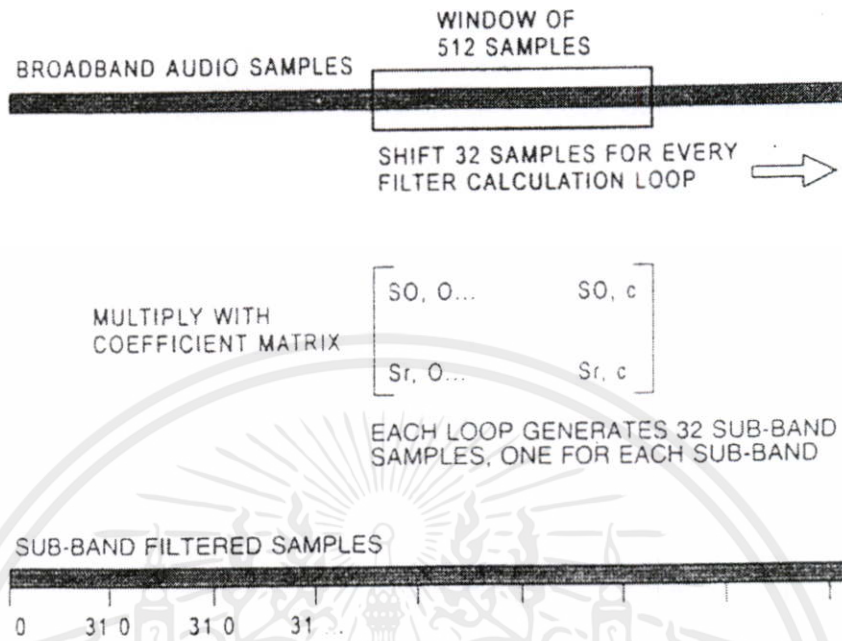


ภาพที่3.11 แสดง difference in bit allocation between systems based on critical bandwidths and the PASC system with equal bandwidth sub-bands



ภาพที่3.12 แสดง Block diagram of the PASC encoder

เนื่องจากสัญญาณย่อยบางสัญญาณมีการซ้อนทับกันในบางครั้งแต่จะยังคงเป็นสัญญาณ
 เอกสารนี้ PCM อยู่โดยจะถูกจำกัดให้ใช้กับแถบของสัญญาณย่อยเท่านั้น สัญญาณย่อยจะถูกแทนและบันทึกค่า
 ไม่ว่าการขึ้น ลงบนจุดที่ฟิซไว้ ส่วนสัญญาณ PASC ถูกใช้เป็นตัวในการบันทึก floating (สื่อคือสื่ออยู่กับทฤษฎี
 อัตราส่วน S/N ของ 92 dB การควบคุมระยะการเคลื่อนที่ (dynamic range) จะถูกเลือกให้ควบคุม
 ตั้งแต่บริเวณ +6 dBFS ถึง -118 dBFS ในสเต็ป 2 dB



ภาพที่ 3.13 แสดงการกรองของ broad band ไปยัง sub-band signals

การปิดบังข้อผิดพลาดส่วนใหญ่ที่สำคัญมากเพราะเป็นการสนับสนุนการแทนค่าของตัวอย่าง โดยที่ความยาวของ mantissa ผันแปรขึ้นๆลงๆ ตลอดเวลาแต่การเปลี่ยนแปลงนี้จะต้องมีความเที่ยงตรงเพียงพอที่จะทำให้สัญญาณรบกวนลดน้อยลงกว่าการบดบังของ threshold

สัญญาณ PASC จะประกอบด้วย PASC frames แต่ละเฟรมจะบรรจุข้อมูลพื้นฐานบน 12 สัญญาณย่อยหรืออาจกล่าวได้ว่าทั้งหมดจะบรรจุได้ 384 สัญญาณย่อยคาบของเฟรมจะเท่ากับ $F_s/384$ (8 ms สำหรับ $F_s = 48$ kHz)

ตามหลักแล้วการปิดบัง threshold อันดับแรกต้องคำนวณกำลังของสัญญาณย่อยที่จะตอบสนองคาบของ PASC frame ซึ่งจะช่วยให้ช่วยในการปิดบังระหว่างสัญญาณย่อยหรือปิดบังในตัวสัญญาณย่อยเอง ดังนั้นจุดจบของการฟังที่สมบูรณ์จึงถูกใช้ให้เป็นประโยชน์ได้โดยนำผลของการปิดบัง Threshold นี้มาเปรียบเทียบกับกำลังสูงสุด (peak powers) ของสัญญาณย่อยซึ่งแบ่งออกเป็น 2 ลักษณะคือ

กรณีที่ 1- กำลังสูงสุดของสัญญาณย่อยอยู่ต่ำกว่าค่าของการปิดบัง threshold สัญญาณย่อยจะบรรจุข้อมูลพื้นฐานแบบไม่สอดคล้องกันเนื่องจากข้อมูลไม่ส่งเสริมกัน

กรณีที่ 2- กำลังสูงสุดของสัญญาณย่อยอยู่สูงกว่าค่าของการปิดบัง threshold สัญญาณย่อยจะสัมพันธ์กับความยาวของ mantissa ซึ่งเป็นสัดส่วนกับระยะทางระหว่างจุดที่มีกำลังสูงสุดกับจุดที่มีการปิดบัง threshold

เนื่องจากการปิดบัง threshold ถูกคำนวณกลับในทุกๆ เฟรม ของ PASC โดยมีกรรมวิธีที่เรียกว่าการตัดแปลงแบ่งความจุเท่าที่จะเป็นไปได้

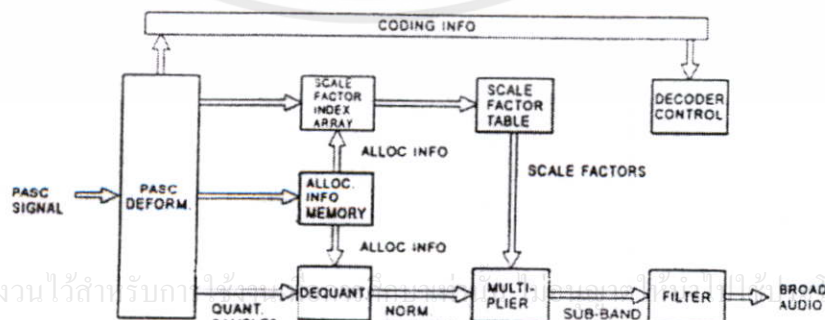
ในขณะที่ความยาวของ mantissa เป็นตัวจะถูกกำหนดให้แสดงการเปลี่ยนแปลงของสัญญาณย่อยของ PCM ที่จุด floating ในทุกๆสัญญาณย่อยค่าสมบูรณของค่าสูงสุดของ 12 ตัวอย่างจะถูกเปรียบเทียบกับตารางของผลคูณค่าคงที่ (ที่เรียกว่า scale factors) ซึ่งแสดงสลับของ 2 dB ในระยะการเคลื่อนที่ ตัวอย่างของสัญญาณย่อยจะถูกหารโดยค่า scale factors

scale factors จะแสดงการอธิบายของจุด floating มีลักษณะคล้ายกับการใส่รหัสสัญญาณย่อยทั้งหมดคือจะบันทึกรวมอยู่กับรหัสของ sample หลังจากที่สัญญาณกลับเข้าสู่สภาวะปกติแล้วจะแสดงค่าของ mantissa ซึ่งจะมีจำนวนขึ้นอยู่กับจำนวน bit ที่ถูกกำหนดอยู่บนสัญญาณย่อย เช่น ถ้ากำหนดให้มีค่าแค่ 4 bit ก็จะแสดงจำนวน mantissa 15 ระดับ

การถอดรหัส ของระบบ PASC การถอดรหัสสัญญาณจะย้อนกลับเข้าไปในสัญญาณย่อยของ PCM โดย การคูณกับ scale factors การสังเคราะห์การกรองจะรวมกับสัญญาณย่อยเข้าไปใน broad band audio การถอดรหัสที่เหมาะสมของ PASC frame จะต้องประกอบด้วยข้อมูลต่อไปนี้

- * การเทียบแบบให้ตรงกัน (synchronization pattern)
- * การกรอกข้อมูลเช่น ความถี่ของตัวอย่างดั้งเดิม ความสำคัญ เป็นต้น
- * การกำหนดข้อมูลพื้นฐานของ 32 สัญญาณย่อย รวมทั้งค่า 4-bit ที่จะบอกว่าการถอดรหัสนั้นจะต้องใช้ bit มากเท่าไรจึงจะเหมาะสมกับ รหัสของ mantissa เช่นถ้ากำหนดค่าเป็น 0 จะหมายความว่ากำลังสูงสุดของสัญญาณย่อยจะต่ำกว่า ค่าการปิดบัง threshold ดังนั้นสัญญาณย่อยจะไม่สามารถถ่ายโอนได้

- * scale factors ของแต่ละสัญญาณย่อย ที่มีค่าเท่ากับ 6-bit
- * การถอดรหัสของตัวอย่างในระบบใน PASC
- * การรวม 0 bit เพื่อปรับอัตราของ PASC frame ให้เป็น $F_s/384$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ห้ามเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 3.14 แสดง Block diagram of the PASC decoder

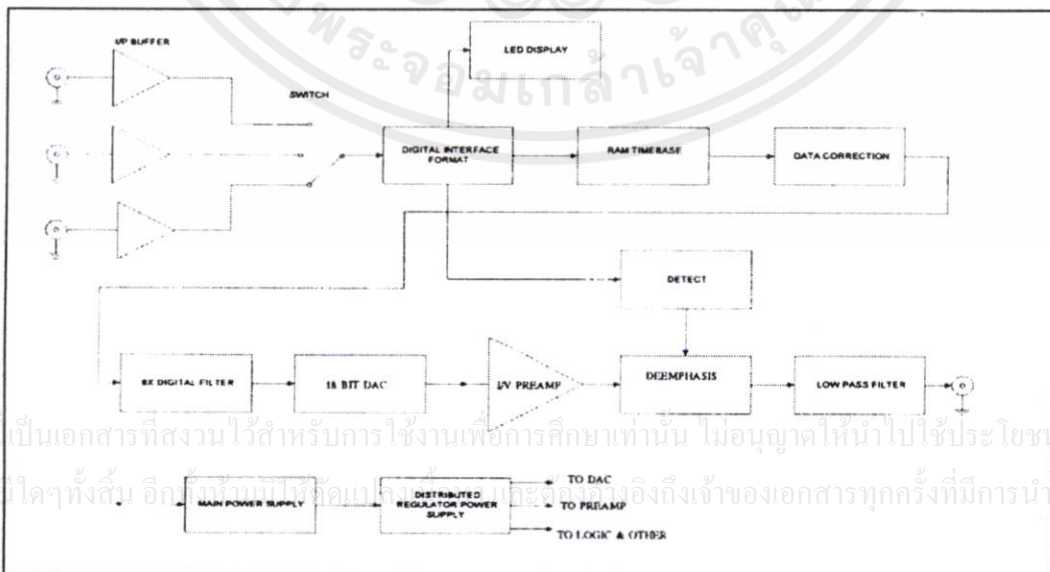
บทที่ 4

การดำเนินการและการออกแบบ

4.1 การออกแบบ

จาก Block diagram จะเห็นว่ามีส่วนประกอบของวงจร 2 ส่วนใหญ่ๆ คือ ภาค analog และ digital โดยที่ภาค digital นั้นกำหนดให้มี 3 อินพุต ซึ่งรับสัญญาณมาจากแหล่งโปรแกรม (Source) ในส่วนนี้ใช้การทำงานของ Logic gate เป็นส่วนใหญ่ทั้งเป็น Input buffer และการสวิตช์สับเปลี่ยนช่องสัญญาณ โดยการสวิตช์จะทำงานร่วมกับ Mechanic Switch จากจุดนี้สัญญาณจะถูกส่งผ่านมายังชุด digital interface format ในจุดนี้ได้ใช้ IC YM3623B ของบริษัท YAMAHA ซึ่งถูกออกแบบมาเพื่อทำหน้าที่โดยเฉพาะซึ่งจะทำการจัด format และแยกชุดข้อมูล (data farm) ของข้อมูลรวมทั้งแยกสัญญาณการแสดงผลของความถี่อัตราการ sampling ของข้อมูล และชุดสัญญาณควบคุมวงจร de-emphasis โดยการทำงานหลักคือ การแยกส่วนของชุดข้อมูลออกมาเป็นสัญญาณ และกำหนดอัตราของสัญญาณนาฬิกาเพื่อส่งต่อไปยังชุด RAM time base (FIFOs) เพื่อทำการเรียงชุดข้อมูล และทำการตรวจสอบโดยแก้ไขความบกพร่องของข้อมูล (data correction) ซึ่งตรงจุดนี้เป็นหน้าที่หลักของ IC IDT7200 ซึ่งเป็น IC Asynchronous FIFO 256*9 Bit ทำงานร่วมกับ IC 4538 Monostable ในการกำหนดการอ่าน (read) และการเขียน (write) ร่วมกันกับการเปรียบเทียบทางเฟสของสัญญาณ โดยใช้ IC Phase lock loop ในชุด data correction นั้นใช้หลักการย่นข้อมูลและทำการตรวจสอบข้อมูลร่วมกับ IC Asynchronous FIFO โดยทำงานร่วมกับ IC NOR Gate และ NAND Gate schmitt trigger โดยอาศัยการทำงานของขาคควบคุมของ IC FIFO เพื่อตรวจสอบ parity bit และทำการแก้ไขโดยมีการทำงานสัมพันธ์กับการกำหนดการเขียน และอ่านข้อมูล หลังจากทีสัญญาณที่ถูกแยกมาแล้วได้ผ่านชุด RAM time base และ data correction แล้วจะถูกส่งมายังชุด digital filter ซึ่งใช้ร่วมกับ phase lock loop และ counter ในการ latch สัญญาณเพื่อแยกข้อมูลซ้าย และขวาก่อนที่จะส่งเข้าสู่ชุด digital to analog converter หลังจากผ่านการ filter แล้วสัญญาณที่ถูกแยกหรือ demultiplex สัญญาณออกเป็น W clock, data, latch จะถูกส่งเข้า DAC เพื่อแปลงเป็นสัญญาณอนาล็อก โดยในส่วนนี้จะใช้ IC DAC 18 Bits เบอร์ PCM 58P ของบริษัท BURR-BROWN ซึ่งจัดว่าเป็น IC ที่ดีที่สุดจากจุดนี้จะได้ output เป็นอนาล็อกในส่วนของภาค analog นั้นหลังจากที่ DAC แปลงสัญญาณมาเป็น analog แล้วสัญญาณที่ได้ นั้นมีขนาดอ่อนมากซึ่งจะอยู่ในรูปกระแส และเป็นหน้าที่ของภาค analog ในส่วนของ pre-amp ซึ่ง จะแปลงสัญญาณให้เป็นแรงดันและตรงส่วนนี้จะมีชุด RC NETWORK เพื่อทำหน้าที่ชดเชยทางความถี่โดยใช้ relay ในการสวิตช์ตัดต่อวงจรซึ่งถูกควบคุมมาจาก IC Interface Format YM 3624B ซึ่งจะชดเชยความถี่ในช่วงความถี่สูง ในสัญญาณบางชุด หรือแหล่งของสัญญาณที่มีการบันทึกเสียงมาเป็นพิเศษ โดยจะมีการเข้ารหัสของ de-emphasis มาในชุดเฟรมของข้อมูลและจะถูกถอดรหัสออก

มาโดย IC YM 3624B และผ่านวงจร driver มาขับ relay จากชุดนี้สัญญาณจะถูกส่งผ่านไปยังชุด active low pass filter ซึ่งใช้วงจร RC NETWORK ร่วมกับการใช้ transistor ซึ่งต่อเป็น วงจร differential amp ซึ่งมีจุดตัดความถี่ประมาณ 22 kHz สัญญาณจะถูกส่งต่อเพื่อทำการขยายอีกครั้งก่อนออกสู่ output โดยมี transistor ต่อเป็นวงจร cascade และมี C ทำการ cloupling เพื่อป้องกันแรงดันไฟตรงออกสู่ output และมี R ต่อคร่อมอยู่เพื่อชดเชย impedance ให้สูงขึ้นก่อนที่สัญญาณจะออกสู่ output จะมี relay ต่ออยู่เพื่อชอร์ต output ลงกราวด์ เพื่อทำการ mute สัญญาณขณะไม่มีสัญญาณหรือเปิดเครื่องใหม่ๆ โดยใช้วงจร mono stable ร่วมกับวงจร delay โดยอาศัยการ detect สัญญาณ data เข้ามาเพื่อควบคุมวงจร muting หลังจากจุดนี้สัญญาณจะถูกส่งต่อไปยัง output jack ซึ่งเป็น RCA jack จากที่กล่าวมาทั้งหมดในส่วนของ pre-amp จะใช้ทรานซิสเตอร์ low noise ทั้งหมดเพื่อการตอบสนองต่อสัญญาณฉับพลัน (transient) ที่ดีในระบบเสียงดิจิตอล และมีสัญญาณรบกวนต่ำซึ่งดีกว่า IC op-amp ส่วนที่สำคัญอีกส่วนก็คือ ภาคจ่ายไฟ ซึ่งถูกแบ่งออกเป็นชุดใหญ่ๆ 2 ชุด โดยส่วนแรกเป็นวงจร main power supply ทำหน้าที่แปลงแรงดันจากไฟ 220V ให้ได้แรงดันที่เหมาะสม และรักษาระดับแรงดันให้คงที่ จากนั้นส่งต่อให้ส่วน regulator ในส่วนนี้จะมีการแยกวงจรออกเป็นหลายชุดเพื่อแยกแรงดัน และ filter อีกครั้งเพื่อแยกเลี้ยววงจรส่วนต่างๆ ที่ต้องการระดับแรงดันไม่เท่ากัน ซึ่งในวงจรต่างๆ นั้นต้องการกระแสเพื่อเลี้ยงวงจรไม่สูงนักประมาณ 200 mA ในส่วนของ pre-amp และชุด driver relay 100mA ในชุด DAC และ 200 mA ในวงจร logic gate ที่ใช้ระดับแรงดัน TTL ในวงจร regulate แต่ละชุดสามารถจ่ายกระแสได้ถึง 1 A และในวงจรส่วนใหญ่ใช้ ทรานซิสเตอร์ ออกแบบทั้งหมดยกเว้นชุดที่เลี้ยงวงจรระดับ TTL ที่ใช้ IC Regulator โดยมีการ filter แรงดันและกระแสให้วงจรมีเสถียรภาพที่สุดในส่วนรายละเอียดของวงจรส่วนต่างๆ จะขออธิบายในหัวข้อต่อไป

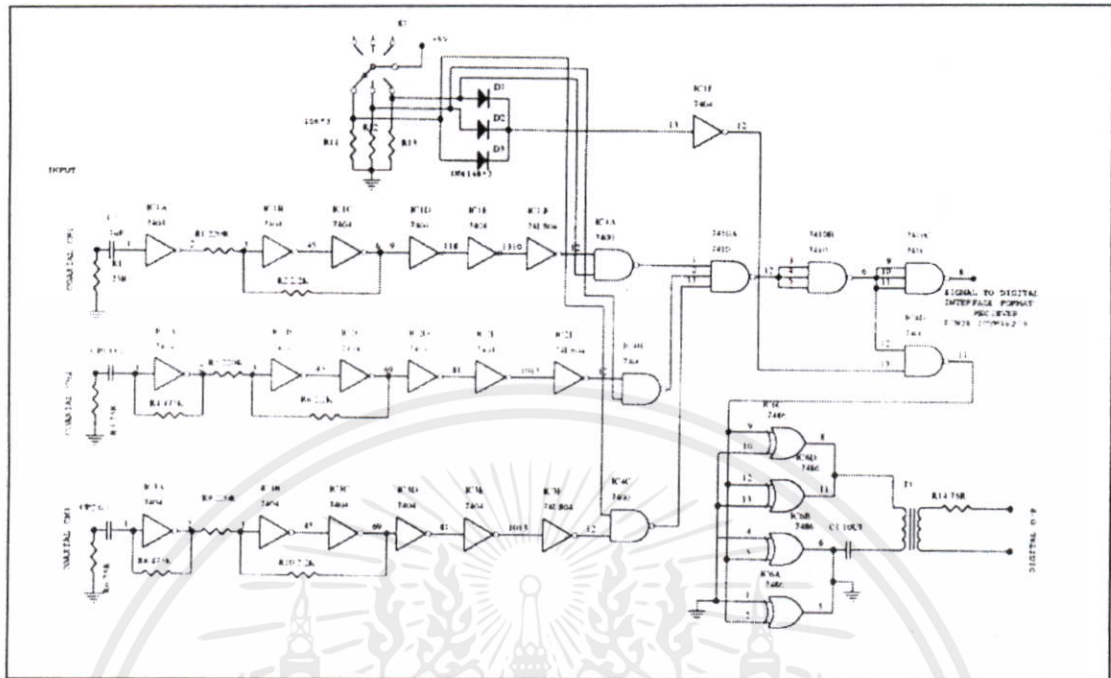


ภาพที่ 4.1 แสดง block diagram การทำงานของเครื่อง

4.2 การทำงานของวงจร input switch & buffer

จากที่กำหนดในตัวเครื่องสามารถรับ อินพุตได้ 3 อินพุต ซึ่งทำให้มีข้อยุ่งยากพอสมควร การออกแบบวงจรส่วนนี้จึงใช้วงจร gate พื้นฐานในการออกแบบจากวงจรดัง ภาพที่ 4.1 กำหนดให้อินพุตทั้ง 3 เชื่อมต่อมาจากแจ็ค RAC โดยที่สัญญาณมีขนาดอ่อนมาก มีขนาดแรงดันประมาณ 0.1 V_{p-p} เข้ามายังส่วนแรกโดยมี R 75 Ω ต่อกับกราวด์ เพื่อชดเชยอิมพีแดนซ์ผ่านมายัง C 0.1 μF ซึ่งทำหน้าที่ coupling สัญญาณผ่านไปยังขา 1 ของ IC 74HC04 ซึ่งเป็น invert buffer ทำการขยายสัญญาณ โดยมี R 475kΩ ต่อเป็น feedback ของวงจรขยายส่วนแรก และส่งผ่านมายัง R 220 Ω กับ invert buffer อีก 2 ตัวอนุกรมกันเพื่อเป็น buffer โดยมี R 22 kΩ ต่อเป็น feedback ให้วงจรดัง ภาพที่ 4.2 จากจุดนี้เราจะได้สัญญาณระดับ TTL แล้วแต่กลับเฟสอยู่ จากวงจรเรายังมี gate ที่เป็น invert buffer อยู่อีกสามตัว ซึ่งใน IC 74HC04 มีวงจร gate ทั้งหมด 6 ตัวเราจึงนำ gate ที่เหลือมาใช้ประโยชน์โดยต่อเป็น buffer เพื่อรักษาระดับสัญญาณให้คงที่ และกลับเฟสสัญญาณให้เหมือนกับอินพุตซึ่งในวงจรในส่วนของ buffer ของช่องอื่นๆ จะมีการทำงานเหมือนกันทั้ง 3 ช่องสัญญาณหลังจากจุดนี้แล้วเราจะได้สัญญาณระดับ TTL ทั้ง 3 ช่องที่พร้อมจะเข้าวงจรสวิตช์ เลือกช่องสัญญาณ ในการใช้สวิตช์เลือกช่องสัญญาณนั้นที่เราไม่ใช้สวิตช์แมคคานิคส์ก็เพราะถ้าใช้แล้วจะต้องมีการเดินสายสัญญาณระหว่าง PCB ไปยังตัวสวิตช์ซึ่งจะทำให้เกิดสัญญาณรบกวนขึ้นได้ เราจึงใช้ gate ทำหน้าที่สวิตช์แทนเพื่อตัดปัญหาสัญญาณรบกวน จากวงจรเราได้ใช้ IC 74HC00 ซึ่งเป็น NAND gate 2 อินพุต โดยนำสัญญาณของแต่ละช่องที่ทำการขยายแล้วมาเข้าที่อินพุตของ NAND แต่ละตัวเพื่อทำการ NAND กับไฟ DC 5V ที่มาจากสวิตช์เลือกช่องสัญญาณซึ่งเป็นซีเล็คเตอร์ (selecter switch) ที่ สวิตช์จะใช้ไฟ DC 5V ต่อเข้าที่แกนกลางของชุดเลือก โดยที่ขาของสวิตช์แต่ละช่องได้ต่อ R 10kΩ ไว้เพื่อกำจัดกระแสไม่ให้แรงดัน DC 5V ลัดวงจรจากการที่เรานำสัญญาณมา NAND กับไฟ DC 5V ที่มาจากสวิตช์แล้วทั้ง 3 ช่องสัญญาณแล้วจึงนำเอาท์พุทที่มาจาก NAND ทั้ง 3 ชุดมาเข้า NAND gate 3 อินพุต อีกครั้งเพื่อแยกสัญญาณที่เลือกมา 1 ช่องจากการ NAND gate 2 อินพุต โดยใช้ IC 74HC10 ซึ่งเป็น NAND gate 3 อินพุต จากจุดนี้เราสามารถใช้น NAND gate 3 อินพุตต่อเป็น buffer ได้โดยนำอินพุตทั้งสามมารวมกัน และต่อเป็น buffer ให้สัญญาณอีกสองชุด เพื่อรักษาเสถียรภาพของสัญญาณก่อนที่จะส่งไปสู่ IC digital interface format receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



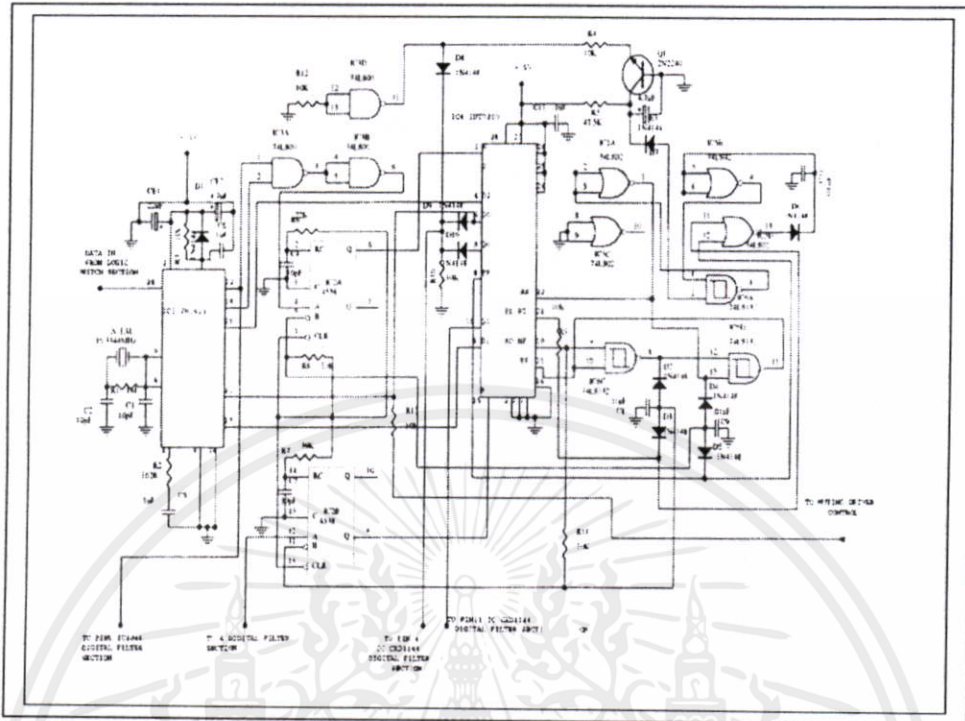
ภาพที่ 4.2 วงจร input buffer & switch

4.3 การทำงานของวงจร Interface format , RAM time base correction

ในวงจรส่วนนี้หลังจากสัญญาณ (data) ได้ผ่านการเลือกมาจากวงจร switch แล้วยังถูกส่งมายังวงจร interface format ซึ่งทำหน้าที่จัด format ของข้อมูลที่รับเข้ามาให้เหมาะสม โดยหน้าที่ในส่วนนี้เป็นหน้าที่หลักของ IC YM3623B ซึ่งถูกออกแบบมาให้ทำหน้าที่โดยเฉพาะ จากวงจรตามภาพที่ 4.3 ที่ตัว IC ขา 5 และขา 6 นั้นต่ออยู่กับ X-TAL 16.9344 MHz เพื่อเป็นสัญญาณนาฬิกาให้วงจร โดยต่อร่วมกับ R 1MΩ และ C 10pF อีกสองตัว เนื่องจาก IC ต้องการสัญญาณนาฬิกา 2 เฟสที่ขา 28 ซึ่งเป็นอินพุทของ IC ที่รับข้อมูลเข้ามาเพื่อทำการจัดชุดข้อมูลให้อยู่ในรูปแบบที่เหมาะสม โดยทำการแยกเป็นสัญญาณ BCO, L/R latch, WCLOCK, data เพื่อส่งต่อไปยังชุด time base และ data correction ทำการเรียงข้อมูล และตรวจสอบแก้ไขข้อมูลก่อนที่จะส่งไป filter จากวงจร จะใช้ IC monostable 2 ตัวในการควบคุมการอ่าน และเขียน โดยช่วงของการเขียนข้อมูลจะใช้สัญญาณ BCO มา NAND กับ CLOCK ที่ IC2 และผ่าน invert buffer เข้าขา A ของ IC3 ซึ่งเป็น mono stable และที่ขา B มีการควบคุมมาจากชุด data correction เช่นกัน และทำงานร่วมกับชุด interpolation และในชุด RAM time base นั้นจะนำสัญญาณข้อมูลเข้าที่ขา D1 ของ IC FIFO และ WCLOCK เข้าที่ขา D0, L/R latch เข้าที่ขา D2 เพื่อทำการตรวจสอบและแก้ไขข้อมูลโดยที่สัญญาณ WCLOCK นั้นถูกต่อผ่านไดโอด 1N4148 และขา Q0 ก็มีการต่อไดโอด 1N4148 เช่นกัน และมีการต่อขาร่วมกันกับ D0 เพื่อส่งต่อไปยังชุด IC digital filter จากวงจรจะเห็นว่าการต่อสวิตช์สัญญาณ ร่วมกันนี้เพื่อป้องกันสัญญาณ CLOCK ขาดหายระหว่างที่มีการหยุดรอแก้ไข และตรวจสอบจาก IC FIFO และสัญญาณ CLOCK

ที่จุดร่วมนี้ยังถูกต่อผ่าน ไดโอด 1N4148 ไปยัง transistor Q1 เพื่อกำหนดช่วงการตรวจสอบและแก้ไขความบกพร่องของข้อมูล โดยต่อเป็นวงจรในลักษณะ common base โดยสัญญาณ CLOCK ต่อเข้าที่ขา E และที่ขา C นั้นต่อไฟ 5V ผ่าน R 47.5 k Ω และเป็นขาเอาต์พุตผ่าน ไดโอด 1N4148 ผ่านไปยัง IC 6(A) NAND schmitt trigger โดยที่ B ของ Q1 ต่อดึงกราวด์และมี C 4.7 μ F ต่ออยู่เพื่อลด noise ที่ IC 6(A) จะทำการ NAND กับสัญญาณที่ผ่าน invert buffer โดยใช้ IC 5(B) ซึ่งมีอินพุตรับมาจากการ NOR กันของสัญญาณที่มาจากกรับประจุและคายประจุของ C8 และ C9 ผ่านไดโอด 1N4148 ที่เอาต์พุตของ IC 6(A) นั้นจะต่อผ่าน invert buffer โดยใช้ IC 5(A) ส่งมายังขา RS ของ IC FIFOs เพื่อให้วงจรภายใน IC FIFOs กำหนดตำแหน่งการอ่าน และเขียนข้อมูลใน RAM และส่งมายังขาอินพุตของ IC 6(D) ซึ่งต่ออยู่กับ ไดโอด 1N4148 เข้า C9 ในลักษณะ loop ในการตรวจสอบ และแก้ไขความบกพร่องของข้อมูลนั้น ทำโดยการนำข้อมูลเข้าไปเก็บใน RAM โดยการกำหนดการเขียน และอ่านในช่วงเวลาที่แน่นอนซึ่งจะเขียนข้อมูล frame เดียวกันหลายๆ ชุดซ้ำกันไปในลักษณะการ copy และก็จะอ่านข้อมูลขึ้นมาหลายๆ ชุดทั้งการอ่าน และเขียนจะอยู่ในช่วงเวลาที่แน่นอนหลังจากนั้นจะทำการตรวจสอบ parity และในช่วงเวลาการอ่าน และเขียนจะทำงานสัมพันธ์กันกับวงจรแก้ไขความบกพร่องในช่วงการแก้ไขการตรวจสอบ parity จะแสดงผลออกมาเป็น logic 0 หรือ 1 ออกมาทางขา EF และ XO/HF ซึ่งจะนำมา NAND กันเพื่อนำค่าแรงดันในลักษณะของ logic 0 หรือ 1 ผ่านไดโอด 1N4148 (D2) เพื่อนำมาเก็บประจุใน C8 เพื่อทำการถ่วงน้ำหนัก (weighted) และนำอินพุตผ่าน R11 ต่อเข้ามาที่ C8 ด้วยและนำไปควบคุมการอ่านที่ IC 2(B) จากเอาต์พุตของ IC 6(C) ผ่านเข้าอินพุต IC 6(D) NAND กับสัญญาณที่ loop กับมาที่ขา 13 และเอาต์พุตต่อ loop กับไปที่อินพุต IC 6(C) ที่ขา 10 สัญญาณที่ loop กลับมายัง IC 6(D) นั้นได้มาจากการนำสัญญาณจาก C8 และ C9 โดยผ่านไดโอด 1N4148 (D3 และ D5) และสัญญาณที่เข้าขา 12 ของ IC 5(D) นั้นยังได้มาจากขา FF ของ IC FIFOs จากเอาต์พุตของ IC 5(D) ผ่าน D6 โดยมี C10 ช่วยลด noise และผ่านไปยัง IC 5(B) ที่ต่อเป็น invert buffer ต่อไป NAND ที่ IC 6(A) ที่ขา 1 และสัญญาณ CLOCK ที่มาจาก Q1 โดยเอาต์พุตออกที่ขา 3 ผ่านไปเข้า invert buffer ซึ่งใช้ IC 5(A) ต่อเป็นวงจร invert buffer โดยเอาต์พุตออกที่ขา 1 loop ไปยังขา 13 IC 6(D) และขา RS ของ IC FIFOs เพื่อควบคุมการอ่านและเขียน จากที่กล่าวมาเป็นการทำงานของภาค interface format, RAM time base correction โดยมีเอาต์พุตเป็น data ออกที่ Q1 ของ IC FIFOs เพื่อส่งต่อไปยังชุด digital filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

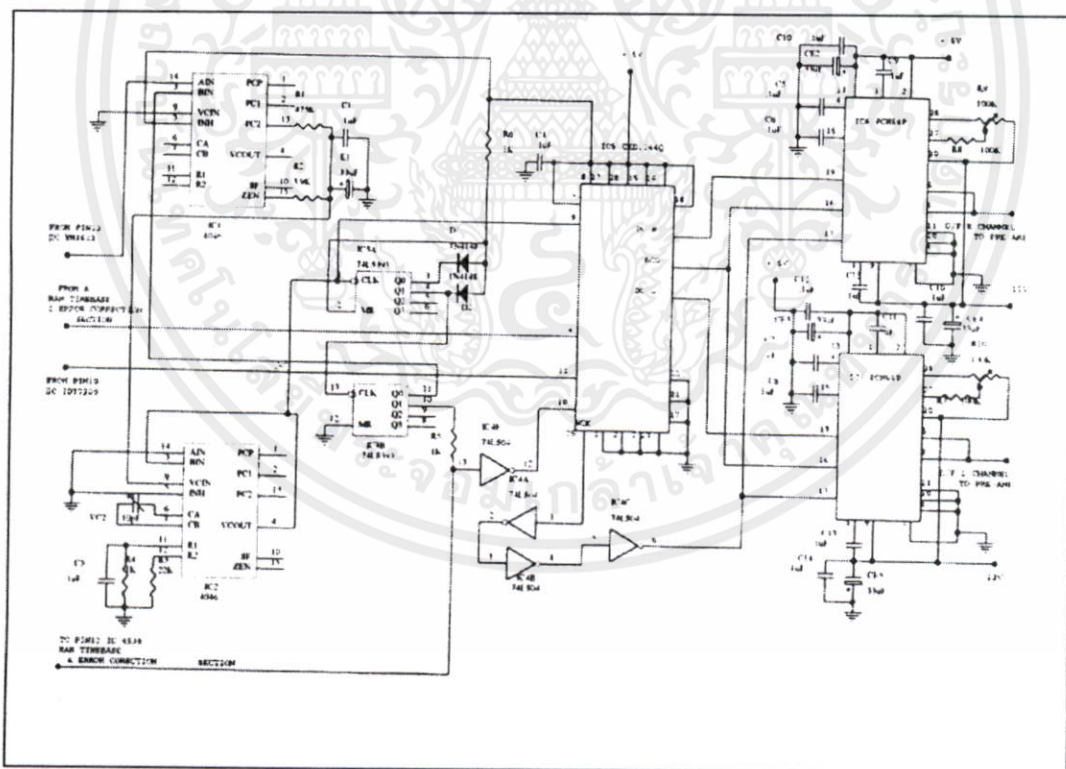


ภาพที่ 4.3 วงจร interface format , RAM time base correction

4.4 การทำงานของวงจร Digital filter และ Digital to Analog Converter

ในการทำงานของภาคนี้จะรับ data มาจากชุด RAM time base correction ในส่วนของภาค digital filter ใช้ IC CXD 1144Q ของ SONY corpe of america ซึ่งถูกออกแบบมาให้ทำหน้าที่นี้โดยเฉพาะ ทำงานร่วมกับ IC 4046 phase lock loop และ IC 74HC132 binary conter หน้าที่หลักของ digital filter คือทำขบวนการ noise shapping เพื่อลดสัญญาณรบกวน และทำ oversampling 8 เท่า $8(X)$ หรือ low-pass filter แบบ digital ก่อนที่จะส่งไปยัง IC PCM 58P ของ Burr Bown Corporatin of America ซึ่งจัดว่าเป็น IC audio digital to analog ที่ดีที่สุดซึ่งมีขนาด 18 bits การทำงานของ digital filter จากภาค interface format RAM time base correction สัญญาณ BCO จากขา 12 ของ IC YM 3623B ส่วนหนึ่งจะต่อผ่านมายัง IC1 4046 ซึ่งทำหน้าที่ ตรวจสอบช่วงสัญญาณที่เข้ามาหรือ phase comparator โดยสัญญาณ BCO นั้นต่อเข้ามาทางขา 14 ซึ่งเป็น signal in โดยนำมาเปรียบเทียบกับสัญญาณที่เข้ามาทางขา 3 ซึ่งมาจาก IC 3(B) ซึ่งมีเอาต์พุตออกที่ขา 13 ผ่าน R2 $475k\Omega$ โดยที่ต่อผ่าน R1 $3.9k\Omega$ เข้าที่ขา 15 เพื่อควบคุมแรงดันในช่วงลบให้เหลือช่วงระดับ 0 โดยเอาต์พุตต่อไปยังขา 9 ของ IC2 ซึ่งต่อเป็นวงจร pase lock loop เพื่อตรวจจับและสร้างสัญญาณ clock ที่แน่นอนป้อนเข้าสู่ขา 9 ของ IC5 CXD 1144B และส่วนหนึ่งต่อผ่านวงจร counter IC 3(A) เพื่อกำหนดช่วงเวลาสุ่มตัวอย่าง (oversampling) ร่วมกับ IC 3(B) และที่ IC 3(B) ที่ขา Q1 ยังต่อไปควบคุม IC1 ด้วยและที่เอาต์พุตของ IC 3(B) ยังต่อไปยังชุด RAM time base correction โดยผ่าน R $51k\Omega$ เพื่อควบคุมการ

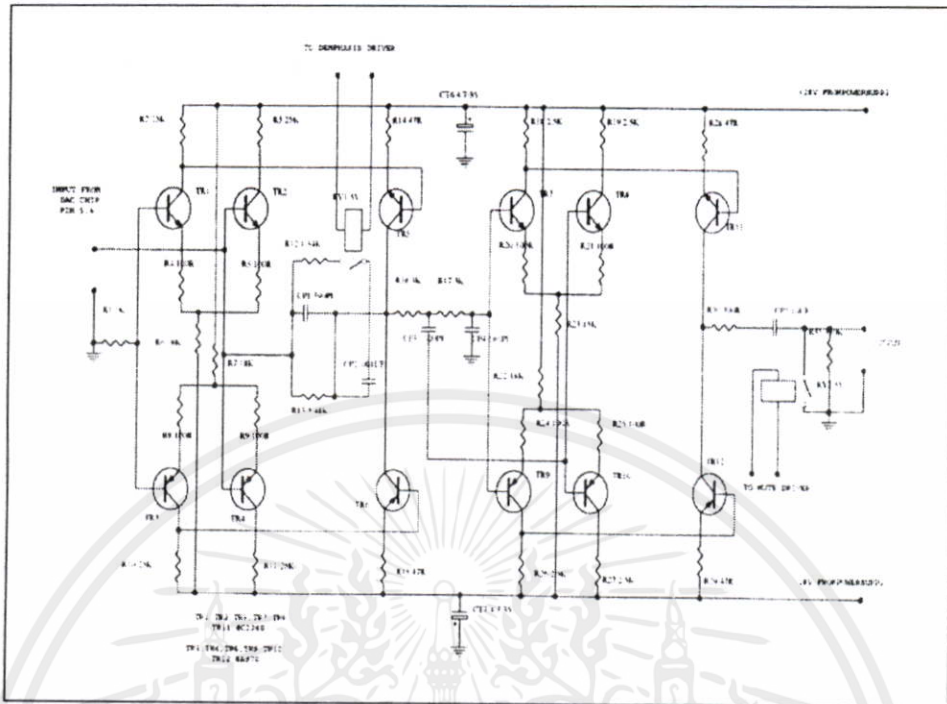
อ่านให้สัมพันธ์กับช่วงการรอกการทำ oversampling สัญญาณยังต่อผ่าน IC 4(F) เป็น invert buffer ก่อนที่จะส่งต่อไปยัง IC5 เพื่อกำหนดช่วงเวลาการทำ oversampling ที่ IC5 CXD 1144 นั้นทำหน้าที่ filter ในแบบดิจิทัล โดยรับสัญญาณข้อมูลมาจากขา 10 ของ IC IDT7200 ซึ่งอยู่ในชุด RAM time base correction และรับสัญญาณ WCLOCK เข้าทางขา 4 และ BCO เข้าทางขา 4 ของ IC CXD 1144 ซึ่งทำหน้าที่ filter โดยได้แยกสัญญาณเพื่อส่งไปยัง IC6 และ IC7 ซึ่งทำหน้าที่แปลงสัญญาณดิจิทัลให้เป็นอนาล็อก (Digital Analog to converter) สัญญาณที่แยกมานี้ประกอบด้วย data L, data R เป็นสัญญาณของข้อมูลข้างซ้าย และขวา WCLOCK เป็นสัญญาณ latch ให้ IC DAC และ BCO หรือ clock ที่ชุดแปลงสัญญาณดิจิทัลเป็นอนาล็อกนั้นใช้ IC PCM58P ซึ่งแยกออกเป็นซ้ายและขวาโดยมีการต่อ C เพื่อทำการ bicap และ filter แรงดันไฟที่เลี้ยงตัว IC ตามกลุ่มมือที่ระบุมา ซึ่งแรงดันไฟที่เลี้ยงตัว IC นั้นมีสองระดับ คือ +5V และ -12V โดยแยกวงจร regulate ออกจากวงจรทั่วไปเพื่อลดสัญญาณรบกวน เอาท์พุทที่เป็นสัญญาณอนาล็อกจะออกจากขา 5 และ 6 ของ IC ซึ่งอยู่ในรูปกระแสและยังไม่สามารถต่อมาใช้งานได้โดยตรง ต้องผ่านวงจร pre-amp ก่อน วงจรการทำงานของภาคนี้แสดงใน ภาพที่ 4.4



เอกสาร ภาพที่ 4.4 วงจร digital filter และ Digital to Analog converter ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทำงานของวงจร pre-amp, De-emphasis และ Lowpass filter

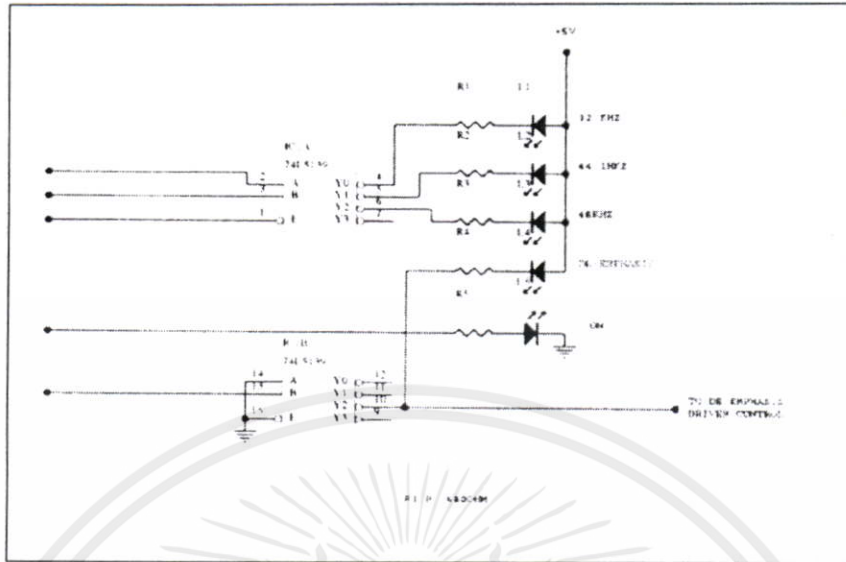
การทำงานของวงจรส่วนนี้มีหน้าที่หลักคือ ขยายสัญญาณที่มาจาก DAC ซึ่งอยู่ในรูปของกระแสที่มีระดับต่ำมาก คือประมาณ 1mA ซึ่งเป็นเอาต์พุตที่มาจาก DAC ให้อยู่ในรูปของแรงดันที่เหมาะสม ซึ่งเรียกว่าวงจรขยายกระแสให้เป็นแรงดัน โดยมีวงจร De-emphasis ต่ออยู่กับเอาต์พุตของวงจร เพื่อชดเชยความถี่ในช่วง 10kHz – 16kHz ซึ่งถูกควบคุมการทำงานโดยใช้รีเลย์เป็นสวิทช์ มีการควบคุมมาจาก ชุด Interface Format และจากนั้นจะส่งต่อไปยังชุด Active low – pass filter เพื่อกรองความถี่ในช่วงที่สูงเกินกว่า 22 kHz ทิ้งไป และขยายสัญญาณอีกครั้งก่อนส่งต่อออกเอาต์พุต และที่เอาต์พุตจะมี Relay ต่ออยู่เพื่อทำการ Muting ขณะไม่มีสัญญาณการออกแบบวงจรมันทั้งหมดใช้ ทรานซิสเตอร์ชนิดสัญญาณรบกวนต่ำ และมีเกนการขยายสูงแทน Op-amp เนื่องจาก Op-amp มีสัญญาณรบกวน (noise) สูง และมีค่าตอบสนองค่าทรานส์เซียนของสัญญาณเสียงไม่ดีนักแม้จะใช้ Op-amp ที่มีคุณภาพที่ดีแล้วก็ตาม ซึ่งในเครื่องหรือวงจรที่มีคุณภาพสูงที่ให้คุณภาพที่เป็น HI-FI และ HI-END จึงไม่พบ op-amp ที่ใช้ทำหน้าที่ขยายสัญญาณเสียงทั้งที่อยู่ใน pre-amp และเป็นไครเวอร์ให้วงจรเพาเวอร์แอมป์ การทำงานของวงจรแสดงอยู่ใน ภาพที่ 32 จากรูปในส่วนหน้านั้นใช้ TR1, TR2, TR3, TR4 ต่อเป็นวงจร differential แบบ cascade กันเพื่อทำการขยายสัญญาณทั้งซีกบวกและลบ โดยการรับอินพุตที่มาจาก DAC CHIP PCM58P ซึ่งมี R1 1k Ω ต่ออยู่เพื่อให้กระแสที่ตกคร่อม ที่ R1 เป็นแรงดัน ทำการขยายในส่วนของ Differential amp โดยที่เอาต์พุตออกที่ขา C ของ TR1 และ TR3 เพื่อทำการขยายที่ TR5, TR6 ซึ่งต่อเป็น Push pull เพื่อทำการขยาย และที่เอาต์พุตของวงจรส่วนนี้ยังมีการป้อนกลับ แบบลบโดยใช้ CP1 และ R13 (negative feedback) ไปยังชุด Differential amp ในส่วนหน้า และวงจรในส่วนการป้อนกลับแบบลบนี้ยังมีวงจรการชดเชย De-emphasis ต่ออยู่ โดยใช้ CP2 และ R12 ซึ่งมีการควบคุมวงจรโดย Relay โดยมีการควบคุมมาจาก วงจร Interface format ผ่านวงจร De-emphasis Driver Control อีกที และเอาต์พุตที่มาจากขา C ของ TR5 และ TR6 จะถูกส่งเข้าสู่ตัววงจร Active low pass filter โดยกำหนดจุดตัดความถี่ที่ 54 kHz โดยใช้ วงจร RC Network R16 กับ CP3 ร่วมกับวงจร Differential amp ร่วมกับ TR7, TR8, YR9, TR10 ซึ่งคำนวณได้จากสมการ $1/6.28 RC$ สาเหตุที่ไม่ใช้จุดตัดใกล้กับย่านสูงสุดของความถี่เสียงหรือครึ่งหนึ่งของความถี่สูงสุดของการ filter เนื่องจากมีการ filter จากวงจร Digital filter มาแล้ว จากชุดเอาต์พุต low-pass filter ก่อนที่จะส่งออกเอาต์พุตนั้นจะต้องทำการขยาย และรวมสัญญาณที่มาจาก Differential amp ก่อน โดยวงจร Push pull ซึ่งใช้ TR11 และ TR12 ต่อเป็นวงจร Push pull ที่เอาต์พุตของวงจรที่ขา C ของ TR ทั้งสองผ่าน R30 และ CP5 ทำการ Coupling สัญญาณออกที่เอาต์พุต เพื่อป้องกันแรงดัน DC โดยเอาต์พุตนั้นมี R31 300K Ω ต่อคร่อมกราวด์อยู่เพื่อชดเชย Impedance และมี Relay ครอบอยู่เพื่อทำการ muting



ภาพที่ 4.5 วงจร Pre-amp, De-emphasis และ lowpass filter

4.6 การทำงานของวงจร LED display

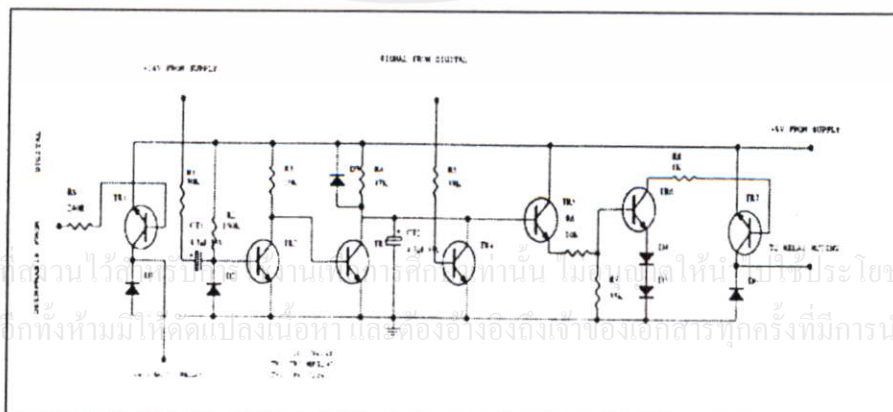
ในวงจรส่วนนี้ทำหน้าที่หลักคือการแสดงผล การทำงานของเครื่องด้วย LED จากวงจร ในภาพที่ 4.5 จะใช้ IC 74LS139 เป็นตัว Decode และ Driver ให้ LED แสดงผล ความถี่การ Sampling ของสัญญาณข้อมูลฟอร์แมตต่างๆ ที่ 32, 44.1 และ 48 kHz และแสดงผลของการทำ De-emphasis รวมทั้งแสดงผลขณะที่ไฟเข้าเครื่อง จากวงจรสัญญาณที่รับมาจาก IC YM3623B จะถูกนำมาถอดรหัส โดย IC 74LS139 ซึ่งเป็น IC Decoder จะรับสัญญาณที่มาจากขาที่ 21, 23, 24 ของ IC YM3623B เข้าที่ขา 1, 2, 3 ของ IC 74LS139 เพื่อทำการถอดรหัส โดยมีเอาต์พุตออกที่ขา 4, 5, 6 ซึ่งออกเป็น low ซึ่งทำการต่อเข้ากับ LED ที่ขาคาโอด โดยมี R 680kΩ ต่ออนุกรมอยู่เพื่อลดกระแสไม่ให้ LED เสียหาย และขาอานโอดต่อกับไฟ +5V ในส่วนของการแสดงผลการ De-emphasis นั้นใช้ส่วนที่เหลือของ IC 74LS139 ทำงานในลักษณะ convert จาก high เป็น low เนื่องจากเอาต์พุตที่ออกมาจากขา 13 ของ IC YM3623B เป็น high โดยการต่อขา 14 และ 15 ของ IC 74LS139 ลงกราวด์ และมีอินพุตเข้าที่ขา 13 และเอาต์พุตออกที่ขา 10 เพื่อขับ LED ลักษณะเดียวกันกับส่วนของการแสดงผล ความถี่การ sampling และเอาต์พุตส่วนหนึ่งถูกส่ง ไปยังภาค De-emphasis driver control ส่วนการแสดงผลภาวะการทำงานของเครื่องขณะที่มีไฟเข้านั้นถูกต่อเข้าโดยตรงกับไฟ +5V ไม่ว่าผ่าน R 680kΩ เข้า LED โดยตรงเลยดังแสดงในรูปวงจรข้างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.6 วงจร LED display

กันการลัดวงจร และป้องกันการยุบตัวของสนามแม่เหล็กของขดลวด relay ที่จะมารบกวนวงจร โดย TR1 นั้นต่อแบบ open collector โดยมี relay เป็น โหลด

ในส่วนของวงจร muting นั้นใช้ TR2 และ TR3 ต่อในลักษณะไบสเทเบิล-มัลติไวเบรเตอร์แบบใช้การทริกโดยอัตโนมัติ คือเปลี่ยนสถานะของวงจร โดยการใช้การควบคุมจากแรงดันไฟเลี้ยงวงจร 24V โดยใช้ CT1 4.7 μ F เป็นตัวหน่วงเวลาการไบอัส เมื่อมีไฟเข้าวงจรใหม่ เพื่อให้การทำงานมีสถานะคงตัว เมื่อ TR2 ทำงานจะส่งแรงดันไปขับ TR3 ให้ทำงาน โดยที่ขาออกของ TR3 ที่ขา C จะมี CT2 ต่ออยู่เพื่อทำการหน่วง และมี TR4 ต่อเป็นสวิตช์ต่อส่วนนี้ลงกราวด์ โดยมีการควบคุมจากสัญญาณข้อมูลที่มาจากภาค RAM timebase ผ่าน R5 33k Ω เข้ามายังขา B ของ TR4 เพื่อกำหนดการ muting ขณะที่ไม่มีสัญญาณ หรือสัญญาณขาดหายโดยต่อร่วมกับ TR5, TR6 และ TR7 เพื่อควบคุมการทำงานของ relay ดังรูป



ภาพที่ 4.7 วงจร De-emphasis & muting driver control

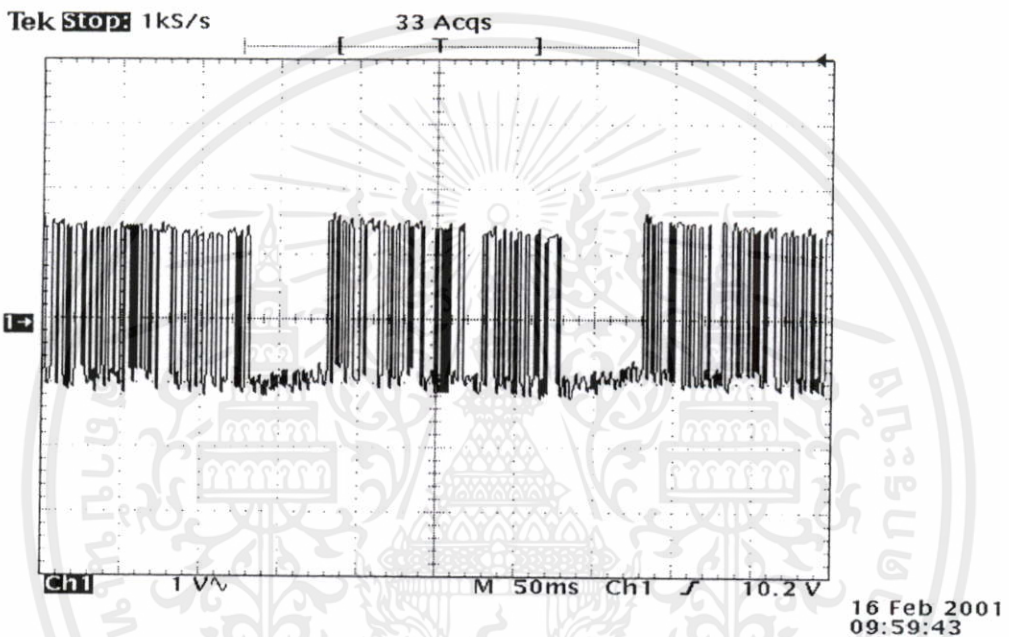
เอกสารนี้เป็นเอกสารที่สแกนไว้เพื่อใช้ในงานศึกษาวิจัยเท่านั้น ไม่อนุญาตให้ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

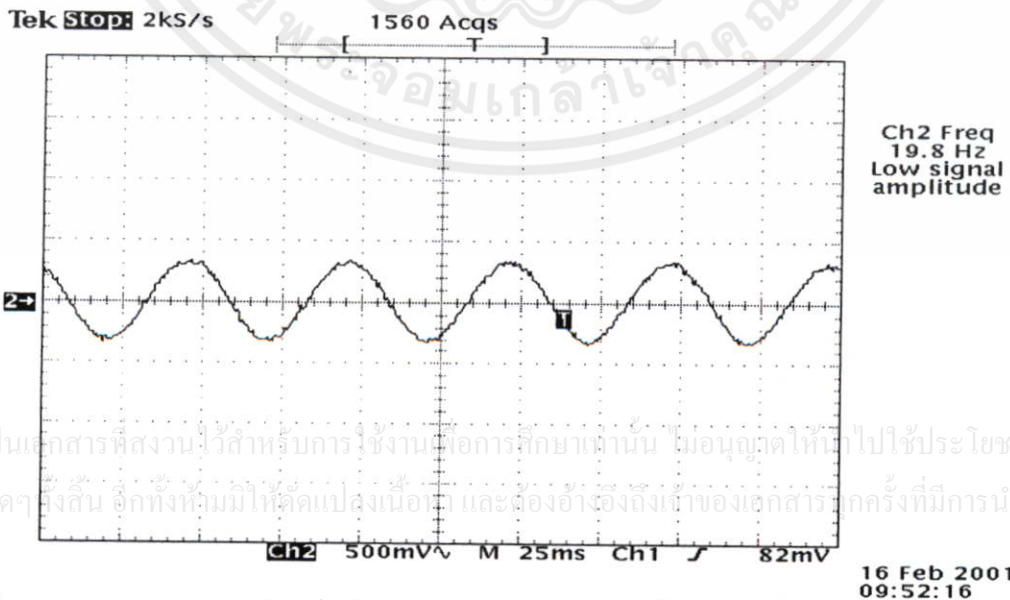
ผลการทดลอง

ในการทดลองจะใช้สัญญาณเสียงรูปไซน์ความถี่ 20 Hz – 20 kHz บันทึกลงใน CD , DAT แล้วทำการป้อนเข้าเครื่อง

1. สัญญาณที่ได้จาก CD ซึ่งมีผลการทดลองดังนี้

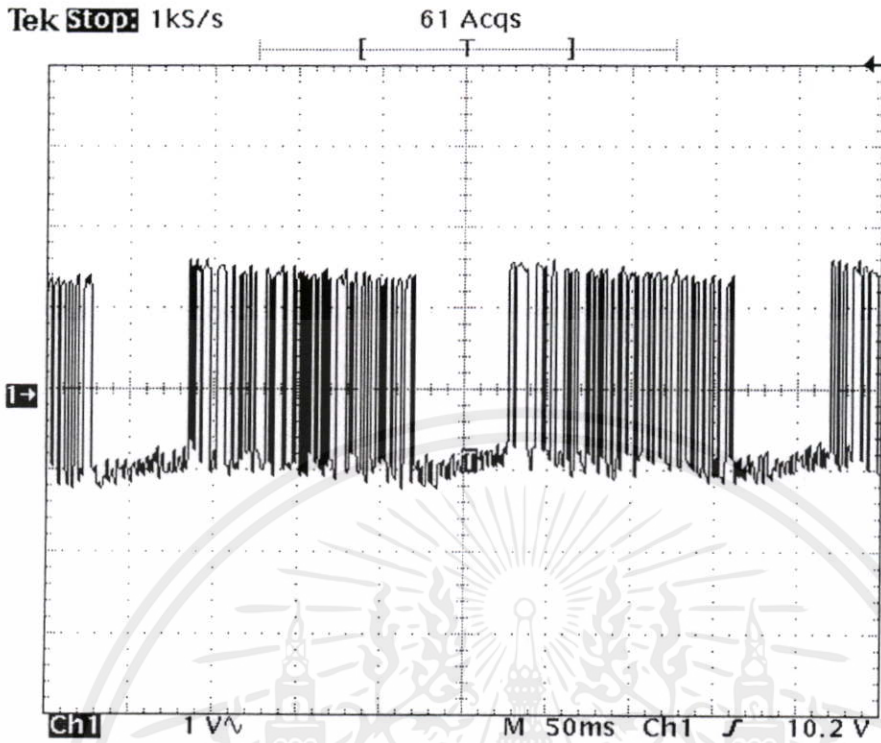


ภาพที่ 5.1 แสดงสัญญาณดิจิทัลความถี่ 20 Hz ที่ป้อนเข้าเครื่อง



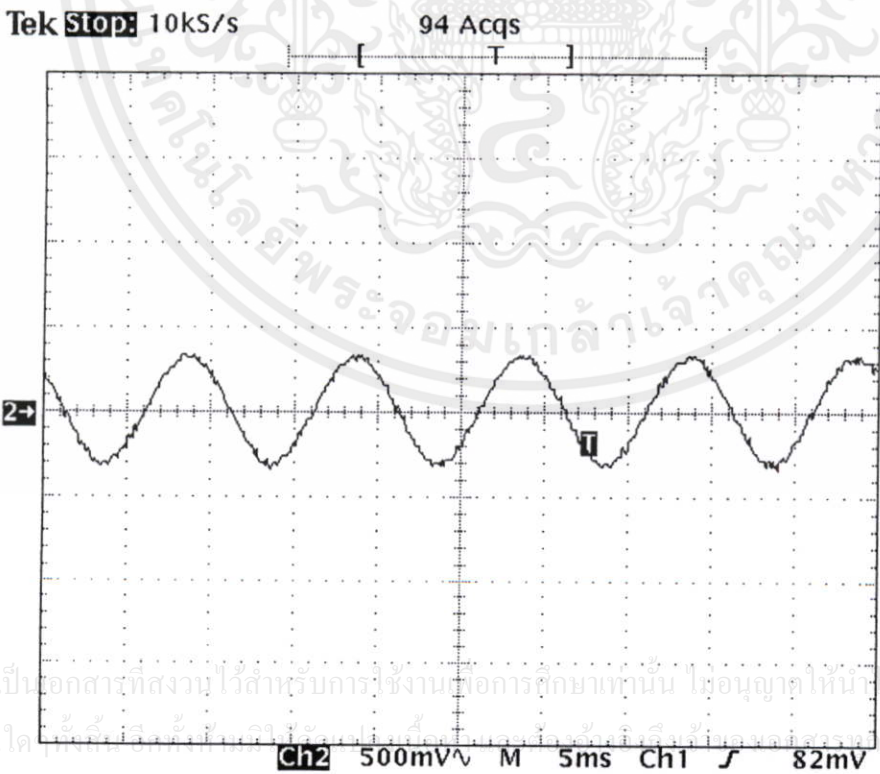
ภาพที่ 5.2 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานานาชาติ ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 Feb 2001 10:03:48

ภาพที่ 5.3 แสดงสัญญาณดิจิทัลความถี่ 100 Hz ที่ป้อนเข้าเครื่อง

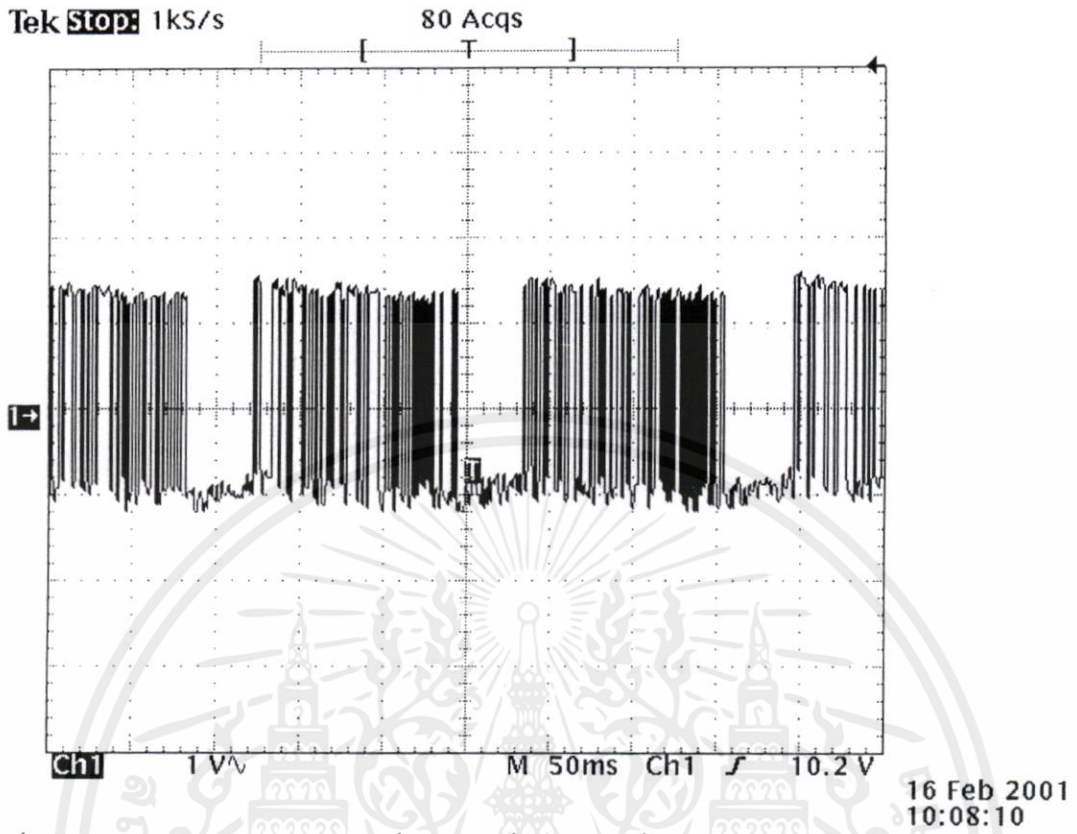


Ch2 Freq 100.7 Hz Low signal amplitude

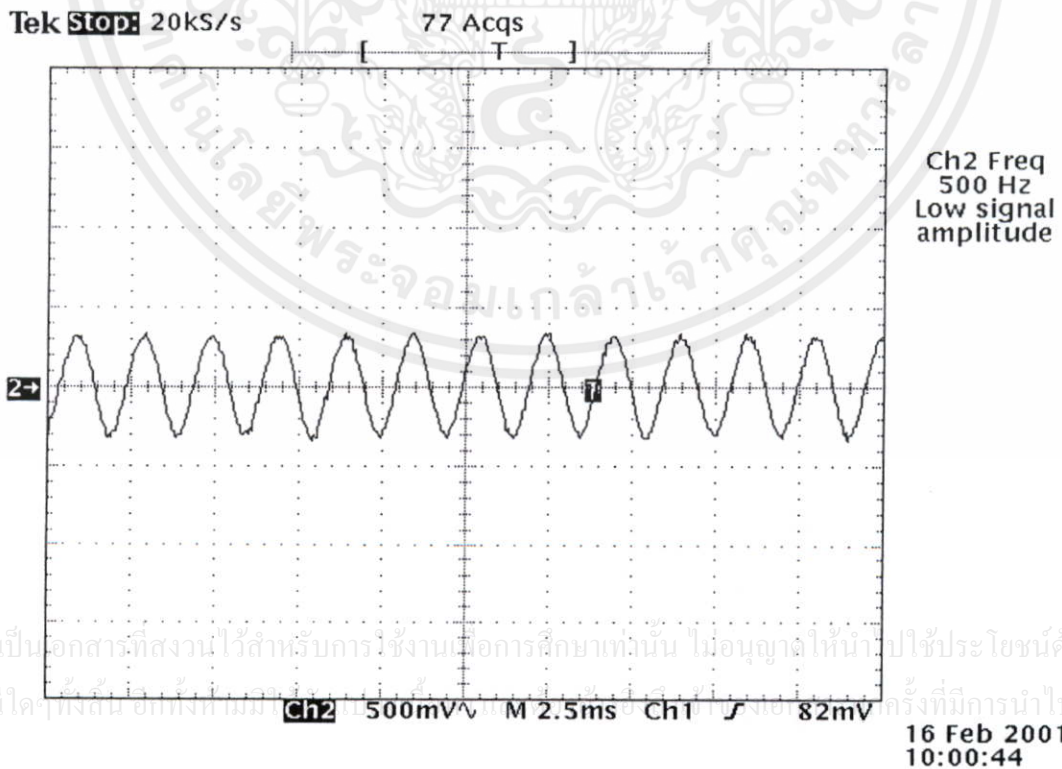
16 Feb 2001 09:56:21

ภาพที่ 5.4 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดก็ตาม

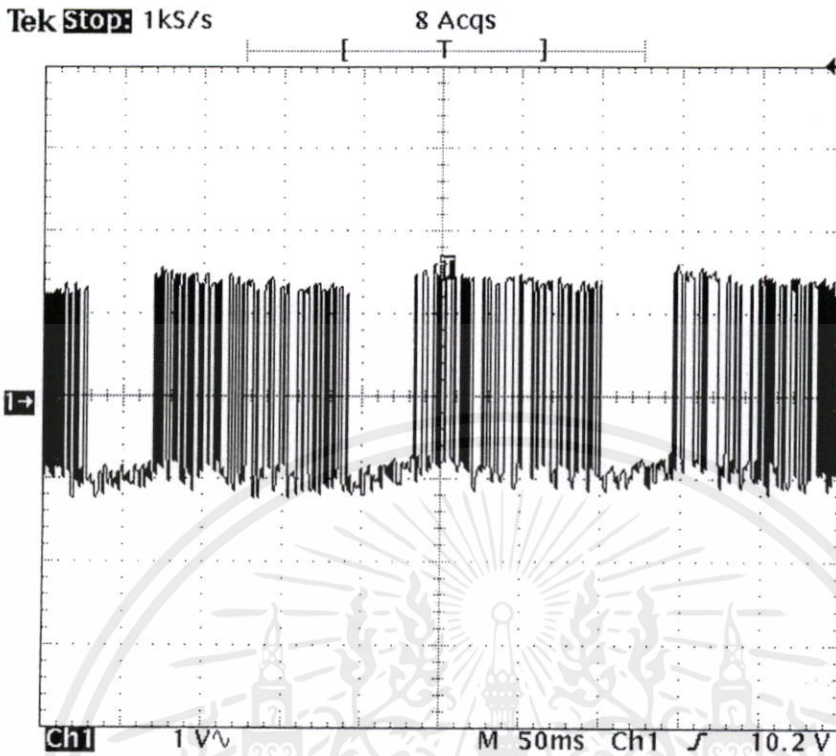


ภาพที่ 5.5 แสดงสัญญาณดิจิทัลความถี่ 500 Hz ที่ป้อนเข้าเครื่อง



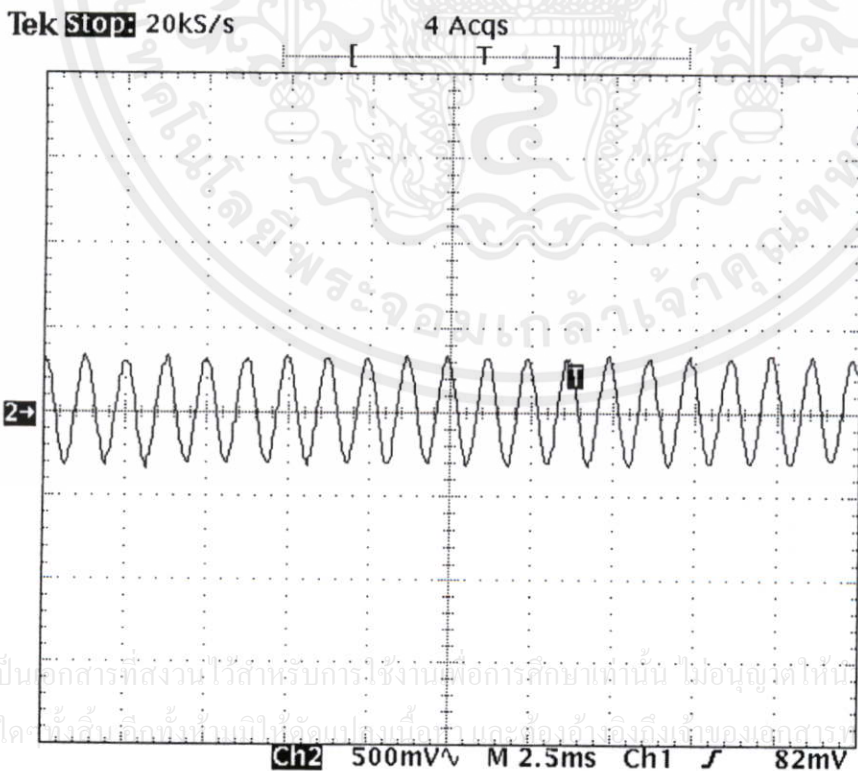
ภาพที่ 5.6 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่เอกสารนี้โดยไม่ได้รับอนุญาตจากทางมหาวิทยาลัย



16 Feb 2001
10:11:39

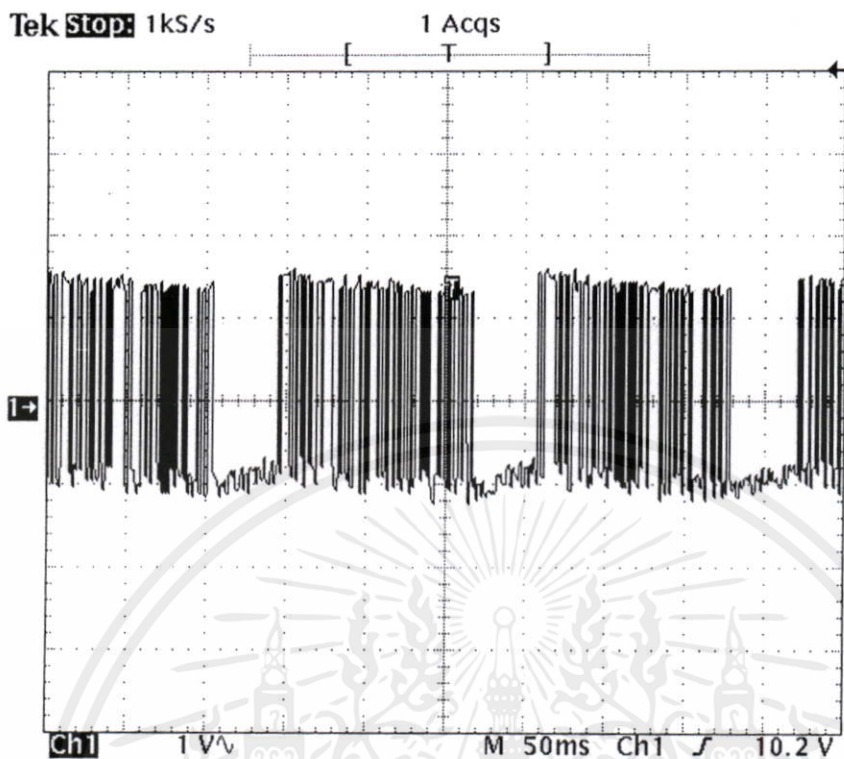
ภาพที่ 5.7 แสดงสัญญาณดิจิทัลความถี่ 800 Hz ที่ป้อนเข้าเครื่อง



16 Feb 2001
10:04:13

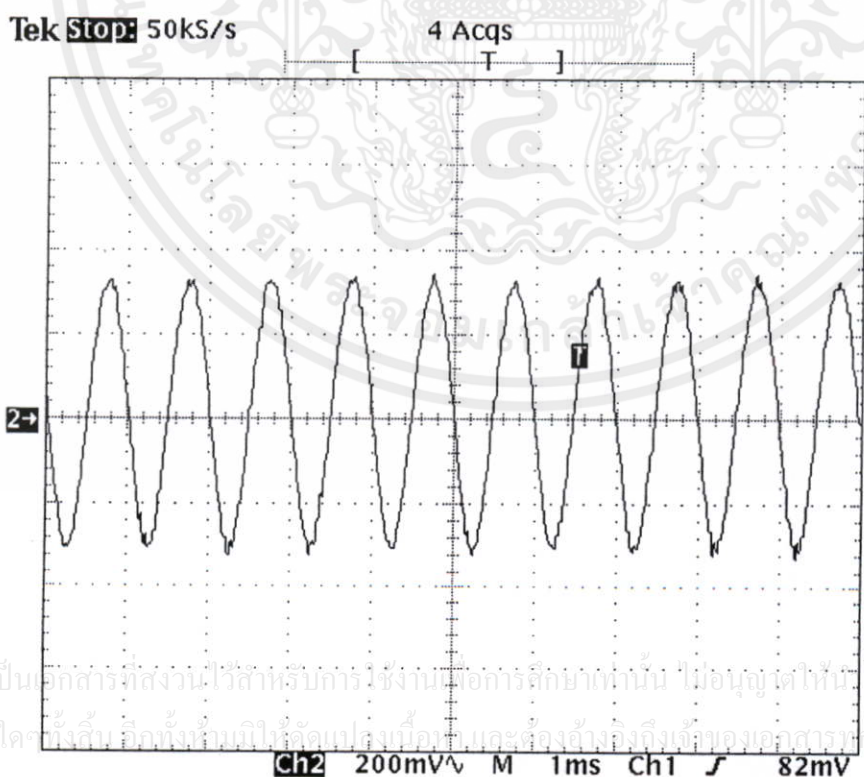
ภาพที่ 5.8 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาด้านนั้น ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น เด็กทั้งห้ามิให้อวดบงกชเนือทา และต้องอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 Feb 2001
10:16:38

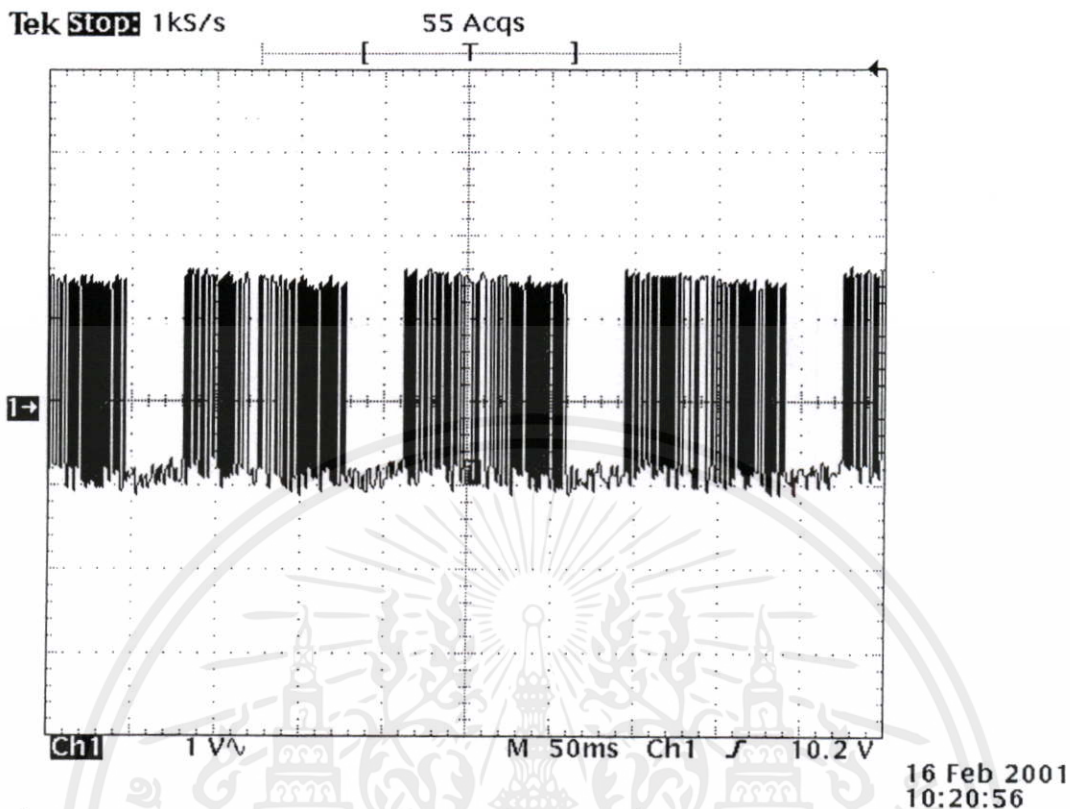
ภาพที่ 5.9 แสดงสัญญาณดิจิตอลความถี่ 1 kHz ที่ป้อนเข้าเครื่อง



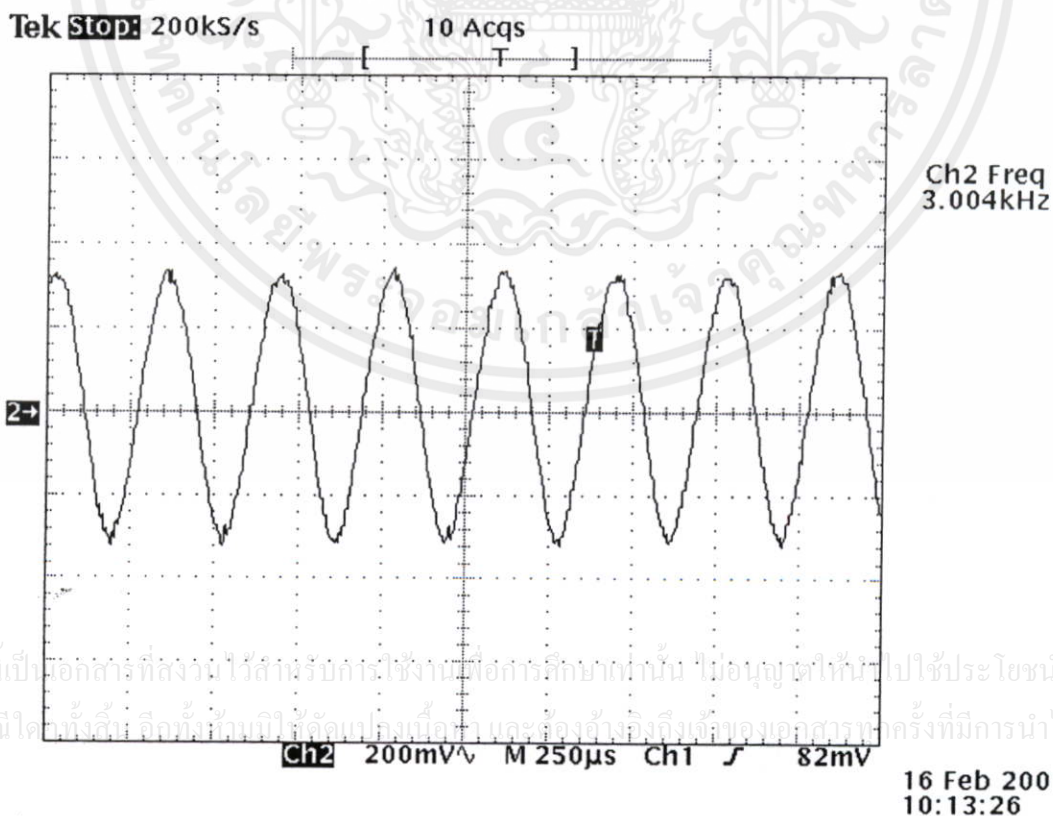
16 Feb 2001
10:11:07

ภาพที่ 5.10 แสดงสัญญาณเอาร์ทพุทที่ได้จากการป้อนสัญญาณภาพที่ 5.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาด้านนั้น ไม่นอนุญาติให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงที่มาของเอกสารทุกครั้งที่มีการนำไปใช้

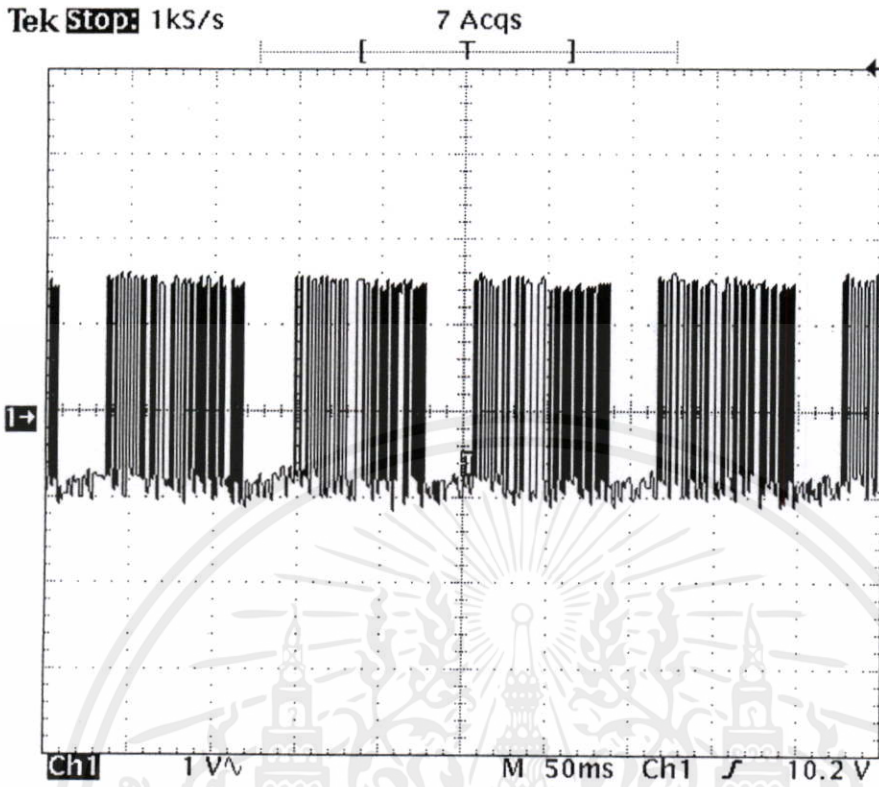


ภาพที่ 5.11 แสดงสัญญาณดิจิทัลความถี่ 3 kHz ที่ป้อนเข้าเครื่อง



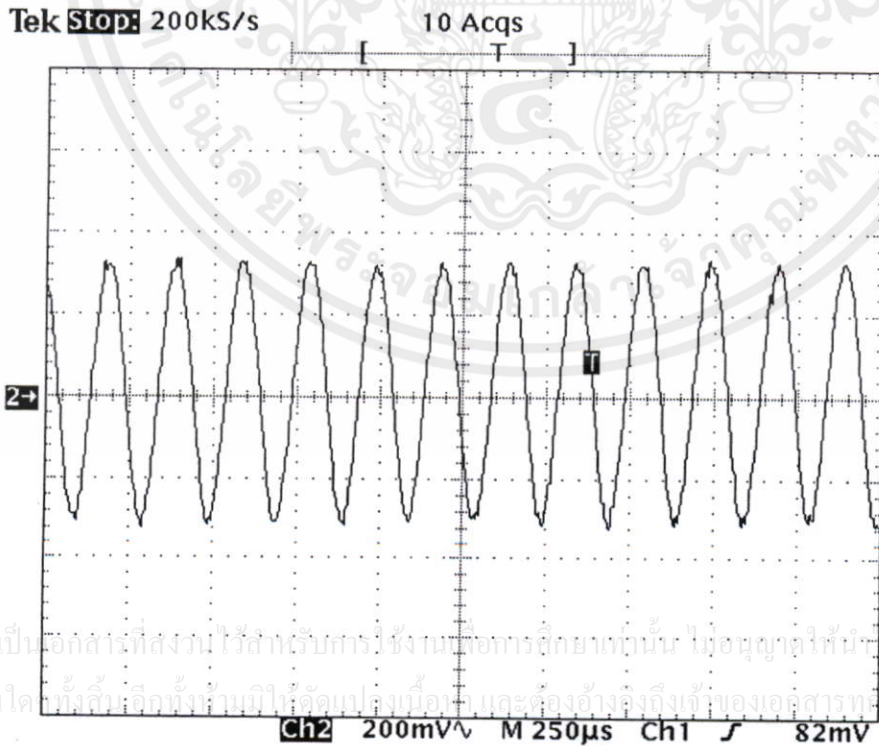
ภาพที่ 5.12 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังห้ามมิให้อัดแปลงเนื้อหา และต้องอ้างอิงถึงที่มาของเอกสารทุกครั้งที่มีการนำไปใช้



16 Feb 2001
10:24:27

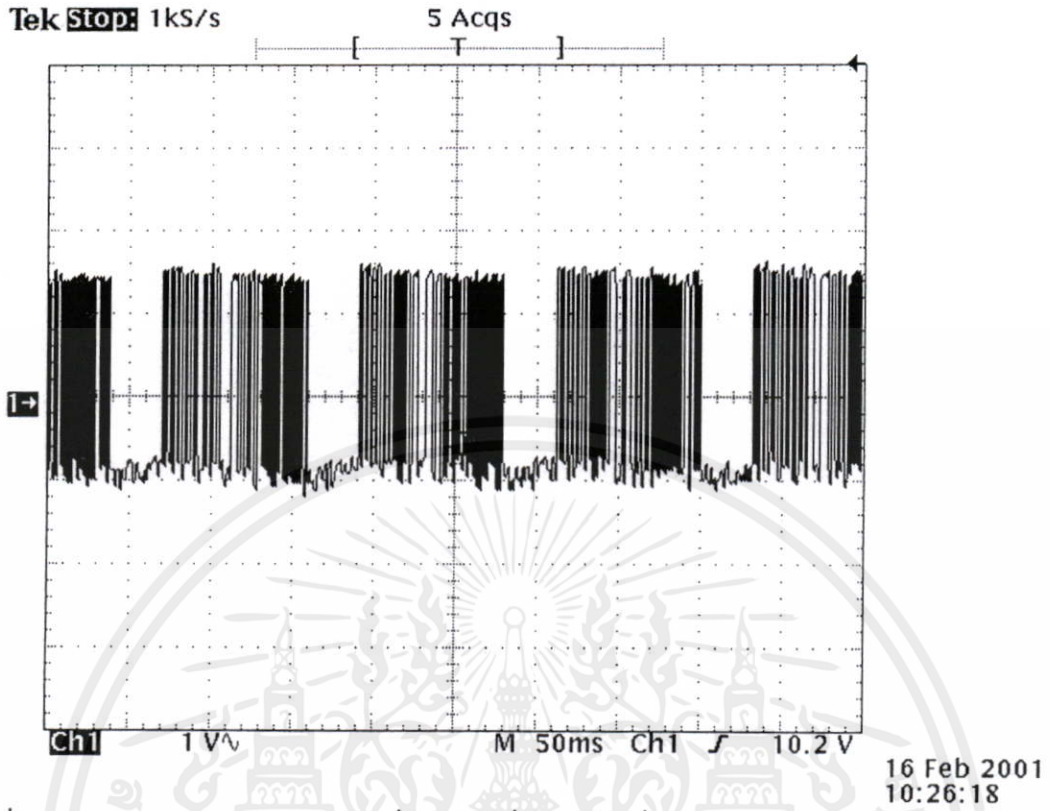
ภาพที่ 5.13 แสดงสัญญาณดิจิทัลความถี่ 5 kHz ที่ป้อนเข้าเครื่อง



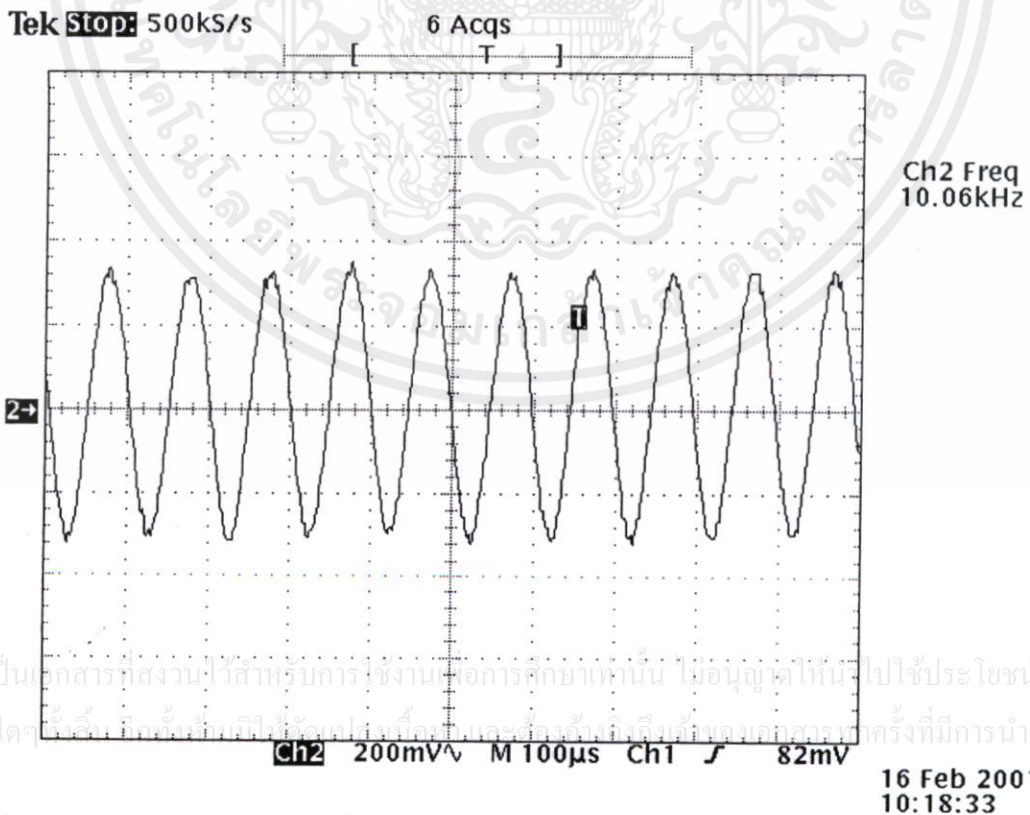
16 Feb 2001
10:16:28

ภาพที่ 5.14 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษายเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดก็ตามทั้งสิ้นเด็กทั้งห้ามมิให้อัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

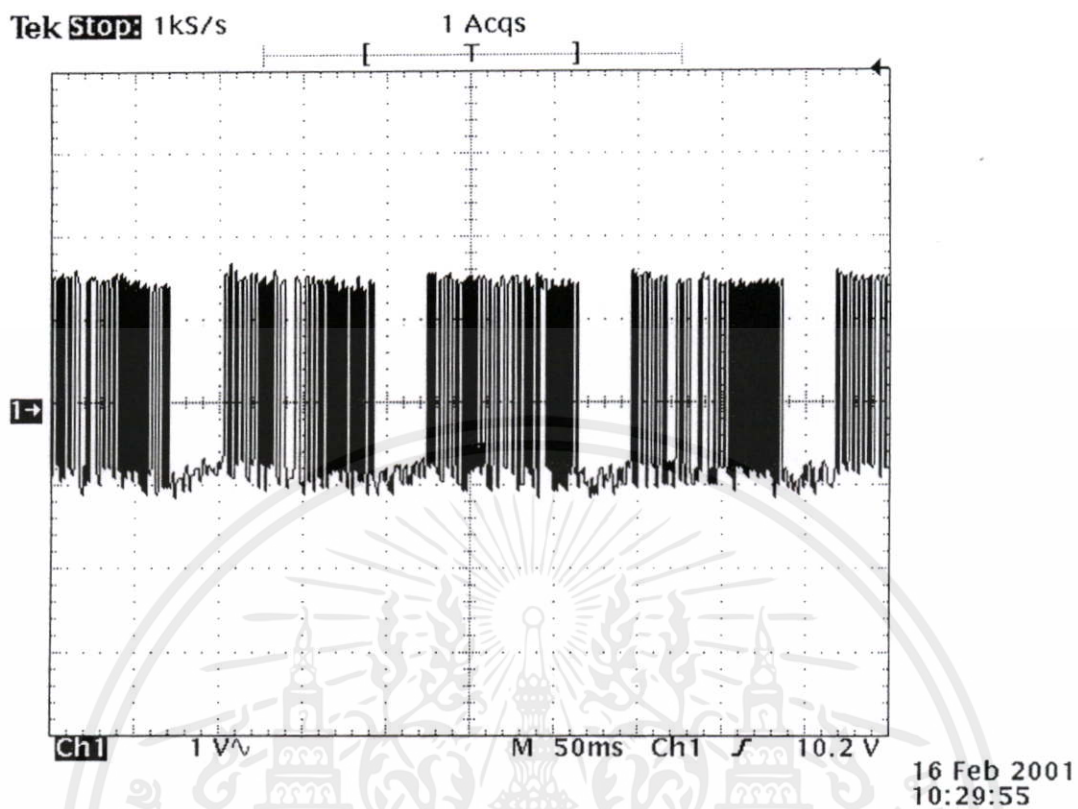


ภาพที่ 5.15 แสดงสัญญาณดิจิตอลความถี่ 10 kHz ที่ป้อนเข้าเครื่อง

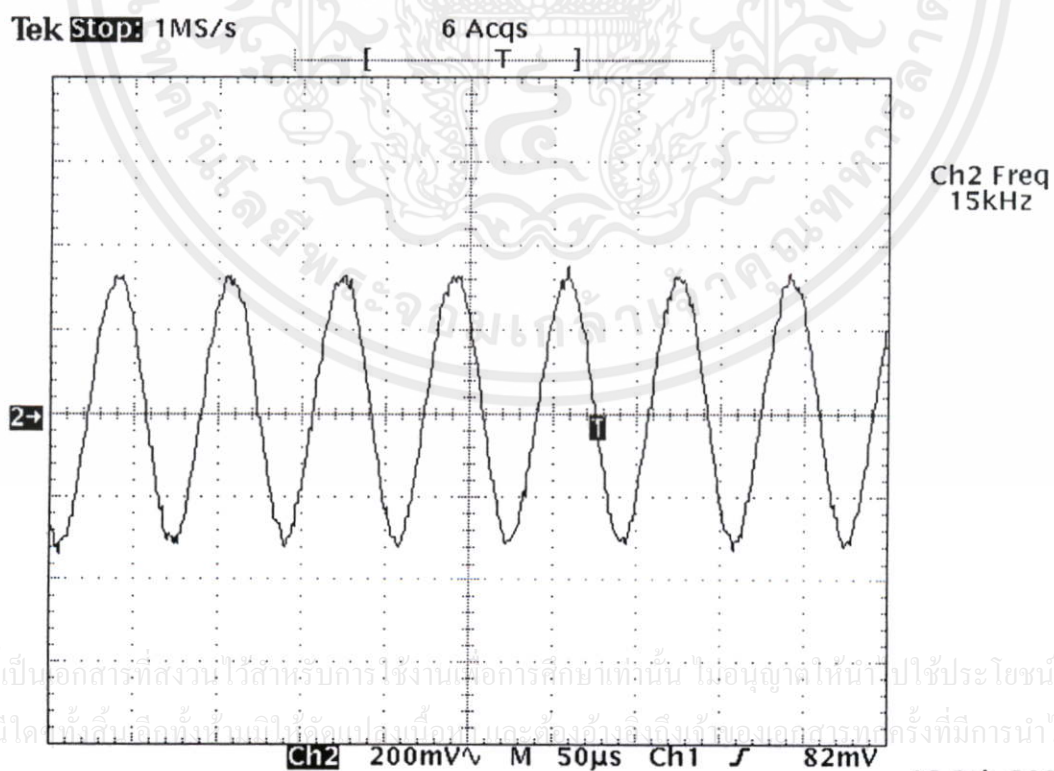


ภาพที่ 5.16 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.15

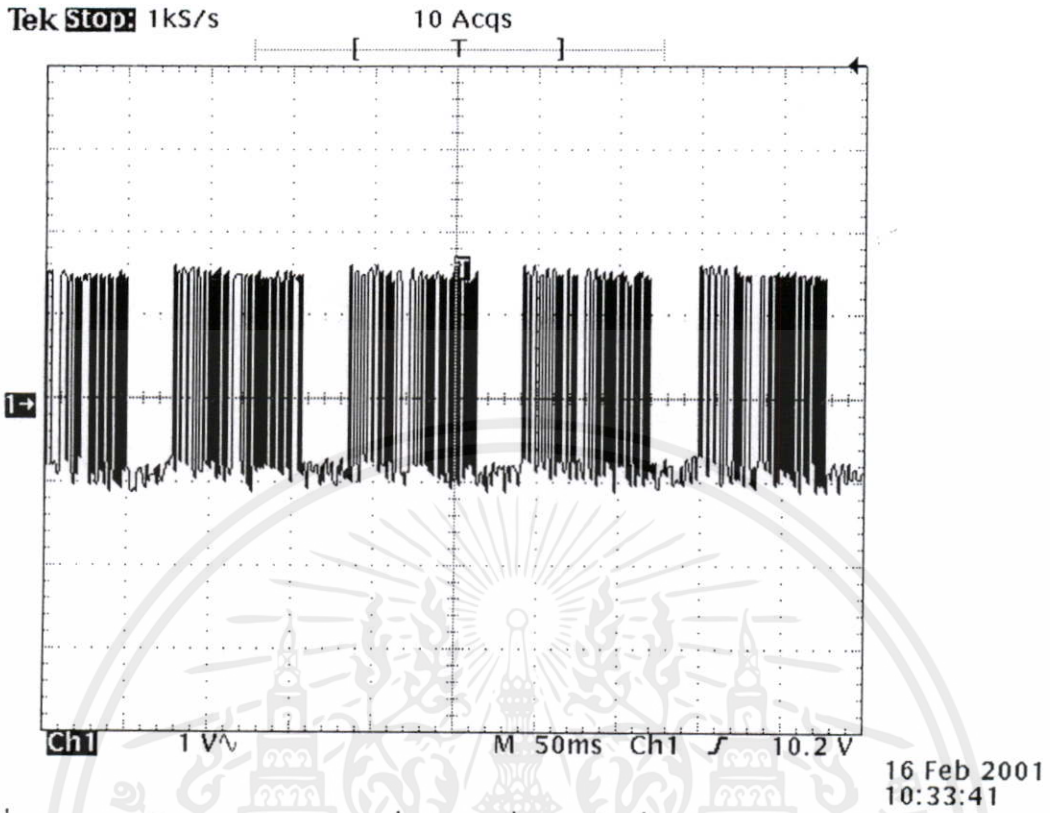
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ



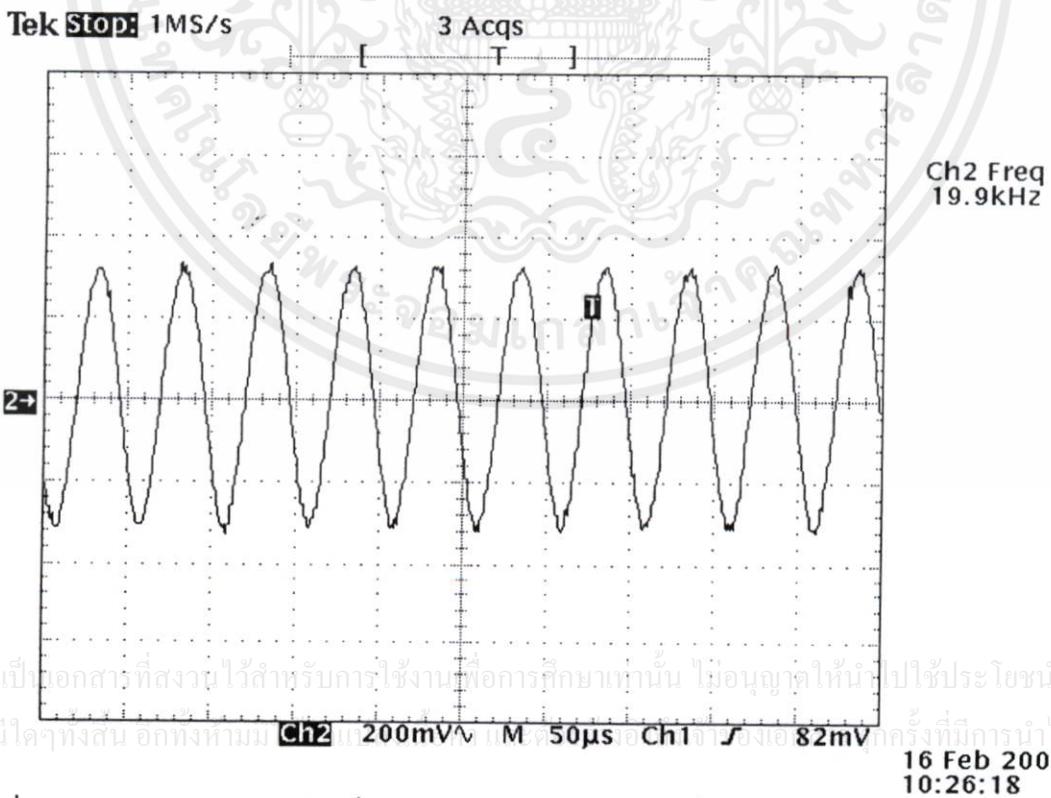
ภาพที่ 5.17 แสดงสัญญาณดิจิทัลความถี่ 15 kHz ที่ป้อนเข้าเครื่อง



ภาพที่ 5.18 แสดงสัญญาณเอาร์ทพุทที่ได้จากการป้อนสัญญาณภาพที่ 5.17

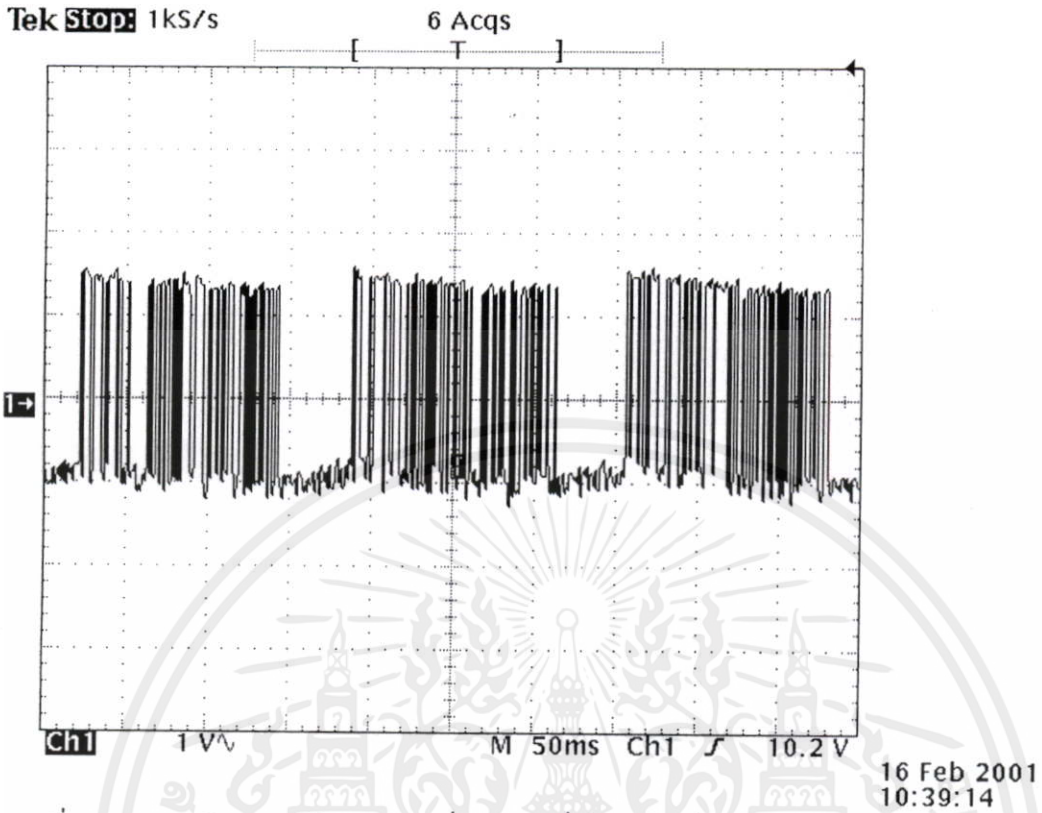


ภาพที่ 5.19 แสดงสัญญาณดิจิทัลความถี่ 20 kHz ที่ป้อนเข้าเครื่อง

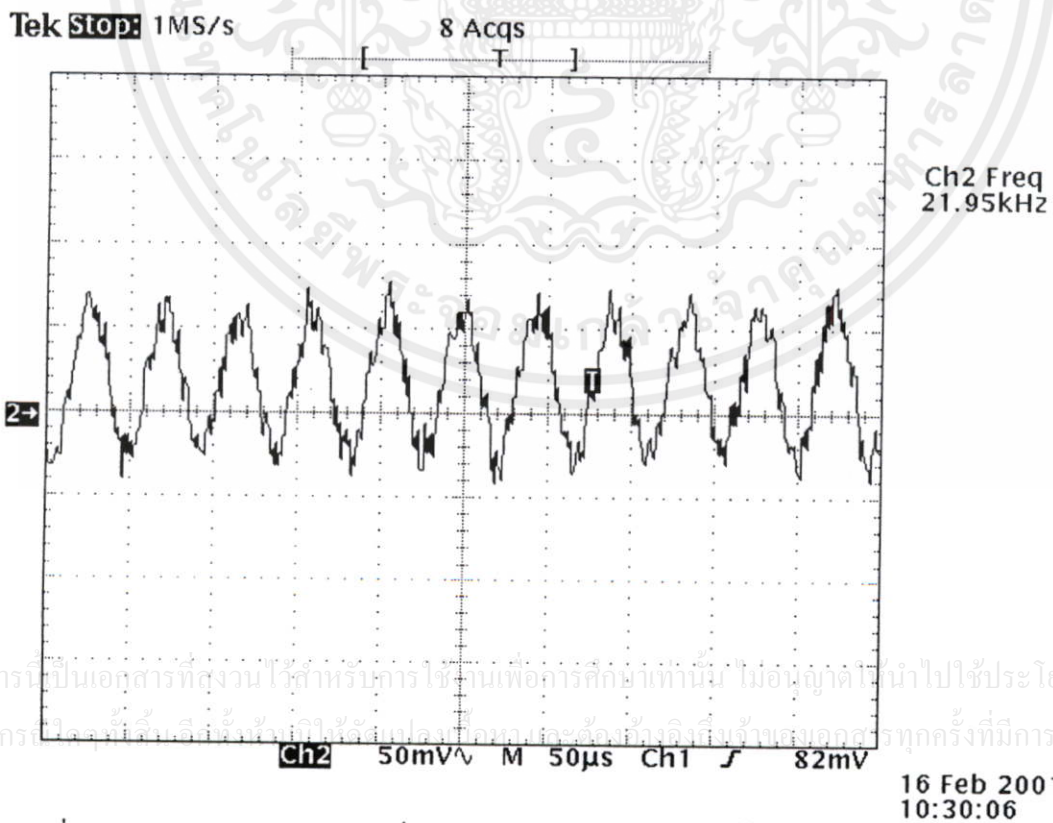


ภาพที่ 5.20 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษายเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น ออกจากห้องสมุดของภาควิชาวิศวกรรมเครื่องกลครั้งที่มีการนำไปใช้



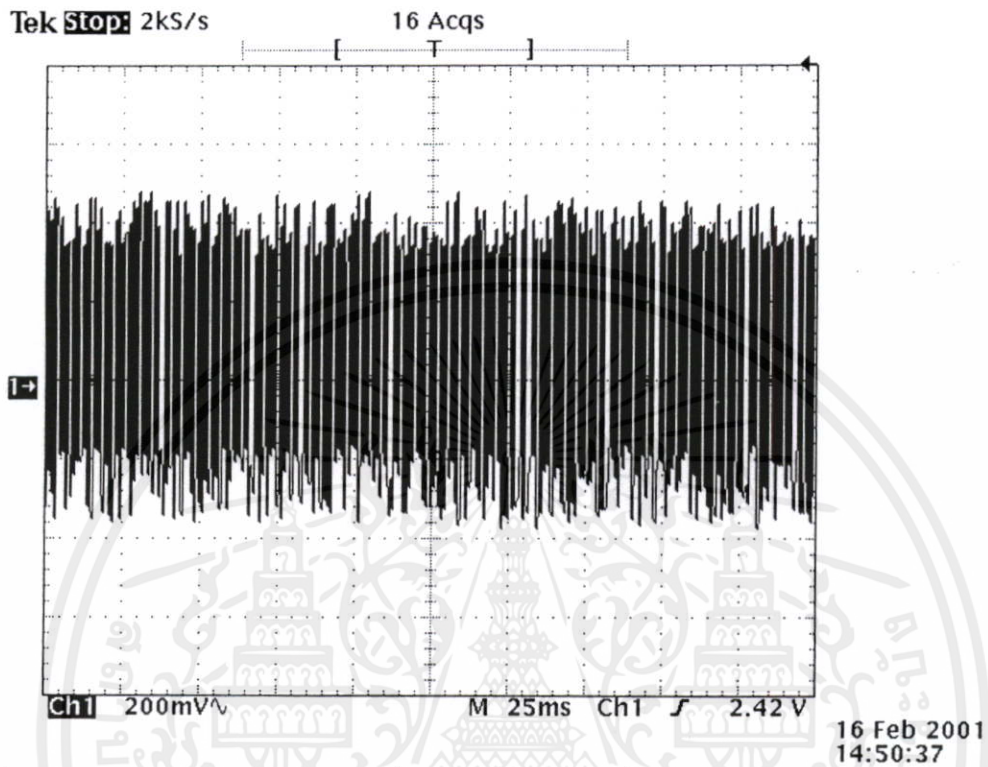
ภาพที่ 5.21 แสดงสัญญาณดิจิทัลความถี่ 22 kHz ที่ป้อนเข้าเครื่อง



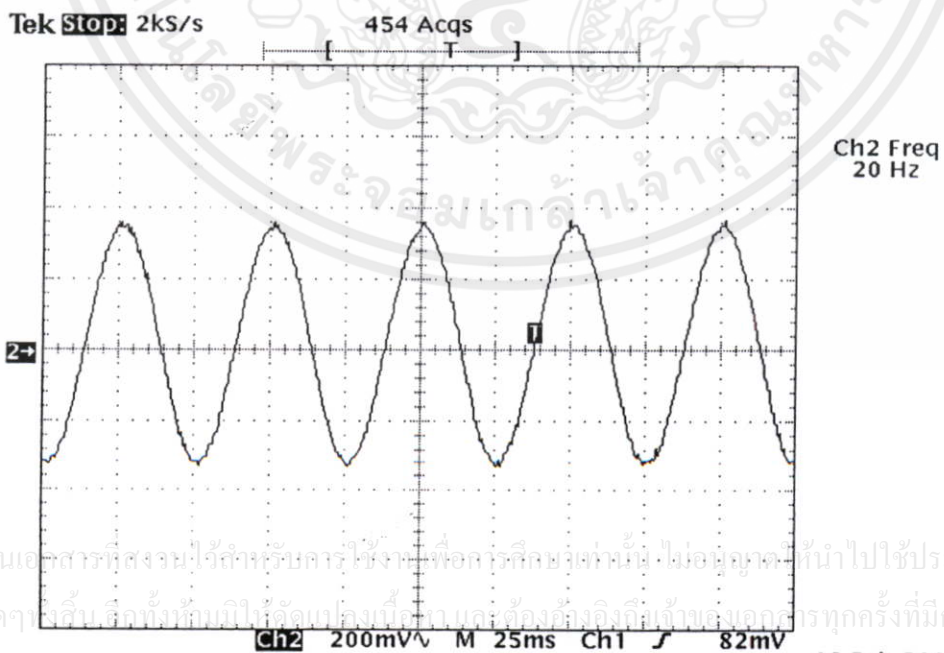
ภาพที่ 5.22 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะในรูปแบบใดก็ตามโดยไม่ได้รับอนุญาตจากทางคณะผู้จัดทำ และต้องอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การทดลองป้อนสัญญาณที่บันทึกในรูปแบบ DAT
ซึ่งได้ผลการทดลองดังนี้



ภาพที่ 5.23 แสดงสัญญาณดิจิทัลความถี่ 20 Hz ที่ป้อนเข้าเครื่อง

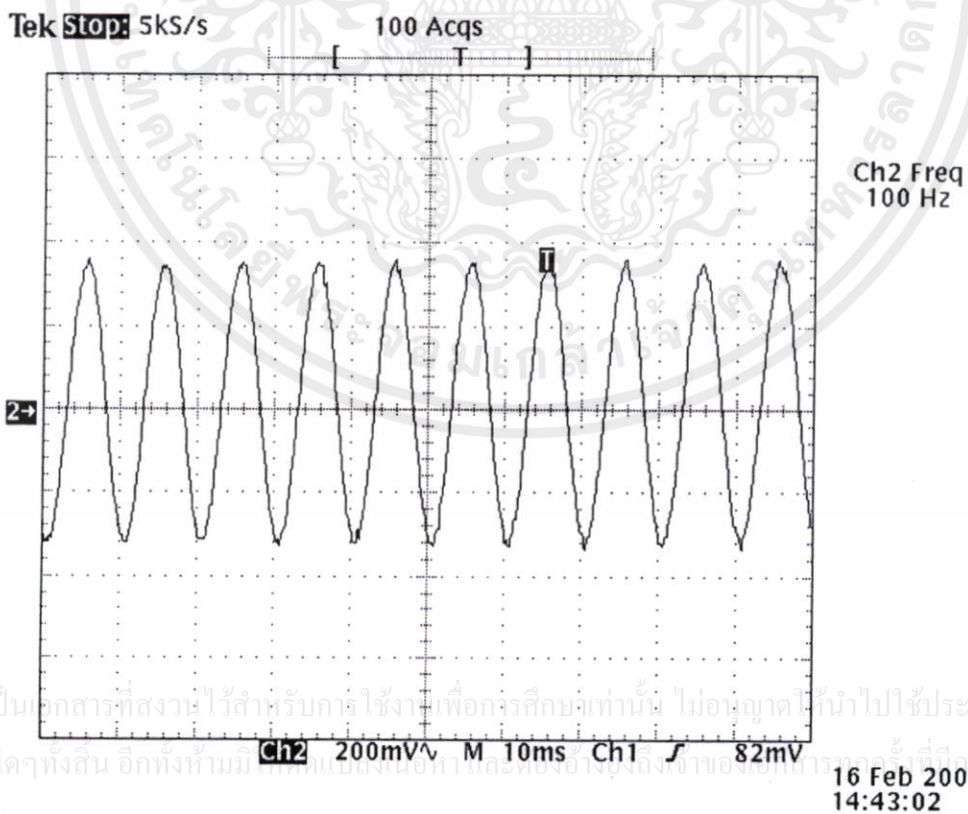


ภาพที่ 5.24 แสดงสัญญาณเอาร์ทพุทที่ได้จากการป้อนสัญญาณภาพที่ 5.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูผู้ใช้งานที่เอกรสิทธิ์เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น หากมีข้อสงสัย กรุณาติดต่อฝ่ายบริการลูกค้า และต้องคำนึงถึงเจ้าหน้าที่ผู้ดูแลระบบทุกครั้งที่มีการนำไปใช้

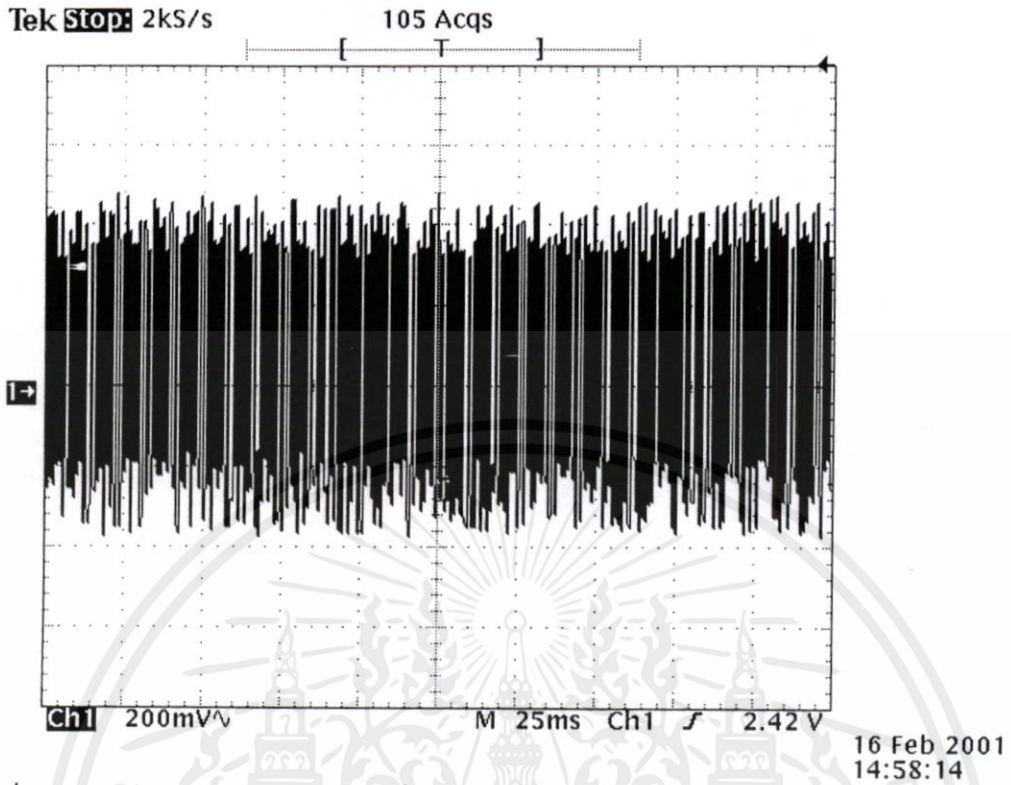


ภาพที่ 5.25 แสดงสัญญาณดิจิตอลความถี่ 100 Hz ที่ป้อนเข้าเครื่อง

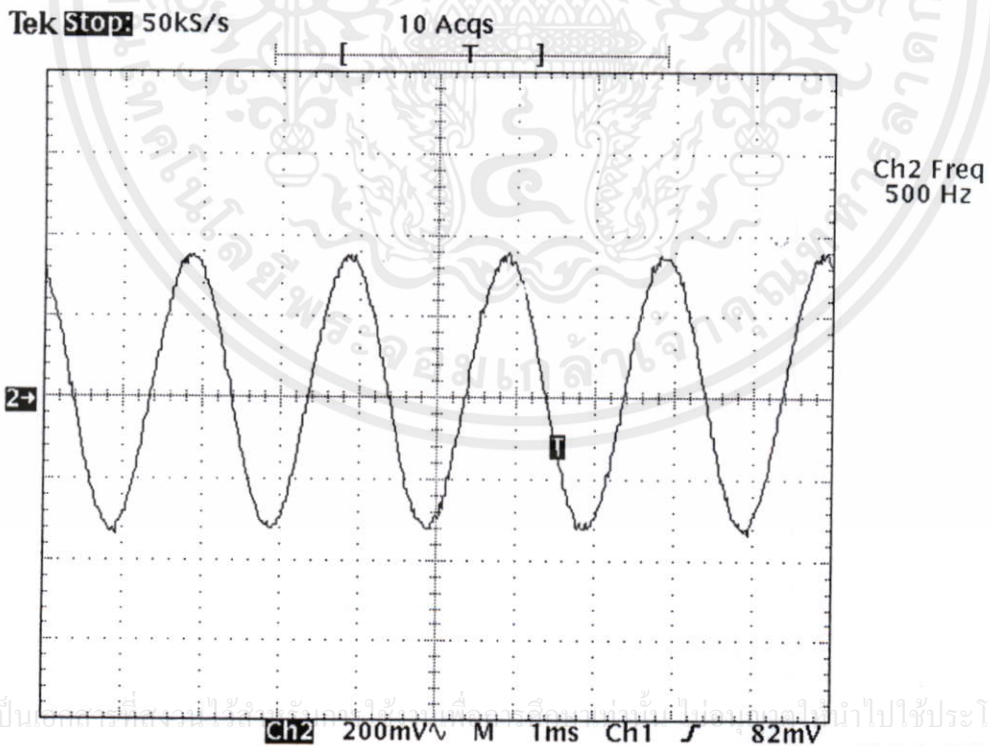


ภาพที่ 5.26 แสดงสัญญาณเอาร์ทพุทที่ได้จากการป้อนสัญญาณภาพที่ 5.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารก่อนนำไปใช้



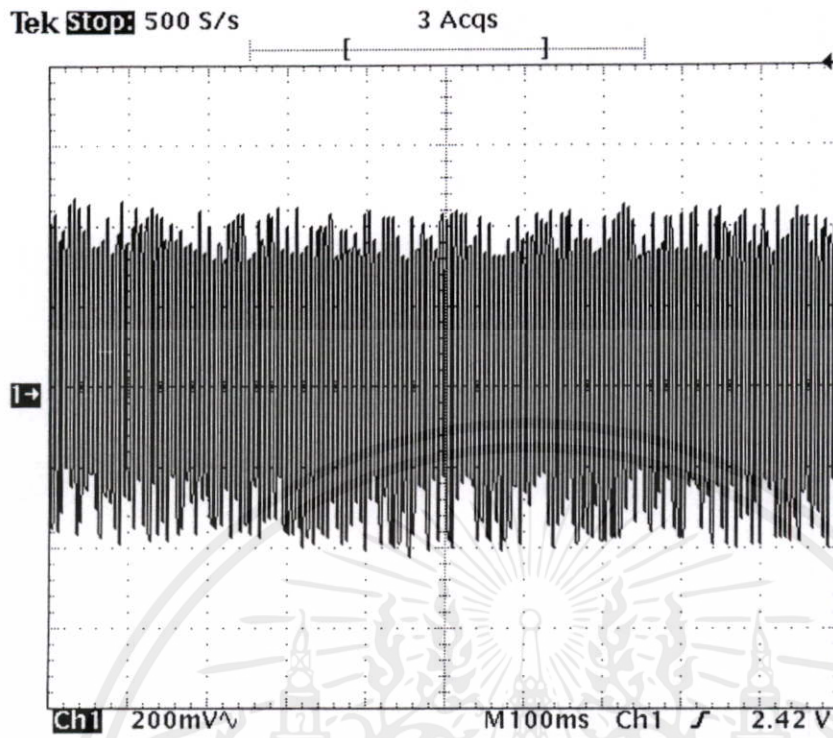
ภาพที่ 5.27 แสดงสัญญาณดิจิทัลความถี่ 500 Hz ที่ป้อนเข้าเครื่อง



เอกสารนี้เป็นทรัพย์สินของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่ควรเผยแพร่ไปใช้ประโยชน์ด้านการค้า

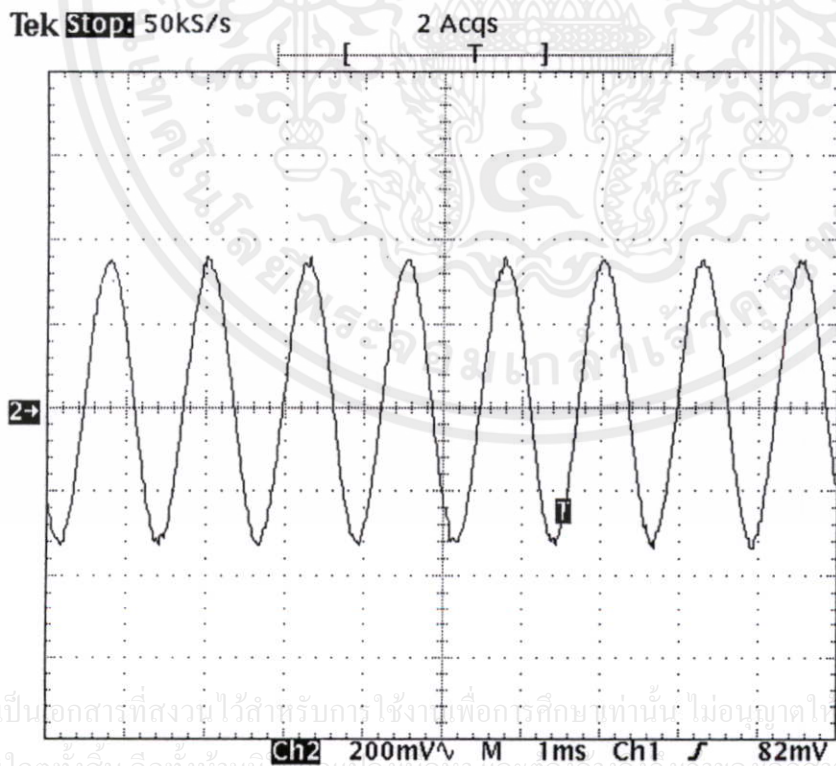
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้

ภาพที่ 5.28 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 2.27



16 Feb 2001
15:01:08

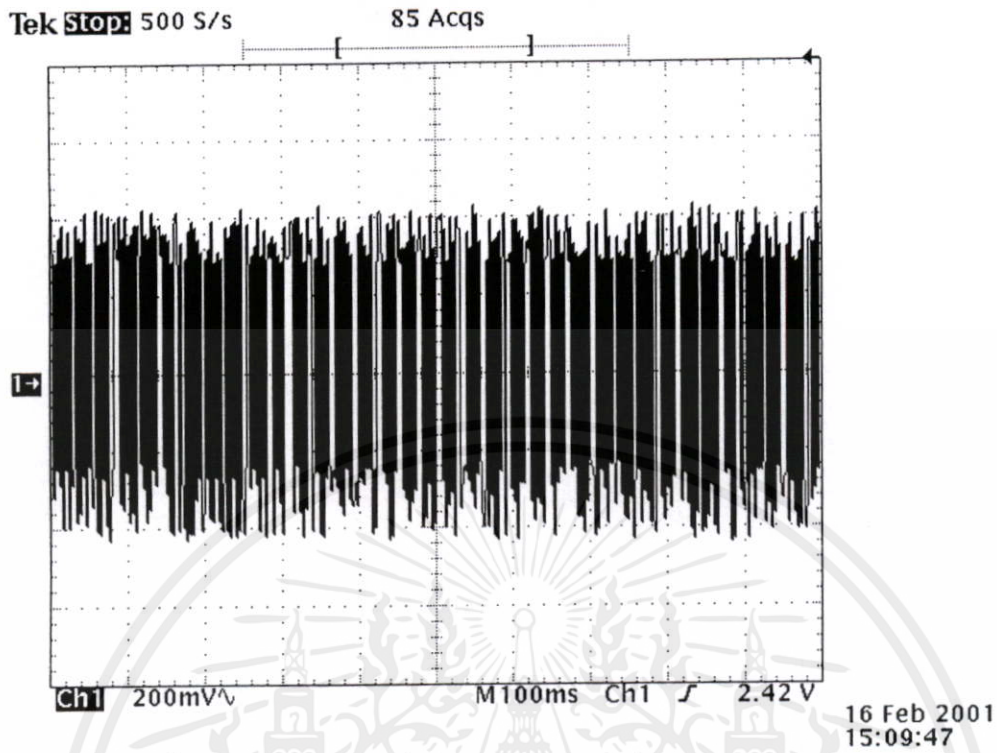
ภาพที่ 5.29 แสดงสัญญาณดิจิตอลความถี่ 800 Hz ที่ป้อนเข้าเครื่อง



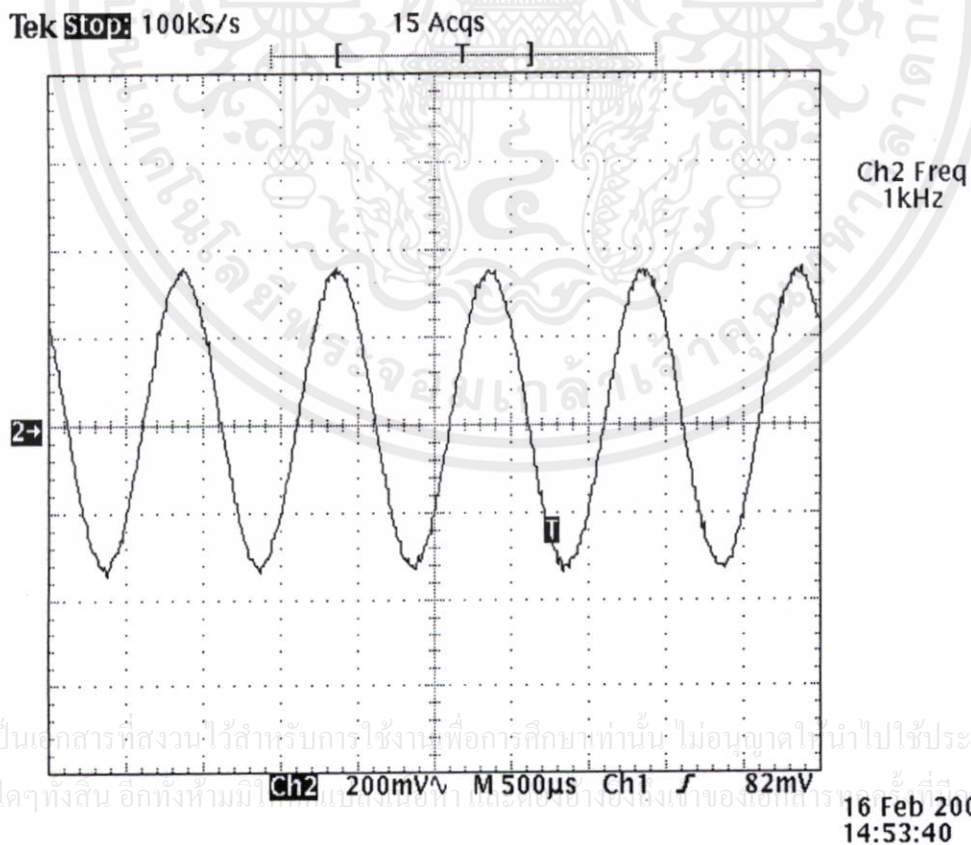
16 Feb 2001
14:50:15

ภาพที่ 5.30 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.29

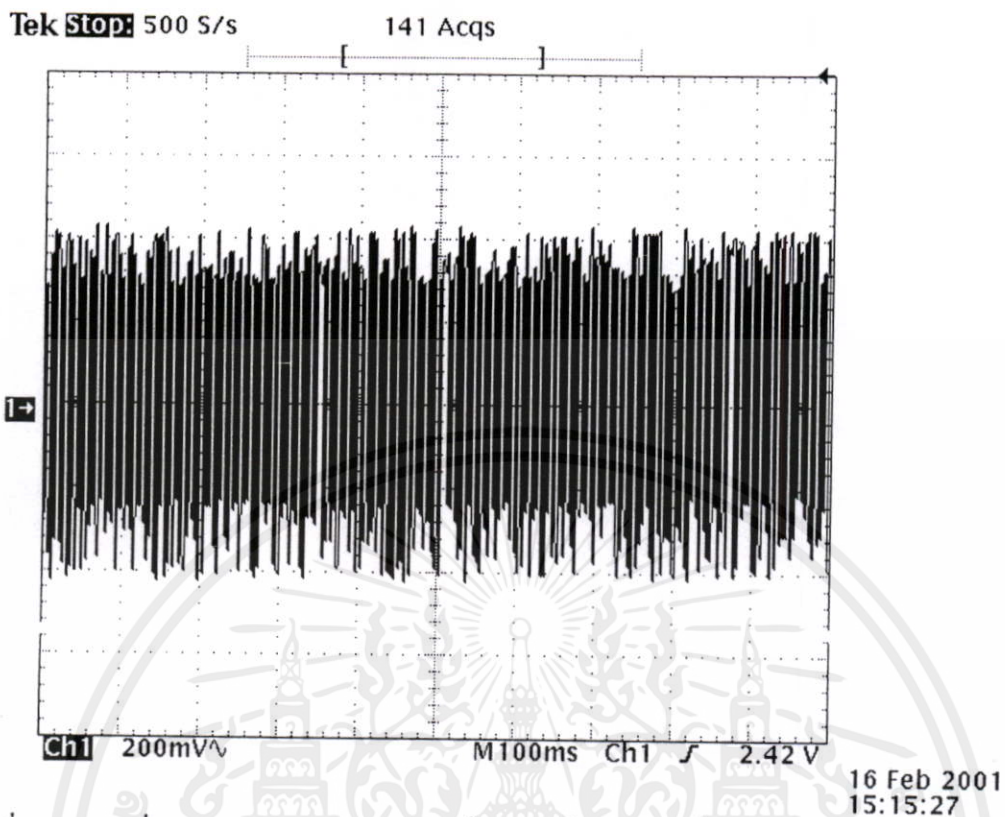
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับภาควิชาฯ เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเผยแพร่ และต้องอ้างอิงถึงเจ้าของเอกสาร



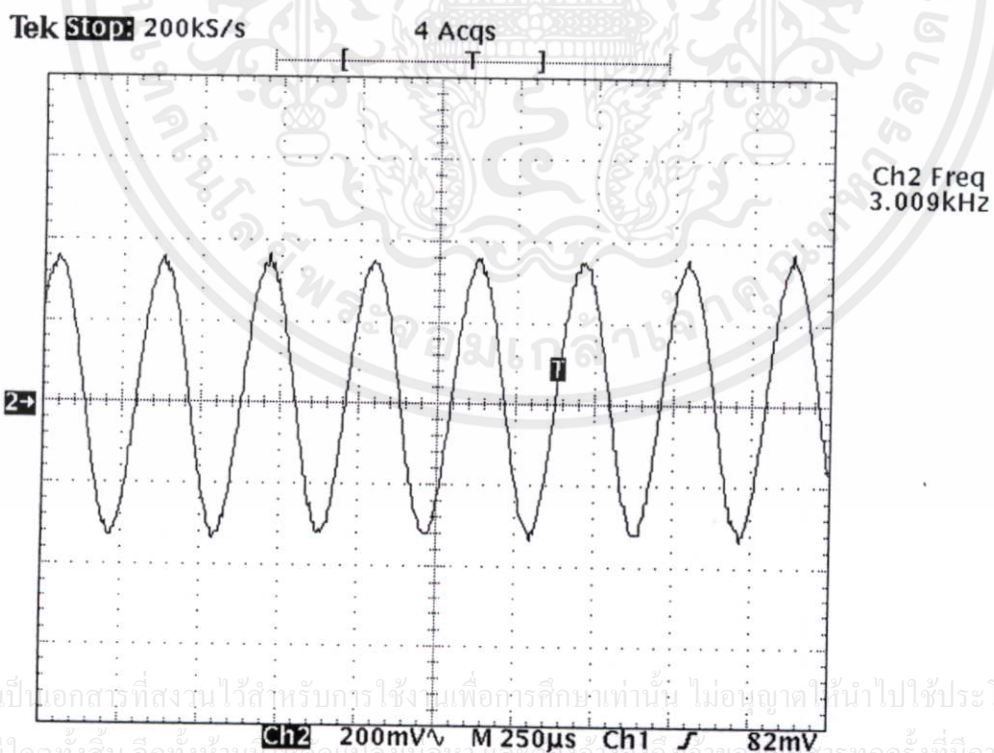
ภาพที่ 5.31 แสดงสัญญาณดิจิทัลความถี่ 1 kHz ที่ป้อนเข้าเครื่อง



ภาพที่ 5.32 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.31

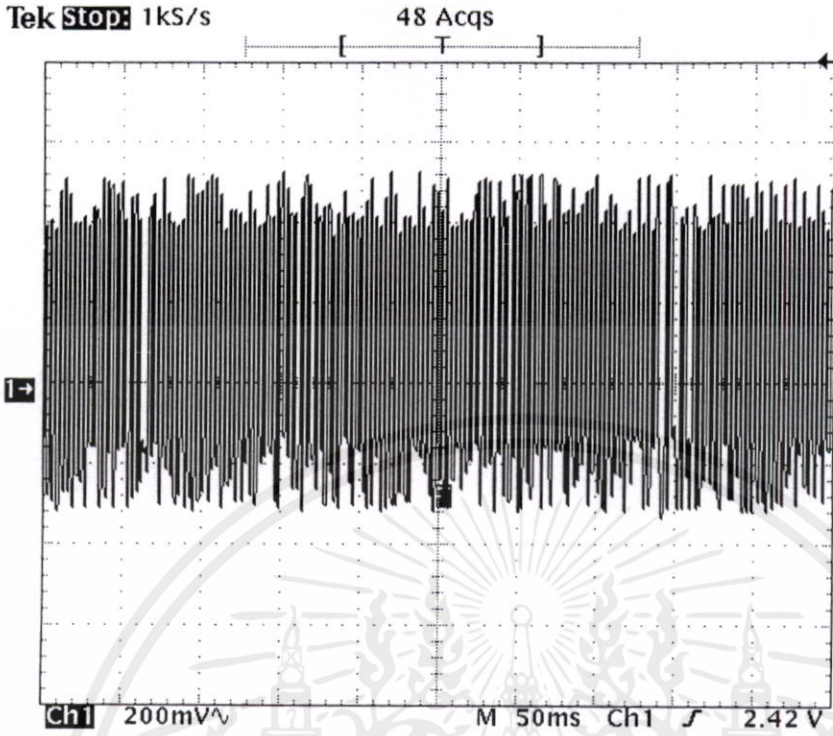


ภาพที่ 5.33 ภาพที่แสดงสัญญาณดิจิทัลความถี่ 3 kHz ที่ป้อนเข้าเครื่อง



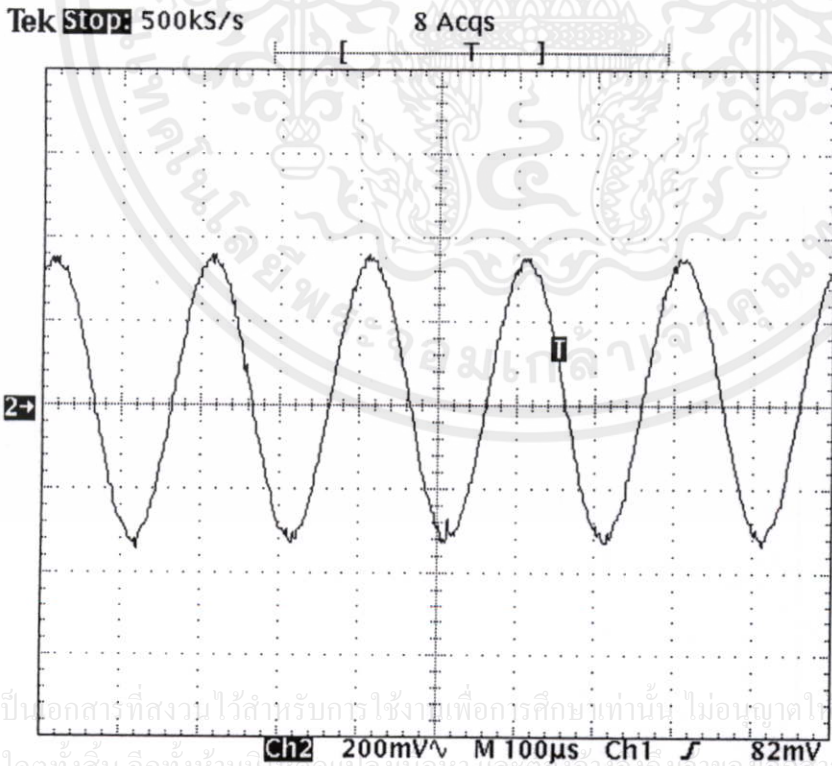
ภาพที่ 5.34 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกหรือเผยแพร่ข้อมูลใดๆไปยังผู้อื่นโดยไม่ได้รับอนุญาต



16 Feb 2001 15:20:50

ภาพที่ 5.35 แสดงสัญญาณดิจิตอลความถี่ 5 kHz ที่ป้อนเข้าเครื่อง



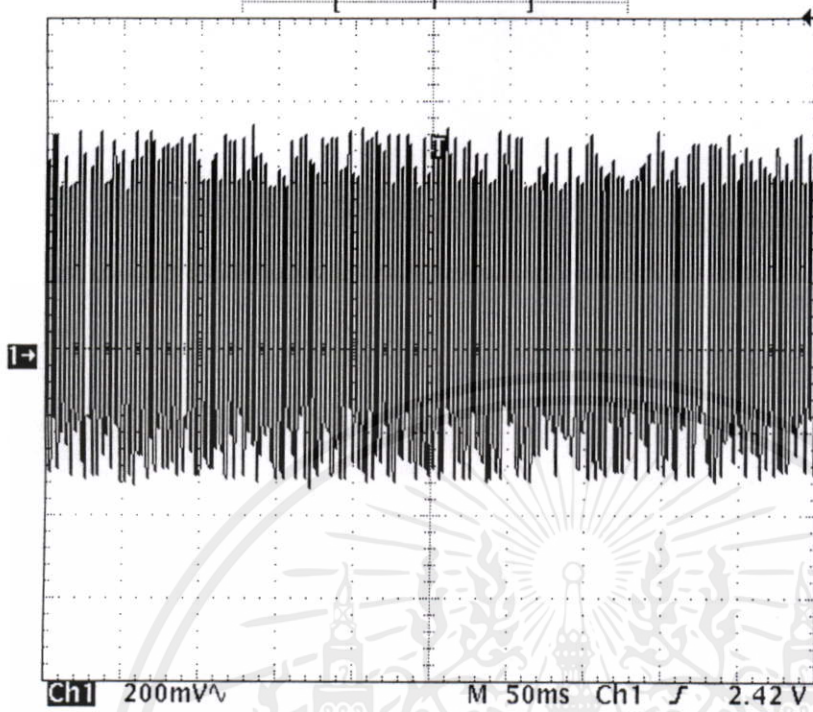
16 Feb 2001 15:07:44

ภาพที่ 5.36 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และเผยแพร่ไปยังผู้อื่นโดยไม่ได้รับอนุญาต

Tek Stop: 1kS/s

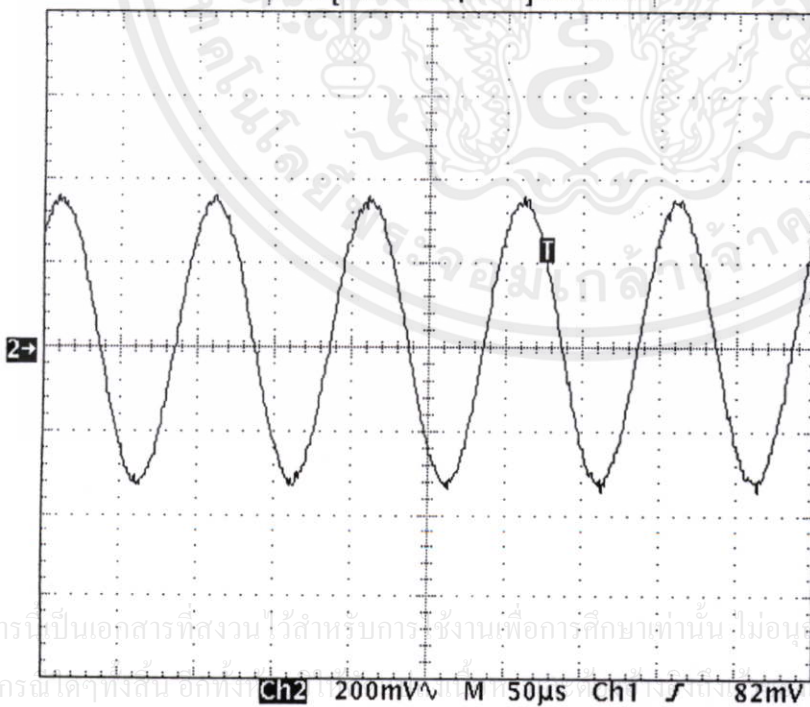
1 Acqs

16 Feb 2001
15:23:49

ภาพที่ 5.37 แสดงสัญญาณดิจิทัลความถี่ 10 kHz ที่ป้อนเข้าเครื่อง

Tek Stop: 1MS/s

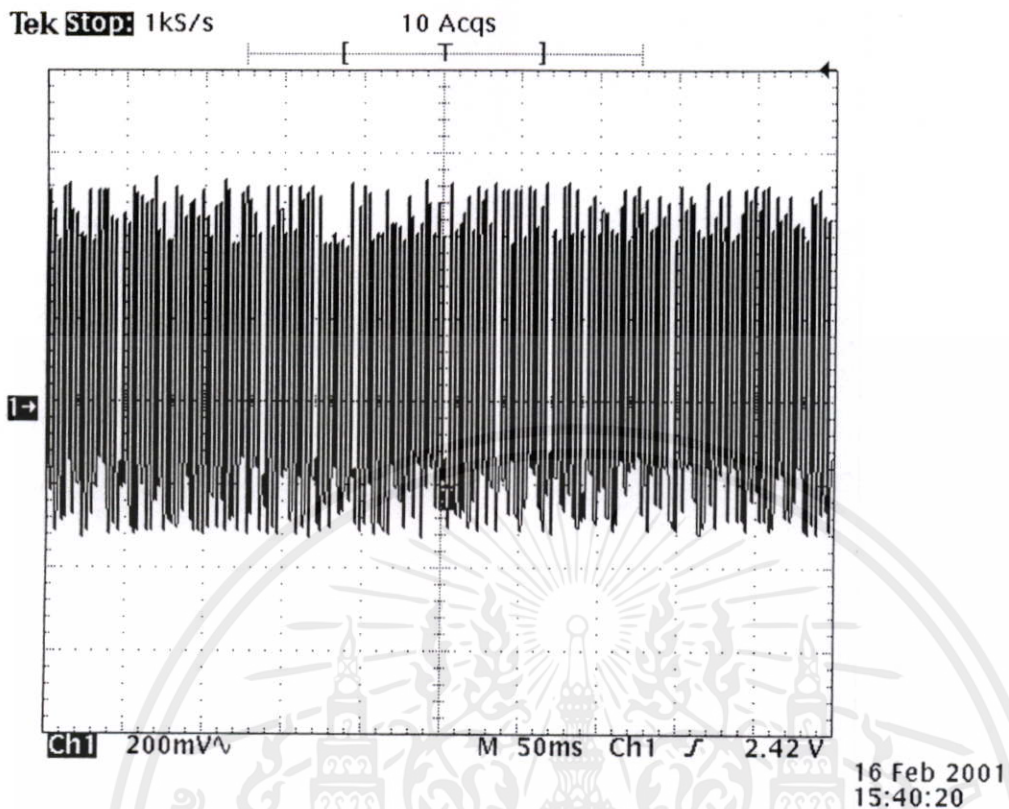
423 Acqs

Ch2 Freq
10.06kHz

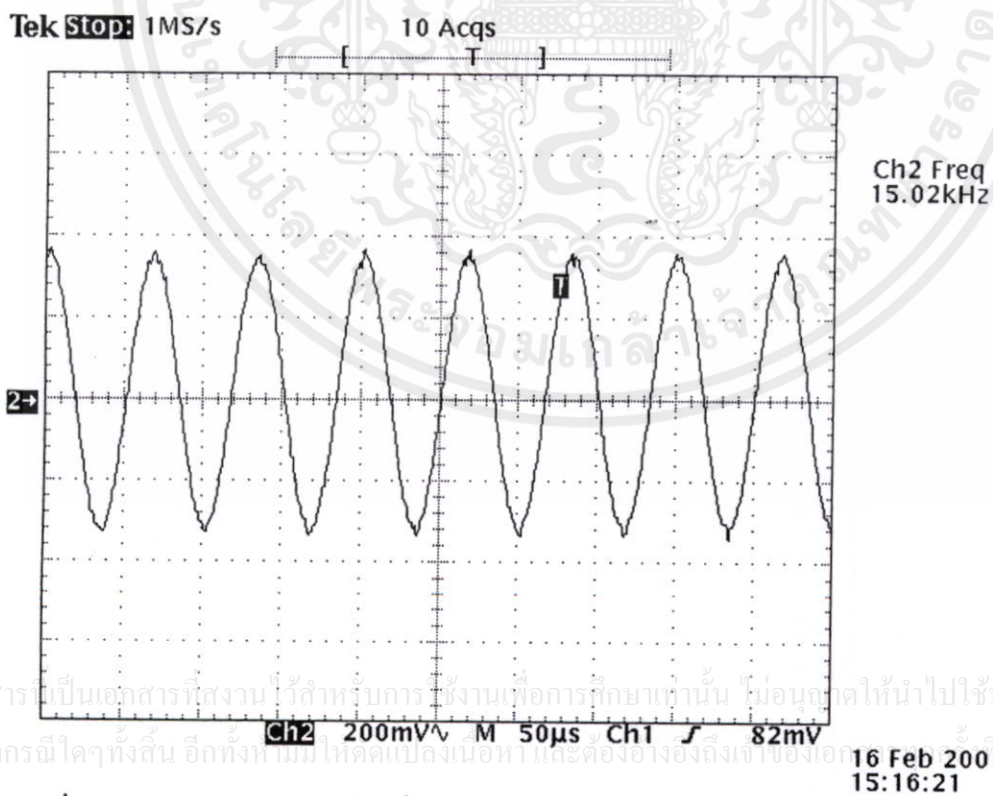
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น ยกเว้นเอกสารที่มีการนำไปใช้

16 Feb 2001
15:13:21

ภาพที่ 5.38 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.37

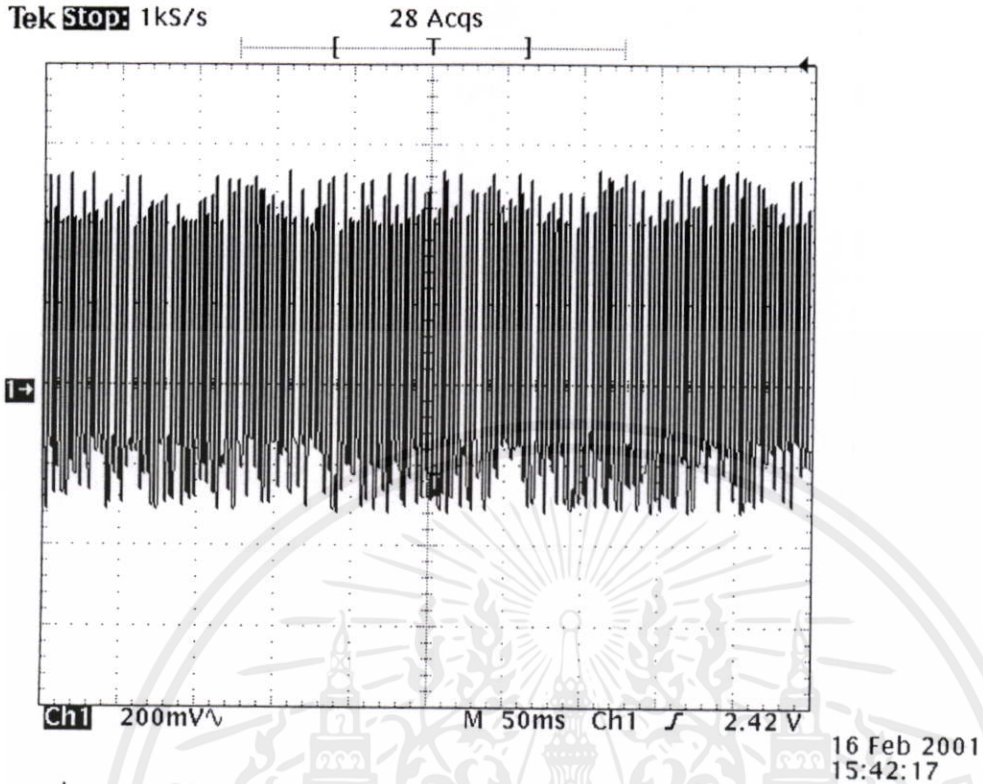


ภาพที่ 5.39 แสดงสัญญาณดิจิทัลความถี่ 15 kHz ที่ป้อนเข้าเครื่อง

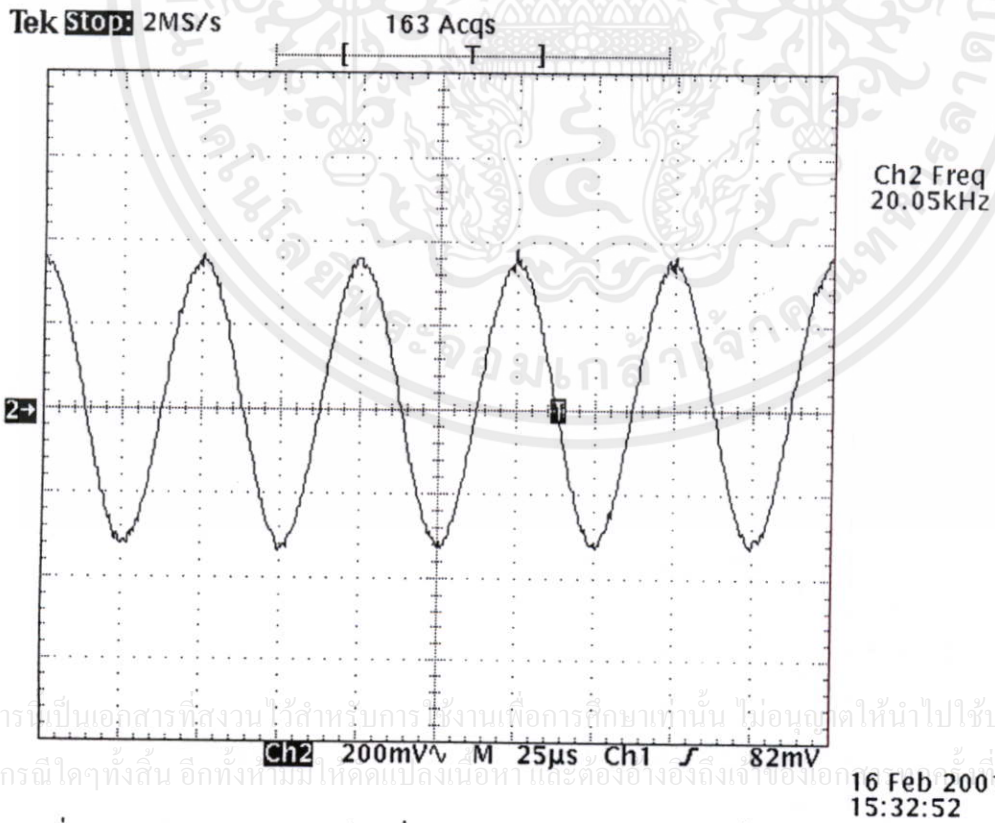


ภาพที่ 5.40 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารที่มีการนำไปใช้

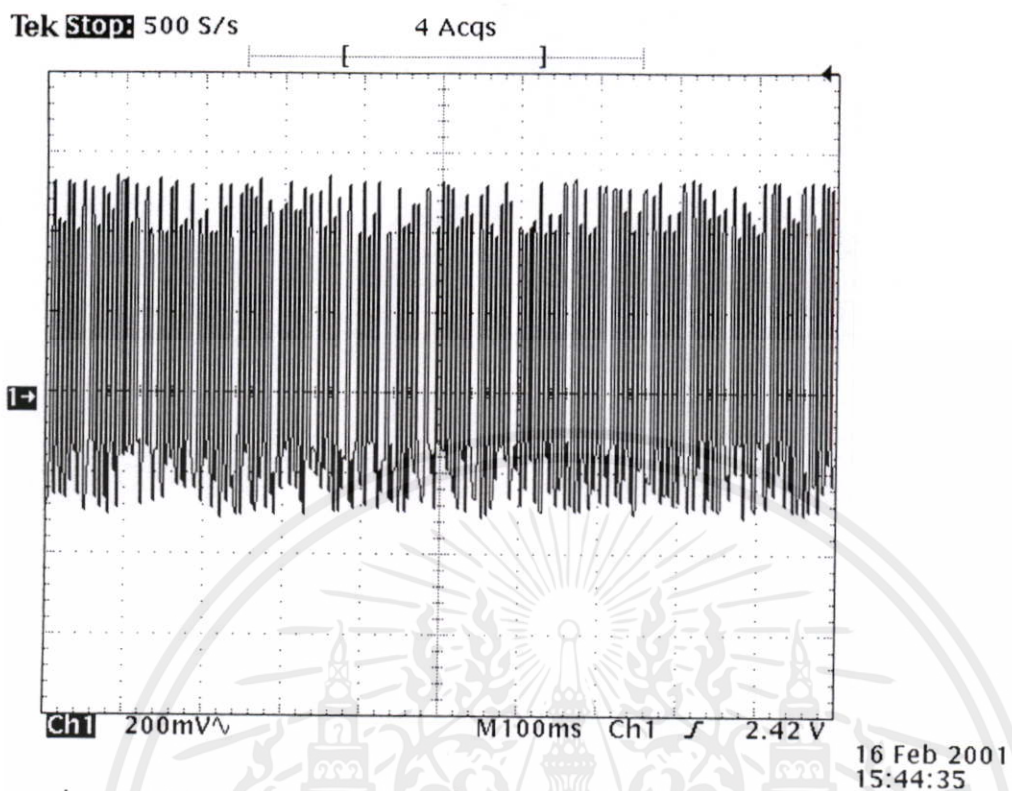


ภาพที่ 5.41 แสดงสัญญาณดิจิทัลความถี่ 20 kHz ที่ป้อนเข้าเครื่อง

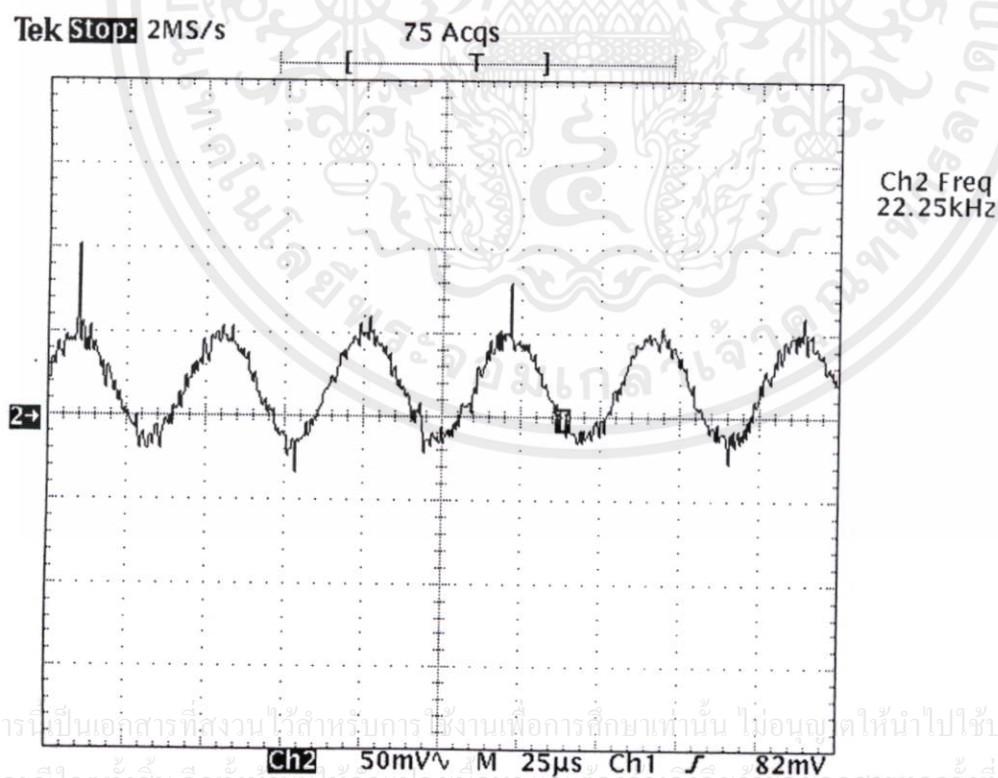


ภาพที่ 5.42 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารที่มีการนำไปใช้



ภาพที่ 5.43 แสดงสัญญาณดิจิทัลความถี่ 22 kHz ที่ป้อนเข้าเครื่อง



ภาพที่ 5.44 แสดงสัญญาณเอาต์พุตที่ได้จากการป้อนสัญญาณภาพที่ 5.43

บทที่ 6

สรุปผลการวิจัยและข้อเสนอแนะ

เครื่องแปลงสัญญาณเสียงเชิงเลขหลายรูปแบบให้เป็นสัญญาณเสียงเชิงอุปมาณ ระบบ 18 bits ที่มีอัตราการสุ่มตัวอย่างสัญญาณ 8 เท่า นี้สามารถตอบสนองความถี่ในย่านความถี่เสียงได้อย่างสมบูรณ์ มีคุณภาพเสียงที่ดี การถ่ายทอดรายละเอียดของชิ้นดนตรีความกระชับของเสียงซึ่งถ่ายทอดได้สมจริงกว่า ซึ่งเป็นแนวทางในการนำไปผลิตในเชิงพาณิชย์ได้ ถ้าหากมีการพัฒนาการทำงานของวงจรให้ดีขึ้นกว่าเดิมโดยเปลี่ยน chip DAC ให้เป็น 20 bit ก็จะทำให้คุณภาพเสียงดีขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

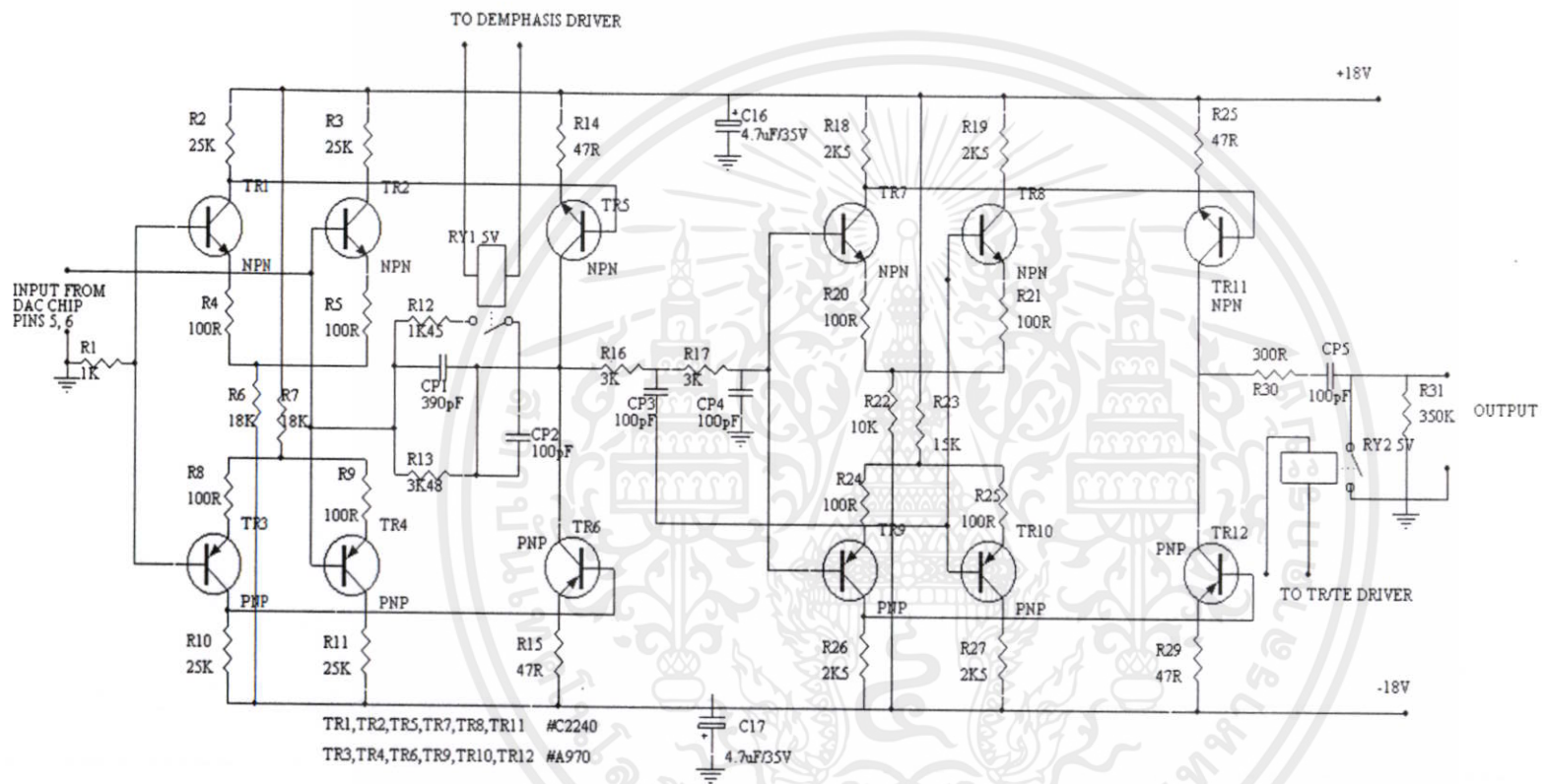
- [1] "The Handbook of IC Application," Burr-Brown Corporation, U.S.A. 1993.
- [2] K. Pohlmann, "Principle of Digital Audio," Howard W. Sams & Company ,2nd Edition, U.S.A., 1989.
- [3] J. Watkinson, "The Art of Digital Audio," 2nd Edition, Focal Press, U.S.A., 1989
- [4] "Data Conversion Products Databook," Integrated Device Technology Inc., 1996.



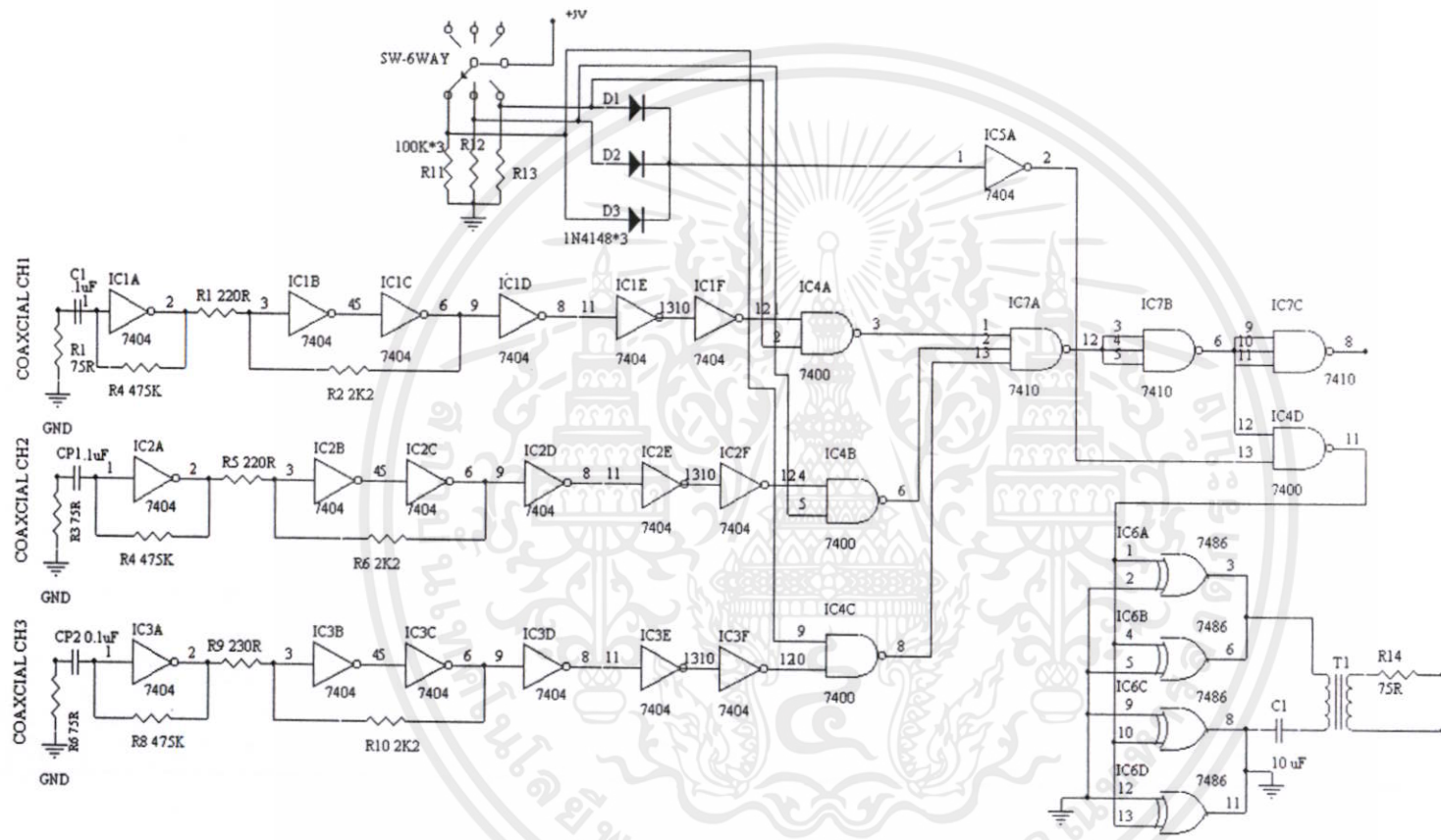
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



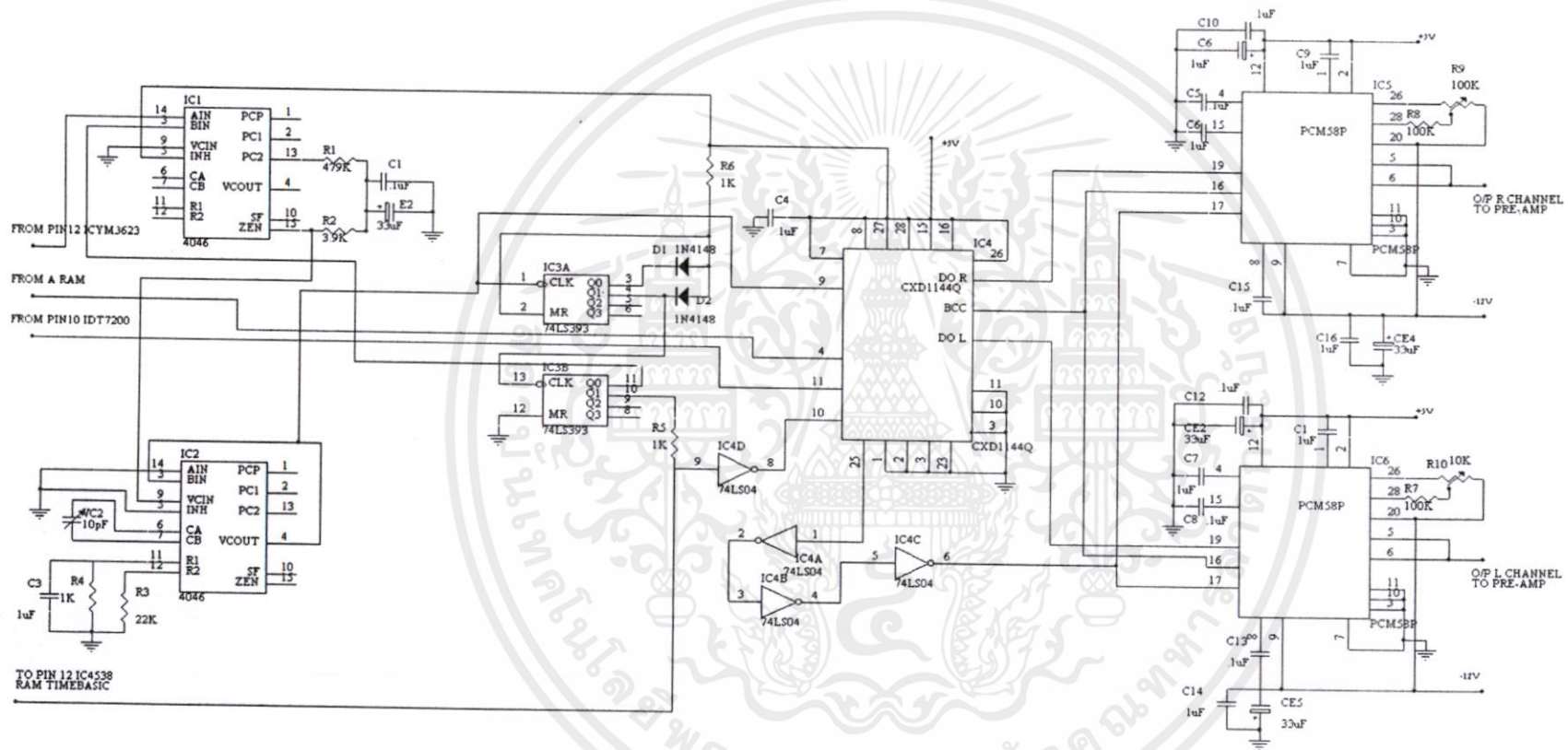
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



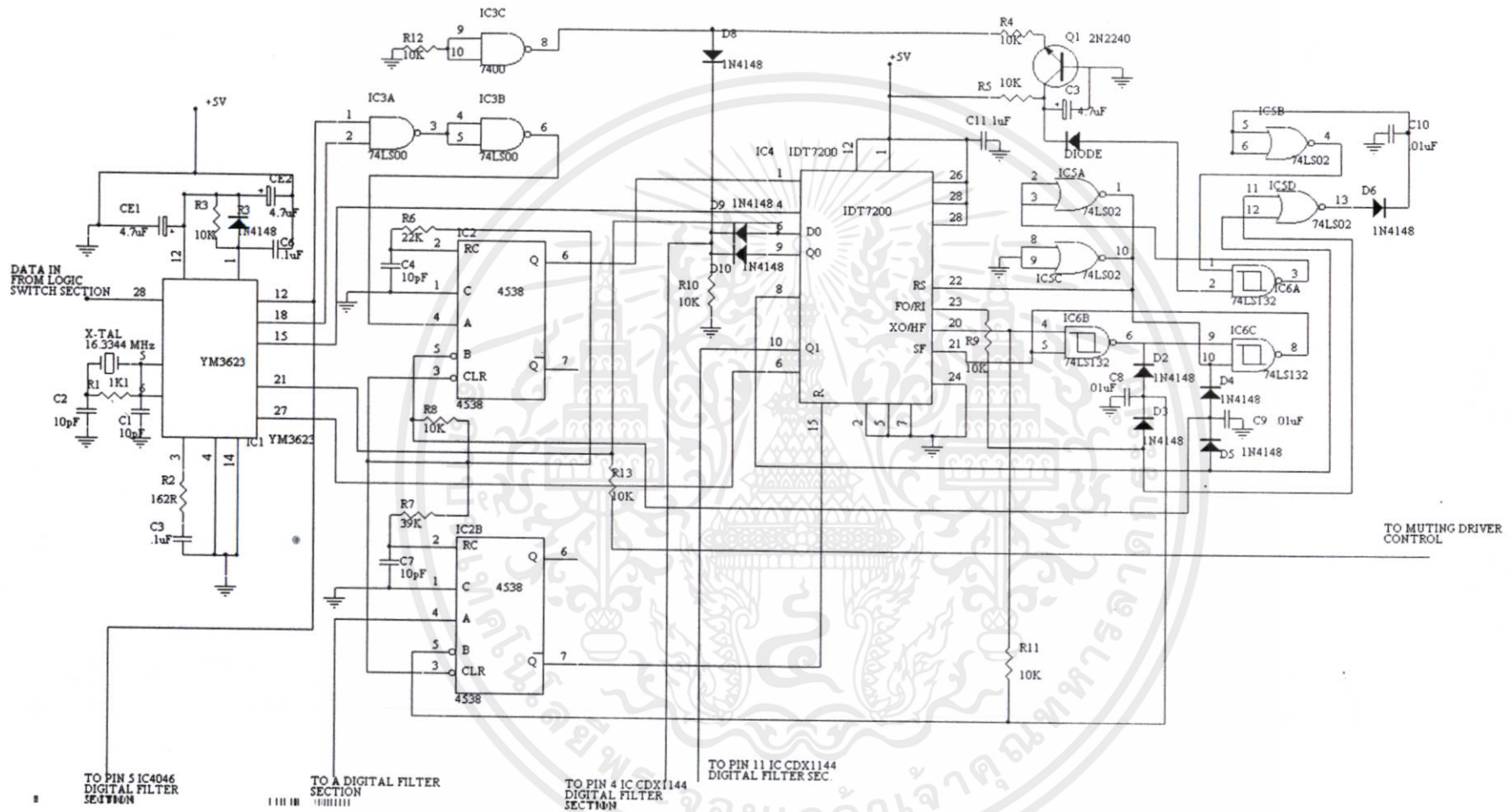
วงจร Pre-amp, วงจรชดเชยความถี่ และวงจรกรองความถี่ต่ำผ่าน



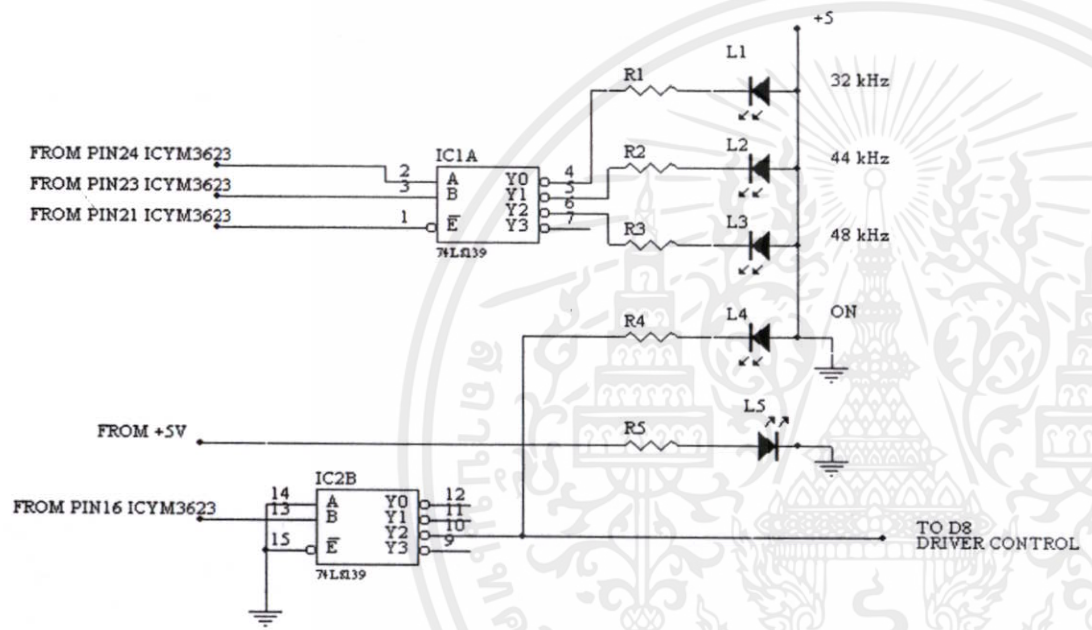
7405 input buffer & switch



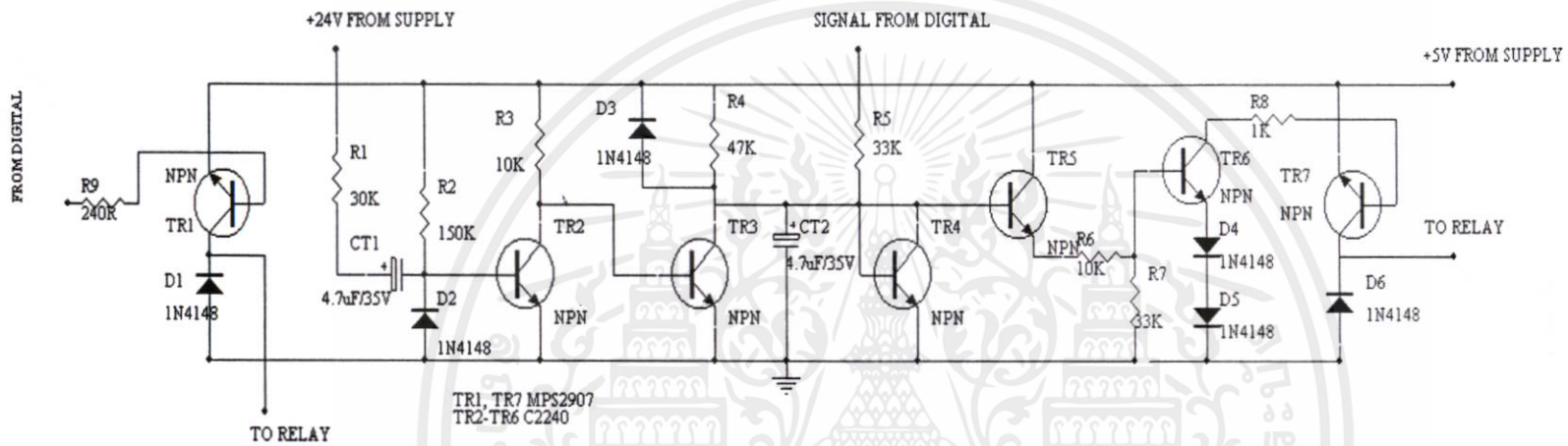
วงจรกรองสัญญาณเชิงเลข และแปลงสัญญาณเชิงเลขเป็นสัญญาณอุปมาน



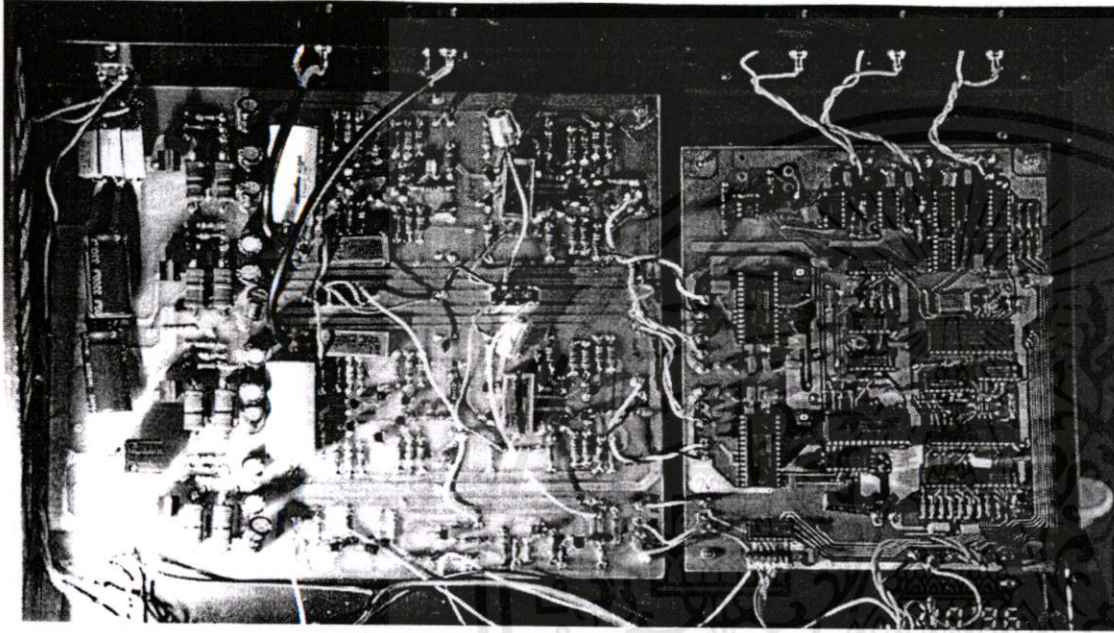
7405 interface format



วงจรแสดงผล



วงจรควบคุมการชดเชยความถี่ และส่วนควบคุมวงจรลดสัญญาณรบกวน



ภาพอุปกรณ์แปลงสัญญาณเชิงเลขหลายรูปแบบให้เป็นสัญญาณเชิงอุปมาน





วิศวกรรมลาดกระบัง⁷⁸

Ladkrabang Engineering Journal

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ 10520
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520

วันที่ 1 มีนาคม 2544

เลขที่อ้างอิง 589

เรื่อง การตอบรับบทความ

เรียน คุณเอกชัย พรหมมาส, กอบชัย เดชหาญ

ตามที่ท่านได้ส่งบทความเรื่อง อุปกรณ์แปลงสัญญาณเชิงเลขหลายรูปแบบให้เป็นสัญญาณเสียงเชิงอุปมาน (Multiformat Digital Audio Analog Audio Converter) มาให้พิจารณาเพื่อลงตีพิมพ์ในวารสารวิศวกรรมลาดกระบัง บัดนี้ ผู้ทรงคุณวุฒิได้ทำการพิจารณาแล้วเห็นว่า ยอมรับตีพิมพ์ได้ โดยจะตีพิมพ์ในปีที่ 18 ฉบับที่ 1 เดือนมีนาคม 2544

จึงเรียนมาเพื่อทราบ

(รศ.ดร.กอบชัย เดชหาญ)

หัวหน้ากองบรรณาธิการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายเอกชัย พรหมมาส เกิดเมื่อวันที่ 25 กรกฎาคม 2499 ที่จังหวัดอุบลราชธานี สำเร็จการศึกษาคณะศึกษาศาสตร์บัณฑิต จากสถาบันเทคโนโลยีราชมงคล ปีการศึกษา 2528

ปี พ.ศ.2522 เข้าทำงานที่โรงเรียนเทคโนโลยีกรุงเทพในตำแหน่งอาจารย์ ในปัจจุบันตำแหน่งอาจารย์ สาขาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเกษมบัณฑิต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้